สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การส่งข้อมูลดิจิตอลที่อัตรา 64kbps ผ่านคู่สายไฟฟ้า

64 kbps DIGITAL DATA VIA POWER LINE CABLE

โดย

นายปฐมพงษ์ คูณทวีเทพ

นายพงษ์ศักดิ์ ทับเรือง

นายวิษณุ วงษ์ศรี

มพ.
ว/142ก
2550

เลขหมู่.....
เลขทะเบียน 83264
วัน,เดือน,ปี 11 ส.ค. 2551

.b 11961559
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

การส่งข้อมูลดิจิตอลที่อัตรา 64kbps ผ่านคู่สายไฟฟ้า

64 kbps DIGITAL DATA VIA POWER LINE CABLE

โดย

นายปฐมพงษ์ คุณทวีเทพ 48015017

นายพงษ์ศักดิ์ ทับเรือง 48015023

นายวิษณุ วงษ์ศรี 48015033

อาจารย์ที่ปรึกษา

ผศ.ดร. พิเชฐ ม่วงนวล

ผศ. เกรียงไกร วงศ์โรจนภรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาวิศวกรรมโทรคมนาคม

คระวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การส่งข้อมูลดิจิตอลที่อัตรา 64kbps ผ่านคู่สายไฟฟ้า**

64 kbps DIGITAL DATA VIA POWER LINE CABLE

ผู้จัดทำ

1. นาย ปฐมพงษ์ กุณฑวีเทพ 48015017

2. นาย พงษ์ศักดิ์ ทับเรือง 48015023

3. นาย วิษณุ วงษ์ศรี 48015033

.....อาจารย์ที่ปรึกษา

(ผศ.ดร. พิเชฐ ม่วงนวล)

.....อาจารย์ที่ปรึกษา

(ผศ. เกรียงไกร วงศ์โรจนภรณ์)

การส่งข้อมูลดิจิตอลที่อัตรา 64kbps ผ่านคู่สายไฟฟ้า

64 kbps DIGITAL DATA VIA POWER LINE CABLE

โดย 1: นาย ปฐมพงษ์ คูณทวีเทพ 48015017
2: นาย พงษ์ศักดิ์ ทับเรือง 48015023
3: นาย วิษณุ วงษ์ศรี 48015033

อาจารย์ที่ปรึกษา ผศ.ดร.พิเชฐ ม่วงนวล
ผศ.เกรียงไกร วงศ์โรจนภรณ์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เสนอการสร้างอุปกรณ์เพื่อสื่อสารสัญญาณดิจิตอล 64 kbps ผ่านคู่สายไฟฟ้ากำลังที่ 220 โวลต์ โดยอุปกรณ์เครื่องส่งจะรับสัญญาณดิจิตอลอัตรา 64 kbps มาทำการมอดูเลตเพื่อส่งโดยทำการคัปปลิ้งสัญญาณเข้าไปในสายไฟฟ้ากำลัง และทำการดีคัปปลิ้งสัญญาณมายังเครื่องรับเพื่อดีมอดูเลตให้ได้ข้อมูลเหมือนกับที่ส่งมาแล้วนำไปใช้งานต่อไป

Abstract

This thesis proposes the constructed of 64 kbps data transmission equipment via power line 220v. The 64 kbps input data is modulated as the transceiver and transmitter via power line with couple circuit and decouple to the receiver for demodulate to original signal.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 ทฤษฎีการส่งข้อมูลผ่านสายส่งกำลังไฟฟ้า	2
2.2 สายส่งกำลังไฟฟ้า	4
2.2.1 ลักษณะทั่วไปของสายส่งไฟฟ้า	4
2.2.2 ชนิดของสายไฟหุ้มฉนวน	4
2.2.3 แรงดันไฟฟ้าลดในสายไฟ	5
2.2.4 มาตรฐานการสื่อสารบนสายไฟฟ้ากำลัง	5
2.3 พื้นฐานการสื่อสารข้อมูล	6
2.3.1 สัญญาณ	7
2.3.2 การสื่อสารแบบดิจิตอล	8
2.3.2.1 หน่วยของข้อมูลและหน่วยของสัญญาณ	8
2.3.2.2 อัตราบอด	9
2.3.2.3 คุณสมบัติพิเศษของสัญญาณดิจิตอล	9
2.3.2.4 การส่งข้อมูลดิจิตอล(Digital Transmission)	10
2.3.2.5 การส่งข้อมูลแบบขนาน (Parallel Data Transmission)	11
2.3.2.6 การส่งข้อมูลแบบอนุกรม (Serial Data Transmission)	12
2.3.2.7 การส่งข้อมูลแบบอะซิงโคนัส(Asynchronous Transmission)	13
2.3.2.8 การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)	13
2.3.2.9 แบบวิธีของการส่งและเทคนิค(Transmission Mode and Techniques)	14
2.4 ดิจิตอลมอดูเลชัน	14
2.5 FREQUENCY SHIFT KEYING (FSK)	17
2.5.1 FSK Transmitter	17
2.5.2 FSK Bandwidth	18
2.5.3 FSK Demodulator	20
2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)	23
2.6.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	23
2.6.2 วงจรแซมเปิ้ลแอนด์โฮลด์ (Sample and Hold : S/H)	23
2.6.3 ทฤษฎีการสุ่มตัวอย่างเบื้องต้น (Fundamental of Sampling Theory)	25
2.6.4 การควอนไทซ์ (Quantization)	27
2.6.5 การเข้ารหัส (Coding)	29
2.7 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converters)	30

สารบัญ(ต่อ)

หน้า

2.8 พอร์ตอนุกรมแบบอาร์เอส – 232(Serial Port RS-232-C) 31

2.8.1 มาตรฐานพอร์ตอนุกรมแบบอาร์เอส – 232 32

บทที่ 3 การออกแบบและการสร้าง 35

3.1 โครงสร้าง 35

3.2 ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) 35

3.3 ส่วนของวงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม (Parallel to Serial Converter) 36

3.4 ส่วนของวงจร FSK Modulator 37

3.5 ส่วนของวงจร FSK Demodulator 39

3.6 ส่วนของการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน (Serial to Parallel Converter) 41

3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน 43

3.8 ส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter) 43

3.9 ส่วนของวงจร Power Line Interface 44

3.9.1 วงจร Power Amplifier 44

3.9.2 วงจร Transformer 45

3.10 วงจร กรองแถบความถี่ผ่านที่ด้านรับ 47

บทที่ 4 การทดลองและผลการทดลอง 49

บทที่ 5 บทวิจารณ์และบทสรุป 55

ภาคผนวก

หนังสืออ้างอิง

สารบัญรูป

รูปที่	หน้า
2.1 การลดทอนสัญญาณข้อมูลในสายส่งกำลังไฟฟ้า	2
2.2 วงจรคุณลักษณะของสายไฟเอซี	3
2.3 ตัวอย่างวงจรลักษณะเฉพาะของสายไฟเอซีแบบ 12-2G Romex	3
2.4 การลดทอนเนื่องจากการแบ่งแรงดันภายในสายเอซี	4
2.5 บล็อกไดอะแกรมของการสื่อสาร	6
2.6 แสดงสัญญาณข้อมูลพร้อม Start-Stop	9
2.7 การสื่อสารข้อมูลแบบขนาน	11
2.8 การส่งข้อมูลแบบอนุกรม	12
2.9 8-bit asynchronous bit stream	13
2.10 แบบวิธีของการส่ง	14
2.11 สัญญาณเบสแบนด์ดิจิตอล	15
2.12 เปรียบเทียบรูปคลื่นของดิจิตอลมอดูเลชันทั้ง 3 วิธี	16
2.13 หลักการสัญญาณอินพุต เอาต์พุตของ FSK	17
2.14 FSK Modulator	18
2.15 การเบี่ยงเบนความถี่	19
2.16 PLL FSK Demodulator	21
2.17 แสดงการทำงานและรูปร่างของสัญญาณต่างๆตามเฟสล็อคลูป	22
2.18 วงจรแซมเปิ้ลแอนโฮลด์ (Sample and Hold : S/H)	24
2.19 ตัวอย่างการใช้วงจรสุ่มและคงไว้	25
2.20 สเปกตรัมของสัญญาณเบสแบนด์และสเปกตรัมของสัญญาณสุ่มตัวอย่างต่าง ๆ กัน	26
2.21 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์	27
2.22 การเกิดสัญญาณรบกวนเนื่องจากการควอนไทซ์	28
2.23 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)	29
2.24 การเข้ารหัส (Coding)	30
2.25 พอร์ตอนุกรมของ PC DB9 ตัวผู้ (Male)	31
2.26 พอร์ตอนุกรมของอุปกรณ์ภายนอก DB9 ตัวเมีย (Female)	32
2.27 DB9 ตัวผู้ เมื่อมองจากด้านหลัง	32
3.1 โครงสร้างของระบบการส่งสัญญาณผ่านสายส่งกำลังไฟฟ้า	35
3.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	36
3.3 วงจรข้อมูลขนานเป็นอนุกรม	37
3.4 วงจร FSK Modulator	38
3.5 วงจร FSK Demodulator	39

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.6 วงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน	42
3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน	43
3.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก	43
3.9 โครงสร้างของวงจร Power Line Interface	44
3.10 วงจร Push-Pull Amplifier	44
3.11 วงจร Transformer	45
3.12 วงจร Power Line Interface ด้านภาคส่ง	46
3.13 วงจร Line Interface ด้านรับ	46
3.14 วงจร Band Pass Filter	47
4.1 แสดงสัญญาณอินพุตและเอาต์พุตของการมอดูเลตแบบ FSK	49
4.2 แสดงสัญญาณอินพุตและเอาต์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	50
4.3 แสดงสัญญาณอินพุตและเอาต์พุตของการมอดูเลตแบบ FSK	50
4.4 แสดงสัญญาณอินพุตและเอาต์พุตของวงจร DFSK	51
4.5 แสดงสัญญาณระดับแรงดันของไอซี MAX232	51
4.6 วงจรเรโซแนนซ์ทางด้านส่ง	52
4.7 กราฟแสดงความถี่เรโซแนนซ์ทางด้านส่ง	52
4.8 วงจรเรโซแนนซ์ทางด้านรับ	53
4.9 กราฟแสดงความถี่เรโซแนนซ์ทางด้านรับ	53
4.10 แสดงสัญญาณภายในสายไฟฟ้ากำลัง	54
4.11 แสดงการคัปปลิ้งสัญญาณออกไปสู่สายไฟฟ้า	54

สารบัญตาราง

ตารางที่	หน้า
2.1 ค่าลักษณะพารามิเตอร์ของสายไฟเอซีประเภทต่างๆ	3
2.2 แสดงช่วงความถี่ที่ใช้ได้ตามมาตรฐาน EN50065-1	6
2.3 แสดงประสิทธิภาพการส่งผ่านข้อมูล	7
2.4 เปรียบเทียบการมอดูเลตแบบดิจิตอลและแบบอนาลอก	15
2.5 Bessel Function Table	20
2.6 ข้อกำหนดของมาตรฐาน RS-232C	33
2.7 DB-9 ตัวผู้ ทางด้านคอมพิวเตอร์	33
2.8 หน้าที่ของสัญญาณต่างๆ	34
4.1 แสดงการหาความถี่เรโซแนนซ์ทางด้านส่ง	52
4.2 แสดงการหาความถี่เรโซแนนซ์ทางด้านส่ง	53

บทที่1
บทนำ

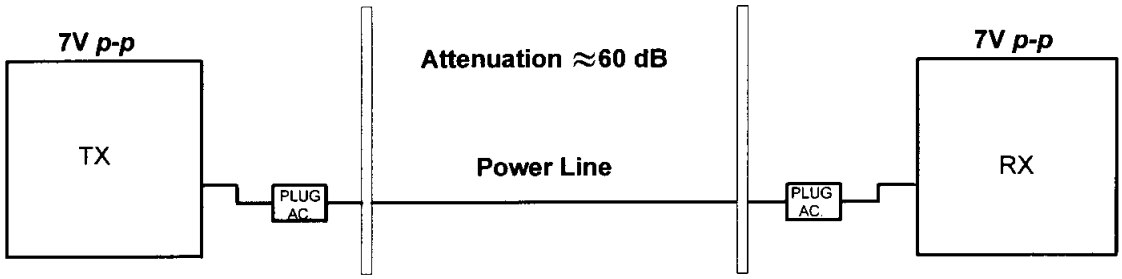
ปัจจุบันการติดต่อสื่อสารระหว่างกันเป็นสิ่งที่ขาดไม่ได้ เกือบทุกแห่งมีกระแสไฟฟ้า ซึ่งทำให้เกิดโครงข่ายของสายส่งกำลังไฟฟ้า (Power Line Network) เราจึงได้เล็งเห็นถึงประโยชน์ของสายไฟฟ้านอกจากจะเป็นทางเดินของกระแสไฟฟ้าที่ใช้กันในบ้านเรือนแล้ว ยังสามารถเป็นทางเดินของข้อมูลได้ด้วย จึงเกิดแนวคิดที่จะส่งสัญญาณดิจิตอลข้อมูลผ่านสายส่งกำลังไฟฟ้า โดยใช้เทคนิคการรับส่งสัญญาณดิจิตอลแบบ (Frequency Shift Keying :FSK) จึงจำเป็นต้องออกแบบส่วนส่งและรับสัญญาณที่มีคุณสมบัติป้องกันต่างๆ ให้เหมาะสมกับสภาพแวดล้อมหรือลักษณะของสายส่งกำลังไฟฟ้า เช่น ส่วนป้องกันแรงดันไฟฟ้า 220 V และสัญญาณความถี่ 50 Hz จากสายส่งกำลังไฟฟ้า ในโครงงานนี้จะมีชุดส่งและรับของ FSK โดยชุดส่งจะประกอบด้วยภาค A/D converter กรณีที่ข้อมูลทางด้านอินพุตเป็น Analog ยกตัวอย่างเช่น สัญญาณเสียง เป็นต้น ภาค Modulate แบบ FSK จะสร้างสัญญาณความถี่เปลี่ยนแปลงตามสัญญาณเสียงแบบ Digital และภาค AC Coupling ส่งสัญญาณเสียงเข้าไปในสายส่งกำลังไฟฟ้า ส่วนชุดรับจะทำการรับสัญญาณจากสายส่งกำลังไฟฟ้าในเฟสเดียวกัน โดยต้องมีความถี่เดียวกับที่กำหนดไว้แล้วมาทำการ Demodulate สัญญาณกลับเป็นสัญญาณเสียงตามเดิมเหมือนทางภาคส่ง

ซึ่งเราจะเห็นข้อดีของการส่งสัญญาณข้อมูลโดยผ่านสายส่งกำลังไฟฟ้า โดยที่เรานั้นไม่ต้องเดินสายเคเบิลให้ยุ่งยากและสิ้นเปลือง เป็นผลทำให้ประหยัดสายนำสัญญาณที่จะใช้ทำโครงข่ายสื่อสารมีค่าใช้จ่ายในการติดตั้งน้อย และเป็นการใช้ทรัพยากรที่มีอยู่แล้วให้เกิดประโยชน์สูงสุด มีความสะดวกในการใช้งาน เพราะเพียงเรานำตัวส่งและรับไปเสียบปลั๊กไฟฟ้าที่ใช้กันอยู่ทั่วไป ก็สามารถที่จะส่งข้อมูลถึงกันได้ทันที

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีการส่งข้อมูลผ่านสายส่งกำลังไฟฟ้า

เนื่องจากสายไฟเอซีถูกออกแบบมาเพื่อใช้ในการส่งกำลังไฟฟ้าอย่างเดียวเท่านั้น เมื่อเราต้องการที่จะส่งข้อมูลไปในสายไฟเอซี เราจึงต้องพบกับปัญหาในการส่งข้อมูลที่เกิดขึ้น เช่น สัญญาณรบกวนที่ความถี่สูง (High Noise) การลดทอนสูง (High Attenuation) และ การผิดเพี้ยนของสัญญาณ (Signal Distortion)



รูปที่ 2.1 การลดทอนสัญญาณข้อมูลในสายส่งกำลังไฟฟ้า

ในการเกิดการลดทอนในสายสัญญาณนั้นหากพิจารณาจากรูปที่ 2.1 จะพบว่าค่าของการลดทอนจะเป็นดังสมการ

$$Attenuation \quad n(dB) = 20\log\left(\frac{V_{TX}}{V_{RX}}\right) \tag{2.1}$$

จากรูปสมมติให้ $V_{TX} = 7V_{P-P}$ และ V_{RX} รับได้ $7mV_{P-P}$ ดังนั้นจะเกิดการลดทอนขึ้นในสาย

$$20\log\left(\frac{7}{7\times10^{-3}}\right) = 60dB$$

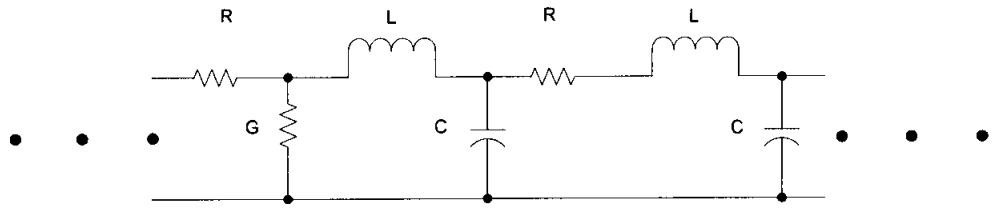
สำหรับค่าการลดทอนในสายไฟเอซีนั้นจะขึ้นอยู่กับสภาพแวดล้อมของสายว่ามีอุปกรณ์อะไรต่อเป็นโหลดอยู่บ้าง และระยะทาง ซึ่งระดับของค่าการลดทอนในสายจะแบ่งได้เป็นดังนี้

0-20 dB (Low Attenuation)

20-60 dB (Moderate Attenuation)

60-80 dB (High Attenuation)

ซึ่งหากพิจารณาลักษณะของการลดทอนในสายไฟเอซีโดยใช้วงจรคุณลักษณะของสายส่งแล้วจะได้



รูปที่ 2.2 วงจรคุณลักษณะของสายไฟเอซี

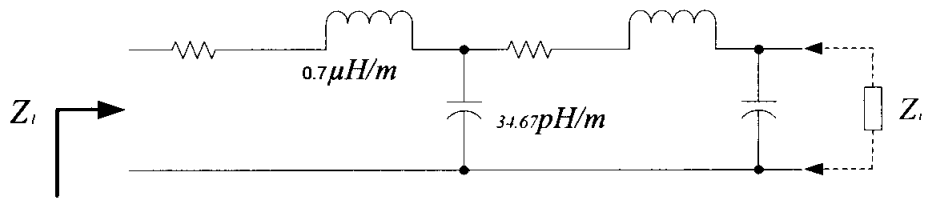
จากรูปที่ 2.2 จะเห็นว่าวงจรคุณลักษณะของสายไฟเอซี จะประกอบไปด้วยค่าของตัวต้านทานต่ออนุกรมอยู่กับสาย ค่าของตัวเหนี่ยวนำต่ออนุกรมอยู่กับสายและค่าของตัวเก็บประจุต่อขนานอยู่กับสาย ซึ่งค่าของแต่ละตัวจะขึ้นอยู่กับความยาวของสายด้วย

ตารางที่ 2.1 ค่าลักษณะพารามิเตอร์ของสายไฟเอซีประเภทต่างๆ

Wire Type	*C / metre* *(pF)*	*L / metre* *(μH)*	*R / metre* *(Ω)*	$Z_0(\Omega)$
12-2 BX < eta; Clad	75.67	0.417	0.044	74.23
12-2G Romex NM-B	34.67	0.713	0.045	143.40
18-2 Lamp Cord	44.00	0.677	0.078	124.04
18-3 LEC Power Cord	102.67	0.650	0.105	79.56

โดยที่ $$Z_0 = \sqrt{\frac{L}{C}} \qquad (2.2)$$

<u>ตัวอย่าง</u> ของสายไฟเอซีชนิด 12-2G Romex ยาว 20 เมตร



รูปที่ 2.3 ตัวอย่างวงจรลักษณะเฉพาะของสายไฟเอซีแบบ 12-2G Romex

ซึ่งจะเห็นว่าเราต้องทำการ Matching ค่า Impedance ของสายดังนั้นเราต้องทำค่าของ Zt ให้เหมาะสมเพื่อลดผลของการสะท้อนและลดทอนในสายซึ่งค่าของ Zt สามารถหาได้จาก

$$Zi = Zo\left[\frac{Zt + jZo\tan Bl}{Zo + jZt\tan Bl}\right] \quad (2.3)$$

เมื่อเราแบ่งคิดเป็น 2 กรณีคือ

1) เมื่อโหลดเป็น Low impedance ($Zt \langle\langle Zo$)

จะได้ $Zt = 1\ \mu F$ EMC capacitor

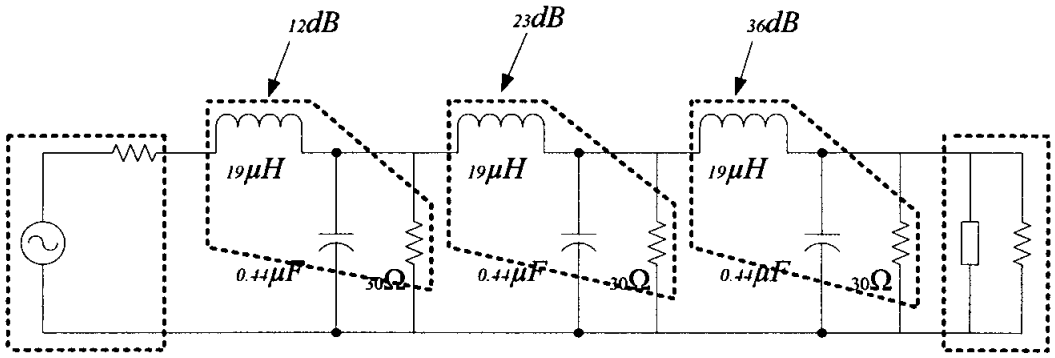
$Zi = \text{j}0.6\ \Omega$ (130 KHz)

2) เมื่อโหลดเป็น High impedance ($Zt \rangle\rangle Zo$)

จะได้ $Zt = 500\ \Omega$ Resistive load

$Zi = 471 - \text{j}1.1\ \Omega$ (130 KHz)

หากพิจารณาค่าคุณลักษณะของสายไฟได้แล้วเมื่อต่ออุปกรณ์เข้ากับสายไฟเอซี ก็จะเกิดการลดทอนเนื่องจากแรงดันด้วย (Voltage Divider Attenuation) ดังรูปที่ 2.4



รูปที่ 2.4 การลดทอนเนื่องจากการแบ่งแรงดันภายในสายเอซี

2.2 สายส่งกำลังไฟฟ้า

2.2.1 ลักษณะทั่วไปของสายส่งไฟฟ้า

สายไฟฟ้ามี 2 แบบด้วนกันคือ สายแข็ง (Solid Wire) และสายตีเกลียว (Stranded Wire) วัตถุที่นำมาทำเป็นสายไฟฟ้า มีทั้งอะลูมิเนียมและทองแดง สายไฟฟ้าที่ทำด้วยอะลูมิเนียมมักจะเป็น สายไฟแรงสูงในระบบสายส่งและเป็นสายเปลือยมากกว่าที่จะใช้ทำเป็นสายไฟแรงต่ำสายไฟฟ้าที่ทำด้วยทองแดงที่มีใช้ในงานไฟฟ้าทั่วไป สามารถแบ่งออกได้ 2 ชนิดด้วยกันคือ สายเปลือย (Bare Wire) และสายหุ้มฉนวน (Insulated Wire) สายไฟที่ทำด้วยทองแดงจะต้องมีทองแดงไม่น้อยกว่า 98% และสายไฟที่ทำด้วยอะลูมิเนียมจะต้องอะลูมิเนียมไม่ต่ำกว่า 99.3%

2.2.2 ชนิดของสายไฟหุ้มฉนวน

ฉนวนที่ใช้หุ้มสายแต่ละชนิดไม่เหมือนกัน ดังนั้นสายไฟฟ้าแต่ละชนิดจึงแบ่งตามชนิดของฉนวนที่นำมาหุ้มเพื่อให้เหมาะสมในแต่ละสภาพที่นำมาใช้งาน

- ชนิด IV

สายไฟชนิดนี้ตัวนำทำด้วยทองแดงหุ้มด้วยฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไปสามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์ และใช้เป็นสายเมนจากวัตต์โอห์มมิเตอร์เข้าบ้านได้

- ชนิด VCT

ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มด้วยฉนวน PVC ใช้ติดตั้งเครื่องจักรกลต่างๆ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

- ชนิด VAF

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไป สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

- ชนิด THW

ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มด้วยฉนวน PVC ใช้งานเดียวกับกรณี TW แต่ทนอุณหภูมิได้ถึง 75 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

- ชนิด NYY

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งใต้พื้นดิน สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

- ชนิด VFF

ตัวนำไฟฟ้าทำด้วยทองแดง ชนิดงอได้ (Flexible copper wire) ใช้กับเครื่องใช้ไฟฟ้าที่เคลื่อนที่ได้ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

- ชนิด AV

ตัวนำไฟฟ้าทำด้วยทองแดง หุ้มด้วยฉนวน PVC ใช้ติดตั้งกับงานไฟฟ้ารถยนต์ สามารถทนอุณหภูมิสูงถึง 60 องศาเซลเซียส ใช้กับแรงดันไฟฟ้าต่ำ

2.2.3 แรงดันไฟฟ้าลดในสายไฟ (Voltage Drop)

สายไฟฟ้าทุกเส้นจะมีความต้านทานภายใน ความต้านทานของสายไฟนี้จะมากหรือน้อยขึ้นอยู่กับความยาว ถ้าสายไฟมีความยาวมาก ความต้านทานก็มากตาม ดังนั้นเมื่อมีกระแสไหลผ่านสายไปก็จะเกิดแรงดันไฟลดที่สายนั้นเมื่อแรงดันไฟฟ้าที่ป้อนให้กับเครื่องใช้ไฟฟ้าลดลงต่ำกว่าขนาดที่เครื่องใช้ไฟฟ้ากำหนด ก็จะทำให้การทำงานที่ไม่ดีเท่าที่ควร

แรงดันไฟฟ้าที่สายป้อน Feeder ไม่ควรเกิน 20%และแรงดันไฟฟ้าลดที่วงจรย่อย branch circuit ไม่ควรเกิน 35 หรือทั้งสายป้อนและวงจรย่อมรวมกันแล้ว แรงดันไฟฟ้าลดจะต้องไม่เกิน 5% ข้อแนะนำนี้เป็นค่าสูงสุด แต่ถ้าจะให้ดีไม่ควรเกิน 2%

2.2.4 มาตราฐานการสื่อสารบนสายไฟฟ้ากำลัง

มาตรฐาน EN50065-1 เป็นมาตรฐานที่เกี่ยวกับการสื่อสารผ่านสายไฟฟ้ากำลังมีข้อกำหนดดังนี้

ตามมาตรฐาน EN 50065-1 กำหนดความถี่ของการสื่อสารบนสายไฟฟ้ากำลัง ไว้ที่ความถี่ 3-148 kHz ซึ่งแบ่งออกเป็น 4 ช่วงความถี่ ดังต่อไปนี้

ตารางที่ 2.2 แสดงช่วงความถี่ที่ใช้ได้ตามมาตรฐาน EN50065-1

Elictricity supply 3 kHz - 95 kHz	Home system 95 kHz -125 kHz	Home system 125 kHz – 140 kHz	Alarm &security 140 kHz - 148 kHz
	Free access		

ในโครงงานนี้เลือกใช้ความถี่ 110kHz และ 130 kHz ซึ่งอยู่ในช่วงที่สามารถใช้งานได้อย่างอิสระ

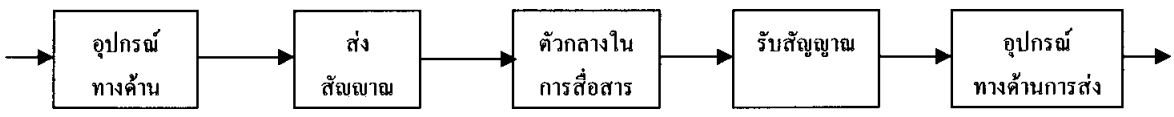
ค่าแรงดันที่สามารถสื่อสารผ่านสายไฟฟ้า ภายในที่อยู่อาศัยกำหนดไว้ไม่เกิน 3.56 โวลต์ ส่วนในสถานที่พิเศษ เช่น โรงงานอุตสาหกรรม ถูกกำหนดไว้ไม่เกิน 23.8 โวลต์ ดังนั้นการออกแบบจึงควรให้อยู่ภายใต้ข้อกำหนดดังกล่าว

2.3 พื้นฐานการสื่อสารข้อมูล

ดังนั้นปัจจุบันสัญญาณหลักที่ใช้เพื่อการโทรคมนาคมจึงได้แก่ สัญญาณไฟฟ้า เพราะฉะนั้นถ้าจะกล่าวถึงการสื่อสารเบื้องต้นแล้ว ก็จะมีประเด็นพื้นฐานอยู่บนสัญญาณไฟฟ้าเป็นหลักนั้นเองระบบการสื่อสาร

รูปแบบการสื่อสารอย่างง่ายๆ ดังบล็อกไดอะแกรมของรูปแบบการสื่อสารดังรูปที่ 2.5

1	2	3	4	5	6
ข้อมูลหรือ สัญญาณ ทางด้าน อินพุต m(t)	แปลงข้อมูล หรือสัญญาณ ทางด้าน อินพุต g(t)	ทำการส่ง สัญญาณ s(t)	ทำการรับ สัญญาณ r(t)	แปลงข้อมูล หรือสัญญาณ ทางด้าน เอาต์พุต g^(t)	ข้อมูลหรือ สัญญาณ ทางด้าน เอาต์พุต m^(t)



รูปที่ 2.5 บล็อกไดอะแกรมของการสื่อสาร

จุดประสงค์หลักสำคัญของพื้นฐานของการสื่อสารก็คือ การแลกเปลี่ยนข่าวสาร (Information) ระหว่างตัวกระทำการในการสื่อสารสองแห่งดังรูปที่ 2.5 ข่าวสารที่แลกเปลี่ยนก็คือสิ่งที่แทนโดยตัวอักษร m (message labeled) ข่าวสารนี้จะถูกเปลี่ยนให้อยู่ในรูปของข้อมูล g ซึ่งในการส่งผ่านข้อมูลจะอยู่ใน

รูปของสัญญาณที่เปลี่ยนแปลงตามเวลา g (t) ในเทอมของข้อมูล (data) และข่าวสารได้รับการนิยามไว้ดังตารางที่ 2.2 นิยามเหล่านี้ดูค่อนข้างจะเป็นทางการ อาจจะให้ความหมายได้ดังนี้คือ ข้อมูลคือสิ่งที่สามารถพิสูจน์ได้ ข้อมูลเป็นสิ่งที่อธิบายได้ ข้อมูลไม่จำเป็นจะต้องแสดงด้วยคุณสมบัติทางกายภาพที่สามารถวัดได้ ที่กล่าวมานี้คือคุณสมบัติของข้อมูล ที่จะเป็นประโยชน์ในขบวนการผลิตข่าวสาร ด้วยการแปลงข่าวสารให้เป็นข้อมูล ดังนั้นข่าวสารของคนคนหนึ่ง จึงสามารถไปปรากฏเป็นข่าวสารของอีกคนหนึ่งได้ ข่าวสารจะเกิดขึ้นก็ต่อเมื่อข้อมูลถูกแปลงความหมายออกมาเพื่อประโยชน์ในการแลกเปลี่ยนข่าวสารการเข้าถึงองค์ประกอบของข้อมูลและประสิทธิภาพในการส่งผ่านจึงเป็นสิ่งที่จำเป็น

ตารางที่ 2.3 แสดงประสิทธิภาพการส่งผ่านข้อมูล

ข้อมูล	การแสดงออกหนึ่งการแสดงของข้อเท็จจริง, ความคิด, หรือคำแนะนำในลักษณะท่าทางที่การทำให้เป็นระเบียบแบบแผนที่เหมาะสมสำหรับการสื่อสาร, การอธิบาย, หรือกระบวนการโดยการเป็นอยู่เกี่ยวกับมนุษย์หรือโดยความหมายอัตโนมัติ
ข้อมูลการสื่อสาร	ความหมายซึ่งมนุษย์เป็นผู้กำหนดถึงข้อมูลโดยการตกลงกัน สำหรับความหมายของข้อความ

เราย้อนกลับมาพิจารณารูปที่ 2.5 สัญญาณ g(t) ซึ่งเป็นสัญญาณที่จะถูกส่งผ่านไปมักจะไม่อยู่ในรูปแบบที่เหมาะสมในการส่งผ่าน ดังนั้นจึงต้องมีการเปลี่ยนสัญญาณให้อยู่ในรูปของสัญญาณ s(t) ที่มีความเหมาะสมในการส่งผ่านเข้าไปในตัวกลางมากกว่า สัญญาณนี้จะถูกส่งผ่านไปถึงอีกฝ่ายหนึ่งซึ่งเป็นฝ่ายรับ เมื่อถึงตัวรับสัญญาณ s(t) ก็อาจมีการเปลี่ยนแปลงกลายเป็นสัญญาณ r(t) เมื่อถูกรบกวนด้วยสัญญาณรบกวนขึ้นภายในตัวกลาง ซึ่งสัญญาณ r(t) จะเหมือนหรือไม่เหมือนกับ s(t) ก็ได้สัญญาณ r(t) นี้จะถูกแปลงกลับไปเป็นสัญญาณที่เหมาะสมสำหรับผู้รับกลายเป็นสัญญาณ $g^{\wedge}(t)$ หรือข้อมูล $g^{\wedge}(t)$ ซึ่งถือว่าเป็นค่าประมาณของสัญญาณอินพุตและเมื่อถือที่สุดเอาต์พุตก็จะทำการประมาณค่าข่าวสาร $m^{\wedge}(t)$ ส่งให้กับผู้รับปลายทาง

ซึ่งกระบวนการสื่อสารอย่างง่ายๆ ดังที่ได้กล่าวมาแล้ว ได้ซ่อนเอาเทคนิคและวิทยาการซับซ้อนเอาไว้อย่างมากมาย

2.3.1 สัญญาณ

สัญญาณ (Signal) มีหลักการแบ่งเป็นประเภทต่างๆ หลายวิธี แต่โดยทั่วไปจะแบ่งได้เป็น

- สัญญาณพลังงานและสัญญาณกำลัง

สัญญาณพลังงาน (Energy Signal) คือสัญญาณ f(t) ใด ๆ ที่มีค่าพลังงานทั้งหมดจากตัวมันมีค่าจำกัด ตัวอย่างสัญญาณประเภทนี้ได้แก่สัญญาณพัลส์ต่าง ๆ เป็นต้น

สัญญาณกำลัง (Power Signal) คือสัญญาณใดๆ ที่ค่าเฉลี่ยของงานที่ทำได้ต่อเวลา ของสัญญาณประเภทนี้นั้นมีค่าจำกัด

- สัญญาณมีคาบและสัญญาณไร้คาบ

สัญญาณมีคาบ (Periodic Signal) คือสัญญาณที่เกิดขึ้นแล้ว มีรูปแบบของสัญญาณซ้ำรูปเดิมทุกๆ ช่วงเวลาที่มีค่าจำกัดค่าหนึ่งสัญญาณไร้คาบ (A periodic Signal) คือสัญญาณใดๆ ที่ไม่สามารถหาค่าเวลาที่แน่นอนได้

- สัญญาณกำหนดได้และสัญญาณสุ่ม

สัญญาณกำหนดได้ (Deterministic Signal) คือ สัญญาณที่เมื่อเรารู้ข้อมูลบางอย่างเกี่ยวกับสัญญาณนั้นเพียงพอแล้ว จะสามารถบอกถึงรูปลักษณะที่แน่นอนของสัญญาณ นั้นทั้งในอดีตและอนาคตได้อย่างถูกต้อง

สัญญาณสุ่ม (Random Signal) คือสัญญาณใดๆ ถึงแม้เราจะรู้ข้อมูลต่างๆ ของมันที่ผ่านมาแล้ว มากเพียงใดก็ตามเราก็ไม่สามารถที่จะกำหนดค่าที่แน่นอนของมันได้ ตัวอย่างของสัญญาณชนิดนี้ได้แก่ เสียงจากเครื่องรับวิทยุซึ่งหยุดออกอากาศไปแล้วเป็นต้น

2.3.2 การสื่อสารแบบดิจิตอล

2.3.2.1 หน่วยของข้อมูลและหน่วยของสัญญาณ

ในทางทฤษฎีของข้อมูล (Information Theory) นั้น วิธีธรรมดาที่สุดที่ใช้กำหนดปริมาณของข้อมูลที่บรรจุอยู่ในสถานะของข่าวสาร (Message State) หรือในสัญลักษณ์ (Symbol) หรือในรหัส (Code) ต่างๆ นั้น ได้ใช้วิธีการกำหนดโดยการติดตั้งค่าลอการิทึม (Logarithm) ของความเป็นไปได้ (Probability) ของการเกิดสถานะของข่าวสารหรือสัญลักษณ์นั้นๆ กล่าวคือ ถ้าสัญลักษณ์ S_i มีโอกาสที่จะเกิดขึ้นเท่ากับ P_i แล้ว ปริมาณของข้อมูล (Information) I_i ที่มีอยู่ในสัญลักษณ์ S_i นั้นจะกำหนดได้โดย

$$I_i = -\log_a(P_i) \tag{2.4}$$

ค่าหน่วย (Unit) ของ I, ขึ้นอยู่กับค่าฐานของลอการิทึมที่ใช้ในสมการ(2.4) ถ้าa = e(e = 2.71828) I_i ก็จะมีหน่วยเป็นNit (Nature information unit)แต่ถ้าa = 2, I_iก็จะมีหน่วยเป็น Bit (Binary information unit)

ถ้าสัญลักษณ์ที่ใช้อยู่ทั้งหมดมี n ตัว ปริมาณของข้อมูลที่มีเฉลี่ย อยู่ในสัญลักษณ์แต่ละตัว

$$I_{AV} = \sum_{i-n}^{n} p_i i_i \tag{2.5}$$

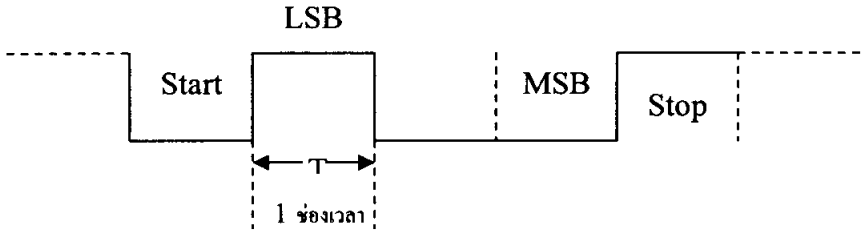
$$I_{AV} = -\sum_{i-1}^{n} p_i \log_z P_i \tag{2.6}$$

สำหรับการสื่อสารข้อมูลระบบดิจิตอลสถานะของสัญญาณที่ใช้ มีเพียงสองสถานะเท่านั้นที่เกิดขึ้นในช่วงเวลาที่กำหนด ซึ่งช่วงเวลาที่กำหนดนี้นิยมเรียกกันว่า ช่องสองเวลา (Time slot) สถานะทั้งสองของสัญญาณดิจิตอลนั้น นิยมกล่าวกันง่ายๆ ว่า คือ สถานะ "1" และ สถานะ "0" หรือ มักที่จะเรียกกันให้ง่ายขึ้นไปอีกว่า คือ 1 และ 0 จะเห็นว่า ถ้าเราตั้งสมมุติฐานว่าสถานะ 0 หรือ 1 หรือ มีโอกาสที่

เกิดขึ้นได้เท่าๆ กันในแต่ละช่องเวลานั้น ซึ่งใช้สำหรับส่งสัญญาณนั้นแล้วค่าปริมาณข้อมูลของสัญญาณดิจิตอลที่เกิดขึ้นโดยเฉลี่ยแต่ละช่องเวลานั้น สามารถคำนวณจากสมการที่ (2.6) ได้ว่า มีค่าเท่ากับ 1 บิต เพราะฉะนั้น สำหรับสัญญาณดิจิตอลแล้วจึงเป็นการสะดวกที่จะบอกว่า สัญญาณดิจิตอลนั้น จะมีข้อมูลบรรจุอยู่มากน้อยเท่าใด โดยเพียงสังเกตจากจำนวนช่องเวลาที่ใช้ส่งสัญญาณดิจิตอลดังกล่าวนั้นทั้งนี้เพราะว่า 1 ช่องเวลานั้น มีข้อมูลเฉลี่ยอยู่เท่ากับ 1 บิต ดังนั้นถ้าสัญญาณดิจิตอลที่เราสนใจอยู่นั้นใช้ช่องเวลาทั้งหมดอยู่เท่าใด ก็เท่ากับว่าข้อมูลทั้งหมดในสัญญาดิจิตอลนั้นมีอยู่เท่านั้น ด้วยสาเหตุดังกล่าวนี้เองหน่วย บิด จึงได้ถูกขยายมาใช้เป็นหน่วยร่วมของปริมาณต่างๆ 3 อย่าง คือ หน่วยของสัญญาณข้อมูล (bit : information unit) หน่วยของสัญญาณดิจิตอล (bit : bit binary unit) และหลักของเลขฐานสอง (bit : binary digit) กล่าวคือถ้ามีการกล่าวว่า อุปกรณ์เครื่องหนึ่งมีอัตราการส่งข้อมูล (bit rate) เท่ากับ m, bit/s เราอาจตีความหมายได้ 3 อย่างพร้อมๆ กัน คือ

1. มีข้อมูลที่ถูกส่งออกไปจากอุปกรณ์ดังกล่าว เป็นปริมาณข้อมูล m บิต ใน 1 วินาที
2. มีสัญญาณดิจิตอลถูกส่งออกไปในช่องเวลาจำนวน m ช่อง ใน 1 วินาที
3. มีเลขฐานสอง ถูกส่งออกไปจำนวน m หลัก หรือ m ตัวในหนึ่งวินาที

หน่วยของข้อมูลดิจิตอลที่พบกันอยู่เสมอไปอีกอย่างหนึ่ง คือ ไบต์ (Byte) ไบต์เป็นหน่วยของข้อมูลที่มีค่าเท่ากบ 8 บิต (1 ไบต์ = 8 บิต)



รูปที่ 2.6 แสดงสัญญาณข้อมูลพร้อม Start-Stop

2.3.2.2 อัตราบอด

อัตราบอด (Baud rate) เป็นหน่วยสำหรับบอกอัตราการส่งสัญญาณต่อวินาทีหรือเป็นหน่วยที่บอกถึงอัตราการเกิดของอนุภาพสัญญาณ (Signaling eiement) ต่อวินาที แสดงจำนวนของสัญญาณแต่ละหน่วยในหนึ่งหน่วยวินาที มักถูกตั้งชื่อตาม Baudot ซึ่งเป็นผู้บุกเบิกการสื่อสารชาวฝรั่งเศส ในการส่งแบบไบนารีมันเป็นสิ่งเดียวกับบิตต่อวินาที (bps) แต่ทั้งสองคำนี้มีความแตกต่างกัน

มีจุดที่น่าสังเกตคือ ทั้งอัตราบอด และ bps อ้างถึงอัตราที่บิตภายในหนึ่งเฟรมถูกต้อง ช่องว่างระหว่างเฟรมอาจมีความยาวแปรเปลี่ยนได้

2.3.2.3 คุณสมบัติพิเศษของสัญญาณดิจิตอล

สัญญาณระบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอก โดยการแปลงสัญญาณจากอนาลอกให้เป็นสัญญาณดิจิตอลแล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่งซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวอย่าง ซึ่งข้อดีของการสื่อสารด้วยสัญญาณดิจิตอลที่สำคัญคือ

สัญญาณรบกวนต่ำ

ในระบบอนาลอกนั้น สัญญาณรบกวน (Noise) และสัญญาณสอดแทรก (Interference) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูลก็จะทำการขยายสัญญาณเหล่านั้นไปด้วย แต่ระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 (Low) และ 1 (High) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ และสัญญาณดิจิตอลจะทนต่อสัญญาณรบกวนมากกว่าสัญญาณอนาลอก แม้สัญญาณดิจิตอลจะถูกสัญญาณอื่นรบกวนเป็นอย่างมาก แต่ถ้าสัญญาณรบกวนนั้นมีค่าความแรงสูงสุดไม่เกินระดับเทรชโฮลด์แล้วเครื่องรับสามารถจะสร้างสัญญาณดิจิตอลขึ้นมาใหม่ (Regeneration) ทั้งนี้เพราะว่าเครื่องรับสัญญาณดิจิตอลจะใช้การตัดสินใจว่าระดับของสัญญาณที่เข้ามานั้นมีค่ามากหรือน้อยกว่าระดับเทรชโฮลด์เท่านั้น โดยถ้าสัญญาณที่เข้ามามีระดับสูงกว่าระดับเทรชโฮลด์แล้ว เครื่องรับจะบันทึกค่าของสัญญาณนั้นว่าเป็น 1 บิต เช่นนั้นแล้วเครื่องรับจะบันทึกสัญญาณนั้นว่าเป็น 0 ดังนั้นโดยวิธีการนี้เราจะเห็นได้ว่าตราบใดที่สัญญาณรบกวนนั้นมีความแรงสูงสุด ไม่เกินระดับเทรชโฮลด์แล้ว เครื่องรับก็จะสามารถสร้างสัญญาณดิจิตอลขึ้นใหม่ให้เหมือนกับสัญญาณต้นกำเนิดเดิมที่ส่งมาได้

อย่างไรก็ตาม สำหรับสัญญาณอนาลอกนั้นถ้าถูกรบกวนโดยสัญญาณแล้ว สัญญาณรบกวนจะมีอิทธิพลเป็นอย่างมากพอที่จะกลมกลืนส่วนของสัญญาณอนาลอกที่มีการเปลี่ยนแปลงน้อยๆได้ สำหรับกรณีเช่นนี้ การที่จะสร้างสัญญาณอนาลอกทางเครื่องรับขึ้นมาใหม่เพื่อที่จะให้เหมือนกับสัญญาณอนาลอกต้นกำเนิดเดิมจากเครื่องส่งนั้น ตามธรรมดาแล้วนั้นย่อมเป็นไปไม่ได้เลยซึ่งสัญญาณของอนาลอกที่เครื่องรับพอจะนำกลับคืนมาได้นั้นจะผิดเพี้ยนไปจากสัญญาณเดิม พอสมควร

ง่ายต่อการเข้ารหัส

ในกรณีที่ให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูลได้

สะดวกต่อการมัลติเพล็กซ์

ซึ่งส่วนมากใช้การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex)

แต่ถึงอย่างไรก็ตามการสื่อสารระบบดิจิตอลก็มีข้อเสียอยู่ คือ เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้มีแบนด์วิดธ์ไม่เกิน 3.4 KHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

2.3.2.4 การส่งข้อมูลดิจิตอล (Digital Transmission)

การส่งผ่านข้อมูล ด้วยวิธีการนี้สัญญาณดิจิตอลจะถูกส่งไปได้ในระยะทางที่จำกัดก่อนที่การลดทอนจะทำอันตรายต่อองค์ประกอบของข้อมูล ดังนั้นเพื่อให้การส่งสามารถทำได้เป็นระยะทางไกลๆ เราจึงใช้ตัวทวนสัญญาณ (Repeater) เพื่อกู้สัญญาณดั้งเดิมกลับคืนมา โดยที่ตัวทวนสัญญาณเมื่อได้รับ

สัญญาณดิจิตอลแล้ว ก็จะทำการแก้รูปแบบของบิต 1 และบิต 0 กลับคืนมาอีกครั้ง และส่งต่อออกไปใหม่ ซึ่งทำให้สามารถเอาชนะการลดทอนลงไปได้

ในปัจจุบันมีแนวโน้มที่จะหันมาใช้ในระบบสื่อสารดิจิตอลที่ได้แทนระบบอนาลอกมากขึ้นแม้จะได้มีการใช้ระบบอนาลอกมาก่อนอย่างมากก็ตาม เหตุผลที่สำคัญก็คือ

- ดิจิตอลเทคโนโลยี การพัฒนาเทคโนโลยีของวงจรดิจิตอล LSI และ VLSI ทำให้ราคาและขนาดลดลงในขณะที่เครื่องมือทางอนาลอกไม่ได้ลดลง

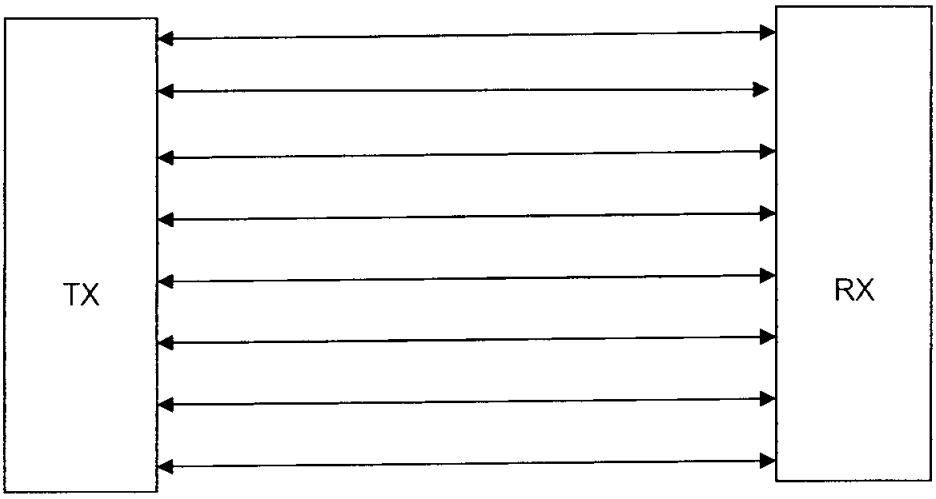
- คุณภาพของข้อมูล สำหรับขบวนการทางดิจิตอล การใช้ตัวทวนสัญญาณแทนที่จะใช้ตัวขยายสัญญาณทำให้อิทธิพลของสัญญาณรบกวนไม่ถูกสะสม ทำให้เราสามารถส่งข้อมูลไปได้ระยะทางไกล ๆ แม้ว่าคุณภาพของสายจะไม่ดีก็ตาม

- ความจุของการใช้งานมีมาก มันเป็นเรื่องที่สิ้นเปลืองมากในการที่เราจะต้องสร้างทางเดินการส่งผ่านข้อมูลที่มีแบนด์วิดธ์กว้างมากๆ เช่น ช่องสัญญาณดาวเทียมและเส้นใยแก้วนำแสง ดังนั้นการนำขบวนการในการมัลติเพล็กซ์เข้ามาใช้งาน

- ความปลอดภัยและความเป็นส่วนตัว เทคนิคการย่อข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิตอล และพร้อมที่จะนำมาใช้กับข้อมูลอนาลอกที่ถูกดิจิไตซ์แล้ว

2.3.2.5 การส่งข้อมูลแบบขนาน (Parallel Data Transmission)

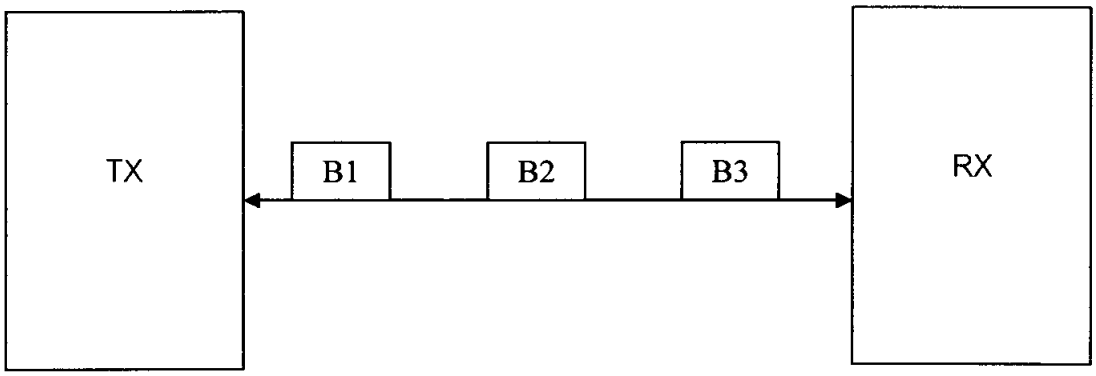
วิธีการนี้จะนำทุกๆ บิตของรหัสที่ประกอบเป็นอักษรหนึ่งตัวส่งออกไปพร้อม ๆ กันในเวลาเดียวกัน ซึ่งจะต้องใช้ Channel หรือทางเดินของข่าวสารเท่ากับจำนวนบิตที่ประกอบเป็นอักษรหนึ่งตัวนั้น หมายความว่า ถ้ารหัสขนาด 8 บิตก็ต้องมี Channel ทั้งหมด 8 Channel (8 เส้นนั่นเอง) มักใช้ในระบบสื่อสารที่มีระยะทางในการติดต่อไม่ไกลมากนัก โดยเฉพาะในการส่งข้อมูลระหว่างคอมพิวเตอร์กับอุปกรณ์ประกอบของคอมพิวเตอร์ต่างๆ การส่งแบบขนาน ทำให้เราได้ระบบสื่อสารที่มีอัตราการส่งข้อมูลสูงมาก แต่ในกรณีที่ระยะทางในการติดต่อมีระยะไกลมาก ๆ จะไม่ได้รับความนิยม เพราะราคาของการวาง Channel แบบขนานจะสิ้นเปลืองค่าใช้จ่ายสูงมาก



รูปที่ 2.7 การสื่อสารข้อมูลแบบขนาน

2.3.2.6 การส่งข้อมูลแบบอนุกรม (Serial Data Transmission)

เป็นวิธีการส่งข้อมูลที่ได้รับความนิยมแพร่หลายมากที่สุด การส่งแบบอนุกรมนั้น บิตทั้งหมดของตัวอักษรหนึ่งตัวจะถูกนำมาส่งออกไปทีละบิต ติดต่อกันไปเรื่อยๆ ตาม Channel เดียว ทางด้านรับเมื่อรับข้อมูลมาแล้วก็จะนำมาจัดเป็นตัวอักษรขึ้นใหม่ให้ตรงกับชุดของตัวอักษรที่ทางด้านส่ง ส่งมาเพื่อให้สามารถได้อักษรที่ถูกต้องกลับมาใช้งาน ระบบการสื่อสารข้อมูลจะใช้วิธีการนี้ เพราะการสื่อสารข้อมูลในระยะไกลๆ สิ่งที่ต้องระมัดระวังคือ ความผิดพลาดเกี่ยวกับความสัมพันธ์ของบิตและของตัวอักขระที่ส่ง เพราะเรานำเอาบิตของอักขระหลายๆ บิต มาส่งเรียงกันไป ทางด้านรับจะต้องสามารถแยกอักขระที่รับมาเป็นอักขระเดิมที่ทางด้านส่งส่งออกมาได้ ซึ่งต้องอาศัยความสัมพันธ์ของข้อมูลและของอักขระด้วย



รูปที่ 2.8 การส่งข้อมูลแบบอนุกรม

การซิงโครไนซ์ เป็นหัวใจสำคัญในงานทางด้านสื่อสารข้อมูล โดยที่ตัวส่งจะส่งข่าวสาร 1 บิต ที่เวลาหนึ่งผ่านตัวกลางไปยังผู้รับ ผู้รับจะต้องแยกให้ได้ว่าที่ตำแหน่งเริ่มต้นหรือตำแหน่งสิ้นสุดของบล็อกของบิต และจะต้องรู้ถึงค่าระยะเวลาของสัญญาณ 1 บิต เพื่อที่จะสามารถสุ่มสัญญาณในสายได้ถูกต้องและอ่านค่าของแต่ละบิต

ตัวอย่างหนึ่งคือ ผู้รับควรจะพยายามสุ่มเอาค่าสัญญาณจากตัวกลางที่ตำแหน่งเวลากึ่งกลางของแต่ละบิต แต่ถ้ามีความแตกต่างของเวลาเกิดขึ้นระหว่างตัวรับและส่ง 5% ของแต่ละบิต ดังนั้นที่จะสุ่มค่าตัวอย่างของสัญญาณครั้งที่ 10 จะทำให้ตัวรับเกิดข้อมูลผิดพลาด แต่สำหรับความแตกต่างของเวลาบิตที่น้อยมากๆ ความผิดพลาดก็จะเกิดขึ้นที่ตำแหน่งบิตที่ไกลออกไปอีก ถึงกระนั้นก็ดี ก็ยังทำให้ตัวรับกับตัวส่ง ทำงานซิงโครไนซ์กันไม่ได้

มีวิธีการง่ายๆ อยู่ 2 วิธี ที่ใช้ในการแก้ปัญหาซิงโครไนซ์ วิธีแรกเรียกว่า Asynchronous transmission ซึ่งเป็นวิธีที่บิตทั้งหลายถูกส่งไปเป็นบล็อกๆ ละหนึ่งตัวอักษร โดยปกติแต่ละอักขระ จะมีความยาวจำนวนบิตข้อมูล 5 ถึง 8 บิต เวลาหรือการซิงค์จะถูกรักษาให้อยู่ในเพียงแต่ละอักขระ ตัวรับจะถือโอกาสเริ่มทำการซิงโครไนซ์สัญญาณใหม่ที่จุดเริ่มต้นของอักขระใหม่แต่ละตัว สำหรับอีกวิธีหนึ่งก็คือการทำซิงโครไนซ์สำหรับการส่งผ่านสัญญาณข้อมูล ที่มีบล็อกที่ยาวมากเพราะว่าบล็อกของบิตที่ส่งจะยาว

มากในหนึ่งครั้ง ซึ่งตัวรับจะต้องรักษาการซิงโครนัส กับตัวส่งเป็นระยะเวลาที่ยาวนาน วิธีการแบบหลังนี้เรียกว่า การส่งสัญญาณแบบซิงโครนัส

2.3.2.7 การส่งข้อมูลแบบอะซิงโคนัส (Asynchronous Transmission)

เป็นการแก้ปัญหาการซิงโครไนเซชันวิธีหนึ่งก็คือ การส่งบล็อกที่ประกอบด้วยบิตจำนวนน้อย ๆ ในแต่ละบล็อก และทำการซิงโครนัสใหม่ทุกครั้ง ที่ตำแหน่งเริ่มต้นของแต่ละบล็อกและเทคนิคเก่าอันหนึ่งที่เป็นที่รู้จักกันได้แก่ Start-Stop หรือการส่งผ่านแบบอะซิงโครนัส การส่งผ่านแบบอะซิงโครนัสนับว่าเป็นการส่งแบบที่เรียกว่า Character-Oriented โดยจำนวนบิตใน 1 อักขระ จะถูกกำหนดให้มีได้ตั้งแต่ 5 ถึง 8 บิต

เทคนิคอันนี้สามารถอธิบายได้อย่างง่ายๆ ดังรูปที่ 2.10 คือเมื่อไม่มีการส่งอักขระสายระหว่างผู้รับและผู้ส่งจะอยู่ในสถานะ "Idle" ซึ่งตามมาตรฐานจะถูกกำหนด ให้มีสถานะให้เป็นสถานะมาร์ค (1) ดังนั้นสำหรับสัญญาณ NRZ-L idle ก็จะถูกแทนด้วยการมีค่าศักย์ไฟฟ้า (หรือกระแส) ในสายที่ตำแหน่งเริ่มต้นของอักขระที่เรียกว่าบิตเริ่มต้นค่าของไบนารีจะมีค่าเป็น 0 ก็ต่อไปก็จะตามกลุ่มบิตของอักขระตั้งแต่ 5 ถึง 8 บิต ในบางกรณีก็จะมีบิตพาริตี้ด้วย สำหรับบิตพาริตี้ด้วย สำหรับบิตพาริตี้จะถูกกำหนดขึ้นโดยผู้ส่ง เพื่อให้ผู้รับใช้ตรวจสอบความผิดพลาด บิตสุดท้ายของอักขระจะถูกตามด้วยบิต stop ซึ่งมีค่าไบนารีเป็น "1" ความยาวต่ำสุดของบิตสิ้นสุดถูกกำหนดให้เป็น 1 บิตโดยทั่วไปแล้วจะกำหนดให้เป็น 1,1.5,2 เท่าของบิต สำหรับค่านานที่สุดจะไม่ถูกกำหนดเพราะว่าบิตสิ้นสุดจะไปเหมือนกับสถานะ idle ตัวส่งจะส่งบิตสิ้นสุดต่อเนื่องจนกระทั่งมันพร้อมที่จะส่งอักขระถัดไป ถ้าขบวนอักขระถูกส่งอย่างต่อเนื่องคงที่สม่ำเสมอ ช่องว่างอักขระที่จะมีค่าเท่ากันตลอดซึ่งจะเท่ากับบิตสิ้นสุด

Idle "1"	Start bit	1	2	3	4	5	6	7	8	stop

รูปที่ 2.9 8-bit asynchronous bit stream

2.3.2.8 การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)

แม้ว่าชนิดของเฟรมจะเป็นตัวกำหนดความแตกต่างระหว่างการส่งข้อมูลแบบอะซิงโครนัสและซิงโครนัสก็ตาม แต่ความแตกต่างของหลักพื้นฐานระหว่างวิธีทั้งสองก็คือ ว่าสัญญาณนาฬิกาที่ควบคุมการส่งผ่านแบบอะซิงโครนัส ของตัวส่งและตัวรับจะไม่ซิงค์กันพอดีก็ได้ ในขณะการส่งผ่านของซิงโครนัส สัญญาณนาฬิกาของตัวส่งและรับจะต้องซิงค์กันพอดี ซึ่งอาจจะทำได้โดยการเพิ่มสายต่อระหว่างส่วนของอุปกรณ์ทั้งสองเพื่อ นำพาสัญญาณนาฬิกาให้ไปด้วย เพื่อให้อุปกรณ์ทางด้านรับสามารถที่จะตรวจหาอย่างแน่นอนว่า เมื่อใดบิตใหม่แต่บิตกำลังส่งมา แต่อย่างไรก็ตามในทางปฏิบัติวิธีการที่ทำกันปกติก็คือใช้สายข้อมูลเพียงเส้นเดียว แต่ฝากข้อมูลของสัญญาณนาฬิกามาร่วมกับรูปคลื่นที่ใช้ส่ง โดย

วิธีการนี้สัญญาณนาฬิกาในการสุ่มของตัวรับจะต้องถูกแยกออกมาจากขบวนของสัญญาณข้อมูลที่เข้ามาด้วยวงจรแยกสัญญาณที่เหมาะสม

2.3.2.9 แบบวิธีของการส่งและเทคนิค(Transmission Mode and Techniques)

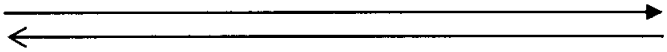
1.แบบซิมเพล็กซ์ (Simplex) เป็นแบบวิธีของการส่งซึ่งสัญญาณเดินทางในทิศทางเดียวจากผู้ส่งไปยังผู้รับ บางครั้งก็เรียกว่า Undirect data Bus

2.แบบครึ่งดูเพล็กซ์ (Half-Duplex) เป็นแบบวิธีการส่งซึ่งสัญญาณเดินทางผ่านตัวกลางในการส่งได้ทั้งสองทางแต่คนละเวลากัน จะผลัดกันส่งและผลัดกันรับ จะพร้อมกันไม่ได้

3.แบบฟลูดูเพล็กซ์ (Full-Duplex) เป็นแบบวิธีของการส่งซึ่งสัญญาณเดิมทางผ่านตัวกลางในการส่งได้ทั้งสองเวลาเดียวกัน เช่น โทรศัพท์ เป็นต้น

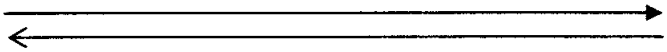
ตัวกลางเดียว ทิศทางเดียว

(a) Simplex



ตัวกลางเดียว ทิศทางเดียวขณะเวลาหนึ่ง

(b) Half-Duplex



สองทิศทางพร้อม ๆ กัน

(c) Full-Duplex

รูปที่ 2.10 แบบวิธีของการส่ง

2.4 ดิจิตอลมอดูเลชัน

เนื่องจากสัญญาณดิจิตอลในแบนด์มูลฐาน มีองค์ประกอบของสัญญาณที่มีความถี่ต่ำอยู่เป็นส่วนใหญ่จึงเหมาะสมที่จะใช้กับระบบสื่อสารที่ใช้สายโดยตรง แต่ไม่เหมาะที่จะใช้ส่งผ่านระบบที่ไม่ยอมให้ความถี่ต่ำผ่านไปได้ เช่น ระบบโทรศัพท์ที่จะต้องผ่านชุมสายและไม่เหมาะกับการส่งสัญญาณนั้นโดยตรงด้วยคลื่นในย่านความถี่วิทยุเป็นต้น จึงจำเป็นต้องใช้การมอดูเลตมาช่วยเพื่อย้ายสเปกตรัมของสัญญาณดิจิตอลที่ใช้คลื่นพาห์ไว้เป็นสังเขป การส่งสัญญาณดิจิตอล เช่น PCM โดยคลื่นวิทยุไมโครเวฟจำเป็นต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลตสัญญาณดิจิตอลนี้มี 3 แบบด้วยกัน คือ

1.การมอดูเลตเชิงเลขทางแอมพลิจูด (Amplitude Shift Keying : ASK)

2.การมอดูเลตเชิงเลขทางความถี่ (Frequency Shift Keying : FSK)

3.การมอดูเลตเชิงเลขทางเฟส (Phase Shift Keying : PSK)

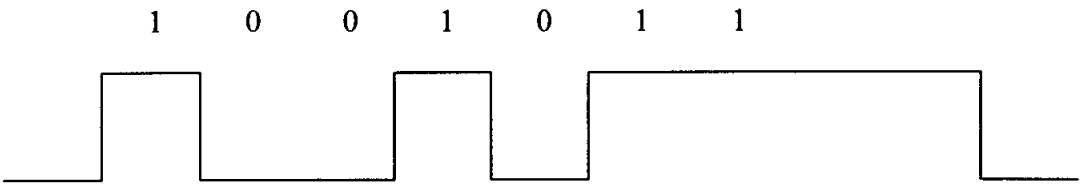
โดยคลื่นพาห์ = $A\cos(2\pi f_c t+\phi)$

ในที่นี้ A คือ แอมพลิจูดของคลื่นพาห์

f_c คือ ความถี่คลื่นพาห์

ϕ คือ เฟสเริ่มต้น(Initial Phase)

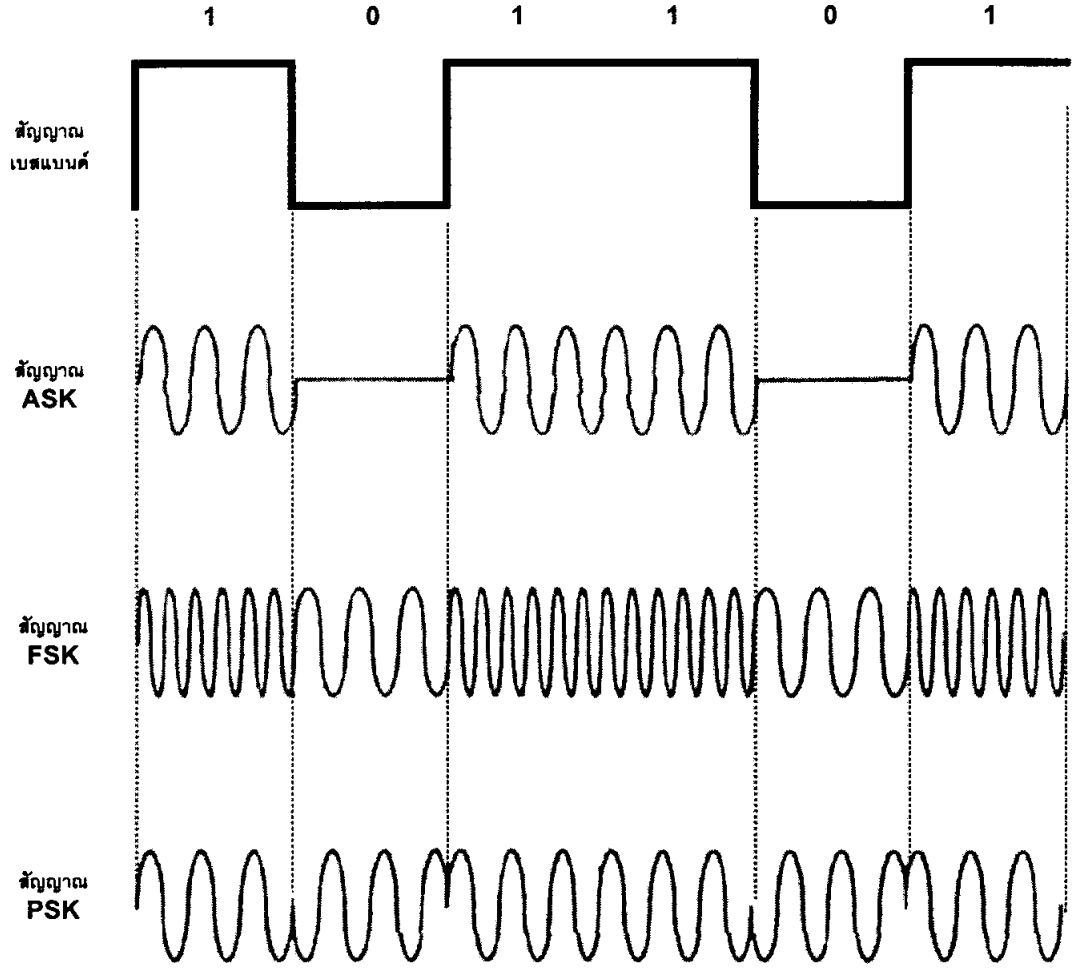
สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี "1"และ "0" ในการมอดูเลตสัญญาณดิจิตอลนี้ หนึ่งในสามพารามิเตอร์คือ แอมพลิจูด ความถี่หรือเฟส ของคลื่นพาห์จะเปลี่ยนไปตามสถานะ "1"หรือ "0" ของสัญญาณเบสแบนด์



รูปที่ 2.11 สัญญาณเบสแบนด์ดิจิตอล

ตารางที่ 2.4 เปรียบเทียบการมอดูเลตแบบดิจิตอลและแบบอนาลอก

การมอดูเลตแบบดิจิตอล	การมอดูเลตแบบอนาลอก
ASK(Amplitude Shift Keying)	AM
FSK(Frequency Shift Keying)	FM
PSK(Phase Shift Keying)	PM



รูปที่ 2.12 เปรียบเทียบรูปคลื่นของดิจิตอลมอดูเลชันทั้ง 3 วิธี

สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี "1"และ "0" ในการมอดูเลตสัญญาณดิจิตอลนี้ หนึ่งในสามพารามิเตอร์คือ แอมพลิจูด ความถี่หรือเฟส ของคลื่นพาห์จะเปลี่ยนไปตามสถานะ "1"หรือ "0" ของสัญญาณเบสแบนด์

โดยในโครงงานนี้เป็นลักษณะการติดต่อระหว่างเครื่องส่งกับเครื่องรับผ่านทางสายไฟ 220 V ซึ่งเป็นสายทองแดงสองเส้นอยู่ภายใน ซึ่งสายทองแดงนี้มิได้ออกแบบมาเพื่อใช้ส่งสัญญาณในรูปแบบดิจิตอลที่ออกมาจากวงจรเข้ารหัสอนุกรมได้ เป็นผลทำให้เกิดการสูญเสียของสัญญาณในสายและมีโอกาสถูกรบกวนจากสัญญาณอื่นจนทำให้ข้อมูลผิดพลาดได้ ดังนั้นเพื่อให้การส่งมีประสิทธิภาพมากขึ้นจำเป็นต้องมีการแปลงสัญญาณรูปแบบดิจิตอลให้เป็นรูปแบบที่เหมาะสมในการส่งผ่านสายทองแดง

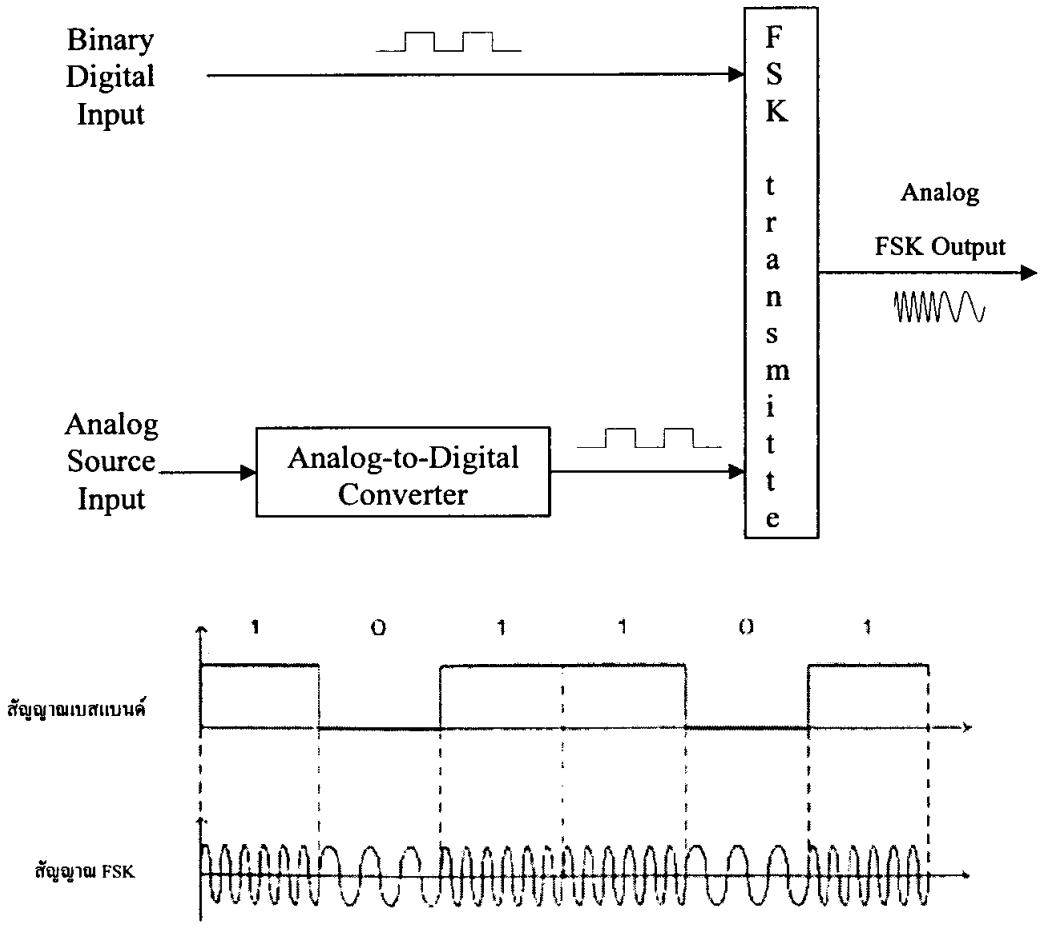
วิธีที่นิยมกันของรูปแบบที่ใช้ในการส่งผ่านสายทองแดงทั่วไป คือ การส่งแบบ FSK (Frequency Shift Keying) เป็นวิธีที่นิยมใช้ในการส่งผ่านสายต่างๆของระบบ computer เช่นในระบบ LAN หรือการติดต่อผ่าน modem เนื่องจาก FSK เป็นการแปลงรูปแบบดิจิตอลให้มาอยู่ในรูปของความถี่ซึ่งจะทำให้ข้อมูลที่ส่งในสายซึ่งเป็นแบบต่อเนื่อง (Analog) จะไม่ทำให้เกิดสัญญาณรบกวนและเกิดความผิดพลาดจากสัญญาณรบกวนต่างๆ

2.5 FREQUENCY SHIFT KEYING (FSK)

2.5.1 FSK Transmitter

ภาคส่งสัญญาณของ FSK มีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะเป็นข้อมูลไบนารีจะทำให้ความเลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางด้านเอาต์พุตของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency continuous) เมื่อข้อมูลด้านอินพุตเปลี่ยนแปลงจากสถานะจากลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันลอจิก "0" เป็นลอจิก "1") สัญญาณเอาต์พุตของ FSK ก็จะเลื่อนความถี่ระหว่างสองความถี่ด้วยกัน คือ ความถี่ที่ลอจิก "1" หรือ Mark Frequency (f_m) และความถี่ที่ลอจิก "0" หรือ Space Frequency (f_m)

การเปลี่ยนแปลงหรือการเลื่อนของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะลอจิกด้านสัญญาณขาเข้าเปลี่ยนแปลง นั้นคืออัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอลมอดูเลชันอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุตของ FSK Generator จะเรียกว่าอัตราบิตหรือ Bit rate มีหน่วยเป็นบิตต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาต์พุตของ FSK Generator เรียกว่า อัตราบอด หรือ Baud rate ดังนั้นในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิตจะเท่ากับอัตราบอดเสมอซึ่ง FSK Transmitter แสดงดังรูปที่ 2.13

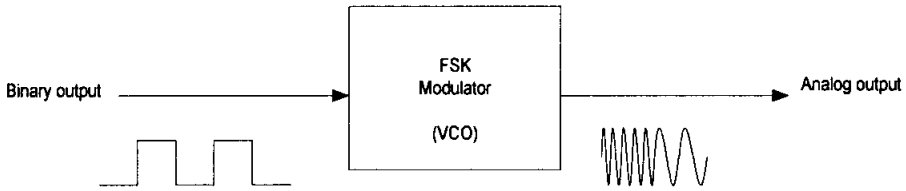


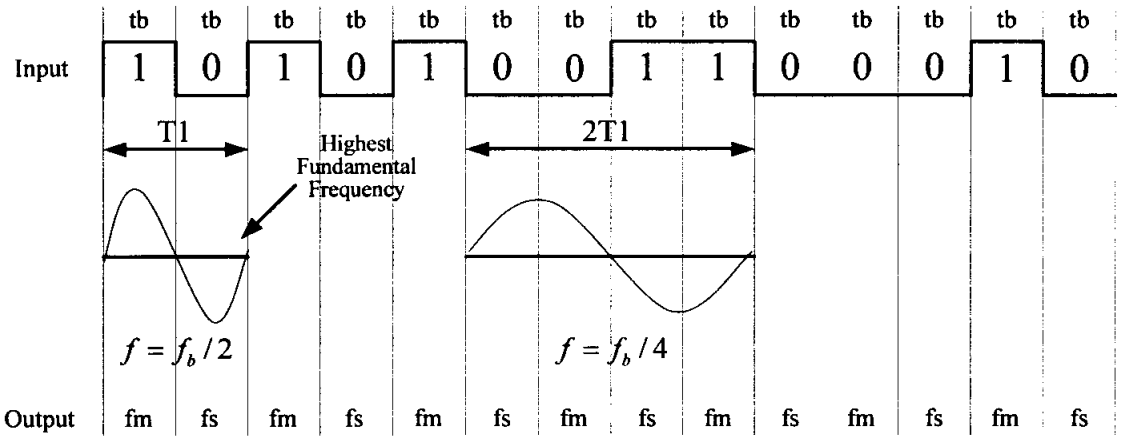
รูปที่ 2.13 หลักการสัญญาณอินพุต เอาต์พุตของ FSK

83264

2.5.2 FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาลอกหรือสัญญาณความถี่นั้นแบนด์วิดธ์เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรกเนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธีการของ FM ดั้งนั้นการอธิบายถึงสูตรต่างๆ ก็ใช้หลักการของ FM ทุกอย่าง





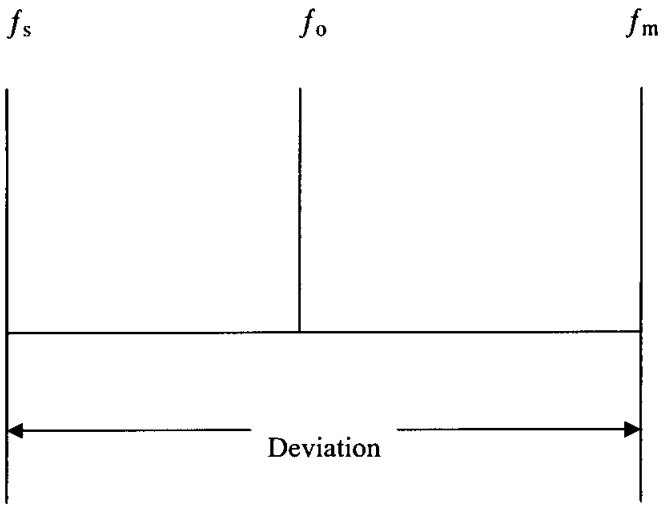
รูปที่ 2.14 FSK Modulator

ความถี่หลักของคลื่นสี่เหลี่ยมจะมีเท่ากับครึ่งหนึ่งของ Bit rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลตแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit rate คือ

$$fa_{\max} = \text{bit rate}/2 \tag{2.7}$$

เมื่อ $fa_{\max}$ ความถี่สูงสูดของสัญญาณดิจิตอลที่นำมามอดูเลต

ความถี่กลาง (Center Frequency: f_o) ของ VCO จะอยู่ตำแหน่งกลางระหว่าง (Frequency: f_m) กับ (Space Frequency: f_s) ดังรูปที่ 2.15



รูปที่ 2.15 การเบี่ยงเบนความถี่

ลอจิก "1" ด้านอินพุตจะเลื่อนความถี่ของ VCO จาก f_o ไปเป็น f_s จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุตจาก 1 ไปเป็น 0 หรือ 0 ไปเป็น 1 จะทำให้ความถี่เอาต์พุตของ VCO เลื่อนหรือเบี่ยงเบนไปมาระหว่าง f_m กับ f_s เนื่องจากได้กล่าวมาแล้วว่า FSK นั้นคือการมอดูเลตแบบ FM ดังนั้นดัชนีการมอดูเลต (Modulation index:*MI*) ใน FSK ก็ได้จาก FM คือ

$$MI = \frac{\Delta f}{f_a} \tag{2.8}$$

เมื่อ MI คือ ดัชนีการมอดูเลต

Δf คือ การเบี่ยงเบนของความถี่ใดๆจากความถี่กลาง (Hz)

f_a คือ ความถี่ของสัญญาณที่นำมามอดูเลต

ค่า *MI* ที่ยอมให้มีได้สูงสุดคือ 1 *MI* ที่ทำให้แบนด์วิดธ์กว้างที่สุดซึ่งจะเกิดขึ้นเมื่อการเบี่ยงเบนของความถี่ถูกมอดูเลตแล้วและความถี่ของสัญญาณที่นำมามอดูเลตมีค่าสูงสุด

ใน FSK มอดูเลต ค่า ΔF เป็นการเบี่ยงเบนความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลตแล้วซึ่งมีค่าเท่ากับความแตกต่างระหว่าง f_o กับ f_s นั่นคือ

$$\Delta f = \frac{f_m - f_s}{2} \tag{2.9}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณที่นำมามอดูเลต (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" จะได้แรงดันค่าหนึ่งตามสถานะเช่น 5โวลต์หรือถ้าเป็น

ลอจิก "0" เช่น 0 โวลต์ ดังนั้นความถี่ที่เบี่ยงเบนของ FSK จะเบี่ยงเบนความถี่คงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

f_a เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุต ซึ่งจะทำให้แบนด์วิดธ์กว้างที่สุด เมื่อ f_a=bit rate/2 เท่านั้น เพราะฉะนั้นเราสามารถหาค่า *MI* ได้จาก

$$MI = \frac{f_m - f_s}{2} \tag{2.10}$$

หรือ

$$MI = \frac{(f_m - f_s)/2}{f_b/2} \tag{2.11}$$

$$= \frac{f_m - f_s}{f_b} \tag{2.12}$$

เมื่อ $f_m - f_s$: ความถี่เบี่ยงเบนสูงสุด

f_b : อัตราบิตของไบนารีสูงสุด

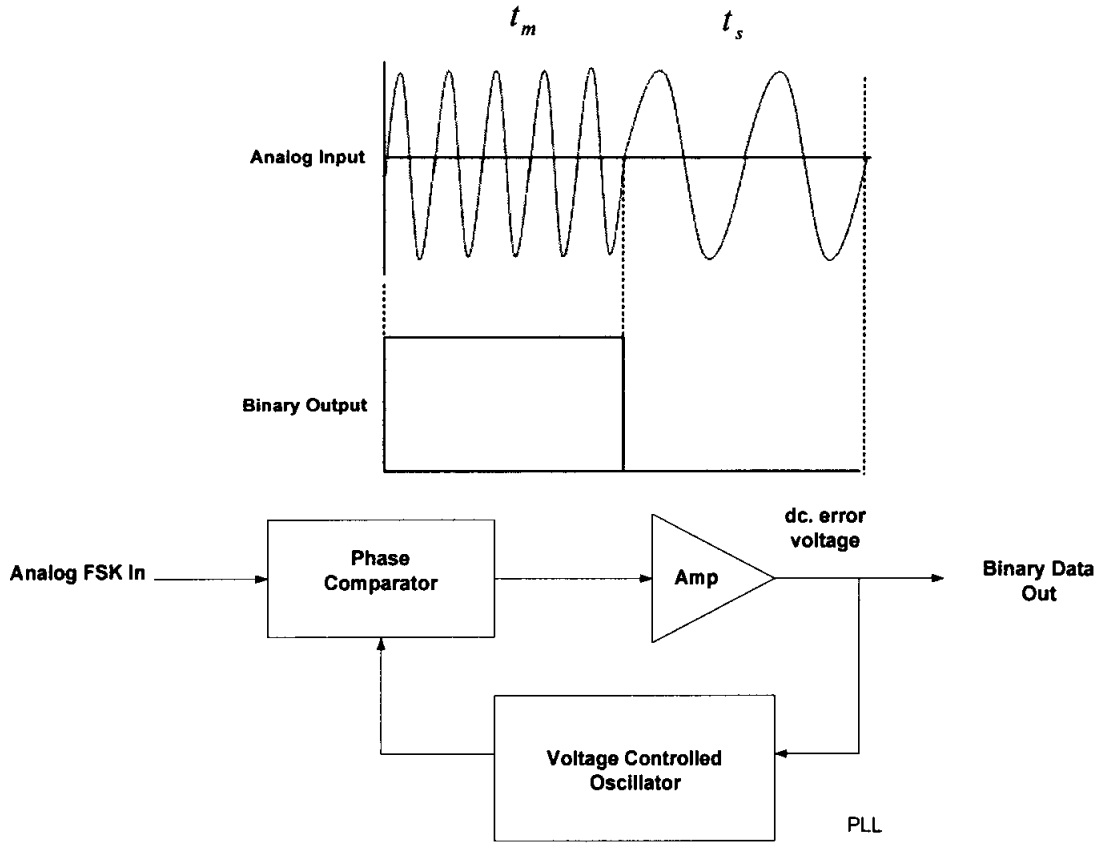
ในการส่งสัญญาณ FM ทั่วไป ความกว้างของแบนด์วิดธ์จะแปรผันโดยตรงกับค่า *MI*เช่นเดียวกันกับ FSK ที่ค่า *MI* โดยทั่วๆไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็น FM แบนด์แคบ แบนด์วิดธ์ที่แคบเรียกว่า Minimum Nyquist Bandwidth (*Fn*)

ตารางที่ 2.5 Bessel Function Table

M	J0	J1	J2	J3	J4
0.0	1.0				
0.25	0.95	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.55	0.23	0.56	0.01
2.0	0.22	0.56	0.35	0.13	0.03

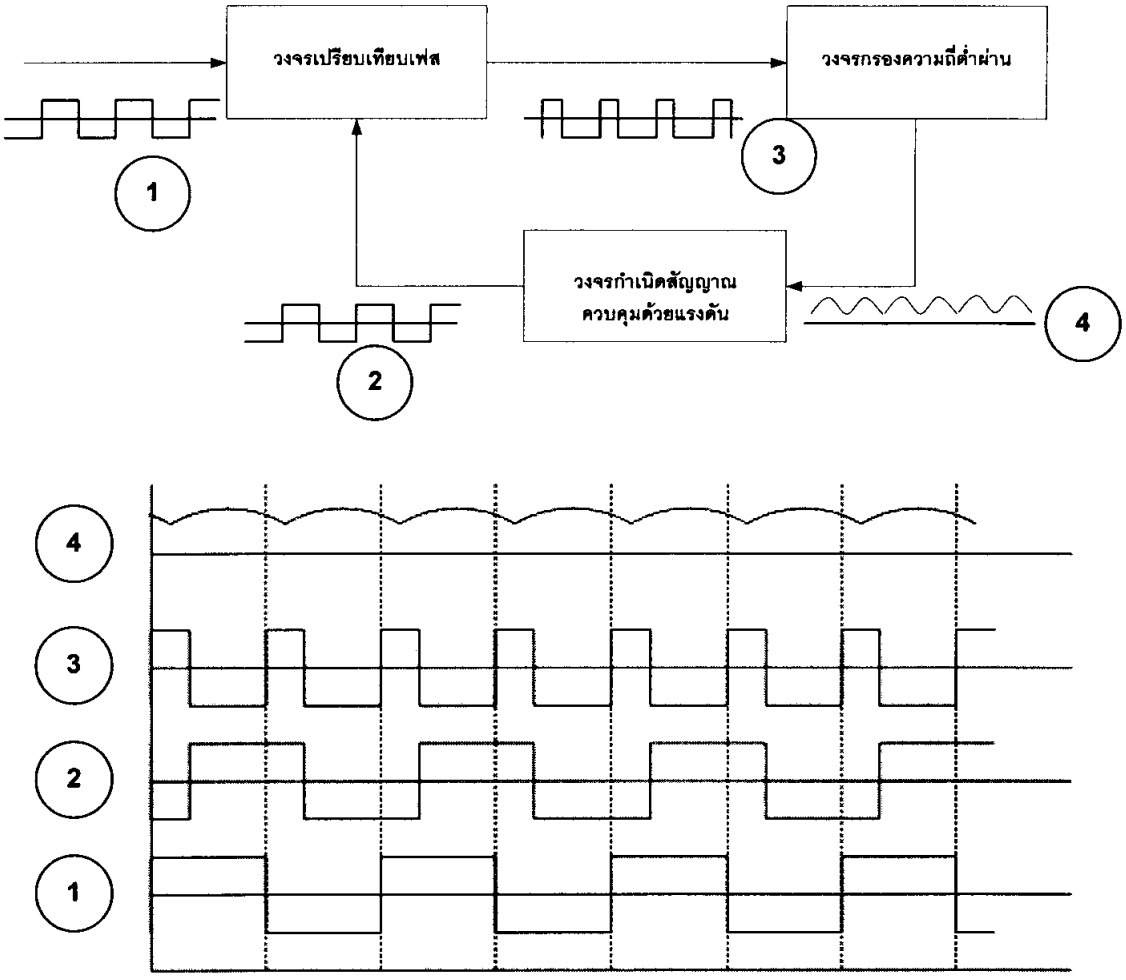
2.5.3 FSK Demodulator

FSK Demodulator เป็นตัวรับสัญญาณ FSK จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากนิยมใช้วงจร Phase Lock Loop (PLL) ดังรูปที่ 2.16



รูปที่ 2.16 PLL FSK Demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่าง คือ จะมีความถี่ฟรีรันนิ่ง เท่ากับความถี่กลาง (Center Frequency) และในขณะที่ความถี่อินพุตของเฟสล็อคลูปเลื่อนไปมาระหว่าง f_m กับ f_s จะทำให้เกิดแรงดันคลาดเคลื่อนไปตรงกับ DC voltage ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส (phase comparator) ของสัญญาณอินพุตแต่จากความถี่อินพุตที่เข้ามายังเฟสล็อคลูปติดกันมีเพียง 2 ความถี่ f_m กับ f_s ดังนั้น ค่าแรงดันจึงมีเพียง 2 ระดับเท่านั้นซึ่งสามารถแทนด้วยลอจิก "1" และ ลอจิก "0" เมื่อความถี่อินพุตเป็น f_m และ f_s ตามลำดับ เราจึงได้สัญญาณเอาต์พุตจากเฟสล็อคลูปกลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกทุกประการ



รูปที่ 2.17 แสดงการทำงานและรูปร่างของสัญญาณต่างๆตามเฟสล็อคลูป

จากรูปแสดงการทำงานของ PLL ซึ่งมีส่วนสำคัญอยู่ 3 ส่วน คือ ส่วนเปรียบเทียบความแตกต่างเฟส (phase comparator) ส่วนสร้างความถี่โดยใช้แรงดันควบคุม (Voltage Control Oscillator : VCO) และส่วนกรองความถี่ต่ำผ่าน (Low Pass Filter :LPF)

ส่วนสร้างความถี่จะผลิตความถี่ออกมาก็ต่อเมื่อมีแรงดันไฟฟ้าป้อนให้(สัญญาณหมายเลข 4) ซึ่งแรงดันนี้ถูกสร้างขึ้นจากชุดกรองความถี่ต่ำผ่าน โดยกรองความถี่ต่ำผ่านจะเปลี่ยนความถี่ที่ป้อนเข้ามา (สัญญาณหมายเลข 3) ให้เป็นแรงดันไฟกระแสตรง (สัญญาณหมายเลข 4) เพื่อไปควบคุมให้ส่วนสร้างความถี่ผลิตความถี่ออกมา

เอาต์พุตของส่วนสร้างความถี่ (สัญญาณหมายเลข 2) จะถูกส่งไปยังอินพุตหนึ่งของส่วนเปรียบเทียบความต่างเฟส ซึ่งอีกอินพุตหนึ่งของส่วนเปรียบเทียบความต่างเฟส ต่างก็อยู่กับสัญญาณความถี่อ้างอิง (สัญญาณหมายเลข1) ที่ส่งมาจากภายนอก

เอาต์พุตของส่วนเปรียบเทียบความต่างเฟส (สัญญาณหมายเลข 3) จะเป็นสัญญาณความแตกต่างเฟสระหว่างเฟสของสัญญาณอินพุตทั้งสอง ซึ่งเป็นสัญญาณสี่เหลี่ยมมีขนาดคงที่และมีความห่างของพัลส์ (Mark space ratio) ขึ้นอยู่กับความแตกต่างระหว่างเฟสของสัญญาณอินพุตทั้งสอง

วงจรกรองความถี่ต่ำผ่านที่ต่ออยู่ตรงเอาต์พุตของตัวเปรียบเทียบความต่างเฟส จะทำหน้าที่เปลี่ยนความถี่พัลส์จากส่วนเปรียบเทียบความต่างเฟสให้เป็นแรงดันไฟตรง ซึ่งระดับแรงดันจะเป็นสัดส่วนตามความต่างเฟสของสัญญาณอินพุตทั้งสอง แรงดันเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน จะเริ่มคงที่ทันทีเมื่อเฟสของสัญญาณอินพุตทั้งสองต่างกัน 90 องศา

2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital converter)

2.6.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

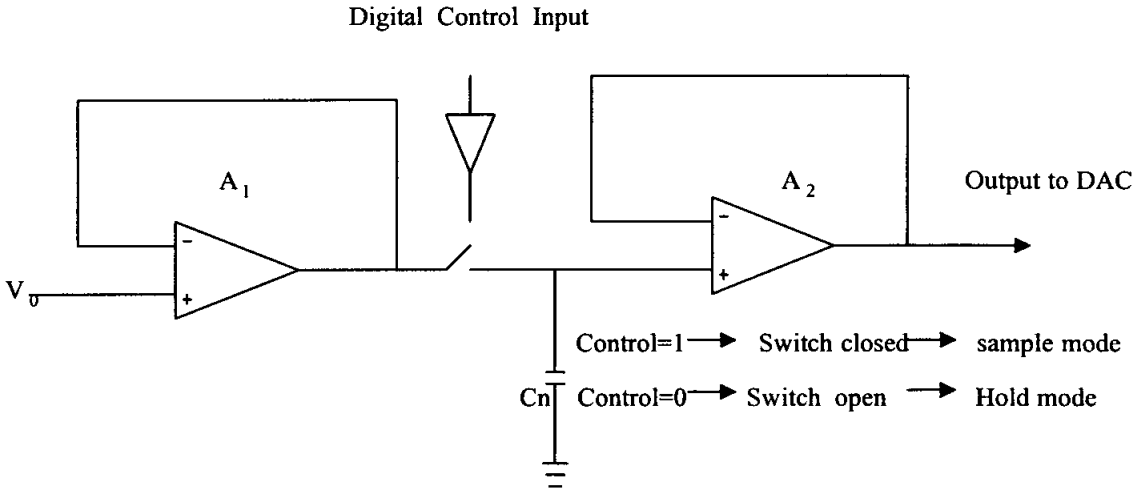
จากที่กล่าวมาแล้วว่า ในการส่งสัญญาณอนาลอกผ่านไปในช่องสัญญาณสื่อสารจะทำให้เกิดปัญหาต่างๆ แต่เราสามารถที่จะเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลได้โดยการสุ่มตัวอย่างสัญญาณอนาลอกที่มี แบนด์วิดธ์ที่จำกัดนั้นด้วยความถี่ที่เหมาะสม คือทำการสุ่มค่าสัญญาณอนาลอกที่ต้องการส่งด้วยช่วงเวลาที่ใช้สุ่มสัญญาณที่เหมาะสมแล้ว ซึ่งจะได้สัญญาณพีเอเอ็ม (Pulse Amplitude Modulation: PAM) ขึ้นมา เราก็สามารถที่จะส่งสัญญาณที่ถูกสุ่มนั้น ซึ่งเป็นสัญญาณดิสครีตผ่านช่องสัญญาณสื่อสารแทนการส่งสัญญาณอนาลอกโดยตรงได้

แต่ในการส่งข้อมูลลักษณะดังกล่าว ผ่านช่องการสื่อสารก็ยังต้องประสบปัญหาการลดทอนของสัญญาณในช่องสื่อสารพอๆ กับสัญญาณอนาลอกอยู่ดี ดังนั้นจึงได้มีการคิดค้นสัญญาณดิสครีตดังกล่าวมากำหนดรหัสที่เป็นดิจิตอล ให้มีความเหมาะสมกับสัญญาณดิสครีตที่ได้จากการสุ่มตัวอย่างสัญญาณอนาลอกแล้วค่อยส่งสัญญาณที่เป็นดิจิตอลนี้ผ่านช่องสัญญาณต่อไปแทนที่จะส่งสัญญาณอนาลอกโดยตรง ซึ่งจากคุณสมบัติของสัญญาณดิจิตอลก็เหมือนกับว่าเป็นการสร้างภูมิคุ้มกันต่อสัญญาณรบกวนให้กับข้อมูลที่จะส่งผ่านช่องการสื่อสารอย่างมากด้วยวิธีดังกล่าวก็เหมือนกับการฝากข้อมูลของสัญญาณไปกับสัญญาณคลื่นพาห์ที่เป็นรหัสพัลส์ (Pulse Code Modulation: PCM) นั่นเอง แต่เนื่องจากสัญญาณที่สุ่มออกมานั้นจะมีค่าขนาดที่แตกต่างกันมากมาย ดังนั้นเราจึงจำเป็นต้องจัดกลุ่มให้สัญญาณค่าต่าง ๆ เหล่านั้น โดยที่มีค่าใกล้เคียงกันจะจัดให้อยู่กลุ่มเดียวกัน และในกลุ่มเดียวกันจะมีรหัสเหมือนกันดังนั้นเราก็สามารถจัดค่าของสัญญาณต่างๆที่เกิดขึ้นมากมายนั้นให้อยู่ในกลุ่มที่ทราบค่าแน่นอนได้อย่างครบถ้วน การที่จะแบ่งสัญญาณทั้งหมดออกเป็นกลุ่มนั้นขึ้นอยู่กับความเหมาะสมว่าเรายินยอมให้เกิดความผิดพลาดของค่าตัวอย่างของสัญญาณที่สุ่มออกมานั้นว่ามากหรือน้อยเท่าไร เช่นถ้าเรามีสัญญาณอนาลอกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์ และเราต้องการกำหนดรหัสให้แก่ค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้ โดยยินยอมให้เกิดค่าผิดพลาดจากค่าของตัวอย่างที่สุ่มออกมาได้อยู่ไม่เกิน 0.5 โวลต์ ดังนั้นเราสามารถแบ่งกลุ่มออกเป็น 5 กลุ่มด้วยกันคือ กลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลต์ กลุ่มที่ 2 มีค่าระหว่าง 1 ถึง 2 โวลต์ ไปเรื่อยๆ จนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลต์

2.6.2 วงจรแซมเปิ้ลแอนด์โฮลด์ (Sample and Hold : S/H)

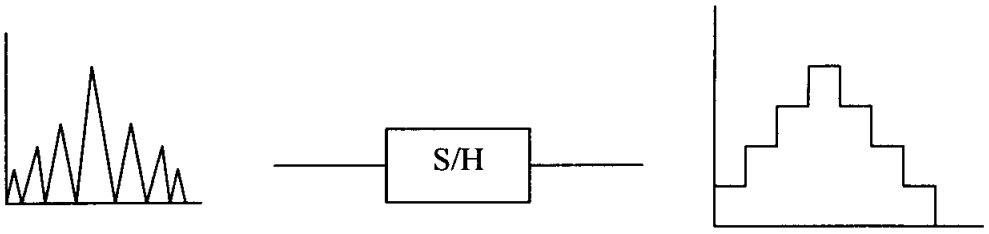
วงจรสุ่มและคงไว้ (Sample and Hold : S/H) เป็นวงจรที่ทำงานในสองหน้าที่ ในช่วงเวลาสั้น ๆ วงจรจะทำหน้าที่ “สุ่ม” คือแรงดันขาออกจะเท่ากับแรงดันเชิงอุปมานขาเข้า หลังจากนั้นวงจรจะทำ

หน้าที่ "คงไว้" คือแรงดันขาออกจะคงตัวกับแรงดันที่สุ่ม การต่อสัญญาณที่ระดับแรงดันเปลี่ยนแปลงแบบอนาลอกเข้าของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) โดยตรงซึ่งอาจจะมีผลต่อช่วงเวลาควอนเวอร์ชั่น (conversion) ทำให้ระดับสัญญาณเอาต์พุตมีค่าผิดพลาดได้ วงจรแซมเปิ้ลแอนด์โฮลด์จะช่วยทำให้ระดับแรงดัน ก่อนผ่านกระบวนการคอนเวอร์ชันของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลมีความเสถียรโดยรูปแบบของวงจรแซมเปิ้ลแอนด์โฮลด์แสดงได้ดังรูปที่ 2.18



รูปที่ 2.18 วงจรแซมเปิ้ลแอนโฮลด์ (Sample and Hold : S/H)

วงจรแซมเปิ้ลแอนด์โฮลด์ (Sample and Hold : S/H) ประกอบด้วยวงจรขยายบัฟเฟอร์ A_1 ที่มีอัตราขยายเป็น 1 ซึ่งจะเป็นอิมพีแดนซ์สูง (High Impedance) ของสัญญาณอนาลอก และมีอิมพีแดนซ์เอาต์พุตต่ำ (Low Output Impedance) ซึ่งมีผลทำให้เกิดการชาร์จประจุที่ Cn อย่างรวดเร็ว ตัวเก็บประจุ Cn จะต่อกับเอาต์พุตของ A_1 ในขณะปิดสวิตช์ เรียนกระบวนการนี้ว่า แซมเปิ้ล (Sample) ซึ่งช่วงปิดสวิตช์จะต้องนานพอที่ Cn จะเก็บประจุได้เท่ากับค่ากระแสที่ได้จากสัญญาณอนาลอกอินพุต เช่น ถ้าสวิตช์เปิดที่เวลา t_0 เอาต์พุตที่ได้จาก A_1 จะชาร์จประจุให้ Cn อย่างรวดเร็วจน Cn มีศักดาไฟฟ้าเท่ากับ V_0 ในขณะที่เปิดสวิตช์ ตัวเก็บประจุ Cn จะรักษาค่าศักดาไฟฟ้าที่ได้จากเอาต์พุตของ A_1 และปล่อยศักดาไฟฟ้านี้ให้แก่ A_2 กระบวนการนี้เรียกว่าโฮลด์ (Hold) ค่าศักดาที่ได้จากเอาต์พุตของ A_2 จะเป็นค่าที่ป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นวงจรขยายบัฟเฟอร์เป็น A_2 มีอัตราขยายเป็น 1 จะมีสมบัติเป็นอินพุตอิมพีแดนซ์สูง (High Output Impedance) ซึ่งจะไม่คายประจุในช่วงเวลาคอนเวอร์ชันของวงจรอนาลอกเป็นดิจิตอล ทำให้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลได้รับค่าดีซีโวลเตจอินพุต (DC Voltage Input : V_0) เราจะใช้วงจรสุ่มและคงไว้ในหลายกรณี เช่น ในกรณีระบบวัดค่าสัญญาณเชิงอุปมานมีลักษณะเป็นการสุ่มค่ามาแล้ว คือเป็นพัลส์ซึ่งมีช่วงสูงเชิงอุปมานที่ขณะต่าง ๆ เราจะใช้วงจรสุ่มและคงไว้ เพื่อสุ่มค่าตรงกลางพัลส์มาคงไว้ ทำให้ได้สัญญาณเชิงอุปมานที่ไม่ขาดช่วงดังรูปที่ 2.19



รูปที่ 2.19 ตัวอย่างการใช้วงจรสุ่มและคงไว้

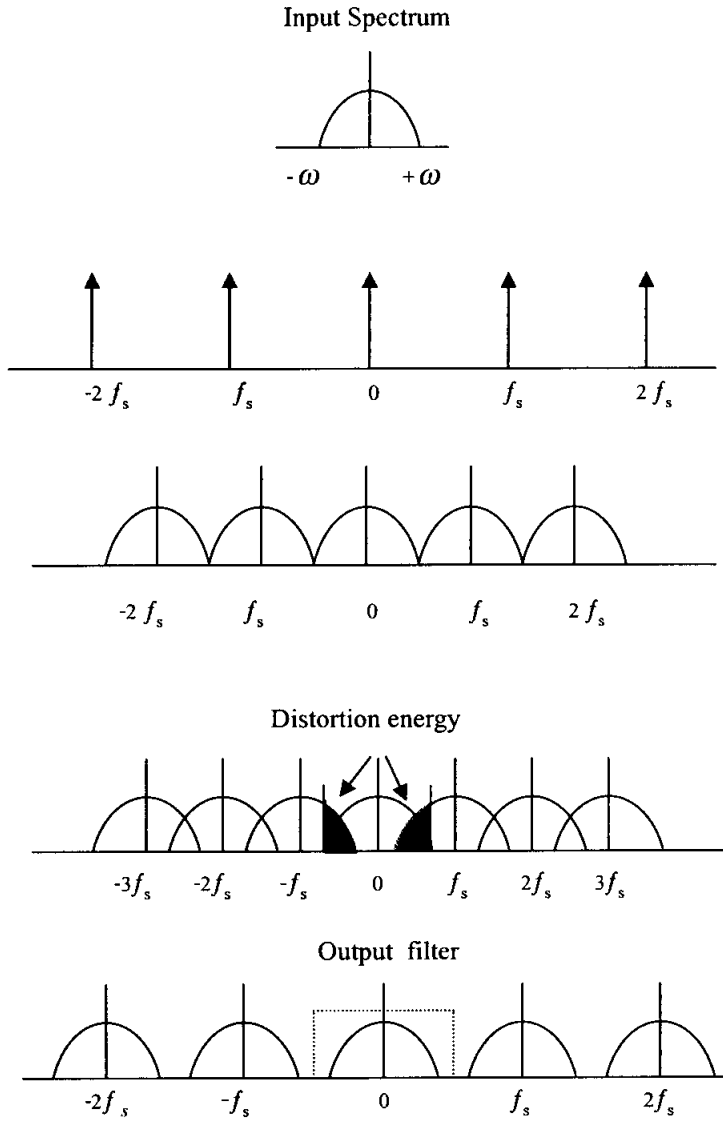
2.6.3 ทฤษฎีการสุ่มตัวอย่างเบื้องต้น (Fundamental of Sampling Theory)

ทฤษฎีหนึ่งที่นิยมใช้ในการสุ่มสัญญาณ คือ ทฤษฎีของไนควิสต์ ซึ่งไนควิสต์ได้เสนอทฤษฎีบทเกี่ยวกับการสุ่มตัวอย่างได้ว่า "สำหรับสัญญาณอนาลอกที่มีสเปกตรัมอยู่ในย่านความถี่จำกัดโดยที่มีความถี่สูงสุดของสัญญาณคือ f_m ในการนำค่าที่ได้จากการเลือกสุ่มที่ขณะเวลาต่าง ๆ ที่ห่างกันทุก ๆ T วินาที มาสร้างสัญญาณใหม่และมีค่าน้อยกว่าหรือเท่ากับ 1/2 f_m วินาที" ตามทฤษฎีการสุ่มตัวอย่างสัญญาณอนาลอกของไนควิสต์ อาจกล่าวเป็นใจความสำคัญที่สามารถเข้าใจง่าย โดยการสุ่มตัวอย่างอนาลอกที่มีคุณสมบัติตามเงื่อนไขของทฤษฎีของไนควิสต์ เมื่อเราใช้ความถี่ในการสุ่มสัญญาณนั้นเท่ากับ f_s ความที่นี้จะต้องมากกว่าหรืออย่างน้อยที่สุดต้องเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณอนาลอกนั่นคือจะได้

$$f_s \leq 2f_m$$

ซึ่งสัญญาณที่ได้จากการสุ่มตัวอย่างจะเป็นสัญญาณดิสครีต (discrete) เพราะสัญญาณที่เกิดจากการสุ่มตัวอย่างจะเกิดเฉพาะเวลาที่สุ่มตัวอย่างสัญญาณอนาลอก ด้วยสัญญาณพัลส์ (Pulse Train) ณ เวลา nT_s เท่านั้น เมื่อ n = 1,2,3,... และ $T_s = 1/f_s$ แสดงได้ดังรูป 2.21 ซึ่งก็คือการผสมทางขนาดด้วยขบวนพัลส์ หรือ พีเอเอ็ม (Pulse Modulation) นั่นเอง

ในทางปฏิบัติ ถ้าเรามีสัญญาณอนาลอกที่มีสเปกตรัมสูงสุดเท่ากับ ω เราควรที่จะใช้อัตราการสุ่มตัวอย่าง $f_s \geq 2\omega$ เสมอ เนื่องจากในความเป็นจริงเมื่อพิจารณาที่อัตราสุ่มตัวอย่าง $f_s = 2\omega$ และเราไม่สามารถสร้างสัญญาณอิมพัลส์ได้ ดังนั้นจึงต้องใช้พัลส์ที่มีความกว้างของพัลส์แคบ ๆ แทน และในการที่จะกู้สัญญาณเบสแบนด์ (R(t)) กลับคืนมาได้ จะต้องใช้วงจรกรองความถี่ต่ำผ่าน (LPF) ซึ่งเราไม่สามารถสร้างวงจรกรองที่มีประสิทธิภาพได้สูงพอที่มีความคมในการตัดความถี่ที่ต้องการได้ ดังนั้นจึงเป็นความยุ่งยากกู้ข้อมูลกลับมาได้อย่างสมบูรณ์



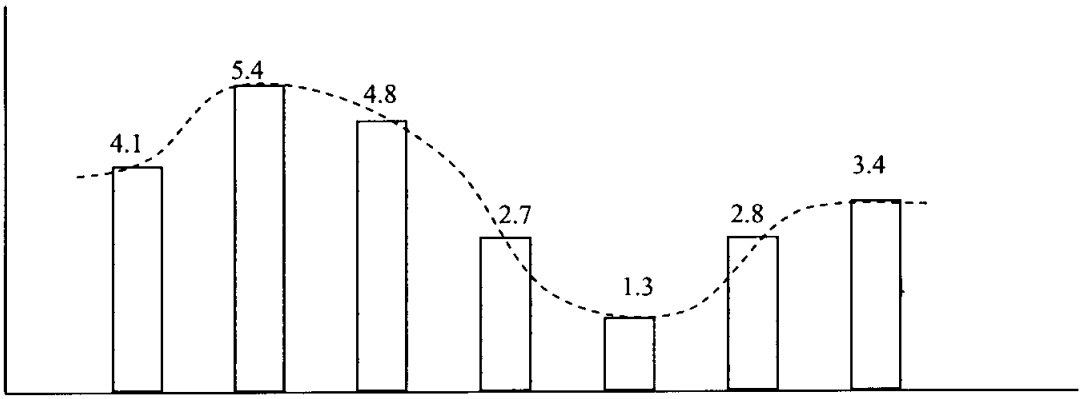
รูปที่ 2.20 สเปกตรัมของสัญญาณเบสแบนด์และสเปกตรัมของสัญญาณสุ่มตัวอย่างต่าง ๆ กัน

พิจารณารูปที่ 2.2 (ก) และแสดงสเปกตรัมสัญญาณเบสแบนด์ ส่วนรูปที่ 2.21 (ข) จะแสดงสเปกตรัมของสัญญาณอิมพัลส์ที่มีความถี่เป็น nf_s รูปที่ 2.21 (ค) จะแสดงการกระจายของสเปกตรัม กรณีที่ทำการสุ่มตัวอย่างด้วย $f_s = 2\omega$ ในกรณีนี้จะทำให้การดีมอดูเลชัน จะต้องใช้ฟิลเตอร์แบบอุดมคติ จึงจะสามารถกรองเอาสเปกตรัมของเบสแบนด์ได้อย่างเด็ดขาด รูปที่2.21 (ง) ในกรณีที่ $f_s \rangle 2\omega$ ซึ่งเป็นกรณีที่เราใช้ความถี่ของคลื่นพาห์ไม่สูงพอในการมอดูเลต ซึ่งทำให้เกิดการซ้อนทับกันของไซด์แบนด์ของสเปกตรัมข้อมูล (base band) ในกรณีนี้ถึงแม้จะใช้วงจรกรองเป็นอุดมคติก็ไม่สามารถที่จะกรองเอาข้อมูลกับมาได้ ซึ่งเมื่อเราใช้วงจรกรองความถี่ที่ผ่านมีแบนด์วิดธ์เป็น $f_s/2$ ถึง ω จะไม่สามารถผ่านฟิลเตอร์ได้ และสเปกตรัมที่เกิดในช่วง f_s - ω ถึง $f_s/2$ ซึ่งเกิดจากการซ้อนทับกัน ซึ่งเรียกว่าสเปกตรัมปลอม (Aliasing) จึงทำให้เกิดการลดทอนกำลังของสัญญาณ (Distortion energy) เกิดขึ้น ส่วนรูปที่ 2.21 (จ) เป็นกรณีที่ $f_s \langle 2\omega$ ซึ่งในกรณีนี้จะช่วยลดความยุ่งยากในการออกแบบวงจรฟิลเตอร์ลงได้อย่างมาก

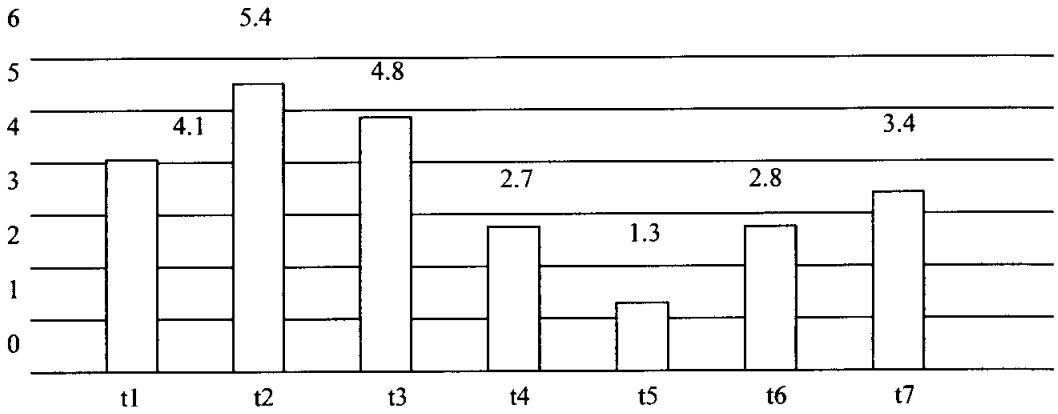
คือจะมีช่วงของการ์ดแบนด์ (Guard band) f_s - ω กว้างขึ้นจึงลดผลของสเปกตรัมปลอมลงไปซึ่งในกรณีนี้จะนิยมนำมาออกแบบเพื่อใช้งานจริง

2.6.4 การควอนไทซ์ (Quantization)

จากที่ได้ทราบวิธีสุ่มสัญญาณที่ได้กล่าวมาแล้ว เราจะทราบว่าสัญญาณที่ได้จากการสุ่มตัวอย่างก็จะได้สัญญาณพีเอเอ็ม (Pulse Amplitude Modulation) ซึ่งมีขนาดของสัญญาณที่เป็นสัญญาณดิสครีตและมีขนาดเปลี่ยนแปลงตามขนาดของสัญญาณเบสแบนด์ ดังแสดงในรูปที่ 2.21 (ก)



(ก)

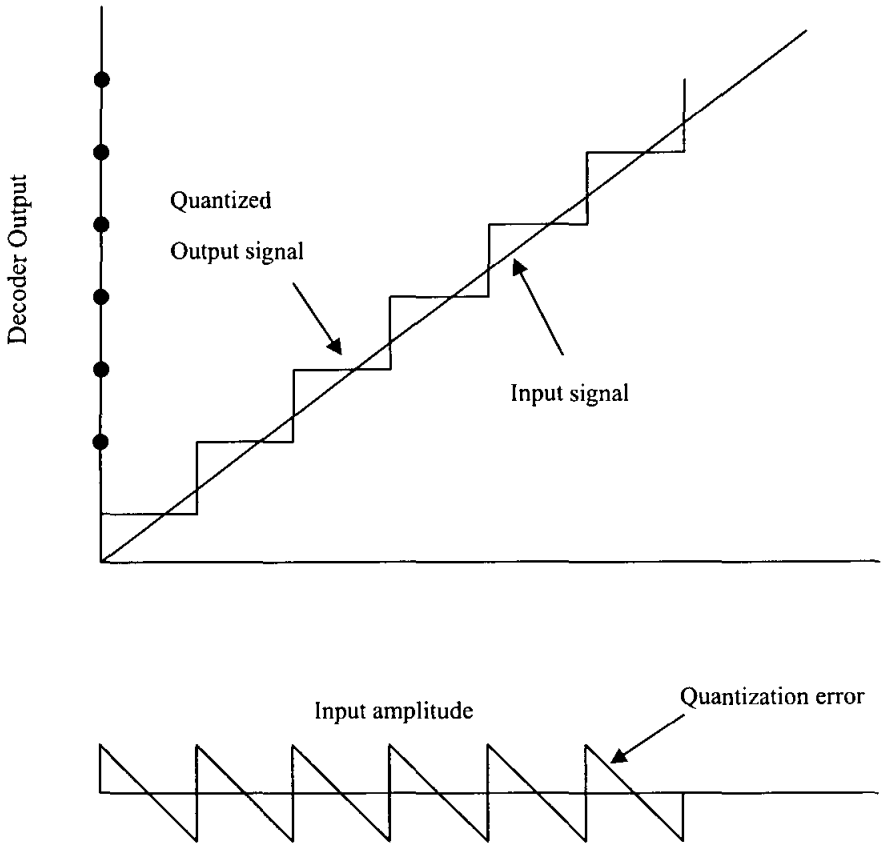


(ข)

รูปที่ 2.21 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไทซ์
(ก) รูปสัญญาณพัลส์ แอมพลิจูดมอดูเลชัน (PAM)
(ข) รูปการจัดระดับสัญญาณพีเอเอ็มให้เข้าระดับการควอนไทซ์

เมื่อได้สัญญาณพีเอเอ็มแล้ว จะทำการส่งสัญญาณนี้ส่งผ่านส่วนของการจัดระดับขนาดของสัญญาณให้เป็นระดับที่ใกล้เคียงที่สุดกับระดับที่ได้กำหนดหรือแบ่งกลุ่มไว้ล่วงหน้าแล้ว เราเรียกขั้นตอนดังกล่าวว่าควอนไทเซชัน (Quantization Level) และระยะห่างของระดับที่ถูกแบ่งเรียกว่า Quantization Interval พิจารณารูป 2.21 (ข) ซึ่งเป็นรูปการแสดงการจัดระดับของสัญญาณพีเอเอ็มให้มีระดับใกล้เคียงกับระดับของการควอนไทซ์จะเห็นว่าสัญญาณที่สุ่มที่สัญญาณ t1 มีขนาด 4.1 จะถูกแทนระดับของ

สัญญาณในระดับที่ 4 โดยอัตโนมัติหรือที่เวลา t7 สัญญาณที่ถูกสุ่มมีขนาด 3.4 ดังนั้นจะถูกแทนด้วยระดับที่เท่ากับ 3 ทันที ซึ่งระดับที่ได้จะนำมาเข้ารหัสเป็นเลขฐานสองที่มีค่าใกล้เคียงกับขนาดของสัญญาณพี-เอเอ็มที่ได้ให้มากที่สุด แต่ระดับของสัญญาณที่ได้จะเป็นขนาดของสัญญาณอนาลอกที่ถูกประมาณขึ้น ดังนั้นจึงทำให้เกิดค่าผิดพลาดของสัญญาณทางด้านขนาดของแอมพลิจูด ซึ่งค่าผิดพลาดที่ได้นี้จะเรียกสัญญาณรบกวนเนื่องจากการควอนไทซ์ (Quantization Noise) สัญญาณรบกวนชนิดนี้กระจายสม่ำเสมอในช่วงของระยะห่างของระดับสัญญาณที่ถูกแบ่งและไม่ขึ้นกับแอมพลิจูดของสัญญาณในช่องของระยะห่างของระดับสัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลขชนิดหนึ่งจะเห็นว่าเราไม่สามารถหลีกเลี่ยงผลของสัญญาณจากการแปลงเป็นตัวเลขนี้ได้เลย แต่สามารถลดผลของสัญญาณรบกวนเนื่องจากการควอนไทซ์ได้โดยการกำหนดให้ช่วงระดับความห่างของระดับที่ถูกแบ่งมีช่วงเล็กลงพอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้ แสดงดังรูปที่ 2.22

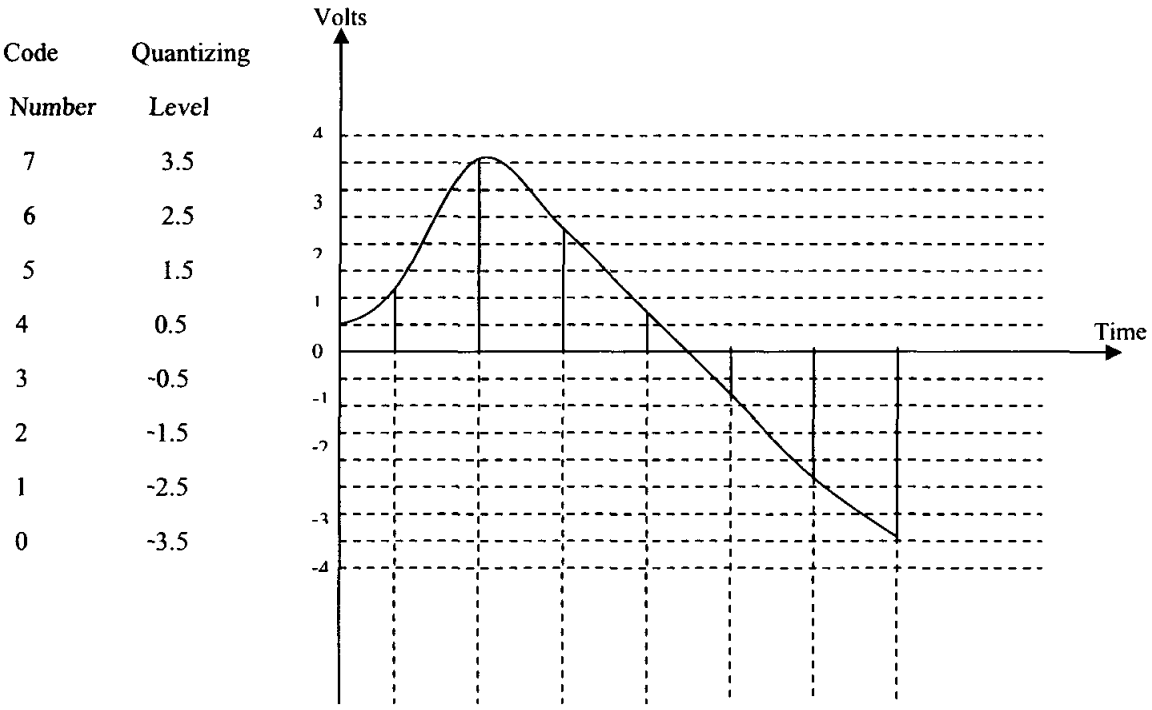


รูปที่ 2.22 การเกิดสัญญาณรบกวนเนื่องจากการควอนไทซ์

เมื่อได้ค่าจากการแปลงตัวเลขแล้วนำไปเข้ารหัสเป็นเลขฐานสอง โดยที่ค่าของตัวเลขจะถูกกำหนดด้วยจำนวนบิตในการเข้ารหัส 8 บิตต่อ 1 ข้อมูลตัวเลข ซึ่งบิตจะมีการเปลี่ยนค่าได้ 2 ค่า คือ 0 กับ 1 ดังนั้นจึงแบ่งระดับการควอนไทซ์ได้ทั้งหมดเท่ากับ $2^8 = 256$ ระดับนั่นเอง

2.6.5 การเข้ารหัส (Coding)

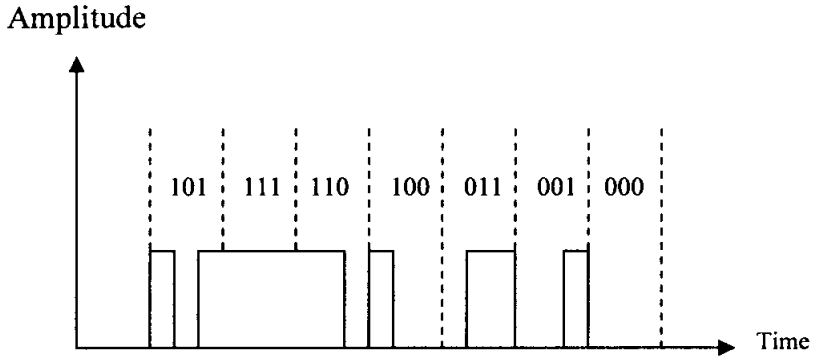
เมื่อได้ทำการสุ่มสัญญาณอนาลอกเรียบร้อยแล้ว เราก็จะได้สัญญาณ PAM ที่มีขนาดของแอมพลิจูดต่างๆ กัน ส่งเข้าไปยังตัวควอนไทซ์ โดยกำหนดได้ระดับการควอนไทซ์ อันใดซึ่งตรงกันหรือใกล้เคียงที่สุดกับระบบที่สุดกับระบบของแอมพลิจูดที่สุ่มมาได้ ตัวเข้ารหัส (Coding) ก็จะผลิตสัญญาณไบนารี (Binary Code Signal) ตรงตามระดับการควอนไทซ์นั้น ๆ แล้วจึงส่งออกไปในสายส่ง สมมุติว่าเราได้กำหนดค่าของรหัส (Code Number)ที่ใช้กับระดับการควอนไทซ์ที่ระดับต่างๆคือ -3.5, -2.5, -1.5, -...,3.5 โวลต์ เป็น 0, 1,2, ...,7 ตามลำดับแล้ว ตัวอย่างที่สุ่มมาได้ อันแรกคือ 1.3 โวลต์ ซึ่งตรงกับค่าของรหัส 5 ดังนั้นรหัสที่ส่งออกไปเป็นค่ารหัส (Code Word) ขนาด 3 บิต คือ 101 ตัวอย่างที่สุ่มมาได้อันดับสองคือ 3.6 โวลต์ ระดับการควอนไทซ์ที่ใกล้เคียงที่สุด คือ 3.5 โวลต์ ซึ่งตรงกับค่ารหัส 7 ดังนั้นรหัสที่ส่งออกไปเป็นค่ารหัส (Code Word) ขนาด 3 บิต คือ 111 เช่นนี้เป็นต้น ดังแสดงตามรูปที่ 2.23



Code Number	Quantizing Level
7	3.5
6	2.5
5	1.5
4	0.5
3	-0.5
2	-1.5
1	-2.5
0	-3.5

Sample Value	1.3	3.6	2.3	0.7	-0.7	-2.4	-3.4
Nearest Quantizing	1.5	3.5	2.5	0.5	-0.5	-2.5	-3.5
Code Number	5	7	6	4	3	1	0
Binary Code	101	111	110	100	011	001	000

รูปที่ 2.23 การแบ่งย่าน Amplitude ออกเป็นระดับต่าง ๆ (Quantizing)



รูปที่ 2.24 การเข้ารหัส (Coding)

2.7 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog converters)

D/A converters หรือเรียกง่าย ๆ ว่า DAC เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์หรือจากวงจรดิจิตอลใดๆ ให้กลายเป็นระดับแรงดันอนาลอกที่มีความสัมพันธ์กับเลขฐานสองตัว DAC สามารถนำไปใช้ขับอุปกรณ์เป็นอนาลอกก็ได้ เช่น มิเตอร์, มอเตอร์, อุปกรณ์ควบคุมหรือวงจรที่เกี่ยวกับสัญญาณเสียงนั้น เช่น เครื่องเล่นคอมแพ็คดิสก์ ตัว DAC ในเครื่องเล่นคอมแพ็คดิสก์ นั้นถูกใช้สำหรับการเปลี่ยนข้อมูลที่บันทึกเป็นสัญญาณดิจิตอลบนแผ่น CD ให้กลายเป็นสัญญาณเสียงที่มีคุณภาพออกมา ต่อไปนี้เราจะพิจารณาแนวความคิดที่สำคัญของ DAC เริ่มจากความละเอียดของ DAC เรานิยามไว้เป็นระดับแรงดัน ในแต่ละขั้นที่เอาต์พุตสามารถผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรง คือจำนวนบิตทางด้านอินพุตที่มีอยู่ในรูปของรหัสไบนารี DAC ขนาด 4 บิตจะมีอินพุตบิตอยู่ 4 อินพุตซึ่งจะมีความละเอียดเท่ากับ 4 จำนวนของระยะและความแตกต่างของระดับสัญญาณอนาลอกทางด้านเอาต์พุต ที่ DAC ขนาด 4 บิตสามารถผลิตได้จะมีค่าเท่ากับ $2^n = 2^4 = 16$ ระดับ นั้นย่อมหมายถึงสัญญาณอนาลอกทางเอาต์พุตสามารถถูกแทนไว้ด้วยระดับแรงดัน 16 ระดับทีนี้มาดู DAC ขนาด 8 บิตสามารถให้สัญญาณอนาลอกทางเอาต์พุตที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ อย่างที่เราได้เห็นแล้วว่า ADC มีขนาดอินพุตบิตมาเท่าไรความละเอียดและความถูกต้องของระดับอนาลอกทางเอาต์พุตที่ DAC สามารถผลิตได้จะมากขึ้น

ถัดมาจากความละเอียดของ DAC เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะของตัว Scatting Time เวลาเข้าสู่สภาวะคงตัว เป็นค่าของเวลาที่ระดับแรงดันเอาต์พุตเข้าสู่สภาวะคงที่เมื่อรหัสไบนารีทางอินพุตเปลี่ยนแปลงไป โดยปกติจะคิดที่สัญญาณทางเอาต์พุตคงที่ในช่วง +/-1/2 ของ LSB(Least Significant Bit) ของค่าที่คาดว่าจะเป็นหลังจากรหัสไบนารี ทางด้านอินพุตเปลี่ยนไปนั้นหมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้นต่อ LSB ของตัวมันเอง ถ้า DAC ขนาด 8 บิตมีช่วงแรงดันทางเอาต์พุตอยู่ในช่วง 0-10 ค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10 โวลต์

ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC คือ +/- ทุก ๆ ตำแหน่งจาก 1/2 ถึง 2 ค่าของ LSB สำหรับ DAC ซึ่งมีค่าความแม่นยำ +/- 1 ค่า LSB แรงดันเอาต์พุตสามารถเปลี่ยนแปลงไปในทาง + หรือ – ค่าของ 1 บิต ถ้า DAC มีแรงดันเอาต์พุตอยู่ในช่วง

แรงดันเอาต์พุตสามารถเปลี่ยนแปลงไปในทาง + หรือ – ค่าของ 1 บิต ถ้า DAC มีแรงดันเอาต์พุตอยู่ในช่วง 0 ถึง 5 โวลต์ มีความละเอียดเท่ากับ 8 บิต LSB ควรจะเป็น $5/(2^8)$ หรือ 0.01953 โวลต์ สำหรับทุก ๆ ค่าของไบนารีทางด้านเอาต์พุตแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.01953 โวลต์ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ 1/2 ค่าความถูกต้อง LSB ค่าเอาต์พุตจะสามารถผิดพลาดไปได้ +/- 0.01953 = 0.009765 โวลต์ ยิ่งค่าความแม่นยำน้อยเท่าไรค่าความละเอียดจะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาต์พุตที่คาดไว้ หลายปีที่ผ่านมาได้มีการคิดค้นพัฒนาวิธีของการเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอกในโครงงานนี้จะกล่าว 2 วิธีการด้วยกัน

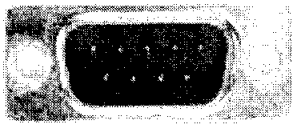
2.8 พอร์ตอนุกรมแบบอาร์เอส – 232 (Serial Port RS-232-C)

ในการที่จะเคลื่อนย้ายข้อมูลจากคอมพิวเตอร์ไปยังอุปกรณ์ต่อเชื่อมอื่น ๆ หรือคอมพิวเตอร์นั้นมีอยู่ 2 รูปแบบ คือ การรับส่งข้อมูลแบบขนานและการรับส่งข้อมูลแบบอนุกรมการรับส่งข้อมูลแบบขนานจะเป็นการส่งข้อมูลที่จะส่งข้อมูลคราวละ 4 หรือ 8 บิต ในเวลาเดียวกัน ซึ่งจะทำให้การและส่งข้อมูลทำได้ที่ความเร็งสูง ซึ่งก็หมายความว่าจำนวนของสายที่ใช้ในการส่งจะต้องมีมากเท่ากับจำนวนบิตของข้อมูลที่จะส่งด้วย นอกจากนี้จะต้องรวมถึงสายที่ใช้สำหรับการควบคุมและการตรวจสอบการรับส่งข้อมูลด้วย ซึ่งอาจจะต้องใช้สายมากเป็น 2 เท่าของจำนวนบิตของข้อมูลที่จะส่งได้

ในขณะที่การรับส่งข้อมูลแบบอนุกรมเป็นการรับส่งข้อมูลครั้งละ 1 บิต แต่ก็สามารถรับส่งข้อมูลคราวละหลาย ๆ บิตได้ แต่ต้องมีการตกลงกันระหว่างตังส่งและตัวรับว่าจะรับส่งข้อมูลคราวละกี่บิตตัวรับจะต้องรอรับข้อมูลให้ครบทุกบิตเสียก่อนจึงทำการประมวลผล ทำให้การสื่อสารข้อมูลอนุกรมมีความเร็วต่ำกว่าแบบขนาน ในด้านจำนวนของสายสัญญาณการรับข้อมูลแบบอนุกรมจะใช้จำนวนสายที่น้อยกว่ามากและระยะทางในการสื่อสารข้อมูลทำได้มากกว่าแม้การติดต่อแบบอนุกรมผ่านทาง นั้นจะมีความเร็วในการเชื่อมต่อช้ากว่า Parallel Port แต่อุปกรณ์ที่ใช้ Parallel Port จะมีราคาแพงกว่า และจะต้องใช้สายสัญญาณมากกว่า การส่งข้อมูลทาง Serial Port นั้นในเครื่องพีซีจะใช้มาตรฐาน RS-232C ซึ่งเป็นมาตรฐานการส่งข้อมูลระยะทางไม่เกิน 15 เมตร ส่วนชิปที่ใช้ในการควบคุมการทำงานนั้นนิยมใช้8250 UART หรือตัวที่พัฒนามาใหม่อย่างเช่น 16550 UART ซึ่งมีการทำงานที่ดีขึ้น เราจึงต้องทำความเข้าใจมาตรฐานที่ใช้อยู่ เพื่อนำไปประยุกต์และใช้งานตามความต้องการได้

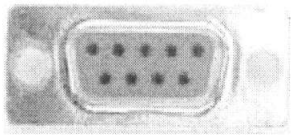
โดยปกติพอร์ตอนุกรม RS-232C จะสามารถต่อสายได้ยาว 50 ฟุตโดยประมาณ ขึ้นอยู่กับ ชนิดของ สายสัญญาณ, ระยะทาง, และ ปริมาณ สัญญาณ รบกวน

- พอร์ตอนุกรมของ PC จะเป็นคอนเน็คเตอร์แบบ DB9 ตัวผู้ (Male)



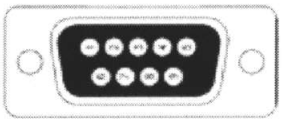
รูปที่ 2.25 พอร์ตอนุกรมของ PC DB9 ตัวผู้ (Male)

- พอร์ตอนุกรม ของอุปกรณ์ภายนอก จะเป็นคอนเน็คเตอร์แบบ DB9 ตัวเมีย (FeMale)



รูปที่ 2.26 พอร์ตอนุกรมของอุปกรณ์ภายนอก DB9 ตัวเมีย (Female)

- แสดงการจัดขา ของคอนเน็กเตอร์ อนุกรมแบบ DB9 และหน้าที่การใช้งานต่างๆ



รูปที่ 2.27 DB9 ตัวผู้ เมื่อมองจากด้านหลัง

2.8.1 มาตรฐานพอร์ตอนุกรมแบบอาร์เอส – 232

เพื่อที่จะให้อุปกรณ์จากผู้ผลิตต่างกันทำงานร่วมกันได้ มาตรฐานหลายชนิดได้รับการออกแบบขึ้น มาตรฐานที่ใช้กันกว้างขวางที่สุดคือ RS-232-C ถูกประกาศในปี 1969 โดย Electronic Industries Association (EIA)มาตรฐาน RS-232-C ที่สร้างขึ้นในตอนเริ่มแรกสำหรับการเชื่อมต่อระหว่าง เทอร์มินัล และโมเด็ม ระบุคุณลักษณะทางไฟฟ้าของวงจรระหว่างอุปกรณ์สองตัว และกำหนดชื่อ และหมายเลขแก่สายที่จำเป็นสำหรับการเชื่อมต่อวงจร ชื่อวงจร ตามมาตรฐาน RS-232-C ซึ่งเป็นการกำหนดมาตรฐานต่างๆ เช่น ลักษณะการเชื่อมต่อสัญญาณทางไฟฟ้าที่ใช้เพื่อป้องกันไม่ให้อุปกรณ์ส่งข้อมูลภายในสายเส้นเดียวกัน อุปกรณ์สื่อสารจึงจำแนกออก เป็น 2 ประเภทคือ

1) DTE (Data Terminal Equipment) คืออุปกรณ์สำหรับส่งข้อมูล เช่น คอมพิวเตอร์

2) DCE (Data Communication Equipment) คืออุปกรณ์สำหรับทำการติดต่อ เช่น Modem

ตามมาตรฐาน RS-232C อุปกรณ์ DTE ควรใช้หัวต่อตัวผู้ และอุปกรณ์ DCE ควรใช้หัวต่อตัวเมีย ซึ่งหัวต่อที่นิยมใช้กันอยู่จะเป็นชนิด D-Type ชนิด 9 ขา และ 25 ขา (บางครั้งเรียก DB-25และ DB-9) คุณสมบัติทางไฟฟ้าของ Serial Port ตามมาตรฐาน RS-232C พอสรุปได้ดังนี้

1) Logic ‘0’ หรือ “Space” มีค่า +3 Volt ถึง +25 Volt

2) Logic ‘1’ หรือ “Mark” มีค่า -3 Volt ถึง -25 Volt

3) ช่วง +3 Volt ถึง –3 Volt เป็นช่วง Undefined

4) Open Circuit Voltage เมื่อเทียบกับ ground ต้องไม่เกิน 25 Volt

5) Short Circuit Current ต้องไม่เกิน 500 mA ซึ่ง Driver ต้องสามารถรองรับได้

ตารางที่ 2.6 ข้อกำหนดของมาตรฐาน RS-232C

Specifications	RS- 232C
Mode of Operation	Single – Ended
Total Number of Drivers and Receivers on One Line	1 Driver and 1 Receiver
Maximum Cable Length	50 FT.
Maximum Data Rate	20 KBPS
Maximum Driver Output Voltage	+/- 25 V
Driver Output Signal Level(Loaded Min)	+/- 5 V to +/- 15 V
Driver Output Signal Level(Unloaded Max)	+/- 25 V
Driver Loaded Impedance (Ω)	3k to 7k
Max Driver Current in High Z State (Power On)	N/A
Max Driver Current in High Z State (Power Off)	+/- 6 mA @ +/- 2 V
Slew Rate (Max)	30 V/ μ S
Receiver Input Voltage Range	+/- 15 V
Receiver Input Sensitivity	+/- 3 V
Receiver Input Resistance (Ohms)	3k to 7k

ตารางที่ 2.7 DB-9 ตัวผู้ ทางด้านคอมพิวเตอร์

Pin	Signal	Direction	Description
1	CD	←	Carrier Detect
2	RxD	←	Receive Data
3	TxD	→	Transmit Data
4	DTR	→	Data Terminal Ready
5	GND	-	System Ground
6	DSR	←	Data Set Ready
7	RTS	←	Request to Send
8	CTS	→	Clear to Send
9	RI	→	Ring Indicator

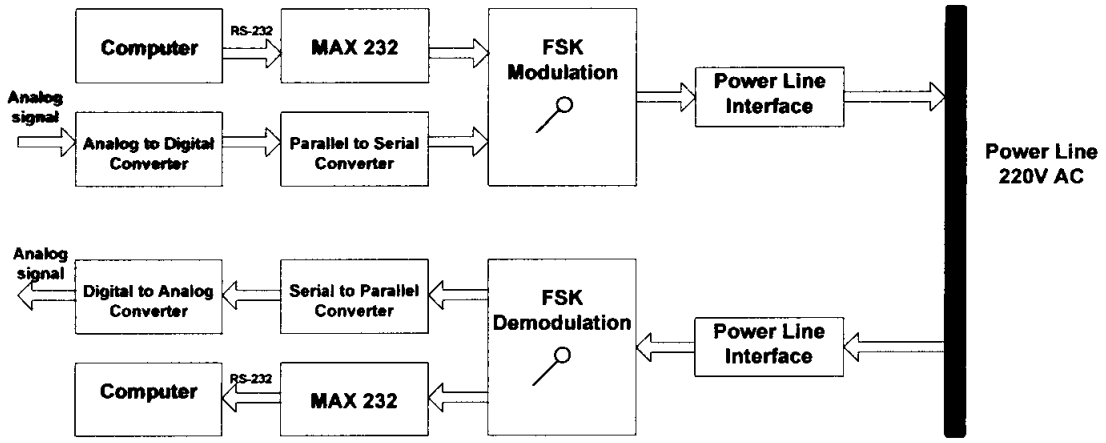
ตารางที่ 2.8 หน้าที่ของสัญญาณต่างๆ

Signal	Full Name	Originator	Function
TxD	Transmit Data	DTE	ส่งข้อมูลทีละบิตจาก DTE ไปยัง DCE
RxD	Receive Data	DCE	รับข้อมูลทีละบิตจาก DCE ไปยัง DTE
CTS	Clear to Send	DCE	ตรวจจับสัญญาณจาก DCE ว่าพร้อมจะรับข้อมูลจาก DTE
CD	Carrier Detect	DCE	เมื่อไรที่ตรวจสัญญาณเจอที่ปลายทางของสายจะทำให้สัญญาณ Active
DSR	Data Set Ready	DCE	บอก DTE ว่า DCE พร้อมที่จะทำงานแล้ว
DTR	Data Terminal Ready	DTE	สัญญาณจาก DTE บอกให้ DCE เตรียมพร้อม
RTS	Request to Send	DTE	สัญญาณจาก DTE บอกให้ DCE เตรียมพร้อมที่จะรับข้อมูล
RI	Ring Indicator	DCE	ตรวจจับสัญญาณของสายโทรศัพท์

บทที่ 3

การออกแบบและการสร้าง

3.1 โครงสร้าง



รูปที่ 3.1 โครงสร้างของระบบการส่งสัญญาณผ่านสายส่งกำลังไฟฟ้า

3.2 ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)

ในส่วนของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้ไอซีเบอร์ ADC 0804 ซึ่งเป็นไอซีแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบ CMOS ขนาด 8 บิต ใช้เวลาในการแปลงประมาณ 100 μs ซึ่งมีการทำงานแบบ Successive Approximation มีความสามารถในการทำงานทั้งหมดได้ภายในตัวมันเอง โดยมีขาที่ใช้ในการทำงานดังนี้

ขาที่ 1 ขา $\overline{CS}$ (Chip Select) จะถูกต่อลงกราวด์ เพื่อให้เป็นโหมดการทำงานด้วยตนเอง

ขาที่ 2 ขา $\overline{RD}$ (Read) จะถูกต่อลงกราวด์ เพื่อให้เป็นโหมดการทำงานด้วยตนเอง

ขาที่ 3 ขา $\overline{WR}$ (Write) จะถูกต่อไปยังสัญญาณนาฬิกา ที่สร้างโดยไอซีเบอร์ CD 4047

ขาที่ 4 ขา CLK IN (Cock In) เป็นขากำหนดค่าความถี่ของสัญญาณนาฬิกาภายใน ไอซีเบอร์ ADC 0804 ถ้าต้องการการทำงานเปลี่ยนแปลงต่อเนื่องอัตโนมัติเราสามารถกำหนดค่าความถี่สูงสุดได้ 640 KHz

ขาที่ 5 ขา $\overline{INTR}$ (Interrupt) จะถูกต่อไปยังขา $\overline{WR}$ เพื่อให้การเปลี่ยนแปลงและการส่งข้อมูลภายนอกเป็นไปได้อย่างอัตโนมัติ และยังต่อผ่านสวิตซ์ลงกราวด์ เพื่อใช้ในการรีเซต

ขาที่ 6 ขา Vin(+) เป็นขาป้อนสัญญาณอินพุตด้านบวก เป็นสัญญาณปรับค่าได้ตั้งแต่ 0-5 โวลต์

ขาที่ 7 ขา Vin(-) เป็นขาป้อนสัญญาณอินพุตด้านลบ

ขาที่ 8 ขา AGND เป็นขากราวด์ของสัญญาณ AC จะต่อลงกราวด์วงจร

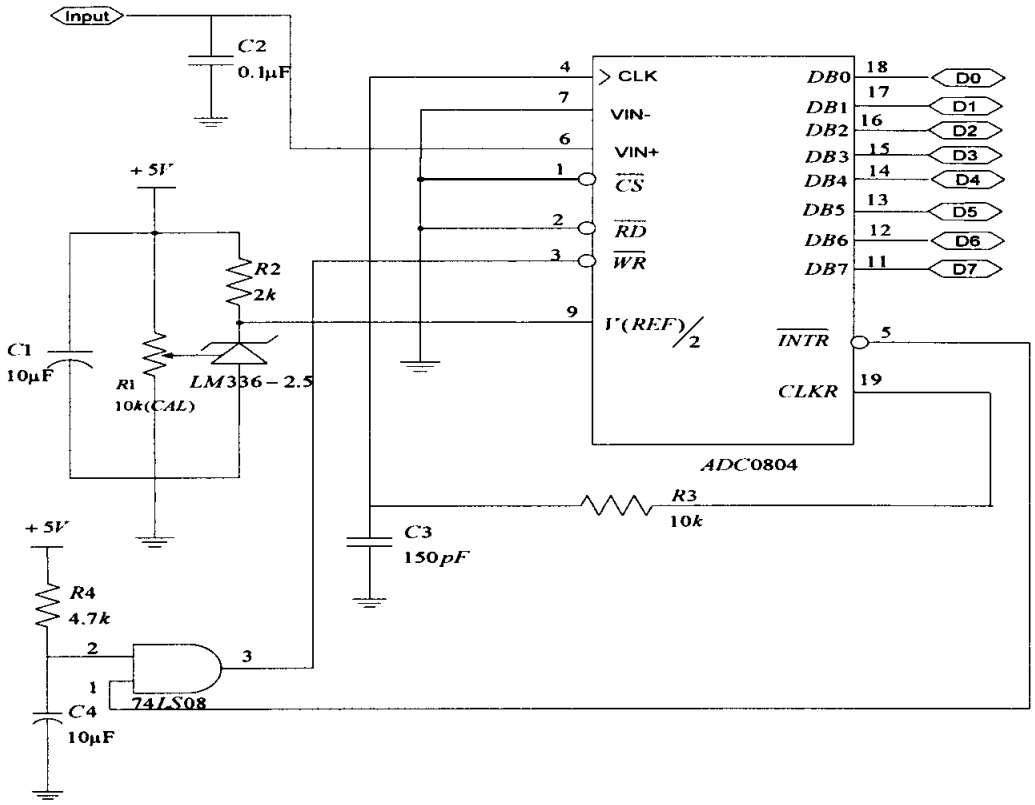
ขาที่ 9 ขา $V_{ref}/2$ เป็นขาแรงดันอ้างอิง ซึ่งจะถูกสร้างโดยไอซีเบอร์ LM 336

ขาที่ 10 ขา DGND เป็นขากราวด์ของสัญญาณดิจิตอล จะต่อลงกราวด์วงจร

ขาที่ 11 – 18 DB0 – DB7 เป็นขาส่งข้อมูลออกจากไอซีโดยส่งเป็นข้อมูลขนาน 8 บิต

ขาที่ 19 ขา CLK R (Clock Receive) เป็นขากำหนดความถี่ของสัญญาณนาฬิกาใช้ร่วมกับขา CLR IN

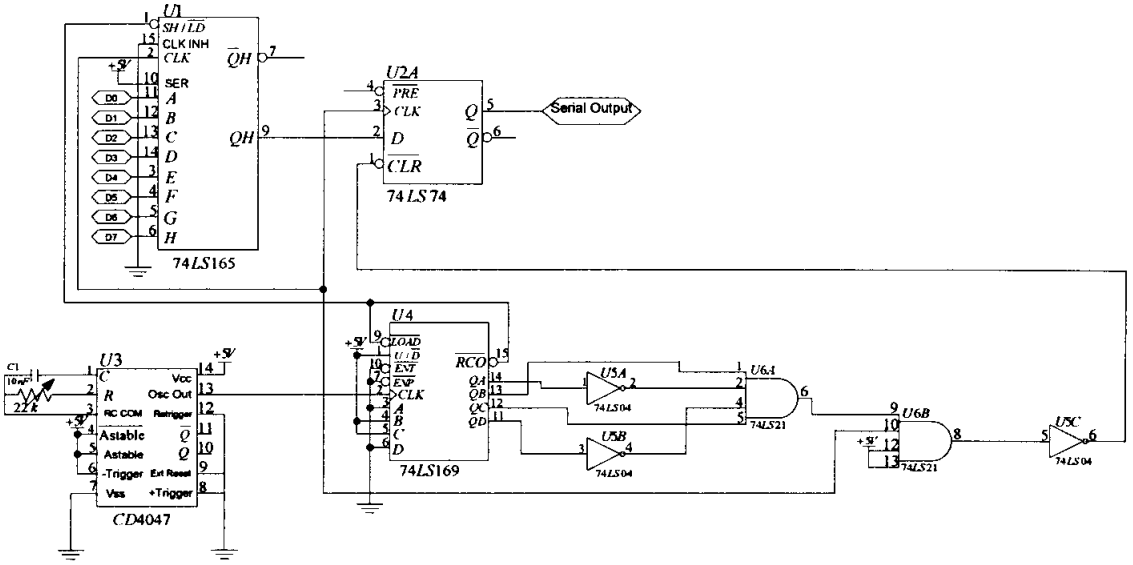
ขาที่ 20 ขา Vcc จะต้องจ่ายแรงดัน 5 Vdc



รูปที่ 3.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

3.3 ส่วนของวงจรแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม (Parallel to Serial Converter)

ในส่วนของการแปลงข้อมูลแบบขนานเป็นข้อมูลแบบอนุกรม จะใช้ไอซีเบอร์ 74LS165 ซึ่งเป็นการเลื่อนข้อมูล และใช้ไอซีเบอร์ 74LS169 มาเป็นตัวควบคุมการเลื่อนค่าและโหลดค่าของข้อมูลโดยเราจะออกแบบให้ชุดข้อมูลแต่ละชุดมีบิตเริ่ม (Start Bit) และบิตจบ (Stop Bit) ทำให้ชุดข้อมูล 1 ชุดจะมีจำนวนบิตเท่ากับ 10 บิต ซึ่งจะใช้ไอซีเบอร์ 74LS169 ในการนับสัญญาณนาฬิกา เมื่อครบ 10 ลูกที่ขา $\overline{RCO}$ (Ripple Carry Output) ของไอซีก็จะมีสภาวะ "0" ออกมา แล้วเราจึงนำสภาวะนี้มาต่อเข้ากับขา $SH/\overline{LD}$ ของไอซีเบอร์ 74LS165 เพื่อทำการโหลดค่าข้อมูลใหม่



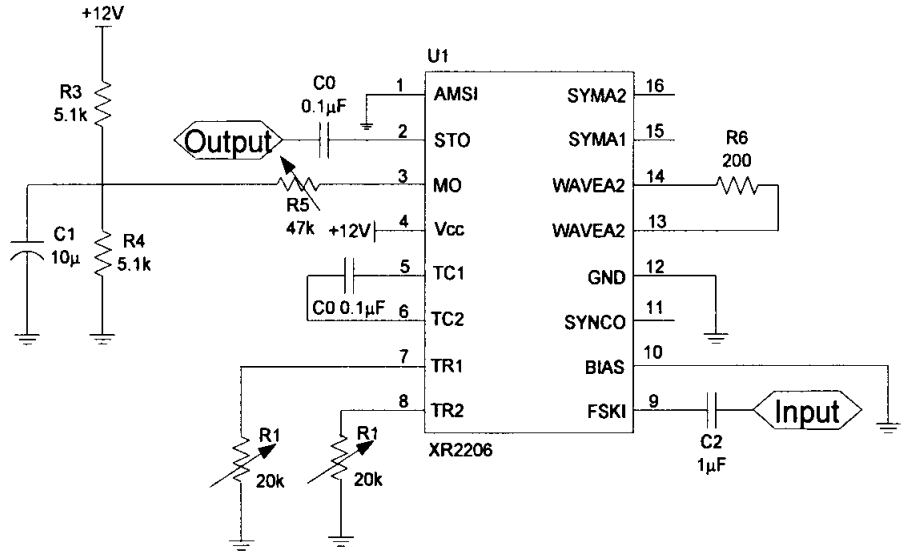
รูปที่ 3.3 วงจรข้อมูลขนานเป็นอนุกรม

ส่วนในการเพิ่มบิตเริ่มและบิตจบ เราจะกำหนดบิตเริ่มต้นให้มีสภาวะเป็น "0" และบิตจบให้มีสภาวะเป็น "1" โดยการสร้างบิตเริ่มต้น เราจะใช้ไอซีเบอร์ 74LS74 ซึ่งเป็น D Flip-Flop โดยนำสภาวะ "0" มาป้อนเข้ากับขา $\overline{CLR}$ (Clear) ของไอซีเบอร์ 74LS74 จะทำให้เกิดสภาวะเคลียร์ ทำให้ขา Q (Output) มีสภาวะ "0" นั่นก็คือบิตเริ่มต้นนั่นเอง โดยสภาวะ "0" ที่มาป้อนให้กับขา $\overline{CLR}$ นั้นได้มาจากที่ไอซี 74LS165 ทำการนับสัญญาณนาฬิกาครบ 10 ลูก จะทำให้ขา Q_D - Q_A ของไอซีจะมีสภาวะ "0110" ซึ่งเป็นค่าเริ่มต้นในการนับ เราจึงนำค่านี้มาทำการต่อ Logic Gate เพื่อทำให้เป็นสภาวะ "0" ต่อเข้ากับขา $\overline{CLR}$ ของไอซีเบอร์ 74LS74 เพื่อสร้างบิตเริ่มต้นนั่นเอง และเมื่อเปลี่ยนเป็นสภาวะ "1" ไอซีเบอร์ 74LS74 ก็จะทำงานในสภาวะปกติ

ส่วนในการสร้างบิตจบของชุดข้อมูล จะสามารถสร้างได้จากภายในไอซี 74LS165 โดยทำการป้อนสภาวะ "1" ให้กับขา SER ซึ่งมีสภาวะ "1" ออกทางเอาต์พุต ซึ่งเป็นบิตจบนั่นเอง

3.4 ส่วนของวงจร FSK Modulator

ในส่วนของวงจร FSK Modulator จะใช้ IC เบอร์ XR2206 ซึ่งเป็น Monolithic Function Generator ซึ่งสามารถกำเนิดสัญญาณคลื่นรูปซายน์ รูปสามเหลี่ยมและรูปสี่เหลี่ยม AM FMและFSK ในช่วงความถี่ 0.01Hz-1MHz



รูปที่ 3.4 วงจร FSK Modulator

ในกรณีนี้เราจะใช้ *IC* XR 2206 เป็นตัวกำเนิดสัญญาณซายน์ในลักษณะ FSK โดยสามารถกำหนดความถี่ของสัญญาณอินพุตสภาวะ "1" หรือ f_m (Mark Frequency) และความถี่ของสัญญาณอินพุตสถานะ "0" หรือ f_s (Space Frequency) ซึ่งเป็นอิสระต่อกันโดยสามารถกำหนดได้ตามสมการนี้

$$f_m = \frac{1}{R_1 C_0}$$

$$f_s = \frac{1}{R_2 C_0}$$

โดยตัวเก็บประจุที่ต่อระหว่างขา *TC*1 และ *TC*2 จะอยู่ในช่วงระหว่าง 100*pF*-100*uF* และตัวต้านทาน R_1 และ R_2 ที่ต่อที่ขา TR1 และ TR2 ตามลำดับจะอยู่ในช่วง $4k\Omega$ - $200k\Omega$ ในการออกแบบเรากำหนดความถี่ f_m 255*k*Hz และ f_s = 205kHz โดยเรากำหนดตัวเก็บประจุ $C_0 = 1nF$

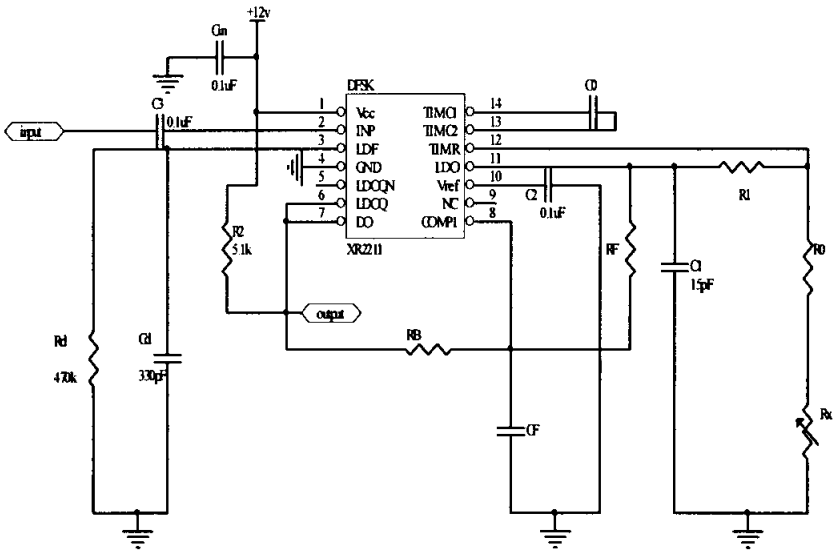
$$R_1 = \frac{1}{f_m C_0} = \frac{1}{(130\times10^3)(1\times10^{-9})} = 7.69k\Omega$$

$$R_2 = \frac{1}{f_s C_0} = \frac{1}{(110\times10^3)(1\times10^{-9})} = 9.09k\Omega$$

โดยสามารถปรับระดับสัญญาณเอาต์พุตที่ตัวต้านทานที่ต่อเข้ากับขา MO (Multiplier Output)

3.5 ส่วนของวงจร FSK Demodulator

ในส่วนของวงจร FSK Demodulator จะใช้ *IC* เบอร์ XR 2211 ซึ่งเป็น FSK Demodulator/Tone Decoder ในช่วงความถี่ 0.01k*Hz* - 300*kHz*



รูปที่ 3.5วงจร FSK Demodulator

การออกแบบตามการคำนวณใน Data Sheet

1.) คำนวณค่าความถี่ศูนย์กลาง (f_0) ของ PLL จาก

$$f_0 = \sqrt{f_m f_s}$$

$$\therefore f_0 = \sqrt{\left(130\times10^3\right)\left(110\times10^3\right)} = 119.58kHz$$

2.) เลือกค่า $R_o = 10k\Omega$ และ $R_x = 10k\Omega$

$$R_T = R_O + \frac{R_x}{2}$$

$$\therefore R_T = \left(10\times10^3\right) + \left(\frac{10\times10^3}{2}\right) = 15k\Omega$$

3.) คำนวณค่า C_0 จาก

$$C_0 = \frac{1}{f_0 R_T}$$

$$\therefore C_0 = \frac{1}{\left(119.58\times10^3\right)\left(15\times10^3\right)} = 557pF$$

4.) คำนวณค่า R_1 จาก

$$R_1 = \frac{2R_0 f_0}{\Delta f}$$

$$\therefore R_1 = \frac{2\times\left(10\times10^3\right)\left(119.58\times10^3\right)}{\left(130-110\right)\times10^3} = 119.58k\Omega$$

5.) กำหนดค่า Damping Factor $\varsigma = 0.5$

6.) คำนวณค่า C_1 จาก

$$C_1 = \frac{1250C_0}{R_1\varsigma^2}$$

$$\therefore C_1 = \frac{1250\left(557\times10^{-12}\right)}{\left(119.58\times10^3\right)\left(0.5\right)^2} = 23.28pF$$

7.) คำนวณค่า R_F จาก

$$R_F = 5R_1$$

$$\therefore R_F = 5(119.58\times10^3) = 598k\Omega$$

8.) คำนวณค่า R_B จาก

$$R_B = 5R_F$$

$$\therefore R_B = 5(598\times10^3) = 2.99M\Omega$$

9.) คำนวณค่า R_{sum} จาก

$$R_{sum} = \frac{(R_F + R_1)R_B}{(R_1 + R_F + R_B)}$$

$$\therefore R_{sum} = \frac{\left[\left(598\times10^3\right)+\left(119.58\times10^3\right)\right]\left(2.99\times10^6\right)}{\left[\left(598\times10^3\right)+\left(119.58\times10^3\right)+\left(2.99\times10^6\right)\right]} = 578.69k\Omega$$

10.) คำนวณค่า C_F จาก

$$C_F = \frac{0.25}{R_{sum}\times BaudRate}$$

$$\therefore C_F = \frac{0.25}{\left(578.69\times10^3\right)\left(64\times10^3\right)} = 6.75pF$$

11.) เลือกค่า $R_D = 470k\Omega$

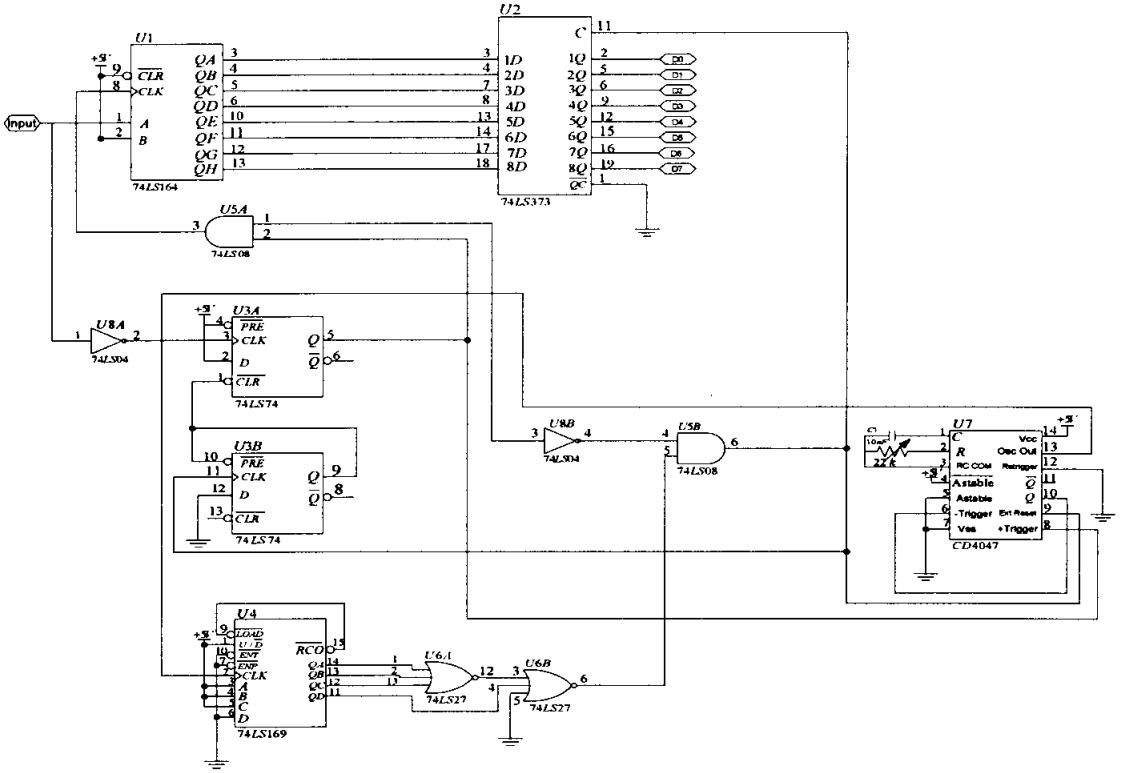
12.) คำนวณค่าC_D จาก

$$C_D \geq \frac{16}{\Delta f}\times10^{-6}$$

$$\therefore C_D \geq \frac{16\times10^{-6}}{(130-110)\times10^3} = 800pF$$

3.6 ส่วนของการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน (Serial to Parallel Converter)

ส่วนของการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน จะต้องคำนึงถึงข้อมูล ในการส่งข้อมูล 1 ชุด ซึ่งข้อมูลจะประกอบด้วยบิตข้อมูล 8 บิต บิตเริ่ม 1 บิต และบิตจบ 1 บิต ดังนั้นเราจึงกำจัดบิตเริ่มและบิตจบ ซึ่งไม่ใช่บิตข้อมูลทิ้งไป

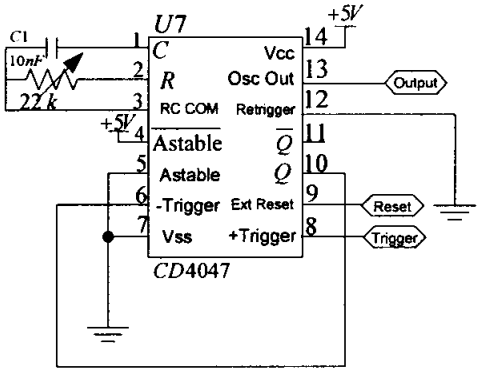


รูปที่ 3.6 วงจรแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน

ในการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนานจะใช้ไอซีเบอร์ 74LS164 มาใช้ในการเลื่อนข้อมูล โดยจะอาศัยรอยต่อระหว่างบิตเริ่มและบิตจบ มาใช้กำหนดตำแหน่งเริ่มต้นของข้อมูลซึ่งจะมีการเปลี่ยนสภาวะ "1" ของบิตจบมาเป็น "0" ของบิตเริ่ม หรือก็คือขอบขาลงนั่นเอง โดยจะนำมาต่อผ่าน Not Gate เพื่อกลับสภาวะเป็นขอบขาขึ้นป้อนให้กับขา CLK ของ D Flip-Flop ตัวแรก ซึ่งมีการต่อขา D ให้มีสภาวะ "1" ตลอดเวลา เมื่อมีสัญญาณเข้ามาที่ขา CLK ก็จะทำการเลื่อนข้อมูล "1" จากขา D ไปขา Q ให้มีสภาวะ "1" เพื่อใช้ในการสร้างสัญญาณนาฬิกากลับคืนและมาต่อเข้ากับ And Gate จะต้องเข้ากับสัญญาณนาฬิกา แล้วเอาต์พุตของ And Gate จะเป็นสัญญาณนาฬิกาป้อนให้กับไอซีเบอร์ 74LS164 ทำให้ไอซีเบอร์ 74LS164 เลื่อนข้อมูลแบบอนุกรมเป็นแบบขนานต่อไป และไอซีเบอร์ 74LS169 จะทำการนับสัญญาณนาฬิกา เมื่อนับครบ 9 ลูก จะทำให้ขา $Q_D - Q_A$ ของไอซีจะมีสภาวะ "0111" ซึ่งเป็นค่าเริ่มต้นในการนับ เรานำค่านี้มาทำการต่อ Logic Gate เพื่อทำให้เป็นสภาวะ "1" ไปป้อนให้ขา CLK ของไอซีเบอร์ 74LS373 เพื่อส่งข้อมูล 8 บิต แบบขนานให้กับไอซีเบอร์ DAC0800 ต่อไป และสภาวะ "1" นี้ จะไปต่อกับขา CLK ของ D Flip-Flop ตัวที่สอง จะต่อไปขา CLK ชอง D Flip-Flop ตัวที่สอง ซึ่งใช้ในการให้ D Flip-Flop ตัวแรกเกิดสภาวะเคลียร์ ทำให้เอาต์พุตออกเป็นสภาวะ "0" โดยอัตโนมัติซึ่งต่ออยู่กับ And Gate ทำให้เอาต์พุตของ And Gate มีสภาวะ "0" ถึงแม้ว่าอีกข้างหนึ่งจะมีสภาวะใด เพื่อเป็นการหยุดสัญญาณนาฬิกาที่ป้อนให้กับไอซีเบอร์ 74LS164 และเบอร์ 74LS169 ทำให้ไอซีทั้งสองตัวหยุดทำงานแต่สภาวะนี้จะเกิดเพียงช่วงสั้น ๆ เพื่อรอรอยต่อของบิตเริ่มและบิตจบของข้อมูลชุดต่อไป เพื่อใช้ในการสร้างสัญญาณนาฬิกากลับคืนอีกครั้ง

3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน

ในการถอดรหัสสัญญาณนั้น สิ่งสำคัญที่มีผลต่อระบบการทำงานมากที่สุดคือ สัญญาณนาฬิกาด้านภาครับจะต้องสอดคล้อง หรือมีความถี่ใกล้เคียงกับสัญญาณนาฬิกาด้านภาคส่งมากที่สุด โดยจะใช้ไอซีเบอร์ CD4047 ซึ่งเป็น Monostable/AstableMultivibrator

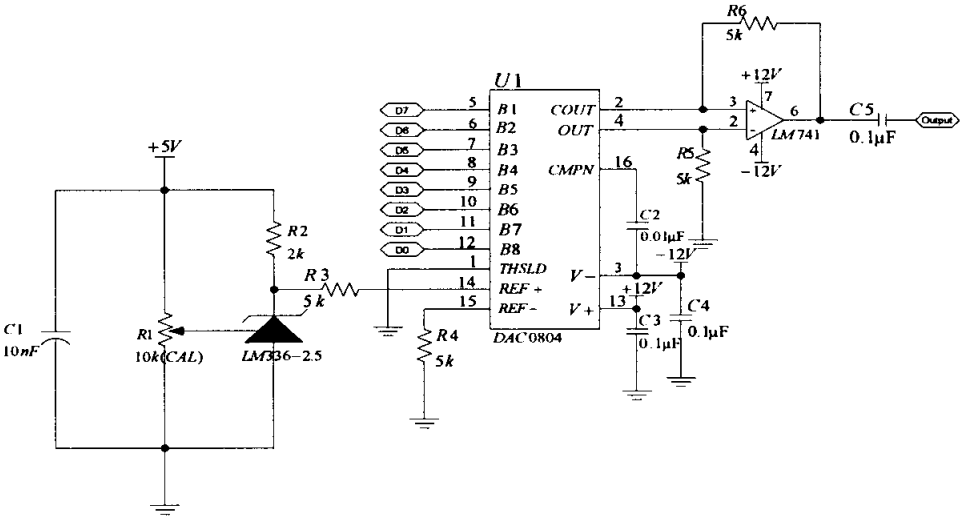


รูปที่ 3.7 วงจรสร้างสัญญาณนาฬิกากลับคืน

แต่การสร้างสัญญาณนาฬิกาต่อเนื่องตลอดเวลา อาจทำให้การผิดพลาด เนื่องจากสัญญาณนาฬิกาภาครับ ต่างเฟสกับสัญญาณนาฬิกาภาคส่งมากกว่า 180 องศา ดังนั้นเรารีเซตวงจรสร้างสัญญาณนาฬิกาเมื่อเลื่อนข้อมูลครบ 8 บิต

3.8 ส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter)

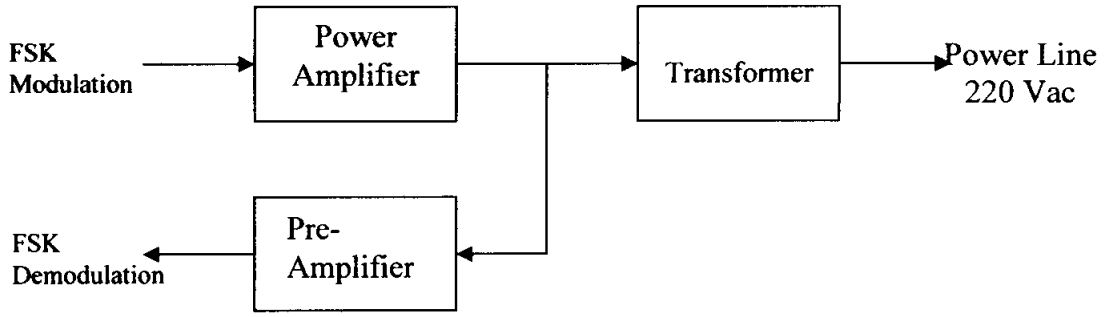
ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก จะใช้ไอซีเบอร์ DAC0800 ซึ่งเป็นไอซีแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาด 8 บิต



รูปที่ 3.8 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

3.9 ส่วนของวงจร Power Line Interface

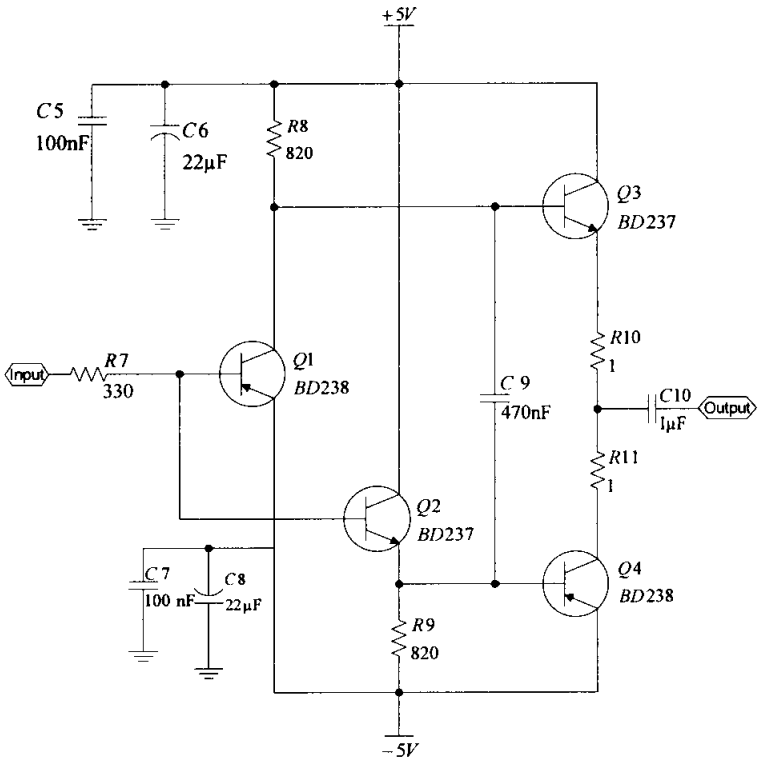
ในส่วนของวงจร Power Line Interface จะประกอบด้วย Buffer, Low Pass Filter, Power Amplifier และ Transformer



รูปที่ 3.9 โครงสร้างของวงจร Power Line Interface

3.9.1 วงจร Power Amplifier

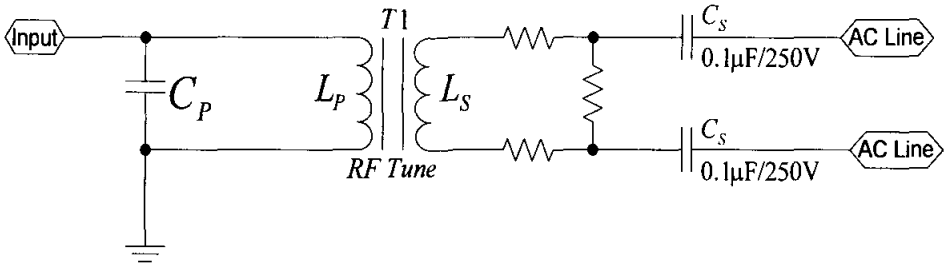
ในส่วนของวงจร Power Amplifier จะใช้แบบ Push-Pull Amplifier



รูปที่ 3.10 วงจร Push-Pull Amplifier

3.9.2 วงจร Transformer

ในส่วนของ3.8 วงจร Transformer ประกอบด้วย 2 ส่วน คือส่วน Primary และส่วน Secondary



รูปที่ 3.11 วงจร Transformer

วงจรในส่วน Primary เราจะออกแบบให้เป็น Band Pass Filter

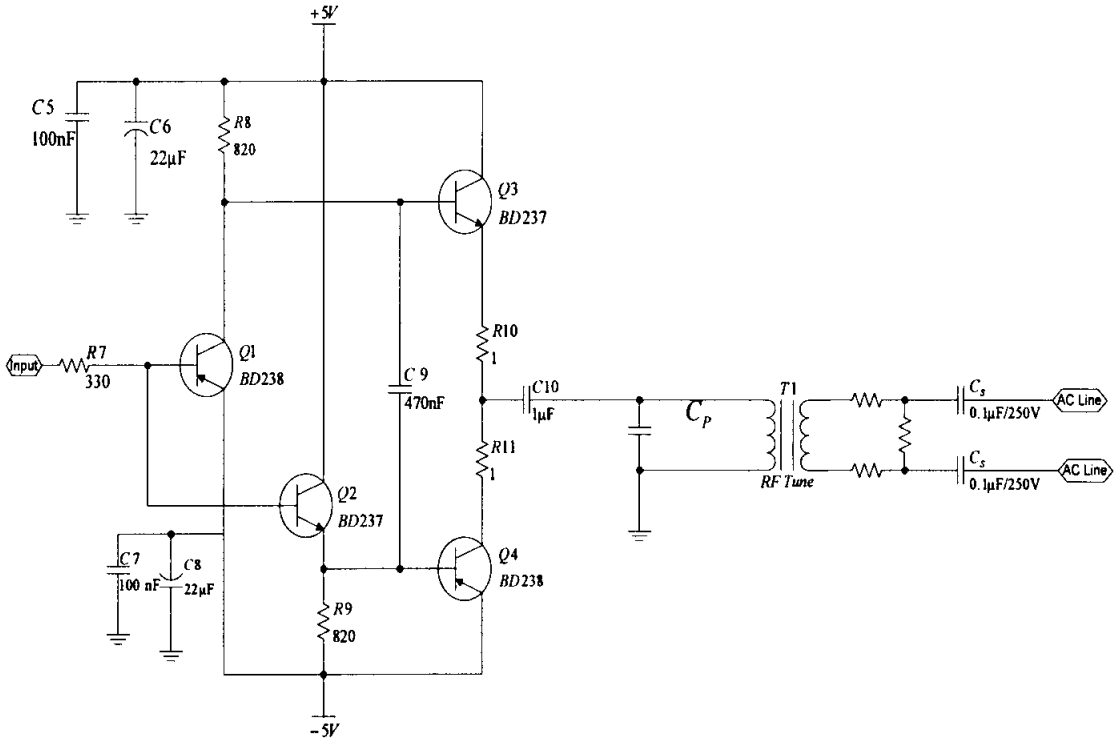
$$f_{res} = \frac{1}{2\pi\sqrt{L_P C_P}}$$

$$C_P = \frac{\left(\frac{1}{2\pi f_{res}}\right)^2}{L_P}$$

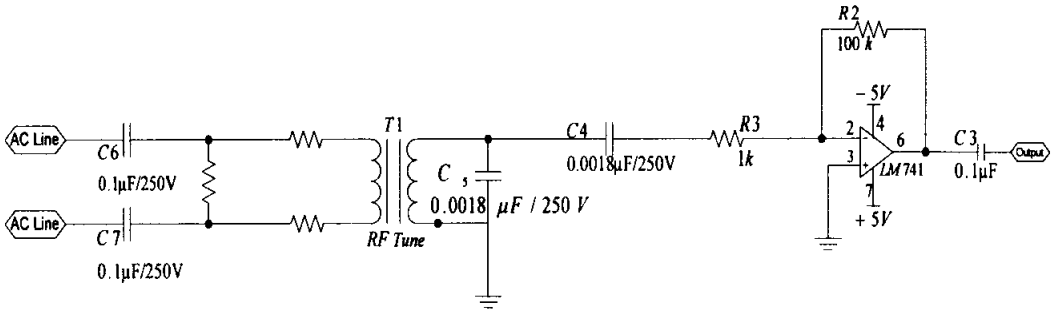
และวงจรในส่วน Secondary เราจะออกแบบให้เป็น High Pass Filter

$$C_S = \frac{\left(\frac{1}{2\pi f_{res}}\right)^2}{L_S}$$

โดยตัวเก็บประจุ C_S นั้นต้องทนต่อแรงดันมากกว่า 220 V ถึงจะสามารถกันสัญญาณไฟ 220 V 50 Hz ได้



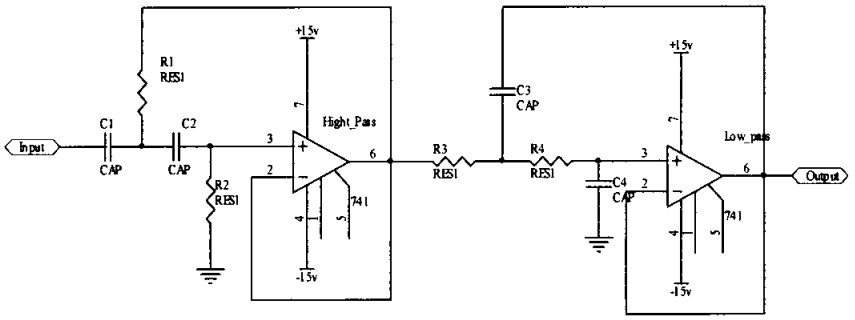
รูปที่ 3.12 วงจร Power Line Interface ด้านภาคส่ง



รูปที่ 3.13 วงจร Line Interface ด้านรับ

3.10 วงจร กรองแถบความถี่ผ่านที่ด้านรับ

เลือกใช้วงจรBand Pass Filter (BPF) ที่เป็น Active Filterโดยการนำวงจร Low Pass Filter (LPF) มาต่อร่วมกับวงจรHigh Pass Filter (HPF)



รูปที่ 3.14 วงจร Band Pass Filter

วงจรกรองแถบความถี่ผ่านที่นำวงจรกรองความถี่สูงผ่านและวงจรกรองความถี่ต่ำผ่านมาต่อร่วมกันสามารถคำนวณหาความต้านทานและ ค่าตัวเก็บประจุได้โดยใช้สมการ

$$f_1 = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$$ เป็นวงจรกรองความถี่สูงผ่าน

กำหนดให้คัดออฟที่ความถี่ 150 กิโลเฮิร์ตซ์ กำหนดให้ความต้านทาน R_1 เท่ากับ R_2 และค่าตัวเก็บประจุ C_1 และ C_2 เป็น 1.2 นาโนฟารัด

$$f_1 = \frac{1}{2\pi\sqrt{R_1R_2(1.2nF)^2}} = \frac{1}{2\pi(1.2nF)R_1}; R_1 = R_2$$

$$R_1 = \frac{1}{2\pi(1.2nF)150kHz} = 884\Omega$$

เลือกใช้ตัวต้านทาน R_1, R_2 เป็น 887Ω

$$f_2 = \frac{1}{2\pi\sqrt{R_3R_4C_3C_4}}$$ เป็นวงจรกรองความถี่ต่ำผ่าน

กำหนดให้คัทออฟที่ความถี่100 กิโลเฮิร์ตซกำหนดให้ความต้านทาน R_3 เท่ากับ R_4 และค่าตัวเก็บประจุ C_3 และ C_4 เป็น 1.2 นาโนฟารัด

$$f_2 = \frac{1}{2\pi\sqrt{R_3R_4C_3C_4}} = \frac{1}{2\pi(1.2nF)150kHz}; R_3 = R_4$$

$$R_4 = \frac{1}{2\pi(1.2nF)100kHz} = 1326.3\Omega$$

เลือกใช้ตัวต้านทาน $R_3, R_4 =$ 1.3 kΩ

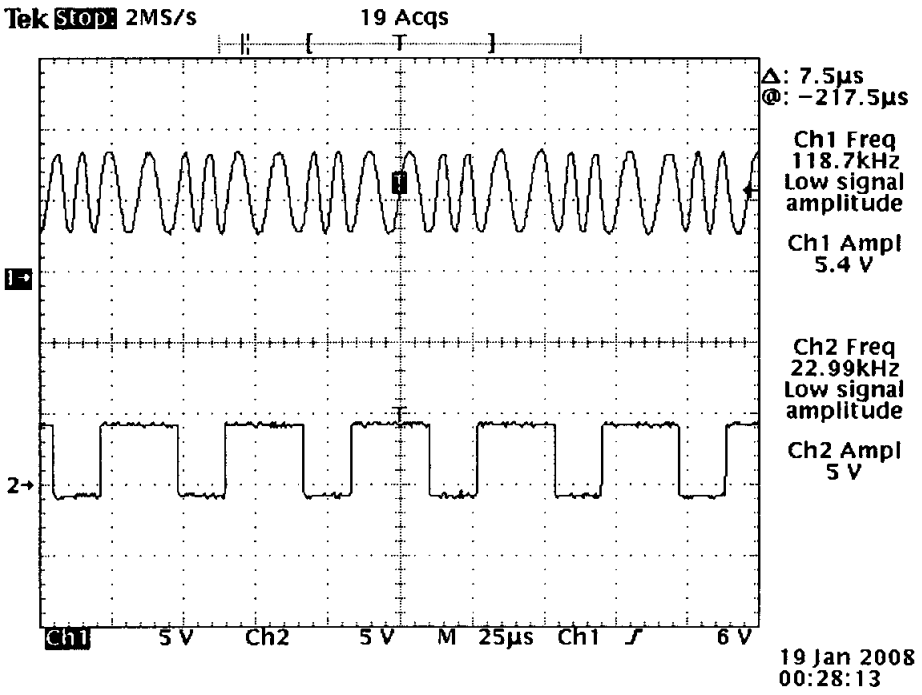
บทที่ 4

การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 ได้ทำการออกแบบวงจรและทำการสร้าง เนื้อหาในบทนี้จะเป็นการนำเอาวงจรต่างๆที่ทำการออกแบบแล้ว มาทำการทดลองเพื่อให้ได้ผลตามที่ต้องการหรือเพื่อการทดสอบว่าวงจรต่างๆที่ได้ทำการออกแบบมานั้นสามารถทำงานได้จริง

ผลการทดลองการมอดูเลตแบบ แบบ FSK โดยใช้ ไอซี เบอร์ XR2206

ทำการป้อนสัญญาณรูปสี่เหลี่ยมที่มีการเปลี่ยนระดับของแรงดันเท่ากับ 0 โวลต์ และ 5 โวลต์ ทางด้านอินพุตแล้วทำการวัดสัญญาณทางด้านเอาท์พุต ได้ผลการทดลองดังดังนี้โดยที่กำหนดให้ mark frequency = 130kHz และ space frequency = 110kHz

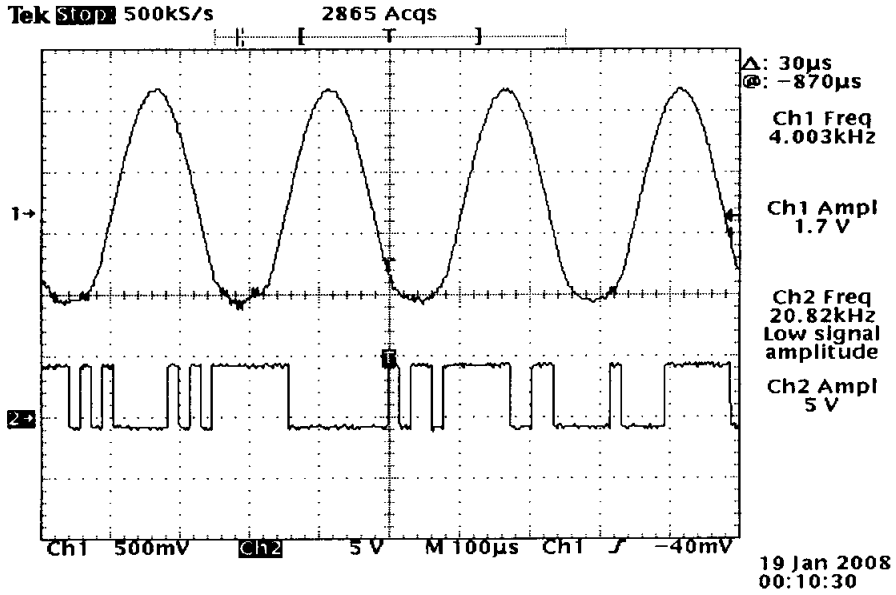


รูปที่ 4.1 แสดงสัญญาณอินพุตและเอาท์พุตของการมอดูเลตแบบ FSK

สัญญาณ ch1 คือสัญญาณที่ผ่านการมอดูเลตแบบ FSK

สัญญาณ ch2 คือสัญญาณระดับแรงดัน TTL ไอซี Max 232

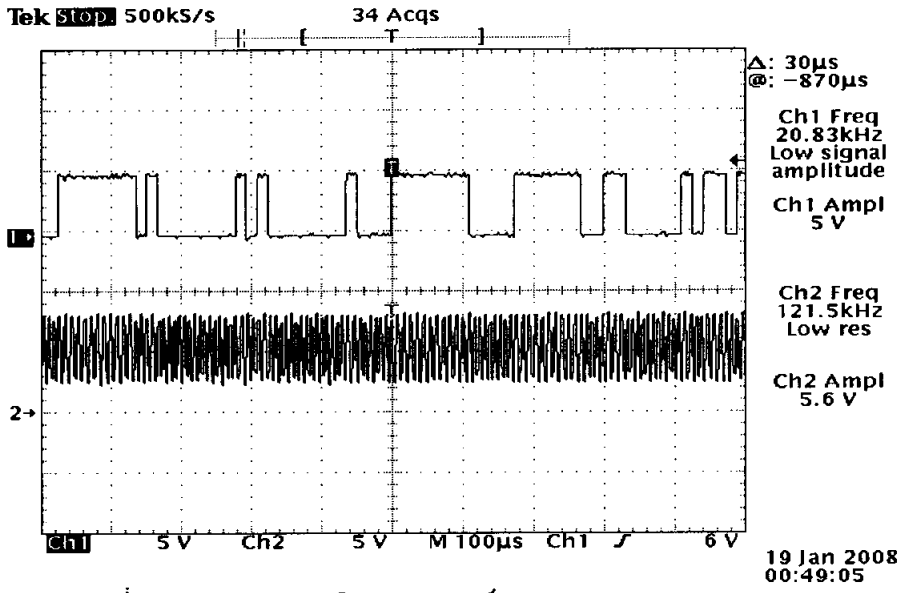
ผลการทดลองการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล



รูปที่4.2 แสดงสัญญาณอินพุตและเอาต์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

สัญญาณ ch1 คือสัญญาณsine wave ความถี่ 4 kHzที่นำมาทำการแปลงสัญญาณ

สัญญาณ ch2 คือสัญญาณsine wave ที่ผ่านการแปลงเป็นสัญญาณดิจิตอลแล้ว

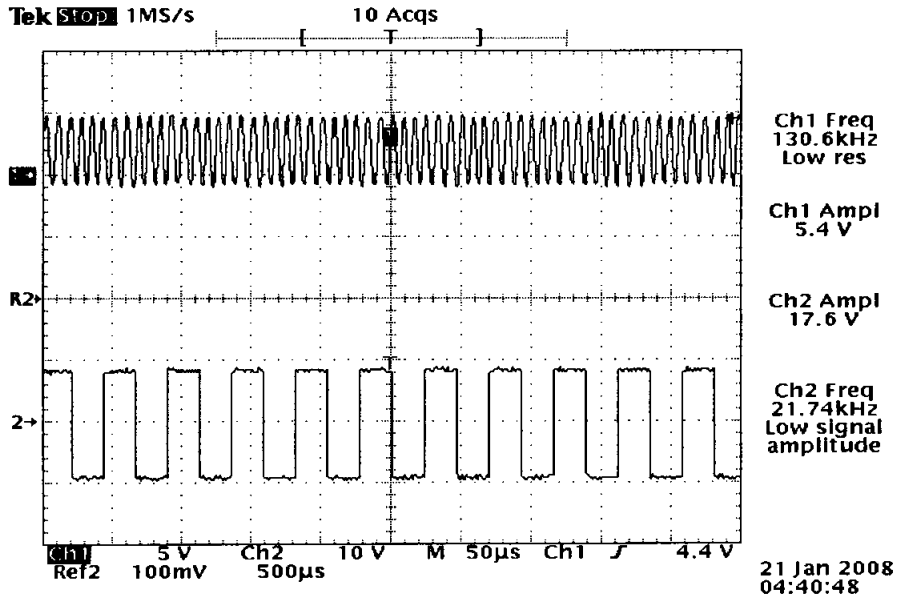


รูปที่ 4.3 แสดงสัญญาณอินพุตเละเอาท์พุตของการมอดูเลตแบบ FSK

สัญญาณ ch 1 คือ สัญญาณที่ผ่านการแปลงจากอนาลอกเป็นดิจิตอล

สัญญาณ ch2 คือ สัญญาณดิจิตอลที่ถูกมอดูเลตแบบ FSK

ผลการทดลองทำการดีมอดูเลตสัญญาณด้วยไอซีเบอร์ XR2211



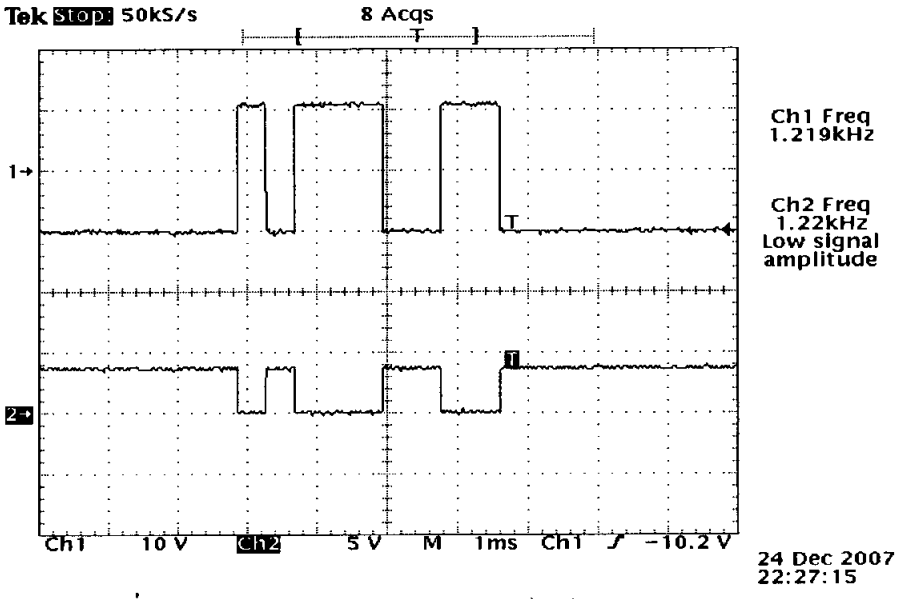
รูปที่ 4.4 แสดงสัญญาณอินพุตและเอาท์พุตของวงจร DFSK

สัญญาณ ch1 คือสัญญาณที่ผ่านการมอดูเลตด้วยไอซี XR2206

สัญญาณ ch2 คือสัญญาณที่ทำการดีมอดูเลตออกมาด้วยไอซี XR2211

ผลการทดลองวงจรแปลงระดับแรงดันของไอซี MAX232

โดยใช้อินพุตจาก serial port ของคอมพิวเตอร์ผ่านโปรแกรม Hyperterminal



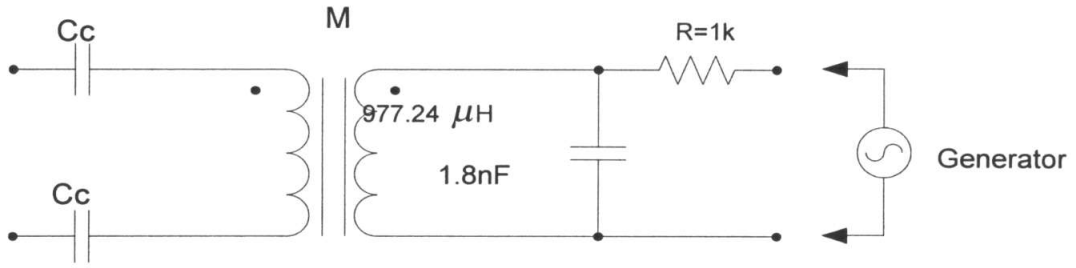
รูปที่ 4.5 แสดงสัญญาณระดับแรงดันของไอซี MAX232

สัญญาณ ch1 คือสัญญาณจากคอมพิวเตอร์ผ่านโปรแกรม Hyperterminal

สัญญาณ ch2 คือสัญญาณที่ผ่านการแปลงระดับแรงดันมีระดับแรงดันที่0- 5V

ผลการทดลองวงจรเรโซแนนซ์ความถี่ที่ 120 kHz ทางด้านส่ง

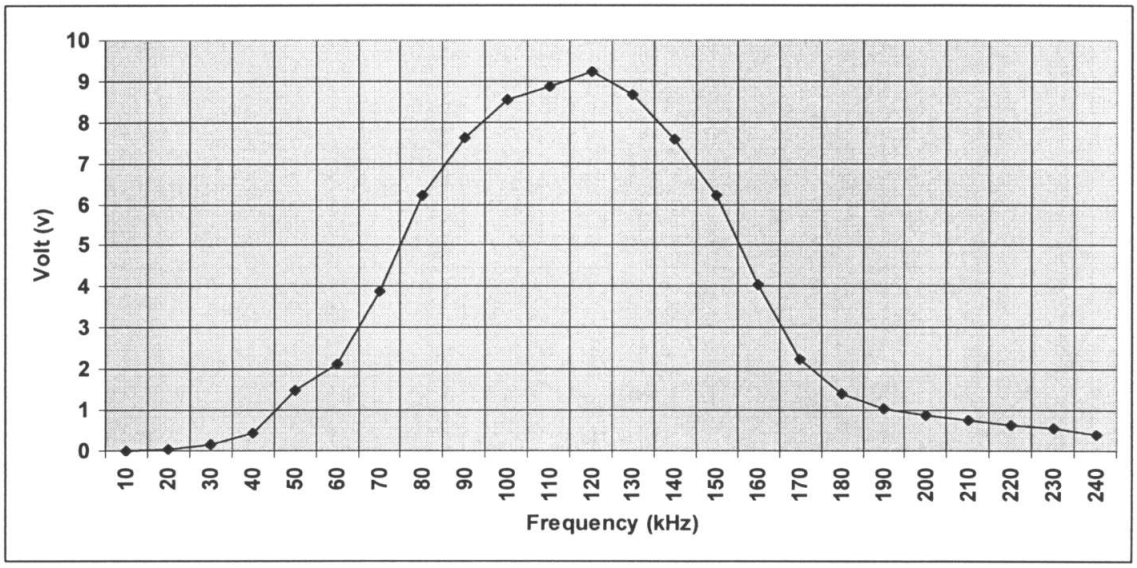
โดยใช้เจนเนอร์เรเตอร์ทำการป้อนสัญญาณเข้าที่ R =1 $k\Omega$ แล้วใช้ volt meter วัดคร่อมที่เอาต์พุต ของวงจร



รูปที่ 4.6 วงจรเรโซแนนซ์ทางด้านส่ง

ตารางที่ 4.1 แสดงการหาความถี่เรโซแนนซ์ทางด้านส่ง

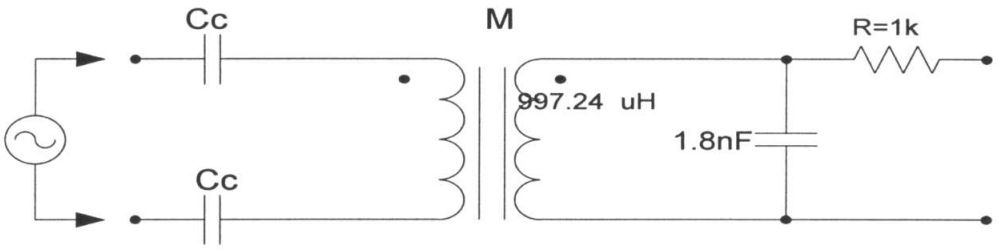
Frequency (kHz)	Volt (v)	Frequency (kHz)	Volt (v)
10	0.01	130	8.66
20	0.05	140	7.59
30	0.18	150	6.22
40	0.46	160	4.05
50	1.48	170	2.26
60	2.14	180	1.42
70	3.89	190	1.04
80	6.21	200	0.87
90	7.62	210	0.75
100	8.54	220	0.64
110	8.88	230	0.56
120	9.25	240	0.42



รูปที่ 4.7 กราฟแสดงความถี่เรโซแนนซ์ทางด้านส่ง

ผลการทดลองวงจรเรโซแนนซ์ความถี่ที่ 120 kHz ทางด้านรับ

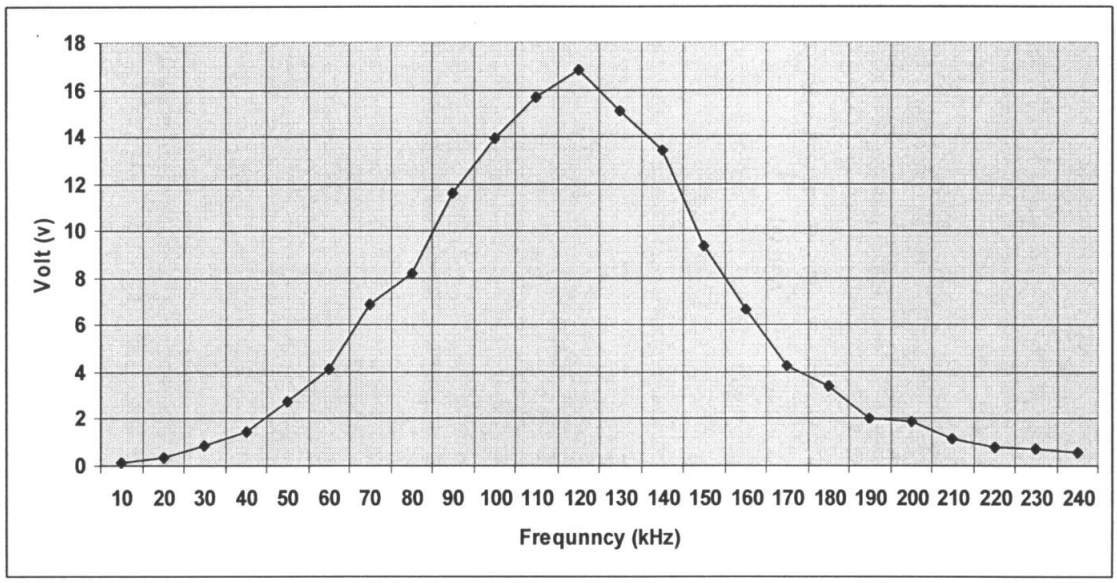
โดยใช้เจนเนอร์เรเตอร์ทำการป้อนสัญญาณเข้าที่ ขาเอาท์พุตแล้วใช้ volt meter วัดคร่อมที่อินพุต ของวงจร



รูปที่ 4.8 วงจรเรโซแนนซ์ทางด้านรับ

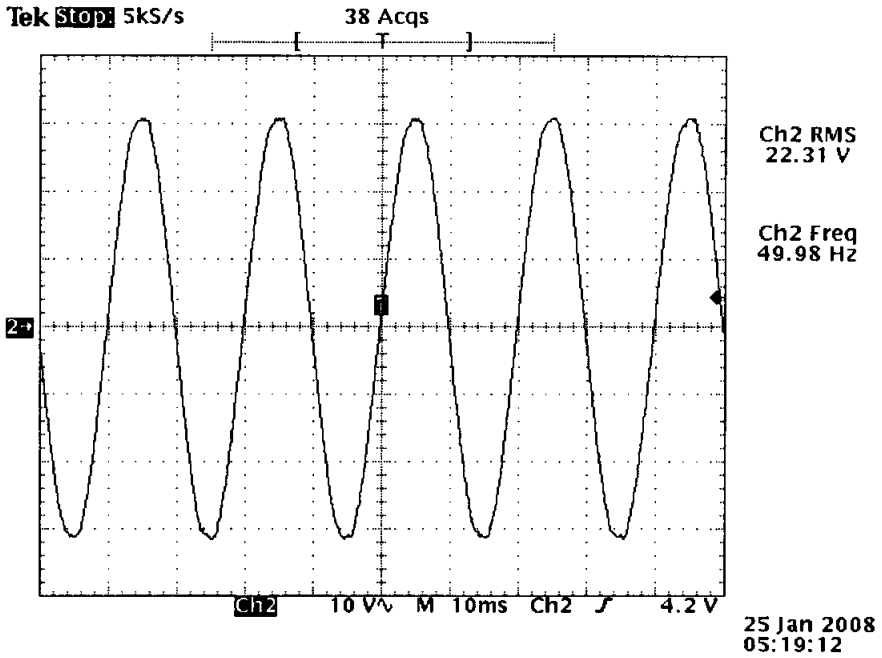
ตารางที่4.2 แสดงการหาความถี่เรโซแนนซ์ทางด้านรับ

Frequency (kHz)	Volt (v)	Frequency (kHz)	Volt (v)
10	0.15	130	15.12
20	0.38	140	13.41
30	0.86	150	9.37
40	1.46	160	6.67
50	2.78	170	4.26
60	4.14	180	3.42
70	6.89	190	2.04
80	8.21	200	1.87
90	11.62	210	1.16
100	13.94	220	0.78
110	15.68	230	0.69
120	16.85	240	0.58



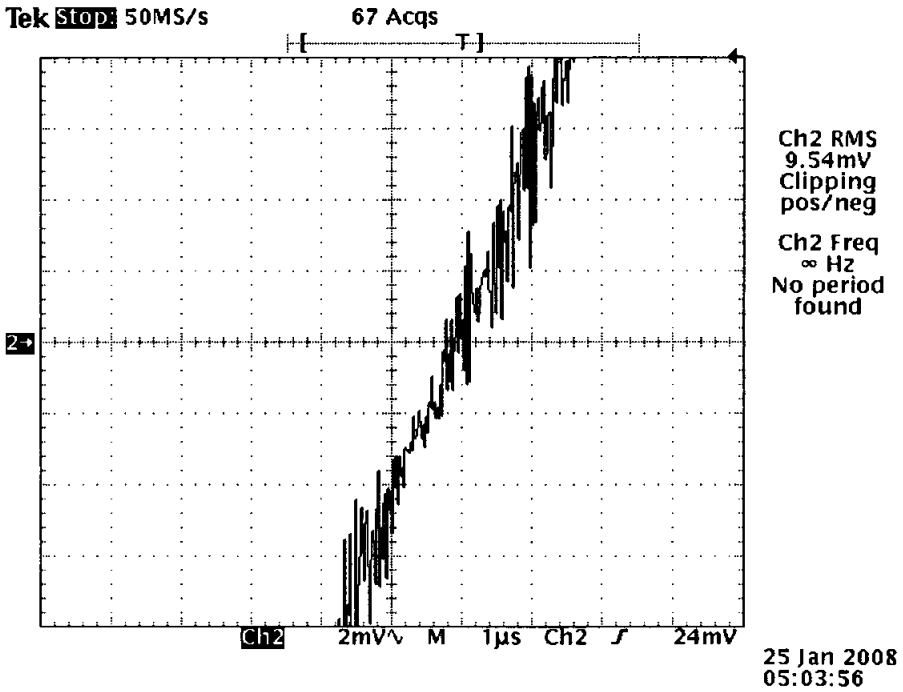
รูปที่ 4.9 กราฟแสดงความถี่เรโซแนนซ์ทางด้านรับ

ผลการทดลองวัดสัญญาณสายไฟฟ้ากำลัง



รูปที่ 4.10 แสดงสัญญาณภายในสายไฟฟ้ากำลัง

สัญญาณ ch2 คือสัญญาณไฟฟ้ากำลังความถี่ 50 Hz



รูปที่ 4.11 แสดงการคัปปลิ้งสัญญาณออกไปสู่สายไฟฟ้า

สัญญาณ ch2 คือสัญญาณไฟฟ้ากำลังเมื่อมีการส่งข้อมูล

บทที่ 5

บทวิจารณ์และบทสรุป

โครงงานนี้เป็นระบบเกี่ยวกับการส่งสัญญาณข้อมูล 64 kbps อาศัยการมอดูเลตสัญญาณดิจิตอลโดยใช้เทคนิคของ Frequency Shift Keying (FSK) โดยอินพุตที่ใช้ก็จะมีสัญญาณเสียงที่เป็นอนาลอก และสัญญาณข้อมูลดิจิตอล 64kbps ในส่วนของสัญญาณเสียงที่เป็นอนาลอกนั้นต้องทำการแปลงจากสัญญาณอนาลอกเป็นดิจิตอลแบบไบนารี 64 kbps ก่อนแล้วจึงนำมามอดูเลตทางดิจิตอล FSK โดยมี Mark Frequency บิต 1 เท่ากับ110 kHz และ Space Frequency บิต 0 เท่ากับ130 kHz มี Baud rateเท่ากับ 64 kbps ก็จะได้สัญญาณ FSK ออกมา

โดยรวมแล้วโครงงานนี้เมื่อทำการทดลองทางด้านภาคส่งพบปัญหา การออกแบบวงจรนั้นค่าที่คำนวณต่างๆเช่นค่าความต้านทาน ค่าตัวเก็บประจุจะมีค่าผิดพลาดการทดลองจึงไม่เป็นไปตามทฤษฎี แต่ผลที่ออกมาเป็นที่น่าพอใจ ส่วนทางด้านภาครับมีปัญหาที่การลดทอนและสัญญาณรบกวนมีสูงมากไม่สามารถทำการดีคัปปลิ้งสัญญาณคืนมาได้ จึงจำเป็นต้องมีการแก้ปัญหาโดยออกแบบวงจรให้มีการป้องกันสัญญาณรบกวนที่ดีกว่านี้เพื่อเป็นแนวทางในการแก้ไขปรับปรุงโครงงานต่อไป

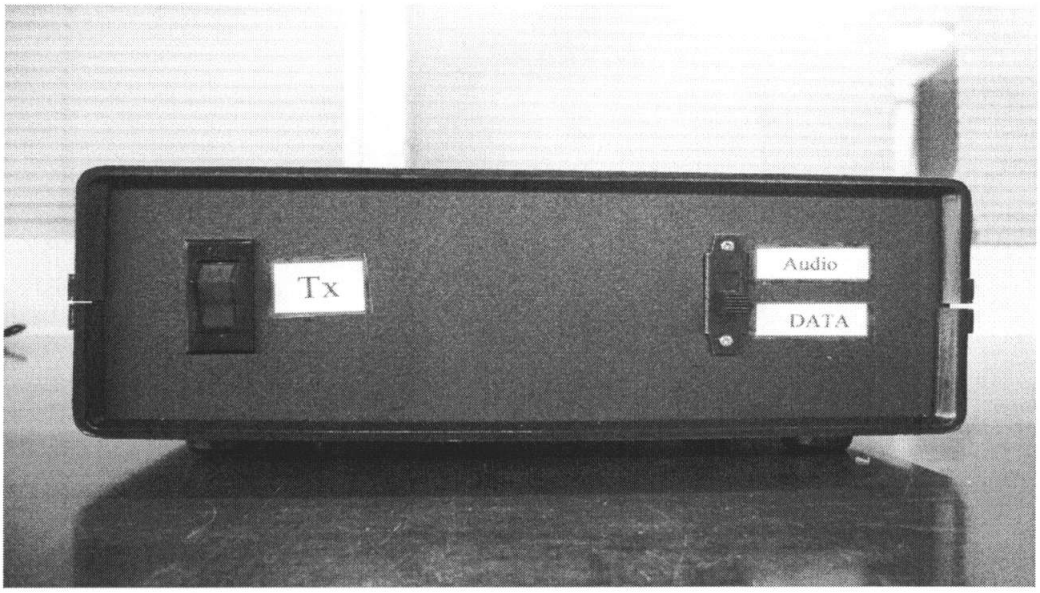
แนวทางการแก้ไขปรับปรุงโครงงาน

- ต้องมีการคำนวณหาค่าแมทชิ่งอิมพิแดนซ์ของสายไฟฟ้ากำลังที่ภาคส่งและภาครับ เพื่อให้ได้การส่งผ่านกำลังงานของสัญญาณที่ดีที่สุด
- ที่ภาครับควรใช้วงจรที่มีอัตราขยายสูงๆเนื่องจากสัญญาณมีการลดทอนภายในสายไฟฟ้ามาก
- การทดลองควรเลือกอุปกรณ์ที่ใช้ตรงตามที่คำนวณไว้ หรือใกล้เคียงมากที่สุด
- วงจรกรองความถี่แบบ Band Pass Filter ที่ใช้งานควรมีอันดับมากกว่าอันดับสองขึ้นไปเพื่อให้ได้ช่วงBandwidth ที่คมกว่านี้เพื่อป้องกันสัญญาณรบกวนให้ดีขึ้น
- ในการเลือกความถี่ที่จะใช้ส่งข้อมูล ควรเลือกให้มีความถี่สูงกว่าอัตราการส่งข้อมูลให้มากกว่านี้เพื่อให้ภาครับสามารถ ดีมอดูเลตสัญญาณได้ง่ายขึ้น

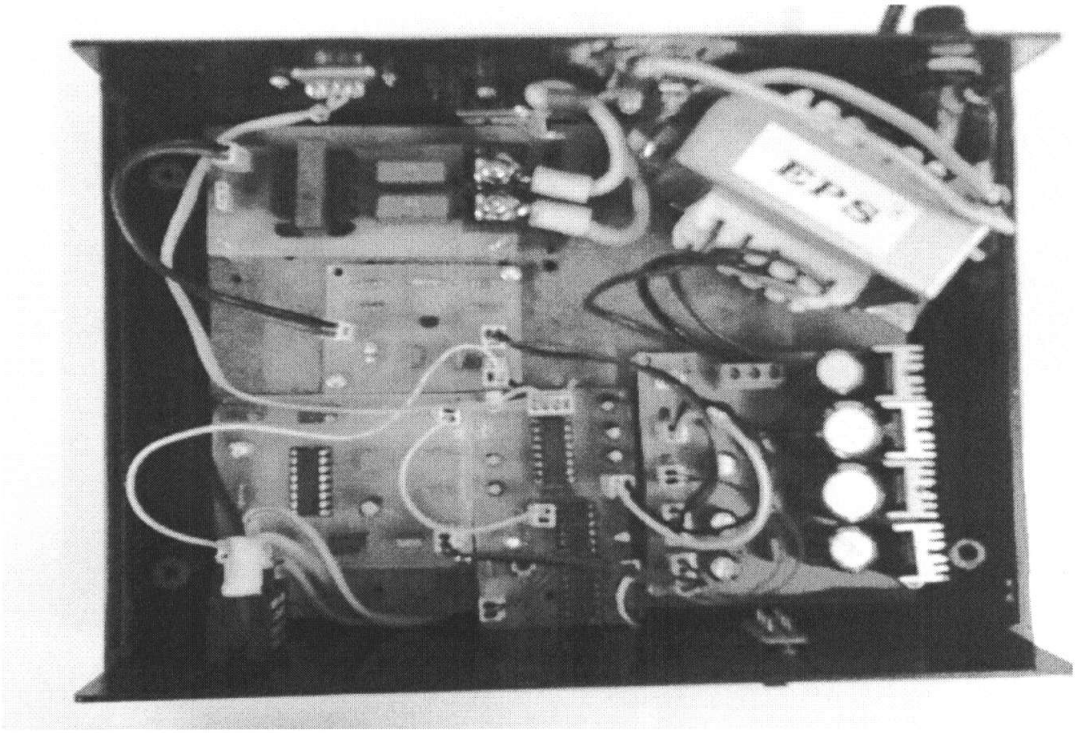
หนังสืออ้างอิง

1. ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์ "วิศวกรรมการสื่อสาร Communication Engineering" สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพมหานคร,2544
2. ผู้ช่วยศาสตราจารย์ ดร.พรชัย ทรัพย์นิธิ "ระบบสื่อสารดิจิตอล" สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพมหานคร,2549

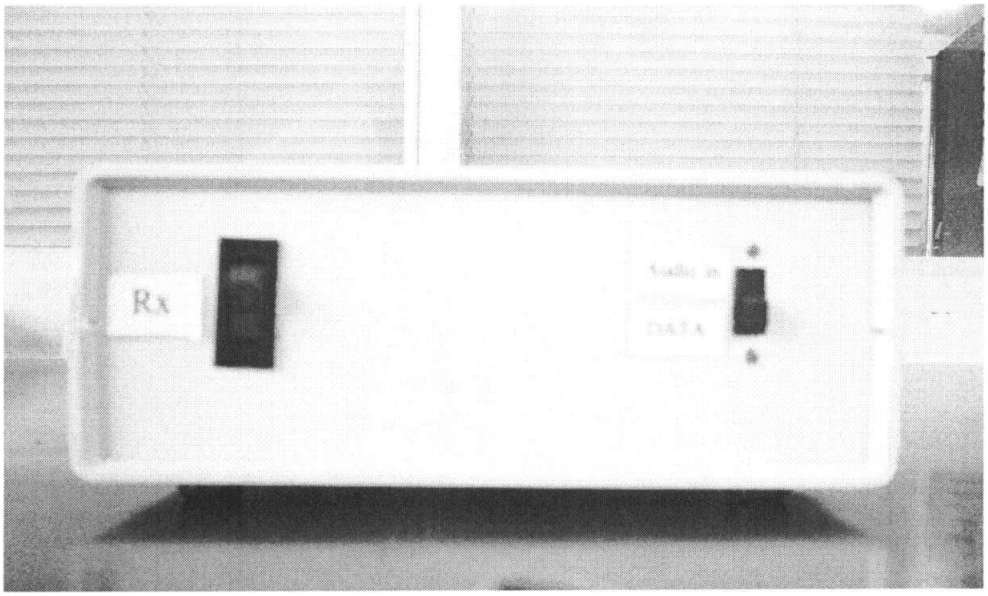
ภาคผนวก



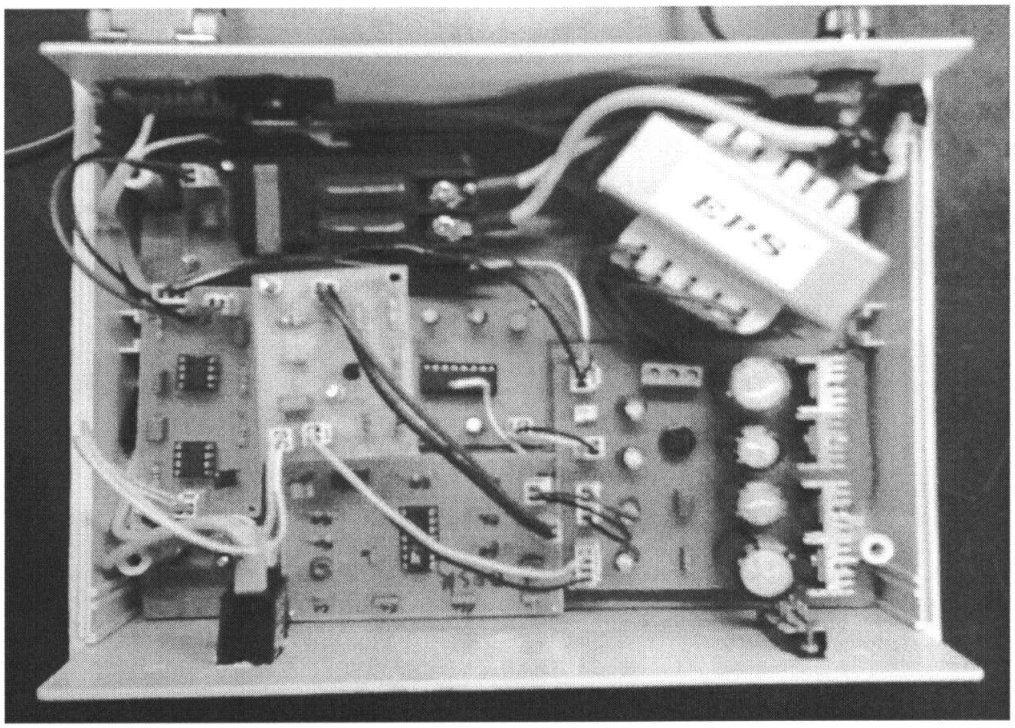
รูปอุปกรณ์ภาคส่ง



รูปวงจรเครื่องส่ง



รูปอุปกรณ์ภาครับ



รูปวงจรเครื่องรับ

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972
EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

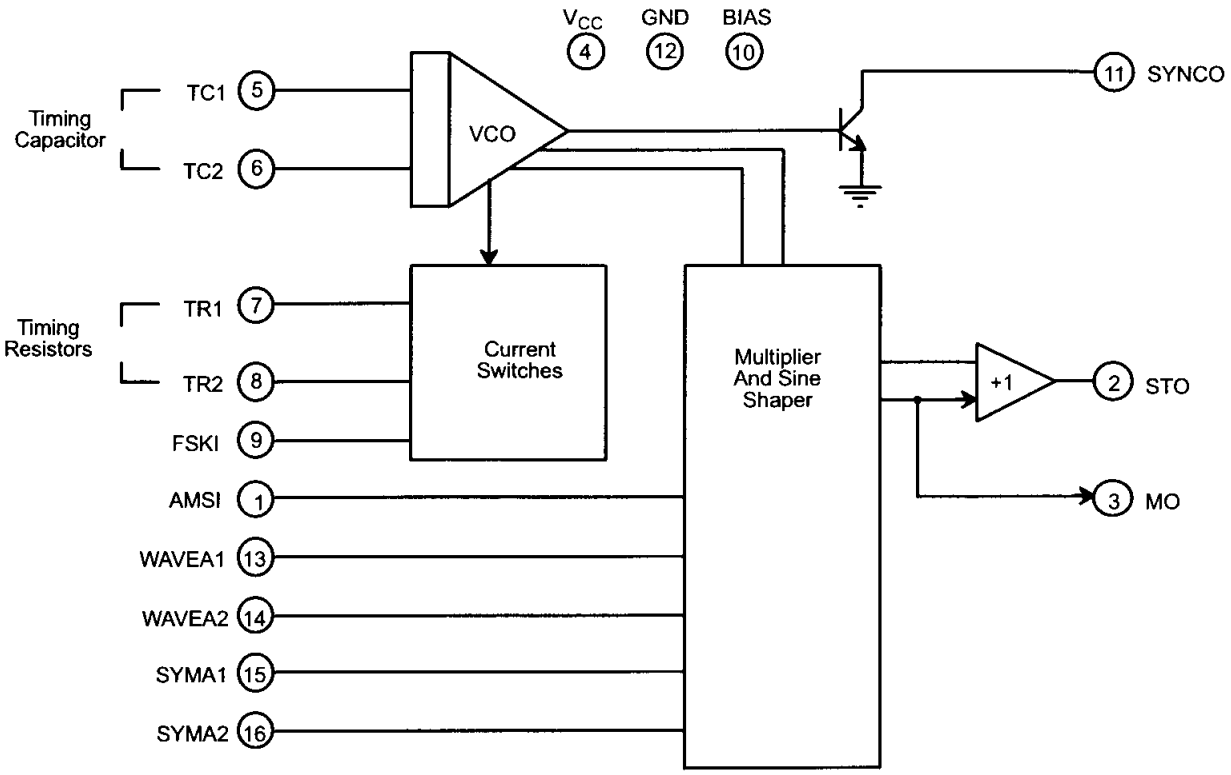
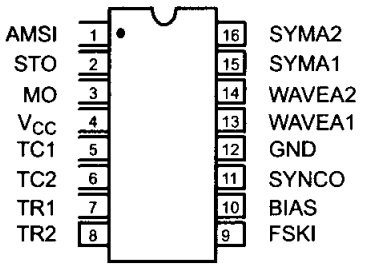
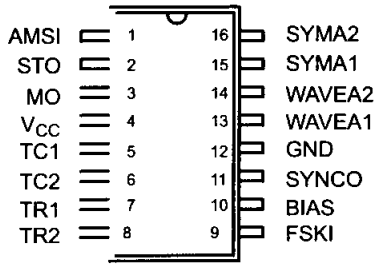


Figure 1. XR-2206 Block Diagram



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ** Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	**Typ.**	**Max.**	**Min.**	**Typ.**	**Max.**		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	**17**		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	**1**		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	μA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

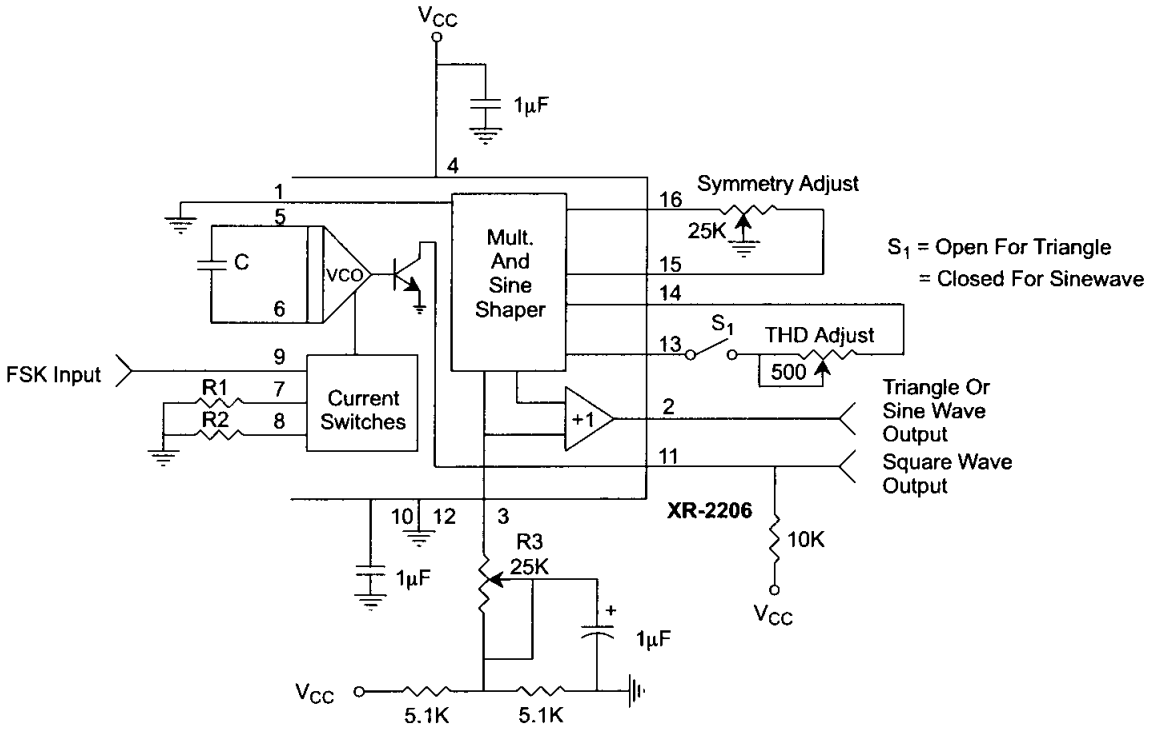


Figure 2. Basic Test Circuit

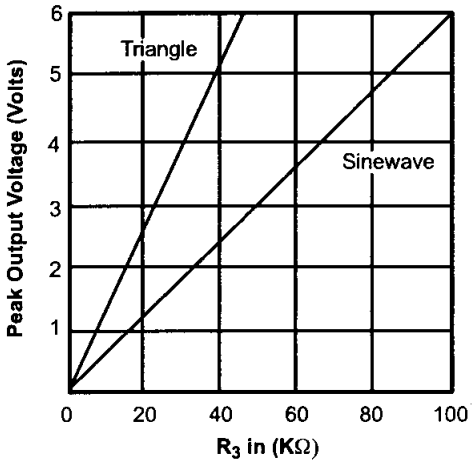


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

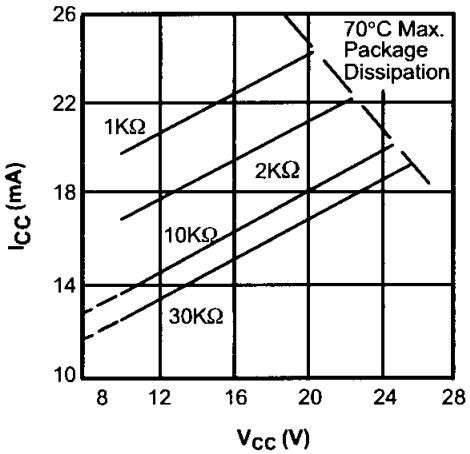


Figure 4. Supply Current vs Supply Voltage, Timing, R

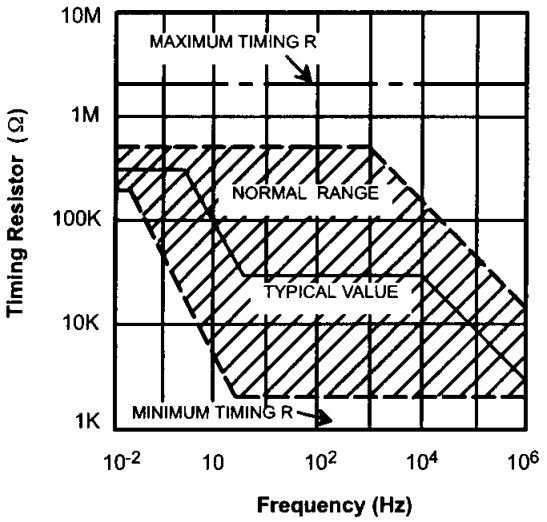


Figure 5. R versus Oscillation Frequency.

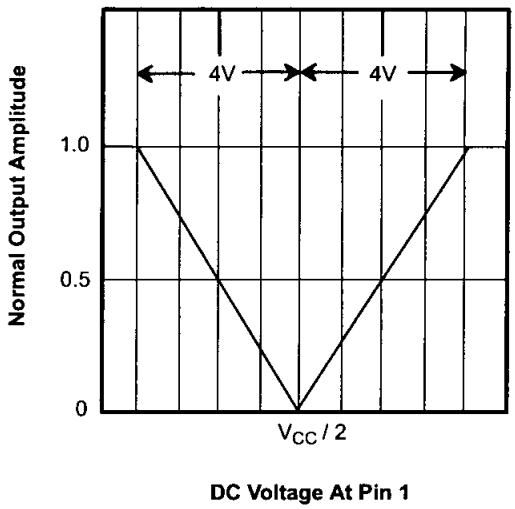


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

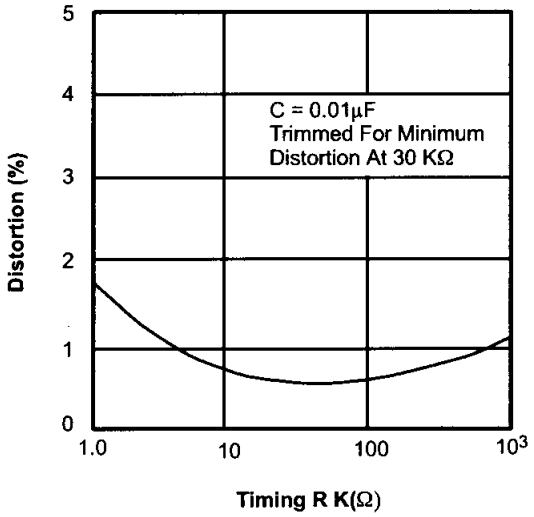


Figure 7. Trimmed Distortion versus Timing Resistor.

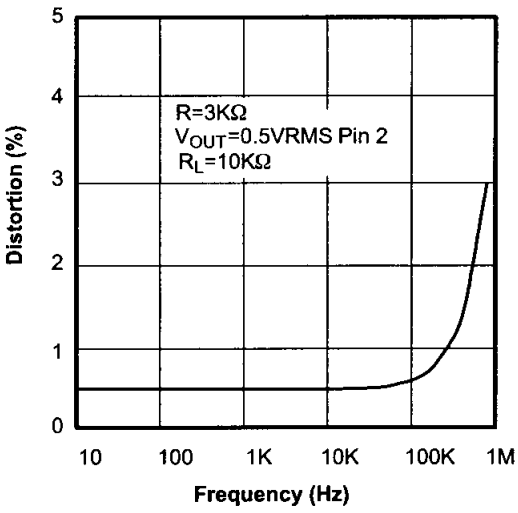


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

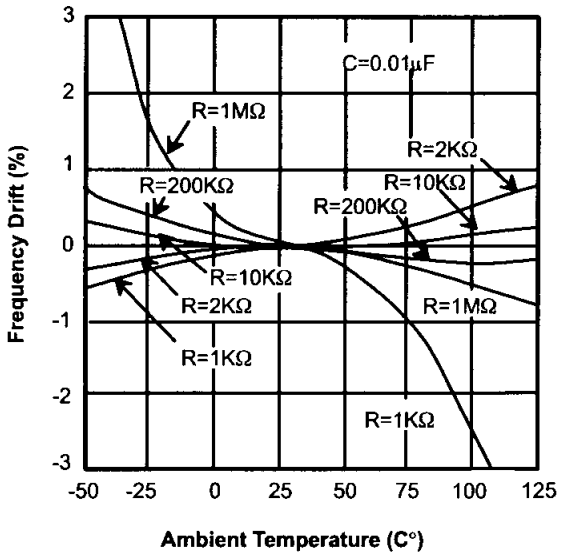


Figure 9. Frequency Drift versus Temperature.

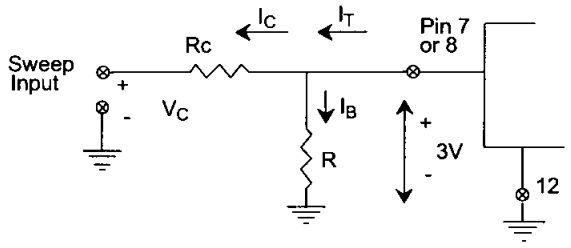


Figure 10. Circuit Connection for Frequency Sweep.

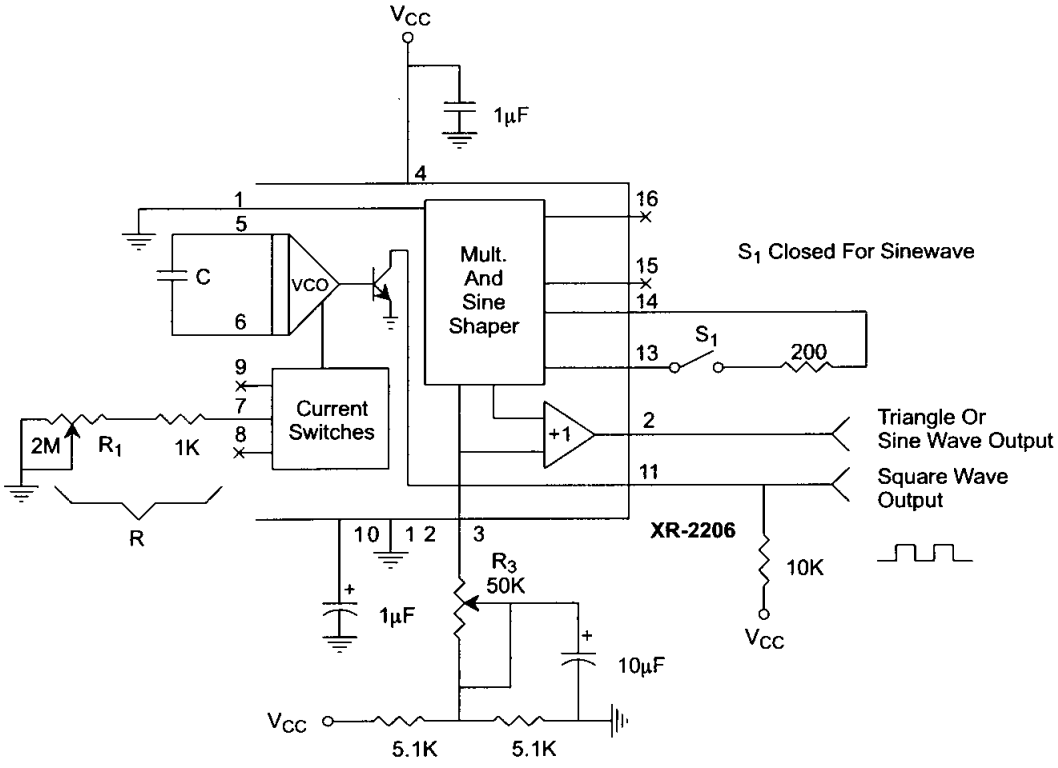


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

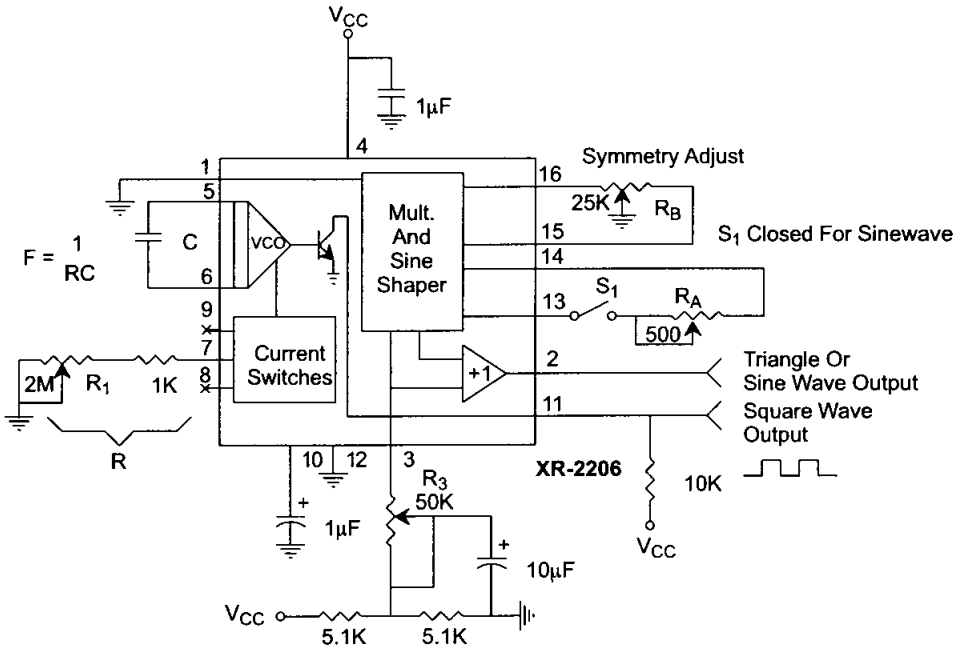


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

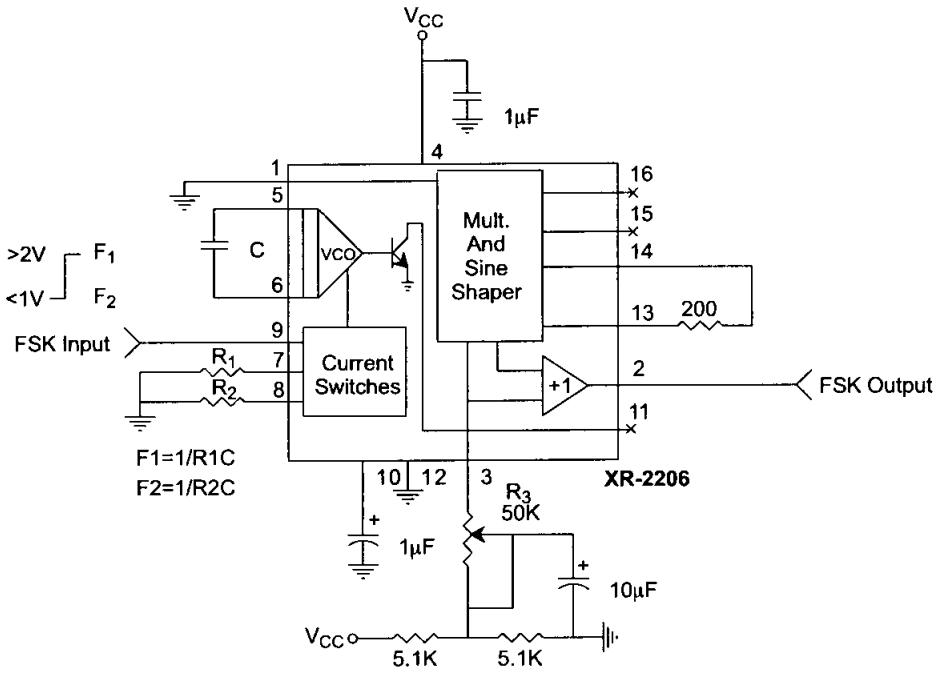


Figure 13. Sinusoidal FSK Generator

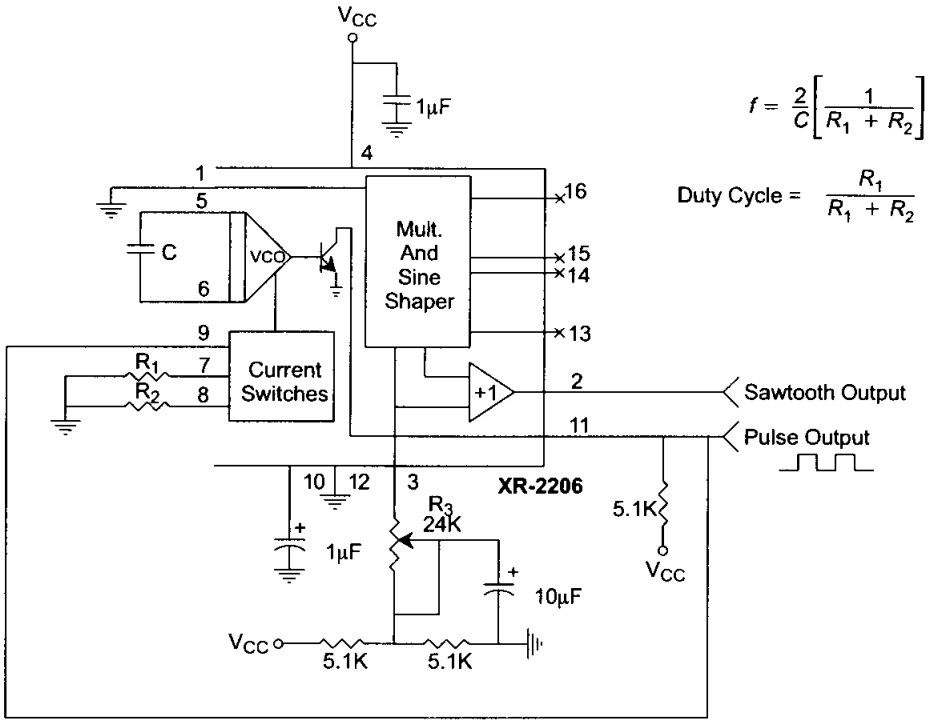


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13.* Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12.* The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5.* Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10.* The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C}\ \ Hz/V$$

CAUTION: *For safety operation of the circuit, I_T should be limited to ≤ 3mA.*

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

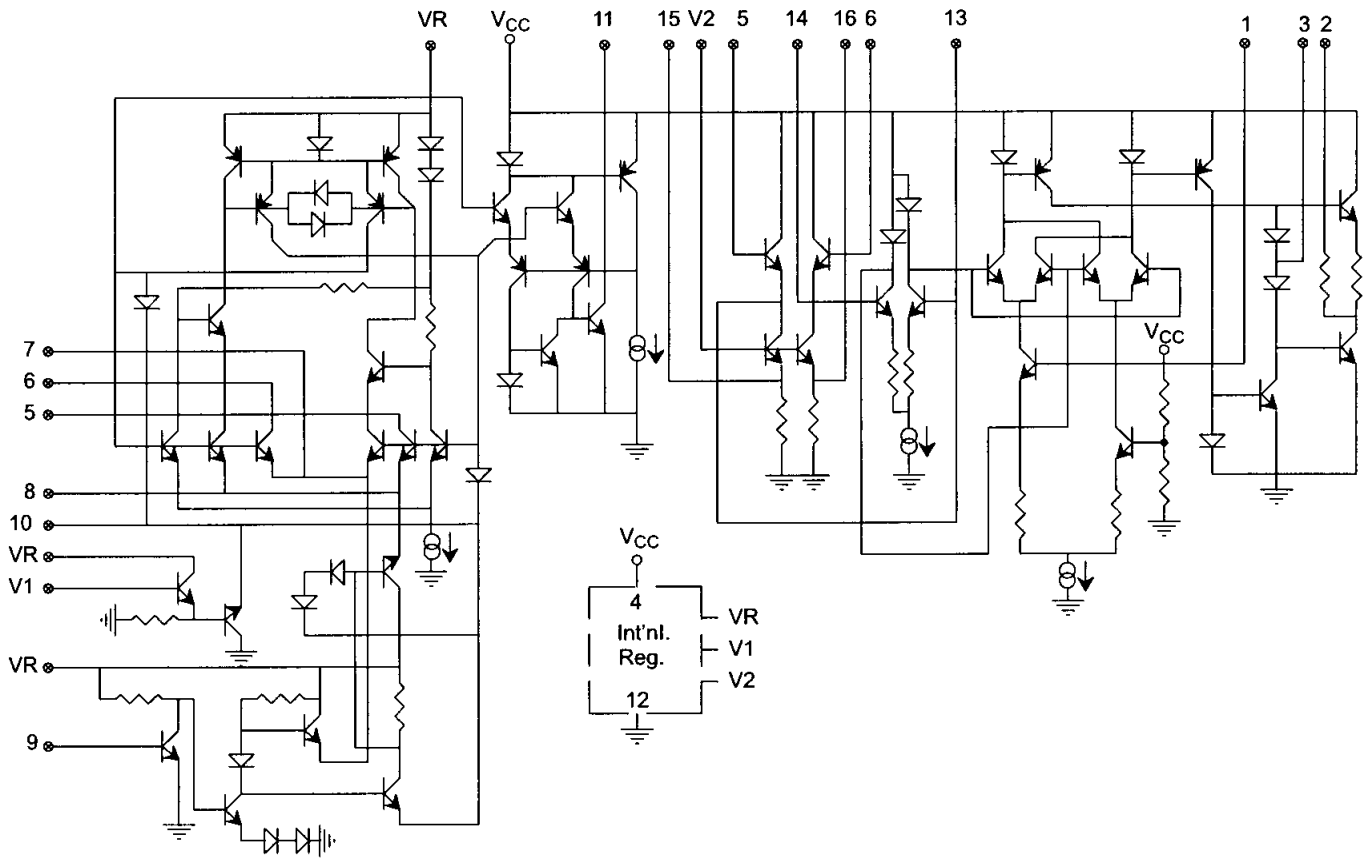
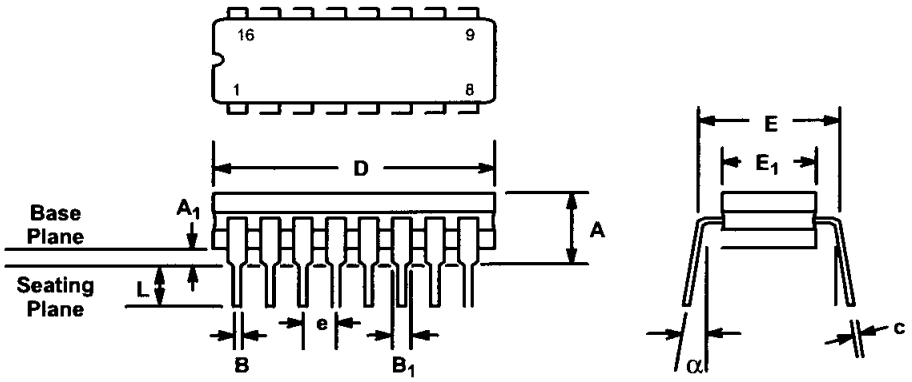


Figure 15. Equivalent Schematic Diagram

16 LEAD CERAMIC DUAL-IN-LINE (300 MIL CDIP)

Rev. 1.00

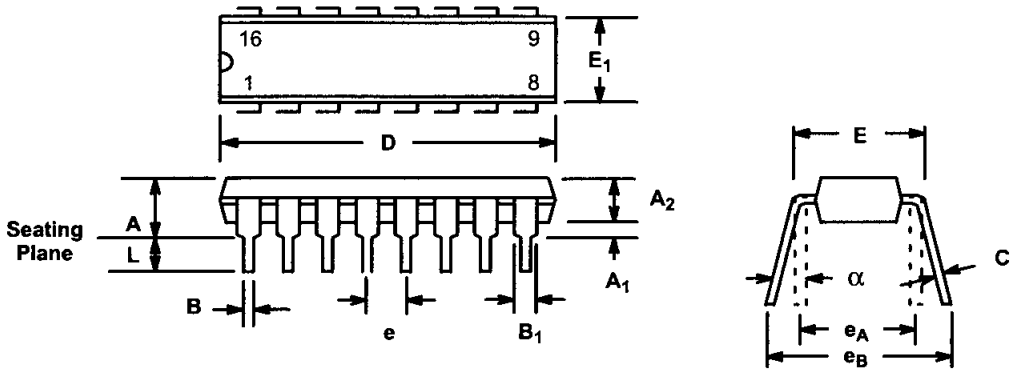


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A_1	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B_1	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E_1	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00

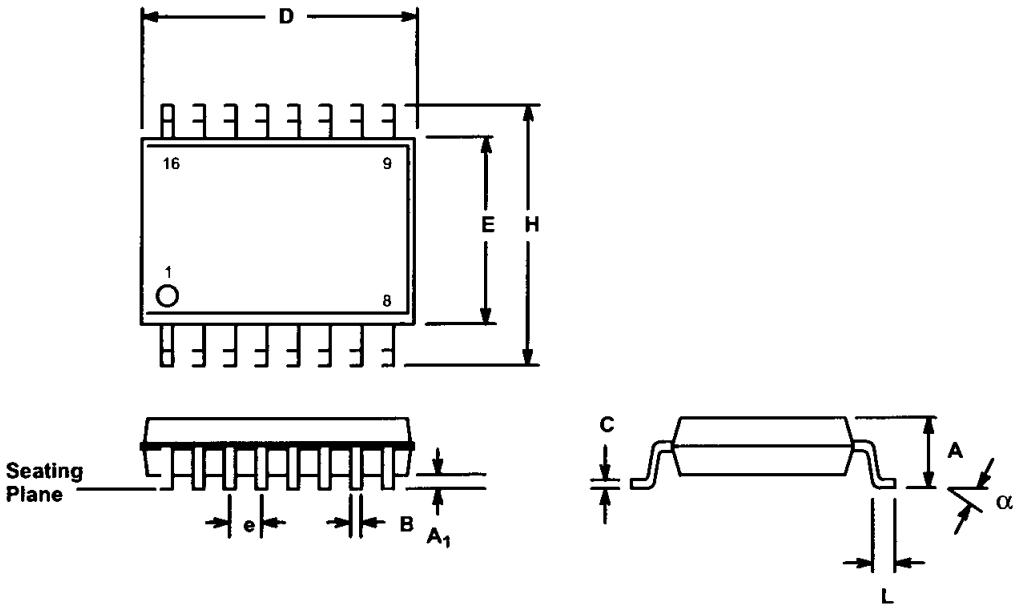


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD SMALL OUTLINE (300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A_1	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation
Datasheet June 1997
Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

XR-2211

FSK Demodulator/ Tone Decoder

...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

BLOCK DIAGRAM

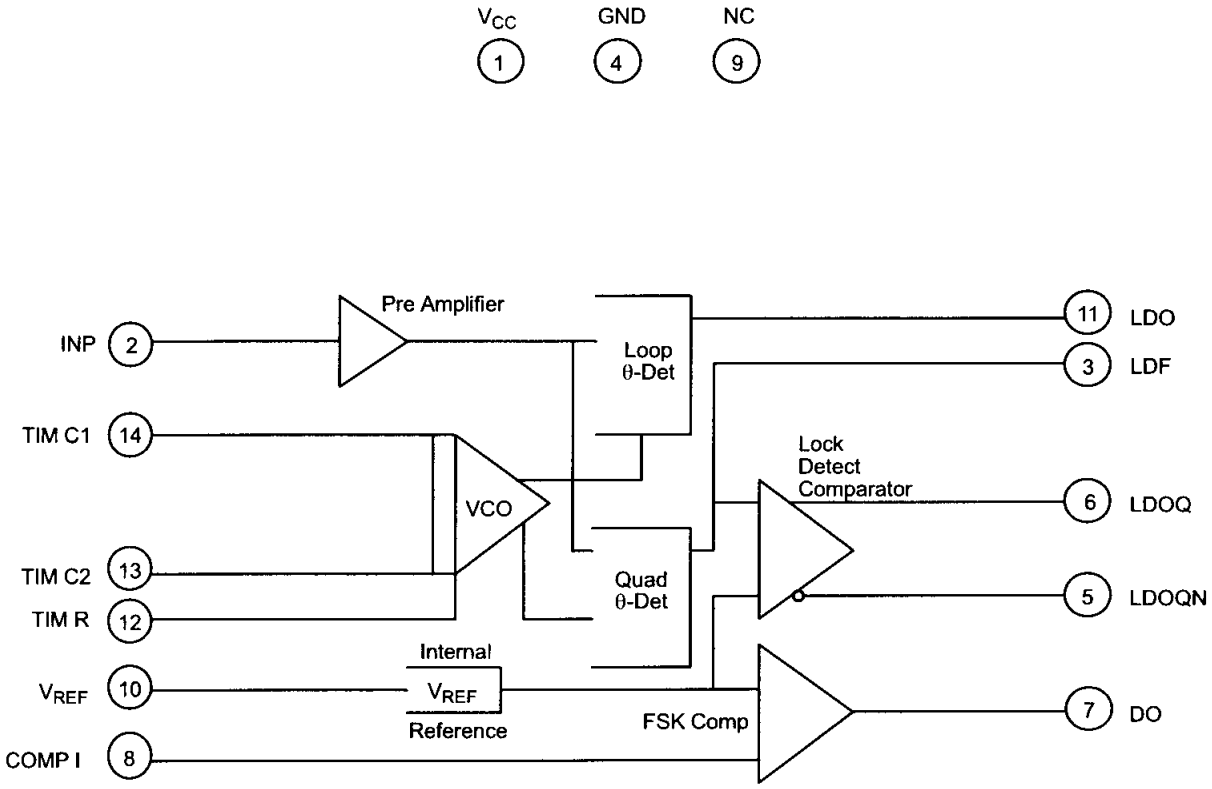
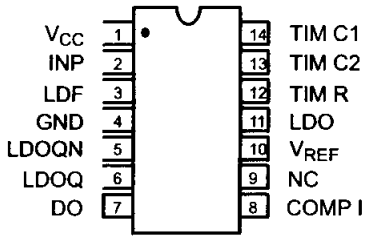
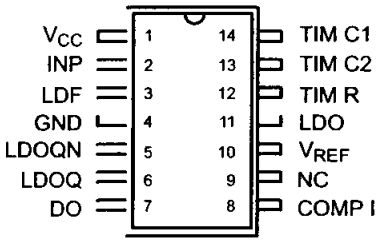


Figure 1. XR-2211 Block Diagram

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		**Positive Power Supply.**
2	INP	I	**Receive Analog Input.**
3	LDF	O	**Lock Detect Filter.**
4	GND		**Ground Pin.**
5	LDOQN	O	**Lock Detect Output Not.** This output will be low if the VCO is in the capture range.
6	LDOQ	O	**Lock Detect Output.** This output will be high if the VCO is in the capture range.
7	DO	O	**Data Output.** Decoded FSK output.
8	COMP I	I	**FSK Comparator Input.**
9	NC		**Not Connected.**
10	V_{REF}	O	**Internal Voltage Reference.** The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	**Loop Detect Output.** This output provides the result of the quadrature phase detection.
12	TIM R	I	**Timing Resistor Input.** This pin connects to the timing resistor of the VCO.
13	TIM C2	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13.

ELECTRICAL CHARACTERISTICS

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	**4.5**		**20**	V	
Supply Current		4	**7**	mA	$R_0 \geq$ 10KΩ. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±1	**±3**	%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		±20	±50	ppm/°C	See *Figure 8.*
Power Supply		0.05	**0.5**	%/V	V_{CC} = 12 ±1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5V. See *Figure 7.*
Upper Frequency Limit	**100**	300		kHz	R_0 = 8.2KΩ, C_0 = 400pF
Lowest Practical Operating Frequency			0.01	Hz	R_0 = 2MΩ, C_0 = 50μF
Timing Resistor, R_0 - See *Figure 5*					
Operating Range	**5**		2000	KΩ	
Recommended Range	5			KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	**±150**	±200	**±300**	μA	Measured at Pin 11
Output Offset Current		1		μA	
Output Impedance		1		MΩ	
Maximum Swing	**±4**	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current	**100**	300		μA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	**500**	mV	I_C = 3mA
Output Leakage Current		0.01	**10**	μA	V_O = 20V
Internal Reference					
Voltage Level	**4.9**	5.3	**5.7**	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Package Power Dissipation Ratings
CDIP 750mW
Derate Above T_A = 25°C ..... 8mW/°C
PDIP 800mW
Derate Above T_A = 25°C ..... 60mW/°C
SOIC 390mW
Derate Above T_A = 25°C ..... 5mW/°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are f_{IN}+ f_{VCO} (2 times f_{IN} when in lock) and f_{IN} - f_{VCO} (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

PRINCIPLES OF OPERATION

Signal Input (Pin 2): Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

Quadrature Phase Detector Output (Pin 3): This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R_D and C_D (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

Lock Detect Output, Q (Pin 6): The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V_{CC} for proper operation. At "low" state, it can sink up to 5mA of load current.

Lock Detect Complement, (Pin 5): The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V_{CC} for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

FSK Comparator Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R_F and C_F (see *Figure 3.*) The threshold voltage of the comparator is set by the internal reference voltage, V_{REF}, available at pin 10.

Reference Voltage, V_{REF} (Pin 10): This pin is internally biased at the reference voltage level, V_{REF}: $V_{REF} = V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to pin 11 (see *Figure 3.*) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V_{REF}. The peak to peak voltage swing available at the phase detector output is equal to 2 x V_{REF}.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_O, is:

$$f_O = \frac{1}{R_0 \cdot C_0} \; Hz$$

where C_0 is the timing capacitor across pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10KΩ to 100KΩ (see *Figure 9.*)

This terminal is a low impedance point, and is internally biased at a DC level equal to V_{REF}. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see *Figure 6.*) C_0 must be non-polar, and in the range of 200pF to 10μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at pin 12 (see *Figure 10.*)

VCO Free-Running Frequency, f_O: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of O's and 1's at the known mark and space frequencies. By adjusting R_0, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f_O value is accurately referenced to the mark and space frequencies.

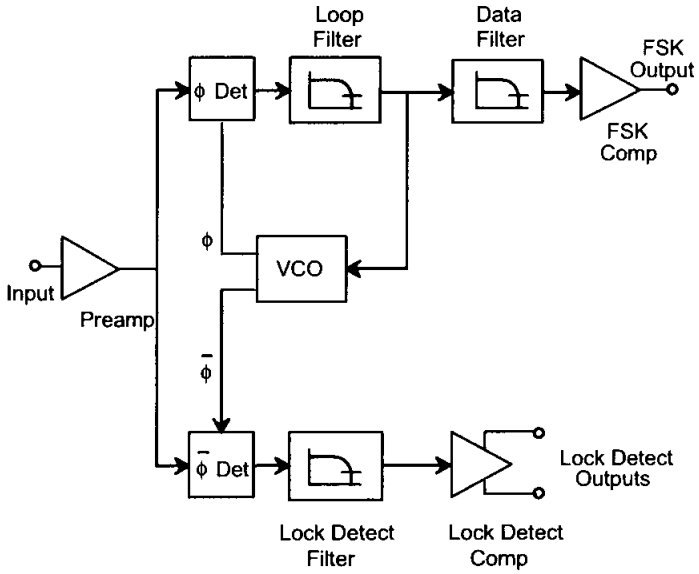


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

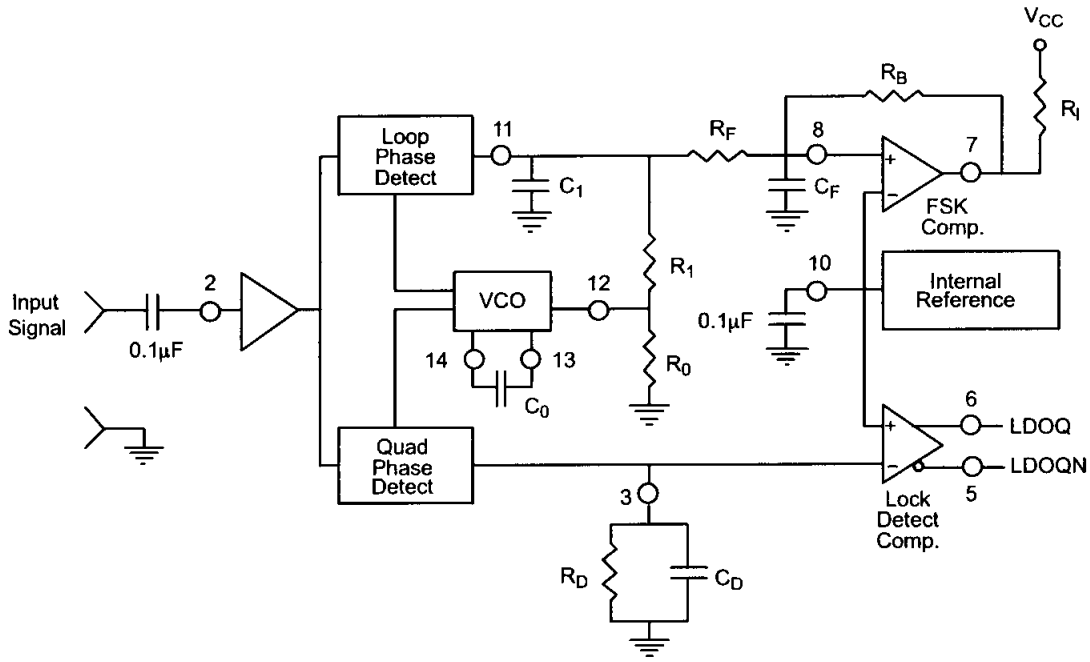


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, f_O:

$$f_o = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, V_{REF} (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if R_F is ∞ or C_F reactance is ∞, then R_{PP} = R1

4. Loop Damping, ς:

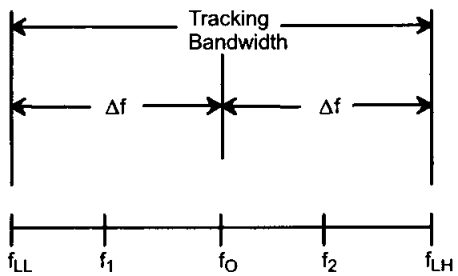
$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking

bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



6. FSK Data filter time constant, tF:

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \ (seconds)$$

7. Loop phase detector conversion gain, Kd: (Kd is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{volt}{radian}\right]$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

8. VCO conversion gain, Ko: (Ko is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_0 = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{radian/second}{volt}\right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + SR_1 \cdot C_1} \ at\ 0\ Hz. \qquad S = J\omega \ and \ \omega = 0$$

10. Total loop gain. K_T:

$$K_T = K_O \cdot K_d \cdot F(s) = \left(\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)}\right)\left[\frac{1}{seconds}\right]$$

11. Peak detector current I_A:

$$I_A = \frac{V_{REF}}{20,000} \ (V_{REF} \ in \ volts \ and \ I_A \ in \ amps)$$

Note: *For derivation/explanation of this equation, please see TAN-011.*

APPLICATIONS INFORMATION

FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_O and f_1, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, f_O:

$$f_O = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor R_0, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

$$R_O = R_O + \frac{R_X}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*:

$$C_O = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):

Normally, ς = 0.5 is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN}\ minimum\ (peak) = V_a - V_b = \Delta V \pm 2.8mV\ offset = V_{REF}\frac{20,000}{(20,000 + R_X)}\ or\ R_X = 20,000\left(\frac{V_{REF}}{\Delta V} - 1\right)$$

V_{IN} minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

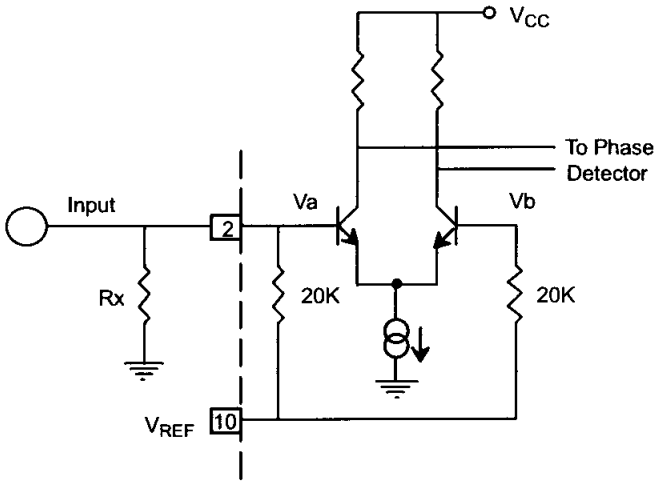


Figure 4. Desensitizing Input Stage

g) Calculate Data Filter Capacitance, C_F:

$$R_{sum} = \frac{(R_F + R_1)\cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum}\cdot Baud\ Rate)} \qquad Baud\ rate\ in\ \frac{1}{seconds}$$

Note: *All values except R_0 can be rounded to nearest standard value.*

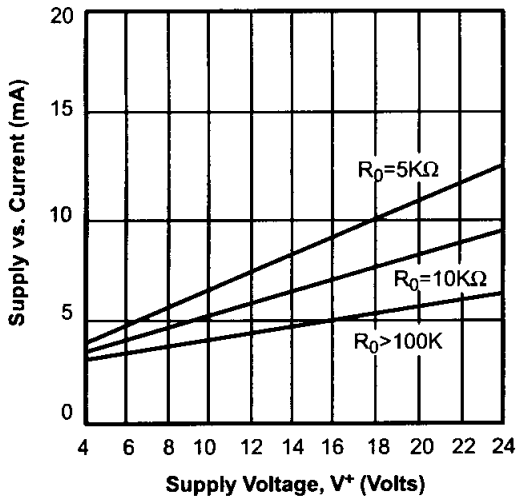


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

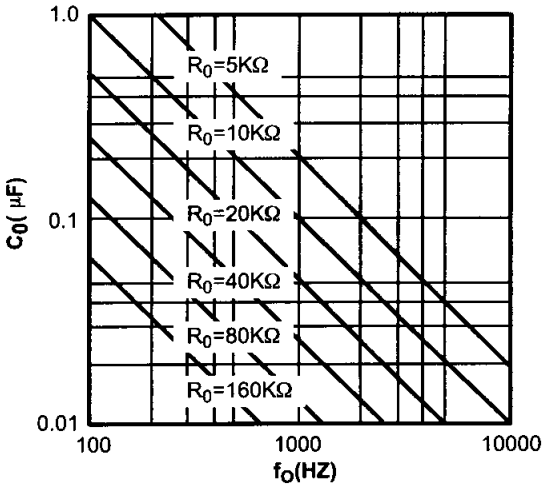


Figure 6. VCO Frequency vs. Timing Resistor

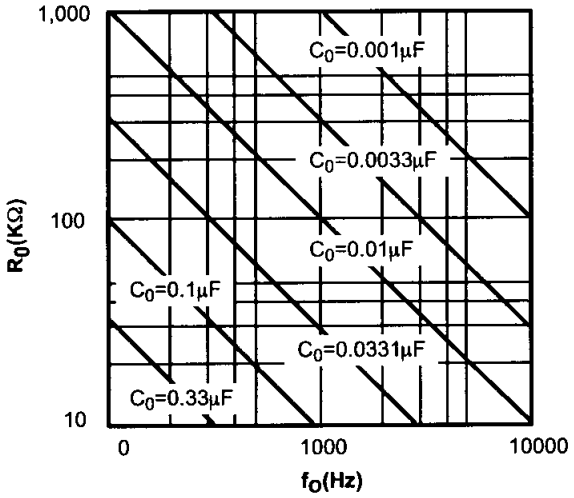


Figure 7. VCO Frequency vs. Timing Capacitor

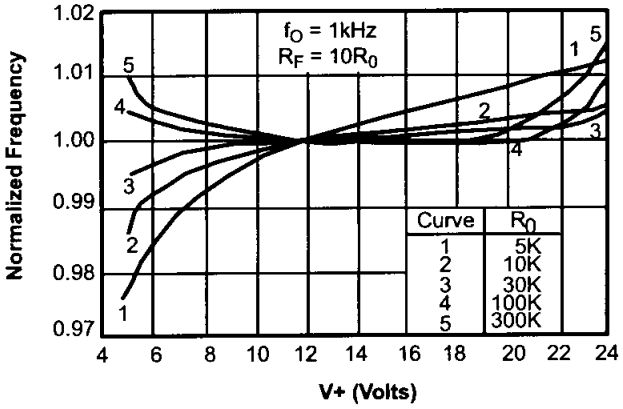


Figure 8. Typical f_O vs. Power Supply Characteristics

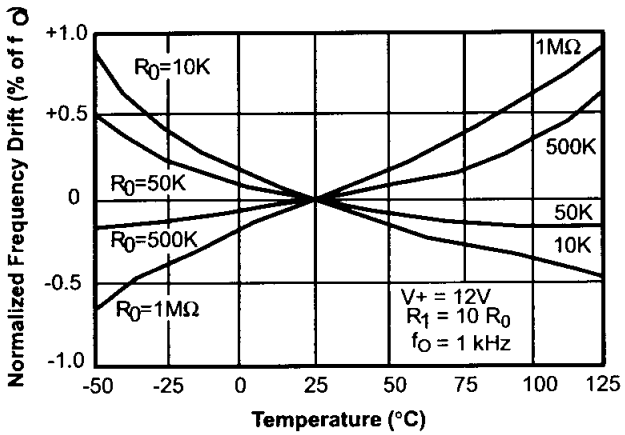


Figure 9. Typical Center Frequency Drift vs. Temperature

Design Example:

1200 Baud FSK demodulator with mark and space frequencies of 1200/2200.

Step 1: Calculate f_O: from design instructions

$$(a)\quad f_o = \sqrt{1200 \cdot 2200} = 1624$$

Step 2: Calculate R_0 : R_0 =10K with a potentiometer of 10K. (See design instructions (b))

$$(b)\quad R_T = 10 + \left(\frac{10}{2}\right) = 15K$$

Step 3: Calculate C_0 from design instructions

$$(c)\quad C_O = \frac{1}{15000 \cdot 1624} = 39nF$$

Step 4: Calculate R_1 : from design instructions

$$(d)\quad R_1 = \frac{20000 \cdot 1624 \cdot 2}{(2200 - 1200)} = 51,000$$

Step 5: Calculate C_1 : from design instructions

$$(e)\quad C_1 = \frac{1250 \cdot 39nF}{51000 \cdot 0.5^2} = 3.9nF$$

Step 6: Calculate R_F : R_F should be at least five times R_1, R_F = 51,000·5 = 255 KΩ

Step 7: Calculate R_B : R_B should be at least five times R_F, R_B = 255,000·5 = 1.2 MΩ

Step 8: Calculate R_{SUM} :

$$R_{SUM} = \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)} = 240K\Omega$$

Step 9: Calculate C_F :

$$C_F = \frac{0.25}{(R_{SUM} \cdot Baud\ Rate)} = 1nF$$

Note: *All values except R_0 can be rounded to nearest standard value.*

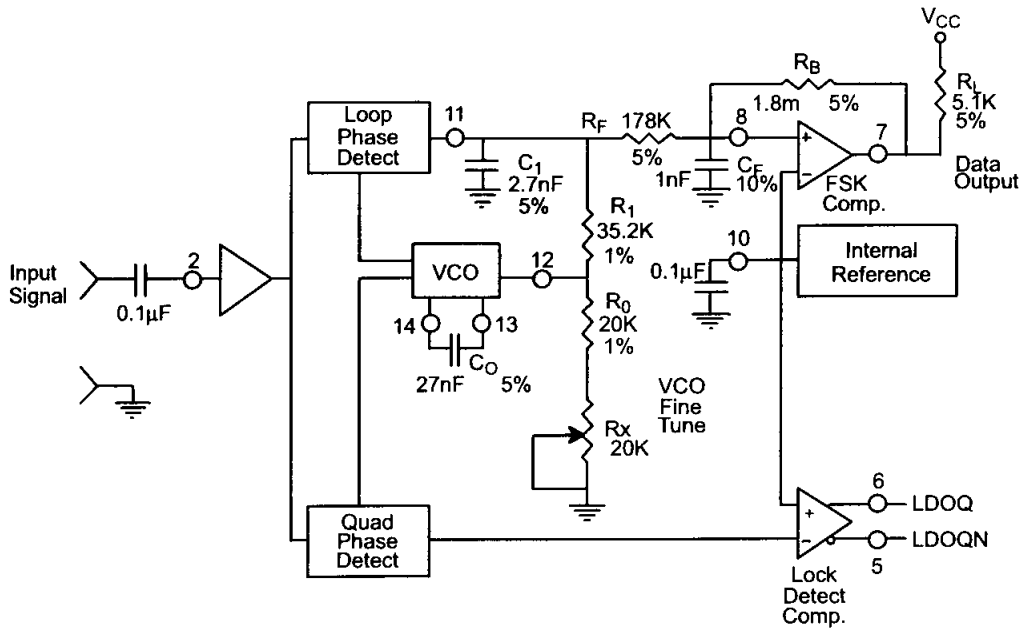


Figure 10. Circuit Connection for FSK Decoding of Caller Identification Signals (Bell 202 Format)

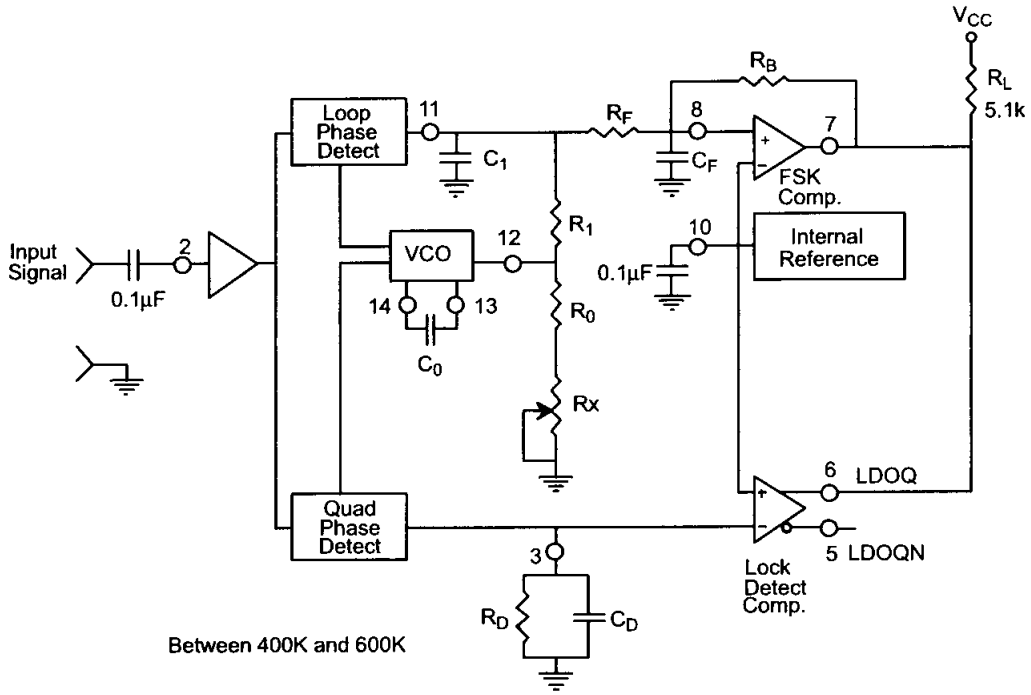


Figure 11. External Connectors for FSK Demodulation with Carrier Detect Capability

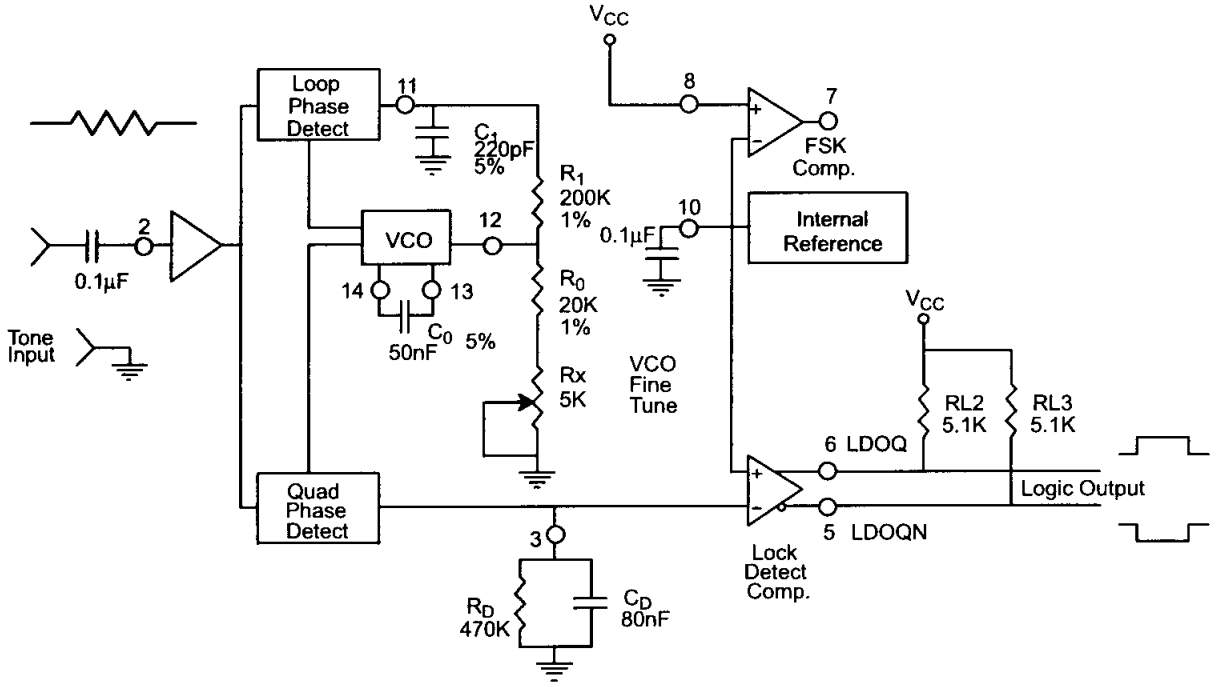


Figure 12. Circuit Connection for Tone Detection

FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in *Figure 11*. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

Note: *Data Output is "Low" When No Carrier is Present.*

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta fc$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta fc > \Delta f/2$. For $R_D = 470K\Omega$, the approximate minimum value of C_D can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F \text{ and } f \text{ in Hz.}$$

C in µF and f in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output. For Caller I.D. applications choose $C_D = 0.1\mu F$.

Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L2} and R_{L3}, as shown in *Figure 12*.

With reference to *Figure 3* and *Figure 12*, the functions of the external circuit components can be explained as follows: R_0 and C_0 set VCO center frequency; R_1 sets the detection bandwidth; C_1 sets the low pass-loop filter time constant and the loop damping factor.

Design Instructions:

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: R_0, R_1, C_0, C_1 and C_D. For a given input, the tone frequency, f_S, these parameters are calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is R_0 = 20KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 7* $f_S = f_O$:

$$C_O = \frac{1}{R_0 \cdot fs}$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

Note: *The total detection bandwidth covers the frequency range of* $f_O \pm \Delta f$

d) Calculate value of C_1 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with R_D = 470KΩ, C_D must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing C_D slows down the logic output response time.

Design Examples:

Tone detector with a detection band of ± 100Hz:

a) Choose value of timing resistor R_0 to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is R_0 = 20 KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

b) Calculate value of C_0 from design equation (1) or from *Figure 6* $f_S = f_O$:

$$C_0 = \frac{1}{R_0 \cdot f_S} = \frac{1}{20,000 \cdot 1,000} = 50nF$$

c) Calculate R_1 to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_O \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: *The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$*

d) Calculate value of C_0 for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor C_D . To avoid chatter at the logic output, with R_D = 470KΩ, C_D must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing C_D slows down the logic output response time.

f) Fine tune center frequency with 5KΩ potentiometer, R_X.

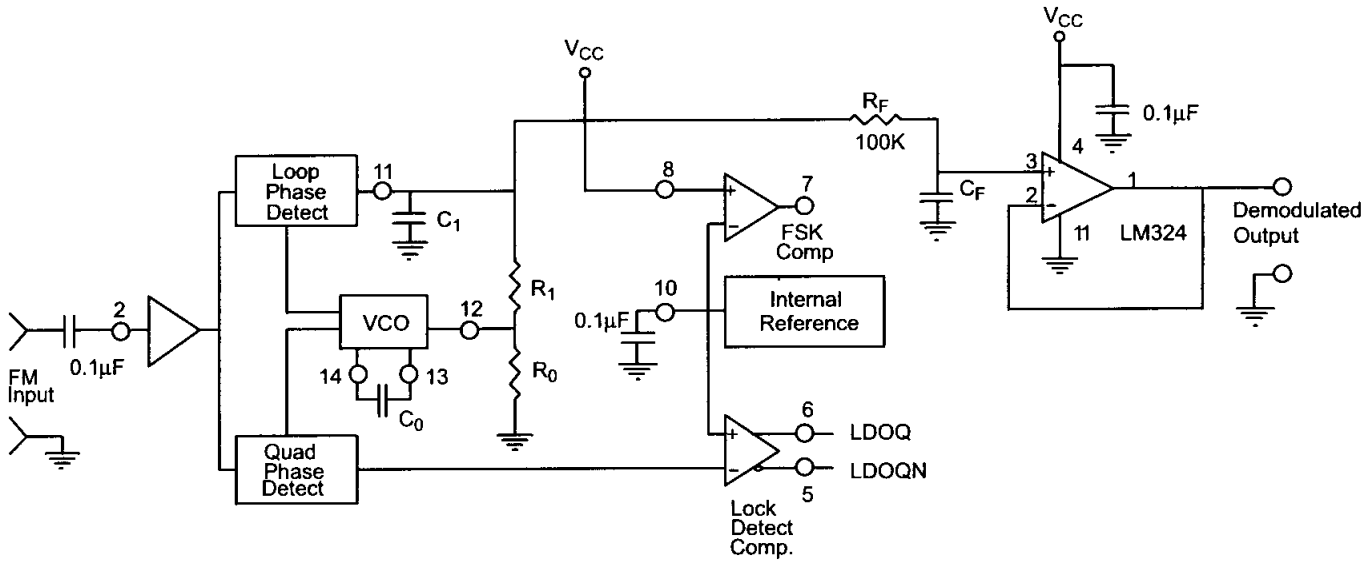


Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp.
(See Section on Design Equation for Component Values.)

Linear FM Detection

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in *Figure 13*. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in *Figure 13*.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where VR is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see the section on design equations.

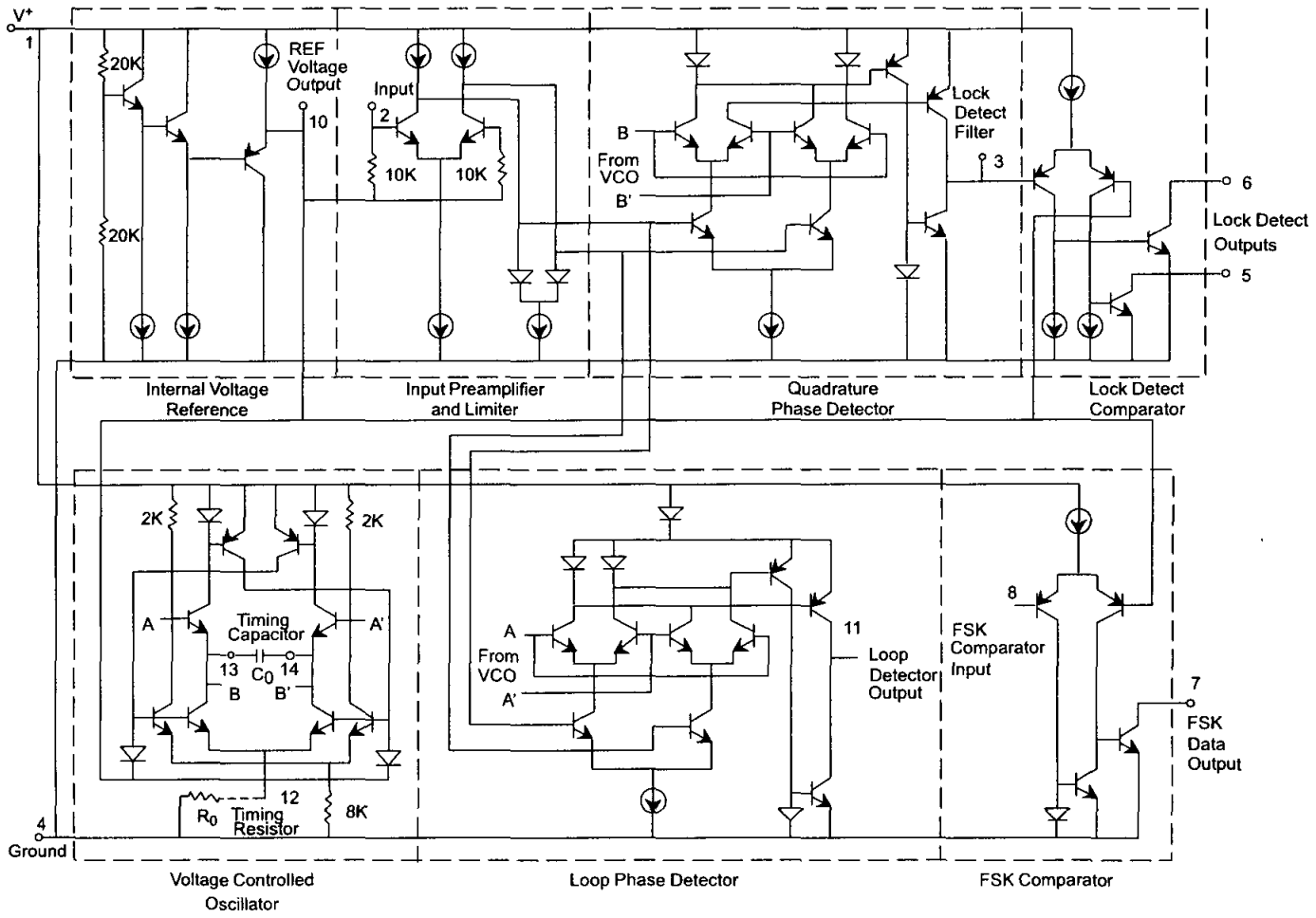


Figure 14. Equivalent Schematic Diagram