สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้

DIGITAL WIRELESS DISCO SYSTEM

โดย

นายถิรเดช พงศ์คุณ

นายพงศ์อนันต์ จินตาคม

วพ.
ถ4128ค
2550

เลขหมู่.....
เลขทะเบียน 83281
วัน,เดือน,ปี 11 ส.ค. 2551

b 11966002
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้

DIGITAL WIRELESS DISCO SYSTEM

โดย

นายถิรเดช พงศ์คุณ 48015021

นายพงศ์อนันต์ จินตาคม 48015022

อาจารย์ที่ปรึกษา

รศ.ดร.ปราโมทย์ วาดเขียน

ศ.ดร.วิวัฒน์ กิรานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้**

DIGITAL WIRELESS DISCO SYSTEM

ผู้จัดทำ

1. นายฉิรเดช พงศ์คุณ 48015021
2. นายพงศ์อนันต์ จินตาคม 48015022

..... อาจารย์ที่ปรึกษา

(รศ.ดร.ปราโมทย์ วาดเขียน)

..... อาจารย์ที่ปรึกษา

(ศ.ดร.วิวัฒน์ ภิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้
DIGITAL WIRELESS DISCO SYSTEM

โดย นาย ถิรเดช พงศ์คุณ 48015021
นาย พงศ์อนันต์ จินตาคม 48015022

อาจารย์ที่ปรึกษา รศ.ดร. ปราโมทย์ วาดเขียน
ศ.ดร. วิวัฒน์ กิรานนท์

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและสร้างเครื่องรับ-ส่งสัญญาณเสียงแบบดิจิตอลโดยมีโมดูลเป็นอุปกรณ์รับ-ส่งสัญญาณดิจิตอลระหว่าง Mixer กับ Crossover Network ในย่านความถี่ 2.4 กิกะเฮิร์ต ซึ่งมีมอดูเลตแบบ GFSK (Gaussian Frequency Shift Keying) ด้วยอัตราความเร็วในการส่งข้อมูล 250 กิโลบิตต่อวินาที โดยโครงงานประกอบด้วยวงจร 2 ส่วนคือ วงจรภาคส่งและวงจรภาครับ โดยวงจรภาคส่งจะออกแบบให้สามารถส่งสัญญาณเสียงจาก Mixer ซึ่งทำการผสมสัญญาณกับแหล่งกำเนิดเสียงในรูปแบบสัญญาณดิจิตอล ในส่วนของวงจรภาครับจะออกแบบให้สามารถตรวจสอบแอดเดรสของสัญญาณดิจิตอลที่รับเข้ามาแล้วทำการแปลงเป็นสัญญาณอนาลอกก่อนส่งให้ภาค Crossover Network ซึ่งจะส่งต่อให้ภาคขยายเสียงออกลำโพง

Abstract

The objective of the project is to design and construct the digital wireless receiving/transmitting audio signal system using the module TRW 2.4 GHz as a device for receiving and sending digital signal between the Mixer and the Crossover Network. With this module, it is operated at 2.4 GHz, GFSK (Gaussian Frequency Shift Keying) modulated where the data speed is at 250 kilo bits per second. The proposed digital audio wireless system is comprised of two main circuits which are the transmitting circuit and the receiving circuit. The transmitting circuit is designed to send audio signal in digital format while the receiving circuit is designed to detect the address of the received digital signal and amplify the audio signal and then send through a loudspeaker by crossover network.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงาน เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้ สำเร็จลงได้ด้วยดี เนื่องด้วยได้รับความอนุเคราะห์และได้รับคำปรึกษาจาก ศ.ดร.วิวัฒน์ กิรานนท์ และ รศ.ดร.ปราโมทย์ วาดเขียน และขอขอบคุณผู้ให้การสนับสนุนช่วยเหลือผู้ที่เกี่ยวข้องทุกท่าน ที่มีส่วนทำให้โครงงานนี้สำเร็จขอขอบพระคุณภาควิชาที่ให้ความรู้ บิดา มารดา ผู้ให้กำเนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ I

สารบัญรูปภาพ II

สารบัญตาราง III

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์ 1

1.2 วัตถุประสงค์ของปริญญานิพนธ์ 2

1.3 ขอบเขตของปริญญานิพนธ์ 2

1.3.1 ขอบเขตของอุปกรณ์ทางด้านฮาร์ดแวร์ 2

1.3.2 ขอบเขตทางด้านซอฟต์แวร์ 2

1.4 ประโยชน์ที่คาดว่าจะได้รับจากปริญญานิพนธ์ 3

บทที่ 2 ทฤษฎีและหลักการ 4

2.1 การสื่อสารไร้สาย 4

2.1.1 เครื่องส่งสัญญาณ (Transmitter) 4

2.1.2 ช่องสัญญาณสื่อสาร (Communication Channel) 4

2.1.3 สัญญาณรบกวน (Noise) 5

2.2 การมอดูเลชั่นแบบดิจิตอล 5

2.2.1 การเปลี่ยนแปลงความถี่คลื่นพาห์ตามสัญญาณดิจิตอล (Frequency Shift Keying:FSK) 5

2.2.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอลแบบเกาส์เซี่ยน (Gaussian Frequency Shift Keying: GFSK) 6

2.3 การใช้งานบอร์ดไมโครคอนโทรลเลอร์รุ่น ET-BASE ARM7024 (ADUc7024) 7

2.3.1 คุณสมบัติของบอร์ด 8

2.3.2 โครงสร้างบอร์ด ET-BASE ARM7024 (ADUc7024) 9

2.3.3 ขั้วต่อสัญญาณต่างๆ 10

2.4 คุณลักษณะของโมดูลอาร์เอฟ เบอร์ TRW 2.4 G 15

2.4.1 คุณสมบัติของโมดูลอาร์เอฟเบอร์ TRW – 2.4 G 15

2.4.2 โหมดการทำงานของโมดูลอาร์เอฟเบอร์ TRW – 2.4 G 16

2.4.3 ส่วนประกอบของชุดข้อมูล 17

2.4.4 ตำแหน่งบิตข้อมูลของตัวโมดูลความถี่วิทยุ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.4.5 การตั้งค่าใช้งาน 18

2.4.5.1 Configuration mode timing 21

2.4.5.2 Shock Burst Mode Timing 21

2.5 การสื่อสารข้อมูล 24

2.5.1 ประเภทของการสื่อสารข้อมูล 24

2.5.1.1 การสื่อสารข้อมูลแบบขนาน 24

2.5.1.2 การสื่อสารข้อมูลแบบอนุกรม 25

2.5.2 ช่องทางการสื่อสาร (Communication Channeling) 26

2.5.2.1 ซิมเพล็กซ์ 26

2.5.2.2 ฮาร์ฟดูเพล็กซ์ 26

2.5.2.3 ฟูลดูเพล็กซ์ 27

2.5.3 พอร์ตสื่อสารข้อมูลแบบอนุกรม 27

2.5.4 ไอซีMAX-232 31

2.5.5 ปัญหาของการใช้วิธีสื่อสารข้อมูลตามมาตรฐาน RS-232-C 32

2.6 การแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 33

2.6.1 คุณสมบัติของการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณแอนะลอก 33

2.6.2 การเข้ารหัส (Coding) 34

2.6.3 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Summed Source 36

2.6.4 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก
แบบ Switched Voltage R-2R 37

2.6.5 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก
แบบ Switched Current R-2R 38

2.6.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Switched Pole 39

บทที่ 3 การออกแบบและการสร้าง 40

3.1 การออกแบบและการสร้างส่วนของอุปกรณ์ฮาร์ดแวร์ 40

3.1.1 การออกแบบและการสร้างอุปกรณ์ทางฮาร์ดแวร์ของภาคส่งสัญญาณ 41

3.1.1.1 การออกแบบวงจรแหล่งจ่ายไฟ 41

3.1.1.2 การออกแบบวงจรขยายสัญญาณเสียง 42

3.1.1.3 การออกแบบวงจรยกระดับแรงดัน 43

3.1.1.4 การออกแบบภาคส่งสัญญาณ 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

3.1.2 การออกแบบและการสร้างอุปกรณ์ทางฮาร์ดแวร์ของภาครับสัญญาณ 45

3.2 การออกแบบและการเขียนโปรแกรมทางซอร์ฟแวร์ 46

บทที่ 4 การทดลองและผลการทดลอง 49

4.1 การวัดทดสอบสัญญาณความถี่จากภาคส่งและภาครับ 49

4.2 การวัดทดสอบการติดต่อสื่อสาร 51

4.2.1 ทดลองไฟวิ่งบริเวณที่โล่งแจ้ง 51

4.2.2 ทดลองโปรแกรมรับส่งข้อมูลระหว่างภาคส่งและภาครับโดยใช้โมดูล TRW-2.4GHz ในการรับส่งข้อมูล 51

4.2.2.1 การทดลองในส่วนของภาคส่ง 51

4.2.2.2 การทดลองในส่วนของภาครับ 54

4.2.3 ทดลองส่งและรับความถี่ 57

บทที่ 5 บทสรุปและวิจารณ์ 58

5.1 สรุปผลการทดลอง 58

5.1.1 ผลการทดลองไฟวิ่งบริเวณที่โล่งแจ้งได้ระยะสูงสุดประมาณ 50 เมตร

5.1.2 จากผลการทดลองการรับส่งความถี่ของภาคส่งและภาครับ 58

5.2 ปัญหาและแนวทางแก้ไข 58

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 1.1 บล็อกไดอะแกรมโครงสร้างและการทำงานของระบบเสียงแบบดิสโก้ 1
รูปที่ 2.1 องค์ประกอบของระบบการสื่อสาร 4
รูปที่ 2.2 หลักการทำงานของ FSK 5
รูปที่ 2.3 รูปคลื่นของการมอดูเลตแบบ FSK 6
รูปที่ 2.4 การมอดูเลตแบบ GFSK 7
รูปที่ 2.5 การดีมอดูเลตแบบ GFSK 7
รูปที่ 2.6 โครงสร้างบอร์ด ET-BASE ARM7024 (ADUc7024) 9
รูปที่ 2.7 พอร์ตอินพุตเอาท์พุตของ LPC2119 11
รูปที่ 2.8 วงจรส่วนที่ใช้ในการเชื่อมต่อกับ ARM-JTAG 12
รูปที่ 2.9 การจัดเรียงขาสัญญาณของ Character LCD มาตรฐาน 13
รูปที่ 2.10 วงจรส่วนที่เชื่อมต่อกับ RS232 14
รูปที่ 2.11 ลักษณะขาของโมดูลความถี่วิทยุ (TRW – 2.4 GHz) 15
รูปที่ 2.12 รายละเอียดทางด้านบน ด้านข้างและด้านหน้าของตัวโมดูลความถี่วิทยุ 15
รูปที่ 2.13 Timing Diagram สำหรับ configuration ระบบย่อย nRF2401 21
รูปที่ 2.14 Timing ของ Shock Burst ใน TX 21
รูปที่ 2.15 Timing ของ Shock Burst ใน Rx 22
รูปที่ 2.16 ทิศทางการแพร่กระจายคลื่นของโมดูลอาร์เอฟเบอร์ TRW 2.4 G 23
รูปที่ 2.17 รูปแบบการสื่อสารข้อมูล 24
รูปที่ 2.18 การสื่อข้อมูลแบบอนุกรม 25
รูปที่ 2.19 การสื่อสารข้อมูลแบบต่างๆ 27
รูปที่ 2.20 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 0 28
รูปที่ 2.21 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 1 28
รูปที่ 2.22 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 2 และโหมด 3 29
รูปที่ 2.23 ขาสัญญาณของไอซี MAX-232 31
รูปที่ 2.24 การเชื่อมต่อพอร์ตกับไมโครคอนโทรลเลอร์โดยผ่านไอซี MAX-232 31
รูปที่ 2.25 ผลของความต้านทานของกราวด์ต่อสัญญาณ +5V 32
รูปที่ 2.26 ผลของศักย์ทางไฟฟ้าของกราวด์ต่อสัญญาณ -5V 32
รูปที่ 2.27 บล็อกไดอะแกรมการแปลงสัญญาณดิจิตอลเป็นแอนะลอก 33
รูปที่ 2.28 คุณลักษณะของการแปลงสัญญาณดิจิตอลขนาด 3 บิตเป็นสัญญาณแอนะลอก 35
รูปที่ 2.29 คลื่นไซน์ที่สร้างจากการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 2.30 วงจร Summed Source DAC 36
รูปที่ 2.31 วงจร Switched Voltage R-2R DAC 37
รูปที่ 2.32 วงจร Switched Current R-2R DAC 38
รูปที่ 2.33 วงจร Switched Pole DAC 39
รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่งสัญญาณ 40
รูปที่ 3.2 บล็อกไดอะแกรมของภาครับสัญญาณ 40
รูปที่ 3.3 วงจรแหล่งจ่ายไฟ 41
รูปที่ 3.4 วงจรขยายสัญญาณเสียง 42
รูปที่ 3.5 การต่อตัวต้านทานแบบแบ่งแรงดันเพื่อยกระดับแรงดัน 43
รูปที่ 3.6 วงจรภาคส่งสัญญาณ 44
รูปที่ 3.7 วงจรภาครับสัญญาณ 45
รูปที่ 3.8 รูปแบบผังงานแสดงการเขียนโปรแกรมควบคุมโทคูลความถี่วิทยุทางด้านส่ง 46
รูปที่ 3.9 รูปแบบผังงานแสดงการเขียนโปรแกรมควบคุมโมดูลโมดูลความถี่วิทยุด้านภาครับ 47
รูปที่ 4.1 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 50 เฮิรตซ์ 49
รูปที่ 4.2 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 240 เฮิรตซ์ 50
รูปที่ 4.3 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 963 เฮิรตซ์ 50
รูปที่ 4.4 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 4 กิโลเฮิรต์ 51
รูปที่ 4.5 ความสัมพันธ์ระหว่างสัญญาณนาฬิกากับสัญญาณที่ขา DATA 52
รูปที่ 4.6 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา DATA 52
รูปที่ 4.7 ความสัมพันธ์ระหว่างขา CS กับสัญญาณที่ขา DATA 53
รูปที่ 4.8 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา CS 53
รูปที่ 4.9 ความสัมพันธ์ระหว่างสัญญาณนาฬิกากับสัญญาณที่ขา DATA 54
รูปที่ 4.10 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา DATA 55
รูปที่ 4.11 ความสัมพันธ์ระหว่างขา CS กับสัญญาณที่ขา DATA 55
รูปที่ 4.12 ความสัมพันธ์ระหว่างขา DR1 กับสัญญาณที่ขา DATA 56
รูปที่ 4.13 ความสัมพันธ์ระหว่างขา DR1 กับสัญญาณที่ขา CLK1 56
รูปที่ 4.14 ความสัมพันธ์ระหว่างสัญญาณของภาคส่งและภาครับที่ความถี่ 791 เฮิรต์ 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 การตั้งค่าโหมดการทำงาน 17
ตารางที่ 2.2 ฟังก์ชันการทำงานแต่ละขาของโมดูลอาร์เอฟเบอร์ TRW - 2.4 G 18
ตารางที่ 2.3 การตั้งค่าใช้งานเริ่มต้นของโมดูลอาร์เอฟเบอร์ TRW – 2.4 G 19
ตารางที่ 2.4 การเข้ารหัสสัญญาณ 34

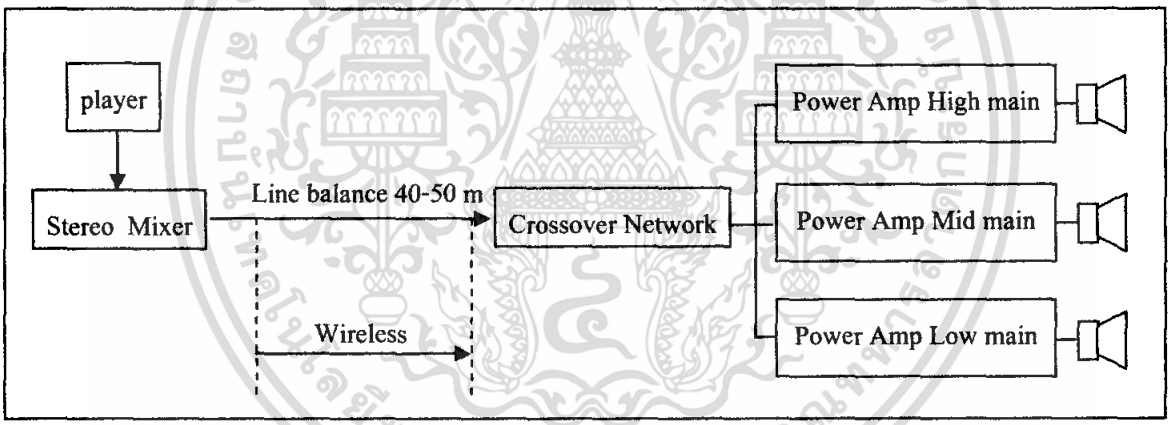
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

ในปัจจุบันเทคโนโลยีทำให้เกิดการทำงานที่รวดเร็วและแม่นยำยิ่งขึ้น โดยเฉพาะการนำเอาเทคโนโลยีมาใช้ในด้านการติดต่อสื่อสาร ทำให้มีการพัฒนาวัสดุอุปกรณ์ต่างๆให้ทันสมัยและนำมาใช้ได้อย่างมีประสิทธิภาพ ก่อให้เกิดวิธีการสื่อสารที่หลากหลายวิธีการ เพื่อทำให้มนุษย์สะดวกสบายยิ่งขึ้น เทคโนโลยีการสื่อสารนับว่ามีความสำคัญต่อสังคม ทั้งนี้เพราะสังคมจะดำเนินกิจการต่างๆได้นั้น ต้องอาศัยการสื่อสารเป็นสิ่งเชื่อมโยงระหว่างกิจกรรม เทคโนโลยีมีส่วนทำให้ช่วยประหยัดเวลาประหยัดค่าใช้จ่าย

ระบบเสียงงานสนาม เพาว์เวอร์ออดิโอ ในการให้บริการความบันเทิงงานรื่นเริงสังสรรค์หรือเทศกาลต่างๆ การประชุมสัมนา เป็นต้น ระบบเสียงแบบดิสโก้ เป็นจังหวะทำนองเสียงที่หนักหน่วง เป็นระบบพื้นฐานของงานคอนเสิร์ต ในปัจจุบันมีการแข่งขันกันมากเพื่อดึงดูดลูกค้าผู้ใช้บริการ ทั้งการพัฒนาระบบเสียงให้ดีขึ้น และเพื่อให้เกิดความสะดวกรวดเร็ว การส่งสัญญาณเสียงแบบไร้สายจึงจำเป็นอย่างยิ่ง เพื่อลดภาระและเวลาในการเชื่อมโยงสาย ดังแสดงในรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมโครงสร้างและการทำงานของระบบเสียงแบบดิสโก้

เครื่องรับส่งสัญญาณเสียงแบบดิจิตอล เป็นอุปกรณ์สื่อสารในบริเวณที่ทำการติดตั้งเครื่องเสียง ใช้ในการติดต่อสื่อสารระหว่างเครื่องผสมสัญญาณเสียงที่ชุดควบคุมต้นทาง ทำการส่งสัญญาณเสียงไปยังเครื่องแยกความถี่เสียงที่ปลายทางในระยะสูงสุด 50 เมตร ทำให้การติดตั้งสะดวกรวดเร็วและประหยัดเวลาไม่ต้องใช้สายสัญญาณที่มากมายและเวลาในการทำความสะอาดพร้อมม้วนเก็บในชั่วโมงที่เร่งด่วน ปัจจุบันการสื่อสารในรูปแบบแอนะลอก มีสัญญาณรบกวนจากภายนอก ทั้งตัวอุปกรณ์เอง คลื่นความถี่อื่นๆ สภาพภูมิอากาศ เป็นต้น ทำให้การติดต่อสื่อสารมีความผิดเพี้ยนไปจากเดิม

ทางผู้จัดทำจึงได้พัฒนาการรับส่งสัญญาณให้อยู่ในรูปแบบดิจิตอล ซึ่งระบบดิจิตอลที่นำมาใช้จะเพิ่มความแม่นยำของข้อมูลที่จะทำการส่งและมีสัญญาณรบกวนน้อยกว่าระบบแอนะลอก โดยในเครื่องรับส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเสียงแบบดิจิตอลในระบบดิสโก้ที่คณะผู้ศึกษาได้นำเสนอนี้ได้ประยุกต์นำเอาเทคโนโลยีโมดูลไร้สายมาใช้เพื่อส่งสัญญาณเสียงเป็นแบบไร้สายด้วย

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 ศึกษาการแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิตอล

1.2.2 ศึกษาการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก

1.2.3 ศึกษาการเข้ารหัสสัญญาณดิจิตอล

1.2.4 ศึกษาการถอดรหัสสัญญาณดิจิตอล

1.2.5 ศึกษาทำความเข้าใจในการเขียนโปรแกรมด้วยภาษาซีเพื่อกำหนดการทำงาน เช่น การกำหนดแอดเดรส (Address) ในหน่วยความจำให้กับการติดต่อของอุปกรณ์เครื่องส่งและเครื่องรับ

1.2.6 ศึกษาการออกแบบวงจรแหล่งจ่ายไฟ วงจรที่ใช้ร่วมกับไมโครคอนโทรลเลอร์ วงจรที่ใช้ร่วมกับโมดูล วงจรที่ใช้แปลงสัญญาณแอนะลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกเพื่อให้ได้แรงดันไฟฟ้า และกระแสไฟฟ้าที่เหมาะสมกับอุกรณ์

1.2.7 ศึกษาการสร้างเครื่องรับส่งเพื่อการติดต่อระหว่างระบบด้วยการใช้เทคโนโลยีไอซีโมดูลสำหรับการสื่อสารไร้สายระบบดิจิตอล

1.2.8 เพื่อออกแบบและสร้างเครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้แบบไร้สายและนำไปติดตั้งให้ใช้งานได้จริง

1.3 ขอบเขตของปริญญานิพนธ์

1.3.1 ขอบเขตของอุปกรณ์ทางด้านฮาร์ดแวร์

1.3.1.1 เครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้แบบไร้สายสามารถติดต่อถึงกันได้

1.3.1.2 ใช้เทคโนโลยีโมดูลอาร์เอฟ (RF Module) เบอร์ TRW 2.4 GHz ในการรับ-ส่งสัญญาณแบบไร้สายใช้ย่านความถี่ 2.4 กิกะเฮิรตซ์ ถึง 2.524 กิกะเฮิรตซ์ใช้หลักการมอดูเลตแบบ *เกาส์เซียนชิฟคีย์อิงมอดูเลชั่น* ระยะการใช้งานของโมดูลอาร์เอฟมีข้อจำกัดสองลักษณะคือการส่งสัญญาณความถี่วิทยุในที่โล่ง และการส่งสัญญาณความถี่วิทยุภายในอาคาร เมื่อใช้อัตราความเร็วในการส่งข้อมูลคือ 250 กิโลบิตต่อวินาที สามารถส่งข้อมูลในที่โล่งได้ในระยะทาง 280 เมตร เมื่อใช้อัตราความเร็วในการส่งข้อมูล 1 เมกบิตต่อวินาที สามารถส่งข้อมูลในที่โล่งได้ในระยะทาง 150 เมตร ส่วนในการส่งสัญญาณความถี่วิทยุภายในอาคารจะสามารถส่งสัญญาณความถี่วิทยุในระยะทางไม่เกิน 50 เมตร

1.3.2 ขอบเขตทางด้านซอฟต์แวร์

1.3.2.1 เขียนโปรแกรมด้วยภาษาซีในไมโครคอนโทรลเลอร์ เพื่อใช้ในการกำหนดแอดแดรส ในหน่วยความจำให้กับการติดต่อของอุปกรณ์เครื่องส่งและเครื่องรับและเพื่อใช้ในการตรวจสอบสัญญาณดิจิตอลที่รับเข้ามาสู่กระบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.2.2 เขียนโปรแกรมด้วยภาษาซีในไมโครคอนโทรลเลอร์เพื่อให้ควบคุมการทำงานในภาครับสัญญาณและภาคส่งสัญญาณของโมดูลอาร์เอฟ

1.4 ประโยชน์ที่คาดว่าจะได้รับจากปริญญานิพนธ์

1.4.1 สามารถนำสิ่งประดิษฐ์ไปใช้เป็นอุปกรณ์ติดต่อสื่อสารในงานระบบเสียงได้เป็นอย่างดี

1.4.2 สามารถทำให้การติดต่อประสานงานทำได้สะดวกยิ่งขึ้น

1.4.3 สามารถประยุกต์ใช้กับลักษณะงานที่เกี่ยวข้องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

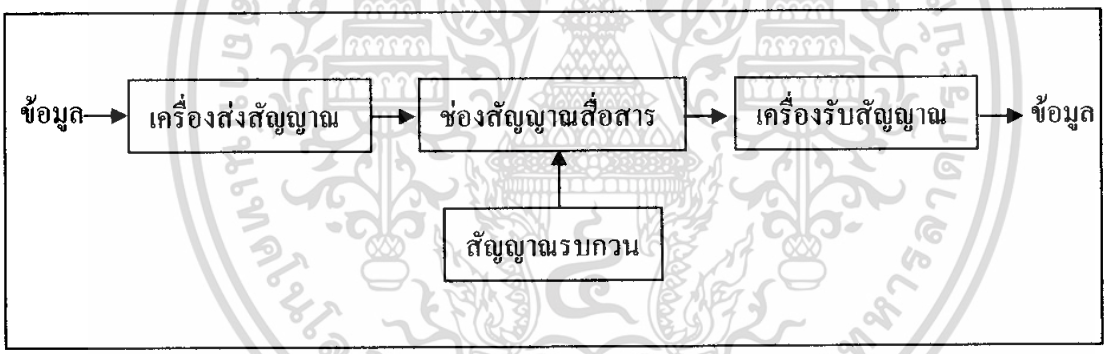
บทที่ 2
ทฤษฎีและหลักการ

การออกแบบและการสร้างเครื่องรับส่งสัญญาณเสียงแบบดิจิตอลในระบบดิสโก้ คณะผู้ศึกษาได้รวบรวมเอกสารและทฤษฎีที่เกี่ยวข้องตามลำดับหัวข้อย่อยต่อไปนี้

2.1 การสื่อสารไร้สาย

การสื่อสารไร้สายคือ การติดต่อสื่อสารที่ไม่ใช้สายสัญญาณในการเชื่อมต่อกัน โดยปกติถ้าต้องการเชื่อมต่อเทอร์มินอล (Terminal) เข้ากับเบส (Base) หรือเชื่อมต่อเทอร์มินอลเข้ากับเทอร์มินอล ก็ต้องใช้สายสัญญาณในการเชื่อมต่อ แต่การสื่อสารแบบไร้สายจะทำการเชื่อมต่อโดย การใช้คลื่นวิทยุในการติดต่อสื่อสาร

การสื่อสารไร้สายเริ่มนิยมใช้กันมากขึ้นดังจะเห็นได้จากการนำไปใช้ในการสื่อสารในหลายๆ รูปแบบ ไม่ว่าจะเป็นมือถือ คอมพิวเตอร์ ปาล์ม (PDA) ฯลฯ ทุกสิ่งทุกอย่างเริ่มเข้าสู่ยุคของการสื่อสารไร้สาย องค์ประกอบของระบบสื่อสารไร้สาย มีลักษณะเช่นเดียวกับองค์ประกอบโดยทั่วไปของการสื่อสารทุกประเภทจะประกอบด้วย 4 ส่วน ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 องค์ประกอบของระบบการสื่อสาร

จากรูปที่ 2.1 องค์ประกอบของระบบการสื่อสารพื้นฐาน 4 ส่วน คือ

2.1.1 เครื่องส่งสัญญาณ (Transmitter)

เครื่องส่งสัญญาณคือวงจรอิเล็กทรอนิกส์ที่ถูกออกแบบมา เพื่อแปลงข้อมูลข่าวสารหรือเสียงพูดให้เป็นสัญญาณรูปแบบที่สามารถส่งออกไปในตัวกลางหรือช่องสัญญาณ ได้แก่ อุปกรณ์ที่ใช้ในการส่งสัญญาณคลื่นวิทยุ ไมโครเวฟ เครื่องส่งวิทยุกระจายเสียง เป็นต้น

2.1.2 ช่องสัญญาณสื่อสาร (Communication Channel)

เป็นตัวกลางที่ให้สัญญาณอิเล็กทรอนิกส์ สามารถส่งจากผู้ส่ง ณ สถานที่หนึ่งผ่านไปยังผู้รับในอีกสถานที่หนึ่งได้ ตัวกลางในที่นี้ได้แก่ คลื่นวิทยุ ในตัวกลางนี้มีส่วนทำให้สัญญาณที่ถูกส่งลดทอนลงไปได้ส่วนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 สัญญาณรบกวน (Noise)

เป็นสัญญาณของพลังงานรูปแบบต่างๆที่มีลักษณะไม่แน่นอนเข้ามาในระบบสื่อสาร มีผลรบกวนสัญญาณข้อมูลที่ถูกส่งมาในช่องสื่อสาร บางครั้งสัญญาณรบกวน อาจเกิดขึ้นในวงจรของเครื่องรับสัญญาณก็ได้ สำหรับระบบสื่อสารไร้สายนั้น สัญญาณรบกวนมีอยู่ทั่วไปในอากาศ เช่น สัญญาณจากปรากฏการณ์ฟ้าแลบ

เป็นต้น

2.1.4 เครื่องรับสัญญาณ (Receiver)

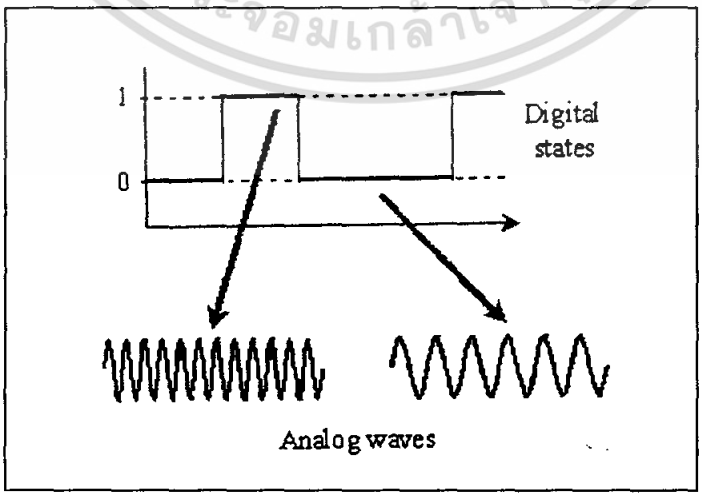
เป็นวงจรอิเล็กทรอนิกส์ที่ถูกออกแบบมาให้รับสัญญาณที่ถูกส่งออกทางช่องการสื่อสารและทำการแปลงสัญญาณให้กลับไปอยู่ในรูปแบบที่ผู้รับปลายทางสามารถเข้าใจเช่นการสื่อสารดาวเทียม

2.2 การมอดูเลชั่นแบบดิจิตอล

การสื่อสารในปัจจุบันได้นิยมนำเอาการมอดูเลตสัญญาณแบบดิจิตอล (Digital Modulation) มาใช้อย่างแพร่หลาย เนื่องจากระบบดิจิตอลให้ค่าความน่าเชื่อถือสูงกว่าระบบแอนะลอก (Analog System) และมีการรบกวนจากสัญญาณรบกวน (Noise) ต่ำ ซึ่งในปัจจุบัน อุปกรณ์ด้านระบบดิจิตอลได้มีการพัฒนาก้าวหน้าไปมาก ทำให้ต้นทุนลดต่ำลง นอกจากนี้ การมอดูเลตแบบดิจิตอลยังสามารถทำการเข้ารหัส (Encoder) ก่อนทำการมอดูเลตแล้วทำการถอดรหัส (Decoder) หลังการมอดูเลตทำให้การส่งข้อมูลมีการผิดพลาดน้อยลง ในการมอดูเลตสัญญาณดิจิตอล ที่นิยมใช้กันชนิดหนึ่งก็คือ การเปลี่ยนแปลงความถี่ของสัญญาณคลื่นพาห์ตามสัญญาณดิจิตอล (Frequency Shift Keying:FSK)

2.2.1 การเปลี่ยนแปลงความถี่คลื่นพาห์ตามสัญญาณดิจิตอล (Frequency Shift Keying:FSK)

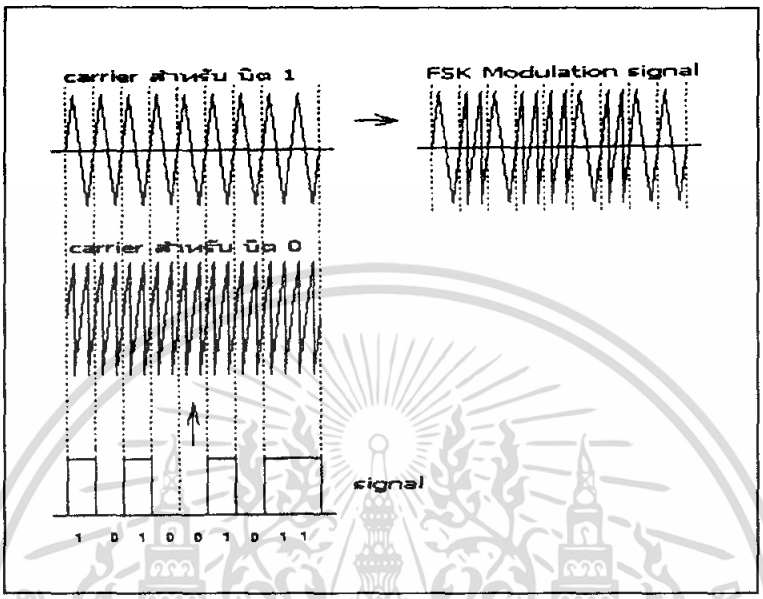
วิธีการ FSK นี้คือใช้ความถี่ของเสียงสองความถี่สำหรับแทนสัญญาณ ลอจิก “1” และลอจิก “0” ฝ่ายรับก็พยายามตรวจจับสองความถี่ที่ว่านี้มาแปลงเป็นสัญญาณลอจิกกลับคืน ความถี่ของเสียงทั้งสองเสียงต้องห่างกันพอที่จะแยกออกจากกันได้โดยวงจรอิเล็กทรอนิกส์ และจะต้องไม่ห่างเกินจนตกขอบของความสามารถของตัวกลางที่จะนำพาไปได้ ดังรูป 2.2 แสดงหลักการทำงานของ FSK



รูปที่ 2.2 หลักการทำงานของ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นสัญญาณที่ได้จากวิธีการนี้ สัญญาณดิจิตอลจะควบคุมความถี่ของสัญญาณที่ได้จากวงจรมอดูเลชั่นโดยรูปคลื่นจะมีความถี่สูงเมื่อระดับสัญญาณดิจิตอลเป็น "1" และมีความถี่ต่ำเมื่อระดับสัญญาณเป็น "0" ซึ่งมีอัตราการส่งข้อมูลไม่สูงมากนักพอๆกับวิธีการ ASK แต่มีข้อดีที่สามารถทนทานต่อสัญญาณรบกวนได้สูงกว่า



รูปที่ 2.3 รูปคลื่นของการมอดูเลตแบบ FSK

เนื่องจากแถบความถี่คลื่นที่ตัวกลางยอมให้ผ่านไปได้อยู่ในช่วง 300 เฮิรตซ์ ถึง 3400 เฮิรตซ์ จึงสามารถแบ่งความถี่ในย่านนั้นออกเป็น 4 คลื่นเสียงที่สำคัญ สำหรับสถานีส่งสองเสียง สถานีรับสองเสียง เนื่องจากต้องการให้การติดต่อเป็นแบบฟูลดูเพล็กซ์ คือ ทั้งรับและส่งได้ในเวลาเดียวกันจำเป็นจะต้องแยกสถานีออกเป็นสองฝ่าย ออริจิเนจหรือฝ่ายเริ่มการติดต่อ และอีกฝ่ายเรียกว่า คำตอบ (Answer)
จะต้องใช้ความถี่ อีกสองความถี่ที่แตกต่างไปจากฝ่ายส่ง (เพื่อป้องกันการรบกวนกันเอง) สำหรับแทนสัญญาณลอจิก "0" และ "1" เช่นเดียงกันจะได้รับและส่งในเวลาเดียวกันเป็นฟูลดูเพล็กซ์ได้

2.2.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอลแบบเกาส์เซี่ยน

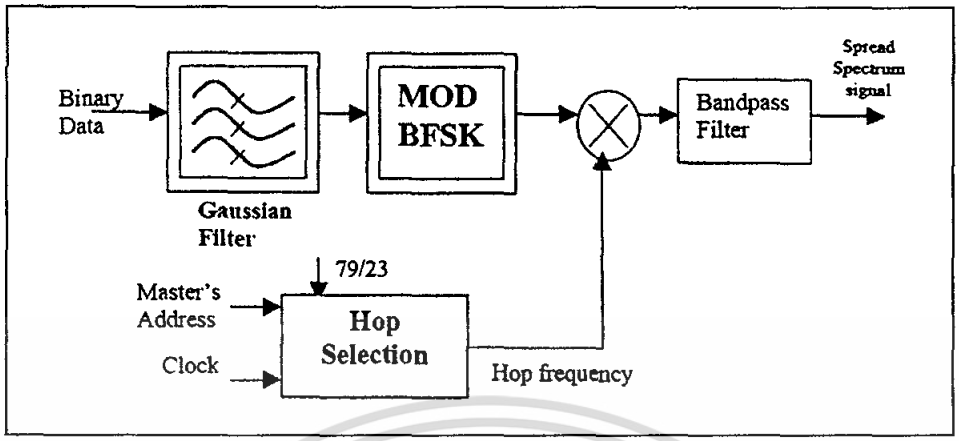
(Gaussian Frequency Shift Keying: GFSK)

GFSK พัฒนามาจากเทคนิคการมอดูเลตแบบ FSK เพื่อเพิ่มประสิทธิภาพในการใช้แบนด์วิดท์ โดยข้อเสีย ของการมอดูเลชั่น แบบ FSK ก็คือ ในขณะที่ข้อมูลเปลี่ยนจาก 0 เป็น 1 หรือ 1 เป็น 0 จะเกิดการเปลี่ยนเฟสของสัญญาณคลื่นพาห์ อย่างรวดเร็ว อาจจะสูงขึ้นหรือต่ำลง ซึ่งก็มีผลทำให้ความถี่คลื่นพาห์ จริงสูงกว่า หรือต่ำกว่า f0 หรือ f1 ที่กำหนดไว้ ซึ่งจะทำให้แบนด์วิดท์ที่ได้กว้างขึ้น

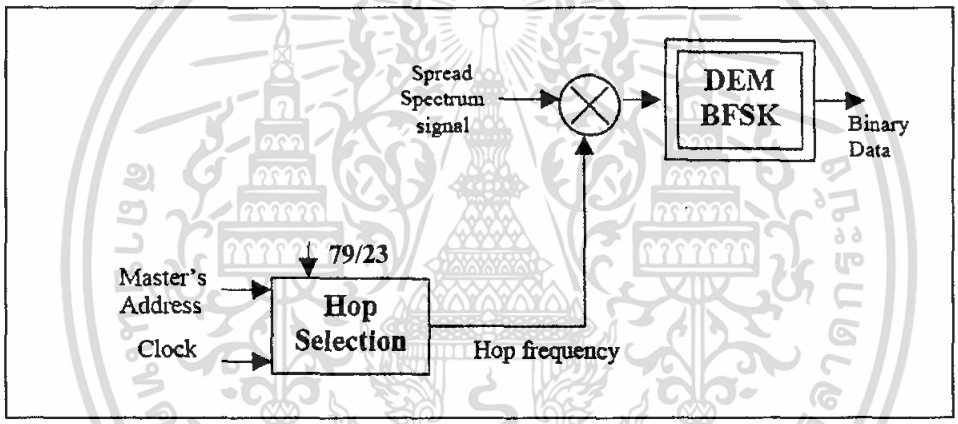
ดังนั้นเพื่อลดปัญหาดังกล่าวจึงนำเอาสัญญาณข้อมูลที่จะไปทำการมอดูเลตแบบ FSK มาผ่านวงจรกรองแบบเกาส์ (Gaussian Filter) ก่อน ซึ่งจะให้การเปลี่ยนแปลงของสัญญาณข้อมูล เป็นแบบค่อยๆขึ้นหรือ ค่อยๆ ลง โดยมีความโค้งเป็นแบบเกาส์เซี่ยนพัลส์ จากนั้นจึงค่อยนำไปมอดูเลตแบบ FSK ก็ทำให้แบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิดท์ที่ได้แคบลงเมื่อเทียบกับการมอดูเลตแบบ FSK และจะทำให้ได้อัตราการส่งข้อมูลสูงขึ้น โดยบล็อกไดอะแกรมของการมอดูเลตและการดีมอดูเลตแบบ GFSK แสดงดังรูปที่มี 2.4 และรูปที่ 2.5 ตามลำดับ



รูปที่ 2.4 การมอดูเลตแบบ GFSK



รูปที่ 2.5 การดีมอดูเลตแบบ GFSK

2.3 การใช้งานบอร์ดไมโครคอนโทรลเลอร์รุ่น ET-BASE ARM7024 (ADUc7024)

ET-BASE ARM7024 เป็นบอร์ดไมโครคอนโทรเลอร์ในตระกูล ARM7 ขนาด 64 Pin ซึ่งเลือกใช้ไมโครคอนโทรเลอร์ เบอร์ ADUC7024 ของ Analog Device เป็น MCU ประจำบอร์ด โดย MCU รุ่นนี้จะบรรจุอยู่ภายในตัวถังแบบ 64 Pin LQFP โดย MCU ตัวนี้จะมีจุดเด่น คือ ความสามารถในการเชื่อมต่อกับสัญญาณแบบ Analog ซึ่งมีทั้ง ADC ขนาด 12บิต จำนวน 10 ช่อง และ DAC ขนาด 12บิต จำนวน 2 ช่องนอกจากนี้แล้วความสามารถทางด้านของความเร็วในการประมวลผลก็ถือว่าไม่ด้อยกว่าตัวอื่นๆ ซึ่งสามารถทำงานได้ด้วยความถี่สูงสุด 41.78 MHz โดยใช้ XTAL 32.768KHz ร่วมกับวงจรคูณความถี่แบบ Phase Lock Loop ภายในตัว MCU นอกจากนี้แล้วยังมีความเพียบพร้อมด้วยอุปกรณ์พื้นฐานต่างๆที่จำเป็นต่อการใช้งาน ไม่ว่าจะเป็นหน่วยความจำโปรแกรมแบบ Flash ขนาด 62 kbyte และหน่วยความจำใช้งานแบบ RAM ซึ่งมีมากถึง 8 kbyte ส่วนในด้านของอุปกรณ์ Peripheral นั้นก็นับว่าครบถ้วนเหมาะแก่การนำไปประยุกต์ใช้งานเกี่ยวกับการควบคุมและประมวลผลต่างๆได้เป็นอย่างดี โดยจะมีทั้ง SPI, UART,Watchdog, Timer/Counter, PWM โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโครงสร้างของบอร์ดนั้นจะเน้นเรื่องขนาดของบอร์ดให้มีขนาดเล็กเพื่อให้ง่ายต่อการนำไปประยุกต์ใช้งาน และสะดวกต่อการพัฒนาโปรแกรม

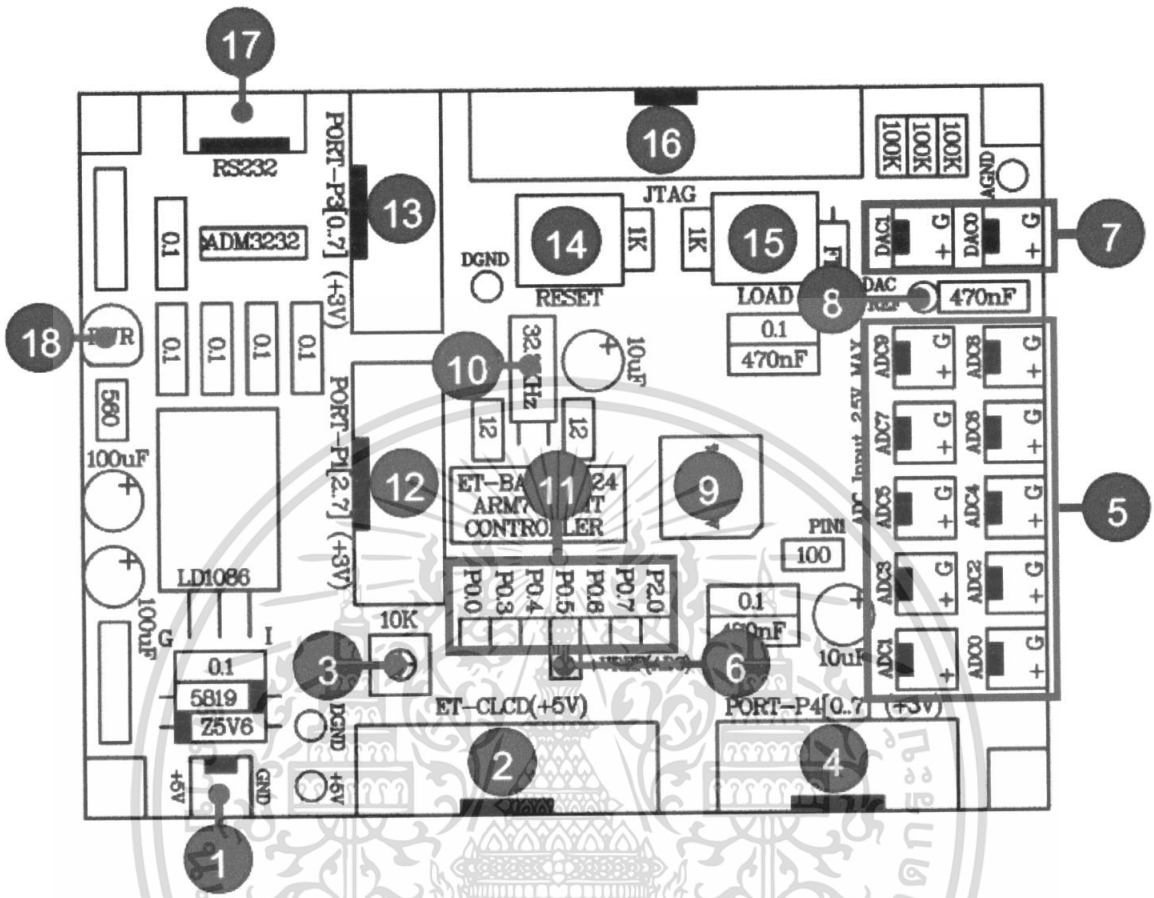
2.3.1 คุณสมบัติของบอร์ด

เลือกใช้ MCU ตระกูล ARM7 TDMI Core เบอร์ ADUc7024 ของ Analog Device เป็น MCU ประจำบอร์ด โดยเลือกใช้แหล่งกำเนิดสัญญาณนาฬิกาแบบ XTAL ค่า 32.768 KHz ซึ่งสามารถกำหนดการทำงานร่วมกับ Phase Lock Loop ให้ MCU สามารถประมวลผลด้วยความเร็วสูงสุดที่ 41.78 MHz ได้ด้วย โดยคุณสมบัติเด่นๆของ MCU ได้แก่

- มีหน่วยความจำ Flash สำหรับเขียนโปรแกรม 62KByte และ มี RAM ขนาด 8Kbyte
- มีพอร์ต I/O จำนวน 5 พอร์ตคือ P0(6Bit),P1(8Bit),P2(1Bit),P3(8Bit) และ P4(8Bit)
- มีวงจรสื่อสารอนุกรม UART จำนวน 1 พอร์ต และมีวงจรสื่อสาร SPI จำนวน 1 พอร์ต
- มีวงจร Timer/Counter จำนวน 4 ชุด
- มีวงจร ADC ขนาด 12บิต จำนวน 10 ช่อง และ DAC ขนาด 12 บิต จำนวน 2 ช่อง
- มีวงจร Watchdog, Power-ON Reset, PWM
- มีขั้วต่อสัญญาณ I/O แบบ TTL แบบ Header 2x5 จำนวน 3 ชุด (P1,P3 และ P4)
- มีขั้วต่อ LCD แบบ Header 2x7 รองรับการเชื่อมต่อกับ LCD Character (เชื่อมต่อแบบ 4 บิต)
- มีขั้วต่อใช้งาน RS232 สำหรับใช้งาน และ สำหรับ Download ผ่าน RS232
- ใช้แหล่งจ่ายไฟขนาด +5VDC ร่วมกับ Regulate 3.3V on Board พร้อม LED สถานะ Power
- ขนาด PCB Size เล็กเพียง 8 x 6 cm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โครงสร้างบอร์ด ET-BASE ARM7024 (ADUc7024)



รูปที่ 2.6 โครงสร้างบอร์ด ET-BASE ARM7024 (ADUc7024)

- **หมายเลข 1** คือ ขั้วต่อแหล่งจ่ายไฟเลี้ยงวงจรของบอร์ด ใช้กับแหล่งจ่ายไฟตรง +5VDC
- **หมายเลข 2** คือ Port-LCD ชนิด Character Type ใช้การเชื่อมต่อแบบ 4 บิต ผ่าน Port-P4[0..6]
- **หมายเลข 3** คือ ตัวต้านทานสำหรับปรับค่าความสว่างให้ LCD
- **หมายเลข 4** คือ Port-P4 มี ขนาด 8 Bit คือ P4[0..7]
- **หมายเลข 5** คือ ขั้วต่อ ADC จำนวน 10 ช่อง คือ ADC[0..9]
- **หมายเลข 6** คือ จุดต่อแรงดันอ้างอิงให้ ADC จากภายนอก
- **หมายเลข 7** คือ ขั้วต่อ DAC จำนวน 2 ช่อง คือ DAC[0..1]
- **หมายเลข 8** คือ จุดต่อแรงดันอ้างอิงให้ DAC จากภายนอก
- **หมายเลข 9** คือ MCU เบอร์ ADUc7024 ซึ่งเป็น MCU ตระกูล ARM7TDMI จาก Analog Device
- **หมายเลข 10** คือ Crystal ค่า 32.768 KHz
- **หมายเลข 11** คือ Port-P0 มี ขนาด 6 Bit คือ P0[0,3,4,5,6,7] และ Port-P2 มี 1 บิต คือ P2[0]
- **หมายเลข 12** คือ Port-P1 มี ขนาด 6 Bit คือ P1[2..7]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

• **หมายเลข 13** คือ Port-P3 มี ขนาด 8 Bit คือ P3[0..7]

• **หมายเลข 14** คือ Switch RESET ใช้สำหรับ Reset การทำงานของ CPU

• **หมายเลข 15** คือ Switch LOAD ใช้ร่วมกับ RESET สำหรับสั่ง Download HEX ให้ MCU

• **หมายเลข 16** คือ ขั้วต่อ ARM-JTAG สำหรับ Debug โปรแกรม

• **หมายเลข 17** คือ ขั้วต่อ RS232 สำหรับใช้งานทั่วไป และ Download HEX ให้ MCU

• **หมายเลข 18** คือ LED Power ใช้แสดงสถานะของแหล่งจ่ายไฟ +5VDC

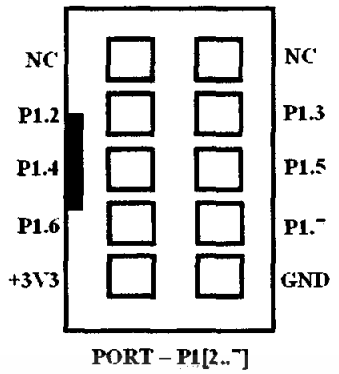
2.3.3 ขั้วต่อสัญญาณต่างๆ

สำหรับขั้วต่อสัญญาณของพอร์ต I/O จาก MCU นั้นจะถูกออกแบบและจัดเตรียมไว้ผ่านทางขั้วต่อแบบ IDE Header ขนาด 10 Pin (2x5) จำนวน 3 ชุด คือ Port – P1, Port – P3, และ Port – P4 ตามลำดับ ส่วน Port – P0 และ Port – P2 นั้นต่อเป็น Header ขนาด 1x7 ไว้ โดยที่ขั้วต่อสัญญาณแต่ละชุด จะประกอบไปด้วยสัญญาณของ I/O ที่เชื่อมต่อมาจากขาสัญญาณของ MCU โดยตรงทั้งหมด โดยจุดเชื่อมต่อกับสัญญาณภายนอกของบอร์ด มีดังนี้

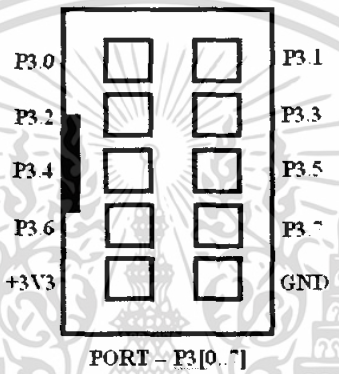
- ขั้วต่อแหล่งจ่ายขนาด +5V DC
- ขั้วต่อ Port – P0 มี 6 บิต คือ P0 [0,3,4,5,6,7]
- ขั้วต่อ Port – P1 มี 6 บิต คือ P1 [2,3,4,5,6,7] ส่วน P1.0 และ P1.1 จะถูกเชื่อมต่อผ่านวงจร Line Driver (MAX232) สำหรับแปลงระดับสัญญาณจากระดับโลจิก TTL ของ MCU ให้เป็นสัญญาณแรงดันตามมาตรฐานของ RS232 โดยสัญญาณที่ได้รับการแปลงเป็นแบบ Rs232 จะถูกเชื่อมต่อไปรอไว้ที่ขั้วต่อแบบ CPA ขนาด 4 PIN (RS232)
- ขั้วต่อ Port – P2 มีขนาด 1 บิต คือ P2.0
- ขั้วต่อ Port – P3 มีขนาด 8 บิต คือ P2 [0,1,2,3,4,5,6,7]
- ขั้วต่อ Port – P4 มีขนาด 8 บิต คือ P4 [0,1,2,3,4,5,6,7] โดยมีการต่อสัญญาณไปยังขั้ว LCD ด้วยจำนวน 7 บิต คือ P4 [0,1,2,3,4,5,6] ตามลำดับ
- ขั้วต่อ ADC มีขนาด 10 ช่อง คือ ADC0 – ADC9 โดยรับสัญญาณ Analog ได้ระหว่าง 0 -2.5V
- จุดรับแรงดันอ้างอิงของ DAC (DAC Reference) จากภายนอกขนาด 0 – 3V
- ขั้วต่อ DAC มีขนาด 2 ช่อง DAC0, DAC1 โดยสามารถสร้างสัญญาณ Analog ได้ 0 – 2.5V
- จุดรับแรงดันอ้างอิงของ ADC (+Vref ADC) จากภายนอกขนาด 0 – 2.5V
- ขั้วต่อ ARM – JATG
- ขั้วต่อสัญญาณ RS232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

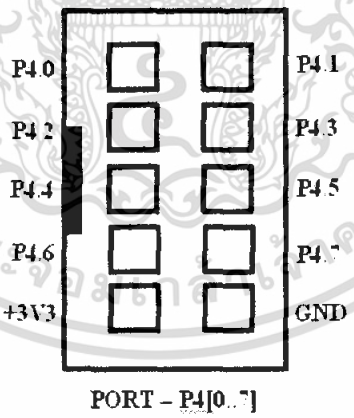
พอร์ต P1 มีขนาด 6 บิต



พอร์ต P3 มีขนาด 8 บิต



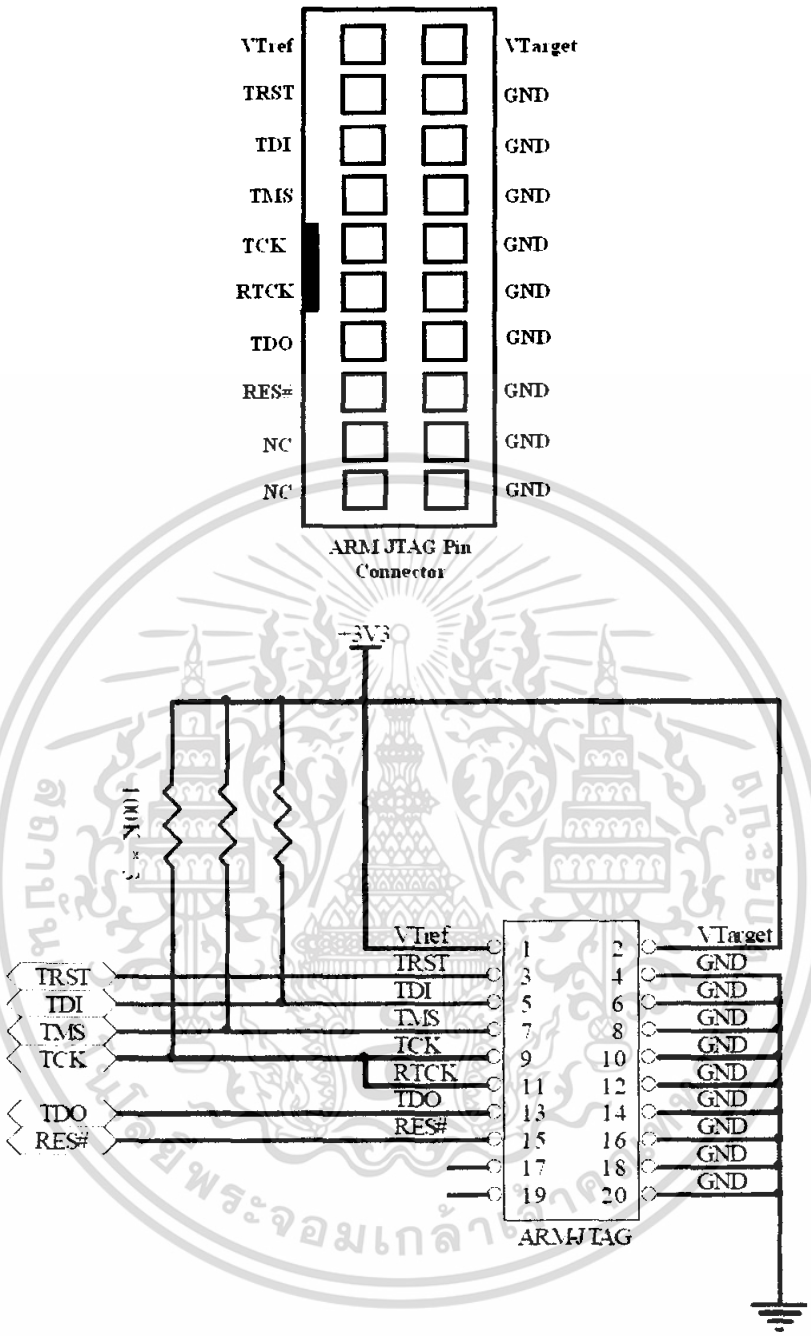
พอร์ต P4 มีขนาด 8 บิต



รูปที่ 2.7 พอร์ตอินพุตเอาท์พุตของ LPC2119

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

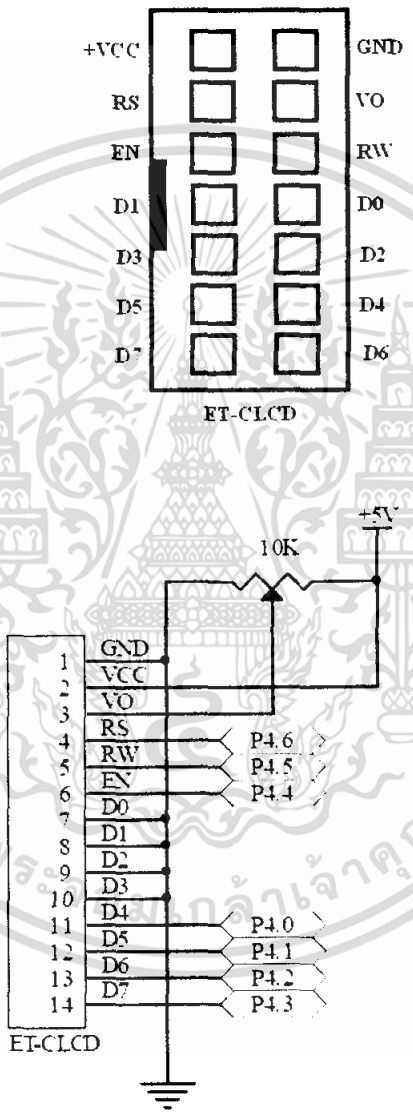
พอร์ต ARM – JTAG



รูปที่ 2.8 วงจรส่วนที่ใช้ในการเชื่อมต่อกับ ARM-JTAG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ต CLCD ใช้กับ Character LCD โดยเชื่อมต่อแบบ 4 บิต โดยสัญญาณที่ใช้เชื่อมต่อกับ LCD จะเป็นสัญญาณชุดเดียวกับที่ต่อไปยังขั้วต่อของ PORT-P4 โดยในการเชื่อมต่อสายสัญญาณจากขั้วต่อของพอร์ต LCD ไปยังจอแสดงผล LCD นั้น ให้ยึดชื่อสัญญาณเป็นจุดอ้างอิง โดยให้ต่อสัญญาณที่มีชื่อตรงกันเข้าด้วยกันให้ครบทั้ง 14 เส้น

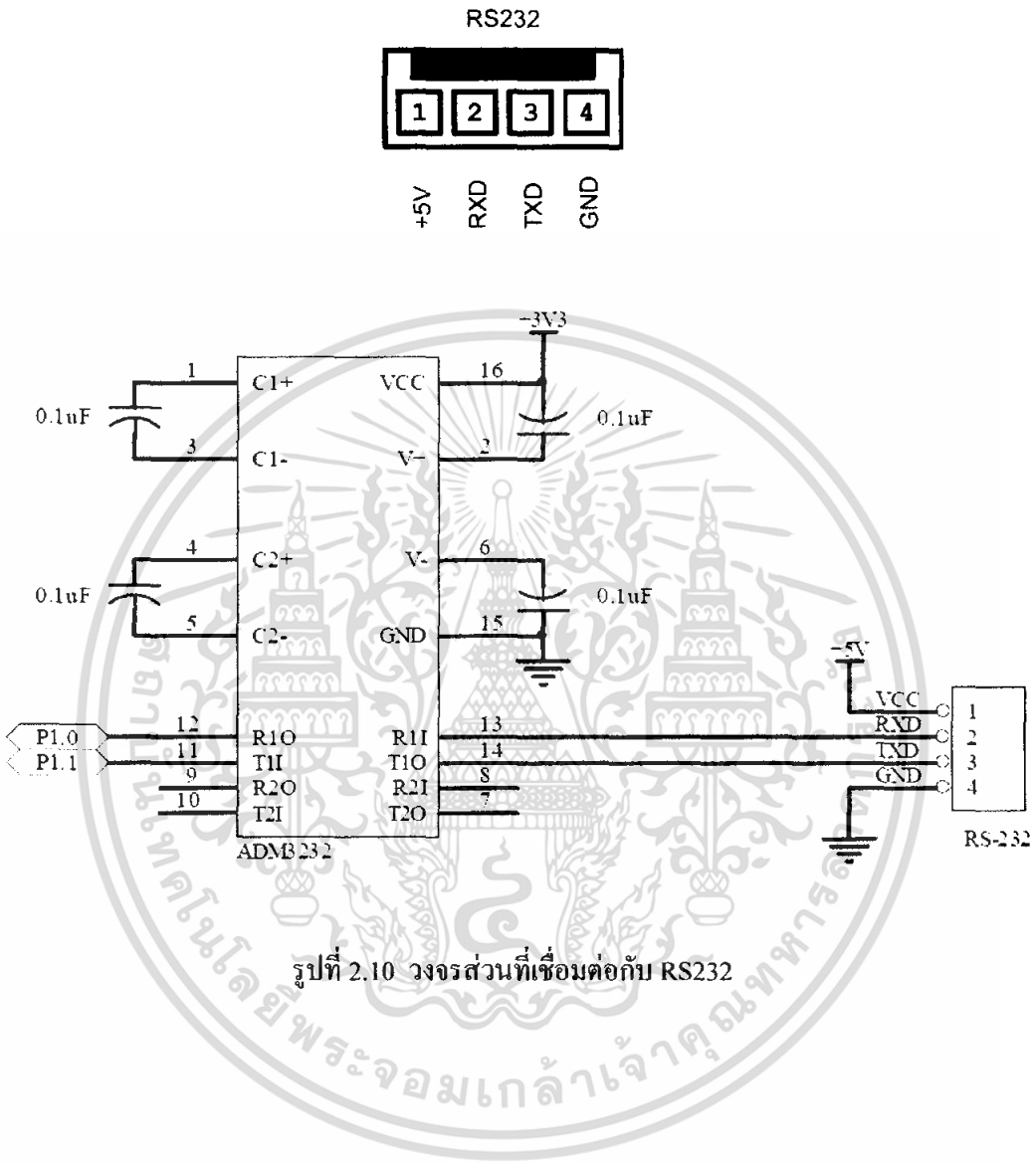


1	2	3	4	5	6	7	8	9	10	11	12	13	14
GND	+VCC	VO	RS	RW	EN	D0	D1	D2	D3	D4	D5	D6	D7

รูปที่ 2.9 การจัดเรียงขาสัญญาณของ Character LCD มาตรฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

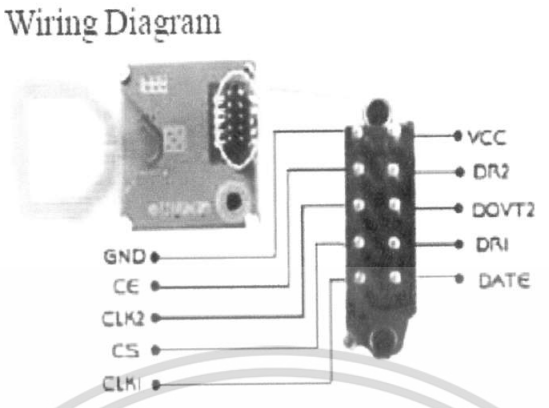
พอร์ต RS232 เป็นสัญญาณ RS232 ซึ่งผ่านวงจรแปลงระดับสัญญาณ MAX232 เรียบร้อยแล้ว สามารถใช้เชื่อมต่อกับสัญญาณ RS232 เพื่อรับส่งข้อมูล นอกจากนี้แล้วยังสามารถใช้งาน ร่วมกับ Switch PSEN และ Switch RESET เพื่อทำการ Download แบบ Manual ได้ด้วย



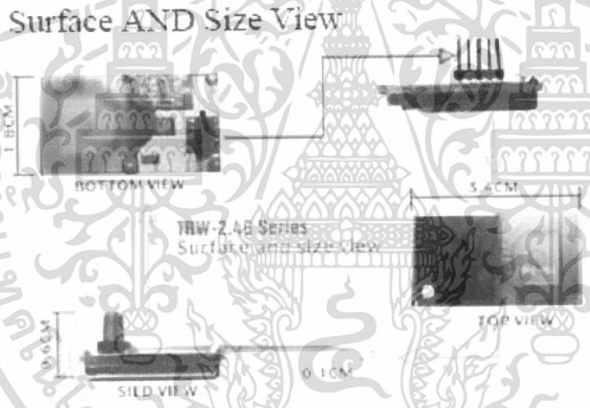
รูปที่ 2.10 วงจรส่วนที่เชื่อมต่อกับ RS232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 คุณลักษณะของโมดูลอาร์เอฟ เบอร์ TRW 2.4 GHz



รูปที่ 2.11 ลักษณะขาของโมดูลความถี่วิทยุ (TRW – 2.4 GHz)



รูปที่ 2.12 รายละเอียดทางด้านบน ด้านข้างและด้านหน้าของตัวโมดูลความถี่วิทยุ

2.4.1 คุณสมบัติของโมดูลอาร์เอฟเบอร์ TRW – 2.4 GHz

2.4.1.1 เป็นโมดูลสำเร็จรูปที่ใช้ รับ - ส่ง ข้อมูลในแบบอนุกรม ใช้กับ ย่านความถี่ 2.4 กิกะเฮิรตซ์ ถึง 2.524 กิกะเฮิรตซ์

2.4.1.2 ส่งแบบ GFSK (Gaussian Frequency Shift Keying)

2.4.1.3 สามารถตั้งช่องความถี่ใช้งานด้วยโปรแกรมได้ถึง 125 ช่องสัญญาณ ใช้เวลาในการเปลี่ยนช่องสัญญาณมากกว่า 0.2 มิลลิวินาที

2.4.1.4 รองรับ Frequency Hopping

2.4.1.5 ทำงานที่แรงดัน 1.9-3.6 โวลท์

2.4.1.6 กำลังส่งสูงสุด 0 dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1.7 เมื่อใช้อัตราความเร็วในการส่งข้อมูลคือ 250 กิโลบิตต่อวินาที สามารถส่งข้อมูลในที่โล่งได้ในระยะทาง 280 เมตร เมื่อใช้อัตราความเร็วในการส่งข้อมูล 1 เมกะบิตต่อวินาที สามารถส่งข้อมูลในที่โล่งได้ในระยะทาง 150 เมตร ส่วนในการส่งสัญญาณความถี่วิทยุภายในอาคารจะสามารถส่งสัญญาณความถี่วิทยุในระยะทางไม่เกิน 50 เมตร

2.4.1.8 มีขนาด กว้าง 20 มิลลิเมตร ยาว 36.7 มิลลิเมตร สูง 2.4 มิลลิเมตร

2.4.1.9 เสาอากาศในตัว

2.4.2 โหมดการทำงานของโมดูลอาร์เอฟเบอร์ TRW – 2.4 GHz

โหมดในการใช้งานของ TRW-2.4 GHz มีอยู่ 2 โหมดคือ

2.4.2.1 Shock Burst Mode

2.4.2.2 Direct Mode

โดยในโครงงานนี้ได้กำหนดให้โมดูลความถี่วิทยุมีการทำงานในโหมด Shock Burst ซึ่งมีรายละเอียดดังต่อไปนี้

โหมด Shock Burst

โหมด Shock Burst เป็นการใช้เทคโนโลยีรับ/ส่งข้อมูลบนชิป (Chip) แบบเข้าก่อน-ออกก่อน (First in – First out) โดยในการส่งข้อมูลมีทั้งระดับอัตราในการส่งบิตข้อมูลมีทั้งความเร็วต่ำและระดับความเร็วสูง เมื่อโมดูลความถี่วิทยุทำงานในโหมด Shock Burst สามารถเพิ่มการเข้าถึงระดับข้อมูลได้สูง (1 Mbps) โดยใช้ย่านความถี่ 2.4 GHz และต้องใช้ไมโครคอนโทรลเลอร์ความเร็วสูงในการประมวลผล โดยการจัดกระบวนการประมวลผลให้เหมาะสมกับโพโตคอลบนชิพจะทำให้ได้รับประโยชน์จากโมดูลความถี่วิทยุที่ตามมาดังนี้

- ประหยัดกระแส
- ระบบมีราคาต่ำ (เนื่องจากไมโครคอนโทรลเลอร์มีราคาถูก)
- ลดการชนกันของข้อมูลเมื่อใช้เวลาในการส่งระยะสั้นๆ

หลักการทำงานในโหมด Shock Burst

เมื่อทำการกำหนดค่าให้โมดูลทำงานในโหมด Shock Burst แล้ว การทำงานของโมดูลในการรับ/ส่งข้อมูลมีหลักการทำงานดังนี้

การส่งข้อมูลในโหมด Shock Burst

โดยทำการเชื่อมต่อโมโครคอนโทรลเลอร์กับขา CE, CLK1, DATA ของตัวโมดูล

- เมื่อไมโครคอนโทรลเลอร์ต้องการส่งข้อมูลให้กับโมดูลต้องทำการเซตขา CE ให้อยู่ในสถานะ “ high ” เพื่อกระตุ้นให้โมดูลทำการนำข้อมูลมาเก็บไว้ภายในตัวโมดูล
- เมื่อต้องการส่งข้อมูลออกจากตัวโมดูล ทำการตั้งค่าที่ขา CE ของโมดูลที่เชื่อมต่ออยู่กับไมโครคอนโทรลเลอร์ให้อยู่ในสถานะ “ low ” เพื่อกระตุ้นให้โมดูลทำการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับข้อมูลในโหมด Shock Burst

โดยไมโครคอนโทรลเลอร์ทำการเชื่อมต่อกับขา CE, CLK1, DR1 และ DATA (กรณีที่ใช้ช่องสัญญาณเพียงช่องเดียว)

- เมื่อ RF package มีแอดเดรสที่ถูกต้องและขนาดของข้อมูลที่เข้ามา ตัวโมดูลจะทำการเซตค่าให้ขา CE อยู่ในสถานะ " high "

- เมื่อข้อมูลที่รับเข้ามาถูกต้อง(แอดเดรสและ CRC ถูกต้อง) โมดูลจะทำการย้าย preamble, address และ CRC โดยจะแจ้งไปยังไมโครคอนโทรลเลอร์ให้ทำการเซตค่า DR1 ให้อยู่ในสถานะ " high " และเซตค่าขา CE ให้อยู่ในสถานะ " low " เพื่อบอกว่าขณะนี้ทำการรับข้อมูลอยู่

- ไมโครคอนโทรลเลอร์จะทำการเซตค่าเพื่อให้รับข้อมูลได้เหมาะสมและเมื่อทำการรับข้อมูลเสร็จเรียบร้อยจะทำการเซตค่าให้ขา DR1 ให้อยู่ในสถานะ " low " เพื่อเตรียมพร้อมที่จะรับข้อมูลที่เข้ามาใหม่

2.4.2.1.1 โหมด Active (RX/TX) คือโหมดของการรับ – ส่งข้อมูล เวลาจะทำการรับส่งข้อมูลจะต้องทำการเซตขา CE ให้เป็น 1 หรือว่า High ก่อนและเซตขา CS ให้เป็น 0 หรือ Low โดยในโหมดนี้จะมีโหมดย่อยให้ใช้งานอีกคือ โหมด Shock Burst และ โหมด Direct ดังแสดงในตารางที่ 2.1

2.4.2.1.2 โหมด Configuration คือโหมดการตั้งค่าเริ่มต้นใช้ก่อนใช้งานเช่น แอดเดรส หรือเฮดเดอร์ของเฟรมข้อมูลดังรูปที่ 2.13 เวลาจะทำการตั้งค่าใช้งานต้องทำการเซตขา CE ให้เป็น 0 หรือว่า Low ก่อนและ เซตขา CS ให้เป็น 1 หรือ High ดังแสดงในตารางที่ 2-8

2.4.2.1.3 โหมด Stand by เตรียมพร้อมหรือการรอการทำงาน เช่น รอรับสัญญาณจากเครื่องส่งโดยให้เซตขา CE และ CS ให้เป็น 0 หรือให้อยู่ในสภาวะ Low ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 การตั้งค่าโหมดการทำงาน

Mode	CE	CS
Active (RX/TX)	1	0
Configuration	0	1
Stand by	0	0

2.4.3 ส่วนประกอบของชุดข้อมูล

Preamble	Address	Payload	CRC

ส่วนประกอบของชุดข้อมูลแบ่งได้เป็น 4 ส่วน คือ

- **Preamble** เป็นส่วนแรกของชุดข้อมูล เพื่อแสดงจุดเริ่มต้นของเฟรมข้อมูล
- **Address** เป็นส่วนที่ระบุแอดเดรสของตัวรับข้อมูล
- **Payload** เป็นส่วนที่เก็บข้อมูล
- **CRC** เป็นส่วนที่ใช้ตรวจสอบความผิดพลาดบิตของชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

83281

2.4.4 ตำแหน่งบิตข้อมูลของตัวโมดูลความถี่วิทยุ

ในการที่จะกำหนดค่าให้กับตัวโมดูลความถี่วิทยุเพื่อให้โมดูลความถี่วิทยุทำงานในโหมดที่เราต้องการนั้นเราต้องทราบก่อนว่าต้องกำหนดค่าอะไรบ้างลงในตำแหน่งบิตที่เท่าไร ดังนั้นตารางที่2.2 จะแสดงตำแหน่งของบิตภายในตัวโมดูลความถี่วิทยุที่ใช้ในการกำหนดค่าให้กับตัวโมดูลความถี่วิทยุ

2.4.5 การตั้งค่าใช้งาน

ในการตั้งค่าใช้งานเริ่มต้นของโมดูลอาร์เอฟเบอร์ TRW – 2.4 GHz นั้นต้องกำหนดข้อมูล 144 บิตให้กับตัวโมดูลโดยที่ข้อมูลในแต่ละบิตมีรายละเอียดดังตารางที่ 2.2 และ 2.10

ตารางที่ 2.2 ฟังก์ชันการทำงานแต่ละขาของโมดูลอาร์เอฟเบอร์ TRW - 2.4 GHz

Pin	Name	Pin Function	Description
1	GND	POWER	Ground (0V)
2	CE	Input	Chip Enable Activates RX or TX mode
3	CLK2	I/O	Clock Output/Input for RX data channel 2
4	CS	Input	Chip Select Activates Configuration mode
5	CLK1	I/O	Clock Input TX)&I/O (RX) for data channel 1 3-Wire Interface
6	DATA	I/O	RX data channel 1/TX data Input 3-Wire Interface
7	DR1	Output	RX data ready at data channel 1 (Shock Burst only)
8	DOUT2	Output	RX data channel 2
9	Dr2	Output	RX data ready at data channel 2 (Shock Burst only)
10	VCC	POWER	Power Supply (+3V DC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 การตั้งค่าใช้งานเริ่มต้นของโมดูลอาร์เอฟเบอร์ TRW – 2.4 GHz

Configuration	Number of bit	Name		Function
Shock Burst configuration	143 :120	24	TEST	Reserve for testing
	119 :112	8	DATA2_W	Length of data payload section RX channel 2
	111 :104	8	DATA1_W	Length of data payload section RX channel 1
	103 :64	40	ADDR1	Up to 5 bytes address for channel 2
	63 :24	40	ADDR2	Up to 5 bytes address for channel 1
	23 :18	6	ADDR_W	Number of address bits (both RX channels)
	17	1	CRC_L	8 or 16 bits CRC
	16	1	CRC_EN	Enable on-chip CRC generation/checking
General Device configuration	15	1	RX2_EN	Enable two channel receive mode
	14	1	CM	Communication mode (Direct or Shock Burst)
	13	1	RFDR_SB	RF data rate (1 Mbps requires 16 MHz crystal)
	12 :10	3	XO_F	Crystal frequency (Factory default 16 MHz crystal mounted)

จากตารางที่ 2.3 รายละเอียดที่ต้องทำการตั้งค่านั้นมีอยู่ 15 ส่วน หน้าที่การทำงานของแต่ละส่วนมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST จำนวน 24 บิต ที่ตำแหน่งบิตที่ 143-120 เป็นส่วนแรกของการตั้งค่า คือ เป็นส่วนที่ส่ง MSB ของแพ็กเกต ออกไป

DATA2_W จำนวน 8 บิต ที่ตำแหน่งบิตที่ 119-112 เป็นส่วนที่กำหนดความยาวของข้อมูลที่จะทำการรับ-ส่งของ channel 2

DATA1_W จำนวน 8 บิต ที่ตำแหน่งบิตที่ 111-104 เป็นส่วนที่กำหนดความยาวของข้อมูลที่จะทำการรับ-ส่งของ channel 1

ADDR2 จำนวน 40 บิต ที่ตำแหน่งบิตที่ 103-64 เป็นส่วนที่กำหนดแอดเดรสของด้านรับและ Address ที่ต้องการส่งของด้านส่ง ของ channel 2

ADDR1 จำนวน 40 บิต ที่ตำแหน่งบิตที่ 63-24 เป็นส่วนที่กำหนดแอดเดรสของด้านรับและ Address ที่ต้องการส่งของด้านส่ง ของ channel 1

ADDR_W จำนวน 6 บิต ที่ตำแหน่งบิตที่ 23-18 เป็นเลขที่สงวนไว้เพื่อแอดเดรส ของด้านรับ

CRC_L จำนวน 1 บิต ที่ตำแหน่งบิตที่ 17 เป็นการกำหนดว่าจะใช้ CRC-8 หรือ CRC-16

CRC_EN จำนวน 1 บิต ที่ตำแหน่งบิตที่ 16 เป็นการกำหนดว่าจะตรวจสอบ CRC หรือไม่

RX2_EN จำนวน 1 บิต ที่ตำแหน่งบิตที่ 15 เป็นส่วนที่จะเลือกว่าจะรับ 1 ช่อง หรือ 2 ช่อง

CM จำนวน 1 บิต ที่ตำแหน่งบิตที่ 14 เป็นส่วนที่เลือกว่าจะใช้โหมด Direct หรือ โหมด ShockBurst

RFDR_SB จำนวน 1 บิต ที่ตำแหน่งบิตที่ 13 เป็นส่วนกำหนดความเร็วในการส่ง ซึ่งจะมีให้เลือก 2 อย่างคือ 250 กิโลบิตต่อวินาทีและ 1 เมกะบิตต่อวินาที

XO_F จำนวน 3 บิต ที่ตำแหน่งบิตที่ 12-10 เป็นส่วนตั้งความถี่ของคริสตัล

RF_PWR จำนวน 2 บิต ที่ตำแหน่งบิตที่ 9-8 เป็นส่วนกำหนดกำลังส่ง

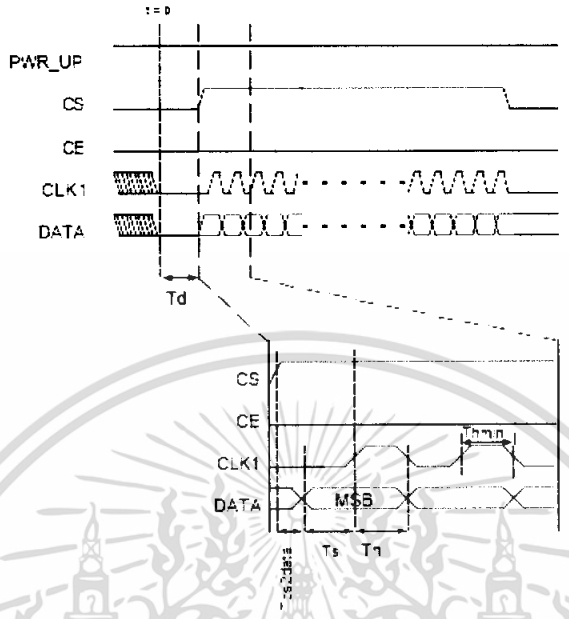
RF_CH จำนวน 7 บิต ที่ตำแหน่งบิตที่ 7-1 เป็นส่วนกำหนดช่องสัญญาณ

RXEN จำนวน 1 บิต ที่ตำแหน่งบิตที่ 0 เป็นส่วนที่กำหนดว่าจะส่งหรือรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.5.1 Configuration mode timing

เมื่อ 1 บิต หรือ มากกว่า 1 บิต ใน configuration word จำเป็นที่จะต้องเปลี่ยนแปลง เราจะไปดูได้จาก timing

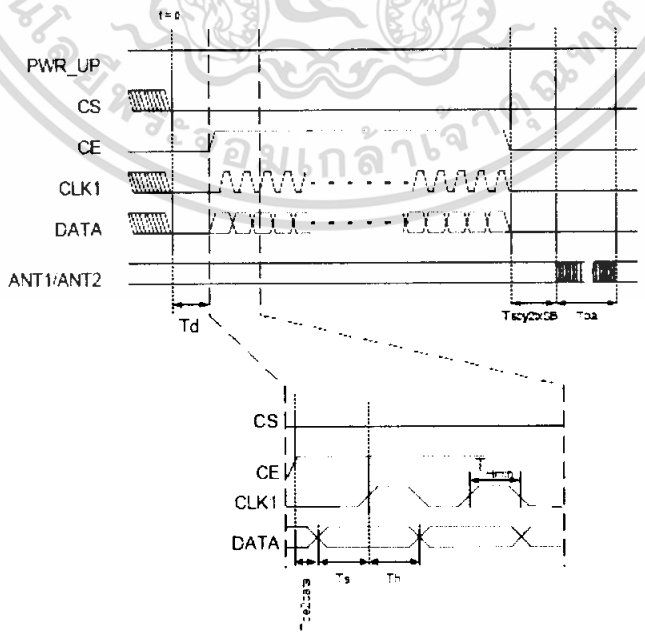


รูปที่ 2.13 Timing Diagram สำหรับ configuration ระบบย่อย nRF2401

ถ้า configuration mode เข้ามาจาก power down CS สามารถ set high หลังจาก Tpd2sby โดยแสดงให้เห็นในรูปที่ 2.13

2.4.5.2 Shock Burst Mode Timing

Shock Burst TX



:

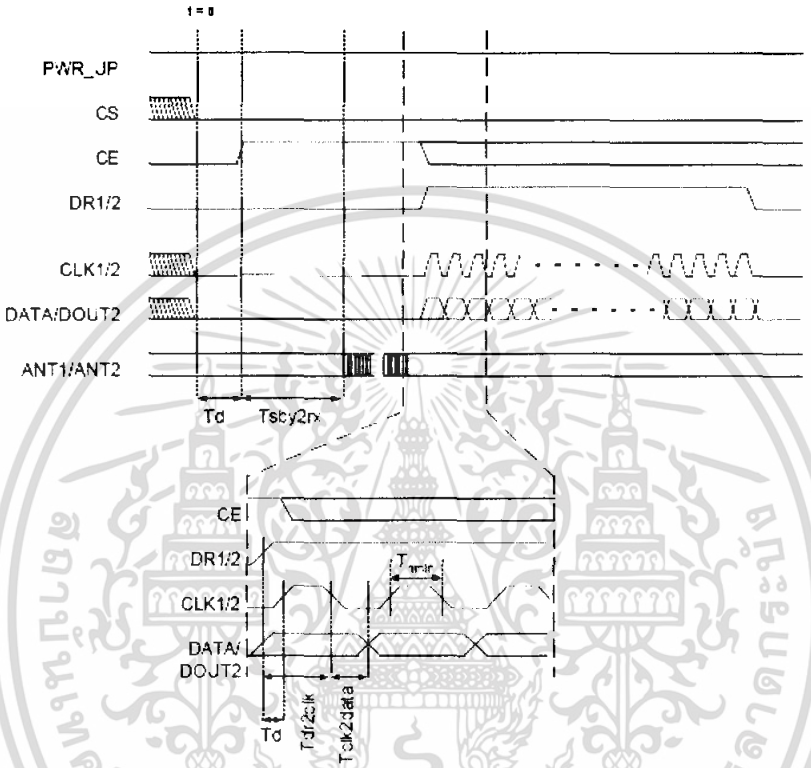
รูปที่ 2.14 Timing ของ Shock Burst ใน TX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความยาวชุดข้อมูลและอัตราข้อมูลทำให้ delay Toa (Time on air : เวลาในอากาศ) ซึ่งแสดงในสมการ บิตข้อมูลจะเป็นผลรวมของบิตที่รวมทุกๆบิต CRC และบิต preamble ซึ่งอาจเพิ่มขึ้น

Toa = 1/data rate*(#databits+1)

Shock Burst Rx:

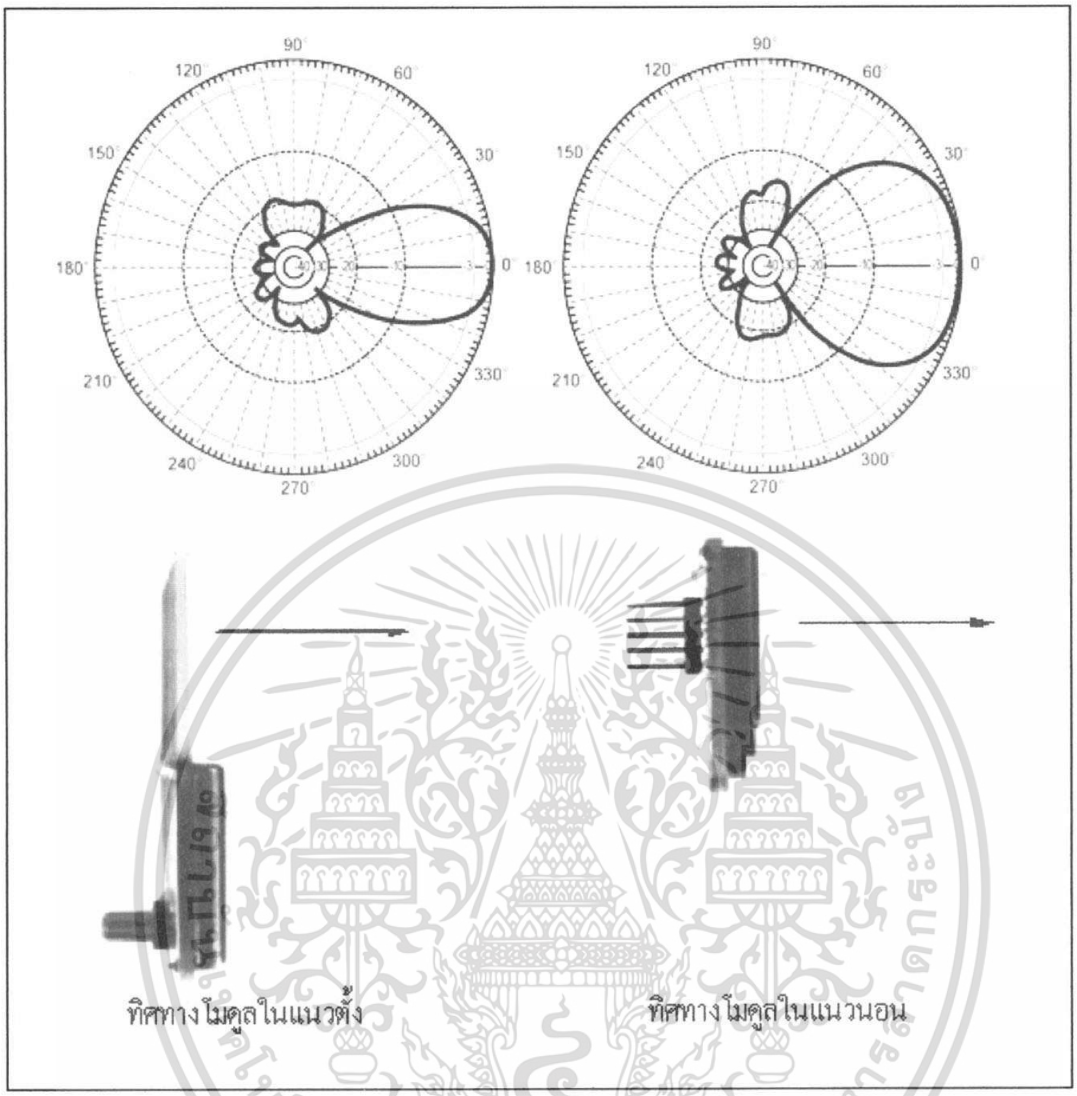


รูปที่ 2.15 Timing ของ Shock Burst ใน Rx

CE อาจยังคงสถานะ high ช่วงที่ดาวน์โหลดข้อมูล แต่จะทำให้ค่าการใช้กระแสสูงกว่า (19mA) และผลประโยชน์คือ เวลา start-up น้อย (200us) เมื่อ DR1 ขาลง

ตำแหน่งนั้น สิ่งที่จะได้มาอย่างแรกคือ ค่าตำแหน่งของคีย์นั้น จากนั้นก็จะนำค่าตำแหน่งนั้นไปเปิดตารางข้อมูล เพื่อที่จะได้ค่าที่ต้องการนำไปแสดงผลที่แท้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 ทิศทางการแพร่กระจายคลื่นของโมดูลอาร์เอฟเบอร์ TRW 2.4 GHz

จากรูปที่ 2.16 เนื่องจากข้อมูลการแพร่กระจายคลื่นของโมดูลอาร์เอฟเบอร์ TRW 2.4GHz ไม่ได้ระบุทิศทางการแพร่กระจายคลื่นของโมดูลอาร์เอฟ คณะผู้จัดทำศึกษารูปแบบการแพร่กระจายคลื่นจากเว็บไซค์ www.es.com เพื่อเปรียบเทียบแสดงทิศทางการแพร่กระจายคลื่นของโมดูลอาร์เอฟและจากข้อมูลของโมดูลการใช้งานระบุไว้ว่ามีความถี่การใช้งาน 2.4 กิกะเฮิรตซ์ มีสายอากาศเป็นแบบสตริป การแพร่กระจายคลื่นระดับสายตา ดังนั้นการวางตำแหน่งทิศทางโมดูลควรติดตั้งในแนวเดียวกันและไม่มีสิ่งกีดขวางจึงจะให้งานได้อย่างเต็มประสิทธิภาพ (www.laipac.com)

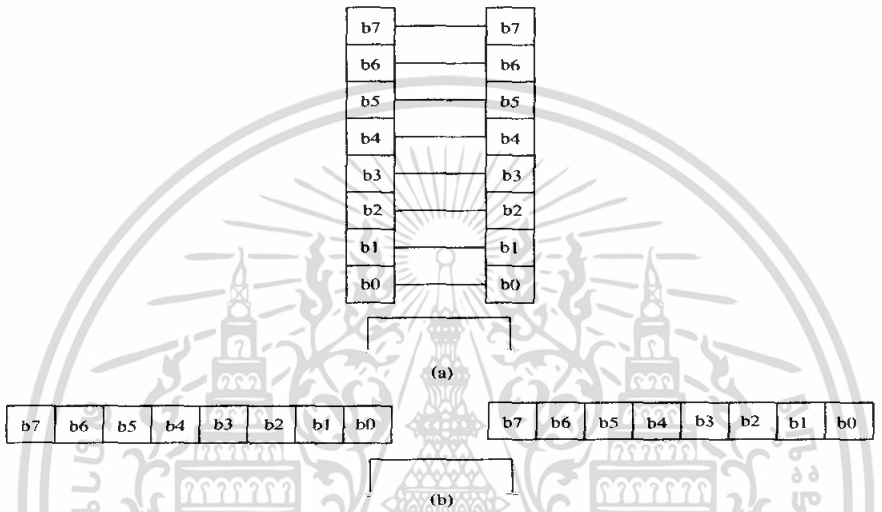
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การสื่อสารข้อมูล

การสื่อสารข้อมูลคือ ขบวนการในการแลกเปลี่ยนข้อมูลหรือข่าวสาร ซึ่งประกอบด้วย ผู้ส่ง (Sender) ผู้รับ (Receiver) และตัวกลางในการส่งข้อมูล (Medium) โดยที่ข้อมูลที่ทำการสื่อสารกันจะอยู่ในรูปของสัญญาณดิจิตอล (Digital) คืออยู่ในรูปของเลขฐานสอง ซึ่งอาจอยู่ในรูปรหัสตัวอักษร ตัวเลข หรือเครื่องหมาย รหัส ASCII (American Standard Code For Information Interchange)

2.5.1 ประเภทของการสื่อสารข้อมูล

การสื่อสารข้อมูลแบ่งเป็นการสื่อสารข้อมูลแบบอนุกรม และการสื่อสารข้อมูลแบบขนานดังรูปที่ 2.17



รูปที่ 2.17 รูปแบบการสื่อสารข้อมูล
(a) การสื่อสารข้อมูลแบบขนาน
(b) การสื่อสารข้อมูลแบบอนุกรม

2.5.1.1 การสื่อสารข้อมูลแบบขนาน

ลักษณะของการสื่อสารข้อมูลแบบขนาน จะเป็นการรับส่งข้อมูลแบบทีละไบต์ (Byte) (1 ไบต์เท่ากับ 8 บิต) ข้อมูลทั้งหมด 8 บิตจะถูกส่งออกจากอุปกรณ์ส่งไปยังอุปกรณ์รับพร้อมๆ กัน และช่องสัญญาณที่ใช้ในการรับส่งจะต้องมีอย่างน้อย 8 ช่องสัญญาณ สำหรับสัญญาณแต่ละบิตพร้อมกับมีสัญญาณควบคุมอีกหลายเส้น ในการส่งจะใช้สายเคเบิล (Cable) แบบที่มีตัวนำหลายสาย โดยที่ระยะทางระหว่างเครื่องทั้งสองไม่ควรมากเกินไป เนื่องจากสภาพความเป็นตัวเก็บประจุภายในสาย สภาพความไม่สมบูรณ์ของตัวนำภายในสาย และการที่ระดับของกราวด์ (ground) ทางไฟฟ้าที่อุปกรณ์รับผิดไปจากอุปกรณ์ส่ง สาเหตุเหล่านี้ทำให้เกิดการผิดพลาดของข้อมูลได้ ข้อดีของการสื่อสารข้อมูลแบบขนานคือสามารถรับส่งข้อมูลได้รวดเร็วและเป็นจำนวนมาก ข้อเสียคือไม่เหมาะที่จะนำไปใช้ในการสื่อสารข้อมูลระยะไกล เนื่องจากค่าใช้จ่ายของสายนำสัญญาณมีราคาแพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1.2 การสื่อสารข้อมูลแบบอนุกรม

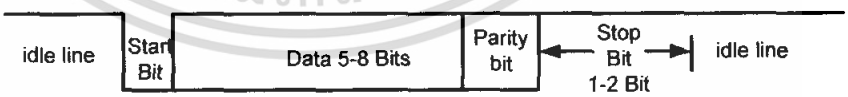
ลักษณะของการสื่อสารแบบอนุกรม ด้านส่งจะส่งข้อมูลออกจากพอร์ต (Port) เรียงกันออกไปทีละบิตและด้านรับจะรับข้อมูลเข้ามาทีละบิตและตรวจสอบบิตที่รับเข้ามาว่าบิตใดเป็นเริ่มต้น และบิตสิ้นสุดการตรวจสอบขึ้นอยู่กับรูปแบบของรหัสของบิตที่ใช้การสื่อสารแบบอนุกรมมี 2 แบบดังนี้

1. การสื่อสารข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)

ในการสื่อสารแบบอะซิงโครนัส การส่งข้อมูลแต่ละตัวอักษรไม่มีกำหนดเวลาที่แน่นอนคือแต่ละตัวอักษรห่างกันเท่าไรก็ได้หรือจะส่งติดต่อกันไปตลอดก็ได้ ดังนั้นเพื่อให้ผู้รับแยกออกได้ว่าข้อมูลแต่ละตัวเริ่มต้นเมื่อใด ในการส่งข้อมูลแต่ละตัวหรือแต่ละไบต์นั้นจะมีสัญญาณสำหรับตรวจสอบบิตแรกภายในตัวมันเอง โดยแต่ละไบต์จะถูกเพิ่มโดยบิตเริ่มต้น (Start Bit) ก่อนสิ้นสุดบิตก็ได้ ดังนั้นระยะเวลาระหว่างข้อมูลแต่ละไบต์ก็ไม่จำเป็นต้องแน่นอนเพราะอุปกรณ์รับจะตรวจสอบทีละไบต์เท่านั้น โดยขณะไม่มีการส่งข้อมูลสภาพลอจิก (logic) จะเป็น " 1 " อุปกรณ์รับจะคอยตรวจสอบการเปลี่ยนลอจิกจาก " 1 " เป็น " 0 " เมื่อมีการกำหนดให้บิตเริ่มต้นมีลอจิกเป็น " 0 " ซึ่งหมายถึงบิตที่ตามมาเป็นบิตแรกของไบต์นั้น รูปแบบของการจัดเรียงบิตในการสื่อสารแบบอะซิงโครนัสแสดงดังรูปที่ 2.18 (a)

2. การสื่อสารข้อมูลแบบซิงโครนัส (Synchronous Transmission)

การสื่อสารข้อมูลแบบซิงโครนัส หมายถึง การสื่อสารแบบอนุกรมที่มีการกำหนดจำนวนของอักขระที่จะส่งในแต่ละครั้งเป็นจำนวนที่แน่นอนเรียกว่า เฟรมข้อมูล (Data Frame) การส่งข้อมูลแบบนี้จะต้องมีการส่งสัญญาณนาฬิกา (clock) ไปพร้อมๆ กับสัญญาณข้อมูล ในการส่งข้อมูลระยะสั้นๆ สัญญาณนาฬิกาซึ่งใช้เป็นสัญญาณซิงค์อาจจะส่งแยกไปในสายส่งข้อมูลก็ได้ แต่ถ้าเป็นการส่งข้อมูลระยะไกลๆ แล้วสัญญาณนาฬิกาจะถูกเข้ารหัสส่งรวมไปกับสัญญาณข้อมูลในสายส่งเดียวกัน การส่งแบบซิงโครนัสข้อมูลจะเรียงติดกันไปโดยไม่มีบิตเริ่มต้นและบิตของข้อมูลบล็อกหนึ่งๆ(ในแต่ละบล็อกจะประกอบด้วยข้อมูลหลายชุด) จะแสดงจุดเริ่มต้นและจุดสิ้นสุดของข้อมูลเท่านั้น เพราะฉะนั้นถ้ามีการส่งข้อมูลเราจะเพิ่ม Framing Character เข้ารวมในแต่ละบล็อก (Block) ข้อมูลซึ่งแสดงในรูปที่ 2.18 (b)



(a)

Openning Flag 01111110	Address 8bits	Control 8bits	Data Field	CRC1	CRC2	Closing Flag 01111110

(b)

รูปที่ 2.18 การสื่อข้อมูลแบบอนุกรม

(a) การส่งข้อมูลอนุกรมแบบอะซิงโครนัส

(b) การส่งข้อมูลอนุกรมแบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบระหว่างการสื่อสารข้อมูลแบบอนุกรมกับการสื่อสารข้อมูลแบบขนาน

1. ระยะทาง การสื่อสารข้อมูลแบบขนาน ปกติจะน้อยกว่า 100 ฟุต ส่วนในการสื่อสารแบบอนุกรมมากกว่า 100 ฟุต

2. ความเร็วของการสื่อสารข้อมูลแบบขนานจะมีอัตราความเร็วสูงมากในระยะทางที่ไม่ไกลมากนัก ส่วนในการสื่อสารแบบอนุกรมจะมีอัตราความเร็วของข้อมูลอยู่ในช่วง 0 – 2 ล้านบิตต่อวินาที

3. ระดับของสัญญาณการสื่อสารแบบขนาน การอินเตอร์เฟส (Interface) จะใช้ระดับของสัญญาณที่ใช้กับอุปกรณ์ TTL คือสัญญาณลอจิก 1 และ 0 จะแทนด้วยระดับแรงดัน +5 โวลท์ และ 0 โวลท์ ตามลำดับ ส่วนการสื่อสารแบบอนุกรมจะใช้มาตรฐาน EIA-RS232C คือมีระดับสัญญาณไฟฟ้าขนาด $\pm$ 12 โวลท์ หรืออาจจะใช้มาตรฐาน 20 mA Current Loop

4. ความผิดเพี้ยนของสัญญาณ การสื่อสารข้อมูลแบบขนานถ้ามีระยะทางไกลๆ จะมีข้อมูลผิดเพี้ยนได้ง่าย ส่วนการสื่อสารข้อมูลแบบอนุกรมการผิดเพี้ยนของข้อมูลจะมีน้อยกว่า

5. ค่าใช้จ่าย การสื่อสารข้อมูลแบบขนานถ้าส่งในระยะทางไกลๆ จะสิ้นเปลืองค่าใช้จ่ายมาก ส่วนการสื่อสารแบบอนุกรมจะสิ้นเปลืองน้อยกว่า แม้ว่าจะใช้อุปกรณ์เปลี่ยนสัญญาณจากข้อมูลแบบขนานไปเป็นอนุกรม และจากข้อมูลแบบอนุกรมไปเป็นขนานในการสื่อสารข้อมูล เพราะใช้จำนวนสายน้อยกว่าจึงทำให้มีราคาลงทุนต่ำกว่า

2.5.2 ช่องทางการสื่อสาร (Communication Channeling)

รูปแบบในการสื่อสารข้อมูลมี 3 แบบ ที่สามารถใช้เป็นช่องทางการสื่อสารที่อยู่ระหว่างสองอุปกรณ์ที่เรียกว่า ซิมเพล็กซ์ (Simplex) ฮาร์ฟดูเพล็กซ์ (Half-Duplex) และฟูลดูเพล็กซ์ (Full-Duplex) ซึ่งอธิบายในส่วนย่อยดังนี้

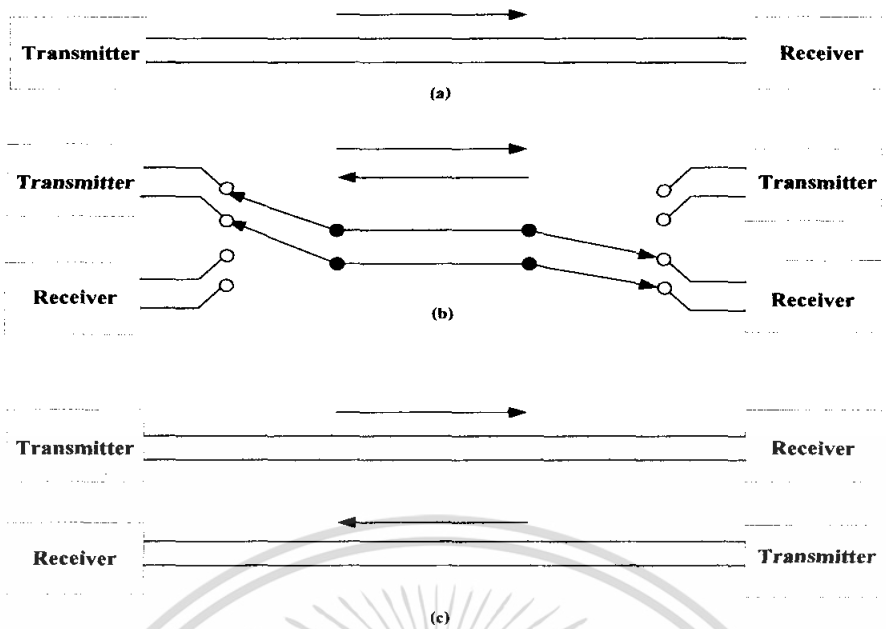
2.5.2.1 ซิมเพล็กซ์

ที่เรียกกันว่าการสื่อสารทางเดียว การสื่อสารแบบซิมเพล็กซ์เป็นการทำงานในทิศทางเดียวเท่านั้นดังรูปที่ 2.19 (a) และก็ต้องการช่องทางการสื่อสาร พื้นฐานการสื่อสารแบบซิมเพล็กซ์ คือ ธุรกิจวิทยุกระจายเสียงทั่วไป ข้อมูลข่าวสารจะไหลไปในทิศทางเดียวจากผู้ประกาศไปยังผู้ฟัง ผู้ฟังจะไม่สามารถใช้เครื่องรับวิทยุเพื่อตอบสนองไปยังผู้ประกาศได้ และตัวอย่างการสื่อสารข้อมูลแบบซิมเพล็กซ์คือการอินเตอร์เฟสระหว่างคอมพิวเตอร์และเครื่องพิมพ์ (Printer) ข้อมูลจะส่งจากคอมพิวเตอร์ไปยังเครื่องพิมพ์เท่านั้น เครื่องพิมพ์ไม่สามารถส่งข้อมูลกลับมายังคอมพิวเตอร์ได้

2.5.2.2 ฮาร์ฟดูเพล็กซ์

การสื่อสารแบบฮาร์ฟดูเพล็กซ์สามารถทำการรับส่งได้ในแต่ละทิศทาง แต่จะทำในทิศทางเดียวที่เวลานั้น สามารถทำการสื่อสารสองช่องทางสลับกัน การสื่อสารแบบฮาร์ฟดูเพล็กซ์ต้องการช่องทางที่สามารถทำการสวิตช์ (Switch) เพื่อเปลี่ยนทิศทาง ตัวอย่างของการสื่อสารแบบฮาร์ฟดูเพล็กซ์คือระบบวิทยุสองทางเช่น เมื่อคนหนึ่งส่งอีกคนก็ทำการรับ เมื่อต้องการเปลี่ยนทิศทางของการสื่อสาร คนที่ทำการส่งต้องสวิตช์ที่โหมดรับ (Receive Mode) และคนซึ่งทำการรับก็ต้องสวิตช์ที่โหมดส่ง (Transmit Mode) ดังรูปที่ 2.19 (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 การสื่อสารข้อมูลแบบต่างๆ
(a) การสื่อสารแบบซิมเพล็กซ์
(b) การสื่อสารแบบฮาล์ฟดูเพล็กซ์
(c) การสื่อสารแบบฟูลดูเพล็กซ์

2.5.2.3 ฟูลดูเพล็กซ์

การสื่อสารแบบฟูลดูเพล็กซ์จะทำได้ในสองทิศทางในเวลาเดียวกัน ฟูลดูเพล็กซ์ต้องการช่องทางการสื่อสารสองช่องทางเพื่อนำพาข้อมูลข่าวสารในแต่ละทิศทาง การสื่อสารแบบฟูลดูเพล็กซ์เป็นพื้นฐานระหว่างคอมพิวเตอร์ รูปที่ 2.19 (c) แสดงถึงหลักการช่องทางการสื่อสารทั้งสองยอมให้แต่ละอุปกรณ์ปลายทางสามารถส่งและรับในเวลาเดียวกัน

2.5.3 พอร์ตสื่อสารข้อมูลแบบอนุกรม

พอร์ตสื่อสารข้อมูลแบบอนุกรมใน MCS-51 ประกอบด้วยรีจิสเตอร์ขนาด 8 บิตจำนวนสองตัว แต่ละตัวมีชื่อเรียกดังนี้

2.5.3.1 รีจิสเตอร์สำหรับข้อมูล ใช้รับข้อมูลที่ส่งเข้ามาจากภายนอก

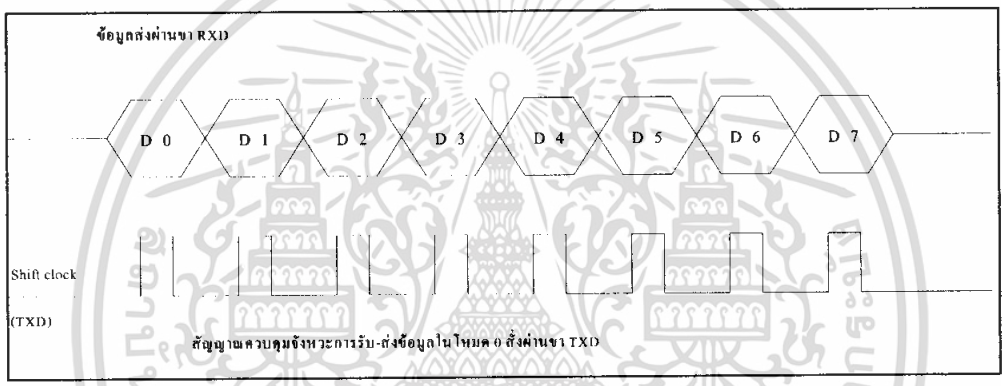
2.5.3.2 รีจิสเตอร์สำหรับส่งข้อมูลใช้ส่งข้อมูลจาก MCS-51 ออกไปภายนอก

รีจิสเตอร์ทั้งสองมีตำแหน่งแอดเดรสเดียวกันในรีจิสเตอร์ใช้งานเฉพาะคือตรงกับตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะ SBUF (ตำแหน่ง 99H) ในหน่วยความจำสำหรับเก็บข้อมูลภายในชิพที่ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะการเข้าถึงข้อมูล ในรีจิสเตอร์แต่ละตัว MCS-51 จะทราบเองว่าต้องการติดต่อกับรีจิสเตอร์ตัวใดโดยตรวจสอบจากรหัสคำสั่ง เพราะในการเขียนข้อมูลไปไว้ในรีจิสเตอร์ใช้งานเฉพาะ SBUF หมายถึงการโหลดข้อมูลไปที่รีจิสเตอร์สำหรับส่งข้อมูลเพื่อส่งข้อมูลออกไปภายนอกส่วนการอ่านข้อมูลจากรีจิสเตอร์ใช้งานเฉพาะ SBUF จะหมายถึงค่าที่รับเข้ามาได้จากภายนอกที่เก็บไว้ในรีจิสเตอร์สำหรับข้อมูลมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

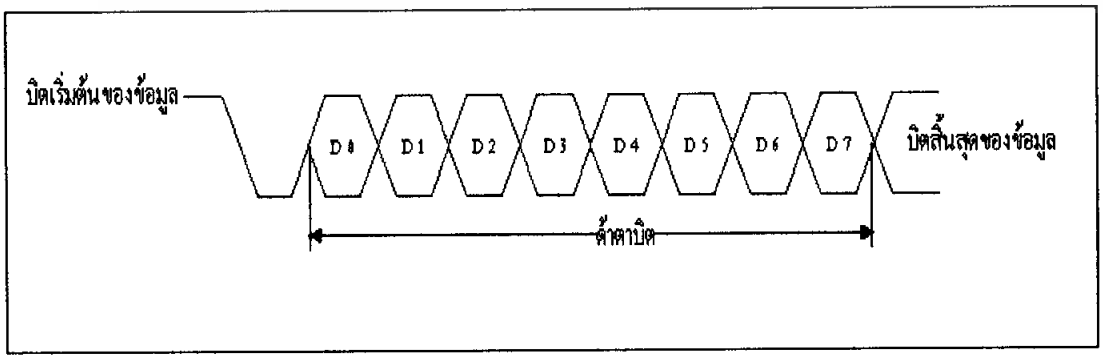
งาน หน้าที่พิเศษเหล่านี้จะใช้ได้ก็ต่อเมื่อค่าในบิตแลตช์ของพอร์ตในบิตนั้นๆ มีค่าเป็น "1" มิฉะนั้นที่ขาของพอร์ตภายนอกชิพจะมีค่าเป็น 0

การใช้งานพอร์ตสื่อสารข้อมูลแบบอนุกรมใน MCS-51 มีความสะดวกและคล่องตัวสูงเพราะสามารถกำหนดการทำงานที่แตกต่างกันได้ 4 ประเภท โดยสามารถกำหนดได้จากค่าของบิตในรีจิสเตอร์ใช้งานเฉพาะ SCON การใช้งานที่แตกต่างกัน 4 ประเภทโหมด 0 การทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมในโหมด 0 นี้ขา RXD จะใช้สำหรับรับและส่งข้อมูล ส่วนขา TXD มีไว้เพื่อสร้างสัญญาณ shift clock เพื่อกำหนดจังหวะทำงานในการรับ และส่งข้อมูล ในโหมด 0 การรับและส่งข้อมูลจะเป็นแบบ 8 บิต โดยจะเริ่มส่งจากบิตต่ำสุดก่อน (LSB) อัตราการรับส่งข้อมูล ในการทำงานโหมด 0 จะถูกกำหนดไว้ที่ 1/12 ของความถี่ออสซิลเลเตอร์ที่ใช้ การทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมในโหมด 0 จะไม่มีบิตเริ่มต้นของข้อมูล (start bit) และบิตสิ้นสุดของข้อมูล (stop bit) เพราะจังหวะการรับและส่งข้อมูลถูกกำหนดจากสัญญาณ shift clock แล้ว



รูปที่ 2.20 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 0

จากรูปที่ 2.20 แสดงการทำงานในโหมด 1 มีการรับและส่งข้อมูลครั้งละ 10 บิต ข้อมูล จะส่งออกไปภายนอกผ่านทางขา TXD และรับข้อมูลเข้ามาทางขา RXD ข้อมูลทั้ง 10 บิต ประกอบด้วยบิตเริ่มต้นของข้อมูล 1 บิต (มีค่าเป็น 0 เสมอ) บิตข้อมูล 8 บิต (รับและส่งบิตต่ำสุดก่อน) และบิตสิ้นสุดของข้อมูลอีก 1 บิต (มีค่าเป็น 1 เสมอ) ในขณะทำการรับข้อมูล ค่าบิตสิ้นสุดของข้อมูลที่รับได้จะไปอยู่ในบิต RB8 ของรีจิสเตอร์ใช้งานเฉพาะ SCON

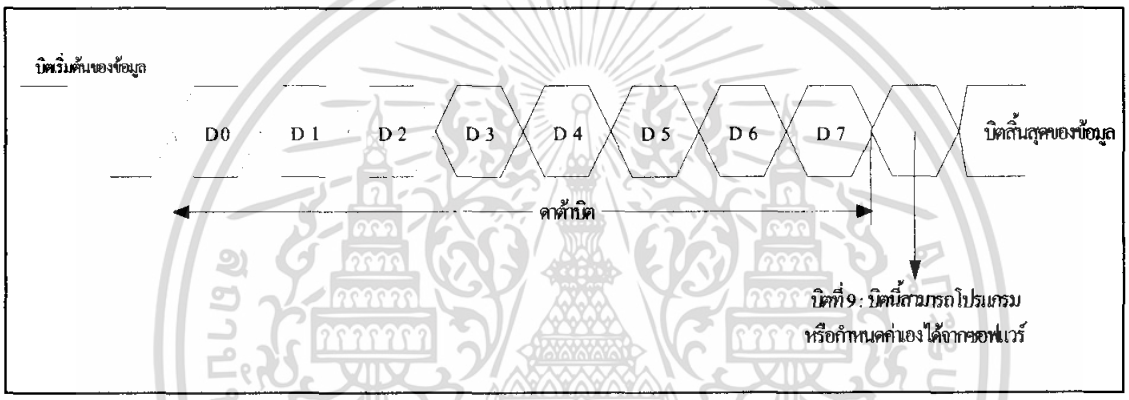


รูปที่ 2.21 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.21 การทำงานในโหมด 2 จะมีการรับและส่งข้อมูลทีละ 11 บิต ข้อมูลจะส่งออกไปภายนอกผ่านทางขา TXD และรับข้อมูลเข้ามาทางขา RXD ข้อมูลที่รับและส่งทั้ง 11 บิตประกอบไปด้วยบิตเริ่มต้นของข้อมูล (มีค่าเป็น 0 เสมอ) บิตข้อมูล 8 บิต (รับและส่งบิตต่ำสุดก่อน) ตามด้วยบิตที่ 9 (ต่อจากบิตข้อมูลสุดท้าย) ซึ่งเป็นบิตที่สามารถกำหนดให้มีค่าเป็นศูนย์หรือหนึ่งได้ และบิตสิ้นสุดของข้อมูล (มีค่าเป็น 1 เสมอ) ดังนั้นจำนวนบิตที่รับส่งทั้งหมด 11 บิตจะประกอบไปด้วยต่างๆ ดังต่อไปนี้

ในขณะทำการส่งข้อมูล บิตที่ 9 จะได้จากค่าในบิต TB8 ของรีจิสเตอร์ใช้งานเฉพาะ SCON ดังในรูปที่ 2.21 บิตนี้สามารถถูกกำหนดให้มีค่าเป็น 0 หรือ 1 ก็ได้ ส่วนใหญ่ในการใช้งานจะใช้บิตนี้สำหรับตรวจสอบความถูกต้องของข้อมูลที่รับ หรือส่ง (parity bit) โดยจะนำบิต (parity) ในรีจิสเตอร์ PSW ไปไว้ในบิต TB8 ส่วนในขณะรับข้อมูลบิตที่ 9 จะไปปรากฏอยู่มีบิต RB8 ของ รีจิสเตอร์ SCON โดยไม่สนใจบิตสุดท้ายของข้อมูล ค่าอัตราในการรับหรือส่งข้อมูลโหมดนี้ถูกกำหนดไว้ที่ 1/32 หรือ 1/64 ของความถี่ออสซิลเลเตอร์ที่ใช้



รูปที่ 2.22 ข้อมูลที่รับและส่งในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 2 และโหมด 3

จากรูปที่ 2.22 แสดงการทำงานในโหมด 3 ซึ่งข้อมูลทั้ง 11 บิตจะถูกส่งผ่านขา TXD และถูกรับเข้ามาทางขา RXD ข้อมูลทั้ง 11 บิตจะเหมือนกับโหมด 2 ทุกอย่าง แต่แตกต่างกันที่ความเร็วในการ
รับและส่งข้อมูลผู้ใช้สามารถกำหนดเองได้รีจิสเตอร์ใช้งานเฉพาะ SCON แต่ละบิตในรีจิสเตอร์ใช้งานเฉพาะ SCON ใช้สำหรับควบคุมและตรวจสอบการทำงานของพอร์ตสื่อสารอนุกรมดังนั้นจึงต้องทำความเข้าใจในการทำงานในแต่ละบิตของรีจิสเตอร์ใช้งานเฉพาะรีจิสเตอร์ SCON MCS-51 ทุกเบอร์จะมีหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิพอย่างน้อย 128 ไบต์ ไปจนถึง 256 ไบต์ ทั้งนี้ขึ้นอยู่กับเบอร์ของชิพหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิพบริเวณ 128 ไบต์แรกมีชื่อเรียกว่า lower และในบริเวณ 28 ไบต์หลังที่มีเพิ่มมามีชื่อเรียกว่า upper 128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SM0	SM1	SM2	REN	TB8	RB8	TI	RI

SCON.7 SM0 บิตเลือกการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมในโหมดต่างๆ

SCON.6 SM1 บิตเลือกการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมในโหมดต่างๆ

โหมดเลือกการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด SM0และ SM1

SM0	SM1	
0	0	โหมด 0 ทำงานเป็นชิฟท์รีจิสเตอร์มีอัตราเร็วในการรับข้อมูล หรือส่งข้อมูล เท่ากับ 1/12 ของความถี่ออสซิลเลเตอร์
0	1	โหมด 1 8 bit UART อัตราเร็วในการรับ หรือส่งข้อมูลกำหนดเองได้
1	0	โหมด 2 9 bit UART อัตราเร็วในการรับ หรือส่งข้อมูล = 1/32 sinv1/64 ของความถี่ออสซิลเลเตอร์
1	1	โหมด 3 9 bit UART อัตราเร็วในการรับ หรือส่งข้อมูลกำหนดเองได้

SCON.5 SM2 บิตการเลือกใช้งานพอร์ตสื่อสาร ข้อมูลแบบอนุกรมในโหมด 2 และ 3 เพื่อ ติดต่อระหว่าง ซีพียูด้วยกันเอง

โหมดเลือกการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด SM2

SM2	
1	ใช้พอร์ตสื่อสาร ข้อมูลแบบอนุกรมในการติดต่อระหว่างซีพียูด้วยกันเอง เมื่อข้อมูลที่ 9 ที่ได้รับมีค่าเป็น 0 (ดาต้าไบต์)บิต RI จะไม่ถูกเซตแต่หากข้อมูลบิตที่ 9 มีค่าเป็น 1 (แอดเดรสไบต์) บิต RI จะถูกเซต ใช้พอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 1 และโหมด 3 การทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 1 หากบิต SM2 ถูก เซตบิต RI จะไม่ถูกเซตจนกว่าบิตสิ้นสุดของข้อมูลจะถูกรับเข้ามาในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 0 บิตควรถูกเคลียร์ให้เป็น 0

SCON.4 REN บิตควบคุมการอนุญาตให้มีการรับข้อมูล ดังนี้

1 อนุญาตให้มีการรับข้อมูลจากภายนอกได้

2 ไม่อนุญาตให้มีการรับข้อมูลจากภายนอกได้

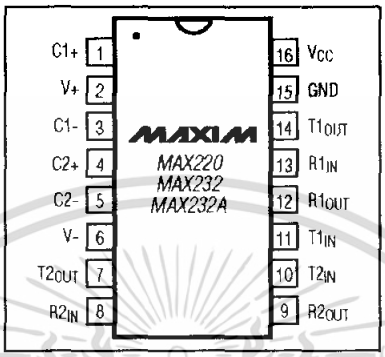
SCON.3 TB8 บิตข้อมูลบิตที่ 9 ซึ่งจะถูกส่งออกไปในการทำงานของพอร์ตสื่อสารข้อมูลแบบ อนุกรมโหมด 2 และ 3 การเซตหรือเคลียร์

SCON.2 RB8 บิตข้อมูลบิตที่ 9 ที่ได้รับเข้ามาจากภายนอกในการทำงานของพอร์ตสื่อสารข้อมูลแบบอนุกรมโหมด 2 และ 3 ส่วนในการทำงานโหมด 1 ถ้าบิตSM 2 = 0 บิตนี้จะเป็นบิตนี้จะเป็นบิตสิ้นสุดของข้อมูลที่รับเข้ามาได้และไม่ถูกกำหนดการใช้งานโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

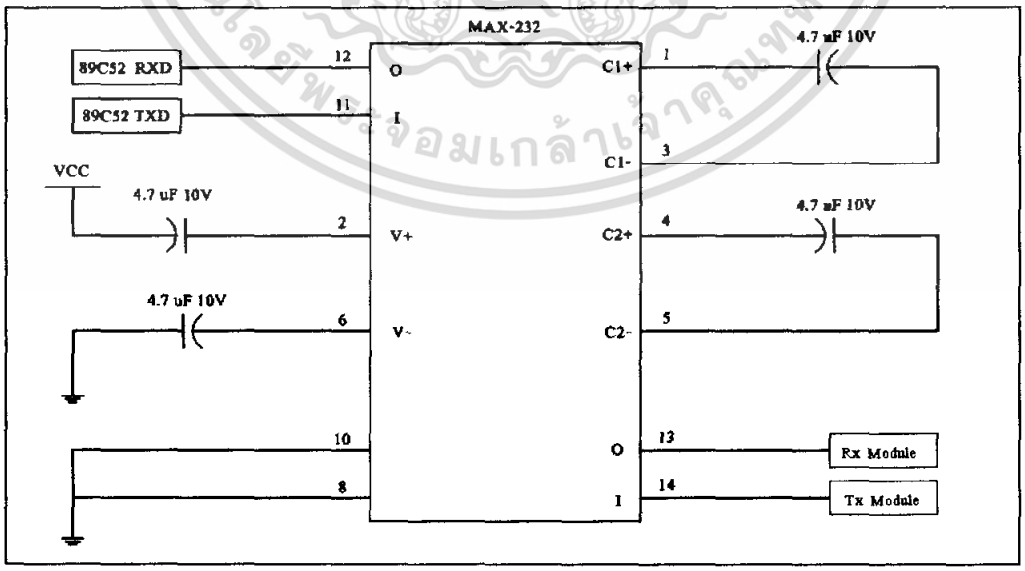
SCON.1	TI	บิตบอก สถานะสัญญาณอินเตอร์รัฟต์ที่เกิดจาก การส่งข้อมูลถูกเซต โดยฮาร์ดแวร์เมื่อข้อมูลบิตที่ 8 ถูกส่งออกไปแล้วในการทำงานโหมด 0
SCON.0	RI	บิต บอกสถานะสัญญาณอินเตอร์รัฟต์ที่เกิดจาก การส่งข้อมูลถูกเซต โดยฮาร์ดแวร์เมื่อข้อมูลบิตที่ 8 เรียบร้อยแล้วในการทำงานโหมด 0

2.5.4 ไอซีMAX-232



รูปที่ 2.23 ขาสัญญาณของไอซี MAX-232

จากรูปที่ 2.23 แสดงตำแหน่งขาของไอซีเบอร์ MAX-232 ทำหน้าที่แปลงสัญญาณมาตรฐาน RS-232 เป็นสัญญาณ TTL ในการส่งข้อมูลจากเครื่องไมโครคอมพิวเตอร์และแปลงสัญญาณ TTL เป็นสัญญาณมาตรฐาน RS-232 เนื่องจากระดับสัญญาณของไมโครคอนโทรลเลอร์ตระกูล MCS-51 อยู่ในระดับ TTL ซึ่งมีระดับแรงดันไม่เกิน 5V ดังนั้น จึงไม่สามารถเชื่อมต่อกับพอร์ตอนุกรมของ ไมโครคอนโทรเลอร์เบอร์ MCS-51



รูปที่ 2.24 การเชื่อมต่อพอร์ตกับไมโครคอนโทรลเลอร์โดยผ่านไอซี MAX-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

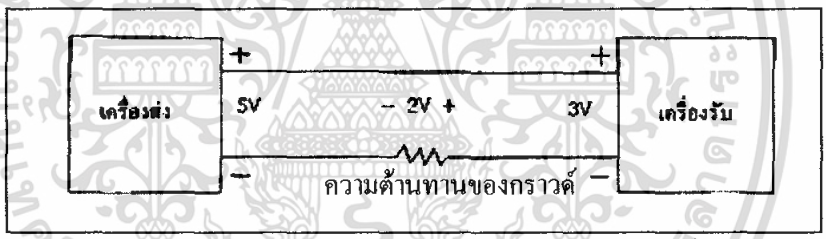
จากรูปที่ 2.24 แสดงการเชื่อมต่อพอร์ตกับไมโครคอนโทรลเลอร์โดยผ่านไอซี MAX-232โดยจะรับข้อมูลจากโมดูลเข้าที่ขา 13 ของไอซีและจะส่งข้อมูลออกไปยังโมดูลที่ขา 14 ของไอซี

2.5.5 ปัญหาของการใช้วิธีสื่อสารข้อมูลตามมาตรฐาน RS-232-C มี 3 ประการ คือ

2.5.5.1 การขับวงจรรับให้มีแรงดันแตกต่างถึง +5 และ -5 โวลต์จะต้องใช้แรงดันที่สูงกว่าหรือต่ำกว่าถึง +6 และ -6 โวลต์ตามลำดับ ทั้งนี้เนื่องจากเกิดการสูญเสียของแรงดันตกคร่อม ทรานซิสเตอร์ที่ใช้ขับ และในสายสัญญาณการกำหนด Logical Level โดยอาศัยแรงดันเป็นหลักจึงมีปัญหาเมื่อเกิดการรบกวนทางแรงดันมาก

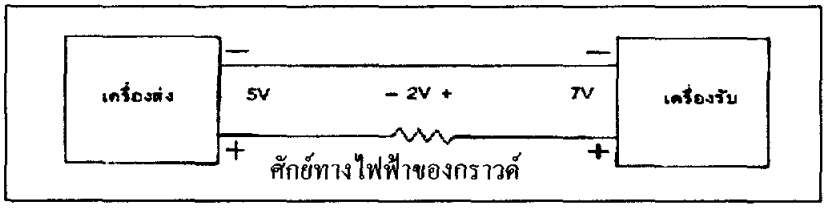
2.5.5.2 ค่าปาซิแตนซ์ในสายส่งซึ่ง EIA RS-232-C กำหนดว่าค่าคาปาซิแตนท์รวมของวงจรจะต้องไม่เกิน 2,500 pF สายส่งทั่วไปมีค่า คาปาซิแตนซ์ 40-50 pF ต่อฟุต ทำให้รัศมีการส่ง ใช้สายได้ไม่เกิน 50 ฟุต (15 เมตร)

2.5.5.3 ปัญหาเรื่องการอ้างอิงสัญญาณกราวด์ (Ground Reference) จากสัญญาณลอจิคอลกราวด์ของเครื่องส่งและเครื่องรับอาจแตกต่างกัน ซึ่งจะทำให้มีกระแสไฟฟ้าไหลในสายกราวด์ระหว่างเครื่องส่งและเครื่องรับ ซึ่งถ้าต่อสายระยะยาวจะทำให้เกิดแรงดันไฟฟ้าตกคร่อมในความต้านทานของสายและจะทำให้แรงดันไฟฟ้าที่ปรากฏทางเครื่องรับแตกต่างจากแรงดันไฟฟ้าที่เครื่องส่งส่งไปให้ ดังรูปที่ 2.25



ดังรูปที่ 2.25 ผลของความต้านทานของกราวด์ต่อสัญญาณ +5V

จากรูปที่ 2.25 แสดงการเชื่อมต่อสัญญาณโดยต่อสัญญาณที่ +5V กับกราวด์เพื่อลดปัญหาเรื่องการอ้างอิงสัญญาณกราวด์เนื่องจากสัญญาณลอจิคอลกราวด์ของเครื่องส่งและเครื่องรับ อาจแตกต่างกัน ซึ่งจะทำให้มีกระแสไฟฟ้าไหลในสายกราวด์ระหว่างเครื่องส่งและเครื่องรับ ซึ่งถ้าต่อสายระยะยาวจะทำให้เกิดแรงดันไฟฟ้าตกคร่อมในความต้านทานของสาย และจะทำให้แรงดันไฟฟ้าที่ปรากฏทางเครื่องรับแตกต่างจากแรงดันไฟฟ้าที่เครื่องส่งส่งไปให้



รูปที่ 2.26 ผลของศักย์ทางไฟฟ้าของกราวด์ต่อสัญญาณ -5V

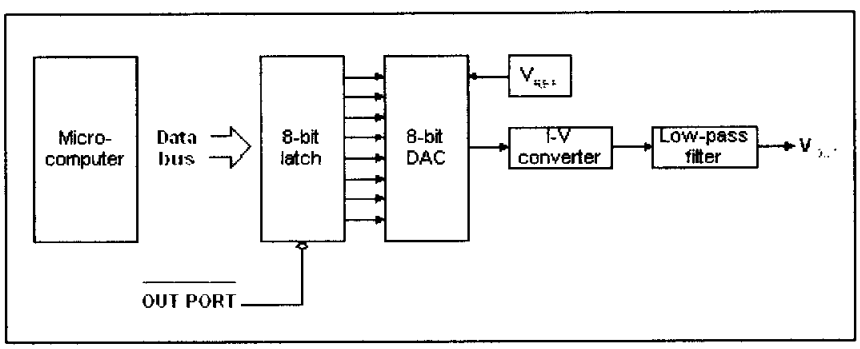
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.26 แสดงการเชื่อมต่อสัญญาณที่ปัญหาที่เกิดขึ้นมาจากการที่วงจรรับและส่งตามมาตรฐาน RS-232-C ไม่ได้วางมาตรฐานไว้สำหรับการรับส่ง ในระยะทางไกลกว่า 50 ฟุตซึ่งสมัยก่อนตั้งใจเพื่อใช้ต่อระหว่าง Modem กับ Terminal เท่านั้น เพื่อแก้ปัญหาในการติดต่อสื่อสารข้อมูลระยะไกลในรัศมีไม่เกิน 1,000 เมตร EIA (Electronics Industry Association) ได้กำหนดคุณลักษณะของการติดต่อระยะไกลขึ้นใช้ชื่อรหัส RS-422 (Electrical Characteristic of Balanced Voltage Digital Interface Circuits) มาตรฐาน RS-422 หรือ RS-422-A ถูกกำหนดขึ้นโดยสมาคมผู้ประกอบการอุตสาหกรรมอิเล็กทรอนิกส์หรือ EIA เช่นเดียวกันกับมาตรฐาน RS-232 โดยมีจุดมุ่งหมายที่จะแก้ปัญหาเรื่องความยาวของสายสื่อสาร โดยใช้การส่งสัญญาณแบบผลต่าง (Differential) แทนที่จะใช้การส่งสัญญาณแบบอ้างอิงกับจุดกราวด์ (หรือสายดิน) เช่นเดียวกันกับ RS-232 การส่งสัญญาณแบบผลต่างนี้ช่วยลดปัญหาสัญญาณรบกวนจาก 2 ปัจจัยด้วยกัน ได้แก่ ปัญหาแรงดันกราวด์ 2 ฝั่งสายไม่เท่ากัน อันเกิดจากกระแสไฟฟ้าที่ไหลในสายกราวด์ที่ยาวมากๆ ก่อให้เกิดความต่างศักย์และปัญหาสัญญาณรบกวนที่เกิดจากแม่เหล็กไฟฟ้าเหนี่ยวนำในสาย โดยหากสายไฟที่ใช้ถูกตีเกลียวและวางไว้ใกล้กัน เมื่อมีแรงดันเหนี่ยวนำจะปรากฏแรงดันรบกวนบนสายทั้งสองเท่าๆ กันเป็นผลให้ตัวรับที่อ่านความต่างศักย์ระหว่างสายอ่านข้อมูลได้เช่นเดิม ทั้งสองปัจจัยนี้เองเป็นสาเหตุที่ทำให้ความต้านทานต่อสัญญาณรบกวนของการสื่อสารแบบ RS-232 ด้อยกว่า RS-422 ตามมาตรฐาน RS-422 นี้จะใช้สายสัญญาณทั้งหมด 4 เส้น (2 เส้นสำหรับการส่งสัญญาณและอีก 2 เส้นสำหรับรับสัญญาณ) และสามารถใช้ความยาวสายสัญญาณได้ถึง 4,000 ฟุต (หรือ 1.2 กิโลเมตร) ที่ความเร็ว 100,000 บิตต่อวินาที และการสื่อสารเป็นแบบ 2 ทางพร้อมกัน (Full Duplex)

2.6 การแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก

อุปกรณ์ทางไฟฟ้าและอิเล็กทรอนิกส์โดยทั่วไปที่เป็นแอนะลอกสามารถควบคุมการทำงานโดยการให้อินพุตเป็นระดับแรงดันไฟฟ้าที่แตกต่างกันตัวอย่างเช่น มอเตอร์กระแส ตรง ซึ่งควบคุมความเร็วโดยเปลี่ยนระดับแรงดันไฟฟ้า (หรือกระแสไฟฟ้า) ของขดลวดสนาม เมื่อนำระบบดิจิตอล หรือไมโครคอนโทรลเลอร์มาใช้ควบคุมอุปกรณ์ทางแอนะลอกเหล่านี้จึงต้องมีวงจรซึ่งสามารถแปลงสัญญาณทางดิจิตอลเป็นระดับแรงดันต่อเนื่องแบบแอนะลอกตั้งแต่ศูนย์โวลต์จนถึงระดับสูงสุดที่ กำหนดไว้ เรียกว่าวงจรแปลงสัญญาณดิจิตอลให้เป็นสัญญาณแอนะลอก

2.6.1 คุณสมบัติของการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณแอนะลอก



รูปที่ 2.27 บล็อกไดอะแกรมการแปลงสัญญาณดิจิตอลเป็นแอนะลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.27 แสดงถึงบล็อกไดอะแกรมของส่วนประกอบหลักของระบบการแปลงสัญญาณดิจิตอลเป็นแอนะลอกโดยทั่วไปไมโครคอมพิวเตอร์มีเอาต์พุตเป็นค่าไบนารีวงจรแลทช์รับค่าไบนารีเข้ามาเพื่อส่งไปยังภาคแปลงสัญญาณดิจิตอลเป็นแอนะลอกในวงจรใช้แหล่งกำเนิดแรงดันไฟฟ้าหรือกระแสไฟฟ้าคงที่เพื่ออ้างอิงการแปลงข้อมูลสัญญาณไบนารีให้เป็นระดับกระแส ไฟฟ้าและจากวงจรกระแสไฟฟ้าเปลี่ยนให้เป็นระดับแรงดันไฟฟ้า (current-to-voltage converter) ซึ่งปกติจะใช้ออปแอมป์สัญญาณแอนะลอกที่ได้ผ่าน วงจร low-pass filter เพื่อกำจัดสัญญาณความถี่สูงที่แฝงอยู่ในสัญญาณที่ถูกสร้างขึ้นมา

2.6.2 การเข้ารหัส (Coding)

ในการเข้ารหัสสัญญาณที่ผ่านการสุ่มและการจัดระดับมาแล้วนั้น ส่วนใหญ่จะแปลงให้อยู่ในรูปของรหัสตัวเลขฐานสอง (Binary Code) แล้วเปลี่ยนจากข้อมูลแบบขนานให้เป็นแบบอนุกรมเพื่อสามารถลดช่องสัญญาณในการส่งข้อมูลให้เหลือเพียงช่องสัญญาณเดียวได้

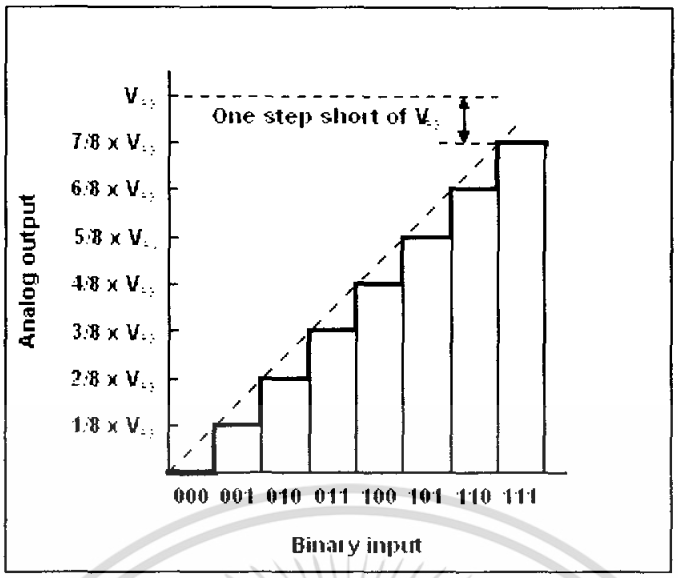
จากตารางที่ 2.11 จะแสดงการเข้ารหัสของระดับแรงดันจากการสุ่มสัญญาณขนาด 0 ถึง 5 โวลต์ และผ่านการจัดระดับสัญญาณ ซึ่งที่ระดับสัญญาณต่ำที่สุดก็จะมีขนาด 8 บิต เลขฐานสองเป็น 0000 0000 ส่วนระดับแรงดัน สูงสุดก็จะมีรหัสเลขฐานสองเป็น 1111 1111 เป็นต้น

ตารางที่ 2.4 การเข้ารหัสสัญญาณ

Vin	Binary code
0	0000 0000
0.5	0001 1101
1.0	0011 0011
1.5	0100 1011
2.0	0110 0111
2.5	1000 0000
3.0	1001 1100
3.5	1011 0010
4.0	1100 1111
4.5	1110 1001
5.0	1111 1111

จากขั้นตอนทั้งหมดของการแปลงสัญญาณแอนะลอกเป็นดิจิตอลนั้น เราสามารถกำหนดความสามารถหรือคุณภาพในการแปลงได้ด้วย ปัจจัยหนึ่งที่สำคัญมากคือความละเอียด (Resolution) ซึ่งขึ้นอยู่กับจำนวนบิตนั้นเอง แต่ในการใช้งานจริงแล้วยังมีเรื่องความเร็วในการแปลงอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 คุณลักษณะในอุดมคติของการแปลงสัญญาณดิจิตอลขนาด 3 บิตเป็นสัญญาณแอนะลอก

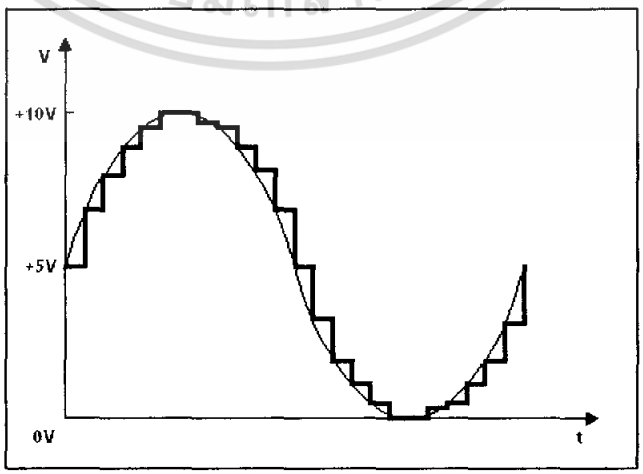
จากรูปที่ 2.28 เป็นกราฟแสดงถึงความสัมพันธ์ระหว่างเอาต์พุตที่เป็นแอนะลอกกับอินพุตที่เป็นดิจิตอลขนาด 3 บิตเรียกว่าทรานเฟอร์เคอร์ฟ สังเกตว่าเมื่ออินพุตไบนารีเพิ่มขึ้น เอาต์พุตแอนะลอกจะเพิ่มในลักษณะขั้นบันได ขนาดของแต่ละขั้นจะ หาได้จาก

สมการ Step size = VFS / 2n

เมื่อให้ VFS คือระดับแรงดันเอาท์พุตสูงสุด

n คือจำนวนบิตของอินพุต

เนื่องจากเอาต์พุตของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกจะเพิ่มเป็นขั้นๆ รูปคลื่นสัญญาณที่ได้จากการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกจึงมีลักษณะไม่เรียบดังตัวอย่าง ในรูปที่ 2.29 ซึ่งแสดงถึงสัญญาณไซน์ที่สร้างจากการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก

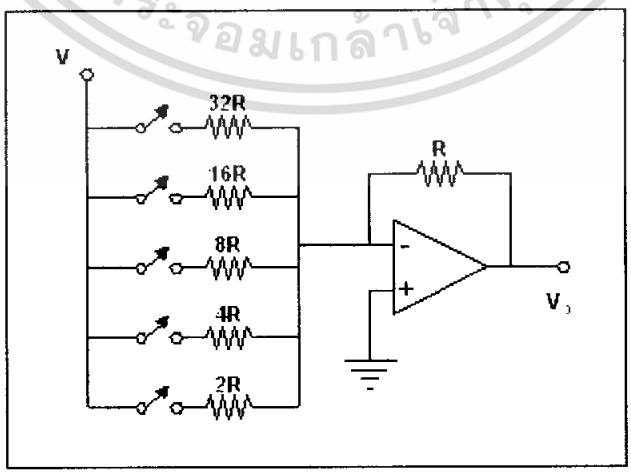


รูปที่ 2.29 คลื่นไซน์ที่สร้างจากการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.29 แสดงคลื่นไซน์ที่สร้างจากการแปลงสัญญาณแอนะลอกเป็นดิจิตอล ถ้าเพิ่มจำนวนบิตความละเอียดของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกเพิ่มขึ้น เช่น เมื่อ ใช้การแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 12 บิต และ VFS = 5.0 โวทล์ ความละเอียดคือ 5.0 โวลท์ / 4096 = 1.22 มิลลิโวลท์ ซึ่งละเอียดกว่าการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 8 บิตถึง 16 เท่า ความถูกต้องของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกขึ้นอยู่กับหลายส่วน Quantization error ของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกบิต VFS = 5.0โวลท์ V เอาต์พุตจะมีความละเอียด 19.53 มิลลิโวลท์ ถ้าต้องการเอาต์พุต 4.00 โวลท์ การแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกจะให้เอาต์พุตได้ใกล้เคียงที่สุดคือ 4.04 โวลท์ (19.53มิลลิโวลท์ x 205) ผิดพลาด 4 มิลลิโวลท์ โดยทั่วไปค่าผิดพลาดจะเท่ากับ +/- 0.5 LSB (least significant bit) ตัวอย่างเช่นการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 8 บิต ความผิดพลาดจะเป็น 1 ใน 512 หรือ +/- 0.195 % Offset and gain errors เมื่ออินพุตไบนารีเท่ากับ 0 แต่เอาต์พุตของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกไม่เป็น 0 เรียกว่า offset error และอาจเกิดร่วมกับ gain error ความผิดพลาดเหล่านี้จะทำให้คุณลักษณะในรูปที่ 2.26 โค้งขึ้นหรือลงขึ้นอยู่กับความไม่สมดุลย์ภายในภาคแปลงสัญญาณ อย่างไรก็ตาม offset error แก้ได้โดยใช้ความต้านทานปรับค่าได้ต่อไว้ภายนอก Nonlinearity คือค่าความคลาดเคลื่อนสูงสุดของทรานเฟอร์เคอร์ฟเทียบกับเส้นตรงจากจุดศูนย์และจุดสูงสุด ซึ่งจะขึ้นอยู่กับความผิดพลาดของส่วนประกอบภายในภาคแปลงสัญญาณใน data sheet ของการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก ระบุเป็นเปอร์เซ็นต์เทียบกับค่าสูงสุด หรือ ระบุเป็นเศษส่วนของ LSB (โดยทั่วไปคือ +/- 0.5 LSB) Setting time คือช่วงเวลาตั้งแต่ให้อินพุตจนกระทั่งการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกให้เอาต์พุตวัดเมื่อเอาต์พุตที่ได้ผิดพลาดจากค่าจริงน้อยกว่า 0.5 LSB ค่าเวลานี้อาจน้อยกว่า 100 นาโนวินาที สำหรับการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกความเร็วสูงและอาจมากกว่า 100 ไมโครวินาที สำหรับการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกราคาถูก

2.6.3 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Summed Source

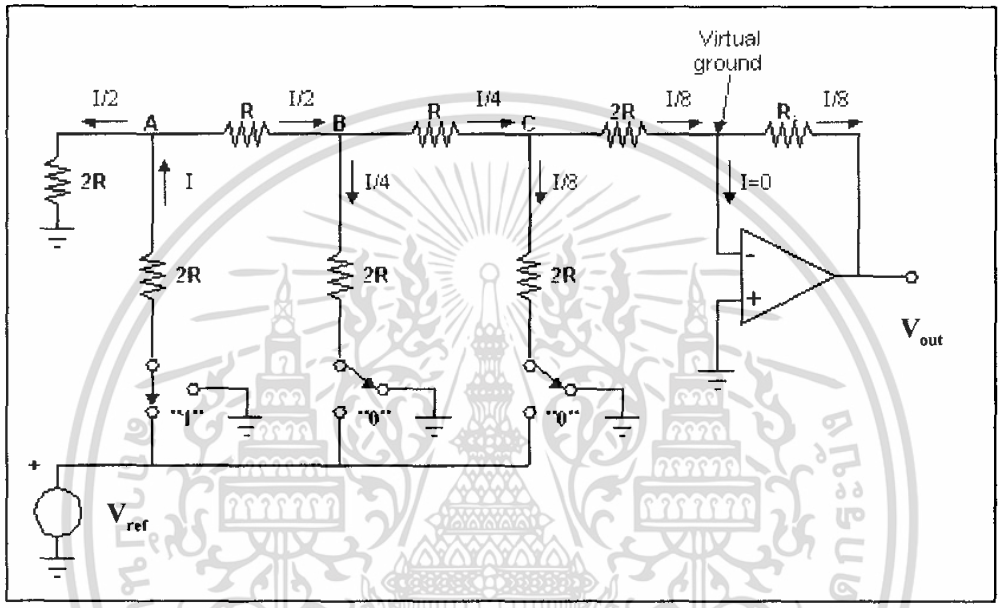


รูปที่ 2.30 วงจร Summed Source DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.30 เป็นวงจรอย่างง่ายในการแปลงสัญญาณดิจิตอลเป็นแอนะลอก จะเห็นว่าเป็นวงจร Summing Amp มีความต้านทานค่า 2R, 4R และ 8R เพื่อทำให้กระแสที่ผ่านความต้านทานแต่ละตัวมีค่าลดลงเป็น 2 เท่าความต้านทานตัวล่างสุด (2R) จะเป็น MSB ส่วนตัวบนสุดจะเป็น LSB ข้อเสียของการใช้วงจรลักษณะนี้ในทางปฏิบัติค่าความต้านทานที่ต่างกันเป็น 2 เท่า คือ 2R, 4R, 8R, ... จะ ไม่สามารถหาได้ง่ายจึงมีการปรับปรุงเป็น วงจร R-2R

2.6.4 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Switched Voltage R-2R



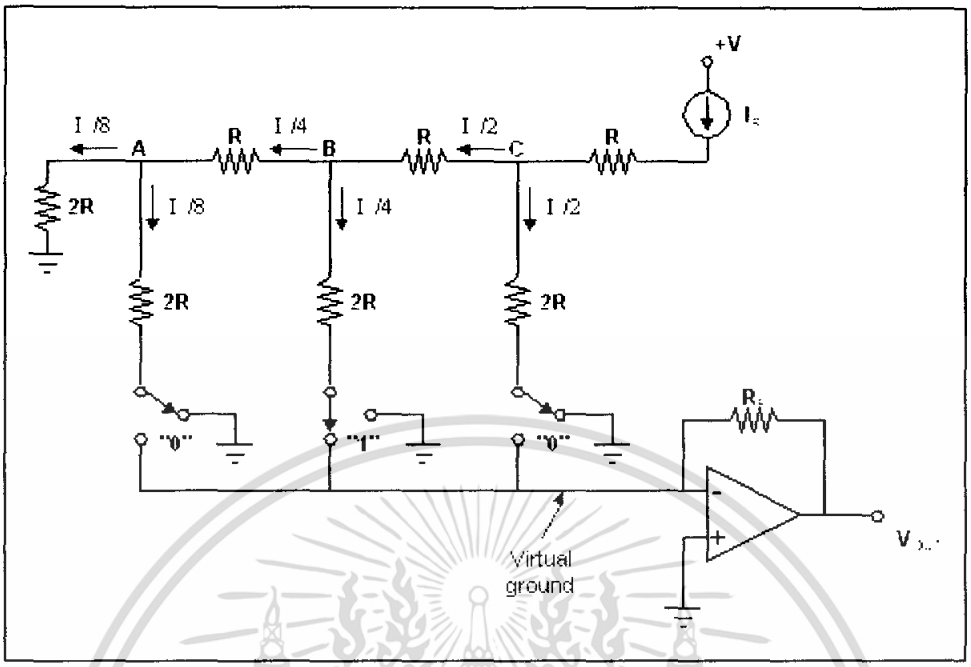
รูปที่ 2.31 วงจร Switched Voltage R-2R DAC

จากรูปที่ 2.31 แสดงวงจรการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอก 3 บิต ใช้ออปแอมป์และความต้านทาน เพียง 2 ค่าคือ R และ 2R สังเกตว่าอินพุตดิจิตอลจะมาจากสวิตช์ทั้ง 3 ซึ่งอาจต่อกับกราวด์ (ลอจิก 0) หรือต่อกับ VREF (ลอจิก 1) ตัวอย่าง นี้อินพุตเป็น 001

พิจารณากระแส I เมื่อผ่านจุด A จะถูกแบ่งเป็นสองส่วนเท่าๆ กันเหลือ I/2 เมื่อผ่านจุด B และ C จะถูกแบ่งอีกครั้ง เหลือ I/4 และ I/8 ตามลำดับ ดังนั้นกระแสที่ป้อนให้กับออปแอมป์จะเหลือ I/8 เมื่อพิจารณาที่สวิตช์ตัวอื่นๆ ก็จะมีลักษณะคล้ายกัน ดังนั้นกระแสที่ผ่านออปแอมป์เมื่อปิดสวิตช์อื่นนับจากซ้ายมาขวา จะมีขนาด I/8, I/4 และ I/2 ตามลำดับ สวิตช์ซ้ายสุดจะเป็น LSB ส่วนขวาสุดจะเป็น MSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.5 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Switched Current R-2R

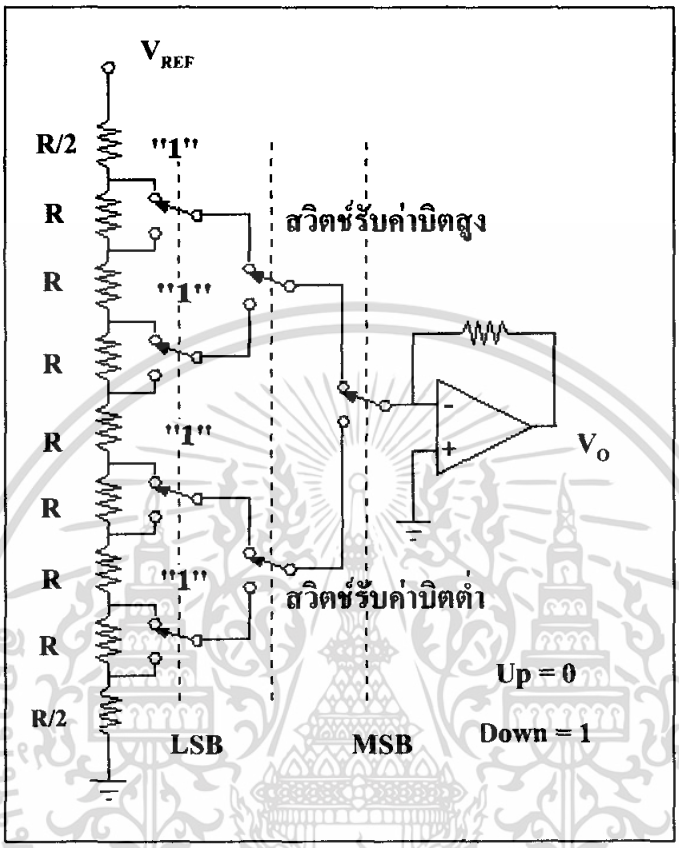


รูปที่ 2.32 วงจร Switched Current R-2R DAC

จากรูปที่ 2.32 วงจรนี้เปลี่ยนจากการใช้แรงดันอ้างอิง (VREF) มาเป็นกระแสอ้างอิง (IR) กระแสที่ ผ่านสวิตช์แต่ละตัวจากขวามาซ้ายจะเป็น IR/2, IR/4 และ IR/8 ตามลำดับ วงจร ลักษณะนี้จะมีความเร็วสูงกว่าวงจร Switched Voltage เนื่องจาก คาปาซิแตนซ์ที่รอยต่อ (junction capacitance) ของความต้านทานแต่ละตัวจะไม่ถูกประจุและคายประจุเหมือนวงจร Switched Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกแบบ Switched Pole



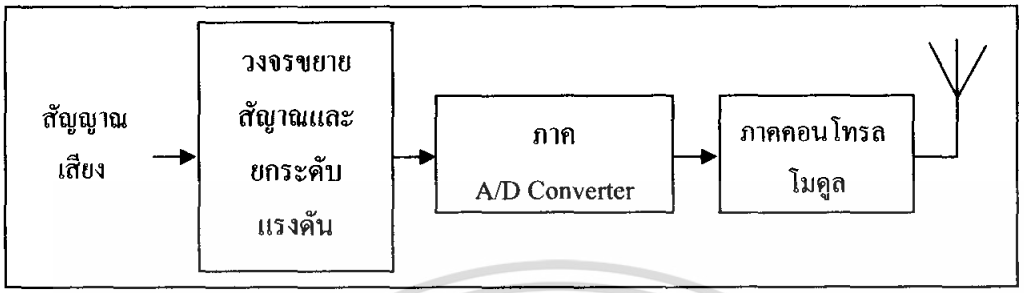
รูปที่ 2.33 วงจร Switched Pole DAC

จากรูปที่ 2.33 แสดงวงจร Switched Pole DAC จากวงจรใช้ความต้านทานต่ออนุกรมกันหลายตัวเนื่องจากวงจรนี้ต้องการตัวต้านทานค่าเท่าๆ กัน ดังนั้นจึงเป็นที่นิยมสำหรับ ผู้ผลิต Integrated Circuit สังเกตว่าจะมีตัวต้านทานที่ปลายทั้งสองต่ออนุกรมเพื่อปรับ offset ของเอาต์พุต ตัวอย่างอินพุตดิจิตอล 1 1 1 1 รับค่าจากสวิตช์ทั้งสี่ ที่ต่อกับตัวต้านทาน ศักย์ไฟฟ้าของตัวต้านทานบนสุดเทียบกับกราวด์เป็นตัวต้านทาน MSB ศักย์ไฟฟ้าของตัวต้านทานล่างสุดเทียบกับกราวด์มีค่าน้อยที่สุดเป็นตัวต้านทาน LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

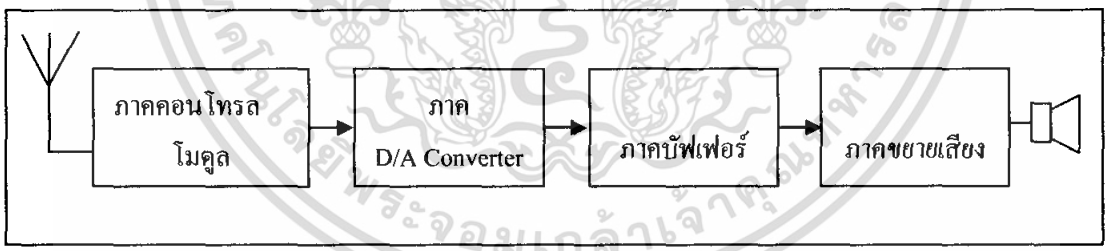
บทที่ 3
การออกแบบและการสร้าง

3.1 การออกแบบและการสร้างส่วนของอุปกรณ์ฮาร์ดแวร์



รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่งสัญญาณ

จากรูปที่ 3.1 ภาคส่งสัญญาณมีกระบวนการทำงานคือ สัญญาณเสียงจากภาคมิกเซอร์เข้าสู่วงจรยกระดับแรงดันให้มีการเปลี่ยนแปลงระดับแรงดันตั้งแต่ 0 ถึง 2.5 โวลท์ เพื่อเป็นแรงดันอ้างอิงตามคุณสมบัติให้กับภาคแปลงสัญญาณแอนะลอกเป็นดิจิตอลของไมโครคอนโทรลเลอร์ สัญญาณแอนะลอกที่ผ่านกระบวนการแปลงเป็นสัญญาณดิจิตอลแล้วจึงเข้าสู่ภาคคอลโทรลโมดูล เมื่อภาคคอลโทรลโมดูลทำการตรวจสอบการติดต่อไปยังเครื่องรับ จากนั้นภาคคอลโทรลโมดูลจึงทำการส่งแอดแดรสของปลายทางตามด้วยส่งข้อมูลสัญญาณเสียงที่เป็นสัญญาณดิจิตอล



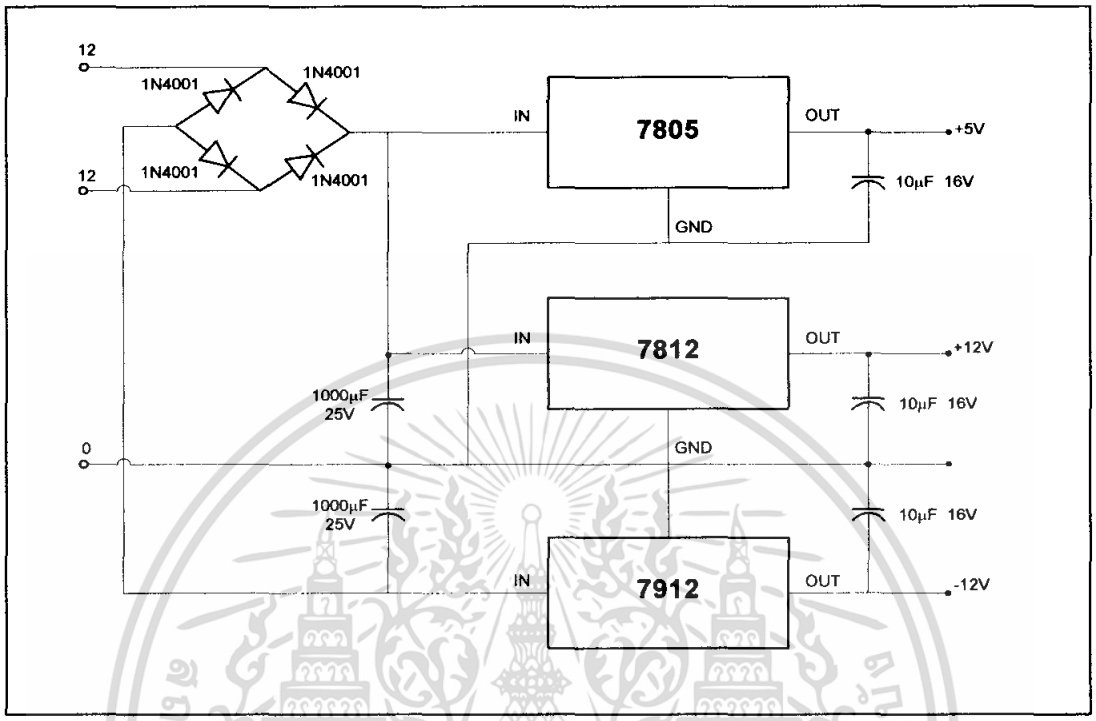
รูปที่ 3.2 บล็อกไดอะแกรมของภาครับสัญญาณ

จากรูปที่ 3.2 ในส่วนของภาครับสัญญาณประกอบด้วยส่วนของภาคคอลโทรลโมดูล ทำหน้าที่ตรวจสอบแอดเดรสสัญญาณดิจิตอลที่รับเข้ามาว่าสัญญาณมีแอดเดรสของเครื่องรับตรงตามค่ากำหนดสภาวะการทำงาน (ค่า *configuration*) แล้วแปลงกลับเป็นสัญญาณข้อมูลตามที่ได้รับมาเข้าสู่ภาคตัดความถี่เพื่อแบ่งย่านความถี่ไปใช้งานจากนั้นส่งให้ภาคขยายสัญญาณเพื่อให้สัญญาณมีขนาดใหญ่พอที่จะขับสัญญาณเสียงออกทางลำโพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การออกแบบและการสร้างอุปกรณ์ทางฮาร์ดแวร์ของภาคส่งสัญญาณ

3.1.1.1 การออกแบบวงจรแหล่งจ่ายไฟ



รูปที่ 3.3 วงจรแหล่งจ่ายไฟ

จากภาพรูปที่ 3.3 แสดงวงจรแหล่งจ่ายไฟของโครงงาน โดยไฟฟ้ากระแสสลับ 220 VAC ผ่านหม้อแปลงเซ็นต์เซอร์แท็ป (center tab) เพื่อลดระดับแรงดันกระแสสลับให้เหลือแรงดันไฟ 12 VAC เข้าสู่ภาคเร็คติไฟเออร์ประกอบด้วยไดโอดบริดจ์และตัวเก็บประจุ ได้เป็นแรงดันไฟกระแสตรง 16.968 V หรือประมาณ 17 V ได้จากการแปลงไฟฟ้ากระแสสลับด้วยวงจรไดโอดบริดจ์ดังสมการนี้

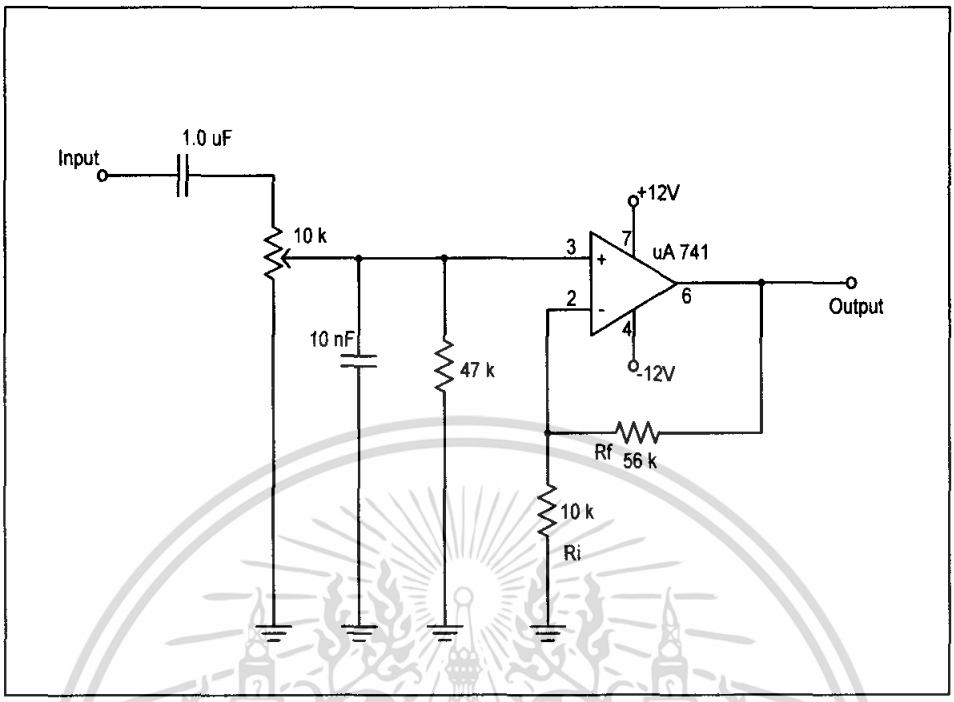
สมการ $VAC \times \sqrt{2}$ = แรงดันไฟกระแสตรง

ได้แรงดันไฟกระแสตรง = 16.968 V

แรงดันไฟกระแสตรง 16.968 V เข้าสูวงจรเรกกูเลเตอร์ใช้เบอร์ 7812 และเบอร์ 7912 ทำหน้าที่ลดระดับแรงดันเป็นแรงดันบวก 12 V และลบ 12 V เพื่อเป็นไฟเลี้ยงให้แก่ออปแอมป์เบอร์ uA 741 ขยายสัญญาณในวงจรแอมป์และแรงดันไฟตรง 16.968 V หรือประมาณ 17 V จากวงจรเร็กติไฟเออร์ให้กับไอซีเรกกูเรเตอร์เบอร์ 7805 เพื่อนำแรงดันไฟตรง 5 V เป็นไฟเลี้ยงวงจรให้ไมโครคอนโทรลเลอร์และโมดูลโดยคาปาซิเตอร์ที่ใช้ในวงจรทุกตัวมีไว้เพื่อบายพาสแรงดันไฟฟ้ากระแสสลับลงกราวด์เพื่อความเรียบของแรงดันไฟฟ้ากระแสตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.2 การออกแบบวงจรขยายสัญญาณเสียง



รูปที่ 3.4 วงจรขยายสัญญาณเสียง

จากรูปที่ 3.4 แสดงวงจรขยายสัญญาณเสียงหรือวงจรปรีแอมป์ ใช้ทำการขยายสัญญาณเสียง ซึ่งเป็นสัญญาณอนาล็อกเป็นสัญญาณอินพุตเข้าสู้ภาคปรีแอมป์เพื่อทำการขยายสัญญาณภาคปรีแอมปประกอบด้วยออปแอมป์เบอร์ uA 741 ใช้เป็นตัวขยายสัญญาณจากนั้นสัญญาณอนาล็อกที่ถูกขยายสัญญาณแล้วจะเข้าสู่วงจรยกระดับสัญญาณคำนวณค่าแรงดันที่ถูกขยายแล้วได้จากสมการของการต่อออปแอมป์เป็นวงจรขยายแบบนอนอินเวิร์ตติ้ง (noninverting) คือ ไม่มีการกลับเฟสสัญญาณ

สมการ $V_{Out} = \left[\left(\frac{RF}{Ri}\right)+1\right]Vi$

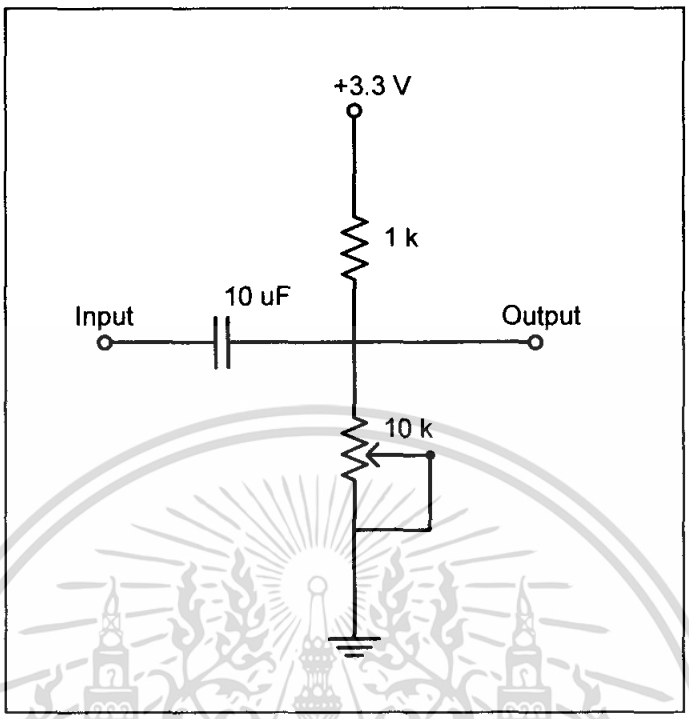
เนื่องจากสัญญาณเสียงที่เข้าสู่วงจรปรีแอมป์มีขนาดเล็กมากเช่นให่สัญญาณเสียงมีขนาด 0.227 V สามารถคำนวณสัญญาณเอาท์พุตจากสมการดังนี้

แทนค่า $V_{Out} = \left[\left(\frac{56\times10^{3}}{10\times10^{3}}\right)+1\right]0.227$

ได้รับแรงดันเอาท์พุต = 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.3 การออกแบบวงจรยกระดับแรงดัน



รูปที่ 3.5 การต่อตัวต้านทานแบบแบ่งแรงดันเพื่อยกระดับแรงดัน

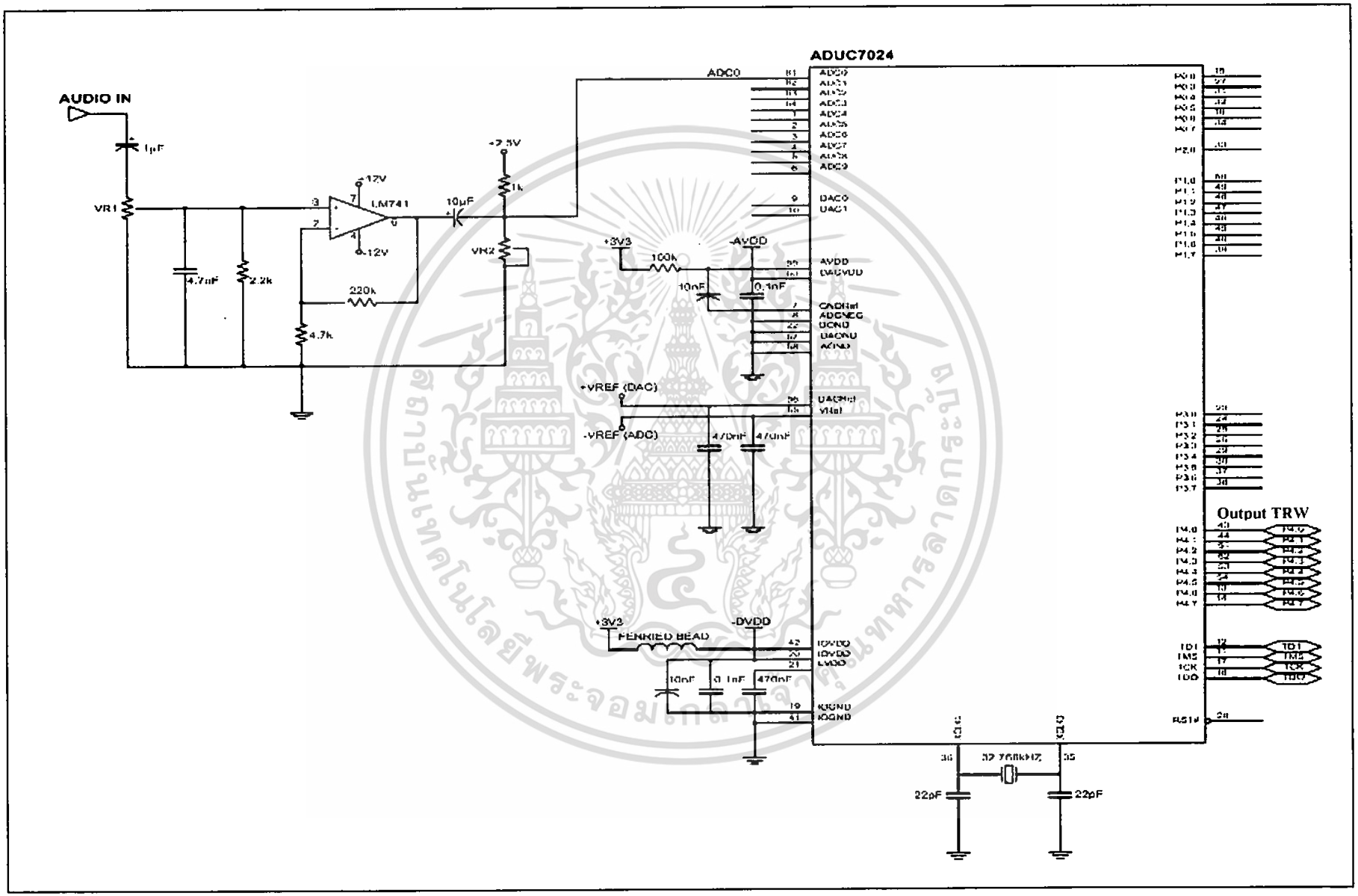
จากรูปที่ 3.5 ใช้ตัวต้านทานสองตัวต่อเป็นวงจรแบ่งแรงดันโดยใช้ตัวเก็บประจุเป็นตัวกันไฟตรงย้อนกลับไปยังเครื่องมิกเซอร์ การต่อตัวต้านทานแบบแบ่งแรงดันทำให้สัญญาณยกระดับแรงดันอ้างอิงจากระดับอ้างอิงที่ 0 โวลต์ เป็น 1.25 โวลต์ ทำให้แรงดันมีระดับตั้งแต่ 0 ถึง 2.5โวลต์ เนื่องจากข้อกำหนดของภาคแปลงแอนะลอกเป็นสัญญาณดิจิตอล ต้องการแรงดันอินพุต (ADC0) 0 ถึง 2.5 โวลต์

3.1.1.3 วงจรรวมภาคส่งสัญญาณ

รูปที่ 3.6 เป็นวงจรภาคส่งสัญญาณ มีหลักการทำงาน โดยสัญญาณเสียงจ่ายเข้าภาคขยายสัญญาณด้วย ออปแอมป์เบอร์ LM741 และส่งต่อให้วงจรยกระดับแรงดันได้ 0-2.5V เป็นแรงดันไฟตรงเฉพาะซีกบวก แล้วจ่ายเข้าไมโครคอนโทรลเลอร์ที่ขา 61 (ADC0) เพื่อแปลงสัญญาณอนาล็อกเป็นดิจิตอล และส่งสัญญาณไบนารี่ออกพอร์ต 4.5 ให้กับโมดูล โดยกำหนดให้พอร์ต 4 เป็นพอร์ตเอาท์พุตให้กับโมดูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1.4 การออกแบบภาคส่งสัญญาณ

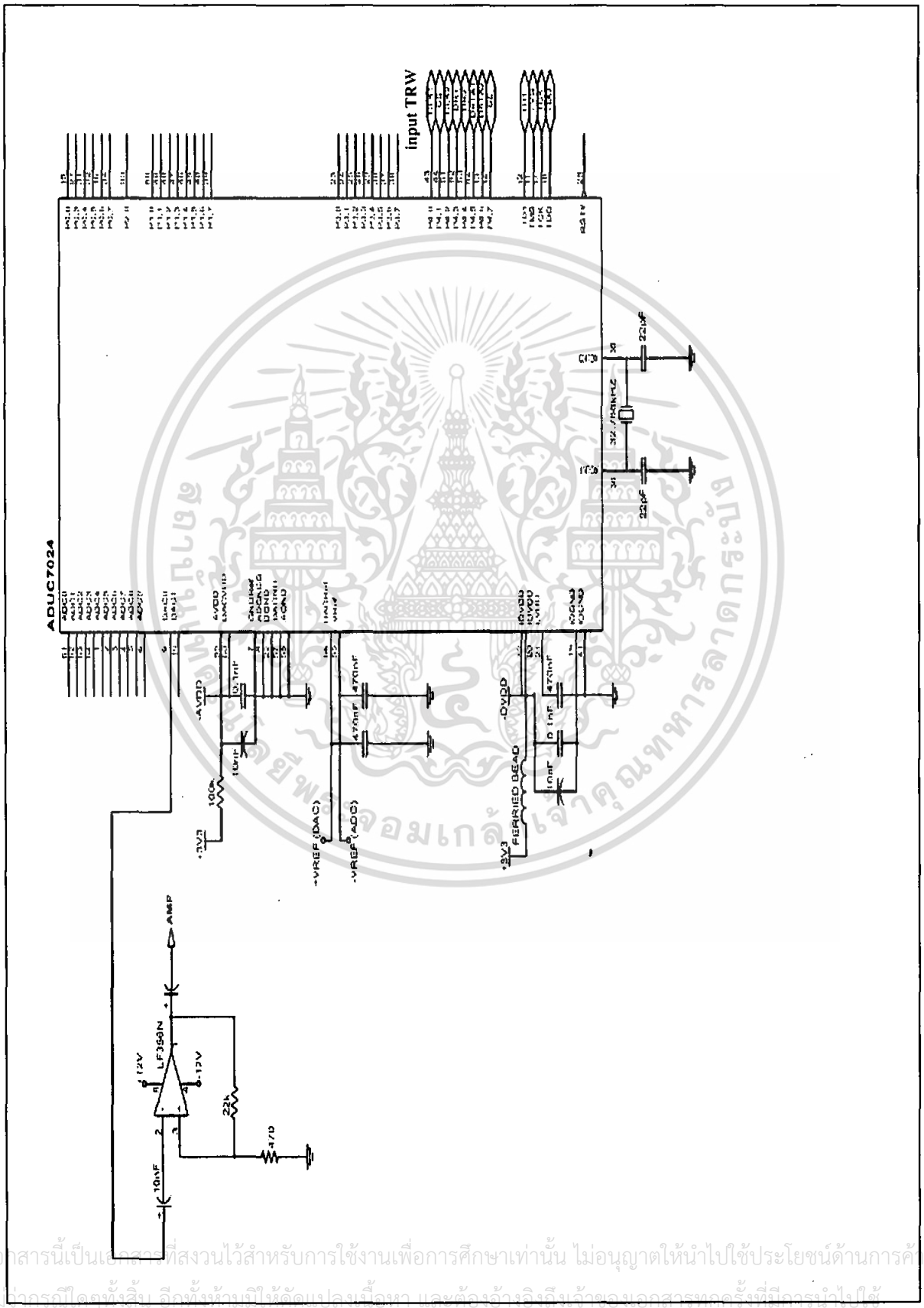


รูปที่ 3.6 วงจรภาคส่งสัญญาณ

3.1.2 การออกแบบและการสร้างอุปกรณ์ทางฮาร์ดแวร์ของภาครับสัญญาณ

3.1.2.1 การออกแบบวงจรแหล่งจ่ายไฟ เหมือนกับภาคส่งทุกประการ

3.1.2.2 การออกแบบวงจรภาครับสัญญาณ



รูปที่ 3.7 วงจรภาครับสัญญาณ

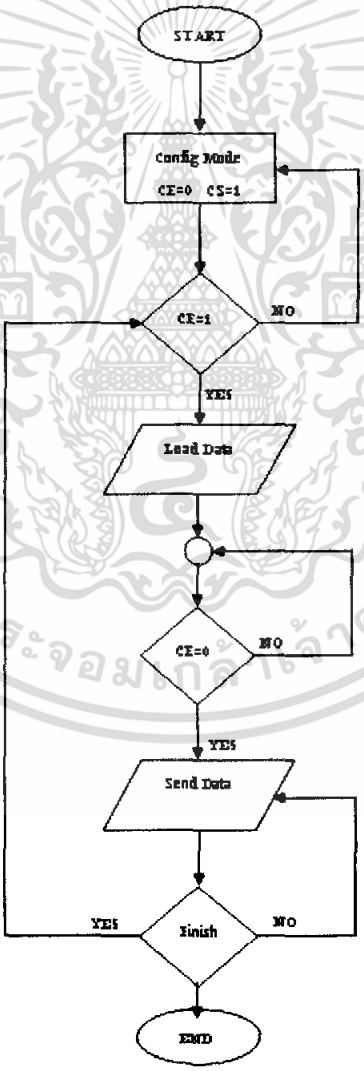
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 เป็นวงจรรวมภาครับสัญญาณ มีหลักการทำงานโดยไมโครคอนโทรลเลอร์ จะกำหนดสภาวะการรับข้อมูลของตัวโมดูล โดยตรวจสอบแอดเดรสที่เข้ามายังภาครับ กำหนดให้พอร์ต 4 เป็นพอร์ตอินพุตรับสัญญาณไบนารี่จากโมดูลเข้ามา แล้วทำการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก ส่งออกที่ขา 3 (DAC 0) เข้าวงจรบัฟเฟอร์เพื่อป้องกันสัญญาณย้อนกลับจากภาคขยายเสียงด้วยออปแอมป์เบอร์ LF 356N

3.2 การออกแบบและการเขียนโปรแกรมทางซอร์ฟแวร์

การเขียนโปรแกรมเพื่อควบคุมการทำงานของไมโครคอนโทรลเลอร์เขียนด้วยภาษาซีเพื่อ

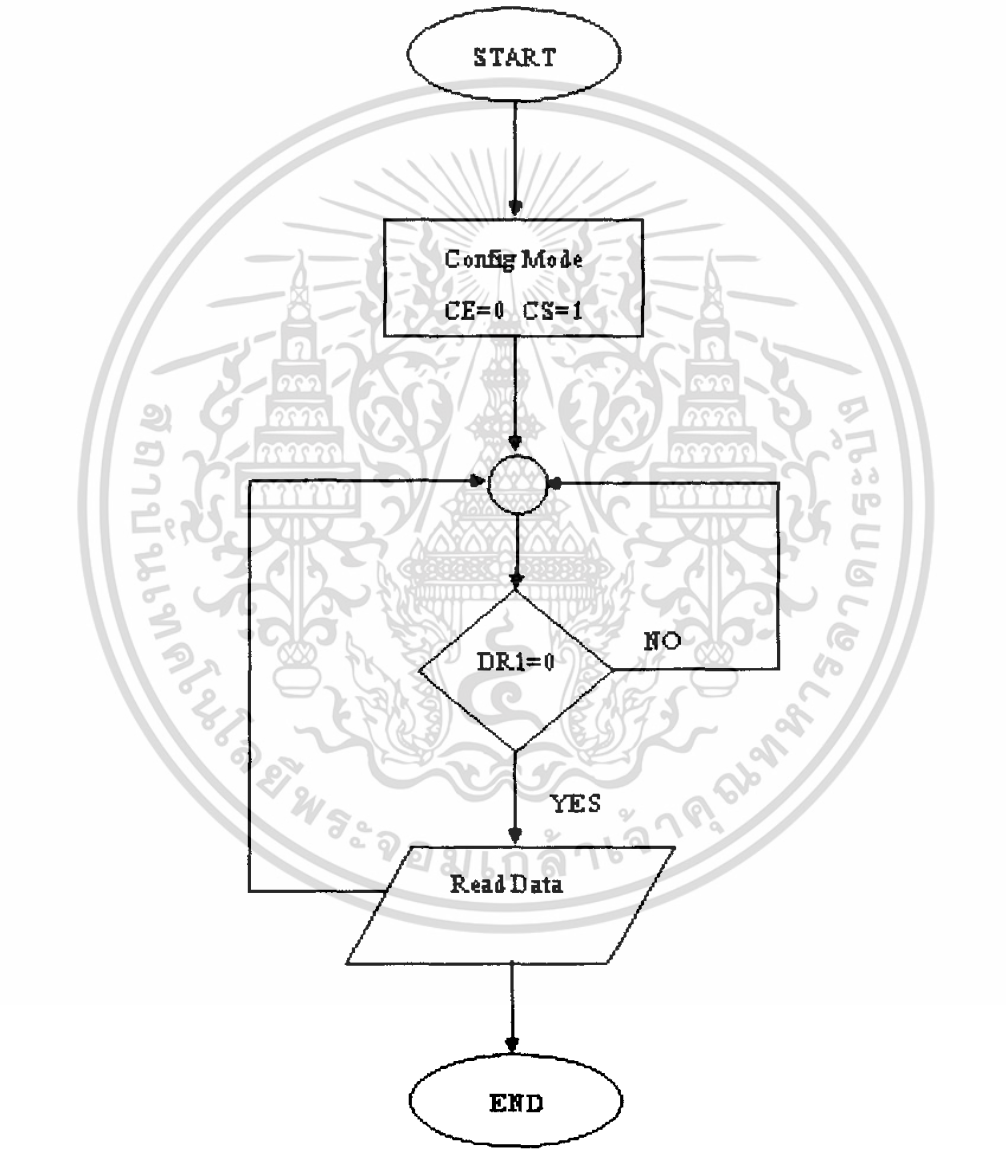
- กำหนดสภาวะการทำงานของการแปลงสัญญาณดิจิตอลเป็นแอนะลอก
- การควบคุมให้ไมโครคอนโทรลเลอร์ตรวจสอบสัญญาณเสียงที่เข้ามา
- การกำหนดค่าความถี่ให้กับการส่งสัญญาณ
- การกำหนดแอดเดรสเพื่อการติดต่อสื่อสารกันอย่างถูกต้อง



รูปที่ 3.8 รูปแบบผังงานแสดงการเขียนโปรแกรมควบคุมโทดูลความถี่วิทยุทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.8 เป็นผังในส่วนควบคุมโมดูลความถี่วิทยุทางด้านภาคส่งซึ่งมีลักษณะการทำงานคือ ต้องทำการกำหนดค่าให้กับโมดูลความถี่วิทยุโดยทำการกำหนดค่าลงในเฟรมข้อมูล เพื่อให้ตัวโมดูลความถี่วิทยุทราบก่อนว่าต้องการให้โมดูลความถี่วิทยุทำงานเป็นตัวส่งก่อน ซึ่งมีจำนวนทั้งหมด 144 บิต ในการที่จะทำการส่งเฟรมข้อมูลต้องทำการกำหนดให้ขา CE มีสถานะ "low" และ CS มีสถานะ "high" ก่อนเมื่อทำการกำหนดเรียบร้อยแล้ว เมื่อต้องการที่จะส่งข้อมูลต้องทำการป้อนข้อมูลให้กับโมดูลความถี่วิทยุหลังจากนั้นเมื่อส่งข้อมูลให้กับโมดูลความถี่วิทยุเรียบร้อยแล้วให้ตั้งค่า CE ให้อยู่ในสถานะ "low" เพื่อกระตุ้นให้โมดูลความถี่วิทยุทำการส่งข้อมูลออกไป



รูปที่ 3.9 รูปแบบผังงานแสดงการเขียนโปรแกรมควบคุมโมดูลโมดูลความถี่วิทยุด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.9 เป็นผังงานในส่วนควบคุมโมดูลความถี่วิทยุทางด้านภาครับซึ่งมีลักษณะการทำงานคือต้องทำการกำหนดค่าให้กับโมดูลความถี่วิทยุโดยทำการกำหนดค่าลงในเฟรมข้อมูล เพื่อให้ตัวโมดูลความถี่วิทยุทราบก่อนว่าต้องการให้โมดูลความถี่วิทยุทำงานเป็นตัวรับก่อน ซึ่งมีจำนวนทั้งหมด 144 บิต ในการที่จะทำการส่งเฟรมข้อมูลต้องทำการกำหนดให้ขา CE มีสถานะ “ low ” และ CS มีสถานะ “ high ” ก่อนเมื่อทำการกำหนดเรียบร้อยแล้ว ทางด้านฝ่ายรับจะทำการรอรับข้อมูลโดยการตรวจสอบขา DR1 ซึ่งขา DR1 เป็นค่าที่แสดงความพร้อมที่จะรับข้อมูลเมื่ออยู่ในสถานะ “ low ” ดังนั้นเมื่อขา DR1 ของโมดูลความถี่วิทยุอยู่ในสถานะ “ low ” เมื่อมีข้อมูลเข้ามาจึงสามารถรับข้อมูลได้ทันทีในขณะทำการรับข้อมูล DR1 จะอยู่ในสถานะ “ high ” เมื่อรับข้อมูลเรียบร้อยแล้ว DR1 จะกลับมาอยู่ในสถานะ “ low ” อีกครั้งเพื่อเตรียมพร้อมที่จะรับข้อมูลที่จะมีเข้ามาใหม่ โดยข้อมูลที่รับมาจะทำการป้อนให้กับไมโครคอนโทรลเลอร์เพื่อให้ไมโครคอนโทรลเลอร์ทำการประมวลผลและทำการแสดงผลต่อไป

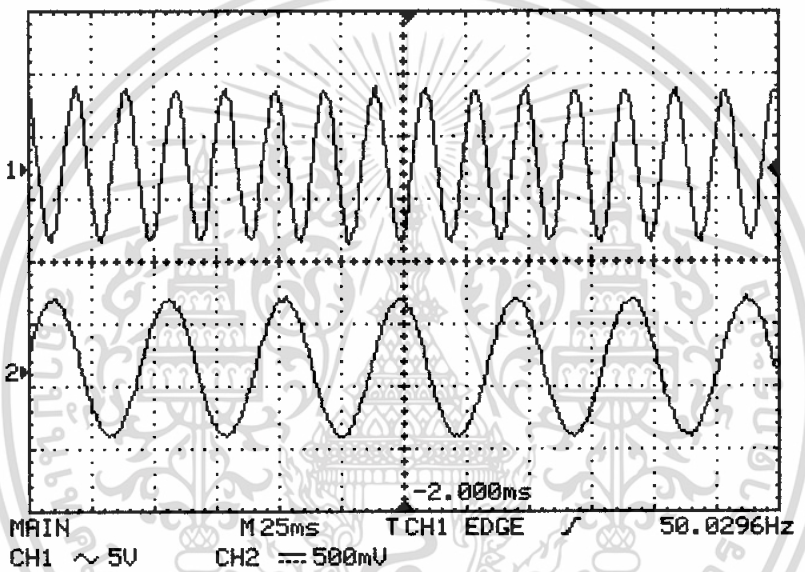
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

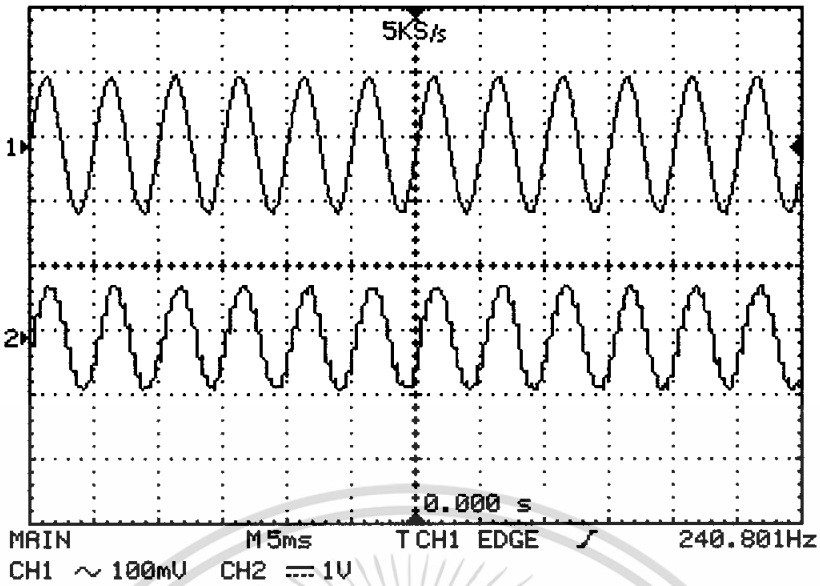
เมื่อทำการออกแบบและประกอบวงจรเรียบร้อยแล้ว คณะผู้จัดทำได้ทำการทดสอบภาครับส่งสัญญาณเสียงแบบดิจิตอล โดยมีผลการทดลอง ดังนี้

โดยวัดสัญญาณอินพุตของภาคส่งพร้อมกับสัญญาณเอาท์พุตจากภาครับ ได้ผลการทดลอง ดังรูป

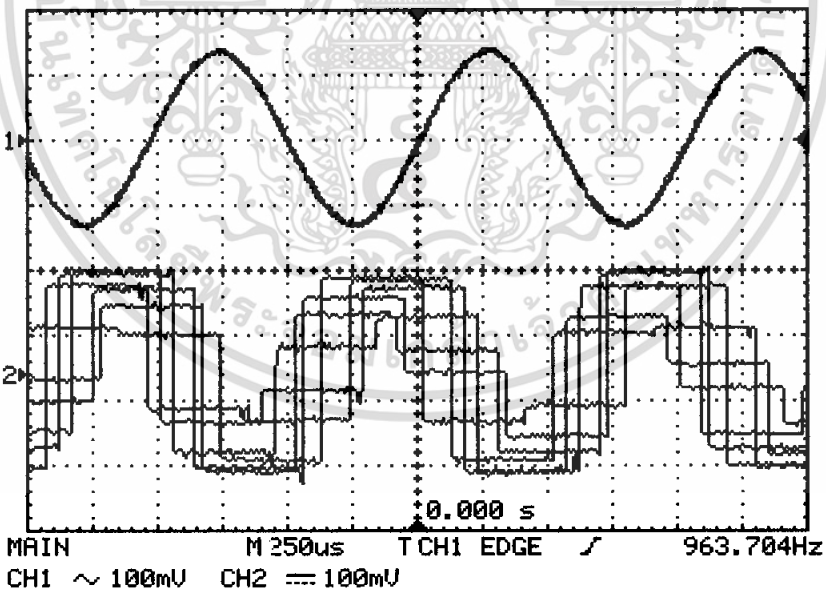


รูปที่ 4.1 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 50 เฮิรตซ์
(Channel 1) แสดงสัญญาณทางด้านอินพุต
(Channel 2) แสดงสัญญาณทางด้านเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

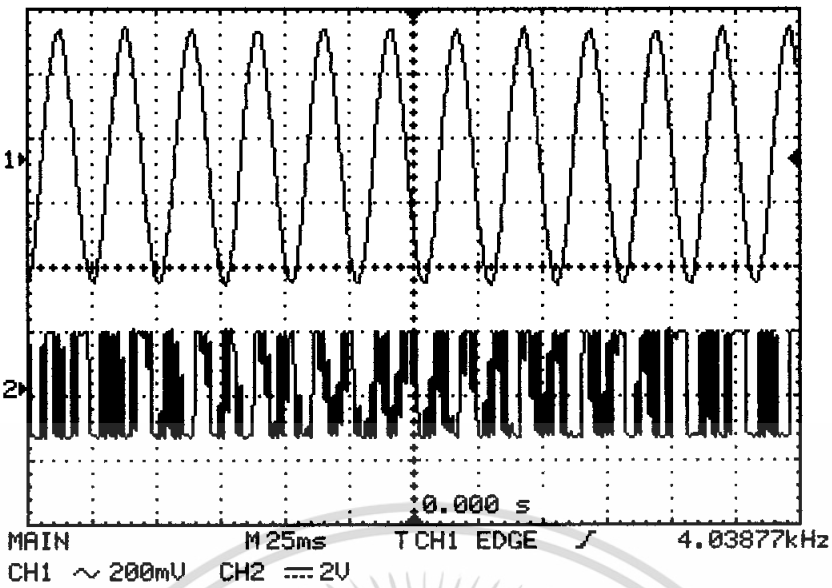


รูปที่ 4.2 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 240 เฮิรตซ์
(Channel 1) แสดงสัญญาณทางด้านอินพุต
(Channel 2) แสดงสัญญาณทางด้านเอาท์พุต



รูปที่ 4.3 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 963 เฮิรตซ์
(Channel 1) แสดงสัญญาณทางด้านอินพุต
(Channel 2) แสดงสัญญาณทางด้านเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สัญญาณความถี่อินพุตของภาคส่งเทียบกับสัญญาณเอาท์พุตจากภาครับ ที่ความถี่ 4 กิโลเฮิรตซ์
(Channel 1) แสดงสัญญาณทางด้านอินพุต
(Channel 2) แสดงสัญญาณทางด้านเอาท์พุต

4.2 การวัดทดสอบการติดต่อสื่อสาร

4.3.1 ทดลองไฟวิ่งบริเวณที่โล่งแจ้ง

วัตถุประสงค์เพื่อทดสอบหาระยะทางสูงสุดจากขีดความสามารถของตัวโมดูล จากการทดลองในระยะ 50 เมตร ไฟยังคงวิ่งตามสเต็ป แต่เมื่อเพิ่มระยะทางต่อไปอีกไฟเริ่มวิ่งช้าลง แสดงว่าที่ระยะทาง 50 เมตรพอดีเป็นระยะทางที่เหมาะจะนำไปใช้งานจริง ซึ่งตรงกับสูตรการติดตั้งระบบเสียง

4.3.2 ทดลองโปรแกรมรับส่งข้อมูลระหว่างภาคส่งและภาครับโดยใช้โมดูล TRW-2.4GHz ในการรับส่งข้อมูล

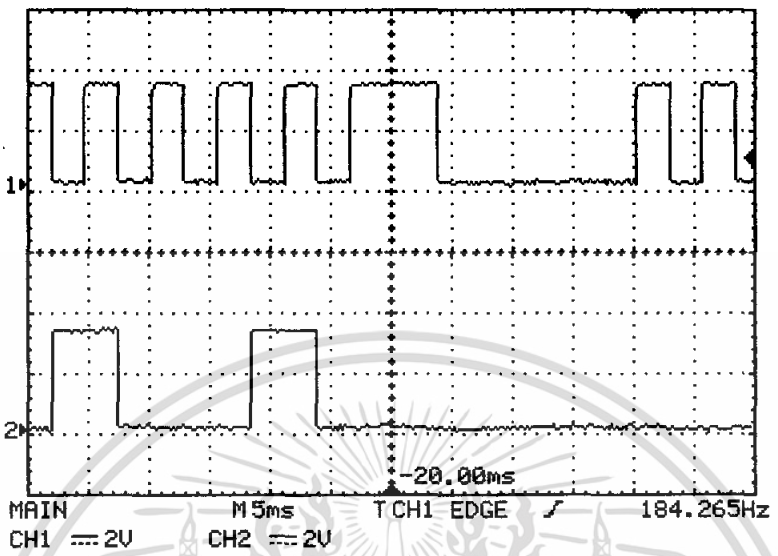
วัตถุประสงค์เพื่อทดสอบการทำงานของโปรแกรมที่ใช้ในการรับส่งข้อมูลระหว่างภาครับและภาคส่งสัญญาณว่าสามารถรับส่งข้อมูลระหว่างกันได้หรือไม่

4.3.2.1 การทดลองในส่วนของภาคส่ง

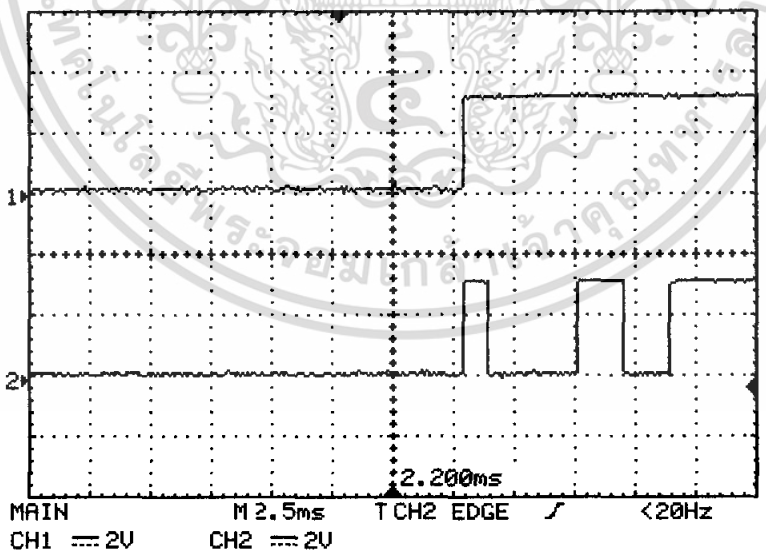
วิธีการทดลองโดยการทดสอบการรับส่งข้อมูลของภาคส่งและภาครับสัญญาณ โดยข้อมูลที่ส่งก็คือ FF ส่งไปแสดงผลที่ภาครับสัญญาณ ในส่วนของโหมดความถี่วิทยุทางด้านภาคส่ง เมื่อต้องการที่จะส่งข้อมูลต้องทำการป้อนข้อมูลการตั้งค่าให้กับโมดูล TRW 2.4GHz ก่อนโดยต้องตั้งค่าให้ขา CE มีสถานะ “ high ” เพื่อโหลดข้อมูลไปเก็บไว้ภายในตัวโมดูลความถี่วิทยุ และตั้งค่าให้ CS มีสถานะ “ low ” หลังจากที่ส่งข้อมูลให้กับโมดูลความถี่วิทยุเรียบร้อยแล้วให้ตั้งค่า CE ให้อยู่ในสถานะ “ low” เพื่อกระตุ้นให้โมดูลความถี่วิทยุทำการส่งข้อมูลออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง หลังจากที่ได้ทดลองตามขั้นตอนข้างต้นแล้ว โดยทำการวัดสัญญาณที่ขา CE, CS, DATA, CLK1 ของโมดูลความถี่วิทยุ ซึ่งได้ผลการทดลองดังรูปที่แสดงดังต่อไปนี้

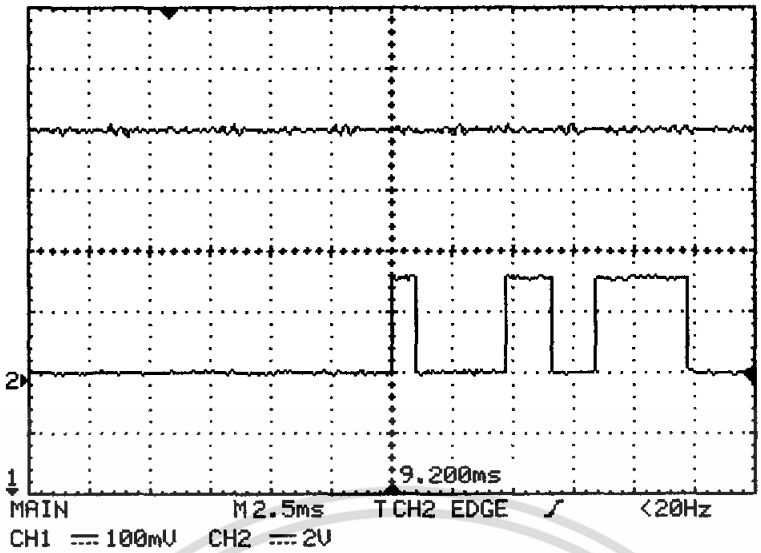


รูปที่ 4.5 ความสัมพันธ์ระหว่างสัญญาณนาฬิกากับสัญญาณที่ขา DATA
(Channel 1) แสดงลักษณะของสัญญาณนาฬิกาขณะทำการวัดสัญญาณที่ขา CLK1
(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA



รูปที่ 4.6 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา DATA
(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CE
(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA

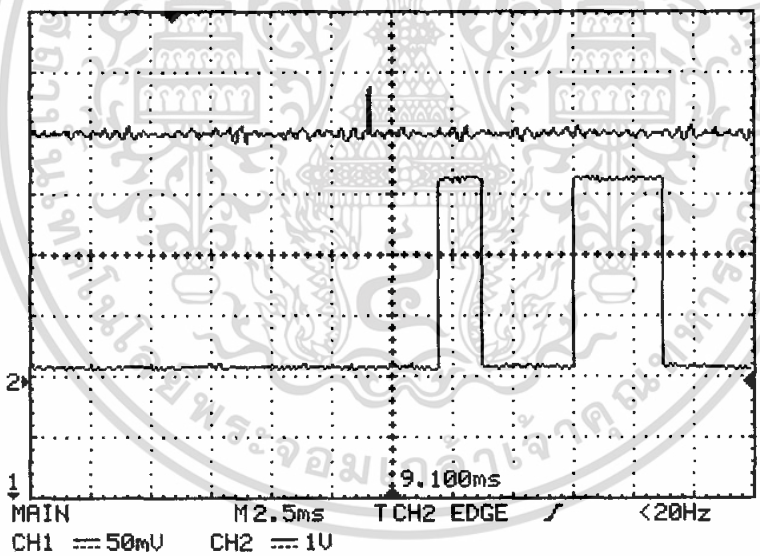
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ความสัมพันธ์ระหว่างขา CS กับสัญญาณที่ขา DATA

(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CS

(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA



รูปที่ 4.8 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา CS

(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CE

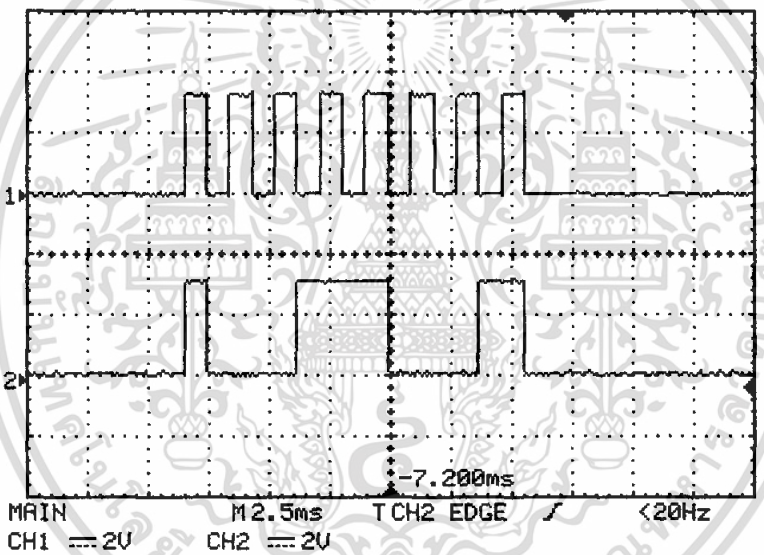
(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2.2 การทดลองในส่วนของภาครับ

วิธีการทดลอง สำหรับในกรณีของภาครับ เมื่อต้องการที่จะรับข้อมูลต้องทำการป้อนข้อมูลการตั้งค่าให้กับโมดูล TRW 2.4GHz โดยที่ตั้งค่าให้ค่า CE มีสถานะ " low " ขา CS มีสถานะ " high " และขา DR1 มีสถานะ "low" เพื่อที่แสดงความพร้อมที่รับข้อมูล ซึ่งขณะทำการรับข้อมูล DR1 จะอยู่ในสถานะ " high " เมื่อรับข้อมูลเรียบร้อยแล้ว DR1 จะกลับมาอยู่ในสถานะ " low " อีกครั้งเพื่อเตรียมพร้อมที่จะรับข้อมูลที่เข้ามาใหม่

ผลการทดลอง หลังจากที่ได้ทดลองตามขั้นตอนข้างต้นแล้ว โดยทำการวัดสัญญาณที่ขา CE, CS, DR1, DATA ของโมดูล TRW 2.4GHz ดังรูป และทำการสังเกต ปรากฏว่าข้อมูลที่ได้เป็นสัญญาณข้อมูลที่ภาคส่งได้ทำการส่งมายังภาครับ ซึ่งค่าที่ได้ส่งมาคือ FF แสดงว่าโปรแกรมในการรับส่งข้อมูลนี้สามารถทำงานได้ตามวัตถุประสงค์ของการทดลอง

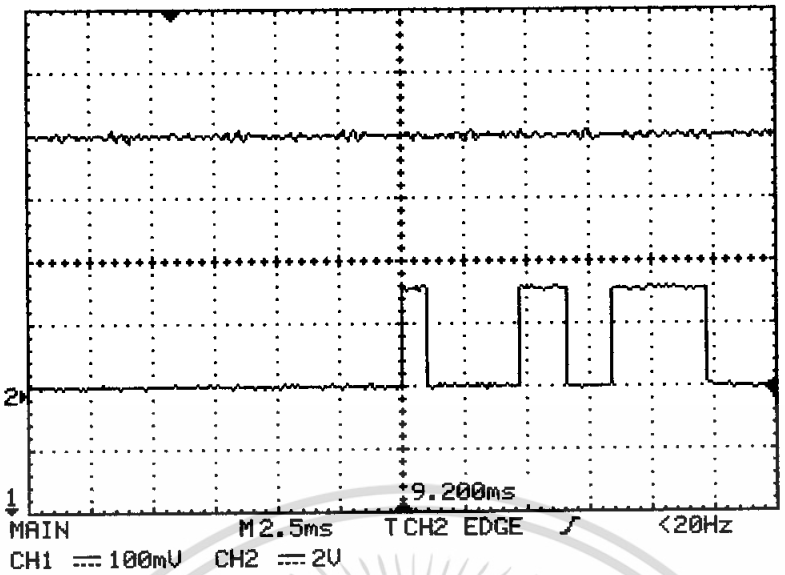


รูปที่ 4.9 ความสัมพันธ์ระหว่างสัญญาณนาฬิกากับสัญญาณที่ขา DATA

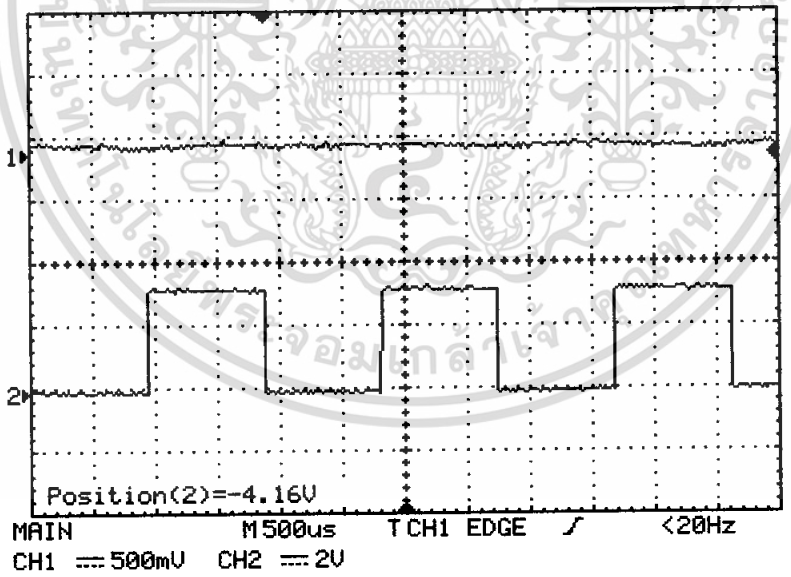
(Channel 1) แสดงลักษณะของสัญญาณนาฬิกาขณะทำการวัดสัญญาณที่ขา CLK1

(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

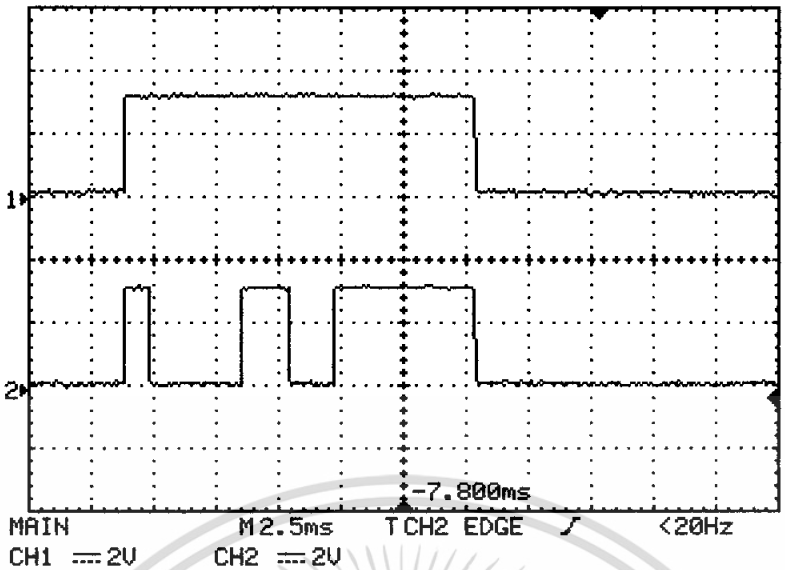


รูปที่ 4.10 ความสัมพันธ์ระหว่างขา CE กับสัญญาณที่ขา DATA
(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CE
(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA



รูปที่ 4.11 ความสัมพันธ์ระหว่างขา CS กับสัญญาณที่ขา DATA
(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CS
(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA

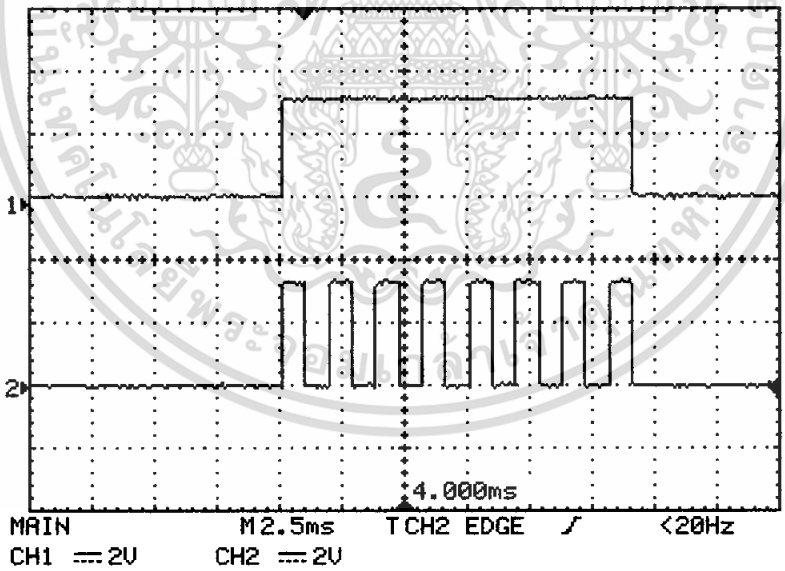
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 ความสัมพันธ์ระหว่างขา DR1 กับสัญญาณที่ขา DATA

(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DR1

(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DATA



รูปที่ 4.13 ความสัมพันธ์ระหว่างขาDR1 กับสัญญาณที่ขา CLK1

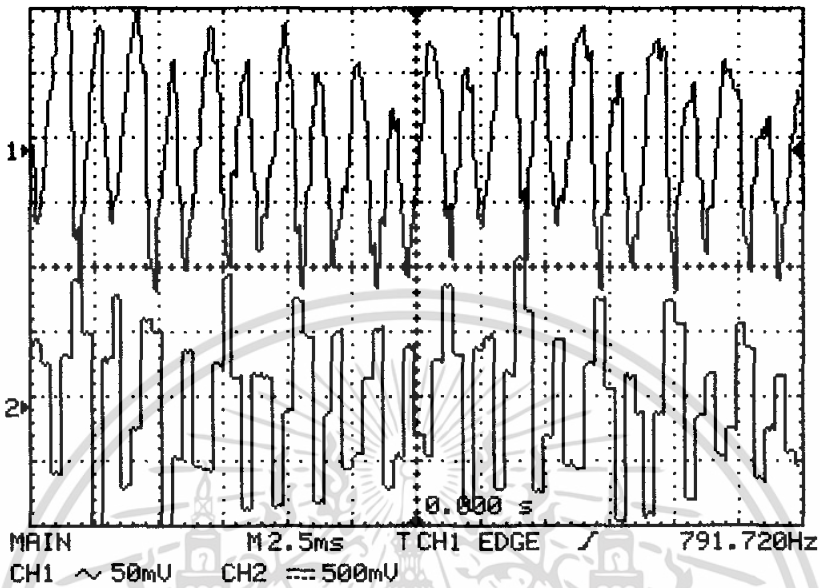
(Channel 1) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา DR1

(Channel 2) แสดงลักษณะของสัญญาณขณะที่ทำการวัดสัญญาณที่ขา CLK1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ทดลองส่งและรับความถี่

โดยจ่ายสัญญาณความถี่เสียงให้ภาคส่ง แล้วทำการวัดสัญญาณที่ภาครับ ได้ผลการทดลองดังรูป



รูปที่ 4.14 ความสัมพันธ์ระหว่างสัญญาณของภาคส่งและภาครับที่ความถี่ 791 เฮิรตซ์
(Channel 1) แสดงสัญญาณทางด้านอินพุต
(Channel 2) แสดงสัญญาณทางด้านเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและวิจารณ์

5.1 สรุปผลการทดลอง

5.1.1 ผลการทดลองไฟวิ่งบริเวณที่โล่งแจ้งได้ระยะสูงสุดประมาณ 50 เมตร

ซึ่งเป็นระยะทางที่เหมาะจะนำไปใช้งานจริง ตามสูตรการติดตั้งระบบเสียงกลางแจ้ง

5.1.2 จากผลการทดลองการรับส่งความถี่ของภาคส่งและภาครับสามารถรับส่งความถี่

รับส่งข้อมูลได้แต่ยังอยู่ในช่วงความถี่ต่ำเพราะการกำหนดค่าอัตราการสุ่มสัญญาณในส่วนของโปรแกรมภาค ADC ยังไม่สมบูรณ์ ส่วนสภาวะการทำงานของตัวโมดูลทั้งภาคส่งและภาครับ จากการวัดทดสอบความสัมพันธ์ ถูกต้องตรงตามทฤษฎีของสภาวะการรับส่งสัญญาณ

5.2 ปัญหาและแนวทางแก้ไข

จากการทดลองในภาคส่งและภาครับปัญหา คือ คุณภาพเสียงเพราะการกำหนดค่าอัตราการสุ่มสัญญาณในส่วนของโปรแกรมภาค ADC ยังไม่สมบูรณ์ แนวทางแก้ไข

1. ต้องศึกษาและเขียนโปรมแกรมควบคุมให้ละเอียดกว่าเดิมในด้านการกำหนดค่าอัตราการสุ่มสัญญาณ การเข้ารหัสสัญญาณ
2. เพิ่มจำนวนบิตของตัวไมโครคอนโทรลเลอร์ (เปลี่ยนรุ่น IC) จากเดิมที่ใช้อยู่ขนาด 12 บิต เพราะยิ่งเพิ่มบิตมากขึ้นทำให้ความเร็วในการประมวลผลเร็วขึ้นและทำให้ประสิทธิภาพในการรับส่งข้อมูลดีขึ้นด้วย

แนวทางการพัฒนาเป็น STEREO โดยการเพิ่ม HARDWARE อีก 1 ชุดและทำการโปรแกรมเช่นเดิม แต่จะเกิดปัญหา คือ

1. ความถี่วิทยุ 2.4 GHz ที่เรา SET ค่าทั้ง 2 ชุดนั้นจะเกิดการรบกวนกันเพราะเครื่องส่งอยู่ใกล้กัน
2. เกิดการ DELAY ของสัญญาณที่ภาครับเพราะสัญญาณที่ถูกส่งมาจากภาคส่งพร้อมกันแต่บางครั้งอาจมาถึงภาครับไม่พร้อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] ธีรวัฒน์ ประกอบผล : **การประยุกต์ใช้งานไมโครคอนโทรลเลอร์** : กรุงเทพมหานคร *สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น),2540*

[2] มงคล ทองสงคราม : **อิเล็กทรอนิกส์เบื้องต้น** : กรุงเทพมหานคร : วี.เจ.พริ้นติ้ง,2540

[3] ศิริวัฒน์ หงษ์ทอง : **วงจรรวมเล่มหนึ่ง** : นนทบุรี : พริ้นติ้งกรุ๊ป,2548

[4] อุดม รานอก : **ภาษา C สำหรับงานควบคุมไมโครคอนโทรลเลอร์** พิมพ์ครั้งที่ 1 : นนทบุรี : บริษัท ไอดีซี อินโฟ ดิสทริบิวเตอร์ จำกัด,2548

[5] http://www.atmel.com/acrobat/doc0265.pdf

[6] http://www.es.com

[7] http://www.laipac.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทางภาคส่ง

```
#include <ADUc7024.H>                          // ADUc7024 MPU Register
#include <stdio.h>
          // For Used Function printf
#include "lcd.h"
#include "trw.h"
#include "delay.h"
void test_adc(void);
// Test ADC 12Bit/10Channel
void test_dac(void);
// Test DAC 12Bit/2Channel
void test_lcd(void);
// Test LCD 16x2
void test_manual(void);
// Test Port-IO

/*******************************/
/* Interrupt Service Rountine */
/*******************************/
void IRQ_Handler (void) __irq
// IRQ Service Routine
{
static unsigned int          i=0;

  if ((IRQSTA & 0x00000008) != 0)
// if Timer1 IRQ Flag Status
            {
             if (++i > 1000)
             {
//           GP1DAT ^= 0x00800000;
            // Complement P0.7
             i = 0;
             }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            T1CLRI = 0;
                    // Clear Timer1 Trigger IRQ Flag

            }

        return ;
}


/* Main Program Start Here */
int main(void)
{
unsigned int send = 0;
 GP1CON = 0x00000011;
// Setup P1.1 = TXD & P1.0 = RXD
 GP4CON = 0x00000000;
// Setup for GPIO
 // Initial UART = 9600BPS
 COMCON0 = 0x80;
        // Setting DLAB
 COMDIV0 = 0x88;
        // Setting DIV0 and DIV1 to DL calculated
 COMDIV1 = 0x00;
 COMCON0 = 0x07;
        // Clearing DLAB
  printf("\fSystem Starting\r\n");
 // Config GPIO Direction   (Bit[31..24])
 // Config GPIO Data Output (Bit[23..16])
 GP1DAT = 0x80000000;
        // P1[7] = Output
 data_dir_write();
 // Config GPIO Set Output  (Bit[23..16])
 GP1SET = 0x00800000;
        // OFF P1[7]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GP4SET = 0x00000000;
        // OFF P4 = 0
IRQEN |= 0x00000008;
        // Enable Timer1 Trigger IRQ Interrupt

// HCLK = 41.78 MHz
// Time 1 Cycle = 1 / 41.78 MHz
//          =       23.9348 nS
// Time 1 KHz     = 1 / 1000
//          =       1 mS
// 1KHz Signal  = Low 500uS + High 500uS
// Count 1 KHz  = 500uS / 23.9348nS
//          = 20890 Cycle
//  T1LD  = 20890;
                // Timer1 Count 500uS
  T1LD  = 41780;
        // Timer1 Count 500uS
  T1CON &= 0xFFFFFFF0;
                // Prescale = HCLK / 1
  T1CON &= 0xFFFFFFCF;
                // Format = Binary Counter
  T1CON |= 0x00000040;
        // Timer1 Mode = Periodic
  T1CON &= 0xFFFFFEFF;
                // Timer1 = Count Down
  T1CON &= 0xFFFFF1FF;
                // Timer1 Clock Source = HCLK
  T1CON |= 0x00000080;
        // Timer1 Enable

// Power-ON ADC
  ADCCON  = 0x00000000;
        // Reset ADC Config
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ADCCON |= 0x00000020;
        // Power-ON ADC Function
delay(1000);
        // Wait ADC Power-on Ready

ADCCON |= 0x00001400;
        // ADC Clock = fADC/32
ADCCON |= 0x00000300;
        // Acquisition Time = 16 Cycle Clock
ADCCON &= 0xFFFFFFE7;
        // ADC = Single-End Mode
ADCCON |= 0x00000004;
        // Continue Software Convert
REFCON  = 0x00000001;
        // Used Internal 2.5V Reference
ADCCON |=     0x00000080;
        // ADC Start Conversion
ADCCP = 0;                                  // Select Channel to Conversion
delay_ms(1000);
data_dir_write();

GP4SET  = 0x00000000;
trw_clk1_clr();
trw_ce_clr();
trw_cs_clr();



delay_ms(10);
RF_CONFIG(1);
delay_ms(10);

send = 2500;
while(1)
                    // Loop Continue
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 {
            while (!ADCSTA){};
          // Wait ADC Conversion Complete (Bit0="1")
            send = (ADCDAT >> 16)& 0x00000FFF;                    // Shift ADC
Result to Integer
            SEND_RF(send);
            delay_us(245);
            GP1DAT ^= 0x00800000;
          // Complement P0.7
 }
}



/****************************/
/* Write Character To UART */
/****************************/
int putchar(int ch)                                                  //
Write character to Serial Port
{
 if (ch == '\n')
 {
  while(!(0x40==(COMSTA0 & 0x40)))                                   // Wait TX Complete
  {
          }
          COMTX = 0x0D;
          // Write CR
 }
 while(!(0x40==(COMSTA0 & 0x40)))                                    // Wait TX
Complete
 {
 }

 return (COMTX = ch);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************/
/* Read Character From UART */
/*****************************/
int getchar (void)
// Read character from Serial Port
{
 while(!(0x01==(COMSTA0 & 0x01)))                                    // Wait
Receive Data Ready
 {
 }
 return (COMRX);
}



/************************/
/* Test ADC 12Bit/10Ch */
/************************/
void test_adc(void)
{
 unsigned int val;
        // ADC Result (HEX)
 float volt;
        // ADC Result Volt
 int adc_scan;
        // ADC Channel Scan


 // Power-ON ADC
 ADCCON  = 0x00000000;
        // Reset ADC Config
 ADCCON |= 0x00000020;
        // Power-ON ADC Function
 delay(1000);
        // Wait ADC Power-on Ready
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ADCCON |= 0x00001400;
        // ADC Clock = fADC/32
ADCCON |= 0x00000300;
        // Acquisition Time = 16 Cycle Clock
ADCCON &= 0xFFFFFFE7;
        // ADC = Single-End Mode
ADCCON |= 0x00000004;
        // Continue Software Convert
REFCON  = 0x00000001;
        // Used Internal 2.5V Reference
ADCCON |=     0x00000080;
        // ADC Start Conversion

printf("ET-ARM7 BASE ADUc7024..TEST ADC[0..9]\n\0");// Call printf Function
printf("ADC Analog Input Voltage = 0-2.5V\n\n\0");

while (1)
{
 printf("\rADC Result\0");
// Start Message Display


 for (adc_scan=0;adc_scan<10;adc_scan++)
// Read 10-Channel ADC(ADC[0..9])
        {
 ADCCP = adc_scan;                              // Select Channel to Conversion
        delay(1000);
        // Wait Select Channel Ready
        while (!ADCSTA){};
        // Wait ADC Conversion Complete (Bit0="1")
        val = (ADCDAT >> 16)& 0x00000FFF;               // Shift ADC Result to Integer
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        volt = val * (2.50 / 4096.0);                   // Volt = ADC Result x [2.5V / 4095]

        printf(" : %1.1f",volt);                        // Display 3-Digit Result(0-2.5V)
        delay(1000);
        }

        printf(" Volt.\r\0");                           // End of Message Display
  }
}

/**********************/
/* Test DAC 12Bit/2Ch */
/**********************/
void test_dac(void)
{
        const static unsigned short table_sine[64] =        // Sine Function
            {
             0x07FF, 0x08C8, 0x098E, 0x0A51, 0x0B0F, 0x0BC4, 0x0C71, 0x0D12,
             0x0DA7, 0x0E2E, 0x0EA5, 0x0F0D, 0x0F63, 0x0FA6, 0x0FD7, 0x0FF5,
                  0x0FFF, 0x0FF5, 0x0FD7, 0x0FA6, 0x0F63, 0x0F0D, 0x0EA5, 0x0E2E,
             0x0DA7, 0x0D12, 0x0C71, 0x0BC4, 0x0B0F, 0x0A51, 0x098E, 0x08C8,
             0x07FF, 0x0736, 0x0670, 0x05AD, 0x04EF, 0x043A, 0x038D, 0x02EC,
             0x0257, 0x01D0, 0x0159, 0x00F1, 0x009B, 0x0058, 0x0027, 0x0009,
             0x0000, 0x0009, 0x0027, 0x0058, 0x009B, 0x00F1, 0x0159, 0x01D0,
             0x0257, 0x02EC, 0x038D, 0x043A, 0x04EF, 0x05AD, 0x0670, 0x0736
            };

        int  i = 0;

        // Initial DAC0
        DAC0CON &= 0xDF;
        // DAC0 Used Sysytem Clock
        DAC0CON |= 0x10;
        // Enable DAC0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DAC0CON |= 0x03;
        // DAC0 Output Range = AVDD..AGND

        // Initial DAC1
        DAC1CON &= 0xDF;
        // DAC0 Used Sysytem Clock
        DAC1CON |= 0x10;
        // Enable DAC0
        DAC1CON |= 0x02;
        // DAC0 Output Range = +Vref..AGND
        REFCON   = 0x01;                                    // Used Internal 2.5V Reference

        while(1)
        // Loop Continue
        {
         DAC0DAT = (table_sine[i] << 16);          // Update DAC0 Sine Output(0..3V3)
         DAC1DAT = ((i * 0x3F) << 16);                 / Update DAC1 SAW  Output(0..2V5)
         i++;
                // Next Pointer
         i &= 0x3F;                                                  // 0..63
        }
}


/*****************/
/* Test Port-IO */
/*****************/
void test_manual(void)
{
 unsigned char rs232_data;                                          // RS232 Get Byte
 unsigned long int LED;                                        // LED Output Status Buffer
 // Test Output GPIO (Active "0")
 // P4[7..0] <- P3[7..0] <- P1[7..2] <- P2[0] <- P0[7..3] <- P0[0]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
// Config All Port = GPIO
GP0CON = 0x00000000;                    // P0 = GPIO
GP1CON = 0x00000011;                    // P0[7..2]=GPIO,P1.1 = TXD & P1.0 = RXD
GP2CON = 0x00000000;                    // P2 = GPIO
GP3CON = 0x00000000;                    // P3 = GPIO
GP4CON = 0x00000000;                    // P4 = GPIO

// Config GPIO Direction   (Bit[31..24])
// Config GPIO Data Output (Bit[23..16])
GP0DAT = 0xF9000000;                    // P0[7,6,5,4,3,0] = Output
GP1DAT = 0xFC000000;                    // P1[7,6,5,4,3,2] = Output
GP2DAT = 0x01000000;                    // P2[0] = Output
GP3DAT = 0xFF000000;                    // P3[7,6,5,4,3,2,1,0] = Output
GP4DAT = 0xFF000000;                    // P4[7,6,5,4,3,2,1,0] = Output

// Config GPIO Set Output  (Bit[23..16])
GP0SET = 0x00F90000;                    // OFF P0[7,6,5,4,3,0]
GP1SET = 0x00FC0000;                    // OFF P1[7,6,5,4,3,2]
GP2SET = 0x00010000;                    // OFF P2[0]
GP3SET = 0x00FF0000;                    // OFF P3[7,6,5,4,3,2,1,0]
GP4SET = 0x00FF0000;                    // OFF P4[7,6,5,4,3,2,1,0]

while (1)
        // Loop Continue
{
        GP0CLR = 0x00010000;            // ON  P0.0

        rs232_data = getchar();         // Wait Continue
        GP0SET = 0x00F90000;            // OFF P0[7,6,5,4,3,0]

        // Shift Left P0
  // xxxx xxxx [7654 3xxx] xxxx xxxx xxxx xxxx
  for (LED=0x00080000; LED<= 0x00800000; LED<<=1)    // Blink LED P0.7 <- P0.3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
 GP0CLR = LED;                          // Output to P0(Active "0")

 rs232_data = getchar();                // Wait Continue
        GP0SET = 0x00F80000;            // OFF All P0
}

       GP2CLR = 0x00010000;             // ON  P2.0

       rs232_data = getchar();          // Wait Continue
       GP2SET = 0x00010000;             // OFF P2.0

// Shift Left P1
       // xxxx xxxx [7654 32xx] xxxx xxxx xxxx xxxx
for (LED=0x00040000; LED<= 0x00800000; LED<<=1)    // Blink LED P1.7 <- P1.2
{
 GP1CLR = LED;                                     // Output to P1(Active "0")

 rs232_data = getchar();                           // Wait Continue
        GP1SET = 0x00FC0000;                       // OFF All P1
}

       // Shift Left P3
       // xxxx xxxx [7654 3210] xxxx xxxx xxxx xxxx
for (LED=0x00010000; LED<= 0x00800000; LED<<=1)    // Blink LED P3.7 <- P3.0
{
 GP3CLR = LED;                                     // Output to P3(Active "0")

 rs232_data = getchar();                           // Wait Continue
        GP3SET = 0x00FF0000;                       // OFF All P3
}

       // Shift Left P4
       // xxxx xxxx [7654 3210] xxxx xxxx xxxx xxxx
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    for (LED=0x00010000; LED<= 0x00800000; LED<<=1)    // Blink LED P4.7 <- P4.0
    {
     GP4CLR = LED;                                     // Output to P4(Active "0")

     rs232_data = getchar();                           // Wait Continue
          GP4SET = 0x00FF0000;                         // OFF All P4
    }
  }
}
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทางภาครับ

```
#include <ADUc7024.H>                          // ADUc7024 MPU Register
#include <stdio.h>
        // For Used Function printf
#include "lcd.h"
#include "trw.h"
#include "delay.h"
void test_adc(void);                    // Test ADC 12Bit/10Channel
void test_dac(void);                           // Test DAC 12Bit/2Channel
void test_lcd(void);                           // Test LCD 16x2
void test_manual(void);                        // Test Port-IO

/*******************************/
/* Interrupt Service Rountine */
/*******************************/
void IRQ_Handler (void) __irq                  // IRQ Service Routine
{
static unsigned int          i=0;

 if ((IRQSTA & 0x00000008) != 0)               // if Timer1 IRQ Flag Status
          {
           if (++i > 1000)
           {
//         GP1DAT ^= 0x00800000;
          // Complement P0.7
           i = 0;
           }
           T1CLRI = 0;
                // Clear Timer1 Trigger IRQ Flag

          }

        return ;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Main Program Start Here */
int main(void)
{
unsigned int datarec;
  GP1CON = 0x00000011;                                  // Setup P1.1 = TXD & P1.0 = RXD
  GP4CON = 0x00000000;                                  // Setup for GPIO
  // Initial UART = 9600BPS
  COMCON0 = 0x80;
          // Setting DLAB
  COMDIV0 = 0x88;
          // Setting DIV0 and DIV1 to DL calculated
  COMDIV1 = 0x00;
  COMCON0 = 0x07;
          // Clearing DLAB
//   printf("\fSystem Starting\r\n");
  // Config GPIO Direction   (Bit[31..24])
  // Config GPIO Data Output (Bit[23..16])
  GP1DAT = 0x80000000;
          // P1[7] = Output
  data_dir_write();
  // Config GPIO Set Output  (Bit[23..16])
//  GP1SET = 0x00800000;
                  // OFF P1[7]
  GP4SET = 0x00000000;
          // OFF P4 = 0
//  IRQEN |= 0x00000008;
          // Enable Timer1 Trigger IRQ Interrupt

  // HCLK = 41.78 MHz
  // Time 1 Cycle = 1 / 41.78 MHz
  //          =       23.9348 nS
  // Time 1 KHz    = 1 / 1000
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//          =       1 mS
// 1KHz Signal  = Low 500uS + High 500uS
// Count 1 KHz  = 500uS / 23.9348nS
//          = 20890 Cycle
//  T1LD  = 20890;
                    // Timer1 Count 500uS
//  T1LD  = 41780;
                    // Timer1 Count 500uS
//  T1CON &= 0xFFFFFFF0;
                    // Prescale = HCLK / 1
//  T1CON &= 0xFFFFFFCF;
                    // Format = Binary Counter
//  T1CON |= 0x00000040;
          // Timer1 Mode = Periodic
//  T1CON &= 0xFFFFFEFF;
                    // Timer1 = Count Down
//  T1CON &= 0xFFFFF1FF;
                    // Timer1 Clock Source = HCLK
//  T1CON |= 0x00000080;
          // Timer1 Enable
 delay_ms(100);

          // Initial DAC0
          DAC0CON &= 0xDF;
          // DAC0 Used Sysytem Clock
          DAC0CON |= 0x10;
          // Enable DAC0
          DAC0CON |= 0x03;
          // DAC0 Output Range = AVDD..AGND

          // Initial DAC1
          DAC1CON &= 0xDF;
          // DAC0 Used Sysytem Clock
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DAC1CON |= 0x10;
        // Enable DAC0
        DAC1CON |= 0x02;
        // DAC0 Output Range = +Vref..AGND
        REFCON   = 0x01;                                    // Used Internal 2.5V Reference


 data_dir_write();
 GP4SET  = 0x00FF0000;
 delay_ms(10);
 RF_CONFIG(0);
 delay_ms(10);
 while(1)
                    // Loop Continue
 {
        if ((GP4DAT & 0x00000008) != 0)
                        {
                      datarec = READ_DATA();
//                                  printf("\r\n%i",datarec);
                                    DAC0DAT = (datarec << 16);
                    // Update DAC0 Sine Output(0..3V3)
                                    GP1DAT ^= 0x00800000;
                        }

 }
}


/*************************/
/* Write Character To UART */
/*************************/
int putchar(int ch)                                 // Write character to Serial Port
{
 if (ch == '\n')
 {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  while(!(0x40==(COMSTA0 & 0x40)))                    // Wait TX Complete
   {
          }
          COMTX = 0x0D;
          // Write CR
 }
 while(!(0x40==(COMSTA0 & 0x40)))                  // Wait TX Complete
 {
 }

 return (COMTX = ch);
}

/*****************************/
/* Read Character From UART */
/*****************************/
int getchar (void)                                  // Read character from Serial Port
{
 while(!(0x01==(COMSTA0 & 0x01)))                  // Wait Receive Data Ready
 {
 }
 return (COMRX);
}


/************************/
/* Test ADC 12Bit/10Ch */
/************************/
void test_adc(void)
{
 unsigned int val;                                                  // ADC Result (HEX)
 float volt;
          // ADC Result Volt
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int adc_scan;
        // ADC Channel Scan

// Power-ON ADC
ADCCON  = 0x00000000;
        // Reset ADC Config
ADCCON |= 0x00000020;
        // Power-ON ADC Function
delay(1000);
        // Wait ADC Power-on Ready

ADCCON |= 0x00001400;
        // ADC Clock = fADC/32
ADCCON |= 0x00000300;
        // Acquisition Time = 16 Cycle Clock
ADCCON &= 0xFFFFFFE7;
        // ADC = Single-End Mode
ADCCON |= 0x00000004;
        // Continue Software Convert
REFCON  = 0x00000001;
        // Used Internal 2.5V Reference
ADCCON |=     0x00000080;
        // ADC Start Conversion

printf("ET-ARM7 BASE ADUc7024..TEST ADC[0..9]\n\0");// Call printf Function
printf("ADC Analog Input Voltage = 0-2.5V\n\n\0");

while (1)
{
  printf("\rADC Result\0");                          // Start Message Display

   for (adc_scan=0;adc_scan<10;adc_scan++)                    // Read 10-Channel
ADC(ADC[0..9])
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        {
  ADCCP = adc_scan;                    // Select Channel to Conversion
        delay(1000);
        // Wait Select Channel Ready
        while (!ADCSTA){};
        // Wait ADC Conversion Complete (Bit0="1")
        val = (ADCDAT >> 16)& 0x00000FFF;          // Shift ADC Result to Integer

        volt = val * (2.50 / 4096.0);              // Volt = ADC Result x [2.5V / 4095]

        printf(" : %1.1f",volt);                   // Display 3-Digit Result(0-2.5V)
        delay(1000);
        }

        printf(" Volt.\r\0");                      // End of Message Display
  }
}

/***********************/
/* Test DAC 12Bit/2Ch */
/***********************/
void test_dac(void)
{
        const static unsigned short table_sine[64] =    // Sine Function
            {
             0x07FF, 0x08C8, 0x098E, 0x0A51, 0x0B0F, 0x0BC4, 0x0C71, 0x0D12,
             0x0DA7, 0x0E2E, 0x0EA5, 0x0F0D, 0x0F63, 0x0FA6, 0x0FD7, 0x0FF5,
                  0x0FFF, 0x0FF5, 0x0FD7, 0x0FA6, 0x0F63, 0x0F0D, 0x0EA5, 0x0E2E,
             0x0DA7, 0x0D12, 0x0C71, 0x0BC4, 0x0B0F, 0x0A51, 0x098E, 0x08C8,
             0x07FF, 0x0736, 0x0670, 0x05AD, 0x04EF, 0x043A, 0x038D, 0x02EC,
             0x0257, 0x01D0, 0x0159, 0x00F1, 0x009B, 0x0058, 0x0027, 0x0009,
             0x0000, 0x0009, 0x0027, 0x0058, 0x009B, 0x00F1, 0x0159, 0x01D0,
             0x0257, 0x02EC, 0x038D, 0x043A, 0x04EF, 0x05AD, 0x0670, 0x0736
            };
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    int   i = 0;

    // Initial DAC0
    DAC0CON &= 0xDF;
    // DAC0 Used Sysytem Clock
    DAC0CON |= 0x10;
    // Enable DAC0
    DAC0CON |= 0x03;
    // DAC0 Output Range = AVDD..AGND

    // Initial DAC1
    DAC1CON &= 0xDF;
    // DAC0 Used Sysytem Clock
    DAC1CON |= 0x10;
    // Enable DAC0
    DAC1CON |= 0x02;
    // DAC0 Output Range = +Vref..AGND
    REFCON  = 0x01;                         // Used Internal 2.5V Reference

    while(1)
    // Loop Continue
    {
     DAC0DAT = (table_sine[i] << 16);       // Update DAC0 Sine Output(0..3V3)
     DAC1DAT = ((i * 0x3F) << 16);          // Update DAC1 SAW  Output(0..2V5)
     i++;
          // Next Pointer
     i &= 0x3F;                                     // 0..63
    }
}

/****************/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Test Port-IO */
/*****************/
void test_manual(void)
{
 unsigned char rs232_data;                          // RS232 Get Byte
 unsigned long int LED;                             // LED Output Status Buffer
 // Test Output GPIO (Active "0")
 // P4[7..0] <- P3[7..0] <- P1[7..2] <- P2[0] <- P0[7..3] <- P0[0]

 // Config All Port = GPIO
 GP0CON = 0x00000000;                               // P0 = GPIO
 GP1CON = 0x00000011;                               // P0[7..2]=GPIO,P1.1 = TXD & P1.0 = RXD
 GP2CON = 0x00000000;                               // P2 = GPIO
 GP3CON = 0x00000000;                               // P3 = GPIO
 GP4CON = 0x00000000;                               // P4 = GPIO

 // Config GPIO Direction   (Bit[31..24])
 // Config GPIO Data Output (Bit[23..16])
 GP0DAT = 0xF9000000;                               // P0[7,6,5,4,3,0] = Output
 GP1DAT = 0xFC000000;                               // P1[7,6,5,4,3,2] = Output
 GP2DAT = 0x01000000;                               // P2[0] = Output
 GP3DAT = 0xFF000000;                               // P3[7,6,5,4,3,2,1,0] = Output
 GP4DAT = 0xFF000000;                               // P4[7,6,5,4,3,2,1,0] = Output

 // Config GPIO Set Output  (Bit[23..16])
 GP0SET = 0x00F90000;                               // OFF P0[7,6,5,4,3,0]
 GP1SET = 0x00FC0000;                               // OFF P1[7,6,5,4,3,2]
 GP2SET = 0x00010000;                               // OFF P2[0]
 GP3SET = 0x00FF0000;                               // OFF P3[7,6,5,4,3,2,1,0]
 GP4SET = 0x00FF0000;                               // OFF P4[7,6,5,4,3,2,1,0]

 while (1)
        // Loop Continue
 {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        GP0CLR = 0x00010000;                                    // ON  P0.0

        rs232_data = getchar();                                 // Wait Continue
        GP0SET = 0x00F90000;                                    // OFF P0[7,6,5,4,3,0]

        // Shift Left P0
// xxxx xxxx [7654 3xxx] xxxx xxxx xxxx xxxx
for (LED=0x00080000; LED<= 0x00800000; LED<<=1)             // Blink LED P0.7 <- P0.3
{
 GP0CLR = LED;                                              // Output to P0(Active "0")

 rs232_data = getchar();                                    // Wait Continue
        GP0SET = 0x00F80000;                                // OFF All P0
}

        GP2CLR = 0x00010000;                                // ON  P2.0

        rs232_data = getchar();                                 // Wait Continue
        GP2SET = 0x00010000;                                    // OFF P2.0

// Shift Left P1
        // xxxx xxxx [7654 32xx] xxxx xxxx xxxx xxxx
for (LED=0x00040000; LED<= 0x00800000; LED<<=1)             // Blink LED P1.7 <- P1.2
{
 GP1CLR = LED;                                              // Output to P1(Active "0")

 rs232_data = getchar();                                    // Wait Continue
        GP1SET = 0x00FC0000;                                // OFF All P1
}

        // Shift Left P3
        // xxxx xxxx [7654 3210] xxxx xxxx xxxx xxxx
for (LED=0x00010000; LED<= 0x00800000; LED<<=1)     // Blink LED P3.7 <- P3.0
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    GP3CLR = LED;                                   // Output to P3(Active "0")

    rs232_data = getchar();                         // Wait Continue
        GP3SET = 0x00FF0000;                            // OFF All P3
  }

      // Shift Left P4
      // xxxx xxxx [7654 3210] xxxx xxxx xxxx xxxx
  for (LED=0x00010000; LED<= 0x00800000; LED<<=1)       // Blink LED P4.7 <- P4.0
  {
    GP4CLR = LED;                                   // Output to P4(Active "0")

    rs232_data = getchar();                         // Wait Continue
        GP4SET = 0x00FF0000;                        // OFF All P4
  }
 }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LAIPAC TECH

TRF-2.4G Transceiver

Data Sheet

High frequency 2.4G Wireless Transceiver

Antenna, Codec and CRC built in

Data Rate up to 1Mbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High frequency TRF-2.4G Transceiver module

Specification

- Frequency Range: 2.4~2.524 GHz ISM band
- Modulate Mode: GFSK
- Data Rate: 1Mbps; 250Kbps
- Multi channel operation: 125 channels, Channel switching time<200uS, Support frequency hopping
- Emulated full duplex RF link due to the 1Mbits/s on the air data rate
- Simultaneous dual receiver
- Data slicer / clock recovery of data
- Including decoder, encoder and data buffer and CRC computation
- ShockBurst mode for ultra-low power operation and relaxed MCU performance
- Sensitivity: -90dBm
- Built in antenna
- Power supply range: 1.9 to 3.6 V
- Low supply current (TX), typical 10.5mA peak@ -5dBm output power
- Low supply current (RX), typical18mA peak in receive mode
- Supply current in Power Down Mode: 1 uA
- Operating Temperature: -40~+85 Centigrade
- Size: 20.5*36.5*2.4mm
- 100% RF tested
- Competitive price

Applications

- Wireless mouse, keyboard, joystick
- Wireless data communication
- Alarm and security systems
- Home automation
- Wireless Earphone
- Telemetry
- Surveillance
- Automotive

GENERAL DESCRIPTION

Laipac TRF-2.4G Module is an easy to use radio transceiver for the world wide 2.4 - 2.5 GHz ISM band. The transceiver consists of an antenna, a fully integrated frequency synthesizer, a power amplifier, a crystal oscillator and a modulator. Output power and frequency channels are easily programmable by use of the 3-wire serial interface. Current consumption is very low, only 10.5mA at an output power of -5dBm and 18mA in receive mode. Built-in Power Down modes makes power saving easily realizable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL SPECIFICATIONS

Conditions: VCC = +3V, VSS = 0V, T_A = - 40°C to + 85°C

Symbol	Parameter (condition)	Notes	Min.	Ttp.	Max.	Units
	Operating conditions					
VCC	Supply voltage		1.9	3.0	3.6	V
TEMP	Operating Temperature		-40	+27	+85	°C
	Digital input pin					
V_{IH}	*HIGH level input voltage*		VCC-0.3		VCC	V
V_{IL}	LOW level input voltage		Vss		0.3	V
	Digital output pin					
V_{OH}	HIGH level output voltage (IOH=-0.5mA)		VCC-0.3		VCC	V
V_{OL}	LOW level output voltage (IOL=0.5mA)		Vss		0.3	V
	General RF conditions					
f_{OP}	Operating frequency	1)	2400		2524	MHz
Δf	Frequency deviation			±156		kHz
R_{GFSK}	Data rate ShockBurst		>0		1000	kbps
R_{GFSK}	Data rate Direct Mode	2)	250		1000	kbps
$F_{CHANNEL}$	Channel spacing			1		MHz
	Transmitter operation					
P_{RF}	Maximum Output Power	3)		0	+4	dBm
P_{RFC}	RF Power Control Range		16	20		dB
P_{RFCR}	RF Power Control Range Resolution				±3	dB
P_{BW}	20dB Bandwidth for Modulated Carrier				1000	kHz
P_{RF2}	2nd Adjacent Channel Transmit Power 2MHz				-20	dBm
P_{RF3}	3rd Adjacent Channel Transmit Power 3MHz				-40	dBm
I_{VCC}	Supply current @ 0dBm output power	4)		13		mA
I_{VCC}	Supply current @ -20dBm output power	4)		8.8		mA
I_{VCC}	Average Supply current @ -5dBm output power, ShockBurst	5)		0.8		mA
I_{VCC}	Average Supply current in stand-by mode	6)		12		µA
I_{VCC}	Average Supply current in power down			1		µA
	Receiver operation					
I_{VCC}	Supply current one channel 250kbps			18		mA
I_{VCC}	Supply current one channel 1000kbps			19		mA
I_{VCC}	Supply current two channels 250kbps			23		mA
I_{VCC}	Supply current two channels 1000kbps			25		mA
RX_{SENS}	Sensitivity at 0.1%BER (@250kbps)			-90		dBm
RX_{SENS}	Sensitivity at 0.1%BER (@1000kbps)			-80		dBm

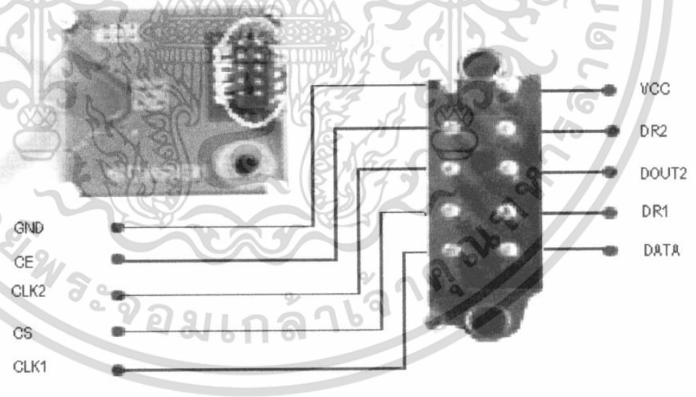
Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C/ICO	C/I Co-channel			6		dB
C/I1ST	1st Adjacent Channel Selectivity C/I 1MHz			-1		dB
C/I2ND	2nd Adjacent Channel Selectivity C/I 2MHz			-16		dB
C/I3RD	3rd Adjacent Channel Selectivity C/I 3MHz			-26		dB
RXB	Blocking Data Channel 2			-41		dB

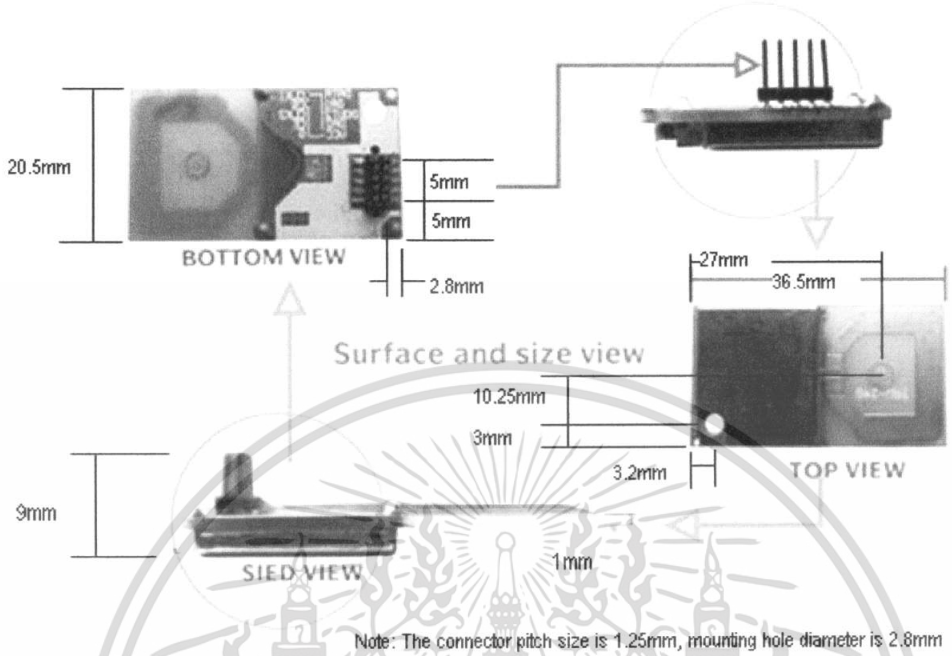
1) Usable band is determined by local regulations
2) Data rate must be either 250kbps or 1000kbps.
3) De-embedded Antenna load impedance = 400
4) De-embedded Antenna load impedance = 400 . Effective data rate 250kbps or 1Mbps.
5) De-embedded Antenna load impedance = 400 . Effective data rate 10kbps.
6) Current if 4 MHz crystal is used.

Table 1 TRF-2.4G RF specifications

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PIN FUNCTIONS

Pin	Name	Pin funtion	Description
1	GND	Power	Gound (0V)
2	CE	Input	Chip Enable activates RX or TX mode
3	CLK2	I/O	Clock outpu/input for RX data channel 2
4	CS	Input	Chip Select activates Configuration mode
5	CLK1	I/O	Clock Input(TX)&I/O(RX) for data channel 1 3-wire interface
6	DATA	I/O	RX data channel 1/TX data input /3-wire interface
7	DR1	Output	RX data ready at data channel 1 (ShockBurst only)
8	DOUT2	Output	RX data channel 2
9	DR2	Output	RX data ready at data channel 2 (ShockBurst only)
10	VCC	Power	Power Supply (+3V DC)

Table 2 TRF-2.4G pin function

MODE OF OPERATION

TRF-2.4G can be set in the following main mode:

Mode	CE	CS
Active (RX /TX)	1	0
Configuration	0	1
Stand by	0	0

Table 3 TRF-2.4G main modes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRF-2.4G has two active (RX /TX) modes:

- ShockBurst
- Direct Mode

The device functionality in these modes is decided by the content of a configuration word. This configuration word is presented in configuration section.

Absolute Maximum Ratings

Supply voltages

VCC.....- 0.3V to + 3.6V

VSS 0V

Input/Output voltages

V_I .....- 0.3V to VCC + 0.3V

V_O .....- 0.3V to VCC + 0.3V

Total Power Dissipation

P_D (T_A=85°C).....90mW

Temperatures

Operating Temperature.... - 40°C to + 85°C

Storage Temperature..... - 40°C to + 125°C

ShockBurst Mode

The ShockBurst technology uses on-chip FIFO to clock in data at a low data rate and transmit at a very high rate thus enabling extremely power reduction.
When operating the TRF-2.4G in ShockBurst, you gain access to the high data rates (1 Mbps) offered by the 2.4 GHz band without the need of a costly, high-speed micro
controller (MCU) for data processing.
By putting all high speed signal processing related to RF protocol on-chip, the TRF-2.4G offers the following benefits:

- Highly reduced current consumption
- Lower system cost (facilitates use of less expensive micro controller)
- Greatly reduced risk of 'on-air' collisions due to short transmission time

The TRF-2.4G can be programmed using a simple 3-wire interface where the data rate is decided by the speed of the micro controller.
By allowing the digital part of the application to run at low speed while maximizing the data rate on the RF link, the nRF ShockBurst mode reduces the average current consumption in applications considerably.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ShockBurst principle

When the TRF-2.4G is configured in ShockBurst, TX or RX operation is conducted in the following way (10 kbps for the example only).

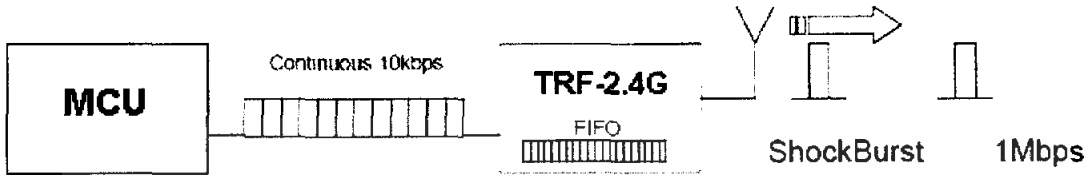


Figure 0 Clocking in data with MCU and sending with ShockBursttechnology

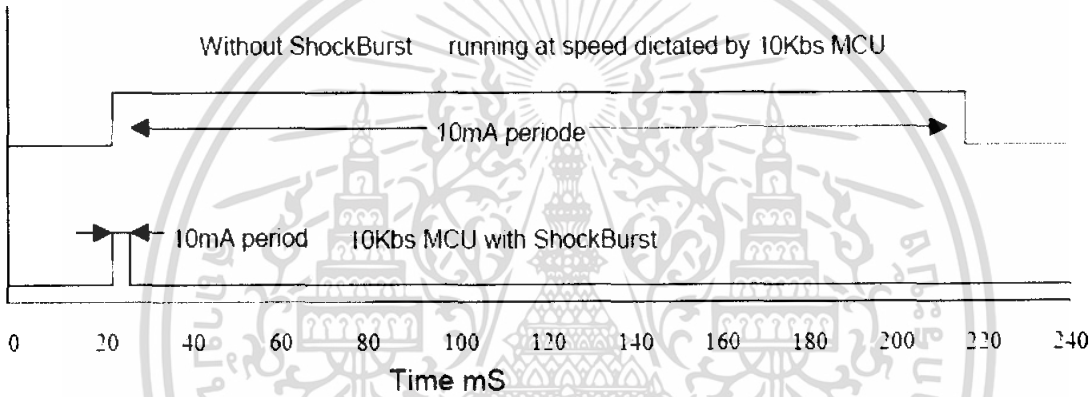


Figure 1 Current consumption with & without ShockBursttechnology

TRF-2.4G ShockBurst Transmit:

MCU interface pins: CE, CLK1, DATA

1. When the application MCU has data to send, set CE high. This activates TRF-2.4G on-board data processing.
2. The address of the receiving node (RX address) and payload data is clocked into the TRF-2.4G. The application protocol or MCU sets the speed <1Mbps (ex: 10kbps).
3. MCU sets CE low, this activates a TRF-2.4G ShockBurst transmission.
4. TRF-2.4G ShockBurst:
   - RF front end is powered up
   - RF package is completed (preamble added, CRC calculated)
   - Data is transmitted at high speed (250 kbps or 1 Mbps configured by user).
   - TRF-2.4G return to stand-by when finished

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

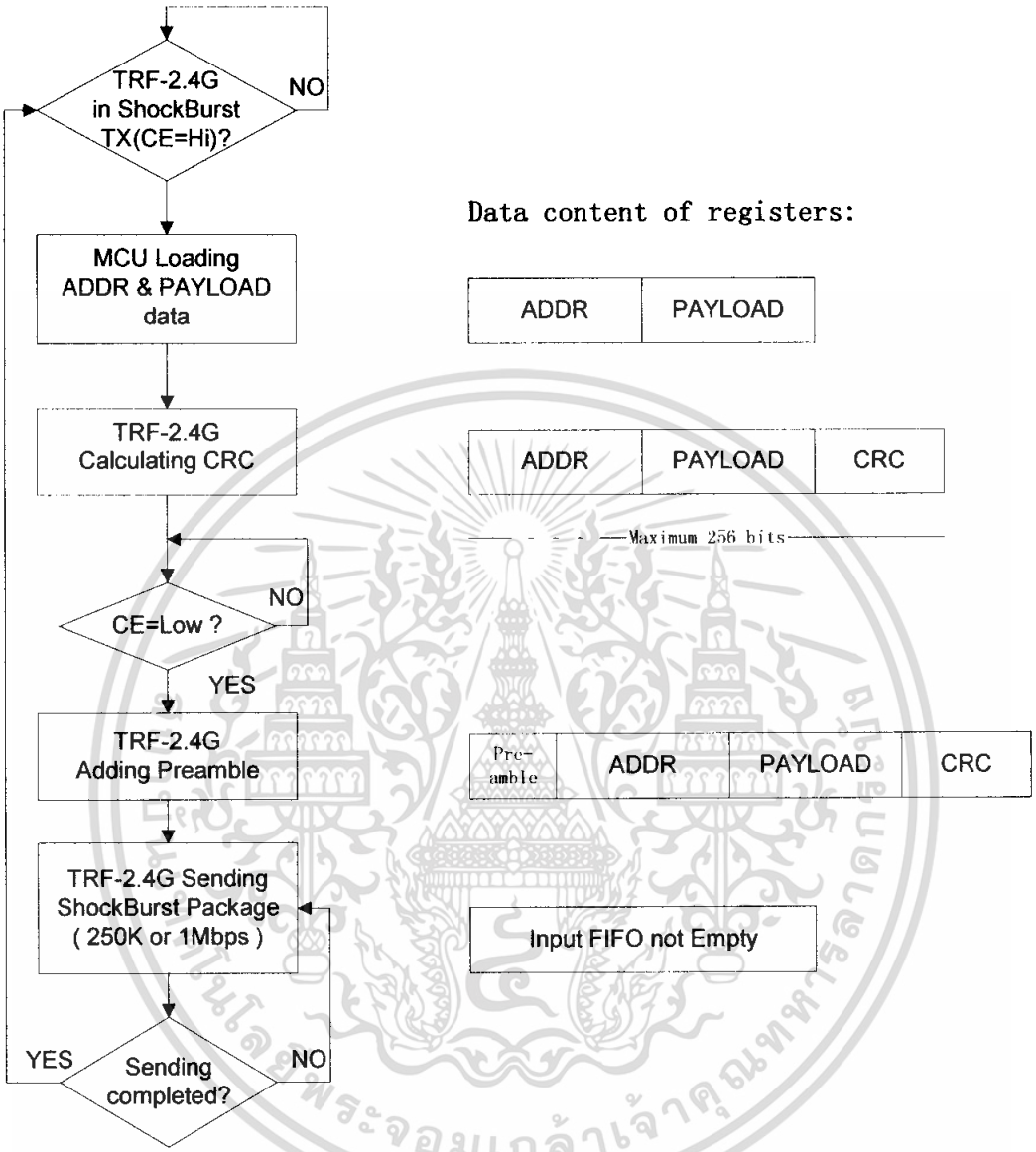


Figure 2 Flow Chart ShockBurst Transmit of TRF-2.4G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRF-2.4G ShockBurst Receive:

MCU interface pins: CE, DR1, CLK1 and DATA (one RX channel receive)

1. Correct address and size of payload of incoming RF packages are set when TRF-2.4G is configured to ShockBurst RX.
2. To activate RX, set CE high.
3. After 200 s settling, TRF-2.4G is monitoring the air for incoming communication.
4. When a valid package has been received (correct address and CRC found), TRF-2.4G removes the preamble, address and CRC bits.
5. TRF-2.4G then notifies (interrupts) the MCU by setting the DR1 pin high.
6. MCU may (or may not) set the CE low to disable the RF front end (low current mode).
7. The MCU will clock out just the payload data at a suitable rate (ex. 10 kbps).
8. When all payload data is retrieved TRF-2.4G sets DR1 low again, and is ready for new incoming data package if CE is kept high during data download. If the CE was set low, a new start up sequence can begin, see Figure 2.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

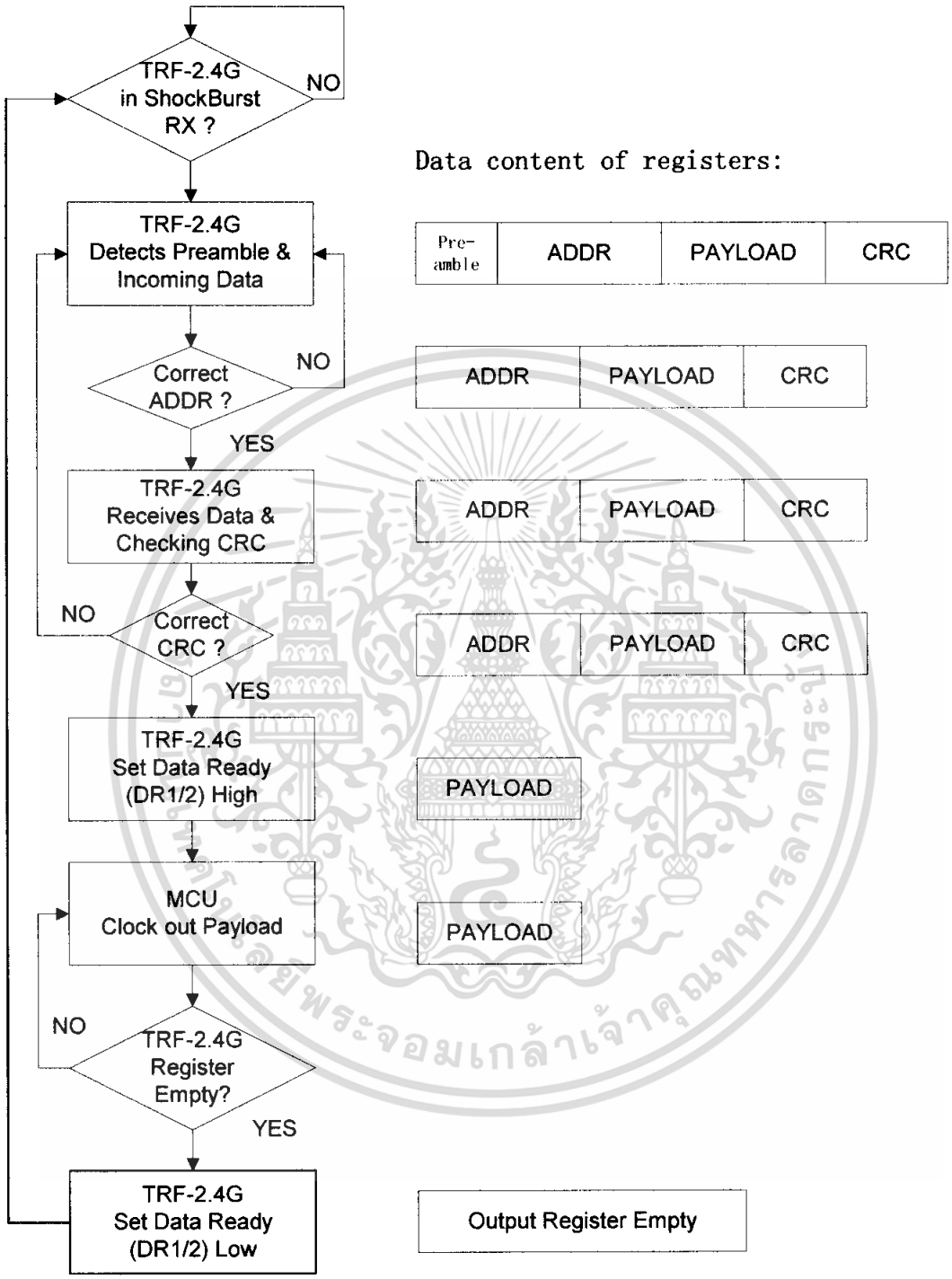


Figure 3 Flow Chart ShockBurst Receive of TRF-2.4G

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRF-2.4G Direct Mode:
In direct mode the TRF-2.4G works like a traditional RF device. Data must be at 1Mbps, or 250kbps at low data rate setting, for the receiver to detect the signals.

Direct Mode Transmit:
MCU interface pins: CE, DATA

1. When application MCU has data to send, set CE high
2. The TRF-2.4G RF front end is now immediately activated, and after 200 seconds settling time, data will modulate the carrier directly.
3. All RF protocol parts must hence be implemented in MCU firmware (preamble, address and CRC).

Direct Mode Receive:
MCU interface pins: CE, CLK1, and DATA

1. Once the TRF-2.4G is configured and powered up (CE high) in direct RX mode, DATA will start to toggle due to noise present on the air.
2. CLK1 will also start to toggle as TRF-2.4G is trying to lock on to the incoming data stream.
3. Once a valid preamble arrives, CLK1 and DATA will lock on to the incoming signal and the RF package will appear at the DATA pin with the same speed as it is transmitted.
4. To enable the demodulator to re-generate the clock, the preamble must be 8 bits toggling hi-low, starting with low if the first data bit low.
5. In this mode no data ready (DR) signals is available. Address and checksum verification must also be done in the receiving MC.

DuoCeiver Simultaneous Two Channel Receive Mode
In both ShockBurst & Direct modes the TRF-2.4G can facilitate simultaneous reception of two parallel independent frequency channels at the maximum data rate.
This means:

- TRF-2.4G can receive data from two 1 Mbps transmitters, 8 MHz (8 frequency channels) apart through one antenna interface.
- The output from the two data channels is fed to two separate MCU interfaces.
    - Data channel 1: CLK1, DATA, and DR1
    - Data channel 2: CLK2, DOUT2, and DR2
    - DR1 and DR2 are available only in ShockBurst.

The DuoCeiver technology provides 2 separate dedicated data channels for RX and replaces the need for two, stand alone receiver systems.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

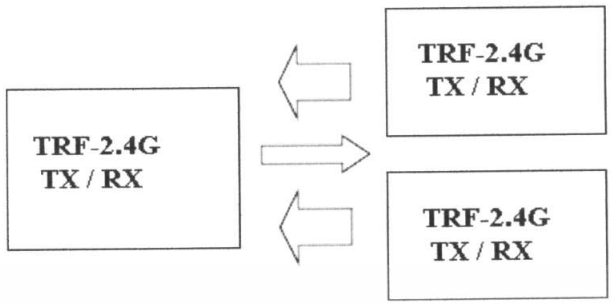
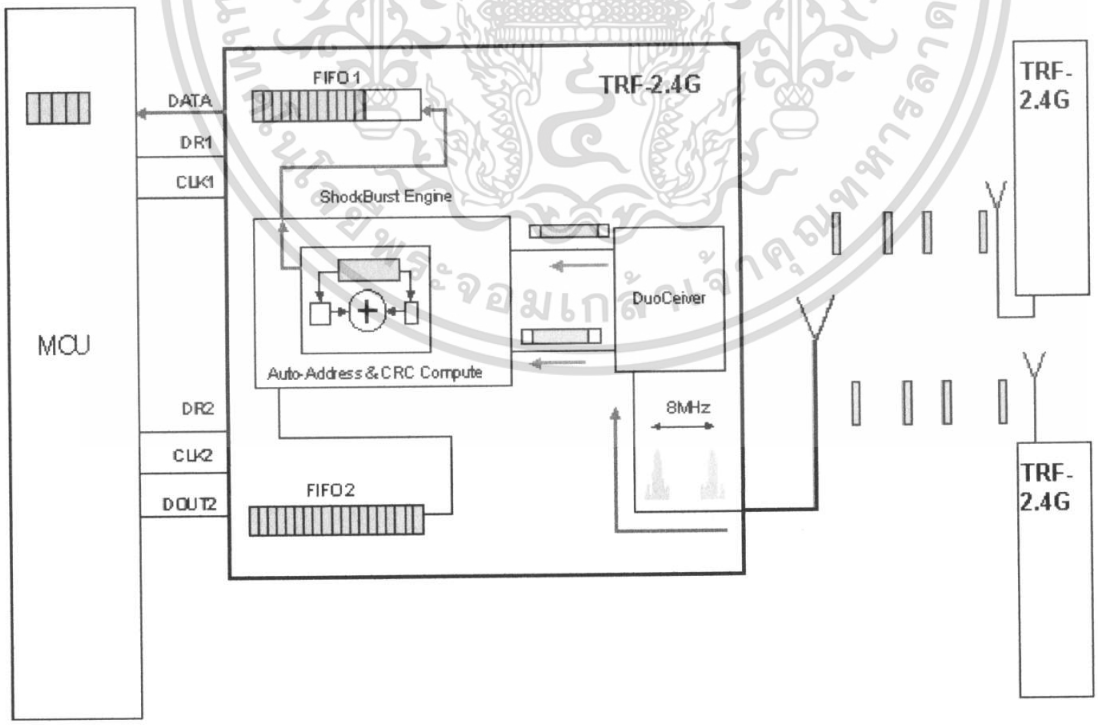


Figure 4 Simultaneous 2 channel receive on TRF-2.4G

There is one absolute requirement for using the second data channel. For the TRF-2.4G to be able to receive at the second data channel the frequency channel must be 8MHz higher than the frequency of data channel 1. The TRF-2.4G must be programmed to receive at the frequency of data channel 1. No time ultiplexing is used in TRF-2.4G to fulfil this function. In direct mode the MCU must be able to handle two simultaneously incoming data packets if it is not multiplexing between the two data channels. In ShockBurst it is possible for the MCU to clock out one data channel at a time while data on the other data channel waits for MCU availability, without any lost data packets, and by doing so reduce the needed performance of the MCU.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

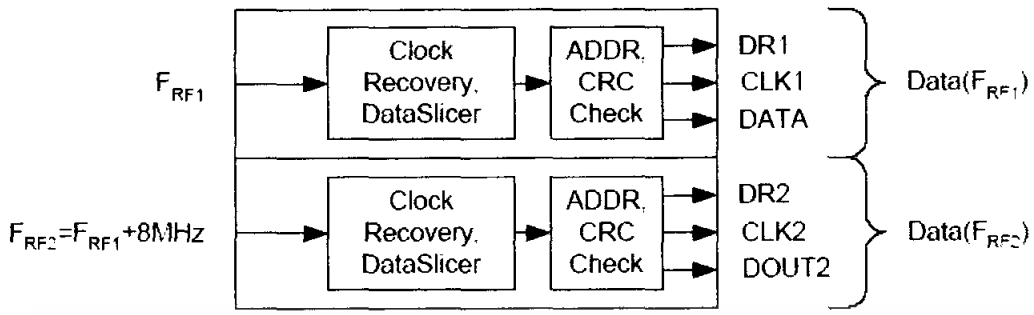


Figure 5 DuoCeiver with two simultaneously independent receive channels.

Configuration Mode

In configuration mode a configuration word of up to 15 bytes is downloaded to TRF-2.4G. This is done through a simple 3-wire interface (CS, CLK1 and DATA). For more information on configuration please refer to the TRF-2.4G Device configuration chapter on next 2nd page.

Stand-By Mode

Stand by mode is used to minimize average current consumption while aintaining short start up times. In this mode, part of the crystal oscillator is active. Current consumption is dependent on crystal frequency (Ex: 12uA @ 4 MHz, 32uA@ 16MHz). The configuration word content is maintained during stand by.

Power Down Mode

In power down the TRF-2.4G is disabled with minimal current consumption, typically less than 1 A. Entering this mode when the device is not active minimizes average current consumption, maximizing battery lifetime. The configuration word content is maintained during power down.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE CONFIGURATION

All configuration of the TRF-2.4G is done via a 3-wire interface to a single configuration register. The configuration word can be up to 15 bytes long for ShockBurst use and up to 2 bytes long for direct mode.

Configuration for ShockBurst operation

The configuration word in ShockBurst enables the TRF-2.4G to handle the RF protocol. Once the protocol is completed and loaded into TRF-2.4G only one byte, bit[7:0], needs to be updated during actual operation.

The configuration blocks dedicated to ShockBurst is as follows:

- Payload section width: Specifies the number of payload bits in a RF package. This enables the TRF-2.4G to distinguish between payload data and the CRC bytes in a received package.
- Address width: Sets the number of bits used for address in the RF package. This enables the TRF-2.4G to distinguish between address and payload data.
- Address (RX Channel 1 and 2): Destination address for received data.
- CRC: Enables TRF-2.4G on-chip CRC generation and de-coding.

NOTE:
These configuration blocks, with the exception of the CRC, are dedicated for the packages that a TRF-2.4G is to receive.
In TX mode, the MCU must generate an address and a payload section that fits the configuration of the TRF-2.4G that is to receive the data.
When using the TRF-2.4G on-chip CRC feature ensure that CRC is enabled and uses the same length for both the TX and RX devices.

PRE-AMBLE	ADDRESS	PAYLOAD	CRC

Figure 6 Data packet set-up

Configuration for Direct Mode operation

For direct mode operation only the two first bytes (bit[15:0]) of the configuring word are relevant.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Word overview

	Bit position	Number of bits	Name	Function
ShockBurst configuration	143:120	24	TEST	Reserved for testing
	119:112	8	DATA2_W	Length of data payload section RX channel 1
	111:104	8	DATA1_W	Length of data payload section RX channel 1
	103:64	40	ADDR2	Up to 5 bytes address for channel 2
	63:24	40	ADDR1	Up to 5 bytes address for channel 1
	23:18	6	ADDR_W	Number of address bits(both RX channels)
	17	1	CRC_L	8 or 16 bits CRC
	16	1	CRC_EN	Enable on-chip CRC generation/checking
General device configuration	15	1	RX2_EN	Enable two channel receive mode
	14	1	CM	Communication mode (Direct or ShockBurst)
	13	1	RFDR_SB	RF data rate (1Mbps requires 16MHz crystal)
	12:10	3	XO_F	Crystal frequency (Factory default 16MHz crystal mounted)
	9:8	2	RF_PWR	RF output power
	7:1	7	RF_CH#	Frequency channel
	0	1	RXEN	RX or TX operation

Table 4 Table of configuration words.

The configuration word is shifted in MSB first on positive CLK1 edges. New configuration is enabled on the falling edge of CS.

NOTE.
On the falling edge of CS, the TRF-2.4G updates the number of bits actually shifted in during the last configuration.
Ex:
If the TRF-2.4G is to be configured for 2 channel RX in ShockBurst, a total of 120 bits must be shifted in during the first configuration after VCC is applied.
Once the wanted protocol, modus and RF channel are set, only one bit (RXEN) is shifted in to switch between RX and TX.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Word Detailed Description

The following describes the function of the 144 bits (bit 143 = MSB) that is used to configure the TRF-2.4G.
General Device Configuration: bit[15:0]
ShockBurst Configuration: bit[119:0]
Test Configuration: bit[143:120]

MSB	TEST						
D143	D142	D141	D140	D139	D138	D137	D136
Reserved for testing							
1	0	0	0	1	1	1	0 Default

MSB	TEST														
D127	D126	D125	D124	D123	D122	D121	D120	D119	D118	D117	D116	D115	D114	D113	D112
Reserved for testing														Close PLL in TX	
0	0	0	0	1	0	0	0	0	0	0	1	1	1	0	0 Default

DATA2_W							
D119	D118	D117	D116	D115	D114	D113	D112
Data width channel=2 in # of bits excluding addr crc							
0	0	1	0	0	0	0	0 Default

DATA1_W							
D111	D110	D109	D108	D107	D106	D105	D104
Data width channel=1 in # of bits excluding addr crc							
0	0	1	0	0	0	0	0 Default

ADDR2											
D103	D102	D101	...	D71	D70	D69	D68	D67	D66	D65	D64
Channel=2 Address RX (up to 40bit)											
0	0	0	...	1	1	1	0	0	1	1	1 Default

ADDR1											
D63	D62	D61	...	D31	D30	D29	D28	D27	D26	D25	D24
Channel=1 Address RX (up to 40bit)											
0	0	0	...	1	1	1	0	0	1	1	1 Default

ADDR_W						
D23	D22	D21	D20	D19	D18	
Address width in # of bits (both channels)						
0	0	1	0	0	0	Default

CRC	
D17	D16
CRC Mode 1 = 16bit, 0 = 8bit	CRC 1 = enable, 0 = disable
0	1 Default

RF-Programming															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Two Ch	BCF	OD	XO Frequency			RF Power		Channel selection							RXEN
0	0	0	0	1	1	1	1	0	0	0	0	0	1	0	0 Default

Table 5 Configuration data word

The MSB bit should be loaded first into the configuration register.

ShochBurst configuation:

The section B[119:16] contains the segments of the configuration register dedicated to ShockBurst operational protocol. After VCC is turned on ShockBurst configuration is done once and remains set whilst VCC is present. During

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation only the first byte for frequency channel and RX/TX switching need to be changed.

DATAx_W

DATA2_W							
119	118	117	116	115	114	113	112

DATA1_W							
111	110	109	108	107	106	105	104

Table 6 Number of bits in payload.

Bit 119 – 112:

DATA2_W: Length of RF package payload section for receive-channel 2.

Bit 111 – 104:

DATA1_W: Length of RF package payload section for receive-channel 1.

NOTE:

The total number of bits in a ShockBurst RF package may not exceed 256!

Maximum length of payload section is hence given by:

DATAx_W(bits) = 256-ADDR_W - CRC

Where:

ADDR_W: length of RX address set in configuration word B[23:18]

CRC: check sum, 8 or 16 bits set in configuration word B[17]

PRE: preamble, 4 or 8 bits are automatically included

Shorter address and CRC leaves more room for payload data in each package.

ADDRx

ADDR2											
103	102	101	… …	71	70	69	68	67	66	65	64

ADDR1											
63	62	61	… …	31	30	29	28	27	26	25	24

Table 7 Address of receiver #2 and receiver #1.

Bit 103 – 64:

ADDR2: Receiver address channel 2, up to 40 bit.

Bit 63 – 24: ADDR1

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADDR1: Receiver address channel 1, up to 40 bit.

NOTE!

Bits in ADDRx exceeding the address width set in ADDR_W are redundant and can be set to logic 0.

ADDR_W& CRC

ADDR_W						CRC_L	CRC_EN
23	22	21	20	19	18	17	16

Table 8 Number of bits reserved for RX address + CRC setting.

Bit 23 – 18:

ADDR_W: Number of bits reserved for RX address in ShockBurst packages.

NOTE:

Maximum number of address bits is 40 (5 bytes). Values over 40 in ADDR_W are not valid.

Bit 17:

CRC_L: CRC length to be calculated by TRF-2.4G in ShockBurst.

Logic 0: 8 bit CRC

Logic 1: 16 bit CRC

Bit: 16:

CRC_EN: Enables on-chip CRC generation (TX) and verification (RX).

Logic 0: On-chip CRC generation/checking disabled

Logic 1: On-chip CRC generation/checking enabled

NOTE:

An 8 bit CRC will increase the number of payload bits possible in each ShockBurst data packet, but will also reduce the system integrity.

General device configuration:

This section of the configuration word handles RF and device related parameters.

Modes:

RX2_EN	CM	RFDR_SB	XO_F			RF_PWR	
15	14	13	12	11	10	9	8

Table 9 RF operational settings.

Bit 15:

RX2_EN:

Logic 0: One channel receive

Logic 1: Two channels receive

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTE:

In two channels receive, the TRF-2.4G receives on two, separate frequency channels simultaneously. The frequency of receive channel 1 is set in the configuration word B[7-1], receive channel 2 is always 8 channels (8 MHz) above receive channel 1.

Bit 14:

Communication Mode:

Logic 0: TRF-2.4G operates in direct mode.

Logic 1: TRF-2.4G operates in ShockBurst mode

Bit 13:

RF Data Rate:

Logic 0: 250 kbps

Logic 1: 1 Mbps

NOTE:

Utilizing 250 kbps instead of 1Mbps will improve the receiver sensitivity by 10 dB. 1Mbps requires 16MHz crystal.

Bit 12-10:

XO_F: Selects the TRF-2.4G crystal frequency to be used:

XO FREQUENCY SELECTION			
D12	D11	D10	Crystal Frequency (MHz)
0	1	1	16
Factory default: 16MHz Crystal is used inside module			

Table 10 Crystal frequency setting.

Bit 9-8:

RF_PWR: Sets TRF-2.4G RF output power in transmit mode:

RF OUTPUT POWER		
D9	D8	P (dBm)
0	0	-20
0	1	-10
1	0	-5
1	1	0

Table 11 RF output power setting.

RF channel & direction

RF_CH#							RXEN
7	6	5	4	3	2	1	0

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 12 Frequency channel + RX / TX setting.

Bit 7 – 1:

RF_CH#: Sets the frequency channel the TRF-2.4G operates on.

The channel frequency in ***transmit*** is given by:

$Channel_{RF} = 2400MHz + RF_CH\# * 1.0MHz$

RF_CH #: between 2400MHz and 2527MHz may be set.

The channel frequency in ***data channel 1*** is given by:

$Channel_{RF} = 2400MHz + RF_CH\# * 1.0MHz$ *(Reiceive at PIN#8)*

RF_CH #: between 2400MHz and 2524MHz may be set.

NOTE:

The channels above 83 can only be utilized in certain territories (ex: Japan)

The channel frequency in ***data channel 2*** is given by:

$Channel_{RF} = 2400MHz + RF_CH\# * 1.0MHz + 8MHz$ *(Reiceive at PIN#4)* ???

RF_CH #: between 2408MHz and 2524MHz may be set.

Bit 0:

Set active mode:

Logic 0: transmit mode

Logic 1: receive mode

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA PACKAGE DESCRIPTION

Figure 7 Data Package Diagram

The data packet for both ShockBurst mode and direct mode communication is divided into 4 sections. These are:

1 PREAMBLE	• The preamble field is required in ShockBurst and Direct modes • Preamble is 8 (or 4) bits in length and is dependent of the first data bit in direct mode. PREAMBLE 1st ADDR-BIT 01010101 0 10101010 1 • Preamble is automatically added to the data packet in ShockBurst and thereby gives extra space for payload. • In ShockBurst mode the preamble is stripped from the received output data, in direct mode the preamble is transparent to the output data.
2 ADDRESS	• The address field is required in ShockBurst mode. • 8 to 40 bits length. • Address automatically removed from received packet in ShockBurst mode. In Direct mode MCU must handle address.
3 PAYLOAD	• The data to be transmitted • In Shock-Burst mode payload size is 256 bits minus the following: (Address: 8 to 40 bits. + CRC 8 or 16 bits). • In Direct mode the payload size is defined by 1Mbps for 4ms: 4000 bits minus the following: (Preamble: 8 (or 4) bits. + Address: 8 to 40 bits. + CRC: 0, 8 or 16 bits).
4 CRC	• The CRC is optional in ShockBurst mode, and is not used in Direct mode. • 8 or 16 bits length • The CRC is stripped from the received output data.

Table 13 Data package description

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT TIMING DATA

The following timing applies for operation of TRF-2.4G.

TRF-2.4G Timing Information

TRF-2.4G timing	Max.	Min.	Name
PWR_DWN => ST_BY mode	3ms		Tpd2sby
PWR_DWN =>Active mode (RX/TX)	3ms		Tpd2a
ST_BY => TX ShockBurst	195µs		Tsby2txSB
ST_BY => TX Direct Mode	202µs		Tsby2txDM
ST_BY => RX mode	202µs		Tsby2rx
Minimum delay from CS to data		5µs	Tcs2data
Minimum delay from CE to data		5µs	Tce2data
Minimum delay from DR1/2 to clk		50ns	Tdr2clk
Maximum delay from clk to data	50ns		Tclk2data
Delay between edges		50ns	Td
Setup time		500ns	Ts
Hold time		500ns	Th
Delay to finish internal GFSK data		1/data rate	Tfd
Minimum input clock high		500ns	Thmin
Set-up of data in Direct Mode	50ns		Tsdm
Minimum clock high in Direct Mode		300ns	Thdm
Minimum clock low in Direct Mode		230ns	Tldm

Table 14 Switching times for TRF-2.4G

When the TRF-2.4G is in power down it must always settle in stand-by (Tpd2sby) before it can enter configuration or one of the active modes.

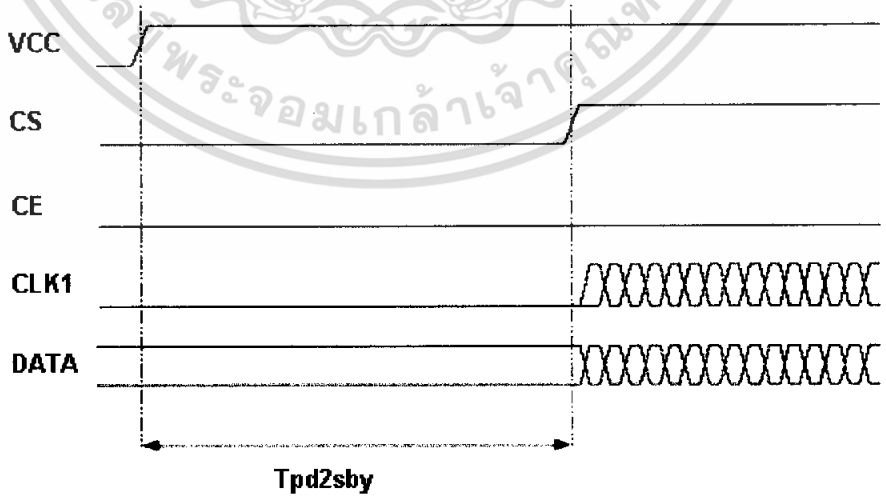


Figure 8 Timing diagram for power down (or VCC off) to stand by mode

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

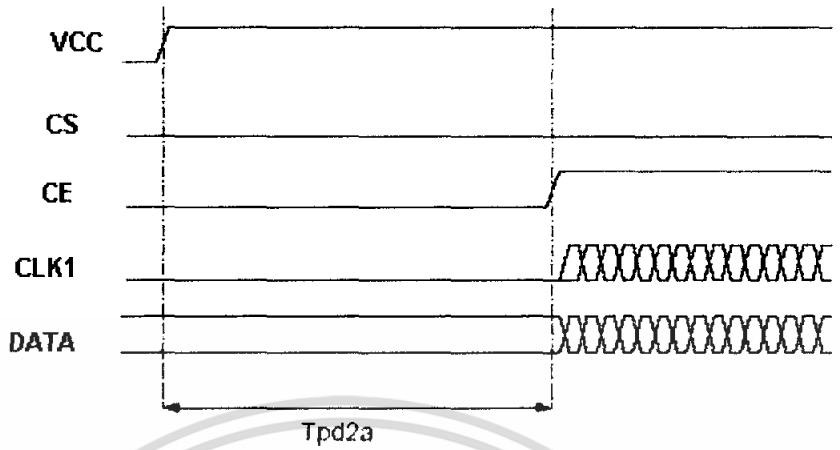


Figure 9 Power down (or VCC off) to active mode

Note that the configuration word will be lost when VCC is turned off and that the device then must be configured before going to one of the active modes. If the device is configured one can go directly from power down to the wanted active mode.

Note:

CE and CS may not be high at the same time. Setting one or the other decides whether configuration or active mode is entered.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration mode timing

When one or more of the bits in the configuration word needs to be changed the following timing apply.

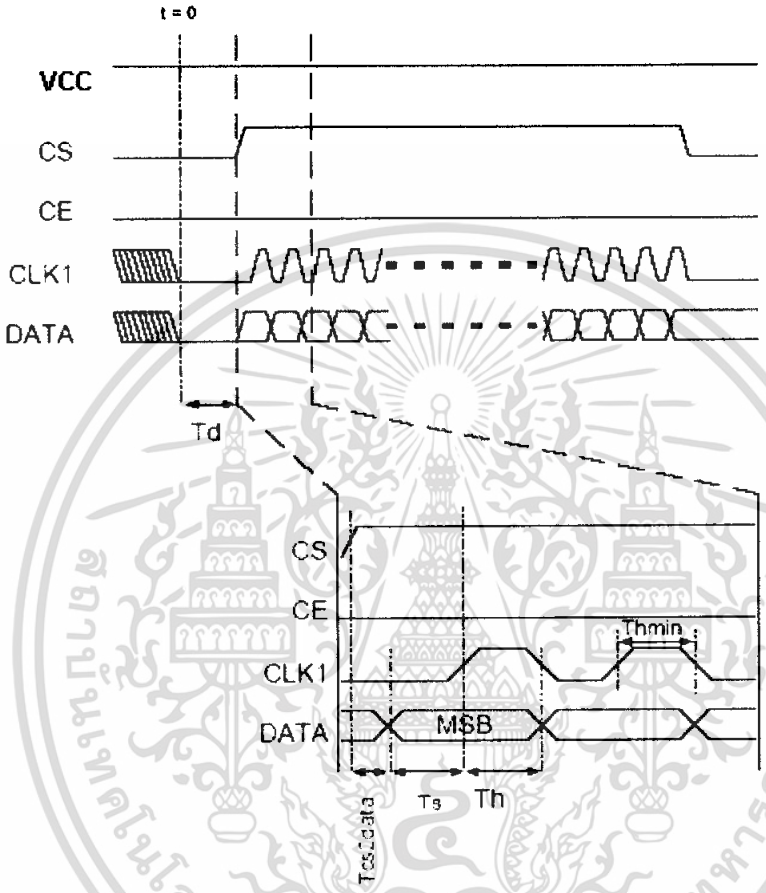


Figure 10 Timing diagram for configuration of TRF-2.4G

If configuration mode is entered from power down, CS can be set high after Tpd2sby as shown in Figure 10.

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ShockBurst mode timing

ShockBurst TX:

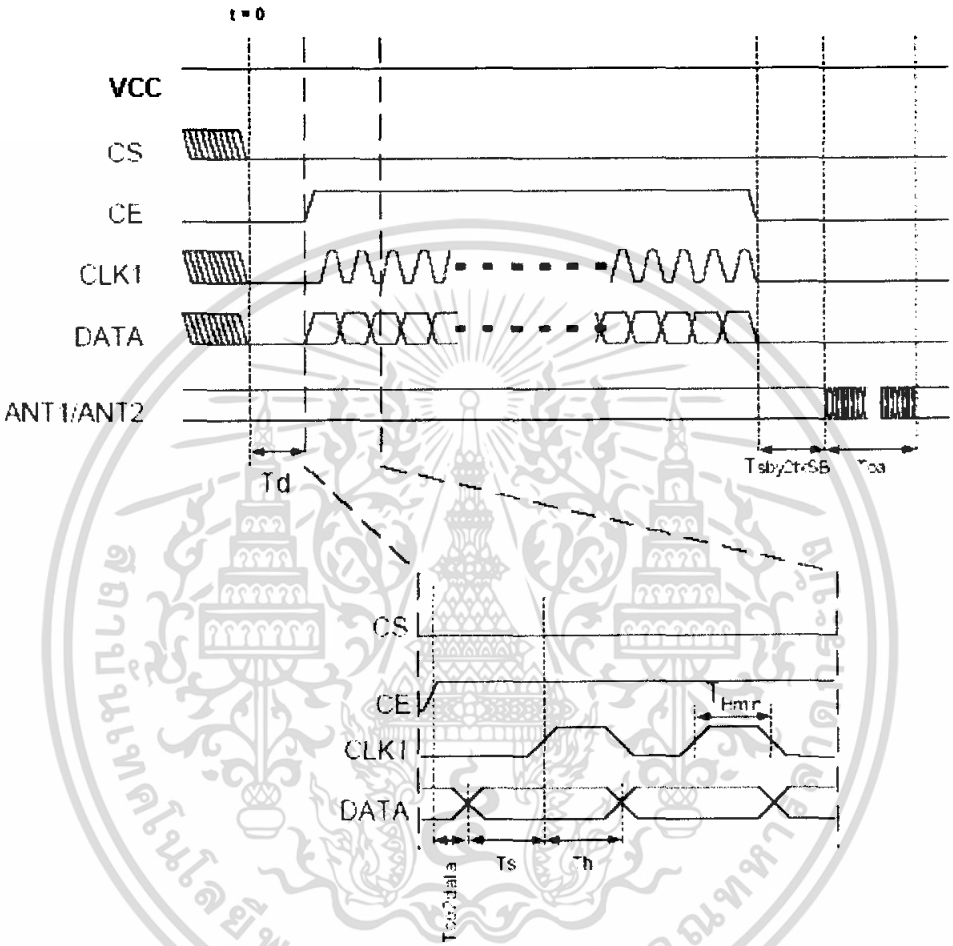


Figure 11 Timing of ShockBurst in TX

The package length and the data rate give the delay Toa (time on air), as shown in the equation.

$$T_{OA} = 1/datarate * (\#databits + 1)$$

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ShockBurst RX:

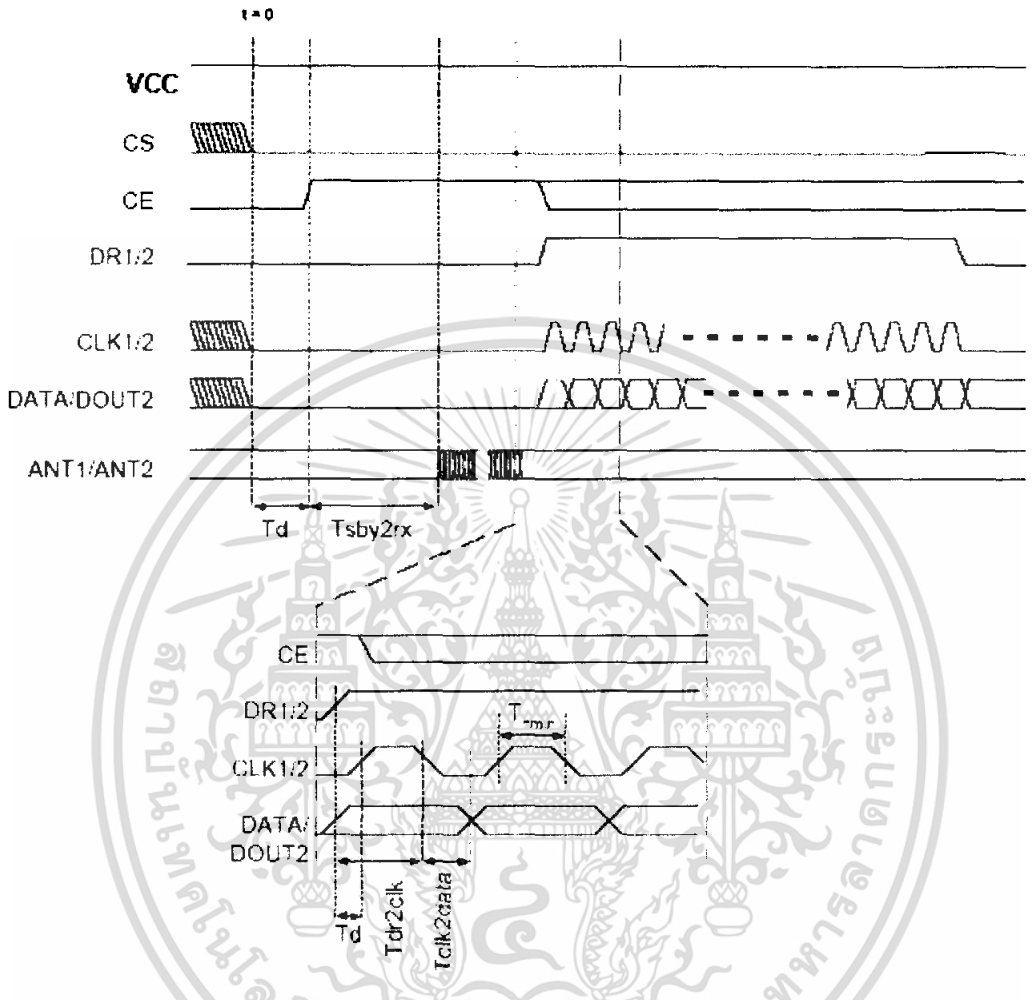


Figure 12 Timing of ShockBurst in RX

The CE may be kept high during downloading of data, but the cost is higher current consumption (18mA) and the benefit is no start-up time (200 s) after the DR1 goes low.

Direct Mode

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Direct Mode TX

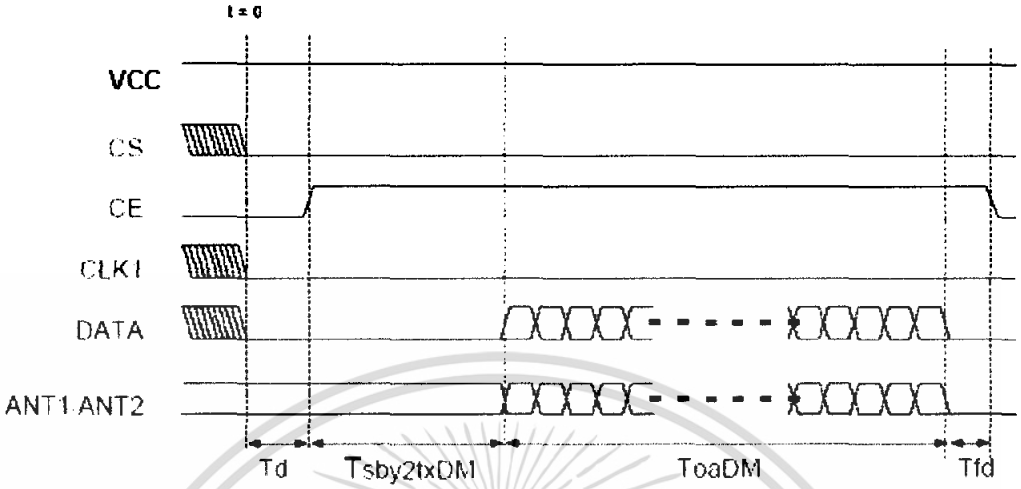


Figure 13 Timing of direct mode TX

In TX direct mode the input data will be sampled by TRF-2.4G and therefore no clock is needed. The clock must be stable at low level during transmission due to noise considerations. The exact delay Tsby2txDM is given by the equation:

$$T_{sby2txDM} = 194uS + 1/F_{XO} * 14 + 2.25uS$$

Laipac Technology Inc. www.laipac.com Phone +1-905-7621228 Fax +1-905-7631737
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Direct Mode RX

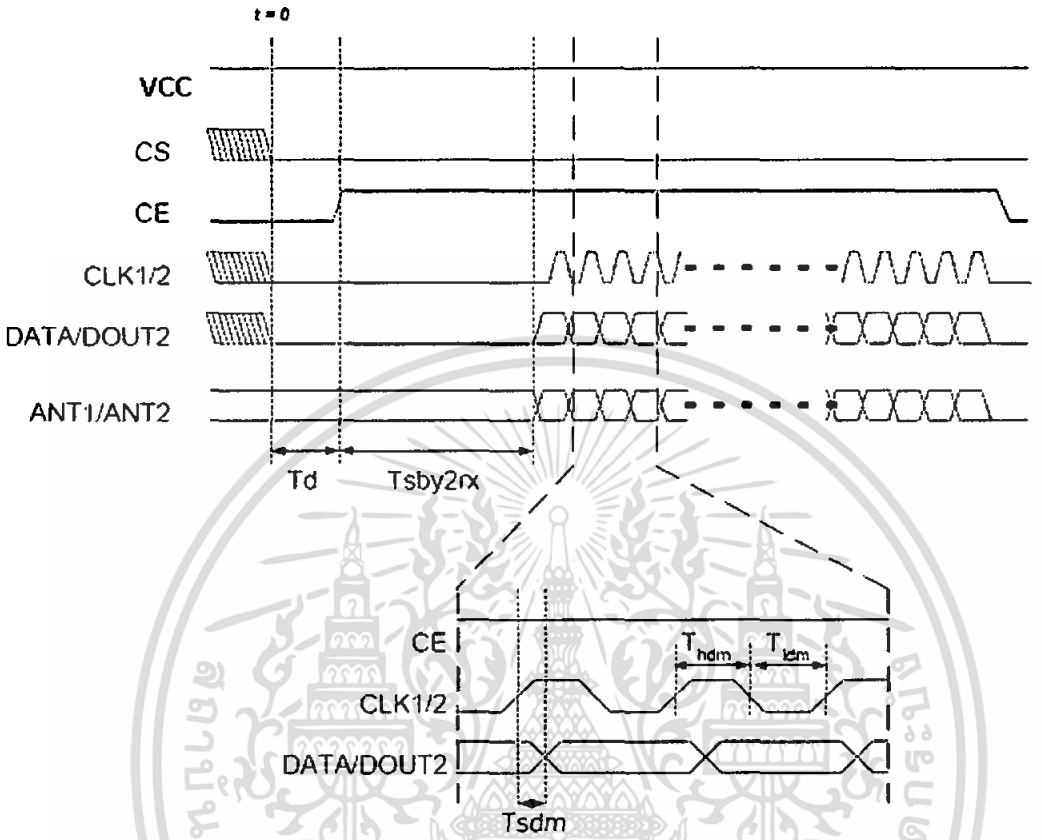


Figure 14 Timing of direct mode RX

Tsby2rx describes the delay from the positive edge of CE to the start detection of (demodulated) incoming data.

PERIPHERAL RFINFORMATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Antenna output

The ANT1 & ANT2 output pins provide a balanced RF output to the antenna. The pins must have a DC path to VCC, either via a RF choke or via the center point in a dipole antenna. The load impedance seen between the ANT1/ANT2 outputs should be in the range 200-700 . A de-embedded load impedance i.e. impedance seen at drain terminals of the output transistors of 400 . is recommended for maximum output power (0dBm). Lower load impedance (for instance 50) can be obtained by fitting a simple matching network.

Output Power adjustment

Power setting bits of Configuring word	RF output power	DC current consumption
11	0 dBm ±3dB	13.0 mA
10	-5 dBm ±3dB	10.5 mA
01	-10 dBm ±3dB	9.4 mA
00	-20 dBm ±3dB	8.8 mA

Conditions: VCC = 3.0V, VSS = 0V, TA = 27°C, Load impedance = 400 .

Table 15 RF output power setting for the TRF-2.4G.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Word Example

1 Channel, Freq.: 2410MHz, 1Mbps and Transmit mode:

Bit143	Bit142	Bit41	Bit140	Bit139	Bit138	Bit137	Bit136
1	0	0	0	1	1	1	0
Bit135	Bit134	Bit133	Bit132	Bit131	Bit130	Bit129	Bit128
0	0	0	0	1	0	0	0
Bit127	Bit126	Bit125	Bit124	Bit123	Bit122	Bit121	Bit120
0	0	0	1	1	1	0	0
Bit119	Bit118	Bit117	Bit116	Bit115	Bit114	Bit113	Bit112
1	1	0	0	1	0	0	0
Bit111	Bit110	Bit109	Bit108	Bit107	Bit106	Bit105	Bit104
1	1	0	0	1	0	0	0
Bit103	Bit102	Bit101	Bit100	Bit99	Bit98	Bit97	Bit96
1	1	0	0	0	0	0	0
Bit95	Bit94	Bit93	Bit92	Bit91	Bit90	Bit89	Bit88
1	0	1	0	1	0	1	0
Bit87	Bit86	Bit85	Bit84	Bit83	Bit82	Bit81	Bit80
0	1	0	1	0	1	0	1
Bit79	Bit78	Bit77	Bit76	Bit75	Bit74	Bit73	Bit72
1	0	1	0	1	0	1	0
Bit71	Bit70	Bit69	Bit68	Bit67	Bit66	Bit65	Bit64
0	1	0	1	0	1	0	1
Bit63	Bit62	Bit61	Bit60	Bit59	Bit58	Bit57	Bit56
1	0	1	0	1	0	1	0
Bit55	Bit54	Bit53	Bit52	Bit51	Bit50	Bit49	Bit48
0	1	0	1	0	1	0	1
Bit47	Bit46	Bit45	Bit44	Bit43	Bit42	Bit41	Bit40
1	0	1	0	1	0	1	0
Bit39	Bit38	Bit37	Bit36	Bit35	Bit34	Bit33	Bit32
0	1	0	1	0	1	0	1
Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24
1	0	1	0	1	0	1	0
Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16
1	0	1	0	0	0	1	1
Bit15	Bit4	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	**1**	**1**	0	1	1	1	1
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	1	0	1	0	**0**

Table 16 Configuration Example

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Laipac Technology Inc.

Headquarter

Laipac Technology, Inc.
55 West Beaver Creek Rd., Unit 1
Richmond Hill, Ontario.
L4B 1K5 - Canada
Tel: 905-762-1228 Fax: 905-763-1737

Europe Office

Laipac Tech Europe SL.
Güell 58 (Edificio CINC)
(17001) Gerona - Spain
Tel:+34 972 940 947 Fax: +34 972 940 948

For European Customers, click here

Africa, Middle East & Other countries, click here.

For Sales : sales@laipac.com
For Customer Service: cs@laipac.com
For General Info : info@laipac.com
For Technical : tech@laipac.com
For Human Resources : diego@laipac.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Precision Analog Microcontroller 12-bit Analog I/O, ARM7TDMI® MCU

ADuC7019/20/21/22/24/25/26/27

FEATURES

Analog I/O
- Multichannel, 12-bit, 1 MSPS ADC
  - Up to 16 ADC channels[1]
- Fully differential and single-ended modes
- 0 to V_{REF} analog input range
- 12-bit voltage output DACs
  - Up to 4 DAC outputs available[1]
- On-chip voltage reference
- On-chip temperature sensor (±3°C)
- Voltage comparator

Microcontroller
- ARM7TDMI core, 16-bit/32-bit RISC architecture
- JTAG port supports code download and debug

Clocking options
- Trimmed on-chip oscillator (±3%)
- External watch crystal
- External clock source up to 44 MHz
- 41.78 MHz PLL with programmable divider

Memory
- 62 kB flash/EE memory, 8 kB SRAM
- In-circuit download, JTAG-based debug
- Software triggered in-circuit reprogrammability

On-chip peripherals
- UART, 2 × I²C® and SPI® serial I/O
- Up to 40-pin GPIO port[1]
- 4 × general-purpose timers
- Wake-up and watchdog timers (WDT)
- Power supply monitor
- Three-phase, 16-bit PWM generator[1]
- Programmable logic array (PLA)
- External memory interface, up to 512 kB[1]

Power
- Specified for 3 V operation
- Active mode: 11 mA @ 5 MHz; 40 mA @ 41.78 MHz

Packages and temperature range
- From 40-lead 6 mm × 6 mm LFCSP to 80-lead LQFP[1]
- Fully specified for −40°C to +125°C operation

Tools
- Low-cost QuickStart™ development system
- Full third-party support

APPLICATIONS

- Industrial control and automation systems
- Smart sensors, precision instrumentation
- Base station systems, optical networking

FUNCTIONAL BLOCK DIAGRAM

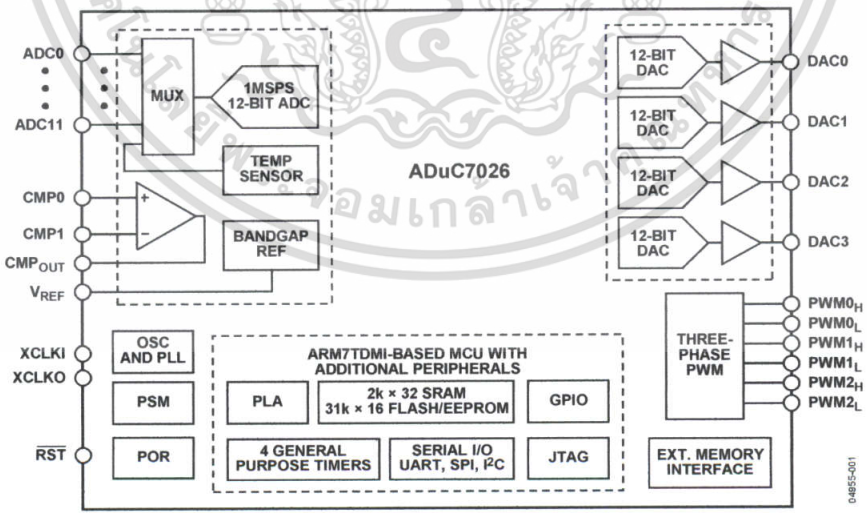


Figure 1.

[1] Depending on part model. See Ordering Guide for more information.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113
©2006 Analog Devices, Inc. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION

The ADuC7019/7020/7021/7022/7024/7025/7026/7027 are fully integrated, 1 MSPS, 12-bit data acquisition systems incorporating high performance multichannel ADCs, 16-bit/32-bit MCUs and Flash/EE memory on a single chip.

The ADC consists of up to 12 single-ended inputs. An additional four inputs are available but are multiplexed with the four DAC output pins. The four DAC outputs are only available on certain models (ADuC7020, and ADuC7026). However, in many cases where the DAC outputs are not present, these pins can still be used as additional ADC inputs, giving a maximum of 16 ADC input channels. The ADC can operate in single-ended or differential input modes. The ADC input voltage is 0 to V_{REF}. Low-drift bandgap reference, temperature sensor, and voltage comparator complete the ADC peripheral set.

Depending on the part model, up to four buffered voltage output DACs are available on-chip. The DAC output range is programmable to one of three voltage ranges.

The devices operate from an on-chip oscillator and a PLL generating an internal high frequency clock of 41.78 MHz. This clock is routed through a programmable clock divider from which the MCU core clock operating frequency is generated. The microcontroller core is an ARM7TDMI, 16-bit/32-bit RISC machine, which offers up to 41 MIPS peak performance. Eight kilobytes of SRAM and 62 kilobytes of nonvolatile Flash/EE memory are provided on-chip. The ARM7TDMI core views all memory and registers as a single linear array.

On-chip factory firmware supports in-circuit serial download via the UART or I^2C serial interface ports, while nonintrusive emulation is also supported via the JTAG interface. These features are incorporated into a low-cost QuickStart™ Development System supporting this MicroConverter® family.

The parts operate from 2.7 V to 3.6 V and are specified over an industrial temperature range of −40°C to +125°C. When operating at 41.78 MHz, the power dissipation is typically 120 mW. The ADuC7019/7020/7021/7022/7024/7025/7026/7027 are available in a variety of memory models and packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED BLOCK DIAGRAM

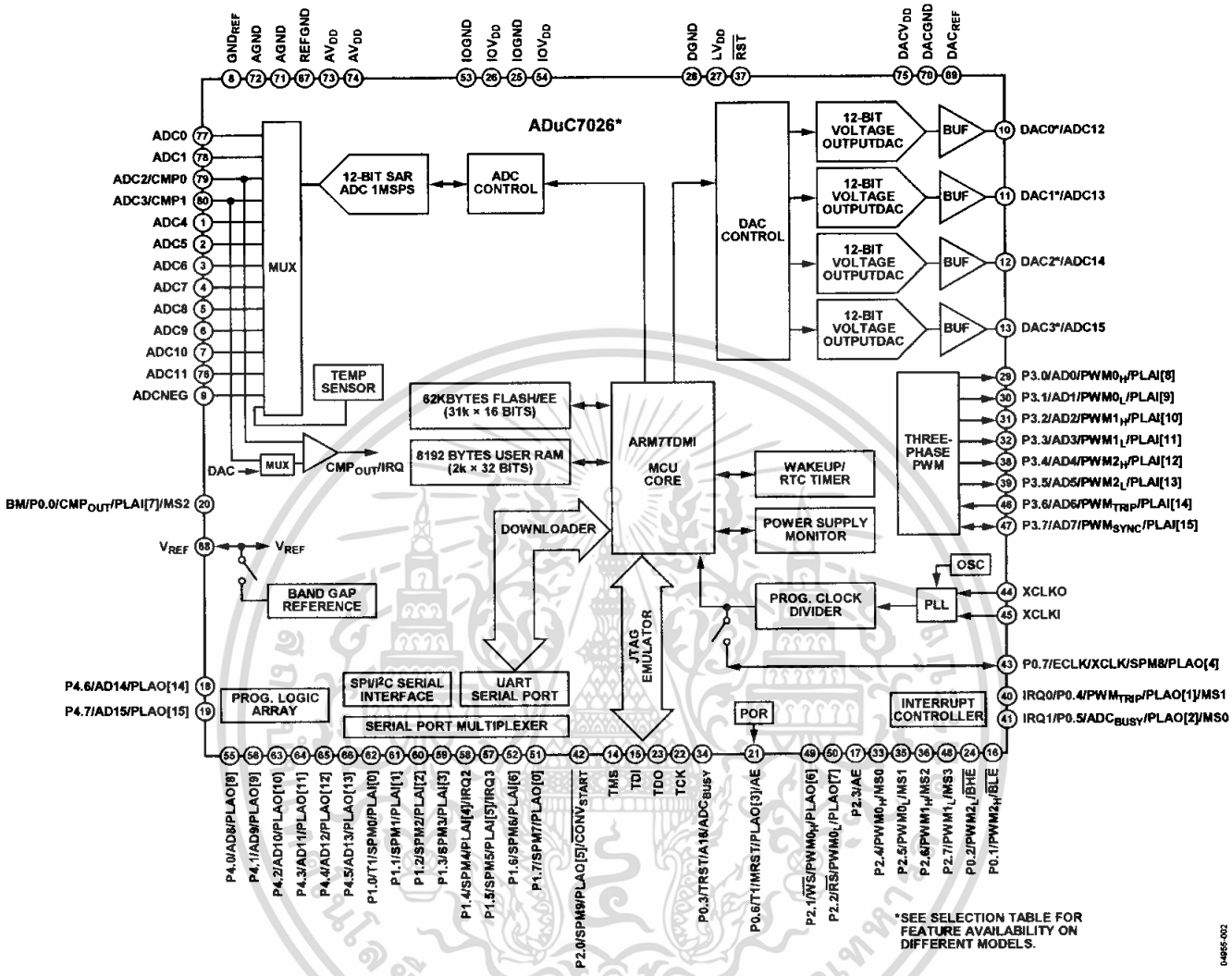


Figure 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

AVDD = IOV_{DD} = 2.7 V to 3.6 V, V_{REF} = 2.5 V internal reference, f_{CORE} = 41.78 MHz, T_A = 40°C to 125°C, unless otherwise noted.

Table 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC CHANNEL SPECIFICATIONS					Eight acquisition clocks and fADC/2
ADC Power-Up Time		5		µs	
DC Accuracy[1, 2]					
Resolution	12			Bits	
Integral Nonlinearity		±0.6	±1.5	LSB	2.5 V internal reference
		±1.0		LSB	1.0 V external reference
Differential Nonlinearity[3, 4]		±0.5	+1/−0.9	LSB	2.5 V internal reference
		+0.7/−0.6		LSB	1.0 V external reference
DC Code Distribution		1		LSB	ADC input is a dc voltage
ENDPOINT ERRORS[5]					
Offset Error		±1	±2	LSB	
Offset Error Match		±1		LSB	
Gain Error		±2	±5	LSB	
Gain Error Match		±1		LSB	
DYNAMIC PERFORMANCE					f_{IN} = 10 kHz sine wave, f_{SAMPLE} = 1 MSPS
Signal-to-Noise Ratio (SNR)		69		dB	Includes distortion and noise components
Total Harmonic Distortion (THD)		−78		dB	
Peak Harmonic or Spurious Noise		−75		dB	
Channel-to-Channel Crosstalk		−80		dB	Measured on adjacent channels
ANALOG INPUT					
Input Voltage Ranges					
Differential Mode			V_{CM}[6] ±V_{REF}/2	V	
Single-Ended Mode			0 to V_{REF}	V	
Leakage Current		±1	±6	µA	
Input Capacitance		20		pF	During ADC acquisition
ON-CHIP VOLTAGE REFERENCE					0.47 µF from V_{REF} to AGND
Output Voltage		2.5		V	
Accuracy			±5	mV	T_A = 25°C
Reference Temperature Coefficient		±40		ppm/°C	
Power Supply Rejection Ratio		75		dB	
Output Impedance		70		Ω	T_A = 25°C
Internal V_{REF} Power-On Time		1		ms	
EXTERNAL REFERENCE INPUT[7]					
Input Voltage Range	0.625		AV_{DD}	V	
Input Impedance		65		kΩ	
DAC CHANNEL SPECIFICATIONS					R_L = 5 kΩ, C_L = 100 pF
DC ACCURACY[8]					
Resolution		12		Bits	
Relative Accuracy		±2		LSB	
Differential Nonlinearity			±1	LSB	Guaranteed monotonic
Offset Error			±15	mV	2.5 V internal reference
Gain Error[9]			±1	%	
Gain Error Mismatch		0.1		%	% of full scale on DAC0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ANALOG OUTPUTS					
Output Voltage Range_0		0 to DAC_{REF}		V	DAC_{REF} range: DACGND to $DACV_{DD}$
Output Voltage Range_1		0 to 2.5		V	
Output Voltage Range_2		0 to $DACV_{DD}$		V	
Output Impedance		2		Ω	
DAC AC CHARACTERISTICS					
Voltage Output Settling Time		10		µs	
Digital to Analog Glitch Energy		±20		nV-sec	1 LSB change at major carry
COMPARATOR					
Input Offset Voltage		±15		mV	
Input Bias Current		1		µA	
Input Voltage Range	AGND		AV_{DD} – 1.2	V	
Input Capacitance		7		pF	
Hysteresis[4, 6]	2		15	mV	Hysteresis can be turned on or off via the CMPHYST bit in the CMPCON register
Response Time		3		µs	100 mV overdrive and configured with CMPRES = 11
TEMPERATURE SENSOR					
Voltage Output at 25°C		780		mV	
Voltage TC		−1.3		mV/°C	
Accuracy		±3		°C	
POWER SUPPLY MONITOR (PSM)					
IOV_{DD} Trip Point Selection		2.79		V	Two selectable trip points
		3.07		V	
Power Supply Trip Point Accuracy		±2.5		%	Of the selected nominal trip point voltage
POWER-ON RESET		2.36		V	
GLITCH IMMUNITY ON RESET PIN[3]		50		µs	
WATCHDOG TIMER (WDT)					
Timeout Period	0		512	sec	
FLASH/EE MEMORY					
Endurance[10]	10,000			cycles	
Data Retention[11]	20			years	T_J = 85°C
DIGITAL INPUTS					All digital inputs excluding XCLKI and XCLKO
Logic 1 Input Current		±0.2	±1	µA	V_{IH} = VDD or V_{IH} = 5 V
Logic 0 Input Current		−40	−60	µA	V_{IL} = 0 V; except TDI on ADuC7019/20/21/22/24/25
		−80	−120	µA	V_{IL} = 0 V; TDI, on ADuC7019/20/21/22/24/25
Input Capacitance		10		pF	
LOGIC INPUTS[3]					All logic inputs excluding XCLKI and XCLKO
V_{INL}, Input Low Voltage			0.8	V	
V_{INH}, Input High Voltage	2.0			V	
LOGIC OUTPUTS					All digital outputs excluding XCLKI and XCLKO
V_{OH}, Output High Voltage	2.4			V	I_{SOURCE} = 1.6 mA
V_{OL}, Output Low Voltage[12]			0.4	V	I_{SINK} = 1.6 mA
CRYSTAL INPUTS XCLKI and XCLKO					
Logic Inputs, XCLKI Only					
V_{INL}, Input Low Voltage		1.1		V	
V_{INH}, Input High Voltage		1.7		V	
XCLKI Input Capacitance		20		pF	
XCLKO Output Capacitance		20		pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INTERNAL OSCILLATOR		32.768		kHz	
			±3	%	
MCU CLOCK RATE					
From 32 kHz Internal Oscillator		326		kHz	CD = 7
From 32 kHz External Crystal		41.78		MHz	CD = 0
Using an External Clock	0.05		44	MHz	T_A = 85°C
	0.05		41.78	MHz	T_A = 125°C
START-UP TIME					Core clock = 41.78 MHz
At Power-On		130		ms	
From Pause/Nap Mode		24		ns	CD = 0
		3.06		µs	CD = 7
From Sleep Mode		1.58		ms	
From Stop Mode		1.7		ms	
PROGRAMMABLE LOGIC ARRAY (PLA)					
Pin Propagation Delay		12		ns	From input pin to output pin
Element Propagation Delay		2.5		ns	
POWER REQUIREMENTS [13, 14]					
Power Supply Voltage Range					
AV_{DD} – AGND and IOV_{DD} – IOGND	2.7		3.6	V	
Analog Power Supply Currents					
AV_{DD} Current		200		µA	ADC in idle mode; all parts except ADuC7019
		400		µA	ADC in idle mode; ADuC7019 only
$DACV_{DD}$ Current[15]		3	25	µA	
Digital Power Supply Current					
IOV_{DD} Current in Normal Mode					Code executing from Flash/EE
		7	10	mA	CD = 7
		11	15	mA	CD = 3
		40	45	mA	CD = 0 (41.78 MHz clock)
IOV_{DD} Current in Pause Mode		25	30	mA	CD = 0 (41.78 MHz clock)
IOV_{DD} Current in Sleep Mode		250	400	µA	T_A = 85°C
		600	1000	µA	T_A = 125°C
Additional Power Supply Currents					
ADC		2		mA	@ 1 MSPS
		0.7		mA	@ 62.5 kSPS
DAC		700		µA	per DAC

[1] All ADC channel specifications are guaranteed during normal MicroConverter core operation.
[2] Apply to all ADC input channels.
[3] Measured using the factory set default values in ADCOF and ADCGN.
[4] Not production tested but supported by design and/or characterization data on production release.
[5] Measured using the factory set default values in ADCOF and ADCGN using an external AD845 op amp as an input buffer stage as shown in Figure 47. Based on external ADC system components, the user may need to execute a system calibration to remove external endpoint errors and achieve these specifications (see the Calibration section).
[6] The input signal can be centered on any dc common-mode voltage (V_{CM}) as long as this value is within the ADC voltage input range specified.
[7] When using an external reference input pin, the internal reference must be disabled by setting the LSB in the REFCON memory mapped register to 0.
[8] DAC linearity is calculated using a reduced code range of 100 to 3995.
[9] DAC gain error is calculated using a reduced code range of 100 to internal 2.5 V V_{REF}.
[10] Endurance is qualified as per JEDEC Standard 22 method A117 and measured at −40°C, +25°C, +85°C, and +125°C.
[11] Retention lifetime equivalent at junction temperature (T_J) = 85°C as per JEDEC Standard 22 method A117. Retention lifetime derates with junction temperature.
[12] Test carried out with a maximum of eight I/O set to a low output level.
[13] Power supply current consumption is measured in normal, pause, and sleep modes under the following conditions: Normal Mode: 3.6 V supply, Pause Mode: 3.6 V supply, Sleep Mode: 3.6 V supply.
[14] IOV_{DD} power supply current decreases typically by 2 mA during a flash/EE erase cycle.
[15] On the ADuC7019/20/21/22, this current must be added to AV_{DD} current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC CIRCUIT OVERVIEW

The analog-to-digital converter (ADC) incorporates a fast, multichannel, 12-bit ADC. It can operate from 2.7 V to 3.6 V supplies and is capable of providing a throughput of up to 1 MSPS when the clock source is 41.78 MHz. This block provides the user with a multichannel multiplexer, differential track-and-hold, on-chip reference, and ADC.

The ADC consists of a 12-bit successive approximation converter based around two capacitor DACs. Depending on the input signal configuration, the ADC can operate in one of three different modes:

- Fully differential mode, for small and balanced signals
- Single-ended mode, for any single-ended signals
- Pseudo differential mode, for any single-ended signals, taking advantage of the common-mode rejection offered by the pseudo differential input

The converter accepts an analog input range of 0 to V_{REF} when operating in single-ended mode or pseudo differential mode. In fully differential mode, the input signal must be balanced around a common-mode voltage V_{CM}, in the range 0 V to AV_{DD}, and with a maximum amplitude of 2 V_{REF} (see Figure 36).

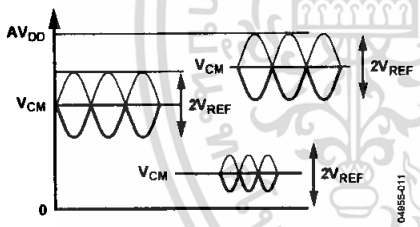


Figure 36. Examples of Balanced Signals in Fully Differential Mode

A high precision, low drift, and factory calibrated 2.5 V reference is provided on-chip. An external reference can also be connected as described later in the Band Gap Reference section.

Single or continuous conversion modes can be initiated in the software. An external $\overline{CONV}_{START}$ pin, an output generated from the on-chip PLA, or a Timer0 or Timer1 overflow can also be used to generate a repetitive trigger for ADC conversions.

A voltage output from an on-chip band gap reference proportional to absolute temperature can also be routed through the front-end ADC multiplexer, effectively an additional ADC channel input. This facilitates an internal temperature sensor channel, which measures die temperature to an accuracy of ±3°C.

TRANSFER FUNCTION

Pseudo Differential and Single-Ended Modes

In pseudo differential or single-ended modes, the input range is 0 V to V_{REF}. The output coding is straight binary in pseudo differential and single-ended modes with

1 LSB = FS/4096, or
2.5 V/4096 = 0.61 mV, or
610 µV when V_{REF} = 2.5 V

The ideal code transitions occur midway between successive integer LSB values (that is, 1/2 LSB, 3/2 LSB, 5/2 LSB, … , FS – 3/2 LSB). The ideal input/output transfer characteristic is shown in Figure 37.

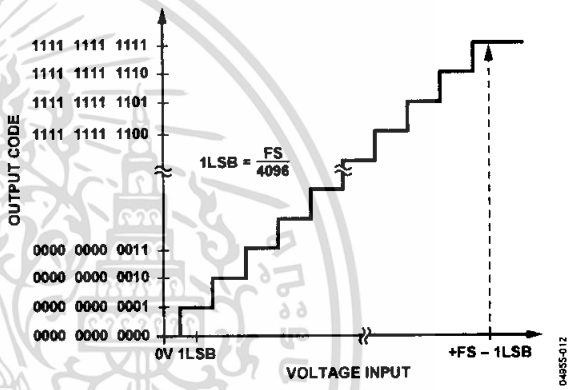


Figure 37. ADC Transfer Function in Pseudo Differential Mode or Single-Ended Mode

Fully Differential Mode

The amplitude of the differential signal is the difference between the signals applied to the V_{IN+} and V_{IN-} pins (that is, $V_{IN+} - V_{IN-}$). The maximum amplitude of the differential signal is therefore $-V_{REF}$ to $+V_{REF}$ p-p (that is, 2 × V_{REF}). This is regardless of the common mode (CM). The common mode is the average of the two signals, for example, (V_{IN+} + V_{IN-})/2, and is therefore the voltage that the two inputs are centered on. This results in the span of each input being CM ± V_{REF}/2. This voltage has to be set up externally and its range varies with V_{REF} (see the Driving the Analog Inputs section).

The output coding is twos complement in fully differential mode with 1 LSB = 2 V_{REF}/4096 or 2 × 2.5 V/4096 = 1.22 mV when V_{REF} = 2.5 V. The designed code transitions occur midway between successive integer LSB values (that is, 1/2 LSB, 3/2 LSB, 5/2 LSB, … , FS – 3/2 LSB). The ideal input/output transfer characteristic is shown in Figure 38.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

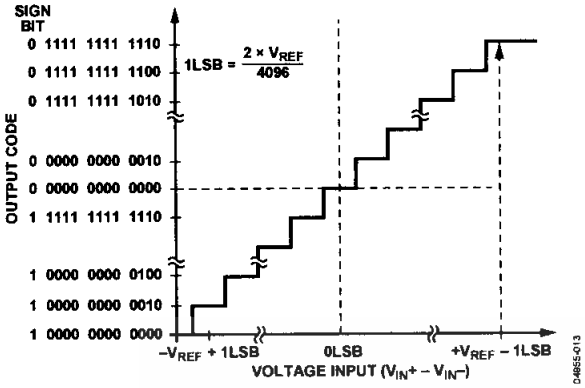


Figure 38. ADC Transfer Function in Differential Mode

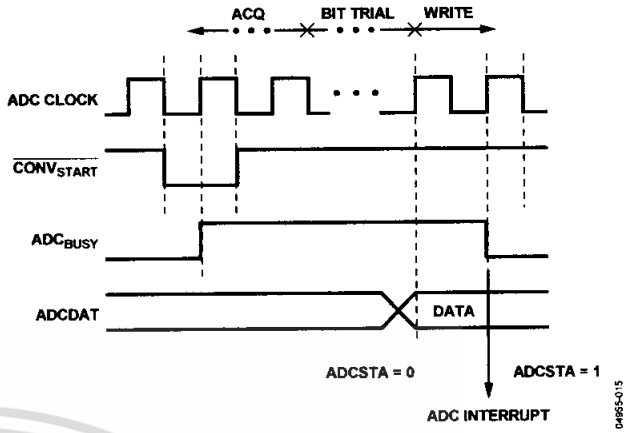


Figure 40. ADC Timing

TYPICAL OPERATION

Once configured via the ADC control and channel selection registers, the ADC converts the analog input and provides a 12-bit result in the ADC data register.

The top 4 bits are the sign bits. The 12-bit result is placed from Bit 16 to Bit 27 as shown in Figure 39. Again, it should be noted that in fully differential mode, the result is represented in twos complement format, and in pseudo differential and single-ended modes, the result is represented in straight binary format.

Figure 39. ADC Result Format

The same format is used in DAC×DAT, simplifying the software.

Current Consumption

The ADC in standby mode, that is, powered up but not converting, typically consumes 640 µA. The internal reference adds 140 µA. During conversion, the extra current is 0.3 µA multiplied by the sampling frequency (in kHz). Figure 31 shows the current consumption versus the sampling frequency of the ADC.

Timing

Figure 40 gives details of the ADC timing. Users have control on the ADC clock speed and on the number of acquisition clocks in the ADCCON MMR. By default, the acquisition time is eight clocks and the clock divider is two. The number of extra clocks (such as bit trial or write) is set to 19, which gives a sampling rate of 774 kSPS. For conversion on temperature sensor, the ADC acquisition time is automatically set to 16 clocks and the ADC clock divider is set to 32.

ADuC7019

The ADuC7019 is identical to the ADuC7020 except for one buffered ADC channel, ADC3, and it has only three DACs. The output buffer of the fourth DAC is internally connected to the ADC3 channel as shown in Figure 41.

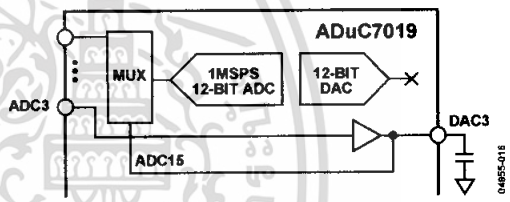


Figure 41. ADC3 Buffered Input

Note that the DAC3 output pin must be connected to a 10 nF capacitor to AGND. This channel should be used to measure dc voltages only. ADC calibration might be necessary on this channel.

MMRS INTERFACE

The ADC is controlled and configured via the eight MMRs described in this section.

ADCCON Register

Name	Address	Default Value	Access
ADCCON	0xFFFF0500	0x0600	R/W

ADCCON is an ADC control register that allows the programmer to enable the ADC peripheral, select the mode of operation of the ADC (either in single-ended mode, pseudo differential mode, or fully differential mode), and select the conversion type. This MMR is described in Table 14.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 14. ADCCON MMR Bit Designations

Bit	Value	Description
15:13		Reserved.
12:10		ADC clock speed.
	000	fADC/1. This divider is provided to obtain 1 MSPS ADC with an external clock <41.78 MHz.
	001	fADC/2 (default value).
	010	fADC/4.
	011	fADC/8.
	100	fADC/16.
	101	fADC/32.
9:8		ADC acquisition time.
	00	2 clocks.
	01	4 clocks.
	10	8 clocks (default value).
	11	16 clocks.
7		Enable start conversion.
		Set by the user to start any type of conversion command. *Cleared* by the user to disable a start conversion (clearing this bit does not stop the ADC when continuously converting).
6		Enable ADC_{BUSY}.
		Set by the user to enable the ADC_{BUSY} pin. *Cleared* by the user to disable the ADC_{BUSY} pin.
5		ADC power control.
		Set by the user to place the ADC in normal mode (the ADC must be powered up for at least 5 µs before it converts correctly). *Cleared* by the user to place the ADC in power-down mode.
4:3		Conversion mode.
	00	Single-ended mode.
	01	Differential mode.
	10	Pseudo differential mode.
	11	Reserved.
2:0		Conversion type.
	000	Enable $\overline{CONV}_{START}$ pin as a conversion input.
	001	Enable Timer1 as a conversion input.
	010	Enable Timer0 as a conversion input.
	011	Single software conversion; sets to 000 after conversion (Bit 7 of ADCCON MMR should be cleared after starting a single software conversion to avoid further conversions triggered by the $\overline{CONV}_{START}$ pin).
	100	Continuous software conversion.
	101	PLA conversion.
	Other	Reserved.

ADCCP Register

Name	Address	Default Value	Access
ADCCP	0xFFFF0504	0x00	R/W

ADCCP is an ADC positive channel selection register. This MMR is described in Table 15.

Table 15. ADCCP[1] MMR Bit Designation

Bit	Value	Description
7:5		Reserved
4:0		Positive channel selection bits
	00000	ADC0
	00001	ADC1
	00010	ADC2
	00011	ADC3
	00100	ADC4
	00101	ADC5
	00110	ADC6
	00111	ADC7
	01000	ADC8
	01001	ADC9
	01010	ADC10
	01011	ADC11
	01100	DAC0/ADC12
	01101	DAC1/ADC13
	01110	DAC2/ADC14
	01111	DAC3/ADC15
	10000	Temperature sensor
	10001	AGND (self-diagnostic feature)
	10010	Internal reference (self-diagnostic feature)
	10011	$AV_{DD}/2$
	Others	Reserved

[1] ADC and DAC channel availability depends on part model. See the *Ordering Guide* for details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER ANALOG PERIPHERALS

DAC

The ADuC7019/7020/7021/7022/7024/7025/7026/7027 incorporate two, three, or four 12-bit voltage output DACs on-chip depending on the model. Each DAC has a rail-to-rail voltage output buffer capable of driving 5 kΩ/100 pF.

Each DAC has three selectable ranges: 0 V to V_{REF} (internal band gap 2.5 V reference), 0 V to DAC_{REF}, and 0 V to AV_{DD}. DAC_{REF} is equivalent to an external reference for the DAC. The signal range is 0 V to AV_{DD}.

MMRs Interface

Each DAC is configurable independently through a control register and a data register. These two registers are identical for the four DACs. Only DAC0CON (see Table 26) and DAC0DAT (see Table 27) are described in detail in this section.

DACxCON Registers

Name	Address	Default Value	Access
DAC0CON	0xFFFF0600	0x00	R/W
DAC1CON	0xFFFF0608	0x00	R/W
DAC2CON	0xFFFF0610	0x00	R/W
DAC3CON	0xFFFF0618	0x00	R/W

Table 26. DAC0CON MMR Bit Designations

Bit	Value	Name	Description
6			Reserved.
5		DACCLK	DAC Update Rate. *Set* by user to update the DAC using Timer1. *Cleared* by user to update the DAC using HCLK (core clock).
4		DACCLR	DAC Clear Bit. *Set* by user to enable normal DAC operation. *Cleared* by user to reset data register of the DAC to zero.
3			Reserved. This bit should be left at 0.
2			Reserved. This bit should be left at 0.
1:0			DAC Range Bits.
	00		Power-Down Mode. The DAC output is in tri-state.
	01		0 – DAC_{REF} Range.
	10		0 – V_{REF} (2.5 V) Range.
	11		0 – AV_{DD} Range.

DACxDAT Registers

Name	Address	Default Value	Access
DAC0DAT	0xFFFF0604	0x00000000	R/W
DAC1DAT	0xFFFF060C	0x00000000	R/W
DAC2DAT	0xFFFF0614	0x00000000	R/W
DAC3DAT	0xFFFF061C	0x00000000	R/W

Table 27. DAC0DAT MMR Bit Designations

Bit	Description
31:28	Reserved
27:16	12-bit data for DAC0
15:0	Reserved

Using the DACs

The on-chip DAC architecture consists of a resistor string DAC followed by an output buffer amplifier, the functional equivalent of which is shown in Figure 51.

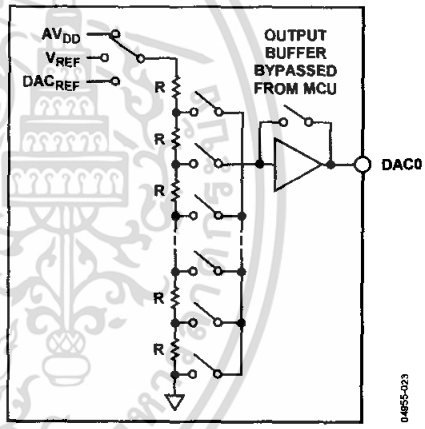


Figure 51. DAC Structure

As illustrated in Figure 51, the reference source for each DAC is user selectable in software. It can be either AV_{DD}, V_{REF}, or DAC_{REF}. In 0-to-AV_{DD} mode, the DAC output transfer function spans from 0 V to the voltage at the AV_{DD} pin. In 0-to-DAC_{REF} mode, the DAC output transfer function spans from 0 V to the voltage at the DAC_{REF} pin. In 0-to-V_{REF} mode, the DAC output transfer function spans from 0 V to the internal 2.5 V reference, V_{REF}.

The DAC output buffer amplifier features a true rail-to-rail output stage implementation. This means that, unloaded, each output is capable of swinging to within less than 5 mV of both AV_{DD} and ground. Moreover, the DAC's linearity specification (when driving a 5 kΩ resistive load to ground) is guaranteed through the full transfer function except codes 0 to 100, and, in 0-to-AV_{DD} mode only, codes 3995 to 4095.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Linearity degradation near ground and V_{DD} is caused by saturation of the output amplifier, and a general representation of its effects (neglecting offset and gain error) is illustrated in Figure 52. The dotted line in Figure 52 indicates the ideal transfer function, and the solid line represents what the transfer function might look like with endpoint nonlinearities due to saturation of the output amplifier. Note that Figure 52 represents a transfer function in 0-to-AV_{DD} mode only. In 0-to-V_{REF} or 0-to-DAC_{REF} modes (with $V_{REF} < AV_{DD}$ or $DAC_{REF} < AV_{DD}$), the lower nonlinearity is similar. However, the upper portion of the transfer function follows the "ideal" line right to the end (V_{REF} in this case, not AV_{DD}), showing no signs of endpoint linearity errors.

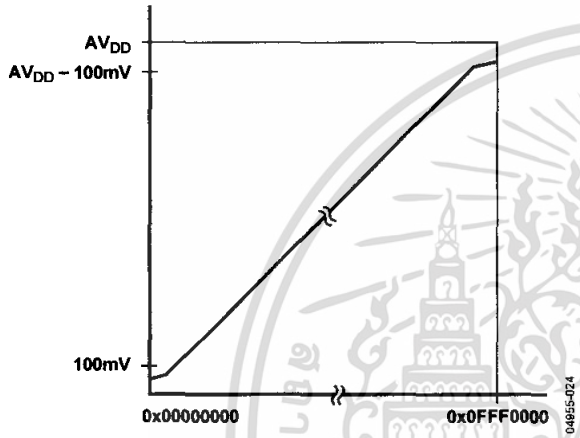


Figure 52. Endpoint Nonlinearities Due to Amplifier Saturation

The endpoint nonlinearities conceptually illustrated in Figure 52 get worse as a function of output loading. Most of the ADuC7019/7020/7021/7022/7024/7025/7026/7027's data sheet specifications assume a 5 kΩ resistive load to ground at the DAC output. As the output is forced to source or sink more current, the nonlinear regions at the top or bottom (respectively) of Figure 52 become larger. With larger current demands, this can significantly limit output voltage swing.

POWER SUPPLY MONITOR

The power supply monitor regulates the IOV_{DD} supply on the ADuC7019/7020/7021/7022/7024/7025/7026/7027. It indicates when the IOV_{DD} supply pin drops below one of two supply trip points. The monitor function is controlled via the PSMCON register. If enabled in the IRQEN or FIQEN register, then the monitor interrupts the core using the PSMI bit in the PSMCON MMR. This bit is immediately cleared once CMP goes high.

This monitor function allows the user to save working registers to avoid possible data loss due to the low supply or brown-out conditions. It also ensures that normal code execution does not resume until a safe supply level has been established.

PSMCON Register

Name	Address	Default Value	Access
PSMCON	0xFFFF0440	0x0008	R/W

Table 28. PSMCON MMR Bit Descriptions

Bit	Name	Description
3	CMP	Comparator Bit. This is a read-only bit and directly reflects the state of the comparator. Read 1 indicates that the IOV_{DD} supply is above its selected trip point or the PSM is in power-down mode. Read 0 indicates the IOV_{DD} supply is below its selected trip point. This bit should be set before leaving the interrupt service routine.
2	TP	Trip Point Selection Bits. 0 = 2.79 V, 1 = 3.07 V.
1	PSMEN	Power Supply Monitor Enable Bit. *Set* to 1 to enable the power supply monitor circuit. *Clear* to 0 to disable the power supply monitor circuit.
0	PSMI	Power Supply Monitor Interrupt Bit. This bit is set high by the MicroConverter once when CMP goes low, indicating low I/O supply. The PSMI bit can be used to interrupt the processor. Once CMP returns high, the PSMI bit can be cleared by writing a 1 to this location. A 0 write has no effect. There is no timeout delay; PSMI can be immediately cleared once CMP goes high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้