สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

เลขหมู่.....
เลขทะเบียน.....82433
วัน,เดือน,ปี...1.1...0.0...2551

b.....11946969
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

โดย

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

ผู้จัดทำ

1. นาย สมศักดิ์ คงแป้น
2. นาย กิตติศั

เครื่องเตือนภัยแผ่นดินไหว

(SEISMIC MONITOR)

นาย สมศักดิ์ คงแป้น รหัส 48015185
นาย กิตติศักดิ์ อภัยรัตน์ รหัส 48015196
ดร. อิทธิพล ชิตสกุล อาจารย์ที่ปรึกษา

บทคัดย่อ

โครงง ...งเป็นเซนเซอร์
ตรวจจับการสั่ ...มถี่ วงจรแปลง
สัญญาณอนาล ... และควบคุมการ
ทำงานและแจ้ ...วิเล็กทรอนิกส์ที่
ออกแบบสร้าง ...ยัดพลังงานจาก
แบตเตอรี่และม ...อสะดวกต่อการ
ติดตั้งใช้งาน

SEISMIC MONITOR

Mr. Somsak Kongpaen ID 48015185
Mr. Kittisak Aphairat ID 48015196
Dr. Kitiphol Chitsakul Advisor
Educational Year 2007

Abstract

This t) using PSoC
(CY8C27443) or. The design
and implemer nsumption by
using Surface amplifiers, a
band pass filt e PSoC. Flash
light and sour

กิตติกรรมประกาศ

ในการจัดทำปริญญานิพนธ์ฉบับนี้จะไม่สามารถประสบความสำเร็จและลุล่วงได้ด้วยดี หากไม่มีท่านอาจารย์ที่ปรึกษา ดร.กิติพล ชิตสกุล และท่านอาจารย์หลายๆท่านที่ได้คอยให้ความรู้และให้คำแนะนำแนวทางการคิดและการแก้ปัญหาในการทำงานในแต่ละขั้นตอน รวมทั้งพี่ ๆ เพื่อนๆ ทั้งหลายที่คอยให้คำแนะนำและอำนวยความสะดวกต่างๆ จนผลักดันให้ปริญญานิพนธ์นี้สำเร็จลุล่วงได้ด้วยดี

สารบัญ

	หน้า
บทยัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	V
สารบัญตาราง	VI
บทที่ 1 บทนำ	1
1.1 ควา	1
1.2 ควา	1
1.3 ขอ	1
1.4 หลั	2
1.5 ประ	2
1.6 โคร	3
บทที่ 2 การเกิดแ	4
2.1 ควา	4
2.2 สาเ	6
2.3 ลัก	7
2.4 ปริ	10
2.5 การ	13
บทที่ 3 ทฤษฎีและหลักการทำงาน	14
3.1 ลำโพง	14
3.2 ไมโครคอนโทรลเลอร์ PSoC	18
3.3 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSoC)	26
บทที่ 4 การทดลองและผลการทดลอง	33
4.1 การทดลองและตรวจสอบการทำงานของเซนเซอร์	33
4.2 การทดลองและตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ PSoC	37
4.3 การทดลองและตรวจสอบการทำงานของเครื่องเตือนภัยแผ่นดินไหว	39
บทที่ 5 บทวิจารณ์และสรุป	41

บรรณานุกรม

ภาคผนวก

สารบัญรูป

หน้า

รูป 1.1 บล็อกไดอะแกรมของโครงงาน 2

รูป 2.1 แสดงการเคลื่อนที่ของคลื่น P และคลื่น S ในตัวกลาง 8

รูป 2.2 แสดงลัก 9

รูป 2.3 แสดงคว 10

รูป 2.4 แสดงคลื่ 10

รูป 3.1 ส่วนประ 15

รูป 3.2 วูฟเฟอร์ 16

รูป 3.3 ทวีทเตอ 16

รูป 3.4 มิดเรนล์ 17

รูป 3.5 บล็อกไ 19

รูป 3.6 PSoC C 20

รูป 3.7 Digital 21

รูป 3.8 Analog 22

รูป 3.9 System 23

รูป 3.10 PSoC 26

รูป 3.11 แสดงการสร้าง ADCINC12_1 27

รูป 3.12 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ 28

รูป 3.13 แสดงการตั้งค่า Global Value และ Use Module Parameters 29

รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล 29

รูป 3.15 แสดงการสร้าง Band pass Filter Module 30

รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value 31

รูป 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1 32

รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1 32

รูป 4.1 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลค่าต่างกัน 34

บรรณานุกรม

ภาคผนวก

สารบัญรูป

หน้า

รูป 1.1 บล็อกไดอะแกรมของโครงงาน 2

รูป 2.1 แสดงการเคลื่อนที่ของคลื่น P และคลื่น S ในตัวกลาง 8

รูป 2.2 แสดงลัก 9

รูป 2.3 แสดงคว 10

รูป 2.4 แสดงคลื่ 10

รูป 3.1 ส่วนประ 15

รูป 3.2 วูฟเฟอร์ 16

รูป 3.3 ทวีทเตอ 16

รูป 3.4 มิดเรนล์ 17

รูป 3.5 บล็อกไ 19

รูป 3.6 PSoC C 20

รูป 3.7 Digital 21

รูป 3.8 Analog 22

รูป 3.9 System 23

รูป 3.10 PSoC 26

รูป 3.11 แสดงการสร้าง ADCINC12_1 27

รูป 3.12 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ 28

รูป 3.13 แสดงการตั้งค่า Global Value และ Use Module Parameters 29

รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล 29

รูป 3.15 แสดงการสร้าง Band pass Filter Module 30

รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value 31

รูป 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1 32

รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1 32

รูป 4.1 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลค่าต่างกัน 34

รูป 4.2 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 12.14 g(128 mVp-p) 34
รูป 4.3 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 17.13 g(110 mVp-p) 35
รูป 4.4 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 21.71 g(90 mVp-p) 35
รูป 4.5 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 30.37 g(76 mVp-p) 36
รูป 4.6 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 41.25 g(68 mVp-p) 36
รูป 4.7 บล็อกไดอะแกรมเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC) 37
รูป 4.8 บล็อกไดอะแกรมเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก 38

หน้า

ตาราง 2.1 หัวข้
ตาราง 2.2 สาเ
ตาราง 2.3 แสด
ตาราง 2.4 อันด
ตาราง 3.1 แสด
ตาราง 4.1 แสด
ตาราง 4.2 แสด
ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยจำลองการเกิดแผ่นดินไหว 39
ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยจำลองการเกิดแผ่นดินไหว(ต่อ) 40
ตาราง 4.4 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยแรงสั่นเกิดรถไฟ
ที่สถานีพระจอมเกล้าฯ 40

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

เนื่องจากปัจจุบันมีความก้าวหน้าทางเทคโนโลยีอย่างรวดเร็วและในขณะเดียวกันนั้น เทคโนโลยีก็ส่งผลโดยตรงต่อสิ่งแวดล้อมและธรรมชาติอย่างรวดเร็วเช่นกันจึงเกิดภัยธรรมชาติมากขึ้นพร้อมๆกับเทคโนโลยีไม่ว่าจะเป็นภัยทางน้ำ ลม อากาศ และแผ่นดินไหว ซึ่งก่อให้เกิดความเดือดร้อนและเสียหายทั้งชีวิตและทรัพย์สิน และแผ่นดินไหวก็เป็นภัยธรรมชาติอีกอย่างหนึ่งที่ทำให้เกิดความเดือ ...วความปลอดภัยของชีวิตจึงต้อง ...นั้นสามารถใช้ลำโพงเป็นตัวต ...ไปแจ้งเตือนแก่ผู้ใช้งาน

1.2 วัตถุประสง

1.2.1 เพื่อ ...

1.2.2 เ่ ...บแผ่นดินไหว

1.2.3 เ่ ...PSoC เบอร์ CY8C27443

1.2.4 เ่ ...SoC เบอร์ CY8C27443 แล

1.2.5 เ่ ...ใน ไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443

1.3 ขอบเขตของโครงงาน

1.3.1 สามารถตรวจจับแผ่นดินไหวได้

1.3.2 สามารเตือนภัยแผ่นดินไหวให้แก่ผู้ใช้งานทราบได้

1.4 หลักการทำงานของเครื่องเตือนภัยแผ่นดินไหว

เครื่องเตือนภัยแผ่นดินไหวนี้เป็นการนำลำโพงมาประยุกต์ใช้งานเป็นเซ็นเซอร์ตรวจจับแผ่นดินไหวและนำไปประมวลผลด้วยไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 และสามารถแจ้งเตือนให้แก่ผู้ใช้งานทราบ โดยมีหลักการทำงานดังรูป

ส่วนที่ 1 เซอร์ตรวจจับ
แผ่นดินไหว ซึ่ง ส่งสัญญาณที่
แผ่นดินไหวที่ตร
ส่วนที่ งลทั้งหมดของ
ระบบ โดยใช้ไม ญาณเข้ามาจาก
อุปกรณ์เซ็นเซอ ์ความแรงของ
แผ่นดินไหว และ
ส่วนที่ ปืนตัวแสดงผล
และแจ้งเตือนภัย

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. ได้ทราบหลักการการเคลื่อนที่ของเปลือกโลก
2. สามารถประยุกต์ใช้ลำโพงได้
3. สามารถเข้าใจหลักการทำงานและใช้งานไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 ได้

1.6 โครงสร้างของรายงาน

รายงานฉบับนี้ได้รวบรวมรายละเอียดความเป็นมาของรายงานและการเลือกใช้อุปกรณ์ต่างๆ เพื่อใช้ในการออกแบบวงจรในการใช้งานให้มีขนาดที่เล็ก พกพาง่ายและการใช้งานสะดวกมากยิ่งขึ้น ในการทำโครงงานนี้จะทำการแบ่งรายละเอียดออกเป็นบทต่างๆ ตามลำดับเพื่อให้ง่ายต่อการศึกษาทำความเข้าใจ ดังนี้

บทที่ 1 บทนำเกี่ยวกับความเป็นมาและลักษณะของโครงงานนี้

บทที่ 2 เป็นการกล่าวถึงการเกิดแผ่นดินไหวในลักษณะและต่างๆนำไปประยุกต์ใช้ในการตรวจจับ ซึ่งเป็นจุด ประสงค์หลักในการออกแบบเครื่องเตือนภัยแผ่นดินไหวนี้ขึ้นมา

บทที่ 3 ร้างเครื่องเตือนภัยแผ่นดินไหว โทรลเลอร์ และตัวแสดงผลเตือ

บทที่ 4

บทที่ 5

บทที่ 2
การเกิดแผ่นดินไหว

2.1 ความรู้พื้นฐานทั่วไปเกี่ยวกับแผ่นดินไหว

ในการเผชิญภัยแผ่นดินไหวซึ่งเป็นภัยธรรมชาติที่มีก่อให้เกิดความเสียหายได้อย่างรุนแรง การศึกษาความรู้พื้นฐานเรื่องแผ่นดินไหวจึงเป็นสิ่งจำเป็น ทำให้ทราบถึงธรรมชาติของ สาเหตุการเกิด ตลอดจนลักษณะความรุนแรงของภัยแผ่นดินไหว ที่สามารถส่งผลกระทบได้กว้างไกล ลักษณะของแหล่งกำเนิดแผ่นดินไหวทั้งภายในและภายนอกประเทศไทย สถิติแผ่นดินไหวในอดีตและผล
การตรวจวัดด้วย ...ะเทศไทยมิได้
ปลอดภัยจากภัย ...นระยะสั้นและ
ระยะยาวที่มีปร ...รัพย์สิน ของ
ประชาชนและเ ...ริ่มพัฒนาระบบ
ตรวจวัดความสั่ ...ขึ้นเพื่อรวบรวม
ข้อมูลพื้นฐานที่ ...องพื้นดิน และ
งานวิจัยอื่นๆ อีก ...วยงานต่างๆทั้ง
ภาครัฐและเอก ...นระบบและมี
ประสิทธิผลยิ่งขึ้ ...อย่างกว้างขวาง
และมีประสิทธิภ ...ง เป็นต้น ทั้งนี้
เนื่องจากมีการพ่ ...ตอร์ต่างๆ ด้าน
อุตุนิยมวิทยา มี ...จัดการต่อภัยใน
ภาพรวมที่เกิดขึ้น ...ซึ่งยังคงท้าทาย

ต่อการศึกษาและทำความเข้าใจเป็นอย่างมาก เนื่องจากลักษณะทางธรรมชาติของแผ่นดินไหวนั้นเกิดอยู่ใต้พื้นโลกหลายสิบกิโลเมตรและอาจมีตำแหน่งที่ลึกลงไปถึงหลายร้อยกิโลเมตรซึ่งยังไม่มีเครื่องมือตรวจวัดได้โดยตรง ดังนั้นความยากลำบากในการศึกษาจึงเพิ่มขึ้นเป็นทวีคูณ แม้ว่าปัจจุบันได้มีการพัฒนาทั้งทางด้านทฤษฎีตลอดจนเครือข่ายและเครื่องมือต่างๆ ประจำอยู่ทั่วโลก เช่น เครื่องตรวจวัดความสั่นสะเทือนที่มีประสิทธิภาพสูงแต่ก็เพียงสามารถตรวจวัดได้จากบนพื้นผิวโลกเท่านั้น การวิเคราะห์แผ่นดินไหวที่อยู่ใต้พื้นโลก (Hypocenter) จึงเป็นในลักษณะตรวจสอบหรือวิเคราะห์ย้อนกลับจากผลการตรวจวัดคลื่นแผ่นดินไหวบนผิวโลก โดยคลื่นแผ่นดินไหวที่เกิดขึ้นทำหน้าที่คล้ายกับรังสีเอ็กซ์ (X-rays) เดินทางไปในโลก สะท้อนลักษณะโครงสร้างของโลก ลักษณะทางธรณีวิทยา มีการหักเหและการตอบสนองของคลื่นแผ่นดินไหวไป

ตามลักษณะทางกายภาพของโลกในชั้นต่างๆ ทำให้นักแผ่นดินไหวเข้าใจในธรรมชาติของแผ่นดินไหวและคุณสมบัติทางกายภาพของโลก ปัจจุบันการศึกษาเกี่ยวกับแผ่นดินไหวมุ่งเน้นไปในหลายรายละเอียด แต่สามารถสรุปได้ ดังตาราง 2.1

แหล่งกำเนิดแผ่นดินไหว	โครงสร้างของโลก
1. การหาตำแหน่ง ศูนย์กลางแผ่นดินไหว (ละติจูด ลองจิจูด ความลึก เวลาเกิด)	1.การแบ่งชั้นของโลก (เปลือกโลก แมนเทิล แกนโลก)
2. การปลดปล่ แผ่น ดินไหว)	่ปและ
3. ชนิดของแ	องเปลือกโลก
4. ลักษณะรอย การเคลื่อนตัว	(เป็น
5. แรงเค้น (St	่อกโลก
6. การพยากร	
7.การวิเคราะห์เรื่องแผ่นดินถล่ม (Landslide) และภูเขาไฟระเบิด	7. ลักษณะของรอยต่อ 8.การแปลความหมายขององค์ประกอบและความร้อนภายในโลก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ตาราง 2.1 หัวข้อการศึกษาวิชาแผ่นดินไหวในปัจจุบัน

ปัจจุบันความตื่นตัวในการศึกษาวิชาแผ่นดินไหว (Seismology) เป็นไปอย่างกว้างขวางทั่วโลกไม่เพียงเฉพาะนักแผ่นดินไหว (Seismologist) เท่านั้น แต่ยังเป็นที่สนใจของบรรดาวิศวกรเพื่อนำไปประยุกต์ใช้ในการก่อสร้างให้มีความปลอดภัยเพิ่มขึ้น ความรู้พื้นฐานด้านแผ่นดินไหวที่วิศวกรควรทำความเข้าใจ ได้แก่

2.1.1 ความรู้พื้นฐานทั่วไปเกี่ยวกับแผ่นดินไหว

2.1.2 สาเหตุของการเกิดแผ่นดินไหว

2.1.3 ลักษณะของคลื่นแผ่นดินไหว

2.1.4 ปริมาณสำหรับการวัดแผ่นดินไหวเช่น ขนาด ความรุนแรงแผ่นดินไหว พลังงาน

2.1.5 f

2.2 สาเหตุการเกิ

เกิดภาย		ภายนอกโลก
แผ่นดินไหวเกิ ระเบิด ใต้ดิน		ภูเขาไฟ
การไหลหมุนเ ดิน		
การเคลื่อนตัวข ละลาย	ของมนุษย์เช่น จราจร ระเบิด	
การเปลี่ยนแปลงสถานะใต้ดิน	เป็นต้น	
การทำเหมือง	การชนของอุกาบาต	
การยุบตัวใต้ดิน		

ตาราง 2.2 สาเหตุการเกิดแผ่นดินไหว

2.2.1 การเกิดแผ่นดินไหวโดยธรรมชาติ

1) แผ่นดินไหวเกิดจากแรงภายในเปลือกโลก (Tectonic Earthquake)

2) แผ่นดินไหวเกิดจากภูเขาไฟระเบิด (Volcano Eruption)

3) แผ่นดินไหวเกิดจากการยุบตัวหรือพังทลายของโพรงใต้ดิน (Implosion)

4) ความสั่นสะเทือนจากคลื่นมหาสมุทร (Oceanic Microseism)

2.2.2 การเกิดแผ่นดินไหวโดยการกระทำของมนุษย์

1) เหตุการณ์ที่ควบคุมได้ เช่น การระเบิด หรือจากกิจกรรมต่างๆของมนุษย์ เช่น การจราจร เครื่องจักรเครื่องยนต์ การระเบิดบนพื้นผิวหรือใต้ดิน เป็นต้น

2) ...เรสร้างอ่างเก็บน้ำ การทำเหมือง...

2.3 ลักษณะของ...

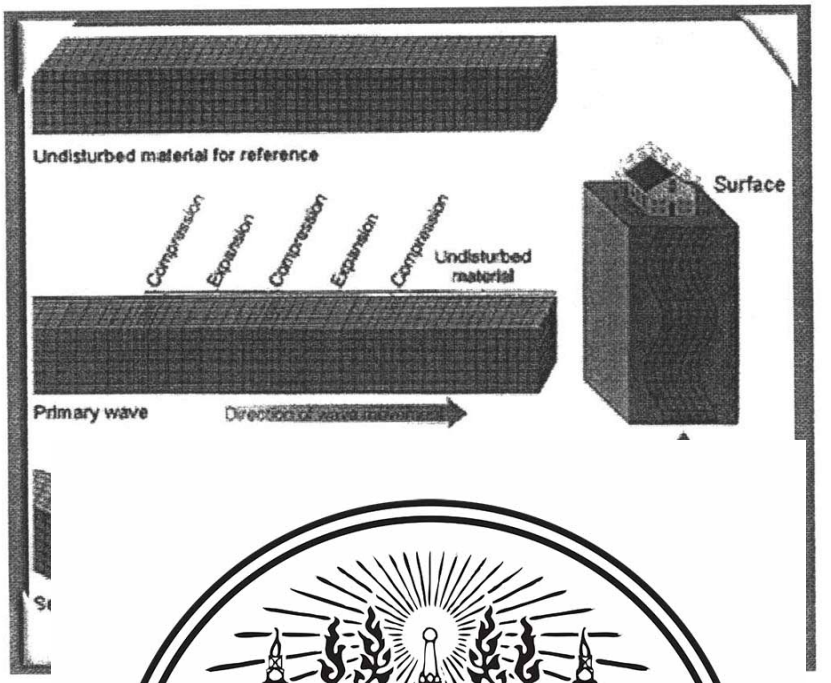
ความสั่น...อดินแบบ 3 มิติ คือสามารถวัดกา...ะแนวดิ่ง ทั้งนี้ คลื่นแผ่นดินไห...ได้แก่ แบบวัดความเร็วของอนุ...ในไหวเพื่อการกำหนดตำแหน่ง...งกับโครงสร้างของโลก ลักษณะ...แร่งของพื้นดิน ได้แก่ เครื่องวัด...าหรับงานด้านวิศวกรรมแผ่นดิน...

2.3.1

คลื่นหลัก (Body wave) เป็นคลื่นที่เคลื่อนผ่านเข้าไปภายในเนื้อของโลก แบ่งออกเป็น 2 ชนิด

1) คลื่นแรกหรือคลื่น P (Primary wave) เป็นคลื่นตามยาวอัดขยายกลับไปมาในแนวขนานกับการเคลื่อนที่ของคลื่น สามารถผ่านได้ทั้งของแข็งและของเหลว สามารถวัดได้ก่อนที่จะมีแผ่นดินไหวเกิดขึ้น

2) คลื่นสองหรือคลื่น S (Secondary wave) เป็นคลื่นตามขวางเกิดจากการเฉือนโดยอนุภาคจะถูกดันคลื่นที่กลับไปมาทางด้านข้าง และผ่านได้เฉพาะของแข็ง



2.3.2 ว แบ่ง

ออกเป็น 2 ชนิด

ตัวกลางชนิดที่

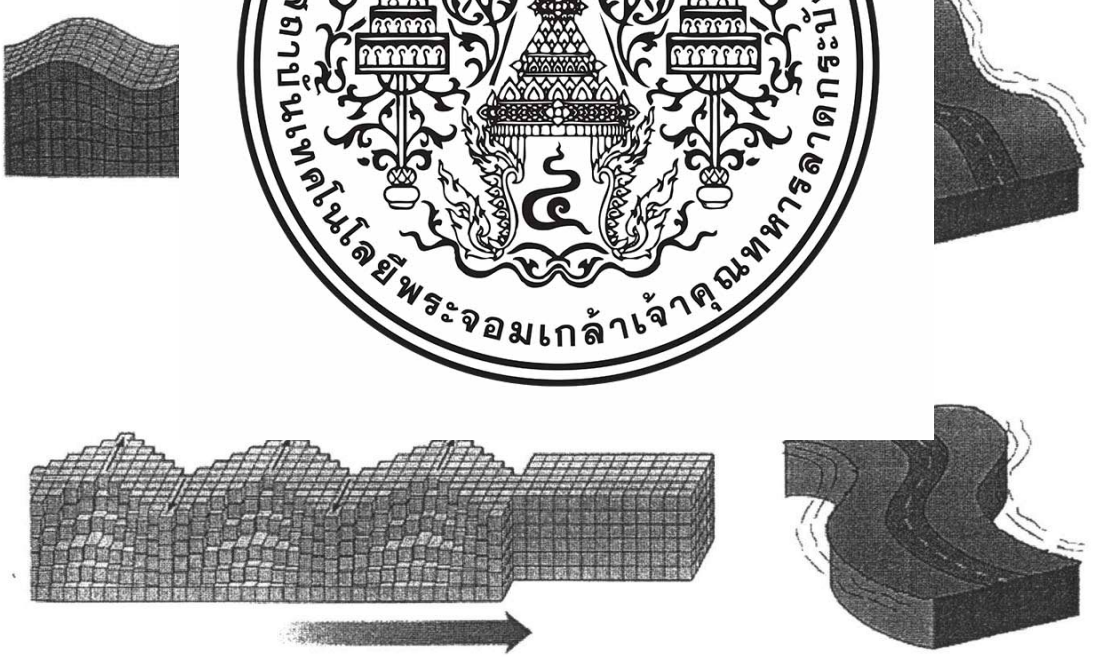
ประกอบด้วยหล นเลิฟจะเกิดขึ้น

เมื่อมีแผ่นดินไห ฟเกิดในพื้นผิว

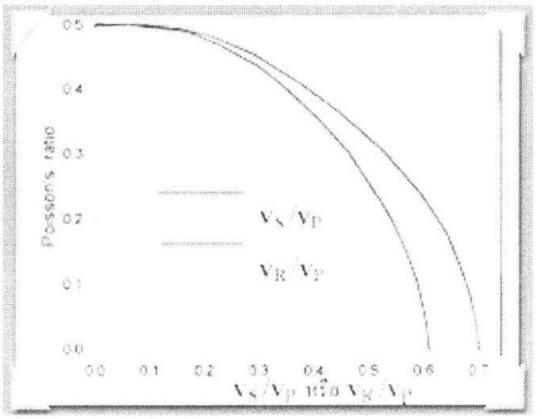
อิสระของตัวกลางที่ประกอบเป็นสองชั้น โดยชั้นบนเป็นแผ่นขนานที่มีความเร็วคลื่น P และความเร็วคลื่นSน้อยกว่าชั้นล่างที่มีความหนาเข้าสู่อนันต์ คลื่นเลิฟในกรณีนี้จะเกิดการแทรกสอดแบบก่อ (constructiveinterference)ของคลื่นระนาบที่สะท้อน ณ.รอยต่อด้านบนและด้านล่างของแผ่นขนานนั้น การเคลื่อนที่หรือการสั่นของอนุภาคของตัวกลางในกรณีคลื่นเลิฟจะมีทิศตั้งฉากกับทิศทางการเดินของคลื่น โดยที่แอมพลิจูดของการสั่นอนุภาคจะลดลงตามความลึกแบบชี้กำลัง คลื่นเลิฟมีคุณสมบัติการกระจายความเร็ว โดยที่ความเร็วคลื่นที่มีความยาวคลื่นน้อยจะเข้าใกล้ค่าความเร็วคลื่นSของตัวกลางที่เป็นแผ่นขนานด้านบน ส่วนที่มีความยาวคลื่นมากจะเข้าใกล้กับความเร็วคลื่น S ในตัวกลางชั้นล่าง ปริมาณคลื่นพื้นผิวที่เกิดจากแผ่นดินไหวแต่ละครั้งจะมากหรือน้อยขึ้นอยู่กับตำแหน่งแหล่งกำเนิดคลื่นหรือจุดกำเนิดแผ่นดินไหว ถ้าอยู่ลึกจากผิวโลกมาก จะทำให้สัดส่วนพลังงานที่มีอยู่ในรูปคลื่นพื้นผิวน้อย แต่ถ้าจุดกำเนิดอยู่ที่ผิวคลื่นพื้นผิวมากก็จะทำให้เกิดการทำลายสูง

โดยเฉพาะการทำลายอันเกิดจากการสั่นไหวของอนุภาคตัวกลางในแนวนอนนอกจากคลื่นพื้นผิวแล้ว ยังมีคลื่นสโตนลีย์ (Stoneley wave) ซึ่งวิ่งตามรอยต่อระหว่างตัวกลางสองชนิด และคลื่นในท่อ (tubewave) คือคลื่นพื้นผิวที่เกิดในหลุมเจาะ เป็นต้น

2) **คลื่นเรย์ลี (Rayleigh wave)** เป็นคลื่นที่เกิดขึ้นในบริเวณผิวอิสระของตัวกลางยืดหยุ่นที่หนามากๆซึ่งการเคลื่อนที่ของอนุภาคภายในตัวกลางเมื่อคลื่นวิ่งผ่านจะจำกัดอยู่ในระนาบแนวดิ่งในทิศทางการวิ่งของคลื่น คือมีลักษณะการเคลื่อนที่ของอนุภาคคล้ายรูปวงรีที่มีแกนเอกตั้งฉากกับผิวของตัวกลาง โดยที่ผิวนี้ทิศการเคลื่อนที่ของอนุภาคบริเวณยอดของวงรีจะทวนกับทิศการเดินทางของคลื่น และพลิกลงเมื่อการเคลื่อนที่ของอนุภาคที่ระดับลึกต่างๆจะลดลงแบบชี้กำลังกับความลึกจากผิวน าวคลื่นซึ่งโดยทฤษฎีแล้วความเ ยู่กับอัตราส่วนของปัวซองของตั



รูป 2.2 แสดงลักษณะการเคลื่อนที่ของคลื่นเรย์ลีและคลื่นเลิฟ



รูป 2.3 แส ราส่วนป๋วซอง
ต่า

รูป 2.4 แสดงคลื่นแผ่นดินไหวไกลบริเวณประเทศชีลี เมื่อ 3 กันยายน 2541 ขนาด 6.5 ริคเตอร์

2.4 ปริมาณสำหรับการวัดแผ่นดินไหว

ขนาด (Magnitude) เป็นปริมาณที่มีความสัมพันธ์กับพลังงานที่พื้นโลกปลดปล่อยออกมาในรูปของการสั่นสะเทือน คำนวณได้จากการตรวจวัดค่าความสูงของคลื่นแผ่นดินไหวที่ตรวจวัดได้ด้วยเครื่องมือตรวจแผ่นดินไหว เป็นปริมาณที่บ่งชี้ขนาด ณ บริเวณจุดศูนย์กลาง ขนาดที่นิยมใช้ในปัจจุบันมีด้วยกันหลายประเภท ได้แก่

2.4.1 ML เป็นขนาดแผ่นดินไหวในยุคเริ่มแรก บ่งบอกถึงปริมาณของแผ่นดินไหวท้องถิ่นหรือแผ่นดินไหวใกล้(ระยะทางน้อยกว่า 1,000 กิโลเมตร) คำนวณได้จากความสูงของคลื่นซึ่งตรวจด้วยเครื่องมือตรวจความสั่นสะเทือนแบบวัด การขจัด(displacement) ได้แก่เครื่อง Wood

Anderson ซึ่งมีค่ากำลังขยาย 2,800 เท่า ขนาดนี้นำเสนอโดย C. F Richter นักวิทยาศาสตร์ชาวอเมริกา ดังนั้นหน่วยของขนาด ML ที่ใช้จึงเป็น "ริคเตอร์ "โดยนำค่าของความสูงของคลื่นที่สูงที่สุดของคลื่น S ซึ่งมีช่วงคลื่นอยู่ระหว่าง 0.1-1.0 วินาทีมาใช้ในการคำนวณ

2.4.2 MB หรือ mb แสดงขนาดของเหตุการณ์แผ่นดินไหวทั้งใกล้และแผ่นดินไหวไกล (ระยะทางมากกว่า 1,000 กิโลเมตร) เรียกว่าขนาดของคลื่นหลัก (Body-wave magnitude) ในการคำนวณใช้ค่าความสูงของคลื่น P ที่มีความยาวช่วงคลื่นประมาณ 1.0-5.0 วินาที

2.4.3 Ms แสดงขนาดของเหตุการณ์แผ่นดินไหวไกลและมีขนาดใหญ่ เรียกอีกอย่างหนึ่งว่าขนาดคลื่นผิวพื้น(Surface Magnitude) คำนวณค่าความสูงของคลื่นผิวพื้นที่มีความยาวช่วงคลื่นประมาณ 1

2.4.4 ปริมาณพลังงานของคลื่นแผ่นดิ ่นดินไหว (Mo: Seismic Mome รวิเคราะห์คลื่นแผ่นดินไหวซึ่ง องการขยัดของรอยเลื่อนเมื่อเกิ (Fault surface area) ส่วนใหญ่

ขนาด				การตรวจวัด
ML				displacement
MB,mb	Log (A/T) +Q (h,D)	p	1.0-5.0	velocity
Ms	Log A + 1.66 Log D + 2.0	Surface	20	velocity
Mw	$(2/3\log M_0) - 10.7$	Surface	>200	velocity

ตาราง 2.3 แสดงการคำนวณขนาดแผ่นดินไหวชนิดต่างๆ

อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM) วัดได้จากปรากฏการณ์ที่เกิดขึ้นขณะเกิดแผ่นดินไหวและหลังเกิดแผ่นดินไหว เช่น ความรู้สึกของความผู้คน ลักษณะที่วัตถุสิ่งก่อสร้างสั่นไหว หรือเสียหาย ลักษณะทางกายภาพของพื้นดินที่เปลี่ยนแปลง เป็นต้น ความรุนแรงแผ่นดินไหวมีด้วยกันหลายมาตราแต่ที่นิยมใช้ในประเทศไทยได้แก่ มาตราเมอร์แคลลีซึ่งมี 12 อันดับ (MM Scale) เรียงลำดับจากเหตุการณ์แผ่นดินไหวที่รุนแรงน้อยที่สุดจนถึงรุนแรงมากที่สุด แสดงดังตารางที่ 4อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM)

อันดับ	
I	
II	
III	ใหญ่ยังไม่
IV	างคน จาน
V	นไม้ แกว่ง
VI	กน้อยกับ อาคาร
VII	ทุกคนตกใจวิ่งออกนอกอาคาร อาคารที่ออกแบบดีไม่เสียหาย เสียหายเล็กน้อยถึงปานกลางกับอาคารสิ่งก่อสร้างธรรมดา เสียหายมากกับอาคารที่ออกแบบไม่ดี ผู้ขับรถรู้สึกว่ามีแผ่นดินไหว
VIII	เสียหายเล็กน้อยกับอาคารที่ออกแบบไว้ดี เสียหายมากในอาคารธรรมดา บางส่วนของอาคารพังทลาย เสียหายอย่างมากในอาคารที่ออกแบบไม่ดี ผนังอาคารหลุดออกนอกอาคาร ปล่องไฟพัง ดินและทรายพุ่งขึ้นมา

IX	เสียหายมากในอาคารที่ออกแบบไว้ดี โครงสิ่งก่อสร้างบิดเบนจากแนวดิ่ง เสียหายอย่างมากกับอาคารและบางส่วนพังทลาย ตัวอาคารเคลื่อนจากฐานราก พื้นดินแตก ท่อใต้ดินแตกหัก
X	อาคารไม้ที่สร้างไว้อย่างดี เสียหาย โครงสร้างอาคารพังพลาย รางรถไฟบิดพื้นดินแตก แผ่นดินถล่มหลายแห่ง ทรายและโคลนพุ่งจากพื้นดิน
XI	สิ่งก่อสร้างเหลืออยู่น้อย สะพานถูกทำลาย พื้นดินมีรอยแยกกว้าง ท่อใต้ดินเสียหายหมด รางรถไฟบิดงอมาก
XII	...น วัตถุสิ่งของ

ต ...IM)

2.5 การตรวจวั

เครื่อง ...ประสงค์ในการ
ตรวจวัดค่าต่าง ...พื้นดิน ระยะการ
เคลื่อนตัวของ ...ลงของ ค่าความ
เค้นของหิน (S

เครือข่ ...ร่วของอนุภาคดิน
(Seismometer) ...กาเกิด ขนาด และ
เครื่องมือตรวจวัดอัตราเร่งของพื้นดิน (Accelerometer เพื่องานด้านวิศวกรรม ข้อมูลพื้นฐานนี้สามารถนำมาวิเคราะห์ ลักษณะของแหล่งกำเนิดแผ่นดินไหว โครงสร้างของโลก ความเสี่ยงภัยแผ่นดินไหว และอื่นๆ

เครือข่ายการตรวจวัดแผ่นดินไหวมีหน่วยงานหลักที่รับผิดชอบโดยตรงได้แก่ กรมอุตุนิยมวิทยาปัจจุบันเครือข่ายการตรวจวัดแผ่นดินไหวของกรมอุตุนิยมวิทยาได้ปรับปรุงรวมถึงเพิ่มเติมระบบการตรวจวัดจากเดิมระบบอนาล็อกเป็นระบบดิจิตอลโดยส่งผ่านสัญญาณด้วยระบบสื่อสารดาวเทียมแบบเวลาจริง โดยมีศูนย์วิเคราะห์ข้อมูลแบบอัตโนมัติ ณ ส่วนกลางกรมอุตุนิยมวิทยา

บทที่ 3
ทฤษฎีและหลักการทำงาน

3.1 ลำโพง

การเปลี่ยนพลังงานอย่างหนึ่งเป็นหลังงานอีกอย่างหนึ่งเรียกว่า ทรานสดิวเซอร์ เช่น ไมโครโฟนหรือลำโพง โดยเฉพาะลำโพงนั้นอาจจะเรียกว่าเป็นทรานสดิวเซอร์ 2 ช่วง (double teansducer) ช่วงแรกเปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล(การสั่น ช่วงที่สองเปลี่ยนพลังงานกล เป็นเป็นพลังงานเสียง (acoustical energy) เมื่อเครื่องขยายเสียงป้อนกระแสไฟฟ้าให้ลำโพง กรวย ของลำโพงมีกา: ...น้ากรวย จะถูก บีบอัดและคลา ...ว่า "คลื่นเสียง" (sound wave) ...นผู้นำสารที่เป็น "เสียง" จากลำโ ...ฟ้าไปสู่พลังงาน เสียง ซึ่งทำให้เ ...ลวดเคลื่อนตัว" (moving coil) ...มขดลวดนั้นถูก ติดตั้งเอาไว้ในส ...ล็ก เกิดปฏิกิริยา ทำให้กลุ่มขดล ...ตามไปด้วย ใน ลักษณะของการ ...สียง"

3.1.1

...แผ่น พลาสติก หรือ...

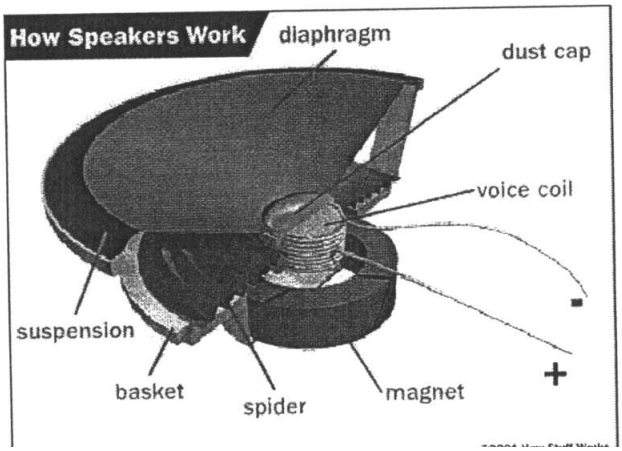
...ฟรม มีความ ยืดหยุ่นติดกับเฟรม สามารถเคลื่อนที่ขึ้นและลงได้ในระดับหนึ่ง

3) เฟรมหรือบางทีเรียกว่า บาสเก็ต (basket)

4) ยอดของกรวยติดอยู่กับคอยส์เสียง(Voice coil)

5) คอยส์เสียงจะยึดอยู่กับ สไปเดอร์ (Spider) มีลักษณะเป็นแผ่นวงกลมเหมือนแหวน สไปเดอร์จะยึดคอยส์เสียงให้อยู่ในตำแหน่งเดิม และทำหน้าที่ เหมือนกับสปริง โดยจะสั่นสะเทือน เมื่อมีสัญญาณไฟฟ้าเข้ามา

6) แม่เหล็กถาวร(Magnet)



การทำงา อมแปร์ เมื่อ
มีกระแสไฟฟ้าไห ล็กขึ้น ซึ่งจะ
เหนี่ยวนำให้แท่ง ขั้วใต้ ถ้านำ
แม่เหล็กสองแท่ง างขั้วกันมันจะ
ดูดกัน ด้วยหลัก เมื่อมีสัญญาณ
ทางไฟฟ้าหรือสั ง ขั้วแม่เหล็ก
ภายในคอยส์เสีย ขึ้นและลง ซึ่ง
จะทำให้ใบลำโ คลื่นเสียงขึ้น
ใบลำโพงทำด้ว ขึ้นและลงตาม
สัญญาณไฟฟ้าก ติดอยู่บนสไป
เดอร์ ที่ทำหน้าที่เหมือนสปริง คอยดึงเบลาเพื่อทำสนสะเทือนให้กลับเข้าสู่ตำแหน่งเดิมเสมอ เมื่อ
ไม่มีสัญญาณไฟฟ้าป้อนเข้าลำโพง ถ้ามีสัญญาณไฟฟ้ากระแสสลับป้อนเข้าไปในคอยส์
เสียง ทิศทางของกระแสไฟฟ้าจะกลับทิศทางอยู่ตลอดเวลา (สังเกตที่เครื่องหมาย + และ - จะเห็น
ว่ากลับทิศทางตลอดเวลาด้วย) และทำให้แผ่นลำโพงสั่นเคลื่อนที่ขึ้นและลง อัดอากาศด้านหน้า
เกิดคลื่นเสียงขึ้น สัญญาณไฟฟ้ากระแสสลับที่ใส่ให้กับลำโพง จะแปรตามความถี่และแอมพลิ
จูด ซึ่งเป็นสัญญาณเดียวกันกับสัญญาณไฟฟ้ากระแสสลับที่ได้จากไมโครโฟน แต่ว่าสัญญาณที่
ได้ในครั้งแรก ยังอ่อนมากจึงต้องผ่านเครื่องขยายก่อน จึงจะป้อนเข้าลำโพงได้ ใบลำโพงจะสั่นเร็ว
หรือช้าขึ้นอยู่กับความถี่ และเสียงจะดังหรือค่อยขึ้นอยู่กับแอมพลิจูดของสัญญาณไฟฟ้า ขนาด
ของลำโพงมีความสำคัญมาก ไม่ใช่ว่าลำโพงตัวเดียวสามารถจะให้ความถี่ได้ออกมาทุกๆ
ความถี่ ถ้าต้องการให้เหมือนกับเสียงธรรมชาติมากที่สุด ลำโพงจะต้องมีหลายขนาด

3.1.2 ประเภทของลำโพง

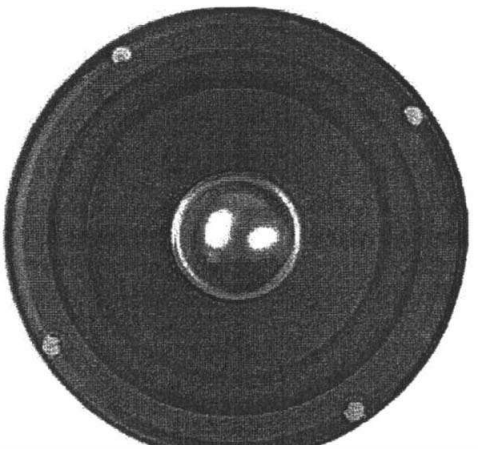
1) วูฟเฟอร์ เป็นลำโพงที่มีขนาดใหญ่สุด ออกแบบมาเพื่อให้เสียงที่มีความถี่ต่ำ

2) ทวีทเตอร์ เป็นลำโพงที่มีขนาดเล็กสุด ออกแบบมาเพื่อให้เสียงที่มีความถี่สูง

3) มิดเรนส์ เป็นลำโพงขนาดกลาง ถูกออกแบบมาเพื่อให้เสียงในช่วงความถี่กลางๆ คือไม่สูง หรือไม่ต่ำ

รูป 3.3 ทวีทเตอร์ (Tweeters)

สำนักหอสมุดกลาง พระจอมเกล้าฉาดกระบัง



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ลำโพงท อนข้างแข็ง จึง
สามารถสั่นด้วยค ู่ และค่อนข้าง
นิ่ม จึงสั่นด้วยค ง คือ มีความถี่
จากสูงถึงต่ำ ซึ่ง ฟอร์ เราจะได้
เสียงอยู่ในย่านค ภาพของเสียง
ออกมาทุกช่วงค ง จึงมักจะเห็น
ลำโพงทั้งสามชนิ

สำหรับ ฟเฟอร์ จะส่ง
ความถี่ต่ำ ส่วนความถี่ในช่วงที่เหลือเป็นของลำโพงแบบมิดเรนส์ ถ้าลองถอดฝาตู้ด้านหลังออก เราจะได้เห็น อุปกรณ์ชิ้นหนึ่งเรียกว่า ครอสโอเวอร์ (Cross over) อุปกรณ์ตัวนี้เป็นตัวแยกสัญญาณไฟฟ้ากระแสสลับให้ออกเป็น 3 ส่วน คือ ส่วนความถี่สูง ความถี่ต่ำ และความถี่กลาง

3.1.3 การประยุกต์ใช้ลำโพงเป็นเซ็นเซอร์

จากหลักการทำงานของลำโพงข้างต้นสามารถนำมาประยุกต์ใช้ลำโพงให้เป็นเซ็นเซอร์เพื่อตรวจจับการเกิดแผ่นดินไหวโดยเลือกใช้ลำโพงความถี่ต่ำ เพราะลำโพงความถี่ต่ำสามารถดีเทคการเกิดแผ่นดินไหวได้ เพราะแผ่นดินไหวนั้นเกิดขึ้นที่ความถี่ค่อนข้างต่ำ และในการทำงานของเซ็นเซอร์ที่ประยุกต์มาจากลำโพงนี้หลักการทำงานก็จะทำงานตรงกันข้ามกับการทำงานของลำโพงที่ใช้ขับเสียง คือลำโพงจะรับการเกิดแผ่นดินไหวเมื่อมีคลื่นแผ่นดินไหวเกิดขึ้น “ขดลวดเคลื่อนตัว” (moving coil) จะเคลื่อนตัว กรวยของลำโพงมีการเคลื่อนที่ (ดูดเข้า-ผลักออก) มวล

82433

อากาศที่อยู่โดยรอบบริเวณด้านหน้ากรวย จะถูกบีบอัดและคลายตัวเป็นจังหวะที่สอดคล้องกัน ทำให้เกิดสนามแม่เหล็ก เกิดปฏิกิริยาทำให้กลุ่มขดลวดมีการเคลื่อนที่มีผลให้กรวย (หรือไดอาแฟรม) มีการขยับตัวตามไปด้วย ในลักษณะของการผลักไปด้านหน้าและดึงกลับมาด้านหลังสลับไปมาจะเกิดเป็นสัญญาณไฟฟ้าแล้วไหลผ่านเส้นลวดที่อยู่รอบๆกลุ่มขดลวดแล้วส่งออกทางขั้วของลำโพง เสมือนการแปรเปลี่ยนพลังงานการสั่นสะเทือนไปสู่พลังงานไฟฟ้า จึงเกิดเป็นเซ็นเซอร์ตรวจจับแผ่นดินไหว

3.2 ไมโครคอนโทรลเลอร์ PSoC

ระบบไ ...แฉพาะสัญญาณ
ทางดิจิตอล จึง ...ำกัดของระบบ
ไมโครคอนโทร ...m On Chip ซึ่ง
รวมเอาการทำง ...การพัฒนา และ
ลดความยุ่งยากใ

3.2.1

...ประมวลผลแบบ
M8C และสามา

...ระบบทำงานใน
สภาวะแรงดันที่

6) วงจรกำเนิดสัญญาณนาฬิกาภายในที่มีความเที่ยงตรงสูง เท่ากับ 24/48 MHz และยังทำงานร่วมกับ External Oscillator ได้ที่ความถี่สูงถึง 24 MHz

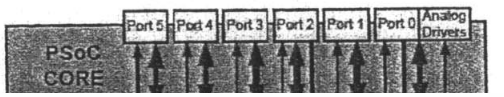
7) มีหน่วยความจำภายในที่ยืดหยุ่นสูง

8) สามารถโปรแกรมฟังก์ชั่นการทำงานให้กับขาต่างๆของไมโครคอนโทรลเลอร์ได้ และสามารถขับกระแสได้ 25 mA ทุกขาในโหมด GPIO

9) และมีทรัพยากรเพิ่มเติมที่มีอยู่ภายในต่างๆ เช่น I2C Slave Master Watchdog sleep timer และมีวงจรกำเนิดแรงดันอ้างอิงภายในที่มีความเที่ยงตรงสูง

10) มีซอฟต์แวร์สำหรับใช้ในการพัฒนาการใช้งานได้ทั้ง C และ Assembly

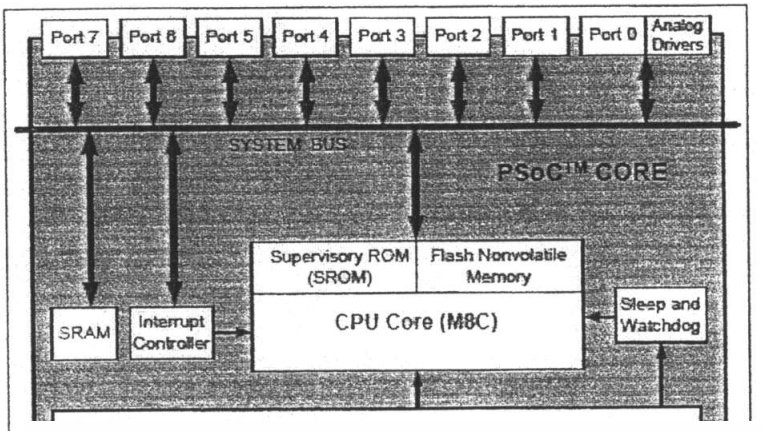
การศึกษาและใช้งานไมโครคอนโทรลเลอร์ให้เกิดประโยชน์และประสิทธิภาพสูงสุด ผู้ใช้จะต้องควรทราบถึงองค์ประกอบและความสามารถภายในตัวชิพ เพื่อสามารถนำไปประยุกต์ใช้งานได้อย่างถูกต้องและเหมาะสม สำหรับ PSoC มีรูปแบโครงสร้างของระบบภายในดังรูป 3.5



รูป 3.5 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC

3.2.2 PSoC Core

เป็นส่วนของแกนหลักในการประมวลผลและควบคุมการทำงานภายในทั้งหมด อันประกอบด้วย หน่วยประมวลผลแบบ M8C



3.2.3 I

ด้าน Hardware

ที แยกเป็นอิสระ

สมบัติทางด้าน

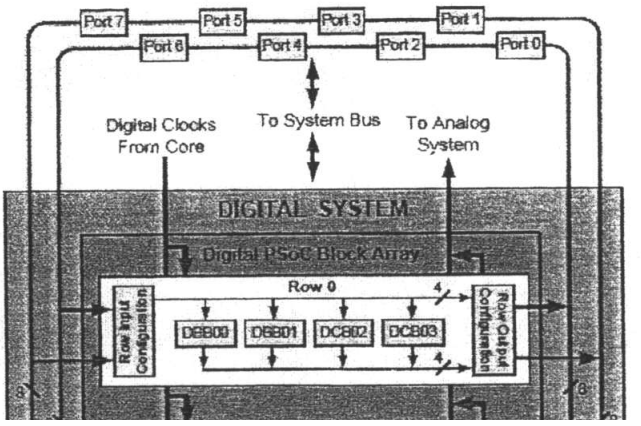
ดิจิตอลลงบนชิพ

ชิพมีคุณสมบัติ

ทางดิจิตอลตามที่

lock และแต่ละ

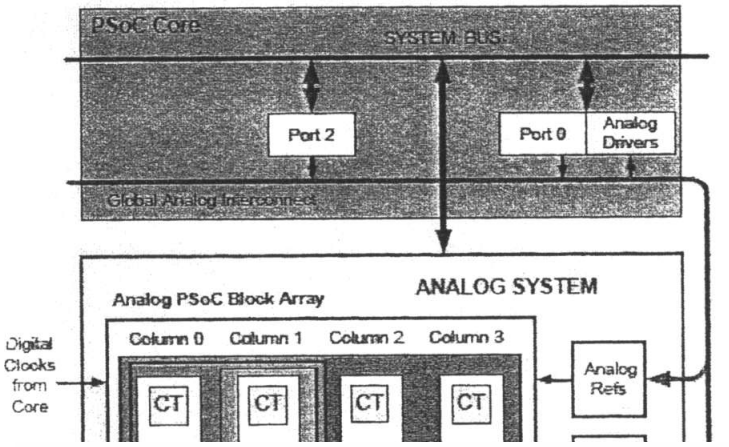
บล็อกมีข้อมูลขน



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3.2.4 Analog System

เป็นพื้นที่การทำงานของระบบอนาล็อกโดยเป็นส่วนการทำงานทางด้าน Hardware ที แยกเป็นอิสระจาก PCoS Core และ Digital system โดยโครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านอนาล็อกลงบนชิพเองได้ เช่น Amplifier ADC DAC เป็นต้น สำหรับชิพเบอร์ CY8C27443 มีให้ใช้งานได้ 12 Analog Block



3.2.5 S

อนโทรลเลอร์

สามารถติดต่อถึง

2) Multiply Accumulate (MAC)

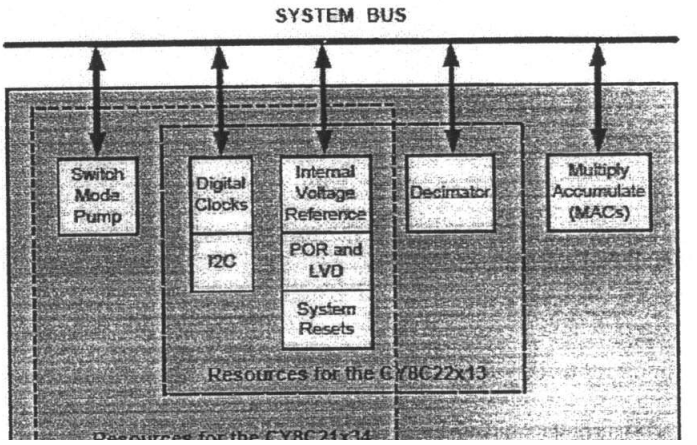
3) Decimator

4) I2C สำหรับการสื่อสารด้วยรูปแบบ I2C

5) POR and LVD สำหรับควบคุมระบบ Reset และระบบตรวจสอบแรงกดันไฟเลี้ยงต่ำกว่ากำหนด

6) Internal Voltage Reference แรงดันอ้างอิงภายในสามารถกำหนดเป็นแรงดันอ้างอิงให้แก่ ADC หรือส่งค่าแรงดันอ้างอิงออกสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

7) Switch Mode Pump เป็นโหมดการทำงานเพื่อบูทแรงดันไฟเลี้ยงที่ต่ำให้มีแรงดันที่สูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ที่ประยุกต์ใช้กับแบตเตอรี่



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3.2.6 I

ลยจำนวนของ

พอร์ต จะขึ้นอยู่กั

ือกใช้งาน ซึ่ง

ขาสัญญาณของ I

ทั้งขาสัญญาณ

อินพุต เอาต์พุต ซึ

องขาสัญญาณ

ต่างๆของ PSoC

Pin Name	Description	Input/Oupput
SMP	Switch Mode Pump	Power
Vdd	Supply Voltage	Power
Vss	Ground	Input
XRES	External Reset (Active High)	Input/Output
P0[0] - P0[1]	Port 0[0], 0[1], Analog Input	Input/Output
P0[2] - P0[5]	Port 0[2], 0[3], 0[4], 0[5], Analog Input/Output	Input/Output
P0[6] - P0[7]	Port 0[6], 0[7], Analog Input	Input/Output
P1[0]		nput/Output
P1[1]		nput/Output
P1[2]		nput/Output
P1[3}		nput/Output
P1[4]		nput/Output
P1[5]		nput/Output
P1[6]		nput/Output
P1[7]		nput/Output
P2[0] - P2[3]		nput/Output
P2[4]		nput/Output
P2[5]		nput/Output
P2[6]	Port 2[6], External VREF	Input/Output
P2[7]	Port 2[7]	Input/Output
P3[0] - P3[7]	Port 3[0], 3[1], 3[2], 3[3], 3[4], 3[5], 3[6], 3[7]	Input/Output
P4[0] - P4[7]	Port 4[0], 4[1], 4[2], 4[3], 4[4], 4[5], 4[6], 4[7]	Input/Output
P5[0] - P5[3]	Port 5[0], 5[1], 5[2], 5[3]	Input/Output

ตาราง 3.1 แสดงหน้าที่การทำงานของขาต่างๆ

นอกจากการใช้งานของขาพอร์ตต่างๆเป็นพอร์ตอินพุต/เอาต์พุตทั่วไปแล้ว ขาพอร์ตของขายังมีหน้าที่เฉพาะอย่างดังต่อไปนี้

1) VDD เป็นขาสัญญาณไฟเลี้ยง ต่อกับไฟ 5โวลต์
2) VSS เป็นขากราวด์ ต่อกับไฟเลี้ยง 0 โวลต์
3) XRES เป็นขาสำหรับรีเซต เมื่อนี้มีลอจิกเป็น "1" CPU จะถูกรีเซต
4) P0[2]-P0[5] เป็นาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล

นอกจากนี้แล้วยังสามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้อีกด้วย

ายในเพื่อทำการ

แต่ไม่สามารถส่

งสัญญาณให้กับ

งานร่วมกับ P0[

งสัญญาณให้กับ

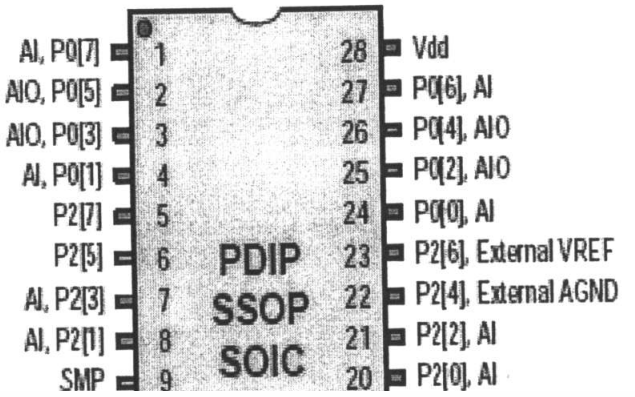
งานร่วมกับ P0[

rial Data)

่อให้ด้านส่งและ

ทำการรับงข้อมูลได้อย่างสอดคล้องกัน ซึงเรียกว่า SCL (Serial Clock)

11) P2[0]- P2[3] เป็นขารับสัญญาณอนาล็อกแบบ Non – Multiplexed
12) P2[6] เป็นขารับสัญญาณอ้างอิงจากภายนอก



I2C

3.3 หลักการทำง

ในตัวไอ to DC , DC to

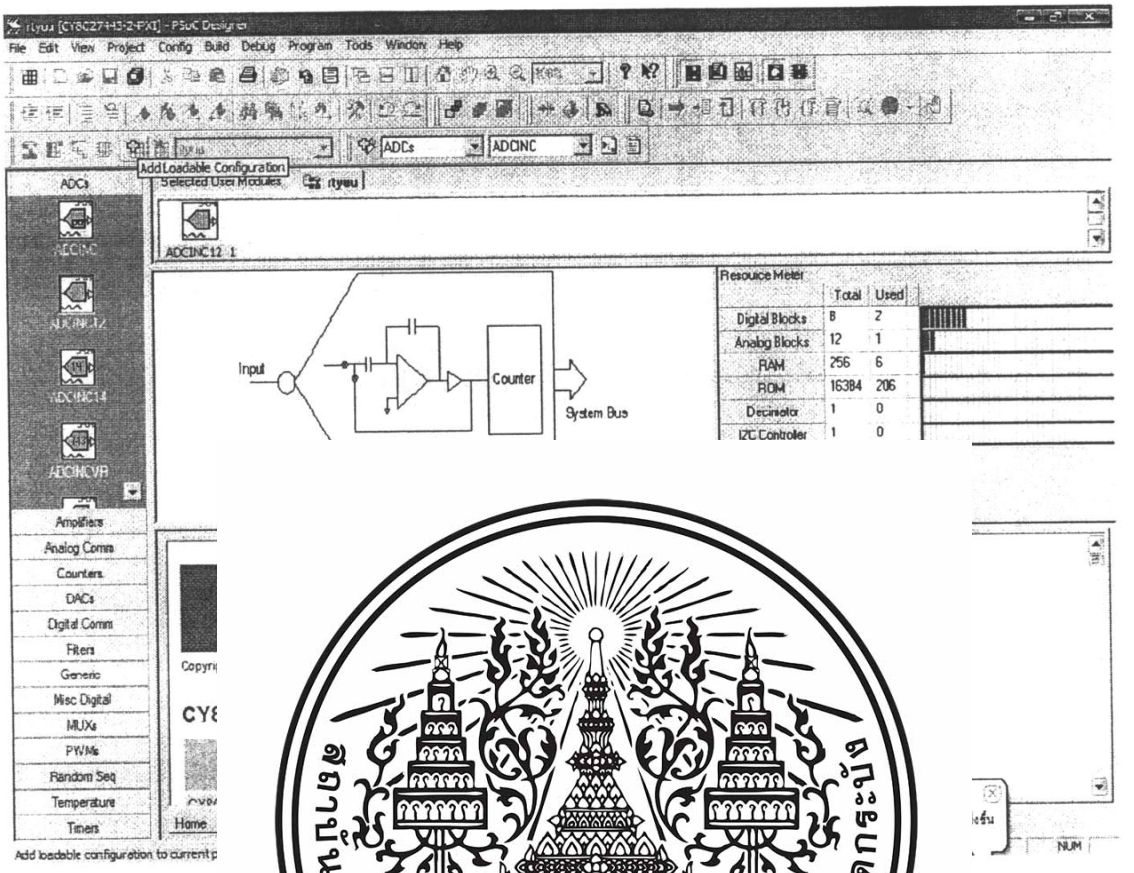
AC , Amplifiers , งจรรวมภายใน

ตัวเดียวได้ทันทีโ ใด

3.3.1 ADC

1. โดยเลือกฟังค์ชั่น ADCs และเลือกฟังก์ชั่นย่อย ADCINC12 เพื่อทำการสร้างโมดูล (Module) วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

2. ต่อมาทำดับเบิลคลิกตัวโมดูล)วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลเพื่อเลือกใช้งาน แล้วเลือกฟังก์ชั่น Interconnect View ดังรูป 3.11



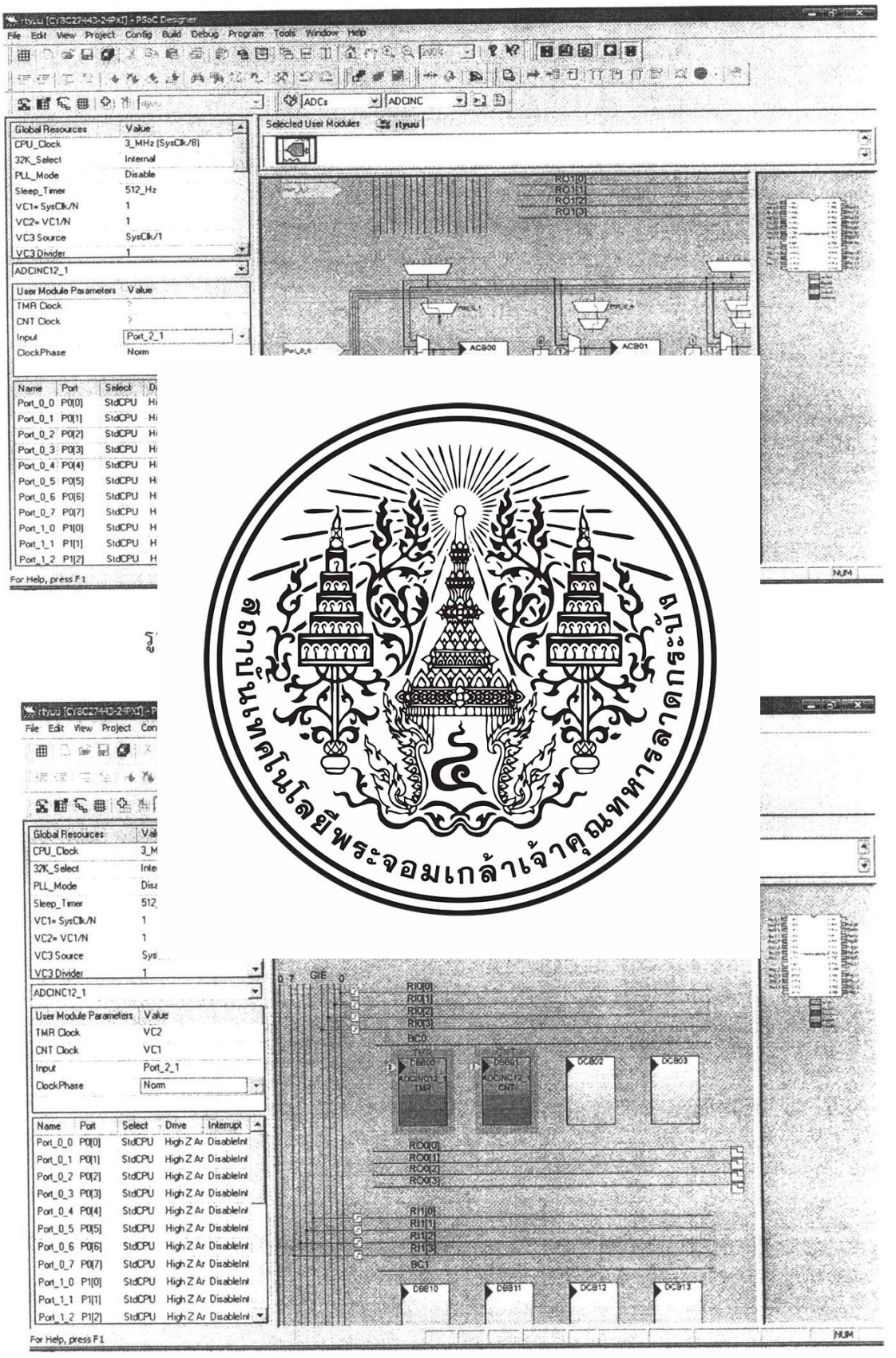
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

lse Module

แล้วตั้งค่า Global ... งรูป 3.12 และ

รูป 3.13 ตามลำดับ

rtyuu [CY8C27443-24PXI] - PSoC Designer
File Edit View Project Config Build Debug Program Tools Window Help
Global Resources
Value
CPU_Clock
3_MHz (SysClk/8)
32K_Select
Internal
PLL_Mode
Disable
Sleep_Timer
512_Hz
VC1= SysClk/N
1
VC2= VC1/N
1
VC3 Source
SysClk/1
VC3 Divider
1
Selected User Modules
rtyuu
ADCINC12_1
User Module Parameters
Value
TMR Clock
CNT Clock
Input
ClockPhase
Norm
Name
Port
Select
Port_0_0 P0[0] StdCPU
Port_0_1 P0[1] StdCPU
Port_0_2 P0[2] StdCPU
Port_0_3 P0[3] StdCPU
Port_0_4 P0[4] StdCPU
Port_0_5 P0[5] StdCPU
Port_0_6 P0[6] StdCPU
Port_0_7 P0[7] StdCPU
Port_1_0 P1[0] StdCPU
Port_1_1 P1[1] StdCPU
Port_1_2 P1[2] StdCPU
For Help, press F1
NUM

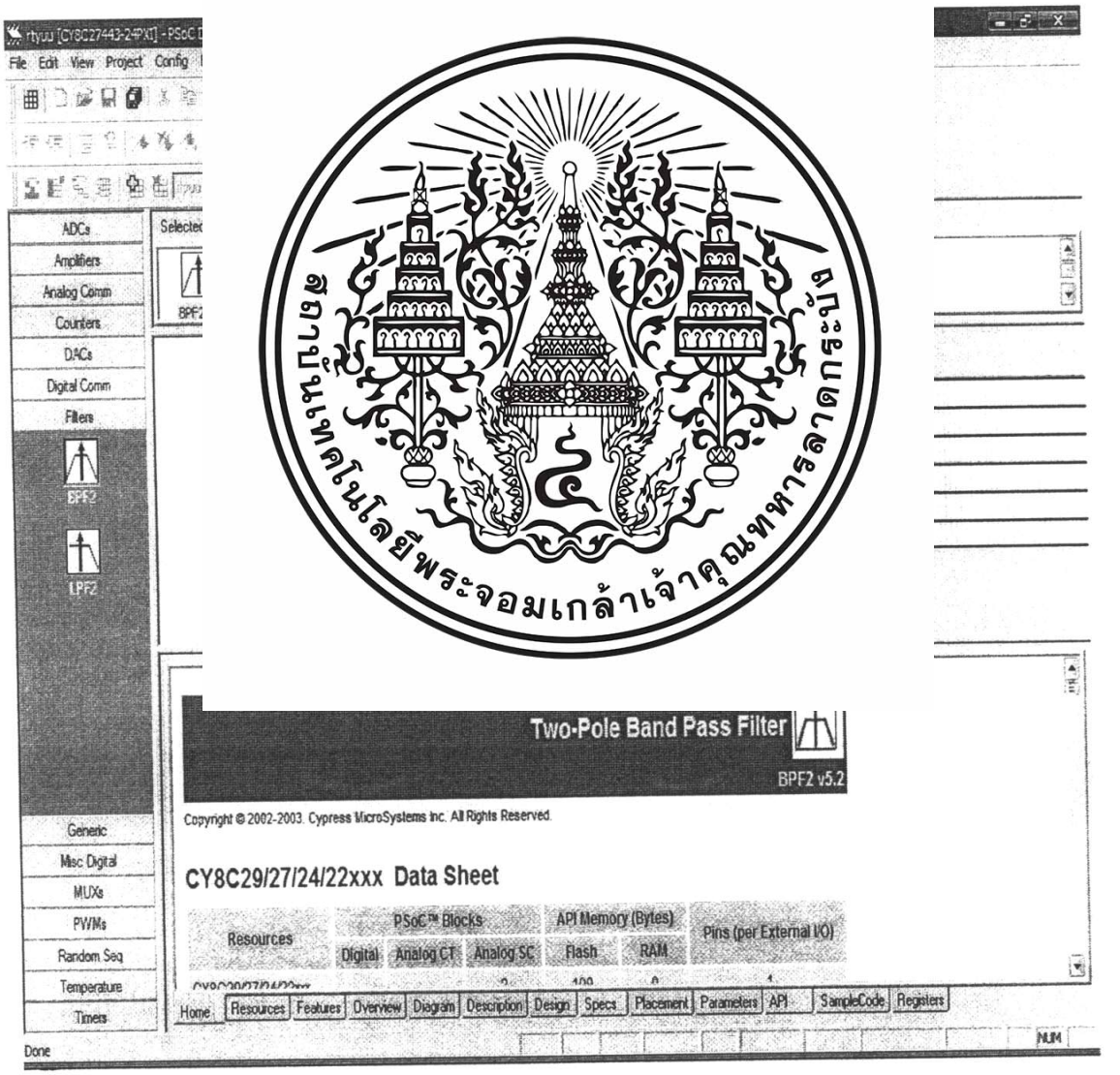


รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล

3.3.2 Band Pass Filter

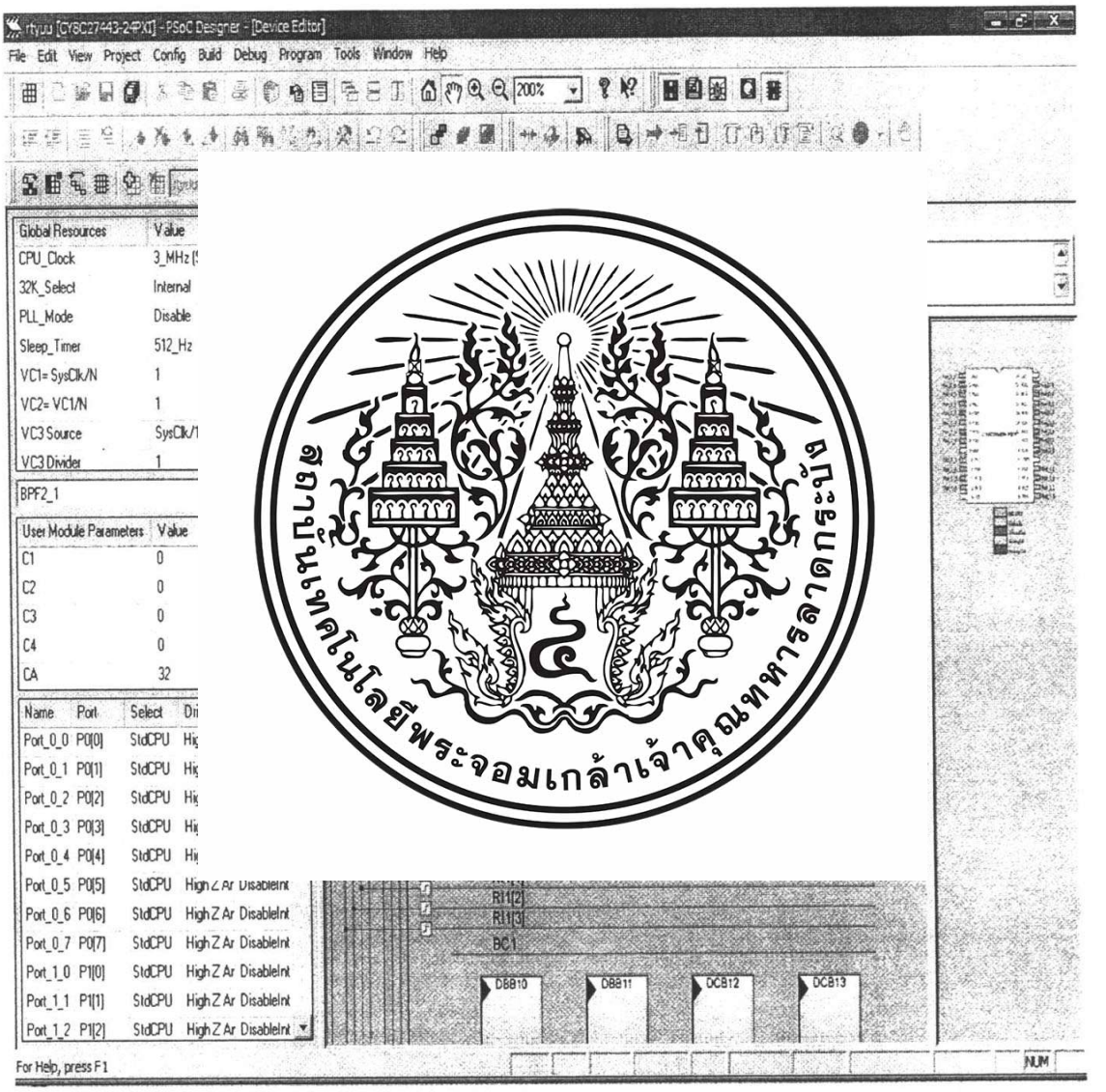
1. เลือกฟังก์ชั่น Filters คลิกเลือกฟังชั่นย่อย BPF2 (BPF2 ต้องใช้โมดูลจำนวน 2 Block และเลือกแบบ BPF2A) เพื่อทำการเลือกโมดูลวงจรกรองความถี่จากการผ่านวงจรขยายสัญญาณแล้ว

2. ต่อมาเลือกฟังก์ชั่น Interconnect View เพื่อทำการตั้งค่าตัวโมดูล ทีละ Block ดังรูป 3.15

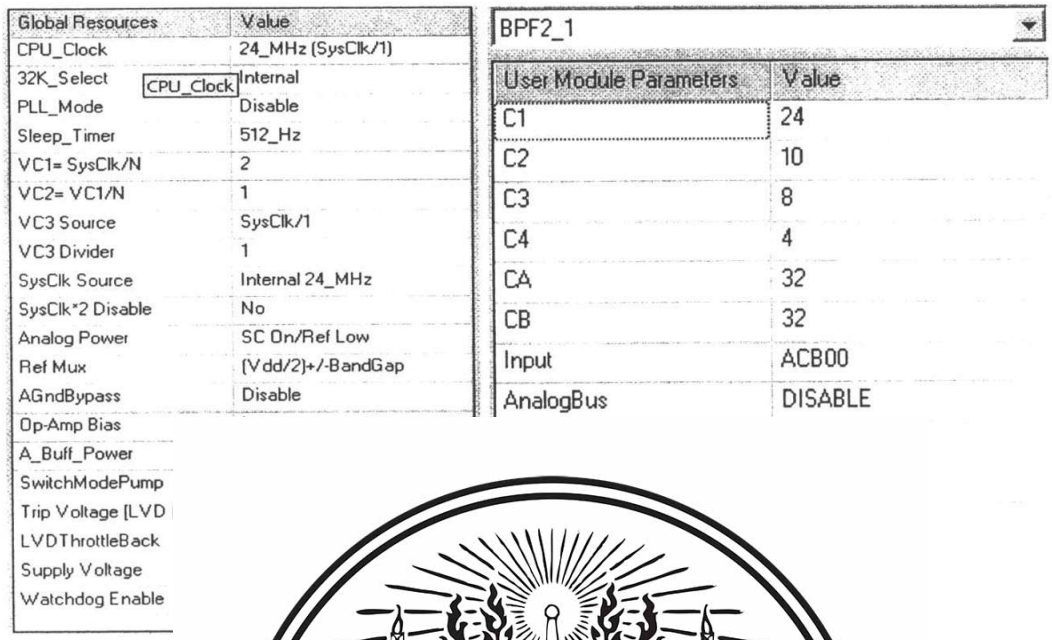


รูป 3.15 แสดงการสร้าง Band pass Filter Module

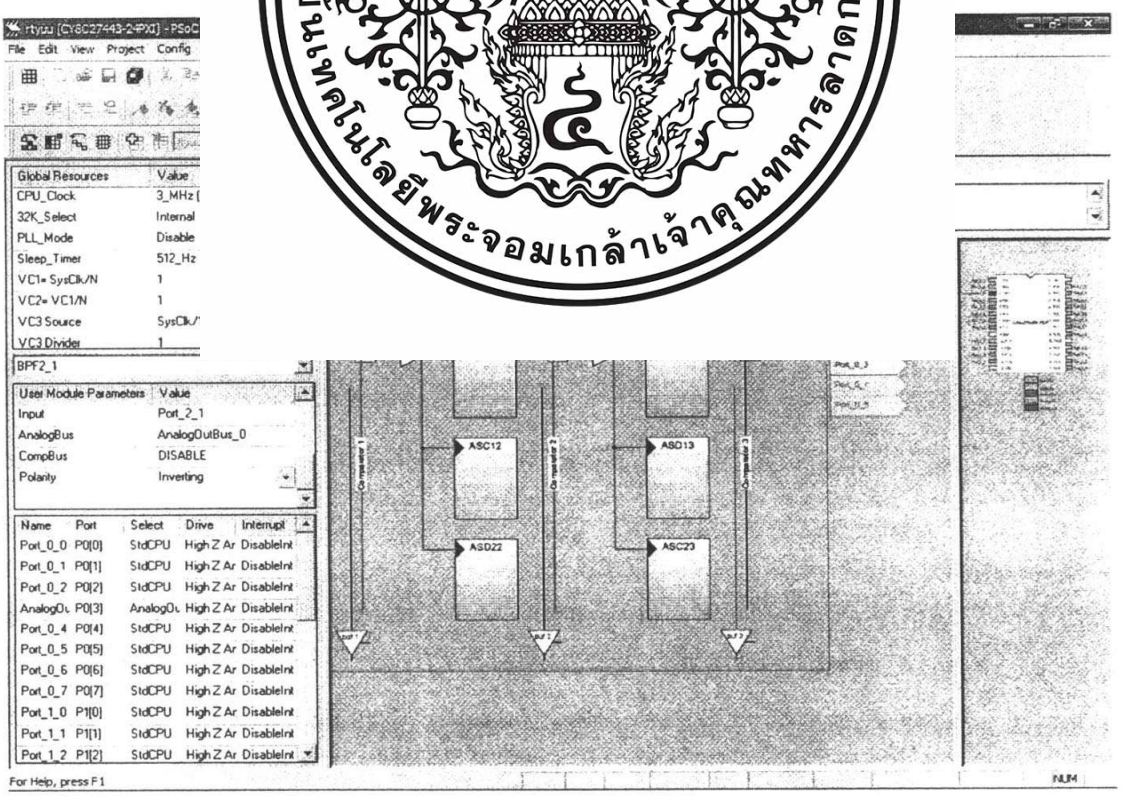
3. คลิกฟังก์ชั่น BPF2 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วทำการตั้งค่า Global Resources และ User Module Parameters ในช่อง Value ทำเช่นทีละ Block ดังรูป 3.16 , รูป 3.17 และ รูป 3.18 ตามลำดับ



รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value



รูป 3.17 แส BPF2_1



รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1

บทที่ 4

วงจรและการทดลอง

4.1 การทดลองและตรวจสอบการทำงานของเซนเซอร์

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าเซนเซอร์สามารถทำงานได้
2. เพื่อเป็นการตรวจสอบว่าเซนเซอร์ตอบสนองที่ความถี่ใดเมื่อเกิดแผ่นดินไหว
3. เพื่อเป็นการตรวจสอบว่าเซนเซอร์มีความสามารถในการตรวจจับแผ่นดินไหวได้
4. เพื่อ ลือกโลกได้
   แบ
5. เพื่อ แอมปลิจูดและ
   ค่าค

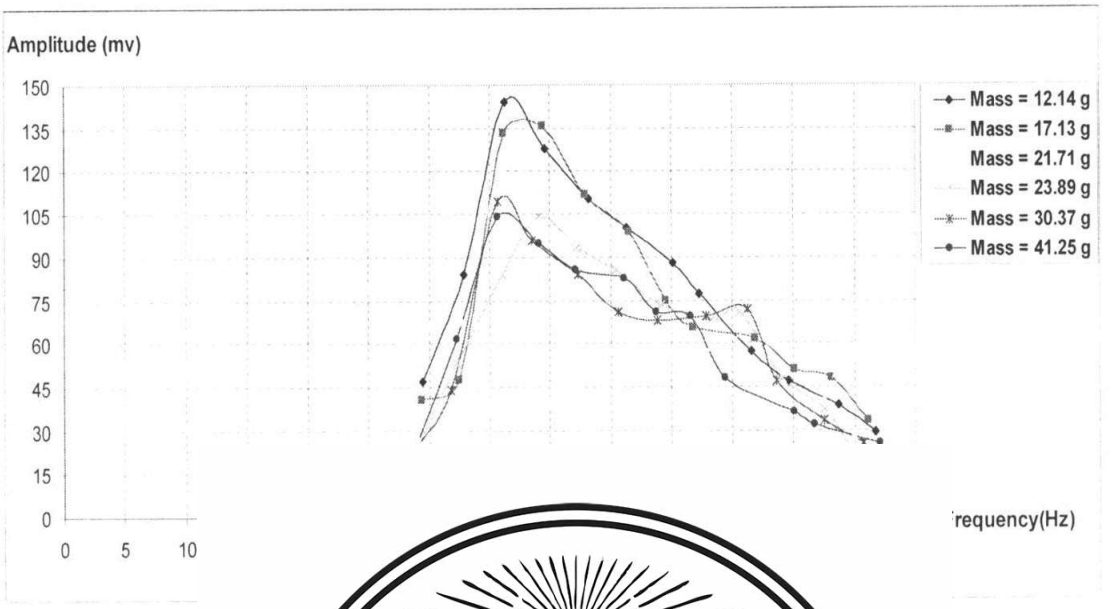
เครื่องมือและอุป

1. เครื่
2. แหล่
3. ออส
4. ตัวเ
5. มวล

ขั้นตอนการทดล

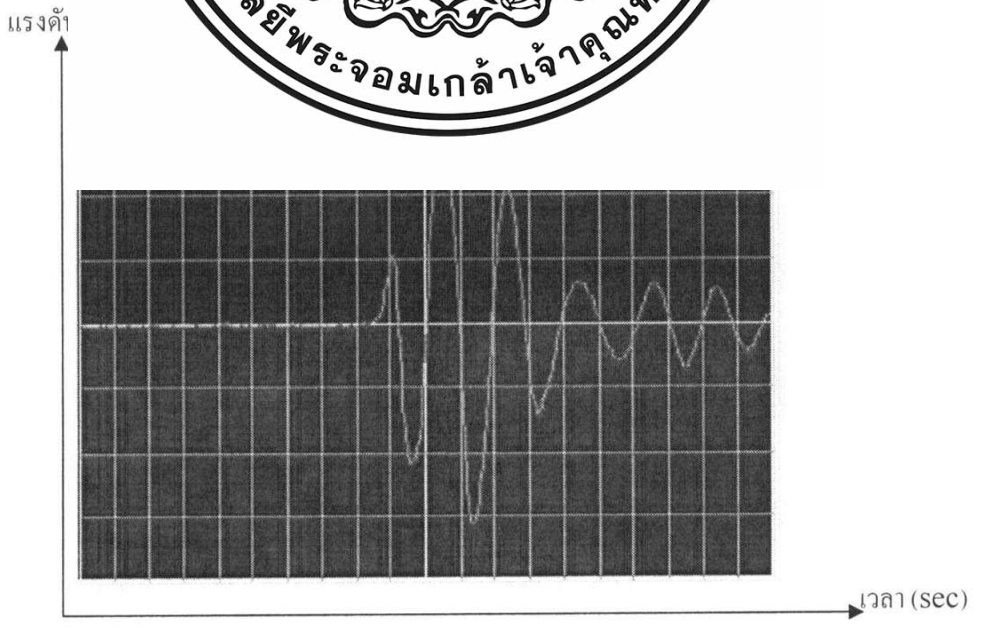
การทดลองหาค่าความถี่ที่ตัวเซนเซอร์สามารถตรวจจับได้ เมื่อเกิดแผ่นดินไหวที่ค่าความแรงต่างกัน และหามวลเพื่อถ่วงตัวเซนเซอร์ให้รับค่าความสั่นที่มีแอมปลิจูดสูงสุดและมีผลต่อค่าความถี่อย่างไรเพื่อส่งต่อประมวลผลต่อไป

1. ทดลองจำลองแผ่นดินไหวแบบต่อเนื่องเพื่อหาค่าความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลถ่วงเซนเซอร์ค่าต่างกันเพื่อหามวลเหล็กที่ทำให้เซนเซอร์สามารถอ่านค่าที่แอมปลิจูดสูงสุดและเพื่อหาความถี่ของแผ่นดินไหวที่เซนเซอร์อ่านได้

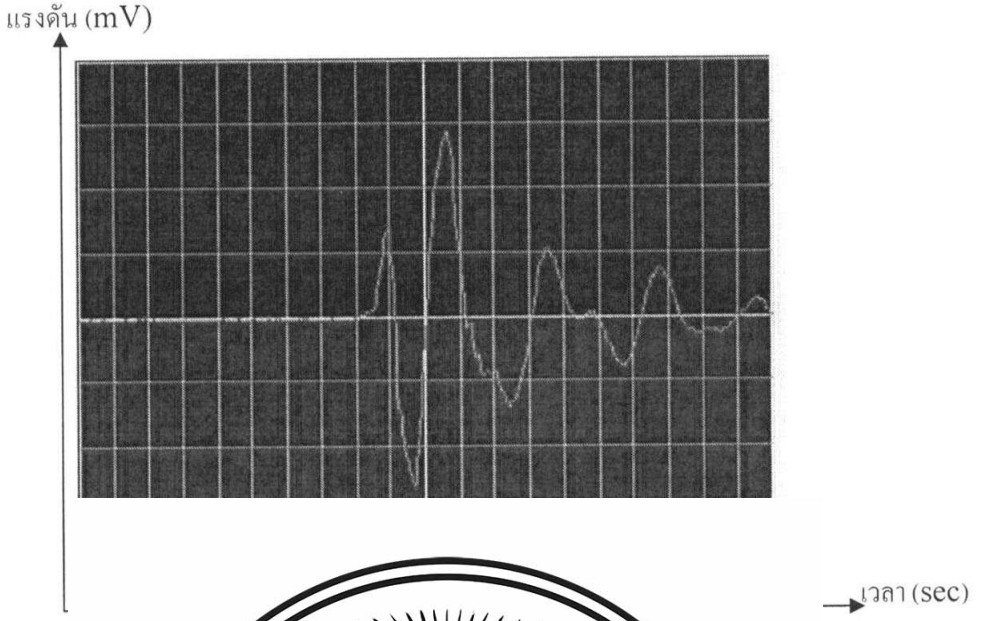


รูป 4.1 งกัน

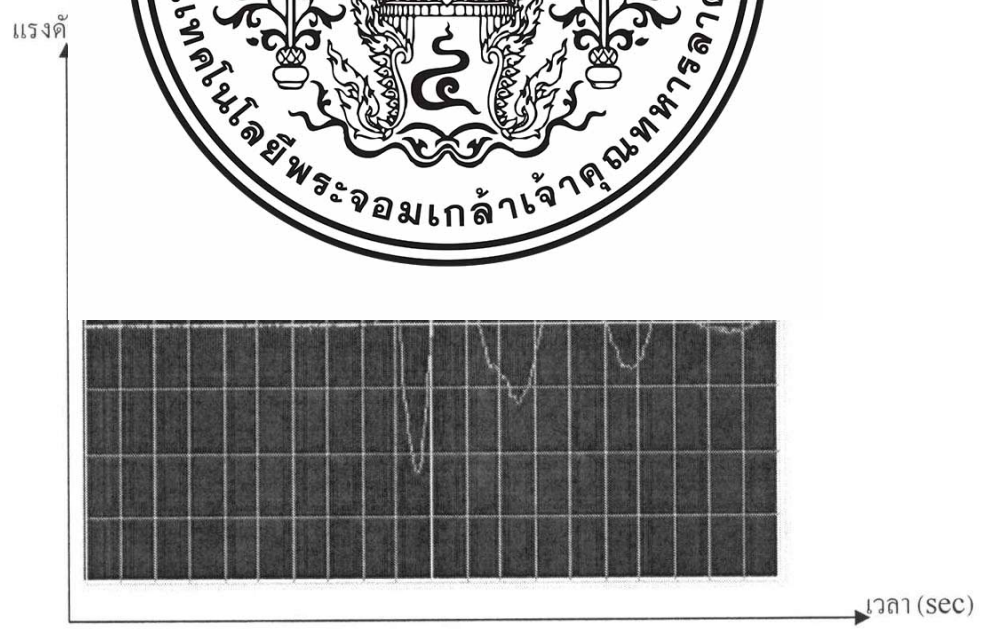
2. ทดล เพื่อหามวลถ่วง
เซนเซอร์ค่าต่างกั เพื่อหาความถี่
ของแผ่นดินไหวที่



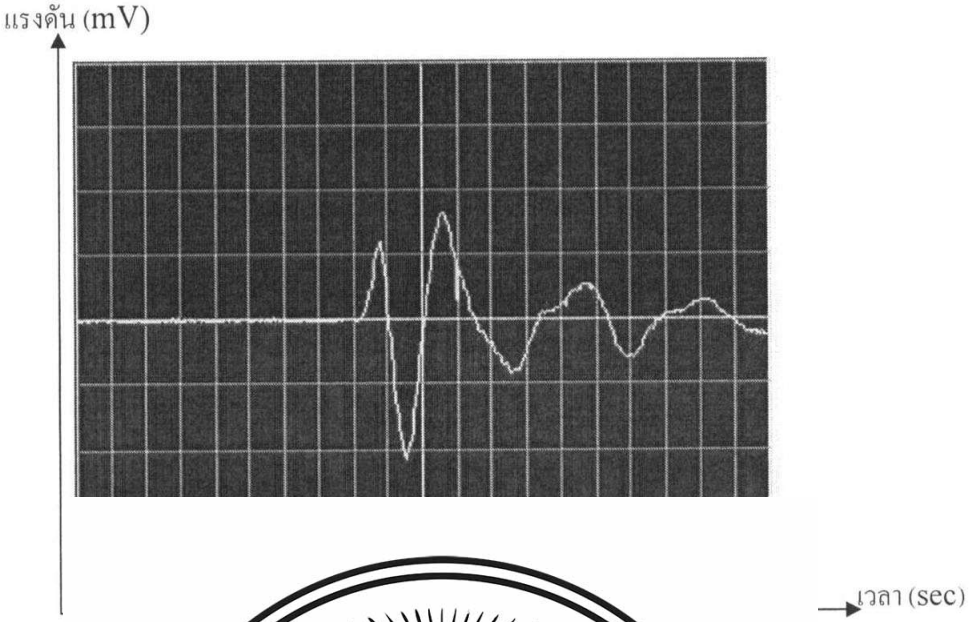
รูป 4.2 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 12.14 g (128 mVp-p)



รูป 4.3 Vp-p)



รูป 4.4 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 21.71 g (90 mVp-p)



รูป 4.5 /p-p)

รูป 4.6 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 41.25 g (68 mVp-p)

4.2 การทดลองและตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ PSoC

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถทำงานที่ฟังก์ชั่นต่างๆ ได้
2. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอลได้
3. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถทำงานได้ที่แรงดัน 3.3 โวลต์เพื่อประหยัดแบตเตอรี่
4. เพื่อเป็นการตรวจสอบการแจ้งเตือนเมื่อเกิดแผ่นดินไหวในระดับเตือนภัย

เครื่องมือและอุป

1. เครื่อ
2. แหล่
3. ออส
4. ฟังก์
5. ตัวเ
6. บอร์

ขั้นตอนการทดล

ลองการทำงาน

ของไม เมถี่เฉพาะย่าน

ความถี่ใ ประหยัดแบตเตอรี่

1. การทดลองเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC) โดยต่อวงจรดังรูป บล็อกไดอะแกรมเพื่อดูค่าดิจิตอล 12 บิตจากการแซมปลิ้งสัญญาณอินพุตอนาล็อก

รูป 4.7 บล็อกไดอะแกรมเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC)

ADC 12 บิต (Binary)	Input จากการคำนวณ (V)	Input จากการทดลอง (V)	% ความผิดพลาด (%)
111111111111	5.0	5.0	0
011111111111	2.5	2.5	0
001111111111	1.25	1.2	4
000111111111	0.625	0.580	7.20
000011111111	0.312	0.270	13.46
000001111111	0.156	0.130	16.67
00			

ต บิต

อทดลองการ

ทำงาน อวงจรดังรูป

บล็อก

ก ญาณอนาล็อก

นาล็อก

แรงดันที่จ่ายให้เกิดการสั่นสะเทือน (V)	สัญญาณอนาล็อก (mVp-p)
7	11
8	30
9	90
10	120

ตาราง 4.2 แสดงการเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก

4.3 การทดลองและตรวจสอบการทำงานของเครื่องเตือนภัยแผ่นดินไหว

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าเครื่องเตือนภัยแผ่นดินไหวสามารถทำงานที่ฟังก์ชั่นต่างๆได้
2. เพื่อเป็นการตรวจสอบว่าเครื่องเตือนภัยแผ่นดินไหวสามารถแจ้งเตือนเมื่อเกิดแผ่นดินไหวได้

เครื่องมือและอุปกรณ์ที่ใช้ในการทดลอง

1. เครื่องจำลองการเกิดแผ่นดินไหว
2. แหล่งจ่ายไป 0 - 12 โวลต์
3. เครื่อ

ขั้นตอนการทดล

ลองการทำงาน

ของเครื่ แจ้งเตือนทีมี 3

ระดับ ต

งต่างๆเพื่อดูการ

ทำงานๆ

เครื่อง แผ่นดิน						ระดับ 3
8						x
8.						x
8.						x
8.75	✓	x	x	✓	x	x
9.0	✓	x	x	✓	x	x
9.25	✓	x	x	✓	x	x
9.50	✓	✓	x	✓	✓	x
9.75	✓	✓	x	✓	✓	x
10.0	✓	✓	x	✓	✓	x

✓ เตือน x ไม่เตือน

ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหว
โดยจำลองการเกิดแผ่นดินไหว

เครื่องกำเนิดแผ่นดินไหว (V)	ครั้งที่ 1			ครั้งที่ 2		
	ระดับ 1	ระดับ 2	ระดับ 3	ระดับ1	ระดับ 2	ระดับ 3
10.25	✓	✓	x	✓	✓	x
10.50	✓	✓	x	✓	✓	x
10.75	✓	✓	x	✓	✓	x
11.0	✓	✓	x	✓	✓	x

✓ เตือน x ไม่เตือน

รถไฟที่สถานี

พระ

ขบวน 394 ธรรมดา เวลา 19.59 น.	✓	x	x

✓ เตือน x ไม่เตือน

ตาราง 4.4 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหว
โดยแรงสั่นเกิดรถไฟที่สถานีพระจอมเกล้าฯ

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

เซนเซอร์

การสร้างเซนเซอร์ให้สามารถตรวจจับแผ่นดินไหวได้ โดยหามวลเพื่อถ่วงให้ให้เซนเซอร์สามารถทำงานให้มีประสิทธิภาพดีที่สุด มวลค่าที่ต่างกันจะมีผลต่อแอมปลิจูดของสัญญาณ แต่ไม่มีผลต่อความถี่เพราะฉะนั้นแล้วมวลที่นำมาถ่วงเซนเซอร์จะมีค่าน้อยหรือมากก็ไม่เกิดปัญหามากนัก ซึ่งถ้าสัญญาณอนาล็อกมีแอมปลิจูดน้อยเกินไปก็สามารถขยายสัญญาณได้ แต่จะคำนึงถึงน้ำหนักที่เซนเซอร์รับมา[illegible]านได้ดี โดยไม่หนักจนเกินไป[illegible]องจากการเกิดแผ่นดินไหวนั้น[illegible]นเลิฟ และแบบคลื่นเรย์ลี เซนเ[illegible]ารเคลื่อนที่ของเปลือกโลกแบบ[illegible]ากตัวเซนเซอร์นั้นมีคอล์ยที่สา[illegible]ามารถเคลื่อนที่เหมือนคลื่นเลิฟ

ไมโครคอนโทร

การทด[illegible]มดุลการเปลี่ยนสัญญาณอนาล็อ[illegible]ของโมดุล ADC นั้นจะทำงานได้[illegible] *Pass Filter* ใช้ในช่วงความถี่ 1

การแจ้งเตือน

เมื่อทดลองเซนเซอร์และไมโครคอนโทรลเลอร์ PSoC แล้วนำมาทดลองการแจ้งเตือนโดยจำลองการเกิดแผ่นดินไหวที่ค่าหนึ่ง แล้วเซนเซอร์สามารถตรวจจับการสั่นสะเทือนนั้นได้แล้วนำไปประมวลผลด้วยไมโครคอนโทรลเลอร์ PSoC ว่ามีความแรงพอที่โปรแกรมตั้งไว้ เพื่อแจ้งเตือนว่าอันตราย ก็สามารถแจ้งเตือนได้โดยอัตโนมัติอย่างมีประสิทธิภาพที่การสั่นสะเทือนนั้นเกิดขึ้นอย่างต่อเนื่อง

เครื่องเตือนภัยแผ่นดินไหว

จากการทดลองเครื่องเตือนภัยแผ่นดินไหวจะเห็นได้ว่าจากการจำลองการเกิดแผ่นดินไหวนั้นเครื่องเตือนภัยแผ่นดินไหวสามารถตรวจจับได้และจากการทดลองโดยนำไปวางใกล้ๆกับรางรถไฟก็สามาตรวจจับได้แต่การสั่นนั้นค่อนข้างน้อยและเครื่องเตือนภัยแผ่นดินไหวสามารถเลือกระดับการแจ้งเตือนได้ด้วยว่าแผ่นดินไหวสั่นน้อยหรือมากจึงจะแจ้งเตือนและระบบประหยัดแบตเตอร์รี่สามารถใช้ต่อเนื่องได้ 34 วัน และเมื่อแบตเตอรี่อ่อนก็มีไฟแสดงผลเตือนเพื่อให้ผู้ใช้นั้นชาร์ทแบตเตอรี่เข้าไปได้

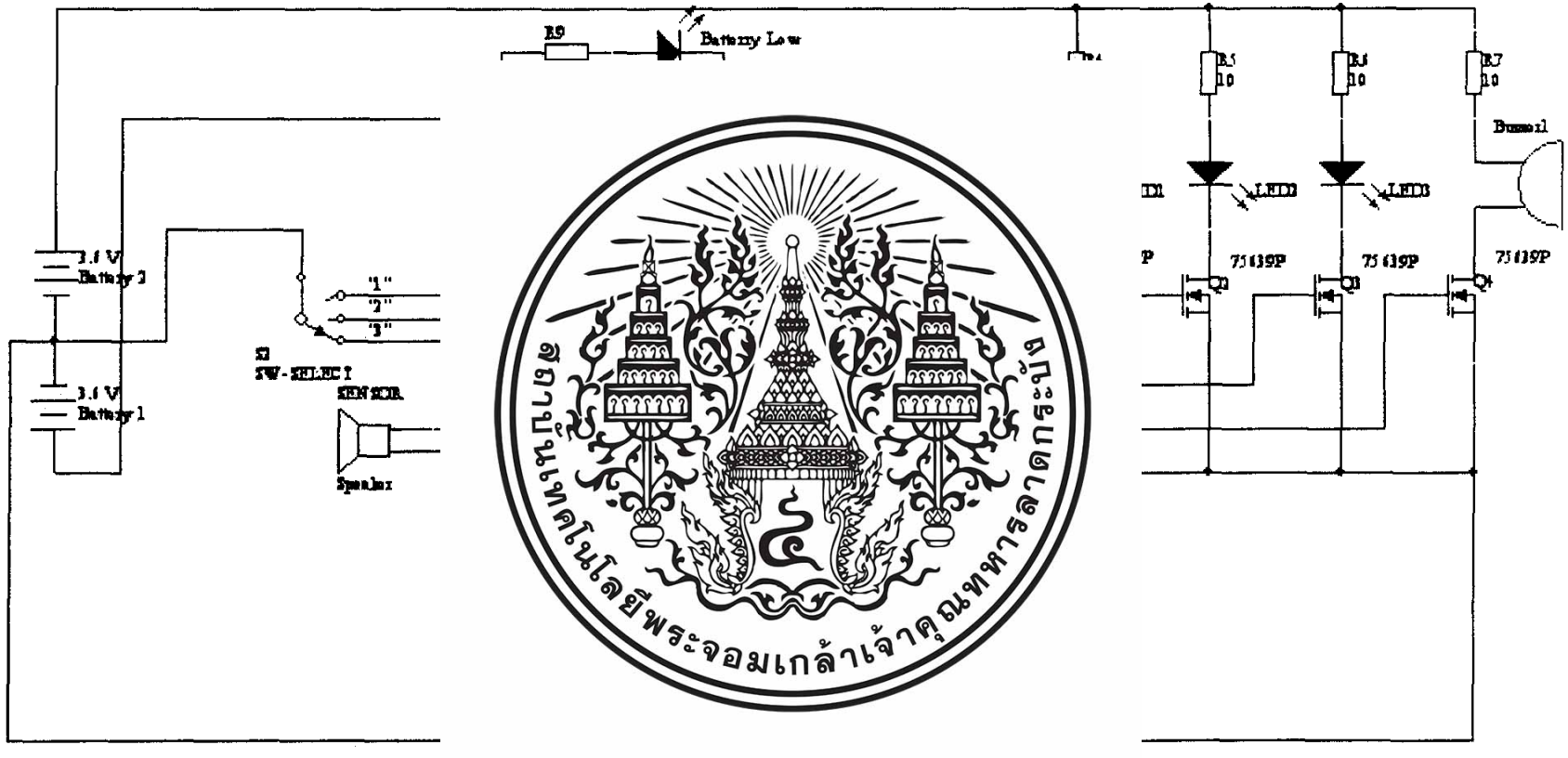
ปัญหาและแนวทางพัฒนาแก้ไข

จากกา อนที่ของเปลือก
โลกแบบคลื่นเ ารถตรวจจับการ
เคลื่อนที่ของเป งีความถี่ต่ำมากๆ
ตัวเซนเซอร์จึง โพงที่หาซื้อตาม
ท้องตลาดจึงไ ากความจำกัดว่า
ระบบต้องมีขน งได้ การพัฒนา
ควรหาเซนเซอ ามารถทำงานได้

บรรณานุกรม

1. www.tmdseismology.com , "Seismological Bureau "
2. www.rmutphysics.com/charud/specialnews/physics2/speaker/speaker.htm , "Speaker "
3. อกฤษฎ์ ตันทสุทธานนท์ ," การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PSoC ด้วยภาษาซี ", MRT Design for Quality, 220 หน้า , 2548
4. วัชรินทร์ เคารพ , " เรียนรู้และเข้าใจ PSoC Microcontroller ด้วยภาษา Assembly และภาษา C" , บริษัท อีทีที จำกัด , 338 หน้า , 2548

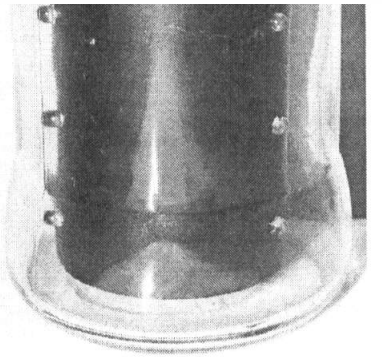
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



รูปวงจรเครื่องเตือนภัยแผ่นดินไหว

คู่มือการใช้งาน

1. เปิดเครื่องโดยเลือกสวิทซ์ไปที่ ON
2. สังเกต LED POWER ติดหรือไม่ (LED ต้องติด)
3. เลือกระดับการเตือนว่าจะให้เตือนที่เกิดแผ่นดินไหวแรงแค่ไหน ตามระดับ 1,2,3
4. เมื่อเครื่องเตือนแจ้งเตือนจะหยุดการทำงานก็สามารถกดปุ่ม RESET หรือปิดเครื่องแล้วเปิดใหม่
5. เมื่อ LED แสดง Low Battery ก็สามารถนำเครื่องชาร์จมาชาร์จใหม่ได้
6. เมื่อไม่ต้องการใช้ก็ปิดสวิทช์ OFF

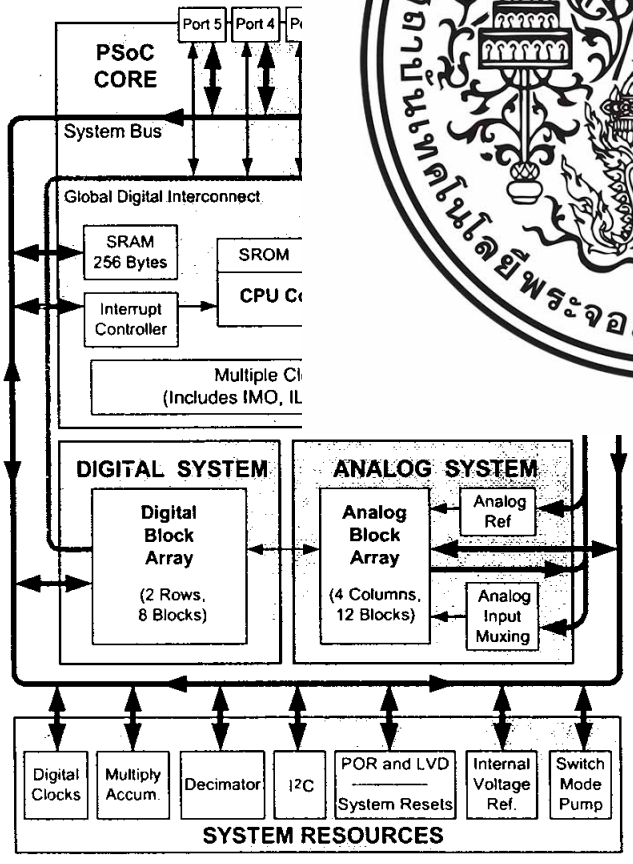


CY8C27143, CY8C27243, CY8C27443, CY8C27543, and CY8C27643

CYPRESS MICROSYSTEMS

Features

- **Powerful Harvard Architecture Processor**
  - M8C Processor Speeds to 24 MHz
  - 8x8 Multiply, 32-Bit Accumulate
  - Low Power at High Speed
  - 3.0 to 5.25 V Operating Voltage
  - Operating Voltages Down to 1.0V Using On-Chip Switch Mode Pump (SMP)
  - Industrial Temperature Range: -40°C to +85°C
- **Advanced Peripherals (PSoC Blocks)**
  - 12 Rail-to-Rail Analog PSoC Blocks Provide:
    - Up to 14-Bit ADCs
    - Up to 9-Bit DACs
    - Programmable Gain Amplif
    - Programmable Filters and
  - 8 Digital PSoC Blocks Provide:
    - 8- to 32-Bit Timers, Counte
    - CRC and PRS Modules
    - Up to 2 Full-Duplex UARTs
    - Multiple SPI™ Masters or S
    - Connectable to all GPIO Pi
  - Complex Peripherals by Comb
- **Precision, Programmable Clocking**
  - Internal 2.5% 24/48 MHz Oscillator
  - 24/48 MHz with Optional 32 kHz Crystal
  - Optional External Oscillator, up to 24 MHz
  - Internal Oscillator for Watchdog and Sleep
- **Flexible On-Chip Memory**
  - 16K Bytes Flash Program Storage 50,000 Erase/Write Cycles
  - 256 Bytes SRAM Data Storage
  - In-System Serial Programming (ISSP™)
- **Additional System Resources**
  - I²C™ Slave, Master, and Multi-Master to 400 kHz
  - Watchdog and Sleep Timers
  - User-Configurable Low Voltage Detection
  - Integrated Supervisory Circuit
  - On-Chip Precision Voltage Reference
- **Complete Development Tools**
  - Free Development Software (PSoC™ Designer)
  - atured, In-Circuit Emulator and nmer
  - ed Emulation
  - x Breakpoint Structure
  - ytes Trace Memory



Overview

many *Mixed Signal Array with* nese devices are designed to CU-based system components programmable device. PSoC ocks of analog and digital logic, terconnects. This architecture nized peripheral configurations of each individual application. program memory, SRAM data e included in a range of conve-

rated on the left, is comprised of four main areas: PSoC Core, Digital System, Analog System, and System Resources. Configurable global busing allows all the device resources to be combined into a complete custom system. The PSoC CY8C27x43 family can have up to five IO ports that connect to the global digital and analog interconnects, providing access to 8 digital blocks and 12 analog blocks.

The PSoC Core

The PSoC Core is a powerful engine that supports a rich feature set. The core includes a CPU, memory, clocks, and configurable GPIO (General Purpose IO).

The M8C CPU core is a powerful processor with speeds up to 24 MHz, providing a four MIPS 8-bit Harvard architecture micro-

 © Cypress MicroSystems, Inc. 2002 – 2004 — Document No. 38-12012 Rev. *I

processor. The CPU utilizes an interrupt controller with 17 vectors, to simplify programming of real time embedded events. Program execution is timed and protected using the included Sleep and Watch Dog Timers (WDT).

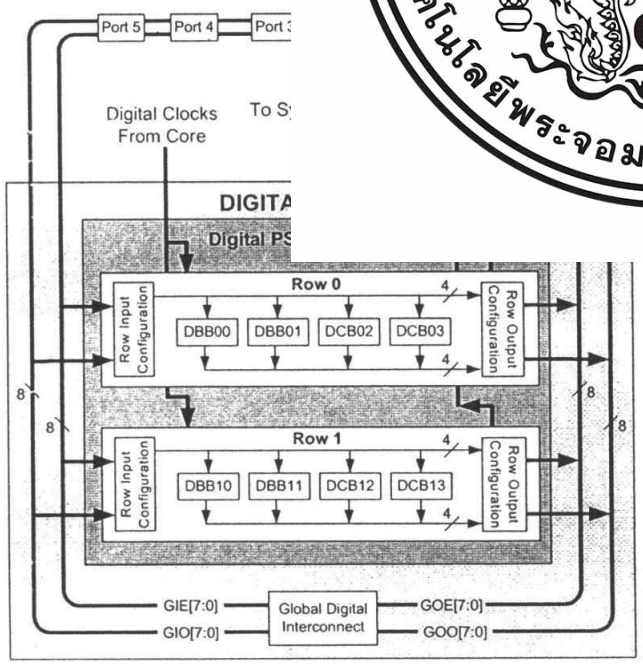
Memory encompasses 16 KB of Flash for program storage, 256 bytes of SRAM for data storage, and up to 2 KB of EEPROM emulated using the Flash. Program Flash utilizes four protection levels on blocks of 64 bytes, allowing customized software IP protection.

The PSoC device incorporates flexible internal clock generators, including a 24 MHz IMO (internal main oscillator) accurate to 2.5% over temperature and voltage. The 24 MHz IMO can also be doubled to 48 MHz for use by the digital system. A low power 32 kHz ILO (internal low speed oscillator) is provided for the Sleep timer and WDT. If crystal accuracy is desired, the ECO (32.768 kHz external crystal oscillator) is available for use as a Real Time Clock (RTC) and can optionally generate a crystal-accurate 24 MHz system clock using a PLL. The clocks together with programmable Resource), provide the flexibi requirement into the PSoC de

PSoC GPIOs provide connect resources of the device. Each from eight options, allowing g ing. Every pin also has the ca rupt on high level, low level, a

The Digital System

The Digital System is compos block is an 8-bit resource tha with other blocks to form 8, 16 are called user module refere



Digital System Block Diagram

Digital peripheral configurations include those listed below.

- PWMs (8 to 32 bit)
- PWMs with Dead band (8 to 32 bit)
- Counters (8 to 32 bit)
- Timers (8 to 32 bit)
- UART 8 bit with selectable parity (up to 2)
- SPI master and slave (up to 2)
- I2C slave and master (1 available as a System Resource)
- Cyclical Redundancy Checker/Generator (8 to 32 bit)
- IrDA (up to 2)
- Pseudo Random Sequence Generators (8 to 32 bit)

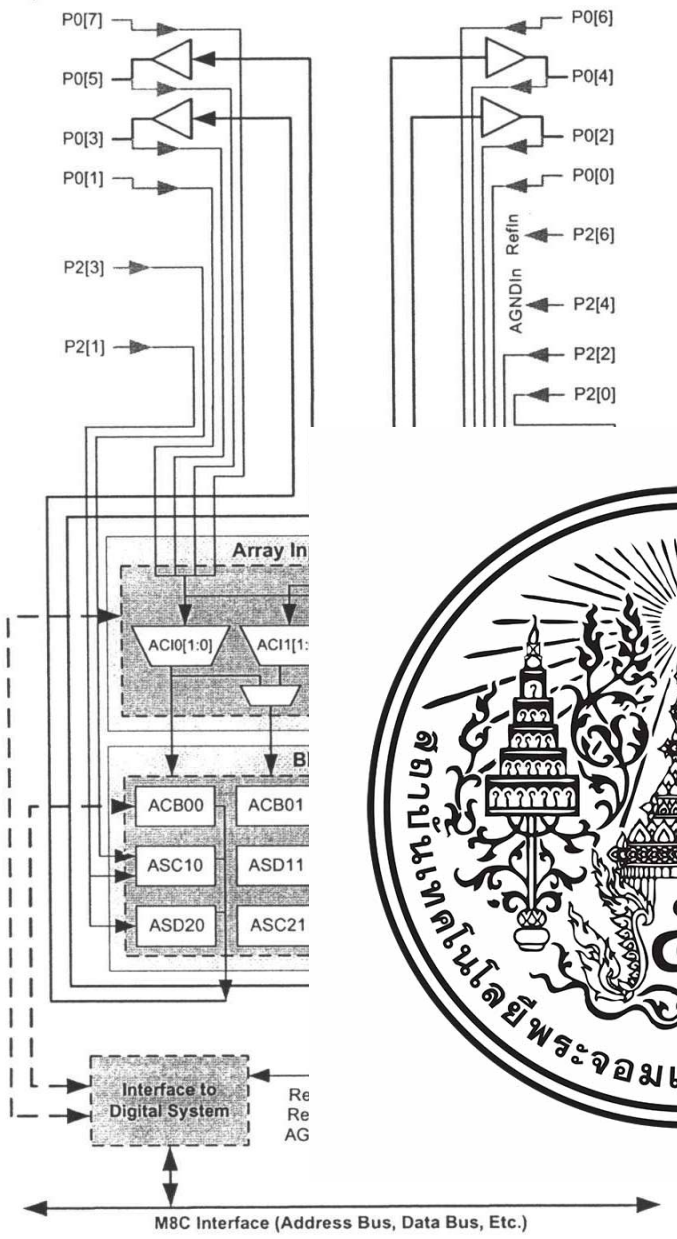
The digital blocks can be connected to any GPIO through a series of global buses that can route any signal to any pin. The buses also allow for signal multiplexing and for performing logic operations. This configurability frees your designs from the constraints of a fixed peripheral controller.

...s of four, where the number of ...amily. This allows you the opti... ...es for your application. Family ...e titled "PSoC Device Charac-

...ed of 12 configurable blocks, ...circuit allowing the creation of ...alog peripherals are very flexi... ...o support specific application ...e common PSoC analog func... ...dules) are listed below.

- ...up to 4, with 6- to 14-bit resolu... ...l, Delta Sigma, and SAR)
- ...nd-pass, low-pass, and notch)
- ...table gain to 48x)
- ...o to 2, with selectable gain to
- ...s selectable thresholds)
- ...t resolution)
- ...th 6- to 9-bit resolution)
- High current output drivers (four with 30 mA drive as a Core Resource)
- 1.3V reference (as a System Resource)
- DTMF dialer
- Modulators
- Correlators
- Peak detectors
- Many other topologies possible

Analog blocks are provided in columns of three, which includes one CT (Continuous Time) and two SC (Switched Capacitor) blocks, as shown in the figure below.



Analog System Block Diagram

Additional System Resources

System Resources, some of which have been previously listed, provide additional capability useful to complete systems. Additional resources include a multiplier, decimator, switch mode pump, low voltage detection, and power on reset. Brief statements describing the merits of each system resource are presented below.

- Digital clock dividers provide three customizable clock frequencies for use in applications. The clocks can be routed to both the digital and analog systems. Additional clocks can be generated using digital PSoC blocks as clock dividers.
- A multiply accumulate (MAC) provides a fast 8-bit multiplier with 32-bit accumulate, to assist in both general math as well as digital filters.
- The decimator provides a custom hardware filter for digital signal processing applications including the creation of Delta Sigma ADCs.

and 400 kHz communication
and multi-master modes are

nterrupts can signal the appli-
while the advanced POR
nates the need for a system

vides an absolute reference for
ADCs and DACs.

mp (SMP) generates normal
le 1.2V battery cell, providing a

stics

characteristics, the digital and
or 4 digital blocks and 12, 6, or
ng table lists the resources
ice groups. The PSoC device
nown in the second row of the

PSoC Part Number	Digital IO	Digital Rows	Digital Blocks	Analog Inputs	Analog Outputs	Analog Columns	Analog Blocks
CY8C29x66	up to 64	4	16	12	4	4	12
CY8C27x43	**up to 44**	**2**	**8**	**12**	**4**	**4**	**12**
CY8C24x23	up to 24	1	4	12	2	2	6
CY8C24x23A	up to 24	1	4	12	2	2	6
CY8C22x13	up to 16	1	4	8	1	1	3

Getting Started

The quickest path to understanding the PSoC silicon is by reading this data sheet and using the PSoC Designer Integrated Development Environment (IDE). This data sheet is an overview of the PSoC integrated circuit and presents specific pin, register, and electrical specifications. For in-depth information, along with detailed programming information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual.*

For up-to-date Ordering, Packaging, and Electrical Specification information, reference the latest PSoC device data sheets on the web at http://www.cypress.com/psoc.

Development Kits

Development Kits are available from the following distributors: Digi-Key, Avnet, Arrow, and Future. The Cypress Online Store at http://www.onfulfillment.com/cypressstore/ contains development kits, C compilers, and all
ment. Click on *PSoC (Progran*
a current list of available items.

Tele-Training

Free PSoC "Tele-training" is a
by a live marketing or applicati
training classes are available
including introduction, designir
advanced analog, as well as a
ing topics like PSoC and the LI
tele-training, see http://www.cy

Consultants

Certified PSoC Consultants
assistance to completed PSoC
PSoC Consultant, go to the fol
http://www.cypress.com/suppo

Technical Support

PSoC application engineers
response. They can be rea
response at http://www.cypres

Application Notes

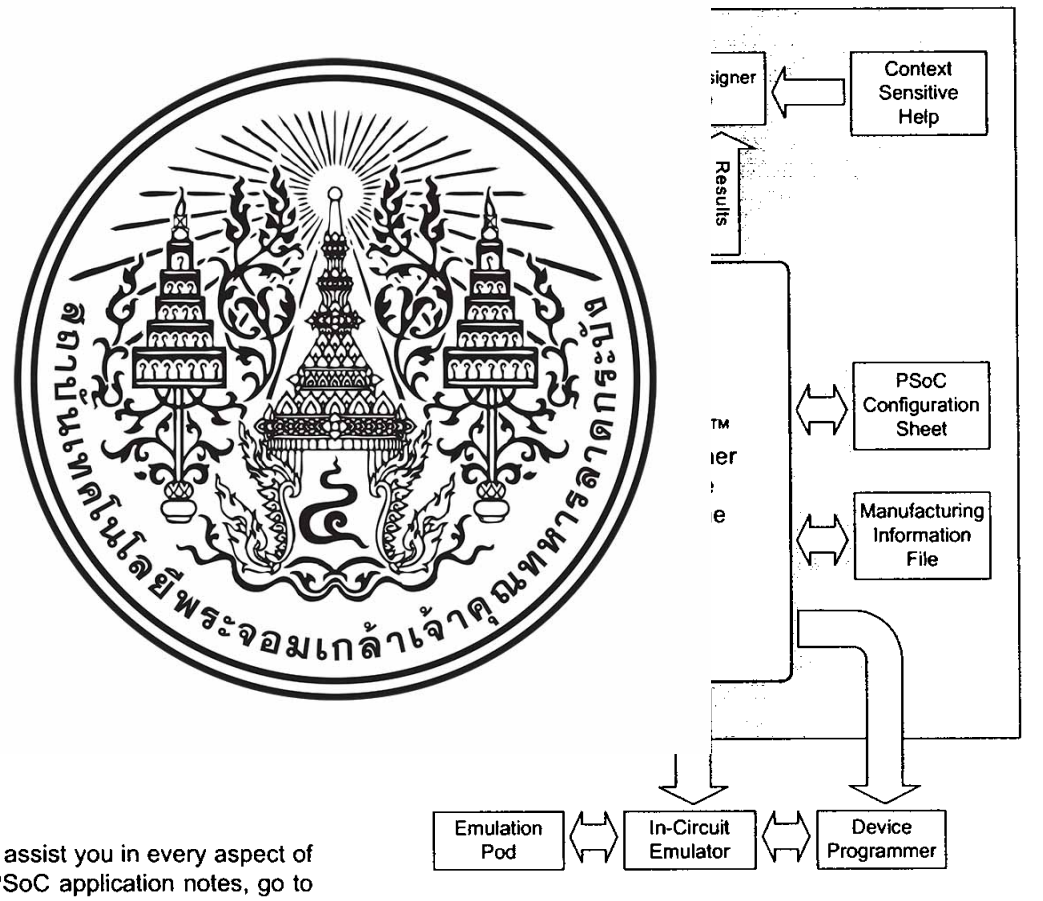
A long list of application notes will assist you in every aspect of your design effort. To locate the PSoC application notes, go to http://www.cypress.com/design/results.cfm.

Development Tools

The Cypress MicroSystems PSoC Designer is a Microsoft® Windows-based, integrated development environment for the Programmable System-on-Chip (PSoC) devices. The PSoC Designer IDE and application runs on Windows NT 4.0, Windows 2000, Windows Millennium (Me), or Windows XP. (Reference the PSoC Designer Functional Flow diagram below.)

PSoC Designer helps the customer to select an operating configuration for the PSoC, write application code that uses the PSoC, and debug the application. This system provides design database management by project, an integrated debugger with In-Circuit Emulator, in-system programming support, and the CYASM macro assembler for the CPUs.

PSoC Designer also supports a high-level C language compiler developed specifically for the devices in the family.



PSoC Designer Subsystems

PSoC Designer Software Subsystems

Device Editor

The Device Editor subsystem allows the user to select different onboard analog and digital components called user modules using the PSoC blocks. Examples of user modules are ADCs, DACs, Amplifiers, and Filters.

The device editor also supports easy development of multiple configurations and dynamic reconfiguration. Dynamic configuration allows for changing configurations at run time.

PSoC Designer sets up power-on initialization tables for selected PSoC block configurations and creates source code for an application framework. The framework contains software to operate the selected components and, if the project uses more than one operating configuration, contains routines to switch between different sets of PSoC block configurations at run time. PSoC Designer can print out a configuration sheet for a given project configuration
gramming in conjunction with
framework is generated, the
code to flesh out the framewo
selected components and reg

Design Browser

The Design Browser allows u
figured designs into the user's
a catalog of preconfigured de
Examples provided in the tool
Bus master and slave, fan cor

Application Editor

In the Application Editor you
Assembly language source cc
pile, link, and build.

Assembler. The macro asse
to be merged seamlessly wit
matically use absolute addres
mode, and linked with other
addressing.

C Language Compiler. A C language compiler is available that supports Cypress MicroSystems' PSoC family devices. Even if you have never worked in the C language before, the product quickly allows you to create complete C programs for the PSoC family devices.

The embedded, optimizing C compiler provides all the features of C tailored to the PSoC architecture. It comes complete with embedded libraries providing port and bus operations, standard keypad and display support, and extended math functionality.

Debugger

The PSoC Designer Debugger subsystem provides hardware in-circuit emulation, allowing the designer to test the program in a physical system while providing an internal view of the PSoC device. Debugger commands allow the designer to read and program and read and write data memory, read and write IO registers, read and write CPU registers, set and clear breakpoints, and provide program run, halt, and step control. The debugger also allows the designer to create a trace buffer of registers and memory locations of interest.

Online Help System

The online help system displays online, context-sensitive help for the user. Designed for procedural and quick reference, each functional subsystem has its own context-sensitive help. This
ıd links to FAQs and an Online
er in getting started.

E (In-Circuit Emulator) is avail-
his hardware has the capability

unit that connects to the PC by
The base unit is universal and
ɛs. Emulation pods for each
ɾately. The emulation pod takes
the target board and performs

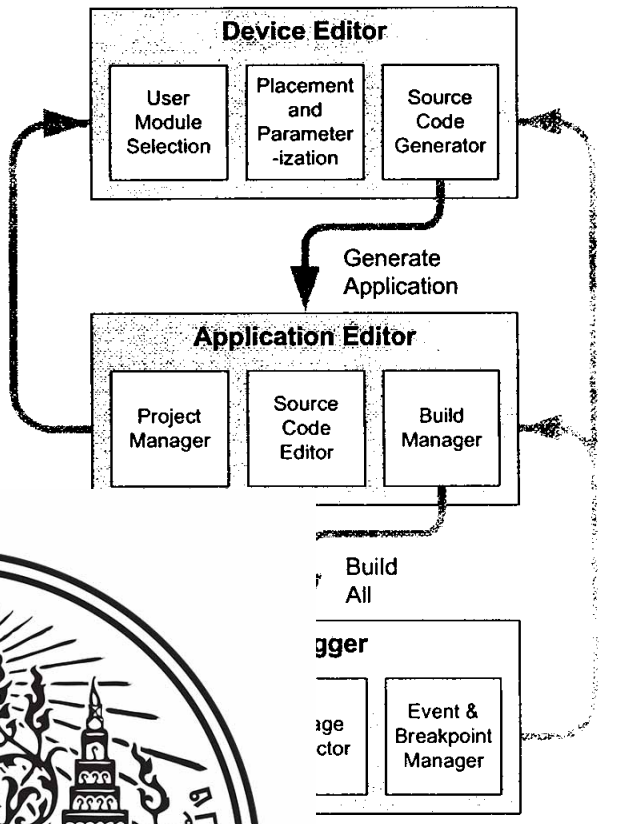
Designing with User Modules

The development process for the PSoC device differs from that of a traditional fixed function microprocessor. The configurable analog and digital hardware blocks give the PSoC architecture a unique flexibility that pays dividends in managing specification change during development and by lowering inventory costs. These configurable resources, called PSoC Blocks, have the ability to implement a wide variety of user-selectable functions. Each block has several registers that determine its function and connectivity to other blocks, multiplexers, buses, and to the IO pins. Iterative development cycles permit you to adapt the hardware as well as the software. This substantially lowers the risk that you will have to select a different part to meet the final design requirements.

To speed the development process, the PSoC Designer Integrated Development Environment (IDE) provides a library of pre-built, pre-tested hardware peripheral functions, called "User Modules." User modules m peripheral devices simple, a mixed signal varieties. The s tains over 50 common periph ers, Counters, UARTs, and such as DTMF Generators an

Each user module establishe implement the selected func that allow you to tailor its prec application. For example, a F ule configures one or more di bits of resolution. The user establish the pulse width an provide tested software to cul module application programn level functions to control an run-time. The API also provi tines that you can adapt as n

The API functions are docum that are viewed directly in the sheets explain the internal c provide performance specific the use of each user module ting of each register controlle



Code Development Flows

ain program, and any sub-rou- Application Editor subsystem. a Project Manager that allows code files (including all gener- al view. The source code editor vanced edit features for both C arch capabilities include simple "grep-style" patterns. A single Manager. It employs a profes- m to automatically analyze all ompiler and assembler as nec- control optimization strategies used by the compiler and linker. Syntax errors are displayed in a console window. Double clicking the error message takes you directly to the offending line of source code. When all is correct, the linker builds a HEX file image suitable for programming.

The development process starts when you open a new project and bring up the Device Editor, a graphical user interface (GUI) for configuring the hardware. You pick the user modules you need for your project and map them onto the PSoC blocks with point-and-click simplicity. Next, you build signal chains by interconnecting user modules to each other and the IO pins. At this stage, you also configure the clock source connections and enter parameter values directly or by selecting values from drop-down menus. When you are ready to test the hardware configuration or move on to developing code for the project, you perform the "Generate Application" step. This causes PSoC Designer to generate source code that automatically configures the device to your specification and provides the high-level user module API functions.

The last step in the development process takes place inside the PSoC Designer's Debugger subsystem. The Debugger downloads the HEX image to the In-Circuit Emulator (ICE) where it runs at full speed. Debugger capabilities rival those of systems costing many times more. In addition to traditional single-step, run-to-breakpoint and watch-variable features, the Debugger provides a large trace buffer and allows you define complex breakpoint events that include monitoring address and data bus values, memory locations and external signals.

Document Conventions

Acronyms Used

The following table lists the acronyms that are used in this document.

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
GUI	graphical user interface
HBM	human body model
ICE	in-circuit emulator
ILO	internal low speed oscil
IMO	internal main oscillator
IO	input/output
IPOR	imprecise power on res
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
PLL	phase-locked loop
POR	power on reset
PPOR	precision power on rese
PSoC™	Programmable System-
PWM	pulse width modulator
RAM	random access memor
SC	switched capacitor
SLIMO	slow IMO
SMP	switch mode pump

Units of Measure

A units of measure table is located in the Electrical Specifications section. Table 3-1 on page 17 lists all the abbreviations used to measure the PSoC devices.

Numeric Naming

Hexidecimal numbers are represented with all letters in uppercase with an appended lowercase 'h' (for example, '14h' or '3Ah'). Hexidecimal numbers may also be represented by a '0x' prefix, the C coding convention. Binary numbers have an appended lowercase 'b' (e.g., 01010100b' or '01000011b'). Numbers not indicated by an 'h' or 'b' are decimal.

Table of Contents

For an in depth discussion and more information on your PSoC device, obtain the *PSoC Mixed Signal Array Technical Reference Manual*. This document encompasses and is organized into the following chapters and sections.

1. Pin Information 8
1.1 Pinouts 8
1.1.1 8-Pin Part Pinout 8
1.1.2 20-Pin Part Pinout 9
1.1.3 28-Pin Part Pinout 10
1.1.4 44-Pin Part Pinout 11
1.1.5 48-Pin Part Pinouts 12

2. Register Reference 14
2.1 Register Conventions 14
2.2 Register Mapping Tables 14

..... 17
itings 18
e 18
eristics 19
pecifications 19
ose IO Specifications 19
Amplifier Specifications 20
ut Buffer Specifications 22
Pump Specifications 23
ence Specifications 24
Block Specifications 26
D Specifications 26
Specifications 27
eristics 28
pecifications 28
ose IO Specifications 30
Amplifier Specifications 31
Specifications 32
ut Buffer Specifications 33
k Specifications 34
Specifications 34
itions 35

..... 36
s 36
..... 41
al Pins 41

5. Ordering Information 42
5.1 Ordering Code Definitions 43

6. Sales and Service Information 44
6.1 Revision History 44
6.2 Copyrights and Code Protection 44

1. Pin Information

This chapter describes, lists, and illustrates the CY8C27x43 PSoC device pins and pinout configurations.

1.1 Pinouts

The CY8C27x43 PSoC device is available in a variety of packages which are listed and illustrated in the following tables. Every port pin (labeled with a "P") is capable of Digital IO. However, Vss, Vdd, SMP, and XRES are not capable of Digital IO.

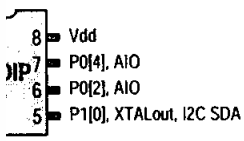
1.1.1 8-Pin Part Pinout

Table 1-1. 8-Pin Part Pinout

Pin No.	Type		Pin Name
	Digital	Analog	
1	IO	IO	P0[5]
2	IO	IO	P0[3]
3	IO		P1[1]
4	Power		Vss
5	IO		P1[0]
6	IO	IO	P0[2]
7	IO	IO	P0[4]
8	Power		Vdd

LEGEND: A = Analog, I = Input, and

า PSoC Device



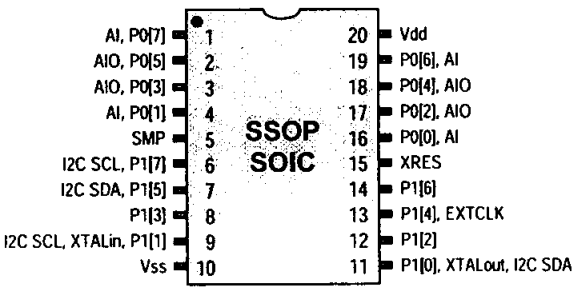
1.1.2 20-Pin Part Pinout

Table 1-2. 20-Pin Part Pinout (SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
6	IO		P1[7]	I2C Serial Clock (SCL)
7	IO		P1[5]	I2C Serial Data (SDA)
8	IO		P1[3]	
9	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
10	Power		Vss	Ground connection.
11	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
12	IO		P1[2]	
13	IO		P1[4]	
14	IO		P1[6]	
15	Input		XRES	
16	IO	I	P0[0]	
17	IO	IO	P0[2]	
18	IO	IO	P0[4]	
19	IO	I	P0[6]	
20	Power		Vdd	

LEGEND: A = Analog, I = Input, and

CY8C27243 20-Pin PSoC Device



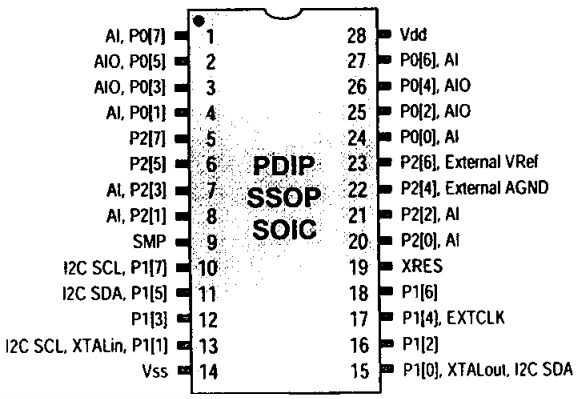
1.1.3 28-Pin Part Pinout

Table 1-3. 28-Pin Part Pinout (PDIP, SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
10	IO		P1[7]	I2C Serial Clock (SCL)
11	IO		P1[5]	I2C Serial Data (SDA)
12	IO		P1[3]	
13	IO		P1[1]	
14	Power		Vss	
15	IO		P1[0]	
16	IO		P1[2]	
17	IO		P1[4]	
18	IO		P1[6]	
19	Input		XRES	
20	IO	I	P2[0]	
21	IO	I	P2[2]	
22	IO		P2[4]	
23	IO		P2[6]	
24	IO	I	P0[0]	
25	IO	IO	P0[2]	
26	IO	IO	P0[4]	
27	IO	I	P0[6]	
28	Power		Vdd	

LEGEND: A = Analog, I = Input, and

CY8C27443 28-Pin PSoC Device



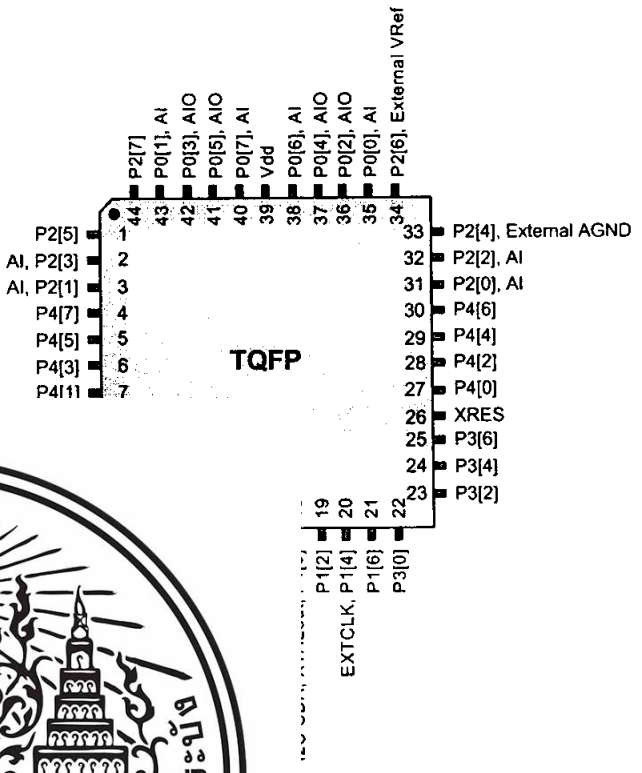
1.1.4 44-Pin Part Pinout

Table 1-4. 44-Pin Part Pinout (TQFP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO		P2[5]	
2	IO	I	P2[3]	Direct switched capacitor block input.
3	IO	I	P2[1]	Direct switched capacitor block input.
4	IO		P4[7]	
5	IO		P4[5]	
6	IO		P4[3]	
7	IO		P4[1]	
8	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
9	IO		P3[7]	
10	IO		P3[5]	
11	IO		P3[3]	
12	IO		P3[1]	
13	IO		P1[7]	I2C Serial Clock (SCL)
14	IO		P1[5]	I
15	IO		P1[3]	
16	IO		P1[1]	(
17	Power		Vss	(
18	IO		P1[0]	(I
19	IO		P1[2]	
20	IO		P1[4]	(
21	IO		P1[6]	
22	IO		P3[0]	
23	IO		P3[2]	
24	IO		P3[4]	
25	IO		P3[6]	
26	Input		XRES	
27	IO		P4[0]	
28	IO		P4[2]	
29	IO		P4[4]	
30	IO		P4[6]	
31	IO	I	P2[0]	
32	IO	I	P2[2]	
33	IO		P2[4]	
34	IO		P2[6]	
35	IO	I	P0[0]	
36	IO	IO	P0[2]	
37	IO	IO	P0[4]	Analog column mux input and column output.
38	IO	I	P0[6]	Analog column mux input.
39	Power		Vdd	Supply voltage.
40	IO	I	P0[7]	Analog column mux input.
41	IO	IO	P0[5]	Analog column mux input and column output.
42	IO	IO	P0[3]	Analog column mux input and column output.
43	IO	I	P0[1]	Analog column mux input.
44	IO		P2[7]	

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27543 44-Pin PSoC Device



1.1.5 48-Pin Part Pinouts

Table 1-5. 48-Pin Part Pinout (SSOP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	IO		P4[7]	
10	IO		P4[5]	
11	IO		P4[3]	
12	IO		P4[1]	
13	Power		SMP	Switch Mode Pump (SMP) connection to
14	IO		P3[7]	
15	IO		P3[5]	
16	IO		P3[3]	
17	IO		P3[1]	
18	IO		P5[3]	
19	IO		P5[1]	
20	IO		P1[7]	
21	IO		P1[5]	
22	IO		P1[3]	
23	IO		P1[1]	
24	Power		Vss	
25	IO		P1[0]	
26	IO		P1[2]	
27	IO		P1[4]	
28	IO		P1[6]	
29	IO		P5[0]	
30	IO		P5[2]	
31	IO		P3[0]	
32	IO		P3[2]	
33	IO		P3[4]	
34	IO		P3[6]	
35	Input		XRES	
36	IO		P4[0]	
37	IO		P4[2]	
38	IO		P4[4]	
39	IO		P4[6]	
40	IO	I	P2[0]	Direct switched capacitor block input.
41	IO	I	P2[2]	Direct switched capacitor block input.
42	IO		P2[4]	External Analog Ground (AGND)
43	IO		P2[6]	External Voltage Reference (VRef)
44	IO	I	P0[0]	Analog column mux input.
45	IO	IO	P0[2]	Analog column mux input and column output.
46	IO	IO	P0[4]	Analog column mux input and column output.
47	IO	I	P0[6]	Analog column mux input.
48	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27643 48-Pin PSoC Device

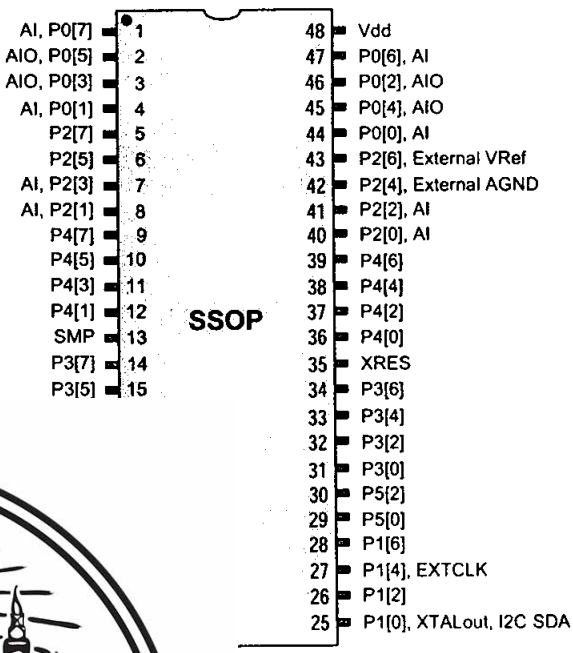
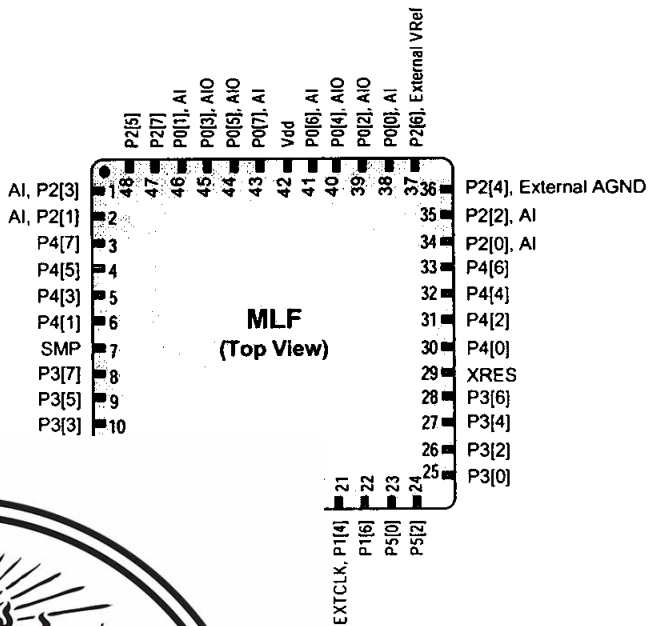


Table 1-6. 48-Pin Part Pinout (MLF*)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P2[3]	Direct switched capacitor block input.
2	IO	I	P2[1]	Direct switched capacitor block input.
3	IO		P4[7]	
4	IO		P4[5]	
5	IO		P4[3]	
6	IO		P4[1]	
7	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
8	IO		P3[7]	
9	IO		P3[5]	
10	IO		P3[3]	
11	IO		P3[1]	
12	IO		P5[3]	
13	IO		P5[1]	
14	IO		P1[7]	I2C Serial Clock (SCL)
15	IO		P1[5]	I
16	IO		P1[3]	
17	IO		P1[1]	(
18	Power		Vss	(
19	IO		P1[0]	((
20	IO		P1[2]	
21	IO		P1[4]	(
22	IO		P1[6]	
23	IO		P5[0]	
24	IO		P5[2]	
25	IO		P3[0]	
26	IO		P3[2]	
27	IO		P3[4]	
28	IO		P3[6]	
29	Input		XRES	, (
30	IO		P4[0]	
31	IO		P4[2]	
32	IO		P4[4]	
33	IO		P4[6]	
34	IO	I	P2[0]	
35	IO	I	P2[2]	
36	IO		P2[4]	
37	IO		P2[6]	
38	IO	I	P0[0]	
39	IO	IO	P0[2]	Analog column mux input and column output.
40	IO	IO	P0[4]	Analog column mux input and column output.
41	IO	I	P0[6]	Analog column mux input.
42	Power		Vdd	Supply voltage.
43	IO	I	P0[7]	Analog column mux input.
44	IO	IO	P0[5]	Analog column mux input and column output.
45	IO	IO	P0[3]	Analog column mux input and column output.
46	IO	I	P0[1]	Analog column mux input.
47	IO		P2[7]	
48	IO		P2[5]	

CY8C27643 48-Pin PSoC Device



LEGEND: A = Analog, I = Input, and O = Output.

* The MLF package has a center pad that must be connected to ground (Vss).

2. Register Reference

This chapter lists the registers of the CY8C27x43 PSoC device. For detailed register information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual.*

2.1 Register Conventions

The register conventions specific to this section are listed in the following table.

Convention	Description
R	Read register
W	Write register
L	Logical regist
C	Clearable reg
#	Access is bit

2.2 Register Mapping Tables

The PSoC device has a total register address space of 512 bytes. The register space is referred to as IO space and is divided into two banks. The XOI bit in the Flag register (CPU_F) determines which bank the user is currently in. When the XOI

napping tables, blank fields are essed.

Register Map Bank 0 Table: User Space

Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48		ASC12CR0	88	RW		C8	
PRT2IE	09	RW		49		ASC12CR1	89	RW		C9	
PRT2GS	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2DM2	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DR	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3IE	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3GS	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3DM2	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DR	10	RW		50		ASD20CR0	90	RW		D0	
PRT4IE	11	RW									
PRT4GS	12	RW									
PRT4DM2	13	RW									
PRT5DR	14	RW									
PRT5IE	15	RW									
PRT5GS	16	RW									
PRT5DM2	17	RW									
	18										
	19										
	1A										
	1B										
	1C										
	1D										
	1E										
	1F										
DBB00DR0	20	#	AM								
DBB00DR1	21	W									
DBB00DR2	22	RW									
DBB00CR0	23	#	ARF								
DBB01DR0	24	#	CMI								
DBB01DR1	25	W	ASY								
DBB01DR2	26	RW	CMI								
DBB01CR0	27	#									
DCB02DR0	28	#									
DCB02DR1	29	W									
DCB02DR2	2A	RW									
DCB02CR0	2B	#									
DCB03DR0	2C	#									
DCB03DR1	2D	W									
DCB03DR2	2E	RW									
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

Register Map Bank 1 Table: Configuration Space

Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48		ASC12CR0	88	RW		C8	
PRT2DM1	09	RW		49		ASC12CR1	89	RW		C9	
PRT2IC0	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DM0	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3DM1	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3IC0	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW		50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW									
PRT4IC0	12	RW									
PRT4IC1	13	RW									
PRT5DM0	14	RW									
PRT5DM1	15	RW									
PRT5IC0	16	RW									
PRT5IC1	17	RW									
	18										
	19										
	1A										
	1B										
	1C										
	1D										
	1E										
	1F										
DBB00FN	20	RW	CLI								
DBB00IN	21	RW	CLI								
DBB00OU	22	RW	ABI								
	23		AM								
DBB01FN	24	RW									
DBB01IN	25	RW									
DBB01OU	26	RW	AM								
	27		ALT								
DCB02FN	28	RW	ALT								
DCB02IN	29	RW	CLI								
DCB02OU	2A	RW									
	2B										
DCB03FN	2C	RW									
DCB03IN	2D	RW									
DCB03OU	2E	RW									
	2F										
DBB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
	3B		ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

3. Electrical Specifications

This chapter presents the DC and AC electrical specifications of the CY8C27x43 PSoC device. For the most up to date electrical specifications, confirm that you have the most recent data sheet by going to the web at http://www.cypress.com/psoc.

Specifications are valid for -40°C ≤ T_A ≤ 85°C and T_J ≤ 100°C, except where noted. Specifications for devices running at greater than 12 MHz are valid for -40°C ≤ T_A ≤ 70°C and T_J ≤ 82°C.

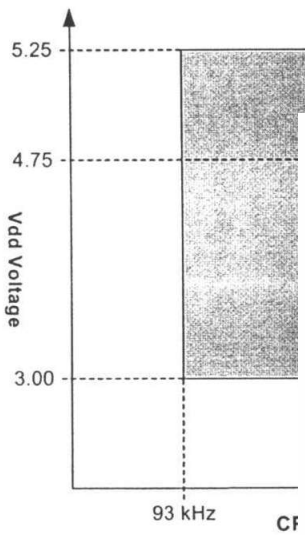


Figure 3-1. Voltage versus

The following table lists the u

Table 3-1: Units of Measur

Symbol	Un		
°C	degree Celsius		
dB	decibels		
fF	femto farad		
Hz	hertz	mV	milli-volts
KB	1024 bytes	nA	nano ampere
Kbit	1024 bits	ns	nanosecond
kHz	kilohertz	nV	nanovolts
kΩ	kilohm	Ω	ohm
MHz	megahertz	pA	pico ampere
MΩ	megaohm	pF	pico farad
µA	micro ampere	pp	peak-to-peak
µF	micro farad	ppm	parts per million
µH	micro henry	ps	picosecond
µs	microsecond	sps	samples per second
µV	micro volts	σ	sigma: one standard deviation
µVrms	micro volts root-mean-square	V	volts

3.1 Absolute Maximum Ratings

Table 3-2. Absolute Maximum Ratings

Symbol	Description	Min	Typ	Max	Units	Notes
T_{STG}	Storage Temperature	-55	–	+100	°C	Higher storage temperatures will reduce data retention time.
T_A	Ambient Temperature with Power Applied	-40	–	+85	°C	
Vdd	Supply Voltage on Vdd Relative to Vss	-0.5	–	+6.0	V	
V_{IO}	DC Input Voltage	Vss- 0.5	–	Vdd + 0.5	V	
–	DC Voltage Applied to Tri-state	Vss - 0.5	–	Vdd + 0.5	V	
I_{MIO}	Maximum Current into any Port Pin	-25	–	+50	mA	
I_{MAIO}	Maximum Current into any Port Pin Configured as Analog Driver	-50	–	+50	mA	
ESD	Electro Static Discharge Voltage	2000	–	–	V	Human Body Model ESD
–	Latch-up Current	–	–	200	mA	

3.2 Operating T

Table 3-3. Operating Temper

Symbol	De
T_A	Ambient Temperature
T_J	Junction Temperature

Notes
erature rise from ambient to junction is specific. See "Thermal Impedances" 1. The user must limit the power con- to comply with this requirement.

3.3 DC Electrical Characteristics

3.3.1 DC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-4. DC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
Vdd	Supply Voltage	3.00	–	5.25	V	
I_{DD}	Supply Current	–	5	8	mA	Conditions are Vdd = 5.0V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled. VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{DD3}	Supply Current	–	3.3	6.0	mA	Conditions are Vdd = 3.3V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{SB}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT.[a]	–	3	6.5	µA	Conditions are with internal slow speed oscillator. Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C.
I_{SBH}	Sleep (Mode) Current with WDT at high temperature.					*is are with internal slow speed oscilla-* : 3.3V, 55 °C < T_A ≤ 85 °C.
I_{SBXTL}	Sleep (Mode) Current with and external crystal.[a]					is are with properly loaded, 1 µW max, Hz crystal. Vdd = 3.3V, -40 °C ≤ T_A ≤
I_{SBXTLH}	*Sleep (Mode) Current with* and external crystal at hig					is are with properly loaded, 1 µW max, Hz crystal. Vdd = 3.3V, 55 °C < T_A ≤ 85
V_{REF}	Reference Voltage (Band					for appropriate Vdd.
V_{REF}	Reference Voltage (Band					for appropriate Vdd.

a. Standby current includes all funct enabled.
b. Refer to the Ordering Information

ed with devices that have similar functions

3.3.2 DC General

The following table lists guara erature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0 ply to 5V and 3.3V at 25°C and *are for design guidance only.*

Table 3-5. DC GPIO Specific

Symbol	D					Notes
R_{PU}	Pull up Resistor	4	5.6	8	kΩ	
R_{PD}	*Pull down Resistor*	4	5.6	8	kΩ	
V_{OH}	High Output Level	Vdd - 1.0	–	–	V	IOH = 10 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{OL}	Low Output Level	–	–	0.75	V	IOL = 25 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{IL}	Input Low Level	–	–	0.8	V	Vdd = 3.0 to 5.25
V_{IH}	Input High Level	2.1	–		V	Vdd = 3.0 to 5.25
V_H	Input Hysterisis	–	60	–	mV	
I_{IL}	Input Leakage (Absolute Value)	–	1	–	nA	Gross tested to 1 µA.
C_{IN}	Capacitive Load on Pins as Input	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C_{OUT}	Capacitive Load on Pins as Output	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.

3.3.3 DC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The Operational Amplifier is a component of both the Analog Continuous Time PSoC blocks and the Analog Switched Cap PSoC blocks. The guaranteed specifications are measured in the Analog Continuous Time PSoC block. Typical parameters apply to 5V at 25°C and are for design guidance only.

Table 3-6. 5V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.6	10	mV	
	Power = Medium, Opamp Bias = High	–	1.3	8	mV	
	Power = High, Opamp Bias = High	–	1.2	7.5	mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Common Mode Voltage opamp bias)					mon-mode input voltage range is measough an analog output buffer. The tion includes the limitations imposed aracteristics of the analog output
$CMRR_{OA}$	Common Mode Rejectic Power = Low Power = Medium Power = High					tion is applicable at high power. For all s modes (except high power, high ias), minimum is 60 dB.
G_{OLOA}	Open Loop Gain Power = Low Power = Medium Power = High					tion is applicable at high power. For all s modes (except high power, high ias), minimum is 60 dB.
$V_{OHIGHOA}$	High Output Voltage Sw Power = Low Power = Medium Power = High					
V_{OLOWOA}	Low Output Voltage Swi Power = Low Power = Medium Power = High					
I_{SOA}	Supply Current (includir Power = Low, Opamp B Power = Low, Opamp B Power = Medium, Opan Power = Medium, Opan Power = High, Opamp Bias = Low *Power = High, Opamp Bias = High*	 – –	 2400 *4600*	 3200 *6400*	 µA *µA*	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	60	–	–	dB	0V ≤ V_{IN} ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ V_{IN} ≤ Vdd.

Table 3-7. 3.3V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value) Power = Low, Opamp Bias = High Power = Medium, Opamp Bias = High High Power is 5 Volts Only	 – –	 1.65 1.32	 10 8	 mV mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.2	–	Vdd - 0.2	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
$CMRR_{OA}$	Common Mode Rejection Ratio Power = Low Power = Medium Power = High	 50 50 50	–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
G_{OLOA}	Open Loop Gain Power = Low Power = Medium Power = High					ication is applicable at high power. For er bias modes (except high power, high) bias), minimum is 60 dB.
$V_{OHIGHOA}$	High Output Voltage Sv Power = Low Power = Medium Power = High is 5V onl					
V_{OLOWOA}	Low Output Voltage Sw Power = Low Power = Medium Power = High					
I_{SOA}	Supply Current (includi Power = Low, Opamp E Power = Low, Opamp E Power = Medium, Opar Power = Medium, Opar Power = High, Opamp Power = High, Opamp					
$PSRR_{OA}$	Supply Voltage Rejecti					V_{IN} ≤ (Vdd - 2.25) or 1.25V) ≤ V_{IN} ≤ Vdd.

3.3.4 DC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-8. 5V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	–	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.3	–	–	V	
	Power = High	0.5 x Vdd + 1.3	–	–	V	
V_{OLOWOB}	Low Output Voltage S					
	Power = Low					
	Power = High					
I_{SOB}	Supply Current Includi					
	Power = Low					
	Power = High					
$PSRR_{OB}$	Supply Voltage Reject					

Table 3-9. 3.3V DC Analog (

Symbol						Notes
V_{OSOB}	Input Offset Voltage (/					
TCV_{OSOB}	Average Input Offset \					
V_{CMOB}	Common-Mode Input					
R_{OUTOB}	Output Resistance					
	Power = Low					
	Power = High					
$V_{OHIGHOB}$	High Output Voltage S					
	Power = Low					
	Power = High					
V_{OLOWOB}	Low Output Voltage S					
	Power = Low					
	Power = High					
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low		0.8	2.0	mA	
	Power = High	–	2.0	4.3	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	–	–	dB	

3.3.5 DC Switch Mode Pump Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-10. DC Switch Mode Pump (SMP) Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{PUMP} 5V	5V Output Voltage	4.75	5.0	5.25	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 5.0V.
V_{PUMP} 3V	3V Output Voltage	3.00	3.25	3.60	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 3.25V.
I_{PUMP}	Available Output Current					Configuration of footnote [a].
	V_{BAT} = 1.5V, V_{PUMP} = 3.25V	8	–	–	mA	SMP trip voltage is set to 3.25V.
	V_{BAT} = 1.8V, V_{PUMP} = 5.0V	5	–	–	mA	SMP trip voltage is set to 5.0V.
V_{BAT}5V	Input Voltage Range from Battery	1.8	–	5.0	V	Configuration of footnote [a]. SMP trip voltage is set to 5.0V.
V_{BAT}3V	Input Voltage Range from Battery	1.0	–	3.3	V	Configuration of footnote [a]. SMP trip voltage is set to 3.25V.
$V_{BATSTART}$	Minimum Input Volt					ration of footnote [a].
ΔV_{PUMP_Line}	Line Regulation (ov					ration of footnote [a]. V_O is the "Vdd or PUMP Trip" specified by the VM[2:0] in the DC POR and LVD Specification, -16 on page 26.
ΔV_{PUMP_Load}	Load Regulation					ration of footnote [a]. V_O is the "Vdd or PUMP Trip" specified by the VM[2:0] in the DC POR and LVD Specification, -16 on page 26.
ΔV_{PUMP_Ripple}	Output Voltage Rip					ration of footnote [a]. Load is 5mA.
E_3	Efficiency					ration of footnote [a]. Load is 5 mA. SMP age is set to 3.25V.
F_{PUMP}	Switching Frequen					
DC_{PUMP}	Switching Duty Cyc					

a. L_1 = 2 µH inductor, C_1 = 10 µF

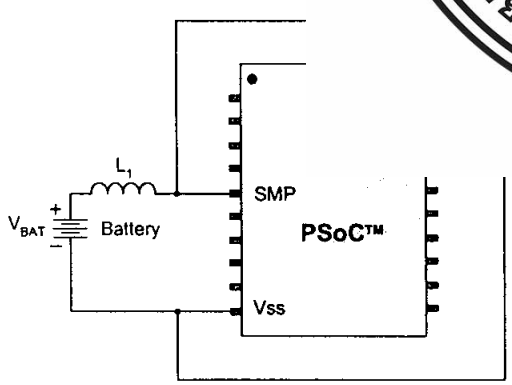


Figure 3-2. Basic Switch Mode Pump Circuit

3.3.6 DC Analog Reference Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The guaranteed specifications are measured through the Analog Continuous Time PSoC blocks. The power levels for AGND refer to the power of the Analog Continuous Time PSoC block. The power levels for RefHi and RefLo refer to the Analog Reference Control register. The limits stated for AGND include the offset error of the AGND buffer local to the Analog Continuous Time PSoC block. Reference control power is high.

Table 3-11. Silicon Revision A – 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.030	Vdd/2 - 0.004	Vdd/2 + 0.003	V
–	AGND = 2 x BandGap[a]	2 x BG - 0.043	2 x BG - 0.010	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)[a]	P2[4] - 0.013	P2[4]	P2[4] + 0.014	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]			1.6 x BG + 0.018	V
–	AGND Block to Block Va			0.034	V
–	RefHi = Vdd/2 + BandGa			Vdd/2 + BG + 0.103	V
–	RefHi = 3 x BandGap			3 x BG + 0.076	V
–	RefHi = 2 x BandGap + F			2 x BG + P2[6] + 0.077	V
–	RefHi = P2[4] + BandGa			P2[4] + BG + 0.098	V
–	RefHi = P2[4] + P2[6] (P2			P2[4] + P2[6] + 0.100	V
–	RefHi = 3.2 x BandGap			3.2 x BG + 0.076	V
–	RefLo = Vdd/2 – BandGa			Vdd/2 - BG + 0.098	V
–	RefLo = BandGap			BG + 0.129	V
–	RefLo = 2 x BandGap - F			2 x BG - P2[6] + 0.134	V
–	RefLo = P2[4] – BandGa			P2[4] - BG + 0.107	V
–	RefLo = P2[4]-P2[6] (P2[			P2[4] - P2[6] + 0.110	V

a. AGND tolerance includes the of

Table 3-12. Silicon Revisior

Symbol				Max	Units
BG	Bandgap Voltage Refere			1.32	V
–	AGND = Vdd/2[a]			Vdd/2 + 0.007	V
–	AGND = 2 x BandGap[a]			2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = V			P2[4] + 0.011	V
–	AGND = BandGap[a]			BG + 0.009	V
–	AGND = 1.6 x BandGap[a]			1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.1	Vdd/2 + BG - 0.01	Vdd/2 + BG + 0.1	V
–	RefHi = 3 x BandGap	3 x BG - 0.06	3 x BG - 0.01	3 x BG + 0.06	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.06	2 x BG + P2[6] - 0.01	2 x BG + P2[6] + 0.06	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.06	P2[4] + BG - 0.01	P2[4] + BG + 0.06	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.06	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.06	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.06	3.2 x BG - 0.01	3.2 x BG + 0.06	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.051	Vdd/2 - BG + 0.01	Vdd/2 - BG + 0.06	V
–	RefLo = BandGap	BG - 0.06	BG + 0.01	BG + 0.06	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.04	2 x BG - P2[6] + 0.01	2 x BG - P2[6] + 0.04	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.01	P2[4] - BG + 0.056	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.056	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.056	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Table 3-13. Silicon Revision A – 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.027	Vdd/2 - 0.003	Vdd/2 + 0.002	V
–	AGND = 2 x BandGap[a]	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4] + 0.001	P2[4] + 0.009	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.075	P2[4] + P2[6] - 0.009	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap -				
–	RefLo = P2[4] – BandG				
–	RefLo = P2[4]-P2[6] (P2			P2[4] - P2[6] + 0.092	V

a. AGND tolerance includes the c

Note See Application Note AN201 nming for operation at 3.3V.

Table 3-14. Silicon Revisio

Symbol				Max	Units
BG	Bandgap Voltage Refer			1.32	V
–	AGND = Vdd/2[a]			Vdd/2 + 0.005	V
–	AGND = 2 x BandGap[a]				
–	AGND = P2[4] (P2[4] =			P2[4] + 0.009	V
–	AGND = BandGap[a]			BG + 0.009	V
–	AGND = 1.6 x BandGa			1.6 x BG + 0.018	V
–	AGND Block to Block V			0.034	mV
–	RefHi = Vdd/2 + BandG				
–	RefHi = 3 x BandGap				
–	RefHi = 2 x BandGap +				
–	RefHi = P2[4] + BandG				
–	RefHi = P2[4] + P2[6] (I			P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap				
–	RefLo = Vdd/2 - BandG				
–	RefLo = BandGap				
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.048	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Note See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

3.3.7 DC Analog PSoC Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-15. DC Analog PSoC Block Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{CT}	Resistor Unit Value (Continuous Time)	–	12.2	–	kΩ	
C_{SC}	Capacitor Unit Value (Switch Cap)	–	80	–	fF	

3.3.8 DC POR and LVD Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Note The bits PORLEV and V *C Mixed Signal Array Technical Reference Manual* for more inf

Table 3-16. DC POR and LVD

Symbol						Notes
	Vdd Value for PPOR Tri					
V_{PPOR0R}	PORLEV[1:0] = 00b					
V_{PPOR1R}	PORLEV[1:0] = 01b					
V_{PPOR2R}	PORLEV[1:0] = 10b					
	Vdd Value for PPOR Tri					
V_{PPOR0}	PORLEV[1:0] = 00b					
V_{PPOR1}	PORLEV[1:0] = 01b					
V_{PPOR2}	PORLEV[1:0] = 10b					
	PPOR Hysteresis					
V_{PH0}	PORLEV[1:0] = 00b					
V_{PH1}	PORLEV[1:0] = 01b					
V_{PH2}	PORLEV[1:0] = 10b					
	Vdd Value for LVD Trip					
V_{LVD0}	VM[2:0] = 000b					
V_{LVD1}	VM[2:0] = 001b					
V_{LVD2}	VM[2:0] = 010b					
V_{LVD3}	VM[2:0] = 011b					
V_{LVD4}	VM[2:0] = 100b					
V_{LVD5}	VM[2:0] = 101b	4.55	4.64	4.74[b]	V	
V_{LVD6}	VM[2:0] = 110b	4.63	4.73	4.82	V	
V_{LVD7}	VM[2:0] = 111b	4.72	4.81	4.91	V	
	Vdd Value for PUMP Trip					
V_{PUMP0}	VM[2:0] = 000b	2.96	3.02	3.08	V	
V_{PUMP1}	VM[2:0] = 001b	3.03	3.10	3.16	V	
V_{PUMP2}	VM[2:0] = 010b	3.18	3.25	3.32	V	
V_{PUMP3}	VM[2:0] = 011b	4.11	4.19	4.28	V	
V_{PUMP4}	VM[2:0] = 100b	4.55	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.63	4.73	4.82	V	
V_{PUMP6}	VM[2:0] = 110b	4.72	4.82	4.91	V	
V_{PUMP7}	VM[2:0] = 111b	4.90	5.00	5.10	V	

a. Always greater than 50 mV above PPOR (PORLEV = 00) for falling supply.
b. Always greater than 50 mV above PPOR (PORLEV = 10) for falling supply.

3.3.9 DC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-17. DC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
I_{DDP}	Supply Current During Programming or Verify	–	5	25	mA	
V_{ILP}	Input Low Voltage During Programming or Verify	–	–	0.8	V	
V_{IHP}	Input High Voltage During Programming or Verify	2.2	–	–	V	
I_{ILP}	Input Current when Applying Vilp to P1[0] or P1[1] During Programming or Verify	–	–	0.2	mA	Driving internal pull-down resistor.
I_{IHP}	Input Current when Applying Vihp to P1[0] or P1[1] During Programming or Verify	–	–	1.5	mA	Driving internal pull-down resistor.
V_{OLV}	Output Low Voltage During Programming or Verify	–	–	Vss + 0.75	V	
V_{OHV}	Output High Voltage During Programming or Verify	Vdd - 1.0	–	Vdd	V	
$Flash_{ENPB}$	Flash Endurance (per block)	50,000	–	–	–	Erase/write cycles per block.
$Flash_{ENT}$	Flash Endurance (total)					Erase/write cycles.
$Flash_{DR}$	Flash Data Retention					

a. A maximum of 36 x 50,000 block
25,000 maximum cycles each, or
50,000 cycles).
For the full industrial range, the
the Flash APIs Application Note

)0 maximum cycles each, 36x2 blocks of
d that no single block ever sees more than

erature argument before writing. Refer to

3.4 AC Electrical Characteristics

3.4.1 AC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-18. AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{IMO}	Internal Main Oscillator Frequency	23.4	24	24.6[a]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU1}	CPU Frequency (5V Nominal)	0.93	24	24.6[a,b]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU2}	CPU Frequency (3.3V Nominal)	0.93	12	12.3[b,c]	MHz	Trimmed. Utilizing factory trim values.
F_{48M}	Digital PSoC Block Frequency	0	48	49.2[a,b,d]	MHz	Refer to the AC Digital Block Specifications below.
F_{24M}	Digital PSoC Block Frequency	0	24	24.6[b, d]	MHz	
F_{32K1}	Internal Low Speed Oscillator Frequency	15	32	64	kHz	
F_{32K2}	External Crystal Oscilla					ıcy is capacitor and crystal dependent. uty cycle.
F_{PLL}	PLL Frequency					ıe (x732) of crystal frequency.
Jitter24M2	24 MHz Period Jitter (F					
$T_{PLLSLEW}$	PLL Lock Time					
$T_{PLLSLEWS-LOW}$	PLL Lock Time for Low					
T_{OS}	External Crystal Oscilla					
T_{OSACC}	External Crystal Oscilla					ıstal oscillator frequency is within 100 ppm of its lue by the end of the T_{osacc} period. Correct on assumes a properly loaded 1 uW maximum ıvel 32.768 kHz crystal. 3.0V ≤ Vdd ≤ 5.5V, -40 ₁ ≤ 85 °C.
Jitter32k	32 kHz Period Jitter					
T_{XRST}	External Reset Pulse V					
DC24M	24 MHz Duty Cycle					
Step24M	24 MHz Trim Step Size					
Fout48M	48 MHz Output Freque					ıed. Utilizing factory trim values.
Jitter24M1	24 MHz Period Jitter (I					
F_{MAX}	Maximum frequency of					
T_{RAMP}	Supply Ramp Time					

a. 4.75V < Vdd < 5.25V.
b. Accuracy derived from Internal M
c. 3.0V < Vdd < 3.6V. See Applicati
d. See the individual user module d

ormation on trimming for operation at 3.3V.

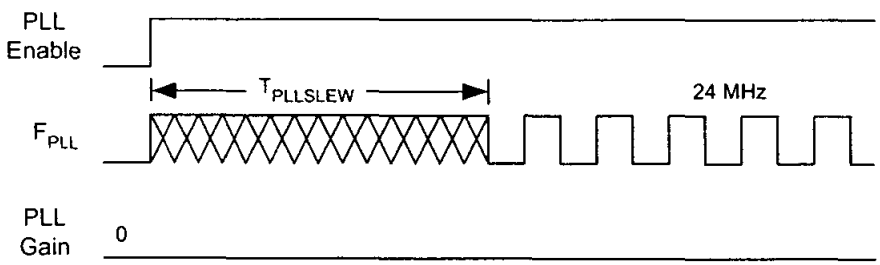


Figure 3-3. PLL Lock Timing Diagram

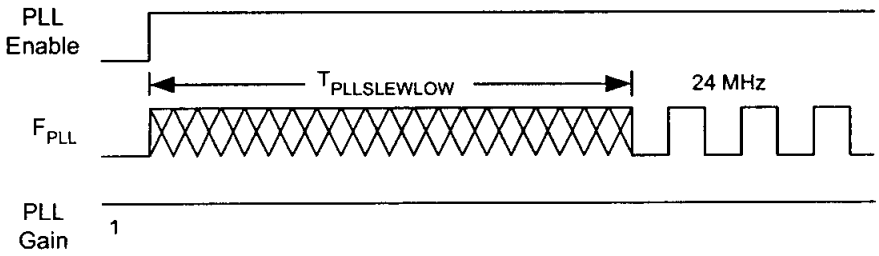


Figure 3-4. PLL Lock for Low Gain Setting Timing Diagram

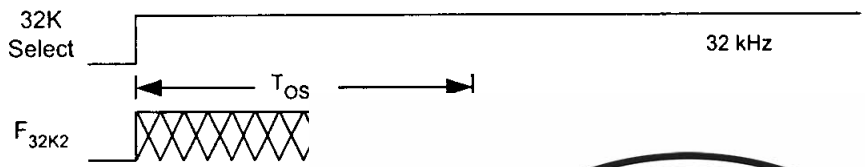


Figure 3-5. External Crystal

Figure 3-6. 24 MHz Period

Figure 3-7. 32 kHz Period J

3.4.2 AC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and *are for design guidance only.*

Table 3-19. AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	–	12	MHz	
TRiseF	*Rise Time, Normal Strong Mode, Cload = 50 pF*	3	–	18	*ns*	Vdd = 4.5 *to* 5.25V, 10% - 90%
TFallF	Fall Time, Normal Strong Mode, Cload = 50 pF	2	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TRiseS	Rise Time, Slow Strong Mode, Cload = 50 pF	10	27	–	ns	Vdd = 3 to 5.25V, 10% - 90%
TFallS	Fall Time, Slow Strong Mode, Cload = 50 pF	10	22	–	ns	Vdd = 3 to 5.25V, 10% - 90%

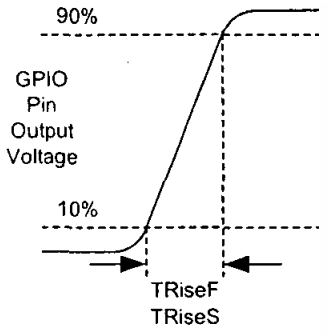


Figure 3-8. GPIO Timing Diag

3.4.3 AC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Settling times, slew rates, and gain bandwidth are based on the Analog Continuous Time PSoC block.

Power = High and Opamp Bias = High is not supported at 3.3V.

Table 3-20. 5V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
	Power = High, Opamp Bias = High	–	–	0.62	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.9	µs	
	Power = Medium, Opam					
	Power = High, Opamp Bi					
SR_{ROA}	Rising Slew Rate (20% t					
	Power = Low, Opamp Bi					
	Power = Medium, Opam					
	Power = High, Opamp Bi					
SR_{FOA}	Falling Slew Rate (20% t					
	Power = Low, Opamp Bi					
	Power = Medium, Opam					
	Power = High, Opamp B					
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bi					
	Power = Medium, Opam					
	Power = High, Opamp B					
E_{NOA}	Noise at 1 kHz (Power =					

Table 3-21. 3.3V AC Operatio

Symbol	D					Notes
T_{ROA}	Rising Settling Time fron load, Unity Gain)					
	Power = Low, Opamp Bi					
	Power = Low, Opamp Bi					
T_{SOA}	Falling Settling Time fror load, Unity Gain)					
	Power = Low, Opamp Bi					
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	–	–	V/µs	
	Power = Medium, Opamp Bias = High	2.7	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.8	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	–	–	MHz	
	Power = Medium, Opamp Bias = High	2.8	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

3.4.4 AC Digital Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-22. AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
All Functions	Maximum Block Clocking Frequency (> 4.75V)			49.2		4.75V < Vdd < 5.25V.
	Maximum Block Clocking Frequency (< 4.75V)			24.6		3.0V < Vdd < 4.75V.
Timer	Capture Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Capture	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, With Capture	–	–	24.6	MHz	
Counter	Enable Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Enable Input	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, Enable Input	–	–	24.6	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart					
	Synchronous Restart I					
	Disable Mode					
	Maximum Frequency					dd < 5.25V.
CRCPRS (PRS Mode)	Maximum Input Clock Fr					dd < 5.25V.
CRCPRS (CRC Mode)	Maximum Input Clock Fr					
SPIM	Maximum Input Clock Fr					data rate at 4.1 MHz due to 2 x over
SPIS	Maximum Input Clock Fr					
	Width of SS_ Negated E					
Transmitter	Maximum Input Clock Fr					
	Silicon A					data rate at 2.05 MHz due to 8 x over
	Silicon B					data rate at 3.08 MHz due to 8 x over
Receiver	Maximum Input Clock Fr					
	Silicon A					data rate at 2.05 MHz due to 8 x over
	Silicon B					data rate at 3.08 MHz due to 8 x over

a. 50 ns minimum input pulse width i
b. Refer to the Ordering Information

3.4.5 AC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-23. 5V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.5	µs	
	Power = High	–	–	2.5	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.2	µs	
	Power = High	–	–	2.2	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low					
	Power = High					
BW_{OB}	Small Signal Bandwidth, 2(					
	Power = Low					
	Power = High					
BW_{OB}	Large Signal Bandwidth, 1\					
	Power = Low					
	Power = High					

Table 3-24. 3.3V AC Analog C

Symbol	Des	Notes
T_{ROB}	Rising Settling Time to 0.1	
	Power = Low	
	Power = High	
T_{SOB}	Falling Settling Time to 0.1	
	Power = Low	
	Power = High	
SR_{ROB}	Rising Slew Rate (20% to 8	
	Power = Low	
	Power = High	
SR_{FOB}	Falling Slew Rate (80% to	
	Power = Low	
	Power = High	
BW_{OB}	Small Signal Bandwidth, 2(	
	Power = Low	0.7 – – MHz
	Power = High	0.7 – – MHz
BW_{OB}	Large Signal Bandwidth, $1V_{pp}$, 3dB BW, 100pF Load	
	Power = Low	200 – – kHz
	Power = High	200 – – kHz

3.4.6 AC External Clock Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-25. 5V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency	0.093	–	24.6	MHz	
–	High Period	20.6	–	5300	ns	
–	Low Period	20.6	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

Table 3-26. 3.3V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency with CPU Clock divide by 1[a]	0.093	–	12.3	MHz	
F_{OSCEXT}	Frequency with CPU Clock divide by 2 or greater[b]	0.186	–	24.6	MHz	
–	High Period with CPU					
–	Low Period with CPU					
–	Power Up IMO to Swit					

a. Maximum CPU frequency is 12 M
b. If the frequency of the external cl
cent duty cycle requirement is m

frequency and duty cycle requirements.
U clock divider will ensure that the fifty per-

3.4.7 AC Program

The following table lists guara
and -40°C ≤ T_A ≤ 85°C, or 3.0
are for design guidance only.

erature ranges: 4.75V to 5.25V
ply to 5V and 3.3V at 25°C and

Table 3-27. AC Programmin

Symbol	D					Notes
T_{RSCLK}	Rise Time of SCLK					
T_{FSCLK}	Fall Time of SCLK					
T_{SSCLK}	Data Set up Time to Fallir					
T_{HSCLK}	Data Hold Time from Falli					
F_{SCLK}	Frequency of SCLK					
T_{ERASEB}	Flash Erase Time (Block)					
T_{WRITE}	Flash Block Write Time	–	10	–	ms	
T_{DSCLK}	Data Out Delay from Falling Edge of SCLK	–	–	45	ns	Vdd > 3.6
T_{DSCLK3}	Data Out Delay from Falling Edge of SCLK	–	–	50	ns	3.0 ≤ Vdd ≤ 3.6

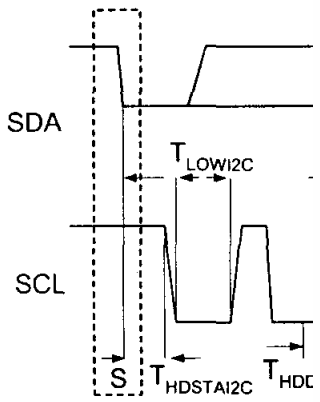
3.4.8 AC I²C Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-28. AC Characteristics of the I²C SDA and SCL Pins

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
F_{SCLI2C}	SCL Clock Frequency	0	100	0	400	kHz	
$T_{HDSTAI2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	–	0.6	–	µs	
T_{LOWI2C}	LOW Period of the SCL Clock	4.7	–	1.3	–	µs	
$T_{HIGHI2C}$	HIGH Period of the SCL Clock	4.0	–	0.6	–	µs	
$T_{SUSTAI2C}$	Set-up Time for a Repeated START Condition	4.7	–	0.6	–	µs	
$T_{HDDATI2C}$	Data Hold Time	0	–	0	–	µs	
$T_{SUDATI2C}$	Data Set-up Time	250	–	100[a]	–	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	–	0.6	–	µs	
T_{BUFI2C}	Bus Free Time Between a						
T_{SPI2C}	Pulse Width of spikes are						

a. A Fast-Mode I2C-bus device can met. This will automatically be the case if the device does not stretch the LO st output the next data bit to the SDA line $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 12$



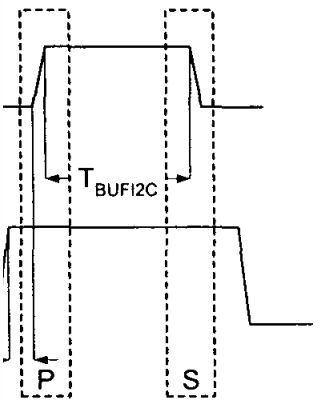


Fig ...us

4. Packaging Information

This chapter illustrates the packaging specifications for the CY8C27x43 PSoC device, along with the thermal impedances for each package and the typical package capacitance on crystal pins.

Important Note Emulation tools may require a larger area on the target PCB than the chip's footprint. For a detailed description of the emulation tools' dimensions, refer to the document titled *PSoC Emulator Pod Dimensions* at http://www.cypress.com/support/link.cfm?mr=poddim.

4.1 Packaging Dimensions

Figure 4-1. 8-Lead (300-Mil) PDIP

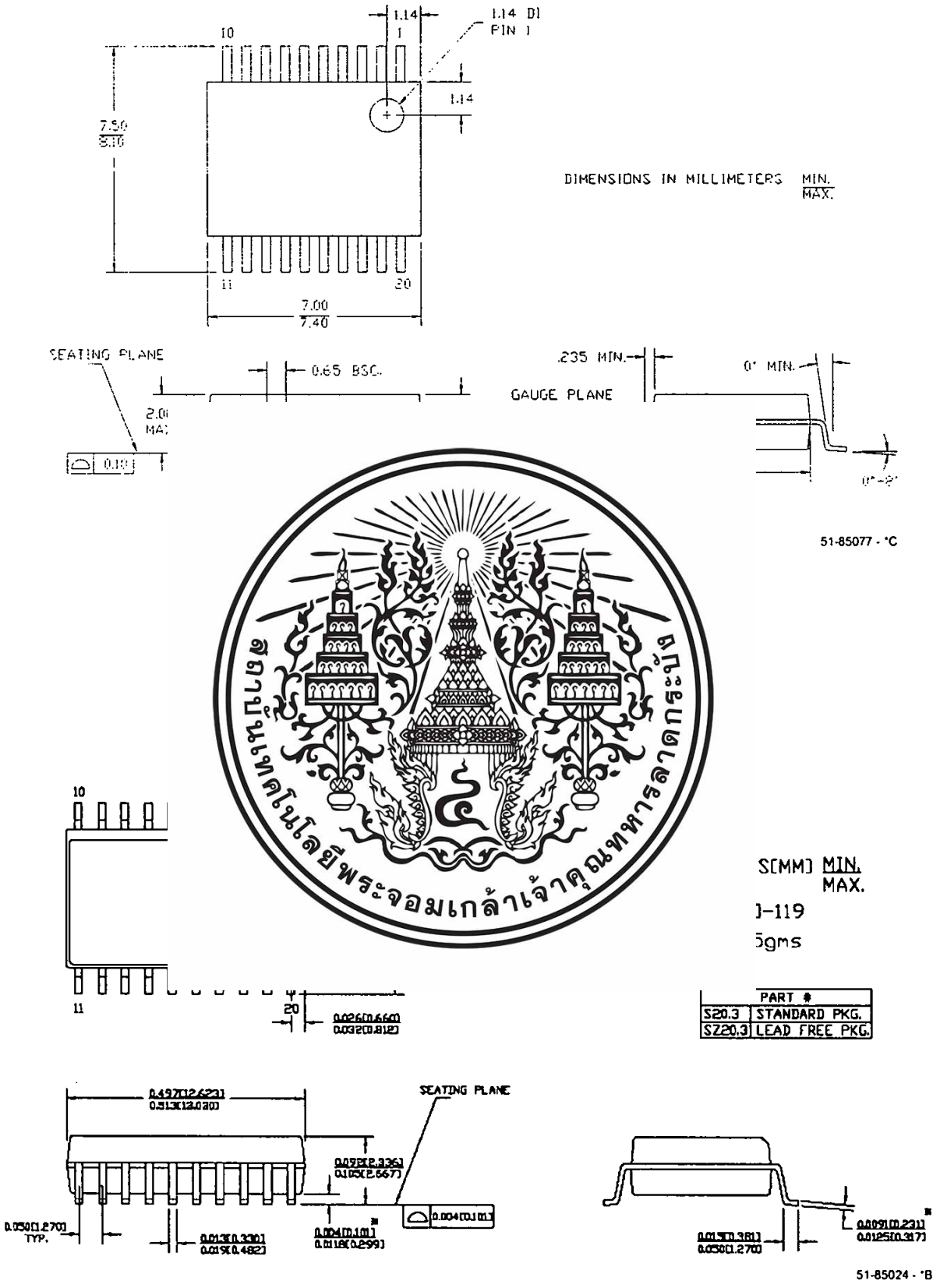


Figure 4-3. 20-Lead (300-Mil) Molded SOIC

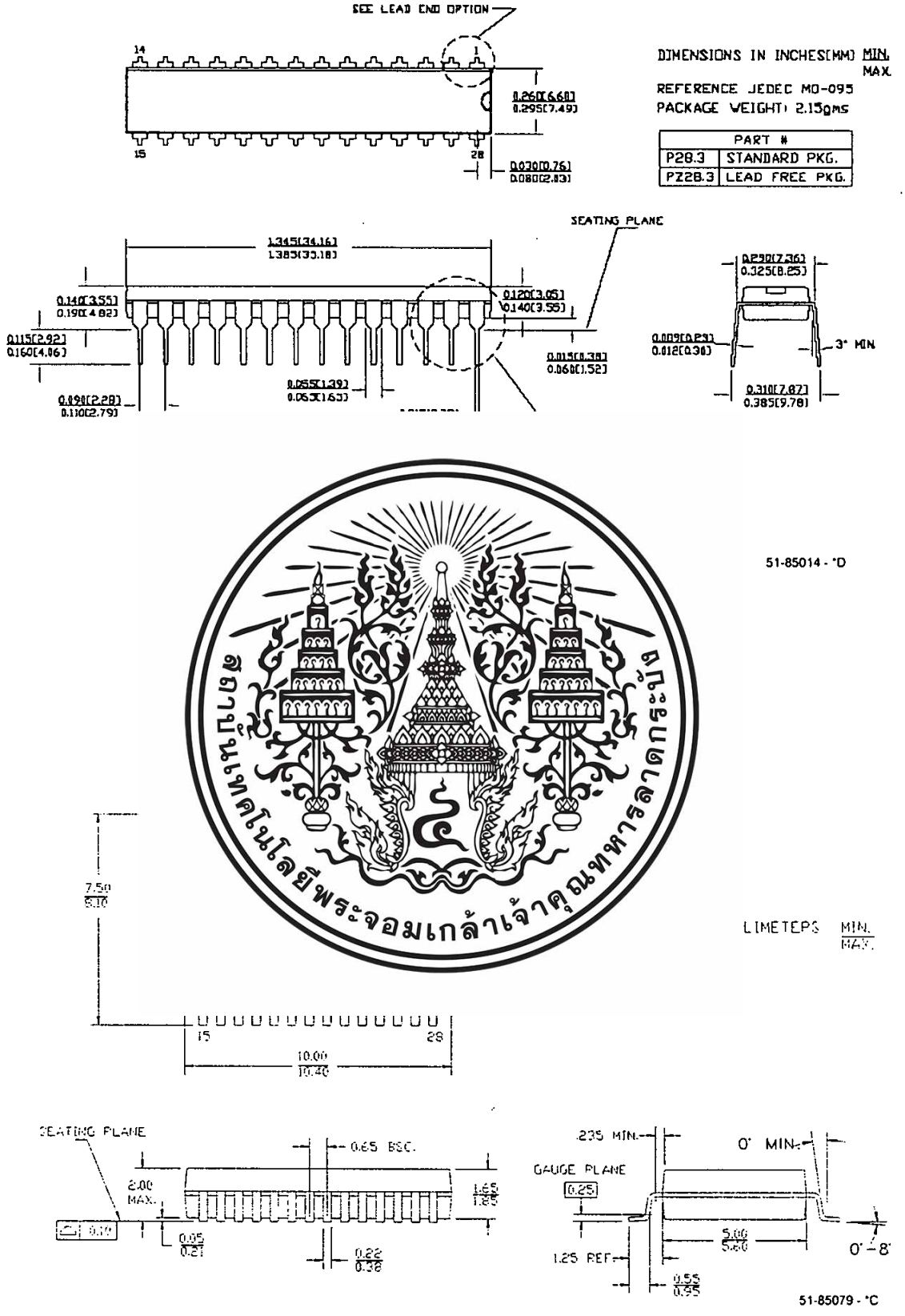


Figure 4-5. 28-Lead (210-Mil) SSOP

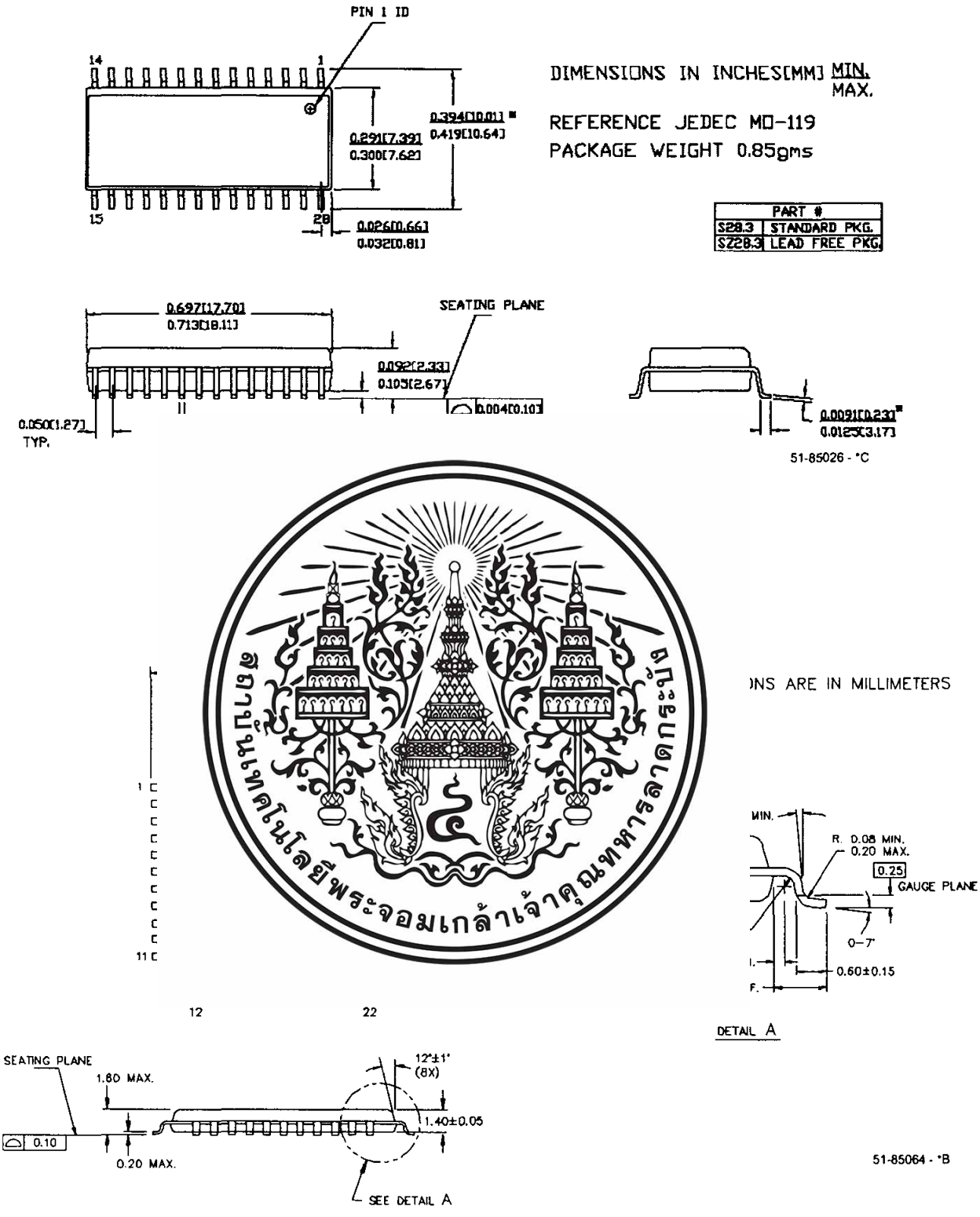


Figure 4-7. 44-Lead TQFP

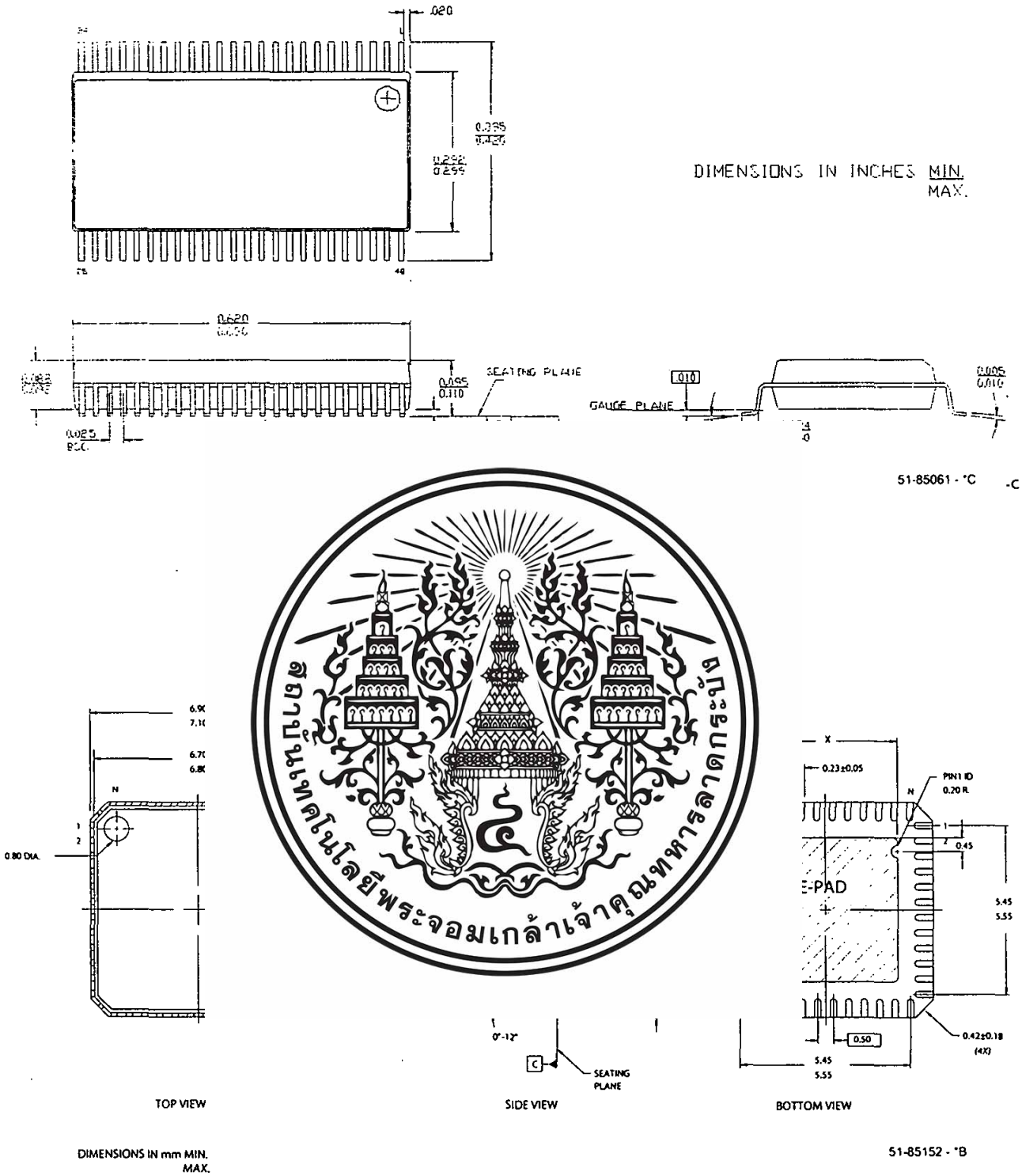


Figure 4-9. 48-Lead (7x7 mm) MLF

4.2 Thermal Impedances

Table 4-1. Thermal Impedances per Package

Package	Typical θ_{JA} *
8 PDIP	120 °C/W
20 SSOP	95 °C/W
20 SOIC	79 °C/W
28 PDIP	67 °C/W
28 SSOP	95 °C/W
28 SOIC	71 °C/W
44 TQFP	58 °C/W
48 SSOP	69 °C/W
48 MLF	18 °C/W

* $T_J = T_A + POWER \times \theta_{JA}$

4.3 Capacitanc

Table 4-2: Typical Package

Package
8 PDIP
20 SSOP
20 SOIC
28 PDIP
28 SSOP
28 SOIC
44 TQFP
48 SSOP
48 MLF

5. Ordering Information

The following table lists the CY8C27x43 PSoC device family's key package features and ordering codes.

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin
CY8C27x43 Silicon B – These parts are lead free and offer the following improvements. The DEC_CR1 register selections are enhanced to allow any digital block to be the decima e readable, and the accuracy of the analog reference is enhanced n B.											
8 Pin (300 Mil) DIP							2	6	4	4	No
20 Pin (210 Mil) SSOP							2	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)							2	16	8	4	Yes
20 Pin (300 Mil) SOIC							2	16	8	4	Yes
20 Pin 300 Mil) SOIC (Tape and Reel)							2	16	8	4	Yes
28 Pin (300 Mil) DIP							2	24	12	4	Yes
28 Pin (210 Mil) SSOP							2	24	12	4	Yes
28 Pin (210 Mil) SSOP (Tape and Reel)							2	24	12	4	Yes
28 Pin (300 Mil) SOIC							2	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)							2	24	12	4	Yes
44 Pin TQFP							2	40	12	4	Yes
44 Pin TQFP (Tape and Reel)							2	40	12	4	Yes
48 Pin (300 Mil) SSOP							2	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)							12	44	12	4	Yes
48 Pin (7x7) MLF	CY8C27643-24LFXI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)	CY8C27643-24LFXIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
CY8C27x43 Silicon A – Silicon A is not recommended for new designs.											
8 Pin (300 Mil) DIP	CY8C27143-24PI	16	256	No	-40C to +85C	8	12	6	4	4	No
20 Pin (210 Mil) SSOP	CY8C27243-24PVI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27243-24PVIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC	CY8C27243-24SI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27243-24SIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
28 Pin (300 Mil) DIP	CY8C27443-24PI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP	CY8C27443-24PVI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information *(continued)*

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin
28 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27443-24PVIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC	CY8C27443-24SI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27443-24SIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
44 Pin TQFP	CY8C27543-24AI	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
44 Pin TQFP (Tape and Reel)	CY8C27543-24AIT	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
48 Pin (300 Mil) SSOP	CY8C27643-24PVI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)	CY8C27643-24PVIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF							12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)							12	44	12	4	Yes

5.1 Ordering (

CY 8 C 27 xxx-SPxx

Rating:
ommercial
ustrial
tended

6. Sales and Service Information

To obtain information about Cypress MicroSystems or PSoC sales and technical support, reference the following information or go to the section titled "Getting Started" on page 4 in this document.

Cypress MicroSystems
2700 162nd Street SW
Building D
Lynnwood, WA 98037
Phone: 800.669.0557
Facsimile: 425.787.4641

Web Sites: Company Information – http://www.cypress.com
Sales – http://www.cypress.com/aboutus/sales_locations.cfm
Technical Su

6.1 Revision Hi

Table 6-1. CY8C27x43 Data S

Document Title:	CY8C27143,	Data Sheet
Document Number:	38-12012	
Revision	**ECN #**	**Issue Da**
**	127087	7/01/2003
*A	128780	7/29/2003 rrections to some text, tables, draw-
*B	128992	8/14/2003 ection and Register chapter.
*C	129283	8/28/2003
*D	129442	9/09/2003 SOIC packages and pinouts.
*E	130129	10/13/200
*F	130651	10/28/200 r.
*G	131298	11/18/200 AC Digital Block Spec and miscella-
*H	229416	See ECN *Mixed Signal Array Technical Refer-
*I	247529	See ECN
Distribution: External Public		

6.2 Copyrights

Copyrights

© Cypress MicroSystems, Inc. 2000 – 2004. All rights reserved. PSoC™, PSoC Designer™, and Programmable System-on-Chip™ are trademarks of Cypress MicroSystems, Inc. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

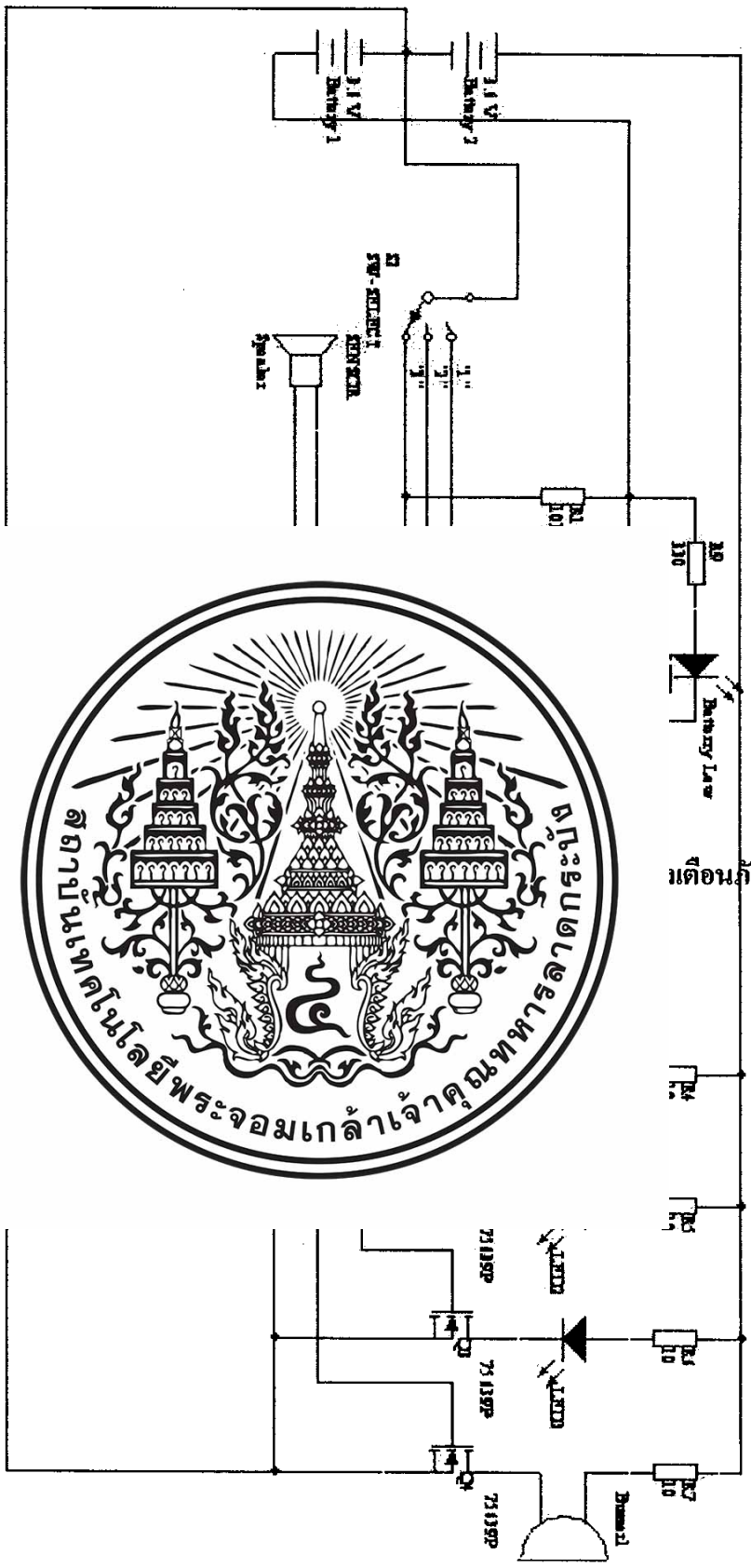
The information contained herein is subject to change without notice. Cypress MicroSystems assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress MicroSystems product. Nor does it convey or imply any license under patent or other rights. Cypress MicroSystems does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress MicroSystems products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress MicroSystems against all charges. Cypress MicroSystems products are not warranted nor intended to be used for medical, life-support, life-saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress MicroSystems.

Flash Code Protection

Note the following details of the Flash code protection features on Cypress MicroSystems devices.

Cypress MicroSystems products meet the specifications contained in their particular Cypress MicroSystems Data Sheets. Cypress MicroSystems believes that its family of products is one of the most secure families of its kind on the market today, regardless of how they are used. There may be methods, unknown to Cypress MicroSystems, that can breach the code protection features. Any of these methods, to our knowledge, would be dishonest and possibly illegal. Neither Cypress MicroSystems nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Cypress MicroSystems is willing to work with the customer who is concerned about the integrity of their code. Code protection is constantly evolving. We at Cypress MicroSystems are committed to continuously improving the code protection features of our products.



เตือนภัยแผ่นดินไหว

รูปวงจรเครื่องเตือนภัยแผ่นดินไหว

FAIRCHILD SEMICONDUCTOR®

HUF75639G3, HUF75639P3, HUF75639S3S, HUF75639S3

Data Sheet | December 2001

56A, 100V, 0.025 Ohm, N-Channel UltraFET Power MOSFETs

These N-Channel power MOSFETs are manufactured using the innovative UltraFET® process. This advanced process technology achieves the lowest possible on-resistance per silicon area, resulting in outstanding performance. This device is capable of withstanding high energy in the avalanche mode and the diode exhibits very low reverse recovery time and stored charge. It was designed for use in applications where power efficiency is important, such as switching regulators, switching converters, motor drivers, relay drivers, low-voltage bus switches, and p
and battery-operated produ

Formerly developmental typ

Features

- 56A, 100V
- Simulation Models
  - Temperature Compensated PSPICE® and SABER™ Electrical Models
  - Spice and Saber Thermal Impedance Models
  - www.fairchildsemi.com
- Peak Current vs Pulse Width Curve
- UIS Rating Curve
- Related Literature
  - TB334, "Guidelines for Soldering Surface Mount
    rds"

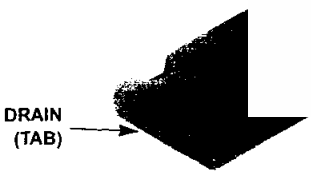
Ordering Informatic

PART NUMBER	PA
HUF75639G3	TO-247
HUF75639P3	TO-220
HUF75639S3S	TO-263
HUF75639S3	TO-262

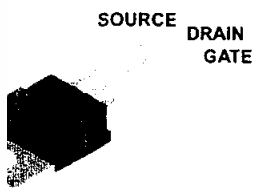
NOTE: When ordering, use the
obtain the TO-263AB variant in

Packaging

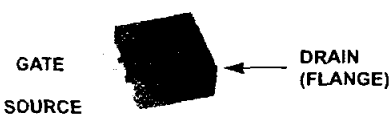
JEDEC



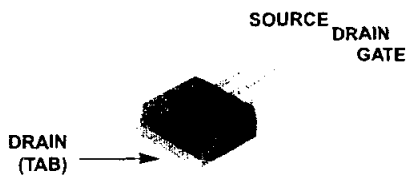
TO-220AB



JEDEC TO-263AB



TO-262AA



Product reliability information can be found at http://www.fairchildsemi.com/products/discrete/reliability/index.html
For severe environments, see our Automotive HUFA series.
All Fairchild semiconductor products are manufactured, assembled and tested under ISO9000 and QS9000 quality systems certification.

©2001 Fairchild Semiconductor Corporation

Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

			UNITS
Drain to Source Voltage (Note 1)	V_{DSS}	100	V
Drain to Gate Voltage (R_{GS} = 20kΩ) (Note 1)	V_{DGR}	100	V
Gate to Source Voltage	V_{GS}	±20	V
Drain Current			
Continuous (Figure 2)	I_D	56	A
Pulsed Drain Current	I_{DM}	Figure 4	
Pulsed Avalanche Rating	E_{AS}	Figures 6, 14, 15	
Power Dissipation	P_D	200	W
Derate Above 25^oC		1.35	$W/^oC$
Operating and Storage Temperature	T_J, T_{STG}	-55 to 175	^oC
Maximum Temperature for Soldering			
Leads at 0.063in (1.6mm) from Case for 10s	T_L	300	^oC
Package Body for 10s, See Techbrief 334	T_{pkg}	260	^oC

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. $T_J = 25^oC$ to 150^oC.

Electrical Specifications

PARAMETER					TYP	MAX	UNITS
OFF STATE SPECIFICATIONS							
Drain to Source Breakdown Volt				)	-	-	V
Zero Gate Voltage Drain Current					-	1	µA
					-	250	µA
Gate to Source Leakage Current					-	±100	nA
ON STATE SPECIFICATIONS							
Gate to Source Threshold Voltag					-	4	V
Drain to Source On Resistance					0.021	0.025	Ω
THERMAL SPECIFICATIONS							
Thermal Resistance Junction to					-	0.74	$^oC/W$
Thermal Resistance Junction to					-	30	$^oC/W$
					-	62	$^oC/W$
SWITCHING SPECIFICATIONS							
Turn-On Time					-	110	ns
Turn-On Delay Time	$t_{d(ON)}$	R_{GS} = 5.1Ω			15	-	ns
Rise Time	t_r			-	60	-	ns
Turn-Off Delay Time	$t_{d(OFF)}$			-	20	-	ns
Fall Time	t_f			-	25	-	ns
Turn-Off Time	t_{OFF}			-	-	70	ns
GATE CHARGE SPECIFICATIONS							
Total Gate Charge	$Q_{g(TOT)}$	V_{GS} = 0V to 20V	V_{DD} = 50V, $I_D \cong$ 56A, R_L = 0.89Ω $I_{g(REF)}$ = 1.0mA (Figure 13)	-	110	130	nC
Gate Charge at 10V	$Q_{g(10)}$	V_{GS} = 0V to 10V		-	57	75	nC
Threshold Gate Charge	$Q_{g(TH)}$	V_{GS} = 0V to 2V		-	3.7	4.5	nC
Gate to Source Gate Charge	Q_{gs}			-	9.8	-	nC
Gate to Drain "Miller" Charge	Q_{gd}			-	24	-	nC

©2001 Fairchild Semiconductor Corporation

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CAPACITANCE SPECIFICATIONS						
Input Capacitance	C_{ISS}	V_{DS} = 25V, V_{GS} = 0V, f = 1MHz (Figure 12)	-	2000	-	pF
Output Capacitance	C_{OSS}		-	500	-	pF
Reverse Transfer Capacitance	C_{RSS}		-	65	-	pF

Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Source to Drain Diode Voltage	V_{SD}	I_{SD} = 56A	-	-	1.25	V
Reverse Recovery Time	t_{rr}	I_{SD} = 56A, dI_{SD}/dt = 100A/μs	-	-	110	ns
Reverse Recovered Charge	Q_{RR}	I_{SD} = 56A, dI_{SD}/dt = 100A/μs	-	-	320	nC

Typical Performance Curves

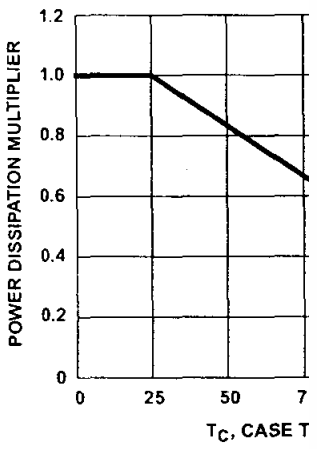
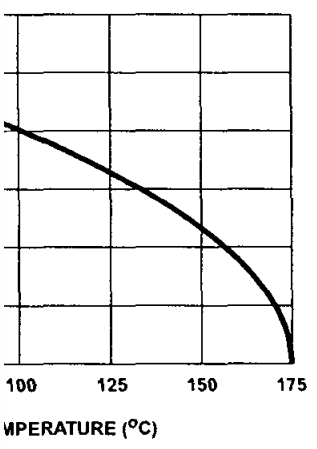


FIGURE 1. NORMALIZED PC
TEMPERATURE



UOUS DRAIN CURRENT vs
URE

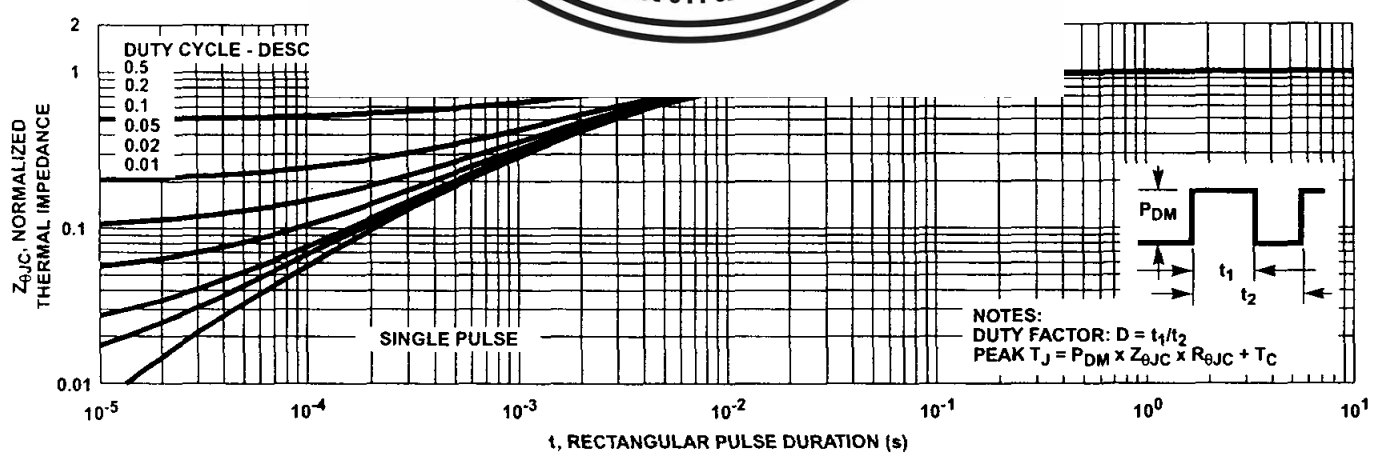
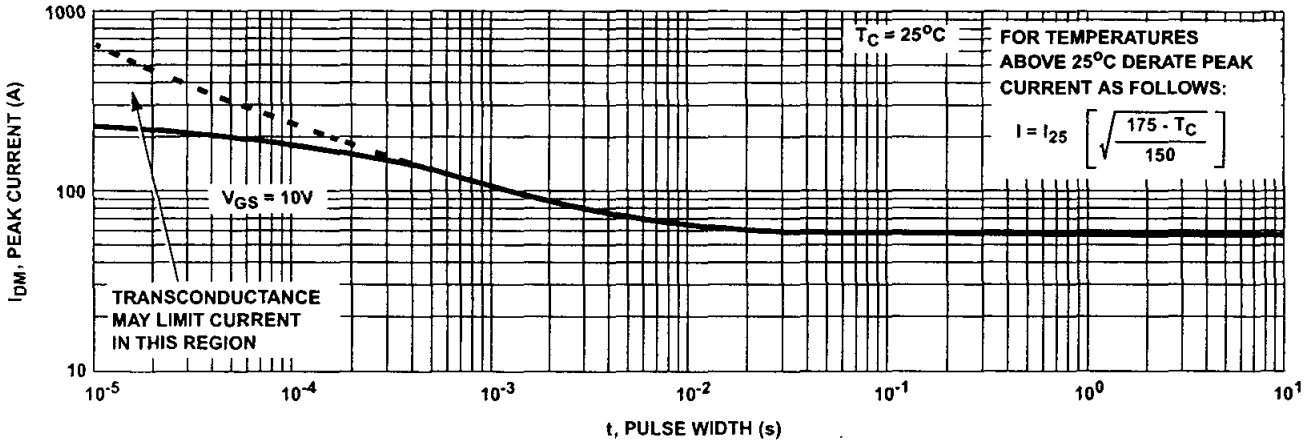


FIGURE 3. NORMALIZED MAXIMUM TRANSIENT THERMAL IMPEDANCE

Typical Performance Curves (Continued)



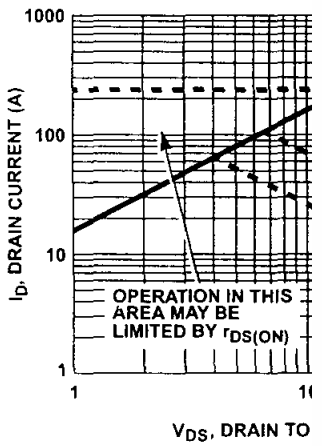
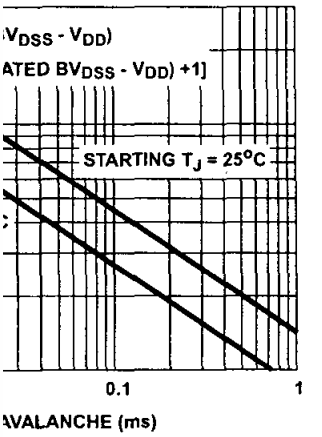


FIGURE 5. FORWARD BIA



n Notes AN9321 and AN9322.

TIVE SWITCHING CAPABILITY

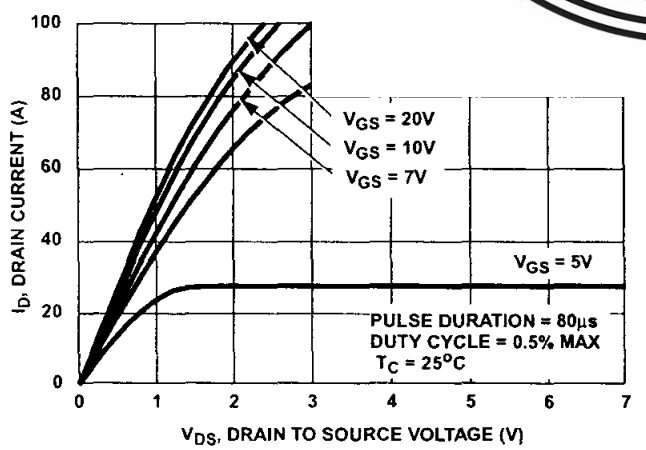


FIGURE 7. SATURATION CHARACTERISTICS

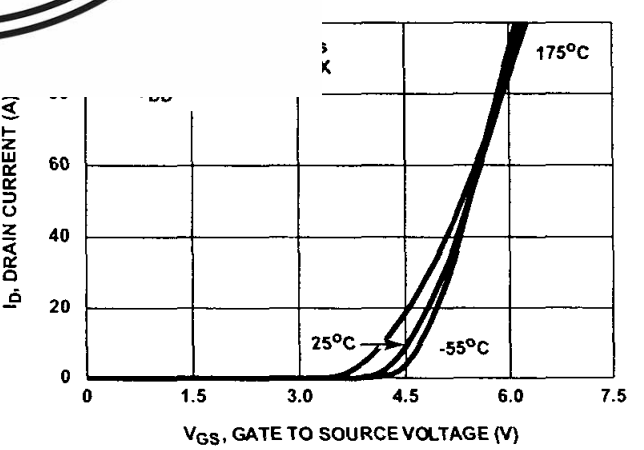


FIGURE 8. TRANSFER CHARACTERISTICS

Typical Performance Curves (Continued)

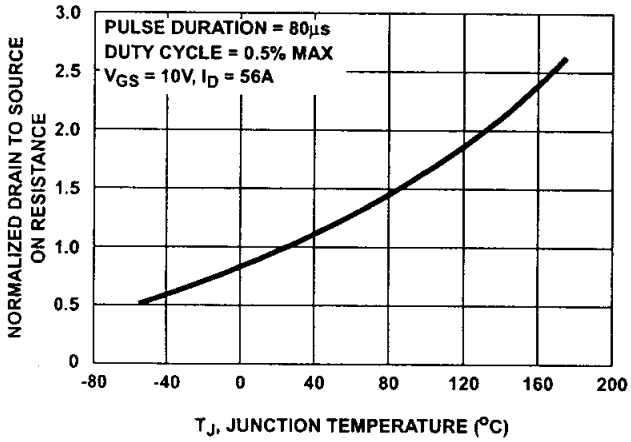
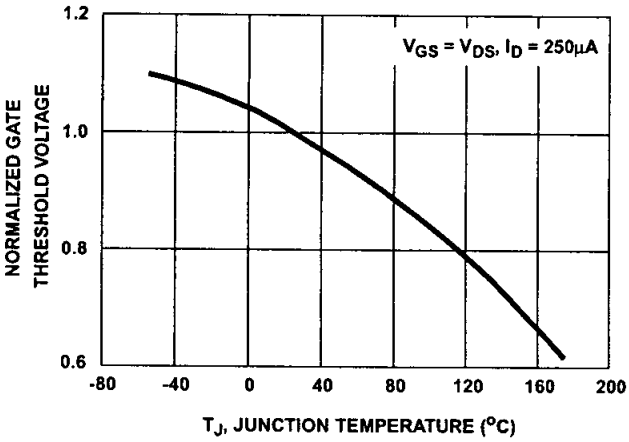


FIGURE 9. NORMALIZED DRAIN TO SOURCE ON RESISTANCE vs



ATE THRESHOLD VOLTAGE vs
ERATURE

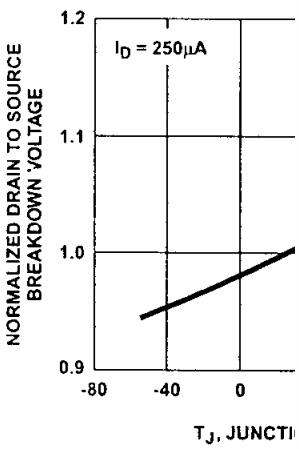
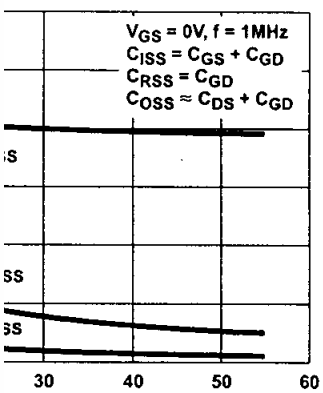
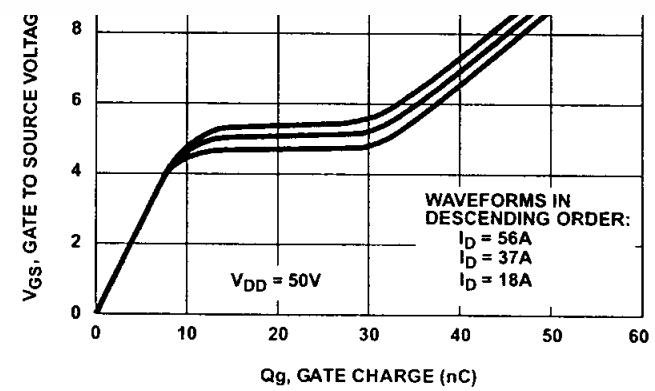


FIGURE 11. NORMALIZED D
VOLTAGE vs JU



DRAIN TO SOURCE VOLTAGE



NOTE: Refer to Fairchild Application Notes AN7254 and AN7260.

FIGURE 13. GATE CHARGE WAVEFORMS FOR CONSTANT GATE CURRENT

©2001 Fairchild Semiconductor Corporation

Test Circuits and Waveforms

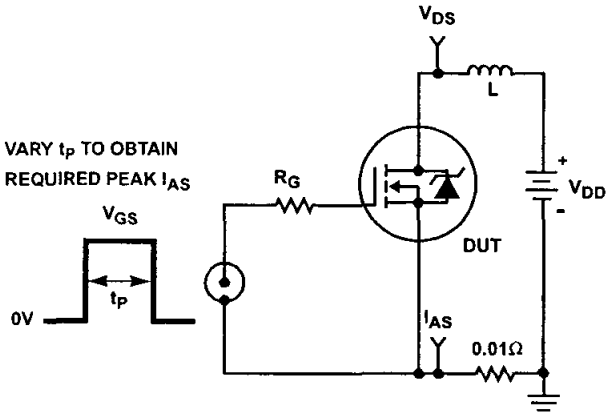


FIGURE 14. UNCLAMPED ENERGY TEST CIRCUIT

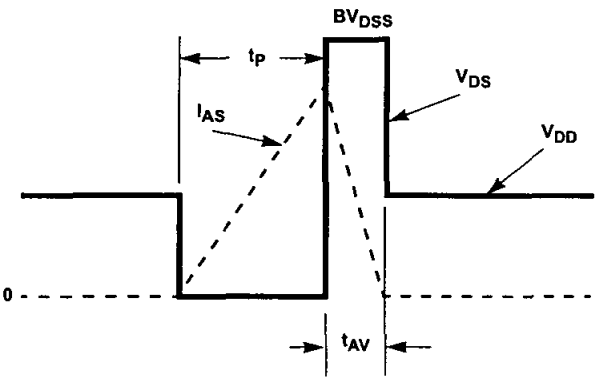


FIGURE 15. UNCLAMPED ENERGY WAVEFORMS

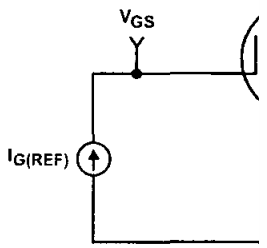
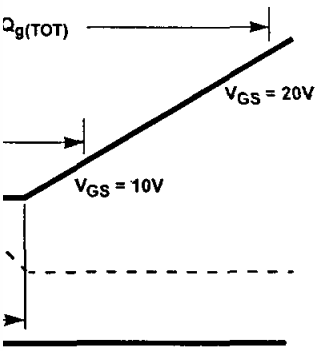


FIGURE 16. GATE CI



HARGE WAVEFORM

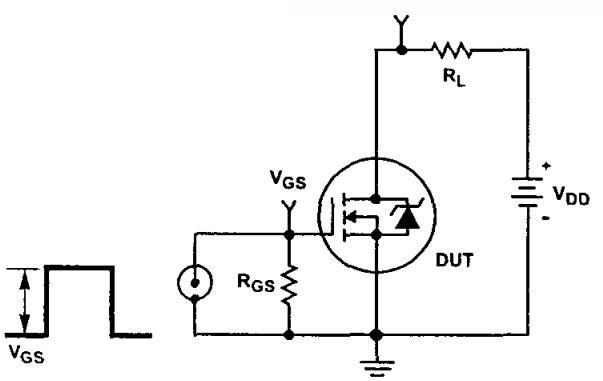


FIGURE 18. SWITCHING TIME TEST CIRCUIT

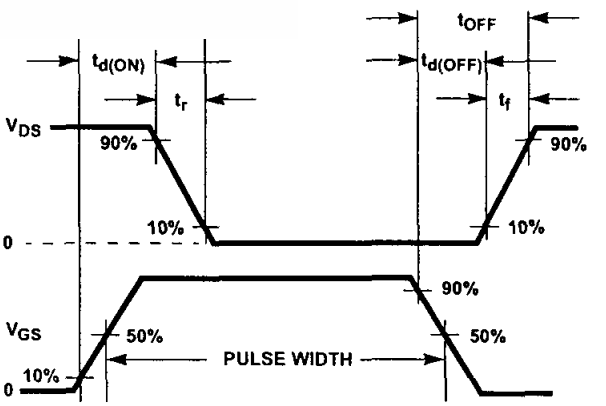
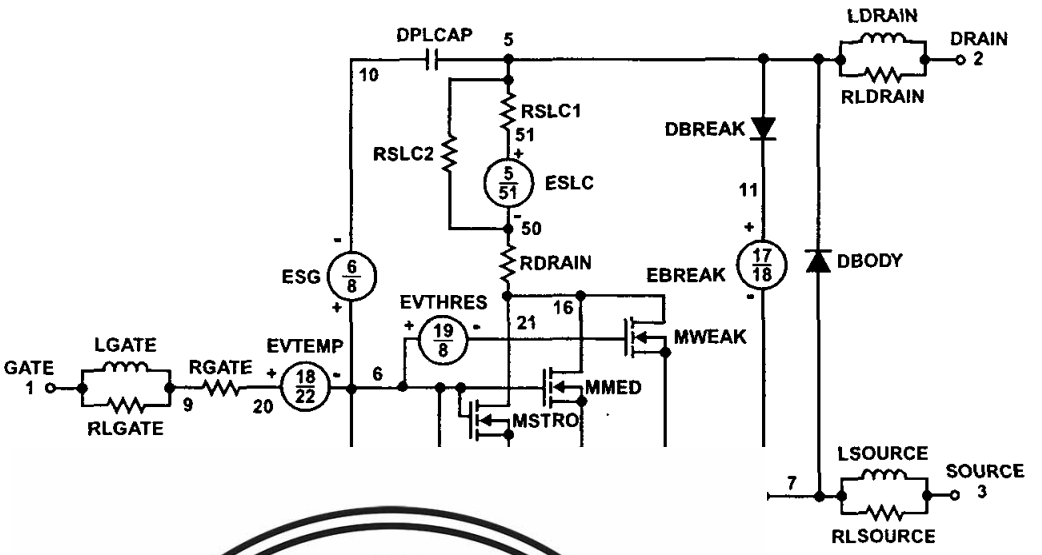


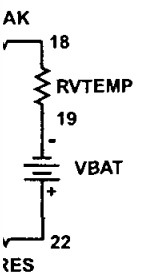
FIGURE 19. RESISTIVE SWITCHING WAVEFORMS

©2001 Fairchild Semiconductor Corporation

PSPICE Electrical Model

```
SUBCKT HUF75639 2 1 3 ;       rev Oct. 98
CA  12  8 2.8e-9
CB  15  14 2.65e-9
CIN  6  8 1.9e-9

DBODY 7 5 DBODYMOD
DBREAK 5 11  DBREAKMOD
DPLCAP 10 5 DPLCAPMOD

EBREAK 11 7 17  18 110
EDS  14  8  5  8 1
EGS  13  8  6  8 1
ESG 6 10 6 8 1
EVTHRES 6 21 19 8  1
EVTEMP 20 6 18 22 1

IT  8  17  1

LDRAIN 2 5 2e-9
LGATE 1  9 1e-9
LSOURCE  3  7 0.47e-9

RLGATE 1 9 10
RLDRAIN 2 5 20
RLSOURCE 3 7 4.69

MMED 16 6 8 8 MMEDMOD
MSTRO 16 6 8 8 MSTROMOD
MWEAK 16 21 8 8 MWEAKMOD

RBREAK  17  18  RBREAKMOD
RDRAIN 50 16 RDRAINMOD 1.3
RGATE  9  20 0.7
RSLC1 5 51 RSLCMOD 1e-6
RSLC2 5 50 1e3
RSOURCE  8  7  RSOURCEMOD
RVTHRES 22 8 RVTHRESMOD
RVTEMP 18 19 RVTEMPMOD 1

S1A  6  12  13  8  S1AMOD
S1B  13  12  13  8  S1BMOD
S2A  6  15  14  13  S2AMOD
S2B  13  15  14  13  S2BMOD

VBAT 22 19  DC  1

ESLC 51 50 VALUE = {(V(5,51)/A

.MODEL DBODYMOD D (IS = 1.4
.MODEL DBREAKMOD D (RS =
.MODEL DPLCAPMOD D (CJO =
.MODEL MMEDMOD NMOS (VT
.MODEL MSTROMOD NMOS (V
.MODEL MWEAKMOD NMOS (V
.MODEL RBREAKMOD RES (TC
.MODEL RDRAINMOD RES (TC
.MODEL RSLCMOD RES (TC1 =
.MODEL RSOURCEMOD RES (TC1 = 0 TC2 = 0)
.MODEL RVTHRESMOD RES (TC = -2.0e-3 TC2 = -1.75e-5)
.MODEL RVTEMPMOD RES (TC1 = -2.75e- 3TC2 = 0.05e-9)

.MODEL S1AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -6.0  VOFF = -3.5)
.MODEL S1BMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -3.5  VOFF = -6.0)
.MODEL S2AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -2.5  VOFF = 4.95)
.MODEL S2AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = 4.95  VOFF = -2.5)

.ENDS
```





3 M = 0.7)

NOTE: For further discussion of the PSPICE model, consult **A New PSPICE Sub-Circuit for the Power MOSFET Featuring Global Temperature Options**; IEEE Power Electronics Specialist Conference Records, 1991, written by William J. Hepp and C. Frank Wheatley.

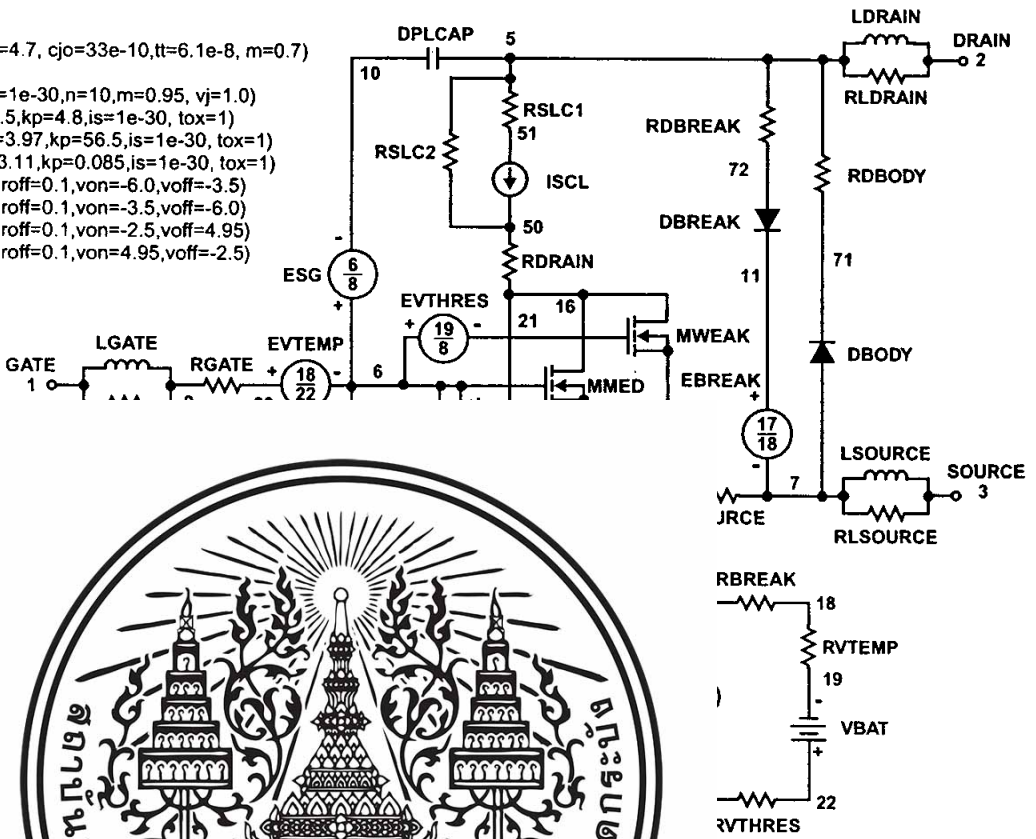
©2001 Fairchild Semiconductor Corporation

SABER Electrical Model

nom temp=25 deg c 100v Ultrafet

REV Oct. 98

```
template huf75639 n2,n1,n3
electrical n2,n1,n3
{
var i iscl
d..model dbodymod = (is=1.4e-12, xti=4.7, cjo=33e-10,tt=6.1e-8, m=0.7)
d..model dbreakmod = ()
d..model dplcapmod = (cjo=22e-10,is=1e-30,n=10,m=0.95, vj=1.0)
m..model mmedmod = (type=_n,vto=3.5,kp=4.8,is=1e-30, tox=1)
m..model mstrongmod = (type=_n,vto=3.97,kp=56.5,is=1e-30, tox=1)
m..model mweakmod = (type=_n,vto=3.11,kp=0.085,is=1e-30, tox=1)
sw_vcsp..model s1amod = (ron=1e-5,roff=0.1,von=-6.0,voff=-3.5)
sw_vcsp..model s1bmod = (ron=1e-5,roff=0.1,von=-3.5,voff=-6.0)
sw_vcsp..model s2amod = (ron=1e-5,roff=0.1,von=-2.5,voff=4.95)
sw_vcsp..model s2bmod = (ron=1e-5,roff=0.1,von=4.95,voff=-2.5)

c.ca n12 n8 = 28.5e-10
c.cb n15 n14 = 26.5e-10
c.cin n6 n8 = 19e-10

d.dbody n7 n71 = model=dbodymod
d.dbreak n72 n11 = model=dbreak
d.dplcap n10 n5 = model=dplcapm

i.it n8 n17 = 1

l.ldrain n2 n5 = 2.0e-9
l.lgate n1 n9 = 1e-9
l.lsource n3 n7 = 4.69e-10

m.mmed n16 n6 n8 n8 = model=m
m.mstrong n16 n6 n8 n8 = model=
m.mweak n16 n21 n8 n8 = model=

res.rbreak n17 n18 = 1, tc1=0.8e-
res.rdbody n71 n5 = 3.3e-3, tc1=2
res.rdbreak n72 n5 = 3.5e-1, tc1=
res.rdrain n50 n16 = 13e-3, tc1=1
res.rgate n9 n20 = 0.7
res.rldrain n2 n5 = 20
res.rlgate n1 n9 = 10
res.rlsource n3 n7 = 4.69
res.rslc1 n5 n51 = 1e-6, tc1=2.8e
res.rslc2 n5 n50 = 1e3
res.rsource n8 n7 = 4.5e-3, tc1=0
res.rvtemp n18 n19 = 1, tc1=-2.7
res.rvthres n22 n8 = 1, tc1=-2e-3,

spe.ebreak n11 n7 n17 n18 = 110
spe.eds n14 n8 n5 n8 = 1
spe.egs n13 n8 n6 n8 = 1
spe.esg n6 n10 n6 n8 = 1
spe.evtemp n20 n6 n18 n22 = 1
spe.evthres n6 n21 n19 n8 = 1

sw_vcsp.s1a n6 n12 n13 n8 = model=s1amod
sw_vcsp.s1b n13 n12 n13 n8 = model=s1bmod
sw_vcsp.s2a n6 n15 n14 n13 = model=s2amod
sw_vcsp.s2b n13 n15 n14 n13 = model=s2bmod

v.vbat n22 n19 = dc=1

equations {
i (n51->n50) +=iscl
iscl: v(n51,n50) = ((v(n5,n51)/(1e-9+abs(v(n5,n51))))*((abs(v(n5,n51)*1e6/115))** 4))
}
}
```



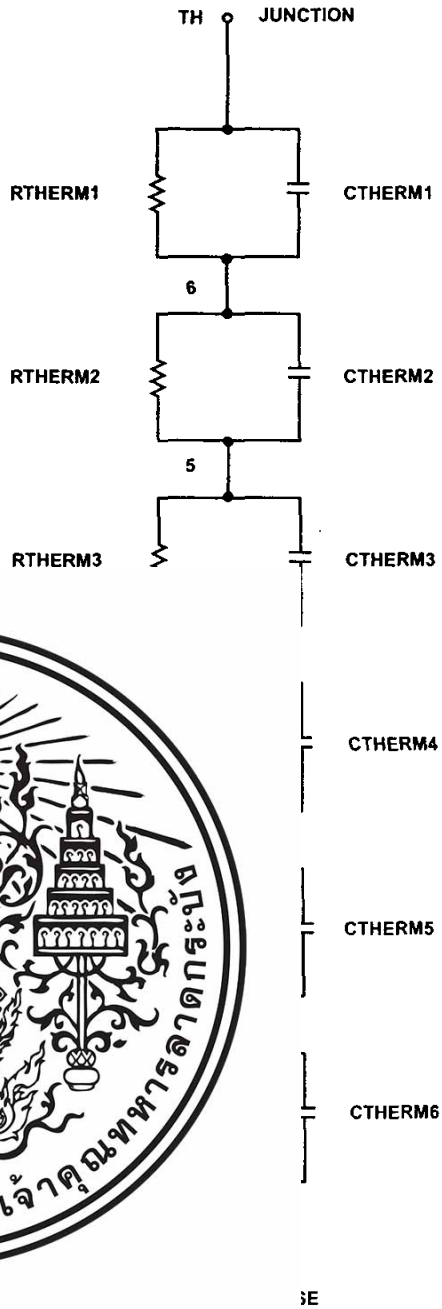
Spice Thermal Model

REV APRIL 1998

HUF75639

CTHERM1 TH 6 2.8e-3
CTHERM2 6 5 4.6e-3
CTHERM3 5 4 5.5e-3
CTHERM4 4 3 9.2e-3
CTHERM5 3 2 1.7e-2
CTHERM6 2 TL 4.3e-2

RTHERM1 TH 6 5.0e-4
RTHERM2 6 5 1.5e-3
RTHERM3 5 4 2.0e-2
RTHERM4 4 3 9.0e-2
RTHERM5 3 2 1.9e-1
RTHERM6 2 TL 2.9e-1



Saber Thermal Mod

Saber thermal model HUF7563

template thermal_model th tl
thermal_c th, tl
{
ctherm.ctherm1 th 6 = 2.8e-3
ctherm.ctherm2 6 5 = 4.6e-3
ctherm.ctherm3 5 4 = 5.5e-3
ctherm.ctherm4 4 3 = 9.2e-3
ctherm.ctherm5 3 2 = 1.7e-2
ctherm.ctherm6 2 tl = 4.3e-2

rtherm.rtherm1 th 6 = 5.0e-4
rtherm.rtherm2 6 5 = 1.5e-3
rtherm.rtherm3 5 4 = 2.0e-2
rtherm.rtherm4 4 3 = 9.0e-2
rtherm.rtherm5 3 2 = 1.9e-1
rtherm.rtherm6 2 tl = 2.9e-1
}

SE

©2001 Fairchild Semiconductor Corporation

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	FAST ®	OPTOLOGIC™	SMART START™	VCX™
Bottomless™	FASTr™	OPTOPLANAR™	STAR*POWER™	
CoolFET™	FRFET™	PACMAN™	Stealth™	
CROSSVOLT™	GlobalOptoisolator™	POP™	SuperSOT™-3	
DenseTrench™	GTO™	Power247™	SuperSOT™-6	
DOME™	HiSeC™	PowerTrench®	SuperSOT™-8	
EcoSPARK™	ISOPLANAR™	QFET™	SyncFET™	
E²CMOS™	LittleFET™	QS™	TinyLogic™	
EnSigna™	MicroFET™	QT Optoelectronics™	TruTranslation™	
FACT™	MicroPak™	Quiet Series™	UHC™	
FACT Quiet Series™	MICROWIRE™	SILENT SWITCHER®	UltraFET®	

STAR*POWER is used under license

DISCLAIMER

FAIRCHILD SEMI UT FURTHER
NOTICE TO ANY I SIGN. FAIRCHILD
DOES NOT ASSU ANY PRODUCT
OR CIRCUIT DES R ITS PATENT
RIGHTS, NOR TH

LIFE SUPPORT PO

FAIRCHILD'S PROI LIFE SUPPORT
DEVICES OR SYSTE ICTOR CORPORATION.
As used herein:
1. Life support devi onent of a life
systems which, (a) ure to perform can
the body, or (b) sup ne failure of the life
failure to perform w ect its safety or
with instructions for
reasonably expecte
user.

PRODUCT STATUS

Definition of Tern

Datasheet Iden		
Advance Informat		n specifications for s may change in
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

Rev. H4