สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# วงจรขยายแบบสวิตชิ่ง

# Switch-mode Audio Amplifier

โดย
นางสาวปาริชาติ พิมพ์ผิว
นายอานนท์ กัญจนพ

วพ
ว555
2549
เลขหมู่.....
เลขทะเบียน.....72752
วัน,เดือน,ปี.....22 มิ.ย. 2550
.b.....11772244.....
.i.....

ปริญญานิพนธ์รายงานนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# วงจรขยายแบบสวิตชิ่ง

# Switch-mode Audio Amplifier


โดย

นางสาวปาริชาติ พิมพ์ผิว รหัส 47015190

นายอานนท์ กัญจนพ รหัส 47015236


อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

ปริญญานิพนธ์รายงานสำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรขยายแบบสวิตชิ่ง

Switch-mode Audio Amplifier


ผู้จัดทำ

1. นางสาวปาริชาติ พิมพ์ผิว 47015190
2. นายอานนท์ กัญจนพ 47015236

..... อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# วงจรขยายแบบสวิตชิ่ง

นางสาวปาริชาติ พิมพ์ผิว รหัส 47015190
นายอานนท์ กัญจนพ รหัส 47015236
รศ.ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

## บทคัดย่อ

โครงงานนี้จัดทำขึ้นเพื่อศึกษาหลักการทำงานของวงจรขยายแบบสวิตชิ่ง หรือแบบคลาสดีซึ่งเป็นวงจรที่ได้รับความนิยมในปัจจุบัน เนื่องจากเป็นที่ยอมรับว่ามีประสิทธิภาพที่ดีกว่าคลาสอื่นๆ หลักการเบื้องต้นของวงจรขยายคลาสดีคือการนำเอาอินพุตหรือสัญญาณเสียงไปทำการเปรียบเทียบกับสัญญาณพาหะแบบสามเหลี่ยมที่มีความถี่สูงกว่าความถี่เสียง เพื่อสร้างสัญญาณพัลส์วิทธ์มอดดูเลต (Pulse width modulate, PWM) ซึ่งในการสร้างสัญญาณพัลส์วิทธ์มอดดูเลตนี้ ได้ใช้ไอซีเบอร์ HIP 4080 ซึ่งเป็นไอซีที่มีภาคสำหรับสร้างสัญญาณพัลส์วิทธ์มอดดูเลต และมีชุดวงจรขับเกตของมอสเฟทภายใน สัญญาณเอาท์พุตที่ออกมาจะถูกนำไปต่อกับภาคขยายกำลัง ซึ่งต่อวงจรเป็นแบบฟูลล์บริดจ์โดยใช้มอสเฟตเป็นอุปกรณ์กำลัง มอสเฟทจะมีการทำงานร่วมกันในลักษณะเป็นสวิตซ์เปิด-ปิด ตามคุณลักษณะของวงจรขยายแบบคลาสดี จากนั้นจะนำสัญญาณเอาท์พุตที่ได้จากวงจรฟูลล์บริดจ์ไปผ่านวงจรกรองความถี่ต่ำเพื่อกรองความถี่พาหะออก และให้ได้สัญญาณเสียงกลับมาเพื่อนำไปขับโหลดซึ่งเป็นลำโพงในภาคสุดท้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Switch-mode Audio Amplifier

Miss. Parichart Pimpue ID.47015190

Mr. Arnon Kanjanop ID.47015236

Assoc. Prof. Dr. Manas Sangworasil Advisor

Educational Year 2006

**Abstract**

This project is invented for the study of operational principle of Switch-mode audio amplifier or class-D amplifier which is a popular circuit nowadays as it is accepted as having more efficiency than the other classes. The basic principle of class-D amplifier is comparison of the input signal or audio signal with triangle carrier signal which has higher frequency than the input signal in making pulse width modulate signal (PWM).

IC HIP 4080A , with built-in comparator and MOSFET gate driver is used for generating PWM signal . The output signal is connected with power amplifier part that using Full-Bridge method with MOSFETs as the power device. The MOSFET will work as the on-off switch in class-D amplifier. Then output signal from Full-Bridge circuit will be taken to Low-pass filter circuit to take the carrier out and get the audio signal back to drive the speaker.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| **บทคัดย่อ** | I, II |
| **บทที่ 1 บทนำ** | 1 |
| **บทที่ 2 การทำงานและโครงสร้างของวงจรขยาย Class D** | 2 |
| **2.1 การทำงานของวงจรขยายทั่วไป** | 2 |
| 2.1.1 Class A | 2 |
| 2.1.2 Class B | 2 |
| 2.1.3 Class AB | 3 |
| 2.1.4 Class C | 3 |
| 2.1.5 Class D | 3 |
| **2.2 การทำงานของ Class D** | 3 |
| **2.3 โครงสร้างของวงจรขยาย Class D** | 6 |
| 2.3.1 การขับขาเกท | 8 |
| 2.3.2 วงจรกรองความถี่ | 10 |
| 2.3.3 การป้อนกลับ | 12 |
| 2.3.4 โครงสร้างในรูปแบบอื่นๆ | 13 |
| **บทที่ 3 Power MOSFET** | 15 |
| **3.1 ประเภทของ MOSFET** | 15 |
| **3.2 คุณลักษณะของMOSFET** | 16 |
| **3.3 ประโยชน์และการใช้งานของ MOSFET กำลัง** | 18 |
| 3.3.1 คุณลักษณะในการสวิตช์ (Switching Characteristics) | 18 |
| **3.4 การเลือก MOSFET สำหรับวงจรขยาย Class D** | 19 |
| **3.5 จุดสำคัญในการเลือก MOSFET สำหรับวงจรขยาย Class-D** | 20 |
| **บทที่ 4 วงจรกรองความถี่ต่ำผ่าน** | 27 |
| **4.1 รูปแบบของวงจงกรองความถี่ต่ำผ่าน** | 27 |
| **4.2 การตอบสนองความถี่ของวงจรกรองความถี่แบบ LC** | 27 |
| **4.3 วงจรกรองความถี่แบบ LC สำหรับวงจรขยายแบบ Bridge-Tied Load** | 29 |
| **4.4 ตัวอย่างการออกแบบ** | 30 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

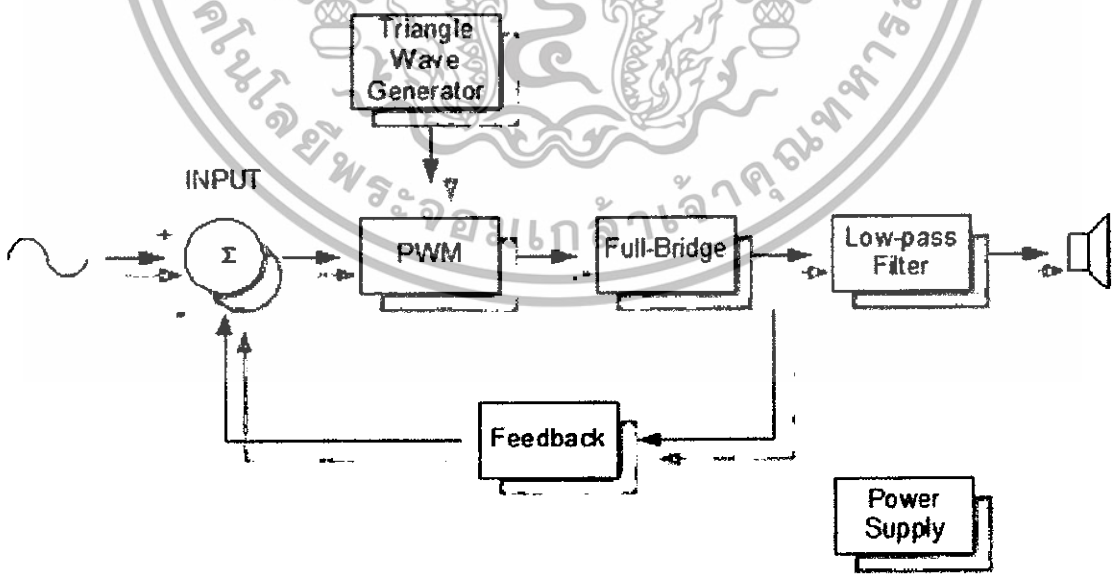
บทที่ 5 การออกแบบวงจร 32
5.1 การออกแบบวงจรขยาย Class-D 32
5.1.1 ภาค INPUT 32
5.1.2 ภาคสร้างสัญญาณ PWM 33
5.1.2.1 คุณสมบัติของไอซี HIP 4080A 34
5.1.3 ภาค Triangle Wave Generator 37
5.1.4 ภาค Full-Bridge 38
5.1.5 ภาค Feedback 39
5.1.6 วงจรฟิลเตอร์ 39
5.1.7 Zobel Filter 42
บทที่ 6 ผลการทดลอง 43
6.1 ภาค Triangle Wave Generator 43
6.2 ภาคขยายและป้อนกลับ 44
6.3 ภาค PWM และการขับเกท 46
6.4 ภาคขยายกำลัง 48
6.5 ภาค Low-pass Filter และ เอาท์พุท 49
6.6 ประสิทธิภาพของวงจร 54
บทที่ 7 สรุปและวิจารณ์ 59
สรุปผลการทดลอง 59
วิจารณ์ผลการทดลอง 59
บรรณานุกรม 60
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

วงจรขยายแบบสวิตชิ่ง หรือวงจรขยาย Class D เป็นวงจรขยายที่เป็นที่สนใจและนำมาใช้อย่างแพร่หลายในปัจจุบัน ไม่ว่าจะเป็นวงจรสำหรับขยายเสียง ขับมอเตอร์ หรือ Switching Power Supply เนื่องจากมีประสิทธิภาพการทำงานที่สูง มีการสูญเสียทางด้านกำลังงานและความร้อนน้อยกว่าเมื่อเปรียบเทียบกับวงจรขยายกำลัง Class อื่นๆ ซึ่งโครงงานนี้ได้จัดทำขึ้นเพื่อศึกษาวงจรขยาย Class D ทั้งในเรื่องโครงสร้าง การทำงาน คุณภาพของสัญญาณ และประสิทธิภาพที่ได้รับ

โดยหลักการทำงานพื้นฐานของวงจรคือจะรับสัญญาณอินพุทที่เป็นสัญญาณเสียงเข้ามาทำการเปรียบเทียบกับสัญญาณคลื่นสามเหลี่ยมความถี่สูงประมาณ 300 kHz เพื่อสร้างสัญญาณ PWM (Pulse Width Modulate) หลังจากที่ได้สร้างสัญญาณ PWM แล้วจะนำสัญญาณ PWM ที่ได้ไปขยายกำลังงานให้สูงขึ้นโดยการใช้อุปกรณ์กำลังคือ MOSFET ที่ต่อวงจรในลักษณะ Full-Bridge โดย MOSFET แต่ละตัวจะถูกไบอัสการทำงานให้อยู่ในช่วง Cut-off และ Saturate เพื่อให้ MOSFET มีลักษณะการทำงานที่เป็นสวิตช์ ON-OFF ตามสัญญาณ PWM จากนั้นจะนำสัญญาณ PWM ที่ผ่านการขยายกำลังงานแล้วนำไปผ่านวงจร Low-pass Filter เพื่อให้ได้สัญญาณเสียงอินพุทกลับคืนมาโดยมีกำลังงานที่มากขึ้นเพื่อที่จะนำไปขับโหลดที่เป็นลำโพงต่อไป




รูปที่ 1.1 Block Diagram แสดงโครงสร้างของวงจรขยายแบบสวิตชิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# การทำงานและโครงสร้างของวงจรขยาย Class D

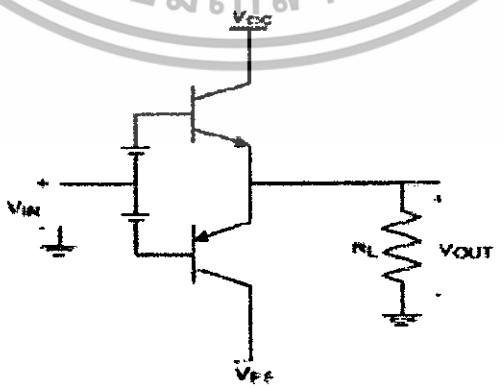
## 2.1 การทำงานของวงจรขยายทั่วไป

วงจรขยายโดยทั่วไปจะมีหน้าที่ที่คล้ายกันก็คือการขยายสัญญาณอินพุทให้ได้สัญญาณทางเอาท์พุทที่มีกำลังงานเพิ่มขึ้น แต่สิ่งที่แตกต่างกันก็คือโครงสร้างและรูปแบบการทำงานที่ต่างกันออกไป เป็นผลให้เกิดความแตกต่างกันในเรื่องของคุณภาพสัญญาณและประสิทธิภาพของวงจร โดยสามารถแบ่งวงจรขยายออกรูปแบบต่างๆตามลักษณะการทำงานของอุปกรณ์ส่วนเอาท์พุทของวงจรขยายได้ดังนี้

2.1.1 Class A จุดปฏิบัติการ Q อยู่ในส่วนของย่านทำงาน (active region) ซึ่งจะทำให้มีกระแสไหลผ่านตัว transistor ตลอดเวลาไม่ว่าจะมีสัญญาณอินพุทหรือไม่ก็ตาม ทำให้ transistor นำกระแสตลอดช่วง 360 องศาของสัญญาณอินพุท

ข้อดีของ Class A คือมีความเพี้ยนต่ำกว่า Class อื่นๆเพราะมีกระแสไหลผ่านตัว transistor ตลอด 360 องศาของสัญญาณอินพุท ทำให้กระแส collector มีรูปร่างเป็น sinewave อยู่ แต่มีประสิทธิภาพสูงสุดอยู่ที่ประมาณ 50%

2.1.2 Class B จุดปฏิบัติการ Q อยู่ที่จุดคัทออฟ (cut-off) พอดี ทำให้มีกระแสไหลผ่าน transistor เฉพาะช่วงเวลาบางส่วนของซีกใดซีกหนึ่งของสัญญาณอินพุทเท่านั้น หรือ transistor จะนำกระแสในช่วง 180 องศาของสัญญาณอินพุท และขณะไม่มีสัญญาณอินพุทจะไม่มีกระแส ซึ่งทำให้มีประสิทธิภาพสูง เนื่องจากมีกระแสไหลผ่าน transistor เพียงซีกเดียวจึงต้องใช้ transistor 2ตัว สลับกันทำงานตัวละ 180 องศาของอินพุทเรียกการทำงานแบบนี้ว่า push-pull ประสิทธิภาพสูงสุดอยู่ที่ประมาณ 78.5 %




รูปที่ 2.1 รูปพื้นฐานวงจรขยาย Class B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 Class AB มีคุณลักษณะอยู่ระหว่าง Class A และ Class B ซึ่ง Class AB มีประสิทธิไม่ดีเท่าวงจรขยาย Class B แต่ดีกว่า Class A และสามารถลดความเพี้ยนครอสโอเวอร์ (Cross over Distortion) ลงได้มาก ดังนั้นวงจรขยาย Class AB จึงให้ทั้งความเพี้ยนต่ำ และให้ประสิทธิภาพสูง

วงจรขยายนี้จะมีการไบแอสแรงดันเพื่อให้จุดทำงานของทรานซิสเตอร์อยู่สูงกว่าจุดCut-off เล็กน้อย จึงมีกระแสคอลเลกเตอร์ไหลในวงจรเพียงเล็กน้อยในขณะที่ไม่มีสัญญาณอินพุตเข้ามา วงจรขยายสัญญาณ Class AB นี้นิยมใช้กันมากในการขยายเสียงแบบเครื่องขยายเสียงในภาคกำลัง โดยการต่อเป็น วงจรแบบพุชพูล (push-pull)

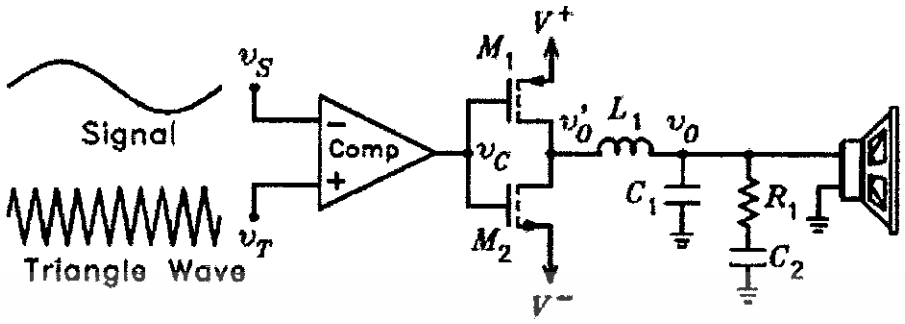
2.1.4 Class C จุดปฏิบัติการ Q อยู่ในส่วนย่านหยุดนำกระแส (cut-off region) ซึ่งจะทำให้กระแสไหลผ่าน transistor เฉพาะช่วงเวลาบางส่วนของซีกใดซีกหนึ่งของสัญญาณอินพุทหรือ transistor จะมีการนำกระแสในช่วงน้อยกว่า 180 องศาของสัญญาณอินพุท ในขณะที่ไม่มีสัญญาณอินพุทจะไม่มีกระแสไหลผ่านตัว transistor ใน Class นี้ จะใช้งานเฉพาะความถี่ใดความถี่หนึ่งเท่านั้น เช่น ในส่วนของ power amplifier ของเครื่องส่งวิทยุ ประสิทธิภาพขึ้นอยู่กับจุดไบอัส (bias) และความถี่ที่ต้องการใช้งาน

2.1.5 Class D transistor จะทำงานในลักษณะของสวิตช์ (switch) คือ นำกระแสอิ่มตัว (saturate) กับไม่นำกระแส (cut-off) กระแสที่ไหลผ่านตัว transistor จะมีลักษณะเป็น Square pulse ข้อดีของ Switching amplifier คือมีประสิทธิภาพในการทำงานสูงทำให้ประหยัดพลังงาน การสูญเสียที่ transistor น้อย เป็นผลให้ขนาดของแผ่นระบายความร้อนเล็กลง ขนาดของเครื่องเล็กลง เช่น เครื่องเสียงในรถยนต์, เครื่องเล่น MP3, เครื่องเล่นเพลง portable ต่างๆ เป็นต้น เพราะสิ่งเหล่านี้ต้องการรูปทรงของวงจรที่มีขนาดเล็ก และประหยัดพลังงาน ซึ่งประสิทธิภาพของวงจรขยาย Class D นี้มีสูงสุดมากกว่า 90 %

**2.2 การทำงานของ Class D**

Class D ตามหลักการพื้นฐานการทำงานของมันเอาท์พุทจะทำงานในลักษณะการสวิตช์ 2 สภาวะคือ ON และ OFF โดยในขณะที่ทำงานในสภาวะ ON จะมีกระแสไฟฟ้าไหลผ่านตัวอุปกรณ์ไปยังโหลดซึ่งตามหลักการจะไม่มีแรงดันปรากฏตกคร่อมระหว่างขาเดรน (Drain) และขาซอร์ส (Source) ของMOSFET ซึ่งจะมีกำลังงานสูญเสียเป็นศูนย์ และในสภาวะOFF MOSFETจะปฏิบัติตัวเหมือนเปิดวงจรและไม่มีกระแสไหลผ่านที่โหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 รูปพื้นฐานวงจรขยาย Class D

สัญญาณเสียงอินพุทจะถูกแปลงสัญญาณให้เป็นสัญญาณพัลส์สี่เหลี่ยมโดยใช้หลักการที่เรียกว่า Pulse Width Modulation (PWM) โดยสัญญาณคลื่นสี่เหลี่ยม PWM จะมีความถี่ที่คงที่ แต่จะมีความกว้างของเวลาON (สถานะ HIGH) และเวลา OFF (สถานะ LOW) หรือดิวตี้ไซเคิล (Duty Cycle) ที่ไม่ใช่ 50 % เสมอไป แต่มันจะปรับเปลี่ยนตามสัญญาณอินพุทที่เข้ามา เช่น เมื่อสัญญาณอินพุทเพิ่มขึ้น สถานะHIGH จะมีช่วงเวลานานกว่าสถานะLOWและเมื่อสัญญาณลดต่ำลงจะมีสภาวะที่ตรงกันข้ามกัน ตามหลักทางคณิตศาสตร์ ค่าเฉลี่ยของสัญญาณในหนึ่งคาบเวลาหรือหนึ่งลูกคลื่นคำนวณได้โดย

$$V_{mean} = (V_H * D) + (V_L * (1-D)) \quad (2.1)$$

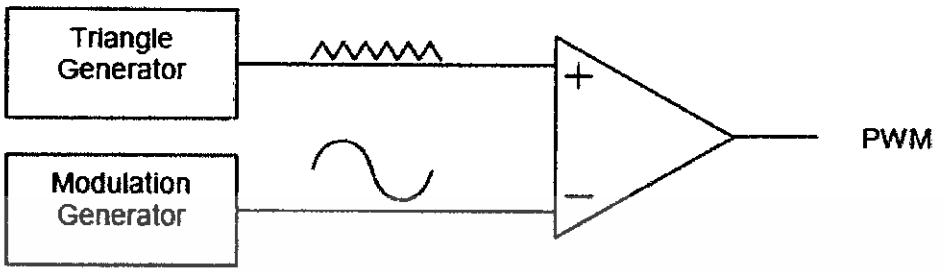
; โดย D (Duty Cycle) = $T_{on}/T$

; T คือคาบของสัญญาณคือ $1/F_{sw}$ (ความถี่สวิตชิ่ง)

เช่นเมื่อ ค่าเฉลี่ยของสัญญาณเป็น 50 % ดิวตี้ไซเคิล $V_H$ = +50 V, $V_L$ = -50 V ก็จะได้ค่าเฉลี่ยเท่ากับ (50*0.5) + (-50*(0.5)) = 0 V ถ้าเราเปลี่ยนแปลงให้มีค่าสูงสุดคือเข้าใกล้ 100% ดิวตี้ไซเคิลประมาณ 99% $V_{mean}$ = (50*0.99) + (-50*(0.01)) = 49 V โดยกลับกัน ถ้าสัญญาณมีค่าดิวตี้ไซเคิลต่ำสุดประมาณ 1% ก็จะได้ $V_{mean}$ = -49 V

สัญญาณ PWM มักจะถูกสร้างขึ้นโดยใช้วิธีการเปรียบเทียบสัญญาณอินพุทด้วยสัญญาณคลื่นสามเหลี่ยม ซึ่งคลื่นสามเหลี่ยมจะเป็นตัวกำหนดทั้งขนาดของอินพุทและความถี่สวิตชิ่ง

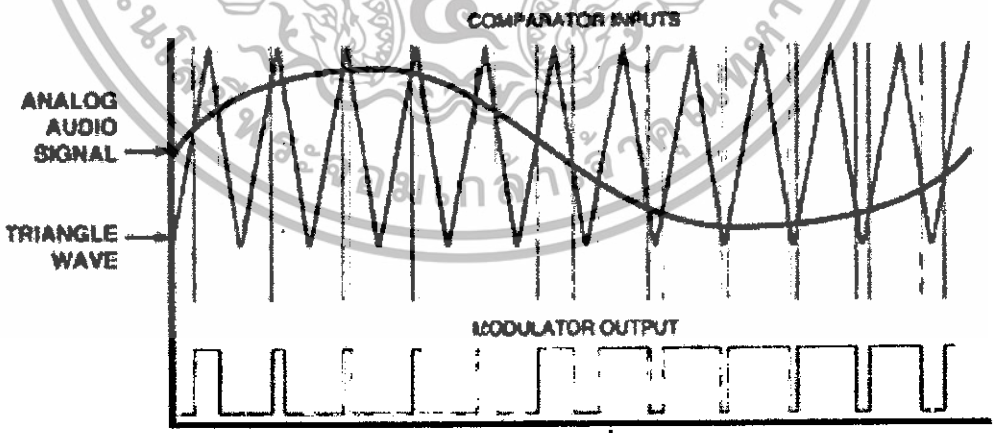
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.3 แสดงการสร้างสัญญาณPWM

ในรูป 2.3 ได้แสดงสัญญาณPWM ที่ได้มอดดูเลทกับสัญญาณซายน์ โดยมันได้ถูกออกแบบระดับสัญญาณระหว่าง –V ถึง +V และผลิตดิวตี้ไซเคิลได้ตั้งแต่ 0% ถึง 100% โดยดิวตี้ไซเคิลที่50% จะตรงกับแรงดันที่สัญญาณอินพุทมีค่าอยู่ที่ 0V

ในการสร้างสัญญาณPWM นั้น ความถี่ของสัญญาณอ้างอิงในการผลิตสัญญาณสวิตชิ่งต้องมีความถี่มากกว่าค่าความถี่ที่สูงที่สุดของสัญญาณอินพุท ซึ่งในทางทฤษฎีเราต้องการความถี่อย่างน้อยที่สุดเป็น 2 เท่าของอินพุท แต่สำหรับการออกแบบให้มีค่าความเพี้ยนสัญญาณเอาท์พุทที่ต่ำควรจะใช้ความถี่ที่สูงกว่านั้นประมาณ 5 ถึง 50 เท่า สัญญาณPWM ที่ได้จะนำไปขับโหลด ดังนั้นจึงต้องสร้างสัญญาณPWM ที่มีกำลังงานที่สูงโดยการสวิตช์ที่แรงดันจาก +V ถึง –V ของแหล่งจ่ายไฟ




รูป 2.4 แสดงการเปรียบเทียบสัญญาณเพื่อสร้างสัญญาณ PWM

องค์ประกอบของสัญญาณPWM จะประกอบด้วยความถี่ต่ำซึ่งเป็นความถี่ของสัญญาณอินพุท แต่ก็ยังมีส่วนของสัญญาณความถี่สวิตชิ่ง แต่เมื่อต้องไปขับลำโพงต้องนำสัญญาณที่ไม่ต้องการออกไปและคงเหลือไว้เพียงสัญญาณอินพุทที่เราได้ขยายกำลังแล้วเท่านั้น และการที่จะ

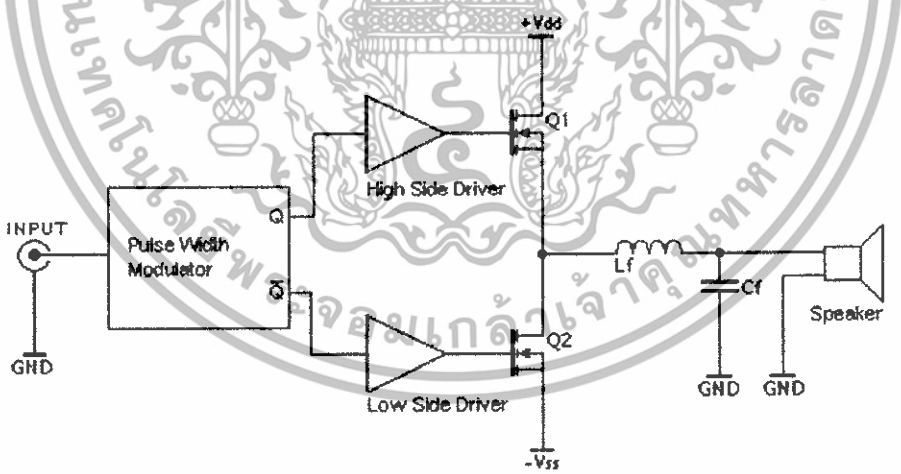
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำจัดสัญญาณความถี่สูงที่ไม่ต้องการเหล่านั้นทิ้งไปต้องใช้วงจร Low-pass Filter โดยมากจะใช้วงจร LC Filter แบบ Passive เพราะว่าเป็นวงจรที่มีการกินกำลังงานค่อนข้างน้อยมาก แม้ว่าจะมีการสูญเสียบ้างแต่ก็น้อยมากในการใช้งาน

วงจรขยาย Class-D ไม่ได้เป็นวงจรในลักษณะที่เป็นดิจิตอล ซึ่งการทำงานของวงจรไม่ได้สอดคล้องหรือเกี่ยวข้องกับข้อมูลดิจิตอลหรือตัวเลขไบนารี่ ถึงสัญญาณจะมีค่าแรงดันสูง-ต่ำ แต่จะเกิดขึ้นจากการสวิตช์ของสัญญาณเท่านั้น ซึ่งตัวอักษร D เป็นเพียงตัวอักษรตัวหนึ่งที่ต่อจากตัว C ในภาษาอังกฤษเท่านั้น ไม่ได้มีความหมายเป็นดิจิตอลแต่อย่างใด

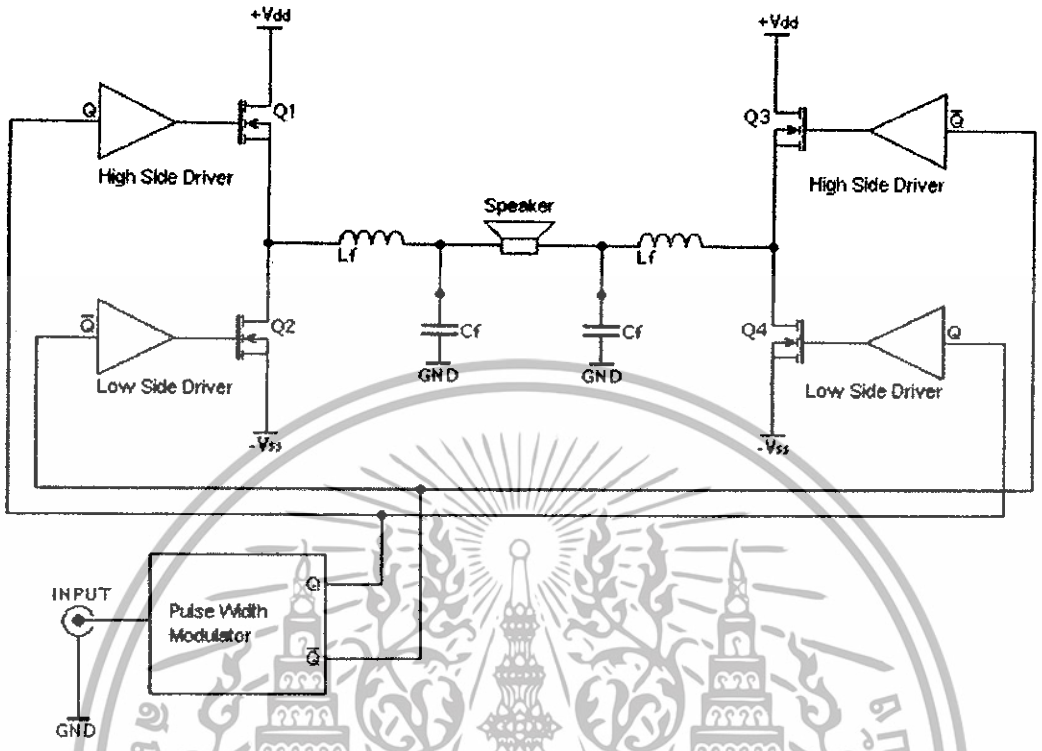
**2.3 โครงสร้างของวงจรขยาย Class D**

โดยปกติโครงสร้างของวงจรขยาย Class D จะมีการแบ่งได้อยู่สองลักษณะซึ่งพิจารณาจากวงจรในส่วนของเอาท์พุทคือ วงจรแบบ Half-Bridge และ แบบ Full-Bridge โดยวงจรที่เป็นแบบ Half-Bridge จะใช้อุปกรณ์ในการทำงานส่วนเอาท์พุท 2 ตัว ส่วนในวงจรแบบ Full-Bridge จะใช้อุปกรณ์ในการทำงานส่วนเอาท์พุท 4 ตัว




**รูปที่ 2.5 แสดงวงจรขยายแบบ Half-Bridge**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.6 แสดงวงจรขยายแบบ Full-Bridge

ตารางที่ 2.1 แสดงการเปรียบเทียบโครงสร้างหลักวงจรแบบ Half-Bridge และ Full-Bridge

| | Half-Bridge | Full-Bridge |
|---|---|---|
| POWER SUPPLY | DOUBLE SUPPLY | SINGLE SUPPLY |
| MOSFET | 2 MOSFETs / CH | 4 MOSFETs / CH |
| GATE DRIVER | 1 GATE / CH | 2 GATE / CH |
| DC OFFSET | ADJUSTMENT IS NEEDED | CAN BE CANCELLED OUT |
| FEED BACK CONTROL | NEED A HELP OF FEED BACK | CAN BE DESIGNED OPEN - LOOP |

วงจรแบบ Half-Bridge เป็นแบบที่ชัดเจนและมีความคล่องตัวของวงจรมาก โดยวงจรภาคเอาท์พุทจะมีรูปแบบคล้ายกับวงจรขยายแบบเก่า แต่ถ้ามันไม่ได้รับการออกแบบที่ถูกต้อง มันก็สามารถได้รับผลกระทบจากปรากฏการที่เรียกว่า Bus Pumping คือการส่งผ่านกระแสของวงจรภาคจ่ายไฟจะเพิ่มแรงดันขึ้นจนเป็นอันตรายแก่วงจรขยาย, ภาคจ่ายไฟ และลำโพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแบบ Full-Bridge จะถูกออกแบบมาให้อุปกรณ์เอาท์พุทใช้แรงดันในภาคจ่ายไฟเพียงครึ่งหนึ่งของวงจรแบบ Half-Bridge ในขณะที่ให้กำลังงานเท่ากัน แต่วงจรจะมีความสมบูรณ์มากกว่าทั้งแนวทางการออกแบบและโครงสร้าง การที่วงจรแบบFull-Bridge ต้องการแหล่งจ่ายไฟเพียงทางเดียว (+V, GND) ลำโพงจะได้รับแรงดันเท่ากับแรงดันของแหล่งจ่ายไฟ และเมื่อสัญญาณจากภาคขยายแต่ละด้านมีความต่างกันทางเฟส ลำโพงก็จะมองไม่เห็นแรงดันที่เป็นไฟกระแสตรงเลยถ้าวงจรมีความสมดุล แต่อย่างไรก็ตามก็สามารถเกิดปัญหาได้ถ้าลำโพงเกิดลัดวงจรขึ้นมา

2.3.1 การขับขาเกท

เป็นที่แน่นอนว่าค่าเวลาในการไต่ขึ้นหรือการตกลงของMOSFETมีความเร็วมาก ตัวขับขาเกทจึงต้องที่การจ่ายกระแสที่ค่อนข้างสูงเพื่อตอบรับการชาร์จปะจุ และคายประจุของตัวเก็บประจุที่ขาเกท (Gate) ของMOSFET รวมไปถึงระยะห่างในการสวิตช์แต่ละครั้ง โดยทั่วไปค่าเวลาในการไต่ขึ้นหรือตกลงมีค่าประมาณ 20-50 นาโนวินาที และต้องการกระแสมากกว่า 1 แอมแปร์

โดยทั่วไปวงจรจะใช้MOSFETทั้งหมดเป็นMOSFETแบบ N-Channel แต่บางวงจรก็ใช้ P-Channel MOSFETต่อคู่กับ N-Channel เพื่อความเหมาะสม แต่ก็เป็นการยากพอสมควรที่จะหา MOSFETแบบ P-Channel ที่เหมาะสมมาใช้คู่กันได้ ในการขับ MOSFET ตามหลักการเราจะต้องป้อนแรงดันให้ระหว่างขาเกทและขาซอร์สให้มีค่ามากกว่า $V_t$ (Threshold Voltage) ซึ่งMOSFETตัวล่างขาซอร์สของมันจะถูกต่อกับ Vss หรือ GND

อย่างไรก็ตาม MOSFET ตัวข้างบนเป็นตัวที่ยากที่จะขับ เนื่องจากขาซอร์สของมันจะมีสัญญาณที่แกว่งไปมาระหว่าง +Vdd กับ –Vss ซึ่งตัวขับ MOSFET ตัวบนก็ต้องรับรู้ถึงการแกว่งไปมาของสัญญาณสวิตชิ่งด้วย ในสภาวะ ON แรงดันที่ใช้ขับขาเกทต้องมีค่ามากกว่าแรงดัน Vdd มากพอสมควรทำให้ทราบว่าแรงดันที่ขาเกทต้องสามารถเพิ่มระดับสัญญาณได้เพื่อให้วงจรสามารถขับMOSFETตัวที่อยู่ข้างบนได้ถูกต้อง

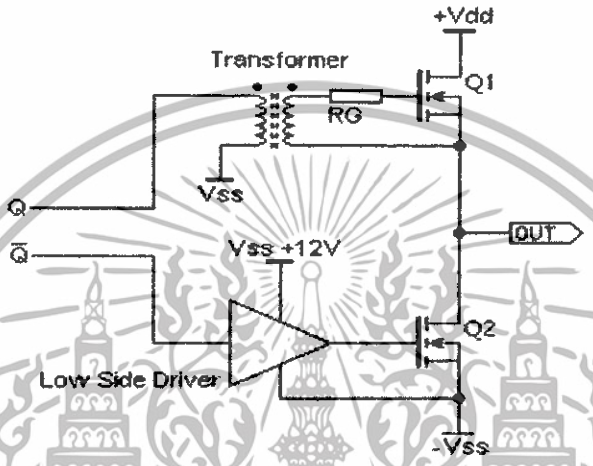
นี่เป็นส่วนหนึ่งของการออกแบบวงจรขยาย Class-D ที่ค่อนข้างยาก ซึ่งก็มีแนวทางในการออกแบบหลายแบบ

Transformer gate drive: ใช้กันมากกับวงจรแหล่งจ่ายไฟ (Power supplies) แบบ Half-Bridge ในแบบที่มีค่าดิวตี้ไซเคิลเปลี่ยนแปลงไม่มากนัก อย่างไรก็ดีในวงจรขยายเสียง ดิวตี้ไซเคิลมีช่วงระหว่าง 0% ถึง 100% ดังนั้นการใช้หลักการนี้จะสร้างปัญหาเพราะว่าสัญญาณเป็นการเชื่อมต่อทาง AC ซึ่งวงจรแบบ DC ไม่นิยมใช้

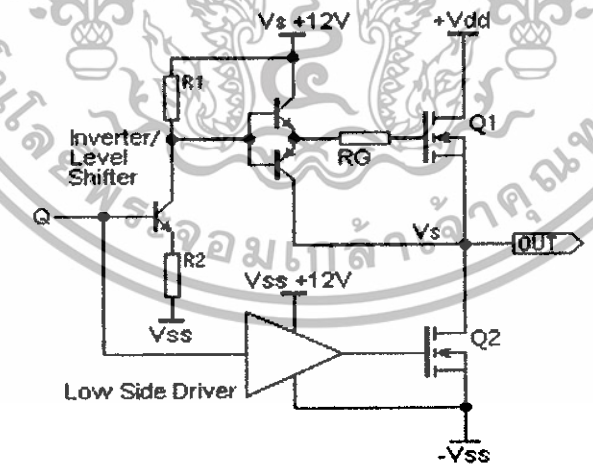
Discrete gate driving: การออกแบบบางชนิดใช้ทรานซิสเตอร์ทำงานเป็นทั้งวงจรยกระดับสัญญาณ (Level shifting) และ MOSFET drive แต่ก็มีปัญหาอยู่ที่การต้องการแรงดันที่สูงกว่า +Vdd

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Integrated drivers: มีไอซีจำนวนมากมายที่ได้ออกแบบมาเพื่อหน้าที่นี้โดยเฉพาะ ซึ่งในปัจจุบันได้มีการสร้างวงจรยกระดับสัญญาณเพิ่มมาให้ในตัวไอซี และยังมีความเร็วในการทำงานที่เหมาะสม แต่สิ่งที่สำคัญในการใช้งาน ค่าเวลาการทำงานของไอซีมีผลกับการเกิดความเพี้ยนของสัญญาณหรือการทำงานของ MOSFET ได้

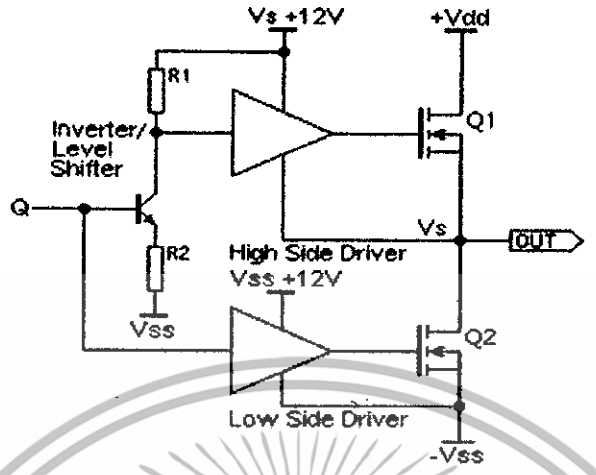



รูปที่ 2.7 วงจรขับขาเกทแบบใช้หม้อแปลง



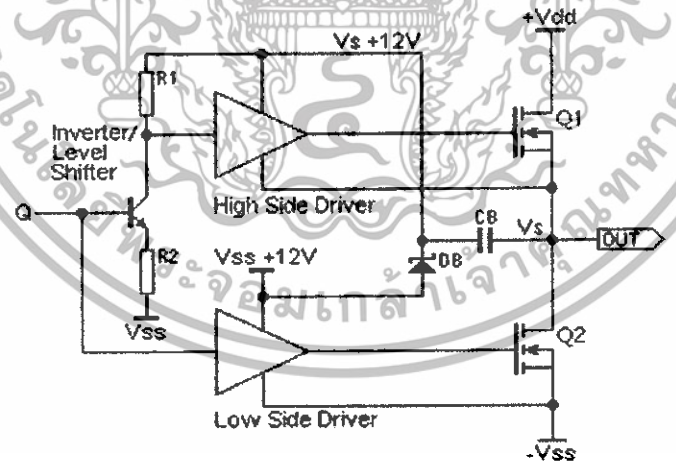

รูปที่ 2.8 วงจรขับขาเกทแบบใช้ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.9 วงจรขับขาเกทแบบใช้ Gate driver IC

แต่ปัญหาอย่างหนึ่งในการขับขาเกทก็ยังมีอยู่ โดยที่แรงดัน 12V เหนือ Vs เราสามารถที่จะเพิ่มแหล่งจ่ายไฟซึ่งมาจากแหล่งจ่ายไฟหลักของวงจรได้ โดยการใช้เทคนิคที่เรียกว่าวงจรBootstrap ซึ่งเทคนิคนี้ จะใช้การสร้างการอัดประจุ (Charge Pump) ด้วยไดโอดความเร็วสูง และตัวเก็บประจุ เอาท์พุทของวงจรขยายจะผลิตสัญญาณพัลส์ที่จำเป็นให้แก่ตัวเก็บประจุเพื่อสะสมประจุ




รูปที่ 2.10 แสดงวงจรการขับขาเกทของ MOSFET โดยใช้หลักการ Bootstrap

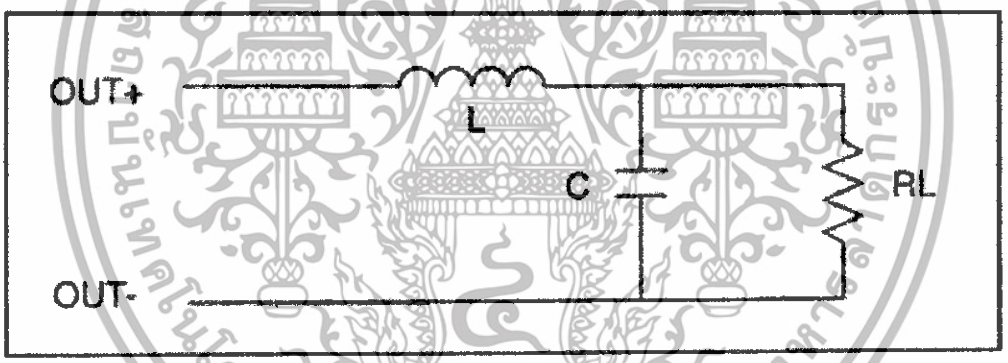
2.3.2 วงจรกรองความถี่

การกรองความถี่เอาท์พุทเป็นส่วนสำคัญมากอย่างหนึ่งของวงจร ไม่ว่าจะเป็นประสิทธิภาพโดยรวม ระบบเสียงก็ขึ้นอยู่กับส่วนนี้ ซึ่งวงจรจะออกแบบโดยใช้ LC Filter ตามหลักการแล้ววงจร LC Filter จะมีการสูญเสียน้อยและมีความชันที่ความถี่ Cut-Off อยู่ที่ -40dB/decade

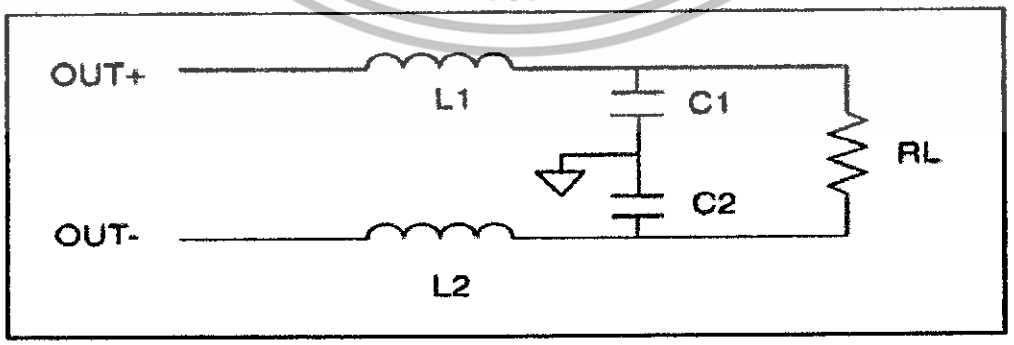
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งแรกที่ต้องคำนึงถึงในการออกแบบก็คือ Transfer Function สำหรับการฟิลเตอร์ โดยมากมักจะใช้แบบ Butterworth หรืออาจจะเลือกแบบที่มีการตอบสนองความถี่ที่คล้ายกันมาใช้ ด้วยความถี่คัทออฟที่อยู่เหนือช่วงความถี่เสียงเล็กน้อยประมาณ 30-60 กิโลเฮิรตซ์ อย่างที่รู้ค่าของพารามิเตอร์ซึ่งใช้ในการออกแบบจะกำหนดสิ้นสุดอยู่ที่ค่าอิมพีแดนซ์ของโหลดโดยปกติก็จะมีค่าประมาณ 4 หรือ 8 โอห์ม แต่นั่นจะเป็นการสร้างความเปลี่ยนแปลงในการควบคุมการตอบสนองความถี่ในลำโพงที่ต่างกันออกไป กรณีนี้ต้องถูกชดเชยโดยการใช้วิธีการออกแบบวงจร Feedback Network ที่สมบูรณ์

อย่างไรก็ดี ส่วนที่น่าสนใจส่วนหนึ่งก็คือสายลำโพงซึ่งสามารถจะกลายเป็นสายอากาศและมีผลกับอุปกรณ์อื่นๆได้ อันที่จริงถึงแม้ว่าแรงดันเฉลี่ยของริปเปิ้ล (Ripple) จะดูว่าต่ำเพียงพอที่จะทำให้ลำโพงทำงานอย่างปลอดภัย EMI (Electro Magnetic Interference) ก็ยังเป็นที่น่ากังวลเพราะระดับของพาหะยังคงมีอยู่ แต่จะดีกว่าถ้าเพิ่มอันดับของการกรองความถี่ให้มากขึ้น

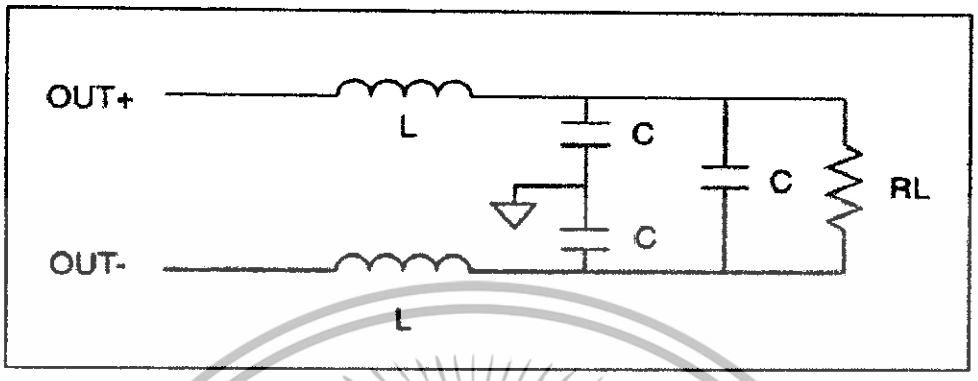



รูปที่ 2.11 วงจร Single-Ended 2-Pole LC Filter




รูปที่ 2.12 วงจร A Balanced 2-Pole Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.13 วงจร Different-Mode 2-Pole Filter

การออกแบบวงจรขยาย Class D ที่ดีจะมีอันดับการฟิลเตอร์ที่สูงเพื่อหลีกเลี่ยงปัญหาของ EMI การตอบสนองจะขึ้นอยู่กับโหลด และแท้จริงแล้วโหลดก็เป็นส่วนหนึ่งของวงจรFilterด้วยเช่นกัน

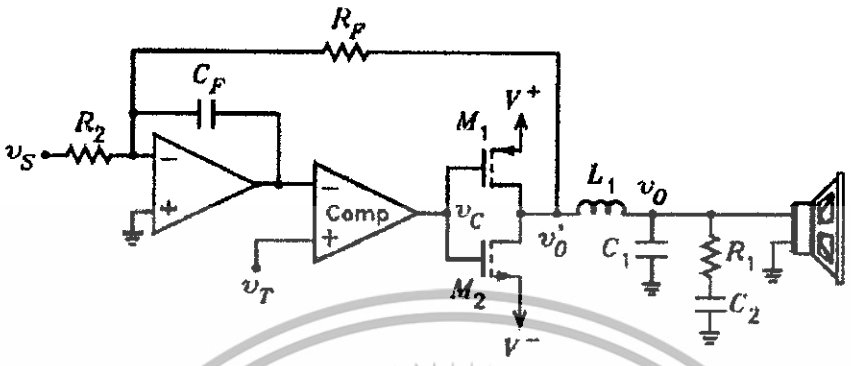
ส่วนประกอบของวงจรกรองความถี่ ตัวเหนี่ยวนำต้องทนทานกับกระแสโหลดและรวมไปถึงตัวเก็บประจุด้วย ตัวเหนี่ยวนำในอุดมคติเป็นแกนอากาศแต่ด้วยขนาดและจำนวนรอบของมันไม่มีประสิทธิภาพดีพอเมื่อนำมาใช้งานจริง ดังนั้นแกนที่มักจะถูกเลือกนำมาใช้มักจะเป็นแกนที่ใช้จำนวนรอบที่น้อยลงและมีการจำกัดผลของสนามแม่เหล็กเพื่อที่จะลดการแผ่รังสีของ EMI ลงได้ แกน IMHO, Toroids มักจะถูกเลือกใช้งานมากกว่าเพราะว่าคุณสมบัติของทั้งสองแบบจะปิดกั้นการแพร่ของสนามแม่เหล็กเพื่อควบคุมผลของ EMI อีกทั้งยังง่ายและประหยัดจำนวนรอบในการพัน

2.3.3 การป้อนกลับ

ตามที่ได้กล่าวมา ความผิดพลาดของเวลาในการทำงานสามารถเป็นเหตุให้เกิดเสียงรบกวนและความผิดเพี้ยนได้ สิ่งนี้ไม่สามารถละเลยได้ การออกแบบที่ดีควรจะทำให้ละเอียด

อย่างแน่นอน วงจรขยาย Class D แบบ Open-Loop ไม่ค่อยเป็นที่น่าพอใจนัก ดังนั้นวงจรเกือบทั้งหมดจะอยู่ในแบบวงจรป้อนกลับแบบลบซึ่งมีทางเลือกปฏิบัติอยู่หลายวิธี โดยส่วนมากและทั่วไปจะนำส่วนย่อยของสัญญาณสวิตชิ่ง ซึ่งทำได้จากวงจร Passive RC Low-Pass Filter แล้วป้อนสัญญาณนั้นกลับไปสู่วงจรขยายความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.14 วงจรขยายที่มีการป้อนกลับแบบลบ

หลักการง่ายๆ วงจรขยายความผิดพลาดจะเป็น Op-Amp ที่อยู่ในภาคของสัญญาณ ซึ่งจะทำการรวมสัญญาณอินพุทด้วยสัญญาณป้อนกลับเพื่อสร้าง Error signal ซึ่งวงจรขยายจะทำหน้าที่ในการลดทอนสัญญาณลงโดยอัตโนมัติ

2.3.4 โครงสร้างในรูปแบบอื่นๆ

การใช้หลักการ PWM ไม่ใช่เป็นหนทางเดียวในการสร้างวงจรขยายแบบ Class D ยังมีโครงสร้างอื่นๆหลายรูปแบบที่เกิดขึ้น โดยมากมีพื้นฐานอยู่ที่ Auto-oscillation โดยที่ใช้ค่า hysteresis ในตัวคอมพาราเตอร์ และค่า ดีเลย์ ระหว่างคอมพาราเตอร์ และภาคกำลัง สามารถถูกนำมาคิดเพื่อออกแบบระบบซึ่ง oscillate โดยตัวมันเองและเราสามารถควบคุมมันได้

การออกแบบ Self oscillating ก็มีปัญหาอื่นที่ยากพอสมควร เช่น ในบางวงจรก็ต้องการแรงที่มากระทำจึงจะเกิดการ oscillate ในทางกลับกันก็อาจต้องการเหตุที่ทำให้หยุดเช่นกัน และอาจลงท้ายด้วย MOSFET ทุกตัวทำงานตลอด และดังนั้นจะทำให้มีไฟฟ้ากระแสตรงจำนวนมากปรากฏที่ลำโพง จากนั้นลำโพงจะเสียหายในทันที เป็นที่แน่นอนว่าปัญหานี้สามารถแก้ไขได้โดยออกแบบวงจรให้สมบูรณ์ที่สุด

เพื่อความเพี้ยนของสัญญาณเอาท์พุทที่ต่ำในวงจรขยายแบบ PWM จึงต้องการสัญญาณสามเหลี่ยมที่เป็นเชิงเส้นสมบูรณ์มากที่สุด รวมไปถึงคอมพาราเตอร์ที่ทำงานเร็ว การทำงานที่ความถี่สูงต้องการภาวะที่ดีที่สุดในการทำงานทั้งหมด op-amp ที่ใช้ต้องมี Band width ที่กว้างมาก มีอัตราสรูว์ (Slew Rate) ที่สูงมากและเป็นเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีวงจรขยาย PWM ซึ่งก้าวเข้าสู่หลักการที่เป็นดิจิตอลอย่างแท้จริงโดยการใช้เทคโนโลยีที่เรียกว่า One-Bit หรือการสร้างสัญญาณ PWM โดยตรงจากข้อมูลแบบ PCM stream แม้ว่าการใช้แนวทางการสร้างแบบนี้จะให้ความละเอียดสัญญาณที่ดีกว่าแบบอื่นๆ แต่ในการสร้างภาคป้อนกลับสัญญาณในสัญญาณที่เป็นแบบดิจิตอลเป็นสิ่งที่ยากมาก และก็เป็นไปไม่ได้ที่จะไม่ใช้การประมวลผลสัญญาณดิจิตอล (Digital Signal Processing, DSP) หรือการหันไปพึ่งระบบการป้อนกลับแบบอะนาล็อก รวมไปถึงการเพิ่มเติม ADCs (Analog to Digital) และ DACs (Digital to Analog) ทำให้ส่วนนี้วงจรขยายแบบนี้ไม่ได้ดีกว่าวงจรแบบอะนาล็อกสักเท่าใดนัก

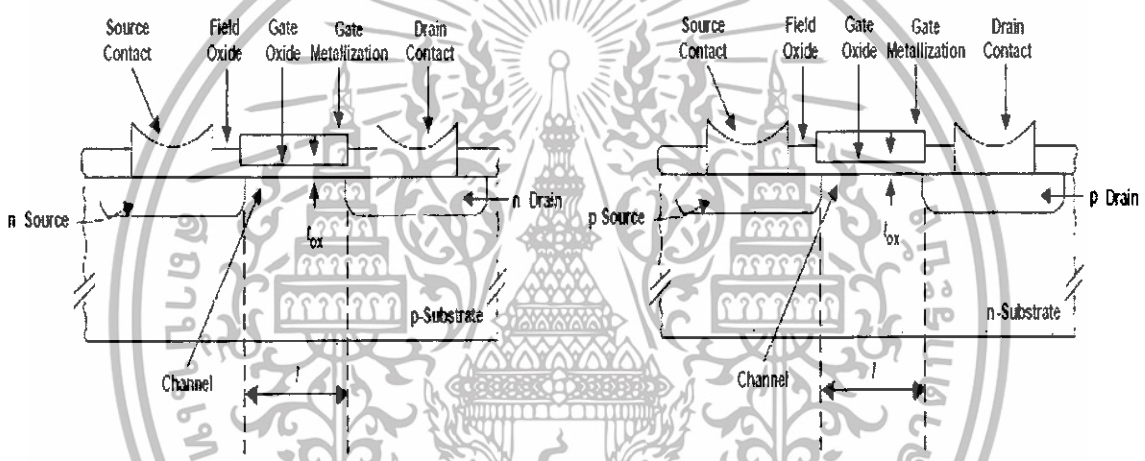
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

# Power MOSFET

## 3.1 ประเภทของ MOSFET

MOSFET เป็นอุปกรณ์ที่มี 3 ขั้ว คือ ขั้วซอร์ส (Source ;S), เดรน (Drain ; D), และเกต (Gate ; G) แบ่งออกเป็น 2 ประเภทคือ MOSFET แบบดีพลีชั่น (Depletion MOSFET) และ MOSFET แบบเอนฮานซ์เมนต์ (Enhancement MOSFET) แต่ละประเภทยังแบ่งออกเป็น 2 แบบคือ แชนแนล n (n-Channel) และแชนแนล p (p-Channel)




รูปที่ 3.1 MOSFET แบบ n-Channel และ p-Channel

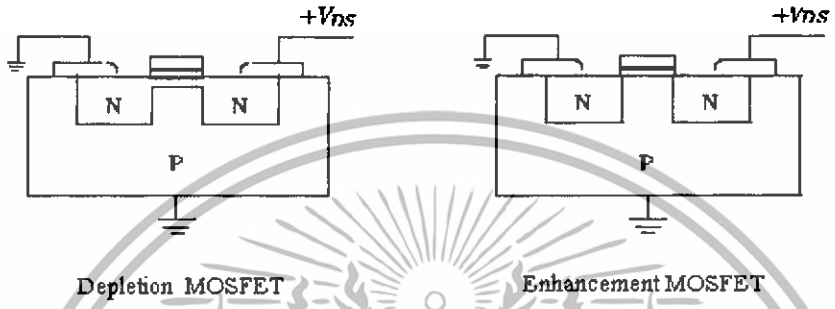
โครงสร้างของ MOSFET ดีพลีชั่นแบบแชนแนล n ในรูป3.2 ประกอบด้วยสารกึ่งตัวนำชนิด p ซึ่งสร้างจากซิลิคอนและเรียกว่าแผ่นผลึกฐาน p (p- type Substrate) โดยขั้ว D และขั้ว S ต่อกับบริเวณที่มีการกระตุ้นหรือการโดปให้เป็นบริเวณสารกึ่งตัวนำ n (n- doped Region; $n^+$) บริเวณสารกึ่งตัวนำ n ทั้งสองส่วนนี้ต่อกับวัสดุนอกที่เป็นโลหะ (Metal) โดยมีซิลิคอนไดออกไซด์ ($SiO_2$) กั้นระหว่างแชนแนล n กับขั้ว G (ซิลิกอนไดออกไซด์เป็นฉนวนประเภทไดอิเล็กทริก)

ถ้าแรงดันเกท-ซอร์ส ($V_{GS}$) มีค่าเป็นลบอิเล็กตรอนบางส่วนในแชนแนล n สร้างบริเวณปลอดพาหะ(Depletion Region) ภายใต้ชั้นออกไซด์ ทำให้แชนแนลแคบลง ความต้านทานจากขั้วเดรนไปซอร์ส ($R_{DS}$) เริ่มมีค่าสูง เมื่อ $V_{GS}$ มีค่าเป็นลบเพียงพอแชนแนลจะหายไป $R_{DS}$ จึงมีค่าสูง และไม่มีกระแสไหลจากขั้วเดรนไปซอร์สนั่นคือ $I_{DS} = 0$ ระดับ $V_{GS}$ นี้เรียกว่า แรงดันพินช์ออฟ (Pinch – off Voltage ; Vp)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางตรงข้ามถ้า $V_{GS}$ เป็นบวก แชนแนลจะกว้างขึ้นเป็นผลให้ $I_{DS}$ มีค่าเพิ่มขึ้น อันเนื่องจาก $R_{DS}$ มีค่าลดลง

หลักการที่กล่าวมานี้ ใช้ได้กับ MOSFET ดีพลีชั่น แบบ แชนแนล p โดยขั้วของ $V_{DS}$, $I_{DS}$ และ $V_{GS}$ เปลี่ยนเป็นขั้วตรงข้ามกับกรณี MOSFET ดีพลีชั่นแบบแชนแนล n




รูปที่ 3.2 แสดงโครงสร้าง MOSFET

MOSFETเอนฮานซ์เมนต์ แบบแชนแนล n นั้นไม่มีแชนแนล ดังรูป3.2 ถ้า $V_{GS}$ เป็นบวก แรงดันเหนี่ยวนำจะดึงดูดอิเล็กตรอนจากแผ่นผลึกฐาน p และรวบรวมไว้ที่ผิวภายในชั้นออกไซด์ ถ้า $V_{GS}$ มากกว่า หรือเท่ากับค่าแรงดันเธรสโฮลด์ (Threshold Voltage; $V_T$) จึงไม่มีกระแสไหลจากเดรนไปซอร์ส ($I_{DS}$)

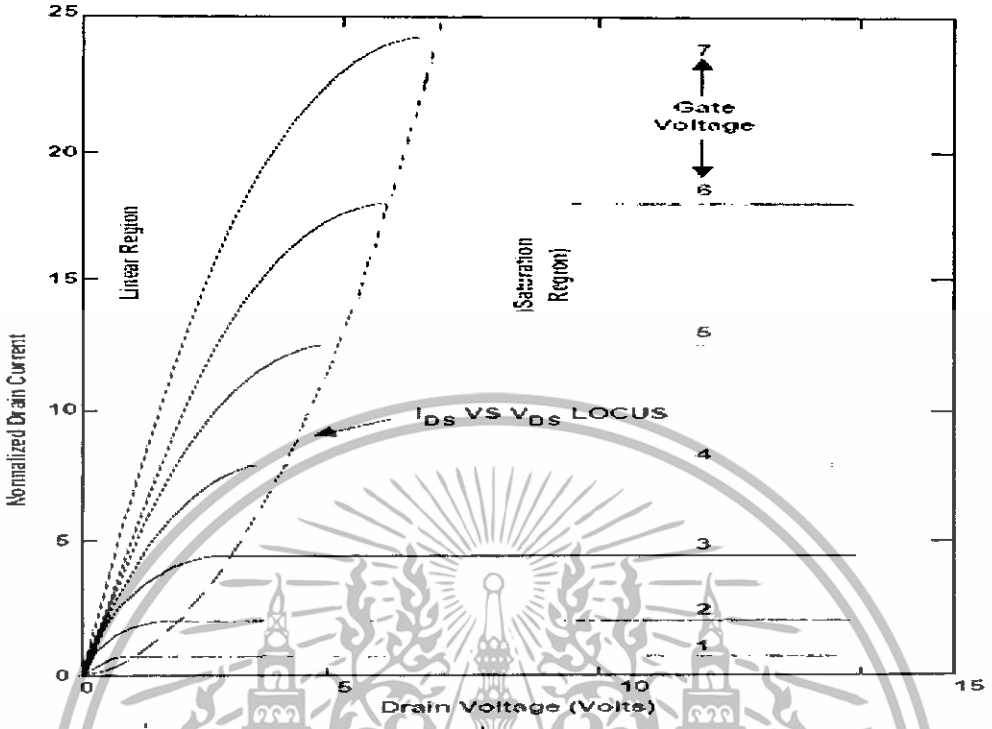
หลักการที่กล่าวมานี้ ใช้ได้กับ MOSFET แบบดีพลีชั่นแบบแชนแนล p โดยขั้วของ $V_{DS}$, $I_{DS}$ และ $V_{GS}$ เปลี่ยนเป็นขั้วตรงข้ามกับกรณี MOSFETเอนฮานซ์เมนต์ แบบแชนแนล n

**3.2 คุณลักษณะของMOSFET**

MOSFETเป็นอุปกรณ์ประเภทใช้แรงดันในการควบคุมและมีอิมพีแดนซ์อินพุทสูง ขั้วเกทจะดึงกระแสรั่วไหลต่ำมากแค่นาโนแอมป์ และเราทราบว่าทรานส์คอนดักแตนซ์ (Tranconductance ; gm) ซึ่งเป็นอัตราส่วนของ $I_D$ ต่อแรงดันเกท ($V_G$) เป็นตัวกำหนดคุณลักษณะการถ่ายโอนของMOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

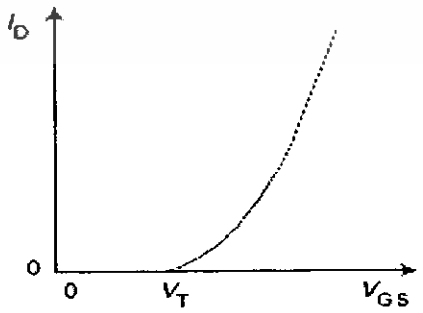
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง




รูปที่ 3.3 กราฟแสดงความสัมพันธ์ของกระแสกับแรงดันของMOSFET

คุณลักษณะในการถ่ายโอนของMOSFETเอนฮานซ์เมนต์ แบบแชนแนล n และแบบแชนแนล p เป็นดังรูป 3.4 ส่วนรูป 3.3 แสดงคุณลักษณะเอาต์พุทของ MOSFET เอนฮานซ์เมนต์แบบแชนแนล n ซึ่งมีบริเวณการทำงาน 3 บริเวณ คือ

1. บริเวณคัทออฟ (Cutoff Region) เกิดขึ้นเมื่อ $V_{GS} \leq V_T$
2. บริเวณพินช์ออฟหรือบริเวณอิ่มตัว (Pinch – off or Saturation Region ) เกิดขึ้นเมื่อ $V_{DS} \geq V_{GS} - V_T$
3. บริเวณที่เป็นเชิงเส้น (Linear Region ) เกิดขึ้นเมื่อ $V_{DS} \leq V_{GS} - V_T$




รูปที่ 3.4 แสดง MOSFET Transfer Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
72752

ในบริเวณที่เป็นเชิงเส้น $I_D$ จะเปลี่ยนแปลงตามสัดส่วนของ $V_{DS}$ และเนื่องจาก $I_D$ มีค่าสูง ขณะ $V_D$ มีค่าต่ำ MOSFETเอนฮานซ์เมนต์ จึงใช้บริเวณที่เป็นเชิงเส้นนี้สำหรับแสดงปฏิกิริยาในการสวิตช์

สำหรับ MOSFET ดีพลีชั่น แรงดันเกท (หรือแรงดันอินพุท) อาจเป็นบวกหรือลบก็ได้แต่มอสเฟทเอนฮานซ์เมนต์ ตอบสนองกับแรงดันบวกเพียงอย่างเดียว ตามปกติ MOSFET กำลังมักเป็นพวก MOSFET เอนฮานซ์เมนต์เท่านั้น

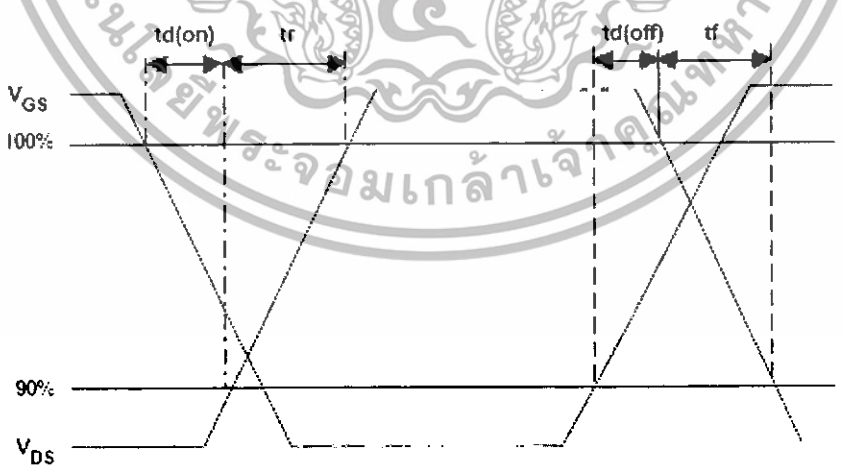
### 3.3 ประโยชน์และการใช้งานของ MOSFET กำลัง

เนื่องจากMOSFETกำลัง มีความเร็วในการสวิตช์สูงมาก (เป็น nanosecond) จึงเหมาะกับการแปลงผันที่มีความถี่สูงและมีกำลังไฟฟ้าต่ำ

แต่อย่างไรก็ตามMOSFETเอนฮานซ์เมนต์จะมีปัญหาในการคายประจุไฟฟ้าสถิตย์ (Electrostatic Discharge) ภายในตัวเองจึงต้องบำรุงรักษาเป็นพิเศษ นอกจากนี้การป้องกันMOSFET ขณะเกิดฟอลต์ แบบลัดวงจร (Short circuit Fault) ยังทำได้ค่อนข้างยาก

3.3.1 คุณลักษณะในการสวิตช์ (Switching Characteristics)

ผลกระทบที่เกิดจากคาปาซิเตอร์บริเวณรอยต่อของสารกึ่งตัวนำภายในMOSFETเอนฮานซ์เมนต์ ทำให้เขียนรูปคลื่นในการสวิตช์ดังรูป



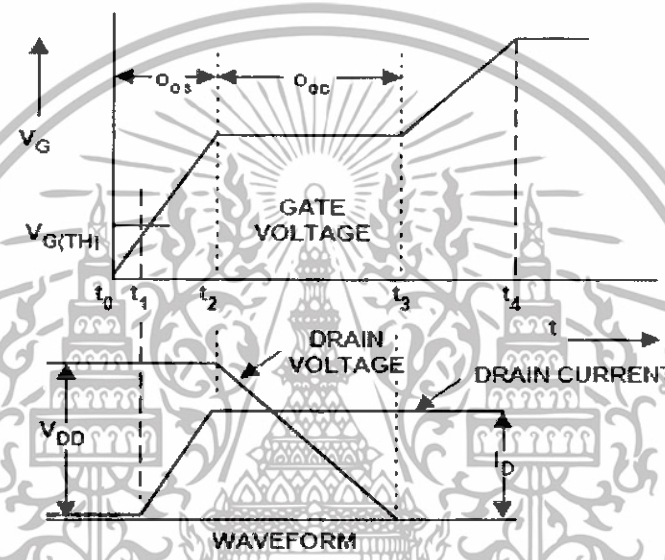

รูปที่ 3.5 แสดงรูปคลื่นการสวิตช์ของ MOSFET

เมื่อป้อนแรงดันเกทเพิ่มจากศูนย์ถึง $V_T$ เวลาที่ใช้ในการอัดประจุคาปาซิเตอร์ (ภายในตัวของมอสเฟทเอนฮานซ์เมนต์ ) ให้มีค่าถึงระดับแรงดันเธรสโฮลด์ ($V_T$) เราเรียกว่าช่วงเวลาเปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Turn- on Delay Time ; $t_{d(on)}$ ) และช่วงเวลาขาขึ้น ($t_r$) เป็นเวลาอัดประจุจากระดับ $V_T$ จนกระทั่งมีค่าถึงระดับแรงดันเกทเต็มที่ ( Full Gate Voltage ; $V_{GSP}$ ) ซึ่งใช้ในการขับ MOSFET ไปสู่บริเวณเชิงเส้น

เวลาที่คาปาซิเตอร์ในการคายประจุจาก $V_P$ ไปจนถึงบริเวณพินช์ออฟ เรียกว่าช่วงเวลาดีเลย์ในการปิด ( Turn – off Delay Time ; $t_{d(off)}$ ) และช่วงเวลาขาลง ($t_f$) เป็นเวลาที่คาปาซิเตอร์ใช้ในการคายประจุจากบริเวณพินช์ออฟจนถึง $V_T$ ( ถ้า $V_{GS} \leq V_T$ MOSFETจะปิด )




รูปที่ 3.6 แสดงผลของคาปาซิเตอร์แฝงใน MOSFET ที่มีต่อสัญญาณอินพุทและเอาท์พุท

**3.4 การเลือก MOSFET สำหรับวงจรขยาย Class D**

เนื่องจากวงจรขยาย Class D มีการทำงานในลักษณะสวิตชิ่งตามสัญญาณ PWM ซึ่งมีความถี่ที่สูง มีวงจรขยายกำลัง และส่วนของ Low-pass Filter ซึ่งยังอาจมีประสิทธิภาพที่สูงมากกว่า 90 % โดยมี Total Harmonic Distortion (THD) ที่ต่ำกว่า 0.01% และยังมีสัญญาณ EMI ต่ำ

ส่วนหนึ่งที่สำคัญที่จะสามารถทำให้วงจรขยาย Class-D สามารถปฏิบัติงานได้คุณสมบัติที่ดีเช่นนั้นได้ส่วนหนึ่งมาจากการสวิตช์ในวงจร Bridge โดยกำลังงานสูญเสีย ค่าดีเลย์ของสัญญาณ และ Current transient spikes ควรจะถูกทำให้มีค่าต่ำสุดเท่าที่จะเป็นไปได้ เพราะฉะนั้นอุปกรณ์ที่ใช้ในการสวิตช์ควรจะมีคุณสมบัติที่มีแรงดันตกคร่อมที่ตัวสวิตช์น้อย มีความเร็วในการ ON-OFF สูง และมีค่าความเหนี่ยวนำแฝงที่น้อย

MOSFETมีคุณสมบัติที่เหมาะสมมากในการใช้งานเป็นอุปกรณ์สวิตช์เพราะมีความเร็วในการสวิตช์ที่ค่อนข้างเร็วกว่าอุปกรณ์อื่นๆเช่น IGBT หรือ BJT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.5 จุดสำคัญในการเลือก MOSFET สำหรับวงจรขยาย Class-D

1. Drain-Source Breakdown Voltage, $BV_{DSS}$

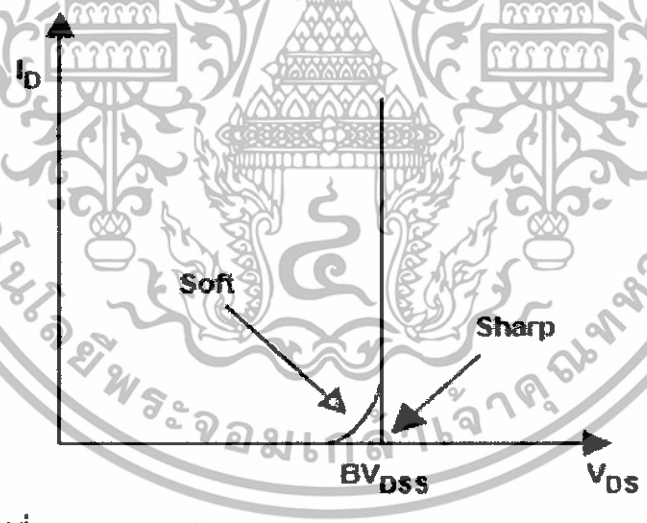
เป็นสิ่งแรกที่ควรพิจารณาในการเลือกMOSFET โดยที่ค่า $BV_{DSS}$ ที่น้อยที่สุดที่ต้องการขึ้นอยู่กับกำลังงานเอาท์พุท ความต้านทานโหลด โครงสร้างวงจร Bridge และค่าอื่นที่สัมพันธ์ที่จะทำให้เกิดปัญหาหรือ Safety Margin ตามสมการดังนี้

$$BV_{DSS\ min\ (Full\text{-}Bridge)} = [\sqrt{(2 * Pout * R_{load})}]/ M + \text{ค่าสัมพันธ์ที่จะทำให้เกิดปัญหา} \quad (3.1)$$

$$BV_{DSS\ min\ (half\text{-}Bridge)} = 2* [\sqrt{(2 * Pout * R_{load})}]/ M + \text{ค่าสัมพันธ์ที่จะทำให้เกิดปัญหา} \quad (3.2)$$

ซึ่ง M เป็นค่า Modulation factor

ซึ่งโดยสรุปแล้ว ค่าอัตราแรงดันของ MOSFET ควรจะเลือกที่มีค่ามากเพียงพอที่หลีกเลี่ยงการเกิด Avalanche ขึ้นในการทำงาน




รูปที่ 3.7 แสดงคุณลักษณะ Breakdown Voltage ของ MOSFET

2. Static Drain-to-Source On-Resistor, $R_{DS\ (on)}$

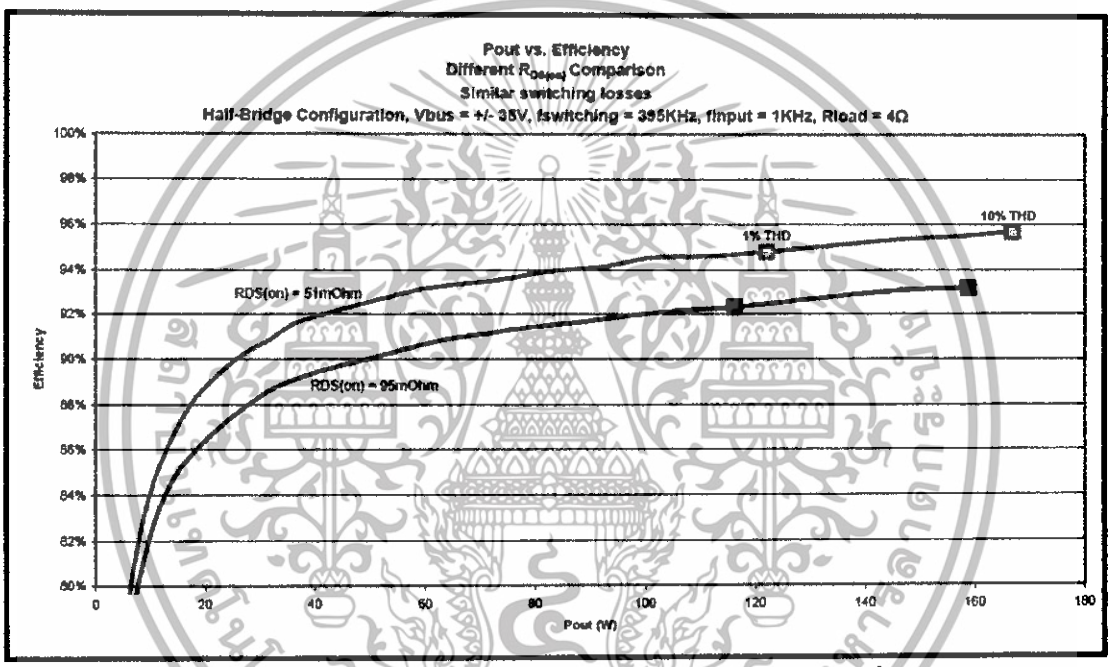
ประสิทธิภาพวงจรขยายมีส่วนสัมพันธ์กับกำลังงานสูญเสียทั้งหมดของMOSFET กำลังงานสูญเสียนี้เกิดจากการทำงานของMOSFET การสวิตช์และการสูญเสียจากประจุไฟฟ้าที่ขาเกท และมากกว่านั้น ก็เกิดจากอุณหภูมิที่รอยต่อภายในMOSFET ($T_J$) ทำให้ขนาดของแผ่นระบายความร้อน (Heatsink) ขึ้นอยู่กับการสูญเสียทางอุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสูญเสียในตัวของMOSFETเป็นผลโดยตรงจาก $R_{DS\ (on)}$ ซึ่ง $R_{DS\ (on)}$ ก็คือความต้านทานจากขาเดรนถึงขาซอร์สในขณะทำงานซึ่งสามารถหากำลังงานการสูญเสียได้โดย

$$P_{losses} = (I_{D\ RMS})^2 * R_{DS\ (on)} \quad (3.3)$$

โดยค่า $R_{DS\ (on)}$ ขึ้นอยู่กับอุณหภูมิโดยจะเพิ่มขึ้นตาม $T_j$ มันเป็นความสำคัญยิ่งว่าค่าของ $T_j$ ที่มากที่สุดไม่ควรมากกว่าที่ระบุในคู่มือของMOSFETแต่ละเบอร์ในขณะที่มันทำงาน เพราะฉะนั้นค่า $R_{DS(ON)}$ ที่น้อยก็จะลดค่ากำลังงานสูญเสียลงไปด้วยและช่วยเพิ่มประสิทธิภาพของวงจรขยายอีกด้วย




รูปที่ 3.8 กราฟประสิทธิภาพวงจรขยายที่มี $R_{DS\ (on)}$ ของMOSFETที่ต่างกัน

3. Gate Charge, Qg

การชาร์จประจุ Qg ของ MOSFET จะเกิดขึ้นเมื่อช่วงเวลา Turn-on ซึ่งเป็นค่าที่สำคัญโดยตรงที่สัมพันธ์กับความเร็วของMOSFET ค่าQg ที่น้อยทำให้มีความเร็วในการสวิตช์ที่มากกว่าและมีการสูญเสียที่เกทน้อยกว่า การสูญเสียในการสวิตช์ของ MOSFET สามารถหาได้โดย

$$P_{TOTAL\ SWITCHING} = P_{SWITCHING} + P_{GATE} \quad (3.4)$$

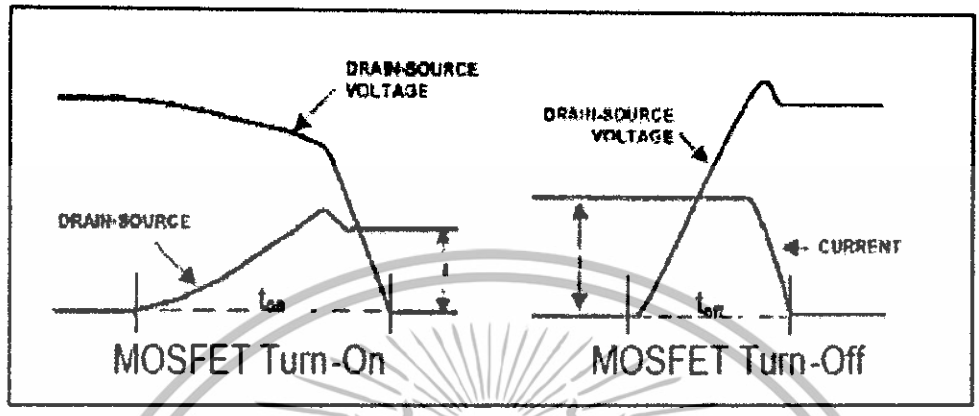
การสูญเสียในการสวิตช์เป็นผลของเวลา Turn-on และ Turn-off ของMOSFETโดยคำนวณได้จากการคูณกันของพลังงานการสวิตช์ $E_{sw}$ กับความถี่ PWM $f_{sw}$

$$P_{SWITCHING} = E_{SW} * f_{SW} \quad (3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และพลังงานการสวิตช์ $E_{sw}$ หาได้โดย

$$E_{sw} = \int_0^t V_{DS}(t) * I_D(t)\, dt \qquad ; t \text{ คือความยาวของ switching pulse} \qquad (3.6)$$




รูปที่ 3.9 สัญญาณการ Turn-on และ Turn-off ของMOSFET

ค่าการสูญเสียในการสวิตช์ที่สามารถยอมรับได้หาได้จากการใช้คุณลักษณะของวงจรขยายและพารามิเตอร์ของ MOSFET ตามคู่มือ

$$P_{SWITCHING} = [0.5 * I_D * Vbus * (t_r + t_f) * f_{sw}] + [0.5 * C_{oss} * Vbus^2 * f_{sw}] + [K * 0.5 * Q_{rr} * Vbus * f_{sw}] \qquad (3.7)$$

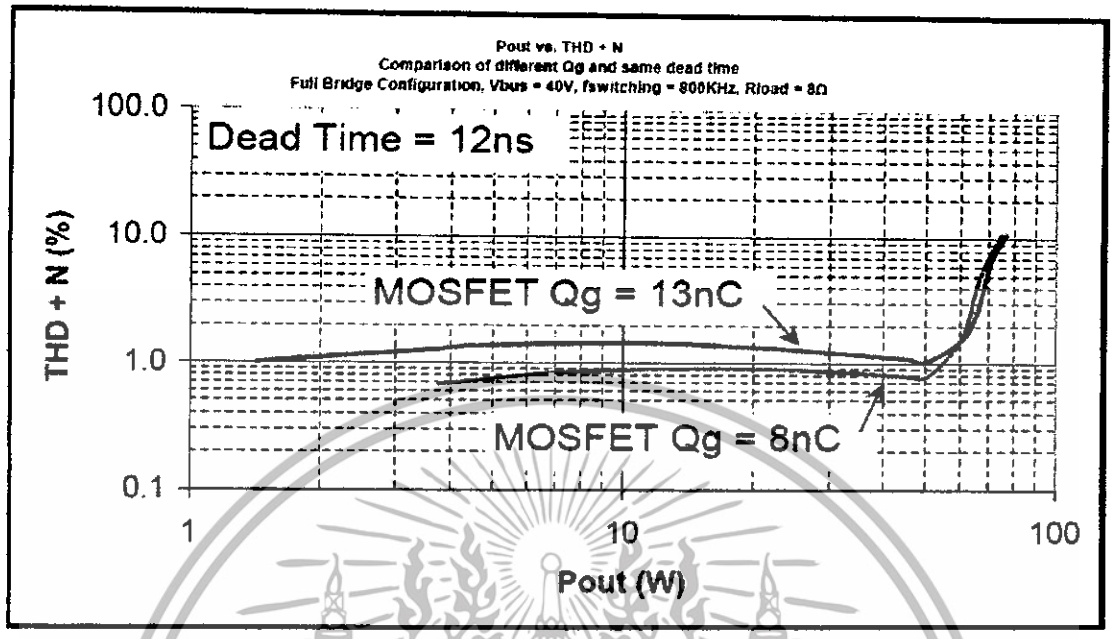
โดย Vbus เป็นแรงดันไฟเลี้ยงของวงจร, $t_r$ และ $t_f$ เป็น rise-time และ fall-time ของMOSFET, $C_{oss}$ คือค่าความจุทางเอาท์พุทMOSFET, $Q_{rr}$ เป็นประจุพื้นตัวกลับของไดโอดภายใน MOSFET และค่าK เป็นค่าตัวประกอบจาก $T_j$ , ในส่วนของการสูญเสียที่เกทหาได้โดย

$$P_{GATE} = 2 * Qg * Vdriver * f_{sw} \qquad ; Vdriver \text{ คือแรงดันของตัวขับเกท} \qquad (3.8)$$

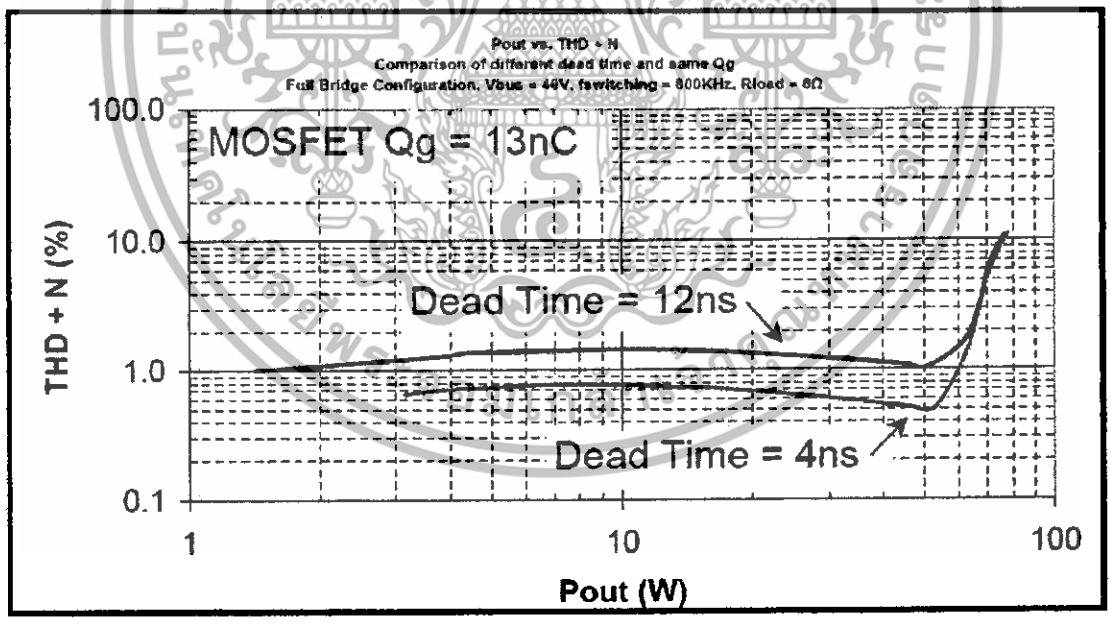
วงจรขยายยังได้รับผลกระทบจากความผิดพลาดของเวลาการสวิตช์เช่น Turn-on และ Turn-off Delay ของ MOSFET และจากค่า Qg ที่มาก อย่างไรก็ตามค่าเวลาของ MOSFET ไม่เป็นผลมากนักเมื่อเทียบกับ Dead time ซึ่งเราต้องเลือก MOSFET ให้เหมาะสมกับ Dead time

เพราะฉะนั้น Qg มีความสัมพันธ์กับประสิทธิภาพและความเป็นเชิงเส้น Qg ควรมีค่าที่น้อยเป็นหลักเพื่อลดการสูญเสียในการสวิตช์ให้น้อยและเพิ่มประสิทธิภาพให้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

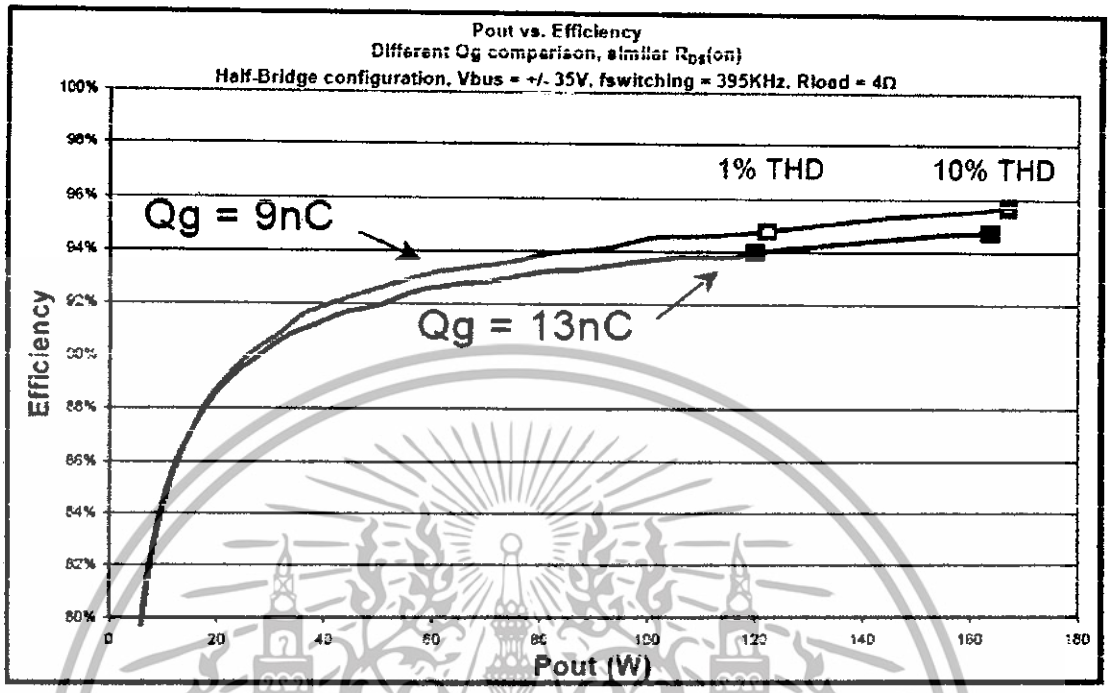



รูปที่ 3.10 กราฟแสดงค่า THD+N โดยที่MOSFETมีค่าQg ต่างกันแต่ Dead time เท่ากัน




รูปที่ 3.11 กราฟแสดงค่า THD+N โดยที่MOSFETมีค่าQ g เท่ากันแต่ Dead time ต่างกัน

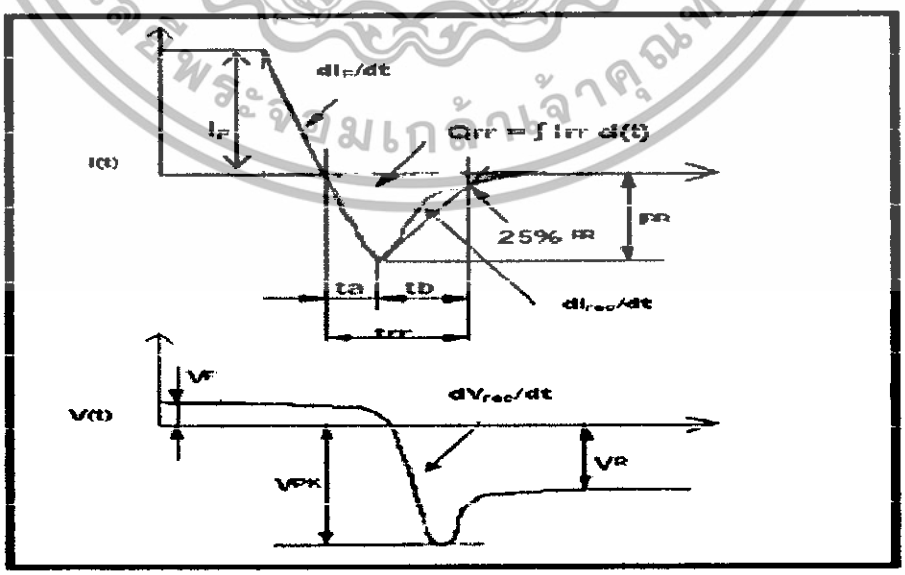
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.12 กราฟแสดงประสิทธิภาพวงจรขยายซึ่งMOSFETมีค่า Qg ต่างกันแต่ $R_{DS(on)}$ เท่ากัน

4. Body Diode Reverse Recovery Charge, Qrr

โครงสร้างของ MOSFET ภายในจะมีไดโอดแฝงภายใน และคุณลักษณะฟื้นตัวของมันก็มีผลกับการทำงานของวงจรขยายอีกด้วย Qrr ถูกกำหนดพื้นที่ภายใต้ $I_{rr}$ ในระหว่าง $t_{rr}$ ,Qrr หาได้จาก $I_F$ และ $dI_F/dt$ และมันก็ยังเพิ่มขึ้นตามอุณหภูมิ



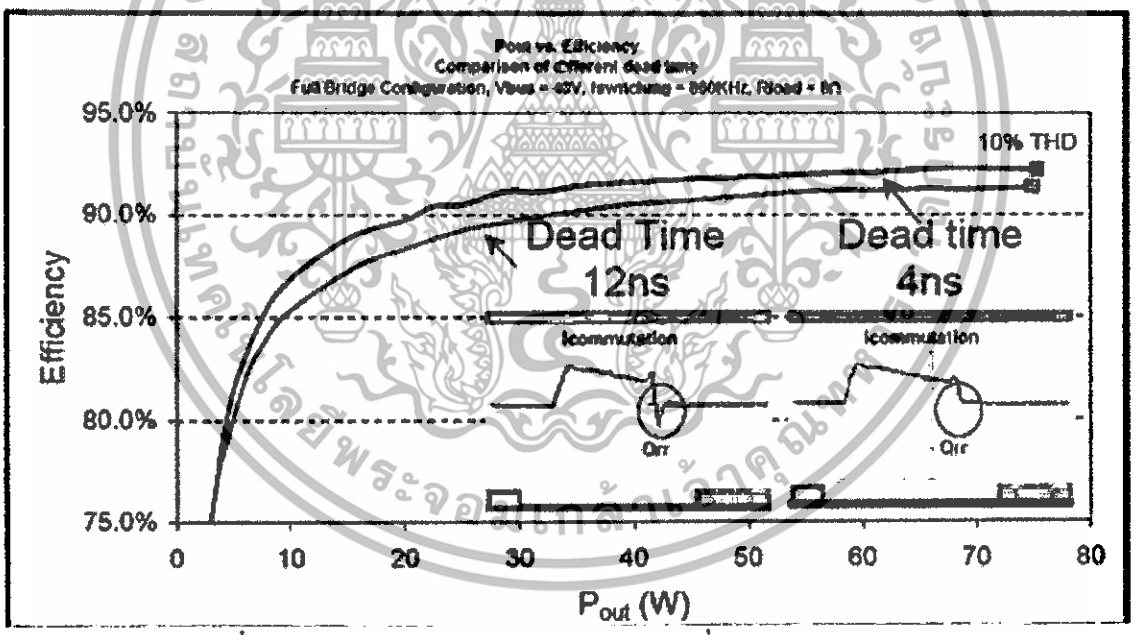

รูปที่ 3.13 แสดง Body diode reverse recovery waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Qrr มีผลกระทบกับประสิทธิภาพของวงจรขยาย การเลือกเวลา dead time ที่ถูกต้องสามารถปรับปรุงประสิทธิภาพได้เนื่องจาก Qrr จะลดลง การลด dead time ให้น้อยเป็นเหตุให้อาจเสี่ยงกับการเกิด shoot through ฉะนั้นการเลือก Dead time ที่เหมาะสมจะช่วยลด Qrr และปรับปรุงประสิทธิภาพและความเป็นเชิงเส้นมากขึ้น

นอกจากนี้ Qrr ก็มีความสัมพันธ์กับ EMI อีกด้วย กระแสฟื้นตัวกลับที่สูง $dI_{rec}/dt$ สร้าง $dV_{rec}/dt$ สูงและมีผลลัพธ์ในกระแสความถี่สูงขนาดใหญ่และแรงดัน ringing transients ในMOSFET เนื่องจาก ตัวเหนี่ยวนำและตัวเก็บประจุแฝงในวงจรขยาย การแผ่รังสีที่เพิ่มขึ้นและเหนี่ยวนำสัญญาณรบกวน EMI เพราะฉะนั้น การฟื้นตัวที่น้อยกว่าและเบากว่าเป็นพื้นฐานที่จะหลีกเลี่ยง transients นี้ให้สร้าง EMI

ดังนั้นการฟื้นตัวกลับที่นุ่มนวลและเล็กกว่าช่วยปรับปรุงประสิทธิภาพและลดผลของ EMI ได้ เนื่องจากลดการสูญเสียการสวิตช์ของMOSFETและกระแสกับแรงดัน transient ringing

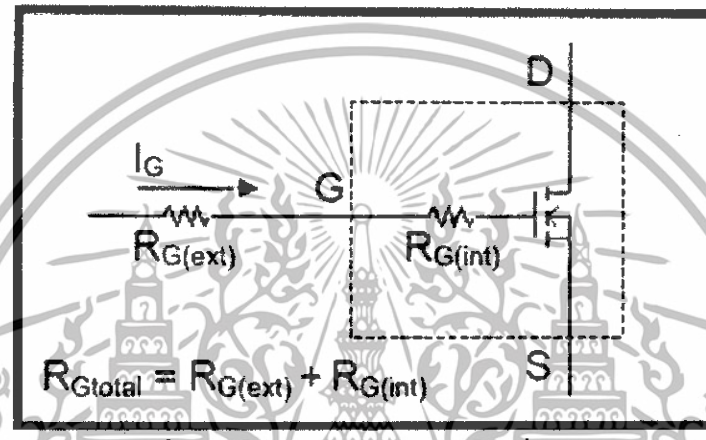



รูปที่ 3.14 แสดงประสิทธิภาพของวงจรขยายที่ Dead time ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Internal Gate Resistance, $R_{G(int)}$

ค่าของ $R_{G(int)}$ จะแปรผันตรงกับอุณหภูมิโดยจะเพิ่มขึ้นตามอุณหภูมิ ซึ่งค่าพารามิเตอร์นี้มีผลกับเวลาในการ ON-OFF ของ MOSFET, $R_{G(int)}$ ที่สูงจะเพิ่มความต้านทานที่ขาเกท, ลดกระแสเกท, เพิ่มเวลาการสวิตช์ และทำให้เกิดการสูญเสียในการสวิตช์ มากกว่านั้นก็ยังมีผลกับการควบคุม dead time ถ้าค่า $R_{G(int)}$ มีมากเกินไป เพราะฉะนั้นค่า$R_{G(int)}$ ควรถูกนำมาพิจารณาเสมอ




รูปที่ 3.15 แสดงความต้านทานรวมที่ขาเกท

6. Maximum Junction Temperature, $T_j$

ค่าของ $T_j$ นี้ไม่ได้มีผลโดยตรงกับการทำงานของวงจรขยาย แต่อย่างไรก็ดีก็ยังต้องนำมาพิจารณาเพราะว่ามันมีความหมายในการที่จะกำหนดขนาดของแผ่นระบายความร้อน MOSFET ที่มีค่าของ $T_j$ ที่สูงจะผลให้เกิดกำลังงานสูญเสียมากกว่า และดังนั้น MOSFET ที่มี $T_j$ ที่น้อยกว่าจะช่วยลดขนาดของแผ่นระบายความร้อนและขนาดวงจรและราคา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# วงจรกรองความถี่ต่ำผ่าน

เป้าหมายหลักของวงจรกรองความถี่ต่ำผ่านนั่นก็คือ การลดทอนส่วนประกอบของความถี่สูงในสัญญาณสวิตชิ่งลงและรักษาสัญญาณเสียงที่เราต้องการเอาไว้ คุณลักษณะที่สำคัญของวงจรกรองความถี่ต่ำที่ดีคือจะต้องมีอัตราขยายที่คงที่ในแถบความถี่ที่ใช้งานและลดทอนลงในแถบความที่ที่ไม่ต้องการ อันดับของวงจรกรองความถี่จะกำหนดจำนวนของ pole ซึ่งความถี่สวิตชิ่งของวงจรขยายแบบ Class-D มีผลกับการเลือกอันดับของการกรองความถี่ ในความถี่ที่สูงๆก็จะลดอันดับของการกรองความถี่ที่ต่ำลง ซึ่งก็ดูเหมือนว่ายิ่งใช้ความถี่ที่สูงมากๆก็ยิ่งดี แต่แท้ที่จริงแล้วถ้าเราใช้ความถี่สูงมากเกินไปผลที่ตามมาก็คือกำลังงานสูญเสียจะมีมากขึ้น มีการรบกวนจาก EMI มากขึ้นและยังลดประสิทธิภาพของวงจรลงอีกด้วย

## 4.1 รูปแบบของวงจงกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านมีการคิดค้นคุณลักษณะของวงจรออกมาหลากหลายแบบซึ่งแต่ละแบบก็มีคุณสมบัติที่แตกต่างกันออกไป

วงจรกรองความถี่แบบบัตเตอร์เวิร์ท (Butterworth Filter) มีคุณลักษณะการตอบสนองความถี่ที่เหมาะสมมาก ให้การตอบสนองความถี่ในแถบความถี่ที่ใช้งานค่อนข้างราบเรียบมีการเลื่อนเฟสสัญญาณน้อยมาก วงจรกรองความถี่แบบบัตเตอร์เวิร์ทอันดับ 4 จะมีความชันการคัทออฟสัญญาณอยู่ที่ 80 dB/decade

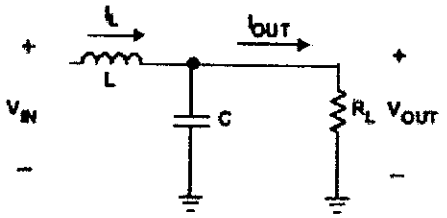
วงจรกรองความถี่แบบเชบายเชฟ (Chebychev Filter) จะมีความชันในการคัทออฟสัญญาณมากกว่าแบบบัตเตอร์เวิร์ทเล็กน้อย แต่ก็มีการเลื่อนเฟสสัญญาณที่สูงกว่าเล็กน้อยเช่นกัน

วงจรกรองความถี่แบบเบสเซล (Bessel Filter) เหมาะสมสำหรับการให้สัญญาณที่ไม่ต้องการการเลื่อนเฟสหรือการตอบสนองแบบสเต็ป (Step Respond) ที่ไม่มีโอเวอร์ชูต (Over Shoot) และการตอบสนองแบบอิมพัลส์ที่ไม่เกิดการออสซิลเลท แต่การตอบสนองความถี่ไม่ค่อยถูกเลือกใช้งานนักเมื่อเทียบกับแบบอื่นๆ เนื่องจากความชันกรองความถี่ค่อนข้างน้อยกว่าแบบอื่นๆ

## 4.2 การตอบสนองความถี่ของวงจรกรองความถี่แบบ LC

วงจรกรองความถี่แบบ LC จะช่วยลดทอนความถี่สูงของสัญญาณสวิตชิ่งลง โดยตัวอย่างการใช้งานแสดงดังรูปที่ 4.1 ซึ่งเป็นวงจรกรองความถี่อันดับสองต่อกันในลักษณะที่เรียกว่า Single-ended operation

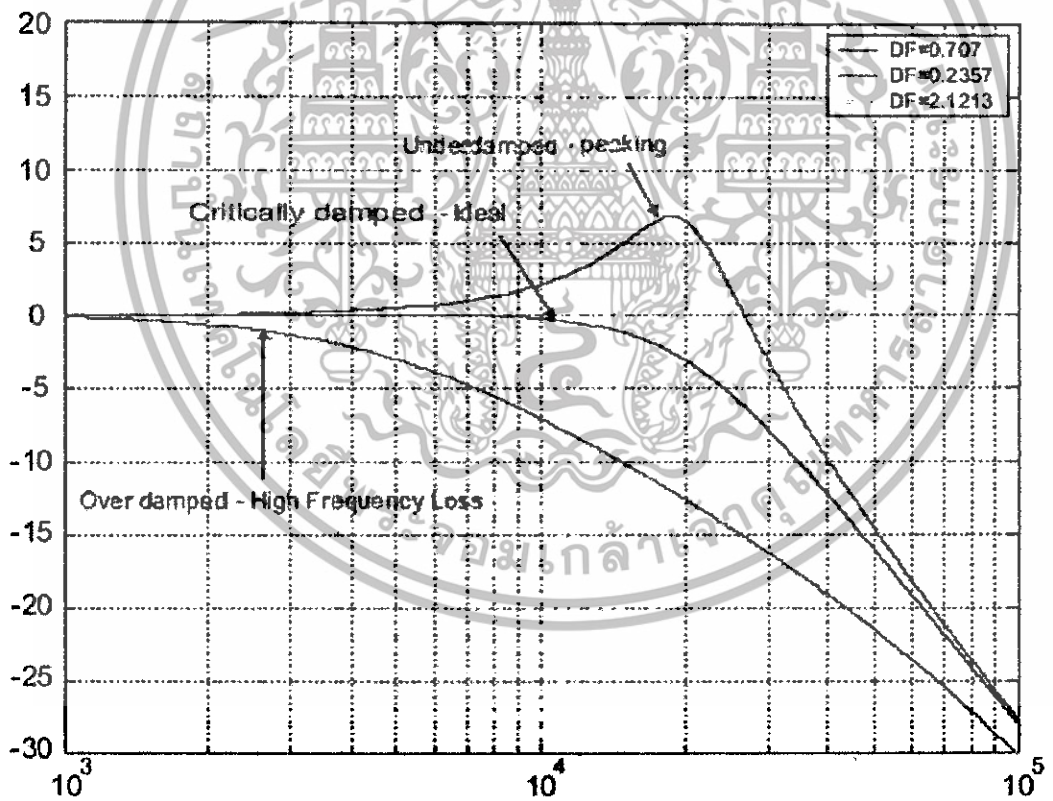
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.1 วงจรกรองความถี่ต่ำผ่านแบบ LC Single-ended operation

อันดับแรกของการออกแบบคือการหา Transfer Function ของวงจรโดยการใช้หลักการของวงจรแบ่งแรงดัน โดยจากวงจรก็จะได้ Transfer Function ซึ่งจะถูกแปลงค่าของ L และ C ในรูปแบบของ S-Domain โดยการแทน L = sL และ C = 1/sC แล้วทำการหา Transfer Function จะได้

$$H(s) = Vo(s) / Vin(s) = (1/LC) / [s^2 + (1/RC)s + (1/LC)] \quad (4.1)$$




รูปที่ 4.2 กราฟแสดงผลของ Damping Factor บนการตอบสนองความถี่

จากรูปที่ 4.2 กราฟแสดงผลของ Damping Factor บนการตอบสนองความถี่เห็นชัดว่าเราไม่ควรที่จะเลือกการตอบสนองความถี่ในลักษณะ under damped เนื่องจากวงจรจะตอบสนอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่เสียงที่อยู่ในช่วงความถี่สูงได้ดีทำให้เสียงที่ออกมาดังแสบแก้วหูมนุษย์ และในลักษณะ over damped ก็เช่นกันจะมีการลดทอนในช่วงความถี่ที่เราใช้งานทำให้เกิดการสูญเสียขึ้น

วงจรที่เรานำมาใช้งานที่เหมาะสมจะแบบบัตเตอร์เวิร์ท อันดับ 2 เนื่องจากมีความราบเรียบที่ดีในช่วงแถบความถี่ที่ใช้งานและมีการตอบสนองทางเฟสที่ดี

จากสมการของการประมาณค่าแบบบัตเตอร์เวิร์ทในวงจรกรองความถี่ต่ำอันดับที่สองคือ

$$H(s) = 1 / [s^2 + \sqrt{2}\, s + 1] \quad (4.2)$$

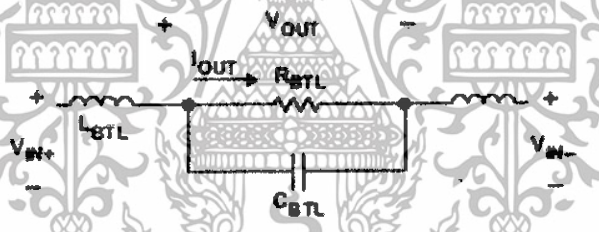
ทำการแปลงสมการที่ 4.1 ให้เท่ากับสมการที่ 4.2 ทำการหาค่าของ L และ C จะได้

$$C = 1 / [\omega_0 \times R_L \times \sqrt{2}] \quad (4.3)$$

$$L = [R_L \times \sqrt{2}] / \omega_0 \quad (4.4)$$

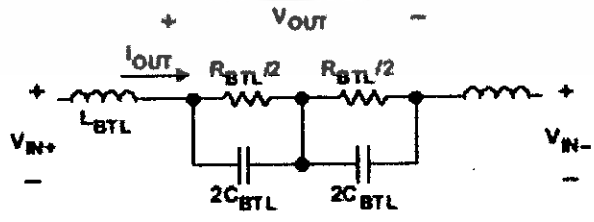
**4.3 วงจรกรองความถี่แบบ LC สำหรับวงจรขยายแบบ Bridge-Tied Load**

สำหรับวงจรขยายแบบ Bridge-Tied Load (วงจรขยายภาคเอาท์พุทเป็นแบบ Bridge, BTL) วงจรกรองความถี่จะถูกใช้สำหรับสัญญาณด้าน positive และ negative โดยวงจรแสดงดังรูป 4.3




รูปที่ 4.3 วงจรกรองความถี่ต่ำผ่านสำหรับวงจรแบบ Bridge

ในรูปแบบเดียวกัน วงจรจะเปรียบเสมือนมีวงจร Single-ended อยู่สองวงจรดังรูปที่ 4.4




รูปที่ 4.4 วงจรเสมือนของวงจรแบบ Bridge

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น การวิเคราะห์ทั้งหมดสำหรับวงจรแบบ Single-ended operation สามารถถูกดัดแปลงในรูปแบบ BTL ได้โดยขั้นตอนดังนี้

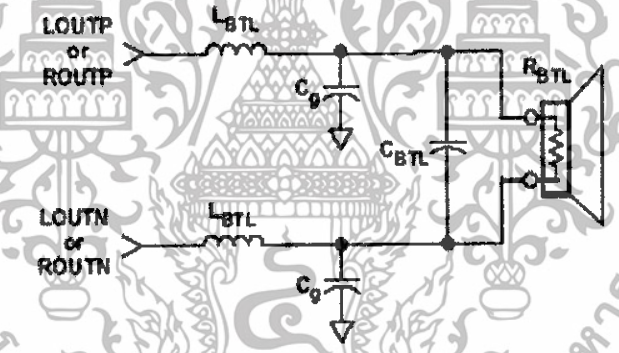
ขั้นแรก ใช้ $R_L = R_{BTL}/2$ คำนวณค่า C และ L ในรูปแบบวงจรแบบ Single-ended operation

ขั้นที่สอง คำนวณค่า $C_{BTL}$ และ $L_{BTL}$ จากสมการ

$$C_{BTL} = C/2 \tag{4.5}$$

$$L_{BTL} = L \tag{4.6}$$

เพื่อวงจรที่เหมาะสมควรจะมีการเพิ่ม C ในแต่ละข้างของ $R_{BTL}$ กับกราวด์ เพื่อให้ bypass ความถี่สูงลงสู่กราวด์ ซึ่งค่าของตัว C นี้จะมีค่าประมาณ 10% ของ 2 $C_{BTL}$ และเรียกว่า Cg ซึ่งแสดงดังรูปที่ 4.5




รูปที่ 4.5 วงจรกรองความถี่ต่ำผ่านสำหรับวงจรแบบ BTL

การเลือกส่วนประกอบของวงจรกรองความถี่และความถี่คัทออฟอาจจะควบคุมโดยการใช้วงจร RC Zobel network ต่อขนานกับโหลด ซึ่งก็ขึ้นอยู่กับค่า Q ของวงจรซึ่งอาจจะเปลี่ยนแปลงได้เมื่อลำโพงที่มีค่ารีแอคตีฟสูงถูกต่อเป็นโหลด

**4.4 ตัวอย่างการออกแบบ**

ในการออกแบบวงจรกรองความถี่เราต้องกำหนดช่วงความถี่ที่เราต้องการก่อน ซึ่งความถี่เสียงนั้นมีแถบความถี่ในช่วง 20 ถึง 20 KHz และ ความถี่สวิตชิ่งอยู่ที่ 250 KHz คัทออฟอยู่ที่ 40 dB มุมในการคัทออฟถูกตั้งให้หลีกเลี่ยงการลดทอนในช่วงความถี่เสียงโดยกำหนดความถี่คัทออฟอยู่ที่ 25 KHz กำหนดค่าความต้านทานของลำโพงที่ 4 โอห์ม ใช้วงจรแบบ LC อันดับ 2 จากนั้นคำนวณหาค่าของอุปกรณ์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = 1 / [\, 2 \times \pi \times \sqrt{2} \times R_L \times f_c\,] = 1 / [2 \times \pi \times \sqrt{2} \times 4 \times 25\ \text{kHz}] = 1.1\ \text{uF}$$

$$L = [\sqrt{2} \times R_L] / [4 \times \pi \times f_c] = [\sqrt{2} \times 4] / [4 \times \pi \times 25\ \text{kHz}] = 18\ \text{uH}$$

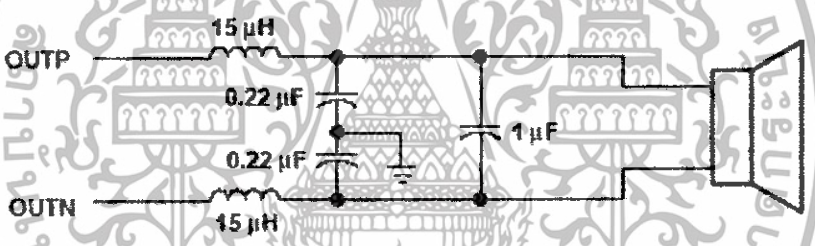
**ค่าของ Cg จะประมาณเท่ากับ 10% ของ 2 x C ประมาณเท่ากับ 0.2 uF จากนั้นหาค่าอุปกรณ์ที่มีอยู่จริงตามท้องตลาดที่สามารถยอมรับค่าได้ก็จะได้ค่าอุปกรณ์คือ**

C = 1 uF

L = 15 uH

Cg = 0.22 uF

**ก็จะวงจรกรองความถี่ต่ำผ่านสำหรับวงจรขยายที่มีเอาท์พุทแบบ BTL ซึ่งจากค่าอุปกรณ์ที่ใช้วงจรก็จะมีความถี่คัทออฟอยู่ประมาณ 29 KHz โดยจะได้วงจรดังรูปที่ 4.6**



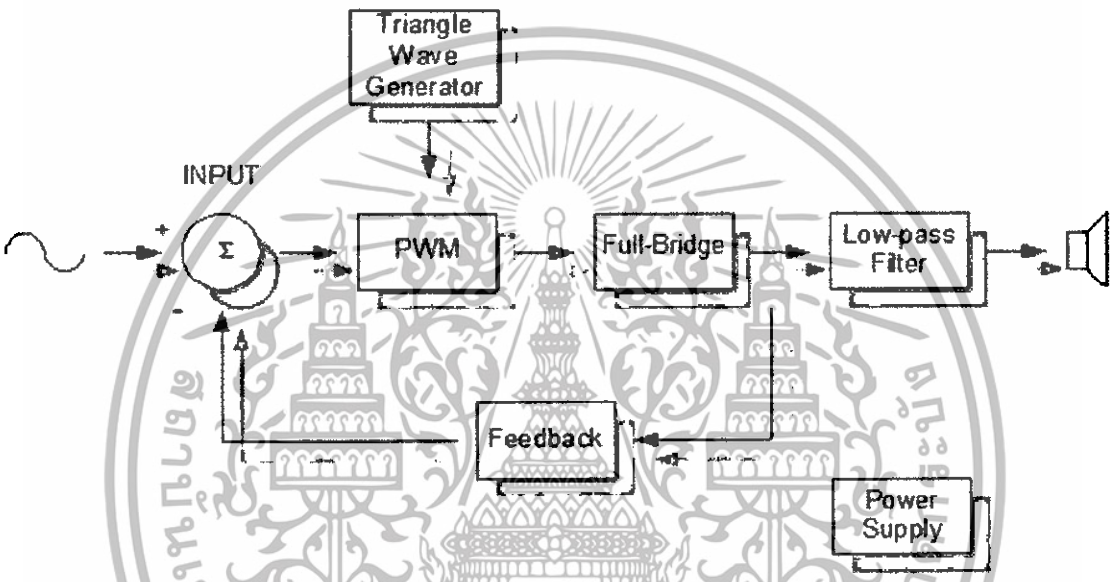

**รูปที่ 4.6 วงจรกรองความถี่ต่ำที่ออกแบบ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# การออกแบบวงจร

## 5.1 การออกแบบวงจรขยาย Class-D

วงจรขยายแบบสวิตชิ่งจะมีภาคการทำงานตาม Block diagram ดังรูปที่ 5.1




รูปที่ 5.1 Block Diagram ของวงจรขยาย Class-D แบบ Full-Bridge

### 5.1.1 ภาค INPUT

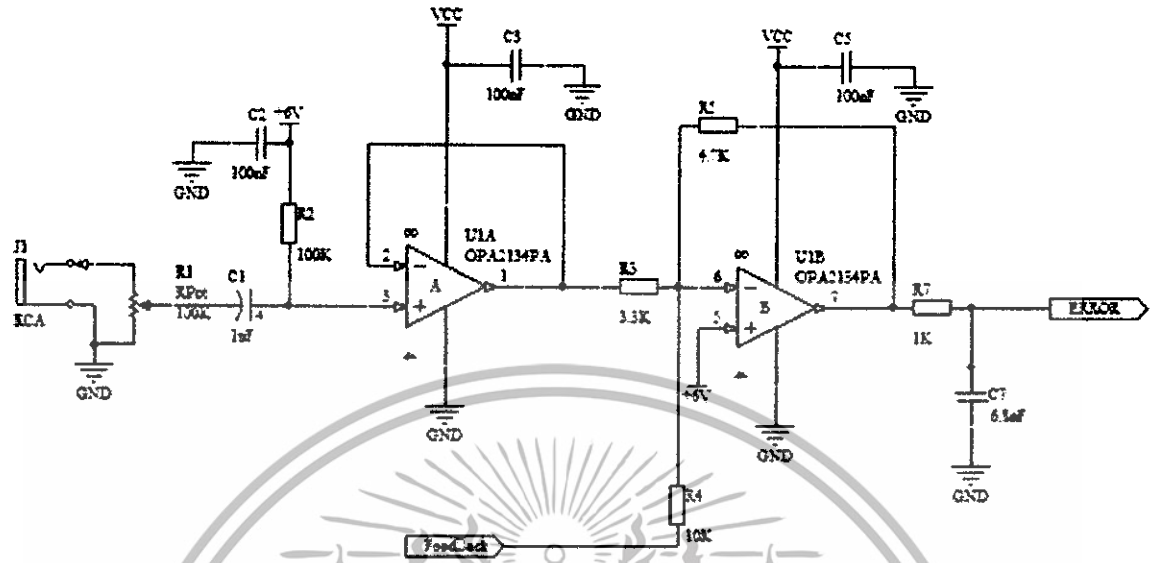
ภาค INPUT นี้จะทำหน้าที่ปรับขนาดสัญญาณอินพุทจากสัญญาณภายนอกโดยผ่าน VR1 และจะทำการปรับระดับสัญญาณให้มีระดับเท่ากับ VCC/2 โดยใช้วงจร Op-Amp ที่ต่อวงจรแบบวงจรBuffer จากนั้นสัญญาณก็จะทำการรวมสัญญาณเดียวกับสัญญาณจากภาค Feedback เพื่อให้สัญญาณมีการหักล้างกันเพื่อป้องกันการ Oscillate และทำการขยายไปพร้อมๆกันโดยใช้ Op-Amp ชุดที่ 2 จากนั้นก็จะได้สัญญาณ Error ที่มีการรวมสัญญาณระหว่างอินพุท และ Feedback ซึ่งอัตราการขยายสามารถคำนวณได้โดย

อัตราการขยายวงจร Inverting Amp $= -R_f/R_{in}$ (5.1)

สัญญาณOutput ของวงจร Inverting Amp $= V_{in}[-R_f/R_{in}]$ (5.2)

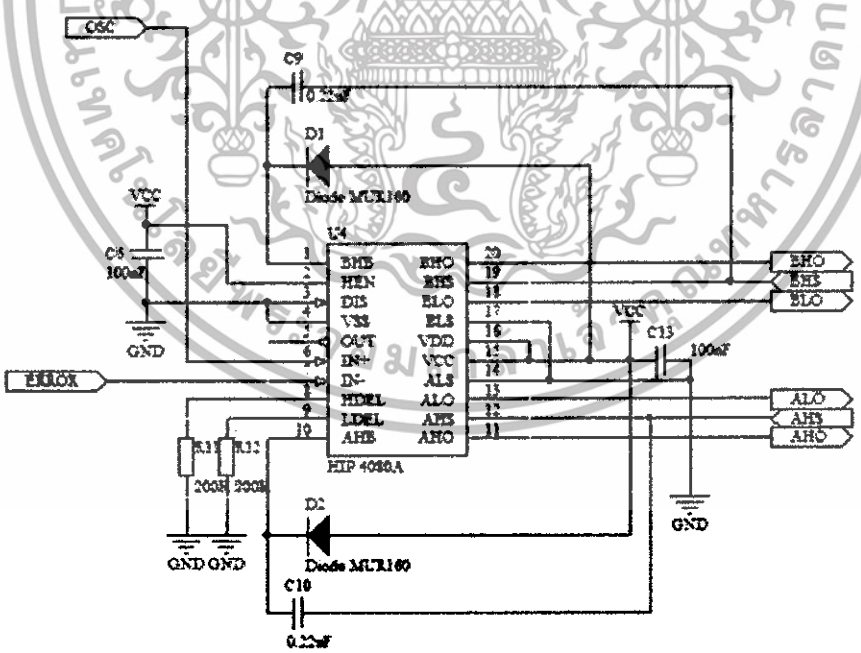
จะได้ขนาดสัญญาณ $= [-R_f/R_{in1}]\, V_{in} + [-R_f/R_{in2}]\, V_{feedback}$ (5.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.2 วงจรในภาค INPUT

5.1.2 ภาคสร้างสัญญาณ PWM




รูปที่ 5.3 วงจรสร้างสัญญาณ PWM และ Gate Driver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในส่วนนี้จะทำการสร้างสัญญาณ PWM โดยใช้ไอซี HIP 4080A

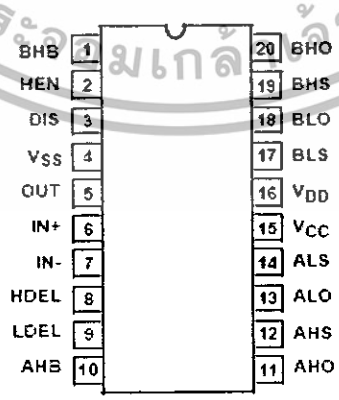
5.1.2.1 คุณสมบัติของไอซี HIP 4080A

| | |
|---|---|
| -ช่วงของ Supply Voltage, VDD และ VCC สูงสุด | -0.3V ถึง 16V |
| -Logic I/O Voltages | -0.3V ถึง VDD +0.3V |
| -Phase Slew Rate | 20V/ns |
| -แรงดันใช้งาน | +9.5V ถึง +15V |
| -แรงดันที่ขา ALS, BLS | -1.0V ถึง +1.0V |
| -แรงดันที่ขา AHB, BHB | $V_{AHS,BHS}$ +5V ถึง $V_{AHS,BHS}$ +15V |
| -กระแสอินพุทที่ขา HDEL, LDEL | -500uA ถึง -50uA |
| -ช่วงอุณหภูมิที่ใช้งาน | -40 °C ถึง +85°C |

ไอซี HIP 4080A เป็นไอซีความถี่สูงสำหรับขับวงจรมอสเฟส N-Channel แบบ Full-Bridge ซึ่งภายในประกอบด้วย คอมพาราเตอร์ และวิธีการของ PWM มันสามารถสวิตช์ความถี่ได้ถึง 1MHz ดังนั้นไอซี HIP 4080A จึงเหมาะกับการขับ Voice Coil Motors, สวิตชิ่งแอมป์ ในวงจรคลาสดีที่ใช้ความถี่สูงในการสวิตชิ่งของการขยายเสียง และ เพาเวอร์ซัพพลาย

HIP 4080A สามารถขับ brush motors แรงดันปานกลาง ส่วน HIP 4080A สองตัวยังสามารถขับ Stepper motors ที่ความสามารถในการทำงานสูงได้ เพราะค่า on – time มีค่าต่ำ เหมาะสำหรับความสามารถในระดับ Micro-stepping

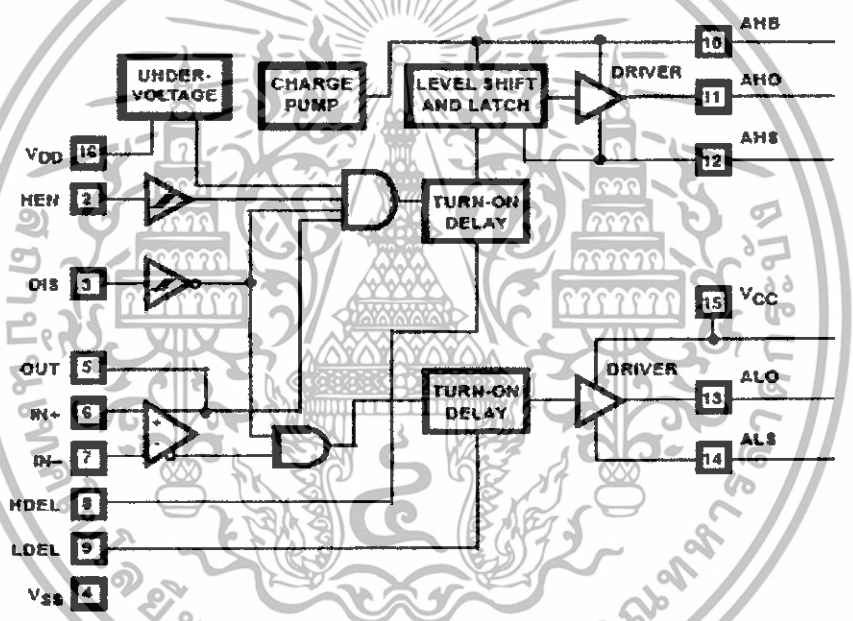
ค่า propagation delay อยู่ที่ประมาณ 55ns ส่วนค่า dead – time จะถูกปรับให้มีค่าเข้าใกล้ศูนย์เพื่อความผิดเพี้ยนต่ำที่สุด , ผลลัพท์ของการขับโหลดมีค่าแม่นยำ




รูป 5.4 จำลองด้านบนไอซี IC HIP 4080A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

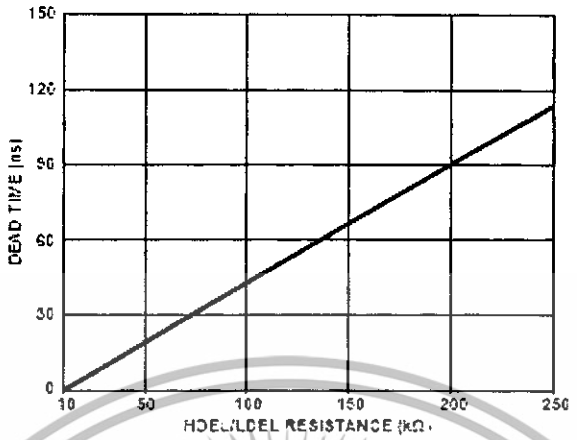
โดยไอซีนี้จะรับสัญญาณ Error จากภาค INPUT มาทำการเปรียบเทียบกับสัญญาณสามเหลี่ยมจากภาค Triangle Wave Generator ซึ่งจะทำให้ได้สัญญาณที่มีการเปลี่ยนแปลงความกว้างของพัลส์ตามความขนาดและความถี่ของสัญญาณ input โดยจากรูปฟังค์ชั่นภายในของไอซี HIP 4080A เปรียบเทียบกับวงจรจะเห็นว่าขา IN+ และ IN- เป็นขาอินพุทของคอมพาราเตอร์ภายในจะทำการเปรียบเทียบสัญญาณอินพุทเพื่อสร้างสัญญาณ PWM และส่งสัญญาณ PWM ที่ได้ไปยังส่วนของ MOSFET Gate Driver ภายในไอซี โดยจะผ่านส่วนที่เรียกว่า Turn-On Delay เพื่อกำหนดค่า Delay Time ในการ ON-OFFของ MOSFET ตัวบนและตัวล่างเพื่อป้องกันการเกิดเหตุการณ์ Shoot-Through




รูปที่ 5.5 ฟังค์ชั่นภายในไอซี HIP 4080A

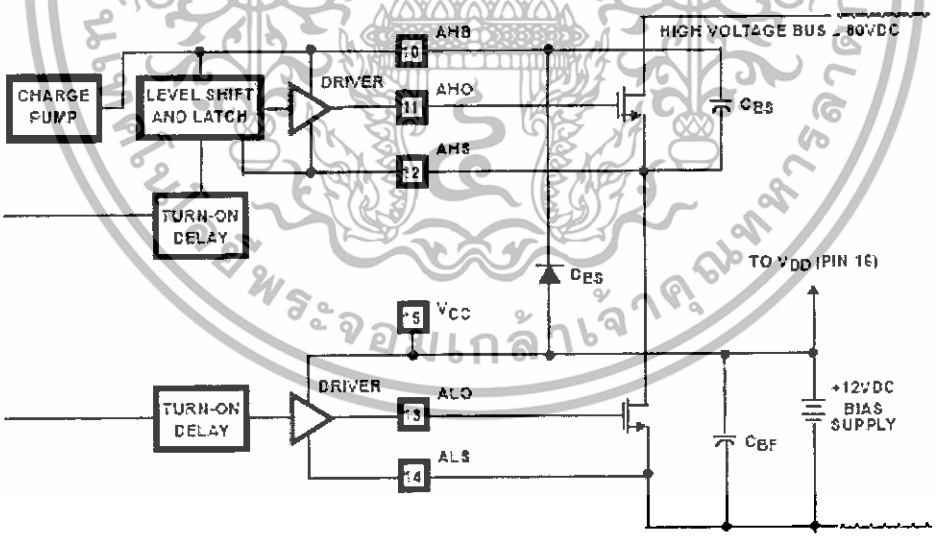
ค่า Delay-Time หรือ DEAD-TIME สามารถกำหนดได้โดยการใส่ตัวต้านทานภายนอกที่ขา 8 และขา 9 ของไอซีโดยดูจากรูปที่ 5.3 โดยในส่วนของวงจรจะใส่ค่าตัวต้านทานที่ 200 KΩ ซึ่งจะมีค่าของ DEAD-TIME อยู่ที่ประมาณ 90 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.6 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานและ DEAD-TIME

ในส่วนของ Gate Driver ซึ่งเป็นส่วนที่ทำการขับขาเกทของวงจรในภาค Full-Bridge ซึ่งแบ่งการทำงานเป็นสองส่วนคือ ส่วน High Side และ Low Side โดยส่วน High Side จะได้รับสัญญาณ PWM ที่ผ่านวงจร Turn-On Delay และวงจร Level Shift and Latch ซึ่งภาคของ Level Shift and Latch จะทำการยกระดับอ้างอิงสัญญาณขึ้นให้มีค่าสูงขึ้นตามจุดที่ขา Source ของ MOSFET ตัวบนอยู่โดยใช้หลักการ Bootstrap ช่วยในการเพิ่มระดับสัญญาณ

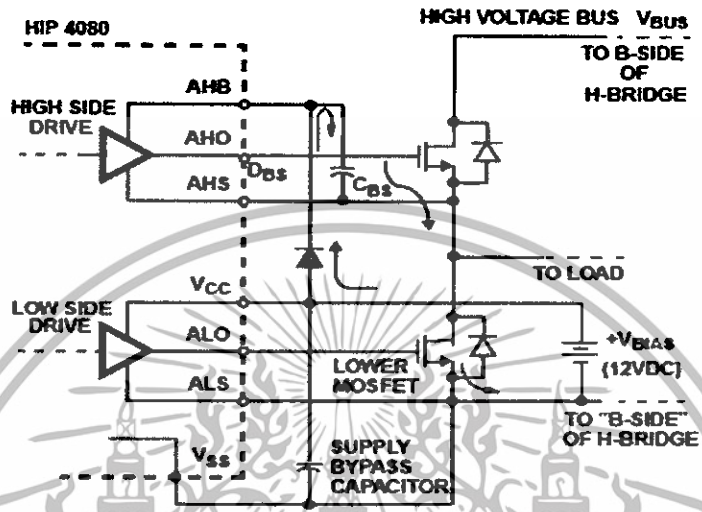



รูปที่ 5.7 การต่อวงจรโดยใช้หลักการ Bootstrap

หลักการ Bootstrap ก็คือเมื่อ MOSFET ตัวล่าง ON เป็นผลให้ $C_{BS}$ ถูกชาร์จประจุจาก VDD โดยผ่านทางไดโอด $D_{BS}$ จนเต็มทำให้มีแรงดันตกคร่อม $C_{BS}$ หลังจากนั้นเมื่อ MOSFET ตัวบนเริ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าสู่สภาวะ ON, $C_{BS}$ จะทำการคายประจุผ่านทาง Gate driver เป็นผลให้ระดับสัญญาณที่ขับเกทตัวบนมีค่าสูงพอที่จะทำให้ MOSFET ตัวบน ON

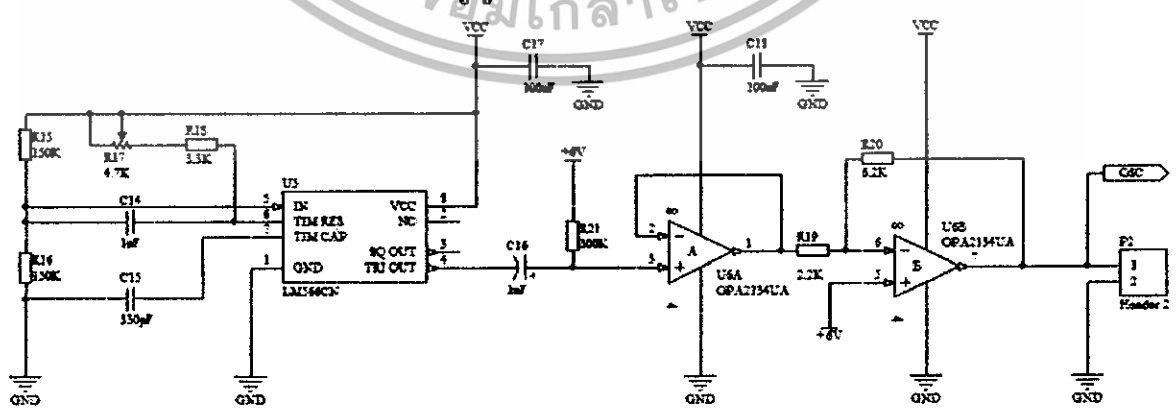



รูปที่ 5.8 แสดงการทำงานของเทคนิค Bootstrap ในการขับวงจร Full Bridge

ในการเลือกไดโอดที่ใช้สำหรับทำการชาร์จประจุของ $C_{BS}$ ต้องใช้ไดโอดที่มีค่าเวลาฟื้นตัวเร็วมากและยอมให้กระแสไหลได้มากพอสมควรเพื่อสามารถทำงานได้ดีในความถี่สูง

5.1.3 ภาค Triangle Wave Generator

ส่วนนี้จะทำการสร้างรูปคลื่นสามเหลี่ยมเพื่อใช้สำหรับสร้างสัญญาณ PWM โดยใช้ไอซี LM 566 เป็นตัวสร้างสัญญาณ ซึ่งมีคุณสมบัติคือ เป็นไอซี Voltage Control Oscillator สามารถสร้างความถี่ได้ถึง 1 MHz โดยวงจรจะสร้างสัญญาณสามเหลี่ยมความถี่ประมาณ 300 kHz



รูปที่ 5.9 แสดงวงจรภาค Triangle Wave Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาความถี่ของคลื่นสามเหลี่ยมที่สร้างด้วยไอซี LM 566 สามารถหาได้จากสมการ

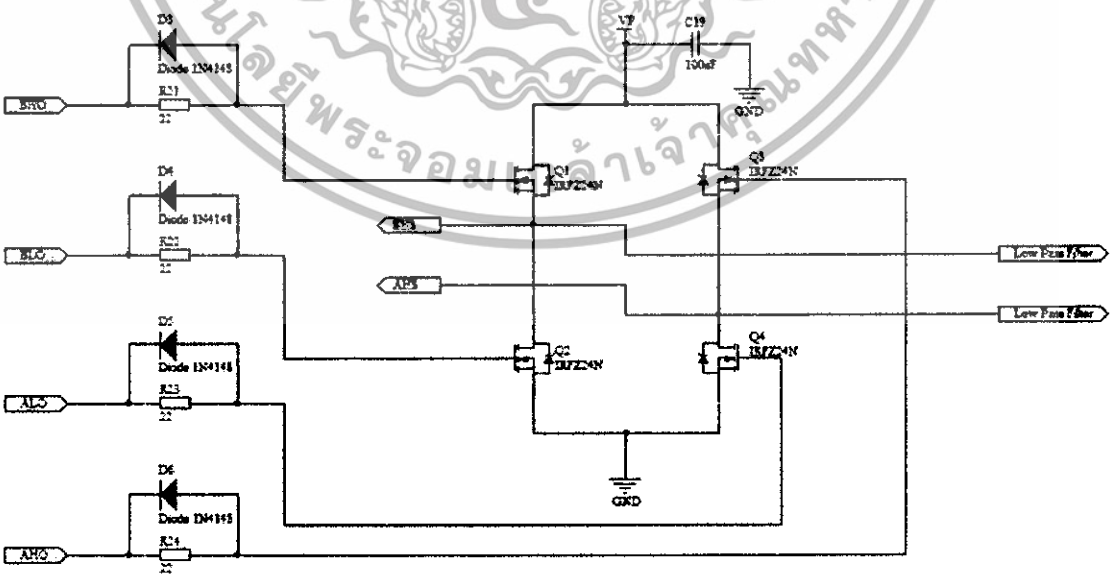
$$fo = 2.4( VCC - V_{pin5}) / (R_{timing} * C_{timing} * VCC) \quad (5.4)$$

โดยที่ $R_{timing}$ คือ ตัวต้านทานที่ต่อกับขาที่ 6 ของไอซีกับ VCC, และ $C_{timing}$ คือ ตัวเก็บประจุที่ขา 7 ของไอซี

จากนั้นสัญญาณจะถูกขยายขนาดขึ้นพร้อมกับยกระดับสัญญาณอ้างอิงเพื่อนำไปสร้างสัญญาณ PWM ต่อไป

5.1.4 ภาค Full-Bridge

จากภาค Gate driver สัญญาณ PWM จะถูกส่งผ่านมายังในส่วนของวงจร Full-Bridge ซึ่งเป็นส่วนสำคัญในการขยายกำลังงานของสัญญาณให้เพิ่มขึ้น โดยสัญญาณของ MOSFET ตัว Q1 จะมีเฟสเดียวกันกับเฟสสัญญาณของMOSFET Q4 และสัญญาณของMOSFETตัว Q2 และ Q3 จะมีเฟสที่ตรงกันข้ามกับ Q1 และ Q4 จากเหตุนี้วงจรจะทำงานในลักษณะสวิตช์สลับคู่บนล่างกัน ทำให้ Output ของแต่ละด้านมีสัญญาณที่ต่างเฟสกัน และพัลส์ที่ได้ก็จะมีขนาดประมาณเท่ากับ VP ซึ่ง VP ที่ใช้มีค่า 40V และสัญญาณที่ตกคร่อมขา Gate กับ Source ของ MOSFET แต่ละตัวจะสวิง(Swing) อยู่เท่ากันที่ประมาณ VCC ของไอซี Gate driver และที่ขา Drain กับ Source จะสวิงอยู่ที่ประมาณ 40V และสัญญาณพัลส์ที่ตกคร่อมระหว่าง Output ทั้งสองของวงจรจะมีขนาดเท่ากับ 2VP หรือ 80V

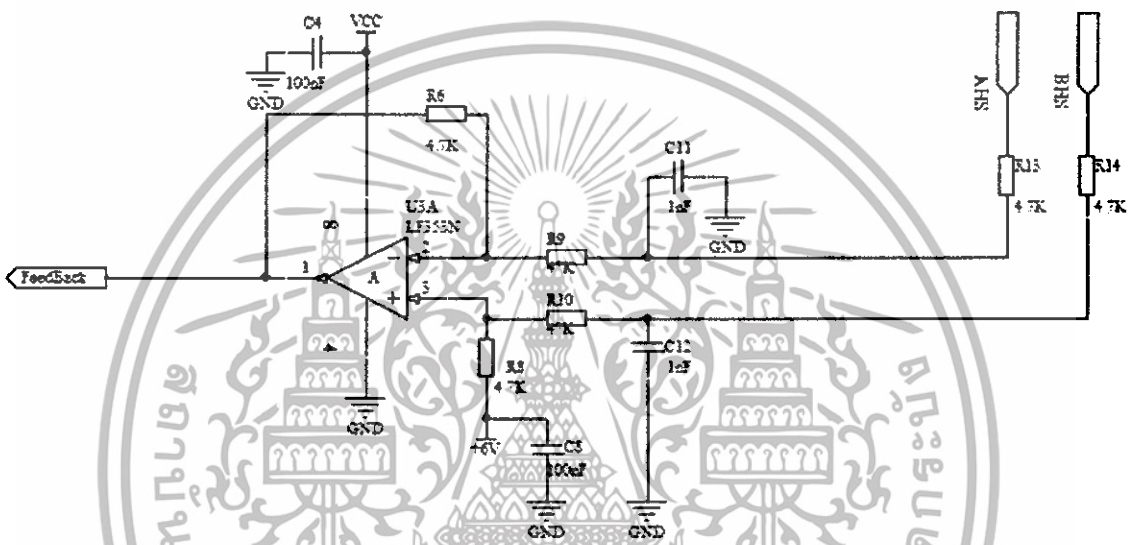



รูปที่ 5.10 วงจรในภาค Full-Bridge

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 ภาค Feedback

วงจรในภาคนี้จะนำสัญญาณเอาท์พุทที่ได้จากวงจร Full-Bridge กลับมาเพื่อไปควบคุมอัตราการขยายของระบบ ซึ่งสัญญาณในแต่ละซีกจะผ่านวงจร RC Low-pass Filter เพื่อเปลี่ยนสัญญาณที่เป็น PWM ให้กลับมาเป็นสัญญาณเสียงอินพุทเพื่อนำเข้าไปสู่อินพุทของวงจร Op-Amp ที่ต่อกันเป็นวงจรดิฟเฟอร์เรนเชียล แอมป์ปลิฟายร์




รูปที่ 5.11 วงจรในส่วนของ Feedback

วงจร RC Low-pass filter สามารถคำนวณค่าความถี่คัทออฟได้โดย

$$f_c = 1/(2\pi * R*C) \quad (5.5)$$

อินพุททั้งสองของวงจรขยายความต่างจะมีเฟสสัญญาณที่ตรงข้ามกันและจะถูกนำมาหักล้างกันเป็นผลให้สัญญาณรบกวนลดลงและเอาท์พุทของวงจรจะกลับเฟสกับสัญญาณอินพุทของระบบ เพื่อที่จะนำสัญญาณที่ได้ไปหักล้างกับอินพุทเพื่อควบคุมอัตราการขยาย

5.1.6 วงจรฟิลเตอร์

วงจรขยายคลาสดีแตกต่างจากวงจรขยายแบบเชิงเส้นโดยทั่วๆไปในเรื่องที่ว่าวงจรแบบสวิตชิ่งนั้นต้องการการกรองสัญญาณที่เอาท์พุทเพื่อกำจัดพาหะความถี่สูงออกจากองค์ประกอบของสัญญาณPWM องค์ประกอบของความถี่สวิตชิ่งจะทำการแผ่รังสี EMI ออกมาจากสายเข้าสู่ลำโพง ในกรณีที่ลำโพงถูกต่อร่วมกับวงจรขยาย จำเป็นต้องมีการกรองสัญญาณโดยอาจจะใช้วิธีง่ายๆหรือใช้เทคนิคอื่นๆในการป้องกันที่เหมาะสม

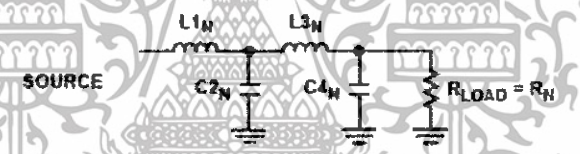
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงงานนี้ได้ออกแบบโดยใช้ 4 Pole Butterworth Filter โดยใช้การออกแบบจากตารางมาตรฐานการประมาณค่าของ Butterworth โดยกำหนดค่าความต้านทานโหลด 8 โอห์ม เลือกความถี่คัทออฟที่ 30 kHz การเลือกความถี่คัทออฟที่สูงกว่า 20 kHzเนื่องจากป้องกันการลดทอนสัญญาณในช่วงความถี่ที่ต้องการซึ่งอยู่ในช่วง 0 – 20 kHz และสมมติว่าความต้านทานของวงจร Full-Bridge มีค่าเท่ากับ 0.1 โอห์ม

ตัวอย่างของการคำนวณค่าอุปกรณ์ของวงจรกรองความถี่แบบบัตเตอร์เวิร์ทตามมาตรฐานโดยใช้ค่าอุปกรณ์บนพื้นฐานความถี่คัทออฟที่ 30 kHz และโหลด 8 โอห์ม ตามลำดับ สำหรับความที่คัทออฟและความต้านทานโหลดตามสมการที่ 5.2 และ 5.3 ที่แสดงซึ่งแปลงมาจากค่าพื้นฐานสู่ค่าที่ต้องการสำหรับฟิลเตอร์ ความถี่คัทออฟมีหน่วยเป็น เรเดียน/วินาที ได้คำนวณจากการใช้ความถี่คัทออฟในหน่วยเฮิรตซ์ตามสมการ 5.5

จากตารางฟิลเตอร์ ค่าพื้นฐานที่ได้คือ

$L1n = 1.5307 \quad L3n = 1.0824 \quad C2n = 1.5772 \quad C4n = 0.3827$ (5.6)




รูปที่ 5.12 วงจร Low-pass Filter 4 Order

ค่าปกติพื้นฐานต้องถูกแปลงเพื่อให้ได้ค่าตัวเหนี่ยวนำและตัวเก็บประจุที่ต้องการที่ความถี่คัทออฟและความต้านทานโหลดโดยใช้การแปลงแบบปกติคือ

สำหรับตัวเหนี่ยวนำ

$$L1 = L1n \times Rn/\omega_{3dB}$$

$$L3 = L3n \times Rn/\omega_{3dB} \quad (5.7)$$

และสำหรับค่าของตัวเก็บประจุ

$$C2 = C2n \ / (Rn \times \omega_{3dB})$$

$$C4 = C4n \ / (Rn \times \omega_{3dB}) \quad (5.8)$$

โดยที่ $\omega_{3dB}$ เป็นความถี่คัทออฟ และ Rn เป็นความต้านทานโหลด

เพราะฉะนั้น;

$$\omega_{3dB} = 2 \times \pi \times 30 \text{ kHz} \quad (5.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\omega_{3dB}$ = 188495.559215 เรเดียน/วินาที

และที่ความต้านทานเป็น 8 โอห์ม เมื่อทำการแปลงพารามิเตอร์ต่างๆแล้วผลลัพธ์ที่ได้จะมีค่าเท่ากับ

L1 = 64.964 uH

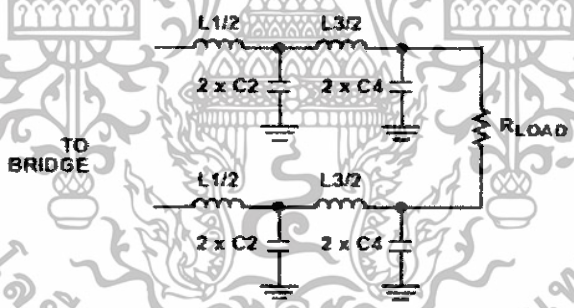
L3 = 45.938 uH

C2 = 1.016 uF

C4 = 0.254 uF

สังเกตจากส่วนประกอบของสมการการแปลงหาค่าอุปกรณ์ฟิลเตอร์ข้างบน ซึ่งแท้จริงแล้วค่าอุปกรณ์ฟิลเตอร์ที่ได้ขึ้นอยู่กับความถี่คัทออฟและความต้านทานโหลด ทั้งค่าความเหนี่ยวนำและค่าความเก็บประจุ เปลี่ยนแปลงผกผันกับความถี่ แต่ทว่าค่าความเหนี่ยวนำแปรผันตรงกับความต้านทานโหลดและความเก็บประจุแปรผกผันกับความต้านทานโหลด

จากที่ได้ออกแบบให้วงจรฟิลเตอร์ใช้แบบ Balanced 4-Pole Filter ทำให้ค่าความเหนี่ยวนำถูกแบ่งครึ่งและค่าความเก็บประจุเพิ่มขึ้นเป็นสองเท่า




รูปที่ 5.13 วงจร Low-pass Filter ที่ออกแบบ

เพราะฉะนั้น ค่าของความเหนี่ยวนำและความเก็บประจุที่หาได้คือ

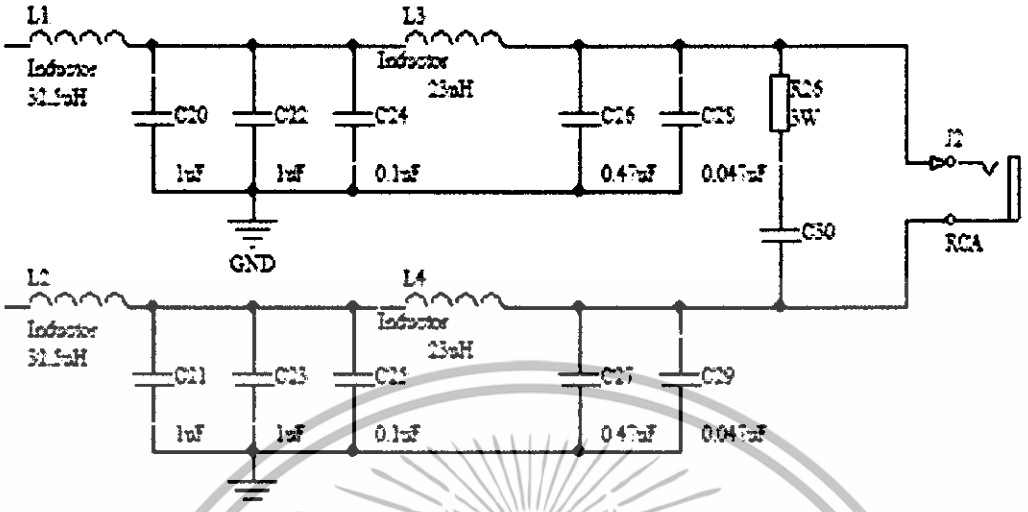
L1 = 32.482 uH

L3 = 22.969 uH

C2 = 2.092 uH

C3 = 0.508 uH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.14 วงจรกรองความถี่ต่ำที่ออกแบบได้

5.1.7 Zobel Filter

ในการเพิ่มเติมส่วนที่จะใช้ในการแยกสัญญาณ PWM ออกก่อนที่จะเข้าสู่ส่วนของลำโพง Zobel Filter ถูกนำมาใช้เพื่อทำให้ลำโพงดูเหมือนเป็นความต้านทานบริสุทธิ์ ด้วยวงจรขยายแบบเชิงเส้น การล้าหลังของเฟสสัญญาณระหว่างกระแสไฟฟ้าและแรงดันไฟฟ้าในสัญญาณเอาท์พุทจะเป็นผลลัพธ์อย่างปกติธรรมชาติในเพาว์เวอร์แฟกเตอร์ (Power Factor) ที่ลดลงและการลดลงของประสิทธิภาพ แน่นอนว่าประสิทธิภาพจะแย่ลงไปแน่นอน

ตารางการออกแบบวงจรกรองความถี่ตามปกติได้สมมติว่าความต้านทานโหลดเป็นความต้านทานบริสุทธิ์ การเบี่ยงเบนจากค่าความต้านโหลดที่เป็นเหตุให้เกิดการเลื่อนของ Filter pole และความคลาดเคลื่อนจากคุณลักษณะการทำงานของการกรองความถี่

อย่างไรก็ดี การออกแบบ Zobel filter ก็ไม่ใช่เรื่องยากอย่างไรนัก ด้วยองค์ประกอบพื้นฐานของวงจรอนุกรม RC ซึ่งจะวางอยู่ที่ขนานโดยตรงกับโหลด โดยการสมมติให้เป็นเหนือกว่าวงจรอนุกรม RC โดยกำหนดให้ ตัวเก็บประจุ Zobel มีค่าเท่ากับความเหนี่ยวนำของโหลดหารด้วยกำลังสองของความต้านทานโหลด

$$C_{Zobel} = L_{Load}/R^2_{Load} \qquad (5.10)$$

วงจร Zobel Network, ตัวต้านทานที่ใช้ในการอนุกรมกับ $C_{Zobel}$ จะกำหนดให้ค่าเท่ากับความต้านทานโหลดหรือลำโพง

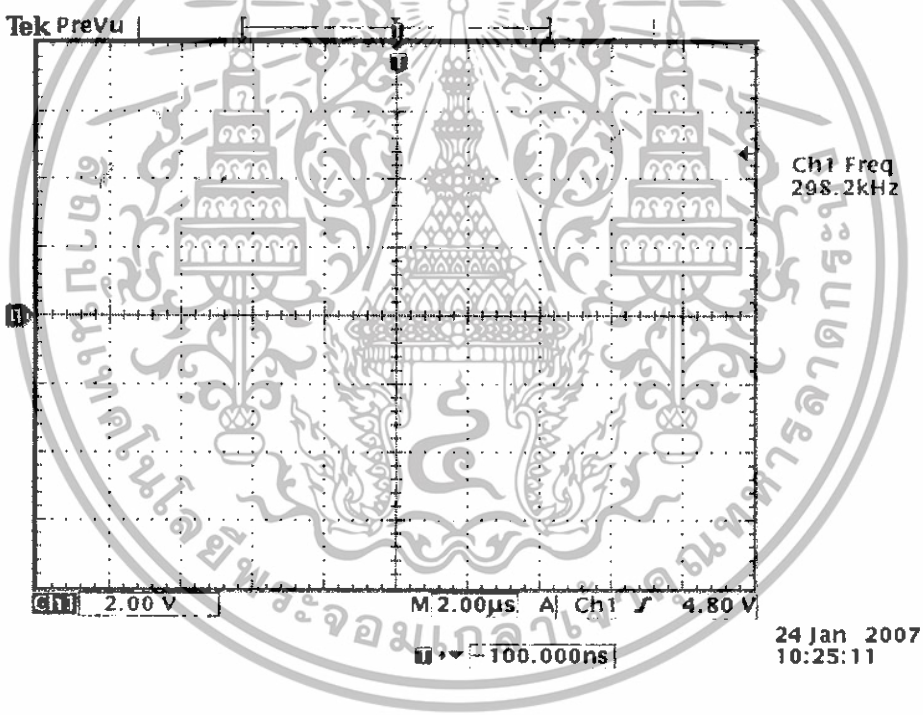
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
## ผลการทดลอง

จากการสร้างวงจรขยายแบบสวิตชิ่งและได้ทำการทดสอบวงจรในแต่ละส่วนการทำงาน สามารถแบ่งออกเป็นส่วนๆคือ

### 6.1 ภาค Triangle Wave Generator

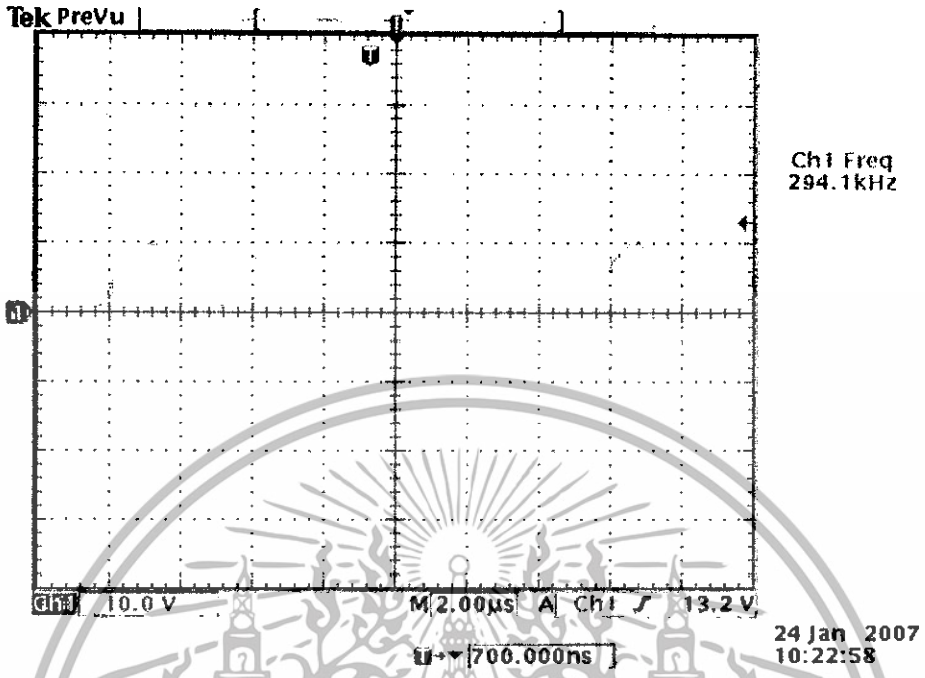
สัญญาณที่ได้จากวงจรนี้เป็นสัญญาณคลื่นสามเหลี่ยมความถี่สูงจากขา 4 ของไอซี LM 566 เพื่อทดสอบความถี่ที่สร้างจากไอซี LM 566 โดยกำหนดความถี่ไว้ที่ 300 kHz




รูปที่ 6.1 สัญญาณสามเหลี่ยมจากไอซี LM 566

จากนั้นนำสัญญาณที่ได้จาก LM 566 ไปผ่านวงจรขยายเพื่อเพิ่มขนาดของสัญญาณให้สูงขึ้นโดยใช้วงจรขยายแบบ Inverting Amp

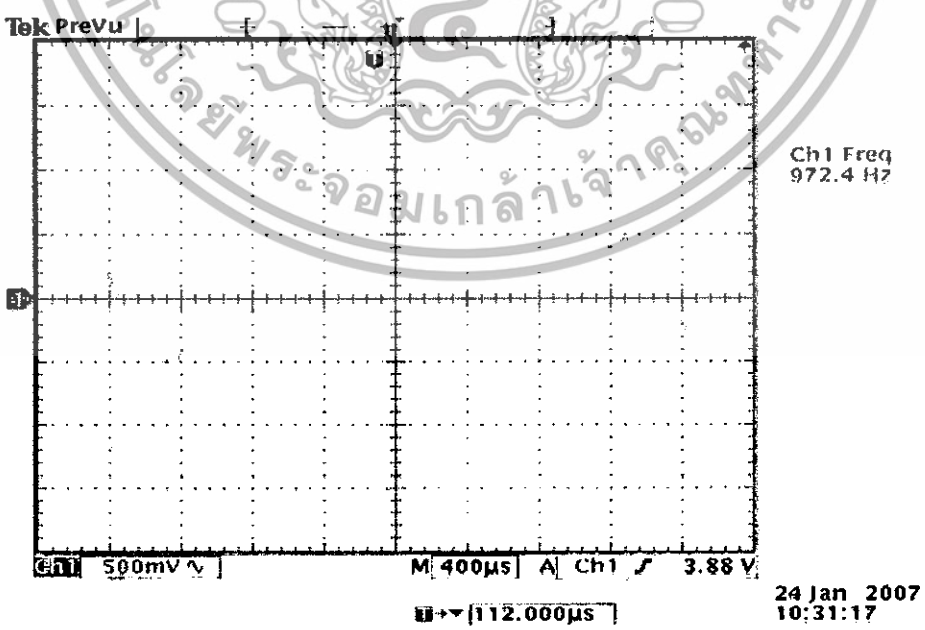
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.2 สัญญาณสามเหลี่ยมที่ผ่านวงจรขยาย

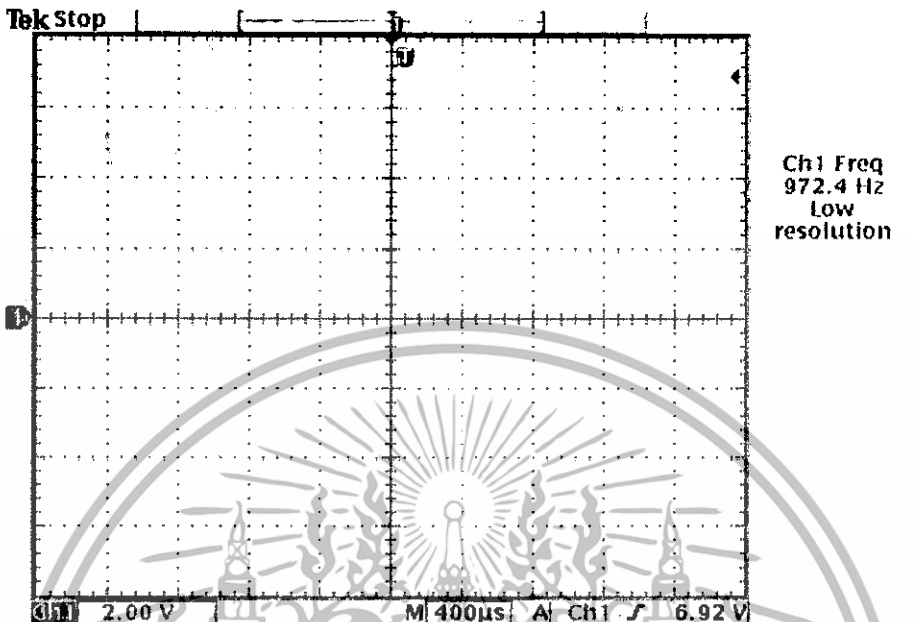
## 6.2 ภาคขยายและป้อนกลับ

ส่วนนี้ได้ทำการทดสอบโดยการป้อนสัญญาณทางอินพุทที่ความถี่ 1 KHz ขนาด 1 Vp-p

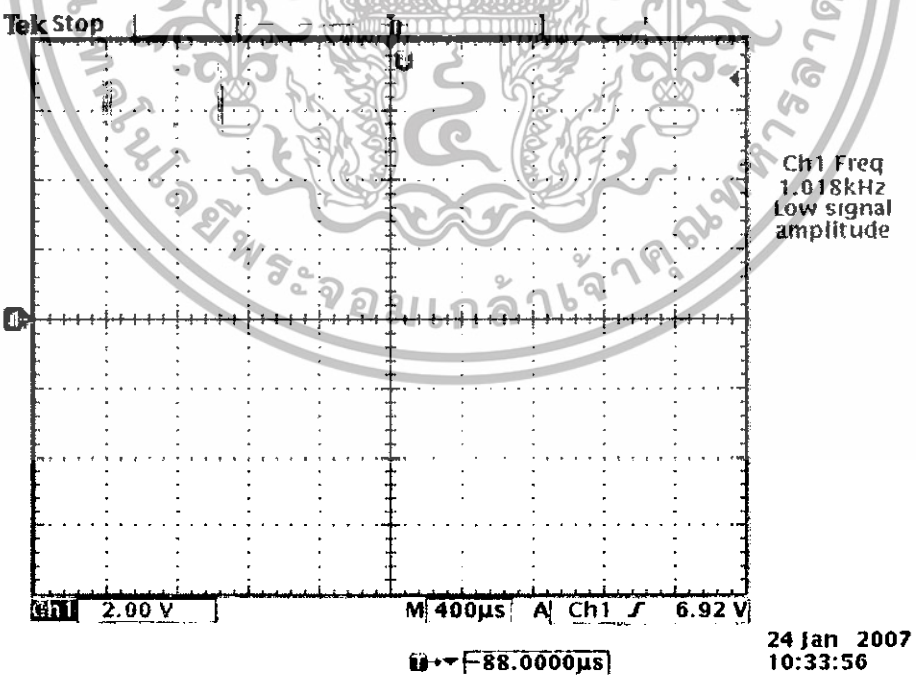



รูปที่ 6.3 สัญญาณอินพุทขนาด 1Vp-p ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.4 สัญญาณที่ได้จากวงจร Feedback

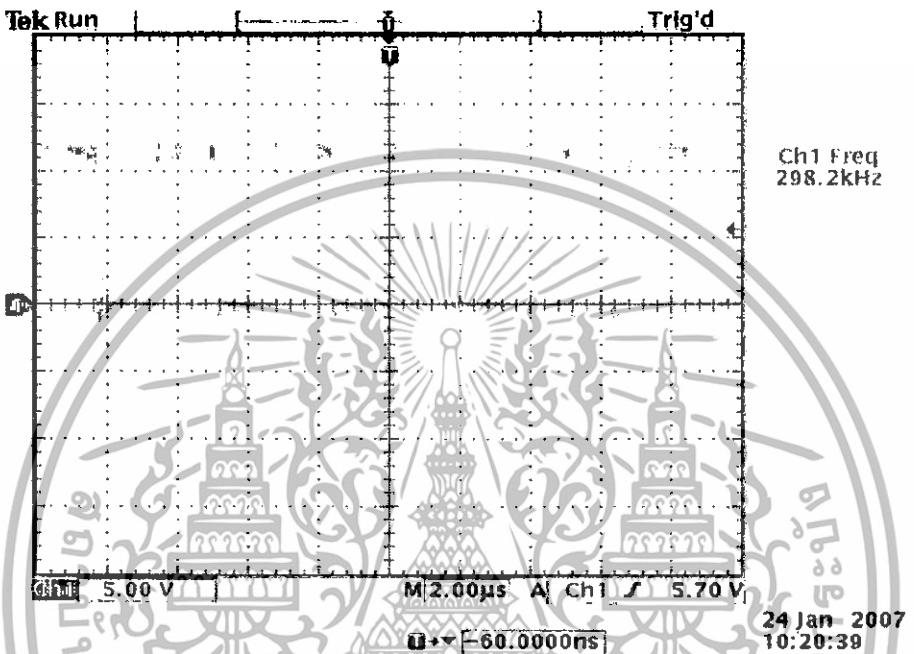



รูปที่ 6.5 สัญญาณ Error ที่ได้จากการรวมกันของอินพุทและสัญญาณ Feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.3 ภาค PWM และการขับเกท**

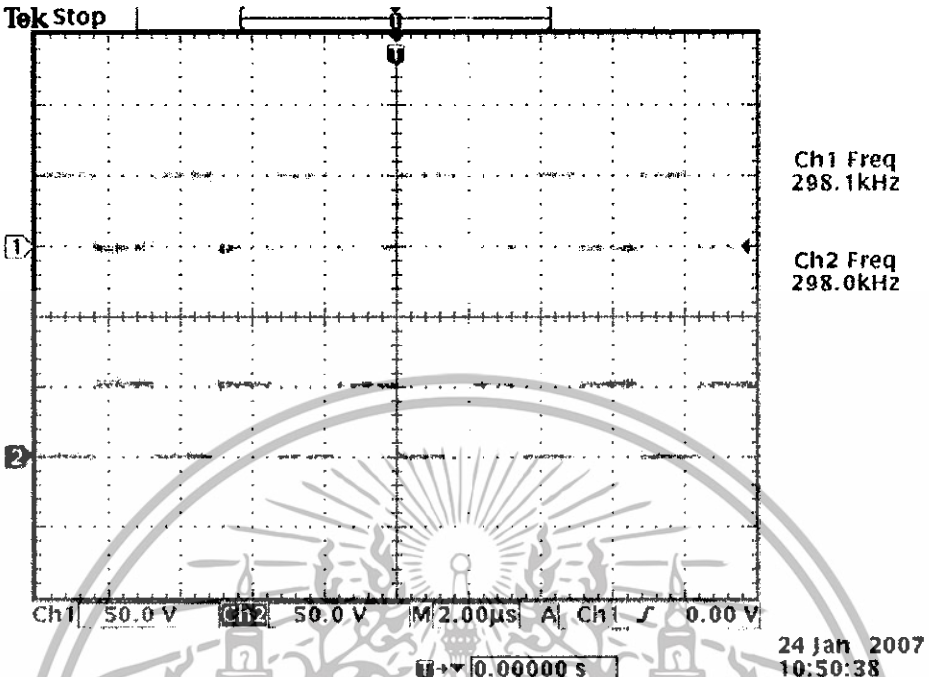
วงจรในส่วนที่สร้างสัญญาณ PWM นี้จะนำสัญญาณ Error มาทำการเปรียบเทียบกับคลื่นสามเหลี่ยมเพื่อสร้างสัญญาณ PWM



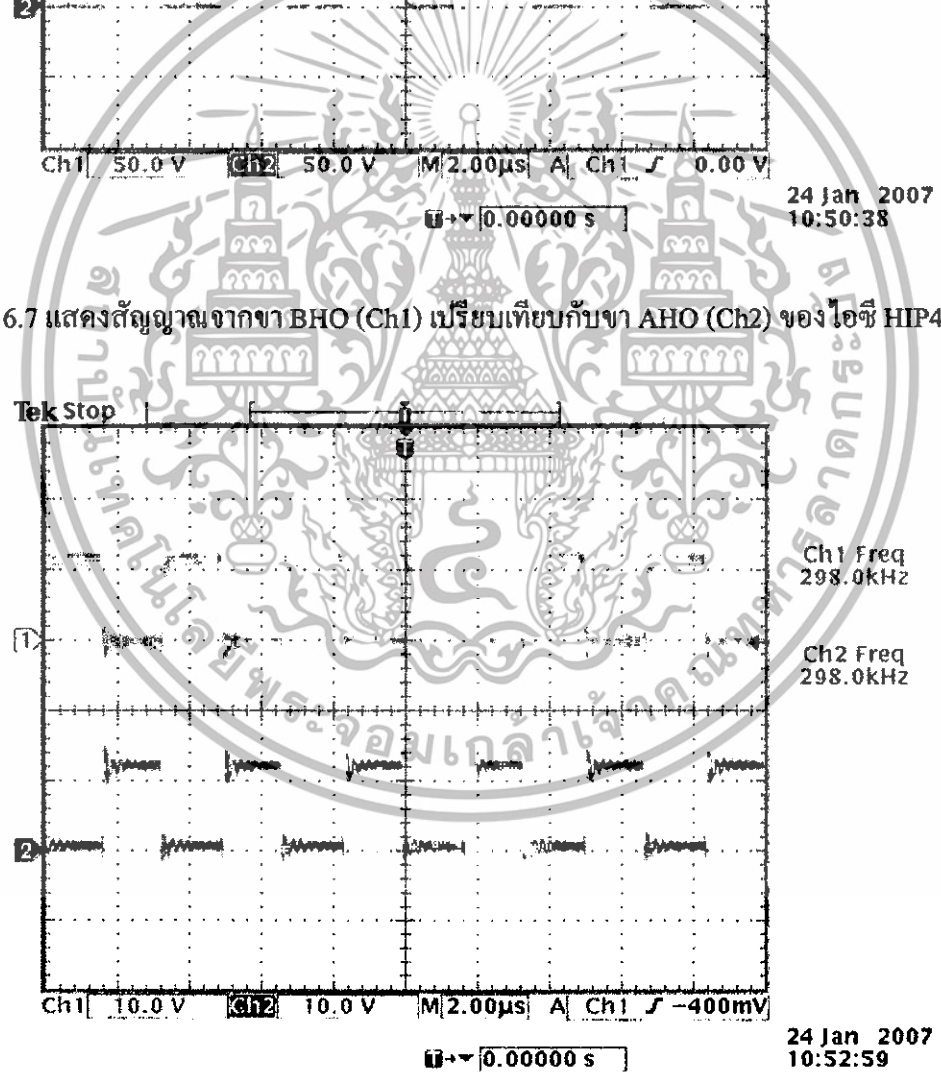

รูปที่ 6.6 สัญญาณ PWM ที่ได้จากขา 5 ของไอซี HIP 4080A

ในส่วนของการขับขาเกทและสร้างสัญญาณ PWM ได้ใช้ไอซี HIP 4080A ในการขับขาเกทของวงจรในส่วนภาคกำลังที่ต่อวงจรแบบ Full-Bridge โดย MOSFET ตัวที่อยู่ด้านบนจะได้รับสัญญาณจากขา BHO และ AHO ส่วน MOSFET ตัวล่างจะได้จากขา BLO และ ALO ของไอซี HIP 4080A ซึ่งสัญญาณที่ได้จะเป็น PWM ที่มีการปรับ Dead time และเฟสที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.7 แสดงสัญญาณจากขา BHO (Ch1) เปรียบเทียบกับขา AHO (Ch2) ของไอซี HIP4080A

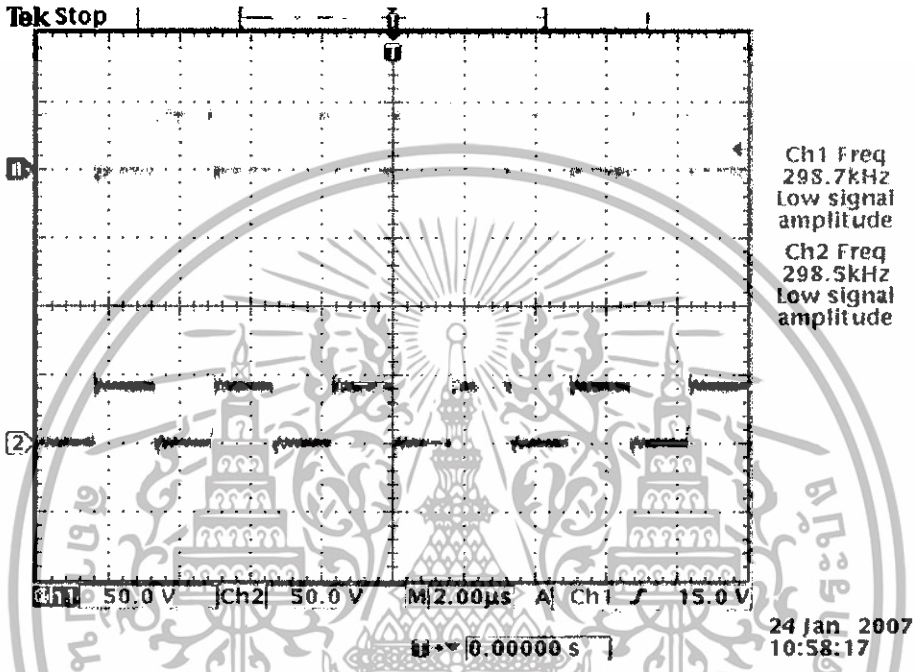



รูปที่ 6.8 แสดงสัญญาณจากขา BLO (Ch1) เปรียบเทียบกับขา ALO (Ch2) ของไอซี HIP4080A

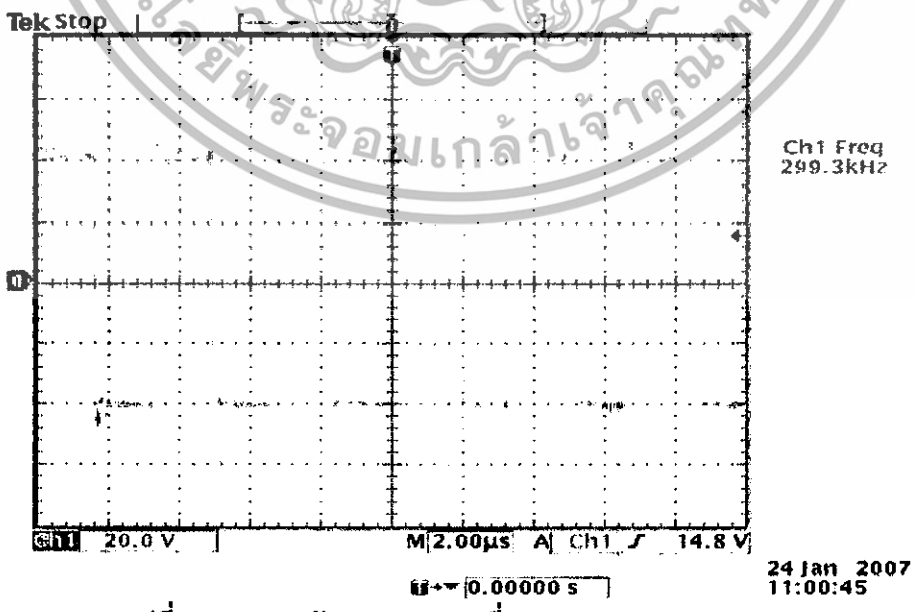
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.4 ภาคขยายกำลัง**

ในภาคนี้จะทำการขยายสัญญาณ PWM ให้มีกำลังงานสูงขึ้นโดยผ่านวงจรสวิตชิ่งแบบ Full-Bridge โดยวงจรจะมีแรงดันจากแหล่งจ่ายไฟจ่ายให้วงจรประมาณ 40 V




รูป 6.9 แสดงสัญญาณสวิตชิ่งที่ได้จากเอาท์พุททั้ง 2 เฟสของวงจร Full-Bridge เปรียบเทียบกัน

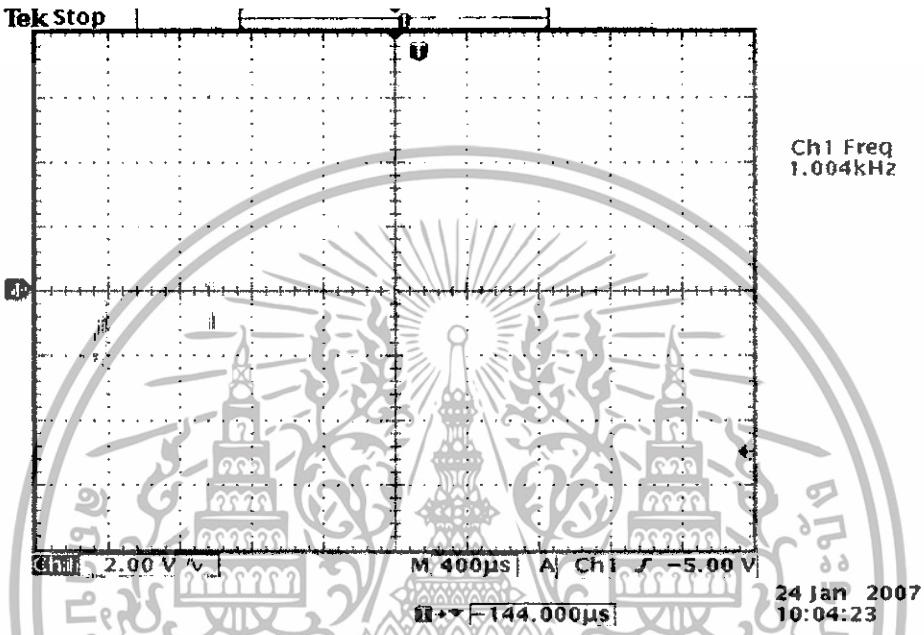



**รูปที่ 6.10 แสดงสัญญาณ PWM ที่ออกจากวงจร Full-Bridge**

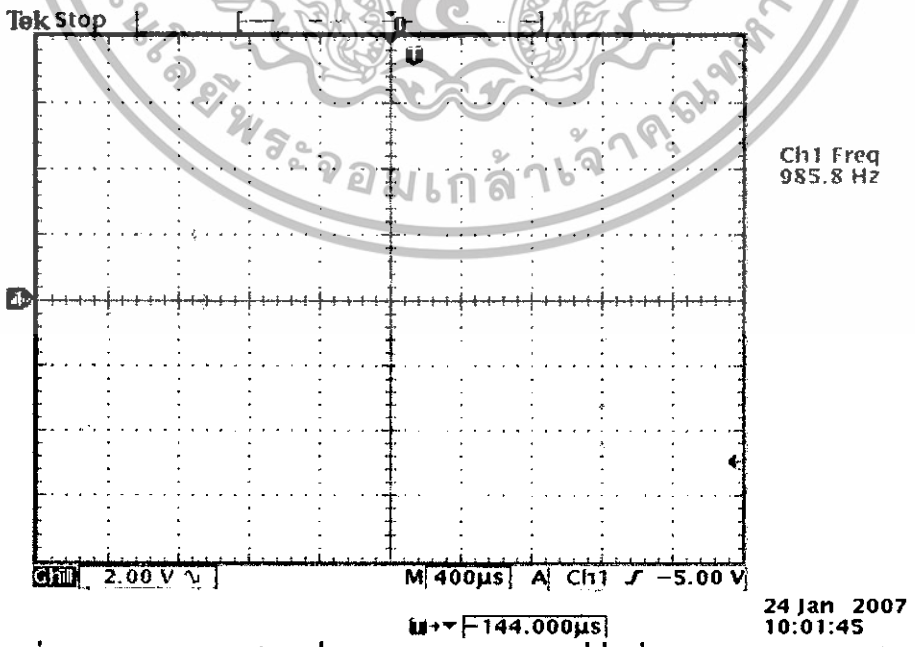
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.5 ภาค Low-pass Filter และ เอาท์พุท**

ในส่วนของวงจรภาค Low-pass Filter จะรับสัญญาณ PWM จากวงจร Full-Bridge มาทำการแยกองค์ประกอบสัญญาณความถี่สูงออกเพื่อให้คงเหลือสัญญาณที่ต้องการ



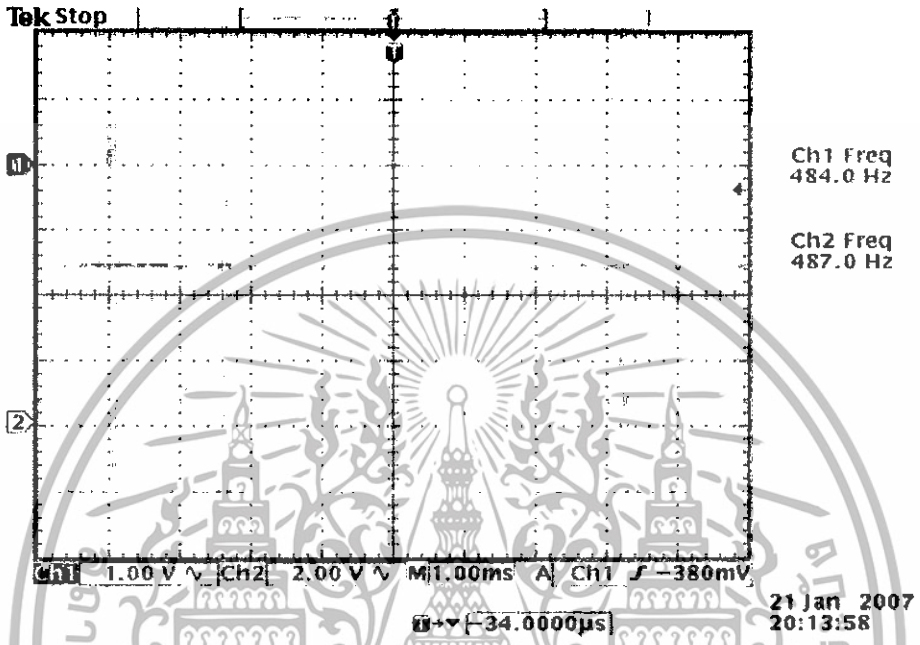

รูปที่ 6.11 สัญญาณเอาท์พุทเมื่อผ่านวงจรกรองความถี่ต่ำที่โหลด 8 โอห์ม



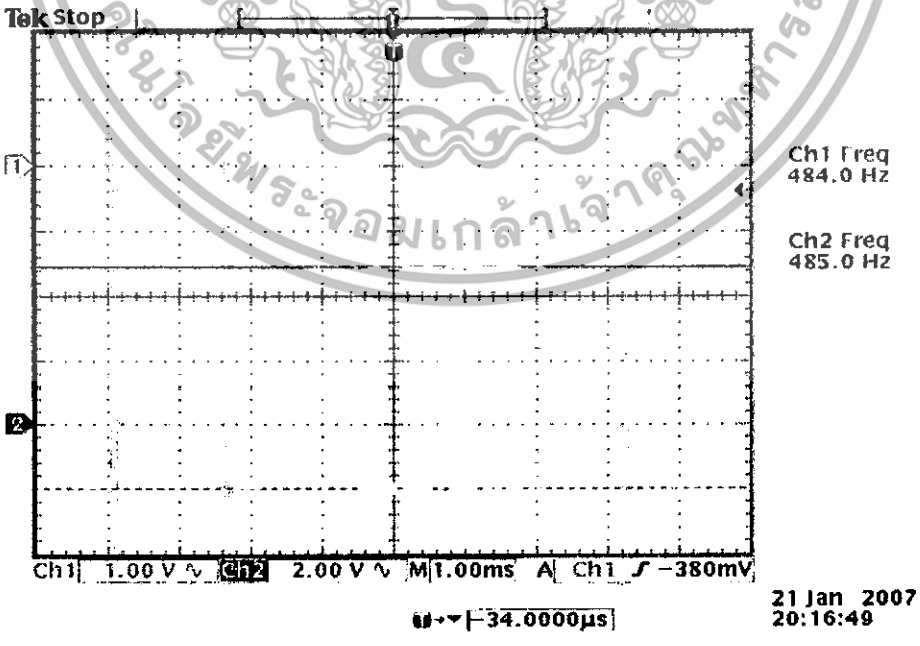

รูปที่ 6.12 สัญญาณเอาท์พุทเมื่อผ่านวงจรกรองความถี่ต่ำเมื่อไม่มีโหลดทางเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการป้อนสัญญาณอินพุทขนาด 1 Vp-p ความถี่ 500 Hz จากนั้นทำการวัดเฟสสัญญาณอินพุทเทียบกับเอาท์พุทในแต่ละข้างของวงจร Bridge



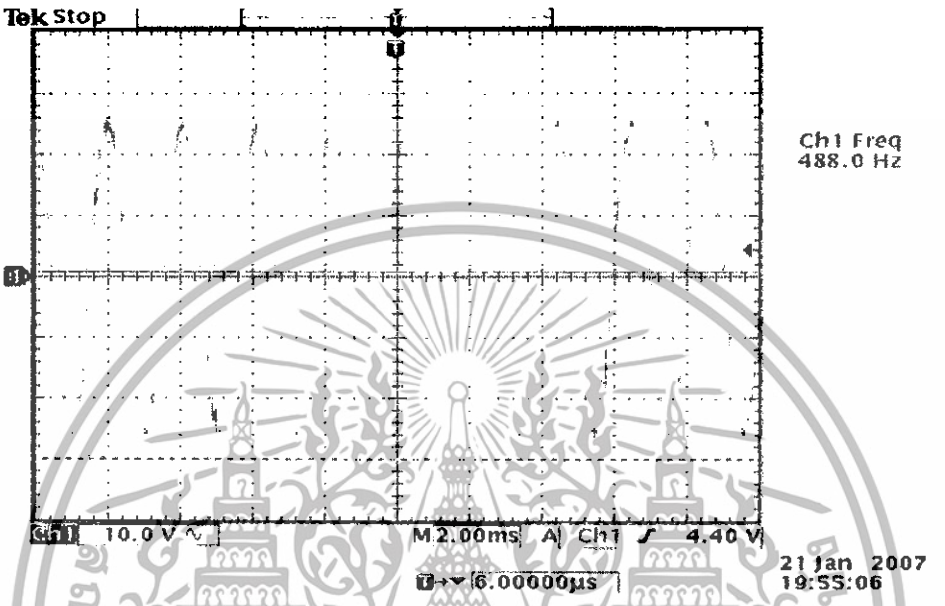

รูป 6.13 สัญญาณอินพุทเทียบกับเฟส Positive output




รูป 6.14 สัญญาณอินพุทเทียบกับเฟส Negative output

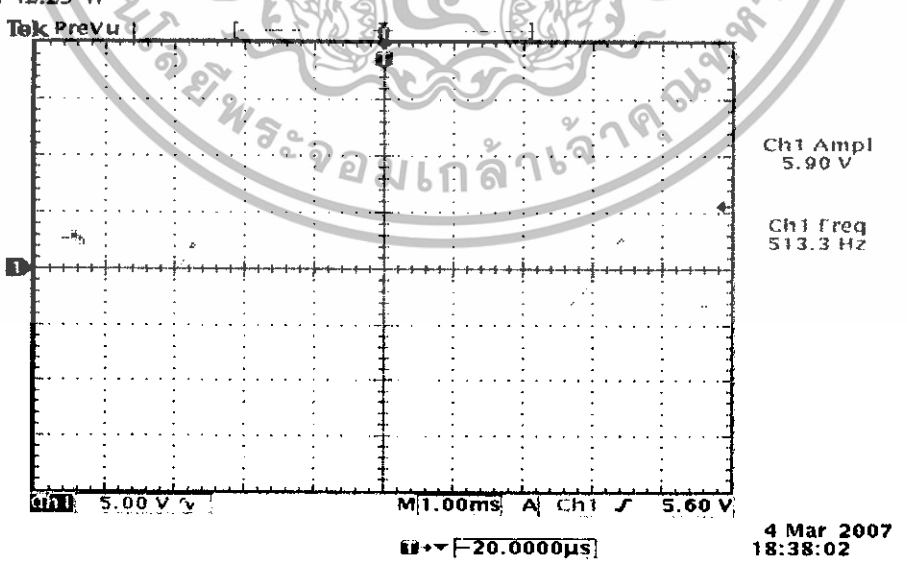
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการป้อนสัญญาณอินพุทที่มากที่สุดโดยที่ได้สัญญาณเอาท์พุทสูงสุดที่ยังไม่เพี้ยนที่ความถี่ 500 Hz เพื่อทดสอบกำลังงานสูงสุดของวงจร




รูปที่ 6.15 สัญญาณเอาท์พุทที่สูงที่สุดที่โหลด 8 โอห์ม ความถี่ 500 Hz มีขนาด 52 Vp-p

จากแรงดันสูงสุดของเอาท์พุทที่ได้จากวงจรที่มีค่า 52 Vp-p ทำให้ได้กำลังงานสูงสุดของวงจรอยู่ที่ 42.25 W




รูปที่ 6.16 สัญญาณอินพุทขณะที่เอาท์พุทมีกำลังงานสูงสุดมีค่า 5.9V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

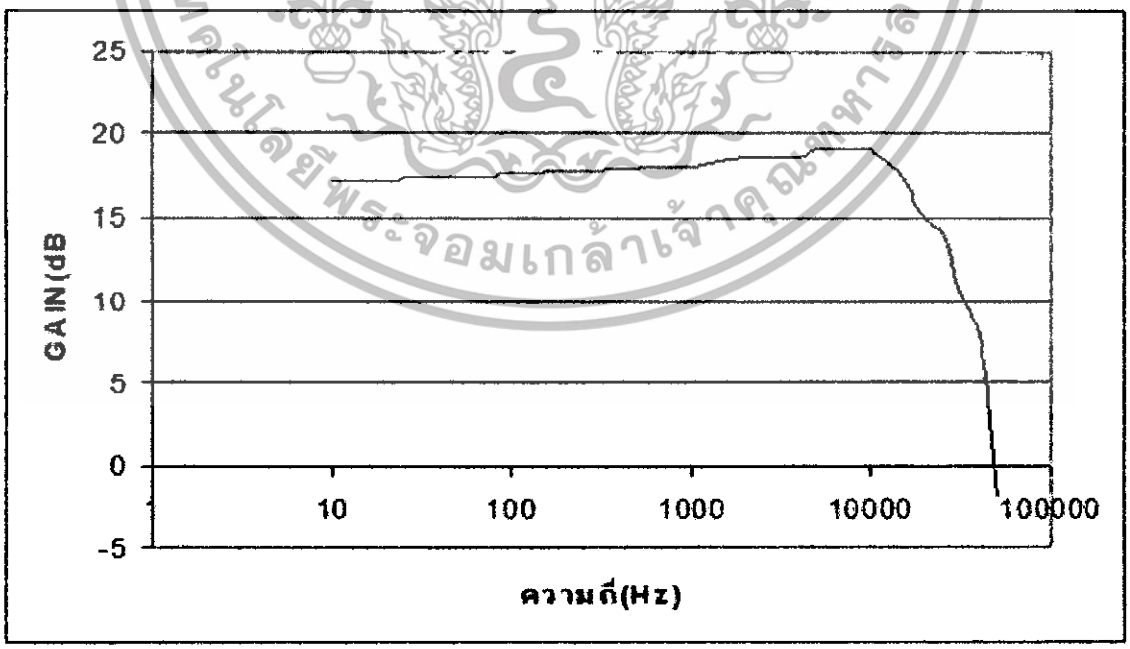
ทำการวัดการตอบสนองความถี่ของวงจรโดยการป้อนสัญญาณที่อินพุทขนาด 1 Vp-p โดยมีโหลดที่เอาท์พุท 8 โอห์ม โดยเปลี่ยนความถี่ต่างๆกัน

ตารางที่ 6.1 ผลการตอบสนองความถี่ของวงจรที่อีมพีแคนซ์โหลด 8 โอห์ม สัญญาณอินพุท 1 Vp-p

| ความถี่ (Hz) | Vout (Vp-p) | Av (V/V) | Gain (dB) |
|---|---|---|---|
| 10 | 7.2 | 7.2 | 17.15 |
| 20 | 7.2 | 7.2 | 17.15 |
| 30 | 7.5 | 7.5 | 17.50 |
| 40 | 7.5 | 7.5 | 17.50 |
| 50 | 7.5 | 7.5 | 17.50 |
| 60 | 7.5 | 7.5 | 17.50 |
| 70 | 7.5 | 7.5 | 17.50 |
| 80 | 7.5 | 7.5 | 17.50 |
| 90 | 7.6 | 7.6 | 17.61 |
| 100 | 7.6 | 7.6 | 17.61 |
| 200 | 7.7 | 7.7 | 17.73 |
| 300 | 7.7 | 7.7 | 17.73 |
| 400 | 7.8 | 7.8 | 17.84 |
| 500 | 7.8 | 7.8 | 17.84 |
| 600 | 8 | 8 | 18.06 |
| 700 | 8 | 8 | 18.06 |
| 800 | 8 | 8 | 18.06 |
| 900 | 8 | 8 | 18.06 |
| 1k | 8 | 8 | 18.06 |
| 2k | 8.5 | 8.5 | 18.58 |
| 3k | 8.5 | 8.5 | 18.58 |
| 4k | 8.5 | 8.5 | 18.58 |
| 5k | 9 | 9 | 19.08 |
| 6k | 9 | 9 | 19.08 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ความถี่ (Hz) | Vout (Vp-p) | Av (V/V) | Gain (dB) |
|---|---|---|---|
| 7k | 9 | 9 | 19.08 |
| 8k | 9 | 9 | 19.08 |
| 9k | 9 | 9 | 19.08 |
| 10k | 9 | 9 | 19.08 |
| 13k | 8 | 8 | 18.06 |
| 15k | 7.5 | 7.5 | 17.50 |
| 18k | 6 | 6 | 15.56 |
| 20k | 5.5 | 5.5 | 14.80 |
| 25k | 5 | 5 | 13.97 |
| 30k | 3.5 | 3.5 | 10.88 |
| 35k | 3 | 3 | 9.54 |
| 40k | 2.5 | 2.5 | 7.95 |
| 45k | 1.4 | 1.4 | 2.92 |
| 50k | 0.8 | 0.8 | -1.93 |




**กราฟที่ 6.1 แสดงการตอบสนองความถี่ของวงจรที่ยิมพีแดนซ์โหลด 8 โอห์ม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**6.6 ประสิทธิภาพของวงจร**

การหาค่าประสิทธิภาพของวงจรสามารถหาได้โดยใช้สมการ

$$\% \text{ Efficiency} \quad \eta = [\text{Pout} / \text{Ps}] \times 100 \tag{6.1}$$

Pout คือกำลังงานทางเอาท์พุทซึ่งเป็นวงจรขยายกำลังแบบ Full-Bridge มีค่าเท่ากับ

$$V^2_{OUT\,P\text{-}P} / 8R_L \tag{6.2}$$

; $V_{OUT\,P\text{-}P}$ คือแรงดันเอาท์พุท

; $R_L$ คือความต้านทานของโหลด

Ps คือกำลังงานของแหล่งจ่ายไฟของวงจร Full-Bridge มีค่าเท่ากับ

$$V_{pw} \times I_{pw} \tag{6.3}$$

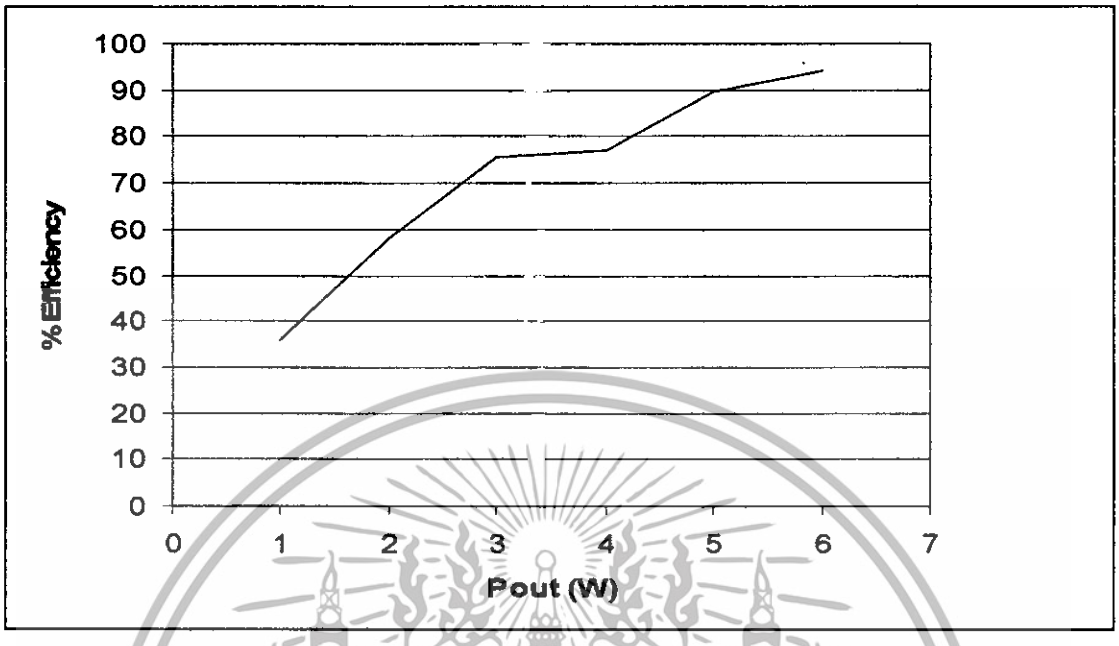
โดย $V_{pw}$ คือแรงดันที่จ่ายให้กับวงจร Full-Bridge มีค่าเท่ากับ 40 V

$I_{pw}$ คือกระแสที่ไหลผ่านวงจร Full-Bridge

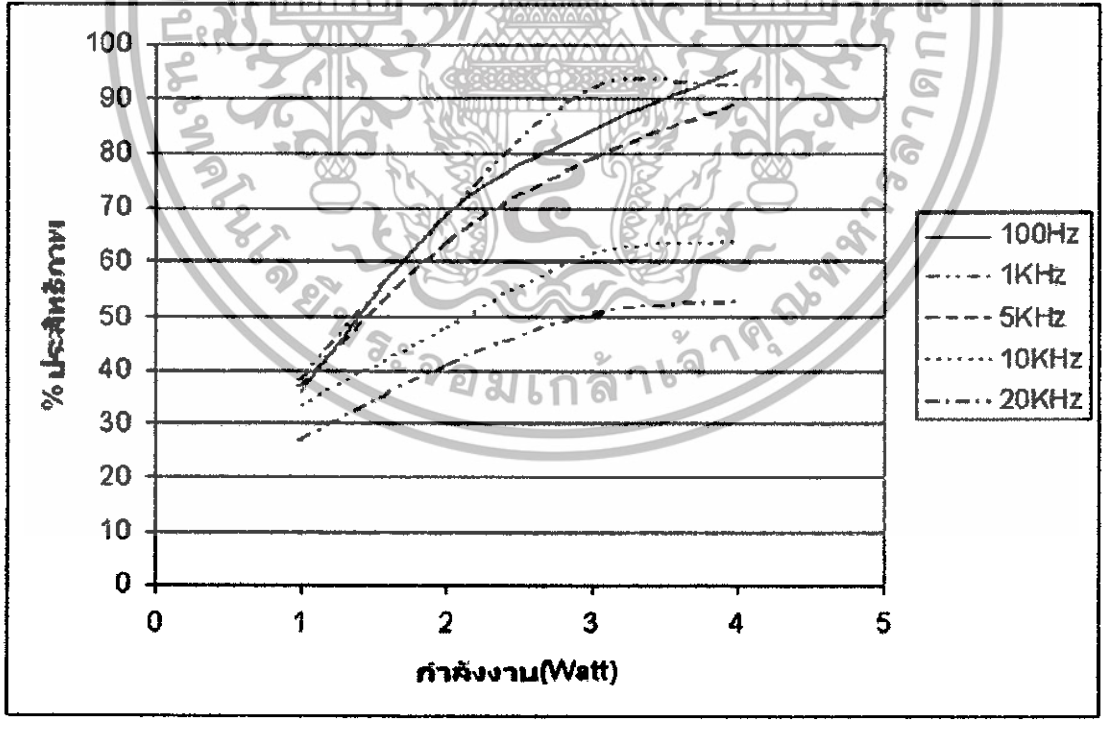
| Pout (W) | $I_{pw}$ (mA) | Ps (w) | % Efficiency |
|---|---|---|---|
| 1 | 69.6 | 2.784 | 35.919 |
| 2 | 86.0 | 3.440 | 58.139 |
| 3 | 99.1 | 3.964 | 75.681 |
| 4 | 129.6 | 5.184 | 77.160 |
| 5 | 139.4 | 5.576 | 89.670 |
| 6 | 159.7 | 6.388 | 93.926 |

**ตารางที่ 6.2 แสดงประสิทธิภาพของวงจรขยายที่ความถี่อินพุท 500 Hz โหลด 8 โอห์ม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

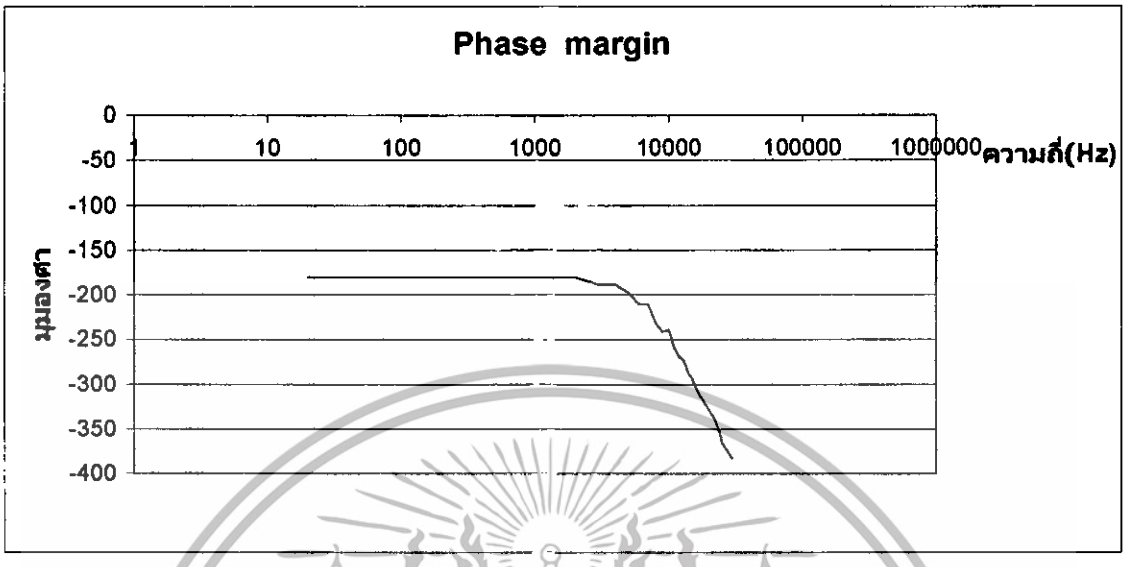



กราฟที่ 6.2 แสดงประสิทธิภาพของวงจรขยายที่ความถี่อินพุท 500 Hz โหลด 8 โอห์ม

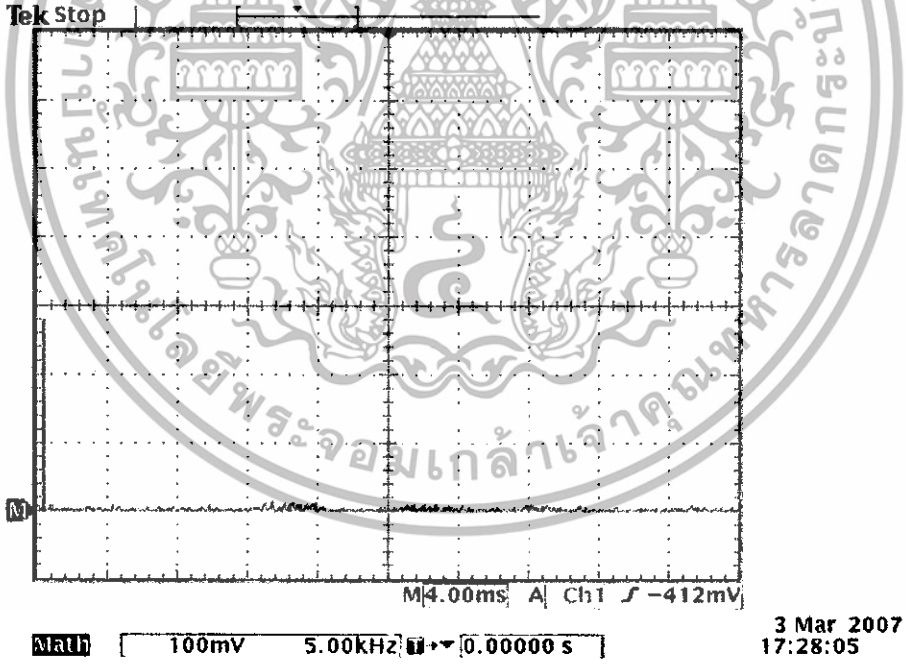



กราฟที่ 6.3 แสดงประสิทธิภาพของวงจรที่ความต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

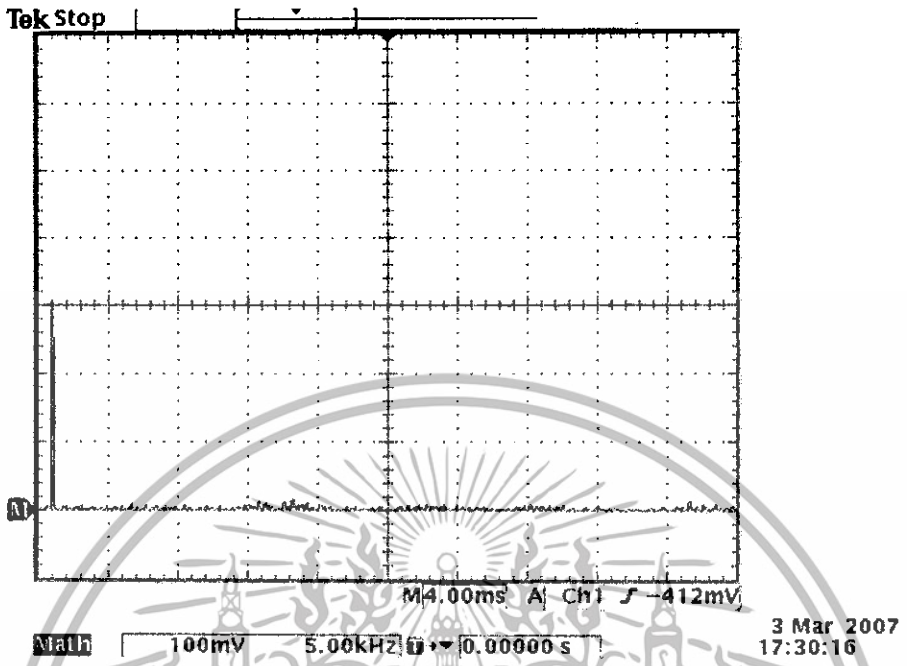



กราฟที่ 6.4 แสดงเฟสของสัญญาณของเอาท์พุทเมื่อเปรียบเทียบกับเฟสของสัญญาณอินพุท

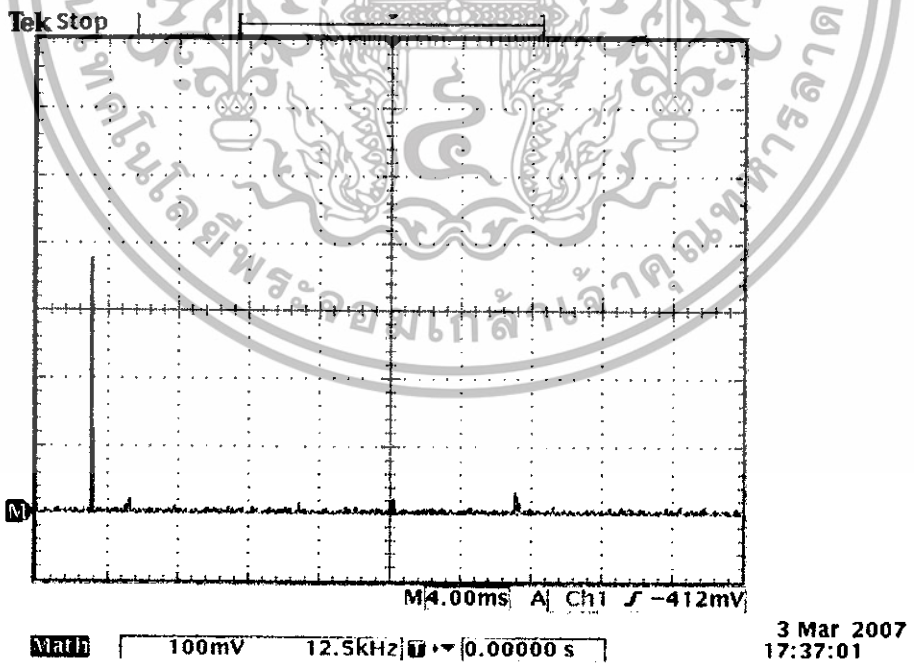



รูปที่ 6.17 สเปกตรัมของสัญญาณเอาท์พุทเมื่อป้อนอินพุท 0.2V 500Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

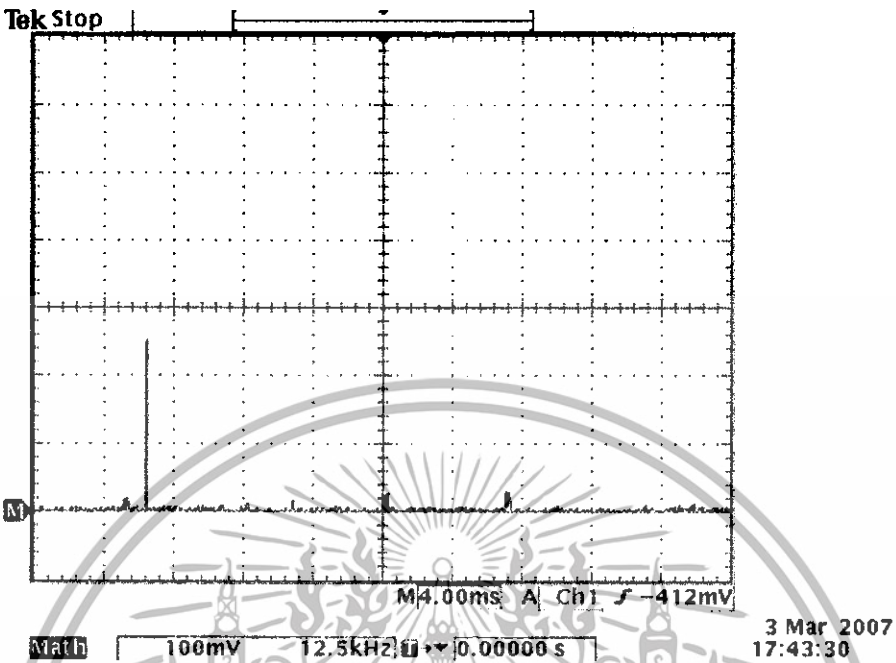



รูปที่ 6.18 สเปกตรัมของสัญญาณเอาท์พุทเมื่อป้อนอินพุท 0.2V 1kHz




รูปที่ 6.19 สเปกตรัมของสัญญาณเอาท์พุทเมื่อป้อนอินพุท 0.2V 10kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.20 สเปกตรัมของสัญญาณเอาท์พุทเมื่อป้อนอินพุท 0.2V 20kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# สรุปและวิจารณ์

## สรุปผลการทดลอง

จากการทดสอบประสิทธิภาพในการทำงานของวงจรขยายแบบสวิตชิ่งพบว่าสามารถทำประสิทธิภาพได้มากถึง 93.926% โดยกำลังงานสูงสุดที่ทำได้มีค่า 42.25 W ในส่วนการตอบสนองความถี่ของวงจรขณะที่ต่อกับโหลดขนาด 8 โอห์ม มีความถี่คัทออฟ อยู่ที่ประมาณ 20 kHz ซึ่งน้อยกว่าที่ออกแบบไว้เล็กน้อยแต่ก็ยังเพียงพอสำหรับการใช้งานย่านความถี่เสียง สัญญาณที่ได้จากเอาท์พุทมีสัญญาณความถี่สูงปะปนอยู่เล็กน้อย

## วิจารณ์ผลการทดลอง

จากการทดลองพบว่าประสิทธิภาพของวงจรสามารถทำได้ถึง 93.926 % เนื่องจากมีการสูญเสียทางอุณหภูมิที่ตัว MOSFET ต่ำเพราะ MOSFET ถูกใช้ให้ทำงานในลักษณะที่เป็นอุปกรณ์สวิตช์ ทำให้ไม่มีกระแสไหลผ่านตัว MOSFET ตลอดเวลาจึงลดการสูญเสียที่ตัว MOSFET ด้านการตอบสนองความถี่ของวงจรที่ยังไม่มากเท่าที่ควรอาจเป็นเนื่องมาจากการออกแบบในส่วนของ PCB ที่ยังไม่ดีพอ หรือการใช้อุปกรณ์ในการสร้างวงจรกรองความถี่ที่ยังไม่เหมาะสมพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

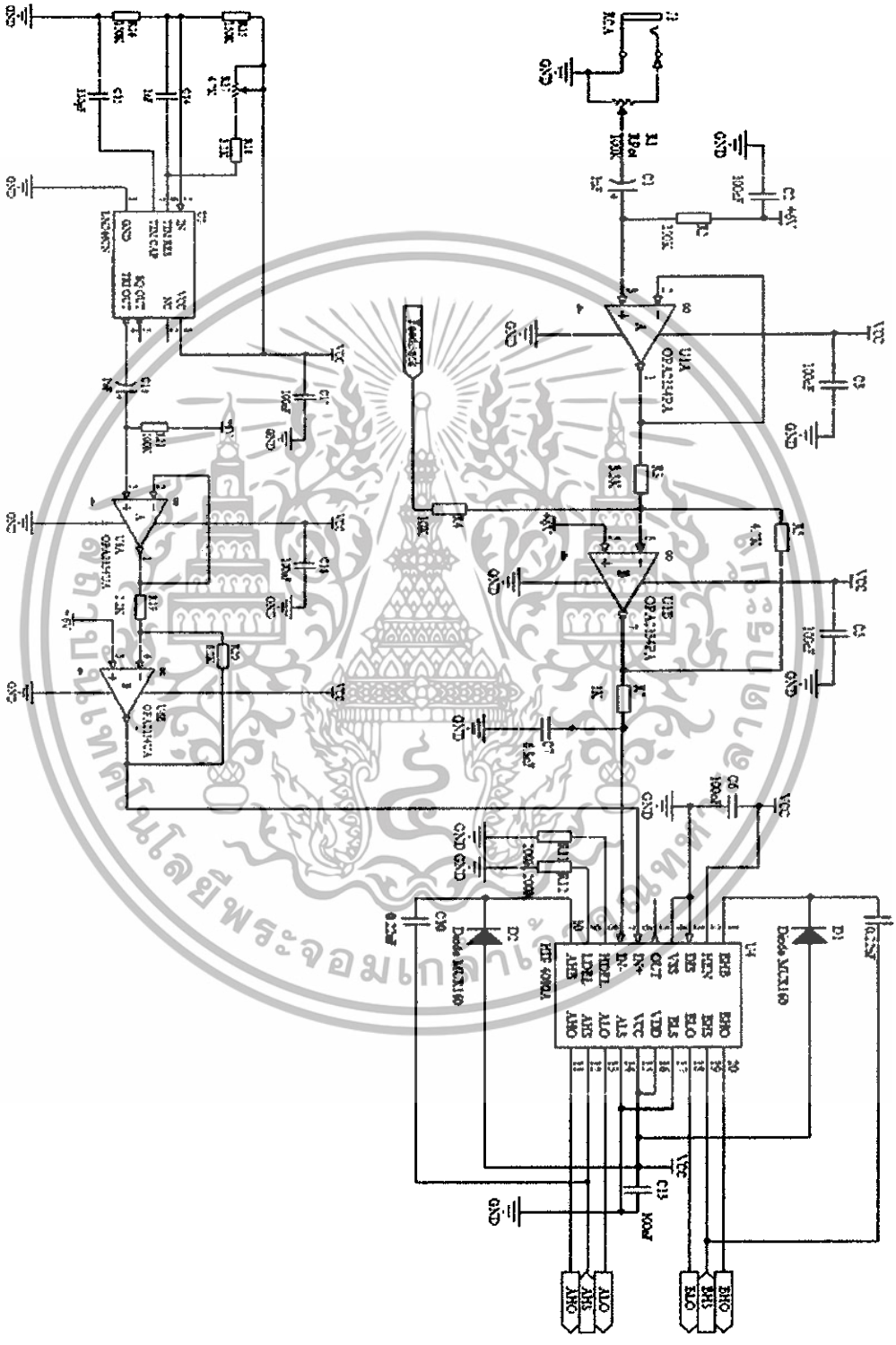

1. มงคล ทองสงคราม, "อิเล็กทรอนิกส์กำลัง", พรศิวะการพิมพ์, 250 หน้า, 2536
2. ประภากร สุวรรณะ, "Electronics Engineering 1", คณะวิศวกรรมศาสตร์
3. ประภากร สุวรรณะ, "Electronics Engineering 2", คณะวิศวกรรมศาสตร์
4. Arthur B. Williams, "Electronic Filter Design Handbook", McGraw-Hill Inc, 535 p., 1981
5. George E. Danz, "Class-D Audio 2 Evaluation Board (HIP4080AEVAL2)", Intersil Application note 9525.2, 1996
6. George E. Danz, "HIP4080, 80V High Frequency H-Bridge Driver", Intersil Application note 9324.3, 1996
7. Jorge Cerezo, "Class D Audio Amplifier Performance Relationship to MOSFET Parameters", International Rectifier Application note 1070
8. Jun Honda and Jonathan Adams, "Class D Audio Amplifier Basics", International Rectifier Application note 1071, 2005
9. Jun Honda and Jorge Cerezo, "Class D Audio Amplifier Design", International Rectifier, 2003
10. Richard Palmer, "Design Considerations for Class-D Audio Power Amplifiers", Application Report SLOA031, Texas Instrument, 1999
11. Sergio Sanchez Moreno, "Class D Audio Amplifier: Theory and Design", ColdAmp, 2005
12. Vrej Barkhordarian, "Power MOSFET Basics", International Rectifier Application note 1084
13. Yang Boon Quek, "Class-D LC Filter Design", Application Report SLOA119, Texas Instrument, 2006
14. "Class D Audio Amplifier Output Filter Optimization", Application Note 624, Maxim Integrated products and Dallas semiconductor, 2002


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

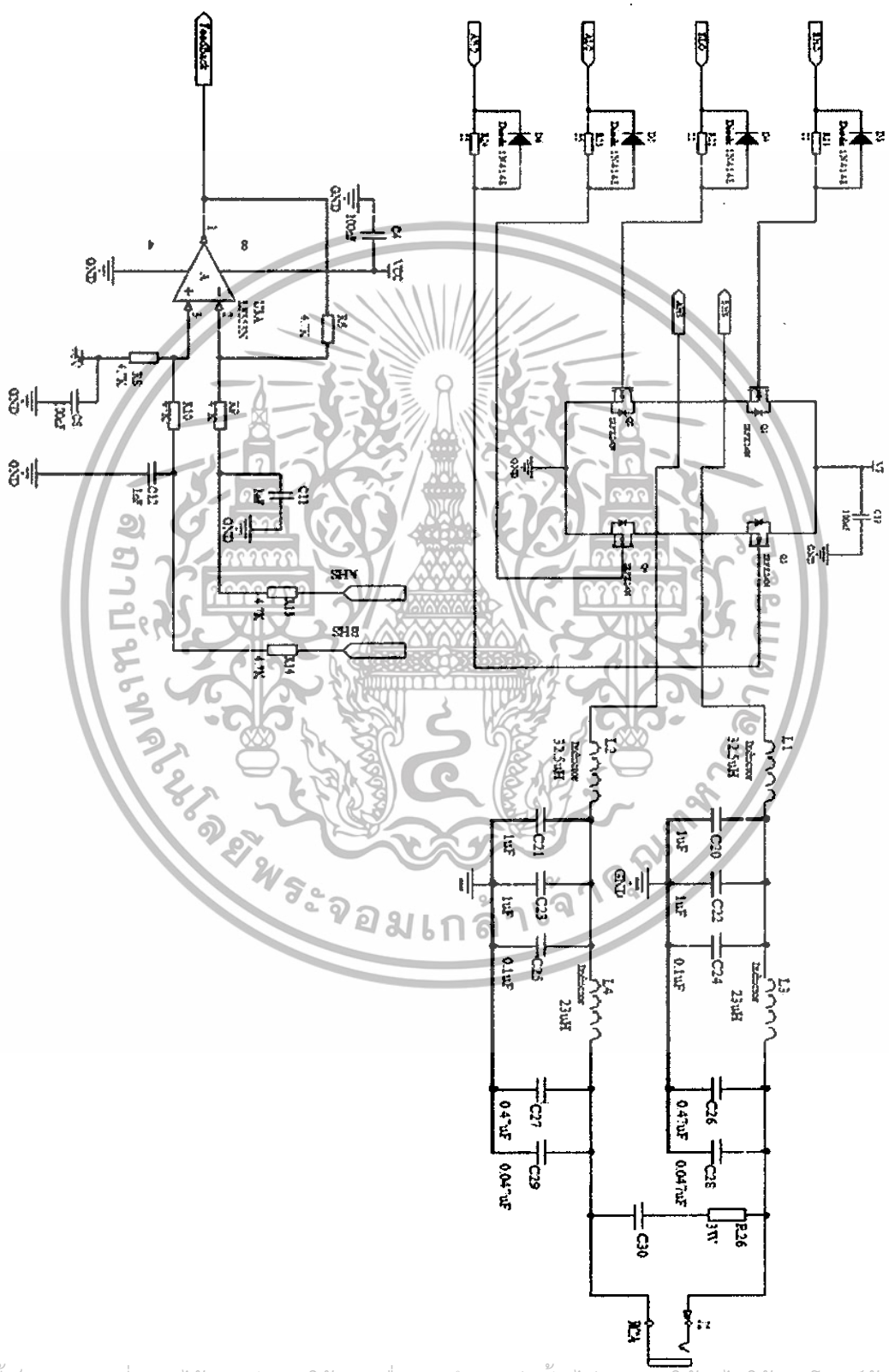
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รูปวงจรรวมของภาค INPUT, PWM, Triangle wave generator**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รูปวงจรรวมของภาค Full Bridge, Feedback, Low-pass Filter**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 80V/2.5A Peak, High Frequency Full Bridge FET Driver

The HIP4080A is a high frequency, medium voltage Full Bridge N-Channel FET driver IC, available in 20 lead plastic SOIC and DIP packages. The HIP4080A includes an input comparator, used to facilitate the "hysteresis" and PWM modes of operation. Its HEN (high enable) lead can force current to freewheel in the bottom two external power MOSFETs, maintaining the upper power MOSFETs off. Since it can switch at frequencies up to 1MHz, the HIP4080A is well suited for driving Voice Coil Motors, switching power amplifiers and power supplies.

HIP4080A can also drive medium voltage brush motors, and two HIP4080As can be used to drive high performance stepper motors, since the short minimum "on-time" can provide fine micro-stepping capability.

Short propagation delays of approximately 55ns maximize control loop crossover frequencies and dead-times which can be adjusted to near zero to minimize distortion, resulting in precise control of the driven load.

The similar HIP4081A IC allows independent control of all 4 FETs in a Full Bridge configuration.

The Application Note for the HIP4080A is AN9404.

## Ordering Information

| PART NUMBER | TEMPERATURE RANGE (°C) | PACKAGE | PKG. DWG. # |
|---|---|---|---|
| HIP4080AIPZ (Note 1) | -40 to +85 | 20 Ld PDIP (Pb-Free) | E20.3 |
| HIP4080AIP | -40 to +85 | 20 Ld PDIP | E20.3 |
| HIP4080AIB | -40 to +85 | 20 Ld SOIC | M20.3 |
| HIP4080AIBZ (Note 1) | -40 to +85 | 20 Ld SOIC (Pb-Free) | M20.3 |

NOTES:

1. Intersil Pb-Free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which is compatible with both SnPb and Pb-free soldering operations. Intersil Pb-Free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J Std-020B.
2. Add "T" suffix for Tape and Reel packing option. HIP4080AIP not available in Tape and Reel.

## Features

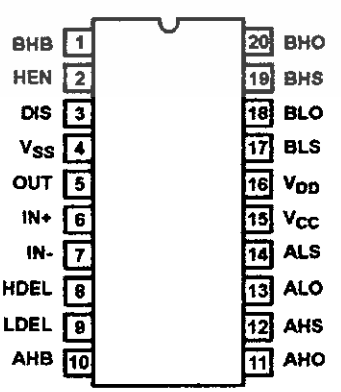
- Drives N-Channel FET Full Bridge Including High Side Chop Capability
- Bootstrap Supply Max Voltage to 95VDC
- Drives 1000pF Load at 1MHz in Free Air at +50°C with Rise and Fall Times of Typically 10ns
- User-Programmable Dead Time
- Charge-Pump and Bootstrap Maintain Upper Bias Supplies
- DIS (Disable) Pin Pulls Gates Low
- Input Logic Thresholds Compatible with 5V to 15V Logic Levels
- Very Low Power Consumption
- Undervoltage Protection
- Pb-Free Available as an Option

## Applications

- Medium/Large Voice Coil Motors
- Full Bridge Power Supplies
- Switching Power Amplifiers
- High Performance Motor Controls
- Noise Cancellation Systems
- Battery Powered Vehicles
- Peripherals
- U.P.S.

## Pinout

HIP4080A
(PDIP, SOIC)
TOP VIEW

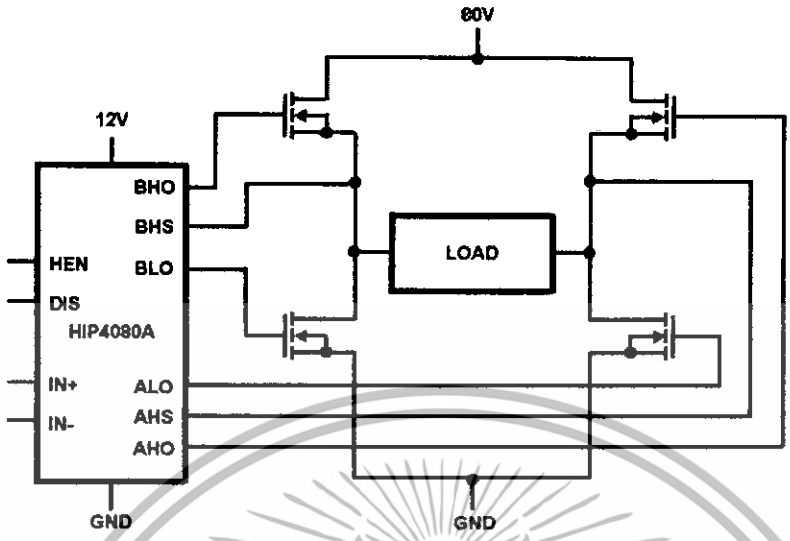



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

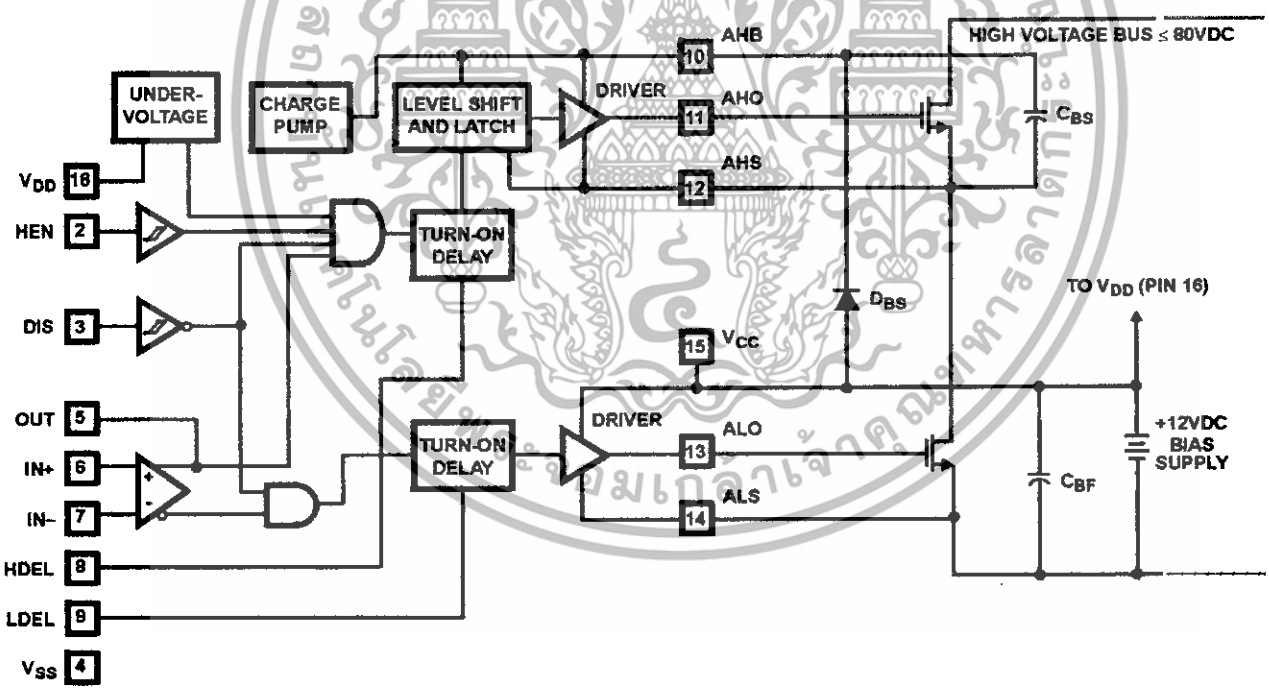


CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Intersil (and design) is a registered trademark of Intersil Americas Inc.
Copyright Harris Corporation 1995, Copyright Intersil Americas Inc. 2003, 2004. All Rights Reserved
All other trademarks mentioned are the property of their respective owners.

## Application Block Diagram

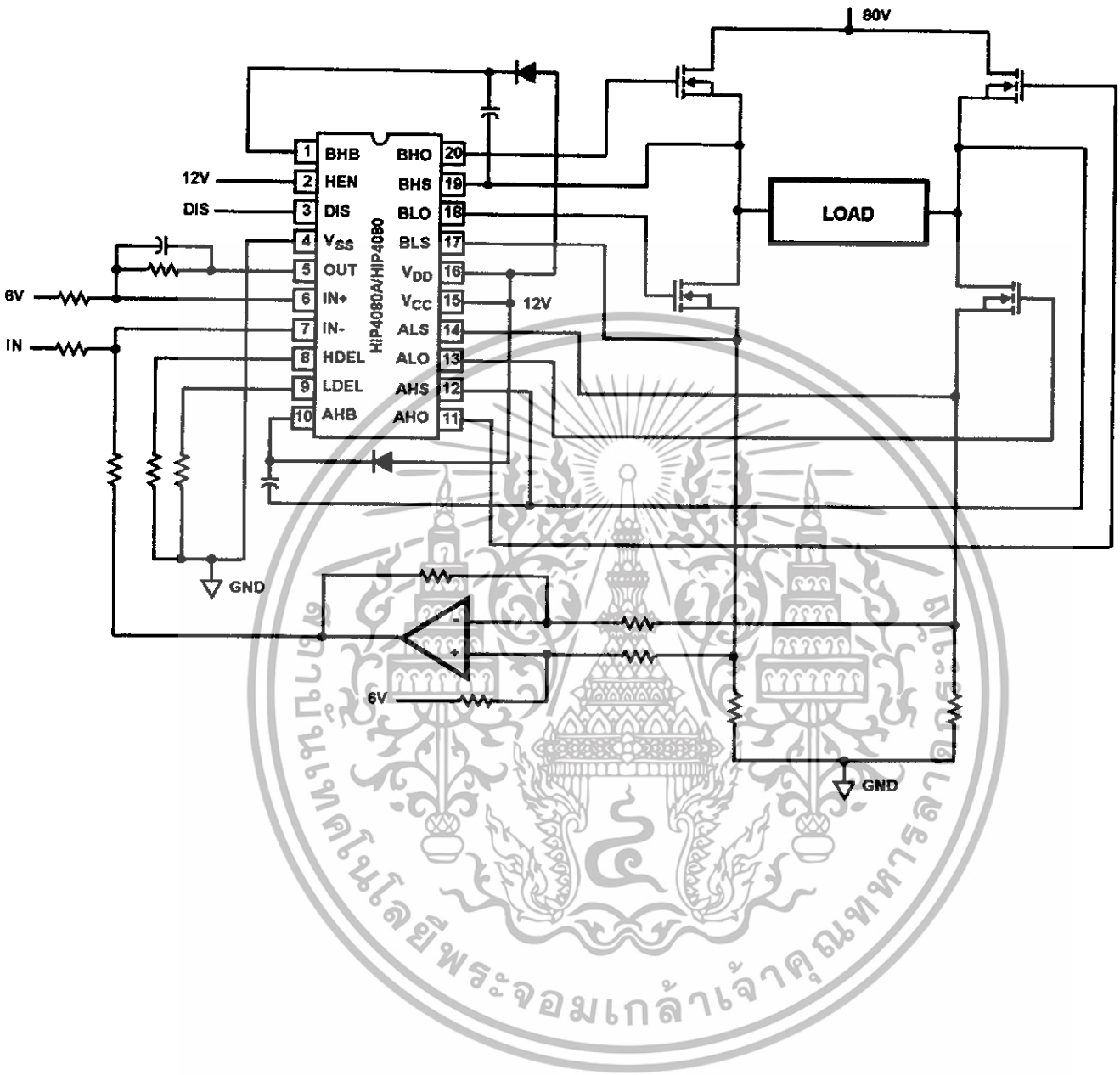



## Functional Block Diagram (1/2 HIP4080A)




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Application (Hysteresis Mode Switching)




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

Supply Voltage, $V_{DD}$ and $V_{CC}$ . . . . . -0.3V to 16V
Logic I/O Voltages . . . . . -0.3V to $V_{DD}$ +0.3V
Voltage on AHS, BHS . . . -6.0V (Transient) to 80V (25°C to 125°C)
Voltage on AHS, BHS . . . -6.0V (Transient) to 70V (-55°C to 125°C)
Voltage on ALS, BLS . . . . . -2.0V (Transient) to +2.0V (Transient)
Voltage on AHB, BHB . . . . . $V_{AHS, BHS}$ -0.3V to $V_{AHS, BHS}$ +$V_{DD}$
Voltage on ALO, BLO . . . . . $V_{ALS, BLS}$ -0.3V to $V_{CC}$ +0.3V
Voltage on AHO, BHO . . . . . $V_{AHS, BHS}$ -0.3V to $V_{AHB, BHB}$ +0.3V
Input Current, HDEL and LDEL . . . . . -5mA to 0mA
Phase Slew Rate . . . . . 20V/ns
All Voltages relative to $V_{SS}$, unless otherwise specified.

## Thermal Information

| Thermal Resistance (Typical, Note 3) | $\theta_{JA}$ (°C/W) |
|---|---|
| SOIC Package | 85 |
| PDIP Package | 75 |

Maximum Power Dissipation at +85°C
SOIC Package . . . . . 470mW
PDIP Package . . . . . 530mW
Storage Temperature Range . . . . . -65°C to +150°C
Operating Max. Junction Temperature . . . . . +125°C
Lead Temperature (Soldering 10s) . . . . . +300°C
(For SOIC - Lead Tips Only)

## Operating Conditions

Supply Voltage, $V_{DD}$ and $V_{CC}$ . . . . . +9.5V to +15V
Voltage on ALS, BLS . . . . . -1.0V to +1.0V
Voltage on AHB, BHB . . . . . $V_{AHS, BHS}$ +5V to $V_{AHS, BHS}$ +15V
Input Current, HDEL and LDEL . . . . . -500µA to -50µA
Operating Ambient Temperature Range . . . . . -40°C to +85°C

*CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.*

NOTE:

3. $\theta_{JA}$ is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

## Electrical Specifications

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25°C$, Unless Otherwise Specified

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J$ = +25°C MIN | $T_J$ = +25°C TYP | $T_J$ = +25°C MAX | $T_J$ = -40°C TO +125°C MIN | $T_J$ = -40°C TO +125°C MAX | UNITS |
|---|---|---|---|---|---|---|---|---|
| **SUPPLY CURRENTS AND CHARGE PUMPS** | | | | | | | | |
| $V_{DD}$ Quiescent Current | $I_{DD}$ | IN- = 2.5V, Other Inputs = 0V | 8 | 11 | 14 | 7 | 14 | mA |
| $V_{DD}$ Operating Current | $I_{DDO}$ | Outputs switching f = 500kHz, No Load | 9 | 12 | 15 | 8 | 15 | mA |
| $V_{CC}$ Quiescent Current | $I_{CC}$ | IN- = 2.5V, Other Inputs = 0V, $I_{ALO} = I_{BLO} = 0$ | - | 25 | 80 | - | 100 | µA |
| $V_{CC}$ Operating Current | $I_{CCO}$ | f = 500kHz, No Load | 1 | 1.25 | 2.0 | 0.8 | 3 | mA |
| AHB, BHB Quiescent Current - Qpump Output Current | $I_{AHB}$, $I_{BHB}$ | IN- = 2.5V, Other Inputs = 0V, $I_{AHO} = I_{BHO} = 0$, $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 10V$ | -50 | -25 | -11 | -60 | -10 | µA |
| AHB, BHB Operating Current | $I_{AHBO}$, $I_{BHBO}$ | f = 500kHz, No Load | 0.62 | 1.2 | 1.5 | 0.5 | 1.9 | mA |
| AHS, BHS, AHB, BHB Leakage Current | $I_{HLK}$ | $V_{BHS} = V_{AHS} = 80V$, $V_{AHB} = V_{BHB} = 93V$ | - | 0.02 | 1.0 | - | 10 | µA |
| AHB-AHS, BHB-BHS Qpump Output Voltage | $V_{AHB} - V_{AHS}$ $V_{BHB} - V_{BHS}$ | $I_{AHB} = I_{AHB} = 0$, No Load | 11.5 | 12.6 | 14.0 | 10.5 | 14.5 | V |
| **INPUT COMPARATOR PINS: IN+, IN-, OUT** | | | | | | | | |
| Offset Voltage | $V_{OS}$ | Over Common Mode Voltage Range | -10 | 0 | +10 | -15 | +15 | mV |
| Input Bias Current | $I_{IB}$ | | 0 | 0.5 | 2 | 0 | 4 | µA |
| Input Offset Current | $I_{OS}$ | | -1 | 0 | +1 | -2 | +2 | µA |
| Input Common Mode Voltage Range | CMVR | | 1 | - | $V_{DD}$ -1.5 | 1 | $V_{DD}$ -1.5 | V |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Electrical Specifications** $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25°C$, Unless Otherwise Specified **(Continued)**

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25°C$ | | | $T_J = -40°C$ TO $+125°C$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| Voltage Gain | AVOL | | 10 | 25 | - | 10 | - | V/mV |
| OUT High Level Output Voltage | $V_{OH}$ | IN+ > IN-, $I_{OH}$ = -250µA | $V_{DD}$ -0.4 | - | - | $V_{DD}$ - 0.5 | - | V |
| OUT Low Level Output Voltage | $V_{OL}$ | IN+ < IN-, $I_{OL}$ = +250µA | - | - | 0.4 | - | 0.5 | V |
| Low Level Output Current | $I_{OL}$ | $V_{OUT}$ = 6V | 6.5 | 14 | 19 | 6 | 20 | mA |
| High Level Output Current | $I_{OH}$ | $V_{OUT}$ = 6V | -17 | -10 | -3 | -20 | -2.5 | mA |
| **INPUT PINS: DIS** | | | | | | | | |
| Low Level Input Voltage | $V_{IL}$ | Full Operating Conditions | - | - | 1.0 | - | 0.8 | V |
| High Level Input Voltage | $V_{IH}$ | Full Operating Conditions | 2.5 | - | - | 2.7 | - | V |
| Input Voltage Hysteresis | | | - | 35 | - | - | - | mV |
| Low Level Input Current | $I_{IL}$ | $V_{IN}$ = 0V, Full Operating Conditions | -130 | -100 | -75 | -135 | -65 | µA |
| High Level Input Current | $I_{IH}$ | $V_{IN}$ = 5V, Full Operating Conditions | -1 | - | +1 | -10 | +10 | µA |
| **INPUT PINS: HEN** | | | | | | | | |
| Low Level Input Voltage | $V_{IL}$ | Full Operating Conditions | - | - | 1.0 | - | 0.8 | V |
| High Level Input Voltage | $V_{IH}$ | Full Operating Conditions | 2.5 | - | - | 2.7 | - | V |
| Input Voltage Hysteresis | | | - | 35 | - | - | - | mV |
| Low Level Input Current | $I_{IL}$ | $V_{IN}$ = 0V, Full Operating Conditions | -260 | -200 | -150 | -270 | -130 | µA |
| High Level Input Current | $I_{IH}$ | $V_{IN}$ = 5V, Full Operating Conditions | -1 | - | +1 | -10 | +10 | µA |
| **TURN-ON DELAY PINS: LDEL AND HDEL** | | | | | | | | |
| LDEL, HDEL Voltage | $V_{HDEL,V}$ | $I_{HDEL} = I_{LDEL}$ = -100µA | 4.9 | 5.1 | 5.3 | 4.8 | 5.4 | V |
| **GATE DRIVER OUTPUT PINS: ALO, BLO, AHO, AND BHO** | | | | | | | | |
| Low Level Output Voltage | $V_{OL}$ | $I_{OUT}$ = 100mA | 0.7 | 0.85 | 1.0 | 0.5 | 1.1 | V |
| High Level Output Voltage | $V_{CC} - V_{OH}$ | $I_{OUT}$ = -100mA | 0.8 | 0.95 | 1.1 | 0.5 | 1.2 | V |
| Peak Pullup Current | $I_{O+}$ | $V_{OUT}$ = 0V | 1.7 | 2.6 | 3.8 | 1.4 | 4.1 | A |
| Peak Pulldown Current | $I_{O-}$ | $V_{OUT}$ = 12V | 1.7 | 2.4 | 3.3 | 1.3 | 3.6 | A |
| Under Voltage, Rising Threshold | UV+ | | 8.1 | 8.8 | 9.4 | 8.0 | 9.5 | V |
| Under Voltage, Falling Threshold | UV- | | 7.6 | 8.3 | 8.9 | 7.5 | 9.0 | V |
| Under Voltage, Hysteresis | HYS | | 0.25 | 0.4 | 0.65 | 0.2 | 0.7 | V |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Switching Specifications** $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 10K$, $C_L = 1000pF$, and $T_A = +25°C$, Unless Otherwise Specified

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25°C$ | | | $T_J = -40°C$ TO $+125°C$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| Lower Turn-off Propagation Delay (IN+/IN- to ALO/BLO) | $T_{LPHL}$ | | - | 40 | 70 | - | 90 | ns |
| Upper Turn-off Propagation Delay (IN+/IN- to AHO/BHO) | $T_{HPHL}$ | | - | 50 | 80 | - | 110 | ns |
| Lower Turn-on Propagation Delay (IN+/IN- to ALO/BLO) | $T_{LPLH}$ | | - | 40 | 70 | - | 90 | ns |
| Upper Turn-on Propagation Delay (IN+/IN- to AHO/BHO) | $T_{HPLH}$ | | - | 70 | 110 | - | 140 | ns |
| Rise Time | $T_R$ | | - | 10 | 25 | - | 35 | ns |
| Fall Time | $T_F$ | | - | 10 | 25 | - | 35 | ns |
| Turn-on Input Pulse Width | $T_{PWIN-ON}$ | | 50 | - | - | 50 | - | ns |
| Turn-off Input Pulse Width | $T_{PWIN-OFF}$ | | 40 | - | - | 40 | - | ns |
| Disable Turn-off Propagation Delay (DIS - Lower Outputs) | $T_{DISLOW}$ | | - | 45 | 75 | - | 95 | ns |
| Disable Turn-off Propagation Delay (DIS - Upper Outputs) | $T_{DISHIGH}$ | | - | 55 | 85 | - | 105 | ns |
| Disable to Lower Turn-on Propagation Delay (DIS - ALO and BLO) | $T_{DLPLH}$ | | - | 45 | 70 | - | 90 | ns |
| Refresh Pulse Width (ALO and BLO) | $T_{REF-PW}$ | | 240 | 380 | 500 | 200 | 600 | ns |
| Disable to Upper Enable (DIS - AHO and BHO) | $T_{UEN}$ | | - | 480 | 630 | - | 750 | ns |
| HEN-AHO, BHO Turn-off, Propagation Delay | $T_{HEN-PHL}$ | $R_{HDEL} = R_{LDEL} = 10K$ | - | 40 | 70 | - | 90 | ns |
| HEN-AHO, BHO Turn-on, Propagation Delay | $T_{HEN-PLH}$ | $R_{HDEL} = R_{LDEL} = 10K$ | - | 60 | 90 | - | 110 | ns |

**TRUTH TABLE**

| INPUT | | | | OUTPUT | | | |
|---|---|---|---|---|---|---|---|
| IN+ > IN- | HEN | U/V | DIS | ALO | AHO | BLO | BHO |
| X | X | X | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| X | X | 1 | X | 0 | 0 | 0 | 0 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pin Descriptions

| PIN NUMBER | SYMBOL | DESCRIPTION |
|---|---|---|
| 1 | BHB | B High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30µA out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V. |
| 2 | HEN | High-side Enable input. Logic level input that when low overrides IN+/IN- (Pins 6 and 7) to put AHO and BHO drivers (Pins 11 and 20) in low output state. When HEN is high AHO and BHO are controlled by IN+/IN- inputs. The pin can be driven by signal levels of 0V to 15V (no greater than $V_{DD}$). |
| 3 | DIS | DISable input. Logic level input that when taken high sets all four outputs low. DIS high overrides all other inputs. When DIS is taken low the outputs are controlled by the other inputs. The pin can be driven by signal levels of 0V to 15V (no greater than $V_{DD}$). |
| 4 | $V_{SS}$ | Chip negative supply, generally will be ground. |
| 5 | OUT | OUTput of the input control comparator. This output can be used for feedback and hysteresis. |
| 6 | IN+ | Noninverting input of control comparator. If IN+ is greater than IN- (Pin 7) then ALO and BHO are low level outputs and BLO and AHO are high level outputs. If IN+ is less than IN- then ALO and BHO are high level outputs and BLO and AHO are low level outputs. DIS (Pin 3) high level will override IN+/IN- control for all outputs. HEN (Pin 2) low level will override IN+/IN- control of AHO and BHO. When switching in four quadrant mode, dead time in a half bridge leg is controlled by HDEL and LDEL (Pins 8 and 9). |
| 7 | IN- | Inverting input of control comparator. See IN+ (Pin 6) description. |
| 8 | HDEL | High-side turn-on DELay. Connect resistor from this pin to $V_{SS}$ to set timing current that defines the turn-on delay of both high-side drivers. The low-side drivers turn-off with no adjustable delay, so the HDEL resistor guarantees no shoot-through by delaying the turn-on of the high-side drivers. HDEL reference voltage is approximately 5.1V. |
| 9 | LDEL | Low-side turn-on DELay. Connect resistor from this pin to $V_{SS}$ to set timing current that defines the turn-on delay of both low-side drivers. The high-side drivers turn-off with no adjustable delay, so the LDEL resistor guarantees no shoot-through by delaying the turn-on of the low-side drivers. LDEL reference voltage is approximately 5.1V. |
| 10 | AHB | A High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30µA out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V. |
| 11 | AHO | A High-side Output. Connect to gate of A High-side power MOSFET. |
| 12 | AHS | A High-side Source connection. Connect to source of A High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin. |
| 13 | ALO | A Low-side Output. Connect to gate of A Low-side power MOSFET. |
| 14 | ALS | A Low-side Source connection. Connect to source of A Low-side power MOSFET. |
| 15 | $V_{CC}$ | Positive supply to gate drivers. Must be same potential as $V_{DD}$ (Pin 16). Connect to anodes of two bootstrap diodes. |
| 16 | $V_{DD}$ | Positive supply to lower gate drivers. Must be same potential as $V_{CC}$ (Pin 15). De-couple this pin to $V_{SS}$ (Pin 4). |
| 17 | BLS | B Low-side Source connection. Connect to source of B Low-side power MOSFET. |
| 18 | BLO | B Low-side Output. Connect to gate of B Low-side power MOSFET. |
| 19 | BHS | B High-side Source connection. Connect to source of B High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin. |
| 20 | BHO | B High-side Output. Connect to gate of B High-side power MOSFET. |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®

# OPA134
# OPA2134
# OPA4134

## SoundPlus™ High Performance AUDIO OPERATIONAL AMPLIFIERS

## FEATURES

- SUPERIOR SOUND QUALITY
- ULTRA LOW DISTORTION: 0.00008%
- LOW NOISE: 8nV/√Hz
- TRUE FET-INPUT: $I_B$ = 5pA
- HIGH SPEED:
  SLEW RATE: 20V/µs
  BANDWIDTH: 8MHz
- HIGH OPEN-LOOP GAIN: 120dB (600Ω)
- WIDE SUPPLY RANGE: ±2.5V to ±18V
- SINGLE, DUAL, AND QUAD VERSIONS

## APPLICATIONS

- PROFESSIONAL AUDIO AND MUSIC
- LINE DRIVERS
- LINE RECEIVERS
- MULTIMEDIA AUDIO
- ACTIVE FILTERS
- PREAMPLIFIERS
- INTEGRATORS
- CROSSOVER NETWORKS

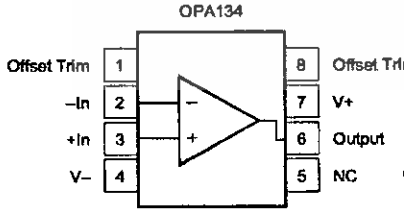
## DESCRIPTION

The OPA134 series are ultra-low distortion, low noise operational amplifiers fully specified for audio applications. A true FET input stage was incorporated to provide superior sound quality and speed for exceptional audio performance. This in combination with high output drive capability and excellent dc performance allows use in a wide variety of demanding applications. In addition, the OPA134's wide output swing, to within 1V of the rails, allows increased headroom making it ideal for use in any audio circuit.

OPA134 op amps are easy to use and free from phase inversion and overload problems often found in common FET-input op amps. They can be operated from ±2.5V to ±18V power supplies. Input cascode circuitry provides excellent common-mode rejection and maintains low input bias current over its wide input voltage range, minimizing distortion. OPA134 series op amps are unity-gain stable and provide excellent dynamic behavior over a wide range of load conditions, including high load capacitance. The dual and quad versions feature completely independent circuitry for lowest crosstalk and freedom from interaction, even when overdriven or overloaded.

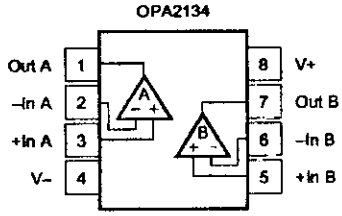
Single and dual versions are available in 8-pin DIP and SO-8 surface-mount packages in standard configurations. The quad is available in 14-pin DIP and SO-14 surface mount packages. All are specified for –40°C to +85°C operation. A SPICE macromodel is available for design analysis.

OPA134



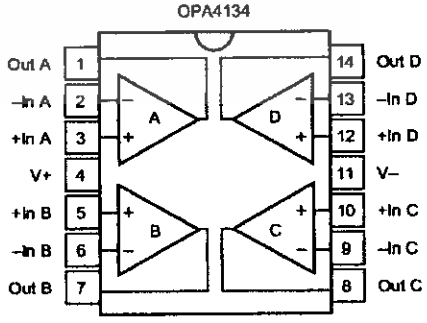

8-Pin DIP, SO-8

OPA2134




8-Pin DIP, SO-8

OPA4134




14-Pin DIP
SO-14

International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111
Internet: http://www.burr-brown.com/ • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

© 1996 Burr-Brown Corporation

PDS-1339C

Printed in U.S.A. December, 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SPECIFICATIONS

At $T_A$ = +25°C, $V_S$ = ±15V, unless otherwise noted.

| PARAMETER | CONDITION | OPA134PA, UA OPA2134PA, UA OPA4134PA, UA MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|
| **AUDIO PERFORMANCE** | | | | | |
| Total Harmonic Distortion + Noise | G = 1, f = 1kHz, $V_O$ = 3Vrms | | | | |
| | $R_L$ = 2kΩ | | 0.00008 | | % |
| | $R_L$ = 600Ω | | 0.00015 | | % |
| Intermodulation Distortion | G = 1, f = 1kHz, $V_O$ = 1Vp-p | | –98 | | dB |
| Headroom[1] | THD < 0.01%, $R_L$ = 2kΩ, $V_S$ = ±18V | | 23.6 | | dBu |
| **FREQUENCY RESPONSE** | | | | | |
| Gain-Bandwidth Product | | | 8 | | MHz |
| Slew Rate[2] | | ±15 | ±20 | | V/µs |
| Full Power Bandwidth | | | 1.3 | | MHz |
| Settling Time 0.1% | G = 1, 10V Step, $C_L$ = 100pF | | 0.7 | | µs |
| 0.01% | G = 1, 10V Step, $C_L$ = 100pF | | 1 | | µs |
| Overload Recovery Time | ($V_{IN}$) • (Gain) = $V_S$ | | 0.5 | | µs |
| **NOISE** | | | | | |
| Input Voltage Noise | | | | | |
| Noise Voltage, f = 20Hz to 20kHz | | | 1.2 | | µVrms |
| Noise Density, f = 1kHz | | | 8 | | nV/√Hz |
| Current Noise Density, f = 1kHz | | | 3 | | fA/√Hz |
| **OFFSET VOLTAGE** | | | | | |
| Input Offset Voltage | | | ±0.5 | ±2 | mV |
| | $T_A$ = –40°C to +85°C | | ±1 | ±3[3] | mV |
| vs Temperature | $T_A$ = –40°C to +85°C | | ±2 | | µV/°C |
| vs Power Supply (PSRR) | $V_S$ = ±2.5V to ±18V | 90 | 106 | | dB |
| Channel Separation (Dual, Quad) | dc, $R_L$ = 2kΩ | | 135 | | dB |
| | f = 20kHz, $R_L$ = 2kΩ | | 130 | | dB |
| **INPUT BIAS CURRENT** | | | | | |
| Input Bias Current[4] | $V_{CM}$ =0V | | +5 | ±100 | pA |
| vs Temperature[3] | | | See Typical Curve | ±5 | nA |
| Input Offset Current[4] | $V_{CM}$ =0V | | ±2 | ±50 | pA |
| **INPUT VOLTAGE RANGE** | | | | | |
| Common-Mode Voltage Range | | (V–)+2.5 | ±13 | (V+)–2.5 | V |
| Common-Mode Rejection | $V_{CM}$ = –12.5V to +12.5V | 86 | 100 | | dB |
| | $T_A$ = –40°C to +85°C | | 90 | | dB |
| **INPUT IMPEDANCE** | | | | | |
| Differential | | | $10^{13}$ ‖ 2 | | Ω ‖ pF |
| Common-Mode | $V_{CM}$ = –12.5V to +12.5V | | $10^{13}$ ‖ 5 | | Ω ‖ pF |
| **OPEN-LOOP GAIN** | | | | | |
| Open-Loop Voltage Gain | $R_L$ = 10kΩ, $V_O$ = –14.5V to +13.8V | 104 | 120 | | dB |
| | $R_L$ = 2kΩ, $V_O$ = –13.8V to +13.5V | 104 | 120 | | dB |
| | $R_L$ = 600Ω, $V_O$ = –12.8V to +12.5V | 104 | 120 | | dB |
| **OUTPUT** | | | | | |
| Voltage Output | $R_L$ = 10kΩ | (V–)+0.5 | | (V+)–1.2 | V |
| | $R_L$ = 2kΩ | (V–)+1.2 | | (V+)–1.5 | V |
| | $R_L$ = 600Ω | (V–)+2.2 | | (V+)–2.5 | V |
| Output Current | | | ±35 | | mA |
| Output Impedance, Closed-Loop[5] | f = 10kHz | | 0.01 | | Ω |
| Open-Loop | f = 10kHz | | 10 | | Ω |
| Short-Circuit Current | | | ±40 | | mA |
| Capacitive Load Drive (Stable Operation) | | | See Typical Curve | | |
| **POWER SUPPLY** | | | | | |
| Specified Operating Voltage | | | ±15 | | V |
| Operating Voltage Range | | ±2.5 | | ±18 | V |
| Quiescent Current (per amplifier) | $I_O$ = 0 | | 4 | 5 | mA |
| **TEMPERATURE RANGE** | | | | | |
| Specified Range | | –40 | | +85 | °C |
| Operating Range | | –55 | | +125 | °C |
| Storage | | –55 | | +125 | °C |
| Thermal Resistance, $\theta_{JA}$ | | | | | |
| 8-Pin DIP | | | 100 | | °C/W |
| SO-8 Surface-Mount | | | 150 | | °C/W |
| 14-Pin DIP | | | 80 | | °C/W |
| SO-14 Surface-Mount | | | 110 | | °C/W |

NOTES: (1) dBu = 20*log (Vrms/0.7746) where Vrms is the maximum output voltage for which THD+Noise is less than 0.01%. See THD+Noise text. (2) Guaranteed by design. (3) Guaranteed by wafer-level test to 95% confidence level. (4) High-speed test at $T_J$ = 25°C. (5) See "Closed-Loop Output Impedance vs Frequency" typical curve.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ABSOLUTE MAXIMUM RATINGS[1]

| | |
|---|---|
| Supply Voltage, V+ to V– | 36V |
| Input Voltage | (V–) –0.7V to (V+) +0.7V |
| Output Short-Circuit[2] | Continuous |
| Operating Temperature | –40°C to +125°C |
| Storage Temperature | –55°C to +125°C |
| Junction Temperature | 150°C |
| Lead Temperature (soldering, 10s) | 300°C |

NOTES: (1) Stresses above these ratings may cause permanent damage. (2) Short-circuit to ground, one amplifier per package.

## PACKAGE/ORDERING INFORMATION

| PRODUCT | PACKAGE | PACKAGE DRAWING NUMBER[1] | TEMPERATURE RANGE |
|---|---|---|---|
| **Single** | | | |
| OPA134PA | 8-Pin Plastic DIP | 006 | –40°C to +85°C |
| OPA134UA | SO-8 Surface-Mount | 182 | –40°C to +85°C |
| **Dual** | | | |
| OPA2134PA | 8-Pin Plastic DIP | 006 | –40°C to +85°C |
| OPA2134UA | SO-8 Surface-Mount | 182 | –40°C to +85°C |
| **Quad** | | | |
| OPA4134PA | 14-Pin Plastic DIP | 010 | –40°C to +85°C |
| OPA4134UA | SO-14 Surface-Mount | 235 | –40°C to +85°C |

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix C of Burr-Brown IC Data Book.

## ELECTROSTATIC DISCHARGE SENSITIVITY

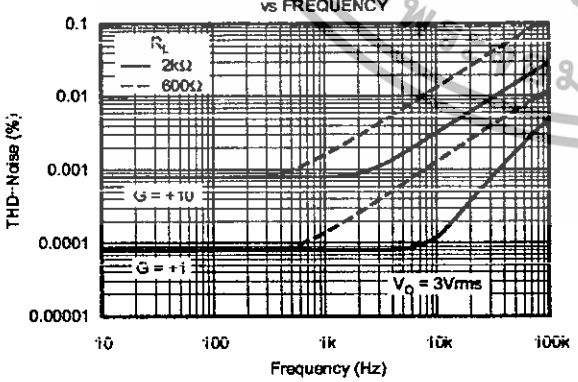
This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

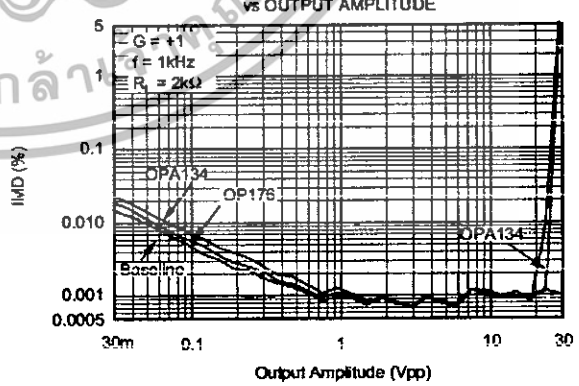
# TYPICAL PERFORMANCE CURVES

At $T_A$ = +25°C, $V_S$ = ±15V, $R_L$ = 2kΩ, unless otherwise noted.

TOTAL HARMONIC DISTORTION + NOISE vs FREQUENCY




SMPTE INTERMODULATION DISTORTION vs OUTPUT AMPLITUDE




The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

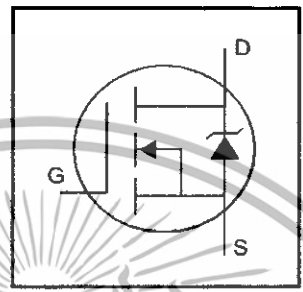
International
IOR Rectifier

PD - 91354A

# IRFZ24N

HEXFET® Power MOSFET

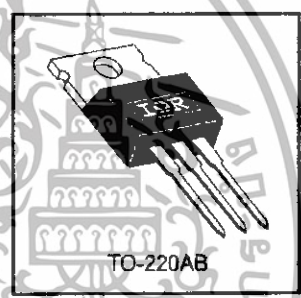
- Advanced Process Technology
- Dynamic dv/dt Rating
- 175°C Operating Temperature
- Fast Switching
- Fully Avalanche Rated




$V_{DSS}$ = 55V

$R_{DS(on)}$ = 0.07Ω

$I_D$ = 17A




TO-220AB

## Description

Fifth Generation HEXFET® power MOSFETs from International Rectifier utilize advanced processing techniques to achieve the lowest possible on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET power MOSFETs are well known for, provides the designer with an extremely efficient device for use in a wide variety of applications.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.

## Absolute Maximum Ratings

| | Parameter | Max. | Units |
|---|---|---|---|
| $I_D$ @ $T_C$ = 25°C | Continuous Drain Current, $V_{GS}$ @ 10V | 17 | A |
| $I_D$ @ $T_C$ = 100°C | Continuous Drain Current, $V_{GS}$ @ 10V | 12 | |
| $I_{DM}$ | Pulsed Drain Current ① | 68 | |
| $P_D$ @$T_C$ = 25°C | Power Dissipation | 45 | W |
| | Linear Derating Factor | 0.30 | W/°C |
| $V_{GS}$ | Gate-to-Source Voltage | ±20 | V |
| $E_{AS}$ | Single Pulse Avalanche Energy ② | 71 | mJ |
| $I_{AR}$ | Avalanche Current① | 10 | A |
| $E_{AR}$ | Repetitive Avalanche Energy① | 4.5 | mJ |
| dv/dt | Peak Diode Recovery dv/dt ③ | 5.0 | V/ns |
| $T_J$<br>$T_{STG}$ | Operating Junction and<br>Storage Temperature Range | -55 to + 175 | °C |
| | Soldering Temperature, for 10 seconds | 300 (1.6mm from case) | |
| | Mounting torque, 6-32 or M3 screw. | 10 lbf•in (1.1N•m) | |

## Thermal Resistance

| | Parameter | Min. | Typ. | Max. | Units |
|---|---|---|---|---|---|
| $R_{\theta JC}$ | Junction-to-Case | —— | —— | 3.3 | °C/W |
| $R_{\theta CS}$ | Case-to-Sink, Flat, Greased Surface | —— | 0.50 | —— | |
| $R_{\theta JA}$ | Junction-to-Ambient | —— | —— | 62 | |

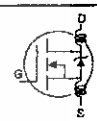


9/13/99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

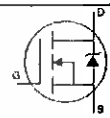
## Electrical Characteristics @ $T_J$ = 25°C (unless otherwise specified)

| | Parameter | Min. | Typ. | Max. | Units | Conditions |
|---|---|---|---|---|---|---|
| $V_{(BR)DSS}$ | Drain-to-Source Breakdown Voltage | 55 | — | — | V | $V_{GS}$ = 0V, $I_D$ = 250µA |
| $\Delta V_{(BR)DSS}/\Delta T_J$ | Breakdown Voltage Temp. Coefficient | — | 0.052 | — | V/°C | Reference to 25°C, $I_D$ = 1mA |
| $R_{DS(on)}$ | Static Drain-to-Source On-Resistance | — | — | 0.07 | Ω | $V_{GS}$ = 10V, $I_D$ = 10A ④ |
| $V_{GS(th)}$ | Gate Threshold Voltage | 2.0 | — | 4.0 | V | $V_{DS}$ = $V_{GS}$, $I_D$ = 250µA |
| $g_{fs}$ | Forward Transconductance | 4.5 | — | — | S | $V_{DS}$ = 25V, $I_D$ = 10A |
| $I_{DSS}$ | Drain-to-Source Leakage Current | — | — | 25 | µA | $V_{DS}$ = 55V, $V_{GS}$ = 0V |
| | | — | — | 250 | | $V_{DS}$ = 44V, $V_{GS}$ = 0V, $T_J$ = 150°C |
| $I_{GSS}$ | Gate-to-Source Forward Leakage | — | — | 100 | nA | $V_{GS}$ = 20V |
| | Gate-to-Source Reverse Leakage | — | — | -100 | | $V_{GS}$ = -20V |
| $Q_g$ | Total Gate Charge | — | — | 20 | nC | $I_D$ = 10A |
| $Q_{gs}$ | Gate-to-Source Charge | — | — | 5.3 | | $V_{DS}$ = 44V |
| $Q_{gd}$ | Gate-to-Drain ("Miller") Charge | — | — | 7.6 | | $V_{GS}$ = 10V, See Fig. 6 and 13 ④ |
| $t_{d(on)}$ | Turn-On Delay Time | — | 4.9 | — | ns | $V_{DD}$ = 28V |
| $t_r$ | Rise Time | — | 34 | — | | $I_D$ = 10A |
| $t_{d(off)}$ | Turn-Off Delay Time | — | 19 | — | | $R_G$ = 24Ω |
| $t_f$ | Fall Time | — | 27 | — | | $R_D$ = 2.6Ω, See Fig. 10 ④ |
| $L_D$ | Internal Drain Inductance | — | 4.5 | — | nH | Between lead, 6mm (0.25in.) from package and center of die contact |
| $L_S$ | Internal Source Inductance | — | 7.5 | — | | |
| $C_{iss}$ | Input Capacitance | — | 370 | — | pF | $V_{GS}$ = 0V |
| $C_{oss}$ | Output Capacitance | — | 140 | — | | $V_{DS}$ = 25V |
| $C_{rss}$ | Reverse Transfer Capacitance | — | 65 | — | | $f$ = 1.0MHz, See Fig. 5 |




## Source-Drain Ratings and Characteristics

| | Parameter | Min. | Typ. | Max. | Units | Conditions |
|---|---|---|---|---|---|---|
| $I_S$ | Continuous Source Current (Body Diode) | — | — | 17 | A | MOSFET symbol showing the integral reverse p-n junction diode. |
| $I_{SM}$ | Pulsed Source Current (Body Diode) ① | — | — | 68 | | |
| $V_{SD}$ | Diode Forward Voltage | — | — | 1.3 | V | $T_J$ = 25°C, $I_S$ = 10A, $V_{GS}$ = 0V ④ |
| $t_{rr}$ | Reverse Recovery Time | — | 56 | 83 | ns | $T_J$ = 25°C, $I_F$ = 10A |
| $Q_{rr}$ | Reverse RecoveryCharge | — | 120 | 180 | nC | di/dt = 100A/µs ④ |




**Notes:**

① Repetitive rating; pulse width limited by max. junction temperature. ( See fig. 11 )

② $V_{DD}$ = 25V, starting $T_J$ = 25°C, L = 1.0mH $R_G$ = 25Ω, $I_{AS}$ = 10A. (See Figure 12)

③ $I_{SD}$ ≤ 10A, di/dt ≤ 280A/µs, $V_{DD}$ ≤ $V_{(BR)DSS}$, $T_J$ ≤ 175°C

④ Pulse width ≤ 300µs; duty cycle ≤ 2%.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

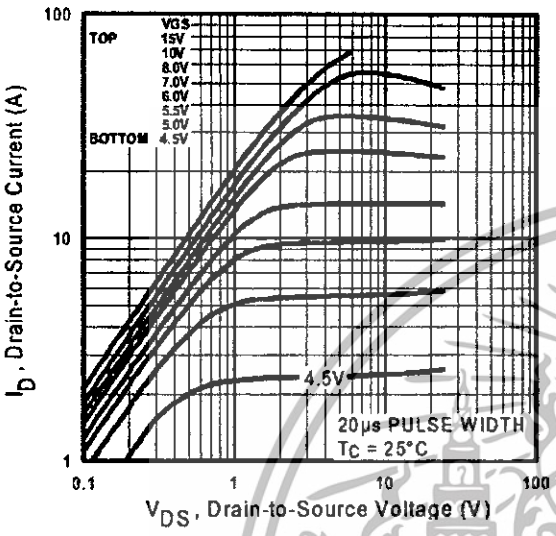



**Fig 1.** Typical Output Characteristics, $T_J = 25°C$

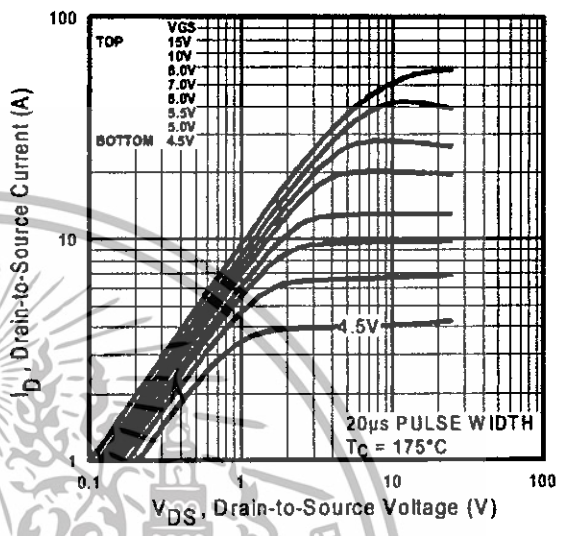



**Fig 2.** Typical Output Characteristics, $T_J = 175°C$

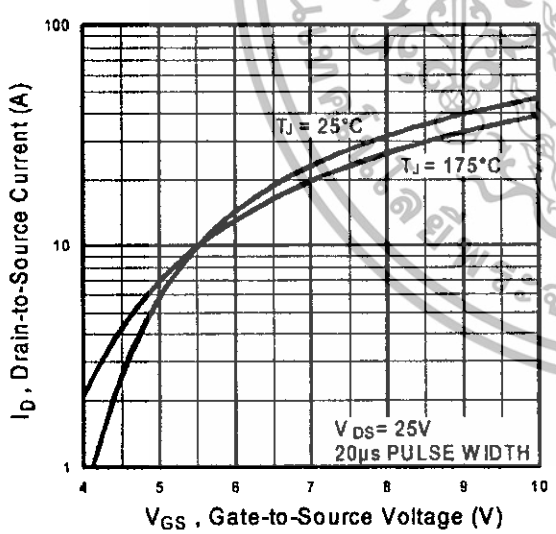



**Fig 3.** Typical Transfer Characteristics

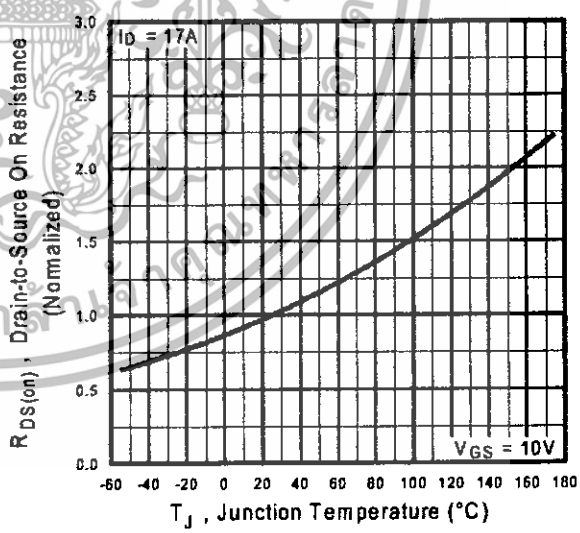



**Fig 4.** Normalized On-Resistance Vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

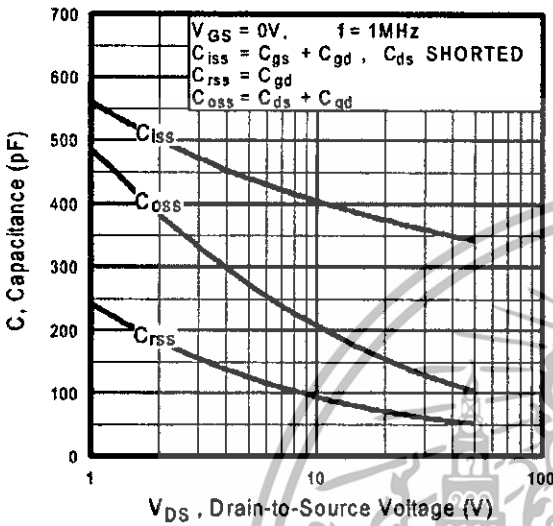



**Fig 5.** Typical Capacitance Vs. Drain-to-Source Voltage

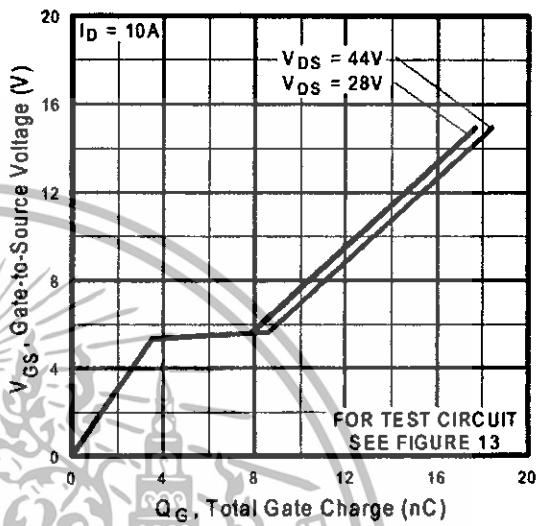



**Fig 6.** Typical Gate Charge Vs. Gate-to-Source Voltage

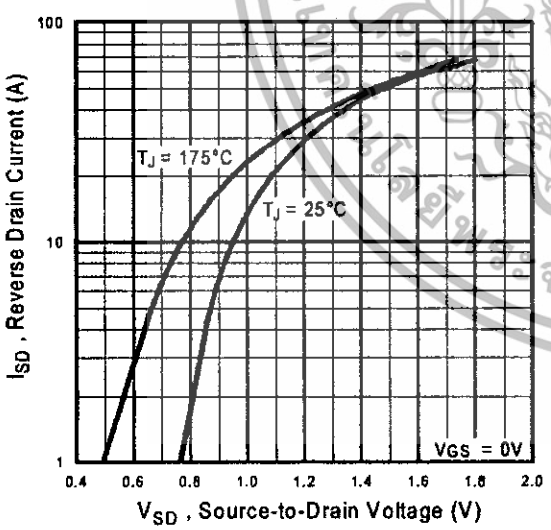



**Fig 7.** Typical Source-Drain Diode Forward Voltage

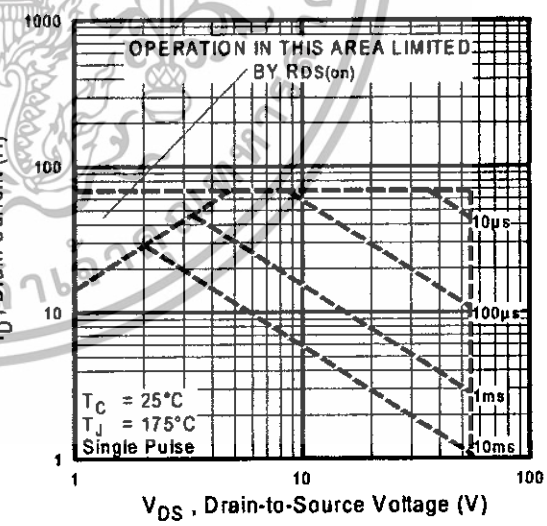



**Fig 8.** Maximum Safe Operating Area



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

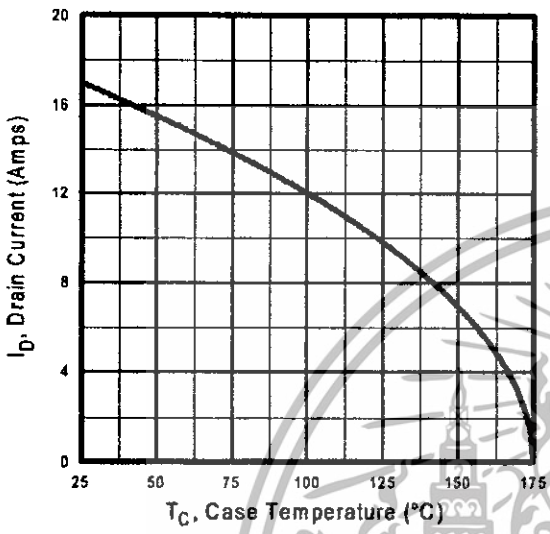



**Fig 9.** Maximum Drain Current Vs. Case Temperature

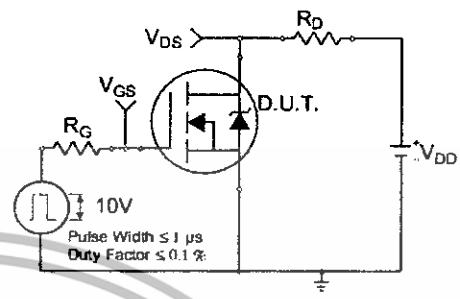



**Fig 10a.** Switching Time Test Circuit

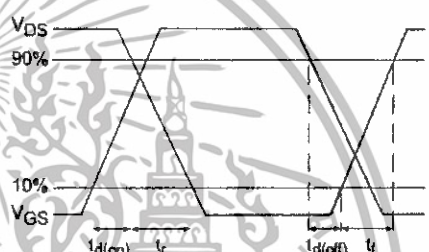



**Fig 10b.** Switching Time Waveforms

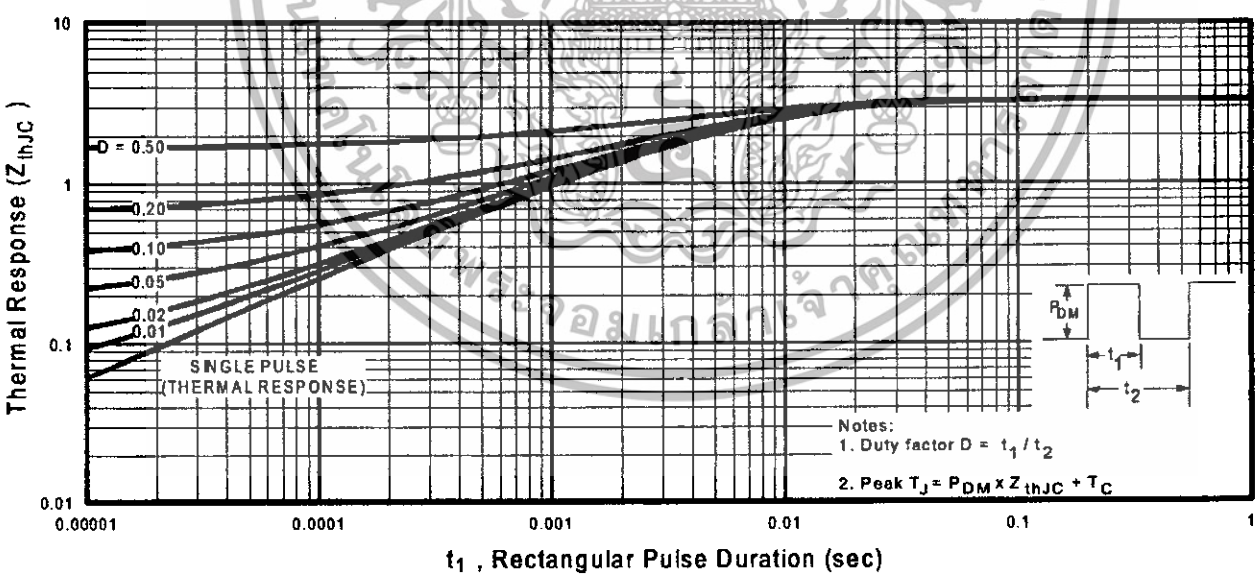



**Fig 11.** Maximum Effective Transient Thermal Impedance, Junction-to-Case



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

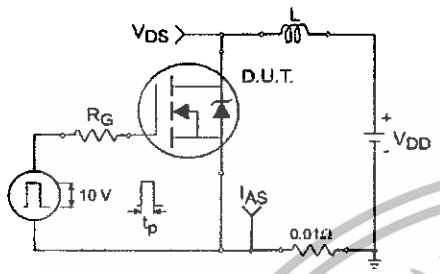



**Fig 12a.** Unclamped Inductive Test Circuit

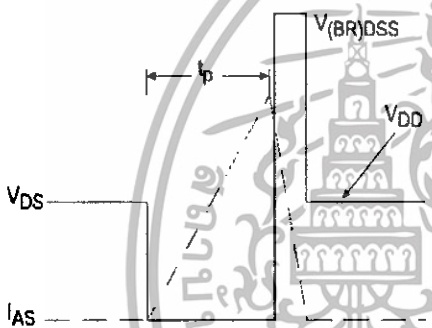



**Fig 12b.** Unclamped Inductive Waveforms

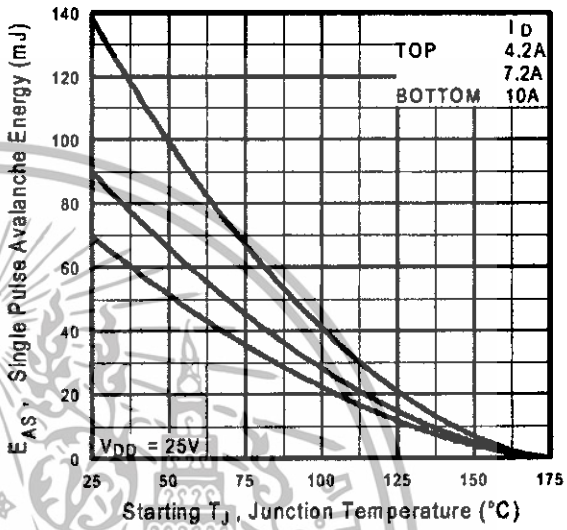



**Fig 12c.** Maximum Avalanche Energy Vs. Drain Current

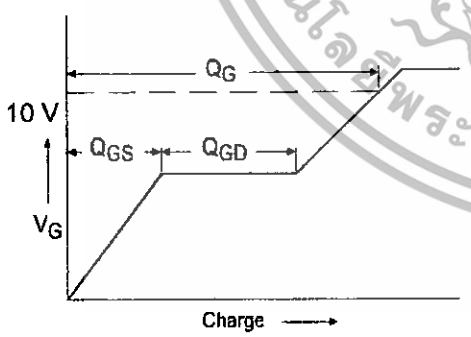



**Fig 13a.** Basic Gate Charge Waveform

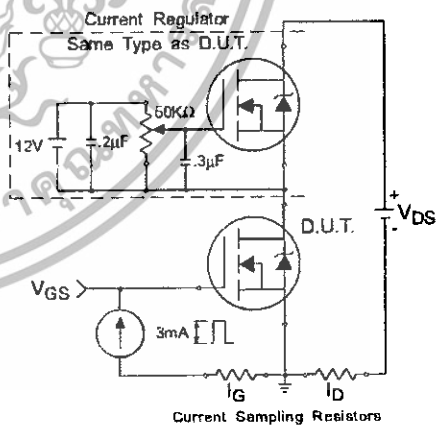
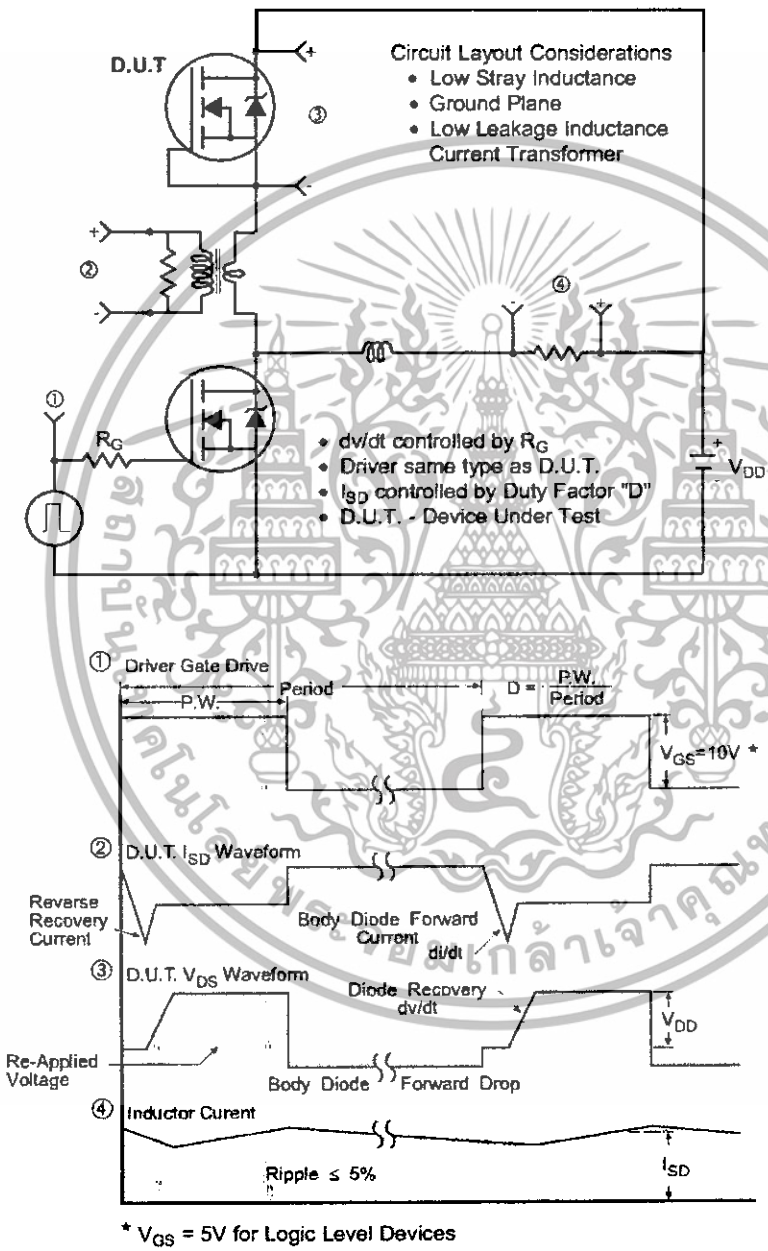



**Fig 13b.** Gate Charge Test Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Peak Diode Recovery dv/dt Test Circuit




* $V_{GS}$ = 5V for Logic Level Devices

**Fig 14.** For N-Channel HEXFET® power MOSFETs

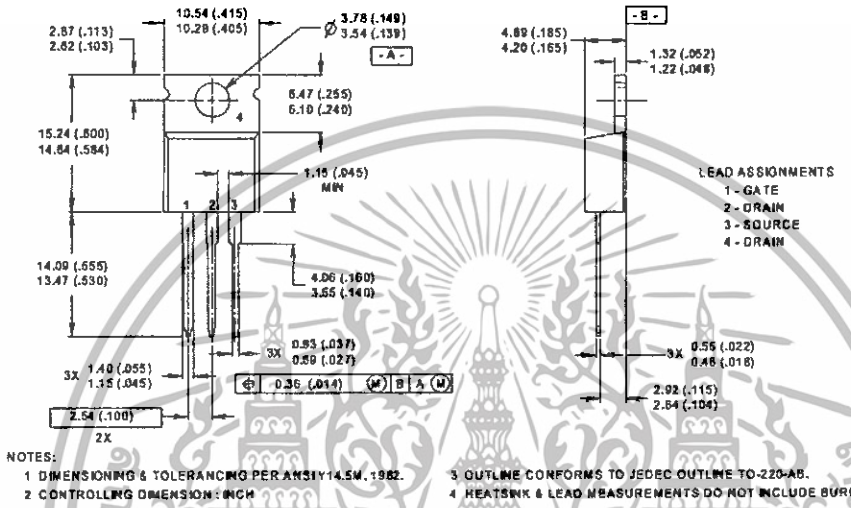


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Package Outline

**TO-220AB**

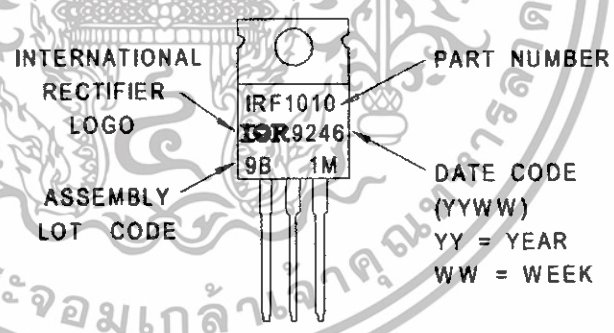
Dimensions are shown in millimeters (inches)




## Part Marking Information

**TO-220AB**

EXAMPLE : THIS IS AN IRF1010
WITH ASSEMBLY
LOT CODE 9B1M




International
IOR Rectifier

**WORLD HEADQUARTERS:** 233 Kansas St., El Segundo, California 90245, Tel: (310) 322 3331
**IR GREAT BRITAIN:** Hurst Green, Oxted, Surrey RH8 9BB, UK Tel: ++ 44 1883 732020
**IR CANADA:** 15 Lincoln Court, Brampton, Ontario L6T3Z2, Tel: (905) 453 2200
**IR GERMANY:** Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 6172 96590
**IR ITALY:** Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 11 451 0111
**IR FAR EAST:** K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo Japan 171 Tel: 81 3 3983 0086
**IR SOUTHEAST ASIA:** 1 Kim Seng Promenade, Great World City West Tower, 13-11, Singapore 237994 Tel: ++ 65 838 4630
**IR TAIWAN:** 16 Fl. Suite D. 207, Sec. 2, Tun Haw South Road, Taipei, 10673, Taiwan Tel: 886-2-2377-9936

*http://www.irf.com/* *Data and specifications subject to change without notice.* *9/99*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

# LM566C Voltage Controlled Oscillator

## General Description

The LM566CN is a general purpose voltage controlled oscillator which may be used to generate square and triangular waves, the frequency of which is a very linear function of a control voltage. The frequency is also a function of an external resistor and capacitor.

The LM566CN is specified for operation over the 0°C to +70°C temperature range.

## Features

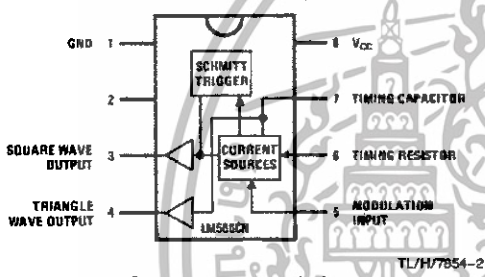
- Wide supply voltage range: 10V to 24V
- Very linear modulation characteristics
- High temperature stability
- Excellent supply voltage rejection
- 10 to 1 frequency range with fixed capacitor
- Frequency programmable by means of current, voltage, resistor or capacitor

## Applications

- FM modulation
- Signal generation
- Function generation
- Frequency shift keying
- Tone generation

## Connection Diagram

Dual-In-Line Package

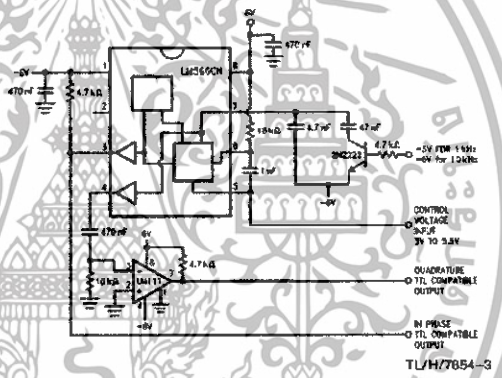



TL/H/7854–2

Order Number LM566CN
See NS Package Number N08E

## Typical Application

1 kHz and 10 kHz TTL Compatible Voltage Controlled Oscillator




TL/H/7854–3

©1995 National Semiconductor Corporation TL/H/7854

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

**If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.**

| | |
|---|---|
| Power Supply Voltage | 26V |
| Power Dissipation (Note 1) | 1000 mW |
| Operating Temperature Range, LM566CN | 0°C to +70°C |
| Lead Temperature (Soldering, 10 sec.) | +260°C |

## Electrical Characteristics $V_{CC}$ = 12V, $T_A$ = 25°C, AC Test Circuit

| Parameter | Conditions | LM566C | | | Units |
|---|---|---|---|---|---|
| | | Min | Typ | Max | |
| Maximum Operating Frequency | R0 = 2k<br>C0 = 2.7 pF | 0.5 | 1 | | MHz |
| VCO Free-Running Frequency | $C_O$ = 1.5 nF<br>$R_O$ = 20k<br>$f_O$ = 10 kHz | −30 | 0 | +30 | % |
| Input Voltage Range Pin 5 | | ¾ $V_{CC}$ | | $V_{CC}$ | |
| Average Temperature Coefficient of Operating Frequency | | | 200 | | ppm/°C |
| Supply Voltage Rejection | 10–20V | | 0.1 | 2 | %/V |
| Input Impedance Pin 5 | | 0.5 | 1 | | MΩ |
| VCO Sensitivity | For Pin 5, From 8–10V, $f_O$ = 10 kHz | 6.0 | 6.6 | 7.2 | kHz/V |
| FM Distortion | ±10% Deviation | | 0.2 | 1.5 | % |
| Maximum Sweep Rate | | | 1 | | MHz |
| Sweep Range | | | 10:1 | | |
| Output Impedance Pin 3 | | | 50 | | Ω |
| Pin 4 | | | 50 | | Ω |
| Square Wave Output Level | $R_{L1}$ = 10k | 5.0 | 5.4 | | Vp-p |
| Triangle Wave Output Level | $R_{L2}$ = 10k | 2.0 | 2.4 | | Vp-p |
| Square Wave Duty Cycle | | 40 | 50 | 60 | % |
| Square Wave Rise Time | | | 20 | | ns |
| Square Wave Fall Time | | | 50 | | ns |
| Triangle Wave Linearity | + 1V Segment at ½ $V_{CC}$ | | 0.5 | | % |

**Note 1:** The maximum junction temperature of the LM566CN is 150°C. For operation at elevated junction temperatures, maximum power dissipation must be derated based on a thermal resistance of 115°C/W, junction to ambient.

## Applications Information

The LM566CN may be operated from either a single supply as shown in this test circuit, or from a split (±) power supply. When operating from a split supply, the square wave output (pin 3) is TTL compatible (2 mA current sink) with the addition of a 4.7 kΩ resistor from pin 3 to ground.

A 0.001 μF capacitor is connected between pins 5 and 6 to prevent parasitic oscillations that may occur during VCO switching.

$$f_O = \frac{2.4(V^+ - V_5)}{R_O C_O V^+}$$

where

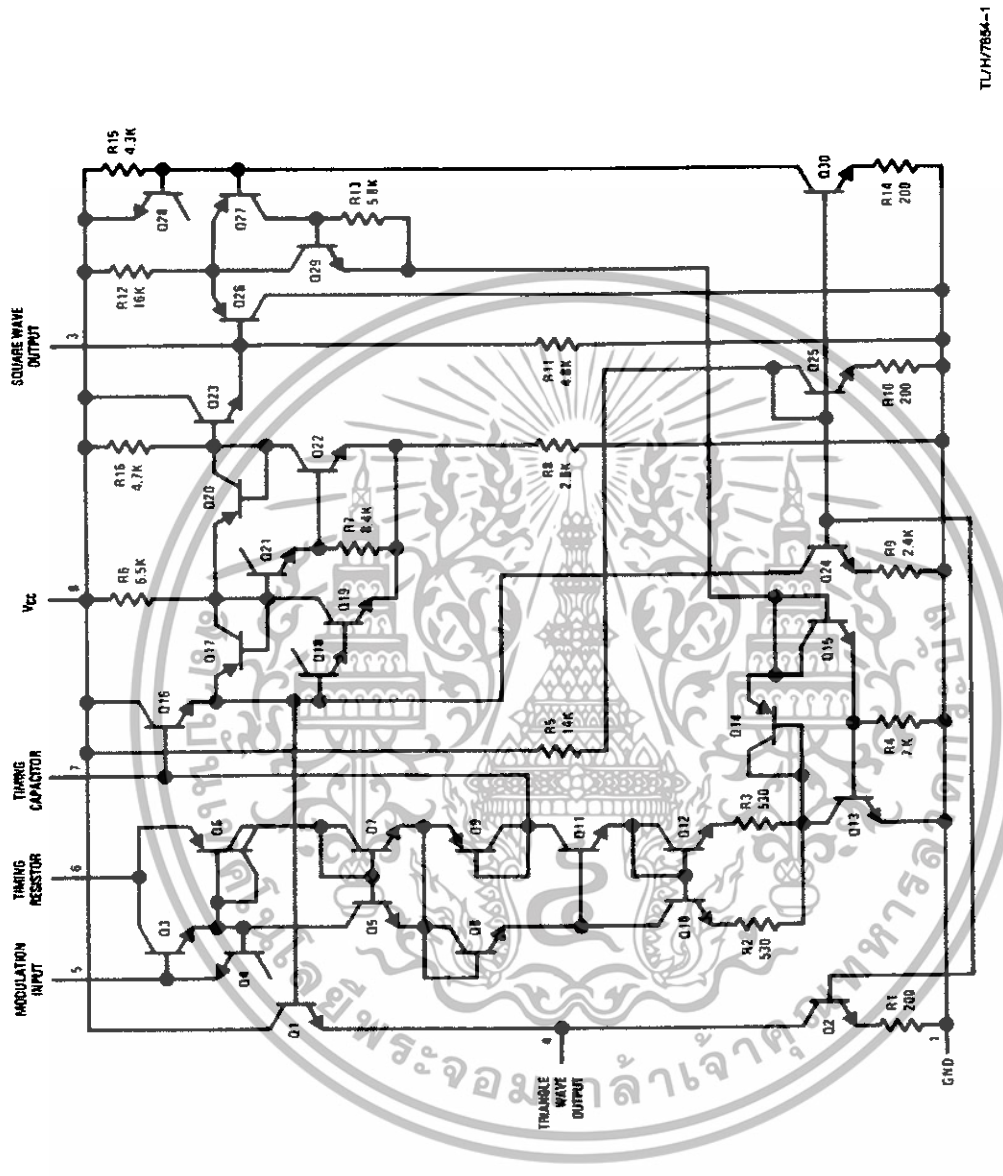
$2K < R_O < 20K$

and $V_5$ is voltage between pin 5 and pin 1.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Schematic Diagram

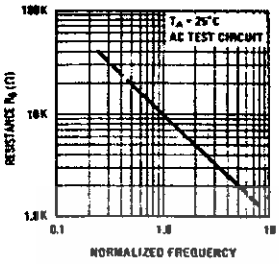




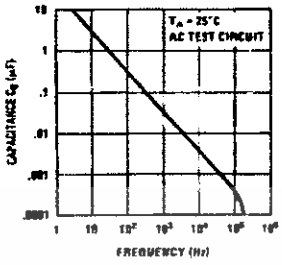

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

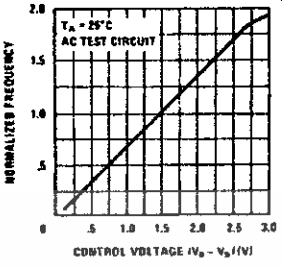
**Operating Frequency as a Function of Timing Resistor**



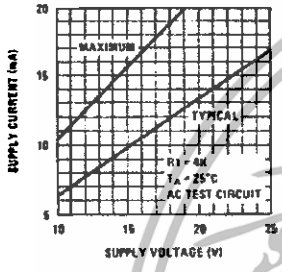

**Operating Frequency as a Function of Timing Capacitor**



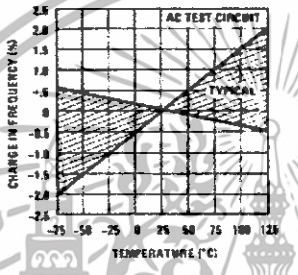

**Normalized Frequency as a Function of Control Voltage**



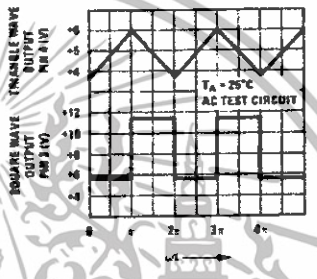

**Power Supply Current**



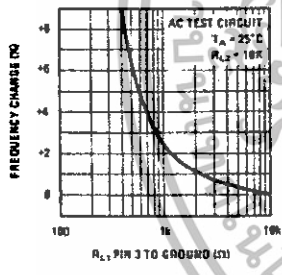

**Temperature Stability**



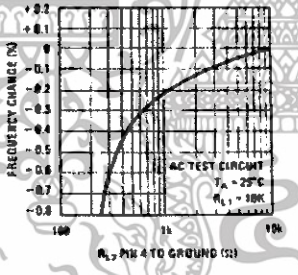

**VCO Waveforms**



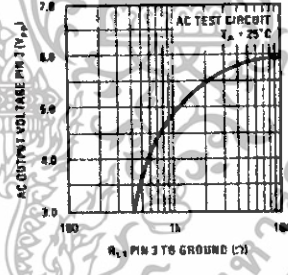

**Frequency Stability vs Load Resistance (Square Wave Output)**




**Frequency Stability vs Load Impedance (Triangle Output)**

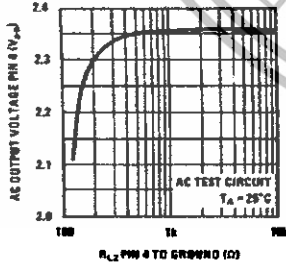



**Square Wave Output Characteristics**



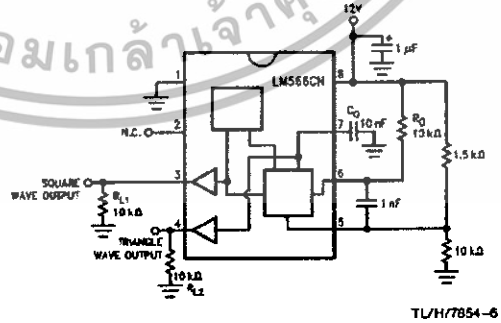

TL/H/7854–4

**Triangle Wave Output Characteristics**




TL/H/7854–5

**AC Test Circuit**




TL/H/7854–6



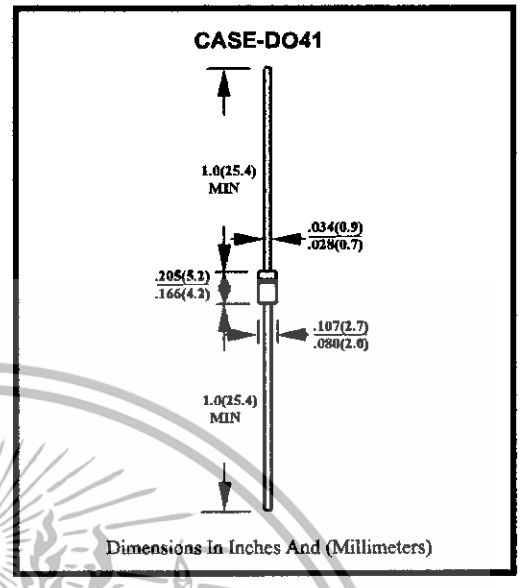
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Efficient Fast Rectifier Diode

COMCHIP
www.comchiptech.com

# MUR160

**Voltage: 600 Volts**
**Current: 1.0 A**




## Features

- Low power loss, high efficiency
- Low Leakage
- Low Forward Voltage Drop
- Hgh Current Capability
- High Speed Switching
- High Reliability
- High Current Surge
- Glass Passivated Chip Junction

## Mechanical data

- Case:GMolded Plastic
- Epoxy: GUl 94v-0 Rate Flame Retardant
- Lead: GMil-Std-202e Method 208c Guaranteed
- Mounting Position: GAny

## Maximum Ratings and Electrical Characterics

| RATINGS | SYMBOL | MUR160 | UNITS |
|---|---|---|---|
| MAXIMUM RECURRENT PEAK REVERSE VOLTAGE | $V_{RRM}$ | 600 | V |
| MAXIMUM RMS VOLTAGE | $V_{RMS}$ | 420 | V |
| MAXIMUM DC BLOCKING VOLTAGE | $V_{DC}$ | 600 | V |
| MAXIMUM AVERAGE FORWARD RECTIFIED CURRENT .375" (9.5mm) LEAD LENGTH AT TA=55°C | $I_O$ | 1 | A |
| PEAK FORWARD SURGE CURRENT, 8.3ms SINGLE HALF SINE-WAVE SUPERIMPOSED ON RATED LOAD | $I_{FSM}$ | 35 | A |
| TYPICAL JUNCTION CAPACITANCE (NOTE 1) | $C_J$ | 20 | PF |
| TYPICAL THERMAL RESISTANCE (NOTE 2) | $R_{q|a}$ | 15 | °C/W |
| STORAGE TEMPERATURE RANGE | $T_{STG}$ | - 55 TO + 150 | °C |
| OPERATING TEMPERATURE RANGE | $T_{OP}$ | - 55 TO + 150 | °C |

## ELECTRICAL CHARACTERISTICS ($A_T$ $T_A$ =25°C UNLESS OTHERWISE NOTED)

| CHARACTERISTICS | SYMBOL | MUR160 | UNITS |
|---|---|---|---|
| MAXIMUM FORWARD VOLTAGE AT $I_O$ DC | $V_F$ | 1.25 | V |
| MAXIMUM REVERSE CURRENT AT 25°C | $I_R$ | 5 | mA |
| MAXIMUM REVERSE CURRENT AT 100°C | $I_R$ | 250 | mA |
| MAXIMUM REVERSE RECOVERY TIME (NOTE 3) | $T_{RR}$ | 50 | nS |

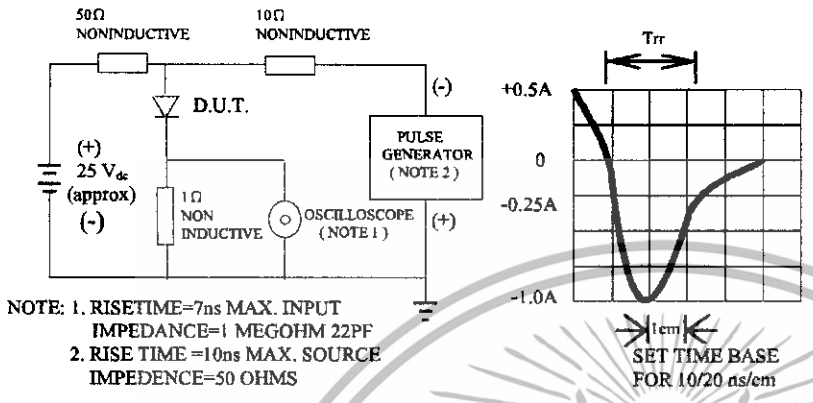
NOTE:

1. MEASURED AT 1 MHZ AND APPLIED REVERSE VOLTAGE 0F 4.0 VOLTS
2. BOTH LEADS ATTATCHED TO HEAT SINK 20×20×1t(mm) COPPER PLATE AT LEAD LENTH 5mm
3. REVERSE RECOVERY TEST CONDITIONS: IF=0.5A, IR=1.0A, IRR=0.25A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Rating and Characteristic Curves (MUR160)

**FIG. 1-TEST CIRCUIT DIAGRAM AND REVERSE RECOVERY TIME CHARACTERISTIC**




NOTE: 1. RISETIME=7ns MAX. INPUT IMPEDANCE=1 MEGOHM 22PF
2. RISE TIME =10ns MAX. SOURCE IMPEDENCE=50 OHMS

**FIG. 2-TYPICAL FORWARD CURRENT DERATING CURVE**

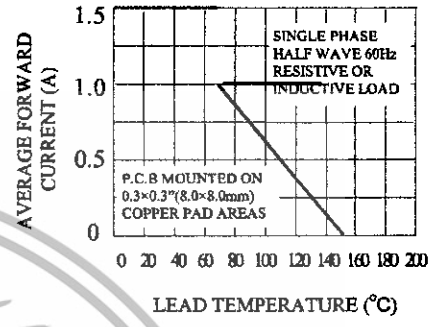



**FIG. 3-TYPICAL REVERSE CHARACTERISTICS**

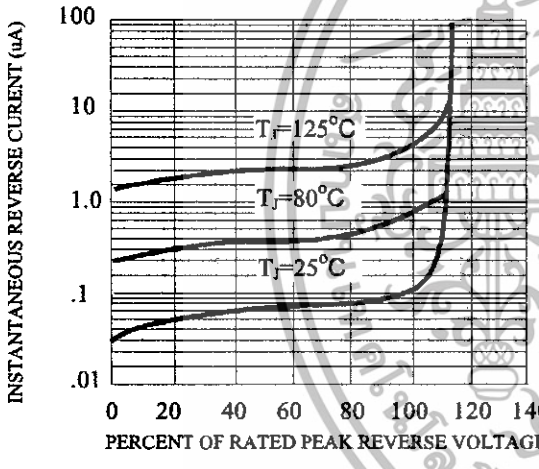



**FIG. 4-TYPICAL INSTANTANEOUS FORWARD CHARACTERISTICS**

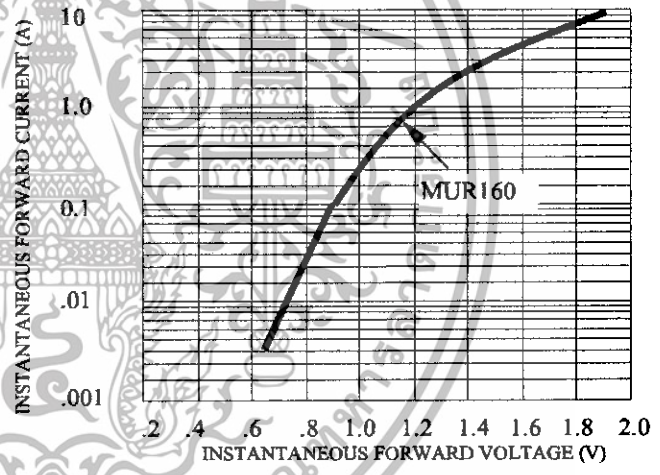



**FIG. 5-MAXIMUN NON-REPETITIVE FORWARD SURGE CURRENT**

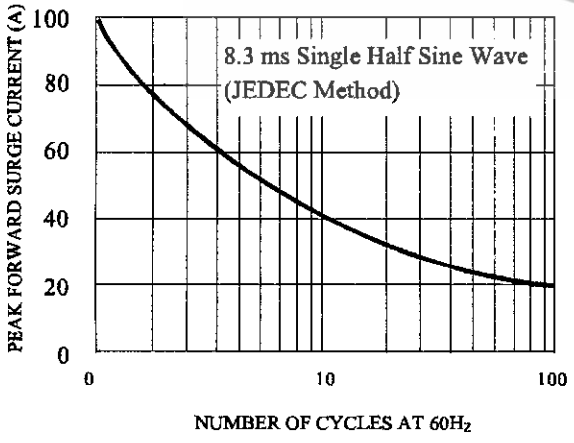
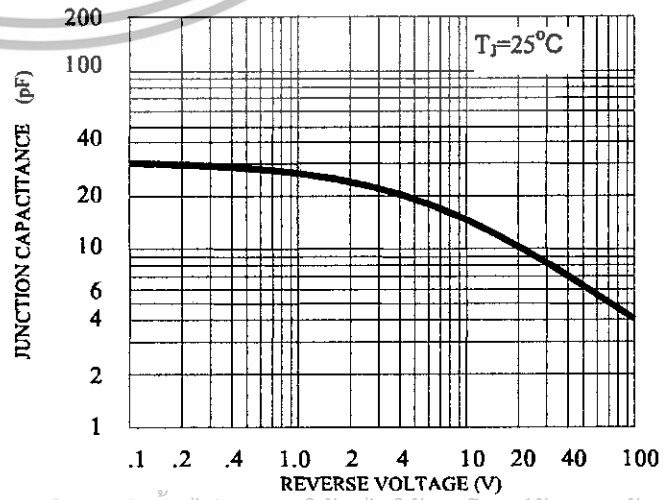



**FIG. 6-TYPICAL JUNCTION CAPACITANCE**




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# WIMA MKP 10

## Polypropylene (PP) Capacitors for Pulse Applications with Double-Sided Metallized Electrodes and Schoopage Contacts PCM 7.5 mm to 37.5 mm

### Special Features

- **Pulse duty construction**
- **Self-healing**
- **Very low dissipation factor**
- **Negative capacitance change versus temperature**
- **According to RoHS 2002/95/EC**

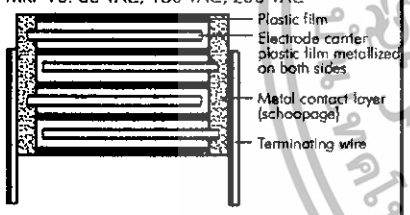
### Typical Applications

**For pulse applications e.g.**
- **Switch mode power supplies**
- **TV and monitor sets**
- **Lighting**
- **Audio/video equipment**

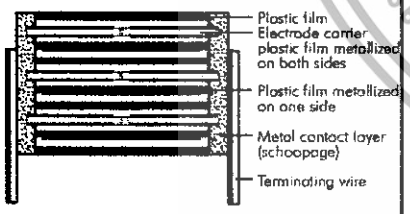
### Construction

**Dielectric:** Polypropylene (PP) film
**Capacitor electrodes:**
Double-sided metallized plastic film
**Internal construction:**

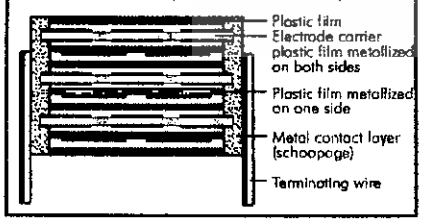
MKP 10: 63 VAC, 180 VAC, 250 VAC




MKP 10: 400 VAC, 600 VAC, 650 VAC, 700 VAC




MKP 10: 900 VAC (PCM 15 = 3-section)




**Encapsulation:**
Solvent-resistant, flame-retardent plastic case with epoxy resin seal, UL 94 V-0
**Terminations:** Tinned wire.
**Marking:** Colour: Red.
Marking: Black. Epoxy resin seal: Red

### Electrical Data

**Capacitance range:**
1000 pF to 15 µF (E12-values on request)
**Rated voltages:**
100 VDC, 250 VDC, 400 VDC, 630 VDC, 1000 VDC, 1600 VDC, 2000 VDC, 2500 VDC
**Capacitance tolerances:**
±20%, ±10%, ±5%
**Operating temperature range:**
–55° C to +100° C
**Climatic test category:**
55/100/56 in accordance with IEC
**Insulation resistance** at +20° C:
C ≤ 0.33 µF: ≥ $1 \times 10^5$ MΩ
(mean value: $5 \times 10^5$ MΩ)
C > 0.33 µF: ≥ 30 000 sec (MΩ x µF)
(mean value: 100 000 sec)
Measuring voltage: 100 V/1 min.
**Dissipation factors** at + 20° C: tan δ

| at f | C ≤ 0.1 µF | 0.1 µF < C ≤ 1.0 µF | C > 1.0 µF |
|---|---|---|---|
| 1 kHz | ≤ $3 \times 10^{-4}$ | ≤ $3 \times 10^{-4}$ | ≤ $3 \times 10^{-4}$ |
| 10 kHz | ≤ $4 \times 10^{-4}$ | ≤ $6 \times 10^{-4}$ | – |
| 100 kHz | ≤ $15 \times 10^{-4}$ | – | – |

**Maximum pulse rise time:**

| Capacitance pF/µF | max. pulse rise time V/µsec at $T_A$ < 40° C | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| | 100 VDC | 250 VDC | 400 VDC | 630 VDC | 1000 VDC | 1600 VDC | 2000 VDC | 2500 VDC |
| 1000 ... 2200 | 1000 | 1800 | 1800 | 1800 | 2800 | 5400 | 9000 | 11000 |
| 3300 ... 6800 | 900 | 1200 | 1200 | 1200 | 2800 | 5400 | 9000 | 11000 |
| 0.01 ... 0.022 | 700 | 1100 | 1200 | 1800 | 2100 | 3000 | 3400 | 11000 |
| 0.033 ... 0.068 | 400 | 800 | 900 | 1800 | 2100 | 2100 | 2100 | – |
| 0.1 ... 0.22 | 200 | 500 | 500 | 900 | 1400 | 1400 | 1400 | – |
| 0.33 ... 0.68 | 100 | 300 | 400 | 700 | 900 | 900 | 900 | – |
| 1.0 ... 2.2 | 70 | 200 | 200 | 400 | 400 | 500 | – | – |
| 3.3 ... 4.7 | 50 | 80 | 100 | 150 | – | – | – | – |
| 6.8 ... 15 | 35 | 50 | 70 | – | – | – | – | – |

for pulses equal to the rated voltage

**Test voltage:** 1.6 $U_r$, 2 sec.
**Dielectric absorption:**
0.05%
**Voltage derating:**
A voltage derating factor of 1.35 % per K must be applied from +85° C for DC voltages and from +75° C for AC voltages.
**Reliability:**
Operational life > 300 000 hours
Failure rate < 1 fit (0.5 x $U_r$ and 40° C)

### Mechanical Tests

**Pull test on leads:**
d ≤ 0.8 ø: 10 N in direction of leads
d > 0.8 ø: 20 N in direction of leads
according to IEC 60068-2-21
**Vibration:**
6 hours at 10 ... 2000 Hz and 0.75 mm displacement amplitude or 10 g in accordance with IEC 60068-2-6
**Low air density:**
1kPa = 10 mbar in accordance with IEC 60068-2-13
**Bump test:**
4000 bumps at 390 m/sec²
in accordance with IEC 60068-2-29

### Packing

Available taped and reeled up to and including case size 15 x 26 x 31.5 / PCM 27.5 mm.

Detailed taping information and graphs at the end of the catalogue.

For further details and graphs please refer to Technical Information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้