

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบอัลกอริธึม ADC ที่มีการลงทะเบียนเกรย์

DESIGN OF GRAY CODE ALGORITHMIC ADCs



อัมพวัน ใจกล้า
AMPHAWAN CHAIKLA



เลขหมู่.....
เลขทะเบียน..... 61654
วัน,เดือน,ปี 19 ก.ค. 2549

b. 11600925
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2549

ISBN 974-15-2607-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF GRAY CODE ALGORITHMIC ADCs



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2006

ISBN 974-15-2607-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2006

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์
นักศึกษา	นางสาวอัมพวัน ใจกล้า
รหัสนักศึกษา	43060013
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2549
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.วันชัย ธีร์รุจา

บทคัดย่อ

วิทยานิพนธ์นี้เป็นการนำเสนอการออกแบบตัวแปลงผันแอนะล็อกเป็นดิจิทัล (ADC) แบบอัลกอริธึมที่มีการลงรหัสแบบเกรย์โดยใช้มอสทรานซิสเตอร์ ตัวแปลงผันที่ได้ออกแบบเป็น ADC ขนาด 1 บิตที่มีลักษณะถ่ายโอนกระแสเป็นรูปสามเหลี่ยมลักษณะสมมาตร แนวทางการสังเคราะห์ลักษณะถ่ายโอนมี 3 รูปแบบ คือ การสังเคราะห์โดยใช้วงจรจำกัดกระแส การสังเคราะห์โดยใช้วงจรหาค่าสูงสุด และการสังเคราะห์โดยใช้วงจรฟังก์ชันสมบูรณ์ การสังเคราะห์ทั้งสามนี้ได้ใช้วิธีการไปแอสมอสเฟดที่ขอบของการนำกระแสในช่วงนำกระแสอิมิตัว เป็นผลทำให้ลักษณะถ่ายโอนของ ADC มีความเพี้ยนต่ำ ความเร็วในการทำงานสูง และมีผลตอบสนองความถี่ที่สูง นอกจากนี้ยังสามารถเพิ่มความละเอียดในการทำงานได้โดยการเพิ่มจำนวน ADC ขนาด 1 บิตที่นำเสนอมาต่อкасцепกันตามจำนวนบิตที่ต้องการ จากผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE และ MATLAB สามารถยืนยันได้ถึงสมรรถนะการทำงานของ ADC ที่ได้ออกแบบขึ้นมีความสอดคล้องเป็นไปตามหลักการที่นำเสนอ

Thesis Title	Design of Gray Code Algorithmic ADCs
Student	Miss Amphawan Chaikla
Student ID	43060013
Degree	Doctor of Engineering
Programme	Electrical Engineering
Year	2006
Thesis Advisor	Assoc. Prof. Dr. Vanchai Riewruja

ABSTRACT

This thesis presents the design of Gray code algorithmic analog-to-digital converters (ADCs) using MOS transistors. Each designed ADC is one-bit cell, which has the symmetrical triangular-like current transfer characteristic. Three different methods of realization to synthesize the current transfer characteristics are based on the use of current limiter, maximum circuit, and absolute function circuit. The design strategy is based on the MOS transistor bias at the edge of conduction in the saturation region to provide the low-distortion in transfer characteristic, high-speed operation, and high-frequency response. Moreover, the N -bit resolution can be achieved by cascading of the N proposed one-bit cells. PSPICE and MATLAB simulation results verifying the designed ADC performances are agreed with the theoretical values.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงไปด้วยดี ผู้เขียนขอกราบขอบพระคุณ รศ.ดร.วันชัย ธีร์จุฑา อาจารย์ผู้ควบคุมวิทยานิพนธ์เป็นอย่างสูง ที่ได้กรุณาเสียสละเวลาอันมีค่า ให้ความรู้ ความคิดริเริ่ม คำปรึกษาและแนวทางการแก้ไขปัญหาต่าง ๆ มาโดยตลอดระยะเวลาที่ศึกษา

ขอกราบขอบพระคุณ ศ.ดร.วัลลภ สุระคำพลธร รศ.ดร.กอบชัย เดชหาญ ดร.พันธ์ศักดิ์ ศิริรัชตพงษ์ ผศ.ดร.จิตรเกษม งามนิต และ ดร.อัมพร โพธิ์โย คณะกรรมการสอบวิทยานิพนธ์ที่ได้ให้คำปรึกษาและคำแนะนำเป็นอย่างดีในการจัดทำวิทยานิพนธ์นี้

ขอกราบขอบพระคุณ รศ.ดร. กิตติ ธีรเศรษฐ และ รศ. ประสิทธิ์ จุลเสรีวงศ์ รวมทั้งคณาจารย์และเจ้าหน้าที่ประจำภาควิชาวิศวกรรมการวัดคุมทุกท่านที่ได้ให้กำลังใจและความช่วยเหลือในด้านต่าง ๆ แก่ผู้เขียนเสมอมา

ขอขอบคุณ อาจารย์รัชวัชชัย คำศรี และอาจารย์วรรณดี เพชรรมณีล้ำค่า อาจารย์ประจำภาควิชาวิศวกรรมระบบควบคุม รวมทั้งพี่ ๆ เพื่อน ๆ และน้อง ๆ นักศึกษาทุกคนที่ช่วยเหลือ ตรวจสอบผลการวิจัยและให้คำแนะนำต่าง ๆ ทำให้การจัดทำวิทยานิพนธ์นี้มีความสมบูรณ์มากยิ่งขึ้น

ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ ภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ภายใต้โครงการสนับสนุนการออกแบบวงจรรวมในสถาบันการศึกษา ที่ให้ทุนและเครื่องมือสนับสนุนในการจัดทำวิทยานิพนธ์นี้

ขอขอบคุณ เจ้าหน้าที่ประจำบัณฑิตศึกษา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่าน ที่ได้ให้คำปรึกษาและความช่วยเหลือเป็นอย่างดีในการติดต่อประสานงาน

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ และน้อง รวมทั้งญาติ ๆ ทุกคน ที่มอบความรัก ความห่วงใย และให้การสนับสนุนในการศึกษามาโดยตลอด

สุดท้าย ขอขอบคุณ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้ทุนสนับสนุนการทำวิทยานิพนธ์ ประจำปีงบประมาณ 2547

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์นี้ ผู้เขียนขอมอบแด่ผู้มีพระคุณทุกท่าน

อัมพวัน ใจกล้า

สารบัญ (ต่อ)

	หน้า
3.3.2 การแปลงเลขฐานสองเป็นรหัสเกรย์.....	22
3.3.3 การแปลงรหัสเกรย์เป็นเลขฐานสอง.....	24
3.3.4 หลักการทำงาน.....	26
3.3.5 ตัวอย่างการแปลงผันของ ADC ขนาด 3 บิต.....	27
3.4 ตัวอย่างอัลกอริทึม ADC ที่มีการนำเสนอในอดีต.....	30
3.4.1 อัลกอริทึม ADC ของ Naim D.G. และ Salama C.A.T. [29].....	30
3.4.2 อัลกอริทึม ADC ของ Naim D.G. และ Salama C.A.T. [30].....	31
3.4.3 อัลกอริทึม ADC ของ Pouliquent P.O. และคณะ [17].....	33
3.5 บทสรุป.....	35
บทที่ 4 กลุ่มวงจรย่อยที่ใช้ในการออกแบบอัลกอริทึม ADC.....	36
4.1 กล่าวนำ.....	36
4.2 วงจรสะท้อนกระแส.....	36
4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	36
4.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสแบบพื้นฐาน.....	37
4.2.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	40
4.2.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต.....	40
4.3 วงจรจำกัดกระแส.....	42
4.3.1 การทำงานของวงจรจำกัดกระแส.....	42
4.3.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรจำกัดกระแส.....	44
4.3.3 ผลการเขียนแบบการทำงานของวงจรจำกัดกระแสด้วยโปรแกรม PSPICE.....	51
4.4 วงจรหาค่าสูงสุด.....	54
4.4.1 การทำงานของวงจรหาค่าสูงสุด.....	54
4.4.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่าสูงสุด.....	56
4.4.3 ผลการเขียนแบบการทำงานของวงจรหาค่าสูงสุดด้วยโปรแกรม PSPICE.....	61

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	XI
สารบัญรูป.....	XII
รายการสัญลักษณ์.....	XX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์.....	3
1.4 ขอบเขตของวิทยานิพนธ์.....	3
1.5 รายละเอียดของวิทยานิพนธ์.....	3
บทที่ 2 หลักการทำงานและรายละเอียดของ ADC.....	5
2.1 กล่าวนำ.....	5
2.2 หลักการทำงานพื้นฐานของ ADC.....	5
2.3 รายละเอียดที่สำคัญของ ADC.....	7
2.4 ประเภทของ ADC.....	15
2.5 บทสรุป.....	16
บทที่ 3 หลักการทำงานของอัลกอริทึม ADC.....	17
3.1 กล่าวนำ.....	17
3.2 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง.....	17
3.2.1 หลักการทำงาน.....	17
3.2.2 ตัวอย่างการแปลงผันของ ADC ขนาด 3 บิต.....	19
3.3 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์.....	21
3.3.1 รหัสเกรย์.....	21

สารบัญ (ต่อ)

	หน้า
4.5 วงจรฟังก์ชันสับบอร์น.....	64
4.5.1 การทำงานของวงจรฟังก์ชันสับบอร์น.....	64
4.5.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสับบอร์น.....	66
4.5.3 ผลการเลียนแบบการทำงานของวงจรฟังก์ชันสับบอร์นด้วยโปรแกรม PSPICE.....	72
4.6 วงจรเปรียบเทียบกระแส.....	75
4.6.1 วงจรอินเวอร์เตอร์.....	75
4.6.2 วงจรเปรียบเทียบกระแส.....	80
4.6.3 ผลการเลียนแบบการทำงานของวงจรเปรียบเทียบกระแสด้วยโปรแกรม PSPICE.....	81
4.7 บทสรุป.....	83
บทที่ 5 การออกแบบอัลกอริทึม ADC ที่นำเสนอ.....	84
5.1 กล่าวนำ.....	84
5.2 อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์โดยใช้วงจรจำกัดกระแส.....	84
5.2.1 การทำงานของวงจร.....	84
5.2.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจร จำกัดกระแส.....	87
5.2.3 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....	93
5.3 อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์โดยใช้วงจรหาค่าสูงสุด.....	101
5.3.1 การทำงานของวงจร.....	101
5.3.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจร หาค่าสูงสุด.....	104
5.3.3 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....	109
5.4 อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์โดยใช้วงจรฟังก์ชันสับบอร์น.....	117
5.4.1 การทำงานของวงจร.....	117
5.4.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจร ฟังก์ชันสับบอร์น.....	119

สารบัญ (ต่อ)

	หน้า
5.4.3 ผลการเขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....	125
5.5 บทสรุป.....	134
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะในการทำวิจัยต่อ.....	135
6.1 สรุปผลการวิจัย.....	135
6.2 ข้อเสนอแนะในการทำวิจัยต่อ.....	136
เอกสารอ้างอิง.....	137
ภาคผนวก ก. คุณสมบัติที่สำคัญและวงจรสมมูลของมอสเฟต.....	141
ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมิต์.....	141
ก2. วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	142
ก3. ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต.....	144
ก4. การไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิมิต์.....	145
ภาคผนวก ข. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส.....	150
ข1. วงจรสะท้อนกระแสแบบพื้นฐาน.....	150
ข1.1 การวิเคราะห์ผลตอบสนองทางความถี่.....	150
ข1.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	151
ข1.3 การวิเคราะห์ค่าความผิดพลาดของวงจร.....	152
ข2. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน ที่มีหลายเอาต์พุต.....	154
ภาคผนวก ค. การวิเคราะห์คุณสมบัติการทำงานของวงจรจำกัดกระแส.....	156
ค1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต.....	156
ค1.1 กรณีที่กระแส i_L มีค่าเป็นลบ.....	156
ค1.2 กรณีที่กระแส i_L มีค่าเป็นบวก.....	157
ค2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	158
ค3. การวิเคราะห์ค่าความผิดพลาดของวงจร.....	161

สารบัญ (ต่อ)

	หน้า
ค3.1 กรณีที่กระแส i_x มีค่าเป็นลบ.....	161
ค3.2 กรณีที่กระแส i_x มีค่าเป็นบวก.....	163
ค4. การวิเคราะห์ผลตอบสนองทางความถี่.....	165
ค4.1 กรณีที่กระแส i_x มีค่าเป็นลบ.....	165
ค4.2 กรณีที่กระแส i_x มีค่าเป็นบวก.....	167
ภาคผนวก ง. การวิเคราะห์คุณสมบัติการทำงานของวงจรถูกหักค่าสูงสุด.....	170
ง1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต.....	170
ง1.1 กรณีที่มีการป้อนค่ากระแสอินพุตที่ โหนด x.....	170
ง1.2 กรณีที่มีการป้อนค่ากระแสอินพุตที่ โหนด y.....	171
ง2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	173
ง3. การวิเคราะห์ค่าความผิดพลาดของวงจรถูกหัก.....	176
ง3.1 กรณีที่ค่ากระแส $i_x > i_y$	176
ง3.2 กรณีที่ค่ากระแส $i_y > i_x$	178
ง4. การวิเคราะห์ผลตอบสนองทางความถี่.....	180
ง4.1 กรณีที่ค่ากระแส $i_x > i_y$	180
ง4.2 กรณีที่ค่ากระแส $i_y > i_x$	182
ภาคผนวก จ. การวิเคราะห์คุณสมบัติการทำงานของวงจรถูกหักขั้นสมบูรณ์.....	186
จ1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต.....	186
จ1.1 กรณีที่กระแส i_x มีค่าเป็นลบ.....	186
จ1.2 กรณีที่กระแส i_x มีค่าเป็นบวก.....	187
จ2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต.....	188
จ3. การวิเคราะห์ค่าความผิดพลาดของวงจรถูกหัก.....	190
จ3.1 กรณีที่กระแส i_x มีค่าเป็นลบ.....	190
จ3.2 กรณีที่กระแส i_x มีค่าเป็นบวก.....	192
จ4. การวิเคราะห์ผลตอบสนองทางความถี่.....	194
จ4.1 กรณีที่กระแส i_x มีค่าเป็นลบ.....	194

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

จ4.2 กรณีที่กระแส i_{sc} มีค่าเป็นบวก.....	198
---	-----

ภาคผนวก ฉ. การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้

วงจรจำกัดกระแส.....	201
---------------------	-----

ฉ1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส.....	201
ฉ2. การวิเคราะห์ความผิดพลาดสะสม.....	204
ฉ3. การวิเคราะห์จำนวนบิตที่เป็นไปได้.....	208
ฉ4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง.....	209
ฉ5. การวิเคราะห์ผลตอบสนองทางความถี่.....	210
ฉ6. การวิเคราะห์ความเร็วในการแปลงผัน.....	213
ฉ7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด.....	214

ภาคผนวก ช. การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้

วงจรรักษาค่าสูงสุด.....	215
-------------------------	-----

ช1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส.....	215
ช2. การวิเคราะห์ความผิดพลาดสะสม.....	219
ช3. การวิเคราะห์จำนวนบิตที่เป็นไปได้.....	223
ช4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง.....	223
ช5. การวิเคราะห์ผลตอบสนองทางความถี่.....	225
ช6. การวิเคราะห์ความเร็วในการแปลงผัน.....	227
ช7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด.....	228

ภาคผนวก ซ. การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้

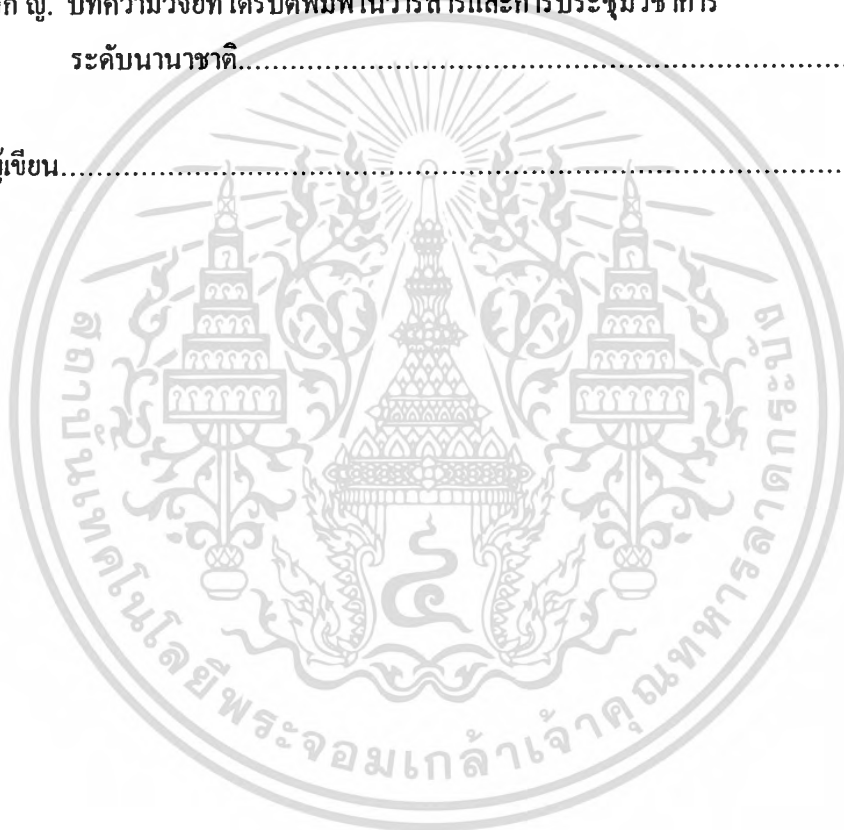
วงจรมีฟังก์ชันสลับบูรณ.....	230
-----------------------------	-----

ซ1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส.....	230
ซ2. การวิเคราะห์ความผิดพลาดสะสม.....	232
ซ3. การวิเคราะห์จำนวนบิตที่เป็นไปได้.....	236
ซ4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง.....	236

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ข5. การวิเคราะห์ผลตอบสนองทางความถี่.....	238
ข6. การวิเคราะห์ความเร็วในการแปลงผัน.....	240
ข7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด.....	241
ภาคผนวก ฉ. บทความวิจัยที่ได้รับตีพิมพ์ในวารสารและการประชุมวิชาการ ระดับนานาชาติ.....	243
ประวัติผู้เขียน.....	281



สารบัญตาราง

ตารางที่	หน้า
1.1 ตัวอย่าง ADC ที่ได้มีการนำเสนอ.....	2
2.1 ประเภทของ ADC.....	15
3.1 ความสัมพันธ์ระหว่างเลขฐานสิบ เลขฐานสองและรหัสเกรย์.....	21
3.2 การแปลงผันของอัลกอริทึม ADC ขนาด 3 บิต.....	29
4.1 อัตราส่วน W/L ของมอสเฟตในวงจรจำกัดกระแสดังรูปที่ 4.8.....	51
4.2 อัตราส่วน W/L ของมอสเฟตในวงจรหาค่าสูงสุดดังรูปที่ 4.20.....	62
4.3 อัตราส่วน W/L ของมอสเฟตในวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30.....	73
4.4 สภาพะการทำงานของมอสเฟตในวงจรอินเวอร์เตอร์ดังรูปที่ 4.41.....	78
5.1 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1.....	93
5.2 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13.....	109
5.3 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ ดังรูปที่ 5.25.....	126
6.1 คุณสมบัติการทำงานที่สำคัญของอัลกอริทึม ADC ทั้งสามรูปแบบที่นำเสนอ.....	135

สารบัญรูป

รูปที่	หน้า
2.1 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิต ในกรณีที่ไม่มีค่าออฟเซต.....	5
2.2 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิต ในกรณีที่มีค่าออฟเซตเท่ากับ $-1/2$ LSB.....	6
2.3 จุดกลางรหัสของสัญญาณดิจิตอลเอาต์พุต.....	8
2.4 ค่าผิดพลาดออฟเซต เมื่อเปรียบเทียบกับลักษณะถ่ายโอนในอุดมคติดังรูปที่ 2.1.....	9
2.5 ค่าผิดพลาดออฟเซต เมื่อเปรียบเทียบกับลักษณะถ่ายโอนในอุดมคติดังรูปที่ 2.2.....	10
2.6 ค่าผิดพลาดเต็มสเกล.....	10
2.7 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลต่าง.....	11
2.8 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลรวม.....	12
2.9 ความสัมพันธ์ระหว่างค่า $DNLE$ กับ $INLE$	12
2.10 ค่าแม่นยำสัมบูรณ์.....	13
2.11 ลักษณะถ่ายโอนของ ADC ที่ไม่มีคุณลักษณะแบบโมโนโทนิก.....	14
2.12 ลักษณะถ่ายโอนของ ADC ที่มีรหัสขาดหาย.....	14
3.1 อัลกอริธึม ADC ขนาด N บิต.....	17
3.2 หลักการทำงานของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง (ก) ผังงาน (ข) ลักษณะถ่ายโอนไฟตรง.....	18
3.3 อัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต.....	19
3.4 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริธึม ADC ที่มีการลงรหัส แบบฐานสองขนาด 3 บิต (ก) กระแสเอาต์พุตของบิตที่ 1 (MSB).....	19
(ข) กระแสเอาต์พุตของบิตที่ 2 (ค) กระแสเอาต์พุตของบิตที่ 3 (LSB) (ง) ดิจิตอลเอาต์พุต.....	20
3.5 ลักษณะถ่ายโอนของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต.....	21
3.6 ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ด้วยหลักเกณฑ์แบบที่ 1.....	22
3.7 ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ด้วยหลักเกณฑ์แบบที่ 2.....	23
3.8 การต่อ XOR เพื่อแปลงเลขฐานสองเป็นรหัสเกรย์.....	24
3.9 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 1.....	24

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.10 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 2.....	25
3.11 การต่อ XOR เพื่อแปลงรหัสเกรย์เป็นเลขฐานสอง.....	26
3.12 หลักการทำงานของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ (ก) ผังงาน (ข) ลักษณะถ่ายโอนไฟตรง.....	26
3.13 อัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต.....	27
3.14 ลักษณะถ่ายโอนไฟตรงและคิจิตอลเอาต์พุตของอัลกอริธึม ADC ที่มีการลงรหัส แบบเกรย์ขนาด 3 บิต (ก) กระแสเอาต์พุตของบิตที่ 1 (MSB).....	27
(ข) กระแสเอาต์พุตของบิตที่ 2 (ค) กระแสเอาต์พุตของบิตที่ 3 (LSB) (ง) คิจิตอลเอาต์พุต.....	28
3.15 ลักษณะถ่ายโอนของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต.....	29
3.16 อัลกอริธึม ADC ของ Naim D.G. และ Salama C.A.T. [29].....	30
3.17 อัลกอริธึม ADC ขนาด N บิต ของ Naim D.G. และ Salama C.A.T. [29].....	30
3.18 อัลกอริธึม ADC ของ Naim D.G. และ Salama C.A.T. [30].....	31
3.19 อัลกอริธึม ADC ขนาด N บิต ของ Naim D.G. และ Salama C.A.T. [30].....	32
3.20 หลักการทำงานของอัลกอริธึม ADC ดังรูปที่ 3.18 (ก) ผังงาน (ข) ลักษณะถ่ายโอนไฟตรง.....	33
3.21 อัลกอริธึม ADC ของ Pouliquent P.O. และคณะ [17].....	33
3.22 หลักการทำงานของอัลกอริธึม ADC ดังรูปที่ 3.21 (ก) ผังงาน (ข) ลักษณะถ่ายโอนไฟตรง.....	35
4.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	37
4.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ ของวงจรสะท้อนกระแสแบบพื้นฐาน.....	38
4.3 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแส แบบพื้นฐาน.....	38
4.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแส แบบพื้นฐาน.....	39
4.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน.....	39

สารบัญญรูป (ต่อ)

รูปที่	หน้า
4.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต.....	40
4.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส ที่มีหลายเอาต์พุต.....	41
4.8 วงจรจำกัดกระแส.....	43
4.9 ลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแส (ก) เมื่อค่ากระแส $i_A < 0$ (ข) เมื่อค่ากระแส $i_A > 0$	44
4.10 การทำงานของวงจรจำกัดกระแสกรณีค่ากระแส $i_A < 0$	45
4.11 การทำงานของวงจรจำกัดกระแสกรณีค่ากระแส $i_A > 0$	45
4.12 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจร จำกัดกระแส.....	46
4.13 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแสกรณีค่า กระแส $i_A < 0$	47
4.14 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแสกรณีค่า กระแส $i_A > 0$	48
4.15 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจำกัดกระแส กรณี $i_A < 0$	49
4.16 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจำกัดกระแส กรณี $i_A > 0$	50
4.17 ลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแสจากการเลียนแบบการทำงาน (ก) กระแสอินพุต i_A (ข) กระแสเอาต์พุต i_{DS} ที่ โหนด C (ค) กระแสเอาต์พุต i_{DT} ที่ โหนด D.....	52
4.18 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรจำกัดกระแส (ก) เมื่อค่ากระแส $i_A < 0$ (ข) เมื่อค่ากระแส $i_A > 0$	53
4.19 ผลตอบสนองทางความถี่ของวงจรจำกัดกระแส (ก) ที่เอาต์พุต โหนด C.....	53
(ข) ที่เอาต์พุต โหนด D.....	54
4.20 วงจรหาค่าสูงสุด.....	54
4.21 วงจรหาค่าสูงสุดในการวิเคราะห์ช่วงปฏิบัติงานของวงจร.....	56

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.22 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจร หาค่าสูงสุด.....	57
4.23 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรกรณีค่ากระแส $i_x > i_y$	58
4.24 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรกรณีค่ากระแส $i_y > i_x$	58
4.25 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่กรณีค่ากระแส $i_x > i_y$	59
4.26 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่กรณีค่ากระแส $i_y > i_x$	60
4.27 ผลการเขียนแบบการทำงานของวงจรหาค่าสูงสุด	
(ก) ค่ากระแสอินพุต i_x และ i_y (ข) ค่ากระแสสูงสุด i_{max}	62
4.28 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรหาค่าสูงสุด	
(ก) เมื่อป้อนกระแสอินพุตที่โนด x (ข) เมื่อป้อนกระแสอินพุตที่โนด y.....	63
4.29 ผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุด	
(ก) เมื่อป้อนกระแสอินพุตที่โนด x (ข) เมื่อป้อนกระแสอินพุตที่โนด y.....	64
4.30 วงจรฟังก์ชันสัมบูรณ์.....	65
4.31 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_{ab} < 0$	67
4.32 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_{ab} > 0$	67
4.33 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจร ฟังก์ชันสัมบูรณ์.....	68
4.34 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_{ab} < 0$	69
4.35 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_{ab} > 0$	69
4.36 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ ในกรณี $i_{ab} < 0$	70
4.37 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ ในกรณี $i_{ab} > 0$	71
4.38 ผลการเขียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์	
(ก) ค่ากระแสอินพุต i_{ab} (ข) ค่ากระแสเอาต์พุต i_{D7}	73
4.39 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์	
(ก) เมื่อค่ากระแส $i_{ab} < 0$ (ข) เมื่อค่ากระแส $i_{ab} > 0$	74
4.40 ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์.....	75

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.41 วงจรอินเวอร์เตอร์.....	75
4.42 ลักษณะถ่ายโอนสัญญาณแรงดันของวงจรอินเวอร์เตอร์.....	78
4.43 วงจรเปรียบเทียบกระแส.....	80
4.44 ผลการเปลี่ยนแปลงการทำงานของวงจรเปรียบเทียบกระแส	
(ก) กระแสอินพุต.....	81
(ข) สภาวะลอจิกที่โนด C (ค) สภาวะลอจิกที่เอาต์พุตโนด.....	82
4.45 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาค่าเวลาหน่วง t_{DHL} ของวงจรอินเวอร์เตอร์.....	82
4.46 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาค่าเวลาหน่วง t_{DLH} ของวงจรอินเวอร์เตอร์.....	83
5.1 อัลกอริธึม ADC ขนาด 1 บิตโดยใช้วงจรจำกัดกระแส.....	85
5.2 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแส.....	90
5.3 ผลการเปลี่ยนแปลงการทำงานของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1	
(ก) กระแสเอาต์พุต (ข) ดิจิตอลเอาต์พุต.....	94
5.4 ช่วงสูงสุดของฟังก์ชันถ่ายโอนไฟตรงของ ADC ดังรูปที่ 5.1 โดยแปรค่ากระแส I_b	95
5.5 ผลตอบสนองทางความถี่ของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแส.....	95
5.6 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3 ใน อัลกอริธึม ADC ดังรูปที่ 5.1 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น	
(ก) กระแสอินพุต i_{in} และกระแส i_d	
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3	96
5.7 ผลการเปลี่ยนแปลงการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3 ใน อัลกอริธึม ADC ดังรูปที่ 5.1 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง	
(ก) กระแสอินพุต i_{in} และกระแส i_d	
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3	97
5.8 กระแสเอาต์พุตบิตที่ 8 (LSB) ของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต	
(ก) สัญญาณกระแส i_{out} บิตที่ 8 ในทางอุดมคติ (ข) ผลการเปลี่ยนแปลงการทำงาน.....	98
5.9 ค่า $DNLE$ ของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต.....	99
5.10 ค่า $INLE$ ของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต.....	99
5.11 ผังภูมิของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสขนาด 1 บิต.....	100

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.28 ช่วงสูงสุดของฟังก์ชันถ่ายโอนไฟตรงของ ADC ดังรูปที่ 5.25 โดยแปรค่ากระแส I_B	127
5.29 ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์.....	127
5.30 ผลการเลียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_2 ในอัลกอริทึม ADC ดังรูปที่ 5.25 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น	
(ก) กระแสอินพุต i_{in} และกระแส i_{oh}	
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_2	128
5.31 ผลการเลียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_2 ในอัลกอริทึม ADC ดังรูปที่ 5.25 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง	
(ก) กระแสอินพุต i_{in} และกระแส i_{oh}	
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_2	129
5.32 กระแสเอาต์พุตบิตที่ 9 ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต	
(ก) สัญญาณกระแส i_{out} บิตที่ 9 ในทางอุดมคติ (ข) ผลการเลียนแบบการทำงาน.....	130
5.33 ค่า $DNLE$ ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต.....	131
5.34 ค่า $INLE$ ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต.....	132
5.35 ผังภูมิของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 1 บิต.....	132
5.36 ผังภูมิของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต.....	133
5.37 ลักษณะถ่ายโอนของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 3 บิต.....	133
ก1 สัญลักษณ์ของมอสเฟต	
(ก) เอ็นมอส (ข) พีมอส.....	141
ก2 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิดว.....	143
ก3 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ใช้ในการวิเคราะห์ด้วยมือ.....	144
ก4 วงจรที่ใช้ในการเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์เพื่อประมาณค่าพารามิเตอร์การนำกระแสและค่าแรงดันซิกเริ่มเปลี่ยนของมอสเฟต.....	144
ก5 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส.....	145
ก6 ตัวอย่างวงจรที่มีและไม่มีกรไบแอสมอสเฟตที่ขอบของการนำกระแส	
(ก) ตัวอย่างวงจรที่มีกรไบแอสมอสเฟตที่ขอบของการนำกระแส	
(ข) ตัวอย่างวงจรที่ไม่มีกรไบแอสมอสเฟตที่ขอบของการนำกระแส.....	146

สารบัญรูป (ต่อ)

รูปที่	หน้า
ก7 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟตในวงจร คircuit ที่ ก6 เมื่อป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น	
(ก) ความเร็วในการสวิตช์ Off ของมอสเฟต M_2 และ M_4	
(ข) ความเร็วในการสวิตช์ On ของมอสเฟต M_3 และ M_5	147
ก8 ผลการเขียนแบบการทำงานเพื่อศึกษาความถี่ของกระแสเอาต์พุตในวงจรคircuit ที่ ก6	
(ก) กระแสเอาต์พุต i_{D2} (ข) กระแสเอาต์พุต i_{D4}	148



รายการสัญลักษณ์

M	หมายถึง มอสเฟต
N	หมายถึง จำนวนบิต
D_c	หมายถึง ดิจิตอลเอาต์พุต
i_{in}	หมายถึง ค่ากระแสอินพุต (μA)
i_{out}	หมายถึง ค่ากระแสเอาต์พุต (μA)
i_D	หมายถึง ค่ากระแสเดรนของมอสเฟต (μA)
I_B	หมายถึง ค่ากระแสไบแอส (μA)
v_{in}	หมายถึง ค่าแรงดันอินพุต (V)
v_{out}	หมายถึง ค่าแรงดันเอาต์พุต (V)
V_{DD}	หมายถึง ค่าแรงดันแหล่งจ่ายไฟบวก (V)
V_{SS}	หมายถึง ค่าแรงดันแหล่งจ่ายไฟลบ (V)
V_T	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) (V)
V_{TN}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของเอ็นมอส (V)
V_{TP}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของพีมอส (V)
V_{T0}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟตที่อุณหภูมิ 300K (V)
v_{GS}	หมายถึง ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต (V)
v_{DS}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของมอสเฟต (V)
v_{DSn}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของเอ็นมอส (V)
v_{DSp}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของพีมอส (V)
g_m	หมายถึง ค่าทรานส์คอนดักแตนซ์ของมอสเฟต (A/V)
g_{ds}	หมายถึง ค่าความนำที่เกิดขึ้นระหว่างขาเดรนกับขาซอร์สของมอสเฟต (A/V)
g_O	หมายถึง ค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของแหล่งจ่ายกระแส (A/V)
r_{in}	หมายถึง ค่าความต้านทานอินพุต (Ω)
r_{out}	หมายถึง ค่าความต้านทานเอาต์พุต (Ω)
r_o	หมายถึง ค่าความต้านทานเอาต์พุตซึ่งเป็นส่วนกลับของค่าความนำ g_{ds} ของมอสเฟต (Ω)
R_L	หมายถึง ค่าความต้านทานที่นำมาต่อที่เอาต์พุตโนด (Ω)
C_{gs}	หมายถึง ค่าความจุไฟฟ้าระหว่างขาเกตกับขาซอร์สของมอสเฟต (F)
C_{ox}	หมายถึง ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (F/m^2)

รายการสัญลักษณ์ (ต่อ)

W	หมายถึง ความกว้างประสิทธิผลของแซนเนล (μm)
L	หมายถึง ความยาวประสิทธิผลของแซนเนล (μm)
μ	หมายถึง ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน ($\text{cm}^2/\text{V}\cdot\text{s}$)
μ_0	หมายถึง ค่าความคล่องตัวของโฮลหรืออิเล็กตรอนที่อุณหภูมิ 300K ($\text{cm}^2/\text{V}\cdot\text{s}$)
λ	หมายถึง ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแซนเนล (V^{-1})
K, β	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (A/V^2)
β_N	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของเอ็นมอส (A/V^2)
β_P	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของพีมอส (A/V^2)
ε	หมายถึง ค่าความผิดพลาดของวงจร
T	หมายถึง ค่าอุณหภูมิ (K)



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ตัวแปลงผันแอนะล็อกเป็นดิจิทัล (Analog-to-Digital Converter: ADC) เป็นวงจรหนึ่งที่มีความสำคัญในระบบการจัดการสัญญาณ เนื่องจากสัญญาณที่ได้จากอุปกรณ์ตรวจวัดปริมาณทางฟิสิกส์ต่าง ๆ เช่น อุณหภูมิ ความดัน และอัตราการไหล จะอยู่ในรูปสัญญาณไฟฟ้าซึ่งเป็นสัญญาณแอนะล็อก แต่ในปัจจุบันการประมวลผลสัญญาณส่วนใหญ่จะอยู่ในรูปของการประมวลผลสัญญาณแบบดิจิทัล [1] ตัวอย่างเช่น ตัวควบคุมแบบดิจิทัล ตัวควบคุมแบบฟัซซี (Fuzzy Controller) และการควบคุมระบบแบบกระจายส่วน (Distributed Control System: DCS) เป็นต้น จึงต้องทำการแปลงผันสัญญาณแอนะล็อกที่ได้ให้เปลี่ยนเป็นสัญญาณดิจิทัลโดยใช้ ADC ดังนั้นประสิทธิภาพในการควบคุมระบบหรือการทำงานของอุปกรณ์อิเล็กทรอนิกส์จะดีหรือไม่ดี จึงขึ้นอยู่กับคุณสมบัติของ ADC ด้วย คุณสมบัติในการทำงานของ ADC ที่ดี จะต้องทำการแปลงผันสัญญาณให้มีค่าสอดคล้องกับสัญญาณเดิมมากที่สุด มีความเพี้ยนของสัญญาณน้อยที่สุด และมีความเร็วในการแปลงผันที่สามารถตอบสนองความต้องการของวงจรได้ดี

จากความสำคัญของ ADC ดังกล่าว จึงได้มีการพัฒนาโครงสร้างและวิธีการแปลงสัญญาณของ ADC อยู่หลายประเภทในรูปแบบของวงจรรวมหรือไอซี (Integrated Circuit: IC) ทั้งที่ใช้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ (Bipolar) [2]-[3] แบบไบซีมอส (BiCMOS) [4]-[5] หรือแบบซีมอส (CMOS) [6]-[7] โดยแต่ละประเภทของ ADC นั้นจะมีวิธีการแปลงผันสัญญาณ การประยุกต์ใช้งาน และข้อดี-ข้อเสียที่แตกต่างกัน ดังนั้นในการเลือกใช้งาน ADC จึงต้องเลือกให้เหมาะสมกับความต้องการในการใช้งาน

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในปัจจุบันการออกแบบและการสร้างวงจรในรูปแบบวงจรรวม โดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟต (MOSFET) ได้พัฒนาก้าวหน้าไปมาก เนื่องจากกระบวนการผลิตมีขั้นตอนที่ไม่ยุ่งยากเมื่อเทียบกับเทคโนโลยีแบบไบโพลาร์ และใช้พื้นที่ในการสร้างวงจรมีขนาดเล็ก มีความประหยัดพลังงานในการนำไปใช้งาน [8]-[9] ดังจะเห็นได้จากการที่ในปัจจุบันมีผู้นำเสนอการออกแบบวงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟตเพื่อการจัดการและประมวลผลสัญญาณต่าง ๆ เป็นจำนวนมาก จึงเป็นที่น่าสนใจที่จะนำมอสเฟตมาใช้ในการออกแบบวงจร ADC ที่ต้องการนำเสนอในวิทยานิพนธ์นี้

อัลกอริทึม (Algorithmic) ADC มีการทำงานต่อเนื่องแบบคาสเคด คือ ในการแปลงผันเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัล 1 บิต เวลาที่ใช้ในการแปลงผันไม่ขึ้นกับค่าระดับสัญญาณแอนะล็อกอินพุต แต่จะขึ้นกับจำนวนบิตที่ต้องการ จากข้อดี-ข้อเสียของตัวอย่าง ADC แบบต่าง ๆ ดังแสดงในตารางที่ 1.1 [10]-[13] วิทยานิพนธ์นี้จึงมีวัตถุประสงค์ในการศึกษา เพื่อที่จะค้นคว้าและพัฒนาการออกแบบอัลกอริทึม ADC ที่มีความผิดพลาดสะสมต่ำ มีความแม่นยำและความเร็วในการแปลงผันสัญญาณสูง โดยออกแบบวงจรให้มีขนาดเล็ก โครงสร้างที่ไม่ซับซ้อน เพื่อมีความเหมาะสมในการสร้างเป็นวงจรรวม โดยอาศัยเทคโนโลยีทรานซิสเตอร์แบบมอสเฟต

ตารางที่ 1.1 ตัวอย่าง ADC ที่ได้มีการนำเสนอ

ชนิดของ ADC	ข้อดี	ข้อเสีย
Dual-slope Integrating ADC	<ul style="list-style-type: none"> - ความซับซ้อนของวงจรไม่ขึ้นกับจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต - มีความเที่ยงตรงและความแม่นยำในการแปลงผันสูง - มีความละเอียดในการแปลงผันสูง 	<ul style="list-style-type: none"> - เวลาที่ใช้ในการแปลงผันขึ้นอยู่กับค่าระดับสัญญาณแอนะล็อกอินพุต - มีความเร็วในการทำงานช้า ซึ่งไม่สามารถใช้กับสัญญาณอินพุตที่มีความถี่สูงได้
Successive Approximation ADC	<ul style="list-style-type: none"> - เวลาที่ใช้ในการแปลงผันไม่ขึ้นกับค่าระดับสัญญาณแอนะล็อกอินพุต แต่จะขึ้นกับจำนวนบิต - ราคาถูก - มีการประยุกต์ใช้งานที่หลากหลาย 	<ul style="list-style-type: none"> - มีความเร็วในการทำงานปานกลาง - ความเที่ยงตรงและแม่นยำในการแปลงผันจะขึ้นอยู่กับตัวแปลงผันดิจิทัลเป็นแอนะล็อก (Digital-to-Analog Converter: DAC) ที่ใช้ในวงจร
Algorithmic ADC	<ul style="list-style-type: none"> - วงจรมีขนาดเล็ก - สามารถกำหนดจำนวนบิตได้ - สามารถนำไปสร้างวงจรรวมได้ง่าย - เวลาที่ใช้ในการแปลงผันไม่ขึ้นกับค่าระดับสัญญาณแอนะล็อกอินพุต 	<ul style="list-style-type: none"> - มีความเร็วในการทำงานปานกลาง - มีความเที่ยงตรงและแม่นยำในการแปลงผันปานกลาง
Flash ADC	<ul style="list-style-type: none"> - ใช้วิธีการแปลงผันแบบขนาน - มีความเร็วในการทำงานสูง 	<ul style="list-style-type: none"> - วงจรมีขนาดใหญ่ ใช้พื้นที่ในการสร้างวงจรรวมมาก - ความซับซ้อนของวงจรจะแปรตามจำนวนบิต - มีความเที่ยงตรงและแม่นยำในการแปลงผันต่ำ

เนื่องจากรหัสเกรย์ (Gray Code) เป็นรหัสที่ไม่มีการถ่วงน้ำหนักรูปแบบหนึ่งและมีคุณสมบัติเป็นรหัสวน (Cyclic Code) การเปลี่ยนแปลงของรหัสเกรย์ในแต่ละลำดับที่ติดกันจะมีการเปลี่ยนแปลงเพียงแค่อันดับที่ติดกันนั้น ทำให้เกิดความผิดพลาดในการส่งรหัสได้ยาก [14]-[16] จึงมักนำไปใช้ในระบบการตรวจวัดสัญญาณด้วยแสง ระบบการทำรหัสบนแกนหมุนเชิงกลเพื่อบอกตำแหน่งหรือค่ามุมของเพลลาหมุน รวมทั้งการเปลี่ยนระบบแอนะล็อกเป็นดิจิทัล ดังที่มีการนำเสนอการออกแบบ ADC ที่มีการลงรหัสแบบเกรย์อย่างต่อเนื่อง [17]-[21] จึงเป็นที่น่าสนใจในการพัฒนา ADC ที่ต้องการนำเสนอ

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้นำเสนอการออกแบบอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ โดยใช้ทรานซิสเตอร์แบบมอสเฟต การออกแบบ ADC ขนาด 1 บิตที่มีลักษณะถ่ายโอนไฟตรง (DC Transfer Characteristic) สำหรับค่ากระแสอินพุตที่มีการเพิ่มขึ้นอย่างต่อเนื่องเป็นสัญญาณรูปสามเหลี่ยม (Triangular-like Waveform) มี 3 รูปแบบ คือ การออกแบบโดยใช้วงจรถ่วงกระแส (Current Limiter) การออกแบบโดยใช้วงจรถ่วงค่าสูงสุด (Maximum Circuit) และการออกแบบโดยใช้วงจรมัดฟังก์ชันสัมบูรณ์ (Absolute Function Circuit) ในส่วนของการออกแบบ ADC ทั้งสามวิธีนี้ได้ใช้วิธีการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสเต็มตัว ข้อได้เปรียบของการไบแอสมอสเฟตที่จุดนี้เป็นผลทำให้ ADC ที่นำเสนอมีลักษณะถ่ายโอนกระแสที่มีความเพี้ยนต่ำ ความเร็วในการทำงานสูง และมีการตอบสนองความถี่ที่สูง นอกจากนี้ยังสามารถเพิ่มความละเอียดในการทำงานได้ โดยการเพิ่มจำนวน ADC ขนาด 1 บิตซึ่งนำมาต่อคาสเคดกันตามจำนวนบิตที่ต้องการ

1.4 ขอบเขตของวิทยานิพนธ์

การออกแบบอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ที่น่าสนใจในวิทยานิพนธ์นี้ได้มีการวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎีแล้วนำมาเปรียบเทียบกับผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE และ MATLAB เพื่อเป็นการยืนยันสมรรถนะการทำงานของวงจร

1.5 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 6 บท และ 9 ภาคผนวก โดยเนื้อหาแต่ละส่วนมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ จะกล่าวถึงความจำเป็นและความสำคัญของปัญหา ตลอดจนความมุ่งหมาย และวัตถุประสงค์ของการศึกษา หลักการใหม่ที่น่าสนใจ และขอบเขตของวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์ในแต่ละส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 กล่าวถึงหลักการทํางานพื้นฐานและรายละเอียดที่สำคัญของ ADC

บทที่ 3 กล่าวถึงหลักการทํางานของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองและแบบเกรย์ พร้อมทั้งยกตัวอย่างอัลกอริทึม ADC ที่มีการนำเสนอในอดีต

บทที่ 4 กล่าวถึงกลุ่มวงจรย่อยต่าง ๆ ที่นำไปใช้ในการออกแบบอัลกอริทึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ ได้แก่ วงจรสะท้อนกระแส วงจรจำกัดกระแส วงจรหาค่าสูงสุด วงจรฟังก์ชันสัมบูรณ์ และวงจรเปรียบเทียบกระแส

บทที่ 5 กล่าวถึงการออกแบบอัลกอริทึม ADC ทั้งสามรูปแบบที่ได้พัฒนาขึ้น พร้อมทั้งวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎี และผลการเลียนแบบการทํางานของวงจรด้วยโปรแกรม PSPICE และ MATLAB

บทที่ 6 เป็นบทส่งท้ายซึ่งเป็นการสรุปผลการวิจัยที่ได้นำเสนอในวิทยานิพนธ์นี้ และข้อเสนอแนะเพื่อเป็นแนวทางในการวิจัยพัฒนาการออกแบบวงจร ADC ต่อไป

ในส่วนสุดท้ายของวิทยานิพนธ์เป็นส่วนของภาคผนวก ซึ่งได้รวบรวมการวิเคราะห์สมการต่าง ๆ ของแต่ละบท รวมทั้งบทความวิจัยที่ได้รับการตีพิมพ์ ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก กล่าวถึงคุณสมบัติที่สำคัญและวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือ ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต รวมทั้งข้อได้เปรียบของการไบแอสมอสเฟตให้มีการทํางานที่ขอบของการนำกระแสในช่วงนำกระแสอิมิตัว

ภาคผนวก ข เป็นการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐานและแบบที่มีหลายเอาต์พุต โดยวิเคราะห์ผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจร

ภาคผนวก กง และ จ เป็นการวิเคราะห์คุณสมบัติการทํางานของวงจรจำกัดกระแส วงจรหาค่าสูงสุด และวงจรฟังก์ชันสัมบูรณ์ ตามลำดับ ในแต่ละภาคผนวกจะประกอบด้วย การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร

ภาคผนวก ฉ และ ช เป็นการวิเคราะห์คุณสมบัติการทํางานของอัลกอริทึม ADC ทั้งสามรูปแบบที่นำเสนอ ซึ่งเป็นการออกแบบโดยใช้วงจรจำกัดกระแส วงจรหาค่าสูงสุด และวงจรฟังก์ชันสัมบูรณ์ ตามลำดับ ในแต่ละภาคผนวกจะวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดันแหล่งจ่ายต่ำสุด

ภาคผนวก ฅ แสดงบทความวิจัยที่ได้รับการตีพิมพ์ในวารสารและการประชุมวิชาการระดับนานาชาติ

บทที่ 2

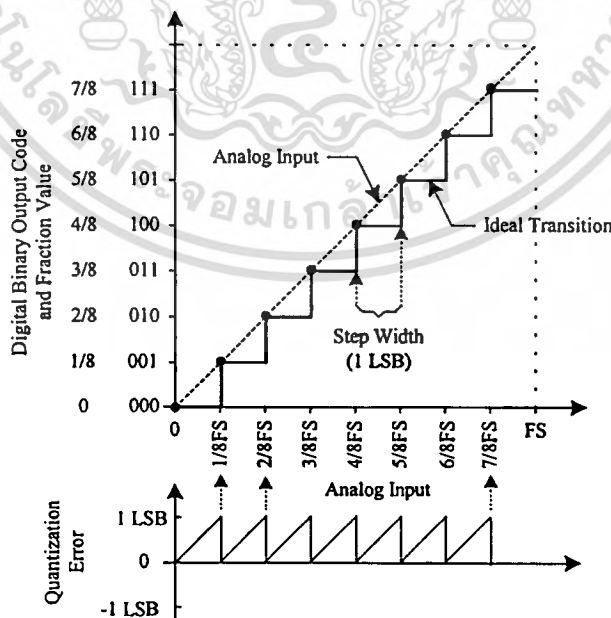
หลักการทํางานและรายละเอียดของ ADC

2.1 กล่าวนํ้า

เนื่องจาก ADC เป็นวงจรหนึ่งที่มีความสำคัญในการจัดการสัญญาณ ในปัจจุบันจึงได้มีการนํ้าเสนอและพัฒนาโครงสร้างรวมทั้งวิธีการแปลงผันสัญญาณของ ADC หลากหลายรูปแบบ แต่ไม่ว่าจะด้วยโครงสร้างและวิธีการรูปแบบใด ADC จะทำหน้าที่แปลงผันสัญญาณอินพุตแบบต่อเนื่องให้เป็นสัญญาณเอาต์พุตแบบไม่ต่อเนื่องที่มีค่าสอดคล้องกัน เนื้อหาในบทนี้จะกล่าวถึงหลักการทํางานพื้นฐาน รายละเอียดแบบสถิตย์ (Static Specifications) ที่สำคัญ และประเภทของ ADC

2.2 หลักการทํางานพื้นฐานของ ADC

การแปลงผันสัญญาณแอนะล็อกซึ่งอยู่ในรูปของสัญญาณแรงดันหรือสัญญาณกระแสให้เป็นสัญญาณดิจิทัลจะทำการแปลงเป็นขั้น [12]-[13] โดยจำนวนขั้นของการแปลงผันจะขึ้นอยู่กับจำนวนบิตของ ADC ซึ่งจำนวนขั้นจะเท่ากับ $2^N - 1$ ขั้น และจำนวนดิจิทัลเอาต์พุตจะมี 2^N ค่า เมื่อ N คือ จำนวนบิต โดยค่าสัญญาณแอนะล็อกอินพุตที่ ADC สามารถแปลงผันแล้วได้ค่าดิจิทัลเอาต์พุตสูงสุดจะเท่ากับ $(2^N - 1)/2^N$ ของค่าเต็มสเกล (Full Scale: FS) ดังตัวอย่างในรูปที่ 2.1 แสดงลักษณะ



รูปที่ 2.1 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่ไม่มีการออฟเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

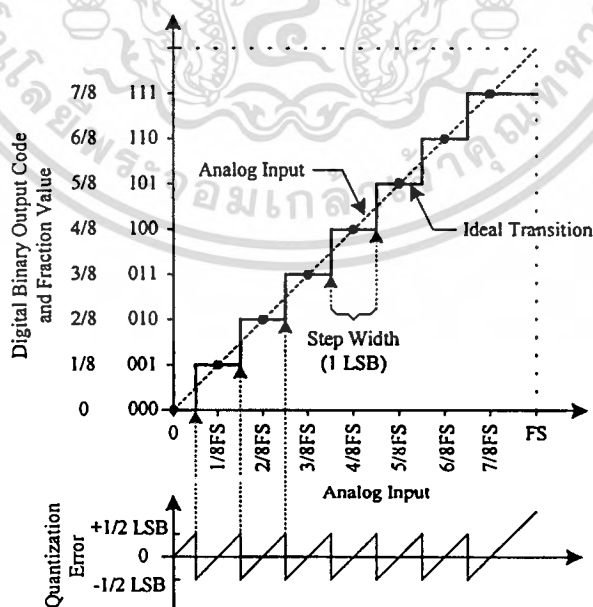
ถ่ายโอน (Transfer Characteristic) ในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิต ในกรณีที่ไม่มีค่าออฟเซต (Offset) โดยมีจำนวนขั้นของการแปลงผันเท่ากับ 2^3-1 หรือ 7 ขั้น จำนวนทั้งหมดของดิจิตอลเอาต์พุตเท่ากับ 2^3 หรือ 8 ค่า ในการแปลงผันจะได้ดิจิตอลเอาต์พุตต่ำสุด 000 เมื่อสัญญาณแอนะล็อกอินพุตมีค่าน้อยกว่า $1/8FS$ และจะได้ดิจิตอลเอาต์พุตสูงสุด 111 เมื่อสัญญาณแอนะล็อกอินพุตมีค่ามากกว่าหรือเท่ากับ $7/8FS$

ในการแปลงผันของ ADC สัญญาณแอนะล็อกอินพุตหลาย ๆ ค่าที่อยู่ภายในช่วงเดียวกันจะถูกแปลงเป็นสัญญาณดิจิตอลที่มีรหัสเดียวกัน โดยช่วงของสัญญาณแอนะล็อกอินพุตดังกล่าวนี้จะเรียกว่า “ความกว้างของขั้น” (Step Width) หรือ “ขั้นการควอนไทซ์” (Quantization Step: QS) ADC ในอุดมคติจะมีขั้นการควอนไทซ์ทุก ๆ ขั้นเท่ากันคือ 1 LSB (Least Significant Bit) ซึ่งเป็นบิตที่มีนัยสำคัญน้อยสุดของสัญญาณดิจิตอลเอาต์พุต โดยขั้นการควอนไทซ์จะขึ้นอยู่กับค่าเต็มสเกลของสัญญาณแอนะล็อกอินพุต (FS) และจำนวนบิตของสัญญาณดิจิตอลเอาต์พุต (N) ดังนี้ [22]

$$QS = \frac{FS}{2^N} = 1 \text{ LSB} \quad (2.1)$$

จากรูปที่ 2.1 ADC ขนาด 3 บิตในอุดมคติจะมีค่า QS หรือ 1 LSB เท่ากับ $FS/2^3$ หรือ $FS/8$

ในกรณีที่สัญญาณอินพุตของ ADC เป็นสัญญาณแรงดัน ค่าเต็มสเกลหรือ FS นิยมเขียนแทนด้วยสัญญาณแรงดันอ้างอิง (Reference Voltage: V_{ref}) จากสมการที่ (2.1) จะได้ว่า [23]



รูปที่ 2.2 ลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่ไม่มีค่าออฟเซตเท่ากับ $-1/2$ LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$1 \text{ LSB} = \frac{V_{ref}}{2^N} \quad (2.2)$$

สำหรับบิตที่มีนัยสำคัญมากที่สุดของสัญญาณดิจิทัลเอาต์พุตหรือ MSB (Most Significant Bit) สามารถคำนวณได้จาก [24]

$$1 \text{ MSB} = \frac{FS}{2} = \frac{V_{ref}}{2} \quad (2.3)$$

ในรูปที่ 2.2 แสดงลักษณะถ่ายโอนในอุดมคติและค่าผิดพลาดการควอนไทซ์ของ ADC ขนาด 3 บิตในกรณีที่มีค่าออฟเซตเท่ากับ $-1/2 \text{ LSB}$ การเลื่อนไปด้านซ้ายของลักษณะถ่ายโอนนี้ ทำให้ช่วงของค่าผิดพลาดการควอนไทซ์ของ ADC มีค่าเปลี่ยนไป จาก 0 ถึง 1 LSB (Unipolar Quantization Error) เปลี่ยนเป็น $-1/2 \text{ LSB}$ ถึง $1/2 \text{ LSB}$ (Bipolar Quantization Error)

2.3 รายละเอียดที่สำคัญของ ADC

2.3.1 พิสัยพลวัต

พิสัยพลวัต (Dynamic Range) คือ อัตราส่วนระหว่างค่าสัญญาณแอมพลิจูดอินพุตสูงสุดที่สามารถแปลงผันได้ต่อการควอนไทซ์ [12] ตัวอย่างเช่น ADC ขนาด 10 บิต ที่สามารถแปลงค่าสัญญาณแรงดันอินพุตได้ตั้งแต่ 0V ถึง 4V จากสมการที่ (2.1) จะได้ค่า QS คือ $4V / 2^{10} = 3.9062 \text{ mV}$ ดังนั้นค่าพิสัยพลวัตของ ADC ขนาด 10 บิตนี้คือ $4V / 3.9062 \text{ mV}$ ซึ่งมีค่าเท่ากับ 2^{10} หรือ 1024 จากตัวอย่างดังกล่าวนี้จะได้ว่า ค่าพิสัยพลวัตสามารถคำนวณได้จากจำนวนดิจิทัลเอาต์พุต 2^N นั่นเอง นอกจากนั้นยังสามารถแสดงค่าพิสัยพลวัตในหน่วยเดซิเบล (dB) โดยที่ [25]

$$20 \log_{10} 2^N \cong 6N \quad (2.4)$$

ตัวอย่างเช่น ค่าพิสัยพลวัตของ ADC ขนาด 10 บิต คือ $20 \log 2^{10} \cong 60 \text{ dB}$ ในขณะที่ ADC ขนาด 8 บิต จะมีค่าพิสัยพลวัตประมาณ 48 dB

2.3.2 ความแยกชัด

ความแยกชัด (Resolution) แสดงถึงความละเอียดในการแปลงผันสัญญาณของ ADC ซึ่งมีความสัมพันธ์กับขั้นการควอนไทซ์ พิสัยพลวัต และความผิดพลาดการควอนไทซ์ โดยทั่วไปความแยกชัดของ ADC พิจารณาได้จากจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต นอกจากนั้น ความแยกชัดของ ADC ยังสามารถแสดงในเทอมของค่าเปอร์เซ็นต์ (Percentage) หรือค่า ppm (parts

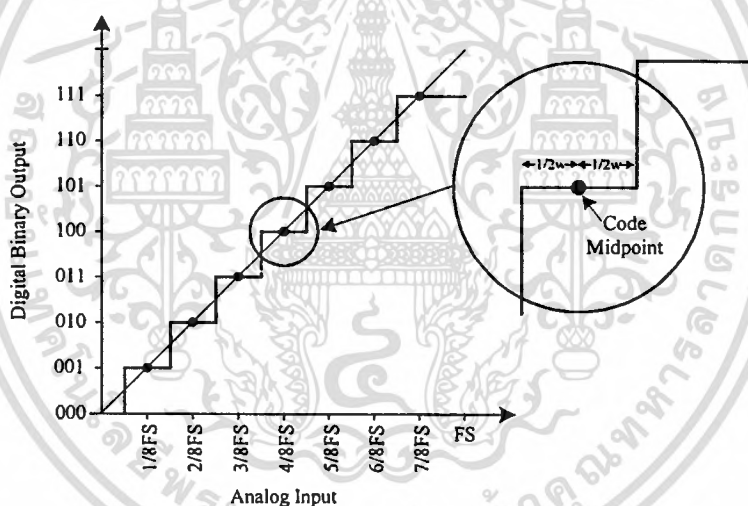
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

per millions) ของค่าเต็มสเกล [22] ตัวอย่างเช่น ADC ขนาด 10 บิต จะมีความแยกชัดหรือความละเอียดในการแปลงผันเท่ากับ 0.0977% หรือ 977 ppm ของค่าเต็มสเกล ในขณะที่ ADC ขนาด 8 บิต จะมีค่าความแยกชัดเท่ากับ 0.3906% หรือ 3906 ppm ของค่าเต็มสเกล

2.3.3 จุดกึ่งกลางรหัส

จุดกึ่งกลางรหัส (Code Midpoint) ของสัญญาณดิจิตอลเอาต์พุตแต่ละรหัสสำหรับ ADC ดังตัวอย่างในรูปที่ 2.3 จะเป็นค่าสัญญาณแอนะล็อกอินพุต ณ ตำแหน่งที่เป็นจุดกึ่งกลางระหว่างขอบทั้งสองด้านของขั้นการควอนไทซ์หรือระดับช่วงเปลี่ยน (Transition Level) ของ ADC โดยจุดกึ่งกลางรหัสสำหรับสัญญาณดิจิตอลเอาต์พุตใด ๆ (x) สามารถคำนวณได้จาก [12]

$$\text{Code Midpoint for code } x = \frac{\text{Transition Level}(x) + \text{Transition Level}(x+1)}{2} \quad (2.5)$$



รูปที่ 2.3 จุดกึ่งกลางรหัสของสัญญาณดิจิตอลเอาต์พุต

2.3.4 ค่าผิดพลาดการควอนไทซ์

การแปลงผันของ ADC ในอุดมคติจะมีค่าผิดพลาดการควอนไทซ์ (Quantization Error: Q) เกิดขึ้นเสมอ เนื่องจากสัญญาณแอนะล็อกอินพุตที่อยู่ภายในช่วงหรือขั้นการควอนไทซ์เดียวกันจะถูกแปลงเป็นสัญญาณดิจิตอลเอาต์พุตรหัสเดียวกัน โดยค่าผิดพลาดการควอนไทซ์จะเป็นผลต่างทางขนาดระหว่างสัญญาณแอนะล็อกอินพุต (เส้นประ) กับสัญญาณแอนะล็อกที่เป็นค่าสมมูลของสัญญาณดิจิตอลเอาต์พุต (เส้นทึบ) ดังกราฟรูปฟืนเลื่อยในรูปที่ 2.1 และ 2.2 ซึ่งมีค่าผิดพลาดการควอนไทซ์อยู่ในช่วง 0 ถึง 1 LSB และช่วง $-1/2$ LSB ถึง $1/2$ LSB ตามลำดับ ค่าผิดพลาดนี้เขียนเป็นสมการได้ว่า [26]

$$Q_e = A_{in} - D_o \left(\frac{FS}{2^N} \right) \quad (2.6)$$

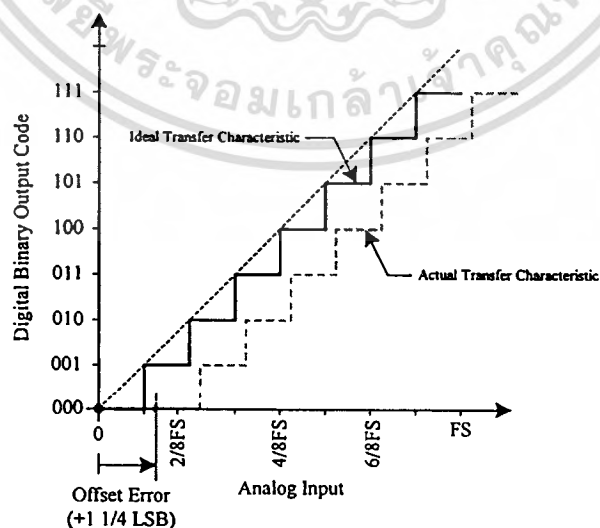
เมื่อ A_{in} คือ สัญญาณแอนะล็อกอินพุต

D_o คือ สัญญาณดิจิตอลเอาต์พุต

ตัวอย่างเช่น ADC ในอุดมคติที่มีค่าออฟเซต ($-1/2$ LSB) ขนาด 10 บิต จะมีค่าผิดพลาดการควอนไทซ์สูงสุดได้เท่ากับ $\pm(1/2 \times 2^{-10})FS$ หรือ $\pm 0.0488\%$ ของค่าเต็มสเกล ในขณะที่ ADC ขนาด 8 บิต จะมีค่าผิดพลาดการควอนไทซ์สูงสุดเท่ากับ $\pm 0.195\%$ ของค่าเต็มสเกล

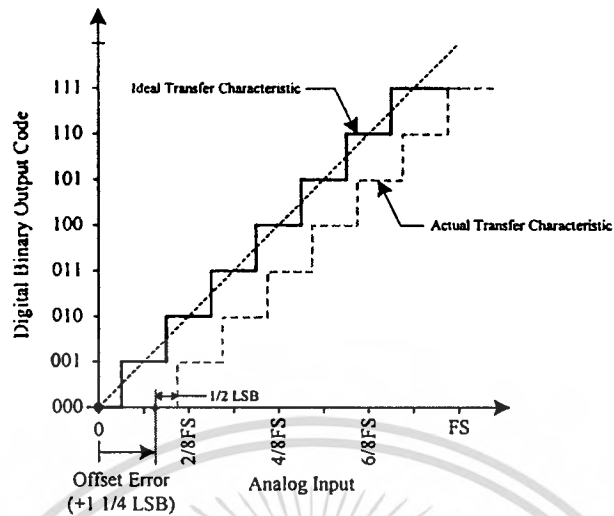
2.3.5 ค่าผิดพลาดออฟเซต

กราฟที่แสดงลักษณะถ่ายโอนในอุดมคติของ ADC จะตัดผ่านจุดกำเนิด (Origin) ดังตัวอย่างในรูปที่ 2.1 และ 2.2 แต่ถ้ากราฟที่แสดงลักษณะถ่ายโอนของ ADC มีการเลื่อนออกไปทางด้านซ้าย (เมื่อออฟเซตมีค่าเป็นลบ) หรือด้านขวา (เมื่อออฟเซตมีค่าเป็นบวก) เมื่อเทียบกับกราฟในอุดมคติ จะกล่าวได้ว่า ADC นี้มีค่าผิดพลาดออฟเซต (Offset Error) หรือค่าผิดพลาดตำแหน่งศูนย์ (Zero Error) เกิดขึ้น ดังตัวอย่างในรูปที่ 2.4 และ 2.5 [13] ที่มีค่าผิดพลาดออฟเซตเท่ากับ $1 \frac{1}{4}$ LSB โดยเปรียบเทียบระหว่างลักษณะถ่ายโอนที่เกิดขึ้นจริง (Actual Transfer Characteristic) กับลักษณะถ่ายโอนในอุดมคติ (Ideal Transfer Characteristic) ของ ADC ดังรูปที่ 2.1 และ 2.2 ตามลำดับ การระบุค่าผิดพลาดออฟเซตของ ADC นอกเหนือไปจากการระบุด้วยจำนวนเศษส่วนของ LSB แล้วยังสามารถระบุค่าด้วยค่าเปอร์เซ็นต์ของค่าเต็มสเกล (% of FS) [27]



รูปที่ 2.4 ค่าผิดพลาดออฟเซต เมื่อเปรียบเทียบกับลักษณะถ่ายโอนในอุดมคติดังรูปที่ 2.1

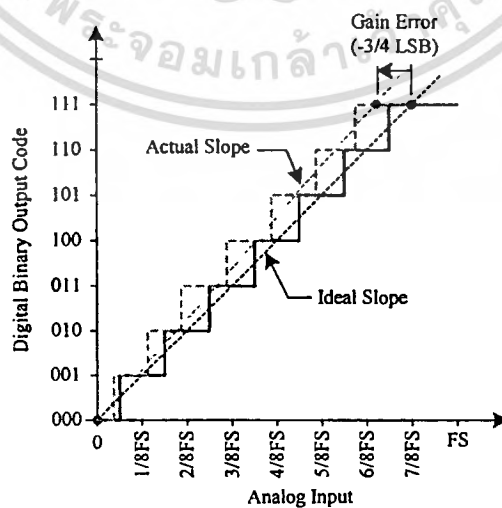
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ค่าผิดพลาดออฟเซต เมื่อเปรียบเทียบกับลักษณะถ่ายโอนในอุดมคติดังรูปที่ 2.2

2.3.6 ค่าผิดพลาดอัตราขยาย

โดยทั่วไปค่าอัตราขยาย (Gain) ของ ADC สามารถพิจารณาได้จากค่าความชันของกราฟที่แสดงลักษณะถ่ายโอน ดังนั้นค่าผิดพลาดอัตราขยาย (Gain Error) จะเป็นผลต่างระหว่างความชันของกราฟที่แสดงลักษณะถ่ายโอนจริง (Actual Slope) กับความชันของกราฟในอุดมคติ (Ideal Slope) ดังตัวอย่างในรูปที่ 2.6 ที่ใช้วิธีการลากเส้นตรงระหว่างจุดกลางรหัสจุดแรกกับจุดสุดท้ายของการแปลงผัน นอกเหนือจากนี้ยังมีอีกวิธีการหนึ่งที่ผู้ผลิต ADC นิยมใช้ในการพิจารณาค่าความชันของกราฟที่แสดงลักษณะถ่ายโอนของ ADC วิธีการดังกล่าวคือ การหาความชันของเส้นตรงที่ลงค้ำที่สุดระหว่างจุดกลางรหัสต่าง ๆ ในการแปลงผัน (Best Fit Line)

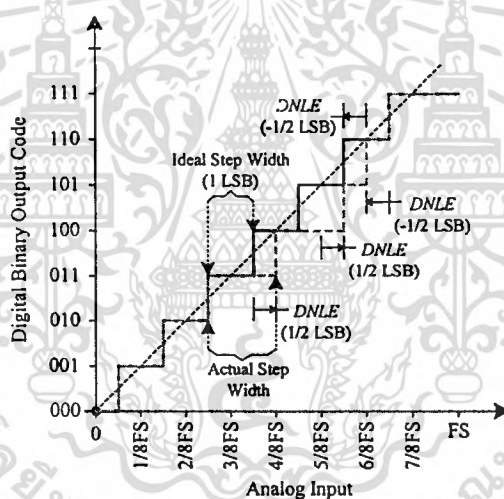


รูปที่ 2.6 ค่าผิดพลาดเต็มสเกล

ในบางครั้งจะเรียกค่าผิดพลาดอัตราขยายนี้ว่า “ค่าผิดพลาดเต็มสเกล” (Full Scale Error) หรือ “ค่าผิดพลาดสเกล” (Scale Error) เนื่องจากค่าผิดพลาดอัตราขยายนี้สามารถพิจารณาได้จากความแตกต่างระหว่างระดับช่วงเปลี่ยนในขั้นสุดท้ายของลักษณะถ่ายโอนจริงกับในอุดมคติ [28] ดังตัวอย่างในรูปที่ 2.6 เมื่อพิจารณาช่วงเปลี่ยนจาก 110 เป็น 111 จะได้ค่าผิดพลาดอัตราขยายเท่ากับ $-3/4\text{LSB}$

2.3.7 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลต่าง

ค่าผิดพลาดความไม่เชิงเส้นเชิงผลต่าง (Differential Nonlinearity Error: *DNLE*) จะเป็นค่าที่ใช้วัดความสม่ำเสมอในการควอนไทซ์สัญญาณแอนะล็อกอินพุตของ ADC การแปลงขั้นในอุดมคตินั้นจะมีขั้นการควอนไทซ์หรือความกว้างของขั้นสำหรับสัญญาณแอนะล็อกอินพุตทุก ๆ ช่วง เท่ากับ 1 LSB เสมอ ดังนั้น ADC ในอุดมคติจะมีค่า *DNLE* เท่ากับศูนย์



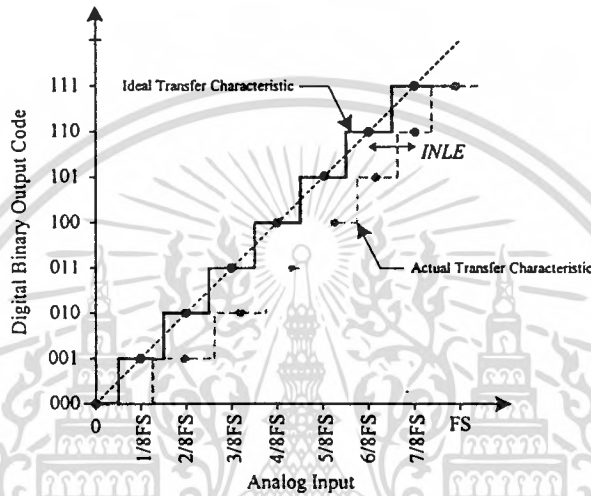
รูปที่ 2.7 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลต่าง

ค่า *DNLE* สำหรับสัญญาณดิจิทัลเอาต์พุตใด ๆ (x) ดังตัวอย่างในรูปที่ 2.7 เป็นผลต่างระหว่างความกว้างของขั้นในการแปลงผันสัญญาณจริง (Actual Step Width) กับในอุดมคติ (Ideal Step Width: 1 LSB) สามารถเขียนสมการได้ว่า [12]

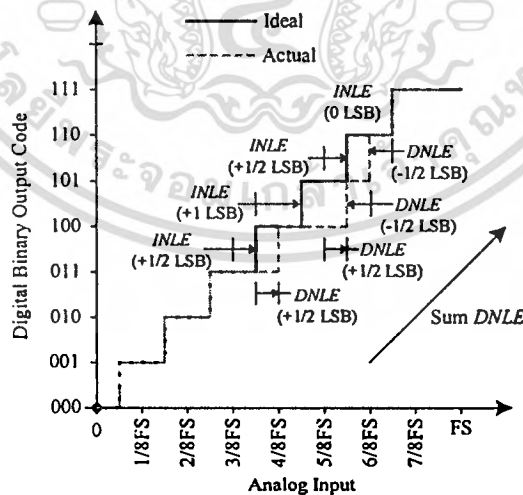
$$\begin{aligned}
 DNLE \text{ for code } x &= \text{Step Width} - \text{LSB Width} \\
 &= \frac{\text{Transition Level}(x) - \text{Transition Level}(x+1)}{\text{LSB Width}} - 1 \quad (2.7)
 \end{aligned}$$

2.3.8 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลรวม

ค่าผิดพลาดความไม่เชิงเส้นเชิงผลรวม (Integral Nonlinearity Error: *INLE*) ของ ADC จะเป็นผลต่างระหว่างจุดกลางรหัสในการแปลงผันจริงกับกราฟเส้นตรงที่แสดงลักษณะถ่ายโอนของ ADC ในอุดมคติ ดังตัวอย่างในรูปที่ 2.8 โดยกราฟเส้นตรงในอุดมคติสามารถพิจารณาได้ดังนี้ [11]



รูปที่ 2.8 ค่าผิดพลาดความไม่เชิงเส้นเชิงผลรวม



รูปที่ 2.9 ความสัมพันธ์ระหว่างค่า *DNLE* กับ *INLE*

วิธีที่ 1. ลากเส้นตรงระหว่างจุดกลางรหัสที่ตำแหน่งแรกกับตำแหน่งสุดท้ายในการแปลงผันจริง

วิธีที่ 2. ลากเส้นตรงที่ถึงตัวที่สุระหว่างจุดกลางรหัสตำแหน่งต่าง ๆ ในการแปลงผันจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

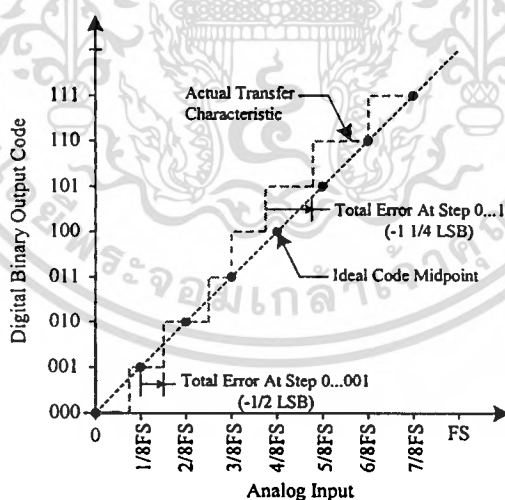
วิธีที่ 3. ร่างเส้นตรงระหว่างจุดกลางรหัสในอุดมคติที่ตำแหน่งแรกกับตำแหน่งสุดท้าย แล้วใช้ค่า 1 LSB เพื่อคำนวณหาจุดกลางรหัสตำแหน่งอื่น ๆ ต่อไป โดยระยะห่างระหว่างตำแหน่งของจุดกลางรหัส 2 จุดใด ๆ ในอุดมคติจะมีค่าเท่ากับ 1 LSB เสมอ

การพิจารณาหากราฟเส้นตรงที่แสดงลักษณะถ่ายโอนของ ADC ในอุดมคติด้วยวิธีที่ 1 มักจะได้ค่า *INLE* น้อยที่สุด

นอกเหนือไปจากการนิยามค่า *INLE* ข้างต้นแล้ว ยังสามารถอธิบายได้จากการเปรียบเทียบกับค่า *DNLE* โดยค่า *DNLE* จะเป็นค่าผิดพลาดที่เกิดขึ้นในแต่ละขั้นของการแปลงผัน ส่วนค่า *INLE* จะเป็นการอินทิเกรตหรือการรวมค่าผิดพลาดในแต่ละขั้นดังกล่าวตลอดช่วงของการแปลงผัน ดังตัวอย่างในรูปที่ 2.9 [11]

2.3.9 ค่าแม่นยำสัมบูรณ์

ค่าแม่นยำสัมบูรณ์ (Absolute Accuracy) หรือค่าผิดพลาดทั้งหมด (Total Error) ของ ADC เป็นค่าสูงสุดของผลต่างระหว่างสัญญาณแอนะล็อกอินพุตกับจุดกลางรหัสในอุดมคติ โดยค่าแม่นยำสัมบูรณ์นี้จะเป็นการรวมค่าผิดพลาดออฟเซต ค่าผิดพลาดอัตราขยาย ค่า *DNLE* และค่า *INLE* รวมทั้งค่าผิดพลาดการควอนไทซ์ของ ADC ดังตัวอย่างในรูปที่ 2.10 [28]



รูปที่ 2.10 ค่าแม่นยำสัมบูรณ์

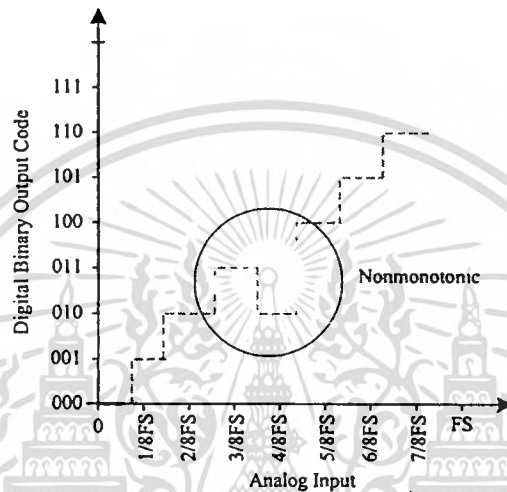
2.3.10 โมโนโทนิก

ในการแปลงผันสัญญาณของ ADC ถ้ามีค่า *DNLE* น้อยกว่า 0.5 LSB แล้ว การเพิ่มขึ้นของสัญญาณแอนะล็อกอินพุต จะได้สัญญาณดิจิทัลเอาต์พุตมีค่าไม่ลดน้อยลงกว่าสัญญาณเดิม จะกล่าวได้ว่า ADC นี้มีคุณลักษณะแบบ “โมโนโทนิก” (Monotonic) ดังตัวอย่างในรูปที่ 2.11 [11]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงลักษณะถ่ายโอนของ ADC ที่ไม่มีคุณลักษณะแบบโมโนโทนิค (Nonmonotonic) พบว่า เมื่อสัญญาณแอนะล็อกอินพุตมีค่าเพิ่มขึ้น แต่ ADC แปลงผันได้สัญญาณดิจิทัลเอาต์พุตน้อยลง

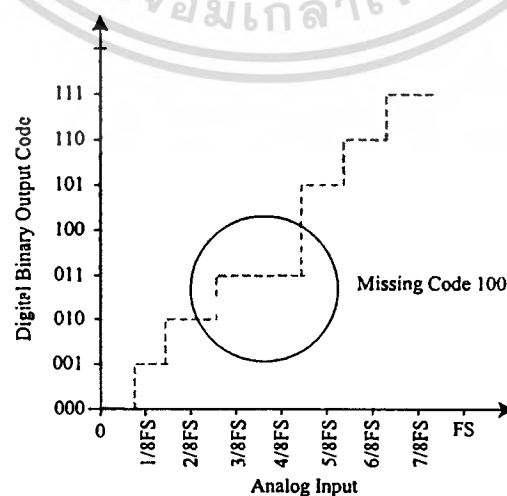
คุณลักษณะแบบโมโนโทนิคของ ADC จะมีผลอย่างมากในการประยุกต์ใช้สำหรับระบบควบคุมเนื่องจากการลดลงของสัญญาณดิจิทัลเอาต์พุตในกรณีที่สัญญาณแอนะล็อกอินพุตมีค่าเพิ่มมากขึ้นนั้น อาจเป็นผลทำให้เสถียรภาพของระบบควบคุมลดลง



รูปที่ 2.11 ลักษณะถ่ายโอนของ ADC ที่ไม่มีคุณลักษณะแบบโมโนโทนิค

2.3.11 รหัสขาดหาย

ในการแปลงผันสัญญาณของ ADC ถ้ามีค่า $DNLE$ น้อยกว่า 1 LSB แล้ว จะได้สัญญาณดิจิทัลเอาต์พุตครบทุกบิต จะไม่มีรหัสขาดหาย (Missing Code) เกิดขึ้น ดังตัวอย่างในรูปที่ 2.12 [12] แสดงลักษณะถ่ายโอนของ ADC ที่เกิดรหัสขาดหายที่บิต 100



รูปที่ 2.12 ลักษณะถ่ายโอนของ ADC ที่มีรหัสขาดหาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ประเภทของ ADC

ประเภทของ ADC เมื่อแบ่งตามความเร็วในการแปลงผัน สามารถแบ่งได้เป็น 3 ประเภท [7], [13], [22] คือ ประเภทความเร็วต่ำ ความเร็วปานกลาง และความเร็วสูง ดังแสดงในตารางที่ 2.1 โดยแต่ละประเภทมีรายละเอียดโดยย่อ ดังนี้

ADC ความเร็วต่ำเป็น ADC ที่มีขนาดเล็ก การทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงผันขึ้นอยู่กับค่าระดับสัญญาณแอนะล็อกอินพุต ขนาดของวงจรไม่ขึ้นกับจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดีคือจำนวนบิตมาก ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ได้แก่ ADC แบบ Single Slope และแบบ Dual Slope

ADC ความเร็วปานกลางเป็น ADC ที่มีการทำงานเป็นแบบคาสเคด คือในการแปลงผันสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต เมื่อเปรียบเทียบกับ ADC ความเร็วต่ำแล้ว ADC ประเภทนี้จะมีโครงสร้างของวงจรที่มีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงผันไม่ขึ้นกับค่าระดับสัญญาณแอนะล็อกอินพุต แต่จะขึ้นกับจำนวนบิตของสัญญาณดิจิทัลเอาต์พุต ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ ได้แก่ ADC แบบ Successive Approximation และแบบอัลกอริธึม

ADC ความเร็วสูงเป็นวงจรที่ทำการแปลงผันสัญญาณโดยใช้เวลาน้อยกว่า N รอบสัญญาณนาฬิกา โดยที่ N เป็นจำนวนบิตของสัญญาณเอาต์พุต แต่ขนาดของวงจรจะแปรตามจำนวนบิตของสัญญาณเอาต์พุต เมื่อ N มีค่าเพิ่มขึ้น วงจรจะมีความซับซ้อนมากขึ้น ทำให้วงจรมีขนาดใหญ่ จึงใช้พื้นที่ในการสร้างวงจรรวมมาก ตัวอย่างของ ADC ที่จัดอยู่ในประเภทนี้ได้แก่ แบบขนาน (Flash) และแบบ Pipelined

ตารางที่ 2.1 ประเภทของ ADC

Low-to-Medium Speed High Accuracy	Medium Speed Medium Accuracy	High Speed Low-to-Medium Accuracy
Single Slope Dual Slope (Integrating) Oversampling	Successive Approximation Algorithmic	Full Flash Half-Flash (Two-Step Flash) Interpolating Folding Pipeline Time-Interleaved

2.5 บทสรุป

ในบทนี้ได้อธิบายหลักการดำเนินงานพื้นฐานของ ADC และรายละเอียดแบบสถิติที่สำคัญซึ่งแสดงถึงสมรรถนะการทำงานของตัวอุปกรณ์ นอกจากนี้ยังได้กล่าวถึงประเภทของ ADC ที่แบ่งได้ 3 ประเภทตามความเร็วในการแปลงผัน โดยแต่ละประเภทนั้นจะมีข้อดี-ข้อเสียที่แตกต่างกันไป ดังนั้นในการเลือกใช้งาน ADC จึงต้องเลือกให้เหมาะสมกับความต้องการในการใช้งาน



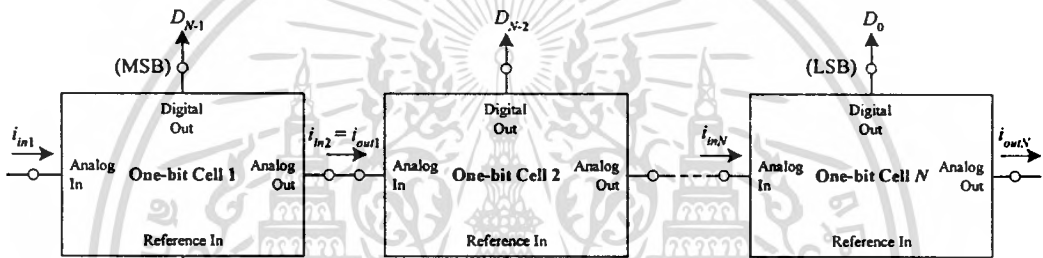
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการทํางานของอัลกอริทึม ADC

3.1 กล่าวนำ

อัลกอริทึม ADC จัดเป็น ADC ประเภทความเร็วปานกลาง [7] ในการแปลงผันหนึ่งครั้ง จะได้สัญญาณดิจิทัลเอาต์พุต 1 บิต โดยเริ่มแปลงผันจากบิตที่มีนัยสำคัญมากที่สุด (MSB) ไปยังบิตที่มีนัยสำคัญน้อยสุด (LSB) โครงสร้างของอัลกอริทึม ADC ขนาด N บิต [29] จะประกอบด้วย อัลกอริทึม ADC ขนาด 1 บิต (One-bit Cell) จำนวน N วงจร นำมาต่อкасцепกันดังรูปที่ 3.1



รูปที่ 3.1 อัลกอริทึม ADC ขนาด N บิต

การทํางานของอัลกอริทึม ADC ที่ได้มีการนำเสนอ [17], [19], [29]-[36] สามารถแบ่งได้ เป็น 2 กลุ่ม ดังนี้

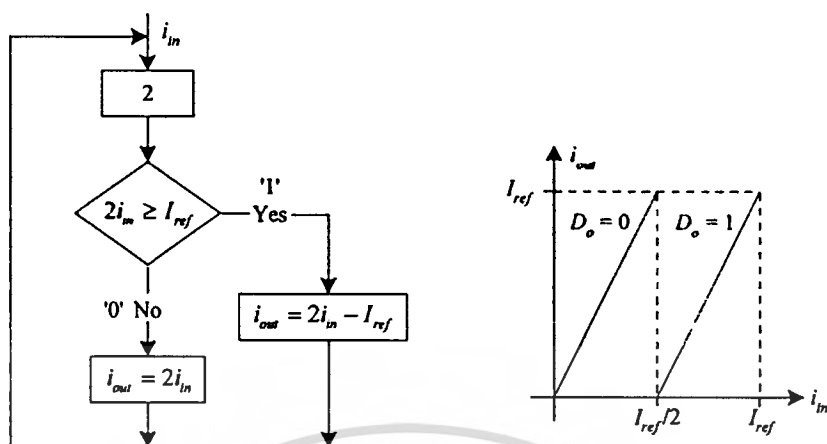
1. กลุ่มของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง (Binary Coding) [29]-[31]
2. กลุ่มของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ (Gray Coding) [17], [19], [32]-[36]

3.2 หลักการทํางานของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสอง

3.2.1 หลักการทํางาน

จากผังงาน (Flowchart) ของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองดังรูปที่ 3.2(ก) [29] สามารถอธิบายการทํางานได้ดังนี้ เมื่อ I_{ref} คือ ค่ากระแสอ้างอิงซึ่งเป็นค่าเต็มสเกล สำหรับการแปลงผัน ส่วน i_{in} และ i_{out} คือ กระแสอินพุต และกระแสเอาต์พุตของ ADC ตามลำดับ ค่ากระแส i_{in} จะถูกขยายเป็น 2 เท่าด้วยวงจรขยายกระแส แล้วนำไปเปรียบเทียบกับค่ากระแสอ้างอิง I_{ref} ด้วยวงจรเปรียบเทียบ ถ้า $2i_{in} < I_{ref}$ จะได้ดิจิทัลเอาต์พุต D_0 มีค่าเป็น 0 (Low) และกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 หลักการทำงานของอัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง

เอาต์พุต i_{out} มีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $2i_{in} \geq I_{ref}$ จะได้ดิจิทัลเอาต์พุต D_o มีค่าเป็น 1 (High) และกระแส i_{out} จะมีค่าเท่ากับ $2i_{in} - I_{ref}$ จากการทำงานของอัลกอริธึม ADC ดังกล่าวสามารถแสดงลักษณะถ่ายโอนไฟตรงได้ดังรูปที่ 3.2(ข) สำหรับกระแสเอาต์พุต i_{out} และดิจิทัลเอาต์พุต D_o เขียนเป็นสมการได้ว่า

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2i_{in} - I_{ref} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.1)$$

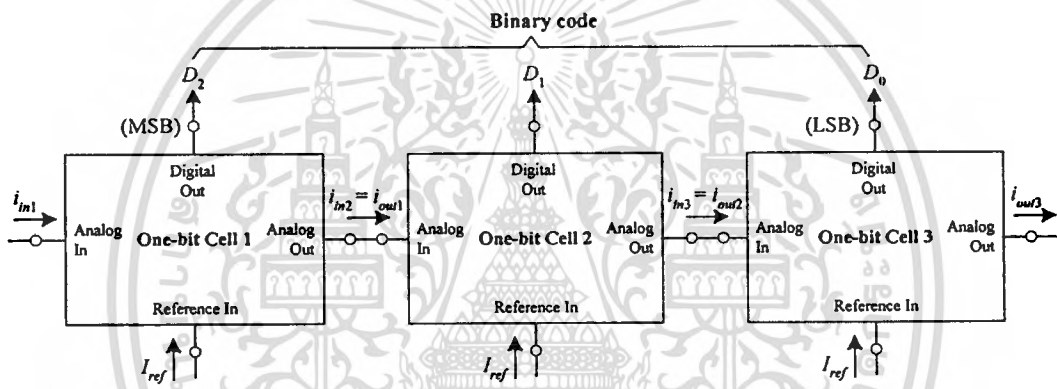
$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.2)$$

จากรูปที่ 3.2(ข) อัลกอริธึม ADC ที่มีการลงรหัสแบบฐานสอง จะมีลักษณะถ่ายโอนไฟตรงเป็นสัญญาณรูปฟันเลื่อย (Sawtooth-like Waveform) การทำงานของอัลกอริธึมดังกล่าวนี้มีข้อจำกัดที่สำคัญอยู่สองประการ [17], [19] ข้อจำกัดประการแรก คือ ในการแปลงผันสัญญาณจะเกิดความผิดพลาดสะสมสูง เป็นผลทำให้ความถูกต้องในการแปลงผันของ ADC ลดลงและความสะดวกในการแปลงผันสัญญาณน้อยลง ข้อจำกัดที่สำคัญอีกประการหนึ่ง จะเกิดขึ้นอันเนื่องมาจากสัญญาณรูปฟันเลื่อยเป็นสัญญาณที่มีองค์ประกอบทางความถี่สูงจำนวนมาก ในขณะที่การทำงานของวงจรกระแสซึ่งทำหน้าที่ในการหักล้างสัญญาณสองเท่าของกระแสอินพุต ($2i_{in}$) ที่เพิ่มขึ้นอย่างต่อเนื่องกับค่ากระแสอ้างอิง (I_{ref}) จะมีการเหลือของเวลาระหว่างค่ากระแสอินพุตที่เพิ่มขึ้นกับค่ากระแสอ้างอิง เป็นผลทำให้เกิดความเพี้ยนในลักษณะถ่ายโอนไฟตรง ความเร็วในการแปลงผันสัญญาณของ ADC จึงลดลง

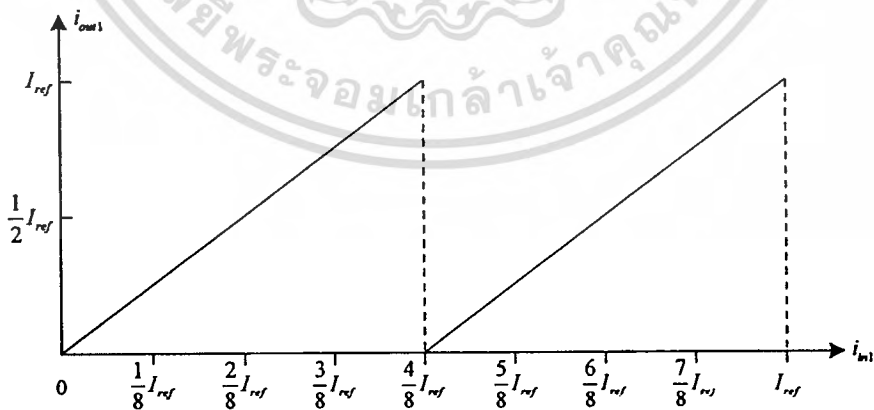
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 ตัวอย่างการแปลงผันของ ADC ขนาด 3 บิต

ในการทำงานของอัลกอริทึม ADC สามารถเพิ่มความละเอียดได้ โดยการเพิ่มจำนวน ADC ขนาด 1 บิต หรือ One-bit Cell ซึ่งนำมาต่อкасечกันตามจำนวนบิตที่ต้องการ ดังนั้นอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต จะประกอบด้วย ADC ขนาด 1 บิตจำนวน 3 วงจรต่อкасечกันดังรูปที่ 3.3 จากสมการที่ (3.1) และ (3.2) สามารถแสดงลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของแต่ละบิตได้ดังรูปที่ 3.4 ในรูปที่ 3.5 แสดงลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต โดยที่ ADC ขนาด 3 บิตในอุดมคติจะมีจำนวนดิจิตอลเอาต์พุตทั้งหมด 2^3 หรือ 8 ค่า และมีความกว้างของขั้นหรือ 1 LSB เท่ากับ $(1/8)I_{ref}$



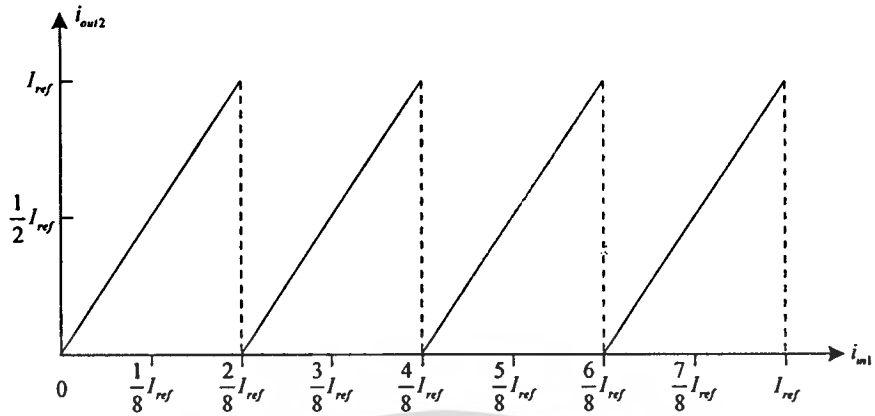
รูปที่ 3.3 อัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต



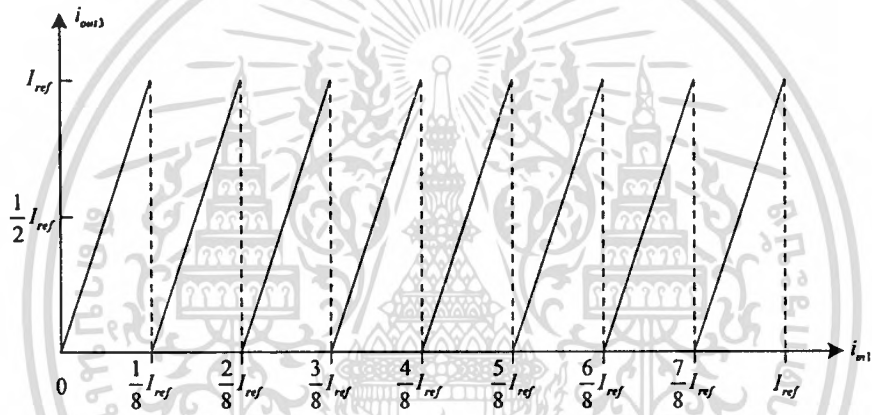
(ก) กระแสเอาต์พุตของบิตที่ 1 (MSB)

รูปที่ 3.4 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต

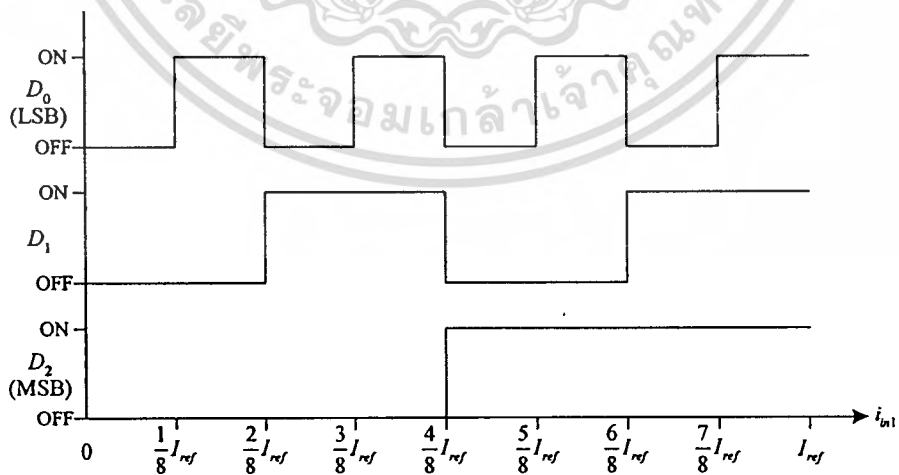
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสเอาต์พุตของบิตที่ 2



(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB)

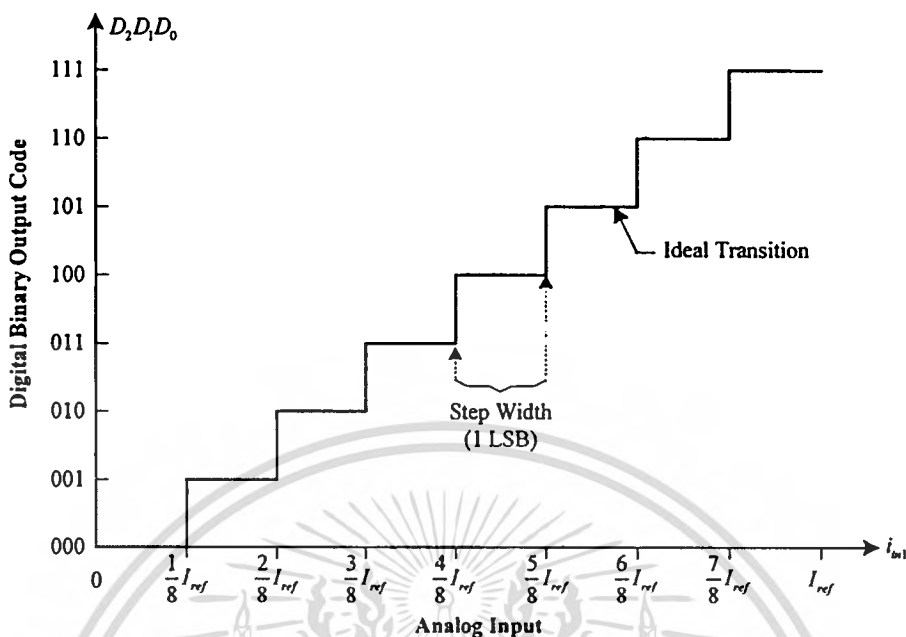


(ง) คิววิตอลเอาต์พุต

รูปที่ 3.4 ลักษณะถ่ายโอนไฟแรงและคิววิตอลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัสแบบ

ฐานสองขนาด 3 บิต (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต

3.3 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์

3.3.1 รหัสเกรย์

รหัสเกรย์เป็นชื่อเรียกรหัสที่ไม่มีการถ่วงน้ำหนักรูปแบบหนึ่ง โดยถูกตั้งชื่อตามผู้คิดค้น Frank Gray นักวิจัยของ Bell Telephone Labs ที่ได้กำหนดรหัสเกรย์ขึ้นในปี ค.ศ. 1953 [14]–[16] รูปแบบของรหัสเกรย์จะเป็นการเรียงลำดับของเลขฐานสอง (0, 1) จำนวน 2^N ลำดับ เมื่อ N คือ จำนวนบิตทั้งหมด โดยการเปลี่ยนแปลงของรหัสในแต่ละลำดับที่ติดกันจะเปลี่ยนแปลงครั้ง

ตารางที่ 3.1 ความสัมพันธ์ระหว่างเลขฐานสิบ เลขฐานสอง และรหัสเกรย์

เลขฐานสิบ	เลขฐานสอง	รหัสเกรย์
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
5	101	111
6	110	101
7	111	100

ละหนึ่งบิตเท่านั้น ความสัมพันธ์ระหว่างเลขฐานสิบ เลขฐานสอง และรหัสเกรย์สรุปได้ดังตารางที่

3.1

ในตารางที่ 3.1 สำหรับแต่ละลำดับของรหัสเกรย์จะมีบิตที่พิมพ์ด้วยตัวหนา เพื่อเจาะจงว่าเป็นบิตที่มีการเปลี่ยนแปลงจาก 0 เป็น 1 หรือเปลี่ยนจาก 1 เป็น 0 จากลำดับของเลขฐานสองจะเห็นได้ว่าการเปลี่ยนแปลงของเลขฐานสองในบางลำดับที่ติดกัน จะมีการเปลี่ยนแปลงค่ามากกว่าหนึ่งบิตเมื่อเทียบกับรหัสเกรย์

การสร้างรหัสเกรย์ขนาด N บิตจากรหัสเกรย์ขนาด $N-1$ บิต มีหลักเกณฑ์ ดังนี้

1. เดิมสภาวะลอจิก 0 หน้ารหัสเกรย์ขนาด $N-1$ บิตทุกลำดับ จะได้ลำดับครั้งแรกของรหัสเกรย์ขนาด N บิต
2. กลับลำดับของรหัสเกรย์ขนาด $N-1$ บิต
3. จากข้อ 2. เดิมสภาวะลอจิก 1 หน้ารหัสเกรย์ขนาด $N-1$ บิตที่ถูกกลับลำดับแล้ว จะได้ครึ่งหลังของรหัสเกรย์ขนาด N บิต
4. นำรหัสเกรย์ที่ได้จากข้อ 1. และข้อ 3. รวมกัน จะได้รหัสเกรย์ขนาด N บิต

ตัวอย่างเช่น การสร้างรหัสเกรย์ขนาด 3 บิตจากรหัสเกรย์ขนาด 2 บิต

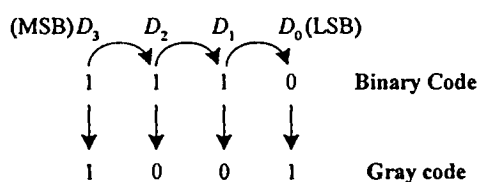
- จากรหัสเกรย์ขนาด 2 บิต ที่มีลำดับดังนี้ 00 01 11 10
- เดิมสภาวะลอจิก 0 หน้ารหัสเกรย์ขนาด 2 บิต จะได้ 000 001 011 010
- กลับลำดับของรหัสเกรย์ขนาด 2 บิต จะได้ 10 11 01 00
- เดิมสภาวะลอจิก 1 รหัสเกรย์ขนาด 2 บิต จะได้ 110 111 101 100
- จะได้รหัสเกรย์ขนาด 3 บิต คือ 000 001 011 010 110 111 101 100

3.3.2 การแปลงเลขฐานสองเป็นรหัสเกรย์

การแปลงเลขฐานสองเป็นรหัสเกรย์ มีหลักเกณฑ์อยู่ 2 แบบ ที่ได้ผลลัพธ์เช่นเดียวกัน ดังนี้

แบบที่ 1

1. กำหนดให้ MSB ของรหัสเกรย์มีสภาวะลอจิกเช่นเดียวกับ MSB ของเลขฐานสอง
2. เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วเปรียบเทียบกับบิตถัดไป (D_2)



รูปที่ 3.6 ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ด้วยหลักเกณฑ์แบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าบิตทั้งคู่มีสถานะลอจิกเดียวกัน จะได้สถานะลอจิกของรหัสเกรย์เป็น 0 แต่ถ้าบิตทั้งคู่มีสถานะลอจิกตรงกันข้าม จะได้สถานะลอจิกของรหัสเกรย์เป็น 1

3. ดำเนินการเปรียบเทียบบิตทีละคู่ต่อไปเรื่อย ๆ จนถึงบิตสุดท้าย (LSB)

ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ ดังรูปที่ 3.6 ด้วยหลักเกณฑ์แบบที่ 1

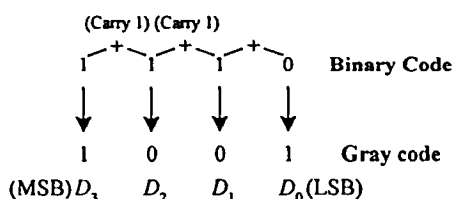
- MSB ของรหัสเกรย์มีสถานะลอจิกเป็น 1 เช่นเดียวกับ MSB ของเลขฐานสอง
- เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วทำการเปรียบเทียบกับบิตถัดไป (D_2) จะได้ว่า บิตทั้งคู่มีสถานะลอจิกเดียวกัน ดังนั้นสถานะลอจิกของบิต D_2 ในรหัสเกรย์จะเป็น 0
- จากนั้นทำการเปรียบเทียบบิต D_2 กับบิต D_1 ของเลขฐานสอง จะได้ว่าบิตทั้งคู่มีสถานะลอจิกเดียวกัน ดังนั้นบิต D_1 ของรหัสเกรย์จะมีสถานะลอจิกเป็น 0
- สุดท้าย ทำการเปรียบเทียบบิต D_1 กับบิต D_0 หรือ LSB ของเลขฐานสอง จะได้ว่า บิตทั้งคู่มีสถานะลอจิกต่างกัน ดังนั้น LSB ของรหัสเกรย์จะมีสถานะลอจิกเป็น 1

แบบที่ 2

1. กำหนดให้ MSB ของรหัสเกรย์มีสถานะลอจิกเช่นเดียวกับ MSB ของเลขฐานสอง
2. เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วบวกกับบิตถัดไป (D_2) โดยไม่คำนึงถึงตัวทด (Carry) ผลบวกที่ได้จะเป็นสถานะลอจิกของบิต D_2 ในรหัสเกรย์
3. ดำเนินการบวกบิตคู่ต่อไปของเลขฐานสอง โดยไม่คำนึงถึงตัวทดไปเรื่อย ๆ จนถึง LSB

ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ด้วยหลักเกณฑ์แบบที่ 2 ดังรูปที่ 3.7

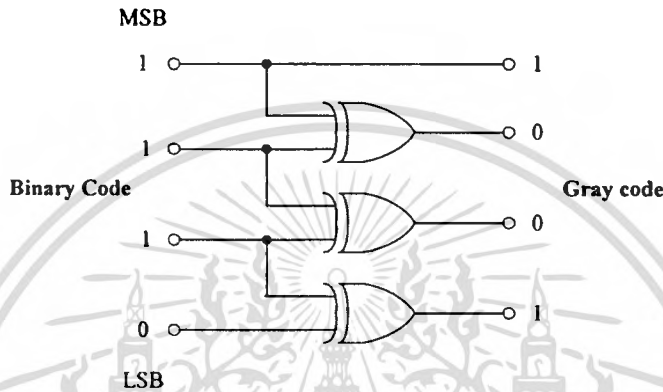
- MSB ของรหัสเกรย์มีสถานะลอจิกเป็น 1 เช่นเดียวกับ MSB ของเลขฐานสอง
- เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วทำการบวกกับบิตถัดไป (D_2) จะได้ผลบวกเป็น 0 และตัวทดเป็น 1 เมื่อไม่คำนึงถึงตัวทด จะได้บิต D_2 ของรหัสเกรย์จะมีสถานะลอจิกเป็น 0
- จากนั้นทำการบวกบิต D_2 กับบิต D_1 ของเลขฐานสอง จะได้ผลบวกเป็น 0 และตัวทดเป็น 1 เมื่อไม่คำนึงถึงตัวทด จะได้บิต D_1 ของรหัสเกรย์มีสถานะลอจิกเป็น 0
- สุดท้าย ทำการบวกบิต D_1 กับบิต D_0 หรือ LSB ของเลขฐานสอง จะได้ผลบวกเป็น 1 ดังนั้น LSB ของรหัสเกรย์จะมีสถานะลอจิกเป็น 1



รูปที่ 3.7 ตัวอย่างการแปลงเลขฐานสอง 1110 เป็นรหัสเกรย์ด้วยหลักเกณฑ์แบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักเกณฑ์การแปลงเลขฐานสองเป็นรหัสเกรย์ในแบบที่ 1 จะสอดคล้องกับการทำงานของเอ็กซ์คลูซีฟออร์เกต (Exclusive-Or-Gate: XOR) ซึ่งเป็นเกตที่ให้ลอจิกเอาต์พุตเป็น 0 เมื่ออินพุตทั้งสองมีสถานะลอจิกเหมือนกัน แต่ในกรณีที่อินพุตทั้งสองมีสถานะลอจิกต่างกัน XOR จะให้ลอจิกเอาต์พุตเป็น 1 ดังนั้นในการแปลงเลขฐานสองเป็นรหัสเกรย์สามารถทำได้โดยการต่อ XOR ดังรูปที่ 3.8



รูปที่ 3.8 การต่อ XOR เพื่อแปลงเลขฐานสองเป็นรหัสเกรย์

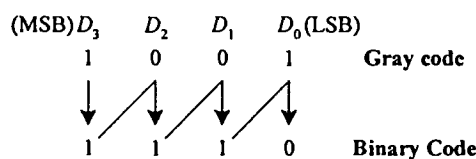
3.3.3 การแปลงรหัสเกรย์เป็นเลขฐานสอง

การแปลงรหัสเกรย์เป็นเลขฐานสอง มีหลักเกณฑ์อยู่ 2 แบบ ที่ได้ผลลัพธ์เช่นเดียวกัน ดังนี้

แบบที่ 1

- กำหนดให้ MSB ของเลขฐานสองมีสถานะลอจิกเช่นเดียวกับ MSB ของรหัสเกรย์
- พิจารณารหัสเกรย์ที่บิตถัดไป ถ้าบิตนั้นมีสถานะลอจิกเป็น 1 จะได้บิตถัดไปของเลขฐานสองมีสถานะตรงกันข้ามกับสถานะลอจิกของบิตก่อนหน้านี้ แต่ถ้าบิตถัดไปของรหัสเกรย์มีสถานะลอจิกเป็น 0 จะได้บิตถัดไปของเลขฐานสองมีสถานะเช่นเดียวกับสถานะลอจิกของบิตก่อนหน้านี้
- ดำเนินการพิจารณารหัสเกรย์ไปเรื่อย ๆ จนถึงบิตสุดท้าย (LSB)

ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 1 ดังรูปที่ 3.9

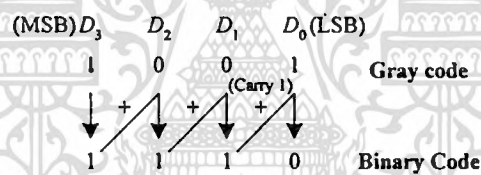


รูปที่ 3.9 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 1

- MSB ของเลขฐานสองมีสถานะลอจิกเป็น 1 เช่นเดียวกับ MSB ของรหัสเกรย์
- พิจารณabit D_2 ของรหัสเกรย์ จะได้ว่าบิตนี้มีสถานะลอจิกเป็น 0 ดังนั้นบิต D_2 ของเลขฐานสองจะมีสถานะลอจิกเป็น 1 เช่นเดียวกับสถานะลอจิกของ MSB
- จากนั้นพิจารณabit D_1 ของรหัสเกรย์ จะได้ว่าบิตนี้มีสถานะลอจิกเป็น 0 ดังนั้นบิต D_1 ของเลขฐานสองจะมีสถานะลอจิกเป็น 1 เช่นเดียวกับสถานะลอจิกของบิต D_2
- สุดท้าย พิจารณabit D_0 หรือ LSB ของรหัสเกรย์ จะได้ว่า LSB มีสถานะลอจิกเป็น 1 ดังนั้น D_0 หรือ LSB ของเลขฐานสองจะมีสถานะลอจิกเป็น 0 ซึ่งตรงกันข้ามกับสถานะลอจิกของบิต D_1

แบบที่ 2

1. กำหนดให้ MSB ของเลขฐานสองมีสถานะลอจิกเช่นเดียวกับ MSB ของรหัสเกรย์
2. เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วบวกกับบิตถัดไปจาก MSB ของรหัสเกรย์ โดยไม่คำนึงถึงตัวทด ผลบวกที่ได้จะเป็นสถานะลอจิกของบิตถัดไปจาก MSB ในเลขฐานสอง
3. ดำเนินการต่อไปเรื่อย ๆ จนถึง LSB

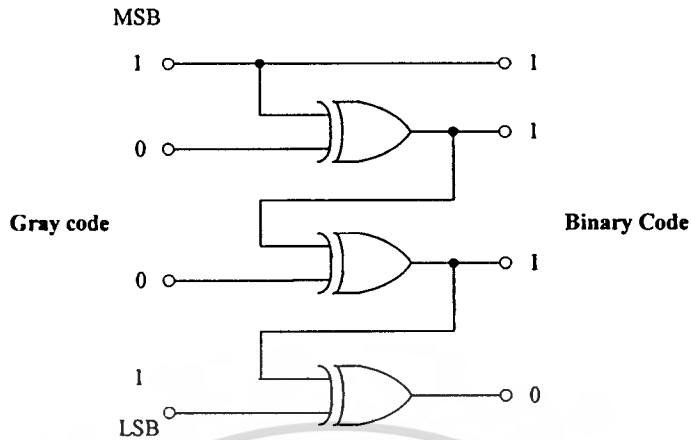


รูปที่ 3.10 ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 2

ตัวอย่างการแปลงรหัสเกรย์ 1001 เป็นเลขฐานสองด้วยหลักเกณฑ์แบบที่ 2 ดังรูปที่ 3.10

- MSB ของเลขฐานสองมีสถานะลอจิกเป็น 1 เช่นเดียวกับ MSB ของรหัสเกรย์
- เริ่มต้นพิจารณาจาก MSB ของเลขฐานสอง แล้วทำการบวกกับบิต D_2 ในรหัสเกรย์ จะได้ผลบวกเป็น 1 ดังนั้นสถานะลอจิกของบิต D_2 ในเลขฐานสองเป็น 1
- จากนั้นทำการบวกบิต D_2 ในเลขฐานสองกับบิต D_1 ในรหัสเกรย์ จะได้ผลบวกเป็น 1 ดังนั้นบิต D_1 ในเลขฐานสองมีสถานะลอจิกเป็น 1
- สุดท้าย ทำการบวกบิต D_1 ในเลขฐานสองกับบิต D_0 หรือ LSB ในรหัสเกรย์ จะได้ผลบวกเป็น 0 และตัวทดเป็น 1 เมื่อไม่คำนึงถึงตัวทด สถานะลอจิกของ LSB ในเลขฐานสองจะมีค่าเป็น 0

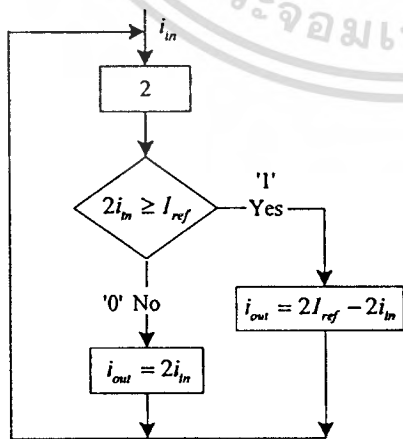
จากการแปลงรหัสเกรย์เป็นเลขฐานสองด้วยหลักเกณฑ์ในแบบที่ 1 สามารถทำได้โดยการต่อ XOR ดังรูปที่ 3.11



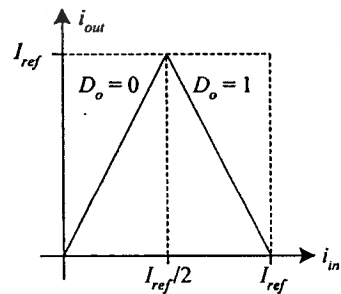
รูปที่ 3.11 การต่อ XOR เพื่อแปลงรหัสเกรย์เป็นเลขฐานสอง

3.3.4 หลักการทำงาน

จากฟังก์ชันของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ [32] ดังรูปที่ 3.12(ก) สามารถอธิบายการทำงานได้ดังนี้ เมื่อ I_{ref} และ i_{out} คือ ค่ากระแสอ้างอิง และค่ากระแสเอาต์พุตของ ADC ตามลำดับ ส่วน i_{in} คือ ค่ากระแสอินพุต ซึ่งมีค่าระหว่าง 0 ถึง I_{ref} ค่ากระแส i_{in} จะถูกขยายเป็นสองเท่าด้วยวงจรขยายกระแส แล้วนำไปเปรียบเทียบกับค่ากระแส I_{ref} ด้วยวงจรเปรียบเทียบ ถ้า $2i_{in} < I_{ref}$ จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีสถานะลอจิกเป็น 0 (Low) และกระแส i_{out} จะมีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $2i_{in} \geq I_{ref}$ จะได้สัญญาณดิจิทัลเอาต์พุต D_o มีสถานะลอจิกเป็น 1 (High) และกระแส i_{out} มีค่าเท่ากับ $2I_{ref} - 2i_{in}$ จากฟังก์ชันดังกล่าว อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์จะมีลักษณะถ่ายโอนไฟตรงเป็นรูปสามเหลี่ยมลักษณะสมมาตรดังรูปที่ 3.12(ข) สำหรับค่ากระแสเอาต์พุต i_{out} และสัญญาณดิจิทัลเอาต์พุต D_o เขียนเป็นสมการได้ว่า



(ก) ฟังก์ชัน



(ข) ลักษณะถ่ายโอนไฟตรง

รูปที่ 3.12 หลักการทำงานของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์

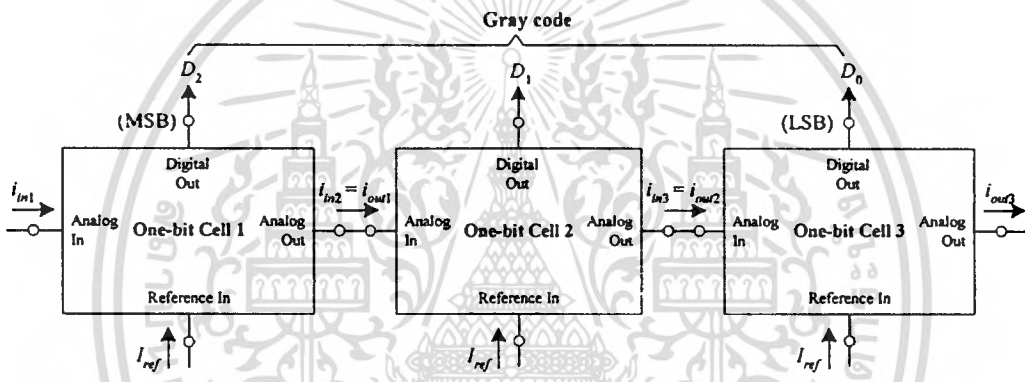
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.3)$$

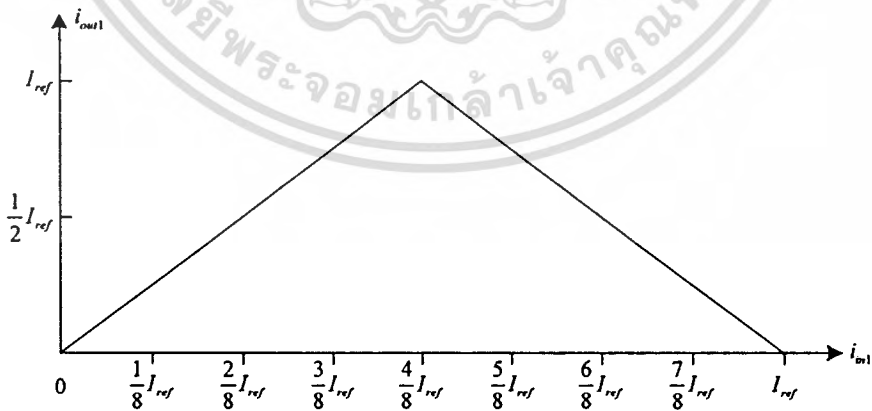
$$D_o = \begin{cases} 0 & ; 2i_m < I_{ref} \\ 1 & ; 2i_m \geq I_{ref} \end{cases} \quad (3.4)$$

3.3.5 ตัวอย่างการแปลงผันของ ADC ขนาด 3 บิต

ในรูปที่ 3.13 อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต จะประกอบด้วยอัลกอริทึม ADC ขนาด 1 บิต จำนวน 3 วงจรต่อจากสเกดกัน จากสมการที่ (3.3) และ (3.4) สามารถแสดงลักษณะด้วยไอโณไฟตรงและคิจิตอลเอาต์พุตของแต่ละบิตได้ดังรูปที่ 3.14



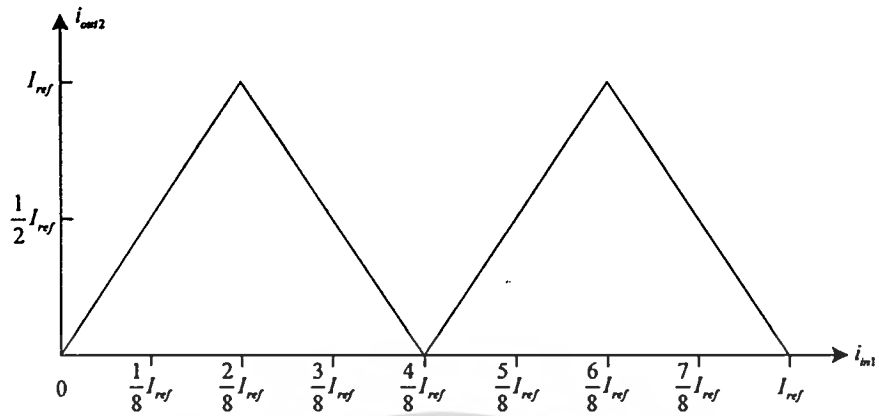
รูปที่ 3.13 อัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต



(ก) กระแสเอาต์พุตของบิตที่ 1 (MSB)

รูปที่ 3.14 ลักษณะด้วยไอโณไฟตรงและคิจิตอลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต

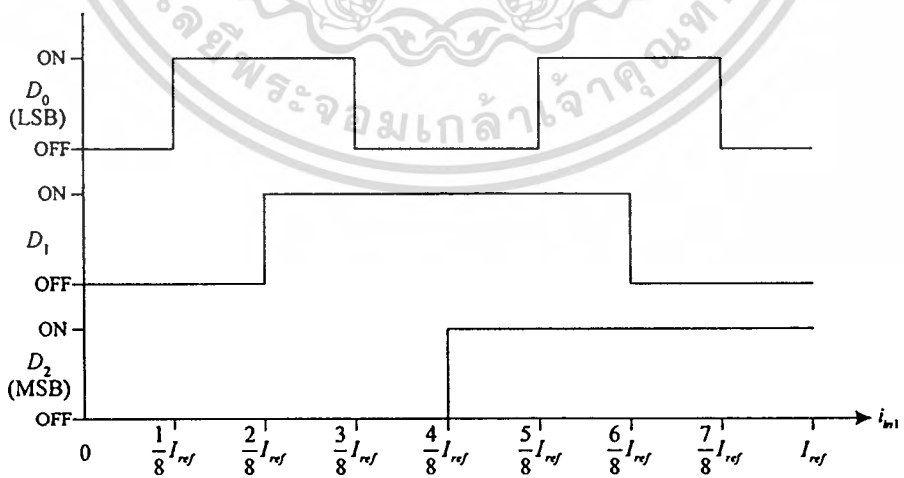
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสเอาต์พุตของบิตที่ 2



(ค) กระแสเอาต์พุตของบิตที่ 3 (LSB)

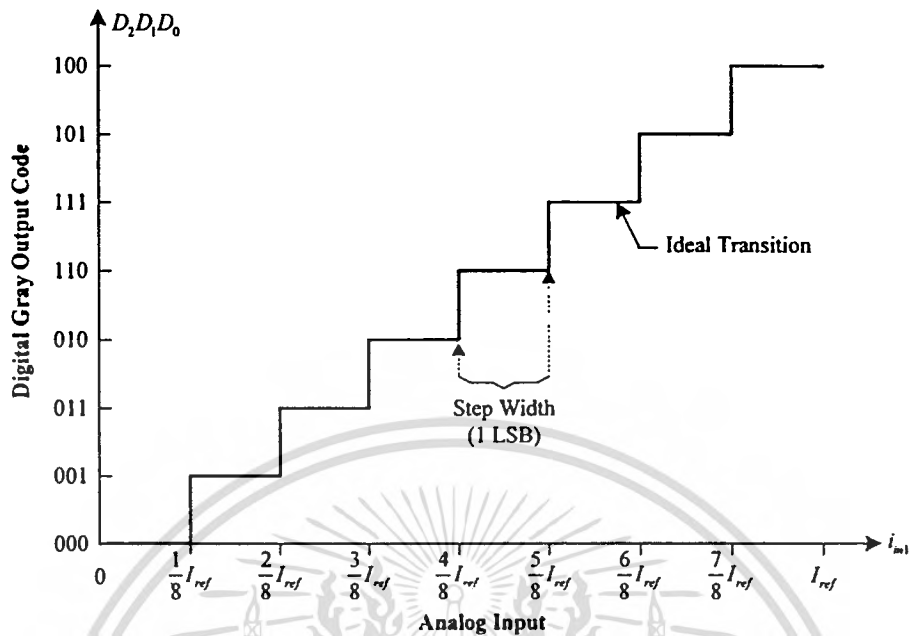


(ง) ดิจิตอลเอาต์พุต

รูปที่ 3.14 ลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตของอัลกอริทึม ADC ที่มีการลงรหัส

แบบเกรย์ขนาด 3 บิต (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 ลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต

ในรูปที่ 3.15 แสดงลักษณะถ่ายโอนของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 3 บิต โดยมีความกว้างของขั้นหรือ 1 LSB เท่ากับ $(1/8) I_{ref}$ เช่นเดียวกับอัลกอริทึม ADC ที่มีการลงรหัสแบบฐานสองขนาด 3 บิต การแปลงขั้นของอัลกอริทึม ADC ขนาด 3 บิตที่มีการลงรหัสแบบฐานสองและการลงรหัสแบบเกรย์สามารถสรุปได้ดังตารางที่ 3.2

ตารางที่ 3.2 การแปลงขั้นของอัลกอริทึม ADC ขนาด 3 บิต

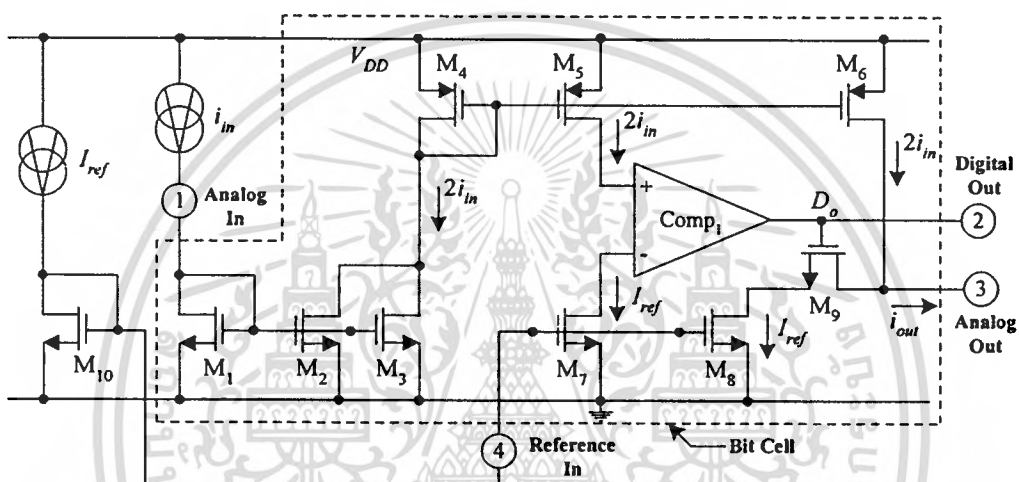
กระแสวิกฤต (i_{in})	ดิจิทัลเอาต์พุต ($D_2D_1D_0$) แบบฐานสอง	ดิจิทัลเอาต์พุต ($D_2D_1D_0$) แบบเกรย์
0	000	000
$1/8 I_{ref}$	001	001
$2/8 I_{ref}$	010	011
$3/8 I_{ref}$	011	010
$4/8 I_{ref}$	100	110
$5/8 I_{ref}$	101	111
$6/8 I_{ref}$	110	101
$7/8 I_{ref}$	111	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

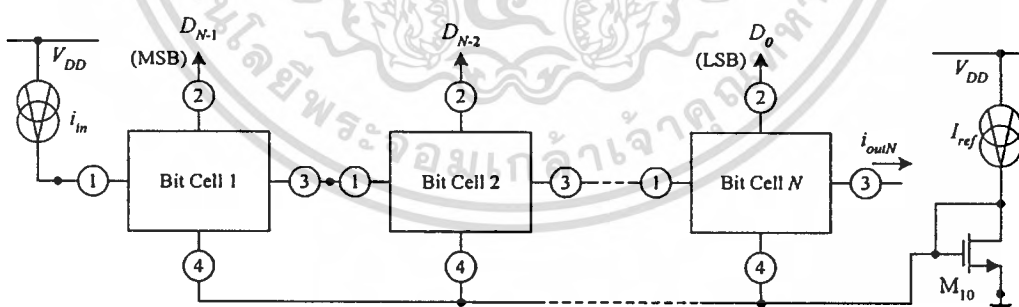
3.4 ตัวอย่างอัลกอริธึม ADC ที่มีการนำเสนอในอดีต

3.4.1 อัลกอริธึม ADC ของ Nairn D.G. และ Salama C. A.T. [29]

ในปี ค.ศ. 1988 Nairn D.G. และ Salama C.A.T. ได้นำเสนออัลกอริธึม ADC โดยใช้วงจรถ่ายโอนกระแส (Current Mirror) ดังรูปที่ 3.16 [29] ซึ่งเป็นอัลกอริธึม ADC ขนาด 1 บิต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอส สำหรับอัลกอริธึม ADC ขนาด N บิตจะเป็นการต่อภาคเซลล์อัลกอริธึม ADC ขนาด 1 บิต (Bit Cell) จำนวน N วงจรดังรูปที่ 3.17



รูปที่ 3.16 อัลกอริธึม ADC ของ Nairn D.G. และ Salama C.A.T. [29]



รูปที่ 3.17 อัลกอริธึม ADC ขนาด N บิต ของ Nairn D.G. และ Salama C.A.T. [29]

การทำงานของวงจรถ่ายโอนกระแสที่ 3.16 สามารถอธิบายได้ดังนี้ กระแสอินพุต i_{in} จะถูกขยายเป็นสองเท่าด้วยวงจรถ่ายโอนกระแส M_1 - M_3 ซึ่งเป็นวงจรที่มีอัตราขยายกระแสเท่ากับสอง ก่อนที่จะถูกสำเนาไปที่ขาบวก (+) ของวงจรถ่ายโอนกระแส $Comp_1$ และเอาต์พุต โหนดด้วยวงจรถ่ายโอนกระแส M_4 , M_5 และ M_6 , M_7 และ M_8 ตามลำดับ โดยวงจรถ่ายโอนกระแส M_4 - M_6 เป็นวงจรถ่ายโอนกระแสที่มีอัตราขยายกระแสเท่ากับหนึ่ง ส่วนกระแส I_{ref} จะถูกสำเนาไปที่ขาลบ (-) ของวงจรถ่ายโอนกระแส $Comp_1$ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ในเชิงพาณิชย์ การค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเอาต์พุตโนดด้วยวงจรสะท้อนกระแส M_{10} , M_7 และ M_{10} , M_8 ตามลำดับ โดยวงจรทั้งสองจะมีอัตราขยายกระแสเท่ากับหนึ่ง จากการทำงานของวงจรเปรียบเทียบ $Comp_1$ ถ้ากระแส $2i_{in} < I_{ref}$ จะได้อัจฉิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low) เป็นผลทำให้มอสทรานซิสเตอร์ M_8 อยู่ในสภาวะไม่นำกระแส (Off) ดังนั้นกระแสเอาต์พุต i_{out} จะมีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $2i_{in} \geq I_{ref}$ จะได้อัจฉิตอลเอาต์พุตมีค่าเป็น 1 (High) เป็นผลทำให้มอสทรานซิสเตอร์ M_8 อยู่ในสภาวะนำกระแส (On) ดังนั้นกระแสเอาต์พุต i_{out} จะมีค่าเท่ากับ $2i_{in} - I_{ref}$ จากการทำงานดังกล่าวจะได้ว่า

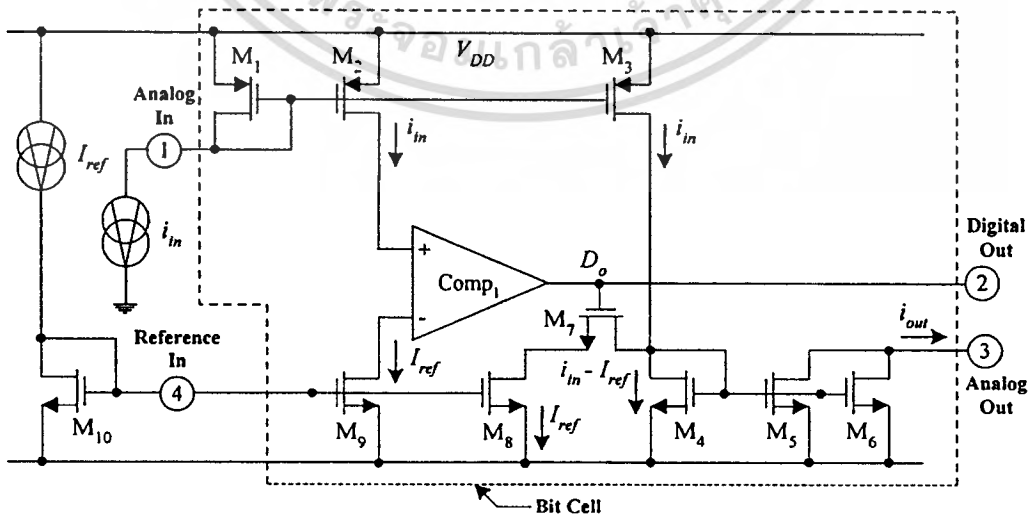
$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2i_{in} - I_{ref} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.5)$$

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.6)$$

จากสมการที่ (3.5) และ (3.6) จะได้ว่าอัลกอริทึม ADC ของ Nairn D.G. และ Salama C.A.T. ดังรูปที่ 3.16 เป็นอัลกอริทึมที่มีการลงรหัสแบบเลขฐานสองดังที่ได้กล่าวมาแล้วในหัวข้อที่ 3.2

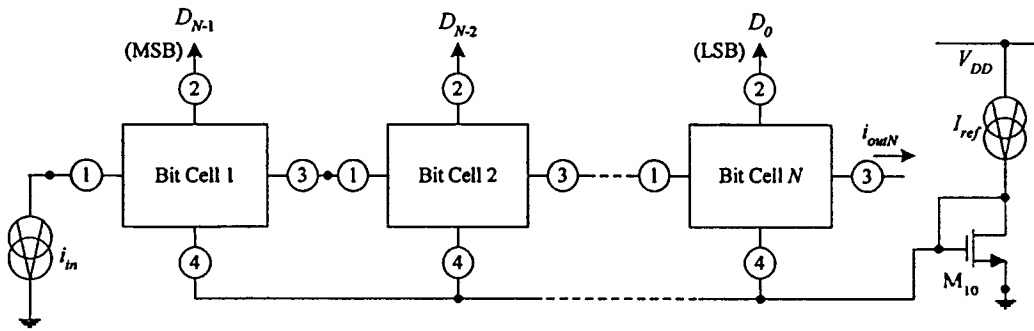
3.4.2 อัลกอริทึม ADC ของ Nairn D.G. และ Salama C.A.T. [30]

นอกเหนือไปจากวงจรในรูปที่ 3.16 แล้ว ภายในปีเดียวกัน Nairn D.G. และ Salama C.A.T. ยังได้นำเสนออัลกอริทึม ADC ที่มีการลงรหัสแบบเลขฐานสองอีกรูปแบบหนึ่ง เป็นอัลกอริทึม ADC ขนาด 1 บิตดังแสดงในรูปที่ 3.18 [30] ในรูปที่ 3.19 แสดงอัลกอริทึม ADC ขนาด N บิต ซึ่งเป็นการต่อкасาดอัลกอริทึม ADC ขนาด 1 บิต จำนวน N วงจร



รูปที่ 3.18 อัลกอริทึม ADC ของ Nairn D.G. และ Salama C.A.T. [30]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 อัลกอริทึม ADC ขนาด N บิต ของ Naim D.G. และ Salama C.A.T. [30]

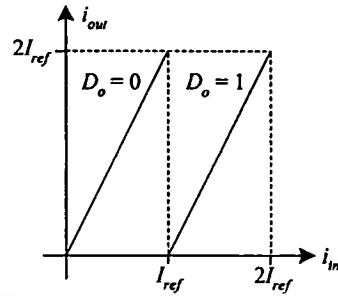
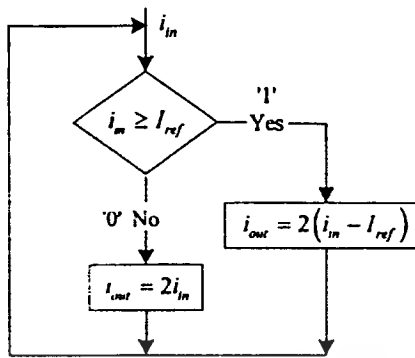
วงจรในรูปที่ 3.18 มอสมทรานซิสเตอร์ M_1 - M_3 และ M_8 - M_{10} ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราขยายกระแสเท่ากับหนึ่ง และมอสมทรานซิสเตอร์ M_4 - M_6 ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราขยายกระแสเท่ากับสอง การทำงานของวงจรสามารถอธิบายได้ดังนี้ กระแสอินพุต i_{in} จะถูกสำเนาไปที่ขาบวก (+) ของวงจรเปรียบเทียบ $Comp_1$ และที่เอาต์พุตโนดด้วยวงจรสะท้อนกระแส M_1 , M_2 และ M_1 , M_3 ตามลำดับ ส่วนกระแส I_{ref} จะถูกสำเนาไปที่ขาลบ (-) ของวงจรเปรียบเทียบ $Comp_1$ และที่เอาต์พุตโนดด้วยวงจรสะท้อนกระแส M_{10} , M_9 และ M_{10} , M_8 ตามลำดับ จากการทำงานของวงจรเปรียบเทียบ $Comp_1$ ถ้ากระแส $i_{in} < I_{ref}$ จะได้ดิจิตอลเอาต์พุต D_0 มีค่าเป็น 0 (Low) เป็นผลทำให้ทรานซิสเตอร์ M_7 อยู่ในสถานะไม่นำกระแส (Off) เป็นผลทำให้กระแสเดรนของมอสมทรานซิสเตอร์ M_4 มีค่าเท่ากับ i_{in} และค่ากระแส i_{in} นี้จะถูกขยายเป็นสองเท่าพร้อมทั้งถูกสำเนาไปที่เอาต์พุตโนดด้วยวงจรสะท้อนกระแส M_4 - M_6 ดังนั้นกระแสเอาต์พุต i_{out} จะมีค่าเท่ากับ $2i_{in}$ ในกรณีที่ $i_{in} \geq I_{ref}$ จะได้ดิจิตอลเอาต์พุตมีค่าเป็น 1 (High) เป็นผลทำให้มอสมทรานซิสเตอร์ M_7 อยู่ในสถานะนำกระแส (On) และกระแสเดรนของมอสมทรานซิสเตอร์ M_4 จะมีค่าเท่ากับ $i_{in} - I_{ref}$ จากการทำงานของวงจรสะท้อนกระแส M_4 - M_6 จะได้กระแสเอาต์พุต i_{out} มีค่าเป็น $2(i_{in} - I_{ref})$ ดังนั้นค่ากระแสเอาต์พุต i_{out} และดิจิตอลเอาต์พุต D_0 เขียนเป็นสมการได้ว่า

$$i_{out} = \begin{cases} 2i_{in} & ; i_{in} < I_{ref} \\ 2(i_{in} - I_{ref}) & ; i_{in} \geq I_{ref} \end{cases} \quad (3.7)$$

$$D_0 = \begin{cases} 0 & ; i_{in} < I_{ref} \\ 1 & ; i_{in} \geq I_{ref} \end{cases} \quad (3.8)$$

จากสมการที่ (3.7) และ (3.8) สามารถสรุปเป็นฟังก์ชันและแสดงลักษณะถ่ายโอนไฟตรงของวงจรในรูปที่ 3.18 ซึ่งเป็นอัลกอริทึม ADC ที่มีกลองรหัสแบบฐานสองได้ดังรูปที่ 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



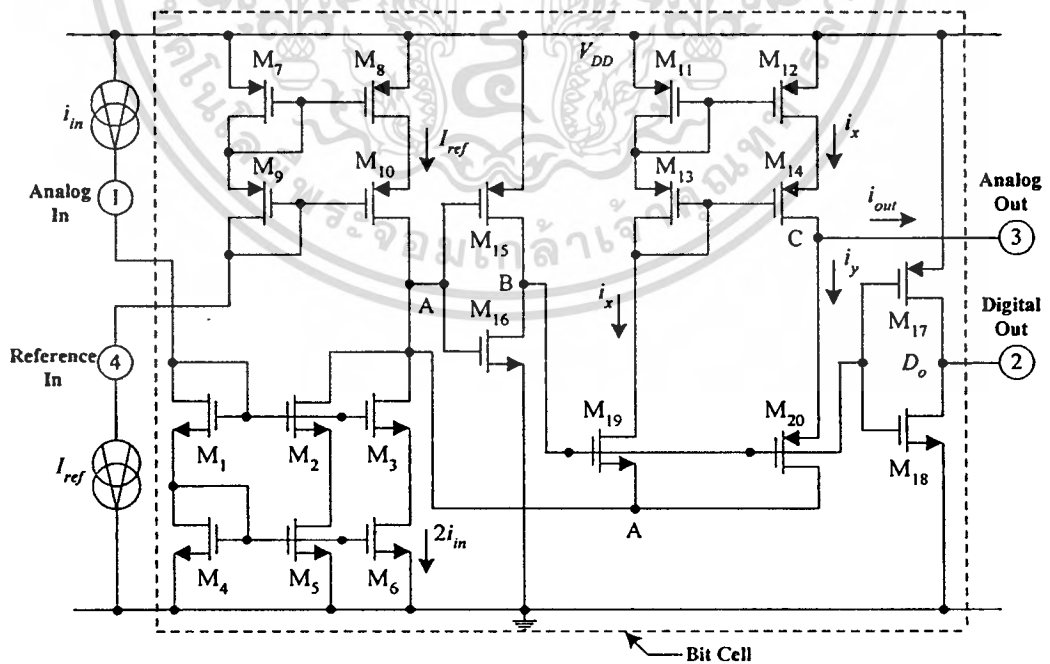
(ก) ผังงาน

(ข) ลักษณะถ่ายโอนไฟตรง

รูปที่ 3.20 หลักการทำงานของอัลกอริธึม ADC ดังรูปที่ 3.18

3.4.3 อัลกอริธึม ADC ของ Pouliquent P.O. และคณะ [17]

ในปี ค.ศ. 1991 Pouliquent P.O. และคณะได้นำเสนออัลกอริธึม ADC ดังรูปที่ 3.21 [17] ซึ่งเป็นการออกแบบอัลกอริธึม ADC ขนาด 1 บิต โดยใช้เทคโนโลยีทรานซิสเตอร์แบบ ซิมอส ในรูปที่ 3.21 มอสทรานซิสเตอร์ M_1 - M_6 ทำหน้าที่เป็นวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) ที่มีอัตราขยายกระแสเท่ากับสอง สำหรับมอสทรานซิสเตอร์ M_7 - M_{10} และ M_{11} - M_{14} ทำหน้าที่เป็นวงจรสะท้อนกระแสแบบคาสโคดที่มีอัตราขยายกระแสเท่ากับหนึ่ง และ



รูปที่ 3.21 อัลกอริธึม ADC ของ Pouliquent P.O. และคณะ [17]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์ M_{15} - M_{18} ทำหน้าที่เป็นวงจรเปรียบเทียบกระแส การทำงานของวงจรสามารถอธิบายได้ดังนี้ กระแสอินพุต i_{in} จะถูกขยายเป็นสองเท่าพร้อมทั้งถูกสำเนาไปที่โหนด A ด้วยวงจรถ่ายโอนกระแส M_1 - M_6 จากการทำงานของวงจรถ่ายโอนกระแส M_7 - M_{10} กระแส I_{ref} จะถูกสำเนาไปที่โหนด A เมื่อพิจารณาที่โหนด A และ โหนด C จะได้ว่า

$$i_x + i_y = 2i_{in} - I_{ref} \quad (3.9)$$

$$i_{out} = i_x - i_y \quad (3.10)$$

จากการทำงานของวงจรถ่ายโอนกระแส ถ้ากระแส $2i_{in} < I_{ref}$ จะทำให้แรงดันที่โหนด A มีค่าใกล้เคียงกับค่าแรงดันแหล่งจ่าย V_{DD} ดังนั้นคิจิตอลเอาต์พุต D_o จะมีค่าเป็น 1 (High) สำหรับมอสทรานซิสเตอร์ M_{19} และ M_{20} จะอยู่ในสถานะไม่นำกระแส (Off) และสถานะนำกระแส (On) ตามลำดับ จากสมการที่ (3.9) จะได้ว่า

$$i_x = 0 \quad \text{และ} \quad i_y = 2i_{in} - I_{ref} \quad (3.11)$$

เมื่อแทนค่าสมการที่ (3.11) ลงใน (3.10) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = -i_y = I_{ref} - 2i_{in} \quad (3.12)$$

ในกรณีที่ $2i_{in} \geq I_{ref}$ จะได้แรงดันที่โหนด A มีค่าใกล้เคียงกับกราวด์ จะได้คิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low) ส่วนมอสทรานซิสเตอร์ M_{19} และ M_{20} จะอยู่ในสถานะนำกระแส (On) และสถานะไม่นำกระแส (Off) ตามลำดับ จากสมการที่ (3.9) จะได้ว่า

$$i_x = 2i_{in} - I_{ref} \quad \text{และ} \quad i_y = 0 \quad (3.13)$$

เมื่อแทนค่าสมการที่ (3.13) ลงใน (3.10) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = i_x = 2i_{in} - I_{ref} \quad (3.14)$$

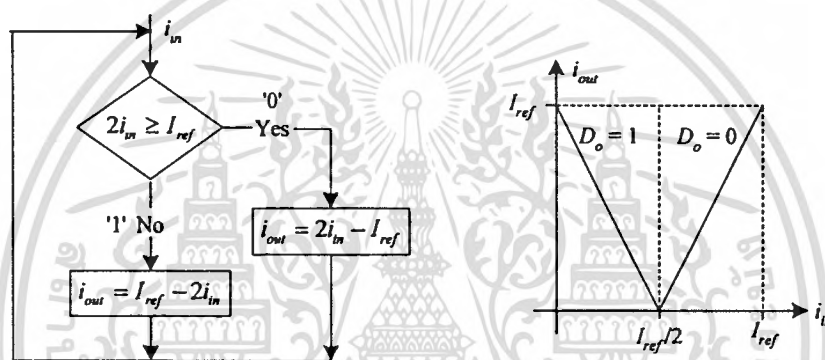
จากสมการที่ (3.12) และ (3.14) ค่ากระแสเอาต์พุต i_{out} และคิจิตอลเอาต์พุต D_o เขียนเป็นสมการใหม่ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = \begin{cases} I_{ref} - 2i_{in} & ; 2i_{in} < I_{ref} \\ 2i_{in} - I_{ref} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.15)$$

$$D_o = \begin{cases} 1 & ; 2i_{in} < I_{ref} \\ 0 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (3.16)$$

จากสมการที่ (3.15) และ (3.16) สามารถสรุปเป็นฟังก์ชันและแสดงลักษณะถ่ายโอนไฟตรงของวงจร ในรูปที่ 3.21 ได้ดังรูปที่ 3.22 ซึ่งเป็นอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์อีกรูปแบบหนึ่ง นอกเหนือไปจากหลักการคั้งที่ได้กล่าวมาแล้วในหัวข้อที่ 3.3



(ก) ฟังก์ชัน (ข) ลักษณะถ่ายโอนไฟตรง
รูปที่ 3.22 หลักการทำงานของอัลกอริทึม ADC ดังรูปที่ 3.21

3.5 บทสรุป

ในบทนี้เป็นการอธิบายถึงหลักการทำงานอัลกอริทึม ADC ทั้งชนิดที่เป็นการลงรหัสแบบเลขฐานสองและการลงรหัสแบบเกรย์ การแปลงเลขฐานสองเป็นรหัสเกรย์ และการแปลงรหัสเกรย์เป็นเลขฐานสอง พร้อมทั้งได้ยกตัวอย่างอัลกอริทึม ADC ที่ได้มีการนำเสนอในอดีต

บทที่ 4

กลุ่มวงจรรย่อยที่ใช้ในการออกแบบอัลกอริธึม ADC

4.1 กล่าวนำ

การออกแบบอัลกอริธึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ จะประกอบไปด้วยกลุ่มวงจรรขนาดเล็กที่มีรูปแบบของวงจรรที่แน่นอนหลาย ๆ กลุ่มวงจรร ซึ่งทำหน้าที่ต่างกัน โดยจะเรียกรกลุ่มวงจรรขนาดเล็กเหล่านี้ว่า “วงจรรย่อย” เนื้อหาในบทนี้จะกล่าวถึงหลักการทํางานและคุณสมบัติที่สำคัญของวงจรรย่อยต่าง ๆ ที่ถูกนำป้ใช้ในการออกแบบอัลกอริธึม ADC ซึ่งประกอบด้วย วงจรรสะท้อนกระแสแบบพื้นฐาน วงจรรจำกัดกระแส วงจรรหาค่าสูงสุด วงจรรฟังก์ชันสัมบูรณ์ และวงจรรเปรียบเทียบกระแส ในแต่ละกรกลุ่มวงจรรย่อยจะเป็นวงจรรที่ออกแบบโดยใช้มอสทรานซิสเตอร์ ชนิดของมอสทรานซิสเตอร์ที่ใ้จะเป็นมอสเฟตแบบเอนแฮนซ์เมนต์ (Enhancement Mode MOSFET) ที่มีการทํางานอยู่ในช่วงนำกระแสอิ่มตัว (Saturation Region) เป็นหลัก ในวิทยานิพนธ์นี้จะใ้คำว่า “มอสเฟต” แทนมอสเฟตแบบเอนแฮนซ์เมนต์ เพื่อความกระชับในการกล่าวถึง

4.2 วงจรรสะท้อนกระแส

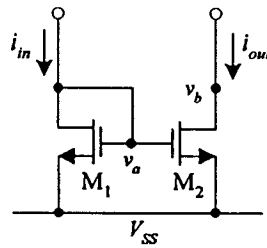
4.2.1 วงจรรสะท้อนกระแสแบบพื้นฐาน

โครงสร้างของวงจรรสะท้อนกระแสแบบพื้นฐานจะประกอบด้วยมอสเฟต M_1 และ M_2 [37]-[38] ดังรูปที่ 4.1 โดยค้จากเกตของมอสเฟต M_1 และ M_2 ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตทั้งสองจะมีค่าเท่ากัน ค้ v_g จากการป้อนกระแสอินพุต i_{in} ที่ขาเดรนของมอสเฟต M_1 ค่าแรงดัน v_g จะมีค่าสูงขึ้น ทำให้ M_1 และ M_2 อยู่ในสภาวะนำกระแสและเกิดการไหลของกระแสเอาต์พุต i_{out} จากการทํางานของมอสเฟตในช่วงนำกระแสอิ่มตัวจะใ้

$$\frac{i_{out}}{i_{in}} = \frac{(W/L)_2}{(W/L)_1} \quad (4.1)$$

จากสมการที่ (4.1) พบว่า วงจรรสะท้อนกระแส M_1 - M_2 จะทำหน้าที่สำเนากระแสพร้อมทั้งขยายสัญญาณกระแสจากอินพุตโนดไปสู่อเอาต์พุตโนด โดยค่าอัตราการขยายสัญญาณจะขึ้นอยู่กัอัตราส่วนระหว่างความกว้างค้ความยาวของแชนเนล (W/L) ของมอสเฟต M_1 และ M_2 สำหรักระบวนการผลิตวงจรรรวม (Fabrication Process) โดยทั่วไปมักจะกำหนดใ้ความยาวของแชนเนล L ของมอสเฟต M_1 และ M_2 ใ้มีค่าเท่ากัน แต่จะปรับเปลี่ยนค่าความกว้างของแชนเนล W แทน [34] ดังเช่น ถ้ากำหนดใ้ $(W/L)_2 = (W/L)_1 = 10\mu\text{m}/5\mu\text{m}$ วงจรรสะท้อนกระแส M_1 - M_2 จะสำเนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรัการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตใ้ให้นำไปใ้ประโยชน์ชานการค้า
ไม่ว่ากรณีใดท้ทั้งสิ้น อีกทั้งห้ามมิใ้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำป้ใ้



รูปที่ 4.1 วงจรสะท้อนกระแสแบบพื้นฐาน

กระแสพร้อมทั้งขยายสัญญาณด้วยค่าอัตราขยายเท่ากับหนึ่ง ($i_{out} \cong i_{in}$) แต่ถ้า $(W/L)_2 = 10\mu\text{m}/5\mu\text{m}$ และ $(W/L)_1 = 5\mu\text{m}/5\mu\text{m}$ วงจรสะท้อนกระแส M_1 - M_2 จะสำเนากระแสพร้อมทั้งขยายสัญญาณกระแสด้วยค่าอัตราขยายเท่ากับสอง ($i_{out} \cong 2i_{in}$)

4.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสแบบพื้นฐาน

การทำงานของวงจรสะท้อนกระแสในหัวข้อที่ 4.2.1 เป็นการกำหนดให้มอสเฟต M_1 และ M_2 มีคุณสมบัติเป็นไปตามอุดมคติและมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติมอสเฟต M_1 และ M_2 ไม่สมพงษ์กันทุกประการ และค่าทรานส์คอนดักแตนซ์ g_{m1} และ g_{m2} มีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความถี่พลาซของวงจร (ภาคผนวก ข1)

ก. การวิเคราะห์อัตราการขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในการวิเคราะห์อัตราการขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 4.2 จะได้ฟังก์ชันส่งผ่านของวงจร (ภาคผนวก ข1.1) ดังนี้

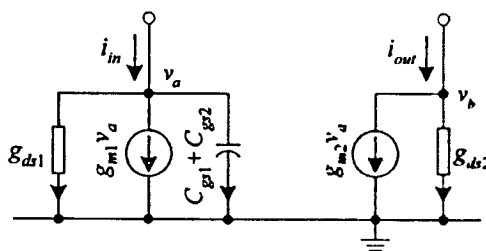
$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \frac{1}{(T_{CM}s + 1)} \quad (4.2)$$

โดยที่

$$T_{CM} = \frac{C_{gs1} + C_{gs2}}{g_{m1}} \quad (4.3)$$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง (DC Gain) และค่าตำแหน่งของโพล (Pole) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน จะมีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจรสมมูลในการวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน

$$\beta_{CM} = \left. \frac{i_{out}}{i_{in}} \right|_{s=0} = \frac{g_{m2}}{g_{m1}} \quad (4.4)$$

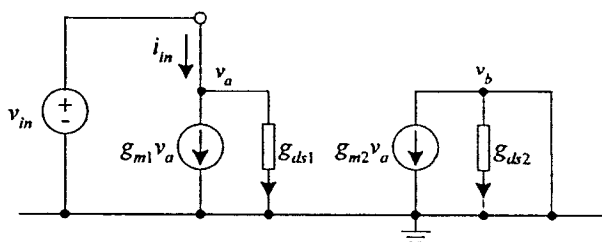
$$f_{PCM} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2})} \quad (4.5)$$

จากสมการที่ (4.4) และ (4.5) พบว่า การควบคุมอัตราขยายของวงจรสะท้อนกระแส สามารถทำได้โดยการปรับเปลี่ยนค่าทรานส์คอนดักแตนซ์ g_m ของมอสเฟตด้วยการกำหนดค่าอัตราส่วน W/L และถ้าหากต้องการให้วงจรสะท้อนกระแสมีผลตอบสนองทางความถี่ที่สูงควรออกแบบให้ค่าความจุไฟฟ้า C_{gs} ของมอสเฟต M_1 และ M_2 มีค่าต่ำ หรือทำการเพิ่มค่า g_m ให้สูงขึ้น

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

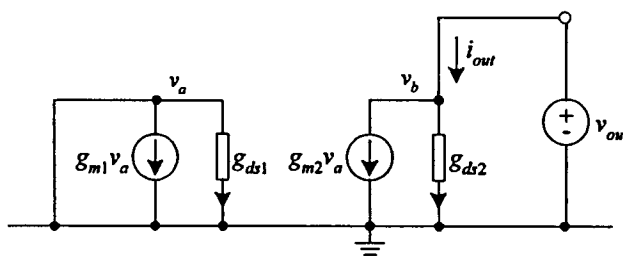
จากการวิเคราะห์วงจรสมมูลดังรูปที่ 4.3 (ภาคผนวก ข1.2) พบว่าความต้านทานอินพุต r_{in} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าทรานส์คอนดักแตนซ์ของมอสเฟต M_1 ที่คืออยู่ในรูปของไดโอด ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W}\right)_1 \frac{1}{2\mu C_{ox} i_{in}}} \quad (4.6)$$



รูปที่ 4.3 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตของวงจรสะท้อนกระแสแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐาน

จากสมการที่ (4.6) พบว่า การปรับปรุงให้ค่าความต้านทาน r_{in} ให้มีค่าต่ำ สามารถทำได้โดยการเพิ่มค่าความกว้าง (W)₁ หรือลดค่าความยาว (L)₁ ของแชนเนลของมอสเฟต M_1

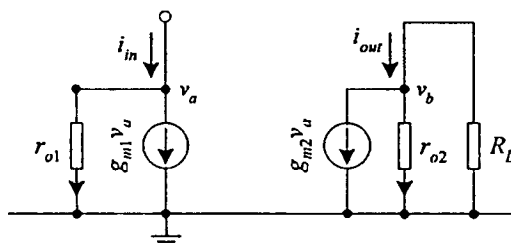
จากการวิเคราะห์ห้วงจรสมมูลดังรูปที่ 4.4 (ภาคผนวก ข1.2) พบว่าความต้านทานเอาต์พุต r_{out} ของวงจรสะท้อนกระแสแบบพื้นฐานจะขึ้นอยู่กับค่าความต้านทานระหว่างขาเดรนกับขาซอร์สของมอสเฟต M_2 ดังนี้

$$r_{out} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out}} \quad (4.7)$$

จากสมการที่ (4.7) พบว่า การปรับปรุงให้ค่าความต้านทานเอาต์พุต r_{out} ให้มีค่าสูง สามารถทำได้โดยการออกแบบให้ค่าพารามิเตอร์ λ มีค่าต่ำ ๆ หรือควบคุมกระแสเอาต์พุต i_{out} ให้มีค่าน้อย

ก. การวิเคราะห์ค่าความผิดพลาดของวงจร

ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานจะเกิดจากความไม่สมพียงกันของมอสเฟต M_1 และ M_2 เป็นหลัก ถ้ากำหนดให้ $\mathcal{E}_{CM(gain:1)}$ และ $\mathcal{E}_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีอัตราขยายกระแสเท่ากับหนึ่งและสอง ตามลำดับ จากการวิเคราะห์ห้วงจรสมมูลดังรูปที่ 4.5 (ภาคผนวก ข1.3) จะได้ว่า



รูปที่ 4.5 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon_{CM(gain:1)} = 1 - \left(\frac{i_{out}}{i_{in}} \right) \cong \frac{g_{m1} - g_{m2}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (4.8)$$

$$\varepsilon_{CM(gain:2)} = 1 - \left(\frac{i_{out}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{m2}}{2g_{m1}} + \frac{R_L}{r_{o2}} \quad (4.9)$$

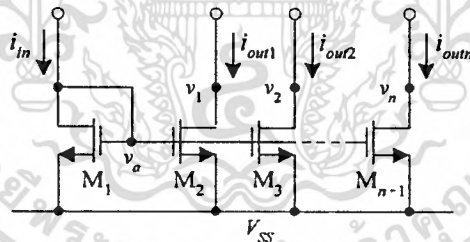
4.2.3 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

ในรูปที่ 4.6 แสดงโครงสร้างของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต โดยต่อขาเกตของมอสเฟต M_1, M_2, \dots, M_{n+1} ที่โนดเดียวกัน ดังนั้นค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตทุกตัวจะมีค่าเท่ากัน คือ v_a ถ้ามอสเฟตทุกตัวมีความสมพงษ์กันทุกประการ จะได้ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{outj} และกระแสอินพุต i_{in} ดังนี้

$$\frac{i_{outj}}{i_{in}} = \frac{(W/L)_{j+1}}{(W/L)_1} \quad (4.10)$$

เมื่อ j คือ ลำดับที่ของเอาต์พุต ($j = 1, 2, \dots, n$)

n คือ จำนวนเอาต์พุตของวงจร



รูปที่ 4.6 วงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

4.2.4 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต

การทำงานของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุตในหัวข้อที่ 4.2.3 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่า g_m ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต ซึ่งได้แก่ อัตราการขยายกระแสและผลตอบสนองทางความถี่ ค่าความต้านทานอินพุตและเอาต์พุต และค่าความผิดพลาดของวงจร (ภาคผนวก ข2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. การวิเคราะห์อัตราขยายกระแสและผลตอบสนองทางความถี่

จากวงจรสมมูลในรูปที่ 4.7 (ภาคผนวก ข.2.1) จะได้ความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุตลำดับที่ j หรือ i_{outj} คือ

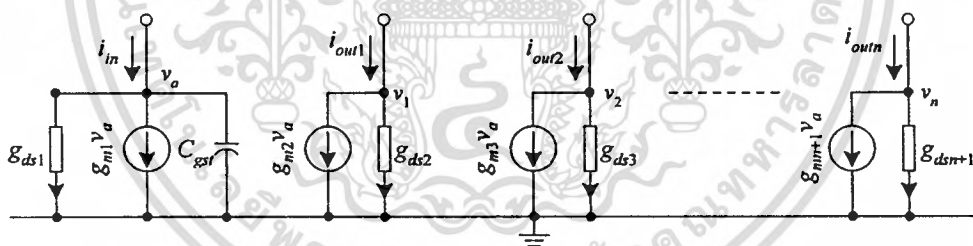
$$\frac{i_{outj}}{i_{in}} = \left(\frac{g_{mj+1}}{g_{m1}} \right) \frac{1}{(T_{CMn}s + 1)} \quad (4.11)$$

เมื่อ
$$T_{CMn} = \frac{C_{gs1} + C_{gs2} + \dots + C_{gsn}}{g_{m1}} = \frac{C_{gs1}}{g_{m1}} \quad (4.12)$$

สำหรับอัตราขยายกระแสสำหรับสัญญาณเอาต์พุตลำดับที่ j (β_{CMj}) และค่าตำแหน่งของโพล (fp_{CMn}) ซึ่งเป็นขีดจำกัดในการใช้งานของวงจร จะมีค่าดังนี้

$$\beta_{CMj} = \left. \frac{i_{outj}}{i_{in}} \right|_{s=0} = \frac{g_{mj+1}}{g_{m1}} \quad (4.13)$$

$$fp_{CMn} = \frac{g_{m1}}{2\pi(C_{gs1} + C_{gs2} + \dots + C_{gsn})} = \frac{g_{m1}}{2\pi C_{gs1}} \quad (4.14)$$



รูปที่ 4.7 วงจรสมมูลในการวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 4.2.2 โดยมีค่าความต้านทานอินพุต (r_{in}) และค่าความต้านทานเอาต์พุตลำดับที่ j (r_{outj}) ดังนี้

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W} \right)_1 \frac{1}{2\mu_n C_{ox} i_{in}}} \quad (4.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{outj} = \frac{1}{g_{dj+1}} \quad (4.16)$$

ก. การวิเคราะห์ค่าความผิดพลาดของวงจร

การวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีหลายเอาต์พุตสามารถวิเคราะห์ได้เช่นเดียวกับการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานในหัวข้อที่ 4.2.2 เมื่อพิจารณาที่เอาต์พุตลำดับที่ j ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_1 และ M_{j+1} เป็นหลัก ถ้ากำหนดให้ $\varepsilon_{CMJ(\text{gain:1})}$ และ $\varepsilon_{CMJ(\text{gain:2})}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสสำหรับเอาต์พุตลำดับที่ j ซึ่งมีอัตราการขยายกระแสเท่ากับหนึ่ง และสอง ตามลำดับ จะได้ว่า

$$\varepsilon_{CMJ(\text{gain:1})} = 1 - \left(\frac{i_{outj}}{i_{in}} \right) \cong \frac{g_{m1} - g_{mj+1}}{g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (4.17)$$

$$\varepsilon_{CMJ(\text{gain:2})} = 1 - \left(\frac{i_{outj}}{2i_{in}} \right) \cong \frac{2g_{m1} - g_{mj+1}}{2g_{m1}} + \frac{R_{Lj}}{r_{oj+1}} \quad (4.18)$$

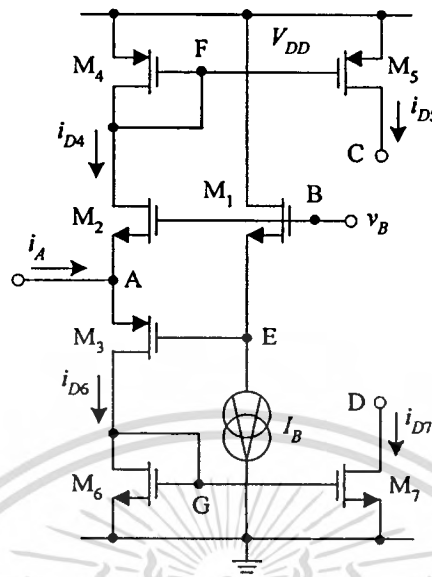
4.3 วงจรจำกัดกระแส

4.3.1 การทำงานของวงจรจำกัดกระแส

วงจรจำกัดกระแสแบบมอสเฟต [39] ดังรูปที่ 4.8 ประกอบไปด้วยแหล่งจ่ายกระแสไบแอส I_B มอสเฟต M_1 - M_3 แหล่งจ่ายแรงดันคงที่ v_B และวงจรสะท้อนกระแสที่มีอัตราการขยายกระแสเท่ากับหนึ่ง M_4 - M_5 และ M_6 - M_7 การทำงานของวงจรจำกัดกระแสสามารถอธิบายได้ดังนี้

ในกรณีที่กระแส i_x มีค่าเท่ากับศูนย์ ($i_x = 0$) เมื่อกระแสคงที่ I_B จากแหล่งจ่ายไหลผ่านมอสเฟต M_1 จะเกิดความต่างศักย์ระหว่างโหนด B และ E หรือ V_{BE} ซึ่งมีค่าประมาณ $V_{TN2} + |V_{TP3}|$ โดยที่ V_{TN2} และ V_{TP3} เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต M_2 และ M_3 ตามลำดับ ทำให้มอสเฟต M_2 และ M_3 ถูกไบแอสที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว ข้อได้เปรียบของการไบแอสมอสเฟตที่จุดนี้จะเป็นการเพิ่มความเร็วในการทำงานของวงจรให้สูงขึ้นโดยลดผลของช่วงเวลาหน่วง ทำให้เกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง และวงจรสามารถทำงานได้ที่ความถี่สูง (ภาคผนวก ก4)

ถ้ากระแส i_x มีค่าน้อยกว่าศูนย์ ($i_x < 0$) หรือกระแส i_x มีค่าเป็นลบ กระแส i_x จะไหลผ่านมอสเฟต M_2 มีผลทำให้แรงดันที่ตกคร่อมระหว่างขาเกตกับขาซอร์สของมอสเฟต M_2 หรือ v_{GS2} มีค่าเพิ่มมากขึ้น เนื่องจากความต่างศักย์ V_{BE} เป็นค่าคงที่ ทำให้ปริมาณแรงดัน v_{GS2} ที่เพิ่มขึ้นนี้จะมีค่า



รูปที่ 4.8 วงจรจำกัดกระแส

เท่ากับปริมาณของแรงดัน v_{SG3} ที่ลดลง เมื่อค่าแรงดัน v_{SG3} ลดลงจะทำให้มอสเฟต M_3 อยู่ในสภาวะไม่นำกระแส (Off) ดังนั้นกระแสเดรน i_{D5} จะมีค่าเท่ากับศูนย์ และกระแสเดรน i_{D4} จะมีค่าเท่ากับกระแส i_A จากการทำงานของวงจรสะท้อนกระแส M_4 - M_5 และ M_6 - M_7 จะได้ค่ากระแสเดรน i_{D5} มีค่าเท่ากับกระแส i_A และกระแสเดรน i_{D7} ของมอสเฟต M_7 มีค่าเท่ากับศูนย์ ตามลำดับ สามารถเขียนเป็นสมการได้ดังนี้

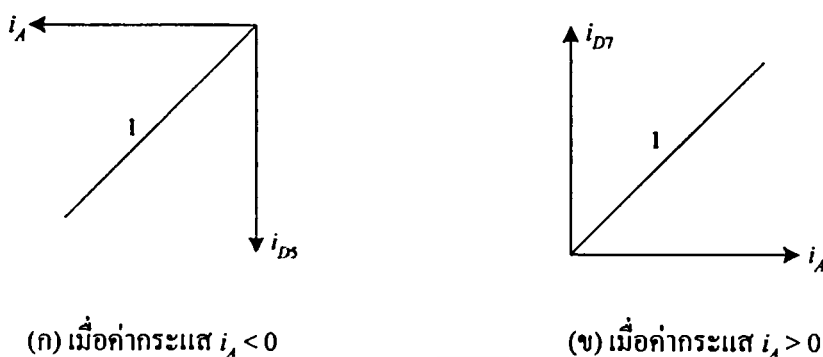
$$i_{D5} = i_A \quad \text{และ} \quad i_{D7} = 0 \quad \text{เมื่อ} \quad i_A < 0 \quad (4.19)$$

ถ้ากระแส i_A มีค่ามากกว่าศูนย์ ($i_A > 0$) หรือกระแส i_A มีค่าเป็นบวก กระแส i_A จะไหลผ่านมอสเฟต M_3 ดังนั้นกระแสเดรน i_{D4} จะมีค่าเท่ากับศูนย์ และกระแสเดรน i_{D6} จะมีค่าเท่ากับกระแส i_A จากการทำงานของวงจรสะท้อนกระแส M_4 - M_5 และ M_6 - M_7 จะทำให้กระแสเดรน i_{D5} มีค่าเท่ากับศูนย์ และกระแสเดรน i_{D7} ของมอสเฟต M_7 มีค่าเท่ากับกระแส i_A ตามลำดับ สามารถเขียนเป็นสมการได้ดังนี้

$$i_{D5} = 0 \quad \text{และ} \quad i_{D7} = i_A \quad \text{เมื่อ} \quad i_A > 0 \quad (4.20)$$

จากสมการที่ (4.19) และ (4.20) สามารถแสดงลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแสได้ดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแส

4.3.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรจำกัดกระแส

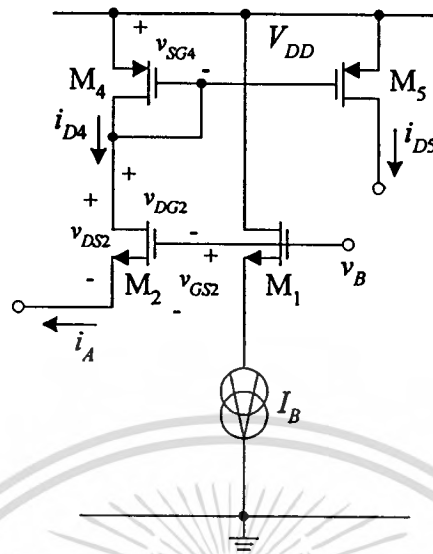
การทำงานของวงจรจำกัดกระแสในหัวข้อที่ 4.3.1 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่าทรานส์คอนดักแตนซ์ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรจำกัดกระแส ซึ่งได้แก่ ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร (ภาคผนวก ค)

ก. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

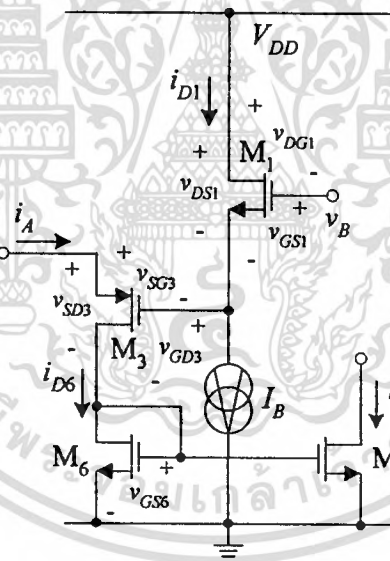
จากการทำงานของวงจรจำกัดกระแสในรูปที่ 4.8 มอสเฟต M_2 และ M_3 จะสลับกันทำงาน เมื่อค่ากระแส i_A เป็นลบ ($i_A < 0$) มอสเฟต M_2 จะทำงาน ดังนั้นในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุตสำหรับกรณีนี้จะตัดมอสเฟต M_3 ออกไป เนื่องจากมอสเฟต M_3 ไม่ทำงานเสมือนเป็นวงจรเปิดดังรูปที่ 4.10 ในกรณีที่ค่ากระแสอินพุต i_A เป็นบวก ($i_A > 0$) มอสเฟต M_3 จะทำงานแทนมอสเฟต M_2 ดังรูปที่ 4.11 จากการวิเคราะห์วงจรในรูปที่ 4.10 และ 4.11 (ภาคผนวก ค1) พบว่าช่วงปฏิบัติงานของกระแสอินพุต i_A ของวงจรจำกัดกระแสดังรูปที่ 4.8 จะขึ้นอยู่กับค่าแรงดันแหล่งจ่าย V_{DD} ค่าแรงดันแหล่งจ่ายคงที่ v_B และค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_4 และ M_6 เป็นหลัก ซึ่งมีค่าประมาณเท่ากับ

$$-K_4 (V_{DD} - v_B + V_{TN2} - |V_{TP4}|)^2 \leq i_A \leq K_6 \left(v_B - \frac{\sqrt{I_B}}{\sqrt{K_1}} - V_{TN1} - V_{TN6} + |V_{TP3}| \right)^2 \quad (4.21)$$

จากสมการที่ (4.21) ถ้ากำหนดให้ค่าแรงดันขีดเริ่มเปลี่ยนเป็นค่าคงที่ เมื่อต้องการออกแบบให้ช่วงปฏิบัติงานของกระแสอินพุตของวงจรจำกัดกระแสมีช่วงกว้าง สามารถทำได้โดยการออกแบบเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 การทำงานของวงจรจำกัดกระแสกรณีค่ากระแส $i_A < 0$



รูปที่ 4.11 การทำงานของวงจรจำกัดกระแสกรณีค่ากระแส $i_A > 0$

ให้ค่าแรงดันแหล่งจ่าย V_{DD} และ v_B มีค่าสูงและควรออกแบบให้ค่าพารามิเตอร์ K_4 และ K_6 มีค่าสูง โดยการเพิ่มค่าอัตราส่วน $(W/L)_4$ และ $(W/L)_6$ นอกจากนี้ควรออกแบบให้ค่าพารามิเตอร์ K_1 มีค่าต่ำ โดยการลดค่าอัตราส่วน $(W/L)_1$ ถ้ากำหนดให้ $V_{DD} = 5 \text{ V}$, $v_B = 3.5 \text{ V}$, และ $I_B = 10 \mu\text{A}$ จากผลที่ได้จากการประมาณค่าพารามิเตอร์ของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือ (ภาคผนวก ก2) ถ้า $V_{TN1} = 0.4721 \text{ V}$, $V_{TN2} = 0.5288 \text{ V}$, $V_{TP3} = -0.5096 \text{ V}$, $V_{TP4} = -0.5105 \text{ V}$, $V_{TN6} = 0.5236 \text{ V}$, $K_1 = 3.5284 \mu\text{A/V}^2$, $K_4 = 127.587 \mu\text{A/V}^2$, และ $K_6 = 212.57 \mu\text{A/V}^2$ ดังนั้นช่วงปฏิบัติการของกระแสอินพุตของวงจรจำกัดกระแสจะมีค่าประมาณ $-294.10 \mu\text{A}$ ถึง $375.25 \mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

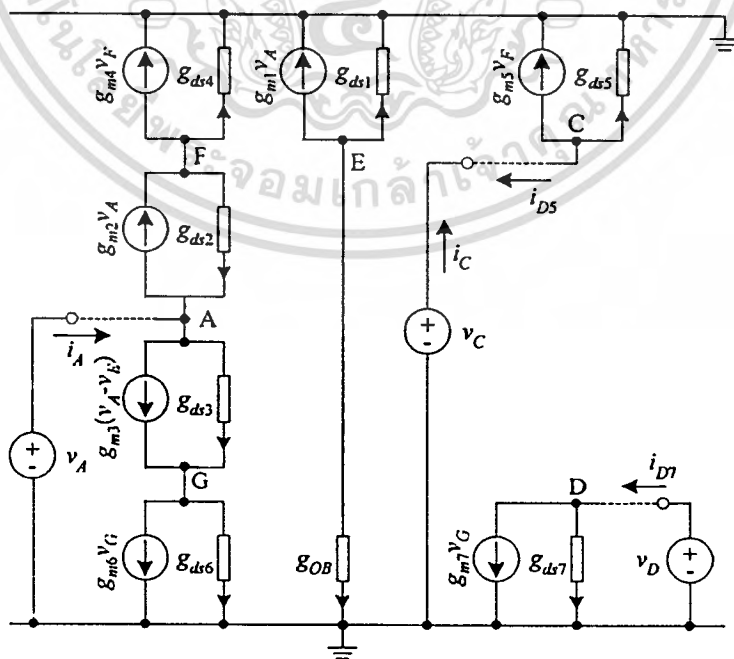
ในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรจำกัดกระแสจากวงจรสมมูลดังรูปที่ 4.12 (ภาคผนวก ก2) จะแยกพิจารณาเป็นความต้านทานอินพุต (r_{in}) ความต้านทานเอาต์พุตที่โหนด C (r_{oC}) และค่าความต้านทานเอาต์พุตที่โหนด D (r_{oD}) ซึ่งมีค่าดังนี้

$$r_{in} \equiv \begin{cases} \frac{1}{g_{m2}} & ; i_A < 0 \\ \frac{g_{OB} + g_{ds1}}{g_{m1}g_{m3}} & ; i_A > 0 \end{cases} \quad (4.22)$$

$$r_{oC} = \frac{1}{g_{ds5}} \quad (4.23)$$

$$r_{oD} = \frac{1}{g_{ds7}} \quad (4.24)$$

จากสมการที่ (4.22) ถ้ากำหนดให้ค่าความนำของแหล่งจ่ายกระแส I_B หรือ g_{OB} มีค่าคงที่ เมื่อต้องการปรับปรุงความต้านทาน r_{in} ให้มีค่าต่ำ สามารถทำได้ด้วยการออกแบบให้ค่า g_{m1} , g_{m2} , และ g_{m3} มีค่าสูง โดยการเพิ่มค่าอัตราส่วน $(W/L)_1$, $(W/L)_2$, และ $(W/L)_3$ ตามลำดับ



รูปที่ 4.12 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรจำกัดกระแส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาดเห็นาไปเซประโยชน์ดานการค้ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าความต้านทานเอาต์พุตในสมการที่ (4.23) และ (4.24) การปรับปรุงวงจรจำกัดกระแสให้มีค่าความต้านทานเอาต์พุต r_{oc} และ r_{od} สูงสามารถทำได้โดยออกแบบให้ค่าความนำ g_{m5} และ g_{m7} ให้มีค่าต่ำ ๆ หรืออีกนัยหนึ่งทำการออกแบบให้มอสเฟต M_5 และ M_7 มีค่าความต้านทานเอาต์พุต r_{o5} และ r_{o7} มีค่าสูง ๆ

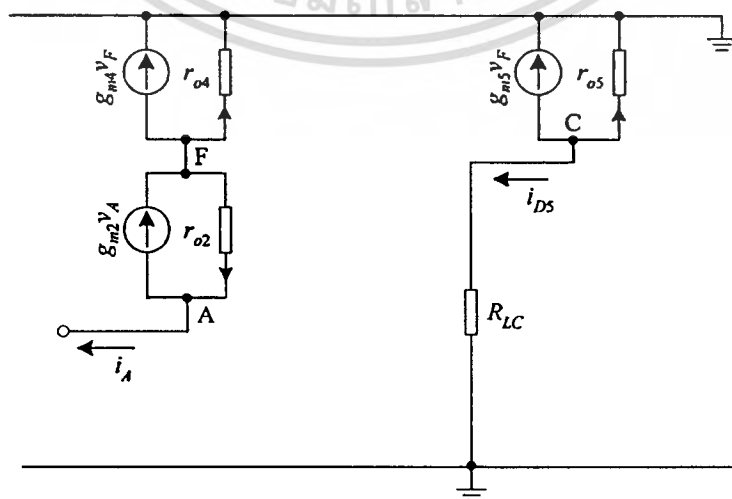
ค. การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแส ε_{CL} จะพิจารณาจากความผิดพลาดในการทำงานของวงจรสะท้อนกระแสที่มีอัตราขยายกระแสเท่ากับหนึ่ง M_4 - M_5 และ M_6 - M_7 เป็นหลัก จากกรวิเคราะห์ห้วงจรสมมูลในรูปที่ 4.13 และ 4.14 (ภาคผนวก ค3) จะได้ว่า

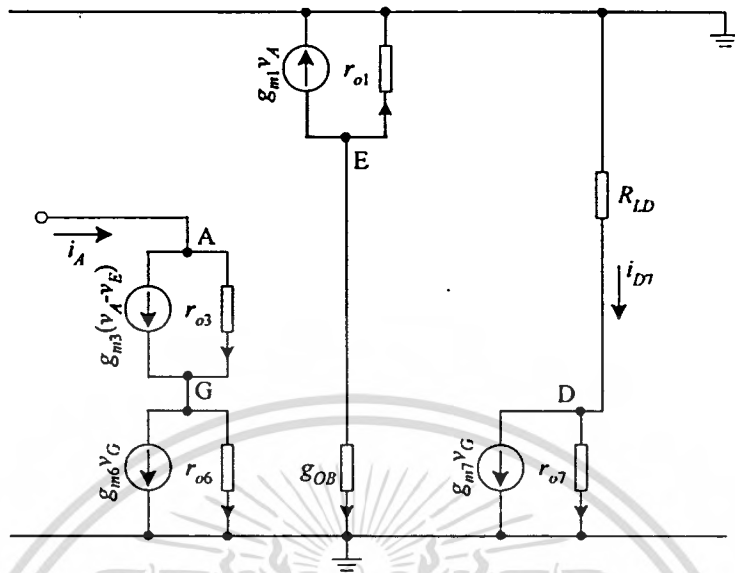
$$\varepsilon_{CL} \equiv \begin{cases} \frac{\Delta g_{m45} + \frac{R_{LC}}{r_{o5}}}{g_{m4}} & ; i_A < 0 \\ \frac{\Delta g_{m67} + \frac{R_{LD}}{r_{o7}}}{g_{m6}} & ; i_A > 0 \end{cases} \quad (4.25)$$

เมื่อ Δg_{m45} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_4 และ M_5
 Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_6 และ M_7

จากสมการที่ (4.25) พบว่าค่าความผิดพลาดของวงจรจำกัดกระแส ε_{CL} จะขึ้นอยู่กับค่า g_{m4} , g_{m5} , g_{m6} และ g_{m7} ที่มีค่าไม่เท่ากัน อันเนื่องมาจากผลกระทบของค่าพารามิเตอร์ λ ของมอสเฟตและค่าความต้านทานเอาต์พุตของมอสเฟต M_5 และ M_7 ถ้ากำหนดให้ $R_{LC} = R_{LD} = 1k\Omega$ จากผลที่ได้จากการเลียนแบบการทำงานของวงจรจำกัดกระแสดังรูปที่ 4.8 จะได้ว่า $g_{m4} = 8.7518 \times 10^{-4} \text{ A/V}$, $g_{m5} =$



รูปที่ 4.13 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแสกรณีค่ากระแส $i_A < 0$



รูปที่ 4.14 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแสกรณีค่ากระแส $i_A > 0$

8.7614×10^{-4} A/V, $g_{m6} = 1.0355 \times 10^{-4}$ A/V, $g_{m7} = 1.03656 \times 10^{-4}$ A/V, $r_{o5} = 2.673$ M Ω , และ $r_{o7} = 2.774$ M Ω ในกรณีที่ $i_A < 0$ จะได้ความผิดพลาด ε_{CL} มีค่าประมาณ -7.2589×10^{-4} ถ้าค่ากระแส $i_A > 0$ จะได้ความผิดพลาด ε_{CL} มีค่าประมาณ -1.0×10^{-3}

ง. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจำกัดกระแสเพื่อวิเคราะห์หาค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลซึ่งเป็นขีดจำกัดผลตอบสนองทางความถี่ของวงจร จะแยกวิเคราะห์เป็น 2 กรณี ดังนี้

ง1. กรณีที่กระแส i_A มีค่าเป็นลบ

จากวงจรสมมูลในรูปที่ 4.15 จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D5} และ i_A (ภาคผนวก ก4.1) ดังนี้

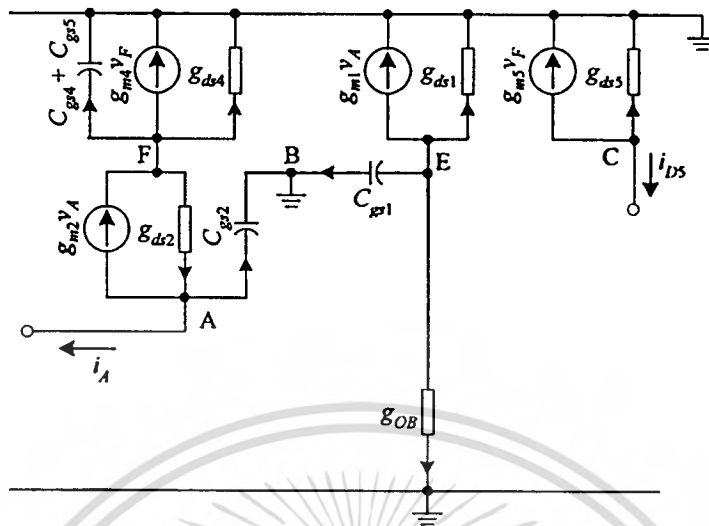
$$\frac{i_{D5}}{i_A} \cong \left(\frac{g_{m5}}{g_{m4}} \right) \frac{1}{(T_{1CLn} s + 1)(T_{2CLn} s + 1)} \tag{4.26}$$

เมื่อ

$$T_{1CLn} \cong \frac{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}}{g_{m2} g_{m4}} \tag{4.27}$$

$$T_{2CLn} \cong \frac{C_{gs2} C_{gs4} + C_{gs2} C_{gs5}}{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}} \tag{4.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจำกัดกระแสกรณีส $i_A < 0$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลซึ่งเป็นขั้วจำกัดในการใช้งานของวงจรจำกัดกระแสในกรณีค่ากระแส $i_A < 0$ จะมีค่าเป็น

$$\beta_{CLn} = \left. \frac{i_{Ds}}{i_A} \right|_{s=0} = \frac{g_{m5}}{g_{m4}} \tag{4.29}$$

$$f_{P1CLn} \cong \frac{g_{m2}g_{m4}}{2\pi(g_{m2}C_{gs4} + g_{m2}C_{gs5} + g_{m4}C_{gs2})} \tag{4.30}$$

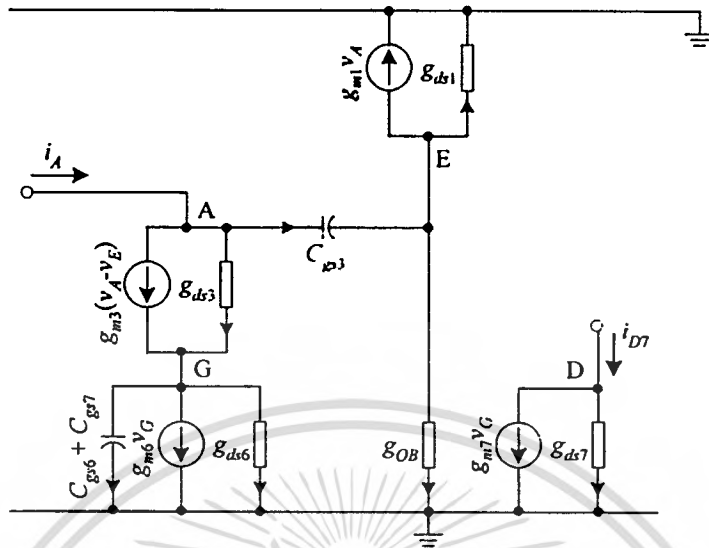
$$f_{P2CLn} \cong \frac{g_{m2}C_{gs4} + g_{m2}C_{gs5} + g_{m4}C_{gs2}}{2\pi(C_{gs2}C_{gs4} + C_{gs2}C_{gs5})} \tag{4.31}$$

จากผลที่ได้จากการเขียนแบบการทำงานของวงจรจำกัดกระแสดังรูปที่ 4.8 จะได้ค่า $g_{m2} = g_{m4} = 8.7518 \times 10^{-5}$ A/V, $C_{gs2} = 1.17 \times 10^{-14}$ F, และ $C_{gs4} = C_{gs5} = 3.704 \times 10^{-14}$ F เมื่อแทนค่าพารามิเตอร์ต่าง ๆ ลงในสมการที่ (4.30) และ (4.31) จะได้ความถี่ปฏิบัติการของวงจรจำกัดกระแสที่เอาต์พุต โหนด C มีค่าประมาณ 162.462 MHz และ 1.379 GHz ตามลำดับ

ง2. กรณีที่กระแส i_A มีค่าเป็นบวก

จากวงจรสมมูลในรูปที่ 4.16 จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D7} และ i_A (ภาคผนวก ก4.2) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจํักกระแสแตรณิ $i_A > 0$

$$\frac{i_{D7}}{i_A} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1CLP}s + 1)(T_{2CLP}s + 1)} \quad (4.32)$$

เมื่อ

$$T_{1CLP} \cong \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \quad (4.33)$$

$$T_{2CLP} \cong \frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}} \quad (4.34)$$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลซึ่งเป็นขั้วจํักัดในการใช้งานของวงจรจํักกระแสในกรณีค่ากระแส $i_A > 0$ จะมีค่าประมาณเท่ากับ

$$\beta_{CLP} = \left. \frac{i_{D7}}{i_A} \right|_{s=0} = \frac{g_{m7}}{g_{m6}} \quad (4.35)$$

$$f_{p1CLP} \cong \frac{g_{m3}g_{m6}}{2\pi(g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3})} \quad (4.36)$$

$$f_{p2CLP} \cong \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{2\pi(C_{gs3}C_{gs6} + C_{gs3}C_{gs7})} \quad (4.37)$$

จากผลที่ได้จากการเขียนแบบการทำงานของวงจรดังรูปที่ 4.8 จะได้ว่า $g_{m3} = g_{m6} = 1.0355 \times 10^{-4}$ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนูญาติเห็นประโยชน์ด้านการศึกษา ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/V , $C_{gs3} = 5.1856 \times 10^{-14}$ F, และ $C_{gs6} = C_{gs7} = 1.638 \times 10^{-14}$ F เมื่อแทนค่าพารามิเตอร์ต่าง ๆ ลงในสมการที่ (4.36) และ (4.37) จะได้ความถี่ปฏิบัติการของวงจรจำกัดกระแสที่เอาต์พุต โหนด D มีค่าประมาณ 194.871 MHz และ 821.316 MHz ตามลำดับ

4.3.3 ผลการเลียนแบบการทำงานของวงจรจำกัดกระแสด้วยโปรแกรม PSPICE

เพื่อทดสอบสมรรถนะของวงจรจำกัดกระแส จะทำการทดสอบโดยเลียนแบบการทำงานของวงจรในรูปที่ 4.8 ด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM 3v1 (Level 7) ที่มีเทคโนโลยีแบบ AMI Semiconductor (AMIS) $0.5\mu\text{m}$ ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 4.1 พร้อมทั้งกำหนดให้ ค่าแรงดันแหล่งจ่าย V_{DD} และค่าแรงดันไบแอส v_B เท่ากับ 5V และ 3.5V ตามลำดับ ส่วนค่ากระแสแหล่งจ่าย I_B มีค่าเท่ากับ $10\mu\text{A}$

ตารางที่ 4.1 อัตราส่วน W/L ของมอสเฟตในวงจรจำกัดกระแสดังรูปที่ 4.8

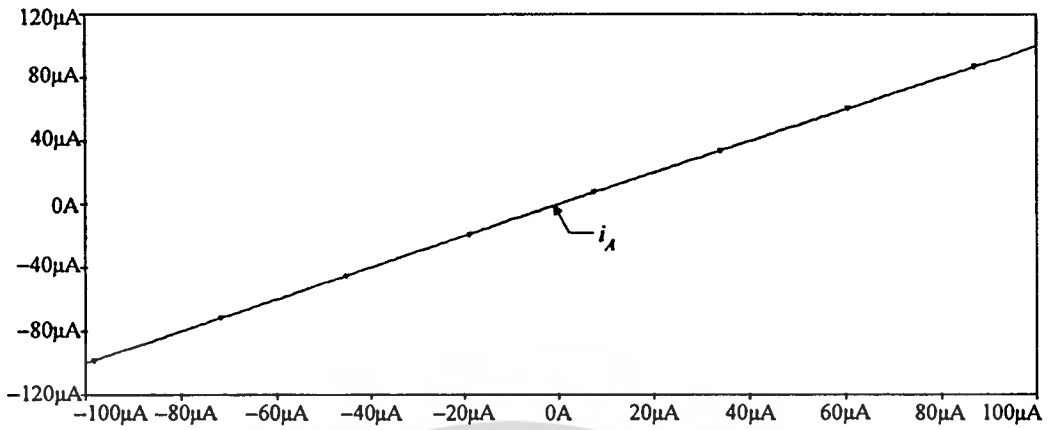
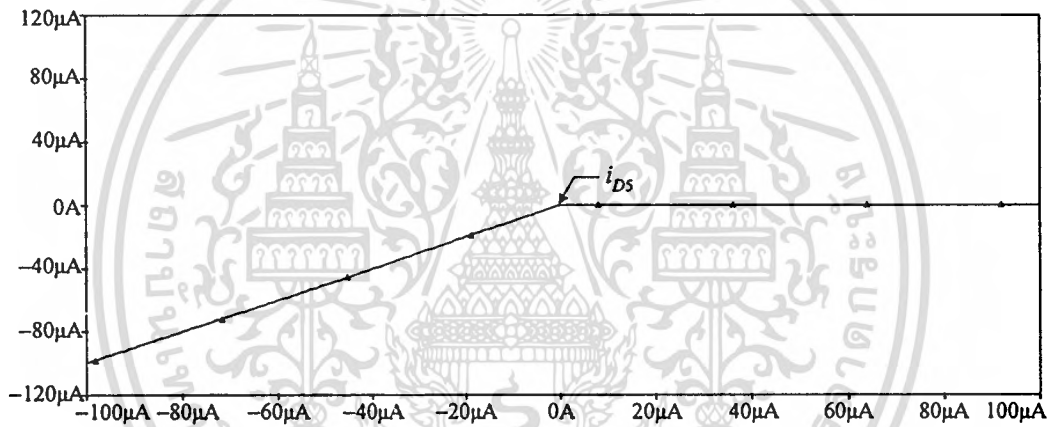
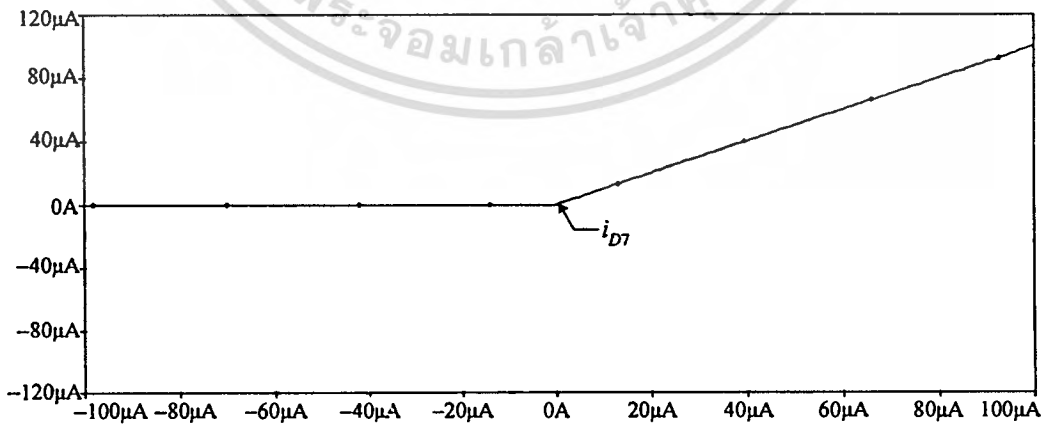
มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
M_1	3/10
M_2, M_4, M_5	5/1
M_3, M_6, M_7	7/1

ในรูปที่ 4.17 แสดงลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแสจากการเลียนแบบการทำงาน โดยป้อนกระแส i_x เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก $-100\mu\text{A}$ ถึง $100\mu\text{A}$ ดังรูปที่ 4.17(ก) ส่วนในรูปที่ 4.17(ข) และ 4.17(ค) แสดงสัญญาณกระแสเอาต์พุต i_{D5} ที่ โหนด C และสัญญาณกระแสเอาต์พุต i_{D7} ที่ โหนด D ตามลำดับ พบว่ากระแสเอาต์พุตบริเวณช่วงสัญญาณผ่านจุดศูนย์มีความคมหรือมีความเพี้ยนของสัญญาณต่ำมาก

ในรูปที่ 4.18(ก) และ 4.18(ข) เป็นผลการทดสอบช่วงกระแสปฏิบัติการของวงจรจำกัดกระแสจากการเลียนแบบการทำงาน โดยป้อนกระแสอินพุต i_x เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก $-500\mu\text{A}$ ถึง $500\mu\text{A}$ พบว่ากระแสปฏิบัติการของวงจรมีความเป็นเชิงเส้นในช่วง $-285\mu\text{A}$ ถึง 0A และ 0A ถึง $360\mu\text{A}$ เมื่อกระแส $i_x < 0$ และ $i_x > 0$ ตามลำดับ และเมื่อเปรียบเทียบกับผลการวิเคราะห์ช่วงกระแสปฏิบัติการของวงจรจำกัดกระแสโดยแทนค่าพารามิเตอร์ต่าง ๆ ลงในสมการที่ (4.21) ให้ผลใกล้เคียงกัน

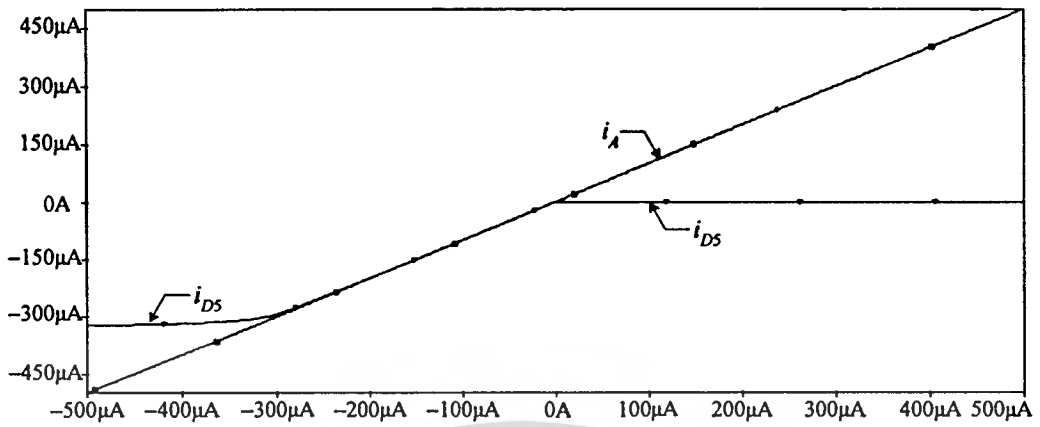
ในรูปที่ 4.19 แสดงผลตอบสนองทางความถี่ของวงจรจำกัดกระแสดังรูปที่ 4.8 โดยป้อนกระแสอินพุต i_x เป็นสัญญาณไฟสลับขนาด $2\mu\text{A}$ ที่มีการแปรค่าความถี่จาก 100 kHz ถึง 10 GHz วงจรมีผลตอบสนองทางความถี่ประมาณ 158.482 MHz และ 187.718 MHz ที่เอาต์พุต โหนด C และ โหนด D ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

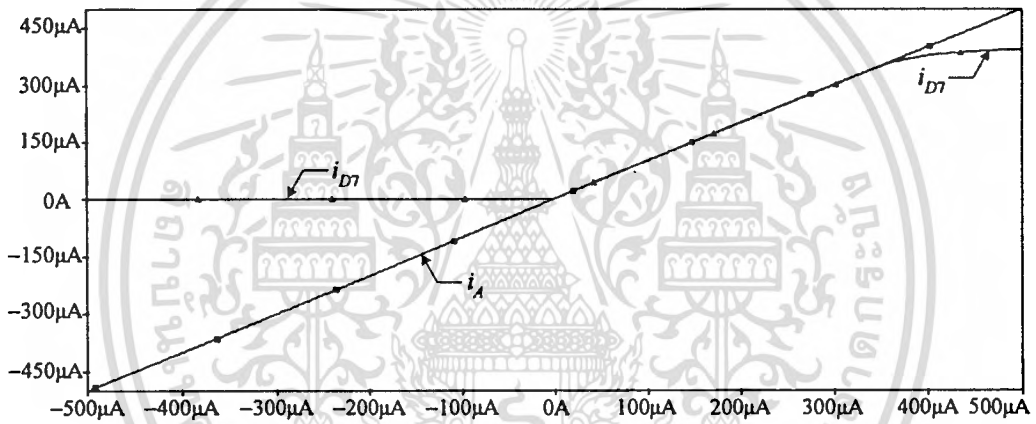
(ก) กระแสอินพุต i_A (ข) กระแสเอาต์พุต i_{DS} ที่โนด C(ค) กระแสเอาต์พุต i_{DT} ที่โนด D

รูปที่ 4.17 ลักษณะถ่ายโอนไฟตรงของวงจรจำกัดกระแสจากการเปลี่ยนแบบการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

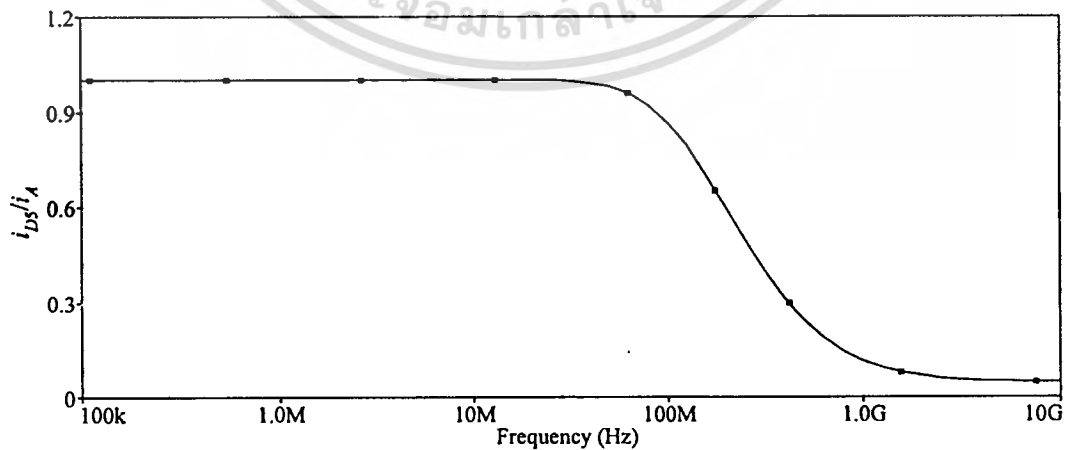


(ก) เมื่อค่ากระแส $i_A < 0$



(ข) เมื่อค่ากระแส $i_A > 0$

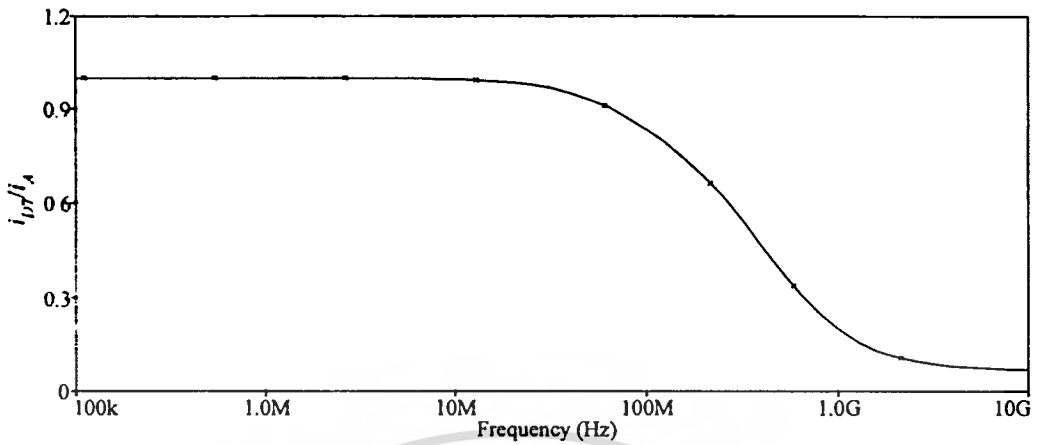
รูปที่ 4.18 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรจำกัดกระแส



(ค) ที่เอาต์พุต โหนด C

รูปที่ 4.19 ผลตอบสนองทางความถี่ของวงจรจำกัดกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) ที่เอาต์พุต โหนด D

รูปที่ 4.19 ผลตอบสนองทางความถี่ของวงจรจำกัดกระแส (ต่อ)

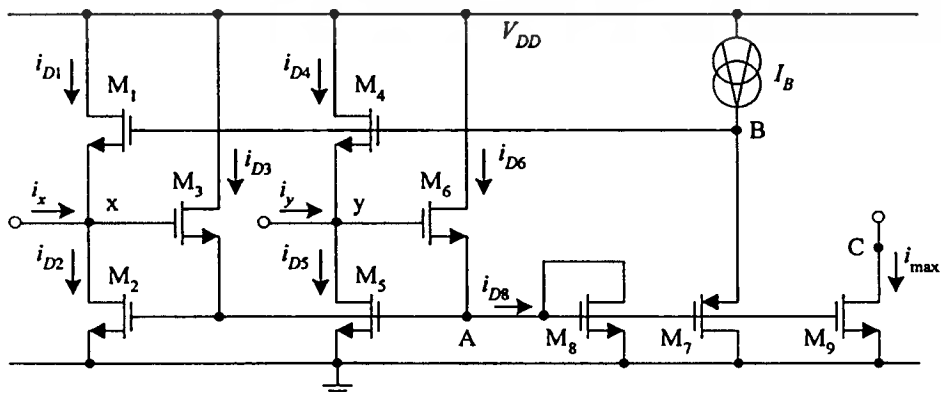
4.4 วงจรหาค่าสูงสุด

4.3.1 การทำงานของวงจรหาค่าสูงสุด

วงจรหาค่าสูงสุด [40] สำหรับสัญญาณกระแสสองอินพุตดังรูปที่ 4.20 เมื่อมอสเฟต M_1 - M_3 และ M_4 - M_6 ทำหน้าที่เป็นตัวเลือกค่าสัญญาณอินพุตสูงสุด มอสเฟต M_8 - M_9 ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง นอกจากนั้นมอสเฟต M_8 ยังทำหน้าที่แปลงสัญญาณกระแสเดรน i_{D8} เป็นสัญญาณแรงดันที่โหนด A โดยค่ากระแส i_{D8} จะเกิดจากการไหลรวมกันของค่ากระแสเดรน i_{D3} และ i_{D6} ซึ่งเขียนเป็นสมการได้ว่า

$$i_{D8} = i_{D3} + i_{D6} \tag{4.38}$$

ถ้ากำหนดให้มอสเฟตชนิดเดียวกันมีความสมพียงกันทุกประการ การทำงานของวงจรหาค่าสูงสุด



รูปที่ 4.20 วงจรหาค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถอธิบายได้ดังนี้ ในกรณีที่กระแสอินพุต i_x และ i_y มีค่าเท่ากับศูนย์ เมื่อกระแสที่ I_b จากแหล่งจ่ายไหลผ่านมอสเฟต M_7 จะเกิดแรงดันไบแอส v_b ซึ่งมีค่าประมาณ $3V_{TN}$ ค่าแรงดัน v_b จะทำให้มอสเฟต M_1 - M_3 และ M_4 - M_6 ถูกไบแอสที่ขอบของการนำกระแสในช่วงนำกระแสอิมพัลส์ได้เปรียบของการไบแอสมอสเฟตที่จุดนี้จะเป็นการเพิ่มความเร็วในการทำงานของวงจรให้สูงขึ้นโดยลดผลของช่วงเวลาหน่วง ทำให้เกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง และวงจรสามารถทำงานได้ที่ความถี่สูง (ภาคผนวก ก4)

เมื่อค่าแรงดันที่โหนด x และ โหนด y (v_x และ v_y) คือ ค่าแรงดันที่เทรนกับชอร์สของมอสเฟต M_2 และ M_3 ตามลำดับ โดยค่าแรงดัน v_x และ v_y จะมีค่าไม่คงที่ ซึ่งแปรเปลี่ยนไปตามค่ากระแสอินพุต i_x และ i_y ตามลำดับ ในกรณีที่กระแสอินพุต i_x และ i_y มีค่ามากกว่าศูนย์ ถ้ากำหนดให้กระแส i_x มีค่ามากกว่ากระแส i_y ($i_x > i_y$) ซึ่งเขียนเป็นสมการได้ว่า

$$i_x = \max(i_x, i_y) \quad (4.39)$$

เมื่อกระแสอินพุต i_x มีค่าสูงสุด แรงดันที่โหนด x หรือแรงดัน v_x จะมีค่าเพิ่มขึ้นจนกระทั่งมอสเฟต M_3 นำกระแส เกิดกระแสเทรน i_{D3} ไหลไปรวมเป็นกระแสเทรน i_{D8} ที่ไหลผ่านมอสเฟต M_8 มีผลทำให้แรงดันที่โหนด A หรือ v_x มีค่าสูงขึ้นจนกระทั่งมอสเฟต M_2 อยู่ในสภานำกระแส (On) จะได้ว่ากระแสเทรน i_{D2} มีค่าเท่ากับกระแสอินพุต i_x ส่วนมอสเฟต M_1 จะอยู่ในสภาวะไม่นำกระแส (Off) เมื่อพิจารณา มอสเฟต M_2 , M_5 , และ M_8 จะได้เห็นว่ามอสเฟตทั้งสามมีค่าแรงดันที่เทคกับชอร์สเท่ากัน (v_x) ดังนั้นในการทำงานช่วงนำกระแสอิมพัลส์จะได้ว่า

$$i_{D2} = i_{D5} = i_{D8} = i_x \quad (4.40)$$

ค่ากระแสเทรน i_{D5} ที่ไหลผ่านมอสเฟต M_5 ซึ่งมีค่าเพิ่มขึ้นนี้ จะทำให้มอสเฟต M_6 อยู่ในสภาวะไม่นำกระแส (Off) ดังนั้นกระแสเทรน i_{D6} จะมีค่าเป็นศูนย์ เมื่อแทนค่ากระแส $i_{D6} = 0$ ลงในสมการที่ (4.38) จะได้ค่ากระแส $i_{D8} = i_{D3}$ จากการทำงานของวงจรสะท้อนกระแส M_8 - M_3 ค่ากระแส i_{D8} จะถูกส่งต่อไปที่เอาต์พุตโหนด ดังนั้นกระแสสูงสุด i_{\max} จะมีค่าดังนี้

$$i_{\max} = i_{D8} \quad (4.41)$$

เมื่อแทนค่าจากสมการที่ (4.40) ลงใน (4.41) จะได้ว่า

$$i_{\max} = i_x = \max(i_x, i_y) \quad (4.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาที่มอสเฟต M_4 ในขณะ M_4 จะทำหน้าที่นำกระแสในส่วนที่กระแสอินพุต i_x น้อยกว่ากระแสอินพุต i_x หรือ $i_{D4} = i_x - i_y$ ซึ่งเป็นข้อดีที่ช่วยให้แรงดันที่โหนด y หรือแรงดัน v_y มีค่าไม่ต่ำลงไปมากนัก ถ้าในเวลาต่อมากระแสอินพุต i_x มีค่ามากกว่ากระแสอินพุต i_x ซึ่งแรงดัน v_y จะต้องมีค่าเพิ่มมากขึ้นจนกระทั่งมอสเฟต M_6 นำกระแสแทนมอสเฟต M_4 ทำให้ความเร็วสำหรับการทำงานดังกล่าวเพิ่มขึ้น สัญญาณกระแสเอาต์พุต i_{max} จึงมีความเพี้ยนลดลง

4.4.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่าสูงสุด

จากคุณสมบัติของมอสเฟตในทางปฏิบัติที่มีค่าพารามิเตอร์คอนดักแตนซ์ไม่เป็นอนันต์ และมอสเฟตแต่ละตัวมีความไม่สมพงษ์กันทุกประการ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่าสูงสุดดังรูปที่ 4.20 ซึ่งได้แก่ ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร (ภาคผนวก ง)

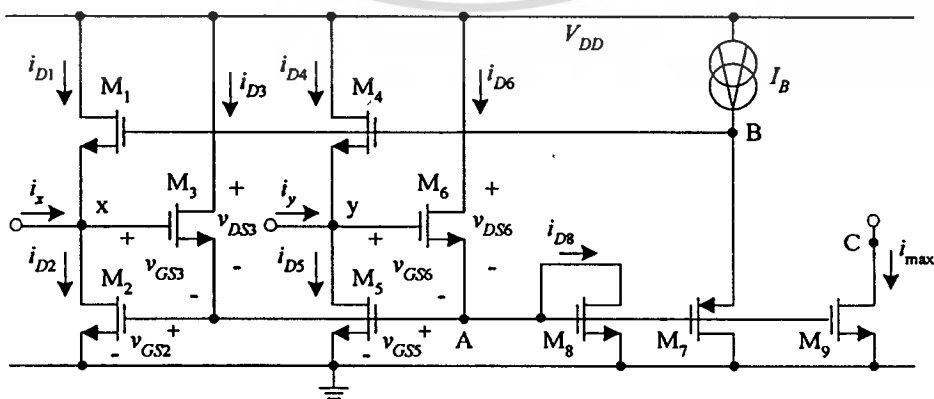
ก. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

ในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุตของวงจรหาค่าสูงสุดดังรูปที่ 4.21 (ภาคผนวก ง1) จะแยกวิเคราะห์เป็นช่วงปฏิบัติงานของกระแสอินพุตของวงจรหาค่าสูงสุดที่โหนด x และที่โหนด y ตามลำดับ ดังนี้

$$0 < i_x \leq \frac{K_2 K_3}{K_2 + 2\sqrt{K_2 K_3} + K_3} (V_{DD} - V_{TN2})^2 \tag{4.43}$$

และ

$$0 < i_y \leq \frac{K_5 K_6}{K_5 + 2\sqrt{K_5 K_6} + K_6} (V_{DD} - V_{TN5})^2 \tag{4.44}$$



รูปที่ 4.21 วงจรหาค่าสูงสุดในการวิเคราะห์ช่วงปฏิบัติงานของวงจร

จากสมการที่ (4.43) และ (4.44) ถ้ากำหนดให้ ค่าแรงดันขีดเริ่มเปลี่ยน V_{TN2} และ V_{TN5} เป็นค่าคงที่ เมื่อต้องการออกแบบให้ช่วงปฏิบัติการของวงจรหาค่าสูงสุดมีค่าสูง สามารถทำได้โดยการออกแบบให้แรงดันแหล่งจ่าย V_{DD} มีค่าสูง และควรออกแบบให้ค่าพารามิเตอร์ K_2, K_3, K_5 , และ K_6 มีค่าสูง โดยการเพิ่มค่าอัตราส่วน $(W/L)_2, (W/L)_3, (W/L)_5$, และ $(W/L)_6$ ตามลำดับ ถ้ากำหนดให้ $V_{DD} = 3.3V$ จากผลที่ได้จากการประมาณค่าพารามิเตอร์ของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือ (ภาคผนวก ก2) ถ้า $V_{TN2} = V_{TN5} = 0.5294V, K_2 = K_3 = 131.176 \mu A/V^2$, และ $K_5 = K_6 = 252.577 \mu A/V^2$ จะได้กระแสอินพุต $i_{x(max)}$ และ $i_{y(max)}$ มีค่าประมาณ $340.113\mu A$

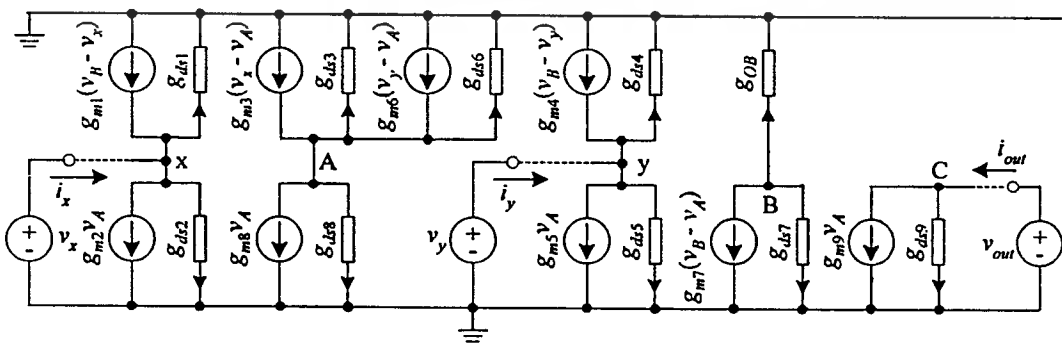
ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

เนื่องจากวงจรหาค่าสูงสุดที่ใช้ในการออกแบบอัลกอริทึม ADC เป็นวงจรสำหรับสัญญาณกระแสสองอินพุต ดังนั้นในการวิเคราะห์ค่าความต้านทานอินพุตจึงแยกวิเคราะห์เป็นความต้านทานอินพุตที่โนด x (r_x) และความต้านทานอินพุตที่โนด y (r_y) ส่วน r_{out} กำหนดให้เป็นค่าความต้านทานเอาต์พุต จากวงจรหาค่าสูงสุดในรูปที่ 4.20 สามารถแทนด้วยวงจรสมมูลต่อสัญญาณขนาดเล็กโดยไม่พิจารณาผลของตัวเก็บประจุได้ดังรูปที่ 4.22 จากการวิเคราะห์วงจรสมมูลดังรูปที่ 4.22 (ภาคผนวก ง2) จะได้ว่า

$$r_x \cong \frac{1}{g_{m2}} \tag{4.45}$$

$$r_y \cong \frac{1}{g_{m5}} \tag{4.46}$$

$$r_{out} = \frac{1}{g_{ds9}} = r_{o9} \tag{4.47}$$



รูปที่ 4.22 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจรหาค่าสูงสุด

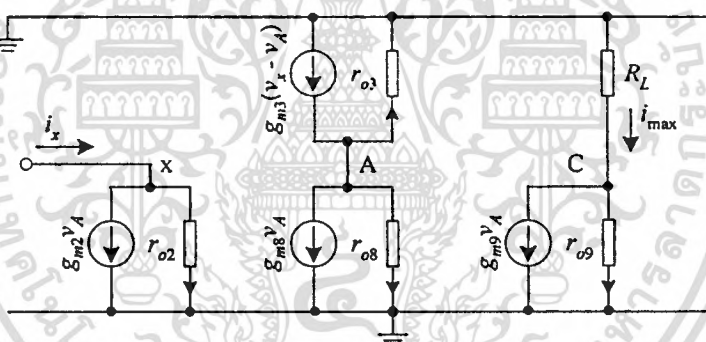
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. การวิเคราะห์ค่าความผิดพลาดของวงจร

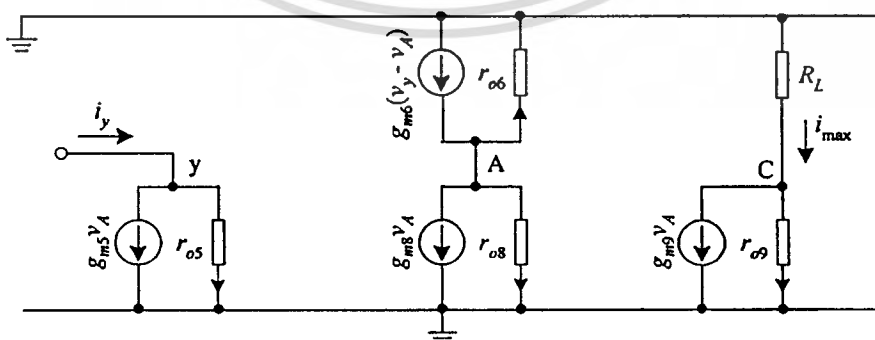
ในการวิเคราะห์ค่าความผิดพลาดในการทำงานของวงจรหาค่าสูงสุดกรณีที่ 4.20 จะพิจารณาจากความไม่สมพ้องกันของมอสเฟตเป็นหลัก จากการวิเคราะห์วงจรสมมูลในรูปที่ 4.23 และ 4.24 (ภาคผนวก 3) จะได้ว่า

$$\varepsilon_{\max} = \begin{cases} \frac{\Delta g_{m29} + g_{m3}r_{o9} + g_{m2}r_{o9} + g_{m2}g_{m3}r_{o2}R_L}{g_{m2} + g_{m2}g_{m3}r_{o2}r_{o9}} & ; i_x > i_y \\ \frac{\Delta g_{m59} + g_{m6}r_{o9} + g_{m5}r_{o9} + g_{m5}g_{m6}r_{o5}R_L}{g_{m5} + g_{m5}g_{m6}r_{o5}r_{o9}} & ; i_y > i_x \end{cases} \quad (4.48)$$

เมื่อ ε_{\max} คือ ค่าความผิดพลาดของวงจรหาค่าสูงสุด
 Δg_{m29} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_2 และ M_9
 Δg_{m59} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_5 และ M_9



รูปที่ 4.23 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรกรณีค่ากระแส $i_x > i_y$



รูปที่ 4.24 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรกรณีค่ากระแส $i_y > i_x$

จากสมการที่ (4.48) พบว่าค่าความผิดพลาด ε_{\max} จะขึ้นอยู่กับความไม่สมพ้องกันของมอสเฟต M_2 , เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M_5 , และ M_9 เป็นหลัก จากผลที่ได้จากการเขียนแบบการทำงานของวงจรหาค่าสูงสุดดังรูปที่ 4.20 จะได้ว่า $g_{m2} = 1.3352 \times 10^{-4}$ A/V, $g_{m3} = 1.2386 \times 10^{-4}$ A/V, $g_{m5} = 1.3358 \times 10^{-4}$ A/V, $g_{m6} = 1.4935 \times 10^{-4}$ A/V, $g_{m9} = 1.3457 \times 10^{-4}$ A/V, $r_{o2} = 2.813$ M Ω , $r_{o5} = 2.646$ M Ω , $r_{o9} = 2.699$ M Ω , และ $R_L = 1$ k Ω จะให้ความผิดพลาด ε_{\max} มีค่าประมาณ -1.980×10^{-3} และ -1.655×10^{-3} สำหรับกรณีที่ค่ากระแส $i_x > i_y$ และ $i_y > i_x$ ตามลำดับ

ง. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุดดังรูปที่ 4.20 เพื่อวิเคราะห์หาค่าอัตราขยายกระแสและค่าตำแหน่งของโพลซึ่งเป็นขีดจำกัดผลตอบสนองทางความถี่ของวงจร จะแยกวิเคราะห์เป็น 2 กรณี ดังนี้

ง.1 กรณีที่ค่ากระแส $i_x > i_y$

จากวงจรสมมูลดังรูปที่ 4.25 เมื่อ $C_{i1} = C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}$ (ภาคผนวก ง.4.1) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{\max} และ i_x ดังนี้

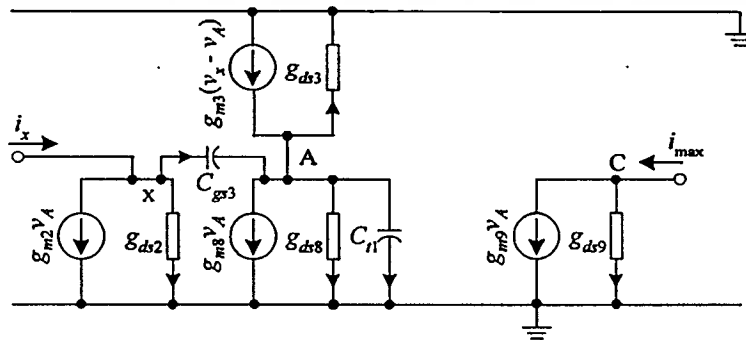
$$\frac{i_{\max}}{i_x} \equiv \left(\frac{g_{m9}}{g_{m2}g_{m3}} \right) \frac{(T_{3x}s+1)}{(T_{1x}s+1)(T_{2x}s+1)} \tag{4.49}$$

เมื่อ

$$T_{1x} \equiv \frac{(g_{m2} + g_{m8})C_{gs3}}{g_{m2}g_{m3}} \tag{4.50}$$

$$T_{2x} \equiv \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m2} + g_{m8}} \tag{4.51}$$

$$T_{3x} \equiv \frac{C_{gs3}}{g_{m3}} \tag{4.52}$$



รูปที่ 4.25 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่กรณีค่ากระแส $i_x > i_y$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาต์ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง β_r และค่าตำแหน่งของโพลและค่าซีโรซึ่งเป็นขั้วจำกัดในการใช้งานของวงจรถูกค่าสูงสุดในกรณีกระแสอินพุต $i_x > i_y$ จะมีค่าดังนี้

$$\beta_r = \left. \frac{i_{\max}}{i_x} \right|_{s=0} = \frac{g_{m9}}{g_{m2}g_{m3}} \quad (4.53)$$

เมื่อ
$$fp_{1x} \equiv \frac{g_{m2}g_{m3}}{2\pi C_{gs3}(g_{m2} + g_{m8})} \quad (4.54)$$

$$fp_{2x} \equiv \frac{g_{m2} + g_{m8}}{2\pi(C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9})} \quad (4.55)$$

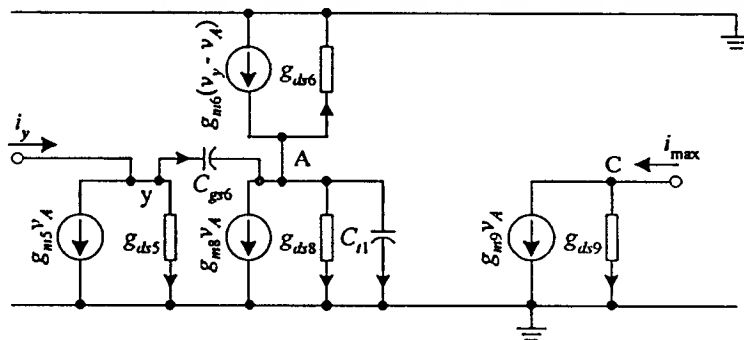
$$fz_{3x} \equiv \frac{g_{m3}}{2\pi(C_{gs3})} \quad (4.56)$$

จากการเขียนแบบการทำงานของวงจรถูกค่าสูงสุดดังรูปที่ 4.20 จะได้ว่า $g_{m2} = 5.6603 \times 10^{-5}$ A/V, $g_{m3} = 8.1018 \times 10^{-5}$ A/V, $g_{m8} = 5.4395 \times 10^{-5}$ A/V, $C_{gs2} = C_{gs5} = C_{gs8} = C_{gs9} = 9.36 \times 10^{-15}$ F, และ $C_{gs3} = 2.34 \times 10^{-14}$ F พบว่า $fp_{1x} = 281.145$ MHz, $fp_{2x} = 427.086$ MHz, และ $fz_{3x} = 551.323$ MHz

ง.2 กรณีที่ค่ากระแส $i_y > i_x$

จากวงจรมมูลในรูปที่ 4.26 เมื่อ $C_{n1} = C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}$ (ภาคผนวก ง.2) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{\max} และ i_y ดังนี้

$$\frac{i_{\max}}{i_y} \equiv \left(\frac{g_{m9}}{g_{m5}g_{m6}} \right) \frac{(T_{3y}s + 1)}{(T_{1y}s + 1)(T_{2y}s + 1)} \quad (4.57)$$



รูปที่ 4.26 วงจรมมูลในการวิเคราะห์ผลตอบสนองทางความถี่กรณีค่ากระแส $i_y > i_x$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$T_{1y} \cong \frac{(g_{m5} + g_{m8})C_{gs6}}{g_{m5}g_{m6}} \quad (4.58)$$

$$T_{2y} \cong \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m5} + g_{m8}} \quad (4.59)$$

$$T_{3y} \cong \frac{C_{gs6}}{g_{m6}} \quad (4.60)$$

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง β_y และค่าตำแหน่งของโพลและซีโรซึ่งเป็นขีดจำกัดในการใช้งานของวงจรถูกค่าสูงสุดในกรณีกระแสอินพุต $i_y > i_x$ จะมีค่าดังนี้

$$\beta_y = \left. \frac{i_{\max}}{i_y} \right|_{s=0} = \frac{g_{m9}}{g_{m5}g_{m6}} \quad (4.61)$$

$$fp_{1y} \cong \frac{g_{m5}g_{m6}}{2\pi C_{gs6}(g_{m5} + g_{m8})} \quad (4.62)$$

$$fp_{2y} \cong \frac{g_{m5} + g_{m8}}{2\pi (C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9})} \quad (4.63)$$

$$fz_{3y} \cong \frac{g_{m6}}{2\pi (C_{gs6})} \quad (4.64)$$

จากการเขียนแบบการทำงานของวงจรถูกค่าสูงสุดดังรูปที่ 4.20 จะได้ว่า $g_{m5} = 5.6603 \times 10^{-5}$ A/V, $g_{m6} = 8.1018 \times 10^{-5}$ A/V, $g_{m8} = 5.4395 \times 10^{-5}$ A/V, $C_{gs2} = C_{gs5} = C_{gs8} = C_{gs9} = 9.36 \times 10^{-15}$ F, และ $C_{gs6} = 2.34 \times 10^{-14}$ F พบว่า $fp_{1y} = 281.145$ MHz, $fp_{2y} = 427.086$ MHz, และ $fz_{3y} = 551.323$ MHz

4.4.3 ผลการเขียนแบบการทำงานของวงจรถูกค่าสูงสุดด้วยโปรแกรม PSPICE

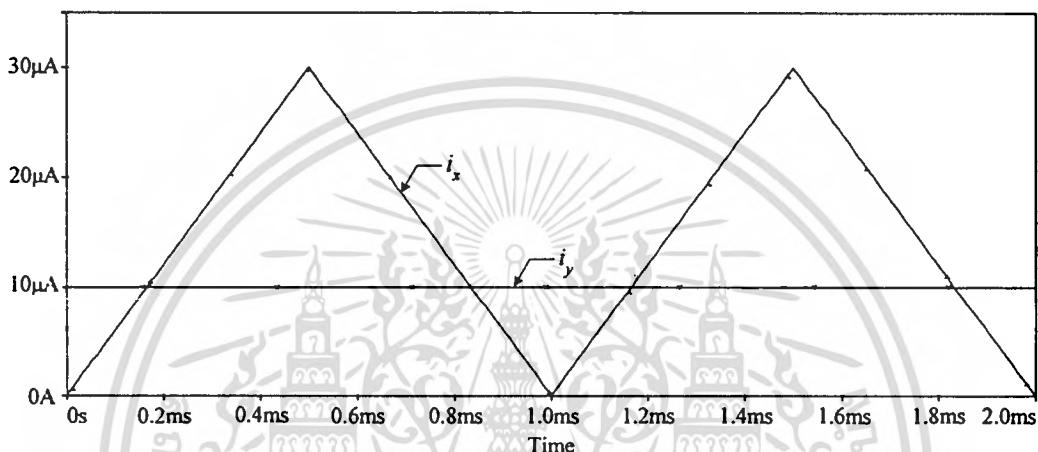
เพื่อทดสอบสมรรถนะของวงจรถูกค่าสูงสุดดังรูปที่ 4.20 จะทำการทดสอบโดยเขียนแบบการทำงานของวงจรถูกค่าสูงสุดด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 4.2 พร้อมทั้งได้กำหนดให้ $V_{DD} = 3.3$ V และ $I_B = 10$ μ A

ในรูปที่ 4.27 แสดงผลการเขียนแบบการทำงานของวงจรถูกค่าสูงสุดจากการป้อนกระแสอินพุต i_x เป็นสัญญาณรูปสามเหลี่ยมขนาด 0A ถึง 30 μ A ที่มีช่วงคาบ 10 μ s และกระแสอินพุต i_y

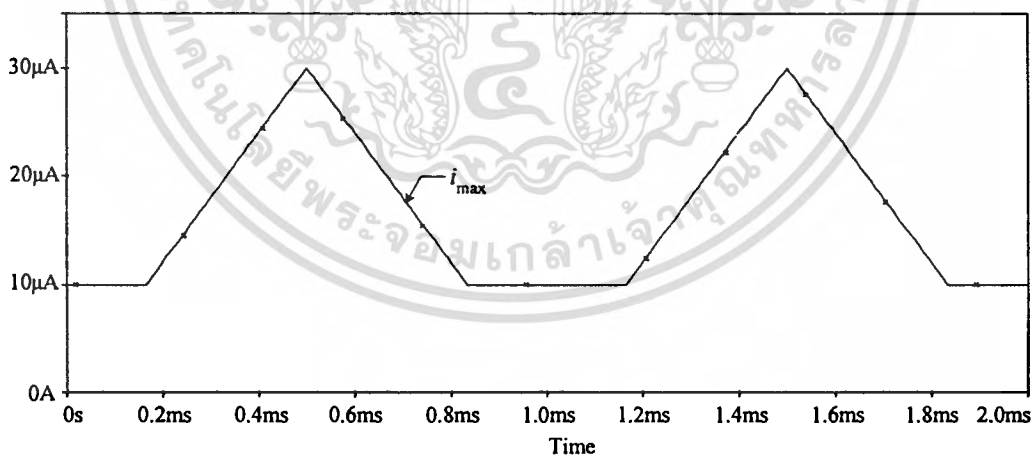
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 อัตราส่วน W/L ของมอสเฟตในวงจรหาค่าสูงสุดดังรูปที่ 4.20

มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
$M_1, M_2, M_4, M_5, M_8, M_9$	4/1
M_3, M_6	10/1
M_7	1.2/0.5



(ก) ค่ากระแสอินพุต i_x และ i_y

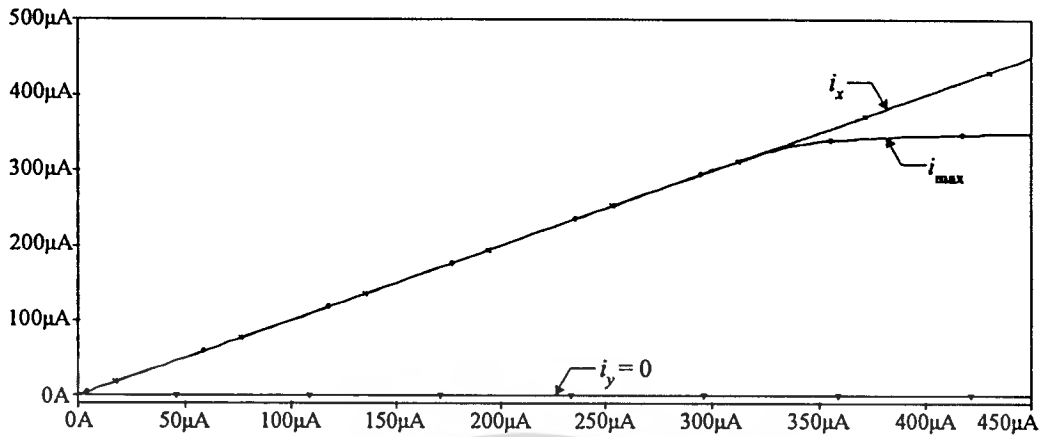


(ข) ค่ากระแสสูงสุด i_{max}

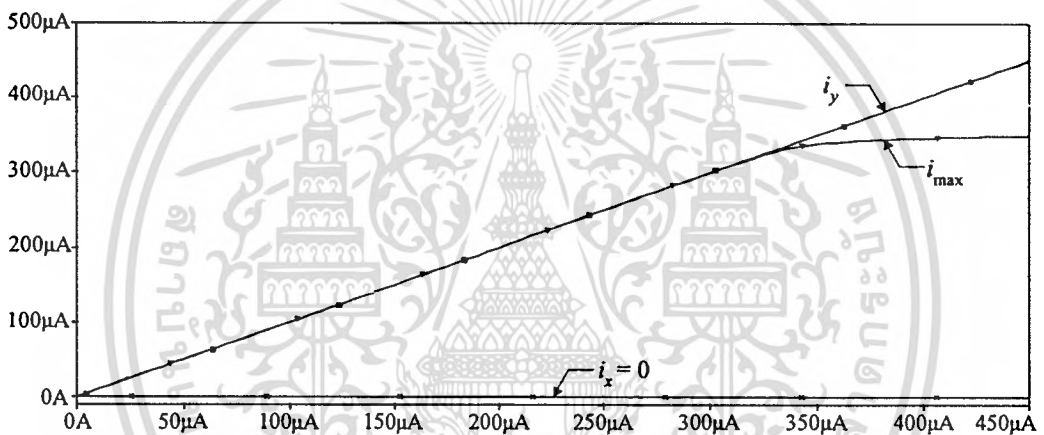
รูปที่ 4.27 ผลการเขียนแบบการทำงานของวงจรหาค่าสูงสุด

เป็นสัญญาณไฟตรงขนาด $10\mu\text{A}$ ดังรูปที่ 4.27(ก) ส่วนในรูปที่ 4.27(ข) แสดงสัญญาณกระแสเอาต์พุต i_{max} พบว่าที่จุดตัดระหว่างกระแสอินพุตทั้งสองมีความคมหรือมีความเพี้ยนของสัญญาณต่ำมาก ทั้งนี้เนื่องจากโครงสร้างของวงจรหาค่าสูงสุดได้มีการออกแบบให้มอสเฟตถูกไบแอสให้อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) เมื่อป้อนกระแสอินพุตที่โนด x



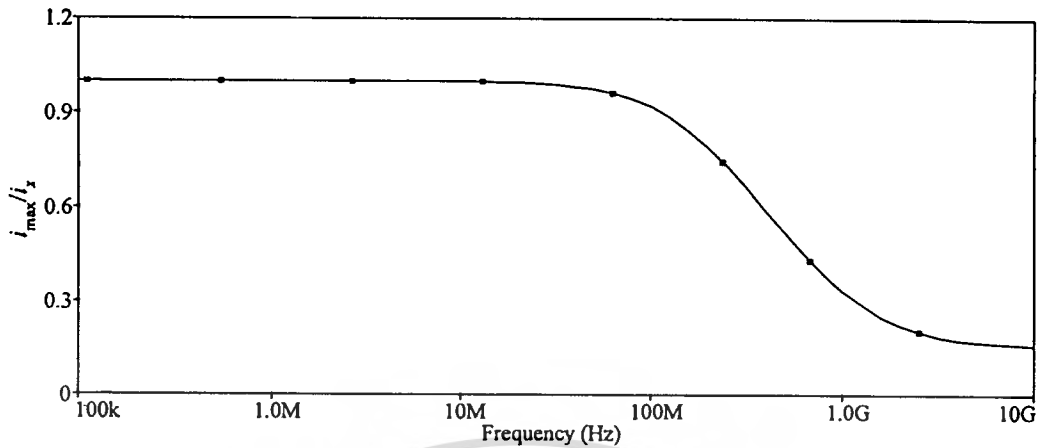
(ข) เมื่อป้อนกระแสอินพุตที่โนด y

รูปที่ 4.28 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรหาค่าสูงสุด

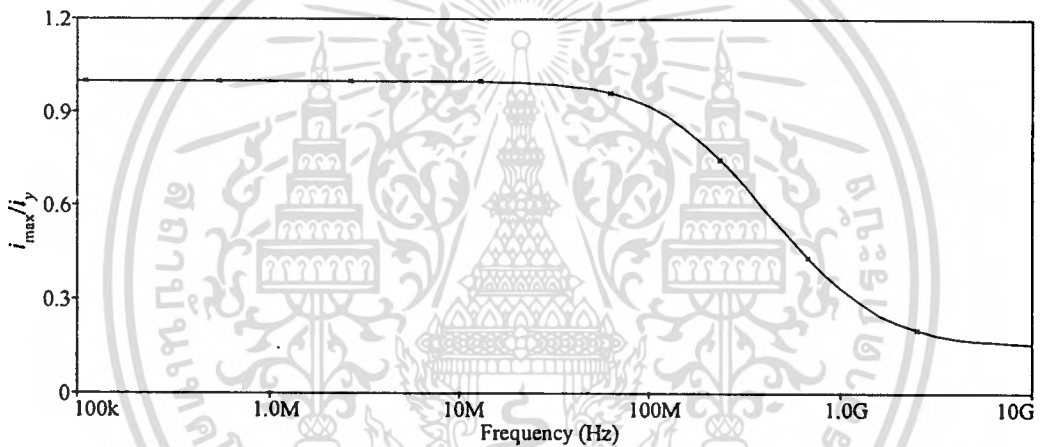
ในสถานะขอบของการนำกระแสในช่วงนำกระแสเต็มตัว ซึ่งจะเป็นการลดเวลาหน่วงของกระแสเอาต์พุต ในรูปที่ 4.28(ก) และ 4.28(ข) เป็นผลการทดสอบช่วงปฏิบัติงานของวงจรหาค่าสูงสุดจากการป้อนกระแสอินพุตที่โนด x และโนด y ตามลำดับ โดยป้อนกระแสอินพุต i_x และ i_y เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก 0A ถึง 450 μ A พบว่าจากการป้อนกระแสอินพุตทั้งสองกรณี วงจรหาค่าสูงสุดมีช่วงปฏิบัติงานของกระแสอินพุตในช่วงประมาณ 0A ถึง 330 μ A

ในรูปที่ 4.29(ก) และ 4.29(ข) แสดงผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุดจากการป้อนกระแสอินพุตที่โนด x และโนด y ตามลำดับ โดยป้อนกระแสอินพุต i_x และ i_y เป็นสัญญาณไฟสลับขนาด 2 μ A โดยแปรค่าความถี่จาก 100 kHz ถึง 10 GHz พบว่าจากการป้อนกระแสอินพุตทั้งสองกรณี วงจรหาค่าสูงสุดมีผลตอบสนองทางความถี่ประมาณ 276.853 MHz และเมื่อเปรียบเทียบกับผลการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุด โดยแทนค่าพารามิเตอร์ต่าง ๆ ลงในสมการที่ (4.54) และ (4.62) ให้ผลใกล้เคียงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) เมื่อป้อนกระแสอินพุตที่โนด x



(ข) เมื่อป้อนกระแสอินพุตที่โนด y

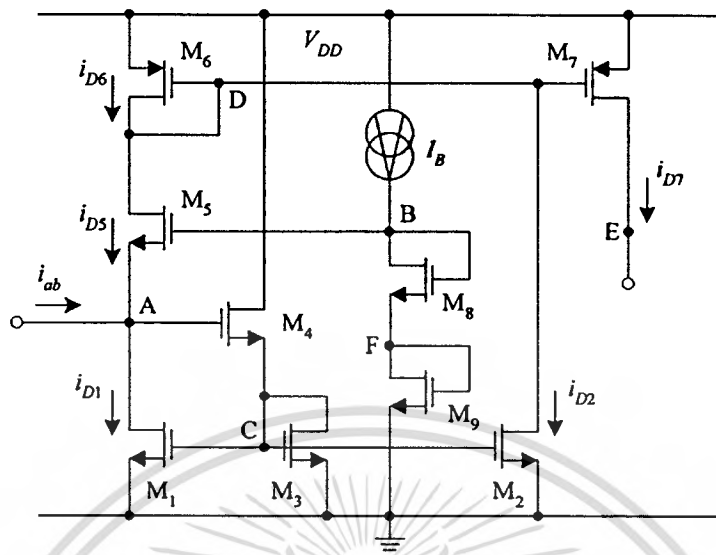
รูปที่ 4.29 ผลตอบสนองทางความถี่ของวงจรหาค่าสูงสุด

4.5 วงจรฟังก์ชันสัมบูรณ์

4.5.1 การทำงานของวงจรฟังก์ชันสัมบูรณ์

วงจรฟังก์ชันสัมบูรณ์ [36] ดังรูปที่ 4.30 ถ้ากำหนดให้มอสเฟตชนิดเดียวกันมีความสมพจน์กันทุกประการ การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อกระแสคงที่ I_b ไหลผ่านมอสเฟต M_1 - M_2 , จะเกิดแรงดันไบแอสที่โนด B หรือแรงดัน v_b ซึ่งมีค่าประมาณ $3V_{TN}$ ในกรณีที่กระแสอินพุต i_{in} มีค่าเท่ากับศูนย์ ($i_{in} = 0$) ค่าแรงดัน v_b จะทำให้มอสเฟต M_1 - M_2 ถูกไบแอสที่ขอบของนำกระแสในช่วงนำกระแสเต็มตัว โดยการไบแอสมอสเฟตที่จุดนี้จะเป็นการเพิ่มความเร็วของวงจรให้สูงขึ้นโดยลดผลของช่วงเวลาหน่วง ทำให้เกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง และวงจรสามารถทำงานได้ที่ความถี่สูง (ภาคผนวก ก4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30 วงจรฟังก์ชันสมบูรณ์

ถ้ากระแสอินพุต i_{ab} มีค่าน้อยกว่าศูนย์ ($i_{ab} < 0$) หรือกระแส i_{ab} มีค่าเป็นลบ กระแส i_{ab} จะไหลผ่านมอสเฟต M_5 มีผลทำให้แรงดันที่เกตกับซอร์สของมอสเฟต M_5 หรือ v_{GS5} มีค่าเพิ่มมากขึ้น เนื่องจากแรงดันไบแอส v_B เป็นค่าคงที่ ปริมาณแรงดัน v_{GS5} ที่เพิ่มขึ้นนี้จะเท่ากับปริมาณของแรงดันที่โหนด A หรือ v_A ที่ลดลง เมื่อค่าแรงดัน v_A ลดลง จะทำให้มอสเฟต M_1 - M_4 อยู่ในสภาวะไม่นำกระแส (Off) ดังนั้นกระแสเดรน i_{D1} และกระแสเดรน i_{D5} จะมีค่าดังนี้

$$i_{D5} = -i_{ab} \quad \text{และ} \quad i_{D1} = 0 \quad \text{เมื่อ} \quad i_{ab} < 0 \quad (4.65)$$

ถ้ากระแส i_{ab} มีค่ามากกว่าศูนย์ ($i_{ab} > 0$) หรือกระแส i_{ab} มีค่าเป็นบวก กระแส i_{ab} จะไหลผ่านมอสเฟต M_1 ดังนั้นแรงดัน v_A จะมีค่าเพิ่มขึ้น ในขณะที่แรงดัน v_{GS5} มีค่าลดลง ดังนั้น

$$i_{D5} = 0 \quad \text{และ} \quad i_{D1} = i_{ab} \quad \text{เมื่อ} \quad i_{ab} > 0 \quad (4.66)$$

จากการทำงานของวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง M_1 - M_4 และ M_6 - M_7 จะสำเนากระแส i_{D1} และ i_{D6} ไปยังโหนด D และโหนด E ตามลำดับ จะได้ว่า

ที่โหนด D
$$i_{D6} = i_{D5} + i_{D2} = i_{D5} + i_{D1} \quad (4.67)$$

ที่โหนด E
$$i_{D7} = i_{D6} \quad (4.68)$$

เมื่อแทนค่าจากสมการที่ (4.67) ลงใน (4.68) จะได้ว่า

$$i_{D7} = i_{D5} + i_{D1} \quad (4.69)$$

เมื่อแทนค่าจากสมการที่ (4.65) และ (4.66) ลงใน (4.69) จะได้ว่า

$$i_{D7} = |i_{ab}| \quad (4.70)$$

จากสมการที่ (4.70) จะได้ว่าวงจรที่นำเสนอในรูปที่ 4.30 จะเป็นวงจรฟังก์ชันสัมบูรณ์

4.5.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์

การทำงานของวงจรฟังก์ชันสัมบูรณ์ในหัวข้อที่ 4.5.1 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสในตัวสำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพ้องกันทุกประการและค่าทรานส์คอนดักแตนซ์ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสัมบูรณ์ซึ่งได้แก่ ช่วงปฏิบัติงานของกระแสอินพุต ค่าความต้านทานอินพุตและเอาต์พุต ค่าความผิดพลาด และผลตอบสนองทางความถี่ของวงจร (ภาคผนวก จ)

ก. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

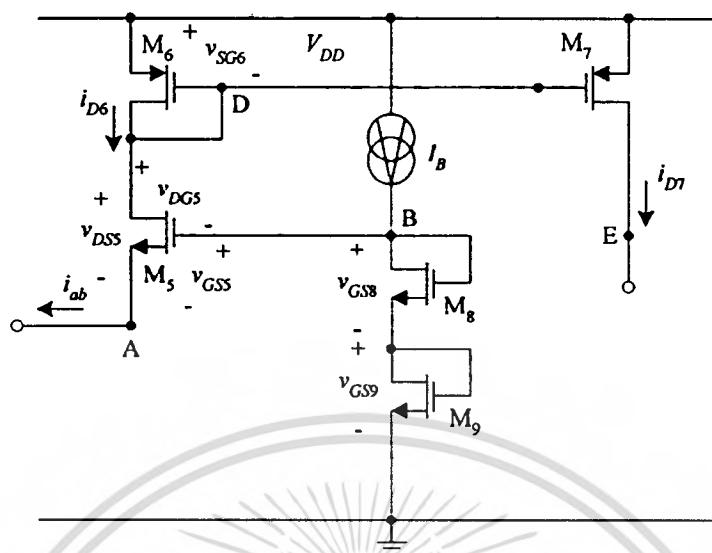
จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 มอสเฟต M_1 และ M_5 จะทำงานสลับกัน โดยมอสเฟต M_1 จะทำงานในช่วงกระแสอินพุต i_{ab} มีค่าเป็นบวก และมอสเฟต M_5 จะทำงานในช่วงกระแสอินพุต i_{ab} มีค่าเป็นลบ ในการวิเคราะห์ห้วงจรดังรูปที่ 4.31 และ 4.32 (ภาคผนวก จ1) พบว่าช่วงปฏิบัติงานของกระแสอินพุต i_{ab} ของวงจรจะขึ้นอยู่กับค่าแรงดันแหล่งจ่าย V_{DD} และค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_1 , M_4 และ M_6 เป็นหลัก ซึ่งมีค่าดังนี้

$$-K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \leq i_{ab} \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (4.71)$$

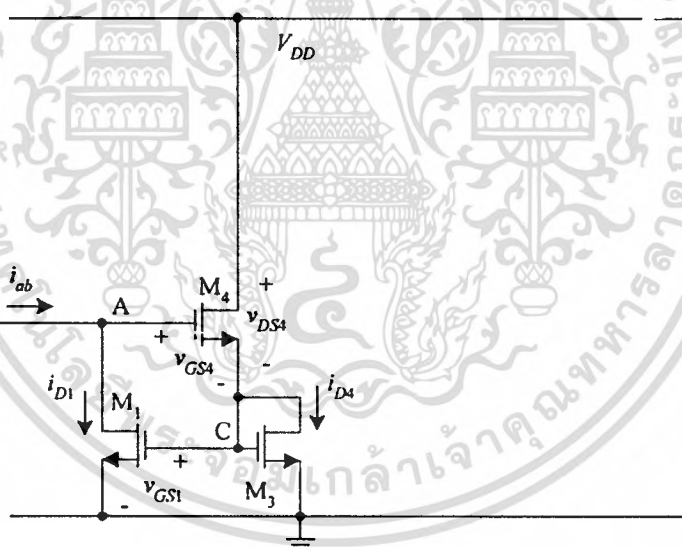
จากสมการที่ (4.71) ถ้ากำหนดให้ค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟตเป็นค่าคงที่ เมื่อต้องการออกแบบให้ช่วงปฏิบัติงานของกระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์มีช่วงกว้าง สามารถทำได้

โดยการออกแบบให้แรงดันแหล่งจ่าย V_{DD} มีค่าสูง กระแสแหล่งจ่ายไบแอส I_B ให้มีค่าต่ำ และควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



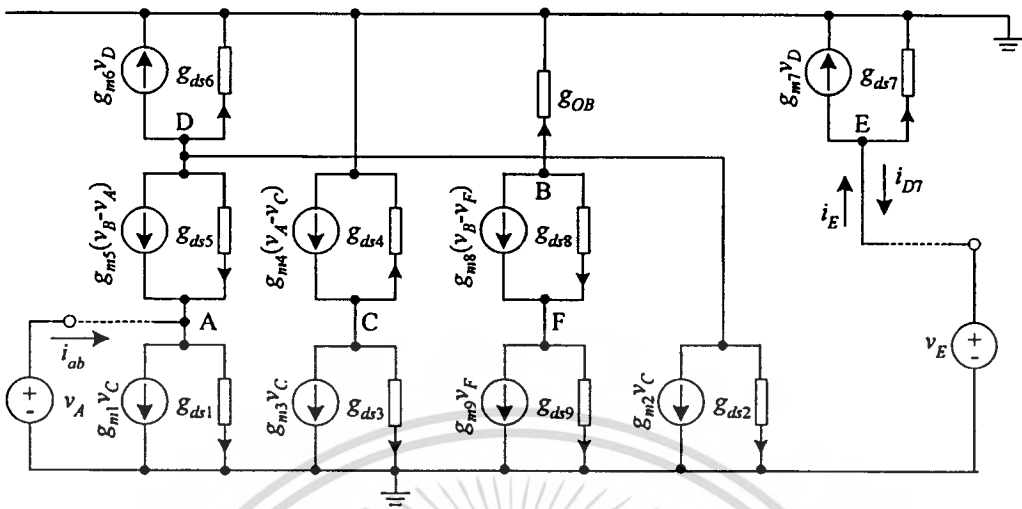
รูปที่ 4.31 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_{ab} < 0$



รูปที่ 4.32 การทำงานของวงจรฟังก์ชันสัมบูรณ์ในกรณีค่ากระแส $i_{ab} > 0$

ออกแบบให้ค่าพารามิเตอร์ K_1 , K_4 , K_8 , K_9 , และ K_7 มีค่าสูงโดยการเพิ่มค่าอัตราส่วน $(W/L)_1$, $(W/L)_4$, $(W/L)_8$, $(W/L)_9$, และ $(W/L)_7$ ถ้ากำหนดให้ $V_{DD} = 3\text{V}$ และ $I_B = 10\mu\text{A}$ จากผลที่ได้จากการประมาณค่าพารามิเตอร์ของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือ (ภาคผนวก ก2) ถ้า $V_{TN1} = 0.5279\text{V}$, $V_{TP6} = -0.5013\text{V}$, $V_{TN5} = V_{TN8} = V_{TN9} = 0.5215\text{V}$, $K_1 = K_4 = 181.7341\ \mu\text{A}/\text{V}^2$, $K_6 = 62.2672\ \mu\text{A}/\text{V}^2$, และ $K_8 = K_9 = 118.1751\ \mu\text{A}/\text{V}^2$ ดังนั้นช่วงปฏิบัติการของค่ากระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์จะมีค่าประมาณ $-121.296\mu\text{A}$ ถึง $277.653\mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 วงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุตของวงจร ฟังก์ชันสัมบูรณ์

ข. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากการวิเคราะห์วงจรสมมูลในรูปที่ 4.33 (ภาคผนวก จ2) ค่าความต้านทานอินพุต r_{in} และค่าความต้านทานเอาต์พุต r_{out} ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 จะมีค่าดังนี้

$$r_{in} \equiv \begin{cases} \frac{1}{g_{m6}} & ; i_{ab} < 0 \\ \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}} & ; i_{ab} > 0 \end{cases} \quad (4.72)$$

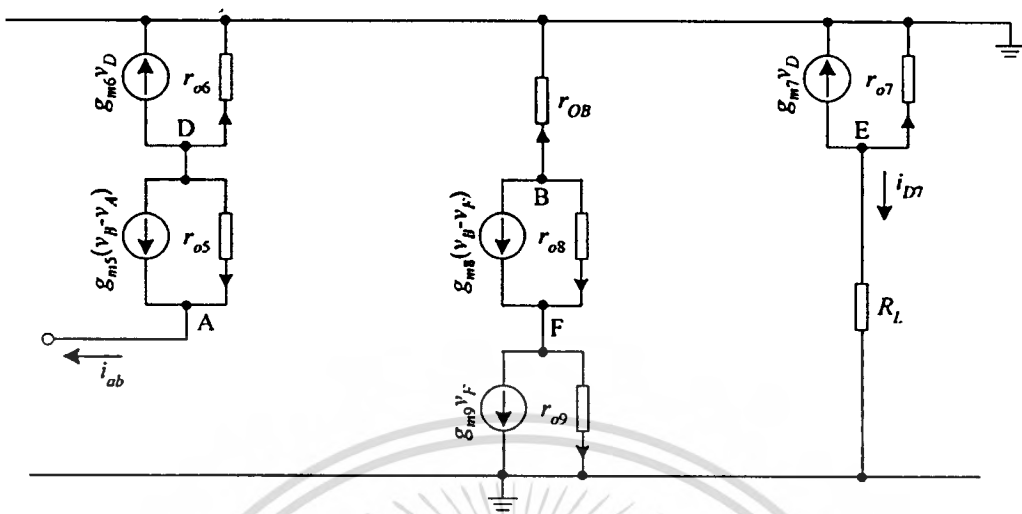
$$r_{out} = \frac{1}{g_{ds7}} = r_{o7} \quad (4.73)$$

ค. การวิเคราะห์ค่าความผิดพลาดของวงจร

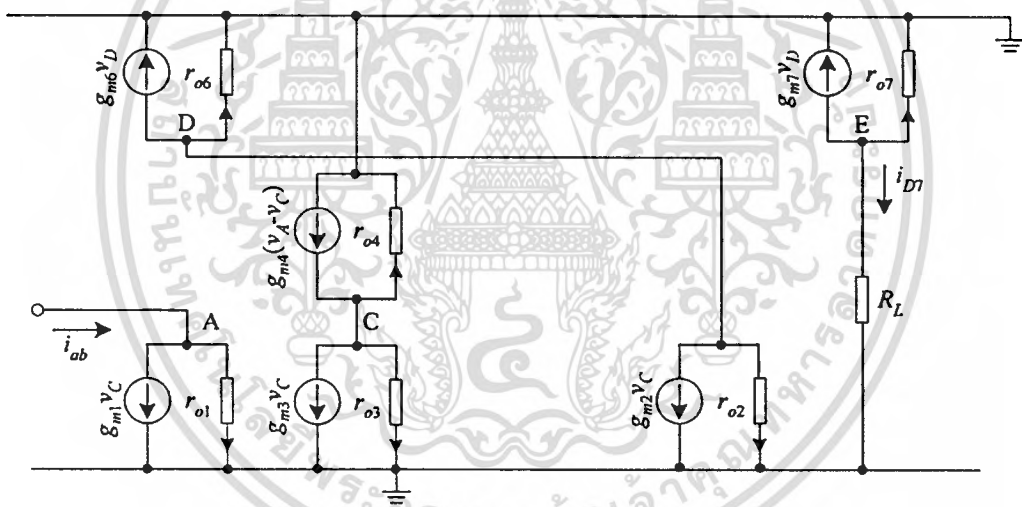
ในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์ (ε_{ab}) จะพิจารณาจากความไม่สมพียงกันของมอสเฟตเป็นหลัก จากการวิเคราะห์วงจรสมมูลในรูปที่ 4.34 และ 4.35 (ภาคผนวก จ3) จะได้ว่า

$$\varepsilon_{ab} \equiv \begin{cases} \frac{\Delta g_{m67} + \frac{R_L}{r_{o7}}}{g_{m6}} & ; i_{ab} < 0 \\ \frac{\Delta g_{m67}g_{m1} + \Delta g_{m12}g_{m6} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}}}{g_{m6}g_{m1}} & ; i_{ab} > 0 \end{cases} \quad (4.74)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.34 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_{ab} < 0$



รูปที่ 4.35 วงจรสมมูลในการวิเคราะห์ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณี $i_{ab} > 0$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_1 และ M_2
 Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_6 และ M_7

จากสมการที่ (4.74) พบว่า ถ้าค่ากระแสอินพุต $i_{ab} < 0$ ค่าความผิดพลาด ε_{ab} จะขึ้นอยู่กับความไม่สมพ้องกันของมอสเฟต M_6 และ M_7 เป็นหลัก ในกรณีที่ค่ากระแส $i_{ab} > 0$ ค่าความผิดพลาดวงจร ε_{ab} จะขึ้นอยู่กับความไม่สมพ้องกันของมอสเฟต M_1 , M_2 , M_6 และ M_7 เป็นหลัก จากผลที่ได้จากการเขียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์ในรูปที่ 4.30 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m6} = 2.969 \times 10^{-4}$ A/V, $g_{m7} = 2.973 \times 10^{-4}$ A/V, $g_{m1} = 2.561 \times 10^{-4}$ A/V, $g_{m2} = 2.559 \times 10^{-4}$ A/V,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$r_{o1} = 3.44 \text{ M}\Omega$, $r_{o7} = 2.98 \text{ M}\Omega$, และ $R_L = 1 \text{ k}\Omega$ ถ้ากระแส $i_{db} < 0$ จะได้ค่าความผิดพลาด ϵ_{db} มีค่าประมาณ -9.766×10^{-4} แต่ถ้ากระแส $i_{db} > 0$ จะได้ค่าความผิดพลาด ϵ_{db} มีค่าประมาณ 1.073×10^{-3}

ง. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 เพื่อวิเคราะห์หาค่าอัตราขยายกระแสและค่าโพลซึ่งเป็นขีดจำกัดผลตอบสนองทางความถี่ของวงจร จะแยกวิเคราะห์เป็น 2 กรณีดังนี้

ง.1 กรณีที่กระแสอินพุต i_{db} มีค่าเป็นลบ

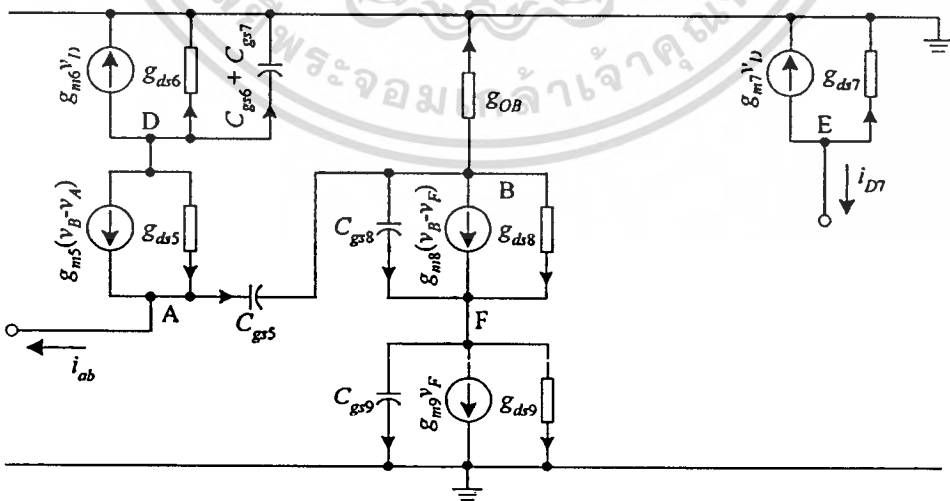
จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่กระแสอินพุต $i_{db} < 0$ ดังรูปที่ 4.36 (ภาคผนวก จ4.1) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D7} และ i_{db} ของวงจรดังนี้

$$\frac{i_{D7}}{i_{db}} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}S + 1)(T_{2abN}S + 1)} \tag{4.75}$$

เมื่อ

$$T_{1abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \tag{4.76}$$

$$T_{2abN} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \tag{4.77}$$



รูปที่ 4.36 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์
ในกรณี $i_{db} < 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลซึ่งเป็นขีดจำกัดในการใช้งานของวงจรฟังก์ชันสัมบูรณ์ในกรณีกระแสอินพุต $i_{ab} < 0$ จะมีค่าประมาณเท่ากับ

$$\beta_{abN} = \frac{i_{D7}}{i_{ab}} \Big|_{s=0} = \frac{g_{m7}}{g_{m6}} \quad (4.78)$$

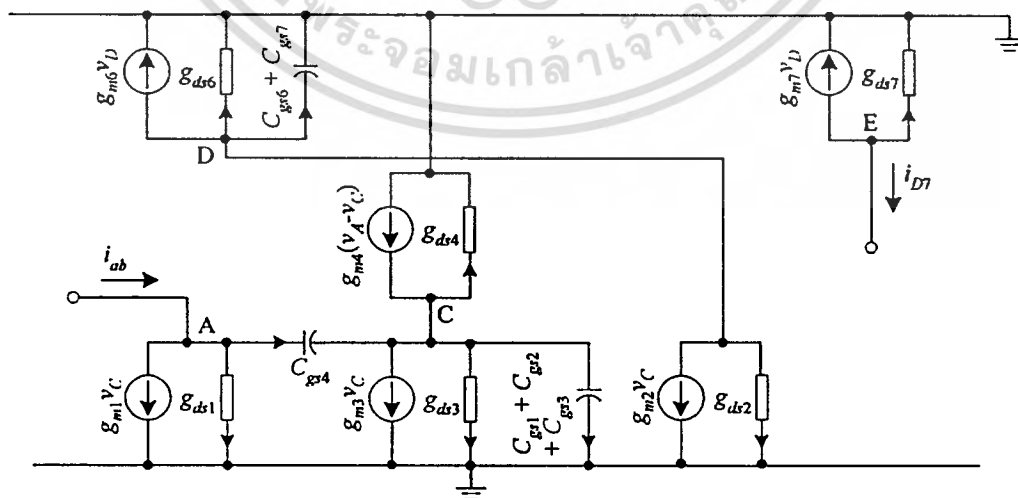
$$fp_{1abN} \cong \frac{g_{m5}g_{m6}}{2\pi(g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5})} \quad (4.79)$$

$$fp_{2abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{2\pi C_{gs5}(C_{gs6} + C_{gs7})} \quad (4.80)$$

จากผลที่ได้จากการเขียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m5} = 5.710 \times 10^{-5}$ A/V, $g_{m6} = 8.2714 \times 10^{-5}$ A/V, $C_{gs5} = 9.36 \times 10^{-15}$ F, และ $C_{gs6} = C_{gs7} = 2.9632 \times 10^{-14}$ F พบว่าความถี่ปฏิบัติการของวงจรฟังก์ชันสัมบูรณ์จากสมการที่ (4.79) และ (4.80) เท่ากับ 180.864 MHz และ 1.194 GHz ตามลำดับ

ง.2 กรณีที่กระแสอินพุต i_{ab} มีค่าเป็นบวก

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_{ab} > 0$ ดังรูปที่ 4.37 (ภาคผนวก ง.4.2) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{D7} และ i_{ab} ของวงจรดังนี้



รูปที่ 4.37 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์

ในกรณี $i_{ab} > 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{D7}}{i_{ab}} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{3abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)} \quad (4.81)$$

เมื่อ

$$T_{1abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (4.82)$$

$$T_{2abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (4.83)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (4.84)$$

สำหรับอัตราขยายกระแสสำหรับสัญญาณไฟตรงและค่าตำแหน่งของโพลและซีโร ซึ่งเป็นขีดจำกัดในการใช้งานของวงจรฟังก์ชันสัมบูรณ์ในกรณีกระแส $i_{ub} > 0$ จะมีค่าดังนี้

$$\beta_{abP} = \frac{i_{D7}}{i_{ab}} \Big|_{s=0} = \frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \quad (4.85)$$

$$fP_{1abP} = \frac{g_{m6}}{2\pi(C_{gs6} + C_{gs7})} \quad (4.86)$$

$$fP_{2abP} = \frac{g_{m1}g_{m4}}{2\pi C_{gs4}(g_{m1} + g_{m3})} \quad (4.87)$$

$$fZ_{3abP} \cong \frac{g_{m4}}{2\pi(C_{gs4})} \quad (4.88)$$

จากผลที่ได้จากการเขียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m1} = 6.9932 \times 10^{-5}$ A/V, $g_{m3} = g_{m4} = 6.80344 \times 10^{-5}$ A/V, $g_{m6} = 8.2714 \times 10^{-5}$ A/V, $C_{gs4} = 1.404 \times 10^{-14}$ F, และ $C_{gs6} = C_{gs7} = 2.9632 \times 10^{-14}$ F พบว่าความถี่ปฏิบัติการของวงจรฟังก์ชันสัมบูรณ์จากสมการที่ (4.86) ถึง (4.88) เท่ากับ 222.244 MHz, 391.116 MHz, และ 771.617 MHz ตามลำดับ

4.5.3 ผลการเขียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์ด้วยโปรแกรม PSPICE

เพื่อทดสอบสมรรถนะของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 จะทำการทดสอบโดย

เขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ด้วยการใส่แบบจำลองมอสเฟต BSIM ที่มี

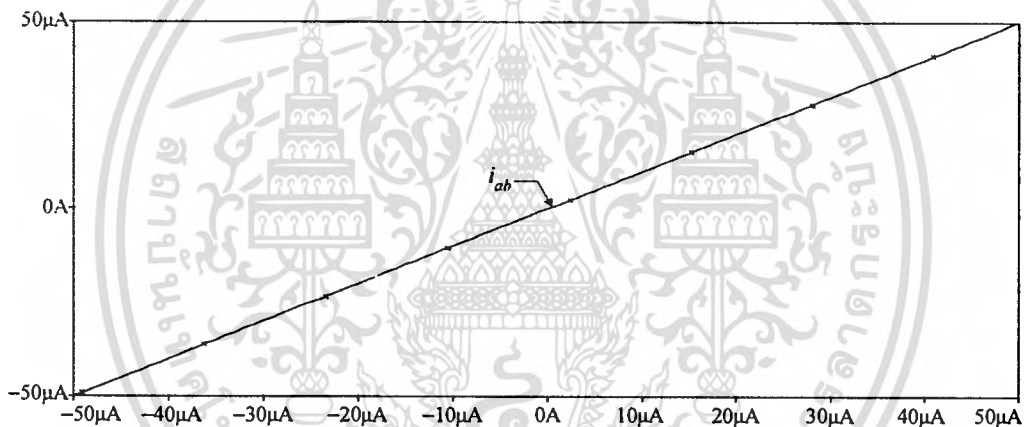
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคโนโลยีแบบ AMIS 0.5 μm ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 4.3 พร้อมทั้งได้มีการกำหนดค่าแรงดันแหล่งจ่าย V_{DD} และค่ากระแสแหล่งจ่ายไบแอส I_b มีค่าเท่ากับ 3V และ 10 μA ตามลำดับ

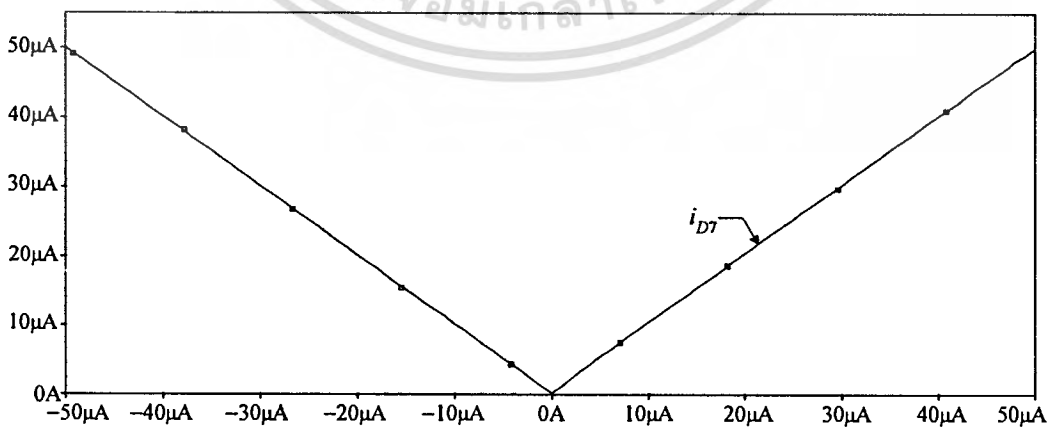
ในรูปที่ 4.38 แสดงผลการเลียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์ จากการป้อนกระแสอินพุต i_{ab} เป็นสัญญาณไฟตรงที่มีการแปรค่าในช่วง $-50\mu\text{A}$ ถึง $50\mu\text{A}$ พบว่ากระแสเอาต์พุต

ตารางที่ 4.3 อัตราส่วน W/L ของมอสเฟตในวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30

มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
M_1, M_2, M_3, M_4	6/1
M_5, M_6, M_7, M_8, M_9	4/1



(ก) ค่ากระแสอินพุต i_{ab}

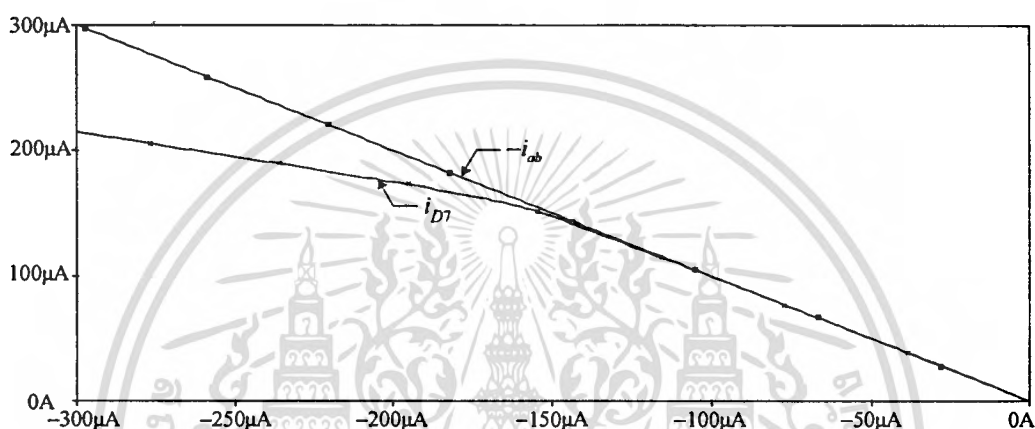


(ข) ค่ากระแสเอาต์พุต i_{D7}

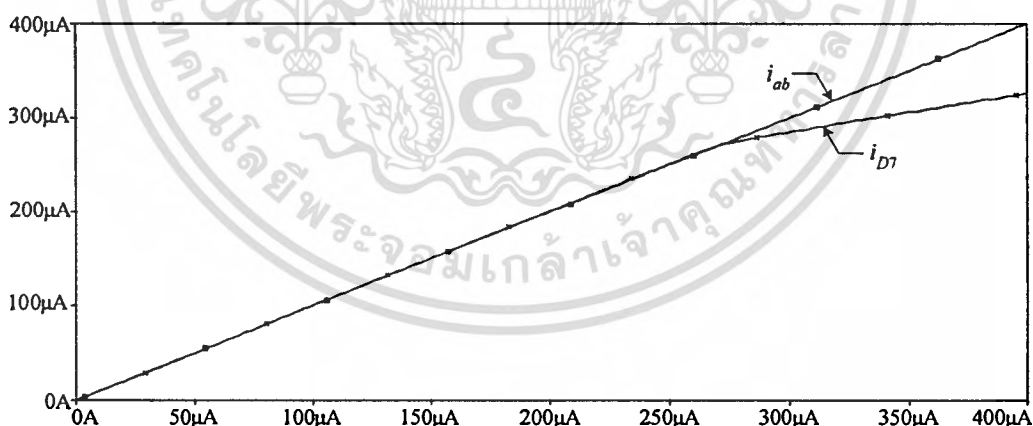
รูปที่ 4.38 ผลการเลียนแบบการทำงานของวงจรฟังก์ชันสัมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงสัญญาณผ่านศูนย์มีความคมหรือมีความเพี้ยนน้อยมาก ในรูปที่ 4.39(ก) และ 4.39(ข) เป็นผลการทดสอบช่วงปฏิบัติงานของวงจรเมื่อป้อนกระแส i_{ab} เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก $-300\mu\text{A}$ ถึง 0A และจาก 0A ถึง $400\mu\text{A}$ ตามลำดับ พบว่ากระแสปฏิบัติงานของวงจรฟังก์ชันสัมพันธ์มีความเป็นเชิงเส้นในช่วง $-116.23\mu\text{A}$ ถึง 0A และ 0A ถึง $271.36\mu\text{A}$ เมื่อค่ากระแส $i_{ab} < 0$ และ $i_{ab} > 0$ ตามลำดับ เมื่อเปรียบเทียบกับผลการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุตของวงจร โดยแทนค่าในสมการที่ (4.71) พบว่า ช่วงปฏิบัติงานของกระแสอินพุตมีค่าใกล้เคียงกัน



(ก) เมื่อค่ากระแส $i_{ab} < 0$

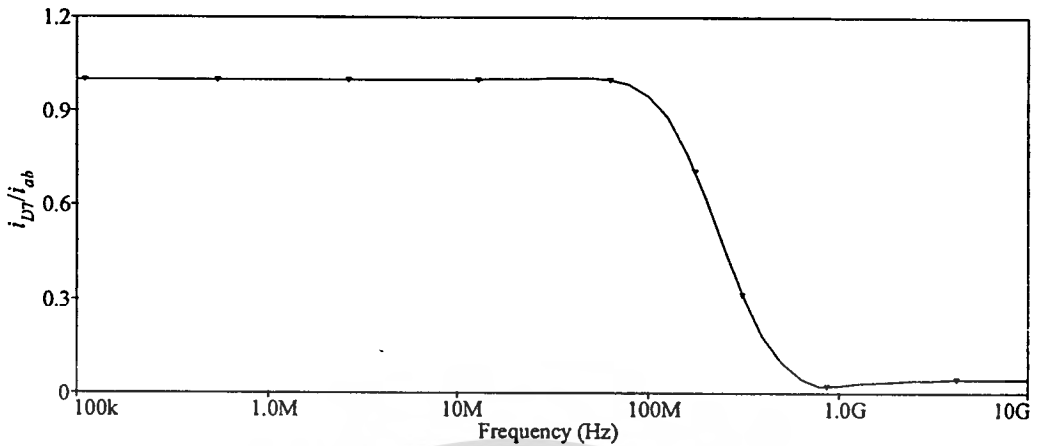


(ข) เมื่อค่ากระแส $i_{ab} > 0$

รูปที่ 4.39 ช่วงปฏิบัติงานของกระแสอินพุตของวงจรฟังก์ชันสัมพันธ์

ในรูปที่ 4.40 แสดงผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมพันธ์ โดยป้อนกระแสอินพุต i_{ab} เป็นสัญญาณไฟสลับขนาด $2\mu\text{A}$ โดยแปรค่าความถี่จาก 100 kHz ถึง 10 GHz พบว่าวงจรฟังก์ชันสัมพันธ์มีผลตอบสนองทางความถี่ประมาณ 176.363 MHz และเมื่อเปรียบเทียบกับผลการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



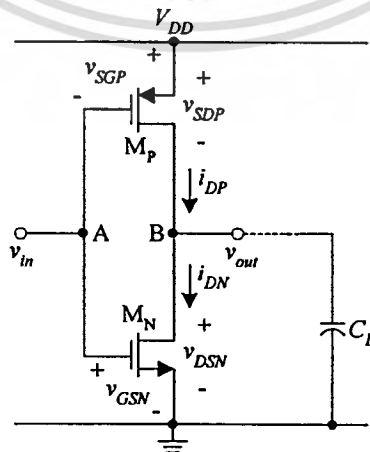
รูปที่ 4.40 ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสลับรูป

วิเคราะห์ผลตอบสนองทางความถี่ของวงจรโดยแทนค่าในสมการที่ (4.79) และ (4.86) ได้ผลที่ใกล้เคียงกับผลการวิเคราะห์โดยแทนค่าในสมการที่ (4.79) มากกว่า ดังนั้นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรฟังก์ชันสลับรูปจะขึ้นอยู่กับการทำงานของมอสเฟต M_S - M_N เป็นหลัก

4.6 วงจรเปรียบเทียบกระแส

4.6.1 วงจรอินเวอร์เตอร์

ในรูปที่ 4.41 แสดงโครงสร้างของวงจรอินเวอร์เตอร์ (Inverter) [41] ซึ่งประกอบด้วยเอ็นมอส M_N และพีมอส M_P โดยขาเกตและขาครนของมอสเฟตทั้งสองต่อร่วมกันที่โนด A และโนด B ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้



รูปที่ 4.41 วงจรอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่โหนด A ซึ่งเป็นอินพุตโหนด จะได้แรงดันอินพุต v_{in} มีค่าดังนี้

$$v_{in} = v_{GSN} = V_{DD} - v_{SGP} \quad (4.89)$$

ที่โหนด B ซึ่งเป็นเอาต์พุตโหนด จะได้แรงดันเอาต์พุต v_{out} มีค่าดังนี้

$$v_{out} = v_{DSN} = V_{DD} - v_{SDP} \quad (4.90)$$

ถ้าป้อนค่าแรงดันอินพุต v_{in} เท่ากับศูนย์ ($v_{in} = 0V$) จากสมการที่ (4.89) จะได้ว่า $v_{GSN} = 0V$ และ $v_{SGP} = V_{DD}$ มอสเฟต M_N จะอยู่ในสภาวะไม่นำกระแส (Cutoff) ซึ่งมีค่ากระแสเดรน $i_{DN(OFF)} = 0A$ ส่วนมอสเฟต M_P จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Linear Region) เนื่องจากค่าแรงดัน $v_{SGP} \geq -V_{TP}$ และ $v_{SDP} \leq V_{DD} + V_{TP}$ ซึ่งมีค่ากระแสเดรน $i_{DP(Linear)}$ ดังนี้

$$i_{DP(Linear)} = \beta_P \left((v_{SGP} + v_{TP}) v_{SDP} - \frac{v_{SDP}^2}{2} \right) \quad (4.91)$$

ถ้าค่ากระแส $i_{DN} = i_{DP}$ จะได้ว่า

$$i_{DP(Linear)} = \beta_P \left((v_{SGP} + V_{TP}) v_{SDP} - \frac{v_{SDP}^2}{2} \right) = 0 \quad (4.92)$$

จากสมการที่ (4.92) ถ้ากำหนดให้ $v_{SGP} = -V_{TP}$ จะได้ค่าแรงดัน $v_{SDP} = 0V$ ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = V_{DD} = V_{OH} \quad (4.93)$$

เมื่อ V_{OH} คือ เอาต์พุตโหนดมีสภาวะลอจิกเป็น 1 (Output High State)

ในกรณีที่ป้อนค่าแรงดันอินพุต v_{in} เท่ากับ V_{DD} จากสมการที่ (4.89) จะได้ว่า $v_{SGP} = 0V$ และ $v_{GSN} = V_{DD}$ มอสเฟต M_P จะอยู่ในสภาวะไม่นำกระแส ซึ่งมีค่ากระแสเดรน $i_{DP(OFF)} = 0A$ ส่วนมอสเฟต M_N จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น เนื่องจากค่าแรงดัน $v_{GSN} \geq V_{TN}$ และ $v_{DSN} \leq v_{GSN} - V_{TN}$ โดยมีค่ากระแสเดรน $i_{DN(Linear)}$ ดังนี้

$$i_{DN(\text{Linear})} = \beta_N \left((v_{GSN} - V_{TN}) v_{DSN} - \frac{v_{DSN}^2}{2} \right) \quad (4.94)$$

ถ้าค่ากระแส $i_{DN} = i_{DP}$ จะได้ว่า

$$i_{DN(\text{Linear})} = \beta_N \left((v_{GSN} - V_{TN}) v_{DSN} - \frac{v_{DSN}^2}{2} \right) = 0 \quad (4.95)$$

จากสมการที่ (4.95) ถ้ากำหนดให้ $v_{GSN} = V_{TN}$ จะได้ค่าแรงดัน $v_{DSN} = 0V$ ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = 0 = V_{OL} \quad (4.96)$$

เมื่อ V_{OL} คือ เอาต์พุต โหนดมีสถานะลอจิกเป็น 0 (Output Low State)

จากสมการที่ (4.93) และ (4.96) สามารถเขียนความสัมพันธ์ระหว่างค่าแรงดัน v_{in} และ v_{out} คือ

$$v_{out} = \begin{cases} V_{OH} & ; v_{in} = 0 \\ V_{OL} & ; v_{in} = V_{DD} \end{cases} \quad (4.97)$$

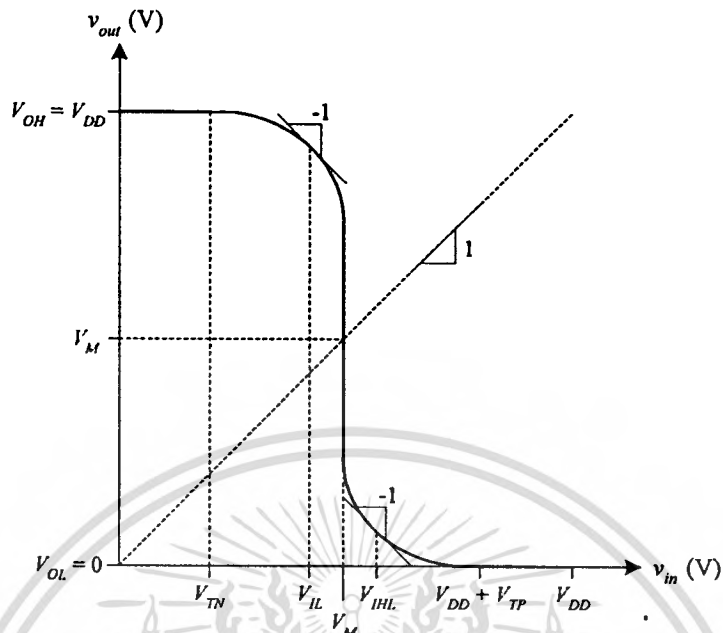
จากการป้อนค่าแรงดันอินพุต v_{in} ที่ โหนด A ของวงจรรินเวอร์เตอร์ สามารถแสดงลักษณะถ่ายโอนสัญญาณแรงดัน (Voltage Transfer Characteristic) ได้ดังรูปที่ 4.42 ที่มีการทำงานของมอสเฟต M_N และ M_P ในสถานะต่าง ๆ สรุปได้ดังตารางที่ 4.4 สำหรับค่าแรงดันอินพุตที่จุดต่าง ๆ ซึ่งมีความสำคัญต่อการเปลี่ยนสถานะลอจิกของเอาต์พุต โหนด สามารถวิเคราะห์ได้ดังนี้

ค่าแรงดัน V_{IL} (Input Low Voltage) เป็นค่าแรงดันอินพุตที่ทำให้มอสเฟต M_N ทำงานอยู่ในช่วงนำกระแสอิ่มตัวและมอสเฟต M_P ทำงานอยู่ในช่วงนำกระแสไม่อิ่มตัวหรือเชิงเส้น โดยหาค่าได้จากผลเฉลยของสมการที่ (4.98) และ (4.99) ดังนี้

$$V_{IL} = \frac{2v_{out(IL)} - V_{DD} + V_{TP} + \frac{\beta_N}{\beta_P} V_{TN}}{1 + \frac{\beta_N}{\beta_P}} \quad (4.98)$$

$$\frac{\beta_N}{2} (V_{IL} - V_{TN})^2 = \beta_P \left((V_{DD} - V_{IL} + V_{TP})(V_{DD} - v_{out(IL)}) - \frac{(V_{DD} - v_{out(IL)})^2}{2} \right) \quad (4.99)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.42 ลักษณะถ่ายโอนสัญญาณแรงดันของวงจรรินเวอร์เตอร์

ตารางที่ 4.4 สภาวะการทำงานของมอสเฟตในวงจรรินเวอร์เตอร์ดังรูปที่ 4.41

ค่าแรงดันที่จุดสำคัญ	มอสเฟต M_N	มอสเฟต M_P
V_{OH}	ไม่นำกระแส	เชิงเส้น
V_{IL}	นำกระแสอิ่มตัว	เชิงเส้น
V_M	นำกระแสอิ่มตัว	นำกระแสอิ่มตัว
V_{IH}	เชิงเส้น	นำกระแสอิ่มตัว
V_{OL}	เชิงเส้น	ไม่นำกระแส

ค่าแรงดัน V_M (Midpoint Voltage) เป็นค่าแรงดันอินพุตที่ทำให้มอสเฟต M_N และ M_P ทำงานอยู่ในช่วงนำกระแสอิ่มตัว และ $v_{in} = v_{out} = V_M$ โดยหาค่าได้จาก

$$V_M = \frac{V_{DD} + V_{TP} + V_{TN} \sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (4.100)$$

ค่าแรงดัน V_{IH} (Input High Voltage) เป็นค่าแรงดันอินพุตที่ทำให้มอสเฟต M_N ทำงานอยู่ในช่วงนำกระแสไม่อิ่มตัวหรือเชิงเส้น และมอสเฟต M_P ทำงานอยู่ในช่วงนำกระแสอิ่มตัว โดยหาค่าได้จากผลเฉลยของสมการที่ (4.101) และ (4.102) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{IH} = \frac{V_{DD} + V_{TP} + \frac{\beta_N}{\beta_P} (V_{TN} + 2v_{out(IH)})}{1 + \frac{\beta_N}{\beta_P}} \quad (4.101)$$

$$\beta_N \left((V_{IH} - V_{TN}) v_{out(IH)} - \frac{v_{out(IH)}^2}{2} \right) = \frac{\beta_P}{2} (V_{DD} - V_{IH} + V_{TP})^2 \quad (4.102)$$

ตัวอย่างเช่น ถ้ากำหนดให้ $V_{DD} = 3V$, $\beta_N = 141 \mu A/V^2$, $\beta_P = 142 \mu A/V^2$, $V_{TN} = 0.609V$, และ $V_{TP} = -0.6101V$ จะได้ $V_{IL} = 1.276V$, $V_M = 1.501V$, และ $V_{IH} = 1.72V$

การกำหนดค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_N และ M_P ให้มีค่าเท่ากัน ($\beta_N = \beta_P$) เป็นวิธีการหนึ่งที่ทำให้วงจรอินเวอร์เตอร์ดังรูปที่ 4.41 มีความสมมาตร โดยมีค่าแรงดัน $V_M = V_{DD}/2$ จากสมการที่ (ก1.5) และ (ก1.6) จะได้ว่า

$$k'_N \left(\frac{W}{L} \right)_N = k'_P \left(\frac{W}{L} \right)_P \quad (4.103)$$

ถ้าออกแบบวงจรอินเวอร์เตอร์โดยใช้มอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS $0.5\mu m$ ซึ่งมี $k'_N = 141 \mu A/V^2$ และ $k'_P = 35.5 \mu A/V^2$ เมื่อแทนค่าทั้งสองนี้ลงในสมการที่ (4.103) จะได้

$$\left(\frac{W}{L} \right)_P = \frac{k'_N}{k'_P} \left(\frac{W}{L} \right)_N = \frac{141}{35.5} \left(\frac{W}{L} \right)_N$$

หรือ

$$\left(\frac{W}{L} \right)_P \approx 4 \left(\frac{W}{L} \right)_N \quad (4.104)$$

ค่าเวลาหน่วง (Delay Time) จากการทำงานของวงจรอินเวอร์เตอร์ดังรูปที่ 4.41 จะแยกพิจารณาเป็นค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของเอาต์พุตโนดจาก High เป็น Low (t_{DHL}) และค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของเอาต์พุตโนดจาก Low เป็น High (t_{DLH}) ซึ่งมีค่าดังนี้

$$t_{DHL} = \left(\frac{2V_{TN}}{\beta_N (V_{DD} - V_{TN})^2} + \frac{1}{\beta_N (V_{DD} - V_{TN})} \ln \left(\frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right) \right) C_L \quad (4.105)$$

$$t_{DLH} = \left(\frac{-2V_{TP}}{\beta_P (V_{DD} + V_{TP})^2} + \frac{1}{\beta_P (V_{DD} + V_{TP})} \ln \left(\frac{3V_{DD} - 4V_{TN}}{V_{DD}} \right) \right) C_L \quad (4.106)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

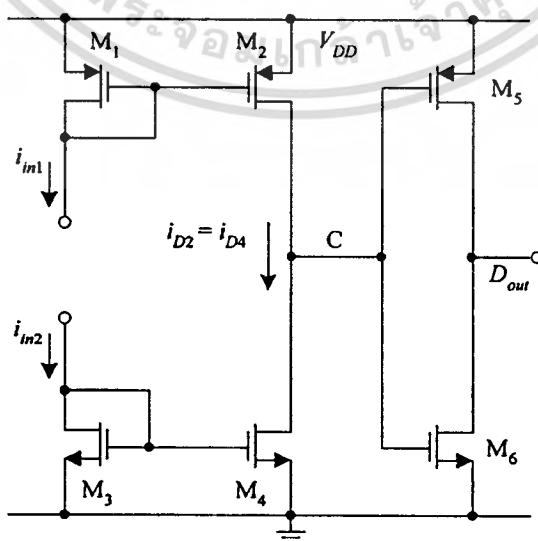
เมื่อ C_L คือ ค่าเก็บประจุที่เอาต์พุต โนด

จากสมการที่ (4.105) และ (4.106) ถ้ากำหนดให้ค่าแรงดันขีดเริ่มเปลี่ยนของเอ็นมอสและพีมอสเป็นค่าคงที่ เมื่อต้องการออกแบบให้ค่าเวลาหน่วงของวงจรถืออินเวอร์เตอร์มีค่าต่ำ สามารถทำได้โดยการออกแบบให้ค่าเก็บประจุ C_L มีค่าต่ำ ค่าแรงดันแหล่งจ่าย V_{DD} ให้มีค่าสูง และควรออกแบบให้ค่าพารามิเตอร์ β_n และ β_p มีค่าสูง โดยการเพิ่มค่าอัตราส่วน $(W/L)_n$ และ $(W/L)_p$ ตัวอย่างเช่น ถ้ากำหนดให้ $V_{TN} = 0.609V$, $V_{TP} = -0.6101V$, $V_{DD} = 3V$, $(W/L)_n = 1\mu\text{m}/1\mu\text{m}$, $(W/L)_p = 4\mu\text{m}/1\mu\text{m}$, $\beta_n = 141 \mu\text{A}/V^2$, $\beta_p = 142 \mu\text{A}/V^2$ และ $C_L = 0.1 \text{ pF}$ จะได้ $t_{DHL} = 0.3833 \text{ ns}$ และ $t_{DLH} = 0.3810 \text{ ns}$ เมื่อเพิ่มค่าอัตราส่วน $(W/L)_n = 2\mu\text{m}/1\mu\text{m}$, $(W/L)_p = 8\mu\text{m}/1\mu\text{m}$ จะได้ $t_{DHL} = 0.1917 \text{ ns}$ และ $t_{DLH} = 0.1905 \text{ ns}$

4.6.2 วงจรเปรียบเทียบกระแส

วงจรเปรียบเทียบกระแสดังรูปที่ 4.43 ประกอบด้วยวงจรถืออินเวอร์เตอร์ที่มีค่าอัตราการขยายกระแสเท่ากับหนึ่ง M_1 - M_2 และ M_3 - M_4 ต่อกับวงจรถืออินเวอร์เตอร์ M_5 - M_6 โดยสถานะลอจิก D_{out} ที่เอาต์พุต โนด จะขึ้นอยู่กับผลการเปรียบเทียบระหว่างค่ากระแส i_{in1} และ i_{in2} การทำงานของวงจรถือสามารถอธิบายได้ดังนี้

วงจรถืออินเวอร์เตอร์ M_1 - M_2 และ M_3 - M_4 จะสำเนาค่ากระแสอินพุต i_{in1} และ i_{in2} ไปยัง โนด C ตามลำดับ ถ้าค่ากระแส $i_{in1} > i_{in2}$ จะได้ค่ากระแสตรรก $i_{D2} = i_{D4} \equiv i_{in1}$ ทำให้แรงดันที่โนด C มีค่าเข้าใกล้ค่าแรงดันแหล่งจ่าย V_{DD} หรืออยู่ในสถานะลอจิก 1 (High) จากการทำงานของวงจรถืออินเวอร์เตอร์ M_5 - M_6 จะได้สถานะลอจิกของดิจิตอลเอาต์พุต D_{out} มีค่าเป็น 0 (Low) ในทางตรงกันข้ามถ้าค่ากระแส $i_{in2} > i_{in1}$ จะได้ค่ากระแสตรรก $i_{D2} = i_{D4} \equiv i_{in2}$ ค่าแรงดันที่โนด C มีค่าเข้าใกล้ศูนย์



รูปที่ 4.43 วงจรเปรียบเทียบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรืออยู่ในสภาวะลอจิก 0 (Low) เมื่อพิจารณาสภาวะลอจิกที่เอาต์พุตโนคจะได้ว่า D_{out} มีค่าเป็น 1 (High) จากการทำงานของวงจรเปรียบเทียบบดงกล่าว สามารถเขียนเป็นสมการได้ว่า

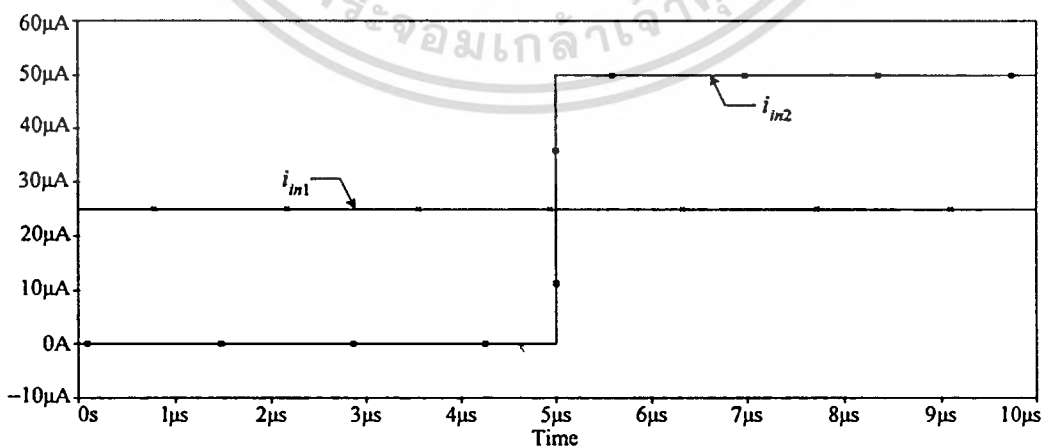
$$D_{out} = \begin{cases} 0 & ; i_{in1} > i_{in2} \\ 1 & ; i_{in2} > i_{in1} \end{cases} \quad (4.107)$$

4.6.3 ผลการเลียนแบบการทำงานของวงจรเปรียบเทียบบดงด้วยโปรแกรม PSPICE

เพื่อทดสอบสมรรถนะของวงจรเปรียบเทียบบดงรูปที่ 4.43 จะทำการทดสอบโดยเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L เท่ากับ 2 μ m/1 μ m พร้อมทั้งกำหนดให้ค่าแรงดันแหล่งจ่าย V_{DD} เท่ากับ 3V

ในรูปที่ 4.44 แสดงผลการเลียนแบบการทำงานของวงจรเปรียบเทียบบดงจากการป้อนกระแสอินพุต i_{in1} เป็นสัญญาณไฟตรงขนาด 25 μ A และกระแสอินพุต i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก 0A เป็น 50 μ A ดังรูปที่ 4.44(ก) ในรูปที่ 4.44(ข) และ 4.44(ค) แสดงสภาวะลอจิกที่โนค C และเอาต์พุตโนค ตามลำดับ ในช่วงเวลา 0s ถึง 5 μ s เมื่อก่ากระแสอินพุต $i_{in1} > i_{in2}$ สภาวะลอจิกที่โนค C หรือ D_C เป็น 1 (High) ในขณะที่สภาวะลอจิกที่เอาต์พุตโนค หรือ D_{out} เป็น 0 (Low) ในช่วงเวลา 5 μ s ถึง 10 μ s เมื่อก่ากระแสอินพุต $i_{in2} > i_{in1}$ จะได้ D_C และ D_{out} เป็น 0 และ 1 ตามลำดับ จากผลการเลียนแบบการทำงานที่ได้ พบว่ามีความสอดคล้องเป็นไปตามหลักการทางทฤษฎี

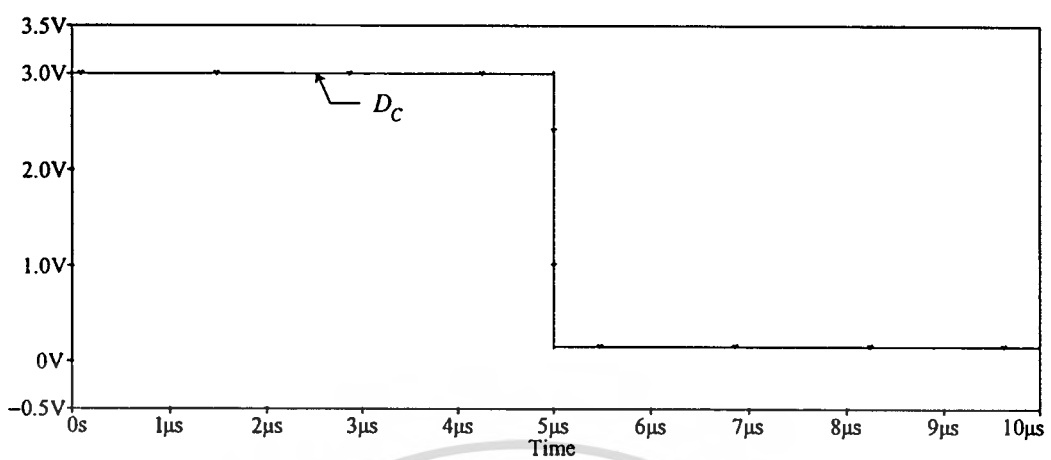
ในรูปที่ 4.45 และ 4.46 แสดงผลการเลียนแบบการทำงานของวงจรอินเวอร์เตอร์ดังรูปที่ 4.41 เพื่อศึกษาค่าเวลาหน่วง t_{DHL} และ t_{DLH} ของวงจร ตามลำดับ โดยกำหนดให้ $(W/L)_N = 1\mu\text{m}/1\mu\text{m}$,



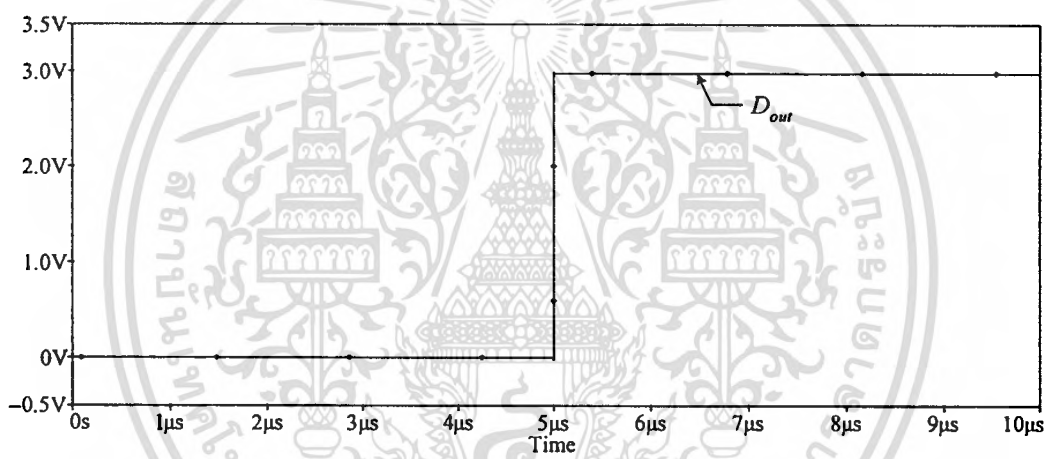
(ก) กระแสอินพุต

รูปที่ 4.44 ผลการเลียนแบบการทำงานของวงจรเปรียบเทียบบดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

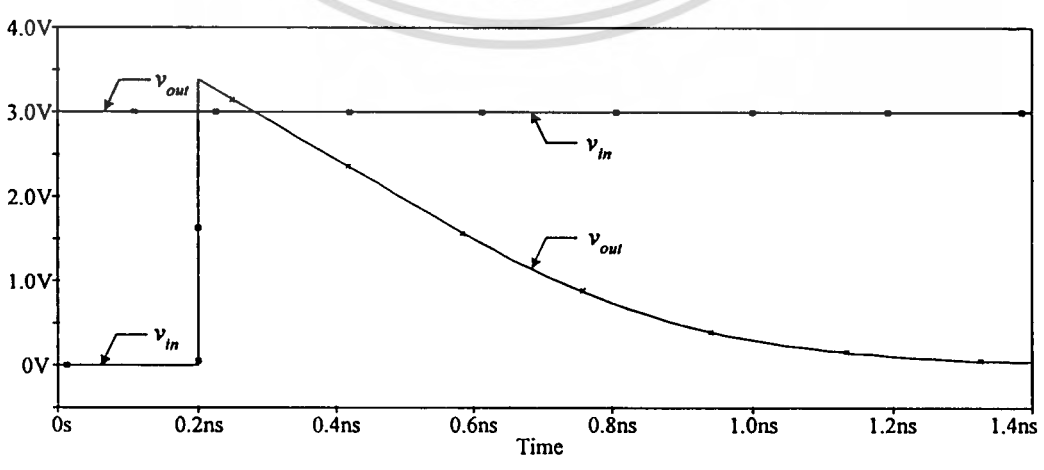


(ข) สภาวะลอจิกที่โนด C



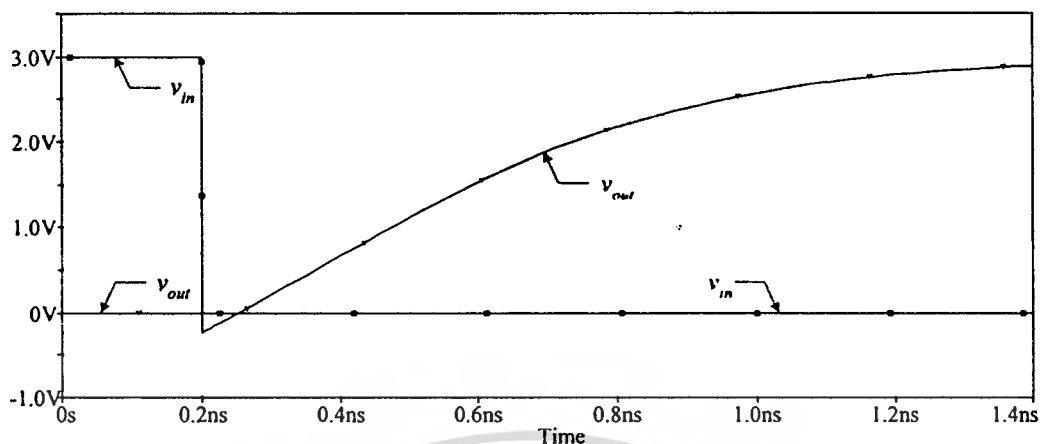
(ค) สภาวะลอจิกที่เอาต์พุตโนด

รูปที่ 4.44 ผลการเลียนแบบการทำงานของวงจรเปรียบเทียบกระแส (ต่อ)



รูปที่ 4.45 ผลการเลียนแบบการทำงานเพื่อศึกษาค่าเวลาหน่วง t_{DHL} ของวงจรอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติหากนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.46 ผลการเขียนแบบการทำงานเพื่อศึกษาค่าเวลาหน่วง t_{DLH} ของวงจรถออินเวอร์เตอร์

$(W/L)_p = 4\mu\text{m}/1\mu\text{m}$, $V_{DD} = 3\text{V}$, และ $C_L = 0.1\text{ pF}$ ในรูปที่ 4.45 แสดงผลการเขียนแบบการทำงานจากการป้อนแรงดันอินพุต v_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก 0V เป็น 3V พบว่า ช่วงเวลาที่ค่าแรงดัน $v_{out} = 0.5V_{DD} = 1.5\text{V}$ จะใช้เวลาหน่วง t_{DHL} มีค่าประมาณ 0.4016 ns

ในรูปที่ 4.46 แสดงผลการเขียนแบบการทำงานจากการป้อนแรงดันอินพุต v_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก 3V เป็น 0V พบว่า ช่วงเวลาที่ค่าแรงดัน $v_{out} = 0.5V_{DD} = 1.5\text{V}$ จะใช้เวลาหน่วง t_{DLH} มีค่าประมาณ 0.395 ns

4.7 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการทํางานและคุณสมบัติที่สำคัญของวงจรร้อยต่าง ๆ ที่ออกแบบโดยใช้มอสทรานซิสเตอร์ ซึ่งถูกนำไปใช้ในอัลกอริทึม ADC ทั้งสามรูปแบบที่ได้นำเสนอในวิทยานิพนธ์นี้ ซึ่งประกอบด้วย วงจรสะท้อนกระแสแบบพื้นฐาน วงจรจำกัดกระแส วงจรหาค่าสูงสุด วงจรฟังก์ชันสัมบูรณ์ วงจรถออินเวอร์เตอร์ และวงจรถ่ายเทียบกระแส พร้อมทั้งแสดงผลการเขียนแบบการทำงานของวงจรร้อยต่าง ๆ ด้วยโปรแกรม PSPICE เพื่อเป็นการยืนยันสมรรถนะการทํางานของวงจรร้อย

บทที่ 5

การออกแบบอัลกอริธึม ADC ที่นำเสนอ

5.1 กล่าวนำ

เนื้อหาในบทนี้จะกล่าวถึงหลักการทำงาน การวิเคราะห์คุณสมบัติการทำงาน และผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE และ MATLAB ของอัลกอริธึม ADC ที่นำเสนอในวิทยานิพนธ์นี้ทั้งสามรูปแบบ ซึ่งได้แก่ การออกแบบโดยใช้วงจรจำกัดกระแส [32] การออกแบบโดยใช้วงจรถ้าค่าสูงสุด [34] และการออกแบบโดยใช้วงจรมัลติเพล็กซ์ [36]

5.2 อัลกอริธึม ADC ที่มีการลดรหัสแบบเกรย์โดยใช้วงจรจำกัดกระแส

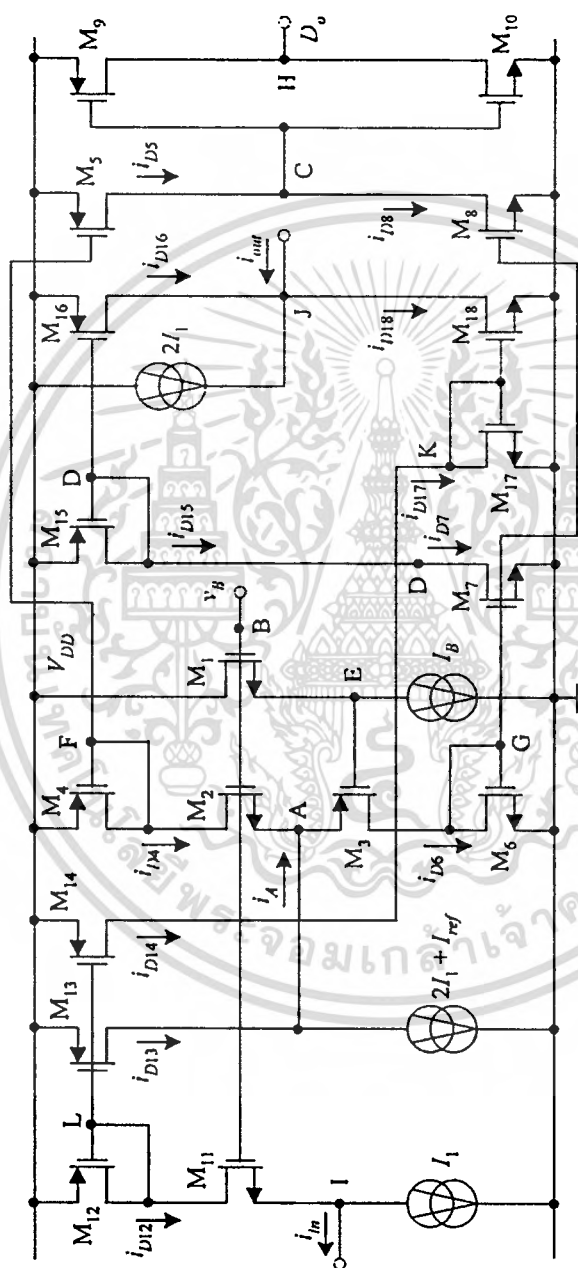
5.2.1 การทำงานของวงจร

จากวงจรจำกัดกระแส M_1-M_7 ในรูปที่ 4.8 สามารถนำมาพัฒนาเป็นอัลกอริธึม ADC ที่มีการลดรหัสแบบเกรย์ขนาด 1 บิต ได้ดังรูปที่ 5.1 [32] เมื่อกระแส I_1 และ I_{ref} เป็นค่ากระแสคงที่และกระแสอ้างอิง ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้ ขาเกตและขาซอร์สของมอสเฟต M_8 ต่อร่วมกับมอสเฟต M_7 ทำให้มอสเฟต M_6-M_8 ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีสองเอาต์พุต ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต M_6-M_8 มีค่าเท่ากัน อัตราการส่งผ่านกระแสของวงจร M_6-M_8 จะมีค่าเท่ากับหนึ่ง มอสเฟต M_9-M_{10} ทำงานร่วมกับวงจรสะท้อนกระแส M_4-M_5 และ M_6-M_8 ทำหน้าที่เป็นวงจรเปรียบเทียบระหว่างค่ากระแสเดรน i_{D4} และ i_{D6} เพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_0 มอสเฟต M_{11} ทำหน้าที่ส่งผ่านกระแสจากขาเดรนไปยังขาซอร์ส พร้อมทั้งทำหน้าที่กำหนดแรงดันที่อินพุต โนดให้มีค่าคงที่ ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต $M_{13}-M_{14}$ และ M_{16} มีค่าเป็นสองเท่าของอัตราส่วน W/L ของมอสเฟต M_{12} และ M_{15} ตามลำดับ จะได้ว่า มอสเฟต $M_{12}-M_{14}$ และ $M_{15}-M_{16}$ ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับสอง ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต M_{17} และ M_{18} มีค่าเท่ากัน มอสเฟต $M_{17}-M_{18}$ จะทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง เมื่อพิจารณาที่อินพุต โนด I จะได้ว่า

$$i_{D12} = i_m + I_1 \quad (5.1)$$

จากการทำงานของวงจรสะท้อนกระแส $M_{12}-M_{14}$ ซึ่งมีอัตราการขยายกระแสเท่ากับสอง จะได้ค่ากระแสเดรน i_{D13} และ i_{D14} มีค่าเท่ากับ $2i_{D12}$ เมื่อพิจารณาที่โนด A จะได้กระแส i , ซึ่งเป็นกระแสอินพุตสำหรับวงจรจำกัดกระแส มีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 อัลกอริทึม DAC ขนาด 1 บิตโดยใช้วงจรจำกัดกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_A = i_{D13} - (2I_1 + I_{ref}) = 2i_{D12} - (2I_1 + I_{ref}) \quad (5.2)$$

เมื่อแทนค่ากระแสแตรน i_{D12} จากสมการที่ (5.1) ลงใน (5.2) จะได้

$$i_A = 2i_{in} - I_{ref} \quad (5.3)$$

จากการทำงานของวงจรสะท้อนกระแส M_{15} - M_{16} และ M_{17} - M_{18} จะได้ว่า

$$i_{D16} = 2i_{D15} = 2i_{D6} \quad (5.4)$$

$$i_{D18} = i_{D17} = i_{D14} = 2i_{D12} = 2(i_{in} + I_1) \quad (5.5)$$

เมื่อพิจารณาที่เอาต์พุต โหนด J จะได้ว่า

$$i_{out} = i_{D18} - i_{D16} - 2I_1 \quad (5.6)$$

เมื่อแทนค่าจากสมการที่ (5.4) และ (5.5) ลงใน (5.6) จะได้

$$i_{out} = 2i_{in} - 2i_{D6} \quad (5.7)$$

จากสมการที่ (5.3) ถ้ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ($2i_{in} < I_{ref}$) ค่ากระแส i_A จะมีค่าเป็นลบ เมื่อกระแส i_A นี้ไหลไปยังวงจรจำกัดกระแส M_1 - M_7 จะได้ว่า

$$i_{D4} = i_{D5} = i_A \quad (5.8)$$

$$i_{D6} = i_{D7} = i_{D8} = 0 \quad (5.9)$$

เมื่อแทนค่าจากสมการที่ (5.9) ลงใน (5.7) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = 2i_{in} \quad (5.10)$$

จากการทำงานของวงจรเปรียบเทียบ M_4 - M_5 , M_6 - M_8 , และ M_9 - M_{10} เมื่อกระแสแตรน i_{D4} มีค่าเท่ากับ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

i_A และกระแสเดรน i_{D6} มีค่าเท่ากับศูนย์ จะได้สัญญาณดิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low)

ในกรณีที่กระแส $2i_{in}$ มีค่ามากกว่าหรือเท่ากับกระแส I_{ref} ($2i_{in} \geq I_{ref}$) กระแส i_A จะมีค่าเป็นบวก เมื่อกระแส i_A นี้ไหลไปยังวงจรจำกัดกระแส M_4 - M_7 จะได้

$$i_{D4} = i_{D5} = 0 \quad (5.11)$$

$$i_{D6} = i_{D7} = i_{D8} = i_A = 2i_{in} - I_{ref} \quad (5.12)$$

เมื่อแทนค่าจากสมการที่ (5.12) ลงใน (5.7) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = 2I_{ref} - 2i_{in} \quad (5.13)$$

จากการทำงานของวงจรเปรียบเทียบ M_4 - M_5 , M_6 - M_8 , และ M_9 - M_{10} เมื่อกระแสเดรน i_{D4} มีค่าเท่ากับศูนย์ และกระแสเดรน i_{D6} มีค่าเท่ากับ i_A จะได้สัญญาณดิจิตอลเอาต์พุต D_o มีค่าเป็น 1 (High)

จากสมการที่ (5.10) และ (5.13) สามารถสรุปได้ว่ากระแสเอาต์พุต i_{out} จะมีค่าดังนี้

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & ; 2i_{in} > I_{ref} \end{cases} \quad (5.14)$$

จากการทำงานของวงจรเปรียบเทียบ จะได้สัญญาณดิจิตอลเอาต์พุต D_o คือ

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.15)$$

จากสมการที่ (5.14) และ (5.15) พบว่าวงจรที่นำเสนอซึ่งรูปที่ 5.1 ทำหน้าที่เป็นอัลกอริทึม ADC ขนาด 1 บิตที่มีการลงรหัสแบบเกรย์

5.2.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแส

การทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสในหัวข้อที่ 5.2.1 เป็นการกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานในช่วงนำกระแสในตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพียงกันทุกประการและค่าทรานส์-คอนดักแตนซ์ของมอสเฟตแต่ละตัวไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแส ซึ่งได้แก่ ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดันแหล่งจ่ายต่ำสุด (ภาคผนวก ฉ)

ก. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จะเกิดจากความผิดพลาดของวงจรสะท้อนกระแส M_{12} - M_{13} (ε_{p11}), M_{12} , M_{14} (ε_{p12}), M_{15} - M_{16} (ε_{p2}), และ M_{17} - M_{18} (ε_{n1}) และความผิดพลาดของวงจรจำกัดกระแส (ε_{CL}) เป็นหลัก ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} (ภาคผนวก ฉ1) จะมีค่าดังนี้

$$i_{out} = \begin{cases} 2i_{in}(1-\varepsilon_{11}) & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (4i_{in}(1-\varepsilon_{13}) - 2i_{in}(1-\varepsilon_{11}) + 2\varepsilon_{12}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.16)$$

เมื่อ

$$\varepsilon_{11} = \varepsilon_{p12} + \varepsilon_{n1} - \varepsilon_{p12}\varepsilon_{n1} \quad (5.17)$$

$$\varepsilon_{12} = \varepsilon_{p2} + \varepsilon_{CL} - \varepsilon_{p2}\varepsilon_{CL} \quad (5.18)$$

$$\varepsilon_{13} = \varepsilon_{12} + \varepsilon_{p11} - \varepsilon_{12}\varepsilon_{p11} \quad (5.19)$$

จากสมการที่ (5.17) ถ้าความผิดพลาด ε_{p12} และ ε_{n1} มีค่าประมาณ 1.7245×10^{-3} และ 1.3044×10^{-3} ตามลำดับ จะได้ความผิดพลาด ε_{11} มีค่าประมาณ 3.0267×10^{-3} ในกรณีที่ค่ากระแส $2i_{in} \geq I_{ref}$ ถ้าความผิดพลาด $\varepsilon_{p2} = 1.579 \times 10^{-3}$, $\varepsilon_{CL} = 1.0412 \times 10^{-3}$, และ $\varepsilon_{p11} = 1.1023 \times 10^{-3}$ จะได้ความผิดพลาด ε_{12} และ ε_{13} มีค่าประมาณ 2.6185×10^{-3} และ 3.6282×10^{-3} ตามลำดับ

ข. การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด N บิตดังรูปที่ 3.1 จะวิเคราะห์ในกรณีที่ค่ากระแส $i_{in} = I_{ref}$ ความผิดพลาดสะสมของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแสขนาด N บิต (ภาคผนวก ฉ2) จะมีค่าดังนี้

$$\varepsilon_A \cong (2^{N+1}\varepsilon_{12} - 2^N\varepsilon_{12} - 2^N\varepsilon_{11} - 2^{N+1}\varepsilon_{11}\varepsilon_{13} + 2^N\varepsilon_{11}\varepsilon_{12} + 2^N\varepsilon_{11}^2)I_{ref} \quad (5.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $i_{in} = I_{ref} = 50 \mu\text{A}$, $N = 8$, $\varepsilon_1 = 3.0267 \times 10^{-3}$, $\varepsilon_2 = 2.6185 \times 10^{-3}$, และ $\varepsilon_3 = 3.6282 \times 10^{-3}$ จะได้ความผิดพลาดสะสม ε_x มีค่าประมาณ $20.6231 \mu\text{A}$ หรือ 0.825 LSB

ก. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасцепกันเพื่อเพิ่มความละเอียดของ ADC จำนวนบิตที่เป็นไปได้ที่สามารถนำเอาอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 มาต่อкасцепกัน (ภาคผนวก ฉ3) คือ

$$N_{CL} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1}{2(2\varepsilon_3 - \varepsilon_{12} - \varepsilon_{11})} \right) \right\} \quad (5.21)$$

ถ้า $\varepsilon_1 = 3.0267 \times 10^{-3}$, $\varepsilon_2 = 2.6185 \times 10^{-3}$, และ $\varepsilon_3 = 3.6282 \times 10^{-3}$ จะได้ว่า N_{CL} มีค่าเท่ากับ 9

ง. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

การเปลี่ยนแปลงค่าอุณหภูมิ ΔT จะมีผลต่อค่าแรงดันที่โนด A (v_A) ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 (ภาคผนวก ฉ4) ดังนี้

$$\Delta v_A = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_1}} \right) - \alpha \Delta T \quad (5.22)$$

ถ้ากำหนดให้ $I_B = 10 \mu\text{A}$, $\beta_1 = 42.3 \mu\text{A/V}^2$, $\Delta T = 1\text{K}$, และ $\alpha = 1.34 \text{ mV/K}$ พบว่า ค่าแรงดัน v_A มีค่าลดลง 0.952 mV เมื่ออุณหภูมิเพิ่มขึ้น 1K หรือ 1°C

จ. การวิเคราะห์ผลตอบสนองทางความถี่

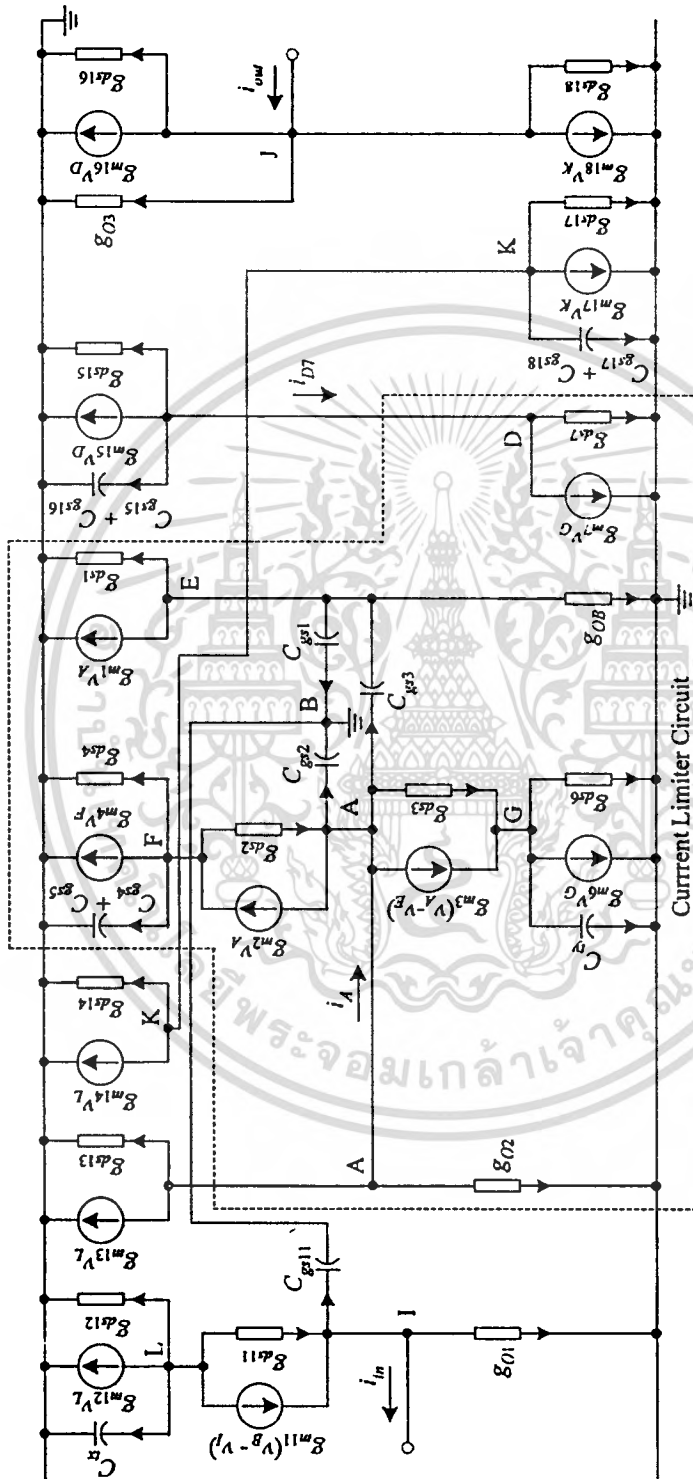
จากการวิเคราะห์ห้วงจรสมมูลของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.2 (ภาคผนวก ฉ5) เมื่อ $C_{rx} = C_{gs12} + C_{gs13} + C_{gs14}$ และ $C_{ry} = C_{gs6} + C_{gs7} + C_{gs8}$ จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} คือ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m6}g_{m18}g_{m14}g_{m15}(T_{3CL}S+1)(T_{1CLP}S+1)(T_{2CLP}S+1) - g_{m7}g_{m16}g_{m17}g_{m13}(T_{4CL}S+1)}{g_{m6}g_{m15}g_{m17}(T_{1CLP}S+1)(T_{2CLP}S+1)(T_{3CL}S+1)(T_{4CL}S+1)(T_{5CL}S+1)(T_{6CL}S+1)} \quad (5.23)$$

เมื่อ

$$T_{1CLP} = \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \quad (5.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรสมมูลในการวิเคราะห์ผลตอบแทนของตัวถ่วงกระแส ADC โดยใช้วงจรถ่วงกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{2CLP} \cong \frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}} \quad (5.25)$$

$$T_{3CL} = \frac{C_{gs15} + C_{gs16}}{g_{m15}} \quad (5.26)$$

$$T_{4CL} = \frac{C_{gs17} + C_{gs18}}{g_{m17}} \quad (5.27)$$

$$T_{5CL} = \frac{C_{gs11}}{g_{m11}} \quad (5.28)$$

$$T_{6CL} = \frac{C_{gs12} + C_{gs13} + C_{gs14}}{g_{m12}} \quad (5.29)$$

จากสมการที่ (5.24) ถึง (5.29) จะได้ค่าตำแหน่งของโพลแต่ละตัว คือ

$$fp_{1CLP} \cong \frac{g_{m3}g_{m6}}{2\pi(g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3})} \quad (5.30)$$

$$fp_{2CLP} = \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{2\pi(C_{gs3}C_{gs6} + C_{gs3}C_{gs7})} \quad (5.31)$$

$$fp_{3CL} = \frac{g_{m15}}{2\pi(C_{gs15} + C_{gs16})} \quad (5.32)$$

$$fp_{4CL} = \frac{g_{m17}}{2\pi(C_{gs17} + C_{gs18})} \quad (5.33)$$

$$fp_{5CL} = \frac{g_{m11}}{2\pi(C_{gs11})} \quad (5.34)$$

$$fp_{6CL} = \frac{g_{m12}}{2\pi(C_{gs12} + C_{gs13} + C_{gs14})} \quad (5.35)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช่วงจรจำกัดกระแสดังรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m3} = g_{m6} = 1.6576 \times 10^{-4}$ A/V, $g_{m11} = 3.450 \times 10^{-4}$ A/V, $g_{m12} = 1.5429 \times 10^{-4}$ A/V, $g_{m15} = 1.7455 \times 10^{-4}$ A/V, $g_{m17} = 3.8047 \times 10^{-4}$ A/V, $C_{gs3} = 5.1856 \times 10^{-14}$ F, $C_{gs6} = C_{gs7} = C_{gs17} = C_{gs18} = 1.638 \times 10^{-14}$ F, $C_{gs11} = 2.34 \times 10^{-14}$ F, $C_{gs12} = 5.9264 \times 10^{-14}$ F, $C_{gs14} = C_{gs15} = 1.1853 \times 10^{-13}$ F, $C_{gs15} = 3.704 \times 10^{-14}$ F, และ $C_{gs16} = 7.408 \times 10^{-14}$ F พบว่า $p_{1CLp} = 311.936$ MHz, $p_{2CLp} = 1.315$ GHz, $p_{3CL} = 250.133$ MHz, $p_{4CL} = 1.849$ GHz, $p_{5CL} = 2.348$ GHz, และ $p_{6CL} = 82.911$ MHz ดังนั้นขีดจำกัดการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.1 จะขึ้นอยู่กับวงจรถ่ายโอนกระแส M_{12} - M_{14} เป็นหลัก ซึ่งสามารถทำงานได้ถึง 82.911 MHz

ฉ. การวิเคราะห์ความเร็วในการแปลงผัน

ความเร็วในการแปลงผันของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด N บิต (ภาคผนวก ฉ6) จะมีค่าเท่ากับ

$$t_{C(CL)} = Nt_{dd(CL)} + t_{dd(CL)} \quad (5.36)$$

เมื่อ

$t_{dd(CL)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรถ่ายโอนที่สร้างกระแส i_{out}

$t_{dd(CL)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรถ่ายโอนที่สร้างดิฟเฟอเรนเชียลเอาต์พุต D_o

ค่าเวลาหน่วง $t_{dd(CL)}$ สามารถพิจารณาได้จากขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแส [44] ซึ่งขึ้นอยู่กับค่าคงตัวเวลา (Time Constant) T_{6CL} เป็นหลัก ค่าเวลา $t_{dd(CL)}$ จะวิเคราะห์จากค่าเวลาหน่วงจากการทำงานของวงจรถ่ายโอน [41] ถ้า $N = 8$, $t_{dd(CL)} = T_{6CL} = 1.9981$ ns, และ $t_{dd(CL)} = 2.1307$ ns จะได้ค่าเวลา $t_{C(CL)} = 18.1152$ ns

ช. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(min)}$ ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 สามารถพิจารณาได้จากจำนวนมอสเฟตสูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ (ภาคผนวก ฉ7) ซึ่งมีค่าโดยประมาณ ดังนี้

$$V_{DD(min)} \cong 2V_{TN} + 2|V_{TP}| \quad (5.37)$$

ถ้าทำการออกแบบวงจรโดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ที่มีค่าแรงดัน $V_{TN} = 0.609$ V และ $V_{TP} = -0.6101$ V จะได้แรงดัน $V_{DD(min)}$ มีค่าประมาณ 2.44V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

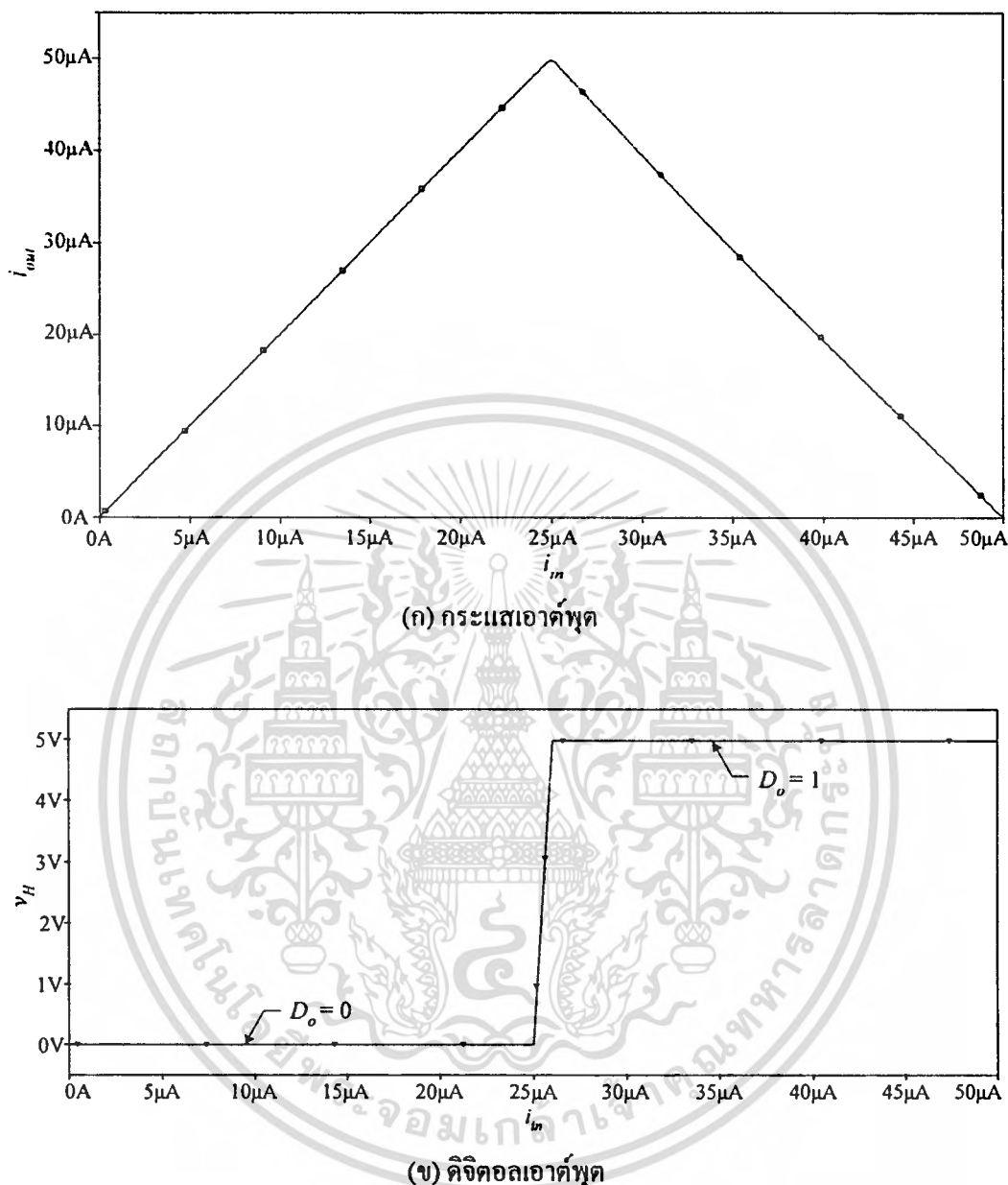
เพื่อทดสอบสมรรถนะของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จึงทำการทดสอบโดยเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μm ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 5.1 พร้อมทั้งกำหนดให้ ค่าแรงดันแหล่งจ่าย V_{DD} และค่าแรงดันไบแอส v_B เท่ากับ 5V และ 3.5V ตามลำดับ และค่ากระแสแหล่งจ่าย $I_B, I_I,$ และ I_{ref} กำหนดให้เท่ากับ 10 μA , 20 μA , และ 50 μA ตามลำดับ

ตารางที่ 5.1 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1

มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
M_1	3/10
M_2, M_4, M_5, M_{15}	5/1
$M_3, M_6, M_7, M_8, M_{17}, M_{18}$	7/1
M_9	4/1
M_{10}	1/1
M_{12}	4/2
M_{13}, M_{14}	8/2
M_{11}, M_{16}	10/1

ในรูปที่ 5.3 เป็นผลการเลียนแบบการทำงานของอัลกอริทึม ADC ที่ได้พัฒนาขึ้นดังรูปที่ 5.1 โดยป้อนกระแสอินพุตเป็นสัญญาณไฟตรงที่มีการแปรค่าจาก 0A ถึง 50 μA เพื่อทดสอบคุณสมบัติการทำงานของวงจร จากลักษณะถ่ายโอนไฟตรงในรูปที่ 5.3(ก) และดิจิตอลเอาต์พุตในรูปที่ 5.3(ข) พบว่า ช่วงที่ค่ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าระหว่าง 0A ถึง 25 μA จะได้กระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2i_{in}$ ซึ่งมีค่าเพิ่มขึ้นจาก 0A ถึง 50 μA และสถานะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low) แต่ในช่วงที่กระแส $2i_{in}$ มีค่ามากกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าตั้งแต่ 25 μA ถึง 50 μA จะได้ว่าค่ากระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2I_{ref} - 2i_{in}$ ซึ่งมีค่าลดลงจาก 50 μA ถึง 0A และสถานะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 1 (High) เพื่อเป็นการยืนยันว่าการไบแอสมอสเฟตที่สถานะขบนำกระแสสามารถลดความเพี้ยนของสัญญาณกระแสเอาต์พุต โดยทำการแปรค่ากระแสของแหล่งจ่าย I_B ให้เบี่ยงเบนไปจาก 10 μA เป็น 5 μA และ 15 μA ดังแสดงผลของลักษณะถ่ายโอนไฟตรงบริเวณช่วงสูงสุดในรูปที่ 5.4 พบว่า กระแสเอาต์พุตเกิดความเพี้ยนมากขึ้น เมื่อค่ากระแสของแหล่งจ่าย I_B เบี่ยงเบนไปจาก 10 μA

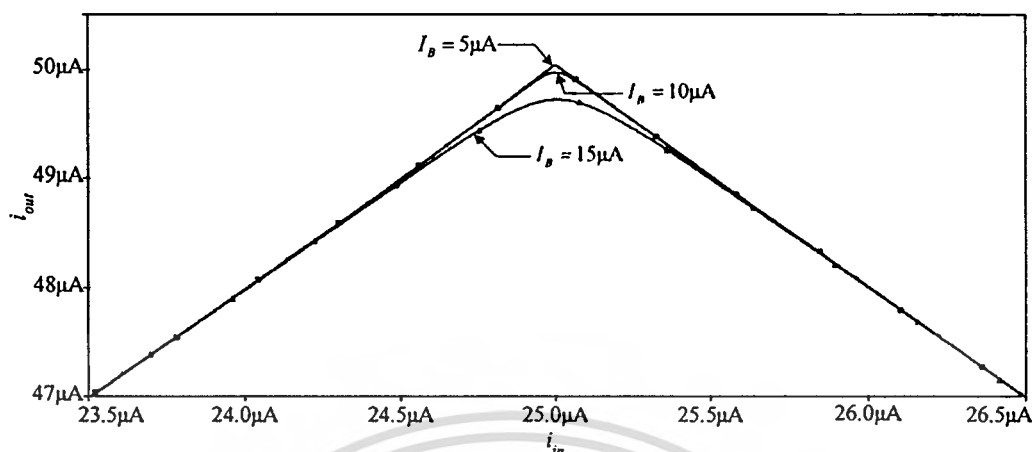
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



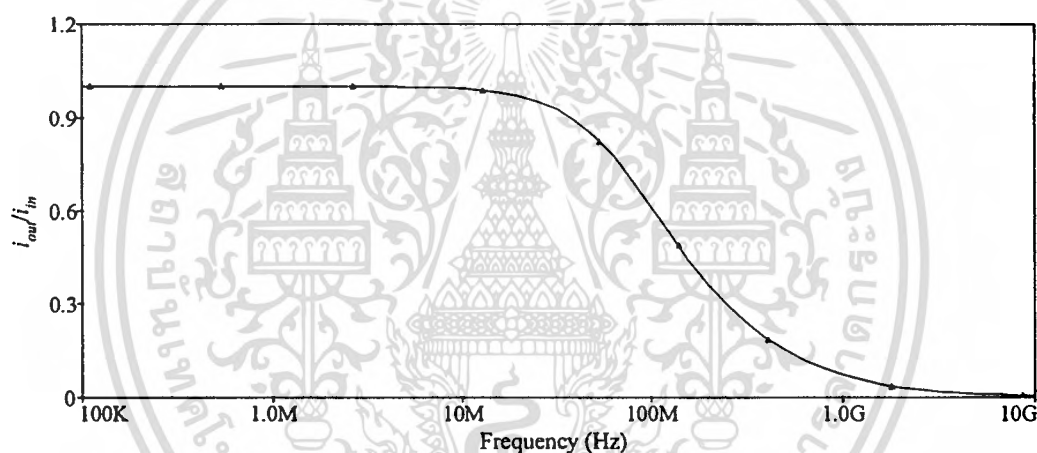
รูปที่ 5.3 ผลการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1

สำหรับผลการเขียนแบบผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสแสดงได้ดังรูปที่ 5.5 พบว่า ADC โดยใช้วงจรจำกัดกระแสมีช่วงความถี่ปฏิบัติงานสูงสุดประมาณ 79.695 MHz จากการทำงานของวงจรจำกัดกระแสในหัวข้อที่ 4.3 พบว่ามอสเฟต M_2 และ M_3 จะสลับกันทำงานทั้งนี้ขึ้นอยู่กับค่ากระแส i_n เพื่อศึกษาความเร็วในการสวิตช์ (Switching Speed) ของมอสเฟต M_2 และ M_3 จะทำการป้อนกระแสอินพุต i_n ของอัลกอริทึม ADC ที่นำเสนอในรูปที่ 5.1 เป็นสัญญาณขั้นบันได [10] เมื่อป้อนกระแส i_n เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก 15 μ A เป็น 35 μ A จากการทำงานของวงจรถ่ายโอนกระแส M_{12} - M_{13} จะได้กระแส i_n เป็นสัญญาณขั้นบันได

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



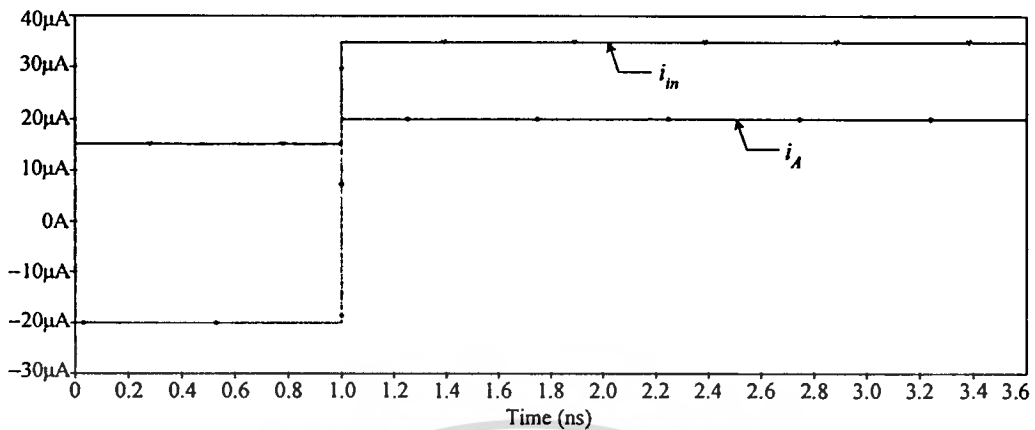
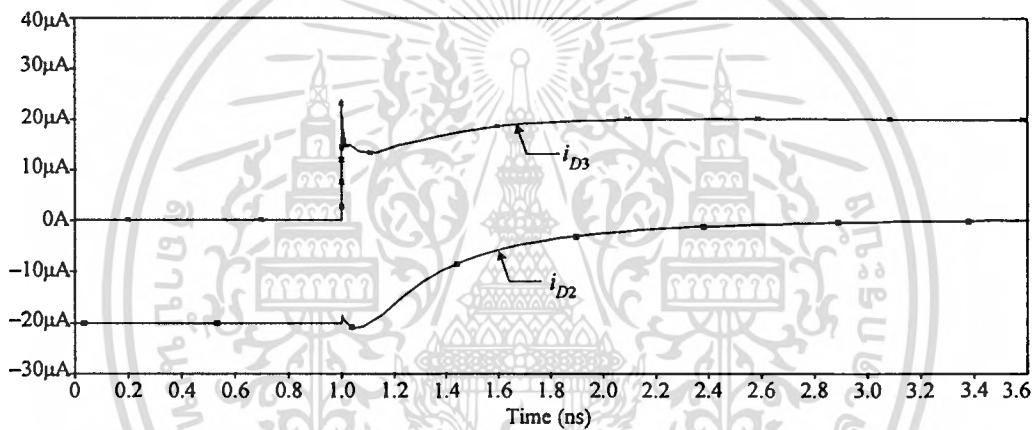
รูปที่ 5.4 ช่วงสูงสุดของฟังก์ชันถ่ายโอนไฟตรงของ ADC ดังรูปที่ 5.1 โดยแปรค่ากระแส I_B



รูปที่ 5.5 ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแส

ที่มีค่าเพิ่มขึ้นจาก $-20\mu\text{A}$ เป็น $20\mu\text{A}$ ดังรูปที่ 5.6(ก) จากผลการเขียนแบบการทำงานในรูปที่ 5.6(ข) พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_x มีค่าน้อยกว่าศูนย์ ($i_x < 0$) มอสเฟต M_2 และ M_3 จะอยู่ในสถานะนำกระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่กระแส $i_{D2} = -20\mu\text{A}$ และ $i_{D3} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{ns}$ กระแส i_x จะมีค่ามากกว่าศูนย์ ($i_x > 0$) มอสเฟต M_3 จะนำกระแสแทน M_2 เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D3} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} มีค่าเพิ่มขึ้นจาก 0A เป็น $18\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_3 มีค่าประมาณ 0.482 ns เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D2} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D2} มีค่าเปลี่ยนจาก $-20\mu\text{A}$ เป็น $-2\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_2 มีค่าประมาณ 1.073 ns ในกรณีที่ป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $35\mu\text{A}$ เป็น $15\mu\text{A}$ จะได้กระแส i_x เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $20\mu\text{A}$ เป็น $-20\mu\text{A}$ ดังรูปที่ 5.7(ก) จากผลการเขียน

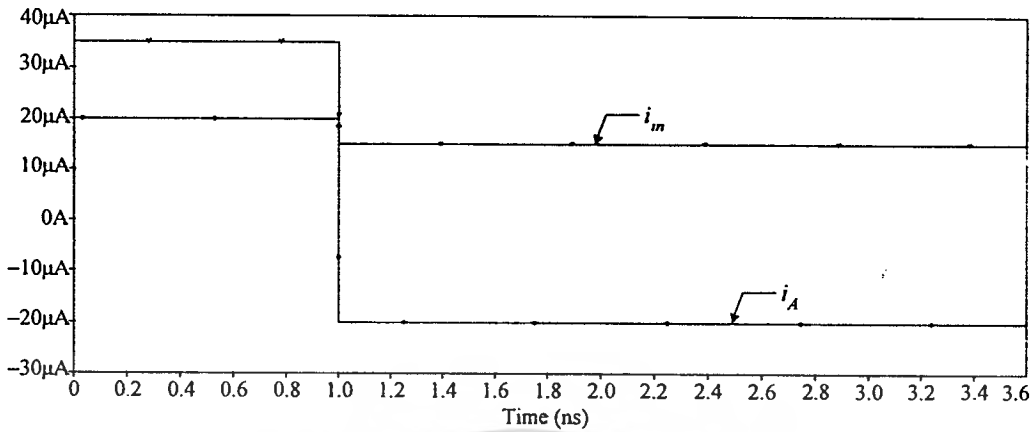
แบบการทำงานในรูปที่ 5.7(ข) พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_x มีค่ามากกว่าศูนย์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) กระแสอินพุต i_{in} และกระแส i_A (ข) ความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3

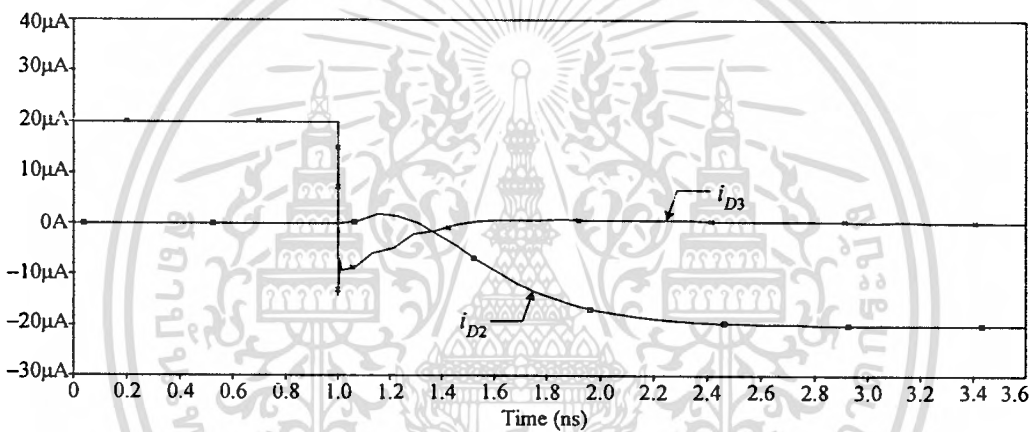
รูปที่ 5.6 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3 ในอัลกอริทึม ADC ดังรูปที่ 5.1 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น

($i_A > 0$) มอสเฟต M_3 และ M_2 จะอยู่ในสถานะนำกระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่ $i_{D3} = 20\mu\text{A}$ และ $i_{D2} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{s}$ กระแส i_A จะมีค่าน้อยกว่าศูนย์ ($i_A < 0$) มอสเฟต M_2 จะนำกระแสแทน M_3 เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D2} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D2} มีค่าเปลี่ยนจาก 0A เป็น $-18\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_2 มีค่าประมาณ 1.105 ns เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D3} มีการเปลี่ยนแปลงจาก 20 μA เป็น 0A จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_3 มีค่าประมาณ 0.628 ns เมื่อเปรียบเทียบเวลาในการสวิตช์ของมอสเฟต M_2 และ M_3 กับค่าคงตัวของโพลโคเด้นดังสมการที่ (5.29) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริทึม ADC ดังรูปที่ 5.1 พบว่า เวลาในการสวิตช์ของมอสเฟต M_2 และ M_3 มีค่าน้อยกว่า ดังนั้น การวิเคราะห์ความเร็วในการแปลงผันของ ADC ดังรูปที่ 5.1 ในส่วนที่เป็นการสร้างกระแสเอาต์พุต i_{out} จึงพิจารณาได้จากค่าคงตัวของโพลโคเด้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



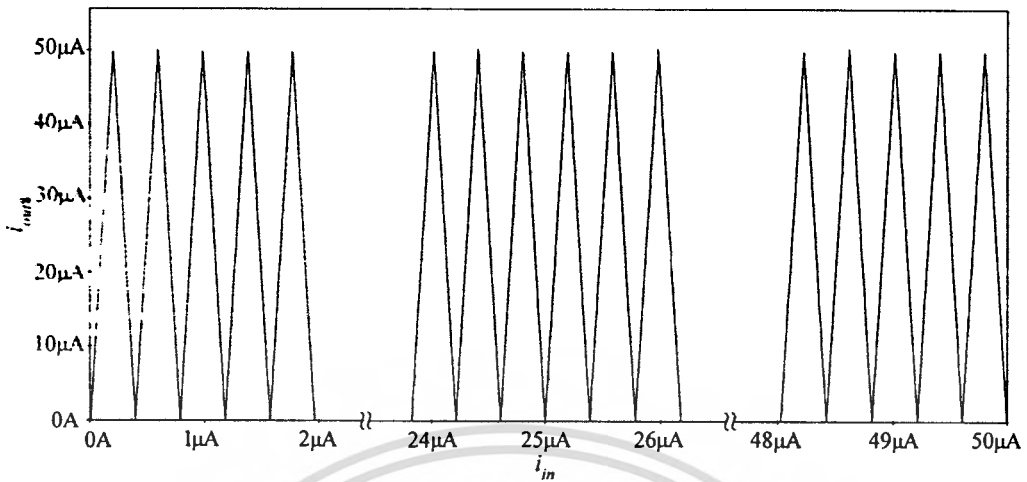
(ก) กระแสอินพุต i_m และกระแส i_A



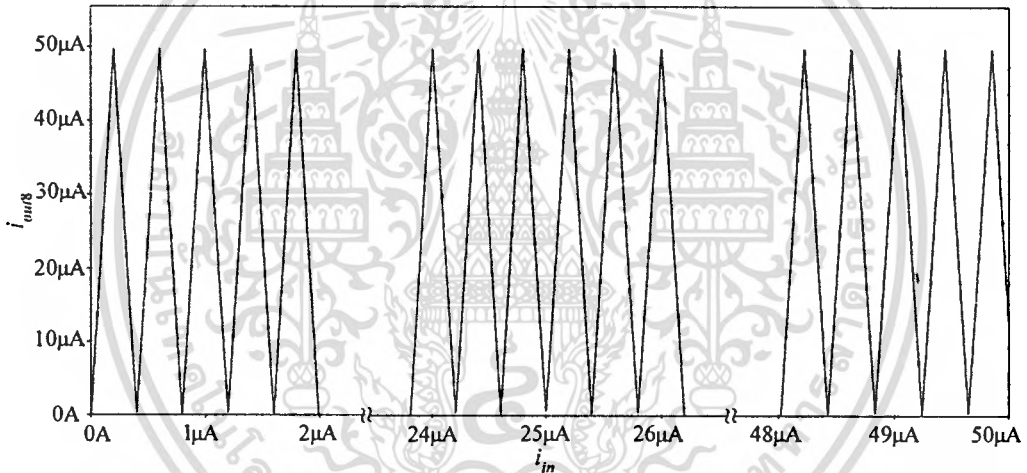
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3

รูปที่ 5.7 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_2 และ M_3 ใน อัลกอริทึม ADC ดังรูปที่ 5.1 เมื่อป้อนกระแส i_m เป็นสัญญาณขั้นบันไดที่มีค่าลดลง

เพื่อเป็นการยืนยันการทำงานของอัลกอริทึม ADC ขนาด N บิต โดยการประยุกต์ใช้ อัลกอริทึม ADC ขนาด 1 บิตที่ได้พัฒนาขึ้นดังรูปที่ 5.1 จำนวน 8 วงจร ($N = 8$) มาต่อкасцепกัน เป็นอัลกอริทึม ADC ขนาด 8 บิต โดยค่าอัตราส่วน W/L ของมอสเฟตและค่าตัวแปรต่าง ๆ รวมทั้ง สัญญาณอินพุตจะกำหนดเช่นเดียวกับการเขียนแบบการทำงานอัลกอริทึม ADC ขนาด 1 บิต ใน รูปที่ 5.8(ก) แสดงสัญญาณกระแส i_m บิตที่ 8 (LSB) ในทางอุดมคติ เมื่อสัญญาณกระแสอินพุตมี การแปรค่าจาก 0A ถึง 50 μ A จะได้สัญญาณเอาต์พุตของทุกบิตแปรค่าอยู่ระหว่าง 0A ถึง 50 μ A โดย มีความกว้างของฐานของสัญญาณรูปสามเหลี่ยมแต่ละรูปมีค่าประมาณ $50\mu A / 2^{8-1} = 0.3906\mu A$ ใน รูปที่ 5.8(ข) แสดงผลการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 8 บิต เมื่อเปรียบเทียบ ผลในทางอุดมคติดังรูปที่ 5.8(ก) กับผลการเขียนแบบดังรูปที่ 5.8(ข) พบว่า ผลการเขียนแบบการ ทำงานของอัลกอริทึม ADC ขนาด 8 บิต จะมีสัญญาณเอาต์พุตของทุกบิตมีการแปรค่าอยู่ระหว่าง



(ก) สัญญาณกระแส i_{ou8} บิตที่ 8 ในทางอุดมคติ



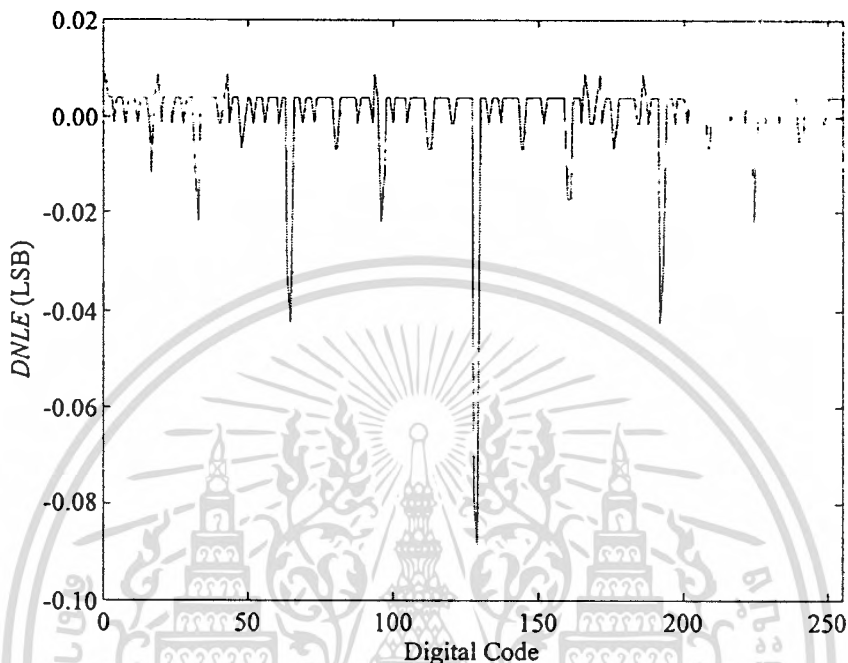
(ข) ผลการเขียนแบบการทำงาน

รูปที่ 5.8 กระแสเอาต์พุตบิตที่ 8 (LSB) ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต

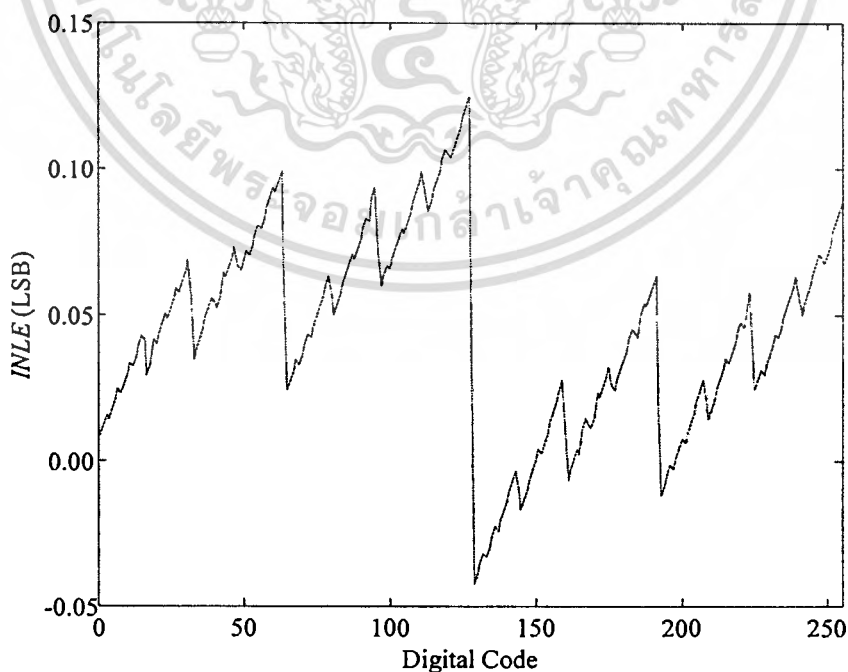
0A ถึง 50μA เช่นเดียวกับผลในทางอุดมคติ ถึงแม้ว่าสัญญาณรูปสามเหลี่ยมแต่ละรูปของผลการเขียนแบบการทำงานจะมีความเพี้ยนและความผิดพลาดสะสมเกิดขึ้น ซึ่งเป็นผลมาจากความผิดพลาดในการส่งผ่านกระแสของ ADC ขนาด 1 บิตแต่ละวงจรถิ่นำมาต่อкасцейกัน

ในการวิเคราะห์ค่าผิดพลาดความไม่เชิงเส้นผลต่าง (DNLE) และค่าผิดพลาดความไม่เชิงเส้นผลรวม (INLE) ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิตดังรูปที่ 5.9 และ 5.10 จะวิเคราะห์จากผลการเขียนแบบการทำงานของ ADC ที่มีความผิดพลาดในการส่งผ่านกระแส ดังสมการที่ (5.16) ด้วยโปรแกรม MATLAB จากรูปที่ 5.9 และ 5.10 พบว่าขนาดของค่าผิดพลาด DNLE และ INLE มีค่าสูงสุดประมาณ 0.0898 LSB และ 0.1253 LSB ตามลำดับ ดังนั้นอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสที่นำเสนอจากรูปที่ 5.1 สามารถนำมาประยุกต์ใช้เป็น ADC ขนาด

8 บิตได้ โดยมีคุณลักษณะแบบโมโนโทนิกและในการแปลงผันจะได้สัญญาณดิจิตอลเอาต์พุตครบทุกบิตโดยไม่มีรหัสขาดหาย (หัวข้อที่ 2.3)



รูปที่ 5.9 ค่า *DNLE* ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต



รูปที่ 5.10 ค่า *INLE* ของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 อัลกอริธึม ADC ที่มีการลดรหัสแบบเกรย์โดยใช้วงจรถ่ายค่าสูงสุด

5.3.1 การทำงานของวงจร

วงจรถ่ายค่าสูงสุด M_1 - M_9 ในรูปที่ 4.20 สามารถนำมาพัฒนาเป็นอัลกอริธึม ADC ที่มีการลดรหัสแบบเกรย์ขนาด 1 บิต ได้ดังรูปที่ 5.13 [34] การทำงานของวงจรสามารถอธิบายได้ดังนี้

ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต M_{11} - M_{12} และ M_{17} มีค่าเป็นสองเท่าของอัตราส่วน W/L ของมอสเฟต M_{10} และ M_{18} ตามลำดับ วงจรสะท้อนกระแส M_{10} - M_{12} และ M_{17} - M_{18} จะมีอัตราการส่งผ่านกระแสเท่ากับสอง ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต M_{13} และ M_{15} มีค่าเท่ากับค่าอัตราส่วน W/L ของมอสเฟต M_{14} และ M_{16} ตามลำดับ วงจรสะท้อนกระแส M_{13} - M_{14} และ M_{15} - M_{16} จะมีค่าอัตราการส่งผ่านกระแสเท่ากับหนึ่ง มอสเฟต M_{19} - M_{20} ทำงานร่วมกับวงจรอินเวอร์เตอร์ M_{21} - M_{22} และ M_{23} - M_{24} ทำหน้าที่เป็นวงจรเปรียบเทียบระหว่างค่ากระแสเดรน i_{D19} และ i_{D20} เพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_0 เมื่อพิจารณาที่วงจรสะท้อนกระแส M_{10} - M_{12} และ M_{13} - M_{14} จะได้ว่า

$$i_{D14} = i_{D13} = i_{D12} = i_{D11} = 2i_{in} \quad (5.38)$$

ถ้ากำหนดให้กระแส I_{ref} เป็นกระแสอ้างอิงซึ่งมีค่าคงที่ จากการทำงานของวงจรถ่ายค่าสูงสุด M_1 - M_9 จะได้ค่ากระแสเดรน i_{D3} และ i_{D6} ของมอสเฟต M_3 และ M_6 และค่ากระแสสูงสุด i_{max} คือ

$$i_{D3} = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.39)$$

$$i_{D6} = \begin{cases} I_{ref} & ; 2i_{in} < I_{ref} \\ 0 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.40)$$

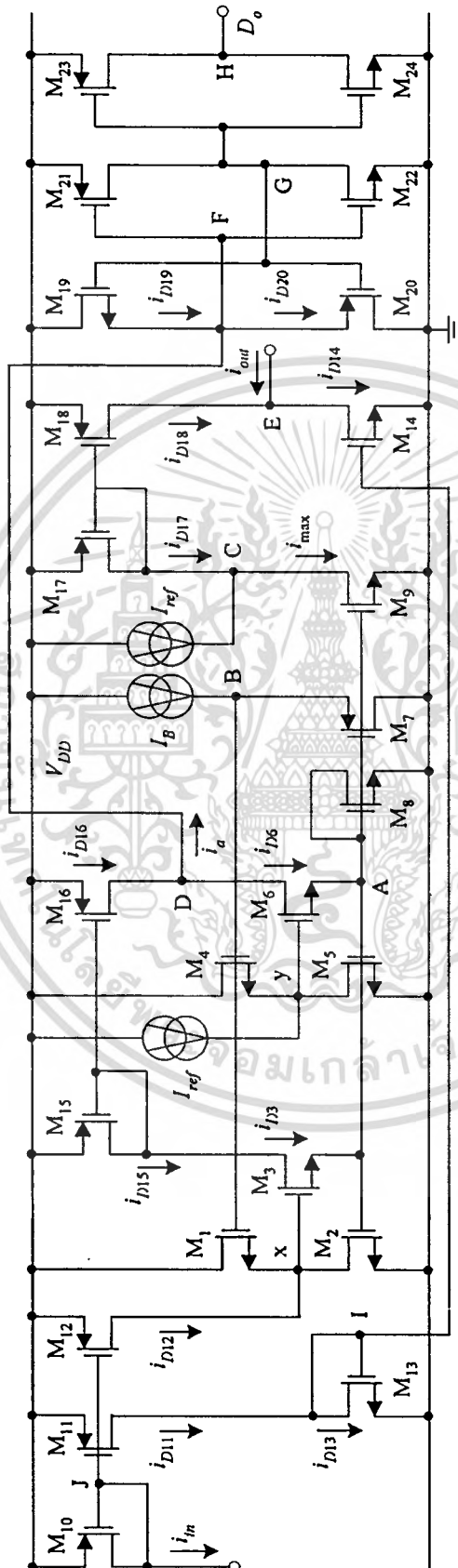
$$i_{max} = \begin{cases} I_{ref} & ; 2i_{in} < I_{ref} \\ 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.41)$$

เมื่อพิจารณาที่โหนด C จะได้

$$i_{D17} = i_{max} - I_{ref} \quad (5.42)$$

จากการทำงานของวงจรสะท้อนกระแส M_{17} - M_{18} ค่ากระแส i_{D17} จะถูกขยายเป็นสองเท่า พร้อมทั้งถูกสำเนาไปที่เอาต์พุตโหนด E โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 อัดลอจิก DAC ขนาด 1 บิตโดยใช้วงจรทาบค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = i_{D14} - i_{D18} = 2i_{in} - 2i_{D17} \quad (5.43)$$

เมื่อแทนค่าจากสมการที่ (5.42) ลงใน (5.43) จะได้ว่า

$$i_{out} = 2i_{in} - 2(i_{max} - I_{ref}) \quad (5.44)$$

เมื่อแทนค่าจากสมการที่ (5.41) ลงใน (5.44) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.45)$$

จากการทำงานของวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง M_{15} - M_{16} กระแส
 กระแส i_{D15} ซึ่งมีค่าเท่ากับกระแส i_{D3} จะถูกส่งต่อไปที่ โหนด D โดยที่

$$i_a = i_{D16} - i_{D6} = i_{D15} - i_{D6} = i_{D3} - i_{D6} \quad (5.46)$$

เมื่อแทนค่าจากสมการที่ (5.39) และ (5.40) ลงใน (5.46) จะได้กระแส i_a มีค่าดังนี้

$$i_a = \begin{cases} -I_{ref} & ; 2i_{in} < I_{ref} \\ 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.47)$$

จากสมการที่ (5.47) เมื่อกระแส $2i_{in} < I_{ref}$ กระแส i_a จะมีค่าเป็นลบ ดังนั้นกระแส i_{D19} ของ
 มอสเฟต M_{19} มีค่าเท่ากับกระแส I_{ref} และกระแส i_{D20} ของมอสเฟต M_{20} มีค่าเท่ากับศูนย์ จากการ
 ทำงานของวงจรเปรียบเทียบ M_{19} - M_{24} จะได้สัญญาณดิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low) ในกรณีที่
 $2i_{in} \geq I_{ref}$ กระแส i_a มีค่าเป็นบวก จะได้กระแส i_{D19} มีค่าเป็นศูนย์ และกระแส i_{D20} มีค่า
 เท่ากับ $2i_{in}$ ดังนั้นสัญญาณดิจิตอลเอาต์พุต D_o จะมีค่าเป็น 1 (High) จากทั้งสองกรณีสามารถเขียน
 สมการสำหรับค่าสัญญาณดิจิตอลเอาต์พุต D_o ได้ดังนี้

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.48)$$

จากสมการที่ (5.45) และ (5.48) พบว่าวงจรที่นำเสนอในรูปแบบที่ 5.13 ทำหน้าที่เป็นอัลกอริทึม ADC
 ขนาด 1 บิตที่มีการลงรหัสแบบเกรย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC โดยใช้วงจรถ่ายค่าสูงสุด

จากคุณสมบัติของมอสเฟตในทางปฏิบัติที่มีค่าทรานส์คอนดักแตนซ์ไม่เป็นอนันต์ และมอสเฟตแต่ละตัวมีความไม่สมพียงกันทุกประการ เป็นผลทำให้สมรรถนะการทำงานของวงจรถ่ายค่าสูงสุดไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC โดยใช้วงจรถ่ายค่าสูงสุด ซึ่งได้แก่ ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดันแหล่งจ่ายต่ำสุด (ภาคผนวก ข)

ก. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของวงจรถ่ายค่าสูงสุดสำหรับอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรถ่ายค่าสูงสุดดังรูปที่ 5.13 จะเกิดจากความผิดพลาดของวงจรถ่ายค่าสูงสุด (ε_{\max}) และความผิดพลาดของวงจรถ่ายค่ากระแส $M_{10}-M_{11}$ (ε_{p31}), $M_{10}-M_{12}$ (ε_{p32}), $M_{13}-M_{14}$ (ε_{n2}), และ $M_{17}-M_{18}$ (ε_{p4}) เป็นหลัก ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} (ภาคผนวก ข1) จะมีค่าดังนี้

$$i_{out} = \begin{cases} 2i_{in}(1-\varepsilon_{14}) + 2\varepsilon_{\max}I_{ref} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (2i_{in}(1-\varepsilon_{14}-2\varepsilon_{15}) + 2\varepsilon_{p4}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.49)$$

โดยที่
$$\varepsilon_{14} = \varepsilon_{p31} + \varepsilon_{n2} - \varepsilon_{p31}\varepsilon_{n2} \quad (5.50)$$

และ
$$\varepsilon_{15} = \varepsilon_{p32} + \varepsilon_{\max} - \varepsilon_{p32}\varepsilon_{\max} \quad (5.51)$$

จากการแทนค่าพารามิเตอร์ต่าง ๆ ที่ได้จากการเลียนแบบการทำงานของอัลกอริธึม ADC ดังรูปที่ 5.13 จะได้ความผิดพลาด $\varepsilon_{p4} = 4.150 \times 10^{-3}$ ในกรณีที่กระแส $2i_{in} < I_{ref}$ จะได้ $\varepsilon_{\max} = 3.1104 \times 10^{-3}$ สำหรับกรณีที่กระแส $2i_{in} \geq I_{ref}$ จะได้ $\varepsilon_{\max} = 3.3166 \times 10^{-3}$ ถ้าความผิดพลาด $\varepsilon_{p31} = -1.8376 \times 10^{-3}$, $\varepsilon_{n2} = -3.803 \times 10^{-3}$, $\varepsilon_{p32} = 1.8661 \times 10^{-3}$, และ $\varepsilon_{\max} = 3.3166 \times 10^{-3}$ จะได้ความผิดพลาด ε_{14} และ ε_{15} มีค่าประมาณ -5.6476×10^{-3} และ 5.1705×10^{-3} ตามลำดับ

ข. การวิเคราะห์ความผิดพลาดสะสม

จากอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรถ่ายค่าสูงสุดขนาด N บิต เมื่อป้อนค่ากระแสอินพุต i_{in} เท่ากับค่ากระแสอ้างอิง I_{ref} จะได้ความผิดพลาดสะสมของวงจรถ่ายค่าสูงสุดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon_B = \left(\begin{array}{l} 2^{N+1} \varepsilon_{i5} + 2^N \varepsilon_{i4} - 2^N \varepsilon_{p4} + (2^N - 2) \varepsilon_{\max} - 2^{N+1} \varepsilon_{i4} \varepsilon_{i5} + 2^N \varepsilon_{p4} \varepsilon_{i4} \\ -2^N \varepsilon_{i4}^2 - (2^N - 2^2) \varepsilon_{\max} \varepsilon_{i4} \end{array} \right) I_{ref} \quad (5.52)$$

ถ้า $N = 7$, $\varepsilon_{i5} = 5.1705 \times 10^{-3}$, $\varepsilon_{i4} = -5.6476 \times 10^{-3}$, $\varepsilon_{p4} = 4.150 \times 10^{-3}$, และ $\varepsilon_{\max} = 3.3166 \times 10^{-3}$ จะได้ความผิดพลาดสะสมมีค่าประมาณ $24.45 \mu\text{A}$ หรือ 0.978 LSB

ก. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริธึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасцепกัน จำนวนบิตที่เป็นไปได้สำหรับการต่อкасцепกันของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13 (ภาคผนวก ข3) คือ

$$N_{\max} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 4\varepsilon_{\max}}{2(2\varepsilon_{i5} + \varepsilon_{i4} - \varepsilon_{p4} + \varepsilon_{\max})} \right) \right\} \quad (5.53)$$

ถ้า $\varepsilon_{i5} = 5.1705 \times 10^{-3}$, $\varepsilon_{i4} = -5.6476 \times 10^{-3}$, $\varepsilon_{p4} = 4.150 \times 10^{-3}$, และ $\varepsilon_{\max} = 3.3166 \times 10^{-3}$ จะได้จำนวนบิต N_{\max} มีค่าเท่ากับ 8

ง. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

การเปลี่ยนแปลงค่าอุณหภูมิ ΔT จะมีผลต่อค่าแรงดันที่โนด B หรือค่าแรงดันไบแอส v_B ของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13 (ภาคผนวก ข4) ดังนี้

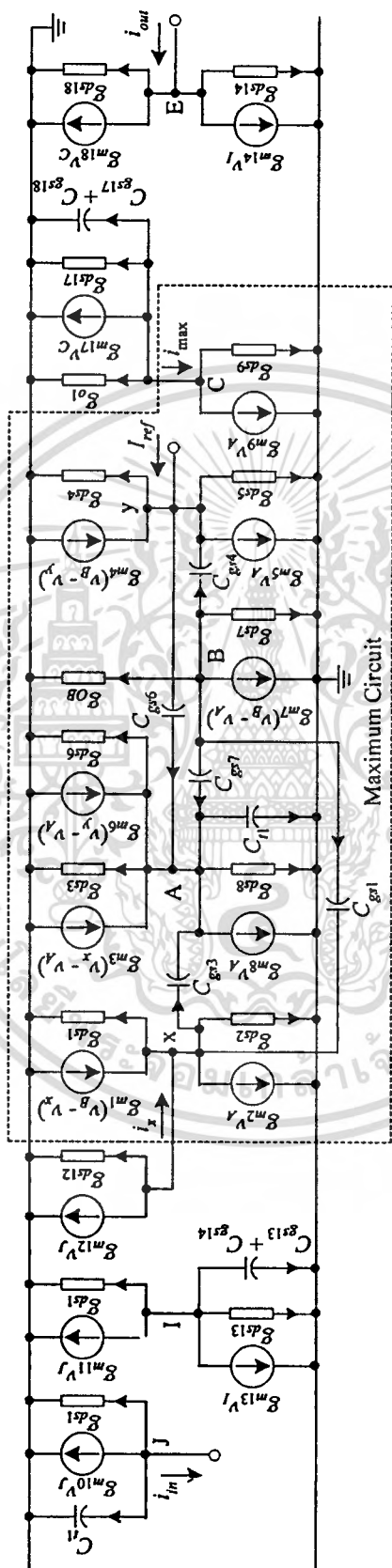
$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_7}} + \sqrt{\frac{2i_{\max}}{\beta_8}} \right) - 2\alpha\Delta T \quad (5.54)$$

ถ้า $I_B = 10 \mu\text{A}$, $i_{\max} = 50 \mu\text{A}$, $\beta_7 = 85.2 \mu\text{A/V}^2$, $\beta_8 = 564 \mu\text{A/V}^2$, $\Delta T = 1\text{K}$, และ $\alpha = 1.34 \text{ mV/K}$ จะได้ค่าแรงดันไบแอส v_B มีค่าเพิ่มขึ้น 0.3386 mV เมื่ออุณหภูมิเพิ่มขึ้น 1K หรือ 1°C

จ. การวิเคราะห์ผลตอบสนองทางความถี่

จากการวิเคราะห์วงจรมูลของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.14 (ภาคผนวก ข5) เพื่อวิเคราะห์หาช่วงความถี่ปฏิบัติงานของ ADC ในรูปที่ 5.13 จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 วงจรสมมูลในการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม DAC โดยใช้วงจรหาค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} \cong \frac{g_{m14}g_{m11}g_{m17}g_{m2}g_{m3}(T_{1x}s+1)(T_{2x}s+1)(T_4s+1) - g_{m18}g_{m9}g_{m12}g_{m13}(T_{3x}s+1)(T_5s+1)(T_6s+1)}{g_{m10}g_{m13}g_{m17}g_{m2}g_{m3}(T_{1x}s+1)(T_{2x}s+1)(T_4s+1)(T_5s+1)(T_6s+1)} \quad (5.55)$$

เมื่อ $T_{1x} \cong \frac{(g_{m2} + g_{m8})C_{gs3}}{g_{m2}g_{m3}} \quad (5.56)$

$$T_{2x} \cong \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m2} + g_{m8}} \quad (5.57)$$

$$T_{3x} \cong \frac{C_{gs3}}{g_{m3}} \quad (5.58)$$

$$T_4 = \frac{C_{gs17} + C_{gs18}}{g_{m17}} \quad (5.59)$$

$$T_5 = \frac{C_{gs12}}{g_{m10}} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (5.60)$$

$$T_6 = \frac{C_{gs13} + C_{gs14}}{g_{m13}} \quad (5.61)$$

จากสมการที่ (5.56) ถึง (5.61) จะได้ค่าตำแหน่งของโพลแต่ละตัว คือ

$$fp_{1x} = \frac{g_{m2}g_{m3}}{2\pi C_{gs3}(g_{m2} + g_{m8})} \quad (5.62)$$

$$fp_{2x} = \frac{g_{m2} + g_{m8}}{2\pi(C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9})} \quad (5.63)$$

$$fp_4 = \frac{g_{m17}}{2\pi(C_{gs17} + C_{gs18})} \quad (5.64)$$

$$fp_5 = \frac{g_{m10}}{2\pi(C_{gs10} + C_{gs11} + C_{gs12})} \quad (5.65)$$

$$fp_6 = \frac{g_{m13}}{2\pi(C_{gs13} + C_{gs14})} \quad (5.66)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลที่ได้จากการเลียนแบบการทำงานของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดคั้งรูปที่ 5.13 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m2} = 2.2144 \times 10^{-4} \text{ A/V}$, $g_{m1} = 9.8210 \times 10^{-5} \text{ A/V}$, $g_{m8} = 2.1109 \times 10^{-4} \text{ A/V}$, $g_{m10} = 1.599 \times 10^{-4} \text{ A/V}$, $g_{m13} = 1.9371 \times 10^{-4} \text{ A/V}$, $g_{m17} = 1.3631 \times 10^{-4} \text{ A/V}$, $C_{gs2} = C_{gs5} = C_{gs8} = C_{gs9} = 9.36 \times 10^{-15} \text{ F}$, $C_{gs10} = 7.408 \times 10^{-14} \text{ F}$, $C_{gs11} = C_{gs12} = C_{gs18} = 1.4816 \times 10^{-13} \text{ F}$, $C_{gs13} = C_{gs14} = 4.68 \times 10^{-14} \text{ F}$, และ $C_{gs17} = 7.408 \times 10^{-14} \text{ F}$ พบว่า $p_{1z} = 342.158 \text{ MHz}$, $p_{2z} = 1.839 \text{ GHz}$, $p_3 = 97.668 \text{ MHz}$, $p_5 = 68.741 \text{ MHz}$, และ $p_6 = 329.545 \text{ MHz}$ ดังนั้นขีดจำกัดการทำงานของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดจะขึ้นอยู่กับวงจระสะท้อนกระแส M_{10} - M_{12} เป็นหลัก ซึ่งสามารถทำงานได้ถึง 68.741 MHz

ฉ. การวิเคราะห์ความเร็วในการแปลงผัน

ความเร็วในการแปลงผันของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด N บิต (ภาคผนวก ข6) จะมีค่าโดยประมาณ ดังนี้

$$t_{C(\max)} \cong Nt_{do(\max)} + t_{dl(\max)} \quad (5.67)$$

เมื่อ $t_{do(\max)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจระย่อยที่สร้างกระแส i_{out}
 $t_{dl(\max)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจระย่อยที่สร้างดิจิตอลเอาต์พุต D_o

ค่าเวลาหน่วง $t_{do(\max)}$ สามารถพิจารณาได้จากขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุด [44] ซึ่งขึ้นอยู่กับค่าเวลาคงตัว T_s เป็นหลัก ค่าเวลา $t_{dl(\max)}$ จะวิเคราะห์จากค่าเวลาหน่วงจากการทำงานของวงจระเปรียบเทียบ [41] ถ้า $N = 7$, $t_{do(\max)} = T_s = 2.4219 \text{ ns}$, และ $t_{dl(\max)} = 3.7929 \text{ ns}$ จะได้เวลา $t_{C(\max)}$ มีค่าประมาณ 20.746 ns

ช. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(\min)}$ ของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดคั้งรูปที่ 5.13 สามารถพิจารณาได้จากจำนวนมอสเฟตสูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ (ภาคผนวก ข7) ซึ่งมีค่าโดยประมาณ คือ

$$V_{DD(\min)} \cong 2V_{TN} + |V_{TP}| \quad (5.68)$$

ถ้าทำการออกแบบวงจระโดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS $0.5\mu\text{m}$ ซึ่งมีค่าแรงดัน $V_{TN} = 0.609\text{V}$ และ $V_{TP} = -0.6101\text{V}$ จะได้แรงดัน $V_{DD(\min)}$ มีค่าประมาณ 1.83V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาตไ้ให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3 ผลการเลียนแบบการทำงานของวงจรรด้วยโปรแกรม PSPICE

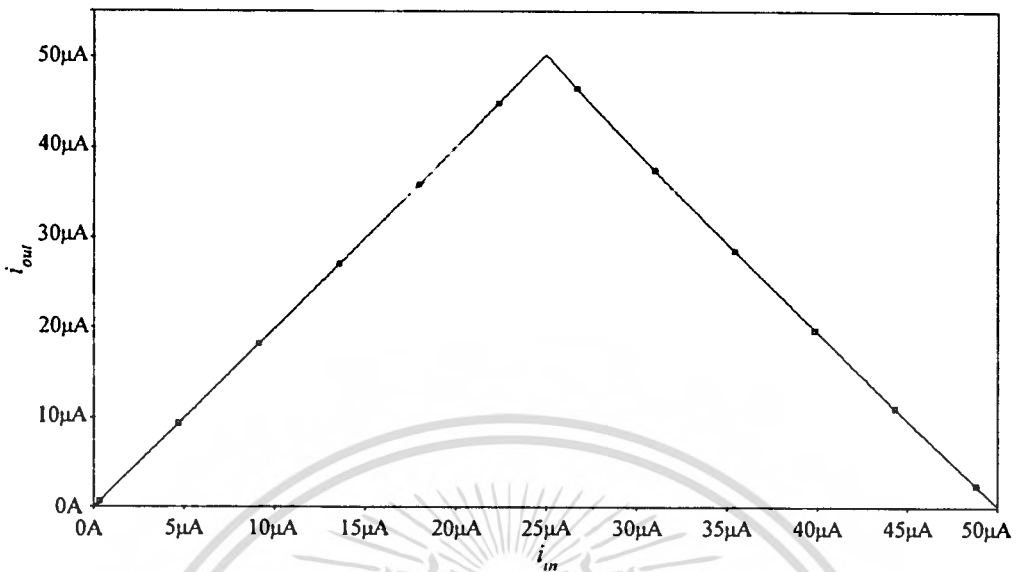
เพื่อทดสอบสมรรถนะของอัลกอริทึม ADC โดยใช้วงจรรหาค่าสูงสุดดังรูปที่ 5.13 จึงทำการทดสอบโดยเลียนแบบการทำงานของวงจรรด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μm ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 5.2 พร้อมทั้งกำหนดให้ ค่าแรงดันแหล่งจ่าย V_{DD} เท่ากับ 3.3V และค่ากระแสแหล่งจ่าย I_B และ I_{ref} เท่ากับ 10 μA และ 50 μA ตามลำดับ

ตารางที่ 5.2 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรรหาค่าสูงสุดดังรูปที่ 5.13

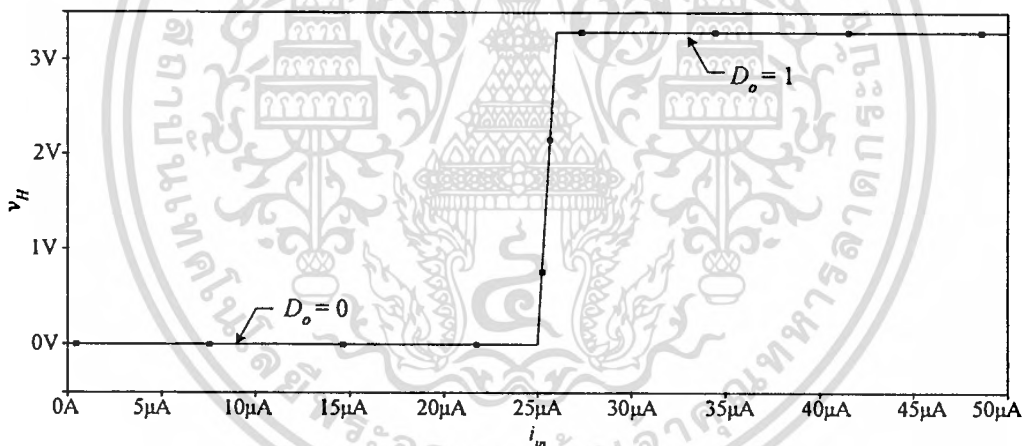
มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
$M_1, M_2, M_4, M_5, M_8, M_9, M_{15}, M_{16}, M_{21}, M_{23}$	4/1
M_3, M_6, M_{10}, M_{17}	10/1
M_7, M_{19}, M_{20}	1.2/0.5
$M_{11}, M_{12}, M_{13}, M_{14}, M_{18}$	20/1
M_{22}, M_{24}	1/1

ในรูปที่ 5.15 เป็นผลการเลียนแบบการทำงานของอัลกอริทึม ADC ที่ได้นำเสนอตามรูปที่ 5.13 โดยป้อนกระแส i_{in} เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก 0A ถึง 50 μA จากลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตในรูปที่ 5.15(ก) และ 5.15(ข) พบว่า ช่วงที่ค่ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าระหว่าง 0A ถึง 25 μA จะได้กระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2i_{in}$ ซึ่งมีค่าเพิ่มขึ้นจาก 0A ถึง 50 μA และสถานะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low) แต่ในช่วงที่กระแส $2i_{in}$ มีค่ามากกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าตั้งแต่ 25 μA ถึง 50 μA จะได้ค่ากระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2I_{ref} - 2i_{in}$ โดยมีค่าลดลงจาก 50 μA ถึง 0A และสถานะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 1 (High) เพื่อเป็นการยืนยันว่าการไบแอสมอสเฟตที่สถานะขอบนำกระแสสามารถลดความเพี้ยนของสัญญาณกระแสเอาต์พุต โดยทำการแปรค่ากระแสของแหล่งจ่าย I_B ให้เบี่ยงเบนไปจาก 10 μA เป็น 5 μA และ 15 μA ดังแสดงผลของลักษณะถ่ายโอนไฟตรงบริเวณช่วงสูงสุดในรูปที่ 5.16 พบว่า กระแสเอาต์พุตเกิดความเพี้ยนมากขึ้น เมื่อค่ากระแสของแหล่งจ่าย I_B เบี่ยงเบนไปจาก 10 μA

สำหรับผลการเลียนแบบผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรรหาค่าสูงสุดแสดงได้ดังรูปที่ 5.17 พบว่า ADC โดยใช้วงจรรหาค่าสูงสุดที่นำเสนอมีช่วงความถี่ปฏิบัติงานสูงสุดประมาณ 65.749 MHz



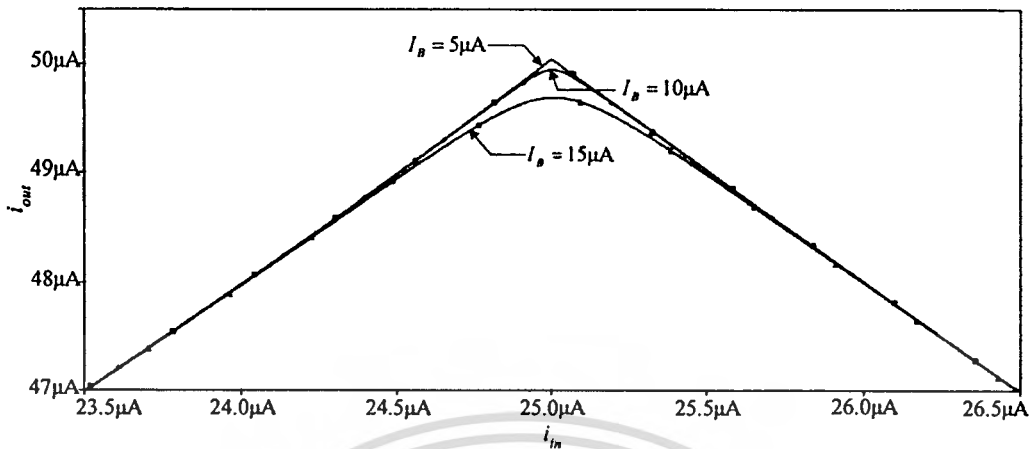
(ก) กระแสเอาต์พุต



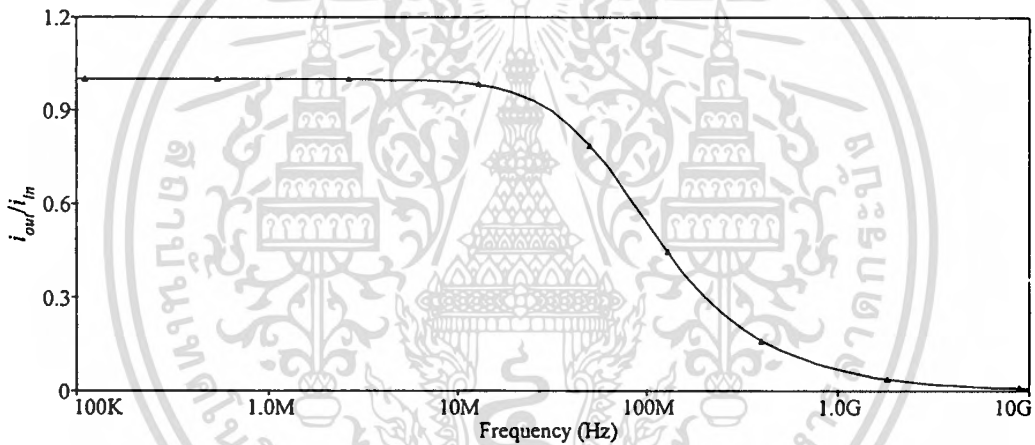
(ข) ดิจิตอลเอาต์พุต

รูปที่ 5.15 ผลการเปลี่ยนแปลงการทำงานของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13

จากการทำงานของวงจรหาค่าสูงสุดในหัวข้อที่ 4.4 พบว่ามอสเฟต M_3 และ M_6 จะสลับกันทำงาน เพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_3 และ M_6 จะทำการป้อนกระแสอินพุต i_{in} ของอัลกอริทึม ADC ที่นำเสนอในรูปที่ 5.13 เป็นสัญญาณขั้นบันได [10] เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $15\mu A$ เป็น $35\mu A$ และกระแสอ้างอิง I_{ref} เป็นสัญญาณไฟตรงขนาด $50\mu A$ จากการทำงานของวงจรสะท้อนกระแส M_{10} - M_{12} จะได้ค่ากระแส $2i_{in}$ เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $30\mu A$ เป็น $70\mu A$ ดังรูปที่ 5.18(ก) จากผลการเปลี่ยนแปลงการทำงานในรูปที่ 5.18(ข) พบว่า ในช่วงเวลา $0s < t < 1ns$ เมื่อกระแส $2i_{in}$ มีค่าน้อยกว่ากระแสอ้างอิง I_{ref} ($2i_{in} < I_{ref}$) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



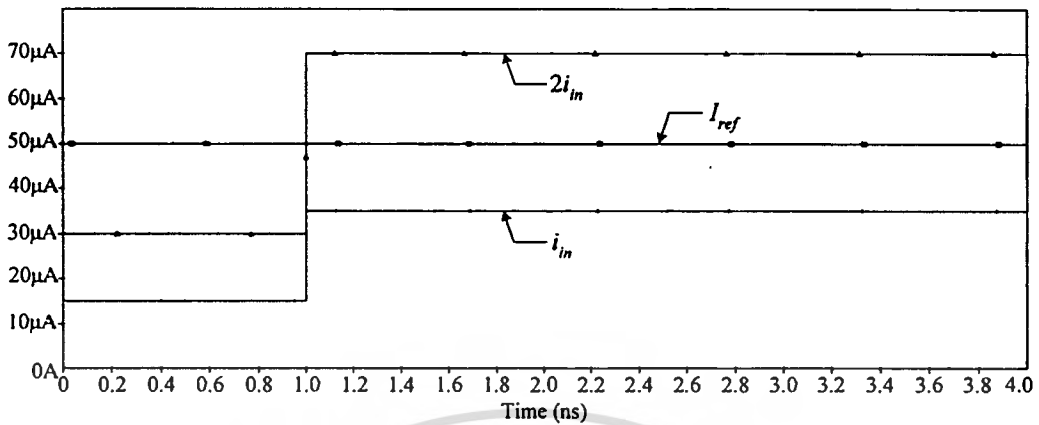
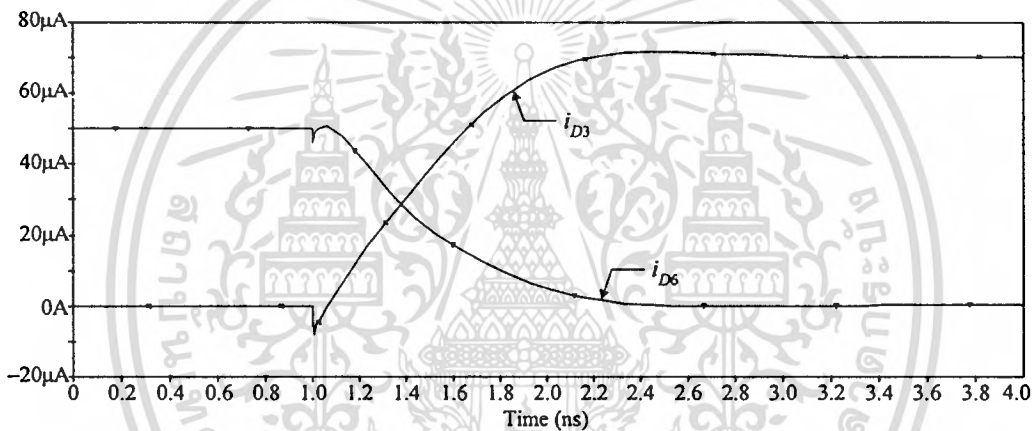
รูปที่ 5.16 ช่วงสูงสุดของฟังก์ชันถ่ายโอนไฟตรงของ ADC ดังรูปที่ 5.13 โดยแปรค่ากระแส I_B



รูปที่ 5.17 ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุด

มอสเฟต M_6 และ M_3 จะอยู่ในสถานะนำกระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่ $i_{D6} = 50\mu\text{A}$ และ $i_{D3} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{ns}$ กระแส $2i_{in}$ มีค่ามากกว่ากระแสอ้างอิง I_{ref} ($2i_{in} > I_{ref}$) มอสเฟต M_3 จะนำกระแสแทน M_6 เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D3} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} มีค่าเพิ่มขึ้นจาก 0A เป็น $63\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_3 มีค่าประมาณ 0.923 ns เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D6} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D6} มีค่าลดลงจาก $50\mu\text{A}$ เป็น $5\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_6 มีค่าประมาณ 1.017 ns ในกรณีที่ป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $35\mu\text{A}$ เป็น $15\mu\text{A}$ จะได้กระแส $2i_{in}$ เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $70\mu\text{A}$ เป็น $30\mu\text{A}$ ดังรูปที่ 5.19(ก) จากผลการเลียนแบบการทำงานในรูปที่ 5.19(ข) พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส $2i_{in}$ มีค่ามากกว่ากระแสอ้างอิง I_{ref} ($2i_{in} > I_{ref}$) มอสเฟต M_3 และ M_6 จะอยู่ในสถานะนำ

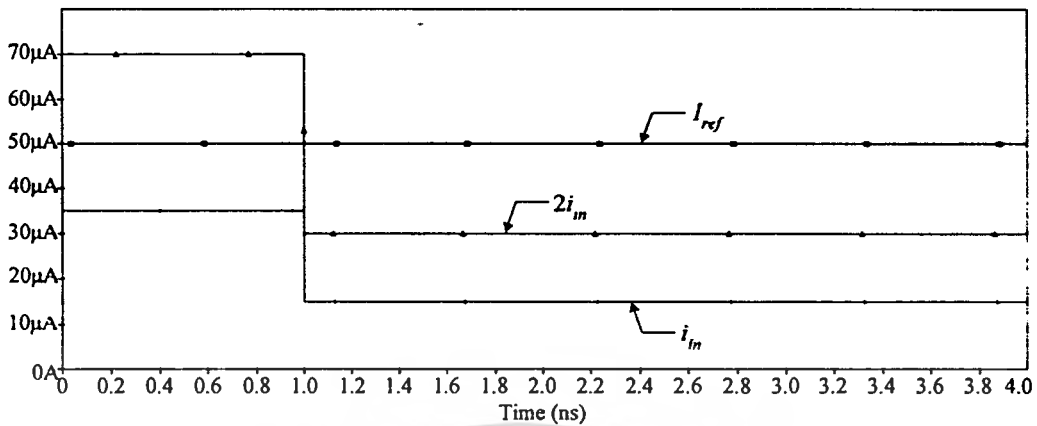
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) กระแสอินพุต i_{in} , $2i_{in}$, และกระแสอ้างอิง I_{ref} (ข) ความเร็วในการสวิตช์ของมอสเฟต M_3 และ M_6

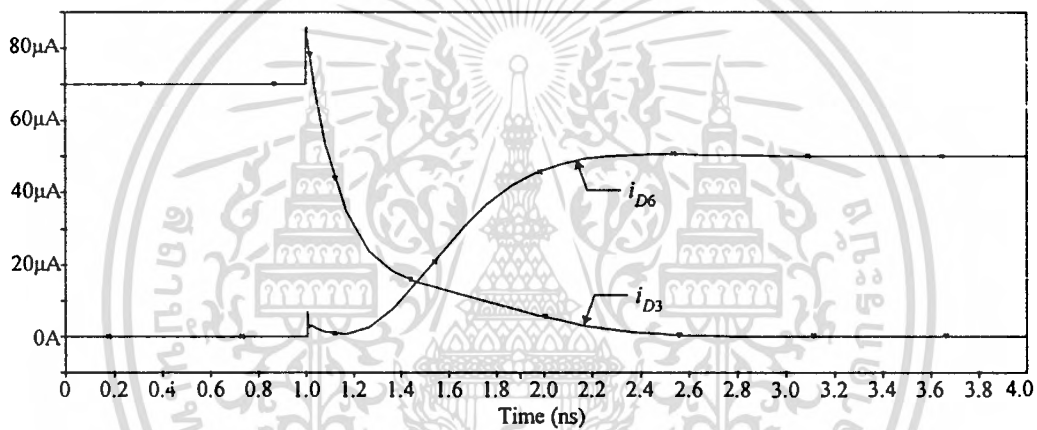
รูปที่ 5.18 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_3 และ M_6 ในอัลกอริทึม ADC ดังรูปที่ 5.13 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น

กระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่กระแส $i_{D3} = 70\mu\text{A}$ และ $i_{D6} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{s}$ กระแส i_{in} จะมีค่าน้อยกว่าศูนย์ ($i_{in} < 0$) มอสเฟต M_6 จะนำกระแสแทน M_3 เมื่อพิจารณาช่วงเวลาที่กำลังกระแส i_{D6} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D6} มีค่าเพิ่มขึ้นจาก 0A เป็น $45\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_6 มีค่าประมาณ 0.962 ns เมื่อพิจารณาช่วงเวลาที่กำลังกระแส i_{D3} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} มีค่าลดลงจาก $70\mu\text{A}$ เป็น $7\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_3 มีค่าประมาณ 0.924 ns เมื่อเปรียบเทียบเวลาในการสวิตช์ของมอสเฟต M_3 และ M_6 กับค่าคงตัวเวลาของโพลโคเดนต์ดังสมการที่ (5.60) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริทึม ADC ดังรูปที่ 5.13 พบว่าเวลาในการสวิตช์ของมอสเฟต M_3 และ M_6 มีค่าน้อยกว่า ดังนั้นการวิเคราะห์ความเร็วในการแปลงผันของ ADC โดยใช้วงจรถ่ายกระแสดังรูปที่ 5.13 ในส่วนที่เป็นการสร้างกระแสเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) กระแสอินพุต i_{in} , $2i_{in}$, และกระแสอ้างอิง I_{ref}



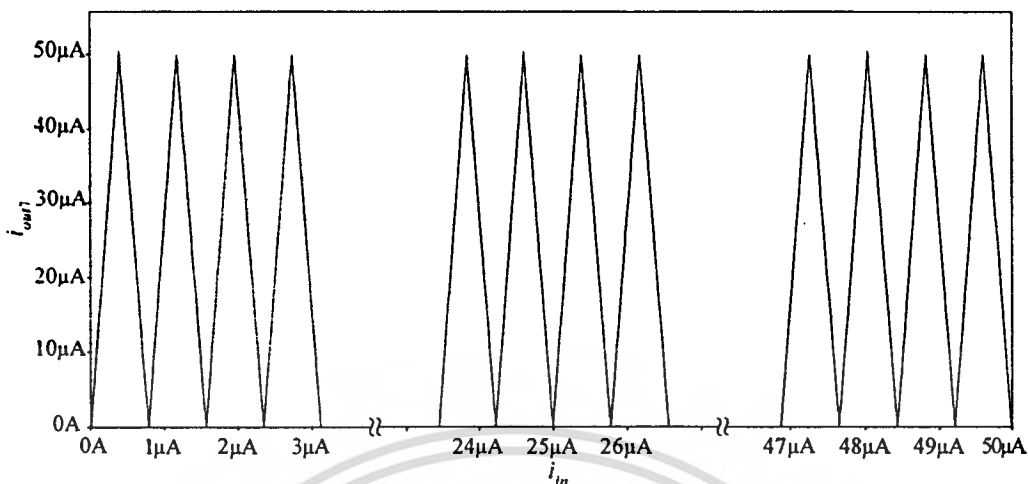
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_3 และ M_6

รูปที่ 5.19 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_3 และ M_6 ในอัลกอริทึม ADC ดังรูปที่ 5.13 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง

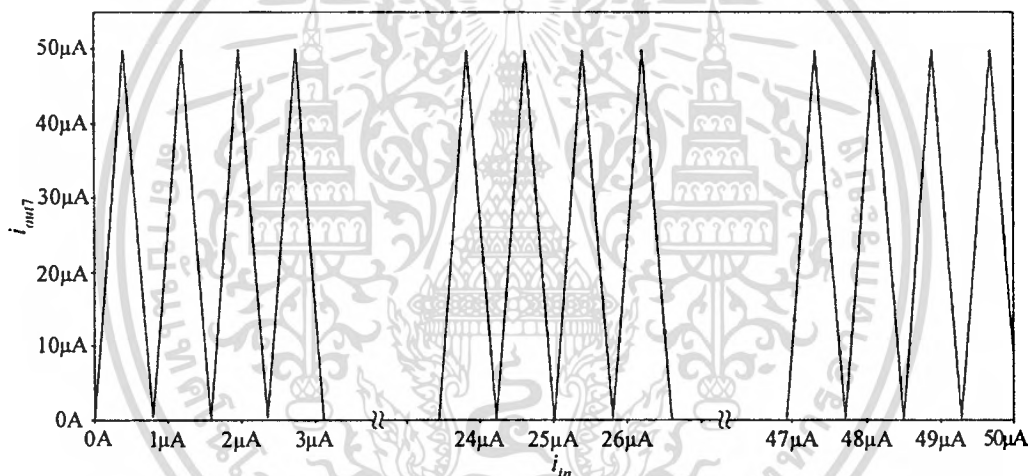
i_{out} จึงสามารถพิจารณาได้จากค่าคงตัวเวลาของโพลโคเดนต์

เพื่อเป็นการทดสอบการทำงานของอัลกอริทึม ADC ขนาด N บิต โดยการประยุกต์ใช้อัลกอริทึม ADC ขนาด 1 บิตที่ได้นำเสนอในรูปที่ 5.13 จำนวน 7 วงจร ($N = 7$) มาต่อкасцепกันเป็นอัลกอริทึม ADC ขนาด 7 บิต โดยอัตราส่วน W/L ของมอสเฟตและค่าตัวแปรต่าง ๆ จะกำหนดเช่นเดียวกับการเขียนแบบการทำงานอัลกอริทึม ADC ขนาด 1 บิต ในรูปที่ 5.20(ก) แสดงสัญญาณกระแส i_{out} บิตที่ 7 (LSB) ในทางอุดมคติ เมื่อสัญญาณกระแสอินพุตมีการแปรค่าจาก 0A ถึง 50 μ A จะได้สัญญาณเอาต์พุตของทุกบิตแปรค่าอยู่ระหว่าง 0A ถึง 50 μ A โดยมีความกว้างของฐานของสัญญาณรูปสามเหลี่ยมแต่ละรูปมีค่าประมาณ $50\mu A/2^{7-1} = 0.7812\mu A$ ในรูปที่ 5.20(ข) แสดงผลการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 7 บิต เมื่อเปรียบเทียบผลในทางอุดมคติดังรูปที่ 5.20(ก) กับผลการเขียนแบบดังรูปที่ 5.20(ข) พบว่า ผลการเขียนแบบการทำงานของอัลกอริทึม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) สัญญาณกระแส i_{om7} บิตที่ 7 ในทางอุดมคติ



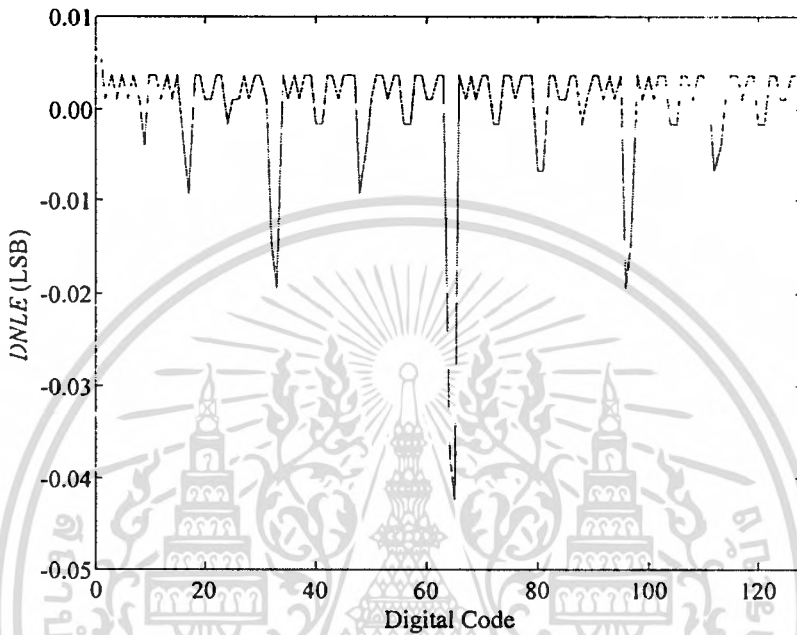
(ข) ผลการเลียนแบบการทำงาน

รูปที่ 5.20 กระแสเอาต์พุตบิตที่ 7 ของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด 7 บิต

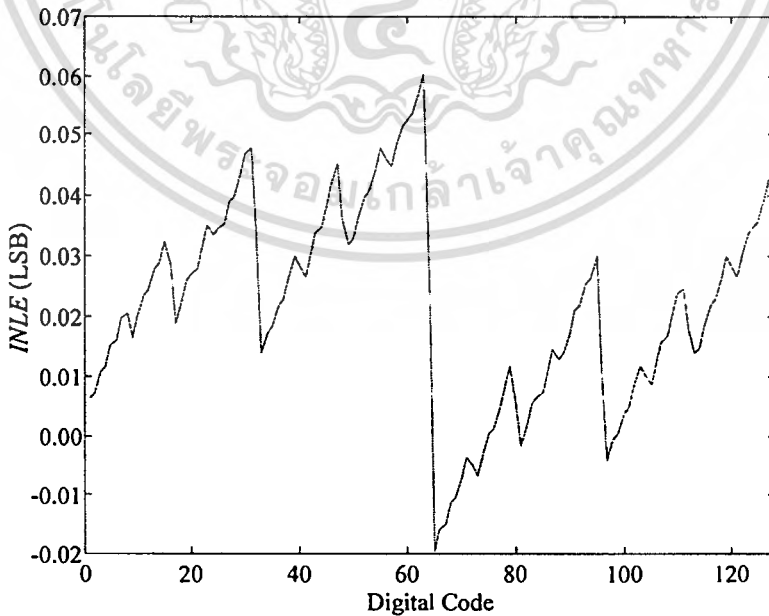
ADC ขนาด 7 บิต จะมีสัญญาณเอาต์พุตของทุกบิตมีการแปรค่าอยู่ระหว่าง 0A ถึง 50µA เช่นเดียวกับผลในทางอุดมคติ ถึงแม้ว่าสัญญาณรูปสามเหลี่ยมแต่ละรูปของผลการเลียนแบบการทำงานจะมีความเพี้ยนและความผิดพลาดสะสมเกิดขึ้น ซึ่งเป็นผลมาจากความผิดพลาดในการส่งผ่านกระแสของ ADC ขนาด 1 บิตแต่ละวงจรที่นำมาต่อкасต่อกัน

ในการวิเคราะห์ค่าผิดพลาดความไม่เชิงเส้นผลต่าง (DNLE) และค่าผิดพลาดความไม่เชิงเส้นผลรวม (INLE) ของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด 7 บิตดังรูปที่ 5.21 และ 5.22 จะวิเคราะห์จากผลการเลียนแบบการทำงานของ ADC ที่มีความผิดพลาดในการส่งผ่านกระแสดังสมการที่ (5.49) ด้วยโปรแกรม MATLAB จากรูปที่ 5.21 และ 5.22 พบว่าขนาดของค่าผิดพลาด DNLE และ INLE มีค่าสูงสุดประมาณ 0.0425 LSB และ 0.0608 LSB ตามลำดับ ดังนั้นอัลกอริทึม

ADC โดยใช้วงจรถ่ายค่าสูงสุดดังรูปที่ 5.13 สามารถนำมาประยุกต์ใช้เป็น ADC ขนาด 7 บิตได้โดยมีคุณลักษณะแบบโมโนโทนิกและในการแปลงผันจะได้สัญญาณดิจิตอลเอาต์พุตครบทุกบิตโดยไม่มีรหัสขาดหาย (หัวข้อที่ 2.3)

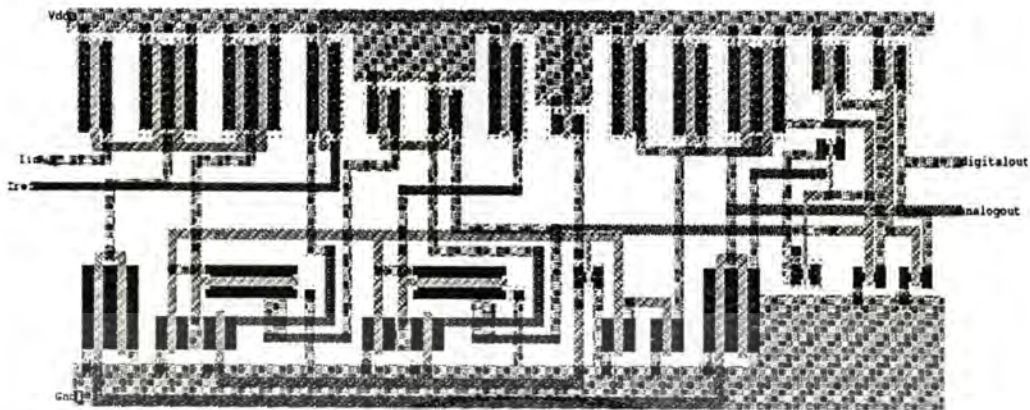


รูปที่ 5.21 ค่า $DNLE$ ของอัลกอริทึม ADC โดยใช้วงจรถ่ายค่าสูงสุดขนาด 7 บิต

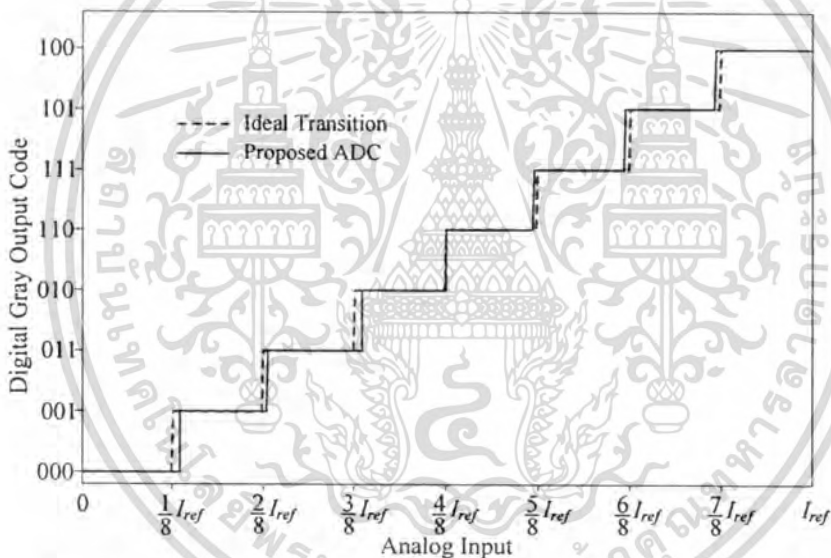


รูปที่ 5.22 ค่า $INLE$ ของอัลกอริทึม ADC โดยใช้วงจรถ่ายค่าสูงสุดขนาด 7 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 ผังภูมิของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด 1 บิต



รูปที่ 5.24 ลักษณะถ่ายโอนของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด 3 บิต

ในรูปที่ 5.23 แสดงผังภูมิของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13 ที่ ออกแบบโดยใช้โปรแกรม L-Edit ซึ่งมีพื้นที่ของวงจรมีประมาณ 0.005 mm^2 เมื่อนำผังภูมิดังรูปที่ 5.23 มาต่อคาสเคดกันเป็นอัลกอริทึม ADC ขนาด 3 บิตเพื่อศึกษาลักษณะถ่ายโอนของ ADC โดย Extract ไฟล์ในโปรแกรม L-Edit แล้วนำข้อมูลทั้งหมดมาเขียนแบบการทำงานด้วยโปรแกรม S-Edit ดังแสดงในรูปที่ 5.24 พบว่า อัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดมีค่าผิดพลาดความ ไม่เป็นเชิงเส้นในบางขั้นของการควอนไทซ์ แต่การแปลงผันของ ADC ที่นำเสนอไม่มีรหัสขาดหาย เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 อัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์โดยใช้วงจรฟังก์ชันสัมบูรณ์

5.4.1 การทำงานของวงจร

จากวงจรฟังก์ชันสัมบูรณ์ M_1 - M_4 ในรูปที่ 4.30 สามารถนำมาพัฒนาเป็นอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด 1 บิตได้ดังรูปที่ 5.25 [36] การทำงานของวงจรสามารถอธิบายได้ดังนี้ ถ้ากำหนดให้กระแส I_1 - I_4 และ I_{ref} เป็นค่ากระแสคงที่และกระแสอ้างอิง ตามลำดับ มอสเฟต M_{11} - M_{13} ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีสองเอาต์พุต ถ้ากำหนดให้อัตราส่วน W/L ของมอสเฟต M_{12} และ M_{13} มีค่าเป็นสองเท่าของอัตราส่วน W/L ของมอสเฟต M_{11} วงจรสะท้อนกระแส M_{11} - M_{13} จะมีอัตราการส่งผ่านกระแสเท่ากับสอง นอกจากนี้มอสเฟต M_{11} และ M_{13} ยังทำงานร่วมกับวงจรอินเวอร์เตอร์ M_{14} - M_{15} และ M_{16} - M_{17} ทำหน้าที่เป็นวงจรเปรียบเทียบเพื่อเปรียบเทียบระหว่างค่ากระแสเดรน i_{D13} และค่ากระแสคงที่ I_4 เพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_0 เมื่อพิจารณาที่อินพุตโนด G จะได้ว่า

$$i_{D11} = i_{in} + I_1 \quad (5.69)$$

จากการทำงานของวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับสอง M_{11} - M_{13} กระแส $2i_{D11}$ จะถูกส่งเข้าไปที่โนด H และ โนด I โดยที่

$$i_{D12} = i_{D13} = 2i_{D11} = 2I_{in} + 2I_1 \quad (5.70)$$

พิจารณาที่โนด H และเอาต์พุตโนด I ถ้าออกแบบให้กระแสคงที่ $I_2 = 2I_1 + I_{ref}$ และ $I_3 = I_{ref}$ จะได้กระแส i_{ab} และ i_{out} มีค่าดังนี้

$$i_{ab} = i_{D12} - I_2 = i_{D12} - 2I_1 - I_{ref} \quad (5.71)$$

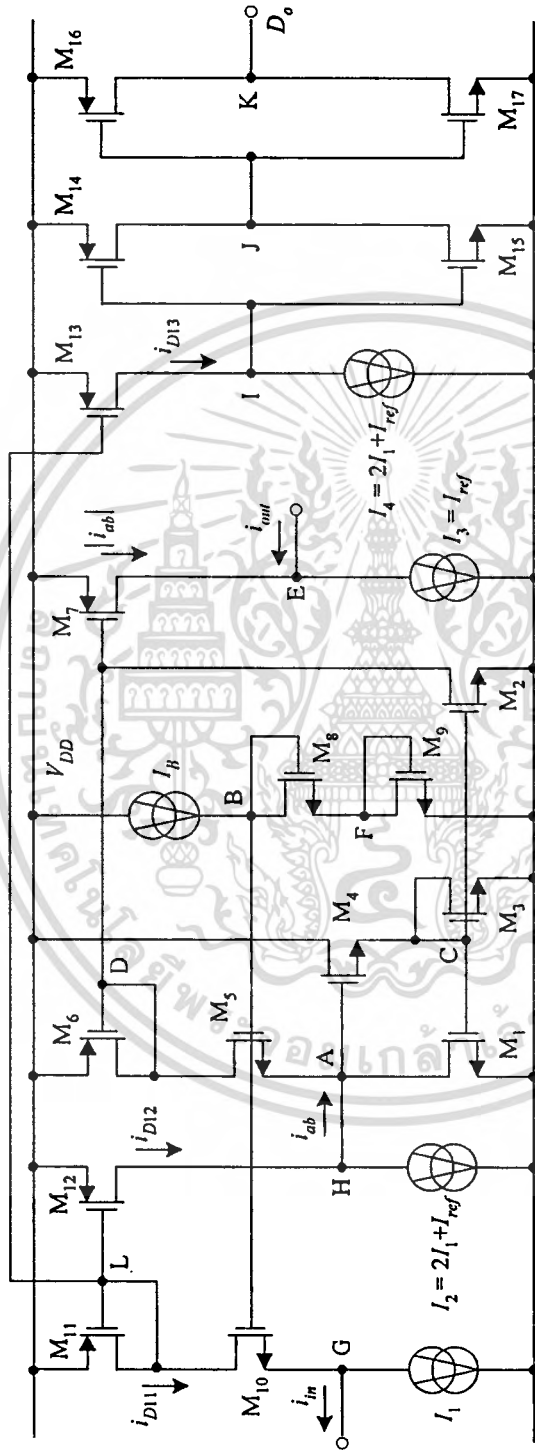
$$i_{out} = I_3 - |i_{ab}| = I_{ref} - |i_{ab}| \quad (5.72)$$

โดยที่ $|i_{ab}|$ คือ ค่ากระแสเอาต์พุตที่ได้จากการทำงานของวงจรฟังก์ชันสัมบูรณ์

เมื่อแทนค่าจากสมการที่ (5.71) ลงใน (5.72) จะได้ว่า

$$i_{out} = 2i_{in} - I_{ref} \quad (5.73)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.25 อัดถอริรมิต ADC ขนาด 1 บิตโดยใช้วงจรฟังก์ชันสับมูรณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (5.72) และ (5.73) ในกรณีที่ค่ากระแส $2i_{in} < I_{ref}$ กระแส i_{ob} จะมีค่าเป็นลบ จากการ
ทำงานของวงจรฟังก์ชันสัมบูรณ์ M_1 - M_2 , จะได้กระแสเอาต์พุต i_{out} มีค่าดังนี้

$$i_{out} = I_{ref} - |i_{ob}| = I_{ref} - (I_{ref} - 2i_{in}) = 2i_{in} \quad (5.74)$$

ถ้าค่ากระแส $2i_{in} \geq I_{ref}$ กระแส i_{ob} จะมีค่าเป็นบวก จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ M_1 - M_2 ,
จะได้ว่า

$$i_{out} = I_{ref} - |i_{ob}| = I_{ref} - (2i_{in} - I_{ref}) = 2I_{ref} - 2i_{in} \quad (5.75)$$

จากสมการที่ (5.74) และ (5.75) จะได้ค่ากระแสเอาต์พุต i_{out} คือ

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.76)$$

เมื่อพิจารณาที่โนด I ถ้าออกแบบให้กระแสคงที่ $I_4 = 2I_1 + I_{ref}$ ในกรณีที่ค่ากระแส $2i_{in} < I_{ref}$ จะได้
กระแสเดรน i_{D13} ซึ่งมีค่าเท่ากับ $2i_{in}$ มีค่าน้อยกว่ากระแสคงที่ I_4 ทำให้แรงดันที่โนด J มีค่าเข้าใกล้
ศูนย์ ดังนั้นสัญญาณดิจิตอลเอาต์พุต D_o จะมีค่าเป็น 0 (Low) ถ้ากระแส $2i_{in} \geq I_{ref}$ กระแสเดรน i_{D13}
จะมีค่ามากกว่ากระแสคงที่ I_4 ทำให้แรงดันที่โนด J มีค่าใกล้เคียงแรงดันแหล่งจ่าย V_{DD} จะได้
สัญญาณดิจิตอลเอาต์พุต D_o มีค่าเป็น 1 (High) จากทั้งสองกรณีจะได้ค่าสัญญาณดิจิตอล D_o ดังนี้

$$D_o = \begin{cases} 0 & ; 2i_{in} < I_{ref} \\ 1 & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.77)$$

จากสมการที่ (5.76) และ (5.77) พบว่าวงจรที่นำเสนอซึ่งรูปที่ 5.25 ทำหน้าที่เป็นอัลกอริธึม ADC
ขนาด 1 บิตที่มีการลงรหัสแบบเกรย์

5.4.2 การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์

การทำงานของอัลกอริธึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ในหัวข้อที่ 5.4.1 เป็น
การกำหนดให้มอสเฟตแต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติและมอสเฟตทุกตัวมีการทำงานใน
ช่วงนำกระแสอิ่มตัว สำหรับในทางปฏิบัติมอสเฟตแต่ละตัวไม่สมพงษ์กันทุกประการและค่า
ทรานส์คอนดักแตนซ์ของมอสเฟตแต่ละตัวมีค่าไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรไม่เป็นไปตามทฤษฎี ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ ซึ่งได้แก่ ความผิดพลาดในการส่งผ่านกระแส ความผิดพลาดสะสม จำนวนบิตที่เป็นไปได้ ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง ผลตอบสนองทางความถี่ ความเร็วในการแปลงผัน และค่าแรงดันแหล่งจ่ายต่ำสุด (ภาคผนวก ข)

ก. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 จะเกิดจากความไม่สมพจน์กันทุกประการของมอสเฟตในวงจรสะท้อนกระแส M_{11} - M_{12} (ε_{ps}) และความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์ (ε_{ab}) เป็นหลัก (ภาคผนวก ข1) ดังนี้

$$i_{out} = \begin{cases} 2i_{in}(1-\varepsilon_{16}) + \varepsilon_{ab}I_{ref} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (2i_{in}(1-\varepsilon_{16}) + \varepsilon_{ab}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (5.78)$$

เมื่อ
$$\varepsilon_{16} = \varepsilon_{ab} + \varepsilon_{ps} - \varepsilon_{ab}\varepsilon_{ps} \quad (5.79)$$

ในกรณีที่ค่า $2i_{in} < I_{ref}$ ถ้าความผิดพลาด ε_{ab} และ ε_{ps} มีค่าประมาณ -2.950×10^{-4} และ -4.3809×10^{-4} ตามลำดับ จะได้ความผิดพลาด ε_{16} มีค่าประมาณ -7.3323×10^{-4} สำหรับกรณีที่ค่า $2i_{in} \geq I_{ref}$ ถ้า ε_{ab} และ ε_{ps} มีค่าประมาณ -3.372×10^{-4} และ 1.0833×10^{-3} ตามลำดับ จะได้ความผิดพลาด ε_{16} มีค่าประมาณ 7.4643×10^{-3}

ข. การวิเคราะห์ความผิดพลาดสะสม

จากอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด N บิต เมื่อป้อนค่ากระแสอินพุต i_{in1} เท่ากับค่ากระแส I_{ref} จะได้ความผิดพลาดสะสมของวงจร (ภาคผนวก ข2) ดังนี้

$$\varepsilon_C = (2^N \varepsilon_{16} - \varepsilon_{ab} - 2^N \varepsilon_{16}^2 + 2\varepsilon_{ab}\varepsilon_{16}) I_{ref} \quad (5.80)$$

หรือ
$$\varepsilon_C = (2^{N-1})\varepsilon_{ab} + (2^N)\varepsilon_{ps} - (2^{N-1} - 2 + 2^N)\varepsilon_{ab}\varepsilon_{ps} - (2^N - 2)\varepsilon_{ab}^2 + (2^{N+1})\varepsilon_{ab}\varepsilon_{ps}^2 + (2^{N+1} - 2)\varepsilon_{ab}^2\varepsilon_{ps} - (2^N)\varepsilon_{ps}^2 - (2^N)\varepsilon_{ab}^2\varepsilon_{ps}^2 \quad (5.81)$$

ถ้า $i_{in1} = I_{ref} = 50 \mu A$, $N = 9$, $\varepsilon_{ab} = -3.372 \times 10^{-4}$, และ $\varepsilon_{ps} = 7.4643 \times 10^{-3}$ จะเกิดความผิดพลาดสะสม ε_C ประมาณ $19.125 \mu A$ หรือ 0.765 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасечกัน จำนวนบิตที่เป็นไปได้สำหรับการต่อкасечกันของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ (ภาคผนวก ข3) คือ

$$N_{ab} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 2\varepsilon_{ab}}{2\varepsilon_{r6}} \right) \right\} \quad (5.82)$$

ถ้า ε_{ab} และ ε_{r6} มีค่าประมาณ -3.372×10^{-4} และ 7.4643×10^{-3} ตามลำดับ จะได้จำนวนบิต $N_{ab} = 10$

ง. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

การเปลี่ยนแปลงของอุณหภูมิ ΔT จะมีผลกระทบต่อค่าแรงดันที่โนด B หรือค่าแรงดันไบแอส v_B ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 (ภาคผนวก ข4) ดังนี้

$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_8 \beta_9}} (\sqrt{\beta_8} + \sqrt{\beta_9}) \right) - 2\alpha \Delta T \quad (5.83)$$

ถ้ากำหนดให้ $I_B = 10 \mu\text{A}$, $\beta_8 = \beta_9 = 564 \mu\text{A}/\text{V}^2$, $\Delta T = 1\text{K}$, และ $\alpha = 1.34\text{mV}/\text{K}$ จะได้ว่า แรงดันไบแอส v_B มีค่าลดลง 1.4256 mV เมื่ออุณหภูมิเพิ่มขึ้น 1K หรือ 1°C

จ. การวิเคราะห์ผลตอบสนองทางความถี่

จากการวิเคราะห์วงจรสมมูลของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.26 (ภาคผนวก ข5) จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} ในกรณีที่ $2i_{in} < I_{ref}$ คือ

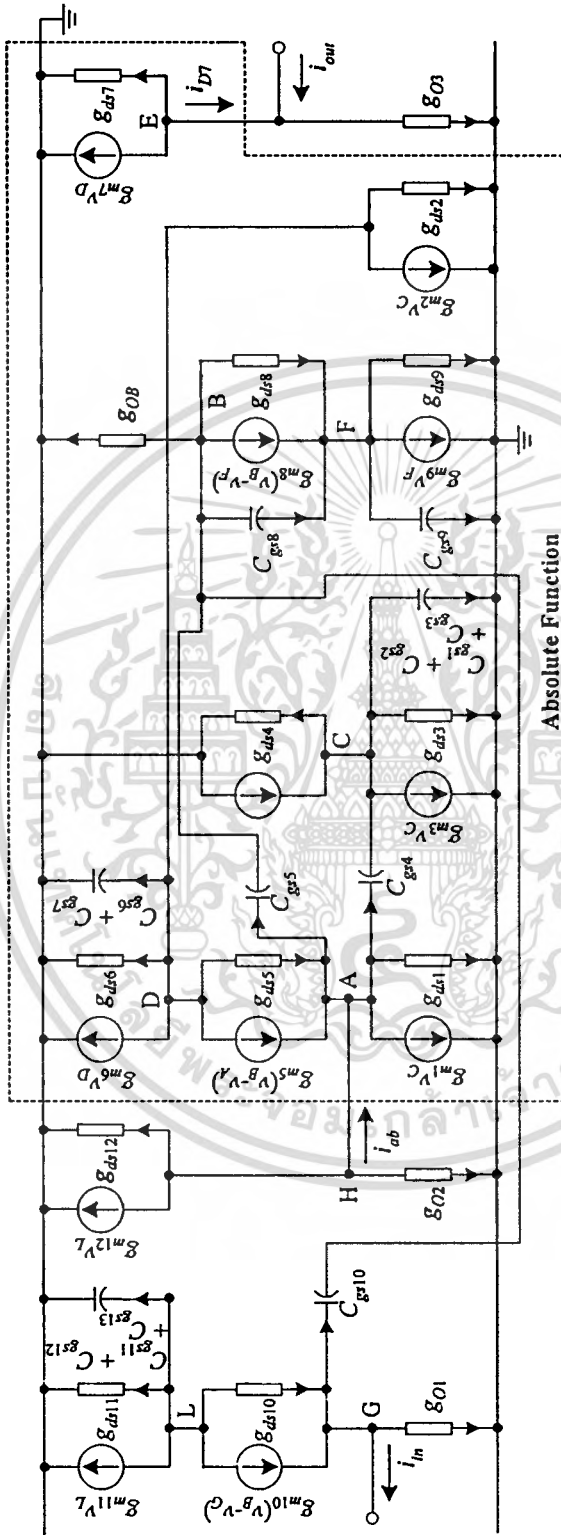
$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m7} g_{m12}}{g_{m11} g_{m6}} \right) \frac{1}{(T_{1abN} s + 1)(T_{2abN} s + 1)(T_{3abN} s + 1)(T_{4abN} s + 1)} \quad (5.84)$$

เมื่อ

$$T_{1abN} \cong \frac{g_{m5} C_{gs6} + g_{m5} C_{gs7} + g_{m6} C_{gs5}}{g_{m5} g_{m6}} \quad (5.85)$$

$$T_{2abN} \cong \frac{C_{gs5} (C_{gs6} + C_{gs7})}{g_{m5} C_{gs6} + g_{m5} C_{gs7} + g_{m6} C_{gs5}} \quad (5.86)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.26 วงจรสมมูลในการวิเคราะห์ผลตอบสนองของทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{3abN} = \frac{C_{gs11} + C_{gs12} + C_{gs13}}{g_{m11}} \quad (5.87)$$

$$T_{4abN} = \frac{C_{gs10}}{g_{m10}} \quad (5.88)$$

จากสมการที่ (5.85) ถึง (5.88) จะได้ค่าตำแหน่งของโพลแต่ละตัว คือ

$$fp_{1abN} = \frac{g_{m5}g_{m6}}{2\pi(g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5})} \quad (5.89)$$

$$fp_{2abN} = \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{2\pi C_{gs5}(C_{gs6} + C_{gs7})} \quad (5.90)$$

$$fp_{3abN} = \frac{g_{m11}}{2\pi(C_{gs11} + C_{gs12} + C_{gs13})} \quad (5.91)$$

$$fp_{4abN} = \frac{g_{m10}}{2\pi(C_{gs10})} \quad (5.92)$$

สำหรับกรณีที่ $2i_{in} \geq I_{ref}$ จะมีความสัมพันธ์ระหว่างค่ากระแสอินพุต i_{in} และกระแสเอาต์พุต i_{out} คือ

$$\frac{i_{out}}{i_{in}} = \frac{\left(\frac{g_{m2}g_{m7}g_{m12}}{g_{m1}g_{m6}g_{m11}}\right) (T_{3abP}^S + 1)}{(T_{1abP}^S + 1)(T_{2abP}^S + 1)(T_{4abP}^S + 1)(T_{5abP}^S + 1)} \quad (5.93)$$

เมื่อ

$$T_{1abP} = \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (5.94)$$

$$T_{2abP} = \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (5.95)$$

$$T_{3abP} = \frac{C_{gs4}}{g_{m4}} \quad (5.96)$$

$$T_{4abP} = \frac{C_{gs11} + C_{gs12} + C_{gs13}}{g_{m11}} \quad (5.97)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{5abP} = \frac{C_{gs10}}{g_{m10}} \quad (5.98)$$

จากสมการที่ (5.94) ถึง (5.98) จะได้ค่าตำแหน่งของโพลแต่ละตัว คือ

$$fp_{1abP} = \frac{g_{m1}g_{m4}}{2\pi C_{gs4}(g_{m1} + g_{m3})} \quad (5.99)$$

$$fp_{2abP} = \frac{g_{m6}}{2\pi(C_{gs6} + C_{gs7})} \quad (5.100)$$

$$fp_{3abP} = \frac{g_{m4}}{2\pi(C_{gs4})} \quad (5.101)$$

$$fp_{4abP} = \frac{g_{m11}}{2\pi(C_{gs11} + C_{gs12} + C_{gs13})} \quad (5.102)$$

$$fp_{5abP} = \frac{g_{m10}}{2\pi(C_{gs10})} \quad (5.103)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์รูปที่ 5.25 จะได้ค่าพารามิเตอร์ต่าง ๆ ดังนี้ $g_{m1} = 3.1911 \times 10^{-5}$ A/V, $g_{m3} = g_{m4} = 3.0986 \times 10^{-5}$ A/V, $g_{m5} = 2.9627 \times 10^{-4}$ A/V, $g_{m6} = 2.9782 \times 10^{-4}$ A/V, $g_{m10} = 1.8779 \times 10^{-4}$ A/V, $g_{m11} = 2.4305 \times 10^{-4}$ A/V, $C_{gs4} = 1.404 \times 10^{-14}$ F, $C_{gs5} = C_{gs10} = 9.36 \times 10^{-15}$ F, $C_{gs6} = C_{gs7} = 2.9632 \times 10^{-14}$ F, $C_{gs11} = 5.9264 \times 10^{-14}$ F, และ $C_{gs12} = C_{gs13} = 1.1853 \times 10^{-13}$ F พบว่า $fp_{1abN} = 690.564$ MHz, $fp_{2abN} = 5.84$ GHz, $fp_{3abN} = fp_{4abP} = 130.607$ MHz, $fp_{4abN} = fp_{5abP} = 3.195$ GHz, $fp_{1abP} = 178.299$ MHz, $fp_{2abP} = 800.198$ MHz, และ $fp_{3abP} = 351.428$ MHz ดังนั้นขีดจำกัดการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.25 จะขึ้นอยู่กับวงจรสะท้อนกระแส M_{11} - M_{13} เป็นหลัก ซึ่งสามารถทำงานได้ถึงความถี่ 130.607 MHz

ฉ. การวิเคราะห์ความเร็วในการแปลงผัน

ความเร็วในการแปลงผันของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด N บิต (ภาคผนวก ข6) จะมีค่าโดยประมาณ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_{C(ab)} \cong Nt_{da(ab)} + t_{dd(ab)} \quad (5.104)$$

เมื่อ $t_{da(ab)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรร้อยที่สร้างกระแส i_{onr}
 $t_{dd(ab)}$ คือ ค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรร้อยที่สร้างดิจิตอลเอาต์พุต D_o

ค่าเวลาหน่วง $t_{da(ab)}$ สามารถพิจารณาได้จากขีดจำกัดของผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรรีจิสเตอร์ [44] ซึ่งขึ้นอยู่กับค่าเวลาคงตัว T_{3abN} หรือ T_{4abP} เป็นหลัก ค่าเวลา $t_{da(ab)}$ จะวิเคราะห์จากค่าเวลาหน่วงจากการทำงานของวงจรรีจิสเตอร์ ซึ่งเป็นวงจรรีจิสเตอร์ที่ใช้ในการสร้างดิจิตอลเอาต์พุต [41] ถ้า $N=9$, $t_{da(ab)} = T_{3abN} = T_{4abP} = 1.2428$ ns, และ $t_{dd(ab)} = 4.3428$ ns จะได้เวลา $t_{C(ab)}$ มีค่าประมาณ 15.528 ns

ข. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(\min)}$ ของอัลกอริทึม ADC โดยใช้วงจรรีจิสเตอร์ดังรูปที่ 5.25 สามารถพิจารณาได้จากจำนวนมอสเฟตสูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ (ภาคผนวก ข7) ซึ่งมีค่าโดยประมาณดังนี้

$$V_{DD(\min)} \cong 2V_{TN} + |V_{TP}| \quad (5.105)$$

ถ้าทำการออกแบบวงจรรีจิสเตอร์โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ที่มีค่าแรงดัน $V_{TN} = 0.609$ V และ $V_{TP} = -0.6101$ V จะได้แรงดัน $V_{DD(\min)}$ มีค่าประมาณ 1.83V

5.4.3 ผลการเลียนแบบการทำงานของวงจรรีจิสเตอร์ด้วยโปรแกรม PSPICE

เพื่อทดสอบสมรรถนะของอัลกอริทึม ADC โดยใช้วงจรรีจิสเตอร์ดังรูปที่ 5.25 จะทำการทดสอบโดยเลียนแบบการทำงานของวงจรรีจิสเตอร์ด้วยโปรแกรม PSPICE โดยใช้แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μ m ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L ดังตารางที่ 5.3 พร้อมทั้งกำหนดให้ค่าแรงดันแหล่งจ่าย V_{DD} เท่ากับ 3V ค่ากระแสแหล่งจ่าย I_B , I_I , และ I_{ref} เท่ากับ 10 μ A, 20 μ A, และ 50 μ A ตามลำดับ

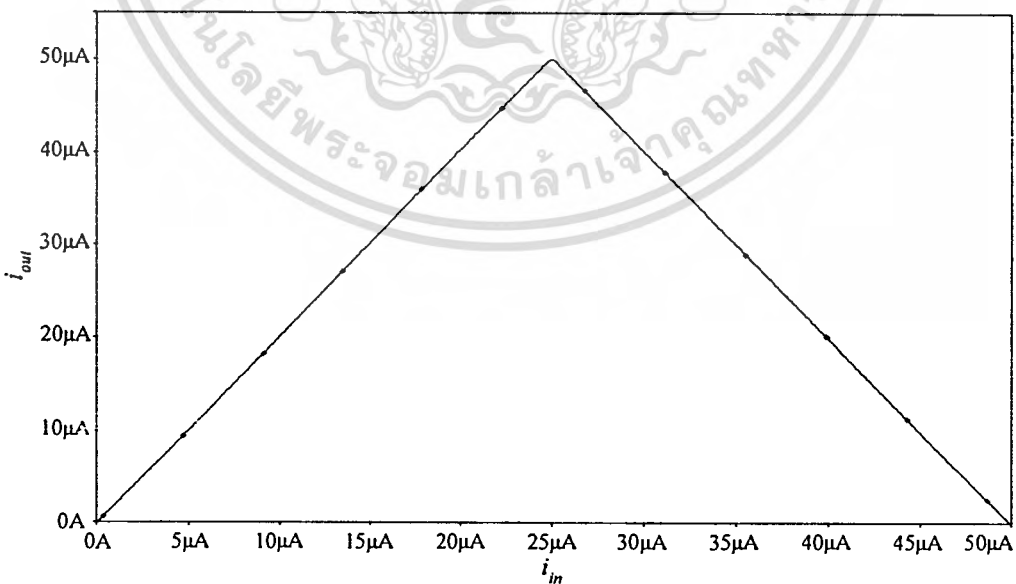
ในรูปที่ 5.27 เป็นผลการเลียนแบบการทำงานของอัลกอริทึม ADC ที่ได้นำเสนอตามรูปที่ 5.25 โดยป้อนกระแส i_{in} เป็นสัญญาณไฟตรงที่มีการแปรค่าจาก 0A ถึง 50 μ A จากลักษณะถ่ายโอนไฟตรงและดิจิตอลเอาต์พุตในรูปที่ 5.27(ก) และ 5.27(ข) พบว่า ช่วงที่ค่ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าระหว่าง 0A ถึง 25 μ A จะได้กระแสเอาต์พุต i_{onr} มีค่าเท่ากับ $2i_{in}$ ซึ่งมีค่าเพิ่มขึ้นจาก 0A ถึง 50 μ A และสถานะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 0 (Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 อัตราส่วน W/L ของมอสเฟตในอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25

มอสเฟต	$W(\mu\text{m})/L(\mu\text{m})$
M_1, M_2, M_3, M_4	6/1
$M_5, M_6, M_7, M_8, M_9, M_{10}, M_{14}, M_{16}$	4/1
M_{11}	4/2
M_{12}, M_{13}	8/2
M_{15}, M_{17}	1/1

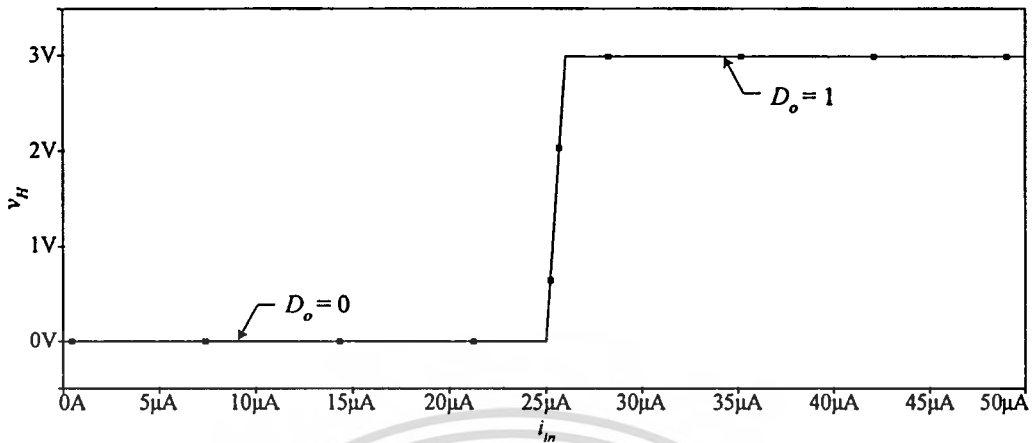
แต่ในช่วงที่กระแส $2i_{in}$ มีค่ามากกว่ากระแส I_{ref} ซึ่งเป็นช่วงที่กระแส i_{in} มีค่าตั้งแต่ $25\mu\text{A}$ ถึง $50\mu\text{A}$ จะได้ว่า กระแสเอาต์พุต i_{out} มีค่าเท่ากับ $2I_{ref} - 2i_{in}$ โดยมีค่าลดลงจาก $50\mu\text{A}$ ถึง 0A และสภาวะลอจิกของดิจิตอลเอาต์พุต D_o มีค่าเป็น 1 (High) เพื่อเป็นการยืนยันว่าการไบแอสมอสเฟตที่สภาวะขอบนำกระแสสามารถลดความเพี้ยนของสัญญาณกระแสเอาต์พุต โดยทำการแปรค่ากระแสของแหล่งจ่าย I_B ให้เบี่ยงเบนไปจาก $10\mu\text{A}$ เป็น $5\mu\text{A}$ และ $15\mu\text{A}$ ดังแสดงผลของลักษณะถ่ายโอนไฟดรงบริเวณช่วงสูงสุดในรูปแบบที่ 5.28 พบว่ากระแสเอาต์พุตเกิดความเพี้ยนมากขึ้น เมื่อค่ากระแสของแหล่งจ่าย I_B เบี่ยงเบนไปจาก $10\mu\text{A}$ ในรูปที่ 5.29 แสดงผลการเลียนแบบผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ พบว่า อัลกอริทึม ADC ดังรูปที่ 5.25 มีช่วงความถี่



(ก) กระแสเอาต์พุต

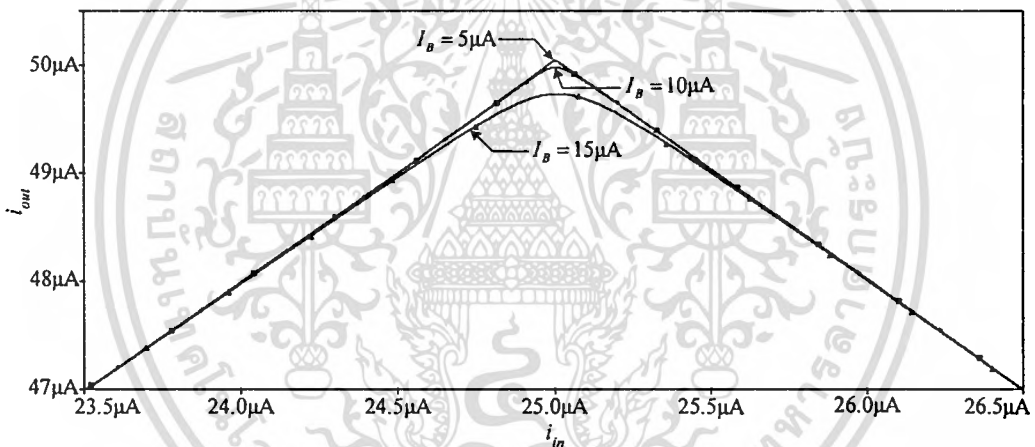
รูปที่ 5.27 ผลการเลียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

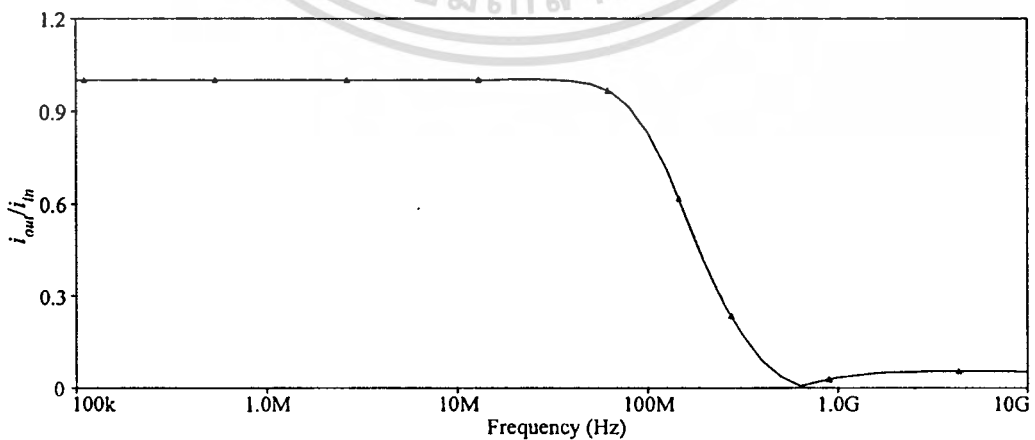


(ข) คิววิตอลเอาต์พุต

รูปที่ 5.27 ผลการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้ฟังก์ชันสัมบูรณ์ (ต่อ)



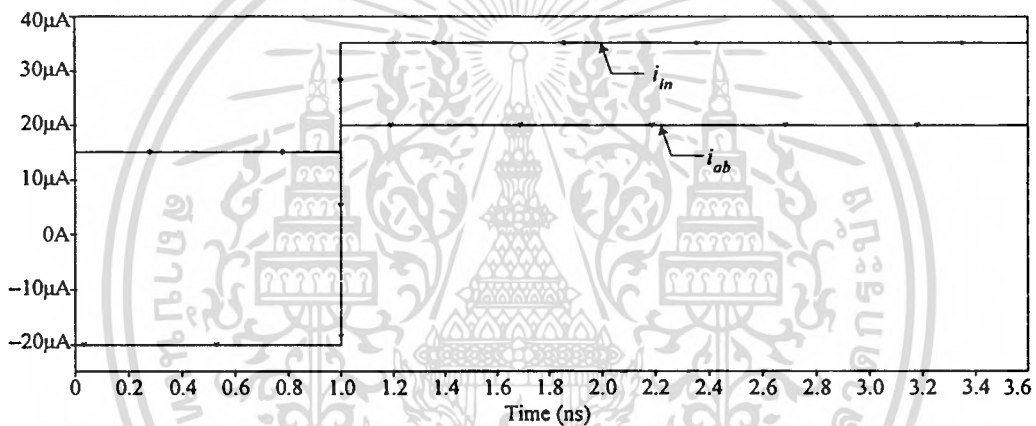
รูปที่ 5.28 ช่วงสูงสุดของฟังก์ชันถ่ายโอนไฟตรงของ ADC ดังรูปที่ 5.25 โดยแปรค่ากระแส I_b



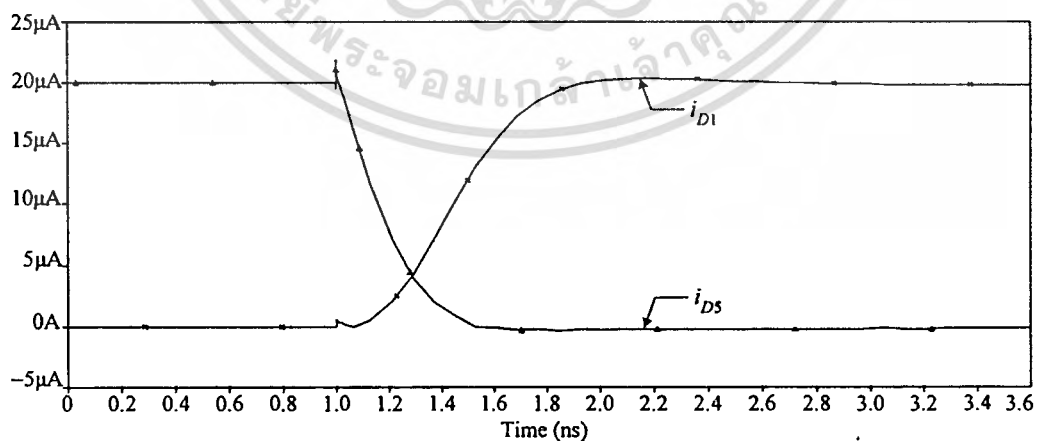
รูปที่ 5.29 ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้ฟังก์ชันสัมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฏิบัติงานสูงสุดประมาณ 128.125 MHz จากการทำงานของวงจรฟังก์ชันสับรวมในหัวข้อที่ 4.5 พบว่ามอสเฟต M_1 และ M_3 จะสลับกันทำงานทั้งนี้ขึ้นอยู่กับค่ากระแส i_{in} เพื่อศึกษาความเร็วในการสวิทช์ของมอสเฟต M_1 และ M_3 จะทำการป้อนกระแสอินพุต i_{in} ของอัลกอริทึม ADC ที่นำเสนอในรูปที่ 5.25 เป็นสัญญาณขั้นบันได [10] เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $15\mu\text{A}$ เป็น $35\mu\text{A}$ จากการทำงานของวงจรสะท้อนกระแส M_{11} - M_{12} จะได้กระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $-20\mu\text{A}$ เป็น $20\mu\text{A}$ ดังรูปที่ 5.30(ก) จากผลการเขียนแบบการทำงานในรูปที่ 5.30(ข) พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_{in} มีค่าน้อยกว่าศูนย์ ($i_{in} < 0$) มอสเฟต M_3 และ M_1 จะอยู่ในสภาวะนำกระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่กระแส $i_{D3} = 20\mu\text{A}$ และ $i_{D1} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{ns}$ กระแส i_{in} จะมีค่ามากกว่าศูนย์ ($i_{in} > 0$) มอสเฟต M_1 จะนำ



(ก) กระแสอินพุต i_{in} และกระแส i_{ab}

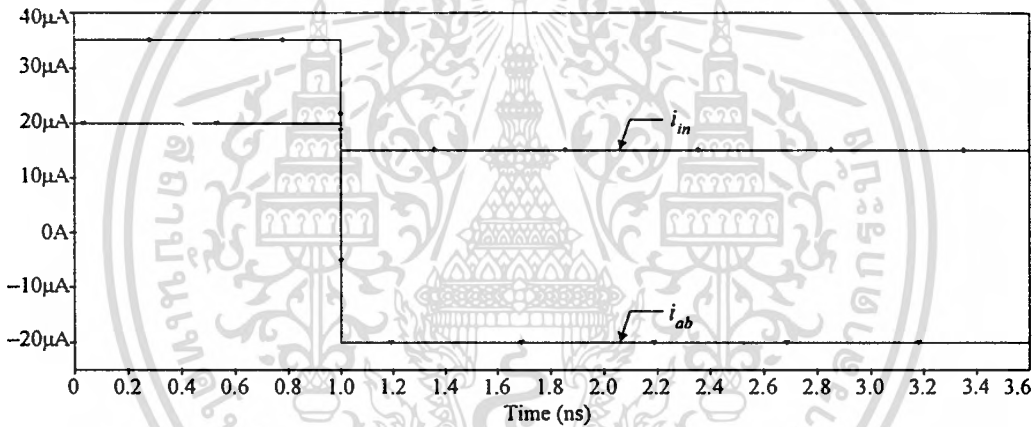


(ข) ความเร็วในการสวิทช์ของมอสเฟต M_1 และ M_3

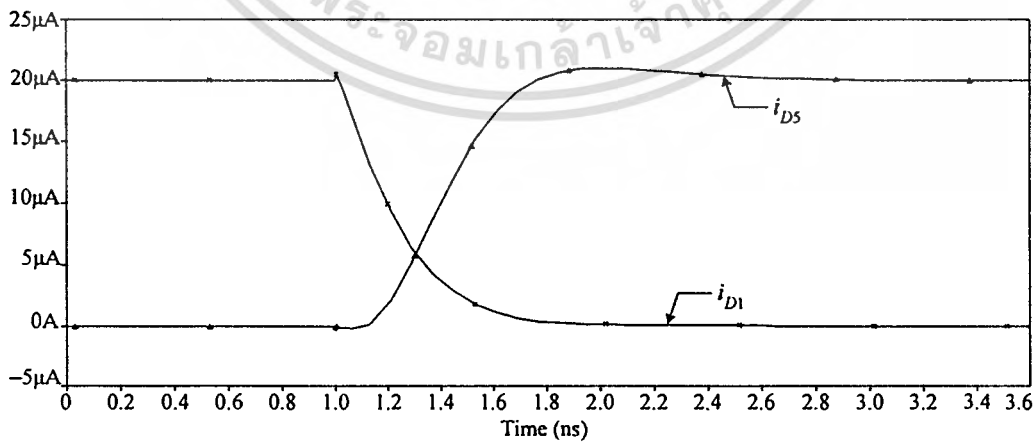
รูปที่ 5.30 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิทช์ของมอสเฟต M_1 และ M_3 ในอัลกอริทึม ADC ดังรูปที่ 5.25 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสแทน M_5 เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D1} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D1} มีค่าเพิ่มขึ้นจาก 0A เป็น $18\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_1 มีค่าประมาณ 0.748 ns เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D5} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D5} มีค่าลดลงจาก $20\mu\text{A}$ เป็น $2\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_5 มีค่าประมาณ 0.372 ns ในกรณีที่ป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $35\mu\text{A}$ เป็น $15\mu\text{A}$ จะได้กระแส i_{ab} เป็นสัญญาณขั้นบันไดที่มีค่าลดลงจาก $20\mu\text{A}$ เป็น $-20\mu\text{A}$ ดังรูปที่ 5.31(ก) จากผลการเขียนแบบการทำงานในรูปที่ 5.31(ข) พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_{ab} มีค่ามากกว่าศูนย์ ($i_{ab} > 0$) มอสเฟต M_1 และ M_5 จะอยู่ในสภาวะนำกระแส (On) และไม่นำกระแส (Off) ตามลำดับ โดยที่ $i_{D1} = 20\mu\text{A}$ และ $i_{D5} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{s}$ กระแส i_{ab} จะมีค่าน้อยกว่าศูนย์ ($i_{ab} < 0$) มอสเฟต M_5 จะนำกระแสแทน M_1 เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D5} มีการเปลี่ยนแปลง



(ก) กระแสอินพุต i_{in} และกระแส i_{ab}



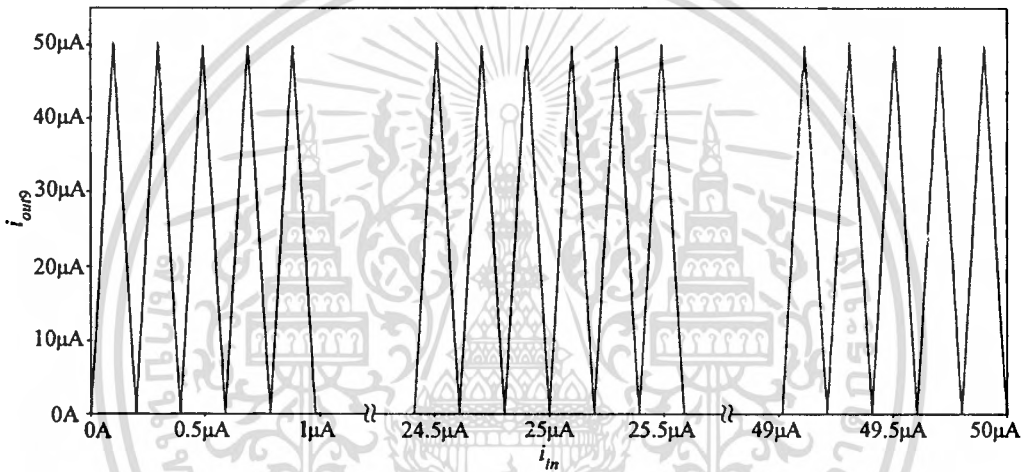
(ข) ความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_5

รูปที่ 5.31 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟต M_1 และ M_5 ใน

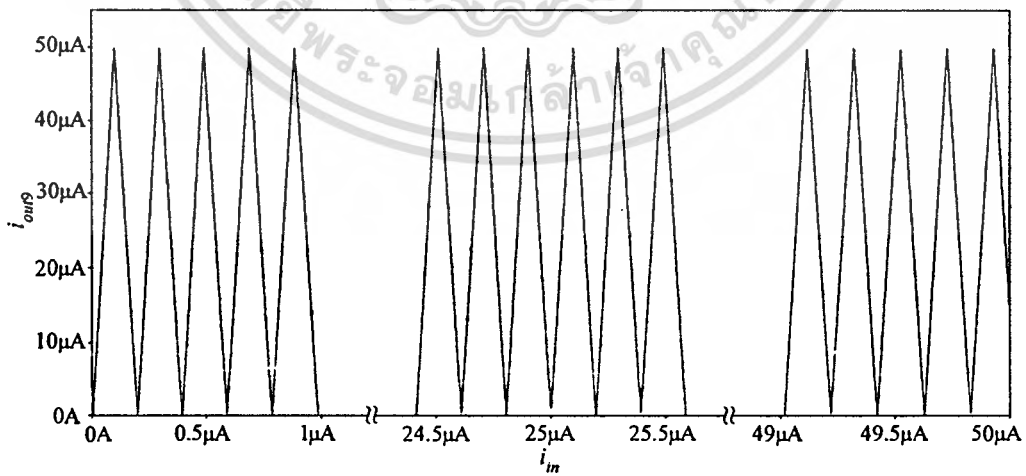
อัลกอริทึม ADC ดังรูปที่ 5.25 เมื่อป้อนกระแส i_{in} เป็นสัญญาณขั้นบันไดที่มีค่าลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D5} มีค่าเพิ่มขึ้นจาก 0A เป็น $18\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_5 มีค่าประมาณ 0.642 ns เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D1} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D1} มีค่าลดลงจาก $20\mu\text{A}$ เป็น $2\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_1 มีค่าประมาณ 0.524 ns เมื่อเปรียบเทียบเวลาในการสวิตช์ของมอสเฟต M_1 และ M_5 กับค่าคงตัวของโพลโคเด้นคังสมการที่ (5.87) หรือ (5.97) ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของ อัลกอริทึม ADC ดังรูปที่ 5.25 พบว่า เวลาในการสวิตช์ของมอสเฟต M_1 และ M_5 มีค่าน้อยกว่า ดังนั้นการวิเคราะห์ความเร็วในการแปลงคังของ ADC ดังรูปที่ 5.25 ในส่วนที่เป็นการสร้างกระแสเอาต์พุต i_{out} จึงพิจารณาได้จากค่าคงตัวของโพลโคเด้น



(ก) สัญญาณกระแส i_{out} บิตที่ 9 ในทางอุดมคติ



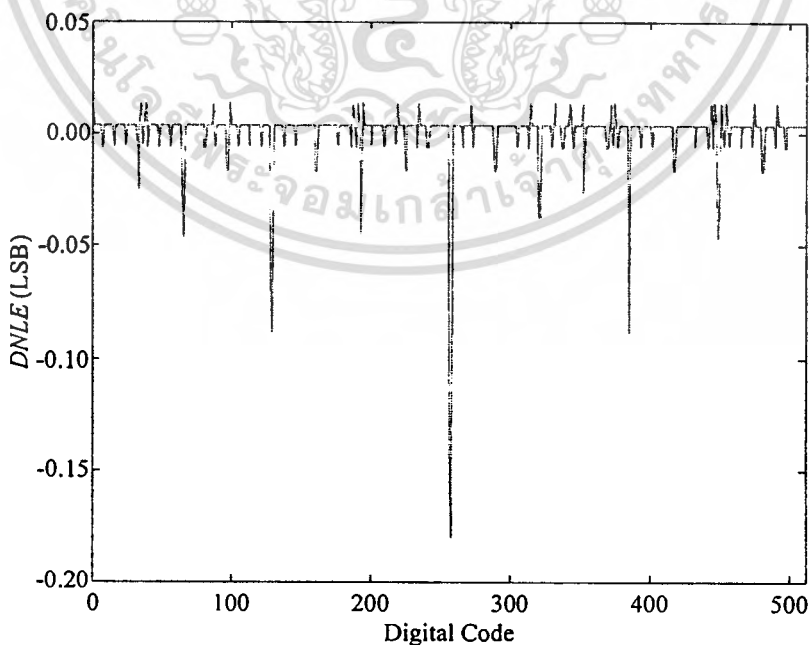
(ข) ผลการเลียนแบบการทำงาน

รูปที่ 5.32 กระแสเอาต์พุตบิตที่ 9 ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสับบูรณขนาด 9 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

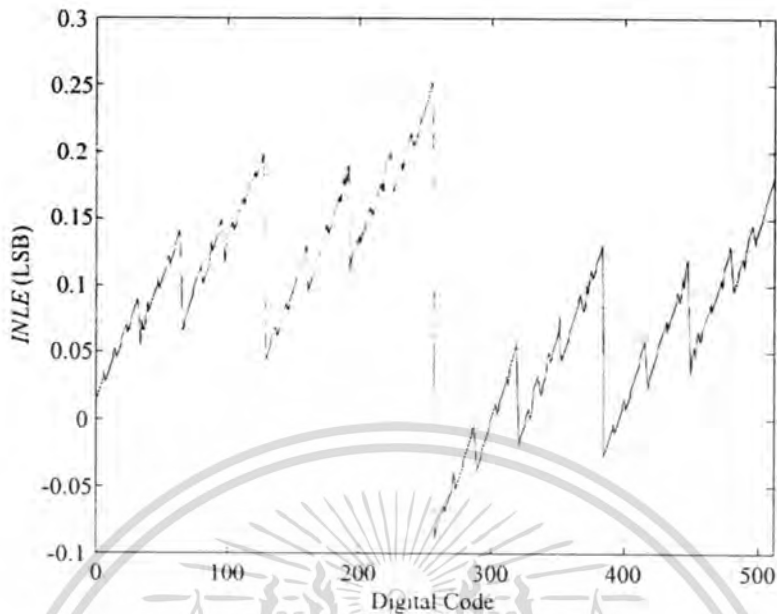
เพื่อเป็นการทดสอบการทำงานของอัลกอริทึม ADC ขนาด N บิต โดยการประยุกต์ใช้อัลกอริทึม ADC ขนาด 1 บิตที่ได้นำเสนอดังรูปที่ 5.25 จำนวน 9 วงจร ($N = 9$) มาต่อкасцепกันเป็นอัลกอริทึม ADC ขนาด 9 บิต โดยอัตราส่วน W/L ของมอสเฟตและค่าตัวแปรต่าง ๆ จะกำหนดเช่นเดียวกับการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 1 บิต ในรูปที่ 5.32(ก) แสดงสัญญาณกระแส i_{out} บิตที่ 9 (LSB) ในทางอุดมคติ เมื่อสัญญาณกระแสอินพุตมีการแปรค่าจาก 0A ถึง $50\mu A$ จะได้สัญญาณเอาต์พุตของทุกบิตแปรค่าอยู่ระหว่าง 0A ถึง $50\mu A$ โดยมีความกว้างของฐานของสัญญาณรูปสามเหลี่ยมแต่ละรูปมีค่าประมาณ $50\mu A/2^{9-1} = 0.1953\mu A$ ในรูปที่ 5.32(ข) แสดงผลการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 9 บิต เมื่อเปรียบเทียบผลในทางอุดมคติดังรูปที่ 5.32(ก) กับผลการเขียนแบบดังรูปที่ 5.32(ข) พบว่า ผลการเขียนแบบการทำงานของอัลกอริทึม ADC ขนาด 9 บิต จะมีสัญญาณเอาต์พุตของทุกบิตมีการแปรค่าอยู่ระหว่าง 0A ถึง $50\mu A$ เช่นเดียวกับผลในทางอุดมคติ ถึงแม้ว่าสัญญาณรูปสามเหลี่ยมแต่ละรูปของผลการเขียนแบบการทำงานจะมีความเพี้ยนและความผิดพลาดสะสมเกิดขึ้น ซึ่งเป็นผลมาจากความผิดพลาดในการส่งผ่านกระแสของ ADC ขนาด 1 บิตแต่ละวงจรที่นำมาต่อкасцепกัน

ในการวิเคราะห์ค่าผิดพลาดความไม่เชิงเส้นผลต่าง (DNLE) และค่าผิดพลาดความไม่เชิงเส้นผลรวม (INLE) ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิตดังรูปที่ 5.33 และ 5.34 จะวิเคราะห์จากผลการเขียนแบบการทำงานของ ADC ที่มีความผิดพลาดในการส่งผ่านกระแสดังสมการที่ (5.78) ด้วยโปรแกรม MATLAB จากรูปที่ 5.33 และ 5.34 พบว่า ขนาดของค่า

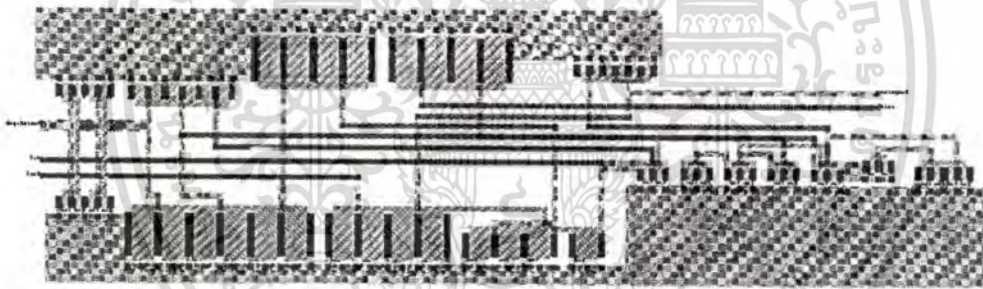


รูปที่ 5.33 ค่า DNLE ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.34 ค่า *INLE* ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 9 บิต



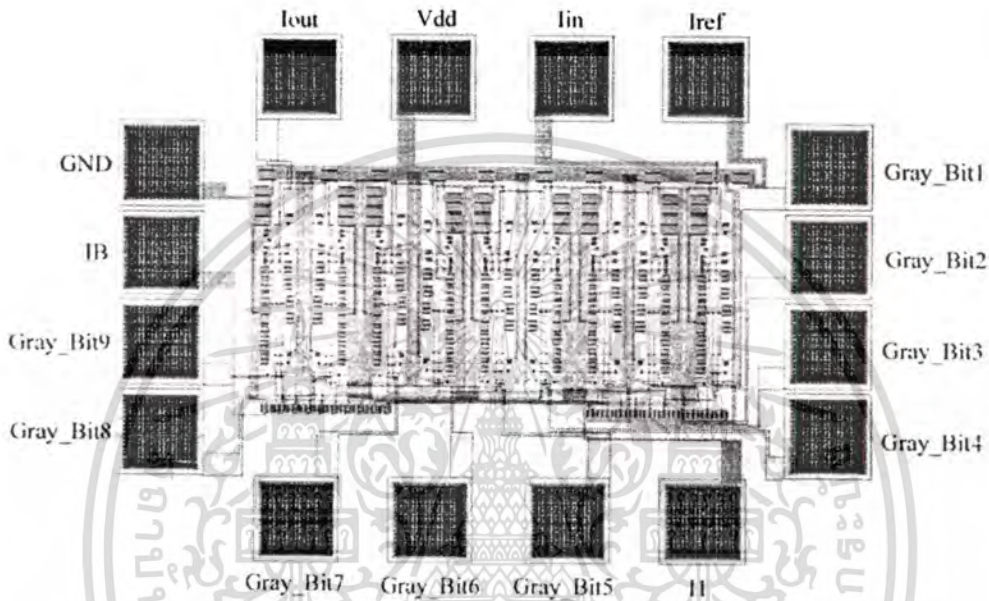
รูปที่ 5.35 ผังภูมิของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 1 บิต

ผิดพลาด *DNLE* และ *INLE* มีค่าสูงสุดประมาณ 0.181 LSB และ 0.251 LSB ตามลำดับ ดังนั้น อัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ที่นำเสนอด้วยรูปที่ 5.25 สามารถนำมาประยุกต์ใช้เป็น ADC ขนาด 9 บิตได้ โดยมีคุณลักษณะแบบโมนอทอนิกและในการแปลงผันจะได้สัญญาณดิจิตอลเอาต์พุตครบทุกบิตโดยไม่มีรหัสขาดหาย (หัวข้อที่ 2.3)

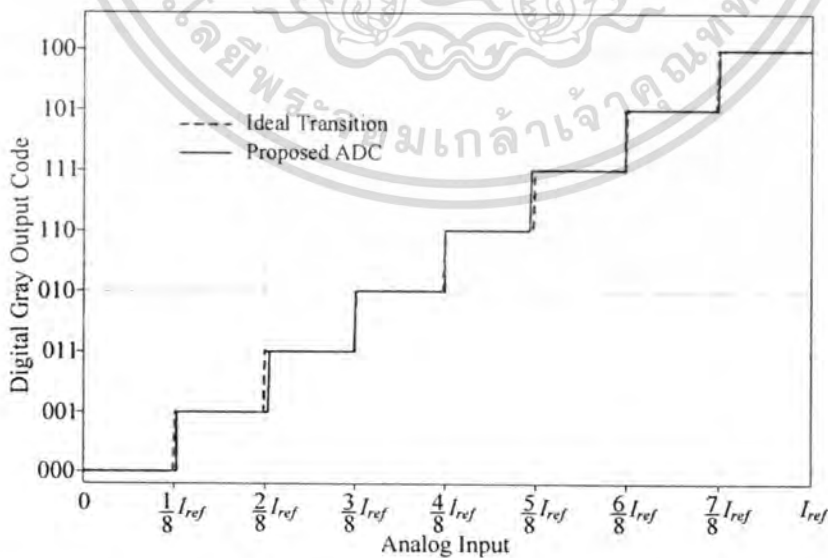
ในรูปที่ 5.35 และ 5.36 แสดงผังภูมิหรือ Layout ที่ออกแบบโดยใช้โปรแกรม L-Edit ของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด 1 บิต และขนาด 9 บิต ตามลำดับ จากรูปที่ 5.35 ผังภูมิของอัลกอริทึม ADC ขนาด 1 บิต ที่ออกแบบมีพื้นที่ของวงจรมีขนาด 0.0013 mm^2 และผังภูมิของอัลกอริทึม ADC ขนาด 9 บิตด้วยรูปที่ 5.36 มีพื้นที่ของวงจรมีขนาด 0.22 mm^2 เมื่อนำผังภูมิในรูปที่ 5.35 มาต่อкасดกันเป็นอัลกอริทึม ADC ขนาด 3 บิตเพื่อศึกษาลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ่ายโอนของ ADC โดย Extract ไฟล์ในโปรแกรม L-Edit แล้วนำข้อมูลทั้งหมดมาเขียนแบบการทำงานด้วยโปรแกรม S-Edit ดังแสดงในรูปที่ 5.36 พบว่า อัลกอริทึม ADC โดยใช่วงจรฟังก์ชันสับบอร์มที่นำเสนอมีค่าผิดพลาดความเป็นเชิงเส้นต่ำ เนื่องจากมีความกว้างของขั้นในการควอนไทซ์ที่ใกล้เคียงกับ ADC ในอุดมคติ



รูปที่ 5.36 ผังภูมิของอัลกอริทึม ADC โดยใช่วงจรฟังก์ชันสับบอร์มขนาด 9 บิต



รูปที่ 5.37 ลักษณะถ่ายโอนของอัลกอริทึม ADC โดยใช่วงจรฟังก์ชันสับบอร์มขนาด 3 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 บทสรุป

ในบทนี้ได้กล่าวถึงหลักการการทำงานและการวิเคราะห์คุณสมบัติการทำงานที่สำคัญของ อัดกอร์มิก ADC ที่มีการกรรหัทสแบบเกรย์ทั้งสามรูปแบบที่ได้นำเสนอในวิทยานิพนธ์นี้ พร้อมทั้งได้แสดงผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE และ MATLAB รวมทั้งได้ออกแบบผังภูมิหรือ Layout โดยใช้โปรแกรม L-Edit เพื่อประมาณค่าพื้นที่ของวงจรในรูปแบบวงจรรวมหรือไอซี นอกจากนี้ยังได้ Extract ไฟล์ในโปรแกรม L-Edit แล้วนำข้อมูลทั้งหมดมาเลียนแบบการทำงานด้วยโปรแกรม S-Edit เพื่อทดสอบและยืนยันความถูกต้องในการทำงานของอัดกอร์มิก ADC ที่นำเสนอในวิทยานิพนธ์นี้



บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะในการทำวิจัยต่อ

6.1 สรุปผลการวิจัย

วิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาตัวแปลงผันแอนะล็อกเป็นดิจิทัล หรือ ADC หลักการที่นำเสนอมุ่งเน้นการออกแบบอัลกอริธึม ADC ที่มีการลดรหัสแบบเกรย์ด้วยมอสทรานซิสเตอร์ โดยอาศัยหลักการการสังเคราะห์ลักษณะถ่ายโอนของวงจรเป็นรูปสามเหลี่ยมที่มีลักษณะสมมาตร แนวทางการสังเคราะห์ลักษณะถ่ายโอนกระแสที่นำเสนอในวิทยานิพนธ์นี้มี 3 รูปแบบ คือ การสังเคราะห์โดยใช้วงจรจำกัดกระแส การสังเคราะห์โดยใช้วงจรถูกหักค่าสูงสุด และการสังเคราะห์โดยใช้วงจรถูกหักค่าสูงสุด นอกจากนี้การสังเคราะห์ทั้งสามรูปแบบนี้ได้ใช้วิธีการไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว เพื่อลดความเพี้ยนของคุณสมบัติการส่งผ่านกระแส นอกจากนี้ยังเป็นการเพิ่มความเร็วในการทำงานและผลตอบสนองความถี่ให้มีค่าสูง

คุณสมบัติการทำงานของอัลกอริธึม ADC ที่นำเสนอได้มีการวิเคราะห์สมรรถนะในทางทฤษฎีและมีการทดสอบด้วยการเขียนแบบการทำงานด้วยโปรแกรม PSPICE และ MATLAB จากผลการวิเคราะห์และผลการเขียนแบบที่ได้ พบว่ามีความสอดคล้องกัน คุณสมบัติการทำงานของอัลกอริธึม ADC ทั้งสามรูปแบบที่นำเสนอสามารถเปรียบเทียบได้ดังตารางที่ 6.1

ตารางที่ 6.1 คุณสมบัติการทำงานที่สำคัญของอัลกอริธึม ADC ทั้งสามรูปแบบที่นำเสนอ

คุณสมบัติการทำงาน	ADC โดยใช้ วงจรจำกัดกระแส	ADC โดยใช้วงจรถูกหัก ค่าสูงสุด	ADC โดยใช้วงจรถูกหัก ค่าสูงสุด ฟังก์ชันอิ่มตัว
จำนวนมอสเฟต	18 ตัว	24 ตัว	17 ตัว
เทคโนโลยีของมอสเฟต	AMIS 0.5 μ m	AMIS 0.5 μ m	AMIS 0.5 μ m
พื้นที่ของผังภูมิ (Layout)	0.005 mm ²	0.005 mm ²	0.0013 mm ²
ค่าแรงดันแหล่งจ่าย V_{DD}	5 V	3.3 V	3 V
ค่าแรงดันแหล่งจ่ายต่ำสุด $V_{DD(min)}$	2.44 V	1.83 V	1.83 V
ค่ากระแส I_B	10 μ A	10 μ A	10 μ A
ค่ากำลังสูญเสีย	57.2 mW	26.5 mW	60 mW
จำนวนบิตที่เป็นไปได้	9 บิต	8 บิต	10 บิต
พิสัยพลวัต (Dynamic Range)	54 dB	48 dB	60 dB
ความแยกชัด (Resolution)	1,953 ppm	3,906 ppm	997 ppm

ตารางที่ 6.1 คุณสมบัติการทำงานที่สำคัญของอัลกอริทึม ADC ทั้งสามรูปแบบที่นำเสนอ (ต่อ)

คุณสมบัติการทำงาน	ADC โดยใช่วงจรจำกัดกระแส	ADC โดยใช่วงจรหาค่าสูงสุด	ADC โดยใช่วงจรฟังก์ชันสัมบูรณ์
ผลตอบสนองทางความถี่	82.91 MHz	68.741 MHz	128.125 MHz
ความเร็วในการแปลงผัน	18.115 ns ($N = 8$)	23.168 ns ($N = 8$)	14.285 ns ($N = 8$)
ความผิดพลาดสะสม	0.825 LSB ($N = 8$)	0.9846 LSB ($N = 8$)	0.3828 LSB ($N = 8$)
ความผิดพลาด <i>DNLE</i> สูงสุด	0.0898 LSB ($N = 8$)	0.0425 LSB ($N = 7$)	0.181 LSB ($N = 9$)
ความผิดพลาด <i>INLE</i> สูงสุด	0.1252 LSB ($N = 8$)	0.0608 LSB ($N = 7$)	0.251 LSB ($N = 9$)
รหัสขาดหาย (Missing Code)	0	0	0

6.2 ข้อเสนอแนะในการทำวิจัยต่อ

จากอัลกอริทึม ADC ทั้งสามรูปแบบที่นำเสนอในวิทยานิพนธ์นี้เป็นวงจรที่ต้องการสัญญาณแอนะล็อกอินพุตในรูปแบบของกระแส ดังนั้นการนำไปประยุกต์ใช้งานสำหรับการประมวลผลสัญญาณในรูปแบบของสัญญาณแรงดันจำเป็นต้องมีวงจรแปลงสัญญาณแรงดันเป็นกระแส (Voltage-to-Current Converter) ที่ภาคแอนะล็อกอินพุตของ ADC การออกแบบอัลกอริทึม ADC ที่สามารถป้อนค่าแรงดันอินพุตได้โดยตรง หรือการออกแบบอัลกอริทึม ADC ที่สามารถรับสัญญาณอินพุตได้ทั้งค่าแรงดันอินพุตหรือกระแสอินพุต เป็นอีกแนวทางหนึ่งในการพัฒนา เพื่อทำให้เกิดความยืดหยุ่นและความคล่องตัวมากขึ้นในการประยุกต์ใช้งาน ADC

นอกจากนี้ จากการท้าววิจัยยังพบข้อจำกัดที่สำคัญสองประการ คือ สมรรถนะในการทำงานของวงจรสะท้อนกระแสและวงจรอินเวอร์เตอร์ ถ้าสามารถปรับปรุงวงจรสะท้อนกระแสให้มีความผิดพลาดน้อยลงจะเป็นการเพิ่มจำนวนบิตที่เป็นไปได้สำหรับการต่อкасอดอัลกอริทึม ADC ขนาด 1 บิต เพื่อประยุกต์ใช้งานเป็น ADC ขนาด N บิต ถ้าสามารถปรับปรุงวงจรสะท้อนกระแสให้มีความถี่ปฏิบัติงานสูงขึ้น จะทำให้ความเร็วในการสร้างสัญญาณกระแสเอาต์พุต i_{out} เพิ่มขึ้น และถ้าสามารถปรับปรุงความเร็วของวงจรอินเวอร์เตอร์ในการสร้างสัญญาณดิจิทัลเอาต์พุต D ให้มีความเร็วมากขึ้น จะทำให้เวลาที่ใช้ในการแปลงผันของ ADC ลดลง

เอกสารอ้างอิง

- [1] Rauth D.A. and Randal V.T. "Analog-to-Digital Conversion" **IEEE Instrumentation & Measurement Magazine.**, vol. 8, no. 4, October 2005. pp. 44-54.
- [2] Deyst J.P., Vytal J.J., Blasche P.R., and Siebert W.M. "Wideband distortion compensation for bipolar flash analog-to-digital converters" **Proc. IEEE-Instrumentation and Measurement Technology Conference.**, 12-14 May 1992. pp. 290–294.
- [3] มุกดา เทพรณินทรา. "การออกแบบวงจร A/D ขนาด 1 บิตโดยใช้วงจรไม่เป็นเชิงเส้น." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2537.
- [4] Reyhani H. and Quinlan P. "A 5V, 6-b, 80 Ms/s BiCMOS flash ADC" **IEEE Journal of Solid-State Circuits.**, vol. 29, no. 8, Aug 1994. pp. 873-878.
- [5] Shu T.H., Bacrania K., and Gokhale R. "A BiCMOS fully-differential 10-bit 40 MHz pipelined ADC" **Proceedings of the 1995 Bipolar/BiCMOS Circuits and Technology Meeting.**, 2-3 Oct 1995. pp. 154–157.
- [6] Carreira J.P. and Franca J.E. "A two-step flash ADC for digital CMOS technology" **Second International Conference on Advanced A-D and D-A Conversion Techniques and their Applications.**, 6-8 Jul 1994. pp. 48–51.
- [7] Rodriguez-Vazquez A., Medeiro F., and Jansses E. **CMOS Telecom Data Converters.** Boston: Kluwer Academic Publishers. 2003.
- [8] Johns D. and Martin K. **Analog Integrated Circuit Design.** New York: John Wiley & Sons Inc. 1997.
- [9] Razavi B. **Design of Analog CMOS Integrated Circuits.** New York: McGraw-Hill. 2001.
- [10] Sheingold D. H. **Analog-Digital Conversion Handbook.** New Jersey: Prentice-Hall. 1986.
- [11] Daugherty K.M. **Analog-to-Digital Conversion: A Practical Approach.** New York: McGraw-Hill, Inc. 1995.
- [12] Hoeschele D.F. **Analog-To-Digital and Digital-To-Analog Conversion Techniques.** 2nd edition. New York : John Wiley & Sons Inc. 1994.
- [13] Staller L. "Understanding analog to digital converter specifications." [Online]. Available: <http://www.embedded.com/showArticle.jhtml?articleID=60403334>. 2005.

- [14] Black P.E. “NIST Dictionary of Algorithms and Data Structures: Gray code” [Online]. Available: <http://www.nist.gov/dads/HTML/graycode.html>. 2005.
- [15] Wikipedia. “Gray code” [Online]. Available: <http://www.answers.com/topic/gray-code>. 2005.
- [16] Cornell University “20.2 Gray Codes” [Online]. Available: <http://www.library.cornell.edu/nr/bookcpdf/c20-2.pdf>. 2005.
- [17] Pouliquen P.O., Boahen K.A., and Andreou. A.G. “A Gray-code MOS Current-mode Analog-to-Digital Converter Design” *IEEE International Symposium on Circuits and Systems.*, vol. 4, 1991. pp. 1924-1927.
- [18] Daponte P., Grimaldi D., and Michaeli L. “A Full Neural Gray-code-based ADC” *IEEE Transactions on Instrumentation and Measurement*, vol. 45, no. 2, April 1996, pp. 634-639.
- [19] Signell S., Jonsson B., Stetrom H., and Tan N. “New A/D converter architectures based on Gray coding” *IEEE International Symposium on Circuits and Systems*, 1997, pp. 413-416.
- [20] Pace P.E., Styer D., and Akin I.A. “A Folding ADC Preprocessing Architecture Employing a Rubust Symmetrical Number System with Gray-code Properties” *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 47, no. 5, May 2000, pp. 462-467.
- [21] Vesalainen L., Poikonen J., Pankaala M., and Passio A. “A Gray-code Current-mode ADC for Mixed-mode Cellular Computer” *Proc. of the 2004 International Symposium on Circuits and Systems, ISCAS'04*, pp. III-81-III-84.
- [22] Soin R.S., Maloberti F., and Franca J. *Analogue-Digital ASICs : circuit techniques, design tools and applications*. 1st edition. London : Peter Peregrinus. 1991.
- [23] Microchip. “Understanding A/D Converter Performance Specifications” [Online]. Available: www.microchip.com/downloads/en/AppNotes/00693a.pdf. 2000.
- [24] National Semiconductor. “A/D Converter Definition of Terms.” [Online]. Available: www.national.com/appinfo/adc/files/definition_of_terms.pdf. 2000.
- [25] Lundberg K.H. “Analog-to-Digital Converter Testing.” [Online]. Available: <http://www.mit.edu/people/klunel/A2Dtesting.pdf>. 2005.

- [26] Laboratory for reliable computing. “ADC Specifications.” [Online]. Available: http://larc.ee.nthu.edu.tw/~jcbor/MMWirelessIC/MMWIC_lecture32_C3c.pdf. 2005.
- [27] National Semiconductor. “Specifying A/D and D/A Converters.” [Online]. Available: <http://www-micrel.deis.unibo.it/ELEI/Reading/AN-156.pdf>. 1995.
- [28] Texas Instruments Application Report. “Understanding Data Converters” [Online]. Available: <http://metrology.hut.fi/courses/s108-180/Luento9/tislaa013.pdf>. 1995.
- [29] Naim D.G. and Salama C.A.T. “Algorithmic Analogue/Digital Converter based on Current mirrors” *Electronics Letters.*, vol. 24, no. 8, April 1988. pp. 471-472.
- [30] Naim D.G. and Salama C.A.T. “A Current mode Algorithmic Analog-to-Digital Converter” *IEEE International Symposium on Circuits and Systems.*, 14th, vol. 24, no.8, April 1988. pp. 471-472.
- [31] Naim D.G. and Salama C.A.T. “Current-mode Algorithmic Analog-to-Digital Converters” *IEEE Journal of Solid-state Circuits.*, August 1990. pp. 997-1004.
- [32] Kaewpoonsuk A., Chaikla A., Linthong A., Lee T., and Riewruja V. “An Algorithmic Gray Code ADC Using Current Limiter” *Proc. of the International Symposium on Communications and Information Technology.*, Chiang Mai, Thailand, 2001. pp. 287-290.
- [33] Pukkalanun T., Chaikla A., Julprapa A., Julsereewong P., Jaruwanawat A., and Riewruja V. “An Algorithmic Gray Code ADC Using Triangular function circuit” *Proc. of the International Conference on Control, Automation and Systems.*, Jeju, Korea, 2001. pp. 1169-1172.
- [34] Chaikla A., Pukkalanun T., Riewruja V., Wangwiwattana C., and Masuchun R. “A high-speed algorithmic ADC based on Maximum Circuit” *Proc. of the International Conference on Control, Automation and Systems.*, Gyeongju, Korea, 2003. pp. 73-77.
- [35] Arayawat S., Chaikla A., Riewruja V., Julsereewong P., and Trisuwannawat T. “A Low-voltage Algorithmic ADC based on Gray Coding” *Proc. of the International Conference on Signal Processing.*, Beijing, China, 2004. pp. 503-506.
- [36] Riewruja V. and Chaikla A. “A high-speed algorithmic ADC” *International Journal of Electronics.* vol. 91, no. 12, December 2004. pp. 719-733.
- [37] Greeneich E.W. *Analog Integrated Circuits.* New York: Chapman & Hall. 1997.

- [38] Gray P. R. and Meyer R.G. **Analysis and Design of Analog Integrated Circuits**. New York: John Wiley & Sons Inc. 1993.
- [39] Riewruja V., Chaikla A., Tammarugwattana N., Julsereewong P., and Surakamponrom W. "OTA-Based Precision Full-Wave Rectifier", **Proc. KACC99**, 1999. pp. E-259-260.
- [40] Pojanasuwanchai C., Wangwiwattana C., Chaikla A., Riewruja V., and Julsereewong P. "Fuzzy Multiple-Input Maximum Circuit in Current-mode", **SICE Annual Conference in Fukui**, Fukui University, Japan, 2003. pp. 571-575.
- [41] DeMassa T.A. and Ciccone Z. **Digital Integrated Circuits**. New York: John Wiley & Sons Inc. 1996.
- [42] ไรจนากร กัมตะพงค์. "การสังเคราะห์วงจรเรียงกระแสแบบเต็มคลื่นและวงจรลดรบกวนที่สองชนิดแรงดันต่ำโดยใช้ซีมอส." วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546.
- [43] Uyemura J. P. **Circuit Design for CMOS VLSI**. Boston: Kluwer. 1993
- [44] Palm W. J. **System Response. Control Systems Engineering**. New York: John Wiley & Sons Inc. 1986.
- [45] Model Simulator for IBM. "Estimating Hand Calculation Parameters (K, μ_{Cox} , V_{th})" [Online]. Available: <http://www.ph.unito.it/~cobanogl/lowlevelstuff/tutparest/>.
- [46] Cadence Design Tools. "Design Example #1a: Estimating Hand Calculation Parameters"[Online]. Available: <http://ece-www.colorado.edu/~ecen5007/cadence/schex.pdf>.
- [47] ทศยา ปุคคะนันท์. "วงจรถอดรหัส ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยม." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2547.
- [48] Riewruja V. and Guntapong R. "A low-voltage wide-band CMOS precision full-wave rectifier" **International Journal of Electronics**. vol. 89, no. 6, June 2002. pp. 95-104.

ภาคผนวก ก

คุณสมบัติที่สำคัญและวงจรสมมูลของมอสเฟต

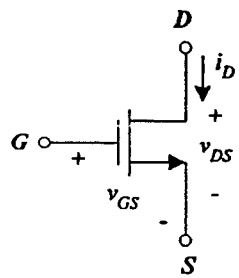
ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมิตัว

ในการออกแบบ ADC ที่นำเสนอเป็นการออกแบบวงจรโดยใช้มอสทรานซิสเตอร์ ชนิดของมอสทรานซิสเตอร์ที่ใช้จะเป็นมอสเฟตแบบเอนแฮนซ์เมนต์ที่มีการทำงานในช่วงนำกระแสอิมิตัวเป็นหลัก คำว่า “มอสเฟต” ในวิทยานิพนธ์นี้จะใช้แทน “มอสเฟตแบบเอนแฮนซ์เมนต์” เพื่อความกระชับในการกล่าวอ้าง

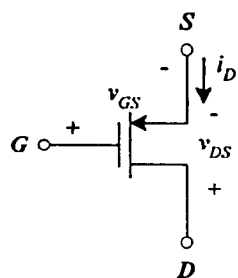
ในรูปที่ ก1 แสดงสัญลักษณ์ของเอ็นมอส (NMOS) และพีมอส (PMOS) ซึ่งประกอบด้วย 3 ส่วน คือ เคน (Drain: D) เกต (Gate: G) และซอร์ส (Source: S) สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-signal Model) สำหรับการทำงานของมอสเฟตในช่วงนำกระแสอิมิตัว เมื่อ $|v_{DS}| \geq |v_{GS}| - |V_T|$ [37] จะมีค่ากระแสเคน i_D ดังนี้

$$|i_D| = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right) (|v_{GS}| - |V_T|)^2 (1 + \lambda |v_{DS}|) \tag{ก1.1}$$

เมื่อ	μ	คือ ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน	(cm ² /V-s)
	C_{ox}	คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์	(F/m ²)
	W/L	คือ อัตราส่วนระหว่างความกว้างต่อความยาวของแซนแนล	($\mu\text{m}/\mu\text{m}$)
	v_{GS}	คือ ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต	(V)
	V_T	คือ ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage)	(V)
	λ	คือ ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแซนแนล	(V ⁻¹)
	v_{DS}	คือ ค่าแรงดันระหว่างขาเคนกับขาซอร์สของมอสเฟต	(V)



(ก) เอ็นมอส



(ข) พีมอส

รูปที่ ก1 สัญลักษณ์ของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (ก1.1) ถ้าไม่คำนึงถึงผลกระทบของค่าพารามิเตอร์ λ จะได้ว่า

$$i_D = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (\text{ก1.2})$$

หรือ
$$i_D = K (|v_{GS}| - |V_T|)^2 = \frac{\beta}{2} (|v_{GS}| - |V_T|)^2 = \frac{k'}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (\text{ก1.3})$$

เมื่อ K และ β คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (Device Transconductance Parameter)

k' คือ ค่าพารามิเตอร์ของการนำกระแสของกระบวนการผลิต (Process Transconductance Parameter)

โดยที่
$$K = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) \quad (\text{ก1.4})$$

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) \quad (\text{ก1.5})$$

$$k' = \mu C_{ox} \quad (\text{ก1.6})$$

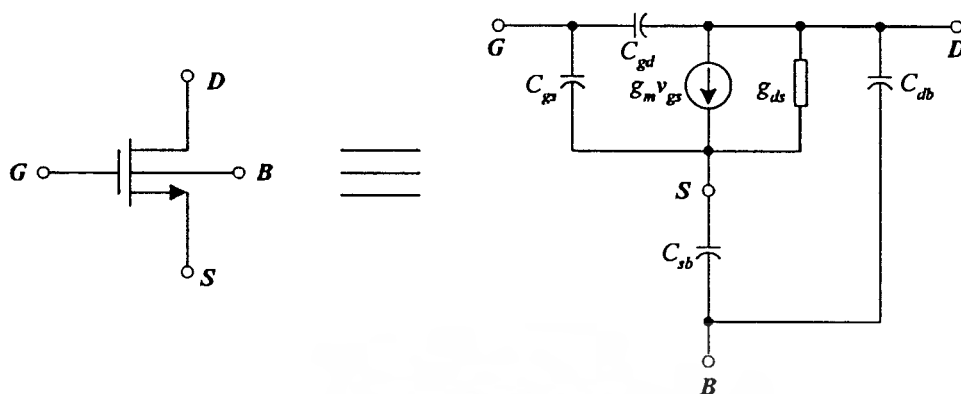
การทำงานของพีมอสจะตรงกันข้ามกับเอ็นมอส โดยค่าแรงดันขีดเริ่มเปลี่ยน V_T ของพีมอส หรือ V_{TP} จะมีค่าเป็นลบ และจะต้องป้อนค่าแรงดัน v_{GS} ให้มีค่าลบ มากกว่าค่า V_{TP} นั่นคือ $v_{GS} - V_{TP} < 0$ จึงจะทำให้พีมอสอยู่ในสภาวะนำกระแส ดังนั้นค่าแรงดันที่ขาซอร์ส S จึงสูงกว่าค่าแรงดันที่ขาเดรน D ทำให้กระแสเดรน i_D ของพีมอสไหลจากซอร์สไปหาเดรน

ก2. วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก

ในรูปที่ ก2 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิตัว โดยมีค่าทรานส์คอนดักแตนซ์ (Transconductance) g_m และค่าความต้านทานเอาต์พุตของมอสเฟต r_{ds} คือ

$$g_m = \frac{di_D}{dv_{GS}} = \frac{2i_D}{v_{GS} - V_T} \approx \sqrt{2\mu C_{ox} \frac{W}{L} i_D} \quad (\text{ก2.1})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

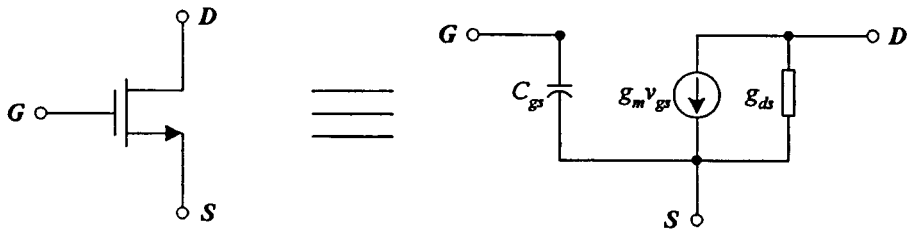


รูปที่ ก2 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ทำงานในช่วงอิมิตัว

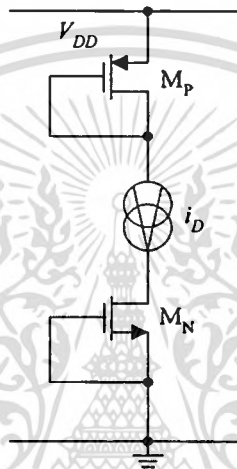
$$\frac{1}{r_{ds}} = g_{ds} = \frac{di_D}{dv_{ds}} = \lambda i_D \quad (\text{ก2.2})$$

จากวงจรสมมูลดังรูปที่ ก2 ได้พิจารณาถึงตัวเก็บประจุจำนวน 4 ตัว คือ ค่าความจุไฟฟ้ารวมระหว่างขาเกตและซอร์ส C_{gs} ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรน C_{gd} ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอร์สกับซับสเตรต C_{sb} และค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซับสเตรต C_{db} ซึ่งค่อนข้างยุ่งยากสำหรับการวิเคราะห์ห้วงจรด้วยมือ โดยทั่วไปจะถูกใช้สำหรับการวิเคราะห์โดยใช้การเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น [37] สำหรับการใช้นมอสเฟตที่มีการทำงานอยู่ในช่วงอิมิตัวเป็นหลัก ค่าความจุไฟฟ้า C_{gd} จะมีค่าน้อยมาก เนื่องจากการเกิดสภาวะพินช์ออฟ (Pinch Off) กล่าวคือแชนเนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านขาเดรนแคบมากและแรงดันที่ขาเดรนจะรบกวนต่อแชนเนลหรือประจุที่ขาเกตน้อยมาก ส่วนค่าความจุไฟฟ้า C_{gs} และ C_{sb} จะมีผลต่อการทำงานของมอสเฟตน้อยมาก โดยเฉพาะเมื่อซอร์สถูกเชื่อมต่อกับฐานรอง ดังนั้นในการวิเคราะห์ห้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟตด้วยมือในวิทยานิพนธ์นี้จะพิจารณาเฉพาะค่าความจุ C_{gd} ซึ่งมีค่าประมาณ $2/3 C_{gs}$ สำหรับกรณีของค่าความต้านทานพิจารณาได้ว่า ค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับซอร์ส r_{gs} และค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับเดรน r_{gd} มีค่าสูงมาก เนื่องจากที่ขาเกตของมอสเฟตถูกคั่นด้วยฉนวน ดังนั้นจึงคำนึงเฉพาะค่าความต้านทานหรือค่าความนำระหว่างขาเดรนกับซอร์ส r_{ds} หรือ g_{ds} เท่านั้น ดังวงจรสมมูลในรูปที่ ก3

ค่าพารามิเตอร์ของการนำกระแสและค่าแรงดันขีดเริ่มของมอสเฟตที่ใช้ในการวิเคราะห์ด้วยมือสามารถประมาณค่าได้จากผลการเลียนแบบการทำงานของวงจรดังรูปที่ ก4 [45]-[46] ด้วยโปรแกรมคอมพิวเตอร์ โดยที่



รูปที่ 3 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของเอ็นมอสที่ใช้ในการวิเคราะห์ด้วยมือ



รูปที่ 4 วงจรที่ใช้ในการเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์เพื่อประมาณค่าพารามิเตอร์การนำกระแสและค่าแรงดันขีดเริ่มของมอสเฟต

$$K = \frac{k'}{2} \left(\frac{W}{L} \right) \approx \left(\frac{\sqrt{i_{D1}} - \sqrt{i_{D2}}}{v_{GS1} - v_{GS2}} \right)^2 \tag{ก2.3}$$

$$V_T \approx v_{GS} - \sqrt{\frac{i_D}{K}} \tag{ก2.4}$$

ก3. ผลกระทบของอุณหภูมิที่มีผลต่อค่าพารามิเตอร์ของมอสเฟต

การเปลี่ยนแปลงของอุณหภูมิจะมีผลกระทบต่อค่าพารามิเตอร์ของมอสเฟตที่สำคัญอยู่สองตัวแปรด้วยกัน [43] คือ ความคล่องตัวของโฮลหรืออิเล็กตรอน μ และค่าแรงดันขีดเริ่มของมอสเฟต V_T ดังนี้

$$\mu(T) = \mu_{T=300K} \left(\frac{300}{T} \right)^2 = \mu_0 \left(\frac{300}{T} \right)^2 \tag{ก3.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_T(T) = V_{T,T=300K} - \alpha(T - 300) = V_{T0} - \alpha(T - 300) \quad (ก3.2)$$

- เมื่อ T คือ ค่าอุณหภูมิห้องในหน่วยเคลวิน (K)
 μ_0 คือ ความคล่องตัวของโฮลหรืออิเล็กตรอนที่อุณหภูมิ 300K
 v_{T0} คือ ค่าแรงดันขั้วเริ่มของมอสเฟตที่อุณหภูมิ 300K
 α มีค่าอยู่ในช่วง 0.5 mV/K ถึง 5 mV/K

จากสมการที่ (ก3.1) การเปลี่ยนแปลงของอุณหภูมิจะมีผลต่อค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต ดังนี้

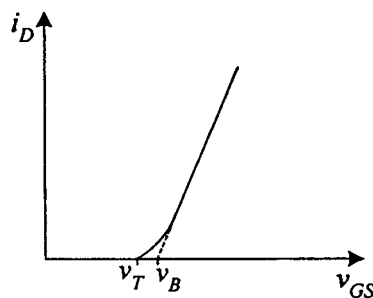
$$|v_{GS}| = \sqrt{\frac{2i_D}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)} + |V_T(T)| \quad (ก3.3)$$

เมื่อแทนค่าจาก (ก3.1) และ (ก3.2) ลงใน (ก3.3) จะได้ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟตที่อุณหภูมิ T คือ

$$|v_{GS}| = \left(\frac{T}{300}\right) \sqrt{\frac{2i_D}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)} + |V_{T0}| - \alpha(T - 300) \quad (ก3.4)$$

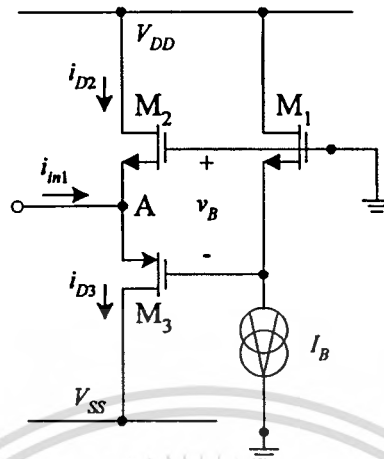
ก4. การไบแอสมอสเฟตที่ขอบของการนำกระแสในช่วงนำกระแสอิ่มตัว

การไบแอสมอสเฟตที่ขอบของการนำกระแสแสดงได้ดังจุด v_B ในรูปที่ ก5 [42] โดยที่ V_T เป็นค่าแรงดันขั้วเริ่มเปลี่ยนของมอสเฟต ข้อได้เปรียบของการไบแอสมอสเฟตที่จุดนี้จะเป็นการลดความผิดเพี้ยนทางฮาร์โมนิกส์ที่สอง และสามารถทำงานได้ที่ความถี่สูง [48] ตัวอย่างวงจรที่มีและไม่มีกรไบแอสมอสเฟตที่ขอบของการนำกระแสแสดงในรูปที่ ก6(ก) และ ก6(ข) ตามลำดับ

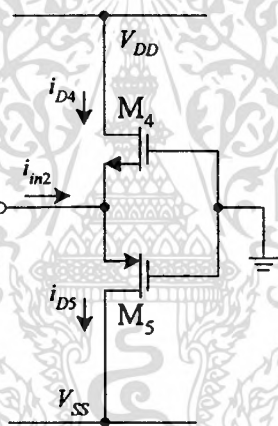


รูปที่ ก5 ตำแหน่งการไบแอสมอสเฟตที่ขอบของการนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ตัวอย่างวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส

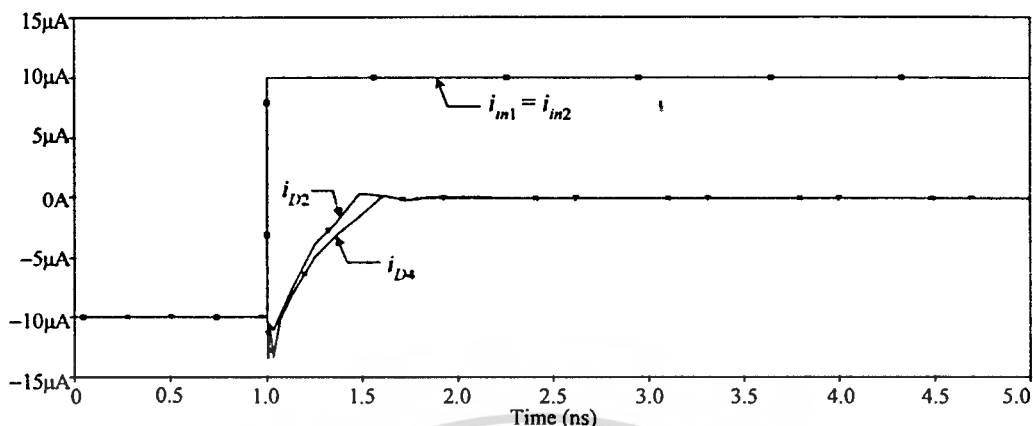
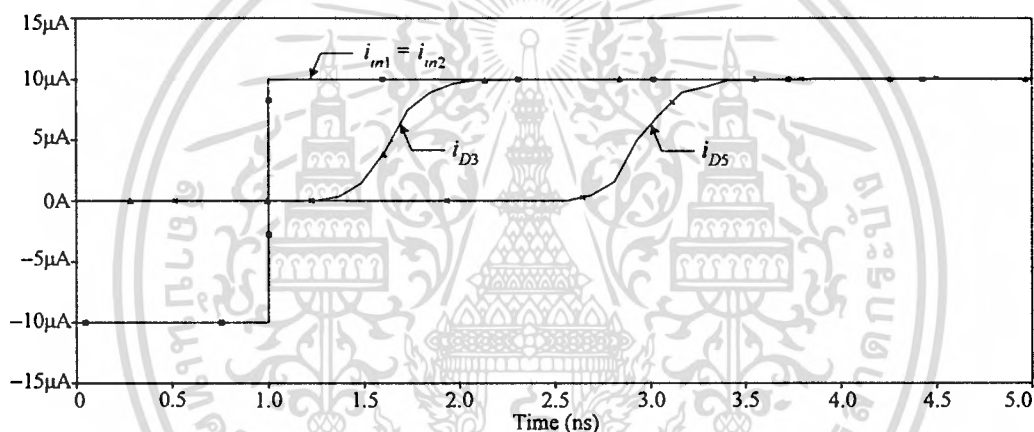


(ข) ตัวอย่างวงจรที่ไม่มี การไบแอสมอสเฟตที่ขอบของการนำกระแส

รูปที่ 6 ตัวอย่างวงจรที่มีและไม่มี การไบแอสมอสเฟตที่ขอบของการนำกระแส

จากรูปที่ 6(ก) แหล่งจ่ายกระแส I_B จะจ่ายกระแสลงที่ให้กับมอสเฟต M_1 เพื่อทำให้เกิดความต่างศักย์ v_B ไบแอสให้กับมอสเฟต M_2 และ M_3 ทำให้มอสเฟต M_2 และ M_3 ถูกไบแอสที่ขอบของการนำกระแสในช่วงนำกระแสเต็มตัว ค่าความต่างศักย์ v_B จะมีค่าประมาณ $V_{T2} + V_{T3}$ โดยที่ V_{T2} และ V_{T3} เป็นค่าแรงดันขีดเริ่มเปลี่ยนของมอสเฟต M_2 และ M_3 ตามลำดับ เพื่อทดสอบสมรรถนะของวงจรที่มีและไม่มี การไบแอสมอสเฟตที่ขอบของการนำกระแสดังรูปที่ 6 จะทำการทดสอบโดยเลียนแบบการทำงานด้วยโปรแกรม PSPICE ด้วยการใส่แบบจำลองมอสเฟต BSIM ที่มีเทคโนโลยีแบบ AMIS 0.5 μm ซึ่งภายในอุปกรณ์มอสเฟตแต่ละตัวได้กำหนดอัตราส่วน W/L เท่ากับ $4\mu\text{m}/1\mu\text{m}$ ยกเว้นอัตราส่วน W/L ของ M_1 ที่กำหนดให้เท่ากับ $1\mu\text{m}/1\mu\text{m}$ พร้อมทั้งได้กำหนดค่าแรงดันแหล่งจ่าย $V_{DD} = -V_{SS} = 5\text{V}$ และค่ากระแสแหล่งจ่าย $I_B = 15\mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

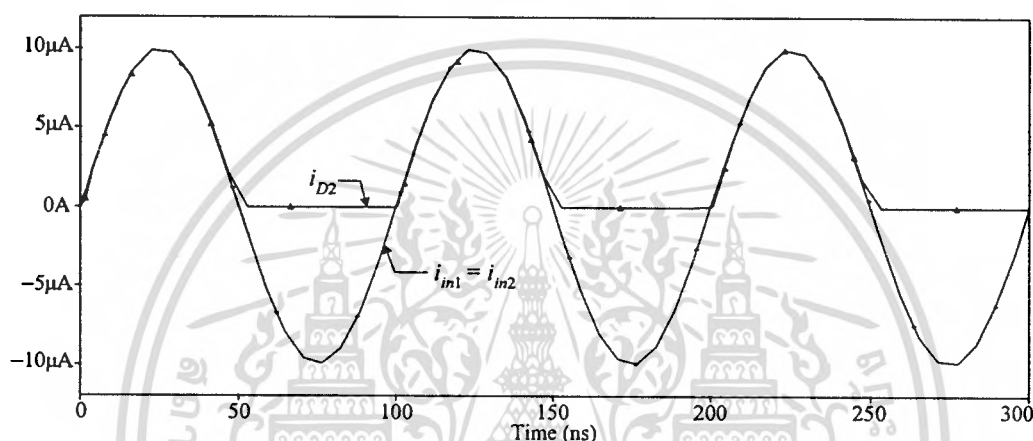
(ก) ความเร็วในการสวิตช์ Off ของมอสเฟต M_2 และ M_4 (ข) ความเร็วในการสวิตช์ On ของมอสเฟต M_3 และ M_5

รูปที่ ๓7 ผลการเขียนแบบการทำงานเพื่อศึกษาความเร็วในการสวิตช์ของมอสเฟตในวงจรดังรูปที่ ๓6 เมื่อป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้น

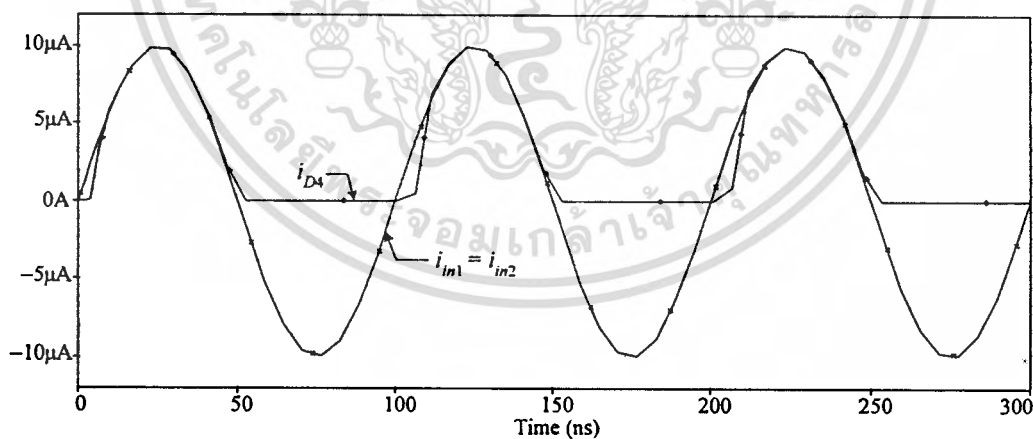
จากวงจรที่มีและไม่มีกรไบแอสมอสเฟตที่ขอบของการนำกระแสดังรูปที่ ๓6 พบว่า มอสเฟต M_2 และ M_4 จะทำงานเมื่อกระแสอินพุต i_{in1} และ i_{in2} มีค่าเป็นลบ ตามลำดับ ในขณะที่ มอสเฟต M_3 และ M_5 จะทำงานเมื่อกระแส i_{in1} และ i_{in2} มีค่าเป็นบวก ตามลำดับ เพื่อเปรียบเทียบความเร็วในการสวิตช์ (Switching Speed) ของมอสเฟตระหว่าง M_2 กับ M_4 และ M_3 กับ M_5 จะทำการป้อนกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณขั้นบันไดที่มีค่าเพิ่มขึ้นจาก $-10\mu\text{A}$ เป็น $10\mu\text{A}$ จากผลการเขียนแบบการทำงานในรูปที่ ๓7 พบว่า ในช่วงเวลา $0\text{s} < t < 1\text{ns}$ เมื่อกระแส i_{in1} และ i_{in2} มีค่าน้อยกว่าศูนย์ มอสเฟต M_2 และ M_4 จะอยู่ในสถานะนำกระแส (On) และมอสเฟต M_3 และ M_5 จะอยู่ในสถานะไม่นำกระแส (Off) โดยที่กระแส $i_{D2} = i_{D4} = -10\mu\text{A}$ และ $i_{D3} = i_{D5} = 0\text{A}$ ในช่วงเวลา $t \geq 1\text{ns}$ กระแสอินพุต i_{in1} และ i_{in2} จะมีค่ามากกว่าศูนย์ มอสเฟต M_3 จะนำกระแสแทน M_2 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสเฟต M_3 จะนำกระแสแทน M_4 จากรูปที่ ๓7(ก) เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D2} และ i_{D4} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D2} และ i_{D4} มีค่าเปลี่ยนจาก $-10\mu\text{A}$ เป็น $-1\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ Off ของมอสเฟต M_2 และ M_4 มีค่าประมาณ 0.42 ns และ 0.583 ns ตามลำดับ จากรูปที่ ๓7(ข) เมื่อพิจารณาช่วงเวลาที่ค่ากระแส i_{D3} และ i_{D5} มีการเปลี่ยนแปลงไป 90% ซึ่งเป็นช่วงเวลาที่กระแส i_{D3} และ i_{D5} มีค่าเพิ่มขึ้นจาก 0A เป็น $9\mu\text{A}$ จะได้ช่วงเวลาในการสวิตช์ On ของมอสเฟต M_3 และ M_5 มีค่าประมาณ 0.864 ns และ 2.198 ns ตามลำดับ



(ก) กระแสเอาต์พุต i_{D2}



(ข) กระแสเอาต์พุต i_{D4}

รูปที่ ๓8 ผลการเลียนแบบการทำงานเพื่อเปรียบเทียบความเพี้ยนของกระแสเอาต์พุตในวงจรคั้งรูปที่ ๓6

ในรูปที่ ๓8 แสดงผลการเลียนแบบการทำงานของวงจรในรูปที่ ๓6 จากการป้อนกระแสกระแสอินพุต i_{in1} และ i_{in2} เป็นสัญญาณไฟฟ้สลับที่มีค่าแอมพลิจูด $10\mu\text{A}$ และความถี่เท่ากับ 10MHz เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเปรียบเทียบความเพี้ยน (Distortion) ของกระแสเอาต์พุต i_{D2} และ i_{D4} บริเวณช่วงสัญญาณผ่านจุดศูนย์ค้างผลการเลขนแบบในรูปที่ ก8(ก) และ ก8(ข) ตามลำดับ

จากผลการเลขนแบบการทำงานในรูปที่ ก7 และ ก8 สามารถยืนยันได้ว่าวงจรที่มีการไบแอสมอสเฟตที่ขอบของการนำกระแส ทำให้วงจรมีช่วงเวลาหน่วง (Delay Time) ลดลง ทำให้วงจรทำงานได้เร็วขึ้น และเกิดความเพี้ยนของสัญญาณเอาต์พุตน้อยลง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

ข1. วงจรสะท้อนกระแสแบบพื้นฐาน

ข1.1 การวิเคราะห์ผลตอบสนองทางความถี่

เมื่อพิจารณาวงจรสมมูลในรูปที่ 4.2 พบว่า

ที่โหนด v_a

$$i_m = (g_{ds1} + g_{m1} + sC_{gs1} + sC_{gs2})v_a \quad (ข1.1)$$

ที่โหนด v_b

$$i_{out} = (g_{m2})v_a + (g_{ds2})v_b \quad (ข1.2)$$

จากคุณสมบัติของมอสเฟตซึ่งมีค่า $g_m \gg g_{ds}$ จึงเขียนสมการที่ (ข1.1) และ (ข1.2) ใหม่ได้ว่า

$$v_a = \left(\frac{1}{g_{m1} + sC_{gs1} + sC_{gs2}} \right) i_m \quad (ข1.3)$$

$$i_{out} = (g_{m2})v_a \quad (ข1.4)$$

เมื่อแทนค่าจากสมการที่ (ข1.3) ลงใน (ข1.4) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟต ดังนี้

$$\frac{i_{out}}{i_m} = \frac{g_{m2}}{g_{m1} + sC_{gs1} + sC_{gs2}} \quad (ข1.5)$$

หรือ

$$\frac{i_{out}}{i_m} = \left(\frac{g_{m2}}{g_{m1}} \right) \frac{1}{(T_{CM}s + 1)} \quad (ข1.6)$$

เมื่อ

$$T_{CM} = \frac{C_{gs1} + C_{gs2}}{g_{m1}} \quad (ข1.7)$$

จากสมการที่ (ข1.6) จะได้ค่าอัตราขยายกระแสสำหรับสัญญาณไฟตรง β_{CM} และค่าโพล p_{CM} ซึ่งเป็นขีดจำกัดของผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐาน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta_{CM} = \left. \frac{i_{out}}{i_{in}} \right|_{v_s=0} = \frac{g_{m2}}{g_{m1}} \quad (ข1.8)$$

$$p_{CM} = - \left(\frac{g_{m1}}{C_{gs1} + C_{gs2}} \right) \quad (ข1.9)$$

ข1.2 การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} ดังรูปที่ 4.3 เมื่อ $v_{in} = v_a$ สามารถวิเคราะห์ได้ดังนี้
ที่โหนด v_a

$$i_{in} = (g_{m1} + g_{ds1})v_a = (g_{m1} + g_{ds1})v_{in} \quad (ข1.10)$$

จากสมการที่ (ข1.10) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1} + g_{ds1}} \quad (ข1.11)$$

เนื่องจาก $g_{m1} \gg g_{ds1}$ จะได้ว่า

$$r_{in} \cong \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{W} \right)_1} \frac{1}{2\mu C_{ox} i_{in}} \quad (ข1.12)$$

จากวงจรสมมูลในการวิเคราะห์ค่าความต้านทานเอาต์พุต r_{out} ดังรูปที่ 4.4 สามารถวิเคราะห์ได้ดังนี้
ที่โหนด v_b

$$i_{out} = (g_{m2})v_a + (g_{ds2})v_b \quad (ข1.13)$$

เมื่อแรงดัน $v_a = 0V$ และ $v_b = v_{out}$ จะได้ว่า

$$i_{out} = (g_{ds2})v_{out} \quad (ข1.14)$$

จากสมการที่ (ข1.14) จะได้ค่าความต้านทานเอาต์พุต r_{out} คือ

$$r_{out} = \frac{v_{out}}{i_{out}} = \frac{1}{g_{ds2}} = \frac{1}{\lambda i_{out}} \quad (ข1.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข1.3 การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 4.1 จะเกิดจากความไม่สมพ้องกันของมอสมเฟด M_1 และ M_2 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูล โดยไม่พิจารณาผลของตัวเก็บประจุดังรูปที่ 4.5 จะได้ว่า ที่โหนด v_a

$$v_a = \left(\frac{r_{o1}}{g_{m1}r_{o1} + 1} \right) i_{in} \quad (\text{ข1.16})$$

ที่โหนด v_b

$$i_{out} = (g_{m2}) v_a + \left(\frac{1}{r_{o2}} \right) v_b \quad (\text{ข1.17})$$

โดยที่

$$v_b = (R_L)(-i_{out}) \quad (\text{ข1.18})$$

เมื่อแทนค่าจากสมการที่ (ข1.18) ลงใน (ข1.17) จะได้ว่า

$$i_{out} = \left(\frac{g_{m2}r_{o2}}{r_{o2} + R_L} \right) v_a \quad (\text{ข1.19})$$

เมื่อแทนค่าจากสมการที่ (ข1.16) ลงใน (ข1.19) จะได้ว่า

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}r_{o2}}{r_{o2} + R_L} \right) \left(\frac{r_{o1}}{g_{m1}r_{o1} + 1} \right) \quad (\text{ข1.20})$$

ถ้ากำหนดให้ $\varepsilon_{CM(gain:1)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายเท่ากับหนึ่งโดยที่

$$i_{out} = (1 - \varepsilon_{CM(gain:1)})(i_{in})$$

หรือ

$$\varepsilon_{CM(gain:1)} = 1 - \left(\frac{i_{out}}{i_{in}} \right) \quad (\text{ข1.21})$$

จากสมการที่ (ข1.20) ถ้ากำหนดให้ $g_{m1}r_{o1} \gg 1$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m2}}{g_{m1}} \right) \left(\frac{r_{o2}}{r_{o2} + R_L} \right) \quad (ข1.22)$$

เมื่อแทนค่าจากสมการที่ (ข1.22) ลงใน (ข1.21) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ คือ

$$\varepsilon_{CM(gain:1)} = \frac{(g_{m1} - g_{m2})r_{o2}}{g_{m1}(r_{o2} + R_L)} + \frac{R_L}{r_{o2} + R_L} \quad (ข1.23)$$

จากสมการที่ (ข1.23) ถ้ากำหนดให้ $r_{o2} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:1)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:1)} \cong \frac{g_{m1} - g_{m2}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.24)$$

หรือ

$$\varepsilon_{CM(gain:1)} \cong \frac{\Delta g_{m12}}{g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.25)$$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_1 และ M_2

ถ้ากำหนดให้ $\varepsilon_{CM(gain:2)}$ คือ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบพื้นฐานที่มีอัตราขยายกระแสเท่ากับสอง โดยที่

$$i_{out} = (1 - \varepsilon_{CM(gain:2)})(2i_{in})$$

หรือ

$$\varepsilon_{CM(gain:2)} = 1 - \left(\frac{i_{out}}{2i_{in}} \right) \quad (ข1.26)$$

เมื่อแทนค่าจากสมการที่ (ข1.22) ลงใน (ข1.26) จะได้ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ คือ

$$\varepsilon_{CM(gain:2)} = \frac{(2g_{m1} - g_{m2})r_{o2}}{2g_{m1}(r_{o2} + R_L)} + \frac{R_L}{(r_{o2} + R_L)} \quad (ข1.27)$$

จากสมการที่ (ข1.27) ถ้ากำหนดให้ $r_{o2} \gg R_L$ ค่าความผิดพลาด $\varepsilon_{CM(gain:2)}$ จะมีค่าประมาณ

$$\varepsilon_{CM(gain:2)} \cong \frac{2g_{m1} - g_{m2}}{2g_{m1}} + \frac{R_L}{r_{o2}} \quad (ข1.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข2. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต

จากวงจรสมมูลในรูปที่ 4.7 สามารถวิเคราะห์ได้ดังนี้

ที่โหนด v_a

$$i_m = (g_{ds1} + g_{m1} + sC_{gst})v_a \quad (ข2.1)$$

หรือ

$$v_a = \left(\frac{1}{g_{ds1} + g_{m1} + sC_{gst}} \right) i_m \quad (ข2.2)$$

เมื่อ

$$C_{gst} = C_{gst1} + C_{gst2} + \dots + C_{gstn} \quad (ข2.3)$$

ที่โหนด v_1

$$i_{out1} = (g_{m2})v_a + (g_{ds2})v_1 \quad (ข2.4)$$

ที่โหนด v_2

$$i_{out2} = (g_{m3})v_a + (g_{ds3})v_2 \quad (ข2.5)$$

ที่โหนด v_3

$$i_{out3} = (g_{m4})v_a + (g_{ds4})v_3 \quad (ข2.6)$$

ที่โหนด v_n

$$i_{outn} = (g_{m(n+1)})v_a + (g_{ds(n+1)})v_n \quad (ข2.7)$$

เนื่องจาก $g_m \gg g_{ds}$ จากสมการที่ (ข2.2) และ (ข2.4) ถึง (ข2.7) จะเขียนใหม่ได้ว่า

$$v_a = \left(\frac{1}{g_{m1} + sC_{gst}} \right) i_m \quad (ข2.8)$$

$$i_{out1} = (g_{m2})v_a \quad (ข2.9)$$

$$i_{out2} = (g_{m3})v_a \quad (ข2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out3} = (g_{m4})v_a \quad (ข2.11)$$

$$i_{outn} = (g_{mn+1})v_a \quad (ข2.12)$$

เมื่อแทนค่าจากสมการที่ (ข2.8) ลงใน (ข2.9) ถึง (ข2.12) จะได้ฟังก์ชันส่งผ่านของวงจรสะท้อนกระแสที่มีหลายเอาต์พุต คือ

$$\frac{i_{outj}}{i_{in}} = \frac{g_{mj+1}}{g_{m1} + sC_{gs1}} \quad (ข2.13)$$

หรือ

$$\frac{i_{outj}}{i_{in}} = \left(\frac{g_{mj+1}}{g_{m1}} \right) \frac{1}{(T_{CMN}s + 1)} \quad (ข2.14)$$

เมื่อ

$$T_{CMn} = \frac{C_{gs1} + C_{gs2} + \dots + C_{gsn}}{g_{m1}} \quad (ข2.15)$$

จากสมการที่ (ข2.13) จะได้อัตราขยายกระแสสำหรับสัญญาณเอาต์พุตลำดับที่ j หรือ β_{CMj} คือ

$$\beta_{CMj} = \frac{i_{outj}}{i_{in}} \Big|_{s=0} = \frac{g_{mj+1}}{g_{m1}} \quad (ข2.16)$$

สำหรับผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานที่มีหลายเอาต์พุต จะมีค่าโพล p_{CMn} ซึ่งเป็นขั้วจำกัดในการใช้งานของวงจร คือ

$$p_{CMn} = - \left(\frac{g_{m1}}{C_{gs1}} \right) \quad (ข2.17)$$

หรือ

$$p_{CMn} = - \left(\frac{g_{m1}}{C_{gs1} + C_{gs2} + \dots + C_{gsn}} \right) \quad (ข2.18)$$

ภาคผนวก ก

การวิเคราะห์คุณสมบัติการทำงานของวงจรจำกัดกระแส

ก1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

ในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต i_x ของวงจรจำกัดกระแสดังรูปที่ 4.8 จะแยกพิจารณาเป็น 2 กรณี ดังนี้

ก1.1 กรณีที่กระแส i_x มีค่าเป็นลบ

ในรูปที่ 4.10 เป็นการทำงานของวงจรจำกัดกระแสในกรณีที่กระแส i_x มีค่าเป็นลบ ($i_x < 0$) เมื่อพิจารณาที่มอสเฟต M_2 และ M_4 จะได้ว่า

$$V_{DD} - v_B = v_{SG4} + v_{DG2} \quad (ก1.1)$$

โดยที่

$$v_{DG2} = v_{DS2} - v_{GS2} \quad (ก1.2)$$

เมื่อแทนค่าจากสมการที่ (ก1.2) ลงใน (ก1.1) พร้อมทั้งจัดรูปสมการใหม่ จะได้

$$v_{DS2} = V_{DD} - v_B - v_{SG4} + v_{GS2} \quad (ก1.3)$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_2 อยู่ในชว่นนำกระแสอิ่มตัว คือ

$$v_{DS2} \geq v_{GS2} - V_{TN2} \quad (ก1.4)$$

เมื่อแทนค่าจากสมการที่ (ก1.3) ลงใน (ก1.4) จะได้ว่า

$$V_{DD} - v_B + V_{TN2} \geq v_{SG4} \quad (ก1.5)$$

จากความสัมพันธ์ระหว่างค่าแรงดัน v_{GS} กับค่ากระแสเดรน i_D ของมอสเฟตดังสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ก1.5) ใหม่ จะได้

$$V_{DD} - v_B + V_{TN2} \geq \sqrt{\frac{i_{D4}}{K_4}} + |V_{TP4}| \quad (ก1.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่า $i_{D4} = |i_{A4}|$ ลงในสมการที่ (ก1.6) ช่วงปฏิบัติงานเมื่อกระแส i_{A4} มีค่าเป็นลบ คือ

$$|i_{A4}| \leq K_4 (V_{DD} - v_B + V_{TN2} - |V_{TP4}|)^2 \quad (\text{ก1.7})$$

สำหรับค่ากระแสอินพุต i_{A4} ต่ำสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{A4(\min)}$ มีค่าเท่ากับ

$$i_{A4(\min)} = -K_4 (V_{DD} - v_B + V_{TN2} - |V_{TP4}|)^2 \quad (\text{ก1.8})$$

ก1.2 กรณีที่กระแส i_{A4} มีค่าเป็นบวก

ในรูปที่ 4.11 เป็นการทำงานของวงจรจำกัดกระแสกรณีค่ากระแส i_{A4} มีค่าเป็นบวก ($i_{A4} > 0$) เมื่อพิจารณาที่มอสเฟต M_1 , M_3 , และ M_6 จะได้ว่า

$$v_B = v_{GS1} + v_{GD3} + v_{GS6} \quad (\text{ก1.9})$$

โดยที่

$$v_{GD3} = v_{SD3} - v_{SG3} \quad (\text{ก1.10})$$

เมื่อแทนค่าจากสมการที่ (ก1.10) ลงใน (ก1.9) พร้อมทั้งจัดรูปสมการใหม่ จะได้

$$v_{SD3} = v_B - v_{GS1} - v_{GS6} + v_{SG3} \quad (\text{ก1.11})$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_3 ซึ่งเป็นพีมอสอยู่ในช่วงนำกระแสอ้อมตัว คือ

$$|v_{DS3}| \geq |v_{GS3}| - |V_{TP3}| \quad (\text{ก1.12})$$

เมื่อแทนค่าจากสมการที่ (ก1.11) ลงใน (ก1.12) จะได้ว่า

$$v_B \geq v_{GS1} + v_{GS6} - |V_{TP3}| \quad (\text{ก1.13})$$

จากความสัมพันธ์ระหว่างค่าแรงดัน v_{GS} กับค่ากระแส i_D ของมอสเฟตดังสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ก1.13) ใหม่ จะได้

$$v_B \geq \sqrt{\frac{i_{D1}}{K_1} + V_{TN1}} + \sqrt{\frac{i_{D6}}{K_6} + V_{TN6}} - |V_{TP3}| \quad (\text{ก1.14})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่า $i_{D1} = I_B$ และ $i_{D6} = i_A$ ลงในสมการที่ (ค1.14) พร้อมทั้งจัดรูปสมการใหม่ จะได้ว่า

$$i_A \leq K_6 \left(v_B - \frac{\sqrt{I_B}}{\sqrt{K_1}} - V_{TN1} - V_{TN6} + |V_{TP3}| \right)^2 \quad (\text{ค1.15})$$

สำหรับค่ากระแสอินพุต i_A สูงสุดที่วงจรยังสามารถทำงานได้หรือ $i_{A(\max)}$ คือ

$$i_{A(\max)} = K_6 \left(v_B - \frac{\sqrt{I_B}}{\sqrt{K_1}} - V_{TN1} - V_{TN6} + |V_{TP3}| \right)^2 \quad (\text{ค1.16})$$

จากสมการที่ (ค1.8) และ (ค1.16) จะได้ช่วงปฏิบัติงานของกระแสอินพุตของวงจรจำกัดกระแส คือ

$$-K_4 (V_{DD} - v_B + V_{TN2} - |V_{TP4}|)^2 \leq i_A \leq K_6 \left(v_B - \frac{\sqrt{I_B}}{\sqrt{K_1}} - V_{TN1} - V_{TN6} + |V_{TP3}| \right)^2 \quad (\text{ค1.17})$$

ก2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

ถ้ากำหนดให้ r_{in} แทนค่าความต้านทานอินพุตที่โหนด A ส่วน r_{oc} และ r_{od} แทนค่าความต้านทานเอาต์พุตที่โหนด C และ โหนด D ตามลำดับ เมื่อพิจารณาวงจรสมมูลในรูปที่ 4.12 จะได้ว่า

ที่โหนด A

$$i_A = (g_{ds2} + g_{m2} + g_{ds3} + g_{m3})v_A - (g_{ds2})v_F - (g_{ds3})v_G - (g_{m3})v_E \quad (\text{ค2.1})$$

ที่โหนด C

$$-i_{D5} = (g_{m5})v_F + (g_{ds5})v_C \quad (\text{ค2.2})$$

ที่โหนด D

$$i_{D7} = (g_{m7})v_G + (g_{ds7})v_D \quad (\text{ค2.3})$$

ที่โหนด E

$$v_E = \left(\frac{g_{m1}}{g_{ds1} + g_{OB}} \right) (-v_A) \quad (\text{ค2.4})$$

ที่โหนด F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_F = \left(\frac{g_{ds2} + g_{m2}}{g_{ds2} + g_{ds4} + g_{m4}} \right) v_A \quad (ก2.5)$$

ที่โนด G

$$(g_{ds3} + g_{ds6} + g_{m6})v_G = (g_{ds3} + g_{m3})v_A - (g_{m3})v_E \quad (ก2.6)$$

ในการวิเคราะห์ค่าความต้านทานอินพุต r_{in} สามารถทำได้โดยป้อนแรงดันทดสอบ v_A ที่โนด A จากนั้นพิจารณาหาค่ากระแส i_A ที่ไหลเข้าโนด A จะได้ว่า

$$r_{in} = \frac{v_A}{i_A} \quad (ก2.7)$$

จากการทำงานของวงจรจำกัดกระแส พบว่า มอสเฟต M_2 และ M_3 จะทำงานสลับกัน ดังนั้น ในการวิเคราะห์ความต้านทานอินพุต r_{in} ในกรณีที่ค่ากระแสอินพุต i_A เป็นลบ ($i_A < 0$) จะตัด มอสเฟต M_3 ออกไป เนื่องจาก M_3 ไม่ทำงานเสมือนเป็นวงจรเปิด จากสมการที่ (ก2.1) จะได้ว่า

$$i_A = (g_{ds2} + g_{m2})v_A - (g_{ds2})v_F \quad (ก2.8)$$

เมื่อแทนค่าจากสมการที่ (ก2.5) ลงใน (ก2.8) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{v_A}{i_A} = \frac{(g_{ds2} + g_{ds4} + g_{m4})}{(g_{ds2} + g_{m2})(g_{ds4} + g_{m4})} \quad (ก2.9)$$

ในกรณีที่ค่ากระแสอินพุต i_A เป็นบวก ($i_A > 0$) มอสเฟต M_3 จะทำงานแทนมอสเฟต M_2 ดังนั้นในการวิเคราะห์ค่าความต้านทานอินพุตสำหรับกรณีนี้จะตัดมอสเฟต M_2 ออกไป เนื่องจาก มอสเฟต M_2 ไม่ทำงานเสมือนเป็นวงจรเปิด จากสมการที่ (ก2.1) จะได้ว่า

$$i_A = (g_{ds3} + g_{m3})v_A - (g_{ds3})v_G - (g_{m3})v_E \quad (ก2.10)$$

เมื่อแทนค่าจากสมการที่ (ก2.4) ลงใน (ก2.6) จะได้

$$v_G = \left(\frac{(g_{ds3} + g_{m3})(g_{OB} + g_{ds1}) + g_{m1}g_{m3}}{(g_{OB} + g_{ds1})(g_{ds1} + g_{ds3} + g_{m6})} \right) v_A \quad (ก2.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าจากสมการที่ (ก2.4) และ (ก2.11) ลงใน (ก2.10) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{(g_{OB} + g_{d1})(g_{d1} + g_{d3} + g_{m6})}{\left(\begin{array}{l} (g_{d1} + g_{d3} + g_{m6})((g_{d3} + g_{m3})(g_{OB} + g_{d1}) + g_{m1}g_{m3}) \\ -g_{d3}(g_{d3} + g_{m3})(g_{OB} + g_{d1}) - g_{d3}g_{m1}g_{m3} \end{array} \right)} \quad (\text{ก2.12})$$

จากสมการที่ (ก2.9) และ (ก2.12) ถ้ากำหนดให้ $g_m \gg g_d$ และ $g_m \gg g_{OB}$ ค่าความต้านทาน r_{in} จะมีค่าประมาณ

$$r_{in} \cong \begin{cases} \frac{1}{g_{m2}} & ; i_A < 0 \\ \frac{g_{OB} + g_{d1}}{g_{m1}g_{m3}} & ; i_A > 0 \end{cases} \quad (\text{ก2.13})$$

ในการวิเคราะห์ความต้านทานเอาต์พุต r_{oc} สามารถทำได้โดยป้อนแหล่งจ่ายแรงดัน v_C ที่ โหนด C โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายแรงดัน v_A ที่ โหนด A จากนั้นพิจารณาค่ากระแส i_C ที่ไหลเข้า โหนด C จะได้ว่า

$$r_{oc} = \frac{v_C}{i_C} = \frac{v_C}{-i_{D5}} \quad (\text{ก2.14})$$

จากสมการที่ (ก2.5) ถ้า $v_A = 0V$ จะได้ $v_F = 0V$ เมื่อแทนค่า $v_F = 0V$ ลงในสมการที่ (ก2.2) จะได้ความต้านทานเอาต์พุต r_{oc} คือ

$$r_{oc} = \frac{v_C}{-i_{D5}} = \frac{1}{g_{d5}} \quad (\text{ก2.15})$$

ในการวิเคราะห์ความต้านทานเอาต์พุต r_{oD} สามารถทำได้โดยป้อนแหล่งจ่ายแรงดัน v_D ที่ โหนด D โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายแรงดัน v_A ที่ โหนด A จากนั้นพิจารณาค่ากระแส i_{D7} ที่ไหลไปยัง โหนด D จะได้ว่า

$$r_{oD} = \frac{v_D}{i_{D7}} \quad (\text{ก2.16})$$

จากสมการที่ (ก2.4) และ (ก2.6) ถ้า $v_A = 0V$ จะได้ $v_G = 0V$ เมื่อแทนค่า $v_G = 0V$ ลงในสมการที่ (ก2.3) จะได้ความต้านทานเอาต์พุต r_{oD} คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{oD} = \frac{v_D}{i_{D1}} = \frac{1}{g_{m1}} \quad (\text{ค2.17})$$

ค3. การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดของวงจรจำกัดกระแสดังรูปที่ 4.8 จะแยกวิเคราะห์เป็น 2 กรณี ดังนี้

ค3.1 กรณีที่กระแส i_x มีค่าเป็นลบ

ในกรณีที่กระแส i_x มีค่าเป็นลบ ($i_x < 0$) ค่าความผิดพลาดในการทำงานของวงจรจำกัดกระแสจะเกิดจากค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับ M_4 - M_5 เป็นหลัก เมื่อพิจารณาด้วยวงจรสมมูลดังรูปที่ 4.13 จะได้ว่า

ที่โนด A

$$-i_A = \left(g_{m2} + \frac{1}{r_{o2}} \right) v_A - \left(\frac{1}{r_{o2}} \right) v_F \quad (\text{ค3.1})$$

ที่โนด F

$$\left(g_{m2} + \frac{1}{r_{o2}} \right) v_A = \left(g_{m4} + \frac{1}{r_{o4}} + \frac{1}{r_{o2}} \right) v_F \quad (\text{ค3.2})$$

ที่โนด C

$$i_{Ds} = -(g_{m5}) v_F - \left(\frac{1}{r_{o5}} \right) v_C \quad (\text{ค3.3})$$

โดยที่

$$v_C = (R_{LC}) i_{Ds} \quad (\text{ค3.4})$$

เมื่อแทนค่าจากสมการที่ (ค3.4) ลงใน (ค3.3) จะได้ว่า

$$i_{Ds} = \left(\frac{g_{m5} r_{o5}}{r_{o5} + R_{LC}} \right) (-v_F) \quad (\text{ค3.5})$$

จากสมการที่ (ค3.2) เมื่อนำมาจัดรูปใหม่ จะเขียนได้ว่า

$$v_A = \left(\frac{g_{m4} r_{o4} r_{o2} + r_{o2} + r_{o4}}{r_{o4} (g_{m2} r_{o2} + 1)} \right) v_F \quad (\text{ค3.6})$$

เมื่อแทนค่าจากสมการที่ (ค3.6) ลงใน (ค3.1) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-v_F = \left(\frac{r_{o4}}{g_{m4}r_{o4} + 1} \right) i_A \quad (ก3.7)$$

เมื่อแทนค่าจากสมการที่ (ก3.7) ลงใน (ก3.5) จะได้ว่า

$$\frac{i_{D5}}{i_A} = \frac{g_{m5}r_{o4}r_{os}}{(g_{m4}r_{o4} + 1)(r_{os} + R_{LC})} \quad (ก3.8)$$

ถ้ากำหนดให้ ε_{CLn} คือ ค่าความผิดพลาดของวงจรจำกัดกระแสกรณีค่ากระแส $i_A < 0$

โดยที่

$$i_{D5} = (1 - \varepsilon_{CLn})(-i_A)$$

หรือ

$$\varepsilon_{CLn} = 1 - \left(\frac{i_{D5}}{i_A} \right) \quad (ก3.9)$$

จากสมการที่ (ก3.8) ถ้ากำหนดให้ $g_{m4}r_{o4} \gg 1$ จะได้ว่า

$$\frac{i_{D5}}{i_A} = \left(\frac{g_{m5}}{g_{m4}} \right) \left(\frac{r_{os}}{r_{os} + R_{LC}} \right) \quad (ก3.10)$$

เมื่อแทนค่าจากสมการที่ (ก3.10) ลงใน (ก3.9) จะได้ค่าความผิดพลาด ε_{CLn} คือ

$$\varepsilon_{CLn} = \frac{(g_{m4} - g_{m5})r_{os}}{g_{m4}(r_{os} + R_{LC})} + \frac{R_{LC}}{(r_{os} + R_{LC})} \quad (ก3.11)$$

จากสมการที่ (ก3.11) ถ้ากำหนดให้ $r_{os} \gg R_{LC}$ ค่าความผิดพลาด ε_{CLn} จะมีค่าประมาณ

$$\varepsilon_{CLn} \cong \frac{(g_{m4} - g_{m5})}{g_{m4}} + \frac{R_{LC}}{r_{os}}$$

หรือ

$$\varepsilon_{CLn} \cong \frac{\Delta g_{m45}}{g_{m4}} + \frac{R_{LC}}{r_{os}} \quad (ก3.12)$$

เมื่อ Δg_{m45} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_4 และ M_5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ท3.2 กรณีที่กระแส i_A มีค่าเป็นบวก

ในกรณีที่กระแส i_A มีค่าเป็นบวก ($i_A > 0$) ค่าความผิดพลาดในการทำงานของวงจรจำกัดกระแสจะเกิดจากค่าความผิดพลาดของวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง M_g - M_r เป็นหลัก เมื่อพิจารณาด้วยวงจรสมมูลดังรูปที่ 4.14 จะได้ว่า

ที่โหนด A

$$i_A = \left(g_{m3} + \frac{1}{r_{o3}} \right) v_A - (g_{m3}) v_E - \left(\frac{1}{r_{o3}} \right) v_G \quad (ท3.13)$$

ที่โหนด G

$$\left(\frac{1}{r_{o3}} + \frac{1}{r_{o6}} + g_{m6} \right) v_G = \left(g_{m3} + \frac{1}{r_{o3}} \right) v_A - (g_{m3}) v_E \quad (ท3.14)$$

ที่โหนด E

$$\left(g_{oB} + \frac{1}{r_{o1}} \right) v_E = (g_{m1}) (-v_A) \quad (ท3.15)$$

ที่โหนด D

$$i_{D7} = (g_{m7}) v_G + \left(\frac{1}{r_{o7}} \right) v_D \quad (ท3.16)$$

โดยที่

$$-i_{D7} = \frac{v_D}{R_{LD}}$$

หรือ

$$v_D = (R_{LD}) (-i_{D7}) \quad (ท3.17)$$

เมื่อแทนค่าจากสมการที่ (ท3.17) ลงใน (ท3.16) จะได้ว่า

$$i_{D7} = \left(\frac{g_{m7} r_{o7}}{r_{o7} + R_{LD}} \right) v_G \quad (ท3.18)$$

จากสมการที่ (ท3.15) เมื่อนำมาจัดรูปใหม่ จะเขียนได้ว่า

$$v_E = \left(\frac{g_{m1} r_{o1}}{g_{oB} r_{o1} + 1} \right) (-v_A) \quad (ท3.19)$$

เมื่อแทนค่าจากสมการที่ (ท3.19) ลงใน (ท3.13) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_A = \left(\frac{(g_{m3}r_{o3} + 1)(g_{OB}r_{o1} + 1) + (g_{m1}g_{m3}r_{o1}r_{o3})}{r_{o3}(g_{OB}r_{o1} + 1)} \right) v_A - \left(\frac{1}{r_{o3}} \right) v_G \quad (ค3.20)$$

เมื่อแทนค่าจากสมการที่ (ค3.19) ลงใน (ค3.14) จะได้ว่า

$$v_A = \left(\frac{(r_{o6} + r_{o3} + g_{m6}r_{o6}r_{o3})(g_{OB}r_{o1} + 1)}{r_{o6}((g_{m3}r_{o3} + 1)(g_{OB}r_{o1} + 1) + g_{m1}g_{m3}r_{o1}r_{o3})} \right) v_G \quad (ค3.21)$$

เมื่อแทนค่าจากสมการที่ (ค3.21) ลงใน (ค3.20) จะได้ว่า

$$v_G = \left(\frac{r_{o6}}{g_{m6}r_{o3} + 1} \right) i_A \quad (ค3.22)$$

เมื่อแทนค่าจากสมการที่ (ค3.22) ลงใน (ค3.18) จะได้ว่า

$$\frac{i_{D7}}{i_A} = \left(\frac{r_{o6}}{g_{m6}r_{o3} + 1} \right) \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_{LD}} \right) \quad (ค3.23)$$

ถ้ากำหนดให้ ε_{CLP} คือ ค่าความผิดพลาดของวงจรถักกระแสกรณีก่ากระแส $i_A > 0$

โดยที่

$$i_{D7} = (1 - \varepsilon_{CLP}) i_A$$

หรือ

$$\varepsilon_{CLP} = 1 - \frac{i_{D7}}{i_A} \quad (ค3.24)$$

จากสมการที่ (ค3.23) ถ้ากำหนดให้ $r_{o3} = r_{o6}$ และ $g_{m6}r_{o3} \gg 1$ จะได้ว่า

$$\frac{i_{D7}}{i_A} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \left(\frac{r_{o7}}{r_{o7} + R_{LD}} \right) \quad (ค3.25)$$

เมื่อแทนค่าจากสมการที่ (ค3.25) ลงใน (ค3.24) จะได้ว่าค่าความผิดพลาด ε_{CLP} คือ

$$\varepsilon_{CLP} = \frac{(g_{m6} - g_{m7})r_{o7}}{g_{m6}(r_{o7} + R_{LD})} + \frac{R_{LD}}{(r_{o7} + R_{LD})} \quad (ค3.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (ค3.26) ถ้ากำหนดให้ $r_{o7} \gg R_{LD}$ ค่าความผิดพลาด ε_{CLP} จะมีค่าประมาณ

$$\varepsilon_{CLP} \cong \frac{(g_{m6} - g_{m7})}{g_{m6}} + \frac{R_{LD}}{r_{o7}}$$

หรือ
$$\varepsilon_{CLP} \cong \frac{\Delta g_{m67}}{g_{m6}} + \frac{R_{LD}}{r_{o7}} \quad (\text{ค3.27})$$

เมื่อ Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_6 และ M_7

ค4. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรจำกัดกระแสดังรูปที่ 4.8 จะแยกวิเคราะห์เป็น 2 กรณี ดังนี้

ค4.1 กรณีที่กระแส i_A มีค่าเป็นลบ

เมื่อพิจารณาวงจรสมมูลในรูปที่ 4.15 จะได้ว่า

ที่โหนด A

$$-i_A + (g_{ds2})(v_F - v_A) = (g_{m2})v_A + (sC_{gs2})v_A \quad (\text{ค4.1})$$

ที่โหนด C

$$-i_{Ds} = (g_{ms})v_F + (g_{ds5})v_C \quad (\text{ค4.2})$$

ที่โหนด F

$$(g_{ds2} + g_{ds4} + g_{m4} + sC_{gs4} + sC_{gs5})v_F = (g_{ds2} + g_{m2})v_A \quad (\text{ค4.3})$$

จากสมการที่ (ค4.1) ถึง (ค4.3) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โหนด A
$$-i_A = (g_{m2} + sC_{gs2})v_A \quad (\text{ค4.4})$$

ที่โหนด C
$$-i_{Ds} = (g_{ms})v_F \quad (\text{ค4.5})$$

ที่โหนด F
$$v_A = \left(\frac{g_{m4} + sC_{gs4} + sC_{gs5}}{g_{m2}} \right) v_F \quad (\text{ค4.6})$$

เมื่อแทนค่าจากสมการที่ (ค4.6) ลงใน (ค4.4) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-v_F = \left(\frac{g_{m2}}{(g_{m2} + sC_{gs2})(g_{m4} + sC_{gs4} + sC_{gs5})} \right) i_A \quad (ท4.7)$$

เมื่อแทนค่าจากสมการที่ (ท4.7) ลงใน (ท4.5) จะได้ว่า

$$\frac{i_{DS}}{i_A} = \frac{g_{m2}g_{m5}}{(g_{m2} + sC_{gs2})(g_{m4} + sC_{gs4} + sC_{gs5})} \quad (ท4.8)$$

หรือ

$$\frac{i_{DS}}{i_A} = \frac{g_{m5}/g_{m4}}{1 + s \left(\frac{g_{m2}C_{gs4} + g_{m2}C_{gs5} + g_{m4}C_{gs2}}{g_{m2}g_{m4}} \right) + s^2 \left(\frac{C_{gs2}C_{gs4} + C_{gs2}C_{gs5}}{g_{m2}g_{m4}} \right)} \quad (ท4.9)$$

จากสมการที่ (ท4.9) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีนี้ที่ $s = 0$ จะได้อัตราขยายกระแส β_{CLn} คือ

$$\beta_{CLn} = \left. \frac{i_{DS}}{i_A} \right|_{s=0} = \frac{g_{m5}}{g_{m4}} \quad (ท4.10)$$

ถ้ากำหนดให้

$$\frac{i_{DS}}{i_A} = \frac{N_{CLn}(s)}{D_{CLn}(s)} \quad (ท4.11)$$

จากสมการที่ (ท4.9) และ (ท4.11) จะได้ว่า

$$D_{CLn}(s) = 1 + s \left(\frac{g_{m2}C_{gs4} + g_{m2}C_{gs5} + g_{m4}C_{gs2}}{g_{m2}g_{m4}} \right) + s^2 \left(\frac{C_{gs2}C_{gs4} + C_{gs2}C_{gs5}}{g_{m2}g_{m4}} \right) \quad (ท4.12)$$

ในการวิเคราะห์ค่าโพล (Pole) ของวงจรถักัดกระแส เมื่อ $i_A < 0$ [38] จะกำหนดให้

$$D_{CLn}(s) = \left(1 - \frac{s}{P_{1CLn}} \right) \left(1 - \frac{s}{P_{2CLn}} \right) \quad (ท4.13)$$

หรือ

$$D_{CLn}(s) = 1 - s \left(\frac{1}{P_{1CLn}} + \frac{1}{P_{2CLn}} \right) + s^2 \left(\frac{1}{P_{1CLn}P_{2CLn}} \right) \quad (ท4.14)$$

เมื่อ P_{1CLn} คือ โพลโดดเด่น (Dominant Pole) ของวงจรถักัดกระแสกรณีค่ากระแส $i_A < 0$

P_{2CLn} คือ โพลไม่โดดเด่น (Higher Frequency Pole) ของวงจรถักัดกระแสกรณีค่า $i_A < 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $|p_{2CLn}| \gg |p_{1CLn}|$ จากสมการที่ (ก4.14) จะเขียนใหม่ได้ว่า

$$D_{CLn}(s) \cong 1 - s \left(\frac{1}{p_{1CLn}} \right) + s^2 \left(\frac{1}{p_{1CLn} p_{2CLn}} \right) \quad (\text{ก4.15})$$

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (ก4.12) กับ (ก4.15) จะได้ค่าโพลของวงจรจำกัดกระแสในกรณีที่ค่ากระแสอินพุต $i_A < 0$ คือ

$$p_{1CLn} \cong - \left(\frac{g_{m2} g_{m4}}{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}} \right) \quad (\text{ก4.16})$$

$$p_{2CLn} \cong - \left(\frac{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}}{C_{gs2} C_{gs4} + C_{gs2} C_{gs5}} \right) \quad (\text{ก4.17})$$

จากสมการที่ (ก4.9) ถึง (ก4.17) สามารถคำนวณอัตราส่วน i_{Ds}/i_A ของวงจรได้ดังนี้

$$\frac{i_{Ds}}{i_A} \cong \left(\frac{g_{m5}}{g_{m4}} \right) \frac{1}{(T_{1CLn} s + 1)(T_{2CLn} s + 1)} \quad (\text{ก4.18})$$

เมื่อ

$$T_{1CLn} \cong \frac{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}}{g_{m2} g_{m4}} \quad (\text{ก4.19})$$

$$T_{2CLn} \cong \frac{C_{gs2} C_{gs4} + C_{gs2} C_{gs5}}{g_{m2} C_{gs4} + g_{m2} C_{gs5} + g_{m4} C_{gs2}} \quad (\text{ก4.20})$$

ก4.2 กรณีที่กระแส i_A มีค่าเป็นบวก

จากวงจรสมมูลในรูปที่ 4.16 จะได้ว่า

ที่โหนด A

$$i_A = (g_{ds3} + g_{m3} + sC_{gs3})v_A - (g_{m3} + sC_{gs3})v_E - g_{ds3}v_G \quad (\text{ก4.21})$$

ที่โหนด D

$$i_{D7} = (g_{m7})v_G + (g_{ds7})v_D \quad (\text{ก4.22})$$

ที่โหนด G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(g_{ds3} + g_{ds6} + g_{m6} + sC_{gs6} + sC_{gs7})v_G = (g_{ds3} + g_{m3})v_A - (g_{m3})v_E \quad (ก4.23)$$

จากสมการที่ (ก4.21) ถึง (ก4.23) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

$$\text{ที่โหนด A} \quad (v_A - v_E) = \left(\frac{1}{g_{m3} + sC_{gs3}} \right) i_A \quad (ก4.24)$$

$$\text{ที่โหนด D} \quad i_{D7} = (g_{m7})v_G \quad (ก4.25)$$

$$\text{ที่โหนด G} \quad (g_{m6} + sC_{gs6} + sC_{gs7})v_G = (g_{m3})(v_A - v_E) \quad (ก4.26)$$

เมื่อแทนค่าจากสมการที่ (ก4.24) ลงใน (ก4.26) จะได้ว่า

$$v_G = \left(\frac{g_{m3}}{(g_{m3} + sC_{gs3})(g_{m6} + sC_{gs6} + sC_{gs7})} \right) i_A \quad (ก4.27)$$

เมื่อแทนค่าจากสมการที่ (ก4.27) ลงใน (ก4.25) จะได้ว่า

$$\frac{i_{D7}}{i_A} = \frac{g_{m3}g_{m7}}{(g_{m3} + sC_{gs3})(g_{m6} + sC_{gs6} + sC_{gs7})} \quad (ก4.28)$$

$$\text{หรือ} \quad \frac{i_{D7}}{i_A} = \frac{g_{m7}/g_{m6}}{1 + s \left(\frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \right) + s^2 \left(\frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}g_{m6}} \right)} \quad (ก4.29)$$

จากสมการที่ (ก4.29) จะได้อัตราขยายกระแสสำหรับสัญญาณไฟตรง β_{CLP} กรณีค่ากระแส $i_A > 0$ คือ

$$\beta_{CLP} = \left. \frac{i_{D7}}{i_A} \right|_{s=0} = \frac{g_{m7}}{g_{m6}} \quad (ก4.30)$$

$$\text{ถ้ากำหนดให้} \quad \frac{i_{D7}}{i_A} = \frac{N_{CLP}(s)}{D_{CLP}(s)} \quad (ก4.31)$$

จากสมการที่ (ก4.29) และ (ก4.31) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$D_{CLP}(s) = 1 + s \left(\frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \right) + s^2 \left(\frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}g_{m6}} \right) \quad (ก4.32)$$

ในการวิเคราะห์ค่าโพลของวงจรถอดกระแส เมื่อค่ากระแสอินพุต $i_A > 0$ จะกำหนดให้

$$D_{CLP}(s) = 1 - s \left(\frac{1}{P_{1CLP}} + \frac{1}{P_{2CLP}} \right) + s^2 \left(\frac{1}{P_{1CLP}P_{2CLP}} \right) \quad (ก4.33)$$

เมื่อ P_{1CLP} คือ โพลโคเด้นของวงจรถอดกระแสกรณีค่ากระแสอินพุต $i_A > 0$

P_{2CLP} คือ โพลไม่โคเด้นของวงจรถอดกระแสกรณีค่ากระแสอินพุต $i_A > 0$

ถ้า $|P_{2CLP}| \gg |P_{1CLP}|$ จากสมการที่ (ก4.33) จะเขียนใหม่ได้ว่า

$$D_{CLP}(s) \cong 1 - s \left(\frac{1}{P_{1CLP}} \right) + s^2 \left(\frac{1}{P_{1CLP}P_{2CLP}} \right) \quad (ก4.34)$$

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (ก4.32) กับ (ก4.34) จะได้ค่าโพลของวงจรถอดกระแสในกรณีค่ากระแสอินพุต $i_A > 0$ คือ

$$P_{1CLP} \cong - \left(\frac{g_{m3}g_{m6}}{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}} \right) \quad (ก4.35)$$

$$P_{2CLP} \cong - \left(\frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}} \right) \quad (ก4.36)$$

จากสมการที่ (ก4.29) ถึง (ก4.36) สามารถคำนวณอัตราส่วน i_{D7}/i_A ของวงจรถอดกระแสได้ดังนี้

$$\frac{i_{D7}}{i_A} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1CLP}s + 1)(T_{2CLP}s + 1)} \quad (ก4.37)$$

เมื่อ

$$T_{1CLP} \cong \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \quad (ก4.38)$$

$$T_{2CLP} \cong \frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}} \quad (ก4.39)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

การวิเคราะห์คุณสมบัติการทำงานของวงจรถูกค่าสูงสุด

ง1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

ในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุตของวงจรถูกค่าสูงสุด จะแยกวิเคราะห์เป็น 2 กรณี ดังนี้

ง1.1 กรณีที่มีการป้อนกระแสอินพุตที่โหนด x

จากวงจรถูกค่าที่ 4.21 ถ้ากระแสอินพุต $i_x > 0$ และกระแสอินพุต $i_y = 0$ จากการทำงานของวงจรถูกค่าสูงสุด กระแสอินพุต i_x จะทำให้แรงดันที่โหนด x หรือแรงดัน v_x จะมีค่าเพิ่มขึ้นจนกระทั่งมอสเฟต M_3 นำกระแส เกิดกระแสเดรน i_{D3} หรือ i_{D8} ที่ไหลผ่านมอสเฟต M_8 มีผลทำให้แรงดันที่โหนด A หรือ v_A มีค่าสูงขึ้นจนกระทั่งมอสเฟต M_2 , M_5 , และ M_8 อยู่ในสภานำกระแส (On) ส่วนมอสเฟต M_1 และ M_6 อยู่ในสภาวะไม่นำกระแส (Off) จะได้ว่ากระแสเดรน i_{D2} , i_{D3} , i_{D5} และ i_{D8} มีค่าเท่ากับกระแสอินพุต i_x ส่วนกระแสเดรน i_{D1} และ i_{D6} มีค่าเท่ากับศูนย์ จากการทำงานของวงจรถูกค่าที่อินพุต M_8 - M_9 ซึ่งเป็นวงจรมีอัตราการทำงานที่ผ่านกระแสเท่ากับหนึ่ง จะได้ว่า

$$i_{\max} = i_{D8} = i_{D3} = i_{D2} = i_x \quad (ง1.1)$$

ถ้ากำหนดให้ $i_{x(\max)}$ คือ ค่ากระแสอินพุต i_x สูงสุดที่วงจรถูกค่าสามารถทำงานได้ดังสมการที่ (ง1.1) จะได้ว่าค่าแรงดันที่เกิดกับขอร์สของมอสเฟต M_2 หรือค่าแรงดัน v_{GS2} จะมีค่าสูงสุดได้ไม่เกินค่าแรงดันที่ทำให้มอสเฟต M_3 ไม่สามารถนำกระแสได้ โดยที่

$$v_{DS3} = V_{DD} - v_{GS2} \quad (ง1.2)$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_3 อยู่ในช่วงนำกระแสอิ่มตัว คือ

$$v_{DS3} \geq v_{GS3} - V_{TN3} \quad (ง1.3)$$

เมื่อแทนค่าจากสมการที่ (ง1.2) ลงใน (ง1.3) จะได้

$$V_{DD} - v_{GS2} \geq v_{GS3} - V_{TN3} \quad (ง1.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความสัมพันธ์ระหว่างค่าแรงดันที่เกิดกับซอร์ส v_{GS} กับค่ากระแสเดรน i_D ของมอสเฟตดั่งสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ง1.4) ใหม่ จะได้ว่า

$$V_{DD} - \left(\sqrt{\frac{i_{D2}}{K_2}} + V_{TN2} \right) \geq \left(\sqrt{\frac{i_{D1}}{K_1}} + V_{TN3} \right) - V_{TN3} \quad (ง1.5)$$

เมื่อแทนค่าจากสมการที่ (ง1.1) ลงใน (ง1.5) จะได้

$$V_{DD} - V_{TN2} \geq \sqrt{\frac{i_x}{K_2}} + \sqrt{\frac{i_x}{K_3}} \quad (ง1.6)$$

หรือ

$$i_x \leq \frac{K_2 K_3}{K_2 + 2\sqrt{K_2 K_3} + K_3} (V_{DD} - V_{TN2})^2 \quad (ง1.7)$$

ดังนั้นช่วงปฏิบัติการของกระแสอินพุตของวงจรถูกจำกัดค่าสูงสุดที่โนด x คือ

$$0 < i_x \leq \frac{K_2 K_3}{K_2 + 2\sqrt{K_2 K_3} + K_3} (V_{DD} - V_{TN2})^2 \quad (ง1.8)$$

สำหรับค่ากระแสอินพุต i_x สูงสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{x(\max)}$ คือ

$$i_{x(\max)} = \frac{K_2 K_3}{K_2 + 2\sqrt{K_2 K_3} + K_3} (V_{DD} - V_{TN2})^2 \quad (ง1.9)$$

ง1.2 กรณีที่มีการป้อนกระแสอินพุตที่โนด y

จากวงจรถูกที่ 4.21 ถ้ากระแสอินพุต $i_y > 0$ และกระแสอินพุต $i_x = 0$ จากการทำงานของวงจรถูกที่ค่าสูงสุดจะได้ว่า

$$i_{\max} = i_{D3} = i_{D6} = i_{D5} = i_y \quad (ง1.10)$$

ถ้ากำหนดให้ $i_{y(\max)}$ คือ ค่ากระแสอินพุต i_y สูงสุดที่วงจรยังคงสามารถทำงานได้ดั่งสมการที่ (ง1.10) จะได้ว่าค่าแรงดันที่เกิดกับซอร์สของมอสเฟต M_3 หรือค่าแรงดัน v_{GS3} จะมีค่าสูงสุดได้ไม่เกินค่าแรงดันที่ทำให้มอสเฟต M_3 ไม่สามารถนำกระแสได้ โดยที่

$$v_{DS6} = V_{DD} - v_{GS5} \quad (ง1.11)$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_6 อยู่ในช่วงนำกระแสอิ่มตัว คือ

$$v_{DS6} \geq v_{GS6} - V_{TN6} \quad (ง1.12)$$

เมื่อแทนค่าจากสมการที่ (ง1.11) ลงใน (ง1.12) จะได้

$$V_{DD} - v_{GS5} \geq v_{GS6} - V_{TN6} \quad (ง1.13)$$

จากสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (ง1.13) ใหม่ จะได้ว่า

$$V_{DD} - \left(\sqrt{\frac{i_{D5}}{K_5}} + V_{TN5} \right) \geq \left(\sqrt{\frac{i_{D6}}{K_6}} + V_{TN6} \right) - V_{TN6} \quad (ง1.14)$$

เมื่อแทนค่าจากสมการที่ (ง1.10) ลงใน (ง1.14) จะได้

$$V_{DD} - V_{TN5} \geq \sqrt{\frac{i_y}{K_6}} + \sqrt{\frac{i_y}{K_5}} \quad (ง1.15)$$

หรือ

$$i_y \leq \frac{K_5 K_6}{K_5 + 2\sqrt{K_5 K_6} + K_6} (V_{DD} - V_{TN5})^2 \quad (ง1.16)$$

ดังนั้นช่วงปฏิบัติงานของกระแสอินพุต i_y ของวงจรรหาค่าสูงสุด คือ

$$0 < i_y \leq \frac{K_5 K_6}{K_5 + 2\sqrt{K_5 K_6} + K_6} (V_{DD} - V_{TN5})^2 \quad (ง1.17)$$

สำหรับค่ากระแสอินพุต i_y สูงสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{y(\max)}$ คือ

$$i_{y(\max)} = \frac{K_5 K_6}{K_5 + 2\sqrt{K_5 K_6} + K_6} (V_{DD} - V_{TN5})^2 \quad (ง1.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

เมื่อพิจารณาแต่ละโนดในวงจรสมมูลดังรูปที่ 4.22 จะได้ว่า

ที่โนด x

$$i_x = (g_{m1} + g_{ds1} + g_{ds2})v_x + (g_{m2})v_A - (g_{m1})v_B \quad (ง2.1)$$

ที่โนด A

$$(g_{m3})v_x + (g_{m6})v_y = (g_{m3} + g_{m6} + g_{m8} + g_{ds3} + g_{ds6} + g_{ds8})v_A = (g_t)v_A \quad (ง2.2)$$

เมื่อกำหนดให้

$$g_t = g_{m3} + g_{m6} + g_{m8} + g_{ds3} + g_{ds6} + g_{ds8} \quad (ง2.3)$$

ที่โนด y

$$i_y = (g_{m4} + g_{ds4} + g_{ds5})v_y + (g_{m5})v_A - (g_{m4})v_B \quad (ง2.4)$$

ที่โนด B

$$v_B = \left(\frac{g_{m7}}{g_{m7} + g_{ds7} + g_{OB}} \right) v_A \quad (ง2.5)$$

ที่โนด C

$$i_{out} = (g_{m9})v_A + (g_{ds9})v_C \quad (ง2.6)$$

โดยที่

$$v_{out} = v_C \quad (ง2.7)$$

ในการวิเคราะห์ค่าความต้านทานอินพุต r_x สามารถทำได้โดยป้อนแรงดันทดสอบ v_x ที่โนด x โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายแรงดัน v_y ที่โนด y และแหล่งจ่ายแรงดัน v_{out} ที่โนด C จากนั้นพิจารณาหาค่ากระแส i_x ที่ไหลเข้าโนด x จะได้ว่า

$$r_x = \frac{v_x}{i_x} \quad (ง2.8)$$

จากสมการที่ (ง2.2) ถ้า $v_y = 0V$ จะได้ว่า

$$v_A = \left(\frac{g_{m3}}{g_t} \right) v_x \quad (ง2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าจากสมการที่ (ง2.9) ลงใน (ง2.5) จะได้ว่า

$$v_B = \left(\frac{g_{m7}}{g_{m7} + g_{ds7} + g_{OB}} \right) \left(\frac{g_{m3}}{g_i} \right) v_r \quad (\text{ง2.10})$$

เมื่อแทนค่าจากสมการที่ (ง2.9) และ (ง2.10) ลงใน (ง2.1) จะได้

$$i_x = (g_{m1} + g_{ds1} + g_{ds2}) v_x + \left(\frac{g_{m2} g_{m3}}{g_i} \right) v_x - (g_{m1}) \left(\frac{g_{m7}}{g_{m7} + g_{ds7} + g_{OB}} \right) \left(\frac{g_{m3}}{g_i} \right) v_x \quad (\text{ง2.11})$$

จากสมการที่ (ง2.8) และ (ง2.11) จะได้ค่าความต้านทานอินพุต r_x คือ

$$r_x = \frac{g_i (g_{m7} + g_{ds7} + g_{OB})}{((g_{m1} + g_{ds1} + g_{ds2})(g_i) + (g_{m2} g_{m3}))(g_{m7} + g_{ds7} + g_{OB}) - (g_{m1} g_{m3} g_{m7})} \quad (\text{ง2.12})$$

จากสมการที่ (ง2.12) ถ้า $g_m \gg g_{ds}$, $g_m \gg g_{OB}$, และ $g_{m1} = g_{m2}$ ค่าความต้านทานอินพุต r_x จะมีค่าประมาณ

$$r_x \cong \frac{1}{g_{m2}} \quad (\text{ง2.13})$$

ในการทำงานเดียวกันสำหรับการวิเคราะห์ความต้านทานอินพุต r_y สามารถทำได้โดยป้อนแรงดันทดสอบ v_y ที่โนด y โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายแรงดัน v_x ที่โนด x และแหล่งจ่ายแรงดัน v_{out} ที่โนด C จากนั้นพิจารณาหาค่ากระแส i_y ที่ไหลเข้าโนด y จะได้ว่า

$$r_y = \frac{v_y}{i_y} \quad (\text{ง2.14})$$

จากสมการที่ (ง2.2) ถ้า $v_x = 0V$ จะได้

$$v_A = \left(\frac{g_{m6}}{g_i} \right) v_y \quad (\text{ง2.15})$$

เมื่อแทนค่าจากสมการที่ (ง2.15) ลงใน (ง2.5) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_B = \frac{g_{m7}}{g_{m7} + g_{ds7} + g_{OB}} \left(\frac{g_{m6}}{g_I} \right) v_y \quad (ง2.16)$$

เมื่อแทนค่าจากสมการที่ (ง2.15) และ (ง2.16) ลงใน (ง2.4) จะได้

$$i_y = (g_{m4} + g_{ds4} + g_{ds5}) v_y + \left(\frac{g_{m5} g_{m6}}{g_I} \right) v_y - (g_{m4}) \left(\frac{g_{m7}}{g_{m7} + g_{ds7} + g_{OB}} \right) \left(\frac{g_{m6}}{g_I} \right) v_y \quad (ง2.17)$$

จากสมการที่ (ง2.14) และ (ง2.17) จะได้ค่าความต้านทานอินพุต r_y คือ

$$r_y = \frac{(g_I)(g_{m7} + g_{ds7} + g_{OB})}{((g_{m4} + g_{ds4} + g_{ds5})(g_I) + (g_{m5} g_{m6}))(g_{m7} + g_{ds7} + g_{OB}) - (g_{m4} g_{m6} g_{m7})} \quad (ง2.18)$$

จากสมการที่ (ง2.18) ถ้า $g_m \gg g_{ds}$, $g_m \gg g_{OB}$, และ $g_{m4} = g_{m5}$ ค่าความต้านทานอินพุต r_y จะมีค่าประมาณ

$$r_y \cong \frac{1}{g_{m5}} \quad (ง2.19)$$

ในการวิเคราะห์ความต้านทานเอาต์พุต r_{out} สามารถทำได้โดยป้อนแหล่งจ่ายแรงดัน v_{out} ที่ โหนด C โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายแรงดัน v_x ที่ โหนด x และแหล่งจ่ายแรงดัน v_y ที่ โหนด y จากนั้นพิจารณาหาค่ากระแส i_{out} ที่ไหลเข้า โหนด C จะได้ว่า

$$r_{out} = \frac{v_{out}}{i_{out}} \quad (ง2.20)$$

จากสมการที่ (ง2.2) ถ้า $v_x = v_y = 0V$ จะได้

$$v_A = 0 \quad (ง2.21)$$

เมื่อแทนค่าจากสมการที่ (ง2.7) และ (ง2.21) ลงใน (ง2.6) จะได้ความต้านทานเอาต์พุต r_{out} คือ

$$r_{out} = \frac{1}{g_{ds9}} = r_{o9} \quad (ง2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง3. การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดในการทำงานของวงจรหาค่าสูงสุดดังรูปที่ 4.20 จะแยกวิเคราะห์เป็น 2 กรณีดังนี้

ง3.1 กรณีที่ค่ากระแส $i_x > i_y$

ในกรณีที่ค่ากระแส $i_x > i_y$ ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพียงกันของมอสเฟต M_2, M_3, M_8 , และ M_9 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูลดังรูปที่ 4.23 จะได้ว่าที่โหนด x

$$i_x = (g_{m2})v_A + \left(\frac{1}{r_{o2}}\right)v_x \quad (ง3.1)$$

ที่โหนด A

$$(g_{m3})v_x = \left(g_{m3} + \frac{1}{r_{o3}} + g_{m8} + \frac{1}{r_{o8}}\right)v_A \quad (ง3.2)$$

ที่โหนด C

$$i_{\max} = (g_{m9})v_A + \left(\frac{1}{r_{o9}}\right)v_C \quad (ง3.3)$$

โดยที่

$$v_C = -(R_L)i_{\max} \quad (ง3.4)$$

เมื่อแทนค่าจากสมการที่ (ง3.4) ลงใน (ง3.3) จะได้ว่า

$$i_{\max} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L}\right)v_A \quad (ง3.5)$$

จากสมการที่ (ง3.2) ถ้าออกแบบให้ $g_{m3}r_{o3} \gg 1$ และ $g_{m8}r_{o8} \gg 1$ จะได้ว่า

$$v_x \cong \left(\frac{g_{m3} + g_{m8}}{g_{m3}}\right)v_A \quad (ง3.6)$$

เมื่อแทนค่าจากสมการที่ (ง3.6) ลงใน (ง3.1) จะได้ว่า

$$v_A = \left(\frac{g_{m3}r_{o2}}{g_{m2}g_{m3}r_{o2} + g_{m3} + g_{m8}}\right)i_x \quad (ง3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าจากสมการที่ (ง3.7) ลงใน (ง3.5) จะได้ว่า

$$\frac{i_{\max}}{i_x} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L} \right) \left(\frac{g_{m3}r_{o2}}{g_{m2}g_{m3}r_{o2} + g_{m3} + g_{m8}} \right) \quad (ง3.8)$$

ถ้ากำหนดให้ ε_x คือ ค่าความผิดพลาดของวงจรรหาค่าสูงสุดกรณีค่ากระแส $i_x > i_y$

โดยที่
$$i_{\max} = (1 - \varepsilon_x) i_x$$

หรือ
$$\varepsilon_x = 1 - \left(\frac{i_{\max}}{i_x} \right) \quad (ง3.9)$$

เมื่อแทนค่าจากสมการที่ (ง3.8) ลงใน (ง3.9) จะได้ว่า

$$\varepsilon_x = \frac{(g_{m2} - g_{m9})(g_{m3}r_{o2}r_{o9}) + r_{o9}(g_{m3} + g_{m8}) + R_L(g_{m2}g_{m3}r_{o2} + g_{m3} + g_{m8})}{(r_{o9} + R_L)(g_{m2}g_{m3}r_{o2} + g_{m3} + g_{m8})} \quad (ง3.10)$$

จากสมการที่ (ง3.10) ถ้ากำหนดให้ $g_{m8} = g_{m2}$ และ $r_{o9} \gg R_L$ จะได้ว่า

$$\varepsilon_x \cong \left(\frac{(g_{m2} - g_{m9})(g_{m3}r_{o2})}{g_{m3}(g_{m2}r_{o2} + 1) + g_{m2}} \right) + \left(\frac{g_{m3} + g_{m2}}{g_{m3}(g_{m2}r_{o2} + 1) + g_{m2}} \right) + \left(\frac{R_L}{r_{o9}} \right) \quad (ง3.11)$$

จากสมการที่ (ง3.11) ถ้าออกแบบให้ $g_{m2}r_{o2} \gg 1$ จะได้

$$\varepsilon_x \cong \left(\frac{(g_{m2} - g_{m9})(g_{m3}r_{o2})}{g_{m2}(g_{m3}r_{o2} + 1)} \right) + \left(\frac{g_{m3} + g_{m2}}{g_{m2}(g_{m3}r_{o2} + 1)} \right) + \left(\frac{R_L}{r_{o9}} \right) \quad (ง3.12)$$

จากสมการที่ (ง3.12) ถ้าออกแบบให้ $g_{m3}r_{o2} \gg 1$ ค่าความผิดพลาด ε_x จะมีค่าประมาณ

$$\varepsilon_x \cong \frac{(g_{m2} - g_{m9})}{g_{m2}} + \frac{g_{m3}r_{o9} + g_{m2}r_{o9} + g_{m2}g_{m3}r_{o2}R_L}{g_{m2}g_{m3}r_{o2}r_{o9}}$$

หรือ
$$\varepsilon_x \cong \frac{\Delta g_{m29}}{g_{m2}} + \frac{g_{m3}r_{o9} + g_{m2}r_{o9} + g_{m2}g_{m3}r_{o2}R_L}{g_{m2}g_{m3}r_{o2}r_{o9}} \quad (ง3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Δg_{m29} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_2 และ M_9

ง3.2 กรณีที่ค่ากระแส $i_y > i_x$

ในกรณีที่ค่ากระแส $i_y > i_x$ ค่าความผิดพลาดวงจรในการทำงานของวงจรหาค่าสูงสุดจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_5 , M_6 , M_8 , และ M_9 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูลดังรูปที่ 4.24 จะได้ว่า

ที่โหนด y

$$i_y = (g_{m5})v_A + \left(\frac{1}{r_{o5}}\right)v_y \quad (ง3.14)$$

ที่โหนด A

$$(g_{m6})v_y = \left(g_{m6} + \frac{1}{r_{o6}} + g_{m8} + \frac{1}{r_{o8}}\right)v_A \quad (ง3.15)$$

ที่โหนด C

$$i_{\max} = (g_{m9})v_A + \left(\frac{1}{r_{o9}}\right)v_C \quad (ง3.16)$$

โดยที่

$$v_C = -(R_L)i_{\max} \quad (ง3.17)$$

เมื่อแทนค่าจากสมการที่ (ง3.17) ลงใน (ง3.16) จะได้ว่า

$$i_{\max} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L}\right)v_A \quad (ง3.18)$$

จากสมการที่ (ง3.15) ถ้าออกแบบให้ $g_{m6}r_{o6} \gg 1$ และ $g_{m8}r_{o8} \gg 1$ จะได้ว่า

$$v_y \cong \left(\frac{g_{m6} + g_{m8}}{g_{m6}}\right)v_A \quad (ง3.19)$$

เมื่อแทนค่าจากสมการที่ (ง3.19) ลงใน (ง3.14) จะได้ว่า

$$v_A = \left(\frac{g_{m6}r_{o5}}{g_{m5}g_{m6}r_{o5} + g_{m6} + g_{m8}}\right)i_y \quad (ง3.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าจากสมการที่ (ง3.20) ลงใน (ง3.18) จะได้ว่า

$$\frac{i_{\max}}{i_y} = \left(\frac{g_{m9}r_{o9}}{r_{o9} + R_L} \right) \left(\frac{g_{m6}r_{o5}}{g_{m5}g_{m6}r_{o5} + g_{m6} + g_{m8}} \right) \quad (ง3.21)$$

ถ้ากำหนดให้ ε_y คือ ค่าความผิดพลาดของวงจรถูกหาค่าสูงสุดกรณีค่ากระแส $i_y > i_x$

โดยที่
$$\varepsilon_y = 1 - \left(\frac{i_{\max}}{i_y} \right) \quad (ง3.22)$$

เมื่อแทนค่าจากสมการที่ (ง3.21) ลงใน (ง3.22) จะได้ว่า

$$\varepsilon_y = \frac{(g_{m5} - g_{m9})(g_{m6}r_{o5}r_{o9}) + r_{o9}(g_{m6} + g_{m8}) + R_L(g_{m5}g_{m6}r_{o5} + g_{m6} + g_{m8})}{(r_{o9} + R_L)(g_{m5}g_{m6}r_{o5} + g_{m6} + g_{m8})} \quad (ง3.23)$$

จากสมการที่ (ง3.23) ถ้ากำหนดให้ $g_{m8} = g_{m5}$ และ $r_{o9} \gg R_L$ จะได้ว่า

$$\varepsilon_y \cong \left(\frac{(g_{m5} - g_{m9})(g_{m6}r_{o5})}{g_{m6}(g_{m5}r_{o5} + 1) + g_{m5}} \right) + \left(\frac{g_{m6} + g_{m5}}{g_{m6}(g_{m5}r_{o5} + 1) + g_{m5}} \right) + \left(\frac{R_L}{r_{o9}} \right) \quad (ง3.24)$$

จากสมการที่ (ง3.24) ถ้าออกแบบให้ $g_{m5}r_{o5} \gg 1$ จะได้

$$\varepsilon_y \cong \left(\frac{(g_{m5} - g_{m9})(g_{m6}r_{o5})}{g_{m5}(g_{m6}r_{o5} + 1)} \right) + \left(\frac{g_{m6} + g_{m5}}{g_{m5}(g_{m6}r_{o5} + 1)} \right) + \left(\frac{R_L}{r_{o9}} \right) \quad (ง3.25)$$

จากสมการที่ (ง3.25) ถ้าออกแบบให้ $g_{m6}r_{o5} \gg 1$ ค่าความผิดพลาด ε_y จะมีค่าประมาณ

$$\varepsilon_y \cong \frac{(g_{m5} - g_{m9})}{g_{m5}} + \frac{g_{m6}r_{o9} + g_{m5}r_{o9} + g_{m5}g_{m6}r_{o5}R_L}{g_{m5}g_{m6}r_{o5}r_{o9}}$$

หรือ
$$\varepsilon_y \cong \frac{\Delta g_{m59}}{g_{m5}} + \frac{g_{m6}r_{o9} + g_{m5}r_{o9} + g_{m5}g_{m6}r_{o5}R_L}{g_{m5}g_{m6}r_{o5}r_{o9}} \quad (ง3.26)$$

เมื่อ Δg_{m59} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพ้องกันของมอสเฟต M_5 และ M_9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง4. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรถูกค่าสูงสุดคั้งรูปที่ 4.20 จะแยกวิเคราะห์เป็น 2 กรณีดังนี้

ง4.1 กรณีที่ค่ากระแส $i_x > i_y$

จากวงจรถูกค่าสูงสุดสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรถูกค่าสูงสุด ในกรณีที่ค่ากระแส $i_x > i_y$ คั้งรูปที่ 4.25 เมื่อ $C_{11} = C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}$ จะได้ว่า

ที่โนด x

$$i_x = (g_{m2} - sC_{gs3})v_A + (g_{ds2} + sC_{gs3})v_x \quad (ง4.1)$$

ที่โนด A

$$(sC_{gs3} + g_{m3})v_x = (g_{ds3} + g_{ds8} + g_{m3} + g_{m8} + sC_{11} + sC_{gs3})v_A \quad (ง4.2)$$

ที่โนด C

$$i_{\max} = (g_{m9})v_A + (g_{ds9})v_C \quad (ง4.3)$$

จากสมการที่ (ง4.1) ถึง (ง4.3) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โนด x

$$i_x = (g_{m2} - sC_{gs3})v_A + (sC_{gs3})v_x \quad (ง4.4)$$

ที่โนด A

$$v_x = \left(\frac{g_{m3} + g_{m8} + sC_{11} + sC_{gs3}}{sC_{gs3} + g_{m3}} \right) v_A \quad (ง4.5)$$

ที่โนด C

$$i_{\max} = (g_{m9})v_A \quad (ง4.6)$$

เมื่อแทนค่าจากสมการที่ (ง4.5) ลงใน (ง4.4) จะได้ว่า

$$v_A = \left(\frac{sC_{gs3} + g_{m3}}{g_{m2}g_{m3} + s(g_{m2}C_{gs3} + g_{m8}C_{gs3}) + s^2(C_{11}C_{gs3})} \right) i_x \quad (ง4.7)$$

เมื่อแทนค่าจากสมการที่ (ง4.7) ลงใน (ง4.6) จะได้

$$\frac{i_{\max}}{i_x} = \frac{(g_{m9})(sC_{gs3} + g_{m3})}{g_{m2}g_{m3} + s(g_{m2}C_{gs3} + g_{m8}C_{gs3}) + s^2(C_{11}C_{gs3})} \quad (ง4.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$\frac{i_{\max}}{i_x} = \frac{\left(\frac{g_{m9}}{g_{m2}g_{m3}}\right)(sC_{gs3} + g_{m3})}{1 + s\left(\frac{g_{m2}C_{gs3} + g_{m8}C_{gs3}}{g_{m2}g_{m3}}\right) + s^2\left(\frac{C_{11}C_{gs3}}{g_{m2}g_{m3}}\right)} \quad (34.9)$$

จากสมการที่ (34.9) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่ $s = 0$ จะได้อัตราขยายกระแส β_x คือ

$$\beta_x = \left. \frac{i_{\max}}{i_x} \right|_{s=0} = \frac{g_{m9}}{g_{m2}} \quad (34.10)$$

ถ้ากำหนดให้

$$\frac{i_{\max}}{i_x} = \frac{N_x(s)}{D_x(s)} \quad (34.11)$$

จากสมการที่ (34.9) และ (34.11) จะได้ว่า

$$N_x(s) = \left(\frac{g_{m9}}{g_{m2}g_{m3}}\right)(sC_{gs3} + g_{m3}) \quad (34.12)$$

$$D_x(s) = 1 + s\left(\frac{g_{m2}C_{gs3} + g_{m8}C_{gs3}}{g_{m2}g_{m3}}\right) + s^2\left(\frac{C_{11}C_{gs3}}{g_{m2}g_{m3}}\right) \quad (34.13)$$

เมื่อ $N_x(s) = 0$ จะได้ค่าซีโร (Zero) ของวงจรถ้าค่าสูงสุดกรณีค่ากระแส $i_x > i_y$ คือ

$$z_{1x} = -\left(\frac{g_{m3}}{C_{gs3}}\right) \quad (34.14)$$

ในการวิเคราะห์ค่าโพลของวงจรถ้าค่าสูงสุดกรณีค่ากระแส $i_x > i_y$ [38] จะกำหนดให้

$$D_x(s) = \left(1 - \frac{s}{p_{1x}}\right)\left(1 - \frac{s}{p_{2x}}\right) \quad (34.15)$$

หรือ

$$D_x(s) = 1 - s\left(\frac{1}{p_{1x}} + \frac{1}{p_{2x}}\right) + s^2\left(\frac{1}{p_{1x}p_{2x}}\right) \quad (34.16)$$

เมื่อ p_{1x} คือ โพลโคเคนของวงจรถ้าค่าสูงสุดกรณีค่ากระแส $i_x > i_y$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

p_{2x} คือ โพลไม่โคเดนต์หรือโพลที่ความถี่สูงกว่าของวงจรถูกค่าสูงสุดกรณีค่ากระแส $i_x > i_y$

ถ้า $|p_{2x}| \gg |p_{1x}|$ จากสมการที่ (ง4.16) จะเขียนใหม่ได้ว่า

$$D_x(s) \cong 1 - s \left(\frac{1}{p_{1x}} \right) + s^2 \left(\frac{1}{p_{1x} p_{2x}} \right) \quad (ง4.17)$$

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (ง4.13) กับ (ง4.17) จะได้ค่าโพลของวงจรถูกค่าสูงสุดในกรณีค่ากระแส $i_x > i_y$ คือ

$$p_{1x} \cong - \left(\frac{g_{m2} g_{m3}}{g_{m2} C_{gs3} + g_{m8} C_{gs3}} \right) \quad (ง4.18)$$

$$p_{2x} \cong - \left(\frac{g_{m2} + g_{m8}}{C_{r1}} \right) = - \left(\frac{g_{m2} + g_{m8}}{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}} \right) \quad (ง4.19)$$

จากสมการที่ (ง4.9) ถึง (ง4.19) สามารถคำนวณหาค่าอัตราส่วน i_{\max}/i_x ของวงจรถูกค่าได้ดังนี้

$$\frac{i_{\max}}{i_x} \cong \left(\frac{g_{m9}}{g_{m2} g_{m3}} \right) \frac{(T_{3x} s + 1)}{(T_{1x} s + 1)(T_{2x} s + 1)} \quad (ง4.20)$$

เมื่อ

$$T_{1x} \cong \frac{(g_{m2} + g_{m8}) C_{gs3}}{g_{m2} g_{m3}} \quad (ง4.21)$$

$$T_{2x} \cong \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m2} + g_{m8}} \quad (ง4.22)$$

$$T_{3x} \cong \frac{C_{gs3}}{g_{m3}} \quad (ง4.23)$$

ง4.2 กรณีที่ค่ากระแส $i_y > i_x$

จากวงจรถูกค่าสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรถูกค่าสูงสุด

ในกรณีที่ค่ากระแส $i_y > i_x$ ดังรูปที่ 4.26 เมื่อ $C_{r1} = C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}$ จะได้ว่า

ที่โนด y

$$i_y = (g_{m5}) v_A + (g_{m5}) v_y + (s C_{gs6}) (v_y - v_A)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$i_y = (g_{m5} - sC_{gs6})v_A + (g_{ds5} + sC_{gs6})v_y \quad (ง4.24)$$

ที่โหนด A

$$(sC_{gs6} + g_{m6})v_y = (g_{ds6} + g_{ds8} + g_{m6} + g_{m8} + sC_{t1} + sC_{gs6})v_A \quad (ง4.25)$$

ที่โหนด C

$$i_{max} = (g_{m9})v_A + (g_{ds9})v_C \quad (ง4.26)$$

จากสมการที่ (ง4.24) ถึง (ง4.26) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โหนด y
$$i_y = (g_{m5} - sC_{gs6})v_A + (sC_{gs6})v_y \quad (ง4.27)$$

ที่โหนด A
$$v_y = \left(\frac{g_{m6} + g_{m8} + sC_{t1} + sC_{gs6}}{sC_{gs6} + g_{m6}} \right) v_A \quad (ง4.28)$$

ที่โหนด C
$$i_{max} = (g_{m9})v_A \quad (ง4.29)$$

เมื่อแทนค่าจากสมการที่ (ง4.28) ลงใน (ง4.27) จะได้ว่า

$$v_A = \left(\frac{sC_{gs6} + g_{m6}}{g_{m5}g_{m6} + s(g_{m5}C_{gs6} + g_{m8}C_{gs6}) + s^2C_{t1}C_{gs6}} \right) i_y \quad (ง4.30)$$

เมื่อแทนค่าจากสมการที่ (ง4.30) ลงใน (ง4.29) จะได้

$$\frac{i_{max}}{i_y} = \frac{(g_{m9})(sC_{gs6} + g_{m6})}{g_{m5}g_{m6} + s(g_{m5}C_{gs6} + g_{m8}C_{gs6}) + s^2(C_{t1}C_{gs6})} \quad (ง4.31)$$

หรือ
$$\frac{i_{max}}{i_y} = \frac{\left(\frac{g_{m9}}{g_{m5}g_{m6}} \right) (sC_{gs6} + g_{m6})}{1 + s \left(\frac{g_{m5}C_{gs6} + g_{m8}C_{gs6}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{t1}C_{gs6}}{g_{m5}g_{m6}} \right)} \quad (ง4.32)$$

จากสมการที่ (ง4.32) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่มี $s = 0$ จะได้อัตราขยายกระแส β_y คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta_y = \left. \frac{i_{\max}}{i_y} \right|_{s=0} = \frac{g_{m9}}{g_{m5}} \quad (จ4.33)$$

ถ้ากำหนดให้

$$\frac{i_{\max}}{i_y} = \frac{N_y(s)}{D_y(s)} \quad (จ4.34)$$

จากสมการที่ (จ4.32) และ (จ4.34) จะได้ว่า

$$N_y(s) = \left(\frac{g_{m9}}{g_{m5}g_{m6}} \right) (sC_{\mu s6} + g_{m6}) \quad (จ4.35)$$

$$D_y(s) = 1 + s \left(\frac{g_{m5}C_{\mu s6} + g_{m5}C_{\mu s6}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{i1}C_{\mu s6}}{g_{m5}g_{m6}} \right) \quad (จ4.36)$$

เมื่อ $N_y(s) = 0$ จะได้ค่าซีโรของวงจรถูกค่าสูงสุดกรณีค่ากระแส $i_y > i_x$ คือ

$$z_{1y} = - \left(\frac{g_{m6}}{C_{gs6}} \right) \quad (จ4.37)$$

ในการวิเคราะห์ค่าโพลของวงจรถูกค่าสูงสุดกรณีค่ากระแส $i_y > i_x$ [38] จะกำหนดให้

$$D_y(s) = \left(1 - \frac{s}{p_{1y}} \right) \left(1 - \frac{s}{p_{2y}} \right) \quad (จ4.38)$$

หรือ

$$D_y(s) = 1 - s \left(\frac{1}{p_{1y}} + \frac{1}{p_{2y}} \right) + s^2 \left(\frac{1}{p_{1y}p_{2y}} \right) \quad (จ4.39)$$

เมื่อ p_{1y} คือ โพลโคเด้นของวงจรถูกค่าสูงสุดกรณีค่ากระแส $i_y > i_x$

p_{2y} คือ โพลไม่โคเด้นหรือโพลที่ความถี่สูงกว่าของวงจรถูกค่าสูงสุดกรณีค่ากระแส $i_y > i_x$

ถ้า $|p_{2y}| \gg |p_{1y}|$ จากสมการที่ (จ4.39) จะเขียนใหม่ได้ว่า

$$D_y(s) \cong 1 - s \left(\frac{1}{p_{1y}} \right) + s^2 \left(\frac{1}{p_{1y}p_{2y}} \right) \quad (จ4.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (ง4.36) กับ (ง4.40) จะได้ค่าโพลของวงจรถูกค่าสูงสุดในกรณีที่ค่ากระแส $i_y > i_x$ คือ

$$p_{1y} \cong - \left(\frac{g_{m5} g_{m6}}{g_{m5} C_{gs6} + g_{m8} C_{gs6}} \right) \quad (ง4.41)$$

$$p_{2y} \cong - \left(\frac{g_{m5} + g_{m8}}{C_{i1}} \right) \cong - \left(\frac{g_{m5} + g_{m8}}{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}} \right) \quad (ง4.42)$$

จากสมการที่ (ง4.32) ถึง (ง4.42) สามารถคำนวณหาค่าอัตราส่วน i_{max}/i_y ของวงจรถูกค่าได้ดังนี้

$$\frac{i_{max}}{i_y} \cong \left(\frac{g_{m9}}{g_{m5} g_{m6}} \right) \frac{(T_{3y} s + 1)}{(T_{1y} s + 1)(T_{2y} s + 1)} \quad (ง4.43)$$

เมื่อ

$$T_{1y} \cong \frac{(g_{m5} + g_{m8}) C_{gs6}}{g_{m5} g_{m6}} \quad (ง4.44)$$

$$T_{2y} \cong \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m5} + g_{m8}} \quad (ง4.45)$$

$$T_{3y} \cong \frac{C_{gs6}}{g_{m6}} \quad (ง4.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

การวิเคราะห์คุณสมบัติการทำงานของวงจรฟังก์ชันสมบูรณ์

จ1. การวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต

ในการวิเคราะห์ช่วงปฏิบัติงานของกระแสอินพุต i_{in} ของวงจรฟังก์ชันสมบูรณ์ดังรูปที่ 4.30 จะแยกพิจารณาเป็น 2 กรณี ดังนี้

จ1.1 กรณีที่กระแสอินพุต i_{in} มีค่าเป็นลบ

จากรูปที่ 4.31 เป็นการดำเนินงานของวงจรฟังก์ชันสมบูรณ์กรณีกระแสอินพุต i_{in} มีค่าเป็นลบ ($i_{in} < 0$) เมื่อพิจารณาที่มอสเฟต M_5 และ M_6 จะได้ว่า

$$V_{DD} = v_{SG6} + v_{DG5} + v_{GS8} + v_{GS9} \quad (จ1.1)$$

โดยที่

$$v_{DG5} = v_{DS5} - v_{GS5} \quad (จ1.2)$$

เมื่อแทนค่าจากสมการที่ (จ1.2) ลงใน (จ1.1) พร้อมทั้งจัดรูปสมการใหม่ จะได้

$$v_{DS5} = V_{DD} - v_{SG6} + v_{GS5} - v_{GS8} - v_{GS9} \quad (จ1.3)$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_5 อยู่ในชวงนำกระแสคือ

$$v_{DS5} \geq v_{GS5} - V_{TN5} \quad (จ1.4)$$

เมื่อแทนค่าจากสมการที่ (จ1.3) ลงใน (จ1.4) จะได้ว่า

$$V_{DD} \geq v_{SG6} + v_{GS8} + v_{GS9} - V_{TN5} \quad (จ1.5)$$

จากความสัมพันธ์ระหว่างค่าแรงดันที่เกิดกับซอร์ส v_{GS} กับค่ากระแสเดรน i_D ของมอสเฟตดังสมการที่ (ก1.3) เมื่อจัดรูปของสมการที่ (จ1.5) ใหม่ จะได้

$$V_{DD} \geq \left(\sqrt{\frac{i_{D6}}{K_6}} + |V_{TP6}| \right) + \left(\sqrt{\frac{i_{D8}}{K_8}} + V_{TN8} \right) + \left(\sqrt{\frac{i_{D9}}{K_9}} + V_{TN9} \right) - V_{TN5} \quad (จ1.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่า $i_{D6} = |i_{ab}|$ และ $i_{D8} = i_{D9} = I_B$ ลงใน (จ1.6) จะได้ช่วงปฏิบัติงาน เมื่อ i_{ab} มีค่าเป็นลบ คือ

$$|i_{ab}| \leq K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \quad (จ1.7)$$

สำหรับค่ากระแสอินพุต i_{ab} ค่าสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{ab(\min)}$ เท่ากับ

$$i_{ab(\min)} = -K_6 \left(V_{DD} - |V_{TN6}| - V_{TP8} - V_{TP9} + V_{TP5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \quad (จ1.8)$$

จ1.2 กรณีที่กระแสอินพุต i_{ab} มีค่าเป็นบวก

จากรูปที่ 4.32 เป็นการทำงานของวงจรฟังก์ชันสับบอร์นกรณีกระแสอินพุต i_{ab} มีค่าเป็นบวก ($i_{ab} > 0$) เมื่อพิจารณาที่มอสเฟต M_1 , M_3 , และ M_4 จะได้ว่า

$$v_{DS4} = V_{DD} - v_{GS1} \quad (จ1.9)$$

เงื่อนไขที่ทำให้การทำงานของมอสเฟต M_4 อยู่ในขั้วนำกระแสคือ

$$v_{DS4} \geq v_{GS4} - V_{TN4} \quad (จ1.10)$$

เมื่อแทนค่าจากสมการที่ (จ1.9) ลงใน (จ1.10) จะได้

$$V_{DD} - v_{GS1} \geq v_{GS4} - V_{TN4} \quad (จ1.11)$$

จากสมการที่ (จ1.3) เมื่อจัดรูปของสมการที่ (จ1.11) ใหม่ จะได้ว่า

$$V_{DD} - \left(\sqrt{\frac{i_{D1}}{K_1}} + V_{TN1} \right) \geq \left(\sqrt{\frac{i_{D4}}{K_4}} + V_{TN4} \right) - V_{TN4} \quad (จ1.12)$$

เมื่อแทนค่า $i_{D1} = i_{D4} = i_{ab}$ ลงในสมการที่ (จ1.12) จะได้

$$V_{DD} - V_{TN1} \geq \sqrt{\frac{i_{ab}}{K_1}} + \sqrt{\frac{i_{ab}}{K_4}} \quad (จ1.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$i_{ab} \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (จ1.14)$$

สำหรับค่ากระแสอินพุต i_{ab} สูงสุดที่วงจรยังคงสามารถทำงานได้หรือ $i_{ab(max)}$ คือ

$$i_{ab(max)} = \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (จ1.15)$$

จากสมการที่ (จ1.7) และ (จ1.14) จะได้ช่วงปฏิบัติการของกระแสอินพุตของวงจรฟังก์ชันสัมบูรณ์คือ

$$-K_6 \left(V_{DD} - |V_{TP6}| - V_{TN8} - V_{TN9} + V_{TN5} - \sqrt{\frac{I_B}{K_8}} - \sqrt{\frac{I_B}{K_9}} \right)^2 \leq i_{ab} \leq \frac{K_1 K_4}{K_1 + 2\sqrt{K_1 K_4} + K_4} (V_{DD} - V_{TN1})^2 \quad (จ1.16)$$

จ2. การวิเคราะห์ค่าความต้านทานอินพุตและเอาต์พุต

จากวงจรฟังก์ชันสัมบูรณ์ในรูปที่ 4.30 สามารถแทนด้วยวงจรสมมูลโดยไม่พิจารณาผลของตัวเก็บประจุได้ดังรูปที่ 4.33 เมื่อพิจารณาในวงจรสมมูล จะได้ว่า

ที่โนด A

$$i_{ab} = (g_{ds1} + g_{ds5} + g_{m5})v_A - (g_{m5})v_B - (g_{ds5})v_D + (g_{m1})v_C \quad (จ2.1)$$

ที่โนด C

$$v_C = \left(\frac{g_{m4}}{g_{ds3} + g_{ds4} + g_{m3} + g_{m4}} \right) v_A \quad (จ2.2)$$

ที่โนด D

$$(g_{m2})v_C + (g_{m5})v_B + (g_{ds2} + g_{ds5} + g_{ds6} + g_{m6})v_D = (g_{ds5} + g_{m5})v_A \quad (จ2.3)$$

ที่โนด E

$$i_{D7} = -(g_{m7})v_D - (g_{ds7})v_E \quad (จ2.4)$$

จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ มอสเฟต M_5 และ M_1 จะทำงานสลับกัน ดังนั้นในการวิเคราะห์ความต้านทานอินพุต r_{in} ในกรณีที่กระแสอินพุต i_{ab} มีค่าเป็นลบ ($i_{ab} < 0$) จะตัดมอสเฟตเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M_1 และ M_2 ออกไป เนื่องจากมอสเฟต M_1 และ M_2 ไม่ทำงาน เหมือนเป็นวงจรมอสเฟตเปิด จากสมการที่ (จ2.1) และ (จ2.3) จะเขียนใหม่ได้ว่า

$$\text{ที่ โหนด A} \quad i_{ab} = (g_{ds5} + g_{m5})v_A - (g_{m5})v_B - (g_{ds5})v_D \quad (\text{จ2.5})$$

$$\text{ที่ โหนด D} \quad (g_{m5})v_B = (g_{ds5} + g_{m5})v_A - (g_{ds5} + g_{ds6} + g_{m6})v_D \quad (\text{จ2.6})$$

เมื่อแทนค่าจากสมการที่ (จ2.6) ลงใน (จ2.5) จะได้ว่า

$$i_{ab} = (g_{ds6} + g_{m6})v_D \quad (\text{จ2.7})$$

ดังนั้นค่าความต้านทานอินพุต r_{in} จะมีค่าเป็น

$$r_{in} = \frac{1}{g_{ds6} + g_{m6}} \quad ; i_{ab} < 0 \quad (\text{จ2.8})$$

ในกรณีที่ค่ากระแสอินพุต i_{ab} เป็นบวก ($i_{ab} > 0$) มอสเฟต M_1 จะทำงานแทนมอสเฟต M_5 ดังนั้นในการวิเคราะห์ค่าความต้านทานอินพุตสำหรับกรณีนี้จะตัดมอสเฟต M_5 ออกไป เนื่องจากมอสเฟต M_5 ไม่ทำงาน เหมือนเป็นวงจรมอสเฟตเปิด จากสมการที่ (จ2.1) จะได้ว่า

$$\text{ที่ โหนด A} \quad i_{ab} = (g_{m1})v_C + (g_{ds1})v_A \quad (\text{จ2.9})$$

เมื่อแทนค่าจากสมการที่ (จ2.2) ลงใน (จ2.9) จะได้ค่าความต้านทานอินพุต r_{in} คือ

$$r_{in} = \frac{g_{ds3} + g_{ds4} + g_{m3} + g_{m4}}{g_{ds1}(g_{ds3} + g_{ds4} + g_{m3} + g_{m4}) + g_{m1}g_{m4}} \quad ; i_{ab} > 0 \quad (\text{จ2.10})$$

จากสมการที่ (จ2.8) และ (จ2.10) ถ้า $g_m \gg g_{ds}$ ค่าความต้านทานอินพุต r_{in} จะมีค่าประมาณ

$$r_{in} \cong \begin{cases} \frac{1}{g_{m6}} & ; i_{ab} < 0 \\ \frac{g_{m3} + g_{m4}}{g_{m1}g_{m4}} & ; i_{ab} > 0 \end{cases} \quad (\text{จ2.11})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (จ2.4) ถ้า $v_D = 0V$ จะได้ค่าความต้านทานเอาต์พุต r_{out} ของวงจรฟังก์ชันสับบุรณ์ คือ

$$r_{out} = \frac{1}{g_{ds7}} = r_{o7} \quad (จ2.12)$$

จ3. การวิเคราะห์ค่าความผิดพลาดของวงจร

ในการวิเคราะห์ค่าความผิดพลาดในการทำงานของวงจรฟังก์ชันสับบุรณ์ดังรูปที่ 4.30 จะแยกวิเคราะห์เป็น 2 กรณีดังนี้

จ3.1 กรณีที่กระแสแอสอินพุต i_{ab} มีค่าเป็นลบ

ในกรณีที่ค่ากระแสแอสอินพุต $i_{ab} < 0$ ค่าความผิดพลาดของวงจรจะเกิดจากความไม่สมพงษ์กันของมอสเฟต M_6 และ M_7 เป็นหลัก เมื่อพิจารณาจากวงจรสมมูลดังรูปที่ 4.34 จะได้ว่า

ที่โนด A

$$-i_{ab} = \left(\frac{g_{m5}r_{o5} + 1}{r_{o5}} \right) v_A - (g_{m5}) v_B - \left(\frac{1}{r_{o5}} \right) v_D \quad (จ3.1)$$

ที่โนด D

$$\left(\frac{g_{m6}r_{o6} + 1}{r_{o6}} + \frac{1}{r_{o5}} \right) v_D = \left(g_{m5} + \frac{1}{r_{o5}} \right) v_A - (g_{m5}) v_B \quad (จ3.2)$$

ที่โนด E

$$i_{D7} = -(g_{m7}) v_D - \left(\frac{1}{r_{o7}} \right) v_E \quad (จ3.3)$$

โดยที่

$$v_E = (R_L) i_{D7} \quad (จ3.4)$$

เมื่อแทนค่าจากสมการที่ (จ3.4) ลงใน (จ3.3) จะได้ว่า

$$i_{D7} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) (-v_D) \quad (จ3.5)$$

จากสมการที่ (จ3.1) และ (จ3.2) ถ้าออกแบบให้ $g_{m5}r_{o5} \gg 1$ และ $g_{m6}r_{o6} \gg 1$ จะได้ว่า

$$-i_{ab} \cong (g_{m5})(v_A - v_B) - \left(\frac{1}{r_{o5}} \right) v_D \quad (จ3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $(g_{m5})(v_A - v_B) = \left(g_{m6} + \frac{1}{r_{o5}} \right) v_D$ (จ3.7)

เมื่อแทนค่าจากสมการที่ (จ3.7) ลงใน (จ3.6) จะได้ว่า

$$-v_D \cong \left(\frac{1}{g_{m6}} \right) i_{ab} \quad (จ3.8)$$

เมื่อแทนค่าจากสมการที่ (จ3.8) ลงใน (จ3.5) จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} \cong \frac{g_{m7} r_{o7}}{g_{m6} (r_{o7} + R_L)} \quad (จ3.9)$$

ถ้ากำหนดให้ ε_{abN} คือ ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_{ab} < 0$

โดยที่ $i_{D7} = (1 - \varepsilon_{abN})(-i_{ab})$ (จ3.10)

หรือ $\varepsilon_{abN} = 1 - \left(\frac{i_{D7}}{i_{ab}} \right)$ (จ3.11)

เมื่อแทนค่าจากสมการที่ (จ3.9) ลงใน (จ3.11) จะได้ว่า

$$\varepsilon_{abN} = \frac{(g_{m6} - g_{m7})r_{o7} + g_{m6}R_L}{g_{m6}(r_{o7} + R_L)} \quad (จ3.12)$$

จากสมการที่ (จ3.12) ถ้ากำหนดให้ $r_{o7} \gg R_L$ จะได้ว่า

$$\varepsilon_{abN} \cong \frac{(g_{m6} - g_{m7})}{g_{m6}} + \frac{R_L}{r_{o7}}$$

หรือ $\varepsilon_{abN} \cong \frac{\Delta g_{m67}}{g_{m6}} + \frac{R_L}{r_{o7}}$ (จ3.13)

เมื่อ Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสเฟต M_6 และ M_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ3.2 กรณีที่กระแสอินพุต i_{ab} มีค่าเป็นบวก

ในกรณีที่ค่ากระแส $i_{ab} > 0$ ค่าความผิดพลาดวงจรในการทำงานของวงจรฟังก์ชัน สัมบูรณ์ จะเกิดจากความไม่สมพ้องกันของมอสเฟต M_1, M_2, M_6 , และ M_7 เป็นหลัก เมื่อพิจารณา จากวงจรสมมูลดังรูปที่ 4.35 จะได้ว่า

ที่โหนด A

$$i_{ab} = (g_{m1})v_C + \left(\frac{1}{r_{o1}}\right)v_A \quad (จ3.14)$$

ที่โหนด C

$$v_A = \left(\frac{1}{g_{m4}}\right)\left(\frac{g_{m3}r_{o3} + 1}{r_{o3}} + \frac{g_{m4}r_{o4} + 1}{r_{o4}}\right)v_C \quad (จ3.15)$$

ที่โหนด D

$$\left(\frac{g_{m6}r_{o6} + 1}{r_{o6}} + \frac{1}{r_{o2}}\right)v_D = (g_{m2})(-v_C) \quad (จ3.16)$$

ที่โหนด E

$$i_{D7} = (g_{m7})(-v_D) + \left(\frac{1}{r_{o7}}\right)(-v_E) \quad (จ3.17)$$

เมื่อ

$$v_E = (R_L)i_{D7} \quad (จ3.18)$$

เมื่อแทนค่าจากสมการที่ (จ3.18) ลงใน (จ3.17) จะได้ว่า

$$i_{D7} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L}\right)(-v_D) \quad (จ3.19)$$

จากสมการที่ (จ3.15) ถ้าออกแบบให้ $g_{m3}r_{o3} \gg 1$ และ $g_{m4}r_{o4} \gg 1$ จะได้ว่า

$$v_A \cong \left(\frac{g_{m3} + g_{m4}}{g_{m4}}\right)v_C \quad (จ3.20)$$

จากสมการที่ (จ3.16) ถ้าออกแบบให้ $g_{m6}r_{o6} \gg 1$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_c \cong \left(\frac{g_{m6}r_{o2} + 1}{g_{m2}r_{o2}} \right) (-v_D) \quad (จ3.21)$$

เมื่อแทนค่าจากสมการที่ (จ3.21) ลงใน (จ3.20) จะได้ว่า

$$v_A \cong \left(\frac{g_{m3} + g_{m4}}{g_{m4}} \right) \left(\frac{g_{m6}r_{o2} + 1}{g_{m2}r_{o2}} \right) (-v_D) \quad (จ3.22)$$

เมื่อแทนค่าจากสมการที่ (จ3.21) และ (จ3.22) ลงใน (จ3.14) จะได้ว่า

$$-v_D = \left(\frac{g_{m2}g_{m4}r_{o2}r_{o1}}{(g_{m6}r_{o2} + 1)(g_{m1}g_{m4}r_{o1} + g_{m4} + g_{m3})} \right) i_{ab} \quad (จ3.23)$$

เมื่อแทนค่าจากสมการที่ (จ3.23) ลงใน (จ3.19) จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} = \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) \left(\frac{g_{m2}g_{m4}r_{o2}r_{o1}}{(g_{m6}r_{o2} + 1)(g_{m4}(g_{m1}r_{o1} + 1) + g_{m3})} \right) \quad (จ3.24)$$

จากสมการที่ (จ3.24) ถ้าออกแบบให้ $g_{m6}r_{o2} \gg 1$ และ $g_{m1}r_{o1} \gg 1$ จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} \cong \left(\frac{g_{m7}r_{o7}}{r_{o7} + R_L} \right) \left(\frac{g_{m2}g_{m4}r_{o1}}{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})} \right) \quad (จ3.25)$$

ถ้ากำหนดให้ ε_{abP} คือ ค่าความผิดพลาดของวงจรฟังก์ชันตัวคูณที่ค่ากระแส $i_{ab} > 0$

โดยที่
$$i_{D7} = (1 - \varepsilon_{abP}) i_{ab} \quad (จ3.26)$$

หรือ
$$\varepsilon_{abP} = 1 - \left(\frac{i_{D7}}{i_{ab}} \right) \quad (จ3.27)$$

เมื่อแทนค่าจากสมการที่ (จ3.25) ลงใน (จ3.27) จะได้ว่า

$$\varepsilon_{abP} = \frac{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})(r_{o7} + R_L) - g_{m2}g_{m4}g_{m7}r_{o1}r_{o7}}{g_{m6}(g_{m1}g_{m4}r_{o1} + g_{m3})(r_{o7} + R_L)} \quad (จ3.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (จ3.28) ถ้ากำหนดให้ $g_{m3} = g_{m4}$ และ $r_{o7} \gg R_L$ จะได้ว่า

$$\varepsilon_{abP} \cong \frac{(g_{m1}g_{m6} - g_{m2}g_{m7})g_{m4}r_{o1}}{g_{m4}g_{m6}(g_{m1}r_{o1} + 1)} + \frac{1}{g_{m1}r_{o1} + 1} + \frac{R_L}{r_{o7}} \quad (จ3.29)$$

จากสมการที่ (จ3.29) ถ้าออกแบบให้ $g_{m1}r_{o1} \gg 1$ จะได้

$$\varepsilon_{abP} \cong \frac{(g_{m1}g_{m6} - g_{m2}g_{m7})}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (จ3.30)$$

$$\varepsilon_{abP} \cong \frac{(g_{m6} - g_{m7})g_{m1} + (g_{m1} - g_{m2})g_{m6} - (g_{m6} - g_{m7})(g_{m1} - g_{m2})}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (จ3.31)$$

หรือ

$$\varepsilon_{abP} \cong \frac{\Delta g_{m67}g_{m1} + \Delta g_{m12}g_{m6} - \Delta g_{m12}\Delta g_{m67}}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (จ3.32)$$

เมื่อ Δg_{m12} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_1 และ M_2
 Δg_{m67} คือ ค่าความผิดพลาดเนื่องจากความไม่สมพียงกันของมอสเฟต M_6 และ M_7

จากสมการที่ (จ3.32) ถ้าค่า Δg_{m12} และ Δg_{m67} มีค่าน้อยมาก จะเขียนใหม่ได้ว่า

$$\varepsilon_{abP} \cong \frac{\Delta g_{m67}g_{m1} + \Delta g_{m12}g_{m6}}{g_{m6}g_{m1}} + \frac{r_{o7} + g_{m1}r_{o1}R_L}{g_{m1}r_{o1}r_{o7}} \quad (จ3.33)$$

จ4. การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 จะแยกวิเคราะห์เป็น 2 กรณีดังนี้

จ4.1 กรณีที่กระแสอินพุต i_{in} มีค่าเป็นลบ

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_{in} < 0$ ดังรูปที่ 4.36 จะได้ว่า

ที่โหนด A

$$-i_{in} = (g_{ds5} + g_{m5} + sC_{gs5})v_A - (g_{m5} + sC_{gs5})v_B - (g_{ds5})v_D \quad (จ4.1)$$

ที่โหนด B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(sC_{gs5})v_A = (g_{OB} + g_{ds8} + g_{m8} + sC_{gs5} + sC_{gs8})v_B - (g_{ds8} + g_{m8} + sC_{gs8})v_F \quad (จ4.2)$$

ที่โนด D

$$(g_{ds5} + g_{ds6} + g_{m6} + sC_{gs6} + sC_{gs7})v_D + (g_{m5})v_B = (g_{ds5} + g_{m5})v_A \quad (จ4.3)$$

ที่โนด E

$$i_{D7} = (g_{m7})(-v_D) + (g_{ds7})(-v_E) \quad (จ4.4)$$

ที่โนด F

$$(g_{ds8} + g_{m8} + sC_{gs8})v_B = (g_{ds8} + g_{ds9} + g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9})v_F \quad (จ4.5)$$

จากสมการที่ (จ4.1) ถึง (จ4.5) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โนด A $-i_{ab} = (g_{m5} + sC_{gs5})(v_A - v_B) \quad (จ4.6)$

ที่โนด B $(sC_{gs5})v_A = (g_{OB} + g_{m8} + sC_{gs5} + sC_{gs8})v_B - (g_{m8} + sC_{gs8})v_F \quad (จ4.7)$

ที่โนด D $(g_{m6} + sC_{gs6} + sC_{gs7})v_D = (g_{m5})(v_A - v_B) \quad (จ4.8)$

ที่โนด E $i_{D7} = (g_{m7})(-v_D) \quad (จ4.9)$

ที่โนด F $v_F = \left(\frac{g_{m8} + sC_{gs8}}{g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}} \right) v_B \quad (จ4.10)$

เมื่อแทนค่าจากสมการที่ (จ4.10) ลงใน (จ4.7) จะได้ว่า

$$\begin{aligned} v_B &= \left(\frac{sC_{gs5}(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9})}{(g_{OB} + g_{m8} + sC_{gs5} + sC_{gs8})(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) - (g_{m8} + sC_{gs8})^2} \right) v_A \\ &= \left(\frac{M_1}{M_2} \right) v_A \end{aligned} \quad (จ4.11)$$

โดยที่

$$M_1 = sC_{gs5}(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) \quad (จ4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$M_2 = (g_{OB} + g_{m8} + sC_{gs5} + sC_{gs8})(g_{m8} + g_{m9} + sC_{gs8} + sC_{gs9}) - (g_{m8} + sC_{gs8})^2 \quad (จ4.13)$$

เมื่อแทนค่าจากสมการที่ (จ4.11) ลงใน (จ4.6) จะได้ว่า

$$-v_A = \left(\frac{M_2}{(g_{m5} + sC_{gs5})(M_2 - M_1)} \right) i_{ab} \quad (จ4.14)$$

เมื่อแทนค่าจากสมการที่ (จ4.11) ลงใน (จ4.8) จะได้ว่า

$$v_A = \left(\frac{(g_{m6} + sC_{gs6} + sC_{gs7})M_2}{g_{m5}(M_2 - M_1)} \right) v_D \quad (จ4.15)$$

เมื่อแทนค่าจากสมการที่ (จ4.15) ลงใน (จ4.14) จะได้ว่า

$$-v_D = \left(\frac{g_{m5}}{(g_{m6} + sC_{gs6} + sC_{gs7})(g_{m5} + sC_{gs5})} \right) i_{ab} \quad (จ4.16)$$

เมื่อแทนค่าจากสมการที่ (จ4.16) ลงใน (จ4.9) จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} = \frac{g_{m5}g_{m7}}{(g_{m6} + sC_{gs6} + sC_{gs7})(g_{m5} + sC_{gs5})} \quad (จ4.17)$$

หรือ

$$\frac{i_{D7}}{i_{ab}} = \frac{g_{m7}/g_{m6}}{1 + s \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}}{g_{m5}g_{m6}} \right)} \quad (จ4.18)$$

จากสมการที่ (จ4.18) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่มี $s = 0$ จะได้อัตราขยายกระแส β_{abN} คือ

$$\beta_{abN} = \frac{i_{D7}}{i_{ab}} \Big|_{s=0} = \frac{g_{m7}}{g_{m6}} \quad (จ4.19)$$

ถ้ากำหนดให้

$$\frac{i_{D7}}{i_{ab}} = \frac{N_{abN}(s)}{D_{abN}(s)} \quad (จ4.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (จ4.18) และ (จ4.20) จะได้ว่า

$$D_{abN}(s) = 1 + s \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \right) + s^2 \left(\frac{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}}{g_{m5}g_{m6}} \right) \quad (จ4.21)$$

ในการวิเคราะห์ค่าโพลของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_{ab} < 0$ จะกำหนดให้

$$D_{abN}(s) = \left(1 - \frac{s}{P_{1abN}} \right) \left(1 - \frac{s}{P_{2abN}} \right) \quad (จ4.22)$$

หรือ

$$D_{abN}(s) = 1 - s \left(\frac{1}{P_{1abN}} + \frac{1}{P_{2abN}} \right) + s^2 \left(\frac{1}{P_{1abN}P_{2abN}} \right) \quad (จ4.23)$$

เมื่อ P_{1abN} คือ โพลโคตเด่นของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_{ab} < 0$
 P_{2abN} คือ โพลที่มีความถี่สูงกว่าของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_{ab} < 0$

ถ้า $|P_{2abN}| \gg |P_{1abN}|$ จากสมการที่ (จ4.23) จะเขียนใหม่ได้ว่า

$$D_{abN}(s) \cong 1 - s \left(\frac{1}{P_{1abN}} \right) + s^2 \left(\frac{1}{P_{1abN}P_{2abN}} \right) \quad (จ4.24)$$

เมื่อเทียบค่าสัมประสิทธิ์ของสมการที่ (จ4.21) กับ (จ4.24) จะได้ค่าโพลของวงจรฟังก์ชันสัมบูรณ์กรณีค่ากระแส $i_{ab} < 0$ คือ

$$P_{1abN} \cong - \left(\frac{g_{m5}g_{m6}}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \right) \quad (จ4.25)$$

$$P_{2abN} \cong - \left(\frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{C_{gs5}C_{gs6} + C_{gs5}C_{gs7}} \right) \quad (จ4.26)$$

จากสมการที่ (จ4.18) ถึง (จ4.26) สามารถคำนวณหาค่าอัตราส่วน i_{D1}/i_{ab} ของวงจรได้ดังนี้

$$\frac{i_{D1}}{i_{ab}} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}s + 1)(T_{2abN}s + 1)} \quad (จ4.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $T_{1abV} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (จ4.28)$

$$T_{2abV} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (จ4.29)$$

จ4.2 กรณีที่กระแสอินพุต i_{ab} มีค่าเป็นบวก

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชัน
สัมบูรณ์ในกรณีที่ค่ากระแสอินพุต $i_{ab} > 0$ ดังรูปที่ 4.37 จะได้ว่า

ที่โนด A

$$i_{ab} = (g_{ds1} + sC_{gs4})v_A + (g_{m1} - sC_{gs4})v_C \quad (จ4.30)$$

ที่โนด C

$$(g_{m4} + sC_{gs4})v_A = (g_{ds3} + g_{ds4} + g_{m3} + g_{m4} + sC_{gs1} + sC_{gs2} + sC_{gs3} + sC_{gs4})v_C \quad (จ4.31)$$

ถ้ากำหนดให้

$$C_p = C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} \quad (จ4.32)$$

จากสมการที่ (จ4.31) จะเขียนใหม่ได้ว่า

$$(g_{m4} + sC_{gs4})v_A = (g_{ds3} + g_{ds4} + g_{m3} + g_{m4} + sC_p)v_C \quad (จ4.33)$$

ที่โนด D

$$(g_{ds2} + g_{ds6} + g_{m6} + sC_{gs6} + sC_{gs7})v_D = (g_{m2})(-v_C) \quad (จ4.34)$$

ที่โนด E

$$i_{D7} = (g_{m7})(-v_D) + (g_{ds7})(-v_E) \quad (จ4.35)$$

จากสมการที่ (จ4.30) ถึง (จ4.35) ถ้า $g_m \gg g_{ds}$ จะเขียนใหม่ได้ว่า

ที่โนด A

$$i_{ab} = (sC_{gs4})v_A + (g_{m1} - sC_{gs4})v_C \quad (จ4.36)$$

ที่โนด C

$$v_A = \left(\frac{g_{m3} + g_{m4} + sC_p}{g_{m4} + sC_{gs4}} \right) v_C \quad (จ4.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่โหนด D
$$v_C = \left(\frac{g_{m6} + sC_{gs6} + sC_{gs7}}{g_{m2}} \right) (-v_D) \quad (จ4.38)$$

ที่โหนด E
$$i_{D7} = (g_{m7})(-v_D) \quad (จ4.39)$$

เมื่อแทนค่าจากสมการที่ (จ4.38) ลงใน (จ4.37) จะได้ว่า

$$v_A = \left(\frac{g_{m3} + g_{m4} + sC_p}{g_{m4} + sC_{gs4}} \right) \left(\frac{g_{m6} + sC_{gs6} + sC_{gs7}}{g_{m2}} \right) (-v_D) \quad (จ4.40)$$

เมื่อแทนค่าจากสมการที่ (จ4.38) และ (จ4.40) ลงใน (จ4.36) จะได้ว่า

$$\frac{-v_D}{i_{ab}} = \frac{g_{m2}(g_{m4} + sC_{gs4})}{(g_{m6} + sC_{gs6} + sC_{gs7}) \left(sC_{gs4}(g_{m3} + g_{m4} + sC_p) + (g_{m1} - sC_{gs4})(g_{m4} + sC_{gs4}) \right)} \quad (จ4.41)$$

เมื่อแทนค่าจากสมการที่ (จ4.41) ลงใน (จ4.39) จะได้ว่า

$$\frac{i_{D7}}{i_{ab}} = \frac{\left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \left(1 + s \left(\frac{C_{gs4}}{g_{m4}} \right) \right)}{\left(1 + s \left(\frac{C_{gs6} + C_{gs7}}{g_{m6}} \right) \right) \left(1 + s \left(\frac{g_{m1}C_{gs4} + g_{m3}C_{gs4}}{g_{m1}g_{m4}} \right) + s^2 \left(\frac{C_{gs4}C_p - C_{gs4}^2}{g_{m1}g_{m4}} \right) \right)} \quad (จ4.42)$$

จากสมการที่ (จ4.42) ถ้าความถี่ s มีค่าต่ำ ๆ หรือในกรณีที่ $s = 0$ จะได้อัตราขยายกระแส β_{abP} คือ

$$\beta_{abP} = \frac{i_{D7}}{i_{ab}} \Big|_{s=0} = \frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \quad (จ4.43)$$

เมื่อพิจารณาเทอมส่วนของสมการที่ (จ4.42) เทอมที่สามซึ่งเป็นสัมประสิทธิ์ของ s^2 จะมีค่าน้อยกว่าเทอมอื่น ๆ มาก จึงสามารถตัดทิ้งไปได้ ดังนั้น

$$\frac{i_{D7}}{i_{ab}} \cong \frac{\left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \left(1 + s \left(\frac{C_{gs4}}{g_{m4}} \right) \right)}{\left(1 + s \left(\frac{C_{gs6} + C_{gs7}}{g_{m6}} \right) \right) \left(1 + s \left(\frac{g_{m1}C_{gs4} + g_{m3}C_{gs4}}{g_{m1}g_{m4}} \right) \right)} \quad (จ4.44)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (จ4.44) สามารถคำนวณหาค่าอัตราส่วน i_{D7}/i_{ab} ของวงจรได้ดังนี้

$$\frac{i_{D7}}{i_{ab}} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{1abP}S + 1)}{(T_{1abP}S + 1)(T_{2abP}S + 1)} \quad (จ4.45)$$

เมื่อ

$$T_{1abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (จ4.46)$$

$$T_{2abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (จ4.47)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (จ4.48)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฉ

การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแส

ฉ1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จะเกิดจากความไม่สมพงษ์กันทุกประการของมอสเฟตในวงจรสะท้อนกระแสและความผิดพลาดของวงจรจำกัดกระแสเป็นหลัก

ถ้ากำหนดให้

ε_{p11} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส M_{12}, M_{13}

ε_{p12} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส M_{12}, M_{14}

ε_{p2} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส $M_{15}-M_{16}$

ε_{n1} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส $M_{17}-M_{18}$

ε_{CL} คือ ค่าความผิดพลาดของวงจรจำกัดกระแส

จากการทำงานของวงจรสะท้อนกระแส M_{12}, M_{13} ซึ่งมีค่าอัตราการขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแส i_A และกระแสอินพุต i_{in} คือ

$$i_A = 2i_{in}(1 - \varepsilon_{p11}) - I_{ref} \quad (ฉ1.1)$$

โดยที่

$$\varepsilon_{p11} = \begin{cases} \frac{(2g_{m12} - g_{m13})}{2g_{m12}} + \frac{1}{g_{m2}r_{o13}} & ; i_A < 0 \\ \frac{(2g_{m12} - g_{m13})}{2g_{m12}} + \frac{(g_{oB} + g_{ds1})}{g_{m1}g_{m3}r_{o13}} & ; i_A > 0 \end{cases} \quad (ฉ1.2)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จะได้ค่า $g_{m1} = 3.6366 \times 10^{-5}$ A/V, $g_{m2} = 3.3197 \times 10^{-4}$ A/V, $g_{m3} = 2.7664 \times 10^{-4}$ A/V, $g_{m12} = 2.4843 \times 10^{-4}$ A/V, $g_{m13} = 4.9636 \times 10^{-4}$ A/V, $g_{oB} = 4.4033 \times 10^{-8}$ A/V, และ $r_{o13} = 2.131$ M Ω ในกรณีที่ค่ากระแส $i_A < 0$ จะได้ค่าความผิดพลาด ε_{p11} มีค่าประมาณ 2.403×10^{-3} ถ้าค่ากระแส $i_A > 0$ จะได้ค่าความผิดพลาด ε_{p11} มีค่าประมาณ 1.012×10^{-3}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทำงานของวงจรสะท้อนกระแส M_{12} , M_{14} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D17} และกระแสอินพุต i_{in} คือ

$$i_{D17} = 2(i_{in} + I_1)(1 - \varepsilon_{p12}) \quad (ฉ1.3)$$

โดยที่

$$\varepsilon_{p12} = \frac{(2g_{m12} - g_{m14})}{2g_{m12}} + \frac{1}{g_{m17}r_{o14}} \quad (ฉ1.4)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.1 จะได้ค่า $g_{m12} = 2.4843 \times 10^{-4}$ A/V, $g_{m14} = 4.9651 \times 10^{-4}$ A/V, $g_{m17} = 4.6493 \times 10^{-4}$ A/V, และ $r_{o14} = 2.099$ M Ω จะได้ค่าความผิดพลาด ε_{p12} มีค่าประมาณ 1.7245×10^{-3}

จากการทำงานของวงจรสะท้อนกระแส M_{17} - M_{18} ซึ่งมีค่าอัตราขยายกระแสเท่ากับหนึ่ง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D18} และ i_{D17} คือ

$$i_{D18} = i_{D17}(1 - \varepsilon_{n1}) \quad (ฉ1.5)$$

เมื่อ

$$\varepsilon_{n1} = \frac{(g_{m17} - g_{m18})}{g_{m17}} + \frac{R_L}{r_{o18}} \quad (ฉ1.6)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.1 จะได้ค่า $g_{m17} = 4.6493 \times 10^{-4}$ A/V, $g_{m18} = 4.6456 \times 10^{-4}$ A/V, $R_L = 1$ k Ω , และ $r_{o18} = 1.982$ M Ω จะได้ความผิดพลาด ε_{n1} มีค่าประมาณ 1.3044×10^{-3}

เมื่อแทนค่าจากสมการที่ (ฉ1.3) ลงใน (ฉ1.5) จะได้ว่า

$$i_{D18} = 2(i_{in} + I_1)(1 - \varepsilon_{n1}) \quad (ฉ1.7)$$

โดยที่

$$\varepsilon_{n1} = \varepsilon_{p12} + \varepsilon_{n1} - \varepsilon_{p12}\varepsilon_{n1} \quad (ฉ1.8)$$

ถ้า ε_{p12} และ ε_{n1} มีค่าประมาณ 1.7245×10^{-3} และ 1.3044×10^{-3} ตามลำดับ จะได้ความผิดพลาด ε_{n1} มีค่าประมาณ 3.0267×10^{-3}

เมื่อพิจารณาจากการทำงานของวงจรจำกัดกระแส M_1 - M_7 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D15} = i_A(1 - \varepsilon_{CL}) \quad (จ1.9)$$

โดยที่

$$\varepsilon_{CL} \equiv \begin{cases} \frac{(g_{m4} - g_{m5})}{g_{m4}} + \frac{(r_{o5} + r_{o8})}{r_{o5}^2 r_{o8}} & ; i_A < 0 \\ \frac{(g_{m6} - g_{m7})}{g_{m6}} + \frac{1}{g_{m15} r_{o7}} & ; i_A > 0 \end{cases} \quad (จ1.10)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จะได้ค่า $g_{m4} = 3.3197 \times 10^{-4}$ A/V, $g_{m5} = 3.3237 \times 10^{-4}$ A/V, $g_{m6} = 2.7664 \times 10^{-4}$ A/V, $g_{m7} = 2.7677 \times 10^{-4}$ A/V, $g_{m9} = 5.1429 \times 10^{-5}$ A/V, $g_{m10} = 3.6366 \times 10^{-5}$ A/V, $g_{m15} = 2.0996 \times 10^{-4}$ A/V, $r_{o5} = 2.568$ M Ω , และ $r_{o7} = 2.769$ M Ω ในกรณีที่ค่ากระแส $i_A < 0$ จะได้ความผิดพลาด ε_{CL} มีค่าประมาณ -1.200×10^{-3} ถ้ากระแส $i_A > 0$ จะได้ความผิดพลาด ε_{CL} มีค่าประมาณ 1.0412×10^{-3}

จากการทำงานของวงจรสะท้อนกระแส M_{15} - M_{16} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D16} และ i_{D15} คือ

$$i_{D16} = 2i_{D15}(1 - \varepsilon_{p2}) \quad (จ1.11)$$

โดยที่

$$\varepsilon_{p2} = \frac{(2g_{m15} - g_{m16})}{2g_{m15}} + \frac{R_L}{r_{o16}} \quad (จ1.12)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 จะได้ค่า $g_{m15} = 2.3427 \times 10^{-4}$ A/V, $g_{m16} = 4.6798 \times 10^{-4}$ A/V, $R_L = 1$ k Ω , และ $r_{o16} = 2.638$ M Ω จะได้ความผิดพลาด ε_{p2} มีค่าประมาณ 1.579×10^{-3}

เมื่อแทนค่าจากสมการที่ (จ1.9) ลงใน (จ1.11) จะได้ว่า

$$i_{D16} = 2i_A(1 - \varepsilon_{CL})(1 - \varepsilon_{p2}) \quad (จ1.13)$$

เมื่อแทนค่าจากสมการที่ (จ1.1) ลงใน (จ1.13) พร้อมทั้งจัดรูปสมการใหม่จะได้ว่า

$$i_{D16} = (4i_{in}(1 - \varepsilon_{p1}) - 2I_{ref})(1 - \varepsilon_{i2}) \quad (จ1.14)$$

โดยที่

$$\varepsilon_{i2} = \varepsilon_{p2} + \varepsilon_{CL} - \varepsilon_{p2}\varepsilon_{CL} \quad (จ1.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาที่เอาต์พุต โหนด จะได้ว่า

$$i_{out} = i_{D18} - i_{D16} - 2I_1 \quad (ฉ1.16)$$

จากสมการที่ (ฉ1.16) ถ้ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ($2i_{in} < I_{ref}$) จะได้ค่ากระแส i_A มีค่าเป็นลบ และค่ากระแสเดรน $i_{D16} = 0A$ เมื่อแทนค่าจากสมการที่ (ฉ1.7) ลงใน (ฉ1.16) ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong 2i_{in}(1 - \varepsilon_{i1}) \quad (ฉ1.17)$$

ในกรณีที่ค่ากระแส $2i_{in}$ มีค่ามากกว่าหรือเท่ากับกระแส I_{ref} ($2i_{in} \geq I_{ref}$) จะได้ค่ากระแส i_A มีค่าเป็นบวก และค่ากระแสเดรน $i_{D16} \neq 0A$ เมื่อแทนค่าจากสมการที่ (ฉ1.7) และ (ฉ1.14) ลงใน (ฉ1.16) ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong 2I_{ref} - (4i_{in}(1 - \varepsilon_{i3}) - 2i_{in}(1 - \varepsilon_{i1}) + 2\varepsilon_{i2}I_{ref}) \quad (ฉ1.18)$$

โดยที่

$$\varepsilon_{i3} = \varepsilon_{i2} + \varepsilon_{p11} - \varepsilon_{i2}\varepsilon_{p11} \quad (ฉ1.19)$$

จากสมการที่ (ฉ1.17) และสมการที่ (ฉ1.18) สามารถสรุปได้ว่ากระแสเอาต์พุต i_{out} จะมีค่าโดยประมาณ คือ

$$i_{out} = \begin{cases} 2i_{in}(1 - \varepsilon_{i1}) & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (4i_{in}(1 - \varepsilon_{i3}) - 2i_{in}(1 - \varepsilon_{i1}) + 2\varepsilon_{i2}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (ฉ1.20)$$

ฉ2. การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด N บิต ดังรูปที่ 3.1 จะวิเคราะห์ในกรณีที่ป้อนค่ากระแสอินพุต i_{in1} เท่ากับค่ากระแสอ้างอิง I_{ref} ซึ่งจะได้คิิจิตอลเอาต์พุตของทุกบิตมีค่าเป็น 0 (Low) ยกเว้นคิิจิตอลเอาต์พุตของ MSB จะมีค่าเป็น 1 (High) ยกตัวอย่างเช่น ถ้า $N = 5$ จะได้คิิจิตอลเอาต์พุตมีค่าเป็น 10000 ถ้ากำหนดให้ ε_{Aj} คือ ค่าความผิดพลาดสะสมของ One-bit Cell ที่ออกแบบโดยใช้วงจรจำกัดกระแสในลำดับที่ j โดยที่

$$\varepsilon_{Aj} = i_{outj(real)} - i_{outj(ideal)} \quad (ฉ2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $i_{outj(real)}$ คือ ค่ากระแสเอาต์พุตที่มีค่าความผิดพลาดของ One-bit Cell ในลำดับที่ j
 $i_{outj(ideal)}$ คือ ค่ากระแสเอาต์พุตในอุดมคติของ One-bit Cell ในลำดับที่ j

เมื่อพิจารณาที่ One-bit Cell 1 หรือ MSB จะได้ว่า

$$i_{out1(ideal)} = 2I_{ref} - 2i_{in1} \quad (ฉ2.2)$$

จากสมการที่ (ฉ1.18) จะได้ว่า

$$i_{out1(real)} = (2I_{ref} - 2i_{in1}) + (4\varepsilon_{i3})i_{in1} - (2\varepsilon_{i2})I_{ref} - (2\varepsilon_{i1})i_{in1} \quad (ฉ2.3)$$

เมื่อแทนค่าจากสมการที่ (ฉ2.2) และ (ฉ2.3) ลงใน (ฉ2.1) จะได้ว่า

$$\varepsilon_{A1} = (4\varepsilon_{i3})i_{in1} - (2\varepsilon_{i2})I_{ref} - (2\varepsilon_{i1})i_{in1} \quad (ฉ2.4)$$

จากสมการที่ (ฉ2.4) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{A1} = (4\varepsilon_{i3} - 2\varepsilon_{i2} - 2\varepsilon_{i1})I_{ref} \quad (ฉ2.5)$$

เมื่อพิจารณาที่ One-bit Cell 2 โดยที่ $i_{in2} = i_{out1}$ จะได้ว่า

$$i_{out2(ideal)} = 2i_{in2(ideal)} = 2i_{out1(ideal)} = 4I_{ref} - 4i_{in1} \quad (ฉ2.6)$$

จากสมการที่ (ฉ1.17) จะได้ว่า

$$i_{out2(real)} \cong 2i_{out1(real)}(1 - \varepsilon_{i1}) \quad (ฉ2.7)$$

เมื่อแทนค่าจากสมการที่ (ฉ2.3) ลงใน (ฉ2.7) จะได้ว่า

$$i_{out2(real)} = (4I_{ref} - 4i_{in1}) + (8\varepsilon_{i3})i_{in1} - (4\varepsilon_{i2})I_{ref} - (4\varepsilon_{i1})I_{ref} - (8\varepsilon_{i1}\varepsilon_{i3})i_{in1} + (4\varepsilon_{i1}\varepsilon_{i2})I_{ref} + (4\varepsilon_{i1}^2)i_{in1} \quad (ฉ2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$i_{out2(real)} \cong (4I_{ref} - 4i_{in}) + (8\varepsilon_{i3})i_{in1} - (4\varepsilon_{i2})I_{ref} - (4\varepsilon_{i1})I_{ref} \quad (จ2.9)$$

เมื่อแทนค่าจากสมการที่ (จ2.6) และ (จ2.8) ลงใน (จ2.1) จะได้ว่า

$$\varepsilon_{A2} = (8\varepsilon_{i3})i_{in1} - (4\varepsilon_{i2})I_{ref} - (4\varepsilon_{i1})I_{ref} - (8\varepsilon_{i1}\varepsilon_{i3})i_{in1} + (4\varepsilon_{i1}\varepsilon_{i2})I_{ref} + (4\varepsilon_{i1}^2)i_{in1} \quad (จ2.10)$$

จากสมการที่ (จ2.10) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{A2} = (8\varepsilon_{i3} - 4\varepsilon_{i2} - 4\varepsilon_{i1} - 8\varepsilon_{i1}\varepsilon_{i3} + 4\varepsilon_{i1}\varepsilon_{i2} + 4\varepsilon_{i1}^2)I_{ref} \quad (จ2.11)$$

เมื่อพิจารณาที่ One-bit Cell 3 โดยที่ $i_{in3} = i_{out2}$ จะได้ว่า

$$i_{out3(ideal)} = 2i_{out2(ideal)} = 8I_{ref} - 8i_{in1} \quad (จ2.12)$$

จากสมการที่ (จ1.17) จะได้ว่า

$$i_{out3(real)} \cong 2i_{out2(real)}(1 - \varepsilon_{i1}) \quad (จ2.13)$$

เมื่อแทนค่าจากสมการที่ (จ2.9) ลงใน (จ2.13) จะได้ว่า

$$\begin{aligned} i_{out3(real)} &= (8I_{ref} - 8i_{in}) + (16\varepsilon_{i3})i_{in1} - (8\varepsilon_{i2})I_{ref} - (16\varepsilon_{i1})I_{ref} + (8\varepsilon_{i1})i_{in1} - (16\varepsilon_{i1}\varepsilon_{i3})i_{in1} \\ &\quad + (8\varepsilon_{i1}\varepsilon_{i2})I_{ref} + (8\varepsilon_{i1}^2)I_{ref} \end{aligned} \quad (จ2.14)$$

หรือ
$$i_{out3(real)} \cong (8I_{ref} - 8i_{in}) + (16\varepsilon_{i3})i_{in1} - (8\varepsilon_{i2})I_{ref} - (16\varepsilon_{i1})I_{ref} + (8\varepsilon_{i1})i_{in1} \quad (จ2.15)$$

เมื่อแทนค่าจากสมการที่ (จ2.12) และ (จ2.14) ลงใน (จ2.1) จะได้ว่า

$$\varepsilon_{A3} = (16\varepsilon_{i3})i_{in1} - (8\varepsilon_{i2})I_{ref} - (16\varepsilon_{i1})I_{ref} + (8\varepsilon_{i1})i_{in1} - (16\varepsilon_{i1}\varepsilon_{i3})i_{in1} + (8\varepsilon_{i1}\varepsilon_{i2})I_{ref} + (8\varepsilon_{i1}^2)I_{ref} \quad (จ2.16)$$

จากสมการที่ (จ2.16) เมื่อ $i_{in1} = I_{ref}$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon_{A3} = (16\varepsilon_{i3} - 8\varepsilon_{i2} - 8\varepsilon_{i1} - 16\varepsilon_{i1}\varepsilon_{i3} + 8\varepsilon_{i1}\varepsilon_{i2} + 8\varepsilon_{i1}^2)I_{ref} \quad (จ2.17)$$

เมื่อพิจารณาที่ One-bit Cell 4 โดยที่ $i_{in4} = i_{out3}$ จะได้ว่า

$$i_{out4(ideal)} = 2i_{out3(ideal)} = 16I_{ref} - 16i_{in1} \quad (จ2.18)$$

จากสมการที่ (จ1.17) จะได้ว่า

$$i_{out4(real)} \cong 2i_{out3(real)}(1 - \varepsilon_{i1}) \quad (จ2.19)$$

เมื่อแทนค่าจากสมการที่ (จ2.15) ลงใน (จ2.19) จะได้ว่า

$$\begin{aligned} i_{out4(real)} = & (16I_{ref} - 16i_{in1}) + (32\varepsilon_{i3})i_{in1} - (16\varepsilon_{i2})I_{ref} - (48\varepsilon_{i1})I_{ref} + (32\varepsilon_{i1})i_{in1} - (32\varepsilon_{i1}\varepsilon_{i3})i_{in1} \\ & + (16\varepsilon_{i1}\varepsilon_{i2})I_{ref} + (32\varepsilon_{i1}^2)I_{ref} - (16\varepsilon_{i1}^2)i_{in1} \end{aligned} \quad (จ2.20)$$

$$\text{หรือ} \quad i_{out4(real)} \cong (16I_{ref} - 16i_{in1}) + (32\varepsilon_{i3})i_{in1} - (16\varepsilon_{i2})I_{ref} - (48\varepsilon_{i1})I_{ref} + (32\varepsilon_{i1})i_{in1} \quad (จ2.21)$$

เมื่อแทนค่าจากสมการที่ (จ2.18) และ (จ2.20) ลงใน (จ2.1) จะได้ว่า

$$\begin{aligned} \varepsilon_{A4} = & (32\varepsilon_{i3})i_{in1} - (16\varepsilon_{i2})I_{ref} - (48\varepsilon_{i1})I_{ref} + (32\varepsilon_{i1})i_{in1} - (32\varepsilon_{i1}\varepsilon_{i3})i_{in1} + (16\varepsilon_{i1}\varepsilon_{i2})I_{ref} \\ & + (32\varepsilon_{i1}^2)I_{ref} - (16\varepsilon_{i1}^2)i_{in1} \end{aligned} \quad (จ2.22)$$

จากสมการที่ (จ2.22) เมื่อ $i_{in1} = I_{ref}$ จะได้ว่า

$$\varepsilon_{A4} = (32\varepsilon_{i3} - 16\varepsilon_{i2} - 16\varepsilon_{i1} - 32\varepsilon_{i1}\varepsilon_{i3} + 16\varepsilon_{i1}\varepsilon_{i2} + 16\varepsilon_{i1}^2)I_{ref} \quad (จ2.23)$$

เมื่อพิจารณาที่ One-bit Cell 5 โดยที่ $i_{in5} = i_{out4}$ จะได้ว่า

$$i_{out5(ideal)} = 2i_{out4(ideal)} = 32I_{ref} - 32i_{in1} \quad (จ2.24)$$

จากสมการที่ (จ1.17) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out5(real)} \cong 2i_{out4(real)}(1 - \varepsilon_{11}) \quad (ฉ2.25)$$

เมื่อแทนค่าจากสมการที่ (ฉ2.21) ลงใน (ฉ2.25) จะได้ว่า

$$\begin{aligned} i_{out5(real)} = & (32I_{ref} - 32i_{in}) + (64\varepsilon_{13})i_{in1} - (32\varepsilon_{12})I_{ref} - (128\varepsilon_{11})I_{ref} + (96\varepsilon_{11})i_{in1} - (64\varepsilon_{11}\varepsilon_{13})i_{in1} \\ & + (32\varepsilon_{11}\varepsilon_{12})I_{ref} + (96\varepsilon_{11}^2)I_{ref} - (64\varepsilon_{11}^2)i_{in1} \end{aligned} \quad (ฉ2.26)$$

หรือ
$$i_{out5(real)} = (32I_{ref} - 32i_{in}) + (64\varepsilon_{13})i_{in1} - (32\varepsilon_{12})I_{ref} - (128\varepsilon_{11})I_{ref} + (96\varepsilon_{11})i_{in1} \quad (ฉ2.27)$$

เมื่อแทนค่าจากสมการที่ (ฉ2.24) และ (ฉ2.26) ลงใน (ฉ2.1) จะได้ว่า

$$\begin{aligned} \varepsilon_{A5} = & (64\varepsilon_{13})i_{in1} - (32\varepsilon_{12})I_{ref} - (128\varepsilon_{11})I_{ref} + (96\varepsilon_{11})i_{in1} - (64\varepsilon_{11}\varepsilon_{13})i_{in1} + (32\varepsilon_{11}\varepsilon_{12})I_{ref} \\ & + (96\varepsilon_{11}^2)I_{ref} - (64\varepsilon_{11}^2)i_{in1} \end{aligned} \quad (ฉ2.28)$$

จากสมการที่ (ฉ2.28) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{A5} = (64\varepsilon_{13} - 32\varepsilon_{12} - 32\varepsilon_{11} - 64\varepsilon_{11}\varepsilon_{13} + 32\varepsilon_{11}\varepsilon_{12} + 32\varepsilon_{11}^2)I_{ref} \quad (ฉ2.29)$$

เมื่อพิจารณาความผิดพลาดสะสมของอัลกอริทึม ADC ขนาด 1 บิต หรือ One-bit Cell ในแต่ละลำดับ จะประมาณค่าความผิดพลาดสะสมของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแสขนาด N บิตได้ดังนี้

$$\varepsilon_A \cong (2^{N+1}\varepsilon_{13} - 2^N\varepsilon_{12} - 2^N\varepsilon_{11} - 2^{N+1}\varepsilon_{11}\varepsilon_{13} + 2^N\varepsilon_{11}\varepsilon_{12} + 2^N\varepsilon_{11}^2)I_{ref} \quad (ฉ2.30)$$

ฉ3. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасцепกัน การวิเคราะห์จำนวนบิตที่เป็นไปได้สำหรับการต่อкасцепกันของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 สามารถวิเคราะห์ได้ดังนี้

จากหลักการทํางานของอัลกอริทึม ADC ขนาด 1 บิต ที่มีการลงรหัสเกรย์ดังรูปที่ 3.12 จะมีขั้นการควอนไทซ์เท่ากับ $I_{ref}/2$ ดังนั้นความผิดพลาดสะสมจะมีค่าสูงสุดเท่าที่เป็นไปได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{ref}}{2} \cong (2^{N+1} \varepsilon_{i3} - 2^N \varepsilon_{i2} - 2^N \varepsilon_{i1}) I_{ref} \quad (ก3.1)$$

จากสมการที่ (ก3.1) สามารถประมาณค่าจำนวนบิตที่เป็นไปได้ (N_{CL}) ของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรจำกัดกระแส คือ

$$N_{CL} = Round \left\{ 1 + \log_2 \left(\frac{1}{2(2\varepsilon_{i3} - \varepsilon_{i2} - \varepsilon_{i1})} \right) \right\} \quad (ก3.2)$$

ก4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

จากอัลกอริธึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 ความผิดพลาดในการส่งผ่านกระแสของวงจรสะท้อนกระแสจะไม่ขึ้นกับอุณหภูมิ แต่การเปลี่ยนแปลงของอุณหภูมิจะมีผลต่อค่าแรงดันที่โหนด A โดยที่

$$v_A = v_B - v_{GS1} \quad (ก4.1)$$

จากสมการที่ (ก3.3) เมื่อค่ากระแสเดรน $i_{D1} = I_B$ จะได้

$$v_{GS1} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_1} + V_{TH1}(T) \quad (ก4.2)$$

เมื่อแทนค่าจากสมการที่ (ก4.2) ลงใน (ก4.1) จะได้ว่า

$$v_A = v_B - \left(\sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_1} + V_{TH1}(T) \right) \quad (ก4.3)$$

ถ้ากำหนดให้ v_{A1} และ v_{A2} คือ ค่าแรงดันที่โหนด A ที่อุณหภูมิ 300K และที่อุณหภูมิ T ตามลำดับ จากสมการที่ (ก3.1), (ก3.2), และ (ก4.3) จะได้

$$v_{A1} = v_B - \left(\sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_1} + V_{TH01} \right) \quad (ก4.4)$$

$$v_{A2} = v_B - \left(\frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W} \right)_1} + V_{TH01} - \alpha(T - 300) \right) \quad (ก4.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ
$$\Delta v_A = v_{A1} - v_{A2} \quad (ฉ4.6)$$

เมื่อแทนค่าจากสมการที่ (ฉ4.4) และ (ฉ4.5) ลงใน (ฉ4.6) จะได้ว่า

$$\Delta v_A = \frac{(T-300)}{300} \left(\sqrt{\frac{2I_B}{\beta_1}} \right) - \alpha(T-300) \quad (ฉ4.7)$$

หรือ
$$\Delta v_A = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_1}} \right) - \alpha \Delta T \quad (ฉ4.8)$$

เมื่อ
$$\Delta T = T - 300 \quad (ฉ4.9)$$

$$\beta_1 = \mu_0 C_{\alpha} \left(\frac{W}{L} \right)_1 \quad (ฉ4.10)$$

ฉ5. การวิเคราะห์ผลตอบสนองทางความถี่

จากวงจรมุมสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดย
ใช้วงจรจำกัดกระแสในรูปที่ 5.2 เมื่อ $C_{\alpha} = C_{gs12} + C_{gs13} + C_{gs14}$ และ $C_{\gamma} = C_{gs6} + C_{gs7} + C_{gs8}$ จะได้ว่า

ที่โหนด I
$$(g_{m11})v_B + (g_{ds11})v_L = i_{in} + (g_{O1} + g_{ds11} + g_{m11} + sC_{gs11})v_I \quad (ฉ5.1)$$

ที่โหนด L
$$(g_{ds11} + g_{ds12} + g_{m12} + sC_{\alpha})v_L + (g_{m11})v_B = (g_{ds11} + g_{m11})v_I \quad (ฉ5.2)$$

ที่โหนด A
$$i_A = -(g_{m13})v_L - (g_{ds13} + g_{O2})v_A \quad (ฉ5.3)$$

ที่โหนด K
$$(g_{m14})v_L + (g_{ds14} + g_{ds17} + g_{m17} + sC_{gs17} + sC_{gs18})v_K = 0 \quad (ฉ5.4)$$

ที่โหนด D
$$-i_{D7} = (g_{ds15} + g_{m15} + sC_{gs15} + sC_{gs16})v_D \quad (ฉ5.5)$$

ที่โหนด J
$$i_{out} = (g_{m16})v_D + (g_{m18})v_K + (g_{O3} + g_{ds16} + g_{ds18})v_J \quad (ฉ5.6)$$

จากสมการที่ (ฉ5.1) ถึง (ฉ5.6) ถ้า $g_m \gg g_{ds}$ และ $g_m \gg g_O$ จะเขียนใหม่ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่โหนด I $(g_{m11})v_B = i_{in} + (g_{m11} + sC_{gs11})v_I$ (น5.7)

ที่โหนด L $(g_{m12} + sC_{\alpha})v_L + (g_{m11})v_B = (g_{m11})v_I$ (น5.8)

ที่โหนด A $v_L = -\left(\frac{1}{g_{m13}}\right)i_A$ (น5.9)

ที่โหนด K $(g_{m14})v_L + (g_{m17} + sC_{gs17} + sC_{gs18})v_K = 0$ (น5.10)

ที่โหนด D $v_D = -\left(\frac{1}{g_{m15} + sC_{gs15} + sC_{gs16}}\right)i_{D7}$ (น5.11)

ที่โหนด J $i_{out} = (g_{m16})v_D + (g_{m18})v_K$ (น5.12)

จากสมการที่ (น5.7) และ (น5.8) ถ้าแรงดัน $v_B = 0V$ จะได้

$$v_I = -\left(\frac{1}{g_{m11} + sC_{gs11}}\right)i_{in} \quad (น5.13)$$

$$(g_{m12} + sC_{\alpha})v_L = (g_{m11})v_I \quad (น5.14)$$

เมื่อแทนค่าจากสมการที่ (น5.13) ลงใน (น5.14) จะได้ว่า

$$(g_{m12} + sC_{\alpha})v_L = -\left(\frac{g_{m11}}{g_{m11} + sC_{gs11}}\right)i_{in} \quad (น5.15)$$

เมื่อแทนค่าจากสมการที่ (น5.9) ลงใน (น5.15) จะได้

$$i_A = \left(\frac{g_{m11}}{g_{m11} + sC_{gs11}}\right)\left(-\frac{g_{m13}}{g_{m12} + sC_{\alpha}}\right)i_{in} \quad (น5.16)$$

เมื่อแทนค่าจากสมการที่ (น5.9) ลงใน (น5.10) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_K = \left(\frac{g_{m14}}{g_{m13}} \right) \left(\frac{1}{g_{m17} + sC_{gs17} + sC_{gs18}} \right) i_A \quad (น5.17)$$

เมื่อแทนค่าจากสมการที่ (น5.11) และ (น5.17) ลงใน (น5.12) จะได้

$$i_{out} = \left(\frac{g_{m14}}{g_{m13}} \right) \left(\frac{g_{m18}}{g_{m17} + sC_{gs17} + sC_{gs18}} \right) i_A - \left(\frac{g_{m16}}{g_{m15} + sC_{gs15} + sC_{gs16}} \right) i_{D7} \quad (น5.18)$$

จากการวิเคราะห์ในภาคผนวก ก4 เพื่อศึกษาผลตอบสนองทางความถี่ของวงจรจำกัดกระแสดังรูปที่ 4.8 สามารถคำนวณอัตราส่วน i_{D7}/i_A ของวงจรได้ดังนี้

$$\frac{i_{D7}}{i_A} = \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1CLP}s + 1)(T_{2CLP}s + 1)} \quad (น5.19)$$

เมื่อ
$$T_{1CLP} = \frac{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}}{g_{m3}g_{m6}} \quad (น5.20)$$

$$T_{2CLP} = \frac{C_{gs3}C_{gs6} + C_{gs3}C_{gs7}}{g_{m3}C_{gs6} + g_{m3}C_{gs7} + g_{m6}C_{gs3}} \quad (น5.21)$$

จากสมการที่ (น5.18) และ (น5.19) จะได้ว่า

$$\frac{i_{out}}{i_A} = \frac{g_{m6}g_{m18}g_{m14}g_{m15}(T_{3CL}s + 1)(T_{1CLP}s + 1)(T_{2CLP}s + 1) - g_{m7}g_{m16}g_{m17}g_{m13}(T_{4CL}s + 1)}{g_{m6}g_{m13}g_{m15}g_{m17}(T_{1CLP}s + 1)(T_{2CLP}s + 1)(T_{3CL}s + 1)(T_{4CL}s + 1)} \quad (น5.22)$$

เมื่อ
$$T_{3CL} = \frac{C_{gs15} + C_{gs16}}{g_{m15}} \quad (น5.23)$$

$$T_{4CL} = \frac{C_{gs17} + C_{gs18}}{g_{m17}} \quad (น5.24)$$

เมื่อแทนค่าจากสมการที่ (น5.16) ลงใน (น5.22) จะได้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m6}g_{m18}g_{m14}g_{m15}(T_{3CL}s + 1)(T_{1CLP}s + 1)(T_{2CLP}s + 1) - g_{m7}g_{m16}g_{m17}g_{m13}(T_{4CL}s + 1)}{g_{m6}g_{m15}g_{m17}(T_{1CLP}s + 1)(T_{2CLP}s + 1)(T_{3CL}s + 1)(T_{4CL}s + 1)(T_{5CL}s + 1)(T_{6CL}s + 1)} \quad (น5.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญูญาติให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ
$$T_{6CL} = \frac{C_{gs11}}{g_{m11}} \quad (ฉ5.26)$$

$$T_{6CL} = \frac{C_{gs}}{g_{m12}} = \frac{C_{gs12} + C_{gs13} + C_{gs14}}{g_{m12}} \quad (ฉ5.27)$$

ฉ6. การวิเคราะห์ความเร็วในการแปลงผัน

จากอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสดังรูปที่ 5.1 ความเร็วในการแปลงผันของวงจรสามารถแยกพิจารณาได้เป็นสองส่วนคือ ค่าเวลาหน่วงที่เกิดจากวงจรข้อยที่ใช้สร้างสัญญาณกระแสเอาต์พุต i_{out} ($t_{d(CL)}$) และค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรเปรียบเทียบเพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_o ($t_{d(CL)}$) โดยค่าเวลาหน่วง $t_{d(CL)}$ สามารถพิจารณาได้จากผลตอบสนองทางความถี่ของอัลกอริทึม ADC ซึ่งขึ้นอยู่กับค่าเวลาคงตัวของโพลโคดเค้นเป็นหลัก [44] ส่วนค่าเวลา $t_{d(CL)}$ จะวิเคราะห์จากวงจรเปรียบเทียบ [41], [43] ถ้ากำหนดให้มอสเฟต M_9 - M_{10} มีความสมพียงกันทุกประการ จากสมการที่ (4.105) และ (4.106) จะได้ว่า $t_{DHL} = t_{DLH} = t_{d(CL)}$ โดยที่

$$t_{d(CL)} = \frac{C_{oH}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ฉ6.1)$$

เมื่อ C_{oH} คือ ค่าเก็บประจุที่โนด H

β_C คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต M_9 - M_{10}

ถ้า $C_{oH} = 1.1 \times 10^{-12}$ F, $\beta_C = 141 \mu\text{A/V}^2$, $V_T = 0.61$ V, และ $V_{DD} = 5$ V ค่าเวลา $t_{d(CL)}$ จะมีค่าประมาณ 2.1307 ns

เนื่องจากอัลกอริทึม ADC ขนาด N บิต สร้างขึ้นจากการต่อкасาดอัลกอริทึม ADC ขนาด 1 บิต จำนวน N วงจร ดังนั้นความเร็วในการแปลงผันของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสขนาด N บิต จะมีค่าประมาณ

$$t_{C(CL)} = Nt_{d(CL)} + t_{d(CL)} \quad (ฉ6.2)$$

ฉ 7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุดของอัลกอริทึม ADC โดยใช้วงจรจำกัดกระแสสามารถพิจารณาได้จากจำนวนอุปกรณ์สูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ [47] จากรูปที่ 5.1 พบว่ามีจำนวนมอสเฟตสูงสุดเท่ากับ 4 ประกอบด้วยพีมอส 2 ตัว และเอ็นมอส 2 ตัวที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ ถ้ากำหนดให้มอสเฟตชนิดเดียวกันทุกตัวมีความสมพียงกัน จะได้เงื่อนไขของค่าแรงดันแหล่งจ่ายของวงจร คือ

$$(V_{DD} - 0) \geq 2v_{DSn} + 2v_{SDp} \quad (ฉ 7.1)$$

หรือ

$$V_{DD} \geq 2v_{DSn} + 2|v_{SDp}| \quad (ฉ 7.2)$$

เมื่อ v_{DSn} คือ ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของเอ็นมอส

v_{SDp} คือ ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของพีมอส

สำหรับเงื่อนไขการทำงานของมอสเฟตในช่วงนำกระแสอิมิต์ คือ

$$|v_{DS}| \geq |v_{GS}| - |V_T| \quad (ฉ 7.3)$$

จากเงื่อนไขการไบแอสมอสเฟต ค่าแรงดันระหว่างขาเดรนกับขาซอร์สต่ำสุด $|v_{DS}|_{(min)}$ ที่ยังคงทำให้มอสเฟตสามารถทำงานได้ คือ

$$|v_{DS}|_{(min)} \cong |V_T| \quad (ฉ 7.4)$$

เมื่อแทนค่าจากสมการที่ (ฉ 7.4) ลงใน (ฉ 7.2) จะได้

$$V_{DD(min)} \cong 2V_{TN} + 2|V_{TP}| \quad (ฉ 7.5)$$

ภาคผนวก ข

การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรถ่ายค่าสูงสุด

ข1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรถ่ายค่าสูงสุดดังรูปที่ 5.13 จะเกิดจากความไม่สมพจน์กันทุกประการของมอสเฟตในวงจรถ่ายค่ากระแสและความผิดพลาดของวงจรถ่ายค่าสูงสุดเป็นหลัก

กำหนดให้

ε_{p31} คือ ค่าความผิดพลาดของวงจรถ่ายค่ากระแส M_{10} , M_{11}

ε_{p32} คือ ค่าความผิดพลาดของวงจรถ่ายค่ากระแส M_{10} , M_{12}

ε_{n2} คือ ค่าความผิดพลาดของวงจรถ่ายค่ากระแส M_{13} - M_{14}

ε_{p4} คือ ค่าความผิดพลาดของวงจรถ่ายค่ากระแส M_{17} - M_{18}

ε_{max} คือ ค่าความผิดพลาดของวงจรถ่ายค่าสูงสุด

จากการทำงานของวงจรถ่ายค่ากระแส M_{10} , M_{11} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D11} และกระแสอินพุต i_m คือ

$$i_{D11} = 2i_m(1 - \varepsilon_{p31}) \quad (ข1.1)$$

โดยที่

$$\varepsilon_{p31} = \frac{(2g_{m10} - g_{m11})}{2g_{m10}} + \frac{1}{g_{m13}r_{o11}} \quad (ข1.2)$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริธึม ADC โดยใช้วงจรถ่ายค่าสูงสุดดังรูปที่ 5.13 จะได้ว่า $g_{m10} = 4.6948 \times 10^{-4}$ A/V, $g_{m11} = 9.4098 \times 10^{-4}$ A/V, $g_{m13} = 9.1903 \times 10^{-4}$ A/V, และ $r_{o11} = 3.483$ M Ω จะได้ความผิดพลาด ε_{p31} มีค่าประมาณ -1.8376×10^{-3}

จากการทำงานของวงจรถ่ายค่ากระแส M_{10} , M_{12} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D12} และกระแสอินพุต i_m คือ

$$i_{D12} = 2i_m(1 - \varepsilon_{p32}) \quad (ข1.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่
$$\varepsilon_{p32} = \frac{(2g_{m10} - g_{m12})}{2g_{m10}} + \frac{1}{g_{m2}r_{o12}} \quad (\text{ข1.4})$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.13 จะได้ว่า $g_{m10} = 4.6948 \times 10^{-4}$ A/V, $g_{m12} = 9.3785 \times 10^{-4}$ A/V, $g_{m2} = 4.1608 \times 10^{-4}$ A/V, และ $r_{o14} = 3.367$ M Ω จะได้ความผิดพลาด ε_{p32} มีค่าประมาณ 1.8661×10^{-3}

จากการทำงานของวงจรสะท้อนกระแส M_{13} - M_{14} ซึ่งมีค่าอัตราขยายกระแสเท่ากับหนึ่ง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D11} และ i_{D14} คือ

$$i_{D14} = i_{D11} (1 - \varepsilon_{n2}) \quad (\text{ข1.5})$$

เมื่อ
$$\varepsilon_{n2} = \frac{(g_{m13} - g_{m14})}{g_{m13}} + \frac{R_L}{r_{o14}} \quad (\text{ข1.6})$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.13 จะได้ว่า $g_{m13} = 9.1903 \times 10^{-4}$ A/V, $g_{m14} = 9.2280 \times 10^{-4}$ A/V, $R_L = 1$ k Ω , และ $r_{o14} = 3.367$ M Ω จะได้ความผิดพลาด ε_{n2} มีค่าประมาณ -3.803×10^{-3}

เมื่อแทนค่าจากสมการที่ (ข1.1) ลงใน (ข1.5) จะได้ว่า

$$i_{D14} = 2i_{in} (1 - \varepsilon_{t4}) \quad (\text{ข1.7})$$

โดยที่
$$\varepsilon_{t4} = \varepsilon_{p31} + \varepsilon_{n2} - \varepsilon_{p31}\varepsilon_{n2} \quad (\text{ข1.8})$$

จากการทำงานของวงจรสะท้อนกระแส M_{17} - M_{18} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแสเดรน i_{D18} และ i_{D17} คือ

$$i_{D18} = 2i_{D17} (1 - \varepsilon_{p4}) \quad (\text{ข1.9})$$

เมื่อ
$$\varepsilon_{p4} = \frac{(2g_{m17} - g_{m18})}{2g_{m17}} + \frac{R_L}{r_{o18}} \quad (\text{ข1.10})$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุด จะได้ g_{m17}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 4.6948 \times 10^{-4} \text{ A/V}$, $g_{m18} = 9.3540 \times 10^{-4} \text{ A/V}$, $R_L = 1 \text{ k}\Omega$, และ $r_{o18} = 2.857 \text{ M}\Omega$ ดังนั้นความผิดพลาด ε_{p4} มีค่าประมาณ 4.150×10^{-3}

เมื่อพิจารณาที่โหนด C จะได้ว่า

$$i_{D17} = i_{\max} - I_{ref} \quad (ข1.11)$$

เมื่อแทนค่าจากสมการที่ (ข1.11) ลงใน (ข1.9) จะได้ว่า

$$i_{D18} = 2(i_{\max} - I_{ref})(1 - \varepsilon_{p4}) \quad (ข1.12)$$

จากการทำงานของวงจรหาค่าสูงสุด จะได้

$$i_{\max} = \max(i_{D12}, I_{ref})(1 - \varepsilon_{\max}) \quad (ข1.13)$$

โดยที่

$$\varepsilon_{\max} = \begin{cases} \frac{(g_{m2} - g_{m9})}{g_{m2}} + \frac{g_{m3}g_{m17}r_{o9} + g_{m2}g_{m17}r_{o9} + g_{m2}g_{m3}r_{o2}}{g_{m2}g_{m3}g_{m17}r_{o2}r_{o9}} & ; i_{D12} > I_{ref} \\ \frac{(g_{m5} - g_{m9})}{g_{m5}} + \frac{g_{m6}g_{m17}r_{o9} + g_{m5}g_{m17}r_{o9} + g_{m5}g_{m6}r_{o5}}{g_{m5}g_{m6}g_{m17}r_{o5}r_{o9}} & ; I_{ref} > i_{D12} \end{cases} \quad (ข1.14)$$

จากผลที่ได้จากการเลียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.13 จะได้ว่า $g_{m2} = 4.1608 \times 10^{-4} \text{ A/V}$, $g_{m9} = 4.1570 \times 10^{-4} \text{ A/V}$, $g_{m3} = 6.6395 \times 10^{-4} \text{ A/V}$, $g_{m5} = 4.1612 \times 10^{-4} \text{ A/V}$, $g_{m6} = 6.5391 \times 10^{-4} \text{ A/V}$, $r_{o2} = 2.796 \text{ M}\Omega$, $r_{o5} = 2.616 \text{ M}\Omega$, และ $r_{o9} = 2.679 \text{ M}\Omega$ ในกรณีที่ค่ากระแส $i_{D12} > I_{ref}$ จะได้ความผิดพลาด ε_{\max} มีค่าประมาณ 3.1104×10^{-3} สำหรับกรณีที่กระแส $I_{ref} > i_{D12}$ จะได้ความผิดพลาด ε_{\max} มีค่าประมาณ 3.3166×10^{-3}

เมื่อพิจารณาที่เอาต์พุตโหนด หรือ โหนด E จะได้ว่า

$$i_{out} = i_{D14} - i_{D18} \quad (ข1.15)$$

ในกรณีที่ค่ากระแส i_{D12} น้อยกว่า I_{ref} หรือ $2i_{in} < I_{ref}$ จากสมการที่ (ข1.13) จะเขียนใหม่ได้ว่า

$$i_{\max} = I_{ref}(1 - \varepsilon_{\max}) \quad (ข1.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าจากสมการที่ (ข1.16) ลงใน (ข1.12) จะได้ว่า

$$i_{out} = (2I_{ref}(1 - \varepsilon_{max}) - 2I_{ref})(1 - \varepsilon_{p4}) \quad (ข1.17)$$

เมื่อแทนค่าจากสมการที่ (ข1.7) และ (ข1.17) ลงใน (ข1.15) จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} มีค่าดังนี้

$$i_{out} \cong 2i_{in}(1 - \varepsilon_{i4}) + 2\varepsilon_{max}I_{ref} \quad (ข1.18)$$

ในกรณีที่ค่ากระแส i_{D12} มีค่ามากกว่าหรือเท่ากับกระแส I_{ref} หรือ $2i_{in} \geq I_{ref}$ จากสมการที่ (ข1.13) จะเขียนใหม่ได้ว่า

$$i_{max} = i_{D12}(1 - \varepsilon_{max}) \quad (ข1.19)$$

เมื่อแทนค่าจากสมการที่ (ข1.3) ลงใน (ข1.19) จะได้ว่า

$$i_{max} = 2i_{in}(1 - \varepsilon_{i5}) \quad (ข1.20)$$

โดยที่

$$\varepsilon_{i5} = \varepsilon_{p32} + \varepsilon_{max} - \varepsilon_{p32}\varepsilon_{max} \quad (ข1.21)$$

จากสมการที่ (ข1.7), (ข1.12), (ข1.15), และ (ข1.20) จะได้ความสัมพันธ์ระหว่างค่ากระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} มีค่าดังนี้

$$i_{out} \cong 2I_{ref} - (2i_{in}(1 - \varepsilon_{i4} - 2\varepsilon_{i5}) + 2\varepsilon_{p4}I_{ref}) \quad (ข1.22)$$

จากสมการที่ (ข1.18) และ (ข1.22) สามารถสรุปได้ว่ากระแสเอาต์พุต i_{out} จะมีค่าดังนี้

$$i_{out} = \begin{cases} 2i_{in}(1 - \varepsilon_{i4}) + 2\varepsilon_{max}I_{ref} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (2i_{in}(1 - \varepsilon_{i4} - 2\varepsilon_{i5}) + 2\varepsilon_{p4}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (ข1.23)$$

ข2. การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริทึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด N บิตดังรูปที่ 3.1 จะวิเคราะห์ในกรณีที่ป้อนค่ากระแสอินพุต i_{in1} เท่ากับกระแสอ้างอิง I_{ref} ซึ่งจะได้คิิจิตอลเอาต์พุตของทุกบิตมีค่าเป็น 0 (Low) ยกเว้นคิิจิตอลเอาต์พุตของ MSB จะมีค่าเป็น 1 (High) ถ้ากำหนดให้ ε_{Bj} คือ ค่าความผิดพลาดเต็มสเกลของ One-bit Cell ที่ออกแบบโดยใช้วงจรหาค่าสูงสุดในลำดับที่ j โดยที่

$$\varepsilon_{Bj} = i_{outj(real)} - i_{outj(ideal)} \quad (ข2.1)$$

เมื่อ $i_{outj(real)}$ คือ ค่ากระแสเอาต์พุตที่มีค่าความผิดพลาดของ One-bit Cell ในลำดับที่ j

$i_{outj(ideal)}$ คือ ค่ากระแสเอาต์พุตในอุดมคติของ One-bit Cell ในลำดับที่ j

เมื่อพิจารณาที่ One-bit Cell 1 หรือ MSB จะได้ว่า

$$i_{out1(ideal)} = 2I_{ref} - 2i_{in1} \quad (ข2.2)$$

จากสมการที่ (ข1.22) จะได้ว่า

$$i_{out1(real)} \cong (2I_{ref} - 2i_{in1}) + (2\varepsilon_{i4})i_{in1} + (4\varepsilon_{i5})i_{in1} - (2\varepsilon_{p4})I_{ref} \quad (ข2.3)$$

เมื่อแทนค่าจากสมการที่ (ข2.2) และ (ข2.3) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{B1} = (2\varepsilon_{i4})i_{in1} + (4\varepsilon_{i5})i_{in1} - (2\varepsilon_{p4})I_{ref} \quad (ข2.4)$$

จากสมการที่ (ข2.4) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{B1} = (4\varepsilon_{i5} + 2\varepsilon_{i4} - 2\varepsilon_{p4})I_{ref} \quad (ข2.5)$$

เมื่อพิจารณาที่ One-bit Cell 2 โดยที่ $i_{in2} = i_{out1}$ จะได้ว่า

$$i_{out2(ideal)} = 2i_{in2(ideal)} = 2i_{out1(ideal)} = 4I_{ref} - 4i_{in1} \quad (ข2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (ข1.18) จะได้ว่า

$$i_{out2(real)} \cong 2i_{out1(real)}(1 - \varepsilon_{14}) + 2\varepsilon_{max} I_{ref} \quad (ข2.7)$$

เมื่อแทนค่าจากสมการที่ (ข2.3) ลงใน (ข2.7) จะได้ว่า

$$i_{out2(real)} = (4I_{ref} - 4i_{in}) + (8\varepsilon_{14})i_{in1} + (8\varepsilon_{15})i_{in1} - (4\varepsilon_{p4})I_{ref} - (4\varepsilon_{14})I_{ref} - (4\varepsilon_{14}^2)i_{in1} - (8\varepsilon_{14}\varepsilon_{15})i_{in1} \\ + (4\varepsilon_{p4}\varepsilon_{14})I_{ref} + (2\varepsilon_{max})I_{ref} \quad (ข2.8)$$

หรือ $i_{out2(real)} \cong (4I_{ref} - 4i_{in}) + (8\varepsilon_{14})i_{in1} + (8\varepsilon_{15})i_{in1} - (4\varepsilon_{p4})I_{ref} - (4\varepsilon_{14})I_{ref} + (2\varepsilon_{max})I_{ref}$ (ข2.9)

เมื่อแทนค่าจากสมการที่ (ข2.6) และ (ข2.8) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{B2} = (8\varepsilon_{14})i_{in1} + (8\varepsilon_{15})i_{in1} - (4\varepsilon_{p4})I_{ref} - (4\varepsilon_{14})I_{ref} - (4\varepsilon_{14}^2)i_{in1} - (8\varepsilon_{14}\varepsilon_{15})i_{in1} + (4\varepsilon_{p4}\varepsilon_{14})I_{ref} \\ + (2\varepsilon_{max})I_{ref} \quad (ข2.10)$$

จากสมการที่ (ข2.10) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{B2} = (8\varepsilon_{15} + 4\varepsilon_{14} - 4\varepsilon_{p4} + 2\varepsilon_{max} - 8\varepsilon_{14}\varepsilon_{15} + 4\varepsilon_{p4}\varepsilon_{14} - 4\varepsilon_{14}^2)I_{ref} \quad (ข2.11)$$

เมื่อพิจารณาที่ One-bit Cell 3 โดยที่ $i_{in3} = i_{out2}$ จะได้ว่า

$$i_{out3(ideal)} = 2i_{out2(ideal)} = 8I_{ref} - 8i_{in1} \quad (ข2.12)$$

จากสมการที่ (ข1.18) จะได้ว่า

$$i_{out3(real)} \cong 2i_{out2(real)}(1 - \varepsilon_{14}) + 2\varepsilon_{max} I_{ref} \quad (ข2.13)$$

เมื่อแทนค่าจากสมการที่ (ข2.9) ลงใน (ข2.13) จะได้ว่า

$$i_{out3(real)} = (8I_{ref} - 8i_{in1}) + (24\varepsilon_{14})i_{in1} + (16\varepsilon_{15})i_{in1} - (8\varepsilon_{p4})I_{ref} - (16\varepsilon_{14})I_{ref} + (6\varepsilon_{max})I_{ref} \\ - (16\varepsilon_{14}^2)i_{in1} - (16\varepsilon_{14}\varepsilon_{15})i_{in1} + (8\varepsilon_{p4}\varepsilon_{14})I_{ref} + (8\varepsilon_{14}^2)I_{ref} - (4\varepsilon_{max}\varepsilon_{14})I_{ref} \quad (ข2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาตให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $i_{out3(real)} \equiv (8I_{ref} - 8i_{in1}) + (24\varepsilon_{14})i_{in1} + (16\varepsilon_{15})i_{in1} - (8\varepsilon_{p4})I_{ref} - (16\varepsilon_{14})I_{ref} + (6\varepsilon_{max})I_{ref}$ (ข2.15)

เมื่อแทนค่าจากสมการที่ (ข2.12) และ (ข2.14) ลงใน (ข2.1) จะได้ว่า

$$\begin{aligned} \varepsilon_{B3} = & (24\varepsilon_{14})i_{in1} + (16\varepsilon_{15})i_{in1} - (8\varepsilon_{p4})I_{ref} - (16\varepsilon_{14})I_{ref} + (6\varepsilon_{max})I_{ref} - (16\varepsilon_{14}^2)i_{in1} \\ & - (16\varepsilon_{14}\varepsilon_{15})i_{in1} + (8\varepsilon_{p4}\varepsilon_{14})I_{ref} + (8\varepsilon_{14}^2)I_{ref} - (4\varepsilon_{max}\varepsilon_{14})I_{ref} \end{aligned} \quad (ข2.16)$$

จากสมการที่ (ข2.16) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{B3} = (16\varepsilon_{15} + 8\varepsilon_{14} - 8\varepsilon_{p4} + 6\varepsilon_{max} - 16\varepsilon_{14}\varepsilon_{15} + 8\varepsilon_{p4}\varepsilon_{14} - 8\varepsilon_{14}^2 - 4\varepsilon_{max}\varepsilon_{14})I_{ref} \quad (ข2.17)$$

เมื่อพิจารณาที่ One-bit Cell 4 โดยที่ $i_{in1} = i_{out3}$ จะได้ว่า

$$i_{out4(ideal)} = 2i_{out3(ideal)} = 16I_{ref} - 16i_{in1} \quad (ข2.18)$$

จากสมการที่ (ข1.18) จะได้ว่า

$$i_{out4(real)} \equiv 2i_{out3(real)}(1 - \varepsilon_{14}) + 2\varepsilon_{max}I_{ref} \quad (ข2.19)$$

เมื่อแทนค่าจากสมการที่ (ข2.15) ลงใน (ข2.19) จะได้ว่า

$$\begin{aligned} i_{out4(real)} = & (16I_{ref} - 16i_{in1}) + (64\varepsilon_{14})i_{in1} + (32\varepsilon_{15})i_{in1} - (16\varepsilon_{p4})I_{ref} - (48\varepsilon_{14})I_{ref} + (14\varepsilon_{max})I_{ref} \\ & - (48\varepsilon_{14}^2)i_{in1} - (32\varepsilon_{14}\varepsilon_{15})i_{in1} + (16\varepsilon_{p4}\varepsilon_{14})I_{ref} + (32\varepsilon_{14}^2)I_{ref} - (12\varepsilon_{max}\varepsilon_{14})I_{ref} \end{aligned} \quad (ข2.20)$$

$$i_{out4(real)} \equiv (16I_{ref} - 16i_{in1}) + (64\varepsilon_{14})i_{in1} + (32\varepsilon_{15})i_{in1} - (16\varepsilon_{p4})I_{ref} - (48\varepsilon_{14})I_{ref} + (14\varepsilon_{max})I_{ref} \quad (ข2.21)$$

เมื่อแทนค่าจากสมการที่ (ข2.18) และ (ข2.20) ลงใน (ข2.1) จะได้ว่า

$$\begin{aligned} \varepsilon_{B4} = & (64\varepsilon_{14})i_{in1} + (32\varepsilon_{15})i_{in1} - (16\varepsilon_{p4})I_{ref} - (48\varepsilon_{14})I_{ref} + (14\varepsilon_{max})I_{ref} - (48\varepsilon_{14}^2)i_{in1} \\ & - (32\varepsilon_{14}\varepsilon_{15})i_{in1} + (16\varepsilon_{p4}\varepsilon_{14})I_{ref} + (32\varepsilon_{14}^2)I_{ref} - (12\varepsilon_{max}\varepsilon_{14})I_{ref} \end{aligned} \quad (ข2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (ข2.22) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{B4} = (32\varepsilon_{15} + 16\varepsilon_{14} - 16\varepsilon_{p4} + 14\varepsilon_{max} - 32\varepsilon_{14}\varepsilon_{15} + 16\varepsilon_{p4}\varepsilon_{14} - 16\varepsilon_{14}^2 - 12\varepsilon_{max}\varepsilon_{14})I_{ref} \quad (ข2.23)$$

เมื่อพิจารณาที่ One-bit Cell 5 โดยที่ $i_{in5} = i_{out4}$ จะได้ว่า

$$i_{out5(ideal)} = 2i_{out4(ideal)} = 32I_{ref} - 32i_{in1} \quad (ข2.24)$$

จากสมการที่ (ข1.18) จะได้ว่า

$$i_{out5(real)} \cong 2i_{out4(real)}(1 - \varepsilon_{14}) + 2\varepsilon_{max}I_{ref} \quad (ข2.25)$$

เมื่อแทนค่าจากสมการที่ (ข2.21) ลงใน (ข2.25) จะได้ว่า

$$i_{out5(real)} = (32I_{ref} - 32i_{in1}) + (160\varepsilon_{14})i_{in1} + (64\varepsilon_{15})i_{in1} - (32\varepsilon_{p4})I_{ref} - (128\varepsilon_{14})I_{ref} + (30\varepsilon_{max})I_{ref} - (128\varepsilon_{14}^2)i_{in1} - (64\varepsilon_{14}\varepsilon_{15})i_{in1} + (32\varepsilon_{p4}\varepsilon_{14})I_{ref} + (96\varepsilon_{14}^2)I_{ref} - (28\varepsilon_{max}\varepsilon_{14})I_{ref} \quad (ข2.26)$$

$$i_{out5(real)} \cong (32I_{ref} - 32i_{in1}) + (160\varepsilon_{14})i_{in1} + (64\varepsilon_{15})i_{in1} - (32\varepsilon_{p4})I_{ref} - (96\varepsilon_{14})I_{ref} + (30\varepsilon_{max})I_{ref} \quad (ข2.27)$$

เมื่อแทนค่าจากสมการที่ (ข2.24) และ (ข2.26) ลงใน (ข2.1) จะได้ว่า

$$i_{out5(real)} = (32I_{ref} - 32i_{in1}) + (160\varepsilon_{14})i_{in1} + (64\varepsilon_{15})i_{in1} - (32\varepsilon_{p4})I_{ref} - (128\varepsilon_{14})I_{ref} + (30\varepsilon_{max})I_{ref} - (64\varepsilon_{14}\varepsilon_{15})i_{in1} + (32\varepsilon_{p4}\varepsilon_{14})I_{ref} + (96\varepsilon_{14}^2)I_{ref} - (28\varepsilon_{max}\varepsilon_{14})I_{ref} \quad (ข2.28)$$

จากสมการที่ (ข2.28) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$i_{out5(real)} \cong (32I_{ref} - 32i_{in1}) + (160\varepsilon_{14})i_{in1} + (64\varepsilon_{15})i_{in1} - (32\varepsilon_{p4})I_{ref} - (96\varepsilon_{14})I_{ref} + (30\varepsilon_{max})I_{ref} \quad (ข2.29)$$

เมื่อพิจารณาค่าความผิดพลาดสะสมของ One-bit Cell ในแต่ละลำดับ จะสามารถประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความผิดพลาดสะสมของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรหาค่าสูงสุดขนาด N บิตได้ดังนี้

$$\varepsilon_B = \left(\begin{array}{l} 2^{N+1} \varepsilon_{i5} + 2^N \varepsilon_{i4} - 2^N \varepsilon_{p4} + (2^N - 2) \varepsilon_{\max} - 2^{N+1} \varepsilon_{i4} \varepsilon_{i5} + 2^N \varepsilon_{p4} \varepsilon_{i4} \\ -2^N \varepsilon_{i4}^2 - (2^N - 2^2) \varepsilon_{\max} \varepsilon_{i4} \end{array} \right) I_{ref} \quad (ข2.30)$$

ข3. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасแตกต่างกัน การวิเคราะห์จำนวนบิตที่เป็นไปได้สำหรับการต่อкасแตกต่างกันของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13 สามารถวิเคราะห์ได้ดังนี้

จากหลักการทำงานของอัลกอริทึม ADC ขนาด 1 บิต ที่มีการลงรหัสเกรย์ดังรูปที่ 3.12 จะมีขั้นการควอนไทซ์เท่ากับค่า $I_{ref}/2$ ดังนั้นความผิดพลาดสะสมจะมีค่าสูงสุดเท่าที่เป็นไปได้โดยไม่มีผลกระทบต่อค่าดิจิตอลเอาต์พุต คือ

$$\frac{I_{ref}}{2} \cong \left(2^{N+1} \varepsilon_{i5} + 2^N \varepsilon_{i4} - 2^N \varepsilon_{p4} + (2^N - 2) \varepsilon_{\max} \right) I_{ref} \quad (ข3.1)$$

จากสมการที่ (ข3.1) สามารถประมาณค่าจำนวนบิตที่เป็นไปได้ N_{\max} ของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรหาค่าสูงสุด คือ

$$N_{\max} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 4\varepsilon_{\max}}{2(2\varepsilon_{i5} + \varepsilon_{i4} - \varepsilon_{p4} + \varepsilon_{\max})} \right) \right\} \quad (ข3.2)$$

ข4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

จากอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13. การเปลี่ยนแปลงค่าอุณหภูมิจะมีผลต่อค่าแรงดันที่โหนด B หรือค่าแรงดันไบแอส v_B โดยที่

$$v_B = v_{SG7} + v_{GS8} \quad (ข4.1)$$

จากสมการที่ (ก3.3) เมื่อค่ากระแสเดรน $i_{D7} = I_B$ และ $i_{D8} = i_{\max}$ จะได้

$$v_{SG7} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_7} + |V_{TP7}(T)| \quad (ข4.2)$$

$$v_{GS8} = \sqrt{\frac{2i_{max}}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_8} + V_{TN8}(T) \quad (ข4.3)$$

เมื่อแทนค่าจากสมการที่ (ข4.2) และ (ข4.3) ลงใน (ข4.1) จะได้ว่า

$$v_B = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_7} + |V_{TP7}(T)| + \sqrt{\frac{2i_{max}}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_8} + V_{TN8}(T) \quad (ข4.4)$$

ถ้ากำหนดให้ v_{B1} และ v_{B2} คือ ค่าแรงดันไบแอสที่อุณหภูมิ 300K และที่อุณหภูมิ T ตามลำดับ จากสมการที่ (ก3.1), (ก3.2), และ (ข4.4) จะได้

$$v_{B1} = \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_7} + \sqrt{\frac{2i_{max}}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_8} + |V_{TP7}| + V_{TN8} \quad (ข4.5)$$

$$v_{B2} = \frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_7} + \frac{T}{300} \sqrt{\frac{2i_{max}}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_8} + |V_{TP7}| + V_{TN8} - 2\alpha(T-300) \quad (ข4.6)$$

เมื่อ
$$\Delta v_B = v_{B2} - v_{B1} \quad (ข4.7)$$

เมื่อแทนค่าจากสมการที่ (ข4.5) และ (ข4.6) ลงใน (ข4.7) จะได้ว่า

$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_7}} + \sqrt{\frac{2i_{max}}{\beta_8}} \right) - 2\alpha\Delta T \quad (ข4.8)$$

เมื่อ
$$\Delta T = T - 300 \quad (ข4.9)$$

$$\beta_7 = \mu_0 C_{ox} \left(\frac{W}{L}\right)_7 \quad (ข4.10)$$

$$\beta_8 = \mu_0 C_{ox} \left(\frac{W}{L}\right)_8 \quad (ข4.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข5. การวิเคราะห์ผลตอบสนองทางความถี่

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดคั่งรูปที่ 5.14 เมื่อ $C_{i1} = C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}$ และ $C_{i2} = C_{gs10} + C_{gs11} + C_{gs12}$ จะได้ว่า

$$\text{ที่ โหนด J} \quad -i_{in} = (g_{m10} + g_{ds10} + sC_{i2})v_J \quad (ข5.1)$$

$$\text{ที่ โหนด I} \quad (g_{m11})v_J = -(g_{ds11} + g_{ds13} + g_{m13} + sC_{gs13} + sC_{gs14})v_I \quad (ข5.2)$$

$$\text{ที่ โหนด x} \quad -i_x = (g_{m12})v_J + (g_{ds12})v_x \quad (ข5.3)$$

$$\text{ที่ โหนด C} \quad -i_{max} = (g_{o1} + g_{ds17} + g_{m17} + sC_{gs17} + sC_{gs18})v_C \quad (ข5.4)$$

$$\text{ที่ โหนด E} \quad i_{out} = (g_{m18})v_C + (g_{m14})v_I + (g_{ds18} + g_{ds14})v_E \quad (ข5.5)$$

จากสมการที่ (ข5.1) ถึง (ข5.5) ถ้า $g_m \gg g_{ds}$ และ $g_m \gg g_o$ จะเขียนใหม่ได้ว่า

$$\text{ที่ โหนด J} \quad v_J = -\left(\frac{1}{g_{m10} + sC_{i2}}\right)i_{in} \quad (ข5.6)$$

$$\text{ที่ โหนด I} \quad v_I = -\left(\frac{g_{m13} + sC_{gs13} + sC_{gs14}}{g_{m11}}\right)v_J \quad (ข5.7)$$

$$\text{ที่ โหนด x} \quad -i_x = (g_{m12})v_J \quad (ข5.8)$$

$$\text{ที่ โหนด C} \quad v_C = -\left(\frac{1}{g_{m17} + sC_{gs17} + sC_{gs18}}\right)i_{max} \quad (ข5.9)$$

$$\text{ที่ โหนด E} \quad i_{out} = (g_{m18})v_C + (g_{m14})v_I \quad (ข5.10)$$

เมื่อแทนค่าจากสมการที่ (ข5.6) ลงใน (ข5.8) จะได้

$$i_x = \left(\frac{g_{m12}}{g_{m10} + sC_{r2}} \right) i_{in} \quad (ข5.11)$$

เมื่อแทนค่าจากสมการที่ (ข5.6) ลงใน (ข5.7) จะได้

$$v_i = \left(\frac{g_{m11}}{(g_{m10} + sC_{r2})(g_{m13} + sC_{gs13} + sC_{gs14})} \right) i_{in} \quad (ข5.12)$$

เมื่อแทนค่าจากสมการที่ (ข5.9) และ (ข5.12) ลงใน (ข5.10) จะได้

$$i_{out} = \left(\frac{g_{m14}g_{m11}}{(g_{m10} + sC_{r2})(g_{m13} + sC_{gs13} + sC_{gs14})} \right) i_{in} - \left(\frac{g_{m18}}{g_{m17} + sC_{gs17} + sC_{gs18}} \right) i_{max} \quad (ข5.13)$$

จากการวิเคราะห์ในภาคผนวก ง4 เพื่อศึกษาผลตอบสนองทางความถี่ของวงจรถ้าค่าสูงสุด ดังรูปที่ 4.20 สามารถคำนวณหาค่าอัตราส่วน i_{max}/i_x ของวงจรถ้าได้ดังนี้

$$\frac{i_{max}}{i_x} \cong \left(\frac{g_{m9}}{g_{m2}g_{m3}} \right) \frac{(T_{3x}s + 1)}{(T_{1x}s + 1)(T_{2x}s + 1)} \quad (ข5.14)$$

เมื่อ

$$T_{1x} \cong \frac{(g_{m2} + g_{m8})C_{gs3}}{g_{m2}g_{m3}} \quad (ข5.15)$$

$$T_{2x} \cong \frac{C_{gs2} + C_{gs5} + C_{gs8} + C_{gs9}}{g_{m2} + g_{m8}} \quad (ข5.16)$$

$$T_{3x} \cong \frac{C_{gs3}}{g_{m3}} \quad (ข5.17)$$

เมื่อแทนค่าจากสมการที่ (ข5.11) ลงใน (ข5.14) จะได้

$$i_{max} \cong \left(\frac{g_{m9}}{g_{m2}g_{m3}} \right) \left(\frac{g_{m12}}{g_{m10} + sC_{r2}} \right) \frac{(T_{3x}s + 1)}{(T_{1x}s + 1)(T_{2x}s + 1)} (i_{in}) \quad (ข5.18)$$

เมื่อแทนค่าจากสมการที่ (ข5.18) ลงใน (ข5.13) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} \approx \frac{g_{m14}g_{m11}g_{m17}g_{m2}g_{m3}(T_{1x}s+1)(T_{2x}s+1)(T_4s+1) - g_{m18}g_{m9}g_{m12}g_{m13}(T_{3x}s+1)(T_5s+1)(T_6s+1)}{g_{m10}g_{m13}g_{m17}g_{m2}g_{m3}(T_{1x}s+1)(T_{2x}s+1)(T_4s+1)(T_5s+1)(T_6s+1)} \quad (ข5.13)$$

เมื่อ
$$T_4 = \frac{C_{gs17} + C_{gs18}}{g_{m17}} \quad (ข5.14)$$

$$T_5 = \frac{C_{f2}}{g_{m10}} = \frac{C_{gs10} + C_{gs11} + C_{gs12}}{g_{m10}} \quad (ข5.15)$$

$$T_6 = \frac{C_{gs13} + C_{gs14}}{g_{m13}} \quad (ข5.16)$$

ข6. การวิเคราะห์ความเร็วในการแปลงผัน

จากอัลกอริทึม ADC โดยใช้วงจรหาค่าสูงสุดดังรูปที่ 5.13 ความเร็วในการแปลงผันของวงจรสามารถแยกพิจารณาได้เป็นสองส่วนคือ ค่าเวลาหน่วงที่เกิดจากวงจรย่อยที่ใช้สร้างสัญญาณกระแสเอาต์พุต i_{out} ($t_{dd(max)}$) และค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรเปรียบเทียบเพื่อสร้างสัญญาณดิจิทัลเอาต์พุต D_o ($t_{dd(max)}$) โดยค่าเวลาหน่วง $t_{dd(max)}$ สามารถพิจารณาได้จากผลตอบสนองทางความถี่ของอัลกอริทึม ADC ซึ่งขึ้นอยู่กับค่าเวลาคงตัวของโพลโดเด่นเป็นหลัก [44] ส่วนค่าเวลา $t_{dd(max)}$ จะวิเคราะห์จากวงจรเปรียบเทียบ M_{19} - M_{14} [41], [43] ซึ่งประกอบด้วยวงจรอินเวอร์เตอร์ M_{21} - M_{22} และ M_{23} - M_{24} ต่อร่วมกัน ถ้ากำหนดให้มอสเฟต M_{21} - M_{24} มีความสมพจน์กันทุกประการ จากสมการที่ (4.105) และ (4.106) จะได้ว่า $t_{DHL} = t_{DLH} = t_{DD}$ โดยที่

$$t_{dd(max)} = t_{DDG} + t_{DDH} \quad (ข6.1)$$

$$t_{DDG} = \frac{C_{oG}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ข6.2)$$

$$t_{DDH} = \frac{C_{oH}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ข6.3)$$

เมื่อ t_{DDG} คือ ค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของโหนด G

t_{DDH} คือ ค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของโหนด H

C_{oG} คือ ค่าเก็บประจุที่โหนด G

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_{oH} คือ ค่าเก็บประจุที่โหนด H

β_C คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟตในวงจรเปรียบเทียบกับกระแส

เมื่อแทนค่าจากสมการที่ (ข6.2) และ (ข6.3) ลงใน (ข6.1) จะได้ว่า

$$t_{dd(max)} = \frac{(C_{oG} + C_{oH})}{\beta(V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (ข6.4)$$

ถ้า $C_{oG} = 3.35 \times 10^{-14}$ F, $C_{oH} = 1.1 \times 10^{-12}$ F, $\beta_C = 141 \mu A/V^2$, $V_T = 0.61$ V, และ $V_{DD} = 3.3$ V ค่าเวลา $t_{dd(max)}$ จะมีค่าประมาณ 3.7929 ns

เนื่องจากอัลกอริธึม ADC ขนาด N บิต สร้างขึ้นจากการต่อкасาดอกอัลกอริธึม ADC ขนาด 1 บิต จำนวน N วงจร ดังนั้นความเร็วในการแปลงผันของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดขนาด N บิต จะมีค่าประมาณ

$$t_{C(max)} = N t_{do(max)} + t_{dd(max)} \quad (ข6.5)$$

ข7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุดของอัลกอริธึม ADC โดยใช้วงจรหาค่าสูงสุดสามารถพิจารณาได้จากจำนวนอุปกรณ์สูงสุดที่ต้องระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ [47] จากรูปที่ 5.13 พบว่ามีจำนวนมอสเฟตสูงสุดเท่ากับ 3 ประกอบด้วยพีมอส 1 ตัว และเอ็นมอส 2 ตัวที่ต้องระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ ถ้ากำหนดให้มอสเฟตชนิดเดียวกันทุกตัวมีความสมพียงกัน จะได้เงื่อนไขของค่าแรงดันแหล่งจ่ายของวงจร คือ

$$(V_{DD} - 0) \geq 2v_{DSN} + v_{SDP} \quad (ข7.1)$$

$$\text{หรือ} \quad V_{DD} \geq 2v_{DSN} + |v_{DSP}| \quad (ข7.2)$$

สำหรับเงื่อนไขการทำงานของมอสเฟตในช่วงนำกระแสอิมตัว คือ

$$|v_{DS}| \geq |v_{GS}| - |V_T| \quad (ข7.3)$$

จากเงื่อนไขการไบแอสมอสเฟต ค่าแรงดันระหว่างขาเดรนกับขาซอร์สต่ำสุด $|v_{DS}|_{(\min)}$ ที่ยังคงทำให้ มอสเฟตสามารถทำงานได้ คือ

$$|v_{DS}|_{(\min)} \cong |V_T| \quad (ข7.4)$$

เมื่อแทนค่าจากสมการที่ (ข7.4) ลงใน (ข7.2) จะได้

$$V_{DD(\min)} \cong 2V_{TN} + |V_{TP}| \quad (ข7.5)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การวิเคราะห์คุณสมบัติการทำงานของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์

ข1. การวิเคราะห์ความผิดพลาดในการส่งผ่านกระแส

ความผิดพลาดในการส่งผ่านกระแสของอัลกอริธึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 จะเกิดจากความไม่สมพงษ์กันทุกประการของมอสเฟตในวงจรสะท้อนกระแสและความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์เป็นหลัก

เมื่อกำหนดให้

ε_{ps} คือ ค่าความผิดพลาดของวงจรสะท้อนกระแส M_{11} - M_{12}

ε_{ab} คือ ค่าความผิดพลาดของวงจรฟังก์ชันสัมบูรณ์

จากการทำงานของวงจรสะท้อนกระแส M_{11} - M_{12} ซึ่งมีค่าอัตราขยายกระแสเท่ากับสอง จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{ab} และกระแสอินพุต i_{in} คือ

$$i_{ab} = 2i_{in}(1 - \varepsilon_{ps}) - I_{ref} \quad (ข1.1)$$

โดยที่

$$\varepsilon_{ps} = \begin{cases} \frac{(2g_{m11} - g_{m12})}{2g_{m11}} + \frac{1}{g_{m6}r_{o12}} & ; i_{ab} < 0 \\ \frac{(2g_{m11} - g_{m12})}{2g_{m11}} + \frac{(g_{m3} + g_{m4})}{g_{m3}g_{m4}r_{o12}} & ; i_{ab} > 0 \end{cases} \quad (ข1.2)$$

จากผลที่ได้จากการเลียนแบบการทำงานของอัลกอริธึม ADC โดยใช้ฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 จะได้ว่า $g_{m11} = 2.3939 \times 10^{-4}$ A/V, $g_{m12} = 4.7955 \times 10^{-4}$ A/V, $g_{m6} = 2.9693 \times 10^{-4}$ A/V, $g_{m3} = g_{m4} = 2.5715 \times 10^{-4}$ A/V, และ $r_{o12} = 2.898$ M Ω สำหรับกรณีที่กระแส $i_{ab} < 0$ จะได้ค่าความผิดพลาด ε_{ps} มีค่าประมาณ -4.3809×10^{-4} ในกรณีที่กระแส $i_{ab} > 0$ จะได้ค่า ε_{ps} มีค่าประมาณ 1.0833×10^{-3}

ที่โหนด E จะได้ว่า

$$i_{out} = I_{ref} - i_{D7} \quad (ข1.3)$$

จากการทำงานของวงจรฟังก์ชันสัมบูรณ์ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{D7} = |i_{ab}(1 - \varepsilon_{ab})| \quad (\text{ข1.4})$$

$$\text{เมื่อ} \quad \varepsilon_{ab} = \begin{cases} \frac{(g_{m6} - g_{m7}) + \frac{R_{LE}}{r_{o7}}}{g_{m6}} & ; i_{ab} < 0 \\ \frac{(g_{m6} - g_{m7})g_{m1} + (g_{m1} - g_{m2})g_{m6} + \frac{(r_{o7} + g_{m1}r_{o1}R_{LE})}{g_{m1}r_{o1}r_{o7}}}{g_{m6}g_{m1}} & ; i_{ab} > 0 \end{cases} \quad (\text{ข1.5})$$

จากผลที่ได้จากการเขียนแบบการทำงานของอัลกอริทึม ADC ดังรูปที่ 5.25 จะได้ว่า $g_{m6} = 2.9693 \times 10^{-4}$ A/V, $g_{m7} = 2.9711 \times 10^{-4}$ A/V, $g_{m1} = 2.5715 \times 10^{-4}$ A/V, $g_{m2} = 2.5745 \times 10^{-4}$ A/V, $r_{o1} = 3.448$ M Ω , $r_{o7} = 2.985$ M Ω , และ $R_{LE} = 1$ k Ω ถ้ากระแส $i_{ab} < 0$ จะให้ความผิดพลาด ε_{ab} มีค่าประมาณ -2.950×10^{-4} แต่ถ้ากระแส $i_{ab} > 0$ จะให้ความผิดพลาด ε_{ab} มีค่าประมาณ -3.372×10^{-4}

เมื่อพิจารณาเทอมในด้านขวามือของสมการที่ (ข1.2) และ (ข1.5) พบว่า ค่าความผิดพลาดในเทอมแรกเกิดจากความไม่สมพ้องกันของมอสเฟตในวงจรสะท้อนกระแส ซึ่งสามารถปรับปรุงได้โดยการเพิ่มค่าอัตราส่วน W/L ให้มากขึ้น เพื่อให้ค่าความนำของมอสเฟตสูงขึ้น ส่วนเทอมที่สองเกิดจากความต้านทานเอาต์พุตของวงจรสะท้อนกระแส

เมื่อแทนค่าจากสมการที่ (ข1.4) ลงใน (ข1.3) จะได้ว่า

$$i_{out} = I_{ref} - |i_{ab}(1 - \varepsilon_{ab})| \quad (\text{ข1.6})$$

จากสมการที่ (ข1.1) และ (ข1.6) ถ้ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ($2i_{in} < I_{ref}$) จะได้กระแส i_{ab} มีค่าเป็นลบ ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong 2i_{in}(1 - \varepsilon_{r6}) + \varepsilon_{ab}I_{ref} \quad (\text{ข1.7})$$

$$\text{โดยที่} \quad \varepsilon_{r6} = \varepsilon_{ab} + \varepsilon_{p5} - \varepsilon_{ab}\varepsilon_{p5} \quad (\text{ข1.8})$$

ถ้ากระแส $2i_{in}$ มีค่ามากกว่าหรือเท่ากับกระแส I_{ref} ($2i_{in} \geq I_{ref}$) จะได้กระแส i_{ab} มีค่าเป็นบวก ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} และกระแสอินพุต i_{in} จะมีค่าดังนี้

$$i_{out} \cong 2I_{ref} - (2i_{in}(1 - \varepsilon_{r6}) + \varepsilon_{ab}I_{ref}) \quad (\text{ข1.9})$$

จากสมการที่ (ข1.7) และ (ข1.9) สามารถสรุปได้ว่ากระแสเอาต์พุต i_{out} จะมีค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกขาดไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = \begin{cases} 2i_{in}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - (2i_{in}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref}) & ; 2i_{in} \geq I_{ref} \end{cases} \quad (\text{ข1.10})$$

ข2. การวิเคราะห์ความผิดพลาดสะสม

ในการวิเคราะห์ความผิดพลาดสะสมของอัลกอริธึม ADC ที่มีการลงรหัสแบบเกรย์ขนาด N บิตดังรูปที่ 3.1 จะวิเคราะห์ในกรณีที่ป้อนค่ากระแสอินพุต i_{in} เท่ากับค่ากระแสอ้างอิง I_{ref} ซึ่งจะได้คิดิจิตอลเอาต์พุตของทุกบิตมีค่าเป็น 0 (Low) ยกเว้นคิดิจิตอลเอาต์พุตของ MSB จะมีค่าเป็น 1 (High) ถ้ากำหนดให้ ε_{Cj} คือ ค่าความผิดพลาดสะสมของ One-bit Cell ที่ออกแบบโดยใช้วงจรฟังก์ชันสมบูรณ์ในลำดับที่ j โดยที่

$$\varepsilon_{Cj} = i_{outj(real)} - i_{outj(ideal)} \quad (\text{ข2.1})$$

เมื่อ $i_{outj(real)}$ คือ ค่ากระแสเอาต์พุตของ One-bit Cell ในลำดับที่ j ที่มีค่าความผิดพลาด
 $i_{outj(ideal)}$ คือ ค่ากระแสเอาต์พุตของ One-bit Cell ในลำดับที่ j ในอุดมคติ

เมื่อพิจารณาที่ One-bit Cell 1 หรือ MSB จะได้ว่า

$$i_{out1(ideal)} = 2I_{ref} - 2i_{in1} \quad (\text{ข2.2})$$

จากสมการที่ (ข1.9) จะได้ว่า

$$i_{out1(real)} = (2I_{ref} - 2i_{in1}) + 2\varepsilon_{16}i_{in1} - \varepsilon_{ab}I_{ref} \quad (\text{ข2.3})$$

เมื่อแทนค่าจากสมการที่ (ข2.2) และ (ข2.3) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{C1} = (2\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} \quad (\text{ข2.4})$$

จากสมการที่ (ข2.4) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{C1} = (2\varepsilon_{16} - \varepsilon_{ab})I_{ref} \quad (\text{ข2.5})$$

เมื่อพิจารณาที่ One-bit Cell 2 โดยที่ $i_{in2} = i_{out1}$ จะได้ว่า

$$i_{out2(ideal)} = 2i_{in2(ideal)} = 2i_{out1(ideal)} = 4I_{ref} - 4i_{in1} \quad (ข2.6)$$

จากสมการที่ (ข1.7) จะได้ว่า

$$i_{out2(real)} \cong 2i_{out1(real)}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref} \quad (ข2.7)$$

เมื่อแทนค่าจากสมการที่ (ข2.3) ลงใน (ข2.7) จะได้ว่า

$$i_{out2(real)} = (4I_{ref} - 4i_{in1}) + (8\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (4\varepsilon_{16})I_{ref} - (4\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (ข2.8)$$

หรือ

$$i_{out2(real)} \cong (4I_{ref} - 4i_{in1}) + (8\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (4\varepsilon_{16})I_{ref} \quad (ข2.9)$$

เมื่อแทนค่าจากสมการที่ (ข2.6) และ (ข2.8) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{C2} = (8\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (4\varepsilon_{16})I_{ref} - (4\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (ข2.10)$$

จากสมการที่ (ข2.10) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{C2} = (4\varepsilon_{16} - \varepsilon_{ab} - 4\varepsilon_{16}^2 + 2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (ข2.11)$$

เมื่อพิจารณาที่ One-bit Cell 3 โดยที่ $i_{in3} = i_{out2}$ จะได้ว่า

$$i_{out3(ideal)} = 2i_{out2(ideal)} = 8I_{ref} - 8i_{in1} \quad (ข2.12)$$

จากสมการที่ (ข1.7) จะได้ว่า

$$i_{out3(real)} \cong 2i_{out2(real)}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref} \quad (ข2.13)$$

เมื่อแทนค่าจากสมการที่ (ข2.9) ลงใน (ข2.13) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out3(real)} = (8I_{ref} - 8i_{in}) + (24\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (16\varepsilon_{16})I_{ref} - (16\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (8\varepsilon_{16}^2)I_{ref} \quad (ข2.14)$$

หรือ
$$i_{out3(real)} \cong (8I_{ref} - 8i_{in}) + (24\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (16\varepsilon_{16})I_{ref} \quad (ข2.15)$$

เมื่อแทนค่าจากสมการที่ (ข2.12) และ (ข2.14) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{C3} = (24\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (16\varepsilon_{16})I_{ref} - (16\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (8\varepsilon_{16}^2)I_{ref} \quad (ข2.16)$$

จากสมการที่ (ข2.16) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{C3} = (8\varepsilon_{16} - \varepsilon_{ab} - 8\varepsilon_{16}^2 + 2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (ข2.17)$$

เมื่อพิจารณาที่ One-bit Cell 4 โดยที่ $i_{in4} = i_{out3}$ จะได้ว่า

$$i_{out4(ideal)} = 2i_{out3(ideal)} = 16I_{ref} - 16i_{in1} \quad (ข2.18)$$

จากสมการที่ (ข1.7) จะได้ว่า

$$i_{out4(real)} \cong 2i_{out3(real)}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref} \quad (ข2.19)$$

เมื่อแทนค่าจากสมการที่ (ข2.15) ลงใน (ข2.19) จะได้ว่า

$$i_{out4(real)} = (16I_{ref} - 16i_{in}) + (64\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (48\varepsilon_{16})I_{ref} - (48\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (32\varepsilon_{16}^2)I_{ref} \quad (ข2.20)$$

หรือ
$$i_{out4(real)} \cong (16I_{ref} - 16i_{in}) + (64\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (48\varepsilon_{16})I_{ref} \quad (ข2.21)$$

เมื่อแทนค่าจากสมการที่ (ข2.18) และ (ข2.20) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{C4} = (64\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (48\varepsilon_{16})I_{ref} - (48\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (32\varepsilon_{16}^2)I_{ref} \quad (ข2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (ข2.22) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{C4} = (16\varepsilon_{16} - \varepsilon_{ab} - 16\varepsilon_{16}^2 + 2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (\text{ข2.23})$$

เมื่อพิจารณาที่ One-bit Cell 5 โดยที่ $i_{in5} = i_{out4}$ จะได้ว่า

$$i_{out5(ideal)} = 2i_{out4(ideal)} = 32I_{ref} - 32i_{in1} \quad (\text{ข2.24})$$

จากสมการที่ (ข1.7) จะได้ว่า

$$i_{out5(real)} \cong 2i_{out4(real)}(1 - \varepsilon_{16}) + \varepsilon_{ab}I_{ref} \quad (\text{ข2.25})$$

เมื่อแทนค่าจากสมการที่ (ข2.21) ลงใน (ข2.25) จะได้ว่า

$$i_{out5(real)} = (32I_{ref} - 32i_{in1}) + (160\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (128\varepsilon_{16})I_{ref} - (128\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (96\varepsilon_{16}^2)I_{ref} \quad (\text{ข2.26})$$

หรือ

$$i_{out5(real)} = (32I_{ref} - 32i_{in1}) + (160\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (128\varepsilon_{16})I_{ref} \quad (\text{ข2.27})$$

เมื่อแทนค่าจากสมการที่ (ข2.24) และ (ข2.26) ลงใน (ข2.1) จะได้ว่า

$$\varepsilon_{C5} = (160\varepsilon_{16})i_{in1} - (\varepsilon_{ab})I_{ref} - (128\varepsilon_{16})I_{ref} - (128\varepsilon_{16}^2)i_{in1} + (2\varepsilon_{ab}\varepsilon_{16})I_{ref} + (96\varepsilon_{16}^2)I_{ref} \quad (\text{ข2.28})$$

จากสมการที่ (ข2.28) เมื่อ $i_{in1} = I_{ref}$ จะได้

$$\varepsilon_{C5} = (32\varepsilon_{16} - \varepsilon_{ab} - 32\varepsilon_{16}^2 + 2\varepsilon_{ab}\varepsilon_{16})I_{ref} \quad (\text{ข2.29})$$

เมื่อพิจารณาค่าความผิดพลาดของกระแสเอาต์พุตของอัลกอริทึม ADC ขนาด 1 บิต หรือ One-bit Cell ในแต่ละลำดับ จะสามารถประมาณค่าความผิดพลาดเต็มสเกลของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์ขนาด N บิตได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon_C = (2^N \varepsilon_{i6} - \varepsilon_{ab} - 2^N \varepsilon_{i6}^2 + 2\varepsilon_{ab}\varepsilon_{i6}) I_{ref} \quad (\text{ข2.30})$$

$$\begin{aligned} \text{หรือ } \varepsilon_C = & (2^{N-1})\varepsilon_{ab} + (2^N)\varepsilon_{ps} - (2^{N-1} - 2 + 2^N)\varepsilon_{ab}\varepsilon_{ps} - (2^N - 2)\varepsilon_{ab}^2 + (2^{N+1})\varepsilon_{ab}\varepsilon_{ps}^2 \\ & + (2^{N+1} - 2)\varepsilon_{ab}^2\varepsilon_{ps} - (2^N)\varepsilon_{ps}^2 - (2^N)\varepsilon_{ab}^2\varepsilon_{ps}^2 \end{aligned} \quad (\text{ข2.31})$$

ข3. การวิเคราะห์จำนวนบิตที่เป็นไปได้

ความผิดพลาดสะสมที่เกิดขึ้นในการแปลงผันของอัลกอริทึม ADC ขนาด N บิต จะมีผลต่อจำนวนบิตหรือจำนวนของ One-bit Cell ที่นำมาต่อкасечกัน การวิเคราะห์จำนวนบิตที่เป็นไปได้สำหรับการต่อкасечกันของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 สามารถวิเคราะห์ได้ดังนี้

จากหลักการทํางานของอัลกอริทึม ADC ขนาด 1 บิต ที่มีการลดรหัสกรรดังรูปที่ 3.12 จะมีขั้นตอนการควอนไทซ์เท่ากับค่า $I_{ref}/2$ ดังนั้นความผิดพลาดสะสมจะมีค่าสูงสุดเท่าที่เป็นไปได้โดยไม่มีผลกระทบต่อค่าดิจิทัลเอาต์พุต คือ

$$\frac{I_{ref}}{2} \cong (2^N \varepsilon_{i6} - \varepsilon_{ab}) I_{ref} \quad (\text{ข3.1})$$

จากสมการที่ (ข3.1) สามารถประมาณค่าจำนวนบิตที่เป็นไปได้ของอัลกอริทึม ADC ที่ออกแบบโดยใช้วงจรฟังก์ชันสัมบูรณ์คือ

$$N_{ab} = \text{Round} \left\{ 1 + \log_2 \left(\frac{1 + 2\varepsilon_{ab}}{2\varepsilon_{i6}} \right) \right\} \quad (\text{ข3.2})$$

ข4. การวิเคราะห์ผลกระทบของอุณหภูมิที่เปลี่ยนแปลง

จากอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.25 การเปลี่ยนแปลงค่าอุณหภูมิจะมีผลต่อค่าแรงดันที่โหนด B หรือค่าแรงดันไบแอส v_B โดยที่

$$v_B = v_{GS8} + v_{GS9} \quad (\text{ข4.1})$$

จากสมการที่ (ก1.1) เมื่อค่ากระแสครน $i_{D8} = i_{D9} = I_B$ จะได้

$$v_{GS8} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W} \right)_8} + v_{i8}(T) \quad (\text{ข4.2})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{GS9} = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_9} + v_{t9}(T) \quad (ข4.3)$$

เมื่อแทนค่าจากสมการที่ (ข4.2) และ (ข4.3) ลงใน (ข4.1) จะได้ว่า

$$v_B = \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_8} + v_{t8}(T) + \sqrt{\frac{2I_B}{\mu(T)C_{ox}} \left(\frac{L}{W}\right)_9} + v_{t9}(T) \quad (ข4.4)$$

ถ้ากำหนดให้ v_{B1} และ v_{B2} คือ ค่าแรงดันไบแอสของวงจรถูกอุณหภูมิ 300K และที่อุณหภูมิ T ตามลำดับ จากสมการที่ (ข4.1), (ข4.2), และ (ข4.4) จะได้

$$v_{B1} = \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_8} + \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_9} + v_{t08} + v_{t09} \quad (ข4.5)$$

$$v_{B2} = \frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_8} + \frac{T}{300} \sqrt{\frac{2I_B}{\mu_0 C_{ox}} \left(\frac{L}{W}\right)_9} + v_{t08} + v_{t09} - 2\alpha(T - 300) \quad (ข4.6)$$

ถ้ากำหนดให้ $\Delta v_B = v_{B2} - v_{B1}$ (ข4.7)

เมื่อแทนค่าจากสมการที่ (ข4.5) และ (ข4.6) ลงใน (ข4.7) จะได้ว่า

$$\Delta v_B = \frac{\Delta T}{300} \left(\sqrt{\frac{2I_B}{\beta_8 \beta_9}} (\sqrt{\beta_8} + \sqrt{\beta_9}) \right) - 2\alpha \Delta T \quad (ข4.8)$$

เมื่อ $\Delta T = T - 300$ (ข4.9)

$$\beta_8 = \mu_0 C_{ox} \left(\frac{W}{L}\right)_8 \quad (ข4.10)$$

$$\beta_9 = \mu_0 C_{ox} \left(\frac{W}{L}\right)_9 \quad (ข4.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข5. การวิเคราะห์ผลตอบสนองทางความถี่

จากวงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของอัลกอริทึม ADC โดย
ใช้วงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 5.26 จะได้ว่า

ที่โหนด G

$$i_{in} = (g_{m10} + sC_{gs10})v_B - (g_{m10} + g_{ds10} + g_{o1} + sC_{gs10})v_G + (g_{ds10})v_L \quad (ข5.1)$$

ที่โหนด L

$$(g_{m10})v_B - (g_{m10} + g_{ds10})v_G + (g_{ds10} + g_{ds11} + g_{m11} + sC_{gs11} + sC_{gs12} + sC_{gs13})v_L = 0 \quad (ข5.2)$$

ที่โหนด H

$$-i_{db} = (g_{m12})v_L + (g_{ds12} + g_{o2})v_H \quad (ข5.3)$$

ที่โหนด E

$$i_{out} = (g_{m7})v_D + (g_{ds7} + g_{o3})v_E = -i_{D7} + (g_{o3})v_E \quad (ข5.4)$$

จากสมการที่ (ข5.1) ถึง (ข5.4) ถ้า $g_m \gg g_{ds}$ และ $g_m \gg g_o$ จะเขียนใหม่ได้ว่า

ที่โหนด G

$$i_{in} = (g_{m10} + sC_{gs10})(v_B - v_G)$$

หรือ

$$(v_B - v_G) = \left(\frac{1}{g_{m10} + sC_{gs10}} \right) i_{in} \quad (ข5.5)$$

ที่โหนด L

$$(g_{m10})v_B - (g_{m10})v_G + (g_{m11} + sC_{gs11} + sC_{gs12} + sC_{gs13})v_L = 0$$

หรือ

$$v_L = - \left(\frac{g_{m10}}{g_{m11} + sC_{gs11} + sC_{gs12} + sC_{gs13}} \right) (v_B - v_G) \quad (ข5.6)$$

ที่โหนด H

$$-i_{db} = (g_{m12})v_L \quad (ข5.7)$$

ที่โหนด E

$$i_{out} = -i_{D7} \quad (ข5.8)$$

เมื่อแทนค่าจากสมการที่ (ข5.6) ลงใน (ข5.7) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{ab} = \left(\frac{g_{m12}g_{m10}}{g_{m11} + sC_{gs11} + sC_{gs12} + sC_{gs13}} \right) (v_B - v_G) \quad (ข5.9)$$

เมื่อแทนค่าจากสมการที่ (ข5.5) ลงใน (ข5.9) จะได้ว่า

$$i_{ab} = \left(\frac{g_{m12}g_{m10}}{g_{m11} + sC_{gs11} + sC_{gs12} + sC_{gs13}} \right) \left(\frac{1}{g_{m10} + sC_{gs10}} \right) i_m \quad (ข5.10)$$

จากการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 (ภาคผนวก จ4) ในกรณีที่กระแส i_{ab} มีค่าเป็นลบ จะได้ว่า

$$\frac{i_{D7}}{-i_{ab}} \cong \left(\frac{g_{m7}}{g_{m6}} \right) \frac{1}{(T_{1abN}^s + 1)(T_{2abN}^s + 1)} \quad (ข5.11)$$

เมื่อ

$$T_{1abN} \cong \frac{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}}{g_{m5}g_{m6}} \quad (ข5.12)$$

$$T_{2abN} \cong \frac{C_{gs5}(C_{gs6} + C_{gs7})}{g_{m5}C_{gs6} + g_{m5}C_{gs7} + g_{m6}C_{gs5}} \quad (ข5.13)$$

เมื่อแทนค่าจากสมการที่ (ข5.8) และ (ข5.10) ลงใน (ข5.11) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{out} และ i_{in} ในกรณีที่ $2i_{in} < I_{ref}$ คือ

$$\frac{i_{out}}{i_{in}} = \left(\frac{g_{m7}g_{m12}}{g_{m11}g_{m6}} \right) \frac{1}{(T_{1abN}^s + 1)(T_{2abN}^s + 1)(T_{3abN}^s + 1)(T_{4abN}^s + 1)} \quad (ข5.14)$$

เมื่อ

$$T_{3abN} = \frac{C_{gs11} + C_{gs12} + C_{gs13}}{g_{m11}} \quad (ข5.15)$$

$$T_{4abN} = \frac{C_{gs10}}{g_{m10}} \quad (ข5.16)$$

จากการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรฟังก์ชันสัมบูรณ์ดังรูปที่ 4.30 (ภาคผนวก จ4) ในกรณีที่กระแส i_{ab} มีค่าเป็นบวก จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{D7}}{i_{ab}} \cong \left(\frac{g_{m2}g_{m7}}{g_{m1}g_{m6}} \right) \frac{(T_{3abP^S} + 1)}{(T_{1abP^S} + 1)(T_{2abP^S} + 1)} \quad (ข5.17)$$

เมื่อ $T_{1abP} \cong \frac{(g_{m1} + g_{m3})C_{gs4}}{g_{m1}g_{m4}} \quad (ข5.18)$

$$T_{2abP} \cong \frac{C_{gs6} + C_{gs7}}{g_{m6}} \quad (ข5.19)$$

$$T_{3abP} \cong \frac{C_{gs4}}{g_{m4}} \quad (ข5.20)$$

เมื่อแทนค่าจากสมการที่ (ข5.8) และ (ข5.10) ลงใน (ข5.17) จะได้ความสัมพันธ์ระหว่างค่ากระแส i_{out} และ i_{in} ในกรณีที่ $2i_{in} \geq I_{ref}$ คือ

$$\frac{i_{out}}{i_{in}} \cong - \left(\frac{g_{m2}g_{m7}g_{m12}}{g_{m1}g_{m6}g_{m11}} \right) \frac{(T_{3abP^S} + 1)}{(T_{1abP^S} + 1)(T_{2abP^S} + 1)(T_{4abP^S} + 1)(T_{5abP^S} + 1)} \quad (ข5.21)$$

เมื่อ $T_{4abP} = \frac{C_{gs11} + C_{gs12} + C_{gs13}}{g_{m11}} \quad (ข5.22)$

$$T_{5abP} = \frac{C_{gs10}}{g_{m10}} \quad (ข5.23)$$

ข6. การวิเคราะห์ความเร็วในการเปลี่ยนผัน

จากอัลกอริทึม ADC โดยใช้วงจรฟังกชันสัมบูรณ์ดังรูปที่ 5.25 ความเร็วในการเปลี่ยนผันของวงจรสามารถแยกพิจารณาได้เป็นสองส่วนคือ ค่าเวลาหน่วงที่เกิดจากวงจรร้อยที่ใช้สร้างสัญญาณกระแสเอาต์พุต ($t_{da(ab)}$) และค่าเวลาหน่วงที่เกิดจากการทำงานของวงจรเปรียบเทียบเพื่อสร้างสัญญาณดิจิทัลเอาต์พุต ($t_{dl(ab)}$) โดยค่าเวลาหน่วง $t_{da(ab)}$ สามารถพิจารณาได้จากผลตอบสองทางความถี่ของอัลกอริทึม ADC ซึ่งขึ้นอยู่กับค่าเวลากงตัวของโพลโคดเค้นเป็นหลัก [44] ส่วนค่าเวลา $t_{dl(ab)}$ จะวิเคราะห์จากวงจรรเปรียบเทียบ M_{14} - M_{17} [41], [43] ซึ่งประกอบด้วยวงจรรีโวลเวอร์เตอร์ M_{14} - M_{15} และ M_{16} - M_{17} ต่อร่วมกัน ถ้ากำหนดให้มอสเฟต M_{14} - M_{17} มีความสมพจน์กันทุกประการ จากสมการที่ (4.105) และ (4.106) จะได้ว่า $t_{DHL} = t_{DLH} = t_{DD}$ โดยที่

$$t_{dl(ab)} = t_{DPV} + t_{DDK} \quad (ข6.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_{DDJ} = \frac{C_{oJ}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (\text{ข6.2})$$

$$t_{DDK} = \frac{C_{oK}}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (\text{ข6.3})$$

เมื่อ t_{DDJ} คือ ค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของโนด J

t_{DDK} คือ ค่าเวลาหน่วงจากการเปลี่ยนสถานะลอจิกของโนด K

C_{oJ} คือ ค่าเก็บประจุที่โนด J

C_{oK} คือ ค่าเก็บประจุที่โนด K

β_C คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟตในวงจรเปรียบเทียบกระแส

เมื่อแทนค่าจากสมการที่ (ข6.2) และ (ข6.3) ลงใน (ข6.1) จะได้ว่า

$$t_{dd(ab)} = \frac{(C_{oJ} + C_{oK})}{\beta_C (V_{DD} - V_T)} \left(\frac{2V_T}{(V_{DD} - V_T)} + \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right) \quad (\text{ข6.4})$$

ถ้าค่า $C_{oJ} = 3.20 \times 10^{-14}$ F, $C_{oK} = 1.1 \times 10^{-12}$ F, $\beta_C = 141 \mu\text{A/V}^2$, $V_T = 0.51$ V, และ $V_{DD} = 3$ V ค่าเวลา $t_{dd(ab)}$ จะมีค่าประมาณ 4.3428 ns

เนื่องจากอัลกอริทึม ADC ขนาด N บิต สร้างขึ้นจากการต่อкасาดอกอัลกอริทึม ADC ขนาด 1 บิต จำนวน N วงจร ดังนั้นความเร็วในการแปลงผันของอัลกอริทึม ADC ขนาด N บิตจะมีค่าประมาณ

$$t_{C(ab)} = N t_{dd(ab)} + t_{dd(ab)} \quad (\text{ข6.5})$$

ข7. การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุด

การวิเคราะห์ค่าแรงดันแหล่งจ่ายต่ำสุดของอัลกอริทึม ADC โดยใช้วงจรฟังก์ชันสัมบูรณ์สามารถพิจารณาได้จากจำนวนอุปกรณ์สูงสุดที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ [47] จากรูปที่ 5.25 พบว่ามีจำนวนมอสเฟตสูงสุดเท่ากับ 3 ประกอบด้วยทิมอส 1 ตัว และเอ็นมอส 2 ตัวที่ต่อระหว่างแรงดันแหล่งจ่าย V_{DD} และกราวด์ ถ้ากำหนดให้มอสเฟตชนิดเดียวกันทุกตัวมีความสมพียงกัน จะได้เงื่อนไขของค่าแรงดันแหล่งจ่ายของวงจร คือ

$$(V_{DD} - 0) \geq 2v_{DSN} + v_{SDP} \quad (\text{ข7.1})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$V_{DD} \geq 2v_{DSN} + |v_{DSP}| \quad (ข7.2)$$

สำหรับเงื่อนไขการทำงานของมอสเฟตในช่วงนำกระแสอิ่มตัว คือ

$$|v_{DS}| \geq |v_{GS}| - |V_T| \quad (ข7.3)$$

จากเงื่อนไขการไบแอสมอสเฟต ค่าแรงดันระหว่างขาเดรนกับขาซอร์สต่ำสุด $|v_{DS}|_{(min)}$ ที่ยังคงทำให้มอสเฟตสามารถทำงานได้ คือ

$$|v_{DS}|_{(min)} \cong |V_T| \quad (ข7.4)$$

เมื่อแทนค่าจากสมการที่ (ข7.4) ลงใน (ข7.2) จะได้

$$V_{DD(min)} \cong 2V_{TN} + |V_{TP}| \quad (ข7.5)$$

ภาคผนวก ญ บทความวิจัยที่ได้รับการตีพิมพ์

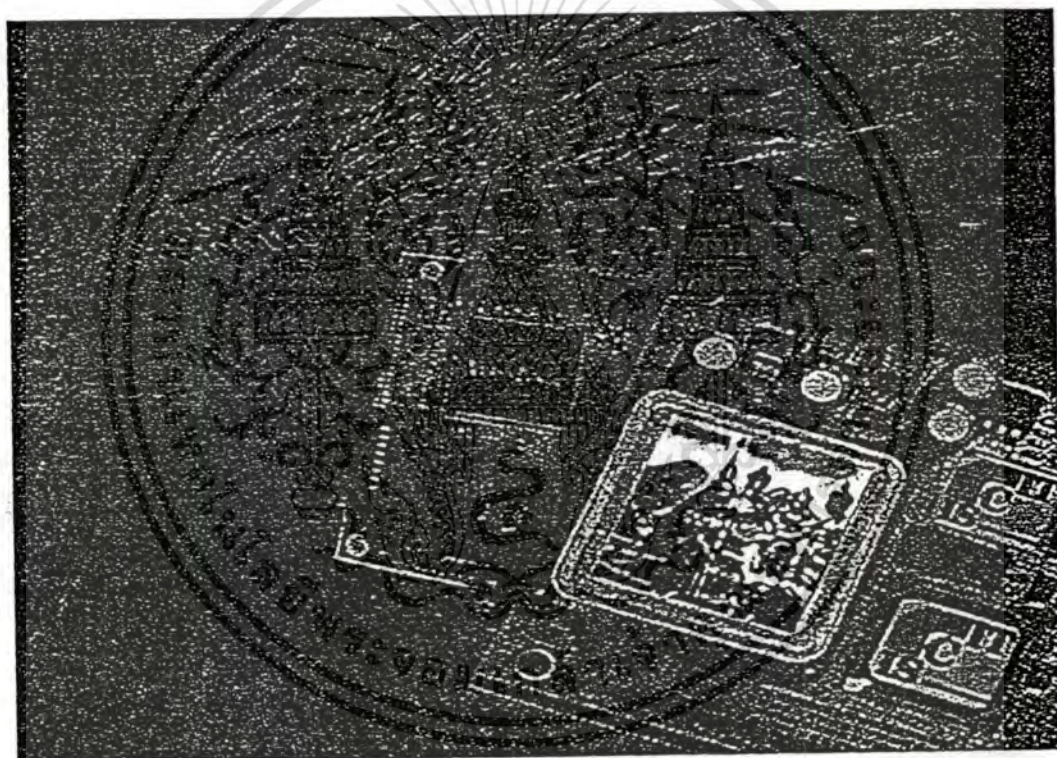
บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารและการประชุมวิชาการระดับนานาชาติมีจำนวน
4 บทความ ดังนี้

- [1] Kaewpoonsuk A., Chaikla A., Linthong A., Lee T., and Riewruja V. "An Algorithmic Gray Code ADC Using Current Limiter" Proc. of the International Symposium on Communications and Information Technology., Chiang Mai, Thailand, November 2001. pp. 287-290.
- [2] Pojanasuwanchai C., Wangwiwattana C., Chaikla A., Riewruja V., and Julsereewong P. "Fuzzy Multiple-Input Maximum Circuit in Current-mode", SICE Annual Conference in Fukui, Fukui University, Japan, August 2003. pp. 571-575.
- [3] Chaikla A., Pukkalanun T., Riewruja V., Wangwiwattana C., and Masuchun R. "A high-speed algorithmic ADC based on Maximum Circuit" Proc. of the International Conference on Control, Automation and Systems., Gyeongju, Korea, October 2003. pp. 73-77.
- [4] Riewruja V. and Chaikla A. "A high-speed algorithmic ADC" International Journal of Electronics. vol. 91, no. 12, December 2004. pp. 719-733.

PROCEEDINGS

2001 International Symposium on Communications and Information Technology

ISCIT 2001



The Merging Decade of Communication Systems and Information Technology

November 14 - 16, 2001

Chiang Mai Orchid Hotel, Chiang Mai, Thailand

TMB2-01	Closed-Form Design of Variable Fractional-Delay Filters T. B. Deng <i>Toho University, Japan</i>	279
TMB2-02	The 4th-Order Leapfrog Sigma-Delta A/D Converters Stabilized By Linear Methodology W. B. Lin and B. D. Liu <i>National Cheng Kung University, Taiwan</i>	283
TMB2-03	An Algorithmic Gray Code ADC Using Current Limiter A. Kaewpoonsuk, A. Chaikla, A. Linthong, T. Lee, and V. Riewruja <i>King Mongkut's Institute of Technology Ladkrabang, Thailand</i>	287

Session TMC 2 (Room C)	Thursday, November 15, 2001 11.00 – 12.00
---	--

RF and Microwave Circuit I

Chairpersons: 1. Y. Suzuki *Tokai University, Japan*
2. P. Akkaraekthalin *King Mongkut's Institute of Technology North Bangkok, Thailand*

TMC2-01	A 2.8V Single-Chip High-Efficiency RWD M Class-D Power Amplifier for Portable Devices K. Nandhasri, J. Ngarmnil, and K. Moolpho <i>Mahanakorn University of Technology, Thailand</i>	291
TMC2-02	Class E Switching-Mode High-Efficiency Tuned RF/Microwave Power Amplifier with Output Power Control Characteristics I. Boonyaroonate and S. Mori <i>Nippon Institute of Technology, Japan</i>	295
TMC2-03	A K-Band Balanced Vector Modulator for Direct Carrier Modulation C. Y. Ng*, M. Chongcheawchamnan**, and I. D. Robertson* * <i>University of Surrey, United Kingdom</i> ** <i>Mahanakorn University of Technology, Thailand</i>	299

Session TMD 2 (Room D)	Thursday, November 15, 2001 11.00 – 12.00
---	--

Remote Sensing and Imaging

Chairpersons: 1. K. Hamamoto *Tokai University, Japan*
2. S. Choomchuay *King Mongkut's Institute of Technology Ladkrabang, Thailand*

TMD2-01	A Note on Fuzzy C-Mean Spectral Analysis Applied to Recognize Moving Objects S. Rodtook and S. Makhanov <i>Sirindhorn International Institute of Technology, Thammasat University, Thailand</i>	303
TMD2-02	3D visualization from X-Ray Radiograph C. Pintavirooj*, C. Ninkaew*, S. Tungjitkusolmun*, and K. Hamamoto** * <i>King Mongkut's Institute of Technology Ladkrabang, Thailand</i> ** <i>Tokai University, Japan</i>	307
TMD2-03	Sensitivity Analysis of Radar Tomography System for Use in Food Imaging K. C. Lim, M. C. Lim, M. A. Hanifa, A. Abd. Karim, and M. Z. Abdullah <i>Universiti Sains Malaysia, Malaysia</i>	311

Session TAA 1 (Room A)	Thursday, November 15, 2001 13.00 – 15.00
---	--

Mobile and Wireless Communication Systems

Chairpersons: 1. M. Nakagawa *Keio University, Japan*
2. K. Wipusitwarakun *Sirindhorn International Institute of Technology, Thammasat University, Thailand*

AN ALGORITHMIC GRAY CODE ADC USING CURRENT LIMITER

A. Kaewpoonsuk, A. Chaikla, A. Linthong, T. Lee and V. Riewruja

Department of Control Engineering
Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
Phone:02-326-9989, Fax:02-326-9989
Email:vanchai@cs.eng.kmitl.ac.th

ABSTRACT

An algorithmic gray code analog-to-digital converter (ADC), which is based on gray coding, is proposed in this article. The realization method makes use of a MOS current limiter to provide a high-speed operation and low accumulated error. The proposed ADC is simple, small in size and suitable for fabrication using a standard CMOS process. Simulation results showing the performances of the proposed circuit are also included.

1. INTRODUCTION

An analog-to-digital converter is one of the important circuit building blocks in mixed analog-digital systems. It can be found in many applications such as radar systems, TV and video systems, digital telephony, computerized control systems and instrumentation systems. An ADC is a small part of the total system, therefore, it should be small in size, low-power consumption, best speed performance and simple circuit configuration. In high-speed ADC, the parallel conversion method offers the best speed performance. However, the parallel conversion ADC has a circuit complexity and spends a large portion of the chip area. In recently years, there has been a strong motivation to implement both of analog and digital circuits on the same chip using a standard CMOS digital process. It has been shown that, among the existing ADCs, the algorithmic ADC offers the advantages both circuit performance and small in size of chip area [1]-[4]. The current mode algorithmic ADC based on binary code has been proposed in literature [1]-[2]. The configuration of these approaches is simple and can be realized with a minimum of chip area. The conversion technique based on binary code requires a subtract function to generate a sawtooth-like waveform for a continuously increasing input signal. However, the sawtooth-like waveform contains a broad frequency spectrum that causes the distortion on the subtracted signal and limitation of a high-speed performance. This is due to the finite bandwidth of the subtract function circuit. To minimize the disadvantage of the binary code algorithmic ADC, a gray code algorithmic ADC has been introduced [3]-[4]. The realization of a MOS gray code algorithmic ADC can be implemented by

the use of current mirrors, current comparators and analog switches [3]. The limitation of accuracy and conversion speed of this ADC is owing to the delay and distortion which are respectively caused by the current mirror operated in class B and the overlap operation of the analog switches. In this article, a CMOS gray code algorithmic ADC is introduced. The realization method is based on the use of a MOS current limiter to generate a gray coding. The proposed ADC provides a high accuracy, high-speed operation and low accumulated error.

2. CIRCUIT DESCRIPTION

2.1 Principle of gray code ADC

The flow chart of a gray code algorithmic conversion is shown in figure 1(a), where I_{ref} is a reference signal and I_{in} is an analog input signal which has a value between zero and the reference current I_{ref} . The input signal I_{in} is amplified by a factor two to generate a signal $2I_{in}$. The $2I_{in}$ signal is compared with the reference I_{ref} . If $2I_{in}$ is less than I_{ref} , the digital output is set to zero and $2I_{in}$ becomes the analog output signal. Otherwise, the digital output is set to one and the analog output signal is then generated by subtracting the $2I_{in}$ from $2I_{ref}$. This analog output signal can either fed back to the input or on to a following identical cell to generate another bit of a resolution. Consequently, the transfer characteristic of the gray code algorithmic analog-to-digital conversion is a triangular-like waveform for continually increasing the input signal as shown in figure 1(b). It should be noted that the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit.

2.2 MOS current limiter

The MOS current limiter is shown in figure 2(a) [5]-[6]. Constant voltage source V_B provides a fixed potential at node A. Transistor M_{1A} and current source I_B provide the bias voltage which is approximately equal to $2V_T$, where V_T is the threshold voltage of MOS transistor. Therefore, transistors M_1 and M_2 are forced to the edge of conduction to minimize the crossover distortion.

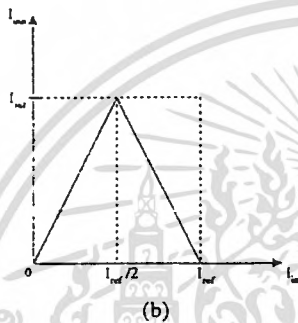
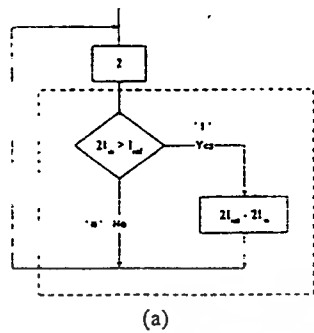


Figure 1. (a) flow chart of gray code algorithmic conversion
(b) transfer function of gray code algorithmic

Transistors M_9 - M_{10} and M_{12} - M_{13} form a unity gain current mirror. If $i_A > 0$, the current i_A flows through transistor M_8 and is reflected to node D by transistor M_9 - M_{10} . Then the currents at node C and node D are $i_{D12} = 0$ and $i_{D10} = i_A$, respectively. For the case of $i_A < 0$, the current flows through transistor M_7 . Current mirror M_{12} - M_{13} forces the current $i_{D12} = i_A$ and then the current i_{D13} is equal to zero. The DC transfer characteristics of the MOS current limiter are shown in figure 2(b) and 2(c).

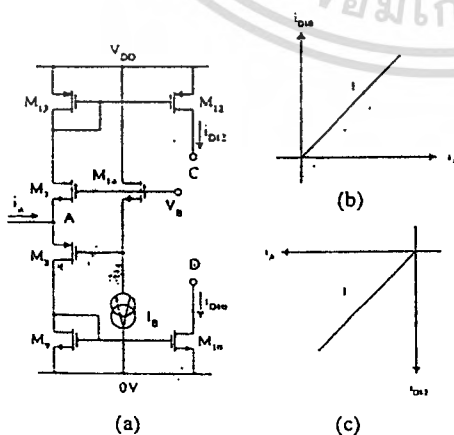


Figure 2. MOS current limiter

2.3 The proposed ADC

The proposed ADC is shown in figure 3. The function blocks in dashed-line frame of figure 1(a) is replaced by a current comparator M_{11} - M_{12} , M_{17} - M_{18} and a MOS current limiter. Transistor M_1 functions as a current follower and provides a fixed potential at input node. Transistors M_2 - M_4 and M_{15} - M_{16} , where the channel width of transistors M_3 - M_4 and M_{16} are twice of transistors M_2 and M_{15} , respectively, form a current mirror with current gain equal to two. Consider the circuit in figure 3, the current i_{in} is an input signal and I_{ref} is a reference current, the operation of the circuit can be explained as follow. The current i_{in} is amplified by a factor two by using the current mirror M_2 - M_4 . The new current $2i_{in}$ is compared with the current I_{ref} at node A. Then the current i_A can be stated as

$$i_A = 2i_{in} - I_{ref} \tag{1}$$

If $2i_{in} < I_{ref}$, the current i_A is negative and flows through the current limiter. The unity gain current mirror M_5 - M_6 reflects the current $2i_{in}$ to an output node B. Therefore, the analog output current i_{out} becomes

$$i_{out} = 2i_{in} \tag{2}$$

The current i_{D12} is reflected by the current mirror M_{12} - M_{13} to be equal to the current i_A and compared with the current i_{D11} , where i_{D11} is equal to zero. Therefore, the digital output V_O is set to low. For the current $2i_{in} > I_{ref}$, the current i_A is positive and flows through the transistor M_8 . The current i_A is reflected to the analog output node B by the current mirrors M_9 - M_{10} and M_{15} - M_{16} . The analog output current i_{out} becomes

$$i_{out} = 2i_{in} - 2i_A = 2I_{ref} - 2i_{in} \tag{3}$$

For this case, the current i_{D12} is zero and the current i_{D11} is equal to i_A . Thus the digital output V_O goes high. The analog output current i_{out} can be stated as

$$i_{out} = \begin{cases} 2i_{in} & \text{for } 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & \text{for } 2i_{in} > I_{ref} \end{cases} \tag{4}$$

The N-bit resolution can be achieved by cascading of N proposed circuits with the analog output of one circuit connected to the analog input of the following circuit as shown in figure 4.

3. SIMULATION RESULTS

The performances of the proposed circuit were observed through the use of a SPICE analog

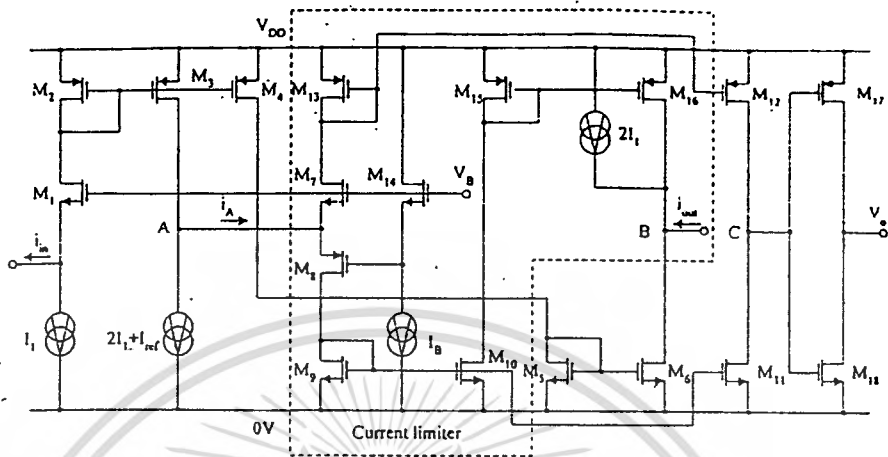


Figure 3. The proposed circuit

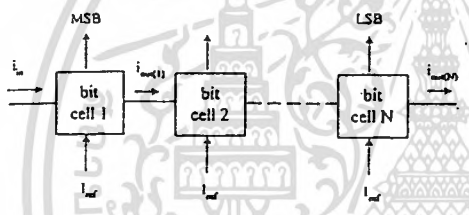


Figure 4. The N-bit resolution ADC

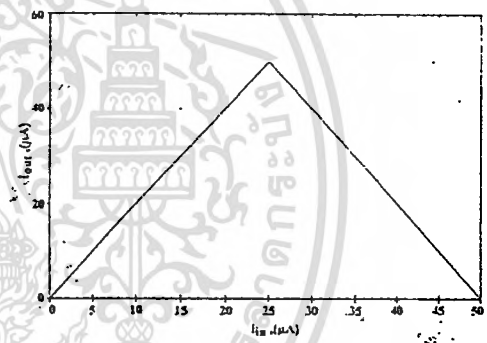


Figure 5. DC transfer characteristic

simulation program. The BSIM MOS model of the 0.7 μm CMOS process was used for the circuit simulation. The ratios of the channel width and length (W/L) of the devices used are shown in table 1. The reference current I_{ref} , I_1 and I_b are set to 50 μA , 20 μA and 10 μA , respectively, $V_B = 3.5\text{V}$ and $V_{DD} = 5\text{V}$. Figure 5 shows the DC transfer characteristic of the proposed circuit for the input signal current i_{in} which is varied from 0 to 50 μA . A eight-bit resolution ADC formed by cascading eight proposed circuits was used to verify the conversion performance. Figure 6 shows the output waveform, where the input signal is varied from 0 to 50 μA , that monitored from the analog output of the least significant bit (LSB) or from the eighth bit cell of the eight-bit ADC. It is evident that the circuit operates with high accuracy over the entire dynamic range. The frequency response of the circuit is shown in figure 7. It should be noted that a bandwidth of about 80MHz is observed.

Table 1

Transistors	W(μm)/L(μm)
M ₁	20/1
M ₂ , M ₅ , M ₈ , M ₉ , M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₅	2/1
M ₃ , M ₄ , M ₆ , M ₇ , M ₁₆	4/1
M ₁₄	3/10
M ₁₇ , M ₁₈	1/0.7

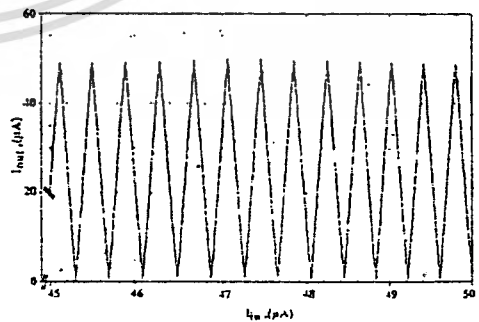


Figure 6. The analog output of the eighth bit cell

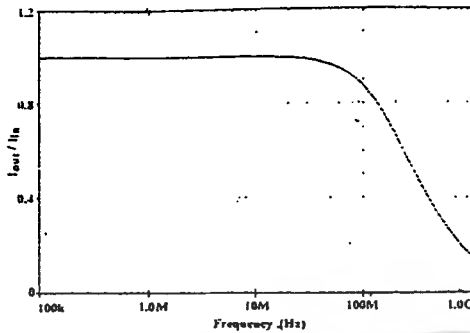


Figure 7. Frequency response

4. CONCLUSION

A CMOS integrated circuit technique for realizing an algorithmic analog to digital converter using current limiter has been introduced in this article. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over the entire dynamic range. A N-bit resolution of an ADC can be achieved by cascading of N proposed circuit. Simulation results confirmed the circuit performances have been demonstrated.

ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NSTDA) Thailand for the financial support of this work.

REFERENCES

- [1] Nairn, D.G. and Salama, C.A.T., "Algorithmic analogue/digital convertor based on current mirrors", *Electronics Letters*, Vol. 24, No.8, pp.471-472, April, 1988.
- [2] Pouliquen, P.O., Boahen, K.A., and Andreou A.G., "A Gray-code Mos Current-mode analog-to-digital converter design", *IEEE International Symposium on Circuit and Syst.*, Vol.4, pp.1924-1927, 1991.
- [3] Anuntahirunrat, K., Surakamptom, W., and Riewruja, V., "One-bit algorithmic A/D based on nonlinear circuit", *Proc.RESTECs'96 KMITL*, pp.E81-E87, 1996.
- [4] Signell S., Jonsson B., Stetrom H., and Nianxiong T., "New A/D Converter Architectures Based on Gray Coding", *Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on*, Vol.1, pp.413-416, 1997.
- [5] Guntapong R., Riewruja V., Fongsamut C., and Kaewpoonsuk A., "High Frequency CMOS

Precision Full-Wave Rectifier Circuit", *Proc. ISIC99 Singapore*, pp.13-15, 1999.

- [6] Riewruja V., Chaikla A., Tammarugwattana N., Julserewong P., and Surakamptom W., "OTA-Based Precision Full-Wave Rectifier", *Proc. KACC99, Korea*, pp. E-259-260, 1999.

SICE

SICE Annual Conference 2003 in Fukuji Final Program and Abstracts

Fukuji University
August 4-6, 2003, Fukuji, Japan

SICE 2003



Sponsored by
The Society of Instrument and Control Engineers (SICE),
technically cosponsored by
The IEEE Industrial Electronics Society, The IEEE Robotics and Automation Society,
The IEEE Control Systems Society, The IEEE Systems, Man and Cybernetics Society,
The Instrumentation, Systems, and Automation Society,
in cooperation with
IEEE Japan Council / The Institute of Control, Automation and Systems Engineers, Korea
Chinese Automatic Control Society / China Instrument Society/ IFAC Japan Council



เอกสารนี้เป็นเอกสารต้นฉบับที่จัดทำขึ้นเพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุยให้ไปใช้ประโยชน์ด้านอื่น
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามทำหัดดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีก

WPI-2
Applied Signal Processing
Chairperson: S.Tanaka (Yamaguchi Univ.)

Wednesday, August 6 13:20-15:00 room2

WPI-2-1[English] Electrical Properties of PIP Anti-fuse for the Logic Circuit Configuration

*Philjung Kim *Sunghwa College Daeseong Ku Chosun University Laeseong Jeong Chosun University Junghyun Yun Chosun University* Sinyoung Choi *Sunghwa College Jongbin Kim Chosun University*

Anti-fuse is used as the program switch element that selectively connects the logic blocks and the wire channels in FPGAs. A novel PIP anti-fuse structure consists of Poly-Si/ONO/Poly-Si layers. The anti-fuse showed a low on-state resistance of 140-200ohm. For the anti-fuse, the rupture voltage was about 7V. The rupture time was very short time of 100-500ms.

WPI-2-2[English] Realization of Lowpass and Bandpass Leapfrog Filters using OAs and OTAs

*Worapong Tangsirat *King Mongkut's Institute of Technology Ladkrabang (KMITL)* Teerasilapa Dumawipata *King Mongkut's Institute of Technology North-Bangkok (KMITNB)* Sumalee Unhavanich *King Mongkut's Institute of Technology North-Bangkok (KMITNB)* Wanlop Surakamponiom *King Mongkut's Institute of Technology Ladkrabang (KMITL)*

The systematic procedure for realizing lowpass and bandpass leapfrog ladder filters using only active elements is presented. The proposed architecture is composed of only two fundamental active building blocks, i.e., an operational amplifier (OA) and an operational transconductance amplifier (OTA), without external passive element requirement, making the approach conveniently for further integrated circuit implementation with systematic design and dense layout. As illustrations to demonstrate the systematic realization of current-mode ladder filters, a 3rd-order Butterworth low-pass filter and a 6th-order Chebyshev bandpass filter are designed and simulated using PSPICE.

WPI-2-3[English] Fuzzy Multiple-input Maximum Circuit in Current-mode

Chamaiporn Pojanasrwanchai *KMITL* Chaleompun Wangwiwattana *KMITL* *Amphawan Chalkla *KMITL* Vanchai Biewruja *KMITL* Prasit Julsereewong *KMITL*

A multiple-input maximum circuit in current-mode is described. The realization method is suitable for fabrication using CMOS technology. The proposed circuit has a very sharp transfer characteristic and is useful building block for a real-time fuzzy controller. The performances of the circuit were studied using PSPICE program. The simulation results verified the circuit performances are agreed with the expected values.

WPI-2-4[English] A Low-voltage CMOS Instrumentation Amplifier

Sukhum Luikitmaongkol *KMITL* Wandee Petchuaneechunka *KMITL* Vanchai Biewruja *KMITL* Chaleompun Wangwiwattana *KMITL* *Amphawan Chalkla *KMITL*

An instrumentation amplifier with the low supply voltage is proposed in this paper. The proposed circuit consists of two voltage-to-current converters in a balancing circuit. This converter combines accuracy with differential signal handling and a high common-mode rejection ratio. Moreover, high differential gain and bandwidth can be achieved simultaneously. PSPICE simulation results, demonstration the characteristic of this circuit, are included.

SICE Annual Conference in Fukui, August 4-6, 2003
Fukui University, Japan

Fuzzy Multiple-Input Maximum Circuit in Current-mode

Chamaiporn Pojanasuwanchai, Chaleompun Wangwiwattana, Amphawan Chaikla
Vanchai Riewruja, Prasit Julsereewong

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand
(Tel: 66-2-739-2406-7; Fax: 66-2-739-2406-7 ext. 103; Email:vanchai@cs.eng.kmit.ac.th)

Abstract: A modular current-mode circuit, which provides the maximum of n analog inputs, is described. The realization method is suitable for fabrication using CMOS technology. The proposed circuit has a very sharp transfer characteristic and is useful building block for a real-time fuzzy controller and a fuzzy computer. The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The simulation results verified the circuit performances agreed with the expected values.

Keywords: Current-mode circuit, Maximum circuit, Fuzzy Control

1. Introduction

Since fuzzy mathematics was established, it has found applications in expert system, pattern recognition, robotics, and industry control, etc. Fuzzy systems were implemented using software or hardware. The conventional software approach is large in size and its operation speed is low particularly in real-time applications. It always needs ADC and DAC interface for input and output to deal with real-time problems. This interface slows down the whole system and makes its accuracy dependent on this ADC and DAC. For this reason, hardware implementation of fuzzy systems with high speed and high efficiency will be need for real-time use such as image and speech recognition. The fuzzy operation circuits proposed so far can be categorized into the digital approach¹⁾ and the analog approach^{2,3,4)}. The digital approach is superior to the analog approach in extension, and ease of design. On the other hand, the analog circuits have higher speed and lower power consumption than their digital counterparts.

The most significant fuzzy logic functions for realizing fuzzy systems are the maximum and minimum functions. Fuzzy systems employing these two functions are used in many applications^{2,3,4)}. The realizations of maximum and minimum functions in analog circuit form so far have been implemented using either a second generation current conveyor (CCII)⁵⁾ or an operational transconductance amplifier (OTA)³⁾ as a basic active circuit element. These approaches require diode function as an electronic switch to eliminate undesirable signal to provide maximum and minimum operations. However, the high-speed performance of these approaches is limited by the delay caused by the transition between "on" and "off" state of diodes. The dynamic ranges of the maximum and minimum circuits using OTA are also limited by the input stage of an OTA. Other approaches are based on the use of CMOS circuit technique to perform maximum and minimum circuits^{4,6,7)}.

For implementing a fuzzy logic controller or fuzzy

processor by employing maximum and minimum functions, the multiple-input maximum and minimum circuits are needed^{5,6)}. The problems associated with the current-mode two-input maximum and minimum circuit for fuzzy logic controller⁷⁾ are accumulated error and low operation speed as a result of using the binary tree structure to implement the multiple-input maximum circuit. To reduce the accumulated error, the one-stage n -input maximum circuits have been proposed in the literature^{8,9)}. These approaches are taking the advantage of the fact that MOS transistor operated in saturation region conducts the maximum current for a given gate-to-source voltage.

This paper aims to present another hardware realization of the multiple-input maximum circuit based on the same principle as in^{8,9)}. However, we exploit this idea in a difference way to provide high accuracy, high speed and wide dynamic range. Simulation results confirming the characteristics of the proposed maximum circuit are also included.

2. Circuit Description

A common approach for maximum circuits is the common-source configuration as shown in Fig. 1. This implementation is very popular in bipolar designs^{10,11)}. The two-transistor version of this implementation is the well-known differential pair. The common node X follows the maximum input voltage with an offset that can be

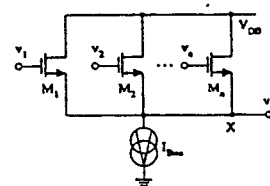


Fig. 1 Common-source implement of maximum circuit

compensated for by various circuit techniques, such as a replica bias. This maximum voltage-follower gives rise to a blunt DC transfer characteristic, with important crossover distortion.

The principle of the multiple-input maximum circuit in current-mode⁹⁾ is shown in Fig. 2. Each maximum cell for an input current is composed of two-transistor current-controlled current conveyor¹²⁾, M_{1i} and M_{2i} . The current i_{Dx} of the diode connected transistor M_x is used as the current source for this circuit. The maximum operation of this circuit, based on the shared gate-to-source voltage corresponding to the saturation value imposed by the maximum input current, can be discussed as following.

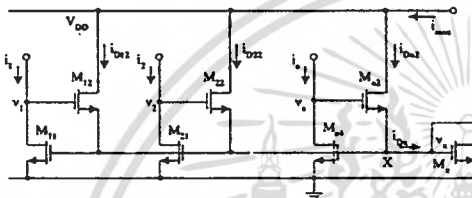


Fig. 2 Principle of the multiple-input maximum circuit

The basically design of the maximum circuit, the transistors are all matched and operated in their saturation regions. The drain current of a MOS transistor operated in saturation region is expressed as¹³⁾

$$i_D = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 = K(v_{GS} - V_T)^2 \quad (1)$$

where K , v_{GS} and V_T are the device transconductance parameter, the gate-to-source voltage and the threshold voltage, respectively. Suppose that i_1 is the largest input current among all of currents, $i_1 = \max(i_1, i_2, \dots, i_n)$. The drain-source voltages v_1, v_2, \dots, v_n of the transistors $M_{11}, M_{21}, \dots, M_{n1}, M_{12}, M_{22}, \dots, M_{n2}$, established by the input currents i_1, i_2, \dots, i_n respectively. The drain-source voltage v_1 is established by the maximum input current i_1 , thus the voltage v_1 is the maximum voltage. The matched transistors $M_{11}, M_{21}, \dots, M_{n1}$ and M_x have the same gate-to-source voltage v_x , so they should also have the same drain current, i_{Dx} in saturation. At node X, this current is compared with the $M_{12}, M_{22}, \dots, M_{n2}$ drain currents, $i_{D12}, i_{D22}, \dots, i_{Dn2}$.

At steady state, the output current i_{max} is a replica of the maximum input current, in this is case i_1 . The corresponding transistor M_{12} is in saturation. In another branch, the input voltages v_2, v_3, \dots, v_n are high, transistors $M_{22}, M_{32}, \dots, M_{n2}$ are in the non-saturation region. The differential voltage v_{diff} between the drain-source voltage v_1 and v_i fulfills the relation as

$$v_{diff} = |v_1 - v_i| > \left(\frac{2i_{Dx}}{K}\right)^{1/2}; i = 2, 3, \dots, n \quad (2)$$

The drain currents of transistors $M_{12}, M_{22}, \dots, M_{n2}$ are

$$i_{D12} = i_{Dx} \quad (3)$$

and

$$i_{D22} = i_{D12} = \dots = i_{Dn2} = 0 \quad (4)$$

Because the output current is

$$i_{max} = i_{D12} + i_{D22} + \dots + i_{Dn2} \quad (5)$$

It follows that

$$i_{max} = i_{D12} = i_{Dx} = i_1 = \max(i_1, i_2, \dots, i_n) \quad (6)$$

The above discussion confirms the maximum operation. However, the large voltage swings at input nodes induce distortion on the output signal and limit the operating speed.

The proposed multiple-input maximum circuit, with a very sharp corner in the transfer characteristic, is shown in Fig. 3. The circuit makes use of a MOS class B/AB configuration. Each maximum cell for one input variable is composed of three transistors, M_{1i}, M_{2i} and M_{3i} . The transistors M_{1i} and M_{2i} function as the current maximum selector. The transistor M_{3i} and the bias current source I_B provide the bias voltage V_B approximately equal to $3V_T$. Therefore, the transistors $M_{11}-M_{13}$ are forced to the edge of conduction to minimize the crossover distortion. The transistor M_x acts as a diode. The transistor M_2 is used to capture the maximum current to output node. The operation of the proposed circuit can be explained as follow.

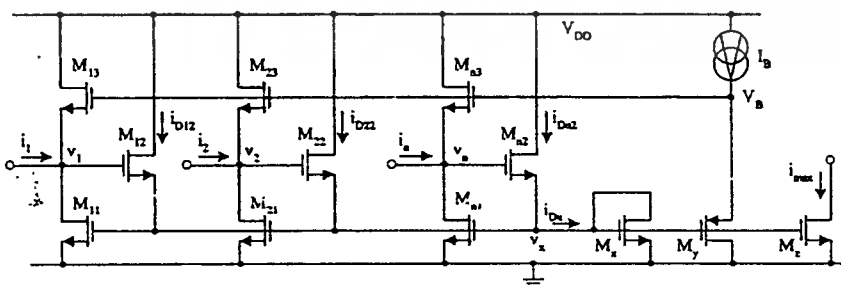


Fig. 3 The proposed multiple-input maximum circuit

Suppose that the input current i_1 is the maximum current among i_1, i_2, \dots, i_n . The drain-source voltages $v_{d1}, v_{d2}, \dots, v_{dn}$ of the transistors $M_{11}, M_{21}, \dots, M_{n1}$ are established by the input currents i_1, i_2, \dots, i_n respectively. The drain-source voltage v_{d1} is established by the maximum input current i_1 , hence the voltage v_{d1} is the maximum voltage. The transistors $M_{21}, M_{31}, \dots, M_{n1}$ are regarded as the differential circuits. Then the current i_{Dn} will flow through the transistors of the differential circuits with maximum input voltage, the drain current i_{D12} of transistor M_{12} is equal to i_{Dn} and another drain current i_{D2} of transistor M_{12} is equal to zero. Because the gates of transistor M_{11} of the maximum cells are connected together, the voltage v_x is related to the maximum voltage v_{d1} . Therefore the voltage v_x is equal to the gate-source voltage of the transistor M_{11} . In this situation, the transistors M_{11} and M_{12} form as the unity gain current mirror, so the output current i_{max} is equal to the input current i_1 , which is the maximum input current. Therefore the output current can be written as

$$i_{max} = \max(i_1, i_2, \dots, i_n) = i_1 \quad (7)$$

It is clearly seen that the proposed circuit has the maximum operation of the multiple current inputs.

3. Simulation Results

The performances of the proposed circuit were studied by the use of PSPICE analog simulation program. The BSIM MOS model of the 0.5μm CMOS process was used for the circuit simulation. The dimensions W/L of the devices are shown in Table 1. The bias current I_B and the supply voltage V_{DD} are set to 10μA and 2.5V, respectively.

Table 1 The ratio of channel widths and lengths

Device	W/L (μm)
M_{12}, M_{13}, M_n	5/1
M_{11}, M_{21}, M_{22}	5/2

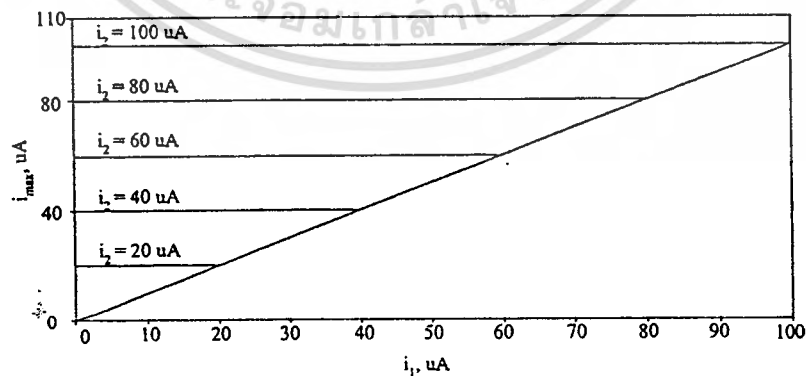
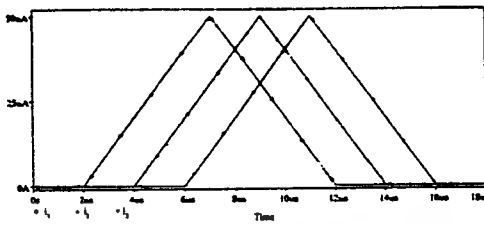


Fig. 4 DC characteristic of the proposed 2-input maximum circuit

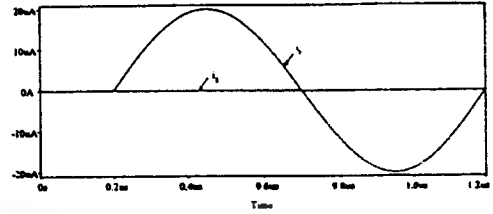
The DC transfer characteristic of the proposed two-input maximum circuit with the input current i_1 continuously changing and the other input current i_2 changing in steps of 20μA is shown in Fig. 4. It confirms very small distortion on the output signal. Fig. 5 and Fig. 6 show the simulated transient response of the proposed three-input and five-input maximum circuits, respectively. The triangular input currents are 50μA peak amplitude and 10μs time period. To compare the propagation delay of the maximum operation of the two-input maximum circuits as shown in Fig. 2 and Fig. 3, the simulation results are given in the Fig. 7. The input currents of each circuit are shown in Fig. 7(a), where the input current i_1 is 1MHz sinusoidal wave with 20μA peak-amplitude and the input current i_2 is kept at zero. The simulated curves in Fig. 7(b) and the comparison results in Fig. 7(c), where i_{max} (Fig. 2) and i_{max} (Fig. 3) are the maximum output current of the circuits as shown in Fig. 2 and Fig. 3, respectively. Referring Fig. 7(c), it can be seen that the propagation delay of the maximum operation of the two-input maximum circuits as shown in Fig. 2 and Fig. 3 are about 16ns and 6ns, respectively. The crossover delay is reduced using the MOS class B/AB configuration in Fig. 3.

4. Conclusion

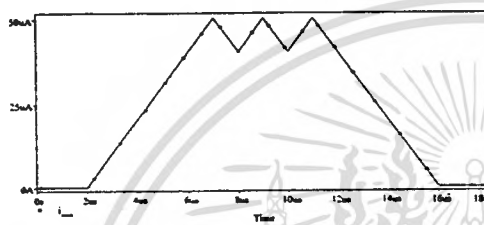
The current-mode multiple-input maximum circuit for fuzzy logic controller has been proposed. The proposed circuit designed with 3n+3 transistors, where n is the number of inputs. This structure is simple and modular, so it can be easily expanded to meet the requirement of the number of multiple-input signals. From the simulation results, it is evident that the proposed circuit has the correct function and good performances.



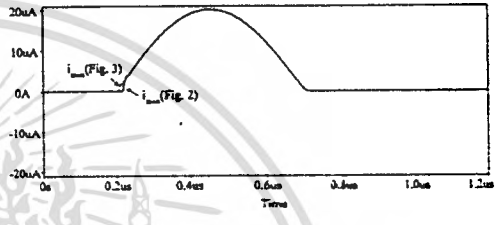
(a)



(a)

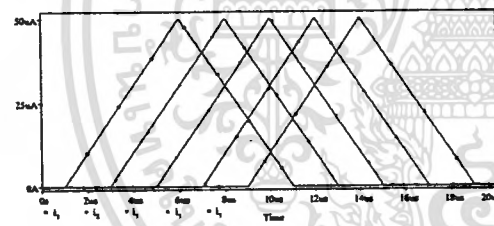


(b)

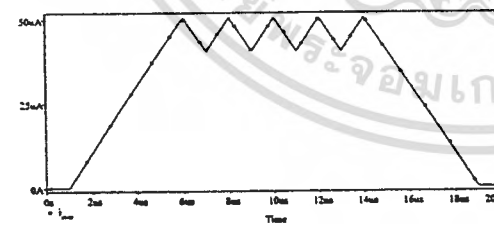


(b)

Fig. 5 Transient response of the 3-input maximum circuit
(a) the triangular input currents
(b) the maximum output current

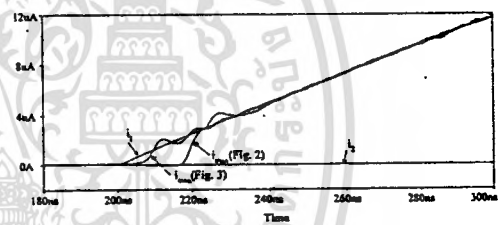


(a)



(b)

Fig. 6 Transient response of the 5-input maximum circuit
(a) the triangular input currents
(b) the maximum output current



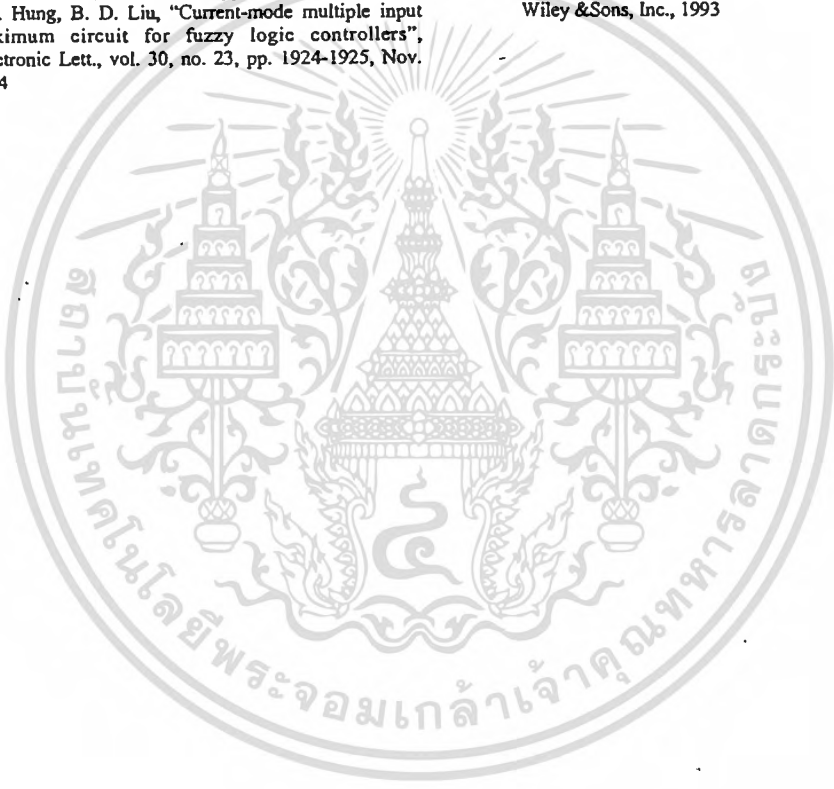
(c)

Fig. 7 Simulated results for speed performance
(a) the input currents
(b) the maximum output currents
(c) the crossover region

References

- 1) H. Watanabe, W.D. Dettloff, and K.E. Yount, "A VLSI fuzzy logic controller with reconfigurable cascable architecture", *IEEE J. Solid-State Circuits*, vol.25, no.2, pp.53-62, Jan. 1990
- 2) S. I. Liu, Y. S. Hwang and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit", *Electronics Lett.*, vol. 29, no. 1. pp. 116-118. 1993
- 3) K. Tsukano and T. Inoue, "Synthesis of Operational Transconductance Amplifier-Based Analog Fuzzy Functional Blocks and Its Application", *IEEE. Trans. Fuzzy System*, vol. 3, no.1, Feb. 1995
- 4) R.G. Carvajal, J. Ramirez-Angulo and J. Martinez-Heredia, "High-speed high-precision min/max circuits in CMOS technology" *Electronic Lett.*, vol. 36, no. 8, pp. 697-699, Apr. 2000

- 5) T. Yamakawa, "Fuzzy microprocessors rule chip and defuzzifier chip" Proc. Int. Workshop Fuzzy Syst. Appl., pp.51-52, Aug. 1988
- 6) L. Liu, Z. Li and B. Shi, "A multi-input fuzzy processor for pattern recognition", Solid-State and Integrated Circuit Technology, 1995 4th International Conference on, pp. 112-114, 24-28 Oct 1995
- 7) T. Yamakawa and T. Miki, "The current-mode fuzzy logic integrated circuits fabricated by the standard CMOS process", IEEE Trans. Comput., vol. 35, no.2, pp.161-167, 1986
- 8) I. Batruone J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit" Electronic Lett., vol. 30, no. 9, pp. 678-680, May 1994
- 9) C.Y. Hung, B. D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers", Electronic Lett., vol. 30, no. 23, pp. 1924-1925, Nov. 1994
- 10) K. Yamamoto, S. Fujii, and K. Matsuoka, "A single ship FSK modem", IEEE J. Solid-State Circuits, vol. SC-19, pp. 855-861, June 1984
- 11) T. Yamakawa, "A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control", IEEE. Trans. Neural Networks, vol. 4, pp. 496-522, May, 1993
- 12) A. G. Andreou, K. A. Boahen, P. O. Pouliquen, A. Pavasovic, R. E. Jenkins and K. Strobbeln, "Current-Mode Subthreshold MOS Circuits for Analog VLSI Neural Systems", IEEE. Trans. Neural Networks, vol. 2, no. 2, pp. 205-213, March, 1991
- 13) Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuit", chapter 1, John Wiley & Sons, Inc., 1993





Final Program & Digest Book

ICCAS 2003 International Conference on Control, Automation and Systems

October, 22 ~ 25, 2003

Gyeongju TEMF Hotel, Gyeongju, Korea



The Institute of Control, Automation and Systems Engineers, Korea
<http://www.iccas.org> · <http://www.icas.or.kr> · <http://www.ijcas.org>

TA03

Signal Processing I

Time : 09:00 - 11:00

Chairs : Prof. Ohyama Shinji(Tokyo Institute of Technology)

Room : Hyangbipa A

Dr. Dal Hwan Yoon(Semyung Univ., Korea)

09:00 - 09:20

TA03-1

Analysis of Knit Fabric Structure with its Voxel Data

Toshihiro Shinohara, Jun-Ya Takayama, Shinji Ohyama, Akira Kobayashi(Tokyo Institute of Technology)

For identifying how a sample knit fabric is woven a method to obtain positional information of each yarn of the sample from voxel data made out of its x-ray CT images is newly proposed in this paper. The positional information is obtained by tracing the each yarn. The each yarn is traced by estimating a direction of the yarn in a certain small region in which the yarn can be regarded as straight and moving the region slightly along the estimated direction alternately. The yarn direction is estimated by correlating the voxel data in the region with a three-dimensional yarn model. The ...



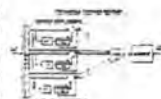
09:20 - 09:40

TA03-2

Adaptive Noise Reduction on the Frequency Domain using the Sign Algorithm.

Dalhwan Yoon, Jaekyung Lee(Semyung Univ., Korea)

The proposed structure using the modified DFT(MDFT) has the minimum quantity of operations to enable nonblock in order to process from the stable convergence. In order to improve the convergence speed is applied to Sign algorithm that the input auto-correlation matrix is approximately diagonalized by using the discrete Fourier transform(DFT) and normalized by the time-variable step size algorithm. In General, the normalizing by spectral power effect to improve the convergence speed.



09:40 - 10:00

TA03-3

Search Vector Algorithm for BMPC method

Fujio Tonumi, Jun-Ya Takayama, Shinji Ohyama, Akira Kobayashi(Tokyo Institute of Technology, Japan)

- Introduction
- Algorithm of BMPC method
- Search vector method
- Simulation
- Conclusion

10:00 - 10:20

TA03-4

Design and Implementation of IIR Multiple Notch Filter with Modified Pole Zero Placement Algorithm

Kobchai Dejhan, Payao Thoopluang(King Mongkut's Institute of Technology Ladkrabang., Thailand), Surapun Yimman, Watcharapong Hinjit, Weerasak Ussawongaraya(King Mongkut's Institute of Technology North Bangkok, Thailand)

- A design and construction of IIR multiple notch filter
- The design IIR Notch Filter with Modified Pole Zero Placement Algorithm
- The design IIR notch filter by applying least square approximation technique
- Algorithm design and system simulation are performed on MATLAB
- Implemented on TMS320C31 DSP board

10:20 - 10:40

TA03-5

A Current-mode Multiple-Input Minimum Circuit For Fuzzy Logic Controllers

Yot Mettasitthikorn, Chamaiporn Pojanasuwanchai, Vanchai Riewruja, Anuchit Jarunwanawat, Prasit Julserewong(KMITL)

This paper presents a current-mode multiple-input minimum circuit. The proposed circuit can be implemented by applying De Morgan's law. The circuit diagram is simple and modular. It operates using a single 2.5V supply and has very low dissipation. The realization method is suitable for fabrication using CMOS technology and all transistors are operated in their saturation region. The performances of this proposed circuit were studied using the PSPICE analog simulation program. The simulation results show the approval of this circuit that it has adequate basic performances for a real-time fuzzy controller and a fuzzy computer.

10:40 - 11:00

TA03-6

A high-speed algorithmic ADC based on Maximum Circuit

Amphawan Chaikla, Tattaya Pukkalanun, Vanchai Riewruja, Chaleompun Wangwattana, Ruedee Mesuchun(KMITL)

This paper presents a high-speed algorithmic analog-to-digital converter(ADC), which is based on gray coding. The realization method makes use of a two-input maximum circuit to provide a high-speed operation and a low-distortion in the transfer characteristic. The proposed ADC based on the CMOS integrated circuit technique is simple and suitable for implementing a high-resolution ADC. The performances of the proposed circuit were studied using the PSPICE analog simulation program. The simulation-results verifying the circuit performances are agreed with the expected values.

A high-speed algorithmic ADC based on Maximum Circuit

Amphawan Chaikla, Tattaya Pukkalanun, Vanchai Riewruja,
Chaleompun Wangwiwattana, and Ruedee Masuchun

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok, Thailand
(Tel: +66-2-739-2406-7; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract: This paper presents a high-speed algorithmic analog-to-digital converter (ADC), which is based on gray coding. The realization method makes use of a two-input maximum circuit to provide a high-speed operation and a low-distortion in the transfer characteristic. The proposed ADC based on the CMOS integrated circuit technique is simple and suitable for implementing a high-resolution ADC. The performances of the proposed circuit were studied using the PSPICE analog simulation program. The simulation-results verifying the circuit performances are agreed with the expected values.

Keywords: gray code ADC, algorithmic ADC, maximum circuit, CMOS-based circuit

1. INTRODUCTION

An analog-to-digital converter (ADC) is an important circuit building block in a mixed analog-digital system. It can be used as a component in many applications such as radar systems, TV and video systems, digital telephony, computerized control systems, and instrumentation systems. Since ADC is a small part of the whole system, it should be simple and small in size. Moreover, low-power consumption and high-speed performance become necessary. For high-speed ADC, the parallel conversion method offers the highest speed performance. However, the parallel conversion ADC has a circuit complexity and spends a large portion of the chip area. In recent years, the demand of high performance, portable and battery-powered equipment arises causing a strong motivation to implement both analog and digital circuit on the same chip using a standard CMOS process. The studies have shown that among the existing ADCs, the algorithmic ADC offers the advantages of both the circuit performance and smaller size of chip area [1]-[4]. In addition, the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit. Thus, the N-bit resolution of an algorithmic ADC can be simply realized by cascading of N-bit cells. There are two techniques to implement an algorithmic ADC, one is binary coding and the other is gray coding. For binary coding, the conversion technique requires the subtract function to generate a sawtooth-like waveform for a linearly increasing input signal. The current mode binary code algorithmic ADC has been also proposed in literature [1]-[2]. The configuration of these approaches is simple and can be realized with a minimum chip area. However, two major limitations of the binary code algorithmic ADC are determined. Firstly, the accumulation of a signal error, occurred during the bit generation, deteriorates the accuracy of the ADC and limits the resolution of the ADC. Secondly, the finite bandwidth of the subtract-function circuit causes the distortion on the subtracted signal due to the broad frequency spectrum of the sawtooth-like waveform. Therefore, a high-speed performance of the ADC is limited. To minimize the disadvantages of such ADC, an algorithmic ADC based on gray coding technique has been introduced [3]-[4]. The transfer characteristic of gray code algorithmic conversion is triangular-like waveform. The advantage of gray code algorithmic ADC is that the accumulated error is smaller than that of a binary code one [4]. The realization of a MOS gray code algorithmic ADC can be implemented using current mirrors, current comparators [5], and the analog switches [3].

However, the accuracy and the conversion speed of this ADC are yet limited by the delay, caused by the current mirror operated in class B, and the distortion, caused by the overlap operation of the analog switches.

The purpose of this paper is to propose a CMOS circuit technique for the realization of an algorithmic ADC. The technique is based on gray coding which utilizes the maximum circuit to achieve a high-speed operation and high-accuracy. Consequently, the proposed ADC is suitable for realization a high resolution ADC.

2. CIRCUIT DESCRIPTION

2.1 Principle of gray code ADC

An algorithmic analog-to-digital conversion technique based on gray coding can be described by the flow chart shown in Fig. 1(a), where I_{ref} is a reference signal and i_{in} is an analog input signal, which has a value between zero and the reference I_{ref} . The input signal i_{in} is amplified by a factor of two to generate a signal $2i_{in}$. The $2i_{in}$ signal is compared with the reference I_{ref} . If $2i_{in}$ is less than I_{ref} , a digital output D_n is set to low and $2i_{in}$ becomes the analog output signal. Otherwise, the digital output D_n is set to high and the analog output signal is then generated by subtracting the $2i_{in}$ from $2I_{ref}$. This analog output signal can feed either back to the input or onto a following identical cell to generate another bit of resolution. Consequently, the transfer characteristic of the gray code algorithmic analog-to-digital conversion is a triangular-like waveform for continually increasing the input signal as shown in Fig. 1(b). It should be noted that the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit.

2.2 Two-input maximum circuit

Fig. 2 shows the circuit diagram of two-input maximum operation [6]. The implementation of this circuit is based on the shared gate-source voltage corresponding to the saturation value imposed by the maximum input current. The transistors M_6 - M_8 and M_{11} - M_{13} form as the maximum selector. The transistor M_{15} and the bias current I_{bias} provide the bias voltage V_{bias} approximately equal to $3V_T$, where V_T is the threshold voltage M_6 - M_8 , and M_{11} - M_{13} are forced to the edge of conduction to minimize the crossover distortion. The diode connected transistor M_{14} and the transistor M_{16} form as the unity gain current mirror to capture the maximum current I_{max} to output node. The operation of maximum circuit in Fig. 2 can be explained as follow.

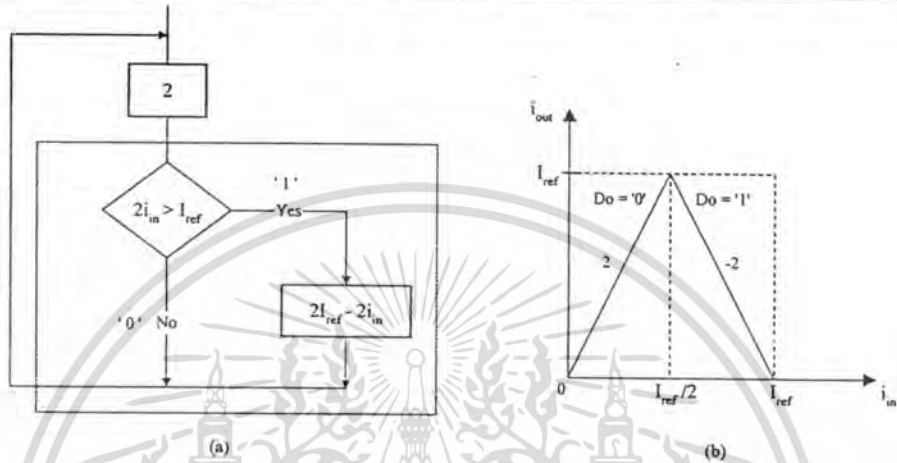


Fig. 1 Principle of gray code algorithmic conversion
(a) flow chart
(b) transfer characteristic

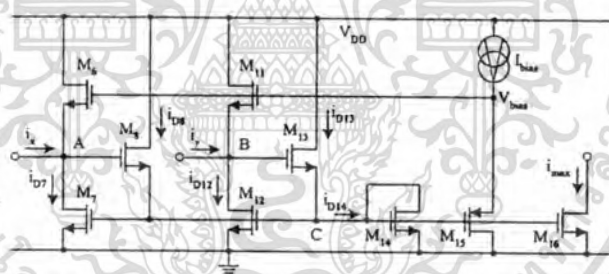


Fig. 2 The two-input maximum circuit

The transistors are all matched and operated in their saturation regions. The drain current of NMOS transistor operated in saturation region is expressed as [7]

$$i_D = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 = K (v_{GS} - V_T)^2 \quad (1)$$

where K , v_{GS} , and V_T are the device transconductance parameter, the gate-source voltage, and the threshold voltage, respectively.

Suppose that the current i_x is greater than the current i_y ($i_x > i_y$), which can be stated as

$$i_x = \max(i_x, i_y) \quad (2)$$

The voltages at node A and node B are established by the currents i_x and i_y , respectively. Thus the voltage v_A is also greater than the voltage v_B . The gates of transistor M_7 , M_{12} , and M_{14} are connected together. Then, their gate-source voltages can be given by

$$v_{GS7} = v_{GS12} = v_{GS14} \quad (3)$$

Based on Eqs. (1)–(3), the transistors M_7 , M_{12} , and M_{14} have the same drain current as

$$i_{D7} = i_{D12} = i_{D14} = i_s \quad (4)$$

In saturation, the current i_{D12} flows through the transistor M_{12} increasing the gate-source voltage of the transistor M_{13} , which effects the transistor M_{13} to cutoff. Therefore the drain currents i_{D13} can be stated as

$$i_{D13} = 0 \quad (5)$$

Considering at node C, the drain current i_{D14} can be written as

$$i_{D14} = i_{D8} + i_{D13} \quad (6)$$

Substituting Eq. (5) into Eq. (6), the drain current i_{D14} can be rewritten as

$$i_{D14} = i_{D8} = i_{D7} = i_x \quad (7)$$

The current i_{D14} is mirrored into maximum output node by the current mirror M_{14} and M_{16} . Then the current i_{max} can be given by

$$i_{max} = i_{D14} = i_x = \max(i_x, i_y) \quad (8)$$

The above discussion verifies the maximum operation of the circuit in Fig. 2.

2.3 The proposed ADC

The proposed one-bit cell gray-code algorithmic ADC circuit is shown in Fig. 3. The decision block inside the dashed line frame in Fig. 1(a) is replaced by the two-input maximum circuit, the reference current I_{ref} and the current mirrors M_4 - M_5 , M_9 - M_{10} , M_{17} - M_{18} , as shown in Fig. 3. The transistors M_1 - M_3 form a dual-output negative current mirror with the current gain equal to two. The transistors M_{19} - M_{24} function as a current comparator [5] used to compare the current i_{D19} with the current i_{D20} to generate the digital output. Consider the circuit in Fig. 3, the currents i_{in} and I_{ref} are the input signal and the reference current, respectively. The operation of the proposed circuit can be explained as follow.

The input signal current i_{in} is multiplied by a factor of two using the current mirror M_1 - M_3 , where the channel width of transistors M_2 and M_3 are twice compared to transistor M_1 's. The two-input maximum circuit generates the analog output signal i_{out} and the digital output signal V_{out} at node F and node I, respectively according to compare the new signal current $2i_{in}$ with the current I_{ref} . From the maximum operation, the current i_{max} can be stated as

$$i_{max} = \begin{cases} I_{ref} & ; 2i_{in} < I_{ref} \\ 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (9)$$

The current i_{D8} is mirrored to node D using the unity-gain current mirror M_9 - M_{10} . Thus, the current i_x can be given by

$$i_x = i_{D10} - i_{D13} = i_{D8} - i_{D13} \quad (10)$$

Considering at node E, the current i_{D17} can be expressed as

$$i_{D17} = i_{max} - I_{ref} \quad (11)$$

The unity-gain current mirror M_4 - M_5 and the double-gain current mirror M_{17} - M_{18} reflect the current $2i_{in}$ and i_{D17} to node F, respectively. Thus, the output current i_{out} can be written as

$$i_{out} = i_{D15} - i_{D18} = 2i_{in} - 2i_{D17} \quad (12)$$

Substituting Eq.(11) into Eq.(12), we obtain

$$i_{out} = 2i_{in} - 2(i_{max} - I_{ref}) \quad (13)$$

Substituting Eq.(9) into Eq.(13), the analog output current i_{out} can be rewritten as

$$i_{out} = \begin{cases} 2i_{in} & ; 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & ; 2i_{in} \geq I_{ref} \end{cases} \quad (14)$$

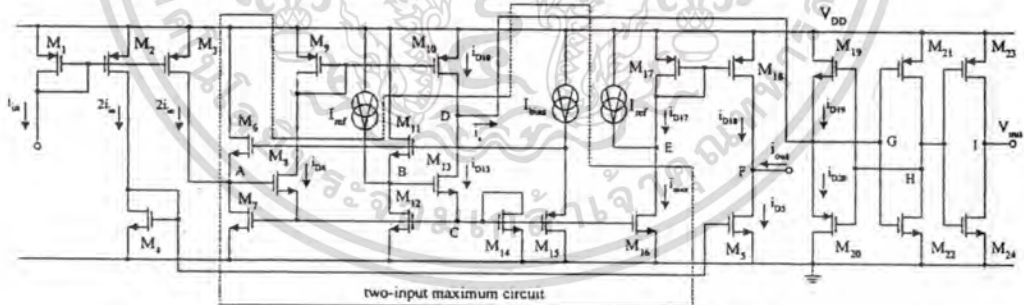


Fig. 3 The proposed one-bit cell Gray ADC

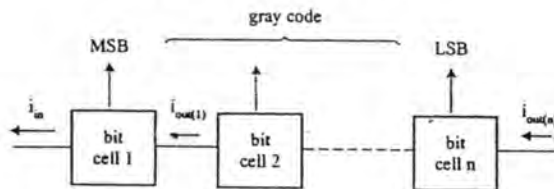


Fig. 4 The N-bit resolution ADC

Consequently, if $2i_{in} < I_{ref}$, the current i_n is equal to the current $-i_{D13}$ or $-I_{ref}$ and flows through the current comparator M_{19} - M_{24} . The current i_{D19} is equal to the reference current I_{ref} and the current i_{D20} is zero. Then the output voltage V_{out} of the current comparator is set to low. For the case of $2i_{in} \geq I_{ref}$, the currents i_{D19} and i_{D20} are forced to be zero and $2i_{in}$, respectively. Thus the output voltage V_{out} goes high.

For the N-bit resolution, the N proposed circuits are cascaded with the analog output of one circuit connecting to the analog input of the following circuit as shown in Fig. 4.

3. SIMULATION RESULTS

The performances of the proposed circuit were observed through the use of PSPICE analog simulation program. The BSIM MOS model of the 0.5μm CMOS process was used for the circuit simulation. The ratios of the channel width and length (W/L) of the devices used are shown in Table I. The reference current I_{ref} and the bias current I_{bias} are set to 50μA and 10μA, respectively. The supply voltage V_{DD} is set to 3.3V. Fig. 5 shows the DC transfer characteristic of the proposed circuit and the digital output voltage for the input

signal current, which is varied from 0 to 50μA. It is apparent that the circuit exhibits low distortion of the transfer characteristic. The frequency response of the circuit is shown in Fig. 6. It should be noted that a bandwidth of approximately 65MHz is observed. A four-bit resolution ADC formed by cascading four proposed circuits was used to verify the conversion performance. Fig. 7 shows the output waveform that monitored from the analog output of the least significant (LSB), or from the fourth bit cell of the four-bit ADC. It is evident that the circuit operates with high accuracy over the entire dynamic range.

Table I Dimensions of the MOS Transistors

Transistors	W(μm)/L(μm)
$M_{12}, M_{13}, M_{14}, M_{15}, M_{18}$	20/1
$M_{17}, M_{18}, M_{19}, M_{17}$	10/1
$M_{2}, M_{7}, M_{11}, M_{12}, M_{14}, M_{16}$	4/1
$M_{9}, M_{10}, M_{21}, M_{22}, M_{23}, M_{24}$	2/1
M_{17}, M_{19}, M_{20}	1.2/0.5

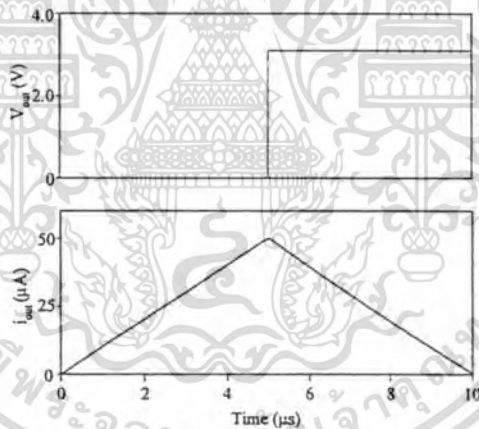


Fig. 5 DC transfer characteristic and digital output

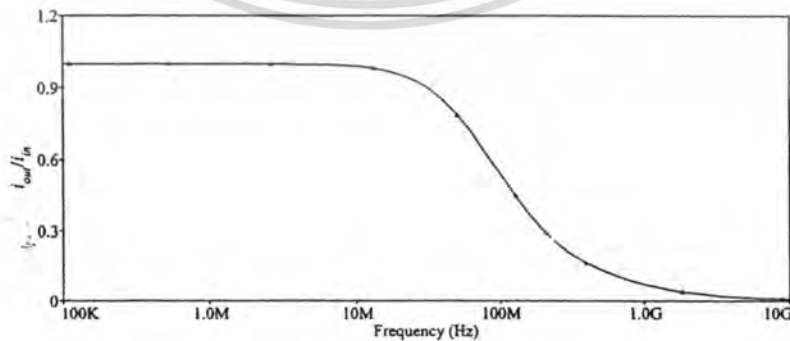


Fig. 6 Frequency Response

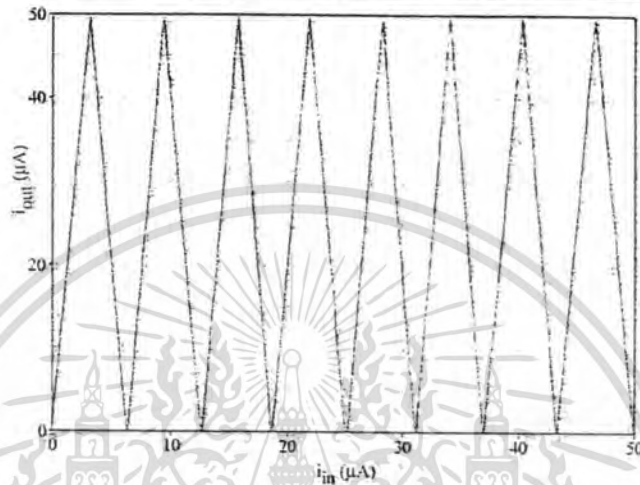


Fig. 7 Analog output of the fourth bit cell

4. CONCLUSION

This paper describes a CMOS integrated circuit technique for realizing an algorithmic analog to digital converter using the current-mode two-input maximum circuit. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over an entire dynamic range. The proposed ADC is simple and suitable for realization a high resolution ADC. An N-bit resolution ADC can be achieved by cascading of N proposed circuits. PSPICE simulation results validating the circuit performances are agreed with the proposed technique.

REFERENCE

- [1] K. Anuntahirunrat, W. Surakamponorn, and V. Riewruja, "One-bit algorithmic A/D based on nonlinear circuit", *Proc.RESTEC'S'96 KMITL*, pp. E81-E87, 1996.
- [2] N Nairn, D.G., and Salama, C.A.T., "Algorithmic analogue/digital converter based on current mirrors", *Electronics Letters*, Vol. 24, No.8, pp.471-472, April 1988.
- [3] P.O. Pouliquen, K.A. Boahen, and A.G.Andreou, "A Gray-code Mos Current-mode analog-to-digital converter design", *IEEE International Symposium on Circuit and Syst.*, Vol.4, pp.1924-1927, 1991.
- [4] S. Signell, B. Jonsson, H. Stetrom, and T. Nianxiong, "New A/D Converter Architectures Based on Gray Coding", *Proceedings of 1997 IEEE International Symposium on Circuits and Systems, 1997. ISCAS '97*, Vol.1, pp.413-416, 1997.
- [5] D.A. Freitas, and K.W. Current, "CMOS current comparator circuit", *Electronics letters*, Vol.19, pp. 695-697, 1983.
- [6] C. Pojanasuwanchai, C. Wangwiwattana, A. Chaikla, V. Riewruja, and P. Julserewong, "Fuzzy Multiple-Input Maximum Circuit in Current-mode", *SICE Annual Conference in Fukui, Japan*, pp. 571-575, 2003.
- [7] Paul R. Gray, and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, charter 1, John Wiley & Sons, Inc., 1993.

I S S N 0 0 2 0 - 7 2 1 7

International Journal of
ELECTRONICS

Volume 91



Taylor & Francis
Taylor & Francis Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERNATIONAL JOURNAL OF ELECTRONICS

Analogue electronics

Analogue CMOS prototype vision chip with fuzzy Kohonen network processing for grey level image segmentation

J. Garcia-Lamont, J. A. M. Cadenas and F. Gomez-Castaneda

697

A high-speed algorithmic ADC

V. Riewruja and A. Chaikla

719

New voltage and current-mode APS using current controlled conveyor

S. Maheshwari

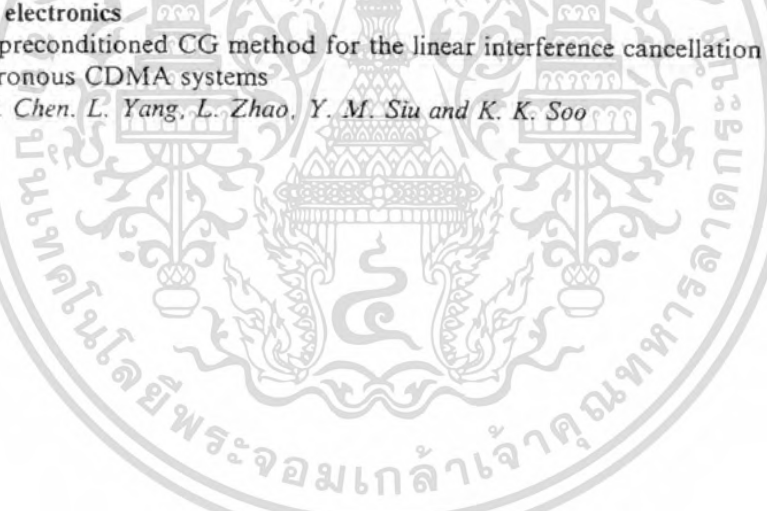
735

Digital electronics

SSOR preconditioned CG method for the linear interference cancellation of asynchronous CDMA systems

R. S. Chen, L. Yang, L. Zhao, Y. M. Siu and K. K. Soo

745



A high-speed algorithmic ADC

VANCHAI RIEWRUJA†* and AMPHAWAN CHAIKLA†

A method for realizing high-speed algorithmic analogue-to-digital converter (ADC) is presented in this paper. The realization method based on the proposed absolute function circuit, which performs a low-distortion in the transfer characteristic, is utilized. The proposed ADC is simple, small in size and suitable for implementing a high-resolution ADC. Performances of the proposed circuit are discussed in detail and confirmed through Cadence Spectre simulation results.

1. Introduction

An analogue to digital converter is an important circuit building block in a mixed analogue–digital system. It can be found in many applications such as radar systems, TV and video systems, digital telephony, computerized control systems and instrumentation systems. An ADC is a small part of the whole system, therefore it should be simple and small in size. Moreover, low-power consumption and best speed performance become necessary. For high-speed ADC, the parallel conversion method offers the best speed performance. However, the parallel conversion ADC has a circuit complexity and spends a large portion of the chip area. In recent years, there has been a strong motivation to implement both analogue and digital circuit on the same chip using a standard CMOS process. This is due to the demand of high performance, portable and battery-powered equipment. It has been shown that, among the existing ADCs, the algorithmic ADC offers the advantages of both the circuit performance and small in size of chip area (Pouliquen *et al.* 1991, Fong *et al.* 1994, Signell *et al.* 1997, Chang and Lee 1998, Zheng *et al.* 2000, Quinn and Pribytko 2003). In addition, the N-bit resolution of an algorithmic ADC can be simply realized by cascading of N-bit cells. There are two techniques for implementing an algorithmic ADC, which are binary coding and gray coding. For binary coding, the conversion technique requires the subtract function to generate a sawtooth-like waveform for a linearly increasing input signal. The current mode binary code algorithmic ADC has been proposed in literatures (Chang and Lee 1998, Zheng *et al.* 2000, Quinn and Pribytko 2003). The configuration of these approaches is simple and can be realized with a minimum of chip area. However, two major limitations of the binary code algorithmic ADC are introduced. First, the accumulation of a signal error, according to the bit generation, deteriorates the accuracy of the ADC and limits the resolution of the ADC. Second, the finite

Received 14 June 2003. Accepted 13 November 2004.

* Corresponding author. E-mail: vanchai@cs.eng.kmitl.ac.th

†The Faculty of Engineering, King Mongkut's Institute of Technology, Ladkrabang, Bangkok 10520, Thailand.

bandwidth of the subtract function circuit causes the distortion on the subtracted signal. This is due to the sawtooth-like waveform containing a broad frequency spectrum. Therefore, a high-speed performance of the ADC is limited. To minimize the disadvantages of such ADC, an algorithmic ADC based on gray coding technique has been introduced (Pouliquen *et al.* 1991, Signell *et al.* 1997). The advantage of gray code algorithmic ADC is that the accumulated error is smaller than that of a binary code one (Signell *et al.* 1997). The realization of a MOS gray code algorithmic ADC can be implemented using current mirrors, current comparators and analogue switches (Pouliquen *et al.* 1991). However, the accuracy and the conversion speed of this ADC are limited by the delay caused by the current mirror operated in class B and the distortion caused by the overlap operation of the analogue switches.

The purpose of this paper is to propose a CMOS circuit technique for the realization of an algorithmic ADC. The technique is based on gray coding which utilizes absolute function circuit to achieve high-speed operation and high-accuracy. Consequently, the proposed ADC is suitable for realization of a high-resolution ADC.

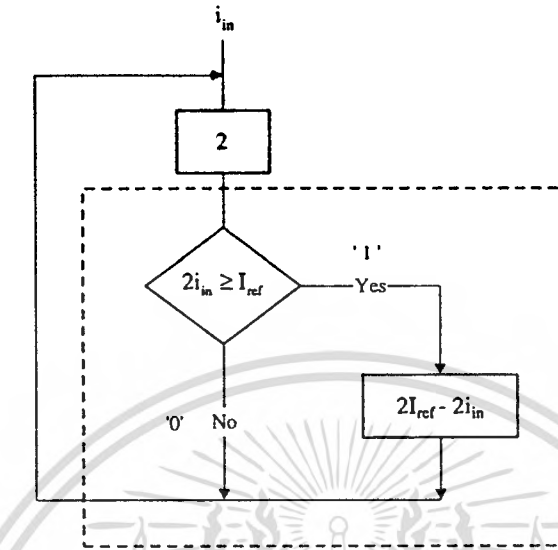
2. Circuit description

An algorithmic ADC technique based on gray coding can be described as in the flow chart in figure 1(a), where I_{ref} is a reference signal and i_{in} is an analogue input signal which has a value between zero and the reference I_{ref} . The input signal i_{in} is amplified by a factor of two to generate a signal $2i_{in}$. The $2i_{in}$ signal is then compared with the reference I_{ref} . If $2i_{in}$ is less than I_{ref} , the digital output is set to low and $2i_{in}$ becomes the analogue output signal. Otherwise, the digital output is set to high and the analogue output signal is then obtained by subtracting the $2i_{in}$ from $2I_{ref}$. This analogue output signal can be either fed back to the input or fed onto a following identical cell to generate another bit of resolution. It should be noted that the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit. The transfer characteristic of the gray code algorithmic ADC is a triangle-like waveform for continually increasing the input signal as shown in figure 1(b). It can be seen that the dynamic range of the input signal is equal to I_{ref} .

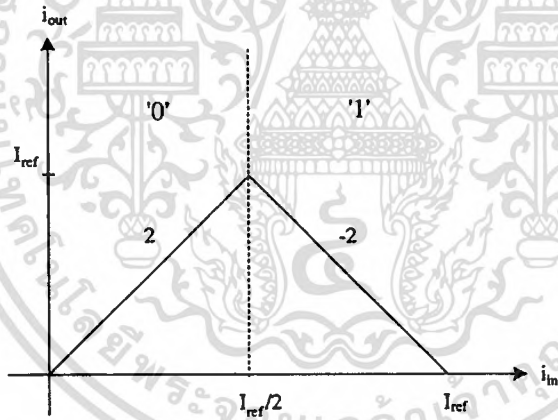
2.1. Absolute function circuit

The principle of the absolute function circuit is shown in figure 2. The current source I_B , transistors M_8 and M_9 provide the bias voltage V_B approximately equal to $3V_T$, where V_T is the threshold voltage of the MOS transistor. Therefore, transistors M_1 – M_5 are forced to operate at the edge of conduction to alleviate the crossover distortion. For a positive current i_{ab} , which flows through the transistor M_1 then causes the voltage at node A to increase and the gate-source voltage of the transistor M_5 to decrease effecting M_5 to cutoff. Similarly, the flow of a negative current i_{ab} through the transistor M_5 causes the transistors M_1 – M_4 to cutoff. Therefore the currents i_{D5} and i_{D1} can be given by

$$i_{D5} = i_{ab} \quad \text{and} \quad i_{D1} = 0 \quad \text{for} \quad i_{ab} < 0 \quad (1a)$$



(a)



(b)

Figure 1. Principle of gray code algorithmic conversion. (a) Flow chart. (b) Transfer characteristic.

and

$$i_{D5} = 0 \text{ and } i_{D1} = i_{ab} \text{ for } i_{ab} \geq 0. \tag{1b}$$

The unity gain current mirror M_1 – M_4 reflects a positive current i_{ab} in order to add to the current i_{D5} that is equal to a negative current i_{ab} . Consequently, the current i_{D6} , the sum of i_{D5} and i_{D1} , is reflected through the current i_{D7} by the unity gain current mirror M_6 – M_7 . Then the current i_{D7} can be stated as

$$i_{D7} = i_{D5} + i_{D1} = i_{D5} + i_{D2} = |i_{ab}|. \tag{2}$$

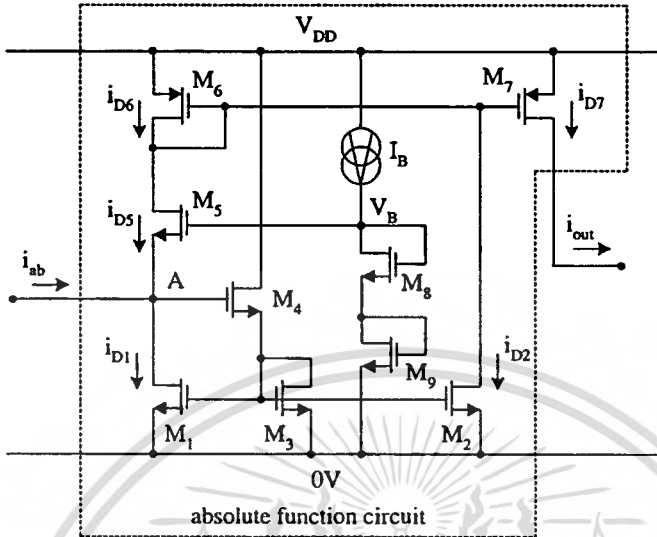


Figure 2. Principle of the absolute function circuit.

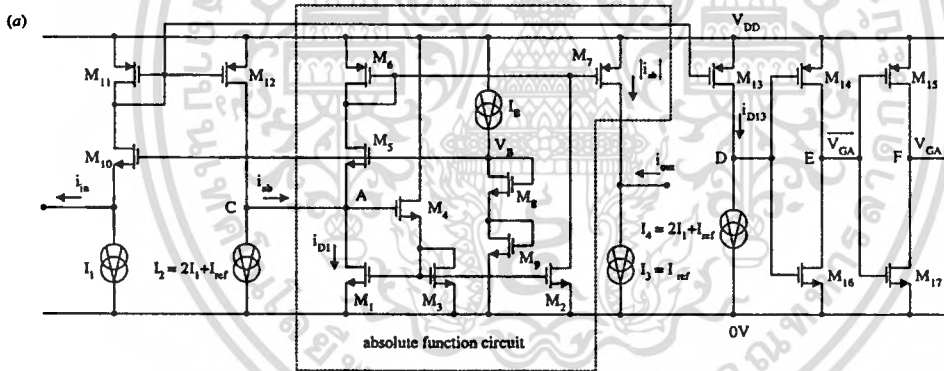


Figure 3. Proposed circuit. (a) One-bit cell Gray code ADC. (b) Transfer characteristic.

It is clearly seen that the current i_{D7} is an absolute function of the current signal i_{ab} .

2.2. The proposed circuit

The proposed one-bit cell gray-code algorithmic ADC circuit is shown in figure 3(a). The decision block in dashed line frame in figure 1(a) is replaced by an absolute function circuit and the current sources I_2 and I_3 , as shown in figure 3(a). Transistor M_{10} with constant voltage V_B generated by transistors M_8 – M_9 and the current source I_B function as a current follower and provide a fixed potential at the input node. Transistors M_{11} – M_{13} form a dual-output negative current mirror with the current gain equal to two. Transistors M_{14} – M_{17} function as a current comparator (Freitas and Current 1983), which is used to compare the current i_{D13} with the current source I_4 to generate a digital output.

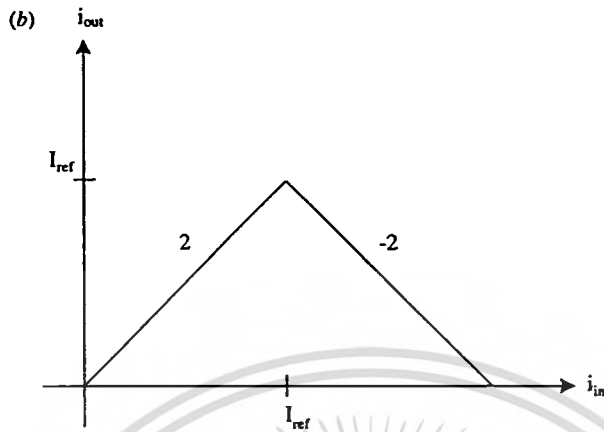


Figure 3. Continued.

Consider the circuit in figure 3(a), the current i_{in} is an input signal and I_{ref} is a reference current, the operation of the circuit can be explained as follows. The input signal current i_{in} is multiplied by a factor of two using the current mirror M_{11} – M_{13} , where the channel width of transistors M_{12} and M_{13} are twice that of transistor M_{11} . The new signal current $2i_{in}$ is compared with the current I_{ref} at node C to generate an analogue output signal i_{out} and a digital output signal V_{GA} at node D. The current i_{ab} at node C can be stated as

$$i_{ab} = 2i_{in} - I_{ref}. \quad (3)$$

If $2i_{in} < I_{ref}$, the current i_{ab} is negative and flows through the absolute function circuit. Therefore, the output current i_{out} can be expressed as

$$i_{out} = I_{ref} - |i_{ab}| = 2i_{in}. \quad (4)$$

Consequently, the current i_{D13} is less than I_4 and the digital output V_{GA} is set to low. For the case of $2i_{in} \geq I_{ref}$, the digital output V_{GA} goes high and the analogue output current i_{out} becomes

$$i_{out} = I_{ref} - |2i_{in} - I_{ref}| = 2I_{ref} - 2i_{in}. \quad (5)$$

The transfer characteristic of the proposed circuit can be shown in figure 3(b) and the output current i_{out} can be stated as

$$i_{out} = \begin{cases} 2i_{in} & \text{for } i_{in} < I_{ref}/2 \\ 2I_{ref} - 2i_{in} & \text{for } i_{in} \geq I_{ref}/2. \end{cases} \quad (6)$$

It is obvious that the transfer characteristic of the proposed circuit is the same as that of figure 1(b). For the N -bit resolution, the N proposed circuits are cascaded with the analogue output of one circuit connected to the analogue input of the following circuit as shown in figure 4. The binary code can be simply generated by the use of two input exclusive-OR gate with the input from the gray code of a present bit and the binary code of a previous bit as shown in figure 5 (Sheingold 1986).

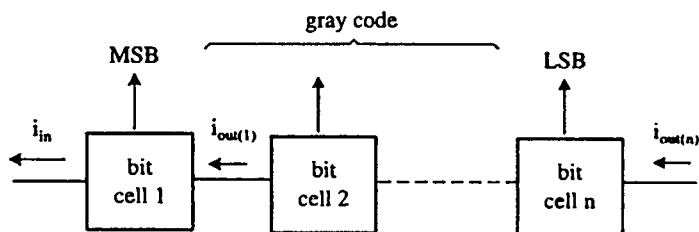
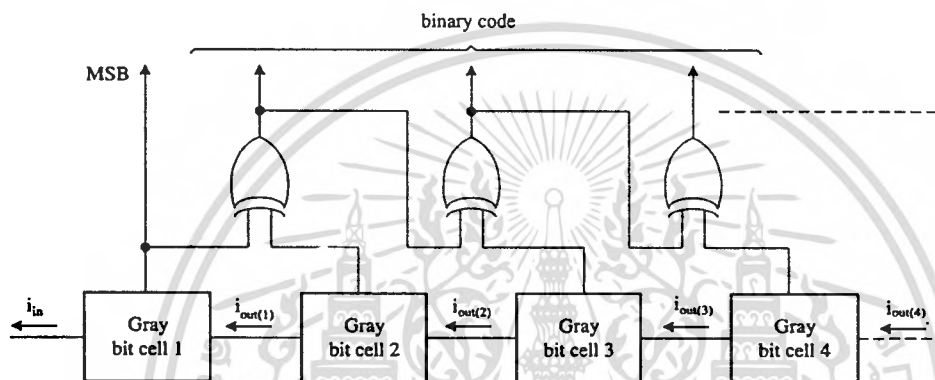
Figure 4. N -bit resolution Gray code ADC.

Figure 5. Gray code to binary code conversion.

3. Circuit performance

Deviations from the ideal performance of the proposed circuit are due to transistor mismatches, finite value of the drain resistance of the transistors and temperature effect. The major factors that contribute to the inaccuracy are discussed as follows. From the circuit in figure 3(a), the source of each transistor is connected to its body. Therefore, the operation of MOS transistors is insensitive to the variation of the threshold voltage caused by the body effect. The error of the analogue output i_{out} is composed of two errors. The first error is due to the twice gain current mirror M_{11} – M_{13} . The relationship of the current i_{ab} and the input signal current i_{in} can be approximated by

$$i_{ab} = 2i_{in}(1 - \varepsilon_p) \quad (7)$$

and

$$\varepsilon_p = \left[\frac{(2gm_{11} - gm_{12})}{2gm_{11}} + \frac{2}{(2gm_5 + gm_1)r_{O12}} \right] \quad (8)$$

where gm_i is the transconductance of transistor M_i , r_{O12} is the drain resistance of transistor M_{12} . If $gm_{11} = 2.41 \times 10^{-4} \text{ A V}^{-1}$, $gm_{12} = 4.824 \times 10^{-4} \text{ A V}^{-1}$, $gm_5 = 2.853 \times 10^{-4} \text{ A V}^{-1}$, $gm_1 = 2.443 \times 10^{-4} \text{ A V}^{-1}$ and $r_{O12} = 2.198 \text{ M}\Omega$, then the error ε_p is about 2.8×10^{-4} or 0.028%. The second error is due to the absolute function circuit. The relationship of the output current i_{out} and the current i_{ab} can be approximately given by

$$i_{out} = |i_{ab}(1 - \varepsilon_{ab})| \quad (9)$$

and

$$\varepsilon_{ab} = \begin{cases} \left(\frac{\Delta gm_{op}}{gm_6} - \frac{R_L}{r_{O7}} \right) & \text{for } i_{in} < I_{ref}/2 \\ \left(\frac{\Delta gm_{op} gm_1 + \Delta gm_{an} gm_6}{gm_1 gm_6} - \frac{r_{O7} + R_L r_{O2} gm_6}{r_{O2} r_{O7} gm_6} \right) & \text{for } i_{in} \geq I_{ref}/2 \end{cases} \quad (10)$$

where Δgm_{op} and Δgm_{an} are the transconductance errors due to the transistor mismatches between the PMOS transistors M_6 and M_7 and the NMOS transistors M_1 and M_4 , respectively, R_L is the resistance connected to analogue output node. If $\Delta gm_{op} = 2.014 \times 10^{-7} \text{ A V}^{-1}$, $\Delta gm_{an} = 6.22 \times 10^{-7} \text{ A V}^{-1}$, $gm_6 = 1.988 \times 10^{-4} \text{ A V}^{-1}$, $r_{O2} = 3.33 \text{ M}\Omega$, $r_{O7} = 2.86 \text{ M}\Omega$ and $R_L = 1 \text{ k}\Omega$. Therefore, the error ε_{ab} is approximately 3.5×10^{-4} or 0.035% for $i_{in} < I_{ref}/2$ and 4.02×10^{-4} or 0.04% for $i_{in} \geq I_{ref}/2$. The effect of transistor mismatches in the first term on the right side of equations (8) and (10) can be minimized by using a large aspect ratios and long channel length transistors. However, the high frequency response of the circuit is decayed by the large dimension of transistors. The second term on the right side of equations (8) and (10) are due to the drain resistance of transistor and can be reduced by using a cascode current mirror. The relationship of the output current i_{out} and the input signal current i_{in} can be stated as

$$i_{out} = \begin{cases} 2i_{in}(1 - \varepsilon_i) + \varepsilon_{ab}I_{ref} & \text{for } i_{in} < I_{ref}/2 \\ 2I_{ref} - [2i_{in}(1 - \varepsilon_i) + \varepsilon_{ab}I_{ref}] & \text{for } i_{in} \geq I_{ref}/2 \end{cases} \quad (11)$$

and

$$\varepsilon_i = \varepsilon_p + \varepsilon_{ab} - \varepsilon_p \varepsilon_{ab} \quad (12)$$

where ε_i denotes the signal transfer error. It can be seen that the output offset current occurs in terms of $\varepsilon_{ab}I_{ref}$ on equation (11). If $i_{in} = I_{ref} = 50 \mu\text{A}$, then the signal transfer error ε_i and the output offset current are 7.35×10^{-4} A and 2.01×10^{-8} A, respectively. For the N -bit resolution ADC, the signal transfer error ε_i is inversely proportional to the number N of the proposed circuit in cascade. The number of bit possible for a high resolution ADC can be given by

$$N = \text{Round} \left\{ 1 + \log_2 \left[\frac{(1 + 2\varepsilon_{ab})}{2\varepsilon_i} \right] \right\}. \quad (13)$$

If $\varepsilon_p = 3.33 \times 10^{-4}$ and $\varepsilon_{ab} = 4.02 \times 10^{-4}$, then N is equal to 10. The cascading N circuits for the N -bit resolution ADC introduces the accumulated error that is observed at the input of the LSB cell. From equation (11), the accumulated error ε_{FS} for the full-scale input signal current $i_{in} = I_{ref}$ can be expressed as

$$\varepsilon_{FS} = \left[2^{N-1} \varepsilon_p + \varepsilon_{ab} + \left\{ \sum_{i=1}^{N-2} 2^i (2^{N-i-1} + 1) \right\} + 2^{N-1} \right] \varepsilon_p \varepsilon_{ab} + 2^{N-1} (N-2) \varepsilon_p^2 + (2^{N-1} - 2) \varepsilon_{ab}^2 \Big] I_{ref} \quad \text{for } N \geq 2. \quad (14)$$

If $I_{ref} = 50 \mu\text{A}$ and $N = 9$, then the accumulated error ε_{FS} is equal to $3.62 \mu\text{A}$ or 0.07 LSB.

For the temperature effect, the surface mobility and the threshold voltage are temperature-dependent parameters. If the transistors are perfectly matched, then the

current transfer error of the current mirrors is temperature-independent. However, the bias voltage V_B , which is generated by the gate-to-source voltage V_{GS} of the transistors M_8 and M_9 , exhibits temperature dependence. Thus the bias voltage variation ΔV_B can be stated as

$$\Delta V_B = \frac{\Delta T}{300} \left[\sqrt{\frac{2I_B}{\beta_8\beta_9}} (\sqrt{\beta_8} + \sqrt{\beta_9}) \right] - 2\alpha\Delta T \quad (15)$$

where ΔT and β_i are the temperature variation from the room temperature and the device transconductance parameter ($K_P W/L$) of the transistor M_i , respectively. The factor α depends on the substrate doping and the oxide thickness (Uyemura 1993). If $I_B = 30 \mu\text{A}$, $\beta_8 = \beta_9 = 2.204 \times 10^{-4} \text{ A V}^{-2}$, $\Delta T = 10^\circ\text{C}$, $\alpha = 1.34 \text{ mV K}^{-1}$, $V_B = 2.06 \text{ V}$, then the bias voltage variation ΔV_B is about $7.98 \times 10^{-3} \text{ V}$.

The high frequency response of the one-bit cell ADC in figure 3(a) is limited by the bandwidth of the current mirrors M_1 – M_4 , M_6 – M_7 and M_{11} – M_{13} . The small signal transfer function $F(s)$ can be approximately given by

$$F(s) = \frac{i_{\text{out}}}{i_{\text{in}}} = \frac{gm_2 gm_4 gm_7 gm_{12} r_{O1} (T_5 s + 1)}{gm_6 gm_{11} (gm_3 + gm_4 + gm_1 gm_4 r_{O1}) (T_1 s + 1) (T_2 s + 1) (T_3 s + 1) (T_4 s + 1)} \quad (16)$$

and

$$T_1 = \frac{C_6 + C_7}{gm_6} \quad (17)$$

$$T_2 = \frac{C_{11} + C_{12} + C_{13}}{gm_{11}} \quad (18)$$

$$T_3 = \frac{C_3 + C_4 + C_4 r_{O1} (gm_3 + gm_4)}{gm_3 + gm_4 + gm_1 gm_4 r_{O1}} \quad (19)$$

$$T_4 = \frac{C_{10} + C_p}{gm_{10}} \quad (20)$$

$$T_5 = \frac{C_4}{gm_4} \quad (21)$$

where C_i is the gate-to-source capacitance of the transistor M_i , C_p is the interconnect capacitance, r_{O1} is the drain-to-source resistance of the transistor M_1 . For $C_3 = C_4 = 1.4 \times 10^{-14} \text{ F}$, $C_6 = C_7 = 2.96 \times 10^{-14} \text{ F}$, $C_{10} = 9.36 \times 10^{-15} \text{ F}$, $C_{11} = 5.92 \times 10^{-14} \text{ F}$, $C_{12} = C_{13} = 1.18 \times 10^{-13} \text{ F}$, $C_p = 1.23 \times 10^{-16} \text{ F}$, $gm_3 = gm_4 = 2.39 \times 10^{-4} \text{ A V}^{-1}$, $gm_{10} = 1.82 \times 10^{-4} \text{ A V}^{-1}$ and $r_{O1} = 3.47 \text{ M}\Omega$, the poles and the zero due to the time constants T_1 , T_2 , T_3 , T_4 and T_5 , are approximately at 773.73 MHz, 129.93 MHz, 1.37 GHz, 2.05 GHz and 2.71 GHz, respectively. It is evident that the dominant pole due to T_2 is the major high frequency limitation. Since a dominant pole exists then the transfer function $F(s)$ can be approximated by

$$F(s) = \frac{i_{\text{out}}}{i_{\text{in}}} \cong \frac{2}{(T_2 s + 1)}. \quad (22)$$

The conversion time of the proposed ADC is determined by the delay time t_{da} of the analogue output i_{out} and the delay time t_{dd} of the digital output V_{GA} . The delay

time t_{da} caused by the absolute function circuit and the current mirror M_{11} – M_{13} is equal to the time constant T_2 of the dominant pole, i.e. $t_{da} = T_2 = 1.22 \times 10^{-9}$ s (Palm 1988). For the digital output V_{GA} , the delay time t_{dd} is associated with the delay time of the inverters M_{14} – M_{15} and M_{16} – M_{17} . If the transistors M_{14} – M_{17} are designed to closely match, then the delay time t_{dd} can be approximated as (Uyemura 1988, Demassa and Ciccone 1996)

$$t_{dd} = \frac{(C_{O1} + C_{O2})}{\beta_C(V_{DD} - V_T)} \left[\frac{2V_T}{(V_{DD} - V_T)} + \ln\left(\frac{3V_{DD} - 4V_T}{V_{DD}}\right) \right] \quad (23)$$

where C_{O1} is the capacitance at node E , C_{O2} is the capacitance at node F that is the combination of the interconnect capacitance and the output pad capacitance, β_C is the device transconductance, V_T is the threshold voltage of MOS transistor and V_{DD} is the supply voltage. If $C_{O1} = 3.20 \times 10^{-14}$ F, $C_{O2} = 1.1 \times 10^{-12}$ F, $\beta_C = 207.2 \mu\text{A V}^{-2}$, $V_T = 0.61$ V and $V_{DD} = 3$ V, then the delay time t_{dd} is about 2.95×10^{-9} s. For the N -bit ADC, the N proposed circuits are cascaded and then the conversion time t_C can be given by

$$t_C = N t_{da} + t_{dd} \quad (24)$$

If $N = 9$, then t_C is about 1.39×10^{-8} s. It should be noted that the proposed ADC provides better conversion speed in comparison with other ADC of its category (Walteri and Halonen 2001, Liu and Hassoun 2002).

4. Simulation results

The performances of the proposed circuit were observed through the use of a Cadence Spectre simulation program. The technology AMIS 0.5 μm CMOS process was chosen for the proposed circuit. Since the proposed structure is designed to be compatible with standard CMOS process and therefore any particular technology can be used. From the circuit in figure 3(a), the ratios of the channel width and length (W/L) of the devices used are shown in table 1.

The BSIM model of the AMIS 0.5 μm was used for the circuit simulation. The basic electrical parameters of the device are summarized in table 2.

The bias current I_B , I_1 , I_2 , I_3 and I_4 were set to 10 μA , 20 μA , 90 μA , 50 μA and 90 μA , respectively, and $V_{DD} = 3$ V. The reference current I_{ref} was chosen to be 50 μA to optimize the dynamic range, which is equal to I_{ref} , and the frequency response of the circuit. For higher I_{ref} value, the larger size of transistors is needed to avoid the signal distortion caused by transistor operating in non-saturation region and this will degrade the frequency response. A nine-bit resolution ADC formed by cascading

Table 1. Device aspect ratios.

Transistors	W/L ($\mu\text{m}/\mu\text{m}$)
M_1 – M_4	6/1
M_5 – M_{10} , M_{14} , M_{17}	4/1
M_{11}	4/2
M_{12} , M_{13}	8/2
M_{15} , M_{16}	1/1

Table 2. Device parameters.

Parameter	PMOS	NMOS
V_T (V)	-0.6101	0.609
K_p ($\mu\text{A V}^{-1}$)	35.5	141
γ ($\text{V}^{1/2}$)	0.64	0.62
T_{ox} (m)	1×10^{-8}	1×10^{-8}
JS (A m^{-2})	8×10^{-4}	7.05×10^{-4}
CJ (F m^{-2})	8.16×10^{-4}	7.76×10^{-4}
CJSW (F m^{-1})	3.54×10^{-10}	3.45×10^{-10}
LD (m)	0.1×10^{-6}	0.1×10^{-6}

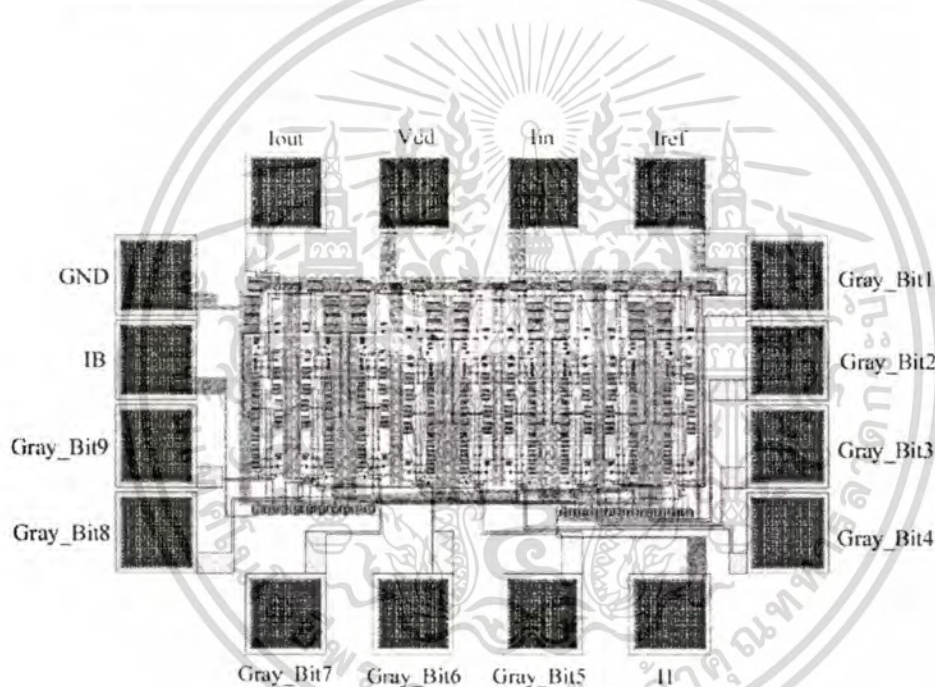


Figure 6. Layout of the proposed circuit.

nine proposed circuits was used to verify the conversion performance. The layout of the nine-bit ADC using Cadence Virtuoso is shown in figure 6 with the active area of 0.22 mm^2 ($0.33 \text{ mm} \times 0.65 \text{ mm}$).

The device parameters were extracted from the layout for post-simulation. Figure 7(a) shows the DC transfer characteristic of the one-bit cell ADC for the input signal current i_{in} varied from 0 to $50 \mu\text{A}$. The peak region of the DC transfer characteristic is shown in figure 7(b). The error of the transfer characteristic is shown in figure 7(c). The worst-case error about $64.2 \times 10^{-9} \text{ A}$ or 0.13% is observed. It is apparent that the proposed ADC exhibits low distortion of the transfer characteristic.

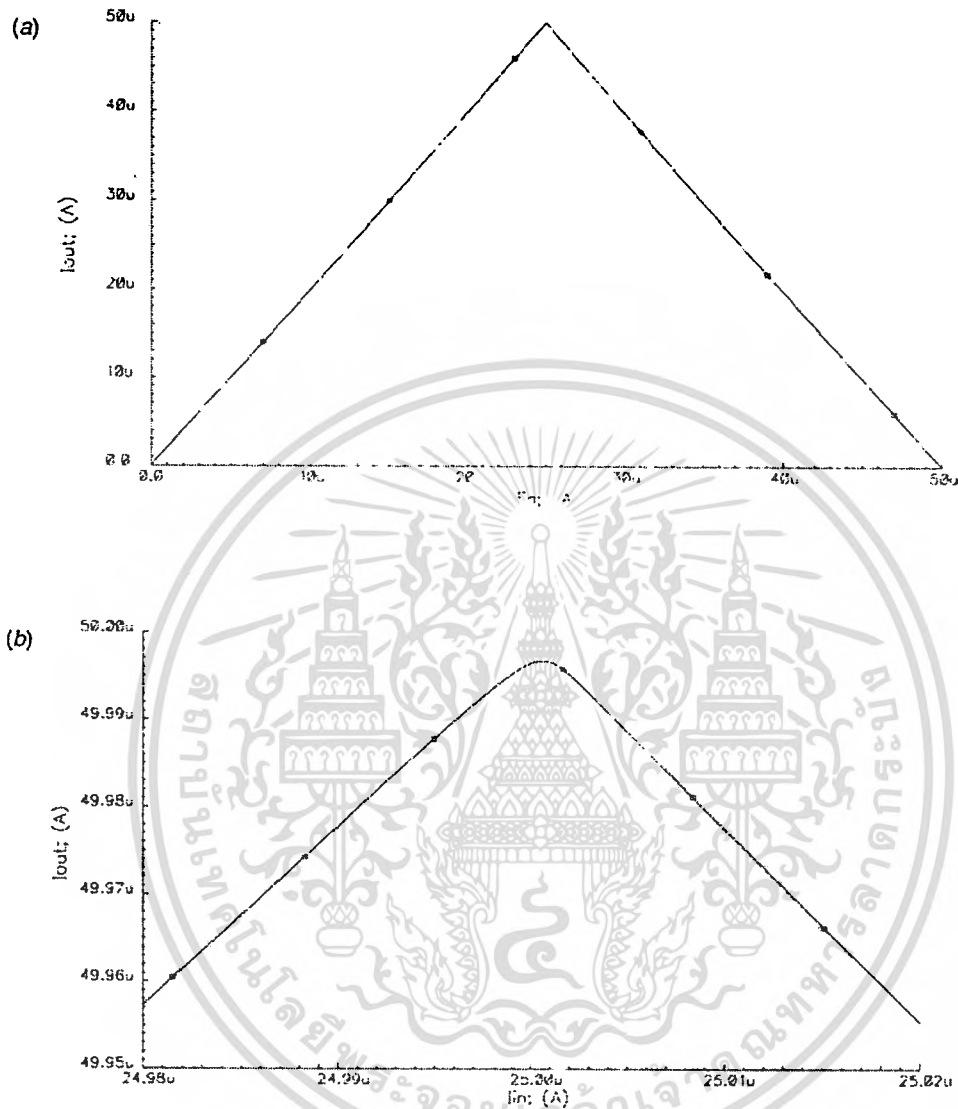


Figure 7. Simulated results for DC performance. (a) DC transfer characteristic. (b) Peak region of the transfer characteristic. (c) Error from ideal transfer characteristic.

The frequency response of the one-bit cell ADC is shown in figure 8. It should be noted that a bandwidth of about 128.8 MHz is observed. Figure 9 shows the output waveform that monitored from the analogue output of the ninth bit cell.

The plots of integral non-linearity (INL) and the differential non-linearity (DNL) are shown in figures 10(a) and 10(b), respectively. The maximum of INL and DNL are about 0.18 LSB and 0.25 LSB, respectively. When considered in term of INL, the accuracy of about 11 bit is achieved (Johns and Martin 1997). It is evident that the circuit possesses high accuracy and requires a small portion of chip area in comparison with recent

730

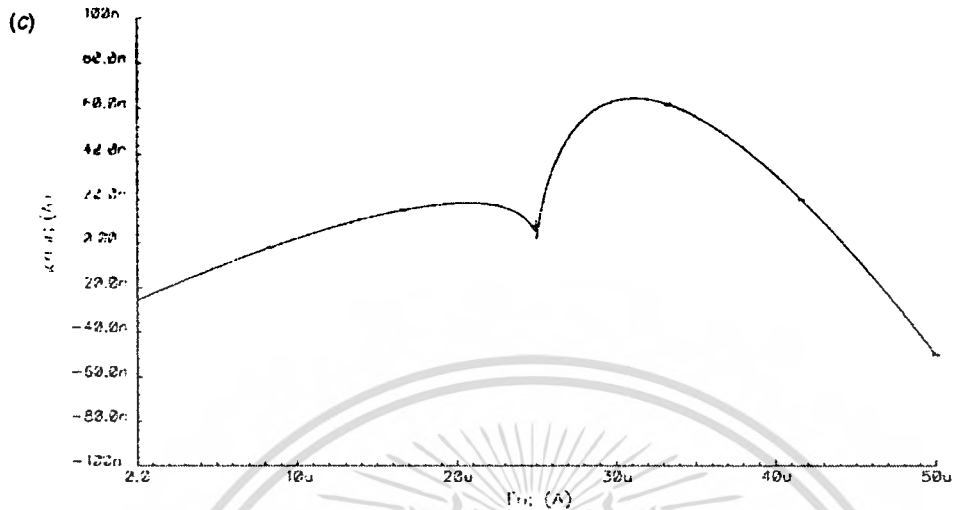
V. Riewruja and A. Chaikla

Figure 7. Continued.

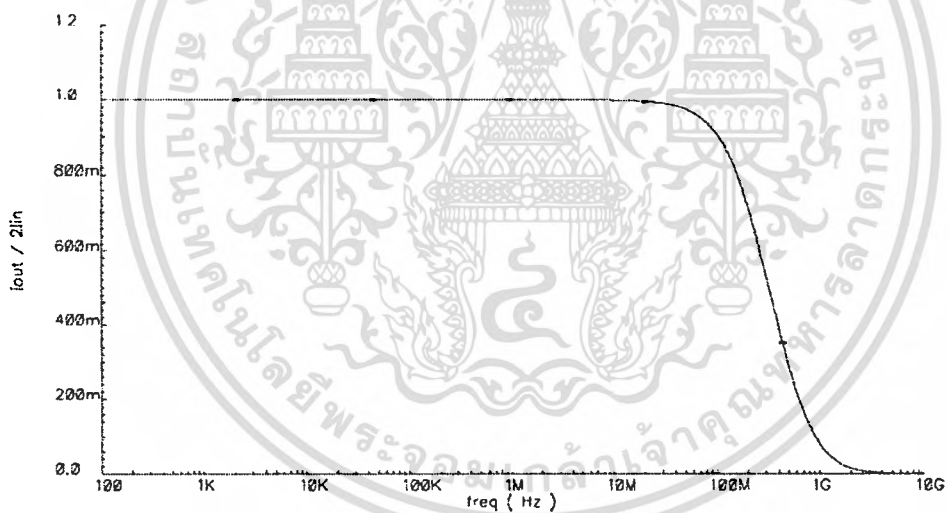


Figure 8. Frequency response.

literature (Mortezapour and Lee 2000, Waltari and Halonen 2001, Liu and Hassoun 2002).

5. Conclusion

A CMOS integrated circuit technique for realizing an algorithmic ADC using absolute function circuit has been introduced in this paper. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over the entire dynamic range. The circuit performances were also discussed in detail.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

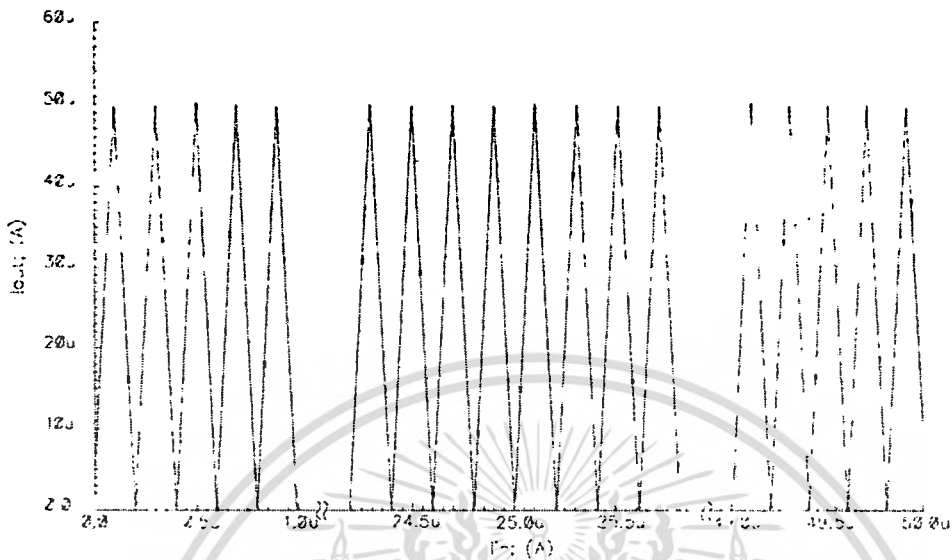


Figure 9. Analog output waveform of the ninth bit cell.

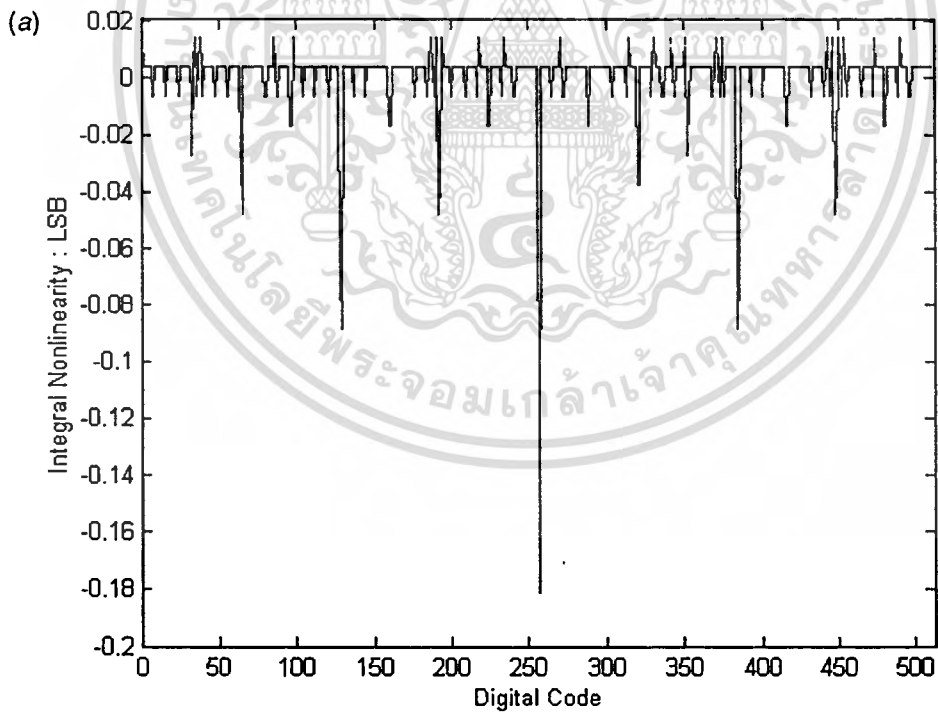


Figure 10. Non-linearity of 9-bit ADC. (a) Integral non-linearity. (b) Differential non-linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

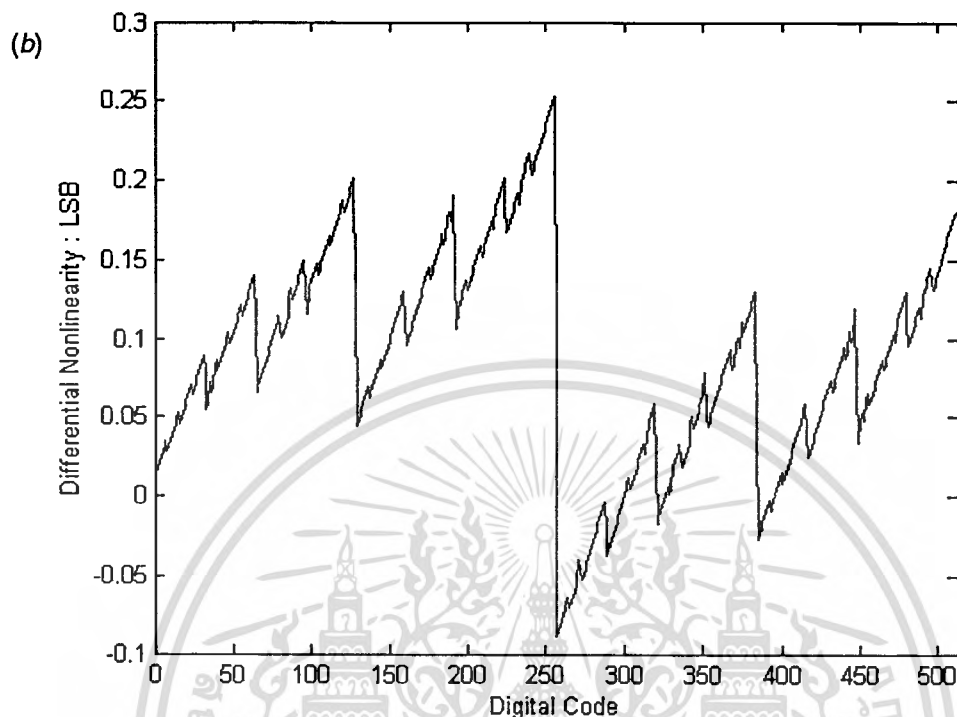


Figure 10. Continued.

The accumulated error of the proposed ADC is very low. An N -bit resolution ADC can be achieved by cascading of N proposed circuits. The conversion speed of the ADC is also high. Simulation results confirming the circuit performances have also been demonstrated.

Acknowledgements

The authors would like to express their sincere gratitude to the National Science Technology Development Agency (NASTDA), and the National Electronics and Computer Technology Center (NECTEC) Thailand, for the financial support.

References

- CHANG, D.-Y., and LEE, S.-H., 1998, Design technique for a low-power low-cost CMOS A/D converter. *IEEE Journal of Solid-State Circuits*, **33**, 1244–1248.
- DEMASSA, T. A., and CICCONE, Z., 1996, *Digital Integrated Circuits* (New York: Wiley).
- FONG, K. L., ANDRE, C., and SALAMA, T., 1994 Low-power current-mode algorithmic ADC. *IEEE International Symposium on Circuits and Systems*, **5**, 473–476.
- FREITAS, D. A., and CURRENT, K. W., 1983, CMOS current comparator circuit. *Electronics Letters*, **19**, 695–697.
- Johns D. A., and MARTIN, K., 1997, *Data Converter Fundamentals. Analog Integrated Circuit Design* (New York: Wiley), pp. 445–461.
- LIU, H., and HASSOUN, M., 2002, A 9-6 40-Msample/s reconfigurable pipeline analog-to-digital converter. *IEEE Transactions on Circuit and Systems-II: Analog and Digital Signal Processing*, **49**, 449–455.

- MORTEZAPOUR, S., and LEE, E. K. F., 2000, A 1-V, 8-bit successive approximation ADC in standard CMOS process. *IEEE Journal of Solid-State Circuits*, **35**, 642–646.
- PALM, W. J., 1986, *System Response. Control Systems Engineering* (New York: Wiley), pp. 109–166.
- POULIQUEN, P. O., BOAHEN, K. A., and ANDREOU, A. G., 1991, A Gray-code MOS current-mode analog-to-digital converter design. *Proceedings of the IEEE International Symposium on Circuit and Systems*, Singapore, pp. 1924–1927.
- QUINN, P., and PRIBYTKO, M., 2003, Capacitor matching insensitive 12-bit 3.3MS/s algorithmic ACD in 0.25 μm CMOS. *IEEE 2003 Custom Integrated Circuits Conference*, San Jose, California, pp. 425–428.
- SHEINGOLD, D. H., 1986, *Analog-Digital Conversion Handbook* (New Jersey: Prentice-Hall).
- SIGNELL, S., JONSSON, B., STETROM, H., and TAN, N., 1997, New A/D converter architectures based on Gray coding. *IEEE International Symposium on Circuit and Systems*, Hong Kong, pp. 413–416.
- UYEMURA, J. P., 1988, *Fundamentals of MOS Digital Integrated Circuits* (New York: Addison-Wesley).
- UYEMURA, J. P., 1993, *Circuit Design for CMOS VLSI* (Boston: Kluwer).
- WALTARI, M., and HALONEN, K. A. I., 2001, 1-V 9 bit pipelined switched-opamp ADC. *IEEE Journal of Solid-State Circuits*, **36**, 129–134.
- ZHENG, Z., MIN, B., MOON, U., and TEMES, G., 2000, Efficient error-cancelling algorithmic ADC. *IEEE International Symposium on Circuits and Systems*, Geneva, Switzerland, pp. 1451–1454.



ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวอัมพวัน ใจกล้า
วัน เดือน ปีเกิด	วันที่ 8 เดือน ธันวาคม พ.ศ. 2519 ที่ จ.พะเยา
ที่อยู่	บ้านเลขที่ 1 หมู่ 2 ต.เชียงบาน อ.เชียงคำ จ.พะเยา 56110
ประวัติการศึกษา	พ.ศ. 2541 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมการวัดคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2543 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน	การออกแบบวงจรรวมสำหรับสัญญาณแอนะล็อก
ประสบการณ์การทำงาน	
พ.ศ. 2541-2547	ตำแหน่งอาจารย์ สังกัดภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2547-ปัจจุบัน	ตำแหน่งผู้ช่วยศาสตราจารย์ สังกัดภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
งานวิจัย	
พ.ศ. 2541-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการออกแบบวงจรรวมสำหรับสัญญาณแอนะล็อก
พ.ศ. 2543-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับระบบควบคุมในอุตสาหกรรม
พ.ศ. 2546-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการประหยัดพลังงานในอุตสาหกรรม
พ.ศ. 2546-ปัจจุบัน	ทำงานวิจัยเกี่ยวกับการสอบเทียบเครื่องมือวัดในอุตสาหกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้