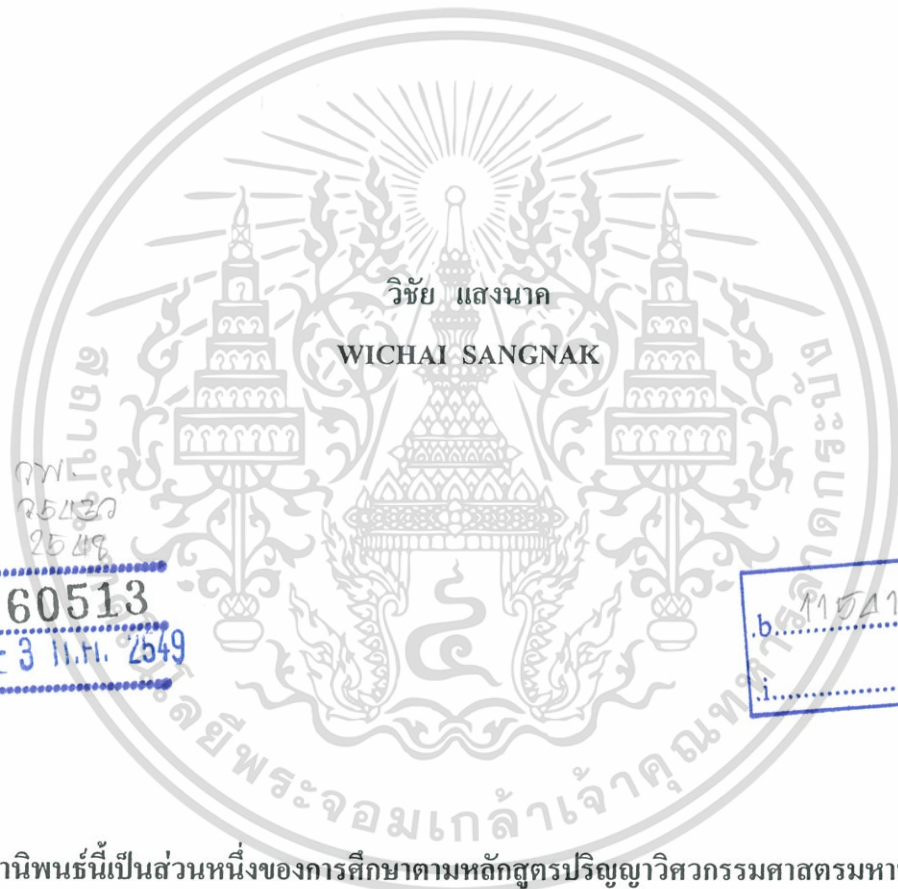


วงจรรอนาลอกในภาคส่งสัญญาณของระบบดีเอสแอล  
โดยใช้เทคโนโลยีซีมอส

CMOS ANALOGUE INTEGRATED CIRCUITS FOR DSL  
TRANSMITTER FRONT-END



เลขหมู่.....  
เลขทะเบียน..... 60513  
วัน,เดือน,ปี..... 3 11.11. 2549

b..... 11041155  
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2548

ISBN 974-15-1840-4

**CMOS ANALOGUE INTEGRATED CIRCUITS FOR DSL  
TRANSMITTER FRONT-END**

**WICHAI SANGNAK**

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT**

**OF THE REQUIREMENT FOR THE DEGREE OF**

**MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2005**

**ISBN 914-15-1840-4**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2005**

**SCHOOL OF GRADUTE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรมอดูลในภาคส่งสัญญาณของระบบดีเอสแอล โดยใช้เทคโนโลยีซีมอส
นักศึกษา	นายวิชัย แสงนาค
รหัสนักศึกษา	43061315
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ.ดร.อภิรักษ์ รัตนยานนท์

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เป็นการนำเสนอการออกแบบวงจรมอดูลในภาคส่งสัญญาณ สำหรับระบบดีเอสแอลโดยใช้เทคโนโลยีซีมอส เนื้อหาของวิทยานิพนธ์ประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกความเร็วสูง ขนาด 12 บิต และ วงจรกรองความถี่ต่ำผ่าน ส่วนแรกคือ วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต การทำงานของวงจรจะให้เอาต์พุตเป็นปริมาณ กระแส แบ่งการทำงานของวงจร 12 บิต แบบ 8/4 segmented ส่วนที่สอง คือ วงจรกรองความถี่ต่ำ 5<sup>th</sup> order elliptic แบบ active-RC ความถี่ตัด 1.1 MHz, การออกแบบวงจรทั้งสองส่วนใช้คุณสมบัติ จำเพาะของเทคโนโลยีซีมอส 0.35  $\mu\text{m}$ . 2-Poly 4-Metal และ เพื่อยืนยันถึงสมรรถนะของวงจร จำลองการทำงานวงจรด้วยโปรแกรม Cadence Spectre และ ออกแบบผังภูมิวงจรมด้วยโปรแกรม Cadence Virtuoso

<b>Thesis Title</b>	CMOS Analogue Integrated Circuits for DSL Transmitter Front-End
<b>Student</b>	Mr.Wichai Sangnak
<b>Student ID</b>	43061315
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electronic Engineering
<b>Year</b>	2005
<b>Thesis Advisor</b>	Asst.Prof.Dr. Apinunt Thanachayanont

### ABSTRACT

This thesis is concerned with the design of CMOS analogue integrated circuits for DSL transmitter front-end. The DSL transmitter front-end comprises a high-speed 12-bit digital-to-analogue converter (DAC) and an active-RC low-pass filter. The 12-bit DAC is implemented by using current-mode technique with an 8/4 segmented architecture. The low-pass filter is realized by using the 5<sup>th</sup> order elliptic structure and has the cutoff frequency at 1.1 MHz. The proposed circuits are simulated by using Cadence Spectre with parameters from a CMOS 0.35 $\mu$ m. 2-Poly 4-Metal process technology and their layouts are performed by using Cadence Virtuoso.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงด้วยดีด้วยความกรุณาจากท่านอาจารย์ ผศ.ดร.อภิรักษ์ รัตนยานนท์ ซึ่งผู้เขียนขอขอบพระคุณท่านอาจารย์เป็นอย่างยิ่งที่ได้ประสาทวิชาความรู้ และ ให้คำแนะนำให้ข้าพเจ้าตลอดการทำงานที่ผ่านมา

ขอขอบพระคุณครู อาจารย์ ทุกท่านที่ได้มอบความรู้อันเป็นประโยชน์ต่อการศึกษา

ขอขอบพระคุณพี่ เพื่อน และ น้อง ทุกท่านในห้องปฏิบัติการวิจัยไมโครอิเล็กทรอนิกส์ (MDRD) ที่คอยสนับสนุนและเป็นกำลังใจที่ดีตลอดมา

ขอขอบพระคุณ คุณชรัญ มินกาญจณ์ คุณอภิรดี ขอดเทียน และ คุณวัชรกร หนูทอง, ศูนย์พัฒนาธุรกิจการออกแบบวงจรรวม (TIDI) ที่ให้ความช่วยเหลือในการออกแบบส่วนวงจรภาคดิจิทัล, คุณสมคิด แซ่โจ้ว ที่ให้คำปรึกษาในการออกแบบวงจรรองความถี่

ขอขอบพระคุณ โครงการวิจัยและพัฒนาระบบโทรคมนาคมสำหรับโทรศัพท์เคลื่อนที่รุ่นที่ 3 (3G) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ

ขอขอบพระคุณ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้การสนับสนุนในการทำวิจัยมาโดยตลอด

ขอขอบพระคุณบัณฑิตวิทยาลัยที่ได้สนับสนุนการทำวิจัยครั้งนี้

ท้ายสุดข้าพเจ้าอยากกล่าวถึงประสบการณ์ในช่วงเวลาที่ข้าพเจ้าได้ศึกษา ทดลอง และเขียนวิทยานิพนธ์นี้จนสำเร็จ ข้าพเจ้าได้เรียนรู้ถึงคุณค่าของเวลา และ บทเรียนเพิ่มเติมคือ การทำงานโดยใช้ความมานะ ความเพียรพยายาม และความอดทน ซึ่งเป็นสิ่งสำคัญในการทำงานทุกๆ ด้าน ข้าพเจ้าใคร่ขอเสนอพร้อยแก้ว 2 บท นี้เพื่อเป็นกำลังใจแก่ผู้ที่ต้องเผชิญกับการทำงานที่ต้องอาศัยความอดทนและความพยายาม

“ ทาง สร้างจากป่ารกชัฏ ไม่มีทาง ”

“ ความอดทนนั้นขมขื่น แต่ผลของมันหอมหวาน ”

คุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้ บิดา มารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่ได้ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

วิชัย แสงนาค

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ .....	IV
สารบัญตาราง .....	VII
สารบัญรูป .....	VIII
บทที่ 1 บทนำ .....	1
1.1 กล่าวนำ .....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์ .....	2
1.3 รายละเอียดของวิทยานิพนธ์ .....	2
บทที่ 2 ระบบ DSL .....	4
2.1 บทนำ .....	4
2.2 ระบบ DSL .....	4
2.3 DSL Analogue Front-End .....	6
2.4 การประยุกต์ใช้วงจรแปลงสัญญาณในระบบ DSL .....	7
2.5 บทสรุป .....	9
บทที่ 3 พื้นฐานวงจรที่ใช้ออกแบบ .....	10
3.1 บทนำ .....	10
3.2 คุณสมบัติของมอสทรานซิสเตอร์ .....	10
3.2.1 คุณสมบัติของมอสทรานซิสเตอร์แบบ NMOS .....	11
3.2.2 คุณสมบัติของมอสทรานซิสเตอร์แบบ PMOS .....	12
3.2.3 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ .....	13
3.2.4 ตัวเก็บประจุแฝง .....	14
3.3 วงจรสร้างแรงดันและวงจรสร้างกระแสอ้างอิง .....	15
3.3.1 วงจรสร้างแรงดันอ้างอิงแบบคัมป์ .....	15
3.3.2 วงจรสร้างกระแสอ้างอิง .....	16
3.4 การแปลงสัญญาณดิจิทัลเป็นอนาล็อก .....	17

## สารบัญ(ต่อ)

	หน้า
3.5 คุณสมบัติของการแปลงสัญญาณดิจิทัลเป็นอนาลอก .....	20
3.5.1 ประสิทธิภาพสถิต .....	20
3.5.2 ประสิทธิภาพพลวัต .....	25
3.6 ชนิดของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก .....	28
3.6.1 การแปลงสัญญาณดิจิทัลเป็นอนาลอกโหมดกระแส .....	28
3.6.2 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบไบนารี .....	28
3.6.3 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์ ..	30
3.6.4 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบ Segmented .....	32
3.7 บทสรุป .....	33
บทที่ 4 การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12-บิต .....	34
4.1 บทนำ .....	34
4.2 การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต .....	34
4.2.1 การออกแบบวงจรแหล่งจ่ายกระแส .....	36
4.2.2 การออกแบบวงจรควบคุมการสวิตช์ .....	42
4.2.3 วงจร 12-bit 8/4 segmented digital input decoder .....	43
4.3 วงจรไบอัส .....	44
4.3.1 วงจรกำเนิดกระแสไบอัส .....	45
4.3.2 วงจรสร้างแรงดันอ้างอิงแบบคัมป์ .....	51
4.3.3 วงจรหยุดการทำงาน .....	51
4.4 ผลการจำลองการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต ....	53
4.4.1 วงจรควบคุมการสวิตช์ .....	54
4.4.2 จำลองการทำงานวงจรจ่ายกระแสและค่าแรงดันสูงสุด .....	54
4.4.3 ทดสอบค่าเวลาการเปลี่ยนแปลงสัญญาณ .....	56
4.4.4 ผลการจำลองการทำงานทางความถี่.....	59
4.4.5 จำลองการทำงานเพื่อวัดประสิทธิภาพ INL และ DNL .....	64
4.4.6 ผลการจำลองการทำงานสัญญาณอื่นๆ .....	66
4.5 การออกแบบผังภูมิ .....	68
4.5.1 การวางแผนผังภูมิ .....	68

## สารบัญ(ต่อ)

	หน้า
4.5.2 วงจรแทนแหล่งจ่ายกระแส .....	69
4.5.3 วงจรขับสวิตช์และสวิตช์กระแส .....	71
4.5.4 วงจร 12-bit 8/4 segmented digital decoder .....	74
4.5.5 วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต .....	74
4.5.6 วงจรสร้างสัญญาณไบอัส .....	77
4.5.7 วงจรสร้างแรงดันอ้างอิงแบบคัลเล็ปและวงจรหยุดการทำงาน .....	77
4.5.8 สรุปพื้นที่ในวงจรรวม .....	77
4.6 บทสรุป .....	83
บทที่ 5 วงจรกรองความถี่ต่ำผ่าน .....	86
5.1 บทนำ .....	86
5.2 Magnitude approximation .....	86
5.2.1 การหาอันดับ .....	86
5.2.2 การ demoralized ที่ความถี่ และ อิมพีแดนซ์ .....	88
5.3 การสังเคราะห์วงจรเพื่อสร้าง 5 <sup>th</sup> order elliptic Active-RC low-pass filter .....	89
5.4 ผลการจำลองการทำงานวงจรกรองความถี่ต่ำผ่าน .....	98
5.5 บทสรุป .....	98
บทที่ 6 บทสรุป .....	100
6.1 สรุปผลงานวิจัย .....	100
6.2 ข้อเสนอแนะและแนวทางการพัฒนางานวิจัย .....	101
เอกสารอ้างอิง .....	102
ภาคผนวก ก. การสังเคราะห์วงจรเข้ารหัสเทอร์โมมิเตอร์ .....	104
ภาคผนวก ข. ขนาดของมอสทรานซิสเตอร์ในวงจร .....	108
ภาคผนวก ค. แรงดันในจุดต่างๆ ของวงจร .....	113
ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์ .....	116
ประวัติผู้เขียน .....	124

## สารบัญตาราง

ตารางที่	หน้า
2.1 คุณสมบัติของของระบบต่างๆ ในการส่งสัญญาณผ่านคู่สายโทรศัพท์ .....	5
3.1 ค่าตัวเก็บประจุที่เกิดจากการทำงานของมอสทรานซิสเตอร์.....	14
3.2 ระบบความละเอียดของสัญญาณดิจิทัลกับสัญญาณอนาลอก .....	20
3.3 รหัสสัญญาณดิจิทัล .....	31
4.1 Technology Mismatch Parameter .....	38
4.2 Technology Electrical Parameter .....	40
4.3 รูปขนาดของมอสทรานซิสเตอร์ในวงจรสวิตช์กระแสจากการคำนวณ .....	41
4.4 ลักษณะการทำงานของวงจร 12 bits to 8/4 bits digital decoder .....	44
4.5 สัญญาณในตำแหน่งต่างๆ ของวงจรหยุดจ่ายพลังงาน .....	52
4.6 ค่ากระแสในแต่ละบิต .....	55
4.7 ค่าเวลาขอบขาขึ้นและขอบขาลงของสัญญาณที่เอาต์พุต .....	59
4.8 ผลการจำลองการทำงานวัดค่า SFDR ของการแปลงสัญญาณ ไซน์ ที่อัตราสุ่มค่าสัญญาณ 100 MHz .....	64
4.9 อธิบายแผนภาพการกระจายเซลล์ในผังภูมิ .....	69
4.10 สรุปคุณสมบัติของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก .....	84
5.1 ค่าอุปกรณ์ในวงจรจากการ denormalized ที่ความถี่ และ อิมพีแดนซ์ .....	88
5.2 อุปกรณ์ที่ใช้ในวงจร 5 <sup>th</sup> order elliptic active-RC low-pass filter .....	96

# สารบัญรูป

รูปที่	หน้า
1.1 ระบบการสื่อสารรูปแบบดิจิทัล	1
2.1 การใช้งานระบบ DSL กับ โครงข่ายโทรศัพท์	5
2.2 ช่วงความถี่สำหรับการสื่อสารใน โครงข่ายโทรศัพท์	6
2.3 บล็อกไดอะแกรมของการส่ง-รับข้อมูลดิจิทัลผ่านช่องสัญญาณ	6
2.4 ภาพรวมของชนิดสัญญาณ, ความละเอียด และ อัตราสุ่มค่าสัญญาณ	7
3.1 สัญลักษณ์ของมอสทรานซิสเตอร์	11
3.2 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์	13
3.3 ตัวเก็บประจุแฝงในมอสทรานซิสเตอร์	14
3.4 วงจรสร้างแรงดันอ้างอิงแบบดีเก็ปในเทคโนโลยี CMOS	15
3.5 วงจรสร้างกระแสอ้างอิง	17
3.6 การทำงานของระบบแปลงสัญญาณดิจิทัลเป็นอนาลอก	18
3.7 การแปลงสัญญาณดิจิทัลเป็นอนาลอกในอุดมคติ	19
3.8 ความไม่เป็นเชิงเส้นผลต่าง	22
3.9 ความไม่เป็นเชิงเส้นอินทิกรัล	23
3.10 ความผิดพลาดยกกระดืบ	24
3.11 ความผิดพลาดอัตราขยาย	25
3.12 การเปลี่ยนแปลงสัญญาณจากค่าสุดถึงสูงสุดเกิดค่า settling error	26
3.13 การเกิด glitch ของสัญญาณอนาลอกเอาต์พุต	27
3.14 คุณสมบัติการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบน้ำหนักไบนารี	29
3.15 แทนแหล่งจ่ายกระแสในการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบน้ำหนักไบนารี	30
3.16 คุณสมบัติการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์	30
3.17 แทนแหล่งจ่ายกระแสในการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์	31
3.18 การจัดระบบการทำงานแบบ Segmented	32
3.19 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบ Segmented	33
4.1 โครงสร้างการจัดชุดวงจรแปลงสัญญาณ 12-bit 8/4 segmented	35
4.2 แทนการทำงานของแหล่งจ่ายกระแสด้วยมอสทรานซิสเตอร์	35
4.3 วงจรแหล่งจ่ายกระแสและสวิตช์กระแส	37
4.4 ความสัมพันธ์ของพื้นที่กับแรงดัน $V_{GS}$ ของมอสทรานซิสเตอร์ Mp1	39
4.5 สัญญาณความคุมการสวิตช์	42

## สารบัญรูป(ต่อ)

รูปที่	หน้า
4.6 วงจรควบคุมการสวิตช์แบบใช้สัญญาณนาฬิกา .....	43
4.7 โครงสร้างการทำงานวงจร 12-bit 8/4 digital decoder .....	44
4.8 การจัดไบอัสแบบวงจรสะท้อนกระแส .....	45
4.9 โครงสร้างของวงจรถ้าเน็คกระแส .....	46
4.10 การสร้างแรงดันอ้างอิงโดยใช้ $V_{CS}$ .....	47
4.11 ลักษณะการใช้งานของวงจรสะท้อนกระแสให้กับวงจรแทนแหล่งจ่ายกระแส .....	48
4.12 วงจรขยายผลต่าง .....	48
4.13 วงจรถ้าเน็คแรงดันให้ภาคสวิตช์กระแส .....	49
4.14 วงจรถ้าเน็คแรงดันและกระแสไบอัส .....	50
4.15 วงจรถ้าเน็คแรงดันอ้างอิงแบบใช้ $V_{BE}$ Band-gap voltage reference .....	51
4.16 วงจรหยุดการทำงาน .....	52
4.17 การสร้างสัญญาณดิจิทัลอินพุตให้กับวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก .....	53
4.18 สัญญาณการทำงานของวงจรถวลการสวิตช์ .....	54
4.19 กระแสของ 1 LSB, 2 LSB, 4 LSB, 8 LSB และ 16 LSB .....	55
4.20 แรงดันสูงสุดที่เอาต์พุต $I_{outP}$ .....	56
4.21 แบบจำลองความคลาดเคลื่อนใน โมเดลพารามิเตอร์ .....	57
4.22 จำลองการทำงานสัญญาณพัลส์และค่าเวลาการเปลี่ยนแปลงระดับสัญญาณ .....	58
4.23 สัญญาณไซน์ความถี่ 20 kHz, 1 Vp-p .....	60
4.24 สัญญาณไซน์ความถี่ 100 kHz, 1 Vp-p .....	61
4.25 สัญญาณไซน์ความถี่ 500 kHz, 1 Vp-p .....	61
4.26 สัญญาณไซน์ความถี่ 1 MHz, 1 Vp-p .....	62
4.27 สัญญาณไซน์ความถี่ 5 MHz, 1 Vp-p .....	62
4.28 สัญญาณไซน์ความถี่ 10 MHz, 1 Vp-p .....	63
4.29 Frequency domain ที่ความถี่ 1 MHz 1 Vp-p, SFDR= 72 dBc .....	64
4.30 แสดงการวัดค่าของสัญญาณแบบระดับขึ้น .....	66
4.31 การแปลงสัญญาณในรูปอื่น .....	67
4.32 การวางตำแหน่งเซลล์ของวงจรแทนแหล่งจ่ายกระแส .....	69
4.33 การร่างแบบผังภูมิของมอสทรานซิสเตอร์แบบขนาน .....	70

## สารบัญรูป(ต่อ)

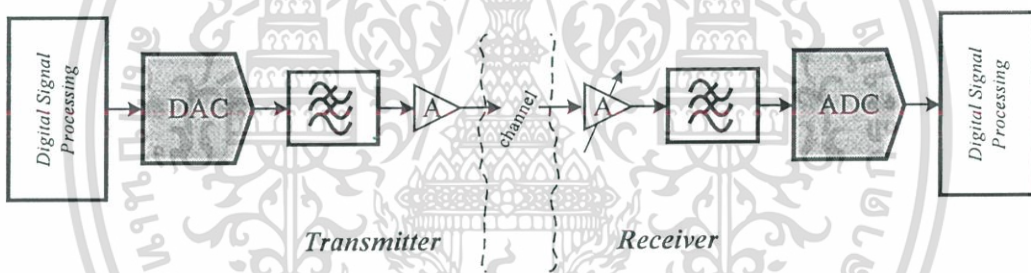
รูปที่	หน้า
4.34 การร่างแบบฟังก์ชันของมอสมิทธานซิสเตอร์แบบอนุกรม .....	70
4.35 ฟังก์ชันวงจรแทนแหล่งจ่ายกระแส (Mp1 และ Mp2) .....	72
4.36 ฟังก์ชันวงจรขับสวิตช์และสวิตช์กระแส .....	73
4.37 ฟังก์ชันวงจรถอดรหัสดิจิทัลอินพุต .....	75
4.38 การทำงานเมื่อมีการสวิตช์กระแสที่ตำแหน่ง $M_{255}$ .....	74
4.39 ฟังก์ชันวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต .....	76
4.40 ฟังก์ชันวงจรกำเนิดแรงดันและกระแสไบอัส .....	78
4.41 ฟังก์ชันวงจรขยายผลต่างและวงจรกำเนิดแรงดันดิจิทัล .....	79
4.42 ฟังก์ชันวงจรกำเนิดแรงดันอ้างอิงแบนด์แก๊ป .....	80
4.43 ฟังก์ชันวงจรกำเนิดแรงดันและกระแสไบอัส และ วงจรสร้างแรงดันอ้างอิงแบนด์แก๊ป .....	81
4.44 ฟังก์ชันวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก I-Q .....	82
4.45 โครงสร้างวงจรรวมของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต .....	85
5.1 วงจร 5 <sup>th</sup> order elliptic LC low-pass filter .....	87
5.2 กำหนดแรงดันและกระแสในการสังเคราะห์วงจรจาก LC prototype .....	89
5.3 วงจร fully-differential integrator ตามสมการที่ (5.9) .....	90
5.4 วงจร fully-differential integrator ตามสมการที่ (5.21) .....	93
5.5 วงจร fully-differential integrator ตามสมการที่ (5.22) .....	94
5.6 วงจร fully-differential integrator ตามสมการที่ (5.23) .....	94
5.7 วงจร fully-differential integrator ตามสมการที่ (5.30) .....	96
5.8 วงจร fully-differential 5 <sup>th</sup> order elliptic Active-RC low-pass filter .....	97
5.9 ผลการจำลองการทำงานของวงจรรองความถี่ต่ำผ่าน .....	98

# บทที่ 1

## บทนำ

### 1.1 กล่าวนำ

ปัจจุบันการประมวลผลสัญญาณดิจิทัลได้พัฒนาไปอย่างรวดเร็วทำให้สามารถประมวลผลข้อมูลที่มีความซับซ้อนมาก และด้วยคุณสมบัติของสัญญาณดิจิทัลที่สามารถแปลงกลับคืนค่าสัญญาณได้ง่ายและมีความถูกต้องสูง [1-5] ดังนั้นการสื่อสารระบบดิจิทัลจึงมีบทบาทสำคัญและเป็นมาตรฐานสำหรับระบบสื่อสารในปัจจุบัน, ตัวอย่างระบบสื่อสารแบบดิจิทัลที่เห็นได้ชัดเจน เช่น ระบบสื่อสารโดยใช้สัญญาณวิทยุ, GSM, WCDMA หรือ อินเทอร์เน็ต, แต่สิ่งสำคัญประการหนึ่งที่ขาดไม่ได้ในระบบสื่อสารคือส่วนวงจรอนาลอกสำหรับการเชื่อมโยงระบบสื่อสารเป็นสิ่งสำคัญอย่างมาก เพราะสัญญาณอนาลอกเป็นตัวกลางการเชื่อมโยงระบบช่องทางสื่อสารระหว่างด้านส่งกับด้านรับ, การผสมผสานระหว่างสัญญาณอนาลอกกับดิจิทัลนั้นจำเป็นต้องอาศัยตัวแปลงสัญญาณอย่างหลีกเลี่ยงไม่ได้ ดังแสดงการทำงานของระบบสื่อสารในรูปที่ 1.1 [1]



รูปที่ 1.1 ระบบการสื่อสารรูปแบบดิจิทัล

เมื่อเรามีข้อมูลที่ต้องการผ่านการประมวลผลสัญญาณดิจิทัล เช่น ข้อมูลภาพ, เสียง หรือ ข้อมูลใดๆ ที่ต้องการส่งไปยังด้านรับ เราทำการประมวลผลสัญญาณข้อมูลและแปลงรูปสัญญาณข้อมูลให้อยู่ในรูปของสัญญาณอนาลอก ผ่านการกรองความถี่เลือกเฉพาะช่วงความถี่ที่ใช้, ขยายหรือลดทอนให้ได้ตามขนาดของสัญญาณที่เหมาะสม ส่งผ่านช่องทางสื่อสาร เช่น แบบไร้สาย(ความถี่วิทยุ) หรือ แบบผ่านสายสัญญาณ(ระบบโทรศัพท์ หรือ เครือข่ายคอมพิวเตอร์), ทางด้านรับทำหน้าที่ในลักษณะตรงข้ามคือนำสัญญาณอนาลอกที่ได้รับ แปลงกลับเป็นข้อมูลดิจิทัล และนำข้อมูลดังกล่าวประมวลผลกลับเป็นข้อมูลที่เดิมต้องการ, ระบบสื่อสารข้อมูลในปัจจุบันจะมีลักษณะการทำงานของระบบดังที่กล่าวมา ดังนั้นสิ่งสำคัญประการหนึ่งคือระบบการแปลงสัญญาณ ซึ่งจะกล่าวถึงวิธีการออกแบบในวิทยานิพนธ์นี้

วงจรรอนาลอกในภาคส่งสัญญาณประกอบไปด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกและวงจรกรองความถี่ ส่วนภาคถัดไปเป็นวงจรในส่วนของภาคขยายสัญญาณเอาต์พุตซึ่งอาจออกแบบสำหรับทำงานในระบบที่เป็น แบบไร้สาย (wireless) หรือ ใช้สายนำสัญญาณ

ปัจจุบันเทคโนโลยีในการผลิตวงจรรวมดิจิทัลสำหรับการประมวลผลสัญญาณ สร้างโดยใช้เทคโนโลยีซีเอ็มอส (CMOS: Complementary-Metal-Oxide-Semiconductor) ซึ่งสามารถสร้างทรานซิสเตอร์ในวงจรให้มีขนาดเล็กมาก ทำให้มีความจุของจำนวนทรานซิสเตอร์มาก เกิดประสิทธิภาพในการประมวลผลสูง อีกทั้งมีต้นทุนในการผลิตต่ำกว่าเทคโนโลยีไบโพลาร์ หรือ BiCMOS

## 1.2 วัตถุประสงค์ของวิทยานิพนธ์

วิทยานิพนธ์เล่มนี้มีความมุ่งหมายในการออกแบบวงจรเพื่อสร้างวงจรรวม ภาคอนาลอก สำหรับภาคส่งของระบบ DSL และ สามารถใช้กับระบบส่งสัญญาณระบบอื่นๆ ที่ต้องอาศัยการแปลงสัญญาณดิจิทัลเป็นอนาลอก เช่น GSM, WCDMA การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกนั้นมีความสำคัญยิ่ง ต้องคำนึงถึงองค์ประกอบที่เป็นเงื่อนไขการแปลงสัญญาณ เช่น ความละเอียด ความถูกต้อง และ ความเร็ว องค์ประกอบต่างๆ เหล่านี้เป็นข้อมูลสำหรับเลือกจำนวนบิต และ อัตราสุ่มค่าสัญญาณ, การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต โดยใช้เทคนิคแบบสวิตช์สลับทิศทางกระแส (current steering) สร้างวงจรมอสทรานซิสเตอร์, วงจรภาคถัดไปคือวงจรกรองความถี่ ทำหน้าที่เลือกเฉพาะสัญญาณที่ต้องการและลดทอนสัญญาณส่วนเกินนอกช่วงความถี่ เช่น ความถี่สัญญาณนาฬิกา, การออกแบบวงจรใช้เทคโนโลยีซีเอ็มอส 0.35um, n-well 2-Poly 4-Metal ใช้โปรแกรม Cadence Spectre สำหรับการจำลองการทำงานเพื่อขึ้นชิ้นการทำงานของวงจรที่ถูกต้อง และ ออกแบบฟังก์ชันของวงจร โดยใช้โปรแกรม Cadence Virtuoso, การออกแบบวงจรได้แบ่งเป็น 3 ส่วนคือ วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก, วงจรกำเนิดแรงดัน และ กระแสอ้างอิง ส่วนสุดท้ายคือ วงจรกรองความถี่ต่ำผ่าน, วงจรที่ออกแบบทดสอบในสถานะเงื่อนไขต่างๆ ด้วย เช่น ความคลาดเคลื่อนที่เกิดจากการเงื่อสาร, ความคลาดเคลื่อนที่เกิดจากอุณหภูมิ และ ความคลาดเคลื่อนที่เกิดจากแหล่งจ่ายแรงดัน และ ร่างฟังก์ชันวงจรเป็น I-Q channel เพื่อสามารถประยุกต์นำวงจรใช้ในการแปลงสัญญาณของในระบบสื่อสารอื่นๆ ได้

## 1.3 รายละเอียดของวิทยานิพนธ์

เนื้อหาของวิทยานิพนธ์ฉบับนี้ประกอบไปด้วย 6 บท และ ภาคผนวก โดยกล่าวถึงการทำงานพื้นฐานของวงจรรอนาลอกในภาคส่งสัญญาณเบื้องต้น และ วงจรรอนาลอกในภาคส่งสำหรับระบบ DSL ซึ่งประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital-to-Analogue Converter : DAC) และ วงจรกรองความถี่ต่ำผ่าน (Low-pass filter : LPF), การใช้เทคนิคแบบ

กระแสนำสำหรับการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก, การออกแบบสร้างแหล่งจ่ายแรงดันและกระแสอ้างอิง และการสังเคราะห์วงจร active-RC low-pass filter รายละเอียดแต่ละบทนำเสนอ ดังนี้

บทที่ 2 กล่าวถึงระบบ DSL การส่งสัญญาณผ่านคู่สายโทรศัพท์ ซึ่งจะกล่าวถึงมาตรฐานของระบบ และ ช่วงความถี่ใช้งาน

บทที่ 3 กล่าวถึงการทำงานพื้นฐานของมอดูเลชันซีสเตอร์ การทำงานของวงจรสร้างแรงดันและกระแสอ้างอิง, หลักการและวิธีการแปลงสัญญาณดิจิทัลเป็นอนาล็อก

บทที่ 4 กล่าวถึงการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต การออกแบบวงจรให้ได้คุณสมบัติของการแปลงสัญญาณที่ต้องการ การจำลองการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก และ การออกแบบผังภูมิ (Layout)

บทที่ 5 กล่าวถึงวงจรกรองความถี่ต่ำผ่าน แบบ 5<sup>th</sup> order elliptic การออกแบบจากวงจรมาตรฐาน (Prototype), การสังเคราะห์วงจรเป็น active-RC low-pass filter ที่ความถี่ตัด 1.1 MHz รวมถึงการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่าน

บทที่ 6 เป็นบทสุดท้ายกล่าวสรุปงานวิจัยของวิทยานิพนธ์เล่มนี้ รวมถึงข้อเสนอแนะต่างๆ เพื่อเป็นแนวทางในการพัฒนาต่อไป

## บทที่ 2

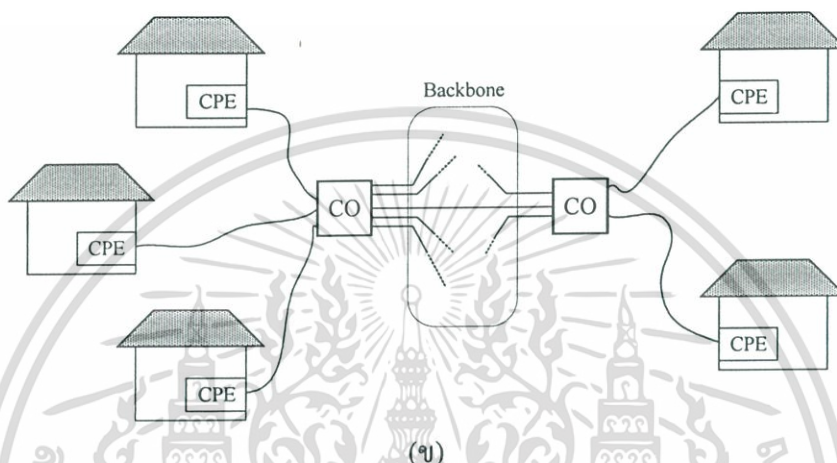
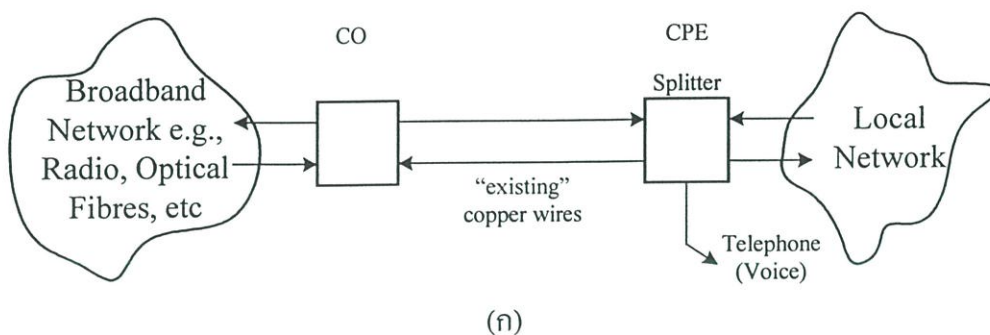
### ระบบ DSL

#### 2.1 บทนำ

DSL (Digital Subscriber Line) เป็นเทคโนโลยีโมเด็มแบบใหม่ที่สามารถเปลี่ยนแปลงคู่สายโทรศัพท์แบบสายคู่ตีเกลียว (twice pair) ของระบบโทรศัพท์เดิม (Plain Old Telephone Service : POTS) ให้กลายเป็นเส้นทางเข้าถึงมัลติมีเดีย และการสื่อสารข้อมูลด้วยความเร็วสูง, DSL มีการเขียนชื่อระบบด้วย xDSL โดย x ที่นำหน้าคือ ชนิดของระบบ เช่น ADSL (Asymmetric DSL) หรือ VDSL (Very high data rate DSL), โดยระบบแบบ ADSL สามารถให้บริการสื่อสารด้วยความเร็วกว่า 6 Mbps ไปยังผู้ใช้บริการ และสามารถเร็วถึงกว่า 640 Kbps ในสองทิศทาง ซึ่งอัตราความเร็วดังกล่าวช่วยเพิ่มประสิทธิภาพความจุของสายโทรศัพท์แบบเดิม ได้กว่า 50 เท่า โดยผู้ให้บริการไม่จำเป็นต้องลงทุนวางสายเคเบิลและระบบโทรศัพท์ใหม่

#### 2.2 ระบบ DSL

มาตรฐานของ DSL นั้นมีหลายมาตรฐานด้วยกัน ทั้งนี้ขึ้นอยู่กับปริมาณข้อมูล และการทำงาน เช่น ADSL หรือ VDSL, รูปที่ 2.1 เป็นลักษณะการทำงานของ ADSL โดยการเชื่อมต่อระบบระหว่างผู้ใช้ (Customers Premises Equipment : CPE) กับผู้ให้บริการเครือข่าย (Central Office : CO) โดยผู้ให้บริการระบบ ADSL จะต่ออุปกรณ์เพิ่มเติมในระบบช่องสัญญาณคู่สายโทรศัพท์ระบบเดิม และสามารถใช้งาน ADSL ได้โดยวิธีการแยกช่วงความถี่ของระบบ ADSL กับ ความถี่ของสัญญาณเสียง (Voice) ให้เหมาะสม, โดยปกติข้อมูลเสียงที่ใช้ในระบบโทรศัพท์ใช้งานในความถี่ต่ำ ระดับ kHz ซึ่งสามารถใช้อุปกรณ์ Splitter แยกสัญญาณส่วนความถี่เสียงในระบบโทรศัพท์ออกจากระบบ ADSL แสดงดังรูปที่ 2.1 (ก), สำหรับระบบโทรศัพท์ ดังรูปที่ 2.1 (ข) ในส่วนของ Backbone นั้นเป็นส่วนของการเชื่อมต่อโครงข่ายข้อมูลระหว่าง CO กับ CO ของระบบ ADSL ซึ่ง อาจเป็นโครงข่ายการเชื่อมต่อสัญญาณความเร็วสูง หรือ Optical Fibres



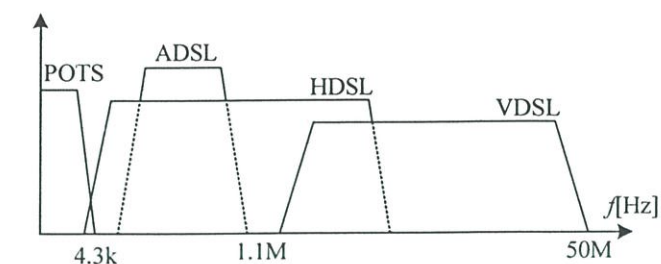
รูปที่ 2.1 การใช้งานระบบ DSL กับโครงข่ายโทรศัพท์

คุณสมบัติของระบบในตารางที่ 2.1 เป็นการเปรียบเทียบการทำงานของระบบ Voice modem, ISDN, ADSL และ VDSL ซึ่งเปรียบเทียบความเร็วของการส่งข้อมูลและความต้องการแบนด์วิดท์ [6] แสดงช่วงความถี่ที่ใช้งานในรูปที่ 2.2

ตารางที่ 2.1 คุณสมบัติของระบบต่างๆ ในการส่งสัญญาณผ่านคู่สายโทรศัพท์

Standard	Transmission mode	Upstream Rate (kbit/s)	Downstream Rate(kbit/s)	Channel bandwidth (kHz)
V.34 voice modem	Asymmetric	<28.8	28.8	4
V.90 voice modem	Asymmetric	33.6	54	4
V.120 ISDN modem	Asymmetric	32-64	64-128	4
ADSL	Asymmetric	100-800	1000-8000	1104
VDSL	Both	25000	25000	11040

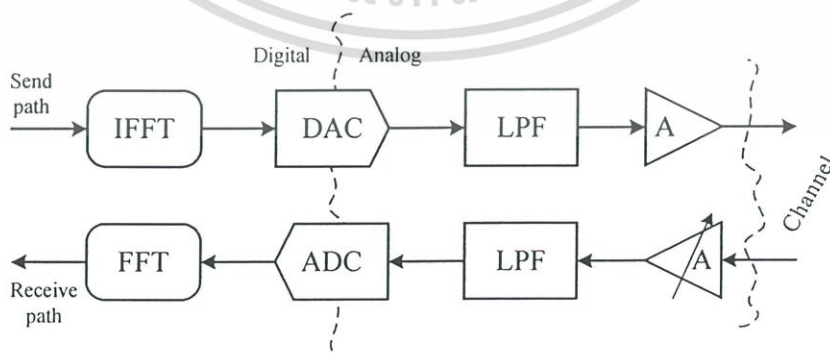
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ช่วงความถี่สำหรับการสื่อสารในโครงข่ายโทรศัพท์

### 2.3 DSL Analogue Front-End (AFE)

ในส่วนนี้จะกล่าวถึงภาคอนาลอกในระบบ DSL ซึ่งก็เป็นพื้นฐานในระบบการส่งข้อมูลดิจิทัลโดยทั่วไป การส่งข้อมูลดิจิทัลออกสู่ช่องการสื่อสารนั้นเราจะเป็นต้องมีส่วนจัดการให้สัญญาณอยู่ในรูปแบบของสัญญาณอนาลอกก่อน ดังนั้นส่วนสำคัญที่ขาดไม่ได้ในการส่งข้อมูลดิจิทัลคือส่วนแปลงสัญญาณดิจิทัลเป็นอนาลอก เช่นเดียวกันในภาครับสัญญาณเราจะนำข้อมูลนั้นกลับมาใช้งานประมวลผลต่อไป ก็จำเป็นต้องอาศัยส่วนของการแปลงสัญญาณกลับเป็นดิจิทัลนั่นคือ วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล ดังแสดงในรูปที่ 2.3 บล็อกไดอะแกรมของระบบส่ง-รับแบบ DSL โดยส่วนของการประมวลผลดิจิทัลเป็นส่วนทำหน้าที่ประมวลผลข้อมูลแบบ IFFT ส่งต่อไปยังวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (DAC) ทำให้ได้สัญญาณอยู่ในรูปของอนาลอก ผ่าน วงจรกรองความถี่ต่ำ (Low-pass filter : LPF) เพื่อขจัดสัญญาณที่อยู่นอกช่วงความถี่ต้องการ เช่น สัญญาณนาฬิกาความถี่สูง เมื่อได้สัญญาณที่ต้องการก็จะส่งผ่านภาคขยาย (Amplifier : A) ไปยังช่องสัญญาณต่อไป, ส่วนของภาครับสัญญาณมีการทำงานตรงข้ามกับภาคส่งคือ รับสัญญาณจากช่องสัญญาณและทำการปรับขนาดของสัญญาณด้วยวงจรขยายแบบปรับอัตราขยายได้ (Variable Amplifier) ส่งผ่านไปยังวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลและส่งผ่านสัญญาณดิจิทัลไปยังส่วนประมวลผลข้อมูลดิจิทัลแบบ FFT แปลงกลับเป็นข้อมูลดิจิทัล

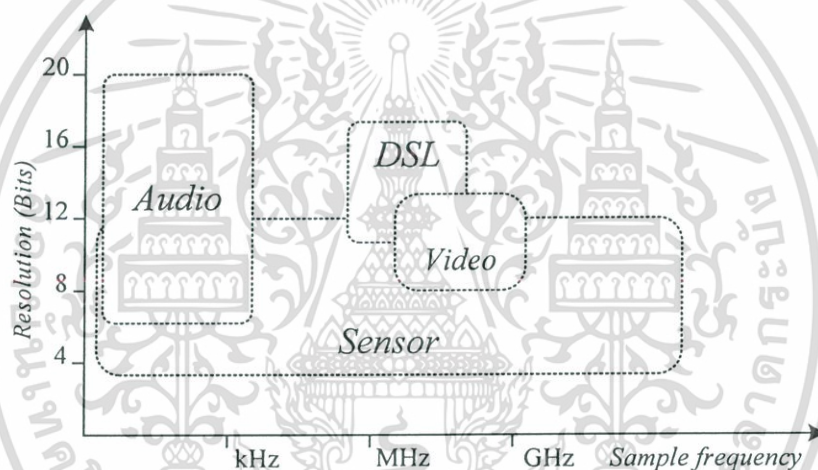


รูปที่ 2.3 บล็อก ไดอะแกรมของการส่ง-รับข้อมูลดิจิทัลผ่านช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 การประยุกต์ใช้วงจรแปลงสัญญาณในระบบ DSL

ในระบบการส่งสัญญาณดิจิทัลเราคำนึงถึงชนิดและปริมาณของข้อมูลที่เรานำไปใช้ เช่น ข้อมูลเสียง, ข้อมูลภาพ หรือ ข้อมูลอื่นๆ โดยชนิดและขนาดของข้อมูลนั้นเป็นสิ่งจำเป็นอย่างยิ่งที่เราต้องคำนึงถึง เพราะชนิดของข้อมูลแต่ละประเภทที่ใช้ จะมีความสัมพันธ์โดยตรงกับอัตราการส่งข้อมูล เช่น ในระบบสัญญาณข้อมูลประเภท Audio เราไม่ต้องการแบนด์วิดท์ ของสัญญาณมากเนื่องจากการตอบสนองของหูมนุษย์นั้นมีข้อจำกัด แต่ต้องการความละเอียด (resolution) ของข้อมูลสูงเพราะต้องการคุณภาพและรายละเอียดของข้อมูล, อัตราสุ่มสัญญาณ (sample frequency) มีความสัมพันธ์โดยตรงกับความถูกต้องของข้อมูล และ เพื่อต้องการลดปัญหาความยุ่งยากของวงจรมัลติเพล็กซ์ในภาคถัดไป ในการกำจัดสัญญาณนอกช่วงความถี่ที่ต้องการ, การเปรียบเทียบการเลือกจำนวนบิต และอัตราสุ่มค่าสัญญาณให้เหมาะสมกับชนิดของข้อมูล [6-7] แสดงในรูปที่ 2.4



รูปที่ 2.4 ภาพรวมของชนิดสัญญาณ ความละเอียด และ อัตราสุ่มค่าสัญญาณ

การเลือกจำนวนบิตความละเอียดของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก จากสัญญาณรบกวนในระบบ ADSL [1], [17]

ADSL-CO

$PSD_{Tx} = -40 \text{ dBm/Hz}$

Maximum  $BW_{Tx} = 1104 - 26 = 1078 \text{ kHz}$

Maximum  $BW_{Rx} = 138 - 26 = 112 \text{ kHz}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADSL-CPE

$$PSD_{Tx} = -38 \text{ dBm/Hz}$$

$$\text{Maximum } BW_{Rx} = 1104 - 26 = 1078 \text{ kHz}$$

$$\text{Maximum } BW_{Tx} = 138 - 26 = 112 \text{ kHz}$$

ADSL specification

$$PSD_{Tx} \quad -38 \text{ dBm/Hz}$$

$$PSD_n \quad -110 \text{ dBm/Hz}$$

$$T_e \quad 20 \text{ dB}$$

เมื่อ  $PSD_{Tx}$  คือ Power spectral density ของสัญญาณด้านส่ง

$PSD_n$  คือ Power spectral density ของสัญญาณด้านรับ

$T_e$  คือ average echo rejection

$BW_{Tx}$  คือ แบนด์วิทด้านส่ง

$BW_{Rx}$  คือ แบนด์วิทด้านรับ

จากสมการ SNR ของ DAC [3],[21-22]

$$SNR_{DAC} = N \cdot 6.02 + 1.76$$

$$N(\text{bits}) = \frac{SNR_{DAC} - 1.76}{6.02} \approx \frac{PSD_{Tx} - PSD_n - T_e + 9.84}{6.02}$$

$$12 = \frac{-38 - (-110) - 20 - 9.84}{6.02}$$

ดังนั้นจะได้คุณสมบัติของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

$$N(\text{bits}) \quad 12$$

$$SNR \quad 70\text{dB}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 บทสรุป

ระบบ DSL เป็นเทคโนโลยีการสื่อสารในเครือข่ายระบบโทรศัพท์ที่มีอยู่ในปัจจุบัน ให้ปริมาณการส่ง-รับ ข้อมูลสูงกว่าระบบโมเด็มที่ใช้ในความถี่เสียงอย่างมาก เป็นเทคโนโลยีที่มีความจำเป็นในปัจจุบันและอนาคต, อุปกรณ์ในระบบ DSL ยังต้องการพัฒนาอีกมากมายทั้งในส่วนของการประมวลผลสัญญาณ, การแปลงสัญญาณระหว่างดิจิทัลและอนาลอก รวมถึงระบบส่งสัญญาณ เทคโนโลยีในปัจจุบันสนับสนุนการออกแบบวงจรมากขึ้นนักพัฒนาสามารถออกแบบวงจรและระบบ ให้ประสิทธิภาพสูงขึ้น ในบทนี้เราได้กล่าวถึงระบบ DSL และคุณสมบัติบางประการที่เราจะใช้ในการออกแบบวงจรมอนาลอกในภาคส่งของระบบ DSL

ในการออกแบบวงจรในส่วนภาคส่งของระบบ DSL เราต้องคำนึงถึงความต้องการในส่วนต่างๆ เช่น จำนวนบิต ระดับสัญญาณที่ต้องการ ข้อจำกัดแหล่งจ่ายแรงดัน และ การสิ้นเปลืองพลังงาน



## บทที่ 3

# พื้นฐานวงจรที่ใช้ออกแบบ

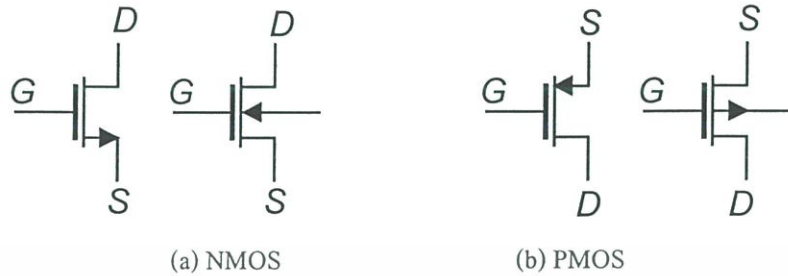
### 3.1 บทนำ

การออกแบบวงจรรวมเราจะต้องคำนึงถึงคุณสมบัติของเทคโนโลยีที่ใช้ในการออกแบบ ซึ่งในวงจร Analogue Front-End ในวิทยานิพนธ์นี้ออกแบบโดยใช้ เทคโนโลยี CMOS 0.35um n-well ดังนั้นเราจึงต้องเข้าใจการทำงานของวงจรในเทคโนโลยีนี้เพื่อที่จะนำไปประยุกต์ใช้ออกแบบวงจรให้เหมาะสม, วงจรที่เราทำการออกแบบเป็นวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก และวงจรกรองความถี่ต่ำผ่าน ในวงจรประกอบด้วยการทำงานของวงจรหลายส่วน คือ วงจรแทนแหล่งจ่ายกระแส, วงจรสร้างแรงดันอ้างอิง ฯลฯ ดังนั้นเราควรเข้าใจพื้นฐานการทำงานของระบบและวงจรเบื้องต้น ในบทนี้ได้นำเสนอด้วยกัน 4 ส่วน โดยประกอบด้วย ส่วนแรกคือคุณสมบัติของมอสทรานซิสเตอร์ในเทคโนโลยี CMOS อธิบายวิธีการทำงานและการจัดรูปแบบของวงจร ส่วนที่สองเป็นวงจรพื้นฐานที่ใช้ เช่น พื้นฐานวงจรสร้างแรงดันอ้างอิง และ กระแสอ้างอิง ส่วนที่สามเป็นคุณสมบัติการแปลงสัญญาณเบื้องต้นที่ใช้บอกประสิทธิภาพวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ในส่วนสุดท้ายเป็นสรุปเนื้อหาในบทที่ 3

### 3.2 คุณสมบัติของมอสทรานซิสเตอร์

ในการออกแบบวงจรรวมโดยใช้เทคโนโลยีซีมอสนั้นเราจำเป็นต้องเข้าใจการทำงานของมอสทรานซิสเตอร์ซึ่งมี 2 ชนิด คือ NMOS และ PMOS, การทำงานของมอสทรานซิสเตอร์ทั้งสองชนิดนั้นสามารถกำหนดค่าการทำงานจากการไบอัสให้วงจร ซึ่งมี 3 รูปแบบคือ cutoff, triode และ saturation [6-8], และการจัดไบอัสให้กับวงจรมอสทรานซิสเตอร์ นั้นสามารถจัดเป็นลักษณะวงจรขยายได้ 3 แบบ คือ วงจรเกตร่วม, วงจรซอร์สร่วม และวงจรเดรนร่วม ซึ่งการจัดการทำงานแต่ละแบบจะใช้งานต่างกันไป คุณสมบัติอีกประการที่เราสามารถนำมอสทรานซิสเตอร์มาออกแบบวงจรส่วนอื่นๆ ได้ เช่น วงจรแทนแหล่งจ่ายกระแส, สร้างคาปาซิเตอร์จากพารามิเตอร์ของมอสทรานซิสเตอร์ ฯลฯ สิ่งที่สำคัญคือค่าของกระแสของมอสทรานซิสเตอร์ ซึ่งจะเป็นตัวกำหนดอัตราขยายและค่าความต้านทานซึ่งจะกล่าวต่อไป, เราสามารถพิจารณามอสทรานซิสเตอร์ทำหน้าที่สวิตช์ได้ เช่น สำหรับ NMOS ดังในรูปที่ 3.1(a) ถ้า  $V_{GS}$  เป็น แรงดันสูง(high) ขั้ว D และ S จะเสมือนต่อกัน กระแสจะไหลผ่าน ขา D และ S ( $V_{GS}$  จะต้องมีค่ามากกว่า  $V_{TH}$  หรือแรงดันขีดเริ่ม) มอสทรานซิสเตอร์เป็นอุปกรณ์ในแนวนอน(Lateral device) เช่น NMOS อิเล็กตรอนจะเคลื่อนที่

จากขั้ว D ไป S ผ่าน Channel ในแนวราบ ความยาวของ Channel คือความยาวระหว่างขั้วได้เกิด(L) ซึ่งเป็นระยะทางที่อิเล็กตรอนต้องเดินทาง



รูปที่ 3.1 สัญลักษณ์ของมอสทรานซิสเตอร์

### 3.2.1 คุณสมบัติของมอสทรานซิสเตอร์แบบ NMOS

การทำงานของ NMOS นั้นต้องการระดับแรงดันบวกที่  $V_{GS}$  จึงจะเกิดกระแสไหลจาก D ไป S เราจะแบ่งการทำงานของ NMOS เป็นสามย่านการทำงานดังนี้

ย่านคัตออฟ (cut-off region) โดยการทำงานในย่านนี้คือค่าของ  $V_{GS} < V_{TH}$  ซึ่งจะส่งผลให้ไม่มีกระแส  $i_D$  ไหลในวงจรหรือการทำงานแบบสวิตช์เปิดวงจร

ย่านไตร โอด (triode region) เงื่อนไขการทำงานคือ  $V_{GS} > V_{TH}$  และ  $V_{DS} < V_{GS} - V_{TH}$  จะได้สมการกระแส  $i_D$  ดังสมการที่ 3.1

$$i_D = K'_N \left( \frac{W}{L} \right) \left\{ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (3.1)$$

โดย  $K'_N = \mu_N c_{ox}$  จะสังเกตได้ว่าในย่านไตร โอดกระแส  $i_D$  จะขึ้นอยู่กับ  $V_{GS}$  และ  $V_{DS}$

ย่านอิ่มตัว (saturation region) เงื่อนไขการทำงานในย่านนี้คือแรงดัน  $V_{GS} > V_{TH}$  และ  $V_{DS} > V_{GS} - V_{TH}$  ทำให้ได้ค่ากระแส  $i_D$  ดังสมการที่ (3.2)

$$i_D = \frac{K'_N}{2} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (3.2)$$

จะสังเกตได้จากสมการ (3.2) ว่าในย่านนี้กระแส  $i_D$  จะขึ้นอยู่กับ  $V_{GS}$  เท่านั้น อย่างไรก็ตามในทางปฏิบัติผลของ channel-length modulation ( $\lambda$ ) จะทำให้  $V_{DS}$  ส่งผลต่อ  $i_D$  อยู่เล็กน้อย, เราสรุปคุณสมบัติของกระแส  $i_D$  ในย่านการทำงานข้างต้นได้ดังในสมการที่ (3.3)

$$i_D = \left\{ \begin{array}{l} 0, V_{GS} < V_{TH} \\ K'_N \left( \frac{W}{L} \right) \left\{ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right\} V_{DS}, V_{GS} - V_{TH} > V_{DS} > 0 \\ \frac{K'_N}{2} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2, V_{DS} > V_{GS} - V_{TH} > 0 \end{array} \right\} \quad (3.3)$$

จะเห็นว่าในกรณีที่  $V_{GS} > V_{TH}$  ค่าของ  $V_{DS}$  ที่ต่ำสุดที่ทำให้ทรานซิสเตอร์ทำงานในย่านอิ่มตัวคือ  $V_{DS} = V_{GS} - V_{TH}$  เพื่อความสะดวกเราจะเรียกค่า  $V_{DS}$  ดังกล่าวว่าเป็น  $V_{DS(sat)}$  เขียนสมการได้แบบง่ายดังสมการที่ (3.4)

$$i_D = \left\{ \begin{array}{l} 0, V_{DS(sat)} < 0 \\ K'_N \left( \frac{W}{L} \right) \left\{ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right\} V_{DS}, V_{DS(sat)} > V_{DS} > 0 \\ \frac{K'_N}{2} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2, V_{DS(sat)} > 0 \end{array} \right\} \quad (3.4)$$

โดย  $V_{DS(sat)} = V_{GS} - V_{TH}$

### 3.2.2 คุณสมบัติของมอสทรานซิสเตอร์แบบ PMOS

พิจารณาการทำงานของ PMOS ทำงานในลักษณะเดียวกันกับ NMOS แต่ลักษณะของแรงดันและทิศทางการไหลของกระแสจะแตกต่างกัน เราสามารถสรุปความสัมพันธ์ของแรงดันและกระแสของ PMOS ได้ดังนี้

$$i_D = \left\{ \begin{array}{l} 0, V_{SG} < |V_{TH}| \\ K'_P \left( \frac{W}{L} \right) \left\{ (V_{SG} - |V_{TH}|) - \frac{V_{SD}}{2} \right\} V_{SD}, V_{SG} - |V_{TH}| > V_{SD} > 0 \\ \frac{K'_P}{2} \left( \frac{W}{L} \right) (V_{SG} - |V_{TH}|)^2, V_{SD} > V_{SG} - |V_{TH}| > 0 \end{array} \right\} \quad (3.5)$$

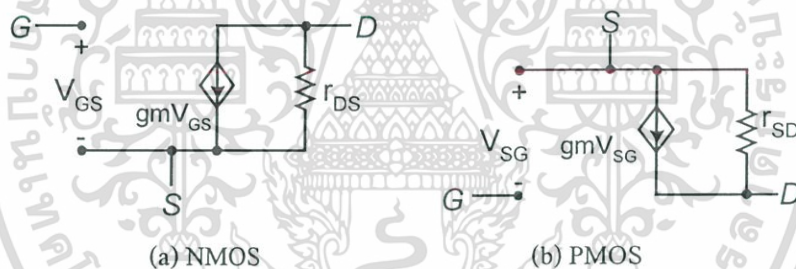
จะเห็นว่าในกรณีที่  $V_{SG} > |V_{TH}|$  ค่าของ  $V_{SD}$  ที่ต่ำสุดที่ทำให้ทรานซิสเตอร์ทำงานในย่านอิ่มตัวคือ  $V_{SD} = V_{SG} - |V_{TH}|$  เพื่อความสะดวกเราเรียกค่า  $V_{SD}$  ดังกล่าวว่าเป็น  $V_{SD(sat)}$  เขียนคุณสมบัติของกระแส  $i_D$  ได้ดังสมการที่ (3.6)

$$i_D = \left. \begin{cases} 0, V_{SD(sat)} < 0 \\ K'_P \left( \frac{W}{L} \right) \left\{ (V_{SG} - |V_{TH}|) - \frac{V_{SD}}{2} \right\} V_{SD}, V_{DS(sat)} - V_{SD} > 0 \\ \frac{K'_P}{2} \left( \frac{W}{L} \right) (V_{GS} - |V_{TH}|)^2, V_{SD} > V_{SD(sat)} > 0 \end{cases} \right\} \quad (3.6)$$

โดย  $V_{SD(sat)} = V_{SG} - |V_{TH}|$

### 3.2.3 แบบจำลองสัญญาณขนาดเล็ก (small-signal model) ของมอสทรานซิสเตอร์

เราสามารถสมมุติการทำงานของมอสทรานซิสเตอร์ได้เป็นวงจรเสมือนดังรูปที่ 3.2 แทนความต้านทานระหว่าง G กับ S สูงมาก และ แรงดัน  $V_{GS}$  หรือ  $V_{SG}$  เป็นแรงดันไบอัสระหว่างขา G กับ S ของมอสทรานซิสเตอร์ และเนื่องจากความต้านทานระหว่าง G กับ S ของมอสทรานซิสเตอร์มีความต้านทานสูงมาก จึงเสมือนไม่มีกระแสไหลเข้าที่ขา G ส่วนด้านเอาต์พุตระหว่าง D กับ S แทนด้วยแหล่งจ่ายกระแสที่ถูกควบคุมโดยแรงดันของ  $V_{GS}$  หรือ  $V_{SG}$ , เมื่อความต้านทาน  $r_{DS}$  เป็นความต้านทานที่เอาต์พุต ระหว่าง D กับ S



รูปที่ 3.2 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

จากรูปที่ 3.2 พิจารณาการทำงานของมอสทรานซิสเตอร์ ซึ่งได้ค่าคุณสมบัติจำเพาะต่างๆ ที่เกิดจากการทำงานของทรานซิสเตอร์ในย่านอิมิตัว

$$gm = \sqrt{2K' \left( \frac{W}{L} \right) I_D} \cong K' \left( \frac{W}{L} \right) V_{DS(sat)} \quad (3.7)$$

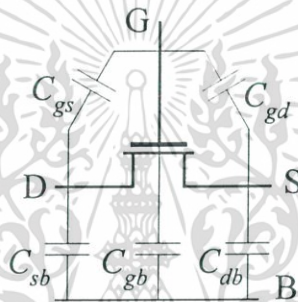
$$g_{DS} = \frac{1}{r_{DS}} = \lambda I_D \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.4 ตัวเก็บประจุแฝง (Parasitic Capacitance)

ประสิทธิภาพของวงจรจะถูกจำกัดด้วยตัวแปรอีกตัวที่ควรให้ความสำคัญนั่นคือ ตัวเก็บประจุแฝงในมอสทรานซิสเตอร์ [6-10] โดยปกติค่าตัวเก็บประจุแฝงในมอสทรานซิสเตอร์จะเกิดขึ้นระหว่างรอยต่อระหว่างสาร P กับ N, สัญลักษณ์และการเกิดของขึ้นของตัวเก็บประจุแฝง แสดงไว้ในรูปที่ 3.3 [7] โดยแบ่งจากลักษณะการทำงานของมอสทรานซิสเตอร์ในย่านต่างๆ ทำให้เกิดค่าตัวเก็บประจุแฝงที่แตกต่างกัน

เมื่อเราออกแบบวงจรมอสทรานซิสเตอร์จะต้องคำนึงถึงค่าตัวเก็บประจุแฝงที่เกิดขึ้นด้วยเนื่องจากเราต้องการให้วงจรทำงานในช่วงความถี่ที่ต้องการ การกำหนดขนาดของมอสทรานซิสเตอร์จะต้องมีความสัมพันธ์ที่เหมาะสมกับกับคุณสมบัติของวงจร ในประมาณค่าตัวเก็บประจุแฝงเบื้องต้นได้สรุปไว้ในตารางที่ 3.1 [7]



รูปที่ 3.3 ตัวเก็บประจุแฝงในมอสทรานซิสเตอร์

ตารางที่ 3.1 ค่าตัวเก็บประจุที่เกิดจากการทำงานของมอสทรานซิสเตอร์

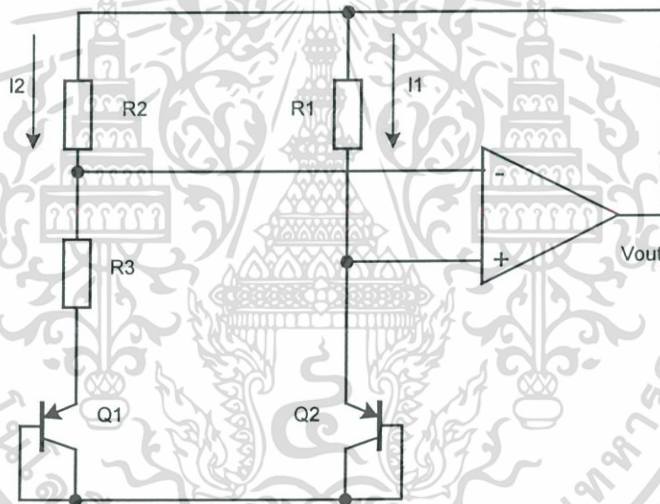
Operation region	Gate-Bulk, $C_{gb}$	Gate-Source, $C_{gs}$	Gate-Drain, $C_{gd}$
Cut-off	$C_{ox}WL$	0	0
Linear	0	$C_{ox}WL/2$	$C_{ox}WL/2$
Saturation	0	$2C_{ox}WL/3$	0

ตัวเก็บประจุแฝง  $C_{gs}$  และ  $C_{gd}$  เกิดจากการสะสมประจุเมื่อมีการสวิตช์แรงดันที่ขา G ในกรณีนี้เป็น การป้อนประจุและการถ่ายเทประจุ ดังนั้นในช่วงการสวิตช์ก็จะทำให้เกิดการถ่ายเทประจุระหว่าง S กับ D ทำให้เกิดสัญญาณที่เราไม่ต้องการเกิดขึ้น ดังนั้นในการออกแบบการสวิตช์ของมอสทรานซิสเตอร์ที่ใช้ควบคุมการทำงานในวงจรดิจิตอลจึงคำนึงถึงการเกิดกรณีดังกล่าว ซึ่งเป็นที่มาของ glitch, current spikes และ สัญญาณนาฬิกาไหลข้าม (Clock Feedthrough :CFT) ที่จะเกิดขึ้นได้

### 3.3 วงจรสร้างแรงดันและวงจรสร้างกระแสอ้างอิง

#### 3.3.1 วงจรสร้างแรงดันอ้างอิงแบนด์แก๊ป (Band-gap voltage reference)

วงจรสร้างแรงดันอ้างอิงแบนด์แก๊ปเป็นวงจรที่นิยมใช้ในการออกแบบวงจรรวม เนื่องจากให้แรงดันที่คงที่มีเสถียรภาพต่ออุณหภูมิมากกว่าวงจรสร้างแรงดันอ้างอิงชนิดอื่น [8-10] เราสามารถสร้างแรงดันอ้างอิงแบนด์แก๊ปได้จากเทคโนโลยีไบโพล่า, BiCMOS และ CMOS โดยใช้ประโยชน์จากสัมประสิทธิ์ส่วนกลับของ รอยต่อเบส-อิมิตเตอร์ และ สัมประสิทธิ์การเพิ่มขึ้นของอุณหภูมิของ thermal voltage ( $kT/q$ ), วงจรสร้างแรงดันอ้างอิงเป็นส่วนสำคัญในการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก และ วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล เพราะการสร้างแรงดันหรือกระแสอ้างอิงที่ถูกต้องนั้นเป็นสิ่งจำเป็น เนื่องจากต้องการความถูกต้องของแรงดันที่ใช้ในการจัดระดับสัญญาณ, ในเทคโนโลยี CMOS แบบ n-well เราสามารถใช้คุณสมบัติของรอยต่อ P และ N สร้างไบโพล่าทรานซิสเตอร์ PNP มาใช้ประกอบเป็นวงจรสร้างแรงดันอ้างอิงแบนด์แก๊ป ตัวอย่างการสร้างวงจรแบนด์แก๊ปแสดงดังรูปที่ 3.4 [1]



รูปที่ 3.4 วงจรสร้างแรงดันอ้างอิงแบนด์แก๊ปในเทคโนโลยี CMOS

สมมติให้วงจรออปแอมป์ในรูปที่ 3.4 มีอัตราขยายสูง, แรงดันที่ตกคร่อม  $R_1$  กับ  $R_2$  มีค่าเท่ากัน สามารถกำหนดอัตราส่วนกระแส  $I_1$  และ  $I_2$  จากอัตราส่วนของ  $R_1$  และ  $R_2$ , ดังนั้นความแตกต่างของแรงดันระหว่าง เบส-อิมิตเตอร์ หาได้จาก

$$\Delta V_{BE} = V_T \cdot \ln\left(\frac{I_1 \cdot A_2}{I_2 \cdot A_1}\right) = V_T \cdot \ln\left(\frac{R_2 \cdot A_2}{R_1 \cdot A_1}\right) \quad (3.9)$$

เมื่อ  $V_T$  คือ thermal voltage ( $kT/q$ ,  $\sim 26\text{mV}$  ที่อุณหภูมิ 300K),  $A_1$  และ  $A_2$  คือ พื้นที่อิมิตเตอร์ของทรานซิสเตอร์ Q1 และ Q2, ผลต่างของแรงดันจะส่งผลต่อแรงดันที่ R3, เมื่อ R2 และ R3 มีกระแสไหลผ่านเท่ากัน ค่าแรงดันที่เกิดขึ้นที่ R2 หาได้จาก

$$V_{R2} = \frac{R_2}{R_3} \cdot V_{BE} = \frac{R_2}{R_3} \cdot V_T \cdot \ln\left(\frac{R_2}{R_1} \cdot \frac{A_2}{A_1}\right) \quad (3.10)$$

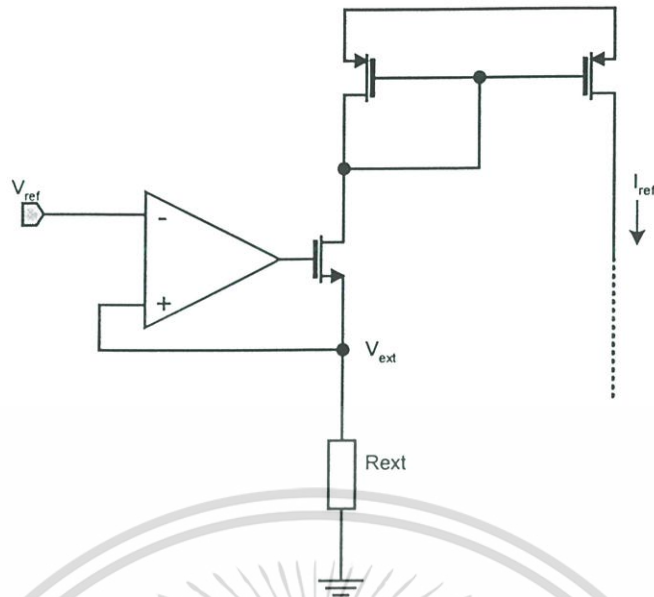
เมื่อแรงดันที่ตกคร่อมระหว่าง R1 และ R2 มีค่าเท่ากัน เราจะได้  $V_{out}$  ดังสมการ (3.11)

$$V_{out} = V_{BE} + \frac{R_2}{R_3} \cdot V_T \cdot \ln\left(\frac{R_2}{R_1} \cdot \frac{A_2}{A_1}\right) \quad (3.11)$$

จะเห็นว่าค่าแรงดันที่เอาต์พุต  $V_{out}$  กำหนดโดยแรงดันที่ เบส-อิมิตเตอร์ ซึ่งเป็นสัมประสิทธิ์อุณหภูมิที่เป็นลบ และ thermal voltage มีสัมประสิทธิ์อุณหภูมิที่เป็นบวก, โดยการกำหนดผลคูณคงที่กับ thermal voltage, เราจะได้สัมประสิทธิ์อุณหภูมิของแรงดันเอาต์พุตเป็นศูนย์ไม่ขึ้นอยู่กับอุณหภูมิ ซึ่งเป็นที่มาของการสร้างแรงดันอ้างอิงที่มีเสถียรภาพกับอุณหภูมิ และเราสามารถกำหนดค่าแรงดันอ้างอิงที่  $V_{out}$  ของออปแอมป์, ในการออกแบบวงจรดังรูปที่ 3.4 จำเป็นต้องคำนึงถึงอินพุตออฟเซตของออปแอมป์ด้วย

### 3.3.2 วงจรสร้างกระแสอ้างอิง(Current reference generation)

วงจรสร้างกระแสอ้างอิงเป็นส่วนสำคัญอีกส่วนหนึ่งในวงจรรวม เนื่องจากเราต้องการกำหนดค่ากระแสเพื่อใช้ในการไบอัสให้วงจร ได้คุณสมบัติที่ต้องการ, ในการออกแบบวงจรรวมสามารถสร้างกระแสอ้างอิงภายในวงจร ได้แต่อาจเกิดกระแสที่คลาดเคลื่อน จากคุณสมบัติความไม่สมมาตรจากการเจือสารหรือระดับแรงดันที่คลาดเคลื่อนไป หรือ ค่าเปอร์เซ็นต์ความผิดพลาดของค่าตัวต้านทานที่สร้างจากสารกึ่งตัวนำในวงจรรวม ดังนั้นเราสามารถสร้างกระแสอ้างอิงโดยอาศัยตัวต้านทานภายนอกวงจรรวม ซึ่งสามารถกำหนดค่ากระแสอ้างอิงจากภายนอกได้ง่าย และสามารถปรับแต่งค่าของกระแสจากค่าความต้านทานได้ เพื่อป้องกันกรณีกระแสอ้างอิงที่ต้องการเกิดความผิดพลาด, ในการกำเนิดกระแสอ้างอิงโดยใช้ตัวต้านทานภายนอกวงจรรวม เราจำเป็นต้องใช้ค่าแรงดันอ้างอิงที่แม่นยำ ซึ่งสามารถกำหนดจากภายนอกวงจรรวม หรือ สามารถสร้างแรงดันอ้างอิง จากวงจรแรงดันอ้างอิงแบนด์แก๊ป, ตัวอย่างของวงจรในรูปที่ 3.5 [1] คือ วงจรสร้างกระแสอ้างอิงจากตัวต้านทานภายนอก



รูปที่ 3.5 วงจรสร้างกระแสอ้างอิง

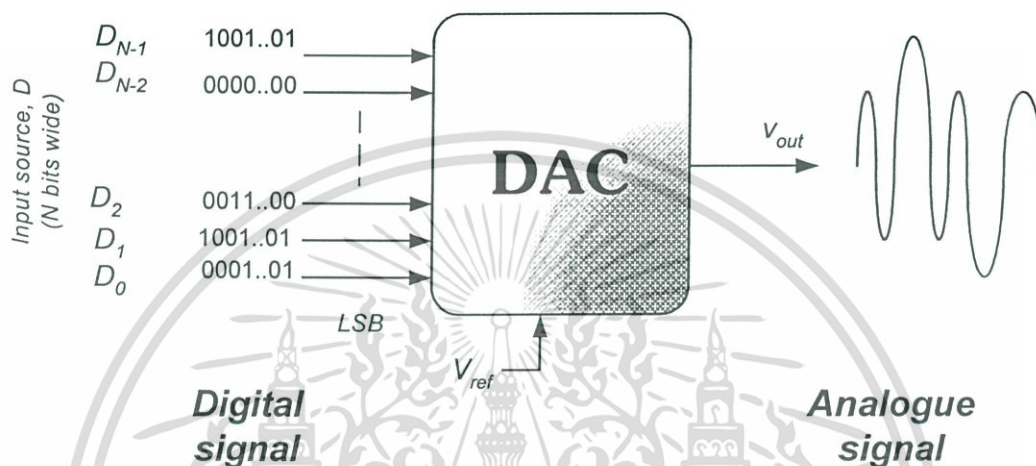
การออกแบบกำหนดให้วงจรในส่วน PMOS ต่อกันแบบวงจรสะท้อนกระแสซึ่งออกแบบให้มีคุณสมบัติเท่ากันทุกประการ และ วงจรขยายออปแอมป์มีค่าอัตราขยายสูงมาก ดังนั้นแรงดันอ้างอิง  $V_{ref}$  จะเป็นแรงดันที่  $V_{ext}$  ค่ากระแส  $I_{R_{ext}}$  มีค่าเท่ากับกระแส  $I_{ref}$  สามารถคำนวณค่ากระแสอ้างอิงได้จากสมการ (3.12)

$$I_{ref} = \frac{V_{ref}}{R_{ext}} \quad (3.12)$$

### 3.4 การแปลงสัญญาณดิจิทัลเป็นอนาลอก

วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกเป็นส่วนสำคัญในระบบสื่อสารเป็นอย่างมาก ใช้ในการแปลงสัญญาณข้อมูลดิจิทัลให้สามารถส่งผ่านสัญญาณดิจิทัลเข้าสู่ระบบการสื่อสารอนาลอก[1-7], ความต้องการถึงคุณสมบัติต่างๆ ถูกพัฒนาให้มีประสิทธิภาพในการแปลงสัญญาณเพิ่มขึ้นทั้ง ความละเอียด, ความแม่นยำ และ ความเร็ว รวมถึงสัญญาณนาฬิกาที่ใช้ในการสุ่มค่าสัญญาณ (Sampling clock frequencies) ได้พัฒนาให้มีความเร็วในการทำงานในระดับล้านค่าในวินาที ทำให้ความต่อเนื่องของสัญญาณจึงมีความสมบูรณ์มากขึ้น จากรูปที่ 1.1 เห็นว่าระบบการสื่อสารในปัจจุบันเป็นรูปแบบข้อมูลดิจิทัลส่งออก แต่ด้วยรูปแบบการสื่อสารไม่สามารถส่งรหัสสัญญาณดิจิทัลออกไปได้โดยตรง จะต้องทำการแปลงสัญญาณให้อยู่ในระบบอนาลอกและผสมกับสัญญาณคลื่นพาห์ ดังนั้นความต้องการในระบบจำเป็นต้องอาศัยวงจรแปลงสัญญาณดิจิทัลเป็น

อนาล็อก, แสดงลักษณะการทำงานของระบบแปลงสัญญาณดังรูปที่ 3.6 ด้านอินพุตเป็นลักษณะของสัญญาณดิจิทัลที่ผ่านกระบวนการประมวลผลเรียบร้อยแล้วที่จะส่งให้กับด้านตรงข้ามโดยจำนวนบิตจะขึ้นอยู่กับความต้องการในระบบสื่อสารแต่ละชนิด วงจรแปลงสัญญาณได้รับสัญญาณดิจิทัลเข้ามาแปลงสู่ระบบแปลงสัญญาณดิจิทัลเป็นอนาล็อกโดยชนิดและรูปแบบการทำงานและวิธีการออกแบบวงจร กล่าวในหัวข้อต่อไป การคืนค่าสัญญาณกลับในภาครับสามารถทำได้โดยใช้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล ซึ่งไม่กล่าวถึงรายละเอียดในที่นี้



รูปที่ 3.6 การทำงานของระบบแปลงสัญญาณดิจิทัลเป็นอนาล็อก

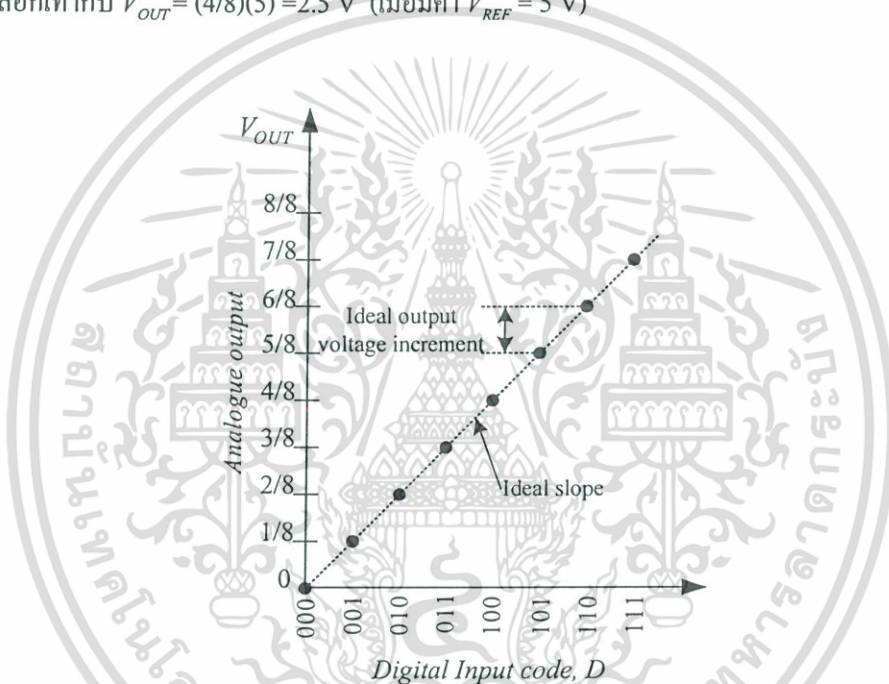
สัญญาณดิจิทัลเป็นลักษณะของสัญญาณที่ไม่ต่อเนื่องทางเวลาและมีระดับของสัญญาณดิจิทัล 2 ระดับ คือ '1' และ '0' แต่อาศัยจำนวนค่าของ 'บิต' กับช่วงเวลาที่ใช้ในการเปลี่ยนแปลงค่าเป็นการกำหนดให้เกิดลักษณะของสัญญาณ เช่น ค่าของสัญญาณดิจิทัล "1 1 1 0 0 0 1" คือสัญญาณดิจิทัลความละเอียด (resolution) ขนาด 8 บิต การจัดระดับสัญญาณจึงสามารถกำหนดได้เป็น  $2^8 = 256$  ระดับ, เรานำคุณสมบัติของสัญญาณดิจิทัล สร้างระบบที่มีจัดระดับสัญญาณให้มีความแตกต่างกันได้ 256 ระดับ เพื่อสร้างสัญญาณที่มีความต่อเนื่องทางเวลา รูปแบบของสัญญาณแบบอนาล็อกจะเป็นรูปแบบของระดับสัญญาณ (ระดับของแรงดัน, กระแส หรือ ประจุ) ที่มีคุณลักษณะต่อเนื่องทางเวลาทำให้เกิดการเปลี่ยนแปลงค่าระดับสัญญาณในคาบเวลาใดๆ ค่าระดับสัญญาณที่เอาต์พุตของการแปลงสัญญาณจากรูปที่ 3.6 มีค่าดังสมการที่ (3.13)

$$V_{OUT} = D \cdot V_{REF} \quad (3.13)$$

เมื่อ  $V_{OUT}$  เป็นระดับแรงดันที่เกิดขึ้นที่เอาต์พุต,  $V_{REF}$  ระดับแรงดันที่ใช้อ้างอิงสัญญาณอนาลอก และ  $D$  คือ พิงค์ซ์ของสัญญาณดิจิทัลอินพุต  $D$  ซึ่งมีจำนวน  $N$  บิต สมการที่ (3.14) คือการจัดระดับการเปลี่ยนแปลงของสัญญาณดิจิทัลอินพุต

$$\text{Number of input combinations} = 2^N \quad (3.14)$$

เราสามารถวาดกราฟแสดงความสัมพันธ์ของการแปลงสัญญาณดิจิทัลเป็นอนาลอกได้ดังรูปที่ 3.7 เมื่อกำหนดให้  $D$  มีขนาด 3 บิต ( $N = 3$  bits) แสดงให้เห็นถึงการเปลี่ยนแปลงสัญญาณเมื่อมีการเพิ่มขึ้นของสัญญาณดิจิทัล เช่น ที่  $D=3$  หรือ รหัสดิจิทัล "011" ได้ค่าระดับแรงดันสัญญาณเอาต์พุตอนาลอกเท่ากับ  $V_{OUT} = (4/8)(5) = 2.5$  V (เมื่อมีค่า  $V_{REF} = 5$  V)



รูปที่ 3.7 การแปลงสัญญาณดิจิทัลเป็นอนาลอกในอุดมคติ

เมื่อ  $V_{OUT}$  คือ สัญญาณแรงดันที่เอาต์พุต

ค่า Least Significant Bit (LSB) คือค่านัยสำคัญของระดับสัญญาณดิจิทัลขนาดเล็กที่สุด จะอยู่ที่บิตล่างสุด (โดยส่วนใหญ่อยู่ที่ตำแหน่งขวาสุด) ของสัญญาณดิจิทัล แสดงที่บิต  $D_0$

ค่า Most Significant Bit (MSB) คือ บิตของสัญญาณดิจิทัลด้านสูงสุด(โดยส่วนใหญ่อยู่ที่ตำแหน่งซ้ายสุด) เป็นบิตที่มีค่าระดับสัญญาณดิจิทัลสูงสุด เช่น  $D_2, D_1, D_0$  เมื่อ  $D_2$  เป็น MSB โดยทั่วไปเมื่อเรากำหนดจำนวนบิตของสัญญาณดิจิทัลมีค่าเท่ากับ  $N$ -bit การเรียกค่า MSB คือ  $D_{N-1}$

เมื่อเรากล่าวถึงการแปลงสัญญาณระหว่างดิจิทัล กับอนาลอก, ความละเอียดของระดับสัญญาณ (resolution) กำหนดจากความสัมพันธ์ของระดับการเปลี่ยนแปลงสัญญาณกับจำนวนบิต ในตารางที่ 3.2 แสดงความสัมพันธ์ของ resolution, ระดับความแตกต่างของสัญญาณดิจิทัล, ค่าระดับแรงดันต่อ 1 LSB, เปอร์เซ็นต์ความแม่นยำ และ แรงดันเอาต์พุตสูงสุดที่ได้จากการแปลงสัญญาณ เมื่อเราสมมติให้แรงดันอ้างอิงที่ 5 V, %accuracy =  $V_{ref}/1 \text{ LSB}$

ตารางที่ 3.2 ระบบความละเอียดของสัญญาณดิจิทัลกับสัญญาณอนาลอก

Resolution	Input combinations	1 LSB	% accuracy	$V_{FS}$
3	8	0.625 V	12.50	4.3750 V
8	256	19.50 mV	0.391	4.9850 V
16	65,536	76.29 $\mu$ V	0.00153	4.9999 V

จากตารางที่ 3.2 เมื่อ คัดที่  $V_{ref}$  เท่ากับ 5 V ค่าของสัญญาณ 1 LSB คือ ค่าระดับขั้นของแรงดันสัญญาณอนาลอก เช่น วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกขนาด 8 บิต ได้ระดับขั้นของแรงดัน 1 LSB เท่ากับ 19.50 mV และ สัญญาณดิจิทัลขนาด 16 บิต (ความละเอียดการจัดระดับมีทั้งหมด 65,536 ระดับ) ระดับขั้นของแรงดัน 1 LSB เท่ากับ 76.29  $\mu$ V, จะเห็นได้ชัดเจนว่าหากเราออกแบบวงจรที่ความละเอียดสูงขึ้น ก็จะต้องคำนึงถึงความแม่นยำในการจัดระดับที่สูงขึ้นอีกด้วย เปอร์เซ็นต์ความแม่นยำจึงลดลง

### 3.5 คุณสมบัติของการแปลงสัญญาณดิจิทัลเป็นอนาลอก

ในการแปลงสัญญาณดิจิทัลเป็นอนาลอก มีการกำหนดคุณสมบัติการแปลงสัญญาณไว้หลายค่าด้วยกันคุณสมบัติต่างๆ เป็นค่าที่กำหนดเพื่อออกแบบวงจร และการเลือกใช้โดยหลักจะเป็นค่าประสิทธิภาพในการแปลงสัญญาณ โดยมี 2 ส่วนด้วยกัน [3],[10-12]

ประสิทธิภาพสถิต (Static Performance)

ประสิทธิภาพพลวัต (Dynamic Performance)

#### 3.5.1 ประสิทธิภาพสถิต (Static Performance)

##### 3.5.1.1 ความไม่เป็นเชิงเส้นผลต่าง (Differential Nonlinearity :DNL)

เป็นค่าความเบี่ยงเบนของระดับขั้นเอาต์พุต(output step) ที่มากที่สุดเทียบกับค่า อุดมคติ 1 LSB (เมื่อไม่คิดความผิดพลาดทางขนาดและความผิดพลาดของระดับสัญญาณ) ดังนั้นในอุดมคติ

ค่าความผิดพลาดผลต่าง จะเท่ากับศูนย์ นั่นคือ เอาต์พุตในอุดมคติและเอาต์พุตจริงระดับสัญญาณตรงกัน ในรูปที่ 3.8 คุณสมบัติการแปลงสัญญาณที่เป็นอุดมคติ เพื่อให้สะดวกต่อการพิจารณาเรากำหนดให้สัญญาณเพิ่มขึ้นทีละระดับ แต่ความเป็นจริง การแปลงสัญญาณอาจเกิดปัญหาคือสัญญาณไม่ได้เพิ่มขึ้นหรือลดลงตามคุณสมบัติในอุดมคติ ค่าความไม่เป็นเชิงเส้นแบบผลต่าง (DNL) บอกได้จากนิยามของสมการ (3.15)

$$DNL_n = \text{Actual increment height of transition } n - \text{Ideal increment height} \quad (3.15)$$

พิจารณาความไม่เป็นเชิงเส้นผลต่างจากรูปที่ 3.8 กำหนดความละเอียดในการแปลงสัญญาณ 3 บิต สัญญาณที่เพิ่มขึ้นเป็นระดับ ระดับละ 1 LSB ที่  $D=000$   $DNL=0$  ที่  $D=001$  และ  $D=010$  ค่าของระดับการแปลงสัญญาณเป็นไปตามอุดมคติ ดังนั้น  $DNL_0=DNL_1=DNL_2=0$  ที่  $D=011$  ค่าระดับการแปลงสัญญาณเพิ่มขึ้นจากค่าในอุดมคติทำให้

$$DNL_3 = 1.5 \text{ LSB} - 1 \text{ LSB} = 0.5 \text{ LSB}$$

เราพิจารณาค่า DNL ในระดับการแปลงสัญญาณอื่นๆ ได้ดังนี้

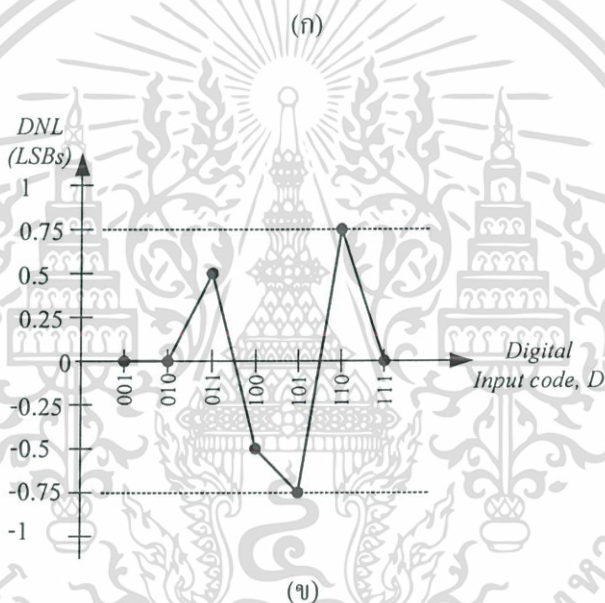
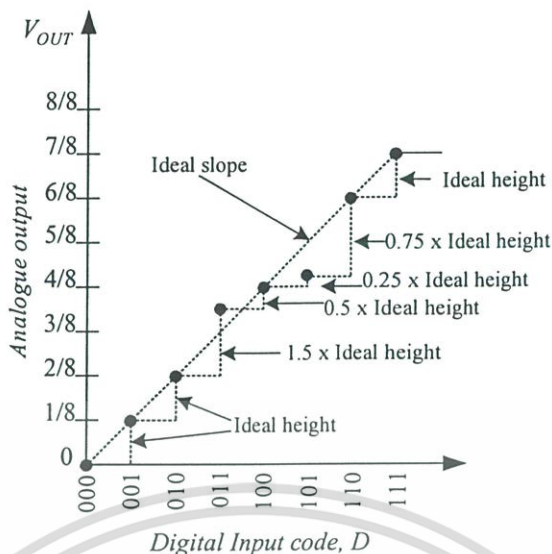
$$DNL_4 = 0.5 \text{ LSB} - 1 \text{ LSB} = -0.5 \text{ LSB}$$

$$DNL_5 = 0.25 \text{ LSB} - 1 \text{ LSB} = -0.75 \text{ LSB}$$

$$DNL_6 = 1.75 \text{ LSB} - 1 \text{ LSB} = 0.75 \text{ LSB}$$

$$DNL_7 = 1 \text{ LSB} - 1 \text{ LSB} = 0 \text{ LSB}$$

ค่า DNL ที่คำนวณแต่ละจุดสามารถวาดกราฟความสัมพันธ์ ระหว่างค่า DNL กับ ดิจิตอลอินพุตของการแปลงระดับสัญญาณในรูปที่ 3.8 (ก) เป็น รูปที่ 3.8 (ข) โดยส่วนใหญ่การออกแบบวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะกำหนดให้ DNL ของวงจรมีค่าอยู่ระหว่าง  $\pm 0.5$  LSB หากการแปลงสัญญาณเกิดค่า DNL เกิน  $\pm 1$  LSB วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกนั้นจะเกิดความไม่เป็นเอกภาพ (Nonmonotonic)



รูปที่ 3.8 ความไม่เป็นเชิงเส้นผลต่าง (DNL)

3.5.1.2 ความไม่เป็นเชิงเส้นอินทิกรัล (Integral nonlinearity :INL)

ประสิทธิภาพสถิติอีกค่าที่สำคัญที่บ่งบอกถึงค่าความเบี่ยงเบนของสัญญาณนาฬิกาเอาต์พุต ที่มากที่สุดเทียบกับค่าอุดมคติ (เมื่อชดเชยความผิดพลาดของอัตราขยาย และความผิดพลาดยกระดับแล้ว) ค่า INL กำหนดโดยผลต่างระหว่างระดับสัญญาณที่เอาต์พุตเทียบกับระดับสัญญาณในอุดมคติดังนิยามสมการ (3.16)

$$INL_n = \text{Output value for input code } n - \text{Output value of reference line at that point} \quad (3.16)$$

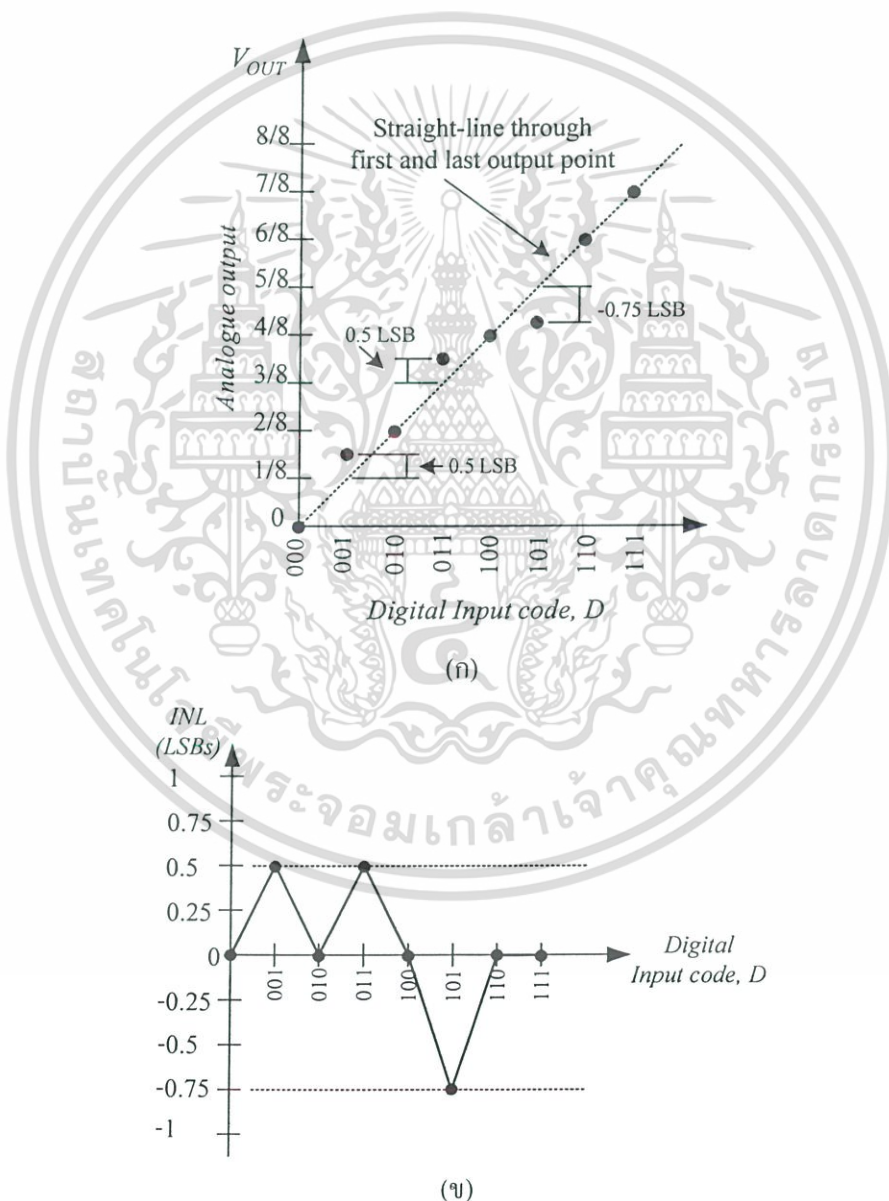
ในรูปที่ 3.9 (ก) แสดงให้เห็นถึงการวัดค่า INL จากการเทียบค่าที่เอาต์พุตกับค่าที่เกิดขึ้นจากระดับรหัสดิจิทัลอุดมคติ และ ความสัมพันธ์ระหว่างระดับการแปลงสัญญาณขนาด 3 บิต กับระดับสัญญาณในอุดมคติ, ในตำแหน่งดิจิทัลอินพุต  $D_0 = 000$  ระดับการแปลงสัญญาณที่เอาต์พุตจะได้เท่ากับ 0 และการเปรียบเทียบระดับการแปลงสัญญาณในตำแหน่งอื่นๆดังนี้

$$INL_0 = INL_2 = INL_4 = INL_6 = INL_7 = 0$$

$$INL_1 = INL_3 = 0.5 \text{ LSB}$$

$$INL_5 = -0.75 \text{ LSB}$$

เราสามารถวาดกราฟแสดงความสัมพันธ์ของ INL กับ รหัสดิจิทัลอินพุตได้ดังรูปที่ 3.9 (ข)

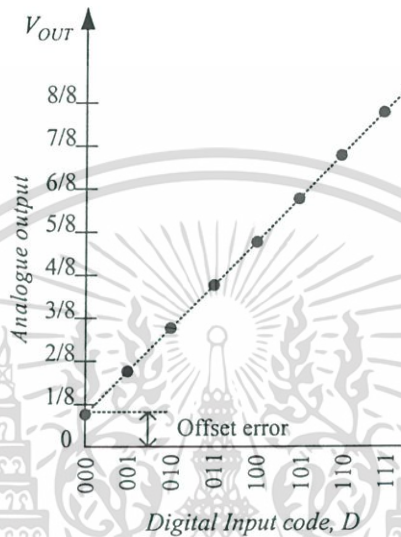


รูปที่ 3.9 ความไม่เป็นเชิงเส้นอินทิกรัล (INL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.5.1.3 ความผิดพลาดระดับ (Offset error)

ความผิดพลาดระดับจะเกิดจากความผิดพลาดของการออกแบบวงจรหรือการปรับแต่งไบอัสทำให้สัญญาณที่เอาต์พุตเกิดข้ระดับ (offset) คุณสมบัติของสัญญาณที่เอาต์พุตสูงขึ้น ในบางกรณีค่าผิดพลาดระดับก็เป็นค่าลบได้ หรือระดับของสัญญาณที่เกิดขึ้นที่เอาต์พุตจะมีค่าต่ำลง ความผิดพลาดระดับแสดงดังรูปที่ 3.10

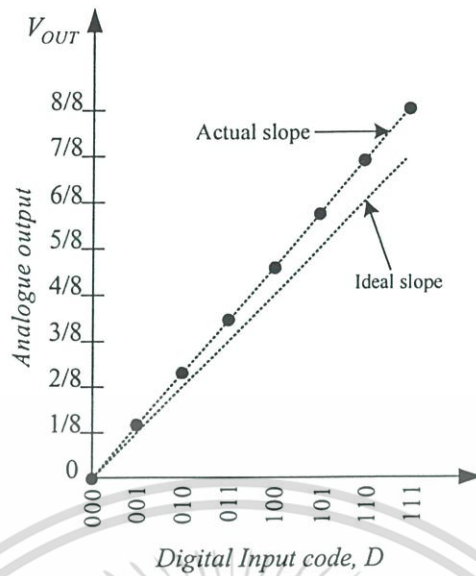


รูปที่ 3.10 ความผิดพลาดระดับ (Offset error)

### 3.5.1.4 ความผิดพลาดอัตราขยาย (Gain error)

เป็นค่าเปรียบเทียบระดับผลต่างระหว่างจุด (slope) ของสัญญาณเอาต์พุตที่เกิดขึ้นกับค่าสัญญาณเอาต์พุตอุดมคติ ความผิดพลาดชนิดนี้เกิดจากอัตราขยายระดับสัญญาณในวงจรที่ไม่เท่ากัน เราแทนนิยามของความผิดพลาดอัตราขยายได้จากสมการ (3.17)

$$\text{Gain error} = \text{Ideal slope} - \text{Actual slope} \quad (3.17)$$



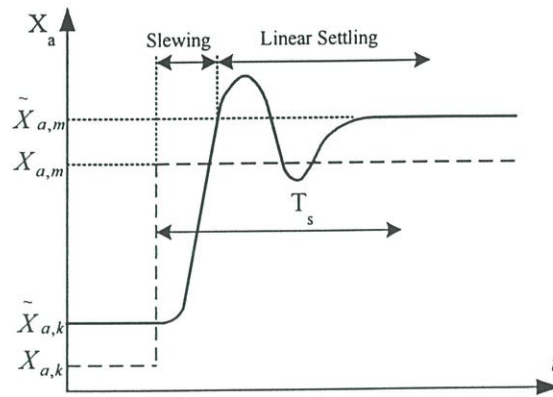
รูปที่ 3.11 ความผิดพลาดอัตราขยาย (Gain error)

### 3.5.2 ประสิทธิภาพพลวัต (Dynamic Performance)

ประสิทธิภาพพลวัตจะเกี่ยวเนื่องกับความไม่สมมาตรของอุปกรณ์ในวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก, โดยทั่วไปการแปลงสัญญาณดิจิทัลเป็นอนาล็อกยังมียอดประกอบของการเปลี่ยนแปลงสัญญาณที่เอาต์พุตเข้ามาเกี่ยวข้องด้วย, ประสิทธิภาพพลวัตจะเกี่ยวเนื่องกับความถี่และการเกิดการเปลี่ยนแปลงของระดับสัญญาณเอาต์พุต

#### 3.5.2.1 Settling error

เมื่อสัญญาณเอาต์พุตเกิดการเปลี่ยนแปลงจากระดับสัญญาณต่ำสุดจนถึงระดับสัญญาณสูงสุดวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกทำการเปลี่ยนระดับสัญญาณ โดยมีอัตราการเปลี่ยนแปลงเทียบกับเวลาที่เกิดขึ้นสัญญาณที่ได้เป็นค่าสูงสุดและแกว่งระดับจนเข้าสู่ค่าที่ถูกต้องตามหลักการแปลงสัญญาณ ถ้าการแปลงสัญญาณ ในอุดมคติจะเริ่มจาก  $X_{a,k}$  เปลี่ยนแปลงไปจนถึงค่า  $X_{a,m}$  แสดงดังรูปที่ 3.12 ในขณะที่สัญญาณที่เกิดขึ้นจะเริ่มเปลี่ยนแปลงจากระดับต่ำสุด  $X_{a,k}$  ถึงค่าสูงสุด  $X_{a,m}$  สัญญาณเปลี่ยนแปลงไปเกิดช่วงเวลาด้านขาขึ้น (Slewing) และเกิดการแกว่งจนเข้าสู่ระดับสูงสุดเกิดช่วงเวลาการถูเข้า (linear settling) จนถึงระดับเสถียรคือช่วงเวลา  $T_s$  หรือ Settling time การทำให้ช่วงเวลา ดังกล่าวสั้นที่สุด จะทำให้ความเพี้ยนของสัญญาณอนาล็อกเอาต์พุตมีค่าน้อยลง



รูปที่ 3.12 การเปลี่ยนแปลงสัญญาณจากค่าสุดถึงสูงสุดเกิดค่า settling error

### 3.5.2.2 Glitches

สัญญาณอนาล็อกเอาต์พุตที่เกิดการเปลี่ยนแปลงจากสัญญาณรหัสดิจิทัลอินพุตซึ่งอาจเกิดจากการเปลี่ยนแปลงสถานะในเวลาสั้นๆ ในช่วงรหัสดิจิทัลค่ากลาง (Mid-code) ทำให้เกิดการเปลี่ยนแปลงระดับของสัญญาณระดับสัญญาณสูงขึ้นกว่าระดับที่ต้องการ เช่น การเปลี่ยนแปลงสัญญาณ ไปในารดังนี้

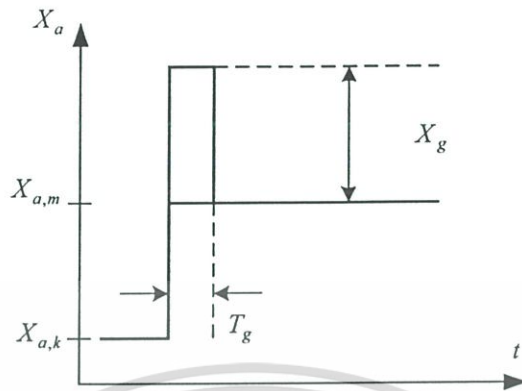
$$0111\dots111 \rightarrow 1000\dots000$$

การเปลี่ยนแปลงรหัสดิจิทัลด้านบนสุดของค่าไบนารีจะทำให้เกิดกรณี Mid-code เพราะบิตสูงสุดเป็นระดับรหัสดิจิทัลค่าสูงสุดทำให้เกิดการสวิตช์ค่าของระดับ MSB จาก 0 เป็น 1 เกิดการสลับสัญญาณระดับค่า 1 เป็น 0 ในดิจิทัลบิตถัดมา จึงเกิดสถานะการเปลี่ยนแปลงสัญญาณขนาดใหญ่ในบิตสูงสุดและสัญญาณดิจิทัลบิตกลางเกิดการหยุดทำงานการสลับกันของช่วงสัญญาณนี้ทำให้สัญญาณขาดหายไปบางช่วงในระหว่างการสวิตช์, ลักษณะการเกิดสถานะ glitch แสดงดังรูปที่ 3.12 [1] และ วิธีการหาค่านั้นแสดงในรูปที่ 3.13 [1] ระดับสัญญาณ  $X_g$  ที่สูงเกิน  $X_{a,m}$  กับช่วงเวลา  $T_g$  ที่เกิดสัญญาณดังกล่าวเราสามารถบอกถึงขนาดพลังงาน glitch energy ได้ดังสมการที่ (3.18)

$$E_g = X_g \cdot T_g \quad (3.18)$$

โดยทั่วไปค่า glitch ที่เกิดขึ้นมีค่าเป็นแรงดันเวลา(pV·s) และ หาค่า average power,  $P_g$  ดังสมการที่ (3.19) เมื่อ  $T_s$  คือ อัตราสุ่มสัญญาณ

$$P_g = X_g^2 \cdot \frac{T_g}{T_s} \quad (3.19)$$



รูปที่ 3.13 การเกิด glitch ของสัญญาณอนาล็อกเอาต์พุต

ระดับสัญญาณสูงสุดของ glitch เมื่อเกิดการเปลี่ยนแปลงรหัสในช่วงของ MSB

$$X_{g,\max} = 2^{2N-1} \cdot X_{g,LSB} \quad (3.20)$$

กำลังงาน glitch ในช่วงเกิดการเปลี่ยนแปลงสัญญาณนาฬิกา

$$P_{g,\max} = 2^{2N-2} \cdot X_{g,LSB}^2 \cdot \frac{T_g}{T_s} \quad (3.21)$$

### 3.5.2.3 สัญญาณนาฬิกาไหลข้าม(Clock Feedthrough: CFT)

การแปลงสัญญาณใช้ความถี่สัญญาณนาฬิกาทำหน้าที่สุ่มค่าสัญญาณให้เกิดการทำงานที่สอดคล้องกัน, การใช้สัญญาณนาฬิกาซึ่งเป็นสัญญาณทางดิจิทัลนั้นใช้ระดับสัญญาณที่มีค่าแรงดันสูงมีโอกาที่จะเกิดผลกระทบจากสัญญาณนาฬิกาไหลข้ามมาปะปนกับสัญญาณอนาล็อกเอาต์พุตอย่างหลีกเลี่ยงไม่ได้ และหากสัญญาณนาฬิกาไหลข้ามมีขนาดใหญ่ก็จะทำให้การแปลงค่าสัญญาณดิจิทัลเป็นอนาล็อกเกิดสัญญาณรบกวนและเกิดความเพี้ยนของสัญญาณที่เอาต์พุต การเกิดสัญญาณลักษณะนี้เกิดจากค่าคุณสมบัติแฝง ในตัวมอสทรานซิสเตอร์ เช่น ค่าตัวเก็บประจุซึ่งทำให้ความถี่ของสัญญาณนาฬิกาไหลข้ามมาได้ ดังนั้นการออกแบบในส่วนของมอสทรานซิสเตอร์ที่ทำหน้าที่สวิตช์ด้วยสัญญาณนาฬิกาจะต้องคำนึงถึงขนาดของตัวมอสทรานซิสเตอร์ที่เราออกแบบให้เกิดค่า ตัวเก็บประจุแฝง(Parasitic capacitance) น้อยที่สุด แต่อย่างไรก็ตามการลดขนาดของมอส

ทรานซิสเตอร์เพื่อลดค่าตัวเก็บประจุแผ่นนั้นก็เป็นข้อดีในส่วนอื่นเช่นกันเช่นค่าความต้านทานของมอสทรานซิสเตอร์จะเพิ่มขึ้น

### 3.6 ชนิดของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

กระบวนการทางอิเล็กทรอนิกส์สามารถนำคุณสมบัติ ของอุปกรณ์อิเล็กทรอนิกส์ ประกอบเพื่อใช้ในการประมวลผลสัญญาณอนาลอกสร้างเป็นคุณลักษณะ สัญญาณที่เราต้องการได้ คุณสมบัติของอุปกรณ์ เช่น ตัวต้านทาน, ตัวเก็บประจุ, โปโลล่าทรานซิสเตอร์, มอสทรานซิสเตอร์ หรือ วงจรขยายสัญญาณ โดยสร้างจากอุปกรณ์สารกึ่งตัวนำ สามารถประยุกต์วงจรเพื่อให้เกิดคุณสมบัติการประมวลผลสัญญาณตามที่ผู้ออกแบบต้องการ, ในส่วนของสัญญาณแบบผสม (Mixed-Signal) ต่างมีคุณลักษณะของสัญญาณอินพุต และ เอาต์พุต อยู่ในระบบที่ต่างกัน วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกถือเป็นวงจรในรูปแบบสัญญาณแบบผสม ซึ่งเราสามารถสร้างวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกโดยอาศัยคุณสมบัติทางวงจรรอิเล็กทรอนิกส์ได้หลายวิธี, ในคุณสมบัติเบื้องต้นของรหัสดิจิทัลอินพุตเราควรทราบถึงการกำหนดรหัสดิจิทัล (Digital code) เช่น รหัสแบบไบนารี และ รหัสแบบเทอร์โมมิเตอร์

#### 3.6.1 การแปลงสัญญาณดิจิทัลเป็นอนาลอกโหมดกระแส

การทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกใน โหมดกระแสคือการนำค่าของรหัสดิจิทัลแต่ละบิตมาควบคุมสวิตซ์สำหรับจ่ายกระแสให้อาต์พุต โดยใช่วงจรจัดวงจรใน โหมดกระแส ซึ่งเป็นการแปลงสัญญาณที่นิยมอย่างมาก[1-3], [5-7] ขนาดของแหล่งจ่ายกระแสที่เอาต์พุตสามารถกำหนดได้จากค่าสำคัญของสัญญาณดิจิทัลในแต่ละบิต วงจรที่ได้นำเสนอในวิทยานิพนธ์นี้ จัดการทำงานใน โหมดของการแปลงสัญญาณดิจิทัลเป็นอนาลอก 2 แบบด้วยกัน คือ Binary weight และ Thermometer code

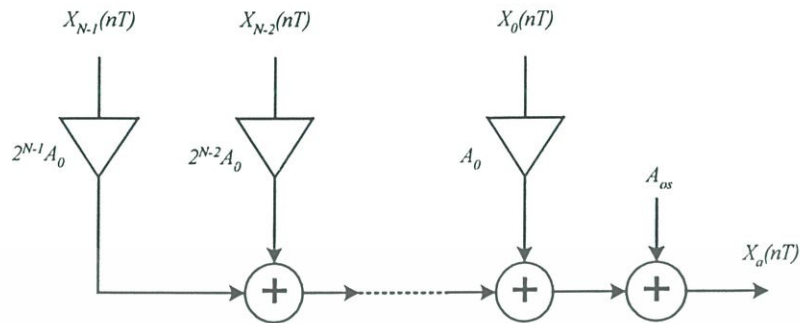
#### 3.6.2 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบไบนารี (Binary weight DAC)

การทำงานของสัญญาณแบบน้ำหนักไบนารี คือ การสวิตซ์ค่าของกระแสในแต่ละบิตให้ทำงานตามลำดับของรหัสดิจิทัลอินพุต แสดงในรูปแบบที่ 3.14 เราสามารถทำความเข้าใจลักษณะการทำงานแบบน้ำหนักไบนารีดังสมการ (3.22)

$$X_a(nT) = A_{os} + A_0 \cdot (b_0(nT) + 2 \cdot b_1(nT) + \dots + 2^{N-1} \cdot b_{N-1}(nT)) \quad (3.22)$$

เมื่อ  $A_0$  คือ ค่าระดับสัญญาณอ้างอิง,  $A_{os}$  คือ ค่าระดับสัญญาณขกระดับ (Offset),  $\{b_i(nT)\}_{i=0}^{N-1}$  คือ สัญญาณดิจิทัลอินพุต และ  $T$  คือ เวลาที่สุ่มค่าสัญญาณของการแปลงสัญญาณดิจิทัลเป็นอนาลอก

ในรูปที่ 3.14 แสดงถึงลักษณะกระบวนการแปลงสัญญาณแบบไบนารี โดย ผลรวมของสัญญาณเอาต์พุตคือ  $X_u = A_{os} + (2^N - 1)A_0$



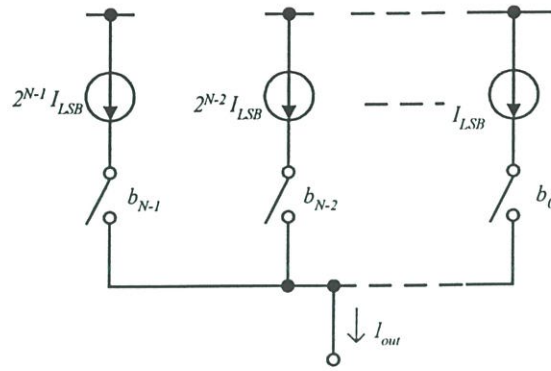
รูปที่ 3.14 คุณสมบัติการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบน้ำหนักไบนารี

การแปลงสัญญาณแบบน้ำหนักไบนารีนั้นมีข้อเสียคือระดับความแตกต่างของสัญญาณระหว่างบิตสูง  $X_{N-1}$  (MSB) กับ บิตต่ำ  $X_0$  (LSB) มีความแตกต่างกันมากทำให้เกิดปัญหาความไม่สมมาตร (mismatch error) ได้ง่าย และ เกิดปัญหาในจาก glitch เมื่อเกิดการสวิตช์กระแสในช่วง Mid-code

การสร้างวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกนำคุณสมบัติของแหล่งจ่ายกระแสที่สร้างโดยมอสทรานซิสเตอร์ สามารถสร้างได้ง่ายในกระบวนการสร้างทรานซิสเตอร์โดยใช้เทคโนโลยีซีมอส การทำงานของวงจรสวิตช์กระแส แสดงดังรูปที่ 3.15 การสวิตช์ถูกควบคุมด้วยดิจิทัลอินพุต  $b_i$  เมื่อ  $i = 0, 1, \dots, N-1$  และ  $N$  เป็นจำนวนดิจิทัลบิต โดยบิต  $b_0$  เป็น LSB และมีขนาดกระแสเท่ากับ  $I_{LSB}$  การจ่ายกระแสที่ออกที่เอาต์พุตผ่านสวิตช์ที่ถูกควบคุมด้วยสัญญาณดิจิทัล  $b_i$ , กระแสที่ไหลออกเอาต์พุต  $I_{out}$  ของการแปลงสัญญาณดิจิทัลเป็นอนาลอกในรูปที่ 3.15 หาได้จากสมการ (3.23)

$$I_{out}(k) = I_{LSB} \cdot b_0 + 2I_{LSB} \cdot b_1 + \dots + 2^{N-1} I_{LSB} \cdot b_{N-1} = I_{LSB} \cdot k \quad (3.23)$$

เมื่อ  $k$  เป็นดิจิทัล อินพุต  $k = b_0 + 2 \cdot b_1 + \dots + 2^{N-1} \cdot b_{N-1} = \sum_{i=0}^{N-1} 2^i \cdot b_i$



รูปที่ 3.15 แทนแหล่งจ่ายกระแสในการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบน้ำหนักไบนารี

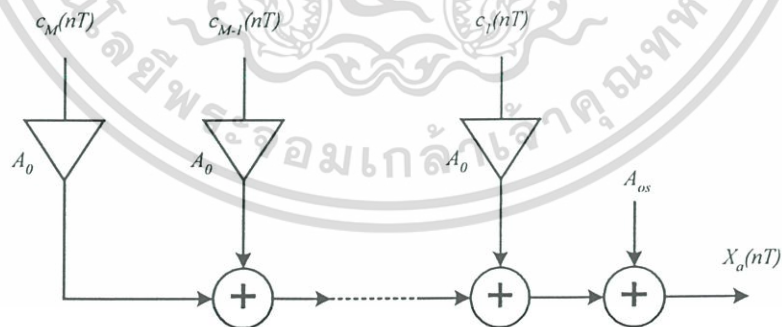
### 3.6.3 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์

#### (Thermometer code DAC)

การแปลงสัญญาณดิจิทัลเป็นอนาลอกโดยใช้วิธีรหัสเทอร์โมมิเตอร์นั้นใช้รหัสเทอร์โมมิเตอร์ดังตารางที่ 3.3 โดยวิธีการเพิ่มระดับของสัญญาณเป็นขั้น โดยทั่วไปการแปลงสัญญาณโดยวิธีนี้จะคิดจำนวนบิตที่ใช้ทำงานตามรหัสเทอร์โมมิเตอร์ เช่น รหัสดิจิทัลอินพุต  $N$  บิตแปลงเป็นจำนวนรหัสเทอร์โมมิเตอร์ได้  $M=2^N-1$  หากค่าสัญญาณที่เอาต์พุตได้จากสมการ (3.24)

$$X_a(nT) = A_{os} + A_0 \cdot \sum_{i=1}^M c_i(nT) \quad (3.24)$$

เมื่อ  $c_i(nT) \in \{0,1\}, 1 \leq i \leq M$  เป็น บิตรหัสเทอร์โมมิเตอร์ คุณสมบัติการแปลงสัญญาณจากสมการที่ (3.23) แสดงดังรูปที่ 3.16, รูปแบบรหัสเทอร์โมมิเตอร์แสดงในตารางที่ 3.3

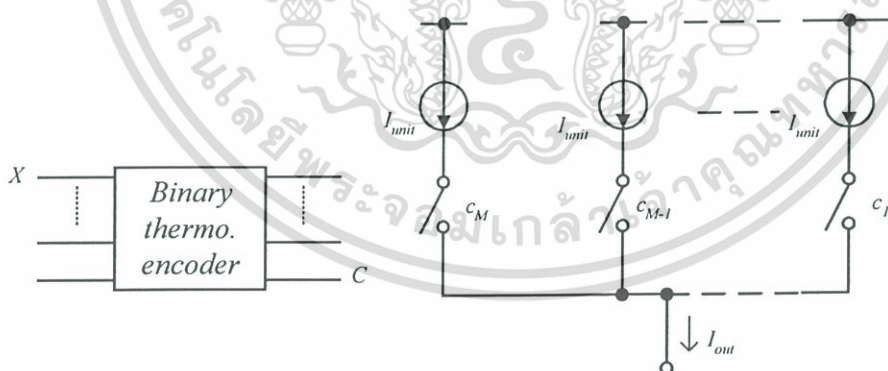


รูปที่ 3.16 คุณสมบัติการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์

ตารางที่ 3.3 รหัสสัญญาณดิจิทัล

Decimal	Binary offset	Thermometer	Walking-one
0	000	0000000	0000000
1	001	0000001	0000001
2	010	0000011	0000010
3	011	0000111	0000100
4	100	0001111	0001000
5	101	0011111	0010000
6	110	0111111	0100000
7	111	1111111	1000000

ข้อดีของการแปลงสัญญาณแบบรหัสเทอร์โมมิเตอร์ คือ เมื่อเราใช้แหล่งจ่ายกระแสในการสร้างสัญญาณที่เอาต์พุตในรูปที่ 3.17 จะให้แหล่งจ่ายกระแสที่มีค่าเท่ากันทุกตัว (Unit nary) ทำให้การเปลี่ยนแปลงสัญญาณเป็นไปอย่างต่อเนื่องและลดความผิดพลาดในช่วง Mid-code การแปลงสัญญาณจะใช้ค่าของแหล่งจ่ายกระแสทุกตัวเท่ากันคือ  $I_{unit}$  รหัสดิจิทัลอินพุต 'X' จะต้องทำการเข้ารหัสเทอร์มิเตอร์ก่อนเพื่อให้ได้รหัสเทอร์โมมิเตอร์เอาต์พุต 'C' สำหรับควบคุมสวิตช์การจ่ายกระแส, การทำงานแบบรหัสเทอร์โมมิเตอร์มีข้อเสียคือเมื่อจำนวนบิตดิจิทัลอินพุตมากขึ้น การเพิ่มจำนวนรหัสเทอร์โมมิเตอร์จะเพิ่มขึ้นมากตามไปด้วย จาก  $M=2^N-1$  ทำให้ขนาดของวงจรมีขนาดใหญ่เนื่องจากจำนวนของแหล่งจ่ายกระแส และ ส่วนของการเข้ารหัสสัญญาณแบบเทอร์โมมิเตอร์



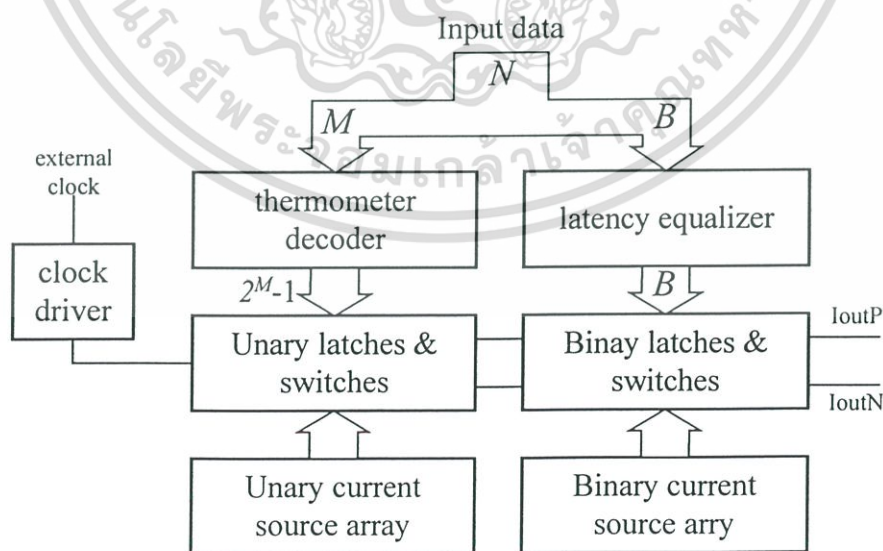
รูปที่ 3.17 แทนแหล่งจ่ายกระแสในการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบรหัสเทอร์โมมิเตอร์

การแปลงสัญญาณดิจิทัลเป็นอนาลอกโดยใช้วิธีรหัสเทอร์โมมิเตอร์คือ ขนาดของแหล่งจ่ายกระแสจะเท่ากันทุกตัวทำให้การออกแบบได้ง่ายและวงจรมีความสมมาตรกันในแต่ละตัว ทำให้ง่ายต่อการออกแบบมากกว่าวิธีการแบบน้ำหนักไบนารี ผลรวมของกระแสจำนวน  $2^N-1$  ทำให้

การทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกโดยวิธีรหัสเทอร์โมมิเตอร์ให้ความเป็นเชิงเส้นสูงกว่า แบบน้ำหนักไบนารี และมีความเป็นเอกภาพสูง แต่จะใช้พื้นที่ในการสร้างมากกว่าเนื่องจากจำนวนของแหล่งจ่ายกระแส และ ส่วนเข้ารหัสสัญญาณดิจิทัล

### 3.6.4 การแปลงสัญญาณดิจิทัลเป็นอนาล็อกแบบ Segmented

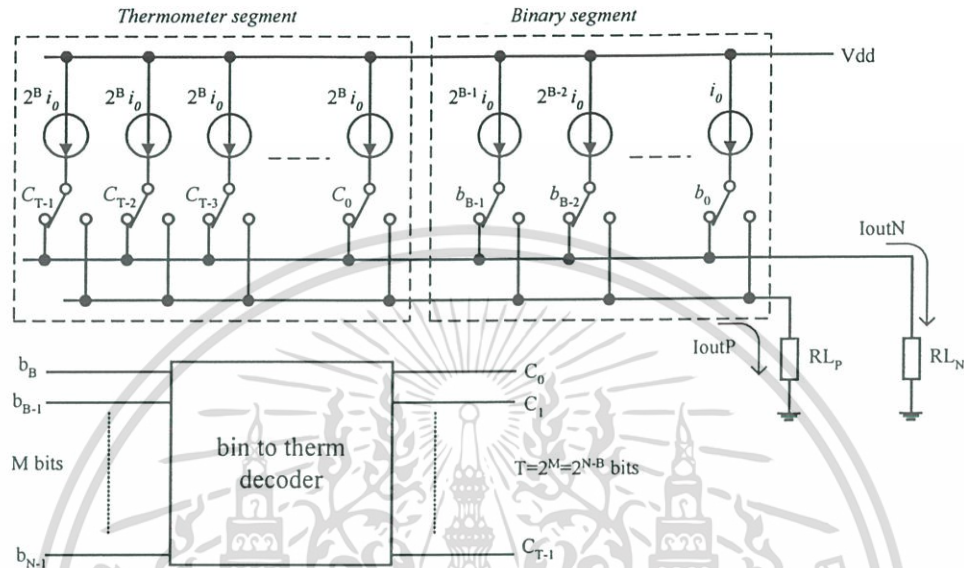
ในหัวข้อที่ผ่านมาเราได้กล่าวถึงการแปลงสัญญาณดิจิทัลเป็นอนาล็อกโหมดกระแสเป็นการแปลงสัญญาณที่ให้ความแม่นยำสูง, โดยใช้วิธีการแปลงสัญญาณแบบน้ำหนักไบนารี และรหัสเทอร์โมมิเตอร์ ต่างก็มีวิธีการ และ ข้อดีข้อเสียที่แตกต่างกัน, ในหัวข้อนี้จะกล่าวถึงการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกที่ผสมผสานการทำงานของ ระบบน้ำหนักไบนารี กับระบบรหัสเทอร์โมมิเตอร์ การจัดวงจรทำงานแบบ segmented แสดงดังรูปที่ 3.18 โดยการแยกการทำงานเป็น 2 ส่วน คือ บิตด้านต่ำ B และ บิตด้านสูง M เนื่องจากการแปลงสัญญาณที่บิตด้านต่ำ B เป็นการเปลี่ยนแปลงสัญญาณที่มีขนาดเล็กกว่าบิตด้านสูง M เราจึงสามารถใช้คุณสมบัติของการแปลงสัญญาณแบบน้ำหนักไบนารีมาใช้งาน ในส่วนบิตด้านสูง M มีการเปลี่ยนแปลงระดับสัญญาณอนาล็อกมาก และ เพื่อให้ข้อผิดพลาดของการแปลงสัญญาณน้อยที่สุดเราจึงจัดการแปลงสัญญาณในบิตด้านสูงเป็นแบบรหัสเทอร์โมมิเตอร์ การจัดการทำงานของวงจรในลักษณะ Segmented นั้นจะต้องคำนึงถึงความสัมพันธ์ของการแปลงสัญญาณในส่วนของบิตสูงและบิตต่ำ ให้การทำงานสอดคล้องกัน โดยการสุ่มค่าสัญญาณให้เกิดขึ้นในเวลาเดียวกัน และ สัญญาณประวิงของวงจรถอดรหัสเทอร์โมมิเตอร์ รวมถึงขนาดพื้นที่ของการวงจรแปลงสัญญาณ โดยที่การออกแบบส่วนของถอดรหัสสัญญาณดิจิทัลนั้นขนาดของพื้นที่มีขนาดเพิ่มเป็นฟังก์ชันเอ็กโพเนนเชียล กับจำนวนบิต [2]



รูปที่ 3.18 การจัดระบบการทำงานแบบ Segmented

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์รูปแบบของการทำงานในรูปที่ 3.18 สร้างเป็นการทำงานของวงจรจ่ายกระแสโดยแบ่งช่วงบิตด้านต่ำให้ทำงานในแบบนำหนักไบนารีโดยใช้แหล่งจ่ายกระแสขนาดต่างกัน ส่วนบิตด้านสูงจัดการทำงานแบบเทอร์โมมิเตอร์มีขนาดของแหล่งจ่ายกระแสเท่ากัน และ มีการใช้วงจรถอดรหัสสัญญาณดิจิทัลเพื่อทำให้การทำงานสอดคล้องกันแสดงตัวอย่างดังรูปที่ 3.19



รูปที่ 3.19 การแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบ Segmented

### 3.7 บทสรุป

ในบทที่ 3 นี้ได้นำเสนอเทคโนโลยีของมอสทรานซิสเตอร์เพื่อใช้ในการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก, การทำงานของมอสทรานซิสเตอร์โดยการใช้ค่าแรงดันเกตควบคุมกระแส เทรน-ซอร์ส เราสามารถนำมอสทรานซิสเตอร์สร้างเป็นแหล่งจ่ายกระแสที่ต้องการสำหรับการแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบต่างๆ ซึ่งในการออกแบบนั้นจะได้นำเสนอต่อไปในบทที่ 4 นอกจากนั้นเราใช้คุณสมบัติของมอสทรานซิสเตอร์สร้างวงจรกำเนิดแรงดันอ้างอิง และ วงจรสร้างแรงดันอ้างอิง ซึ่งจำเป็นต้องใช้ในการแปลงสัญญาณที่มีความแม่นยำสูง, คุณสมบัติต่างๆ ของการแปลงสัญญาณดิจิทัลเป็นอนาลอกเราจะต้องคำนึงถึงเป็นอย่างมาก โดยเรานำคุณสมบัติต่างๆ เช่น INL, DNL มาใช้ในการออกแบบวงจรแปลงสัญญาณ

## การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต (Design of 12-Bit Digital-to-Analogue Converter)

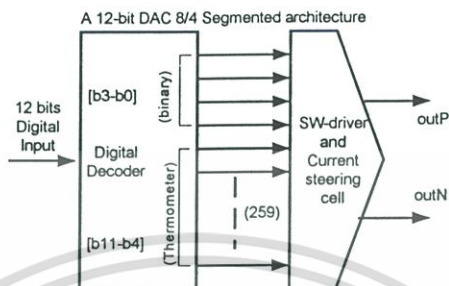
### 4.1 บทนำ

วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกทำหน้าที่แปลงสัญญาณข้อมูลดิจิทัลให้เป็นสัญญาณแบบอนาล็อก เป็นส่วนสำคัญในการเชื่อมโยงข้อมูลเข้ากับระบบสื่อสาร ความต้องการถึงคุณสมบัติต่างๆ ถูกพัฒนาให้มีประสิทธิภาพเพิ่มขึ้นทั้งความเร็วในการแปลงสัญญาณ ความละเอียดในการแปลงสัญญาณ ความเร็วสัญญาณนาฬิกาที่ใช้ในการสุ่มค่าสัญญาณ (sampling clock frequency), วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกได้มีการพัฒนาให้มีความถูกต้องและความเร็วในการแปลงสัญญาณสูงขึ้น เพื่อสร้างวงจรให้เหมาะสมกับระบบที่ต้องการ, การพัฒนาของเทคโนโลยีของสารกึ่งตัวนำทำให้สามารถสร้างวงจรที่มีขนาดเล็กลงและมีความถูกต้องจากการออกแบบมากขึ้น, ในบทนี้จะกล่าวถึงการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ความเร็วและความแม่นยำสูง โดยนำเสนอถึงคุณสมบัติของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก และวิธีการที่ใช้ออกแบบวงจรสำหรับภาค Analogue front-end สำหรับระบบ DSL โดยส่วนแรกจะกล่าวถึงการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกขนาด 12-bit 8/4 Segmented โดยพิจารณาจากคุณสมบัติของวงจร อาทิ INL, DNL, SFDR รวมถึงการออกแบบวงจรสร้างแรงดัน และกระแสอ้างอิง ส่วนที่สองเป็นการจำลองการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกเพื่อยืนยันถึงผลการออกแบบที่ถูกต้อง ส่วนที่สามเป็นการร่างผังภูมิของวงจร และ ในส่วนสุดท้ายเป็นการสรุปถึงการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

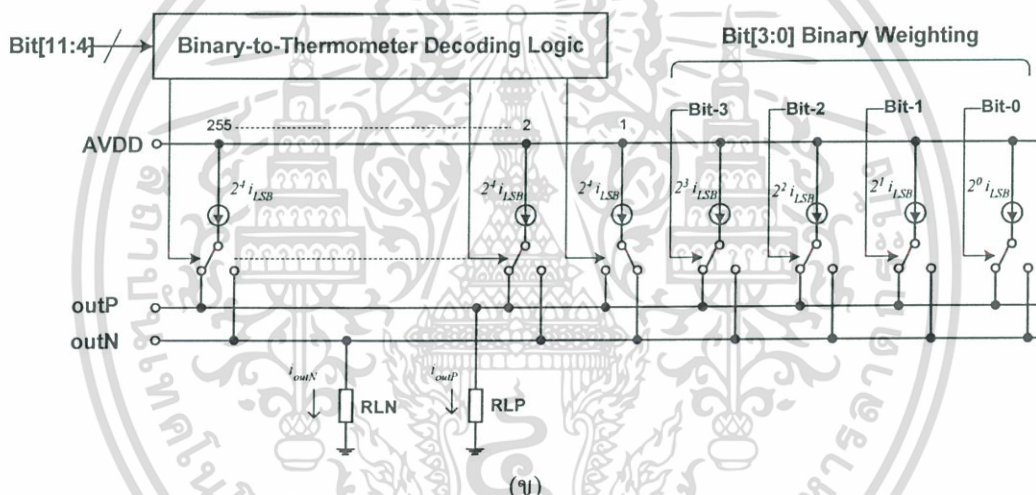
### 4.2 การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต

วิธีการออกแบบวงจรให้เหมาะสมกับการใช้แหล่งจ่ายแรงดันต่ำ, แรงดันที่เอาต์พุตสูง ให้ประสิทธิภาพตามคุณสมบัติของ INL และ DNL ที่ต้องการ, สำหรับในส่วนนี้จะกล่าวถึงวิธีการออกแบบโดยคำนึงถึงองค์ประกอบต่างๆ ของวงจร อาทิความสามารถในการทำงานที่แรงดันต่ำ ความสามารถในการจ่ายกระแส, แก้ปัญหาความไม่สมมาตรของวงจร และ คุณสมบัติอื่นๆ ที่เราต้องคำนึงถึงในการออกแบบวงจร ซึ่งได้นำเสนอการออกแบบวงจร 12-bit 8/4 segmented ทำงานแบบจ่ายกระแสที่เอาต์พุต, ออกแบบวงจรใช้เทคโนโลยี CMOS 0.35- $\mu\text{m}$  n-well 2-poly 4-metal, ให้แรงดันที่เอาต์พุต 1 V ที่ภาระโหลด 50  $\Omega$  วงจรทำงานภายใต้แหล่งจ่ายแรงดัน 2.5-3.3 V, โครงสร้างวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12-bit 8/4 segmented ทำงานที่ความเร็วสูง และ

ความแม่นยำสูง จะใช้วิธีการแปลงสัญญาณแบบจ่ายกระแสที่เอาต์พุต [11-15] ดังที่กล่าวไปแล้วในหัวข้อ 3.6 และออกแบบขั้นตอนการทำงานเพื่อลดความผิดพลาดของระดับกระแส และ แรงดันที่เอาต์พุต ด้วยการจัดการการทำงาน (segmented) [13-15],[19-20] การกำหนดการทำงานของวงจร และวิธีการจ่ายกระแส แสดงดังรูปที่ 4.1 และ รูปที่ 4.2

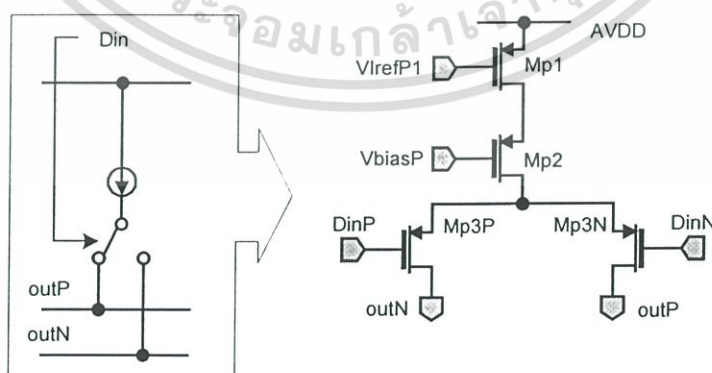


(ก)



(ข)

รูปที่ 4.1 โครงสร้างการจัดการวงจรแปลงสัญญาณ 12-bit 8/4 segmented



รูปที่ 4.2 แทนการทำงานของแหล่งจ่ายกระแสด้วยมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกจัดชุดการทำงานเป็น 2 ส่วนคือ ส่วนของสัญญาณ 4 บิต ดิจิตอลด้านต่ำ ทำงานแบบจ่ายกระแสตามน้ำหนักที่กำหนดของแต่ละบิต (binary weight) โดยมีขนาดของกระแส 4 ชุด คือ  $2^0 I_{LSB}$ ,  $2^1 I_{LSB}$ ,  $2^2 I_{LSB}$  และ  $2^3 I_{LSB}$  ส่วนของสัญญาณ 8 บิต ดิจิตอลด้านสูง ทำงานโดยการจ่ายกระแสขนาด  $2^4 I_{LSB}$  จำนวน  $2^8 - 1 = 255$  ที่เท่ากันทุกตัว (Unit nary) ใช้วิธีกำหนดปริมาณกระแส ของ 8 บิต ด้วยวิธีการเพิ่ม-ลด จำนวนของแหล่งจ่ายกระแส วิธีนี้จะช่วยจำกัดปริมาณการเปลี่ยนแปลงของกระแสในบิตด้านสูงให้มีการเปลี่ยนแปลงปริมาณที่พอเหมาะเพื่อลดปัญหาการสวิทช์กระแสในกรณีช่วง mid-code หรือ การเปลี่ยนแปลงของรหัสดิจิตอลอินพุตจาก 01111111  $\rightarrow$  10000000 ซึ่งทำให้เกิดการสวิทช์ปริมาณกระแสขนาดใหญ่ การใช้วิธีแบบรหัสเทอร์โมมิเตอร์ ช่วยให้การ เพิ่ม-ลด ปริมาณของกระแสที่ต่อเนื่องในบิตด้านสูง แทนการสวิทช์ปริมาณกระแสขนาดใหญ่, การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกแบบ segmented จำเป็นต้องมีส่วนของ วงจรถอดรหัสสัญญาณดิจิทัล (digital decoder) เพื่อควบคุมการจ่ายกระแสของวงจรจำนวน 255 ชุด ให้กับแหล่งจ่ายกระแสของวงจรแบบรหัสเทอร์โมมิเตอร์ 8 บิต และ แหล่งจ่ายกระแส 4 ชุด ของวงจรมน้ำหนักกระแส 4 บิต ให้ทำงานสอดคล้องกับรหัสดิจิตอลอินพุต 12 บิต, แรงดันที่เอาต์พุตของวงจรคือ ผลคูณระหว่างความต้านทานที่เอาต์พุตกับกระแสขาออกที่เอาต์พุต (4.1) [1]

$$I_{out} = I_{LSB} \cdot b_0 + 2I_{LSB} \cdot b_1 + \dots + 2^{N-1} I_{LSB} \cdot b_{N-1} \quad (4.1)$$

$$= I_{LSB} \cdot k$$

$$\text{เมื่อ } k = b_0 + 2 \cdot b_1 + \dots + 2^{N-1} \cdot b_{N-1} = \sum_{i=0}^{N-1} 2^i \cdot b_i$$

$$\text{แรงดันที่เกิดขึ้นที่เอาต์พุตของวงจรคือ } V_{out} = I_{out} \times R_L$$

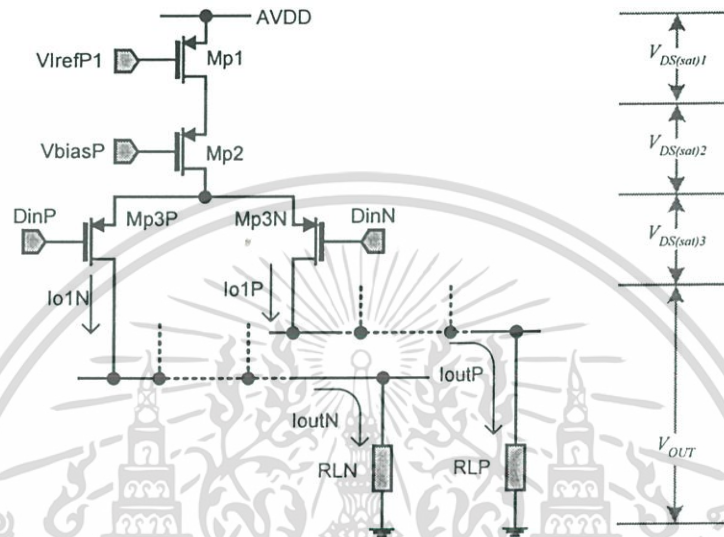
$$\text{ผลต่างของแรงดันเอาต์พุตจะเท่ากับ } V_{outdiff} = V_{outP} - V_{outN}$$

#### 4.2.1 การออกแบบวงจรแหล่งจ่ายกระแส (Current steering cell)

การทำงานของวงจรแหล่งจ่ายกระแสมีลักษณะของวงจрдังรูปที่ 4.3 เราแทนแหล่งจ่ายกระแสด้วยมอสทรานซิสเตอร์ Mp1 และ Mp2 โดยจัดวงจรเป็นลักษณะวงจรแทนแหล่งจ่ายกระแสแบบคาสโคด ซึ่งมีข้อดีคือความต้านทานเอาต์พุตของวงจรสูงและ Mp2 ยังเป็นเป็นตัวบัฟเฟอร์แรงดันที่ขาเดรนของ Mp1 ลดผลกระทบจากการเปลี่ยนแปลงแรงดัน Vds ของ Mp1, วงจรจะจ่ายกระแสสลับกัน 2 ด้าน (current steering) ระหว่าง Io1P กับ Io1N โดยการสวิทช์สลับทิศทางกระแสด้วยมอสทรานซิสเตอร์ Mp3P และ Mp3N, การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็น

อนาลอกขนาด 12 บิต ต้องคำนึงถึงคุณสมบัติต่างๆ ของวงจร ในการกำหนดความละเอียดของการแปลงสัญญาณ ได้กล่าวถึงใน 2.4 โดยกำหนดให้วงจรแปลงสัญญาณมีขนาด 12 บิต

พิจารณาจากความละเอียด 12 บิต หากค่ากระแสสูงสุด  $I_{FS}$  และ ความละเอียดของกระแส  $I_{LSB}$  จากแรงดันเอาต์พุตที่ต้องการ จากรูปที่ 4.3 ค่าความต้านทาน RLN และ RLP มีค่าเท่ากับ  $50 \Omega$ , แรงดัน  $V_{OUT}$  มีค่าระหว่าง  $0 \text{ V}$  ถึง  $1 \text{ V}$



รูปที่ 4.3 วงจรแหล่งจ่ายกระแสและสวิตช์กระแส

ความสัมพันธ์ที่เอาต์พุตของ ค่าแรงดัน, ค่ากระแส และ ค่าความต้านทาน

$$I_{FS} = \frac{V_{FS}}{R_{LOAD}} \quad (4.2)$$

$$= \frac{1\text{V}}{50\Omega} = 20\text{mA}$$

เมื่อ	$I_{FS}$	คือ กระแสสูงสุดที่เอาต์พุต
	$V_{FS}$	คือ แรงดันสูงสุดที่ความต้านทานเอาต์พุต
	$R_{LOAD}$	คือ ความต้านทาน $50 \Omega$ ที่เอาต์พุต

จากสมการ (4.2) ค่าแรงดันสูงสุดที่โหลดเอาต์พุต  $50 \Omega$  เท่ากับ  $1 \text{ V}$  ซึ่งได้ค่ากระแสที่เอาต์พุตเท่ากับ  $20 \text{ mA}$  ในขณะที่ต้องการออกแบบที่ความละเอียดของการแปลงสัญญาณดิจิทัลเป็นอนาลอก

ขนาด 12 บิต นำค่าดังกล่าวข้างต้นคำนวณหาค่ากระแสขนาด 1 LSB จากความสัมพันธ์ของจำนวน บิตกับค่ากระแสสูงสุดดังสมการที่ (4.3)

$$I_{LSB} = \frac{I_{FS}}{2^{N-1}} \quad (4.3)$$

$$= \frac{20mA}{2^{12} - 1} \cong 4.885 \mu A$$

ดังนั้นกำหนดค่ากระแส  $I_{LSB}$  มีค่าเท่ากับ 4.885  $\mu A$ , เมื่อวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ขนาด 12 บิต ประกอบด้วยแหล่งจ่ายกระแสต่อขนานกัน แรงดันที่เอาต์พุตเกิดจากผลรวมจากการ สวิตช์กระแสในแต่ละเซลล์, จากคุณสมบัติ INL ที่ต้องการนำมากำหนดค่าเพื่อความแม่นยำในการ จ่ายกระแสของแต่ละเซลล์โดยคำนวณหาขนาดของพื้นที่ของมอสทรานซิสเตอร์ที่ใช้แทนแหล่งจ่าย กระแสในวงจร, การออกแบบโดยกำหนดค่าผิดพลาดของระดับกระแสที่เอาต์พุตไม่เกิน 0.5 LSB กระแสผิดพลาดที่ MSB จะได้ตามสมการ ที่ (4.4) [14]

$$\frac{\Delta I_{MSB}}{I_{MSB}} \leq \frac{0.5LSB}{2^{N-1} LSB} = 0.024\% \quad (4.4)$$

$$INL = \sqrt{2^{N-1}} \left( \frac{\sigma_I}{I} \right) LSB \quad (4.5)$$

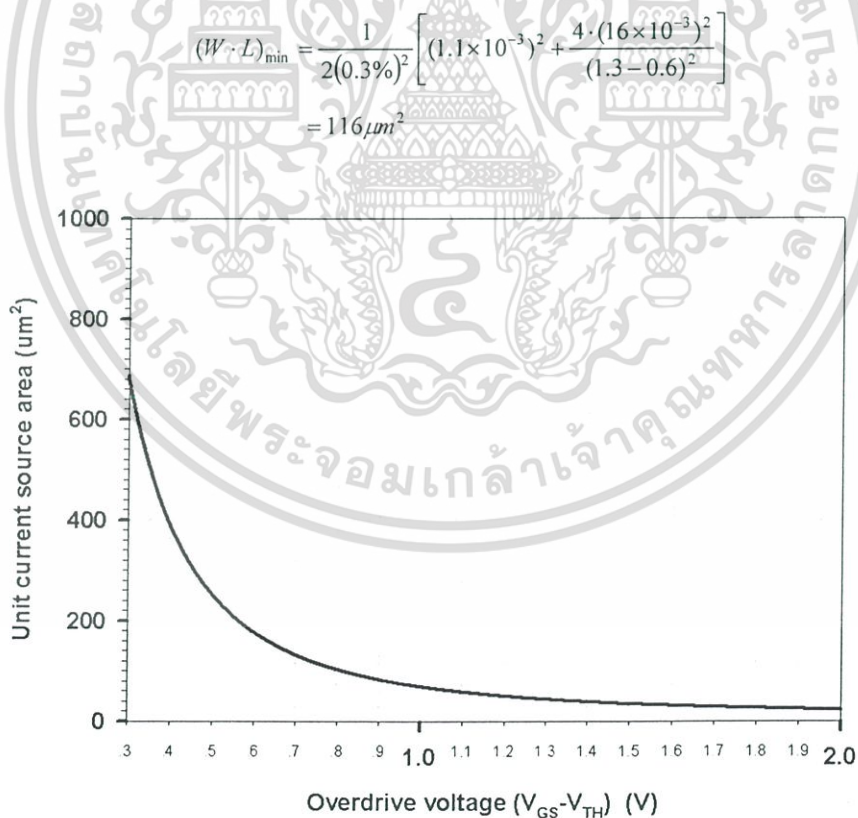
การออกแบบวงจรเพื่อให้ได้ความถูกต้องของกระแสที่เอาต์พุต 99% ความผิดพลาดของกระแสที่ เกิดขึ้นหรือ  $(\sigma_I / I)$  จะมีค่าน้อยกว่า 0.3 % [14] นำค่าความเหมาะสมในการออกแบบเพื่อให้เกิด ความคลาดเคลื่อนของกระแสตามต้องการเพื่อคำนวณหา (W/L) ของ Mp1 โดยนำคุณสมบัติของ CMOS 0.35  $\mu m$ . ในตารางที่ 4.1 [18] ค่าความไม่สมมาตรจากเทคโนโลยีการเจือสาร นำเปอร์เซ็นต์ ความคลาดเคลื่อนของ  $\beta$  และ  $V_T$  มาคำนวณหาขนาดพื้นที่ของ PMOS ที่ใช้แทนแหล่งจ่ายกระแส (Mp1) ได้จากสมการที่ (4.6) [14],[16]

ตารางที่ 4.1 Technology Mismatch Parameter

Parameter	$A_{VT}$	$A_\beta$
Unit	$mV \cdot \mu m$	$\% \cdot \mu m$
NMOS	9.6	1.1
PMOS	16.0	1.1

$$(W \cdot L)_{\min} = \frac{1}{2 \left( \frac{\sigma_I}{I} \right)^2} \left[ A_\beta^2 + \frac{4 \cdot A_{VT}^2}{(V_{GS} - V_{TH})^2} \right] \quad (4.6)$$

สมการที่ (4.6) เมื่อ  $(W \cdot L)_{\min}$  คือพื้นที่ของ Mp1 ที่ทำหน้าที่แทนวงจรถ่ายกระแสต่อกันแบบวงจรถ่ายกระแส (current mirror) แรงดันที่เกตของ Mp1 สร้างจากวงจรถ่ายกระแสไบอัส, การออกแบบวงจรถ่ายกระแสเพื่อควบคุมความคลาดเคลื่อนของกระแส  $I_D$  ไม่ให้เกิน 0.3%, จากสมการที่ (4.6) คำนวณเปรียบเทียบความสัมพันธ์ของพื้นที่กับแรงดัน  $(V_{GS} - V_{TH})$  ของ Mp1 ได้ความสัมพันธ์เป็นไปดังรูปที่ 4.4 ขนาดของพื้นที่ที่จะแปรผกผันกับแรงดันไบอัส  $(V_{GS} - V_{TH})$  ซึ่งความผิดพลาดของกระแสจะเกิดขึ้นจากผลกระทบที่เกิดจาก  $\beta$  (current gain factor) กับ  $V_{TH}$  (threshold voltage) ดังนั้น การเพิ่มพื้นที่และแรงดันคือการลดความคลาดเคลื่อนที่เกิดจาก  $\beta$  และ  $V_{TH}$  ตามลำดับ การเลือกพิจารณาขนาดพื้นที่ และ  $V_{GS}$  ของ Mp1 จะต้องพิจารณาถึงพื้นที่รวมของวงจรถ่ายกระแสที่ระดับแหล่งจ่ายแรงดันต่ำ, สำหรับวงจรถ่ายกระแสสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต ทำงานภายใต้แหล่งจ่ายแรงดัน 2.5 V ได้เลือกพิจารณาความเหมาะสม  $V_{GS} = 1.3$  V คำนวณพื้นที่ของ Mp1 เราสามารถประมาณการขนาดของ Mp1 จากแรงดัน  $V_{GS}$  ที่ใช้ดังรูปที่ 4.4



รูปที่ 4.4 ความสัมพันธ์ของพื้นที่กับแรงดัน  $V_{GS}$  ของมอสทรานซิสเตอร์ Mp1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนวณหาอัตราส่วนของ PMOS Mp1 ที่ใช้แทนวงจรแทนแหล่งจ่ายกระแส

1: ค่าแรงดันเอาต์พุตเท่ากับ 1 V ที่โหลด 50  $\Omega$  และ กระแสจ่าย โหลด 20 mA

2: กระแส  $I_{LSB}$  เท่ากับ 4.885  $\mu A$  นำค่าพารามิเตอร์ของของโรงงานผลิต [18]

ตารางที่ 4.2 Technology Electrical Parameter

Parameter	KP	$V_{TH}$
Unit	$\mu A/V^2$	V
NMOS	175	0.6
PMOS	60	-0.6

จากตารางที่ 4.2 นำมาหาอัตราส่วนของมอสทรานซิสเตอร์จากสมการกระแสของ PMOS

$$I_D = \frac{KP}{2} \left( \frac{W}{L} \right) (V_{SG} - |V_{TH}|)^2 \quad (4.7)$$

จาก (4.7) จะได้

$$\frac{W}{L} = \frac{2 \cdot I_D}{KP \cdot (V_{SG} - |V_{TH}|)^2}$$

ดังนั้น  $(W/L)_{Mp1}$

$$= \frac{2 \cdot 4.885 \mu A}{60 \mu \cdot (1.3 - 0.6)^2} = 0.332$$

ดังนั้นจากขนาดพื้นที่  $(W \cdot L)_{min}$  ของ Mp1 จะขนาดของ W และ L

$$W^2 = (W \cdot L)_{min} \cdot \frac{W}{L}$$

$$W = \sqrt{W^2} = 6.2 \mu m \text{ และ } L = \frac{W}{W/L} = 18.7 \mu m$$

$$\left( \frac{W}{L} \right)_{Mp1} = \frac{6.2 \mu m}{18.7 \mu m}$$

3: หาขนาด W และ L ของ Mp2 จาก headroom-voltage พิจารณารูปที่ 4.3

$$V_{DS(sat)2} \geq 0.2V, V_{GS2} = V_{DS(sat)2} + V_T = 0.8V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned} \left(\frac{W}{L}\right)_2 &= \frac{2 \cdot I_{D2}}{KP \cdot V_{DS(sat)2}^2} \\ &= \frac{2 \cdot 4.885 \mu A}{60 \mu \cdot 0.2^2} = 4.07 \end{aligned}$$

$$\left(\frac{W}{L}\right)_2 = \frac{1.42 \mu m}{0.35 \mu m}$$

4: หาขนาด W และ L ของ Mp3P และ Mp3N จากการทำงานของมอสทรานส์ซิสเตอร์ทำหน้าที่เป็นสวิตช์ในย่าน triode region

$$R_{ON} = \frac{1}{\left(\frac{W}{L}\right) \cdot KP \cdot (V_{GS} - V_{TH})} \quad (4.8)$$

$$\left(\frac{W}{L}\right)_{3P} = \left(\frac{W}{L}\right)_{3N} = \frac{1}{R_{ON} \cdot KP \cdot V_{DS(sat)3}}$$

หาค่า  $R_{ON}$  ได้จาก  $R_{ON} = \frac{V_{D2} - V_{FS}}{I_D} = \frac{1.3 - 1}{4.885 \mu A} = 60k$

ดังนั้น  $R_{ON} \ll 60k\Omega$  เลือก  $R_{ON} = 15k\Omega$  จะได้ขนาดของ Mp3P และ Mp3N

$$\left(\frac{W}{L}\right)_3 = \frac{1}{15k \cdot 60 \mu \cdot 0.7} = 1.587 \cong \frac{0.6 \mu}{0.35 \mu}$$

และ  $V_{DS(sat)3} = \frac{1}{15k \cdot 60 \mu \cdot \left(\frac{0.6 \mu}{0.35 \mu}\right)} = 0.648$

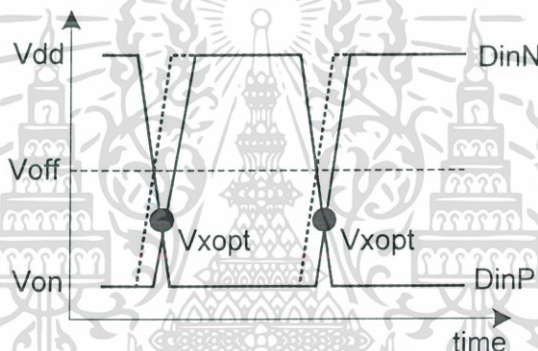
ตารางที่ 4.3 สรุปขนาดของมอสทรานส์ซิสเตอร์ในวงจรสวิตช์กระแสจากการคำนวณ

No. of MOS	W (um.)	L (um.)
Mp1	6.2	18.7
Mp2	1.42	0.35
Mp3P,Mp3N	0.6	0.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.2.2 การออกแบบวงจรควบคุมการสวิตช์ (Switch-driver)

ลักษณะของวงจร Switch-driver [15],[20] นั้นเป็นองค์ประกอบสำคัญซึ่งเกี่ยวข้องกับ ความผิดพลาดที่เกิดขึ้นจากการสวิตช์กระแสโดยตรงเนื่องจากในสภาวะของการเปลี่ยนลอจิกของ Mp3P และ Mp3N ในรูปที่ 4.3 สัญญาณขาเกต (DinP และ DinN) ของ Mp3P และ Mp3N เกิดช่วง เปลี่ยนแปลงสภาวะทางลอจิก (transition) ลักษณะสัญญาณเปลี่ยนแปลงดังรูปที่ 4.5 และที่จุด Voff เป็นระดับแรงดันกึ่งกลางของช่วงการเปลี่ยนแปลง ซึ่งอาจเป็นผลทำให้ Mp3P และ Mp3N เกิดการ หยุดนำกระแส (cut-off) พร้อมกัน วงจรจะเกิดสภาวะหยุดจ่ายกระแสชั่วขณะ กระแสที่หยุดไหลนี้ ทำให้แรงดันที่จุด VoutN และ VoutP สูงขึ้น โดยธรรมชาติซึ่งเกิดจากแรงดันที่พยายามทำให้ Mp1 และ Mp2 หยุดทำงาน (cut-off) จึงเกิดลักษณะของ glitch ที่สัญญาณเอาต์พุต การแก้ไข glitch ที่เกิดขึ้น โดยกำหนดช่วงเปลี่ยนแปลงสภาวะทางลอจิก ของสัญญาณควบคุมให้เหมาะสม ดังเช่นที่ ตำแหน่งการเปลี่ยนแปลง  $V_{Xopt}$  เป็นตำแหน่งแรงดันที่เหมาะสมของวงจรสวิตช์กระแส [1-2], [15]



รูปที่ 4.5 สัญญาณควบคุมการสวิตช์

$$V_{Xopt} = \Delta V / 2$$

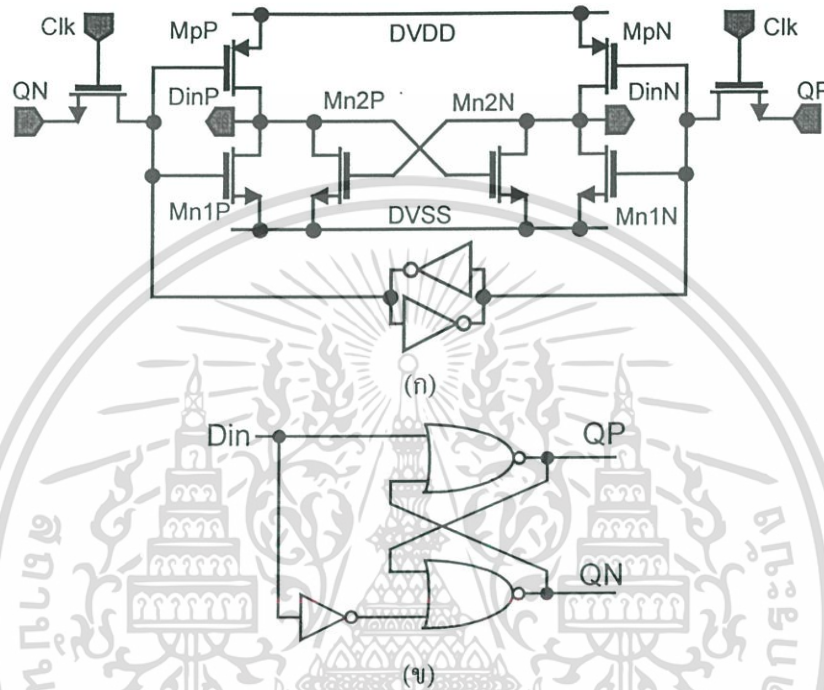
(4.9)

$$\text{โดยที่ } \Delta V = V_{GS} - V_T = \sqrt{\frac{2 \cdot I \cdot L_3}{KP \cdot W_3}} = 308.2 \text{ mV}$$

$$V_{Xopt} = 154.1 \text{ mV}$$

วงจร switch-driver รูปที่ 4.6 [15] รับสัญญาณดิจิทัลอินพุต (Din) ผ่านวงจรอินเวอร์เตอร์ รูปที่ 4.6 (ข) สร้างสัญญาณควบคุม 2 ด้าน ให้ QP และ QN, สัญญาณจาก QP และ QN ทำให้เกิดการเปลี่ยนแปลงแรงดันที่ DinP และ DinN ซึ่งเป็นสัญญาณควบคุมให้กับวงจรสวิตช์กระแส, การปรับแต่งสัญญาณขาเกตให้มีช่วงเวลาสั้นกว่าสัญญาณขาขึ้นจาก NMOS ทำให้  $V_{Xopt}$  อยู่ด้านล่างสัญญาณขาขึ้นและขาลงของ DinP และ DinN กำหนดความเร็วในการเปลี่ยนแปลงสัญญาณขาขึ้น

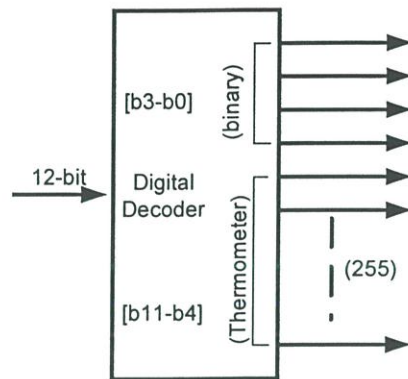
ได้จาก MpP และ MnP และสัญญาณขาลงได้จาก Mn1P, Mn2P, Mn1N และ Mn2N, โดย Mn2P และ Mn2N นำแรงดันป้อนกลับจากเอาต์พุตด้านตรงข้าม วงจรนี้สามารถทำงานที่ความเร็วสูง สัญญาณนาฬิกาป้อนเข้าที่ขาเกตของ NMOS เพื่อทำให้อินพุตของวงจรทำงานพร้อมและสอดคล้องกัน วงจรเป็นจะต้องใช้อินเวอร์เตอร์ป้อนกลับต่อที่อินพุตของวงจรเพื่อทำให้อินพุตนาฬิกาไหลข้าม (clock feedthrough) หักล้างกันระหว่างอินพุตทั้งสองด้าน



รูปที่ 4.6 วงจรควบคุมการสวิตช์แบบใช้สัญญาณนาฬิกา

#### 4.2.3 วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12-bit จัดการงานแบบ 8/4 segmented

วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12-bit จัดการงานแบบ 8/4 segmented กำหนดให้อินพุตดิจิทัล 8 บิต ด้านสูงทำงานแบบรหัสเทอร์โมมิเตอร์ และ 4 บิต ด้านต่ำทำงานแบบน้ำหนักไบนารี ดังนั้นการแปลงสัญญาณจึงต้องประกอบด้วย ส่วนของ 8/4 digital decoder สำหรับสัญญาณอินพุต 12 บิต และแปลงเป็นสัญญาณ 8 บิต เป็น  $2^8 - 1 = 255$  บิต ซึ่งกำหนดให้ขนาดนัยสำคัญของบิตดังกล่าวมีค่าเท่ากับ  $2^6$  เท่ากัน ส่วน 4 บิต ด้านต่ำจะมีขนาดนัยสำคัญเป็น  $2^4, 2^2, 2^1$  และ  $2^0$  ดังตัวอย่างการแปลงข้อมูลในตารางที่ 4.4 การทำงานก็นำบิตดังกล่าวส่งไปยังวงจรสวิตช์ ทำหน้าที่สวิตช์กระแสให้วงจรทำงานอย่างถูกต้อง



รูปที่ 4.7 โครงสร้างการทำงานวงจร 12-bit 8/4 digital decoder

ตารางที่ 4.4 ลักษณะการทำงานของวงจร 12 bits to 8/4 bits digital decoder

12 bits digital input		8 bits Thermometer / 4 bits Binary-weight	
00000000	0000	0000000000.....00000000	0000
00000000	0001	0000000000.....00000000	0001
00000000	0010	0000000000.....00000000	0010
.....	.....	.....	.....
00000001	0101	0000000000.....00000001	0101
00000010	0101	0000000000.....00000011	0101
00000011	0101	0000000000.....00000111	0101
00000100	0101	0000000000.....00001111	0101
00000101	0101	0000000000.....00011111	0101
.....	.....	.....	.....
11111111	1111	1111111111.....11111111	1111

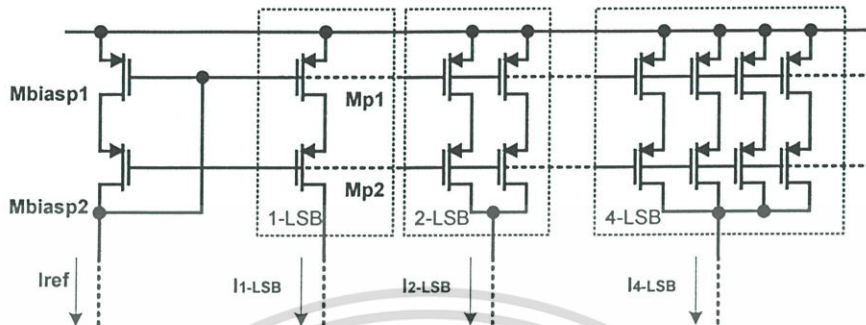
สร้างการทำงานของวงจร โดยเขียนโครงสร้างการทำงานจากภาษา Verilog → Code Simulation → Synthesis → Schematic Place & Route ซึ่งจะได้วงจร 12-bit to 8/4-bit Digital decoder แสดง Source Code และ ผลการ Synthesis ในภาคผนวก ก

คุณสมบัติของวงจรถอดรหัสดิจิทัลสามารถทำงานที่ความถี่สัญญาณนาฬิกาได้สูงสุดที่ 312.4 MHz ใช้วงจรถอดมาตรฐาน 603 ชุด พื้นที่ของวงจรโดยประมาณการ 106579um<sup>2</sup>

### 4.3 วงจรไบอัส(Bias Generator)

ในหัวข้อที่ผ่านมาเราได้ทำการออกแบบวงจรแทนแหล่งจ่ายกระแสเพื่อใช้ในการประกอบกันเป็นวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกเรียบร้อยแล้วจะเห็นได้ว่าเราต้องการวงจร

ไบอัสเพื่อกำเนิดแรงดันให้โหนด VrefP1 และ VbiasP ของวงจรแหล่งจ่ายกระแสเพื่อให้ได้แรงดันตามที่คำนวณออกแบบไว้ โดยใช้คุณสมบัติของวงจรสะท้อนกระแส (current mirror) [7-9,22,22] หลักการทำงานของวงจรสะท้อนกระแสในรูปที่ 4.8

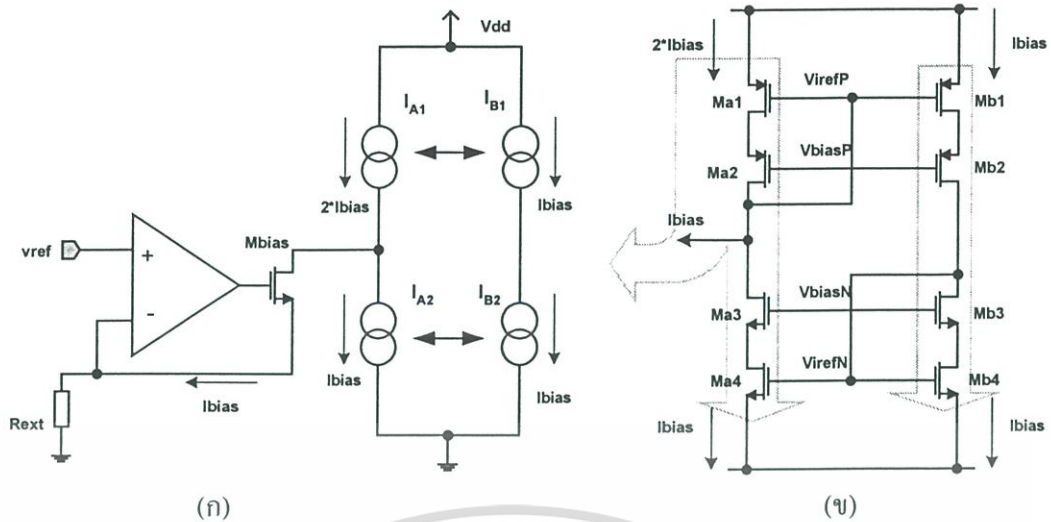


รูปที่ 4.8 การจัดไบอัสแบบวงจรสะท้อนกระแส

ลักษณะการทำงานของวงจร คือ ใช้มอสทรานซิสเตอร์ Mbiasp1 และ Mbiasp2 เป็นมอสทรานซิสเตอร์ที่ทำหน้าที่เป็นวงจรสร้างแรงดันไบอัสที่ขาเกตให้กับมอสทรานซิสเตอร์ Mp1 และ Mp2 ของวงจรแหล่งจ่ายกระแส เมื่อ Mbiasp1 และ Mp1 มีระดับแรงดันระหว่างเกตกับซอร์ส ( $V_{GS}$ ) ค่าเท่ากันจะมีกระแสเดรน ( $I_D$ ) ในปริมาณที่เป็นสัดส่วนตามกันกับค่าขนาดของมอสทรานซิสเตอร์ ( $W$  และ  $L$ ) ในทำนองเดียวกันกับ Mbiasp2 และ Mp2 ก็จะมีระดับแรงดันระหว่างเกตกับซอร์ส Mbiasp2 และ Mp2 เป็นการต่อในวงจรมอสทรานซิสเตอร์แบบอนุกรม (cascade) ช่วยให้ค่าความต้านทานเอาต์พุตที่มองจากขาเดรนของ Mp2 มีความต้านทานสูงขึ้นมากได้คุณสมบัติใกล้เคียงแหล่งจ่ายกระแสในอุดมคติ เมื่อพิจารณาจากรูปที่ 4.8 สามารถกำหนดแหล่งจ่ายกระแสตามคุณสมบัติที่เราต้องการคือ 1 LSB และ การเพิ่มหรือลดปริมาณกระแสตามคุณสมบัติของน้ำหนักกระแสที่เราต้องการ สามารถทำได้ด้วยการนำแหล่งจ่ายกระแสขนาด 1 LSB นี้ ประกอบเป็นแหล่งจ่ายกระแสขนาด 2 LSB, 4 LSB, 8 LSB และ 16 LSB เป็นไปตามลำดับซึ่งเราใช้คุณสมบัติของแหล่งจ่ายกระแสมาประกอบกันเป็นระบบในการแปลงสัญญาณดิจิทัลเป็นอนาลอก การออกแบบวงจรกำเนิดไบอัส แบ่งการทำงานออกเป็น 2 ส่วนคือ วงจรกำเนิดกระแสไบอัส และ วงจรกำเนิดแรงดันอ้างอิง

#### 4.3.1 วงจรกำเนิดกระแสไบอัส

วงจรกำเนิดกระแสไบอัสทำหน้าที่กำเนิดกระแสและแรงดันอ้างอิงให้กับส่วนของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกดังที่กล่าวมาข้างต้นแล้วนั้น ใช้วิธีการทำงานของวงจรสะท้อนกระแส ดังรูปที่ 4.9 [19-20] โดยการออกแบบค่านิ่งถึงปริมาณกระแสซึ่งสามารถออกแบบให้เป็นไปตามเงื่อนไข โดยกำหนดได้จากอัตราส่วนที่สัมพันธ์กันของมอสทรานซิสเตอร์ ( $W/L$ )



รูปที่ 4.9 โครงสร้างของวงจรกำเนิดกระแส

หลักการเบื้องต้นในรูปที่ 4.9 (ก) กำหนดให้กระแส  $I_{A1}$  มีความสัมพันธ์สอดคล้องกับ  $I_{B1}$ , กระแส  $I_{A2}$  มีความสัมพันธ์สอดคล้องกับ  $I_{B2}$  แทนค่าความสัมพันธ์ดังกล่าวในลักษณะของวงจรสะท้อนกระแสโดยใช้มอสทรานซิสเตอร์ ดังรูปที่ 4.9 (ข) ระหว่างคู่ของ  $M_{a1}, M_{a2}$  กับ  $M_{b1}, M_{b2}$  เช่นเดียวกันกับด้านล่างใช้มอสทรานซิสเตอร์ ระหว่างคู่ของ  $M_{a3}, M_{a4}$  กับ  $M_{b3}, M_{b4}$  โดยกำหนดค่ากระแสที่ต้องการ  $I_{bias}$  ให้มีค่าเป็นสัดส่วนที่เหมาะสมกับค่ากระแสของ 1 LSB โดยในที่นี้กำหนดให้  $I_{A1}$  มีขนาด  $2I_{bias}$  เพื่อให้วงจรสร้างกระแสอ้างอิง  $R_{ext}$  ดึงค่ากระแสเท่ากับ  $I_{bias}$  จาก  $I_{A1}$  ดังนั้นกระแสที่  $I_{A2}$  จะมีค่าเท่ากับ  $I_{bias}$  กระแสอ้างอิงกำเนิดจากแรงดันและตัวต้านทานภายนอก  $V_{ref}$  และ  $R_{ext}$  โดยค่าแรงดันอ้างอิง  $V_{ref}$  สามารถกำหนดจากแรงดันภายนอกหรือจากชุดวงจร Band-gap reference ส่วนค่า  $R_{ext}$  กำหนดให้เป็นค่าความต้านทานนอกวงจรรวม(off-chip resistor) ดังนั้น  $I_{bias}$  จะเกิดขึ้นได้โดยแรงดันที่ตกคร่อมค่าความต้านทาน  $R_{ext}$  ซึ่งแรงดันนี้เกิดจากความสัมพันธ์ของค่าแรงดันในวงจรขยายผลต่างที่ขาลบ(-), ขาบวก(+) ดังนั้นค่ากระแส  $I_{bias}$  สามารถกำหนดได้จากสมการที่ (3.12) กำหนดให้แรงดันอ้างอิง  $V_{ref}$  มีค่า  $1.3 V$   $I_{bias}$  เท่ากับ  $4 \text{ LSB}$  จากสมการที่ (3.13) สามารถหาค่าความต้านทานที่เหมาะสมได้เท่ากับ

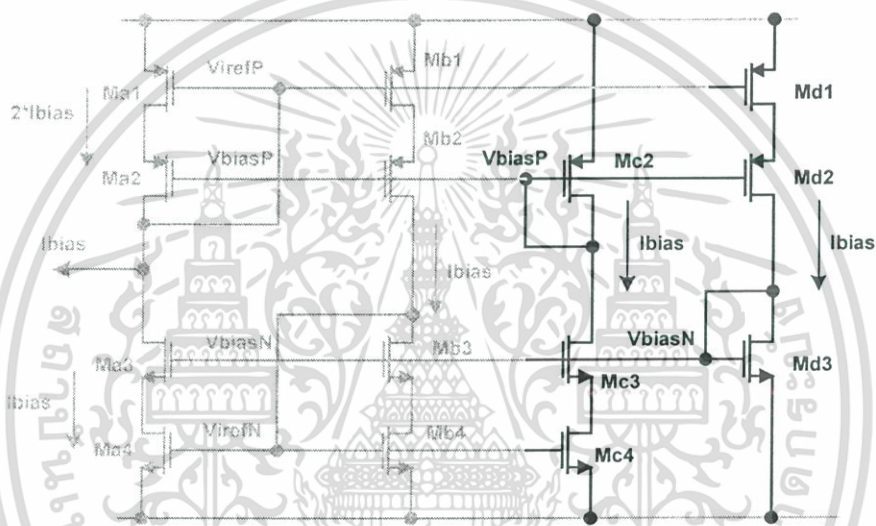
$$R_{ext} = \frac{V_{ref}}{4 \times I_{LSB}}$$

$$= \frac{1.3V}{4 \times 4.885 \mu A} = 66.1k\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

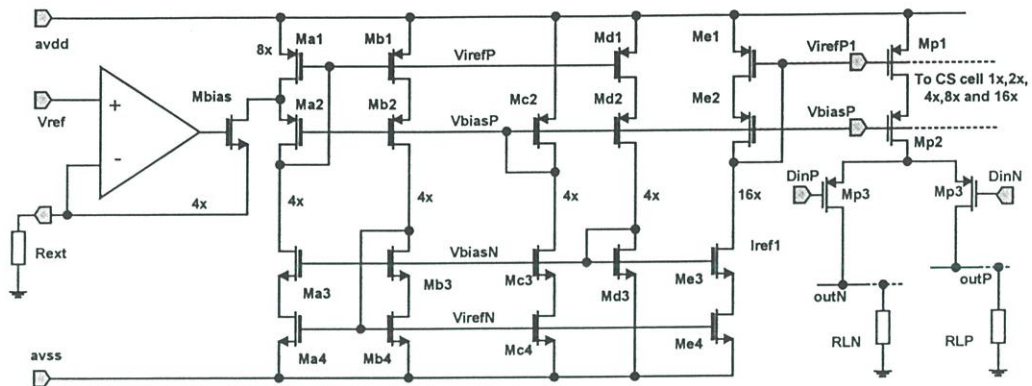
เมื่อมีกระแสไหลผ่าน  $R_{ext}$  ซึ่งกำหนดให้ค่ากระแสที่เท่ากับ 4 LSB กระแส  $I_D$  ของ  $M_{bias}$  จะมีค่าเท่ากับ 4 LSB เช่นกัน สรุปเป็นกระแสที่ไหลผ่าน  $I_{A1} = 8$  LSB กระแสที่ไหลผ่าน  $I_{A2}$ ,  $I_{B1}$  และ  $I_{B2}$  มีค่าเท่ากับ 4 LSB จากโครงสร้างของวงจรกำเนิดกระแสในรูปที่ 4.9 (ก) สามารถประยุกต์ใช้แทนด้วยมอสทรานซิสเตอร์ในรูปที่ 4.9 (ข) โดยแทน  $I_{A1}$  ด้วย  $M_{a1}$  และ  $M_{a2}$ ,  $I_{A2}$  ด้วย  $M_{a3}$  และ  $M_{a4}$ ,  $I_{B1}$  ด้วย  $M_{b1}$  และ  $M_{b2}$ ,  $I_{B2}$  ด้วย  $M_{b3}$  และ  $M_{b4}$  โดยค่าอัตราส่วนของ  $M_{a1}$  และ  $M_{a2}$  จะเป็นสองเท่าของ  $M_{b1}$  และ  $M_{b2}$

ในวงจรสะท้อนกระแสเรานำกระแสที่ไหลในวงจรมาสร้างวงจรถูกกำหนดแรงดันค่าแรงดันให้กับแรงดันไบอัสที่จุดต่างๆ จากวงจรดังรูปที่ 4.10 คือการสร้างคั้งอ้างอิง  $V_{biasP}$  และ  $V_{biasN}$  ให้กับวงจรถูกกำเนิดไบอัส จาก  $V_{GS}$  ของ  $M_{c2}$  และ  $M_{d3}$



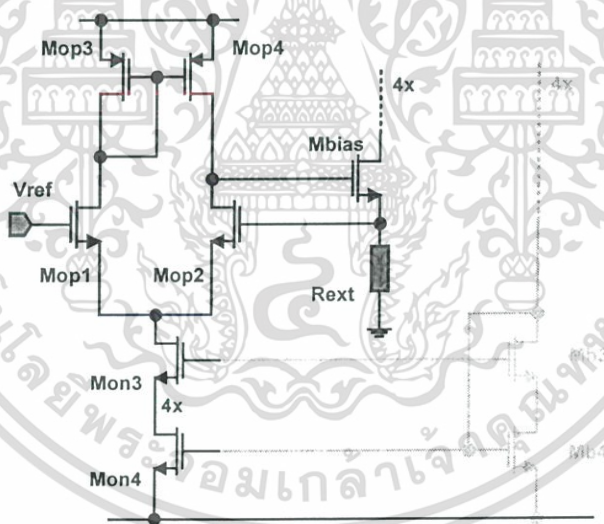
รูปที่ 4.10 การสร้างแรงดันอ้างอิงโดยใช้  $V_{GS}$

จากวงจรในรูปที่รูปที่ 4.9 เรากำหนดให้ค่าแรงดัน  $V_{ref}$  ตัวด้านทานภายนอก  $R_{ext}$  เป็นชุดกำเนิดค่ากระแสเท่ากับ  $4x$  หรือ  $4.885\mu A \times 4 = 19.54\mu A$  จากวงจรสมบูรณ์ในรูปที่ 4.11  $I_D$  ของ  $M_{a1} = 8x$  ขณะที่  $M_{a2}$ ,  $M_{a3}$  และ  $M_{a4}$  เท่ากับ  $4x$  กระแสที่ได้เป็นวงจรสะท้อนกระแส ทำให้  $M_{b1}$ ,  $M_{b2}$ ,  $M_{b3}$ , และ  $M_{b4}$  มีค่ากระแส  $4x$  และกระแสที่มอสทรานซิสเตอร์ตัวอื่นๆ มีกระแสไหลขนาด  $4x$  และที่  $M_{c3}$  และ  $M_{c4}$  กำหนดให้มีกระแสไหล  $16x$  ดังกระแสของ  $M_{e1}$  และ  $M_{e2}$  ขนาด  $16x$  ทำหน้าที่ในการสะท้อนกระแสขนาด 16 LSB ให้กับวงจรแปลงสัญญาณอีกลำดับหนึ่งการกำหนดเงื่อนไขของการกำเนิดกระแสที่ถึงผลกระทบของสัญญาณรบกวนในการสะท้อนกระแส และการสิ้นเปลืองพลังงานจากปริมาณกระแสไบอัส, ขนาดของมอสทรานซิสเตอร์แสดงในภาคผนวก ข.



รูปที่ 4.11 ลักษณะการใช้งานของวงจรสะท้อนกระแสให้กับวงจรแทนแหล่งจ่ายกระแส

ในส่วนของวงจรขยายผลต่าง (Differential Amp.) ใช้เพื่อสร้างคุณสมบัติสัญญาณของออปแอมป์ที่เกิดจากการป้อนกลับแบบกระแสตรงที่ทำให้ แรงดันที่ขาบวก(+) เท่ากับแรงดันที่ขาลบ(-) เพื่อให้แรงดันที่ขา  $R_{ext}$  เท่ากับแรงดันที่  $V_{ref}$  การทำงานของวงจรใช้ค่ากระแสไบอัสจากส่วนของวงจรกำเนิด ไบอัสข้างต้น ขนาด 4 LSB เป็นตัวกำหนดกระแสให้กับวงจรขยายผลต่างแบบให้วงจรมีอัตราขยายสูง

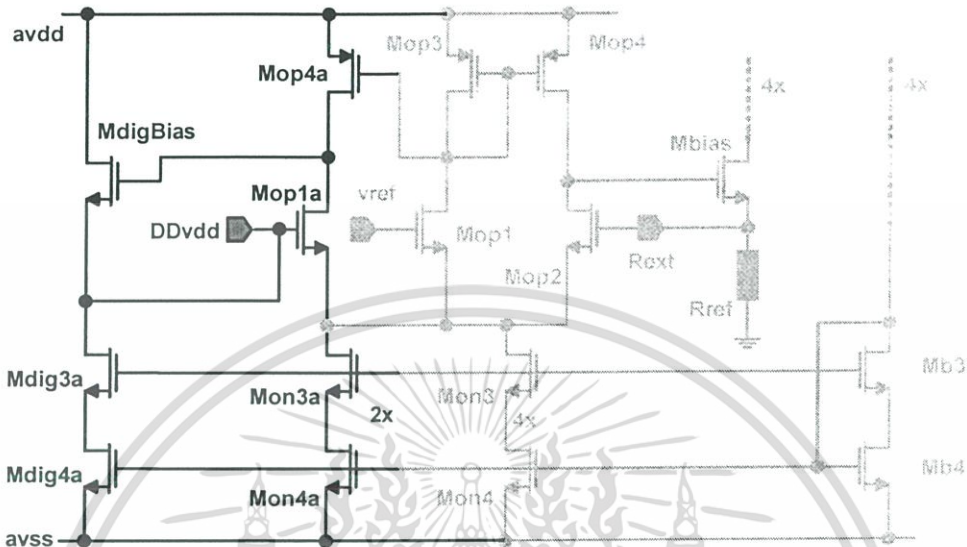


รูปที่ 4.12 วงจรขยายผลต่าง

จากหลักการของวงจรขยายผลต่างเราสามารถใช้งานการทำงานของวงจรสร้างแรงดันที่ใช้ในส่วนของวงจรสวิตช์ในวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกซึ่งต้องใช้สำหรับสวิตช์กระแส (Switch-Driver) ที่ต้องการแรงดัน 1.3 V ดังนั้นเรานำคุณสมบัติของแรงดันขาเข้าด้านบวกเท่ากับแรงดันขาเข้าด้านลบของวงจรขยายผลต่างมาใช้ได้อีกทางหนึ่ง โดยการ ใช้ค่า  $V_{ref}$  เท่ากับ 1.3 V ดังนั้นค่าของ  $D_{vdd}$  ในรูปที่ 4.13 จะมีค่าเท่ากับ 1.3 V แต่เนื่องจากกระแสที่ใช้ขับวงจรอาจไม่พอเพียง

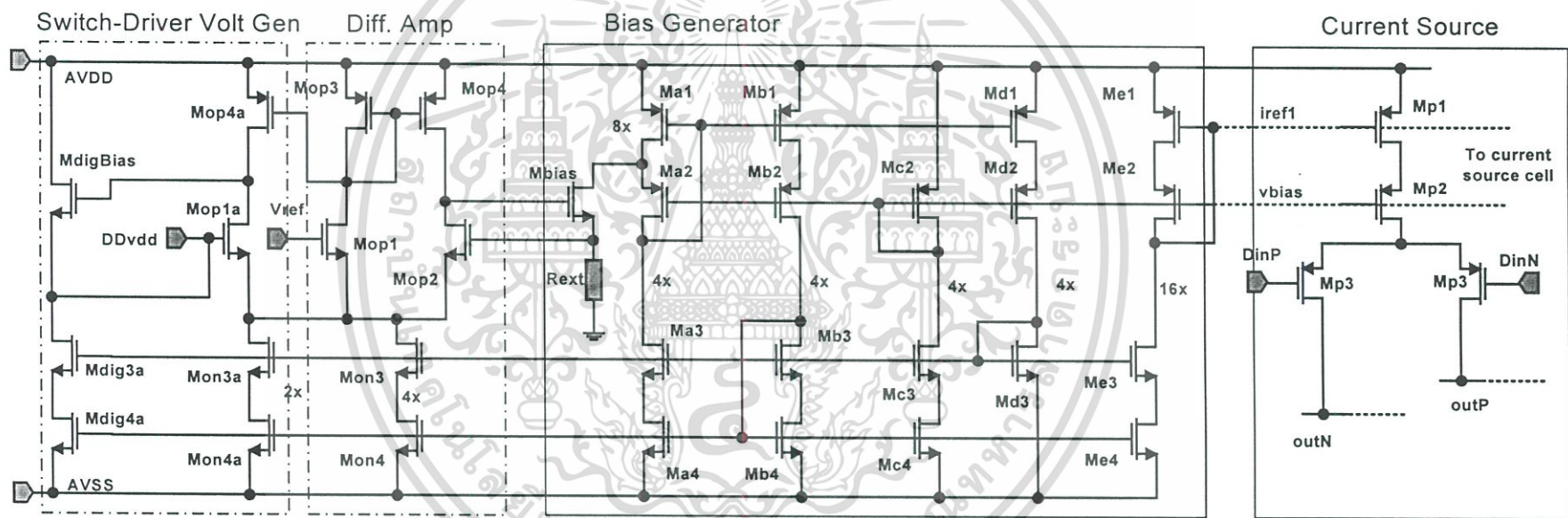
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรในภาคขับสวิตซ์จึงเพิ่มวงจรกระแส โดยมี MdigBias เป็นมอสทรานซิสเตอร์ที่ใช้จ่ายกระแสให้กับวงจร การไบอัสกระแสเสาอศัยกระแสจากวงจรถูกกำเนิดกระแสชุดเดิมสร้างในลักษณะวงจรสะท้อนกระแสเพื่อจ่ายให้กับวงจรถูกกำเนิดแรงดันของภาคขับสวิตซ์



รูปที่ 4.13 วงจรกำเนิดแรงดันให้ภาคสวิตซ์กระแส

จากวงจรไบอัสทั้งหมดที่ออกแบบแสดงดังรูปที่ 4.14 โดยการแบ่งการทำงานเป็น 3 ส่วน คือ วงจรกำเนิดไบอัส และ วงจรกำเนิดแรงดันให้กับวงจรถูกตัด ในการออกแบบได้คำนึงถึงขนาดของมอสทรานซิสเตอร์ โดย คำนึงถึงในส่วนของขั้นตอนการวาดผังภูมิอีกด้วย ขนาดของมอสทรานซิสเตอร์แสดงได้แสดงใน ภาคผนวก ข.



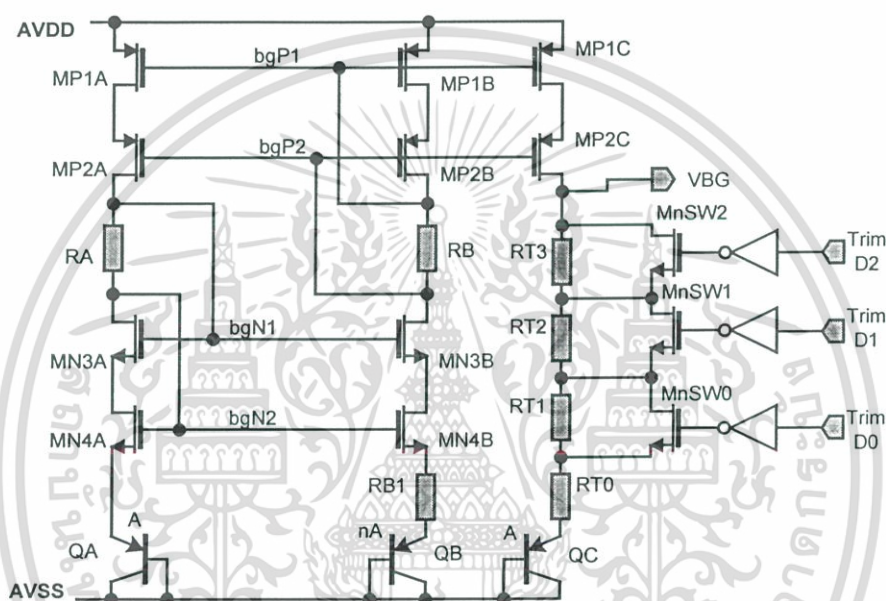
รูปที่ 4.14 วงจรกำเนิดแรงดันและกระแสไบอัส

### 4.3.2 วงจรสร้างแรงดันอ้างอิงแบนด์แก๊ป (Band-gap voltage reference)

วงจรรูปที่ 4.15 เป็นวงจรถูกกำเนิดแรงดันอ้างอิง VBG ซึ่งจะใช้เป็นแรงดันอ้างอิงให้กับวงจรถูกกำเนิดกระแส ที่ตำแหน่ง Vref โดยแรงดันอ้างอิงเป็นไปตามสมการ [8-9]

$$V_{BG} = V_{BE_{QC}} + I_{RB1} R_T = V_{BE_{QC}} + V_T \ln(n) \frac{R_T}{R_{B1}} \quad (4.10)$$

ซึ่งสามารถกำหนดแรงดันได้จากความต้านทาน RA, RB, RB1 และ RB1 ใสร่างจากสาร p-diffusion

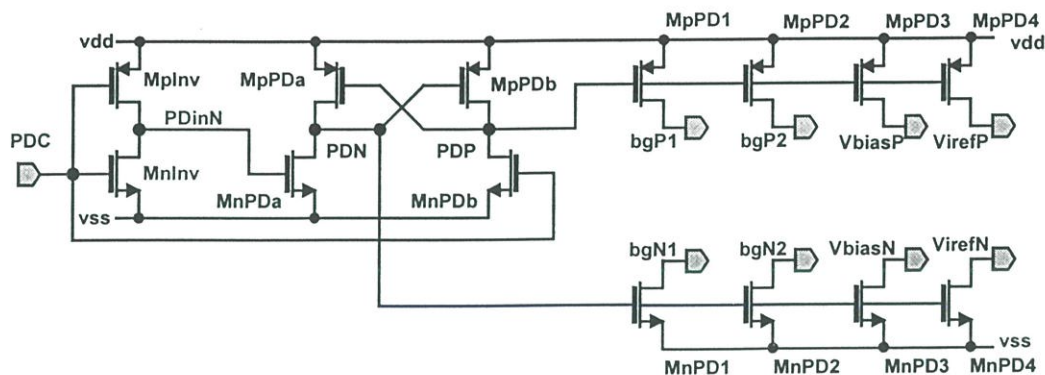


รูปที่ 4.15 วงจรถูกกำเนิดแรงดันอ้างอิงแบบใช้  $V_{BE}$  Band-gap voltage reference

### 4.3.3 วงจรหยุดการทำงาน

ทำหน้าที่หยุดการทำงานของวงจรตามต้องการ โดยใช้สัญญาณดิจิทัล PDC เป็นสัญญาณดิจิทัลควบคุม โดยการต่อวงจรหยุดการทำงานกับส่วนของวงจรถูกกำเนิดกระแสไปอัส และวงจรถูกกำเนิดแรงดันอ้างอิงแบนด์แก๊ป การหยุดการทำงานโดยใช้วิธีทำให้แรงดัน  $V_{GS}$  ของมอสทรานซิสเตอร์ในวงจรถูกกำเนิดกระแสอ้างอิง และวงจรถูกกำเนิดแรงดันอ้างอิงแบนด์แก๊ปมีค่าเป็นศูนย์ ( $V_{GS}=0$ ) จึงไม่เกิดกระแสไหลในวงจร

การควบคุมวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกโดยการให้แรงดันที่ PDC เมื่อต้องการให้วงจรทำงานป้อนสัญญาณ PDC = '1' วงจรเข้าสู่สภาวะตื่น (wake up mode) และ เมื่อต้องการให้วงจรหยุดทำงานป้อนสัญญาณ PDC = '0' วงจรเข้าสู่สภาวะหลับ (sleep mode), การทำงานของวงจรหยุดการทำงาน และสัญญาณควบคุมสภาวะลจิกต่างๆ แสดงในตารางที่ 4.5



รูปที่ 4.16 วงจรหยุดการทำงาน (Power Down Control)

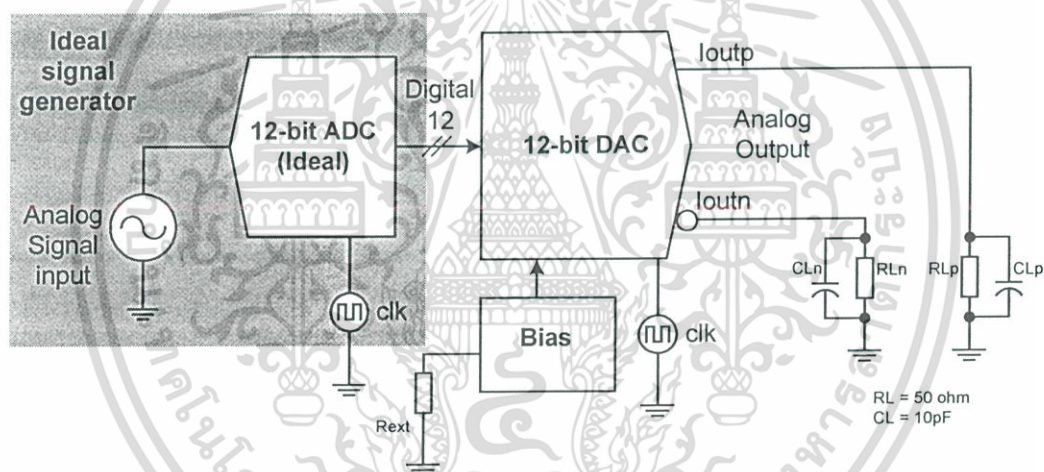
ตารางที่ 4.5 สัญญาณในตำแหน่งต่างๆ ของวงจรหยุดจ่ายพลังงาน

แรงดันที่โหนด	วงจรทำงาน	วงจรหยุดทำงาน
Pdin	Vdd	Vss
PDinN	Vss	Vdd
PDP	Vdd	Vss
PDN	Vss	Vdd
bgP1	VbgP1	Vdd
bgP2	VbgP2	Vdd
VirefP	VirefP	Vdd
VbiasP	VbiasP	Vdd
bgN1	VbgN1	Vss
bgN2	VbgN2	Vss
VirefN	VirefN	Vss
VbiasN	VbiasN	Vss

จากตารางที่ 4.5 สรุปได้ว่า เมื่อต้องการให้วงจรทำงานเราให้แรงดันที่ PDC เป็นลอจิก '1' จะทำให้แรงดันที่จุดต่างๆ ของวงจรถูกนำเสนอสายไบอัส และวงจรถูกสร้างแรงดันอ้างอิง (band-gap reference) ทำงานเป็นปกติ แต่เมื่อแรงดันที่ PDC เป็น '0' วงจรจะเข้าสู่สภาวะหลับ

#### 4.4 ผลการจำลองการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต

จากการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต จำลองการทำงานเพื่อสรุปผลเพื่อยืนยันคุณสมบัติของวงจรที่ออกแบบ, โดยจำลองการทำงานแยกเป็นส่วนวงจรรย่อย และ ส่วนวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกทั้งหมด, รวมถึงผลกระทบที่เกิดขึ้นจากค่าความผิดพลาดจากการผลิตวงจรรวม, การจำลองการทำงานวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก จำเป็นต้องสร้างสัญญาณรหัสดิจิทัลอินพุต 12 บิตให้กับวงจร, วิธีการสร้างรหัสดิจิทัล 12 บิต ทำโดยใช้แหล่งจ่ายสัญญาณอุดมคติป้อนเป็นสัญญาณอินพุตให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลในอุดมคติ จะได้สัญญาณรหัสดิจิทัล 12 บิต ป้อนให้กับวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกที่ต้องการทดสอบ, การสร้างวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลอุดมคติ สามารถสร้างวงจรได้จาก VerilogA ของการจำลองการทำงานในแบบ Mixed-signal, การจำลองการทำงานแบบ Mixed-signal เนื่องจากมีสัญญาณ 2 รูปแบบ คือ สัญญาณอนาลอก และ สัญญาณดิจิทัล, วงจรที่ใช้จำลองการทำงานประกอบกันได้ดังรูปที่ 4.17

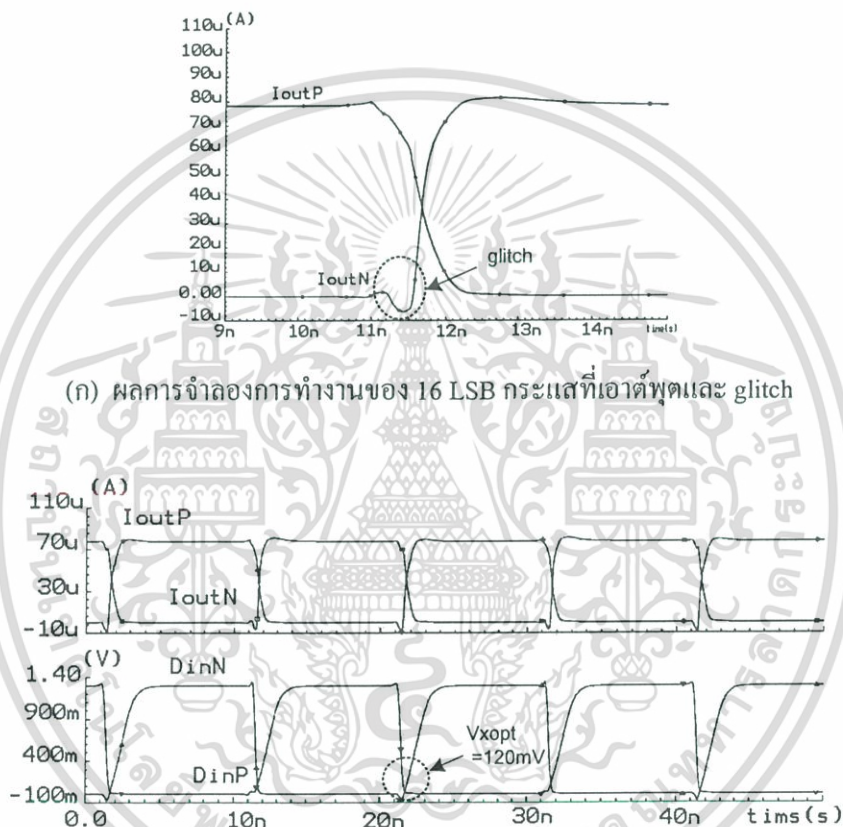


รูปที่ 4.17 การสร้างสัญญาณดิจิทัลอินพุตให้กับวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

การประกอบวงจรเพื่อจำลองการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ประกอบด้วยแหล่งจ่ายแรงดันสูง (AVDD) ขนาด 2.5 V และ แหล่งจ่ายแรงดันด้านต่ำ (AVSS) มีศักย์เป็น GND มีค่าแรงดันเท่ากับ 0 V, ต่อค่าความต้านทานให้กับวงจรสร้างกระแสอ้างอิงด้วย Rext ขนาด 61.1 k $\Omega$ , สัญญาณนาฬิกา clk ความถี่ 100 MHz ให้กับวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก, ต่อเอาต์พุตของวงจรทั้งสองด้าน (IoutP และ IoutN) ต่อด้วยภาระ โหลดตัวต้านทาน 50  $\Omega$  ขนานกับ ตัวเก็บประจุ 10 pF, จำลองการทำงานของวงจรทั้งหมดด้วยโปรแกรม SpectreVerilog

#### 4.4.1 วงจรควบคุมการสวิตช์ (Switch-driver)

จากวงจรควบคุมการสวิตช์ที่ได้ออกแบบใน 4.2.2, นำวงจรที่ได้จากรูปที่ 4.6 (ก-ข) ทดสอบการทำงานของวงจรควบคุมการสวิตช์ ร่วมกับวงจรจ่ายกระแส 16 LSB โดยการปรับแต่งแรงดัน  $V_{Xopt}$  ให้เหมาะสมเพื่อให้เกิด glitch-voltage น้อยที่สุด ดังรูปที่ 4.18 (ก-ข) ผลการจำลองการทำงานของวงจรจ่ายกระแสและวงจรควบคุมการสวิตช์ โดยการปรับแต่งสัญญาณควบคุมการสวิตช์จากการปรับแต่งขนาดของมอสทรานซิสเตอร์ในวงจรทำให้ได้แรงดัน  $V_{Xopt} \approx 120mV$  โดยที่ค่าของ glitch-energy ของวงจรจ่ายกระแสขนาด 16 LSB เท่ากับ 0.01645pVs

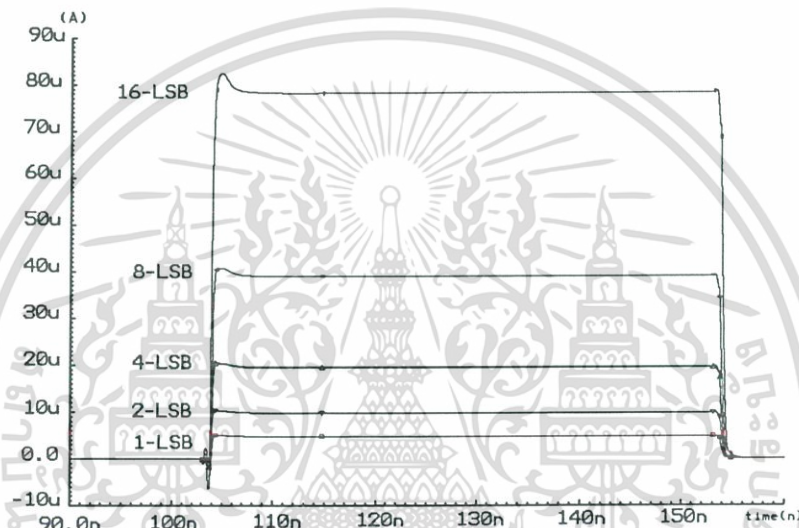


#### 4.4.2 จำลองการทำงานวงจรจ่ายกระแสและค่าแรงดันสูงสุด

จำลองการทำงานการจ่ายกระแสในระบบโดย ทดสอบการจ่ายกระแสของแหล่งจ่ายกระแสขนาด 16 LSB, 8 LSB, 4 LSB, 2 LSB, และ 1 LSB เพื่อตรวจสอบความถูกต้องของค่ากระแสที่ออกแบบ ผลของค่าระดับกระแสแสดงในตารางที่ 4.6 และ รูปที่ 4.19

ตารางที่ 4.6 ค่ากระแสในแต่ละบิต

ระดับกระแส	ค่ากระแส ( $\mu\text{A}$ )
1 LSB	4.885
2 LSB	9.770
4 LSB	19.540
8 LSB	39.080
16 LSB	78.160



รูปที่ 4.19 กระแสของ 1 LSB, 2 LSB, 4 LSB, 8 LSB และ 16 LSB

ทดสอบการทำงานของวงจรที่แรงดันเอาต์พุตสูงสุด 1 V ต่กรวม โหลด 50  $\Omega$  หากค่ากระแสสูงสุดที่จ่ายให้โหลด

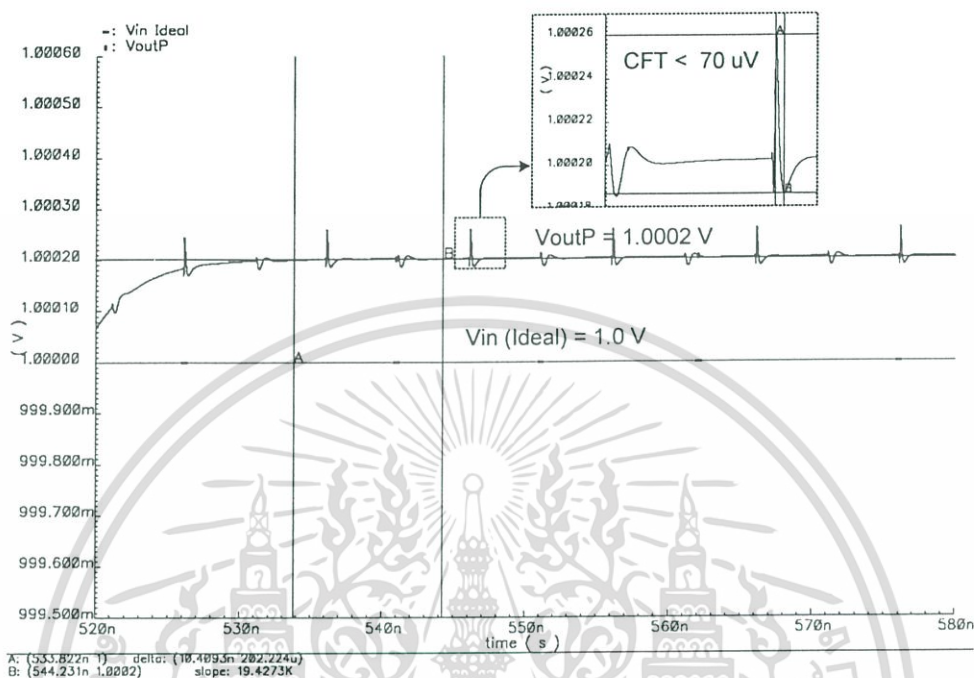
$$I_{FS} = 4.885 \mu \cdot \sum_{i=0}^{12-1} 2^i \cdot b_i(t) = 20.004075 \text{ mA}(t)$$

แรงดันที่เอาต์พุตเท่ากับ

$$V_{RL}(t) = R_L \times I_{out}(t) = 1.0002 \text{ V}(t)$$

จำลองการทำงานสภาวะแรงดันสูงสุดดังรูปที่ 4.20 วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต สามารถทำงานให้แรงดันที่เอาต์พุตได้ 1.0002 V วิธีการจำลองการทำงานโดยป้อนอินพุตดิจิทัล  $D_{11} - D_0$  เป็นลอจิก '1' ทั้งหมดจะได้สัญญาณเอาต์พุตที่โหลด 50  $\Omega$  เท่ากับ 1.0002 V ซึ่งได้ค่าตรงตามการคำนวณจะเห็นได้ว่าการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกเราได้ถูก

กำหนดให้สัญญาณที่เอาต์พุตเปลี่ยนแปลงได้ตั้งแต่ 0-1 V โดยที่วงจรแทนแหล่งจ่ายกระแสทุกตัวยังคงทำงานปกติและจ่ายกระแสคงที่, นอกจากนี้ได้ขยายรูปสัญญาณสามารถเห็นสัญญาณนาฬิกาไหลข้าม (Clock Feed Through : CFT) ซึ่งมีขนาดเล็กมากประมาณ 70  $\mu\text{V}$



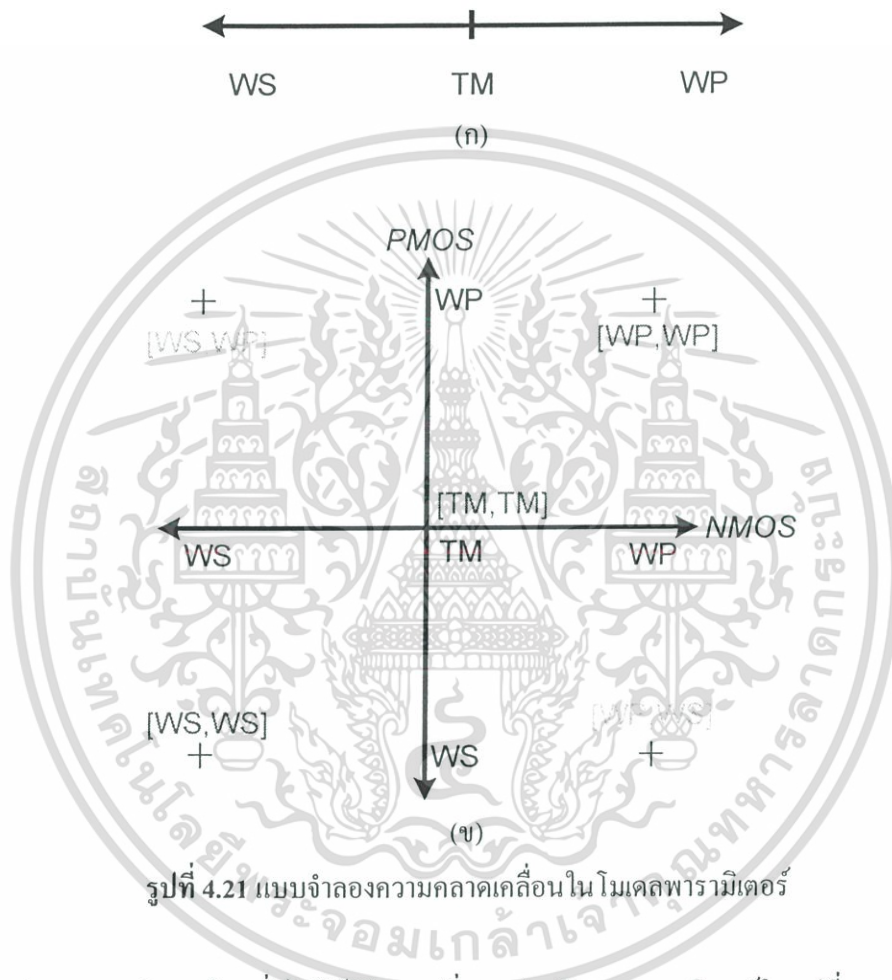
รูปที่ 4.20 แรงดันสูงสุดที่เอาต์พุต IoutP

#### 4.4.3 ทดสอบค่าเวลาการเปลี่ยนแปลงสัญญาณ

ทดสอบหาค่าเวลาการเปลี่ยนแปลงสัญญาณขาขึ้น (rise time :  $t_r$ ) และ สัญญาณขาลง (fall time :  $t_f$ ) ของการแปลงสัญญาณดิจิทัลเป็นอนาล็อกทำโดยป้อนสัญญาณพัลส์ให้กับวงจร หรือ ทดสอบการเปลี่ยนแปลงรหัสดิจิทัลจาก “000000000000” เป็น “111111111111” และ “111111111111” เป็น “000000000000” จะทำให้เกิดการเปลี่ยนแปลงแรงดันที่เอาต์พุตของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก จาก 0 V เป็น 1 V และพิจารณาการเปลี่ยนแปลงสัญญาณนั้นเทียบกับค่าเวลาของสัญญาณขาขึ้นจากระดับต่ำสุดถึงระดับสูงสุดที่(10% - 90%) และ ค่าเวลาสัญญาณขาลงจากระดับสูงสุดถึงระดับต่ำสุด(90% - 10%) การทดสอบสัญญาณดังกล่าวนี้ได้ทำการเปลี่ยนแปลงโมเดลพารามิเตอร์ของ เทคโนโลยีชิมอสที่ใช้โดยใช้โมเดลพารามิเตอร์ปกติ (Typical Model : TM), โมเดลพารามิเตอร์แบบทำงานช้า(Worse case Speed : WS) และ โมเดลพารามิเตอร์แบบเปลืองพลังงาน (Worse case Power : WP) หรือในบางกรณีเรียก โมเดลพารามิเตอร์แบบเร็ว โดยทั่วไปชื่อของโมเดลพารามิเตอร์จะกำหนดโดยโรงงานที่ทำการเจือสาร, เหตุผลและวิธีการเปลี่ยนโมเดลพารามิเตอร์คือ การที่พารามิเตอร์บางตัวของมอสทรานซิสเตอร์เปลี่ยนไปแสดงดังรูปที่ 4.21 (ก) สมมุติให้เส้นจำนวนในรูปเป็นลักษณะความคลาดเคลื่อนของโมเดลโดยโมเดลปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(TM) หรือไม่มีความคลาดเคลื่อนของค่าพารามิเตอร์ จะอยู่ตรงกลางของเส้นจำนวน และ โมเดลพารามิเตอร์แบบเข้า(WS) จะอยู่ด้านลบ และ โมเดลพารามิเตอร์แบบเปลืองพลังงานหรือแบบเร็ว จะอยู่ด้านบวก โมเดลพารามิเตอร์ที่เปลี่ยนแปลงนี้คือการวัดและตรวจสอบการค่าพารามิเตอร์ในโมเดลนั้นๆ [22-24] เช่น K1, K2, NCH, VTH0, U0, CGB0, CGD1, CGS1, TOX, XL, XW, RSH, CJ และ CJSW ซึ่งค่าพารามิเตอร์ต่างๆ เหล่านี้จะทำให้เกิดผลกับค่าพารามิเตอร์ของตัวเก็บประจุ และ threshold voltage ของมอสทรานซิสเตอร์ทำให้ประสิทธิภาพของมอสทรานซิสเตอร์เปลี่ยนไป

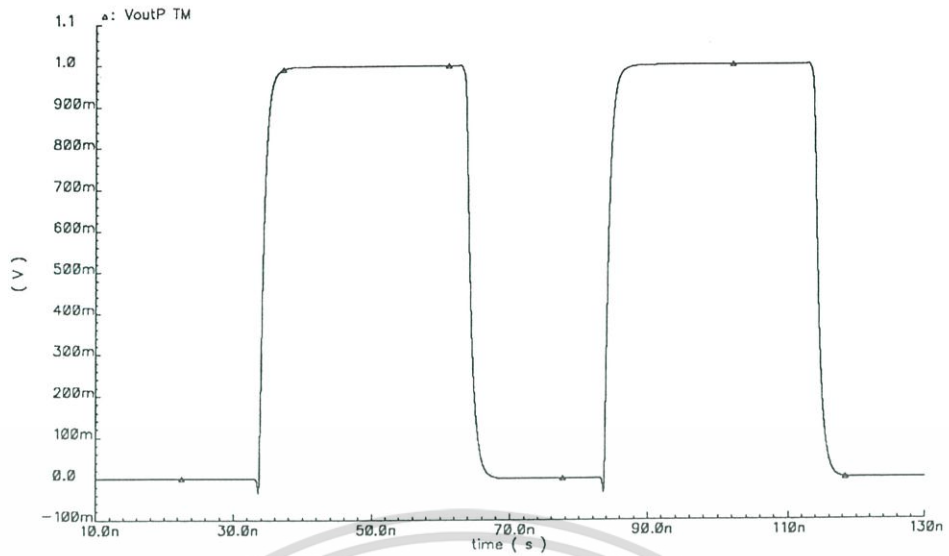


รูปที่ 4.21 แบบจำลองความคลาดเคลื่อนใน โมเดลพารามิเตอร์

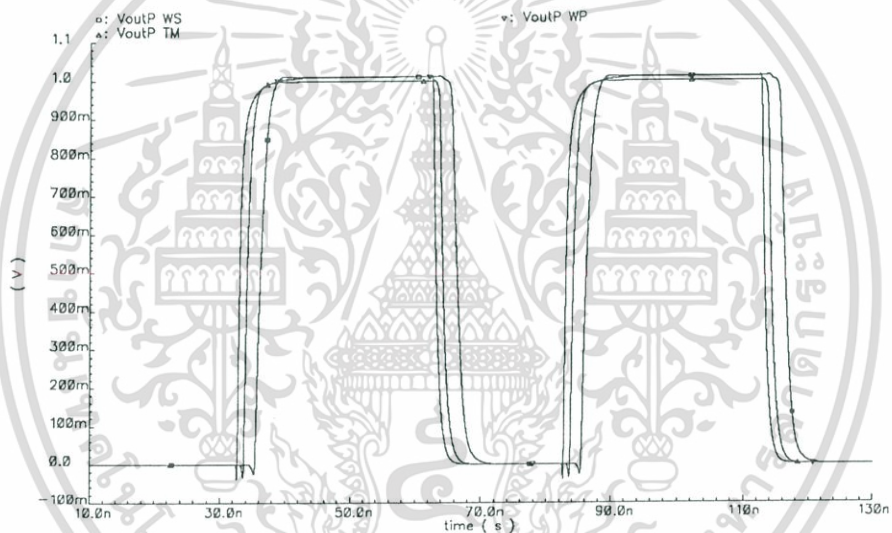
ในการจำลองการทำงานโดยทั่วไปใช้วิธีการเปลี่ยนแปลงโมเดลพารามิเตอร์ในรูปที่ 4.21 (ข) โดยการจำลองการทำงานแบบโมเดลพารามิเตอร์แบบปกติ, โมเดลพารามิเตอร์แบบช้า และ โมเดลพารามิเตอร์แบบสิ้นเปลืองพลังงาน โดยในแกน x เป็นโมเดลพารามิเตอร์ของ NMOS และ แกน y เป็นโมเดลพารามิเตอร์ของ PMOS เราทำการจำลองการทำงานในโมเดล 3 แบบด้วยกันคือ [TM, TM], [WP, WP] และ [WS, WS]

ผลการจำลองการทำงานค่าช่วงเวลาการเปลี่ยนแปลงสัญญาณ แสดงในตารางที่ 4.7 และ รูปที่ 4.22

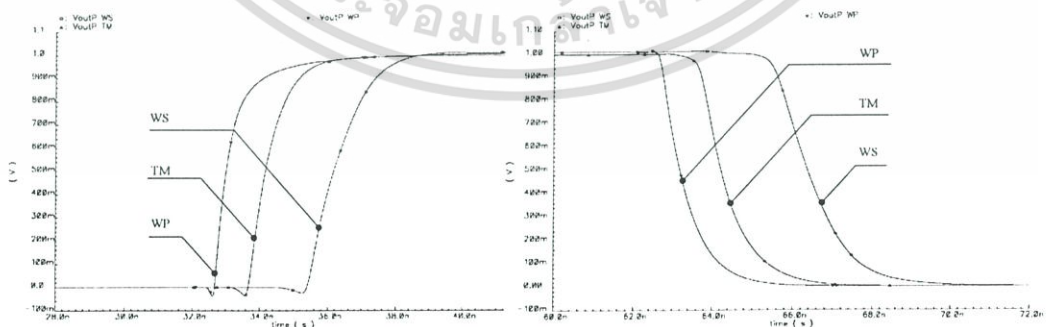
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(f)



(g)



(h)

รูปที่ 4.22 จำลองการทำงานสัญญาณพัลส์และค่าเวลาการเปลี่ยนแปลงระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

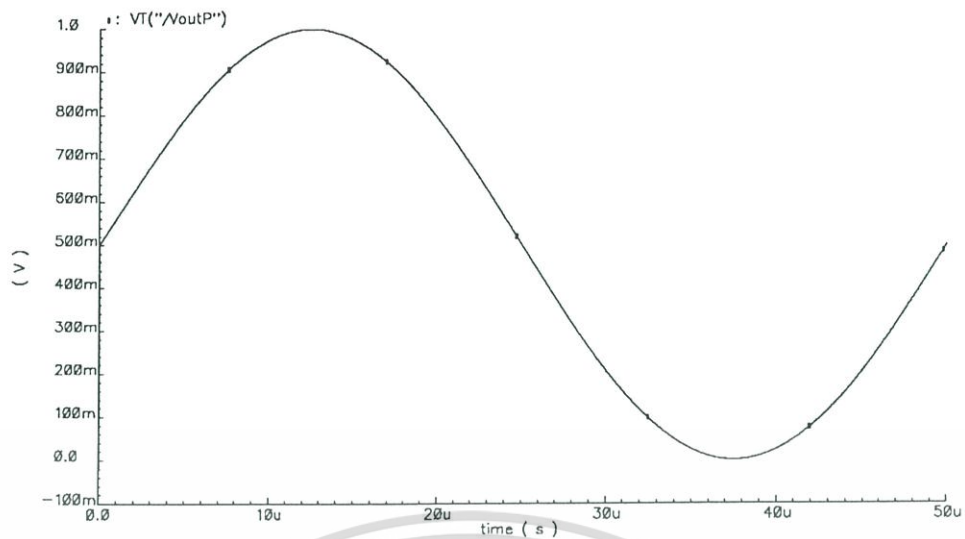
ตารางที่ 4.7 ค่าเวลาขอบขาขึ้นและขอบขาลงของสัญญาณที่เอาต์พุต

Model parameter	Rise time : tr (nS.)	Fall time : tf (nS.)
Typical Model : [TM,TM]	1.36733	1.64737
Worse case power : [WP,WP]	1.34247	1.44168
Worse case speed : [WS,WS]	1.86256	2.05340

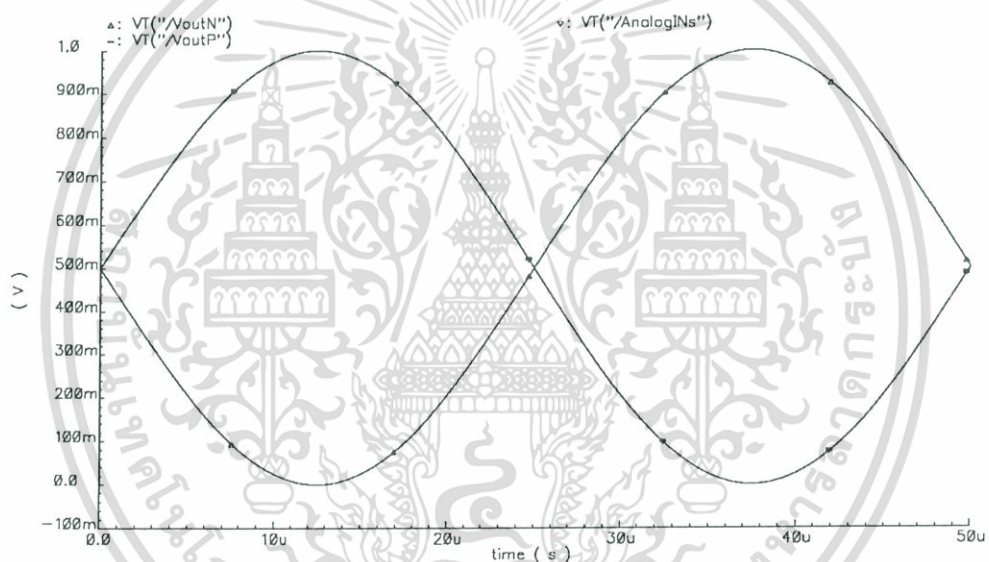
#### 4.4.4 ผลการจำลองการทำงานทางความถี่

ตัวอย่างจรงรูปที่ 4.17 จำลองการทำงาน โดยการป้อนสัญญาณอุดมคติไซน์ให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(ADC) อุดมคติ จะได้สัญญาณรหัสดิจิตอลไซน์ที่ใกล้เคียงอุดมคติขนาด 12 บิต ป้อนให้กับวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่ออกแบบ เพื่อทดสอบผลการแปลงสัญญาณจากการจำลองการทำงาน ตรวจสอบการทำงานที่ความถี่ที่ต้องการ กำหนดจำลองการทำงานโดยการแปลงสัญญาณ ไซน์ความถี่ตั้งแต่ 20 kHz ถึง 10 MHz ที่มีขนาดของสัญญาณ 1 V<sub>p-p</sub> (0-1 V) โดยให้อัตราสุ่มของสัญญาณนาฬิกาเท่ากับ 100 MHz

สัญญาณเอาต์พุตที่ได้จากการแปลงสัญญาณสัญญาณ ไซน์ที่ความถี่ 20 kHz 1 V<sub>p-p</sub> แสดงดังรูปที่ 4.23 (ก) เป็นสัญญาณที่เกิดขึ้นที่ V<sub>outP</sub> ส่วนสัญญาณ ไซน์ 20 kHz ที่แสดงดังรูปที่ 4.23 (ข) เป็นสัญญาณ ไซน์ที่เกิดขึ้นที่ V<sub>outP</sub>, V<sub>outN</sub> และ สัญญาณ ไซน์อุดมคติ AnalogINs ที่ป้อนให้กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลอุดมคติ, การทดสอบการแปลงสัญญาณที่ความถี่อื่นทำในลักษณะเดียวกันโดยป้อนสัญญาณอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลอุดมคติ มีขนาด 1 V<sub>p-p</sub> และ ปรับความถี่ของสัญญาณ 100 kHz, 500 kHz, 1 MHz, 5 MHz และ 10 MHz ตามลำดับ ผลการจำลองการทำงานจะได้สัญญาณที่เอาต์พุต (V<sub>outP</sub>) ของการแปลงสัญญาณดิจิตอลเป็นอนาลอก ดังรูปที่ 4.24 ถึง รูปที่ 4.28



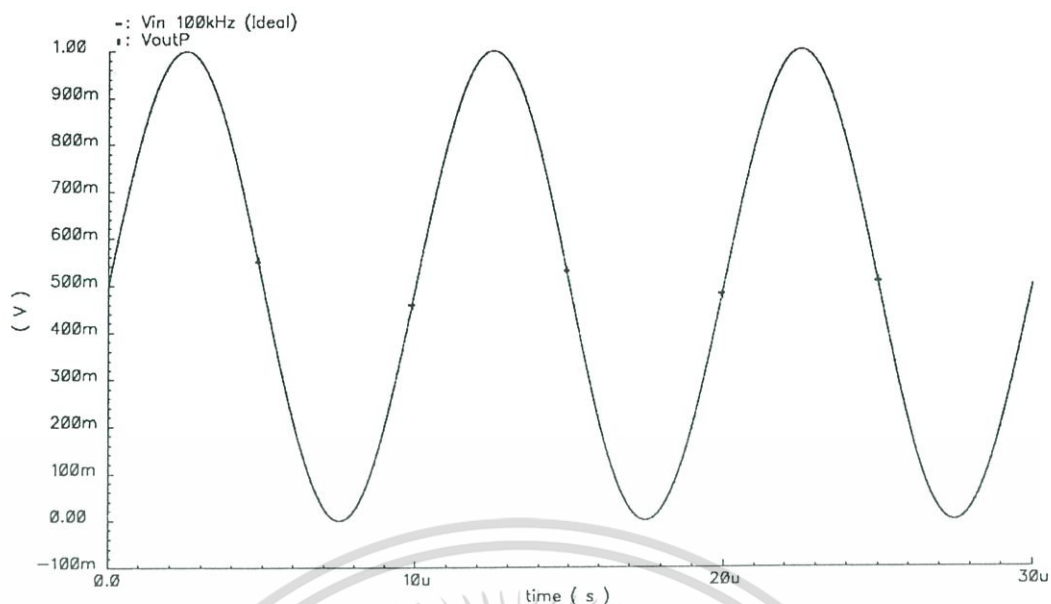
(ก)



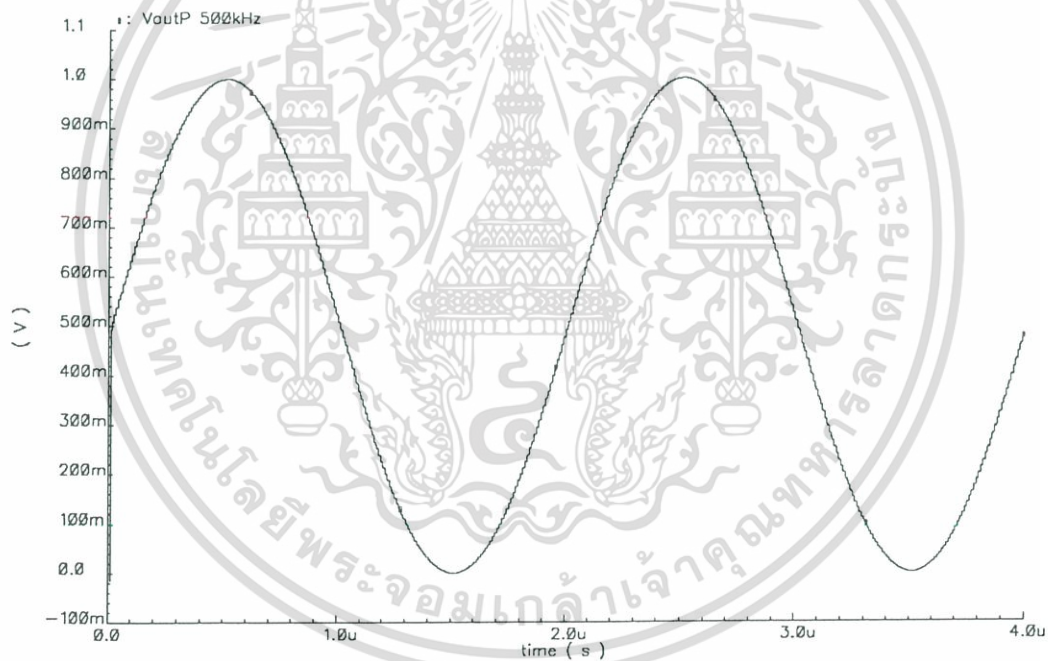
(ข)

รูปที่ 4.23 สัญญาณไซน์ความถี่ 20 kHz, 1 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

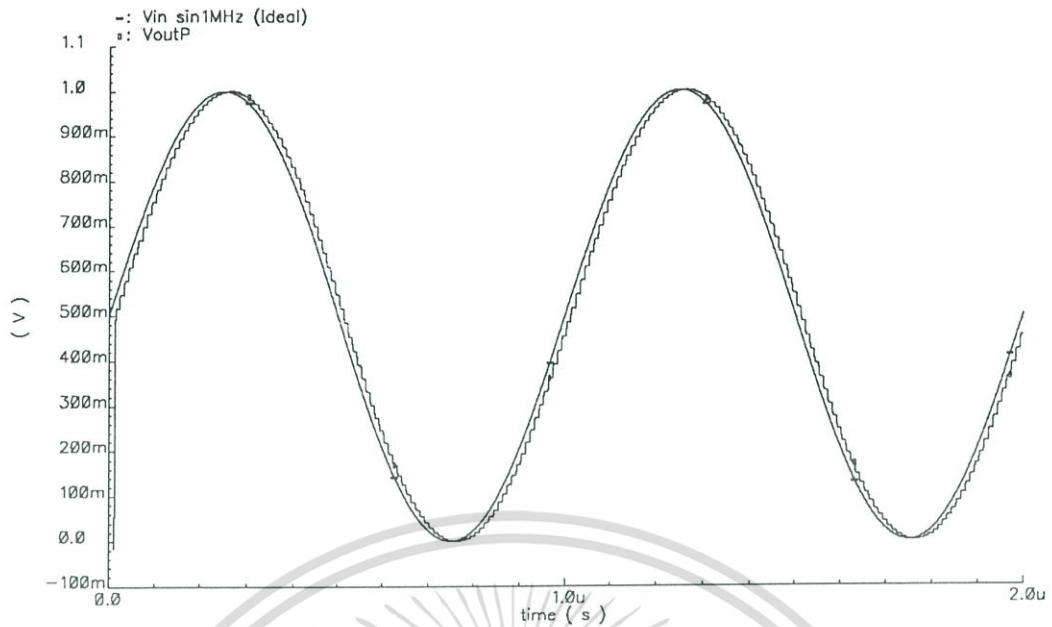


รูปที่ 4.24 สัญญาณไซน์ความถี่ 100 kHz, 1 Vp-p

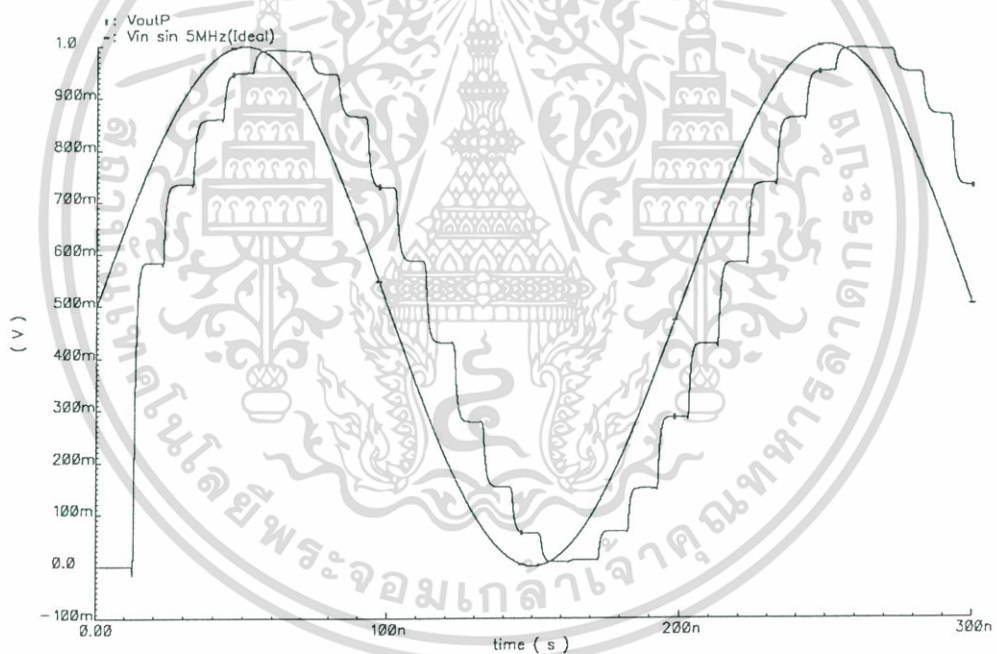


รูปที่ 4.25 สัญญาณไซน์ความถี่ 500 kHz, 1 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

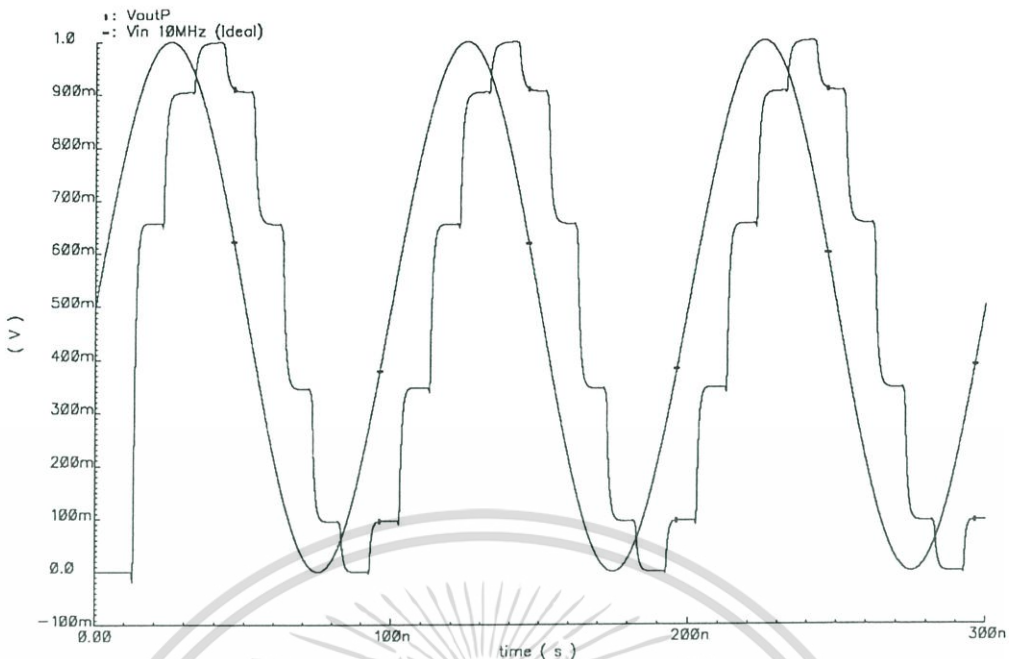


รูปที่ 4.26 สัญญาณไซน์ความถี่ 1 MHz, 1 Vp-p



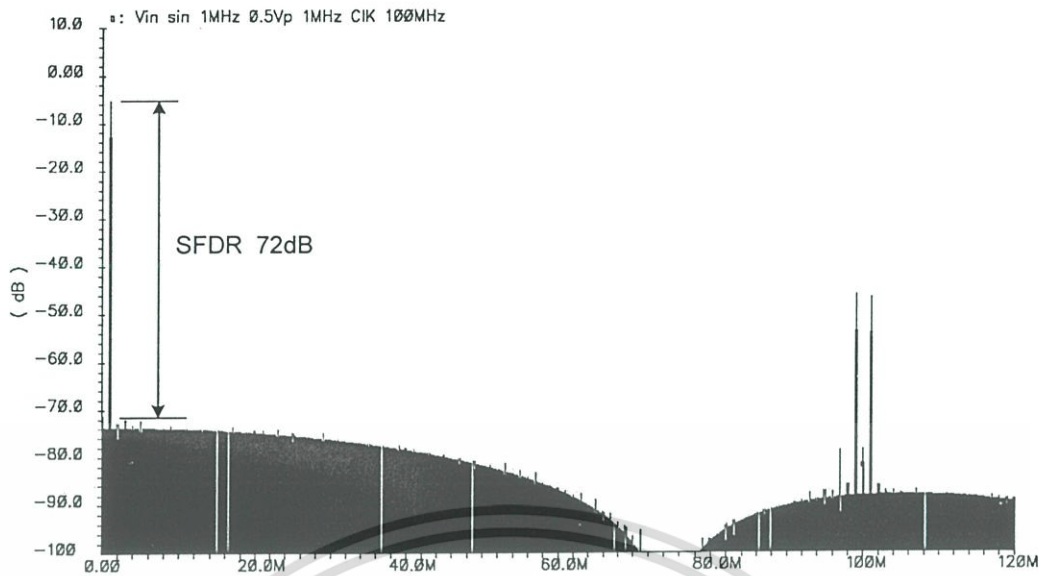
รูปที่ 4.27 สัญญาณไซน์ความถี่ 5 MHz, 1 Vp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 สัญญาณไซน์ความถี่ 10 MHz, 1 Vp-p

การจำลองการทำงานที่ผ่านมจะเห็นได้ว่าวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต แปลงสัญญาณในลักษณะไซน์ที่ความถี่ต่างๆ นำสัญญาณความถี่ใน time domain วิเคราะห์หาองค์ประกอบทางความถี่ใน frequency domain โดยใช้ฟังก์ชันการคำนวณ DFT ใน Spectre เพื่อพิจารณาค่า SFDR [1] หรือความแตกต่างของขนาดความถี่หลักกับขนาดสูงสุดของความถี่ฮาร์โมนิกส์ใดๆ ที่เกิดขึ้น แสดงในรูปที่ 4.28 แสดงการวิเคราะห์ที่ความถี่ 1 MHz กับขนาดของฮาร์โมนิกส์ที่ 2 คือความถี่ 2 MHz ซึ่งมีขนาดสูงกว่าฮาร์โมนิกส์อื่นๆ ได้ค่า SFDR เท่ากับ 72 dBc การวิเคราะห์ที่ความถี่อื่นได้สรุปไว้ในตารางที่ 4.8 จากผลการทดสอบวงจรเพื่อวัดค่า SFDR จะเห็นได้ว่าที่ความถี่ต่ำจะมีค่า SFDR ดีกว่าที่ความถี่สูง เนื่องจากค่าความละเอียดของการอัตราการสุ่มสัญญาณที่ความถี่ต่ำมีค่ามากกว่าที่ความถี่สูง



รูปที่ 4.29 Frequency domain ที่ความถี่ 1 MHz 1 Vp-p, SFDR= 72 dBc

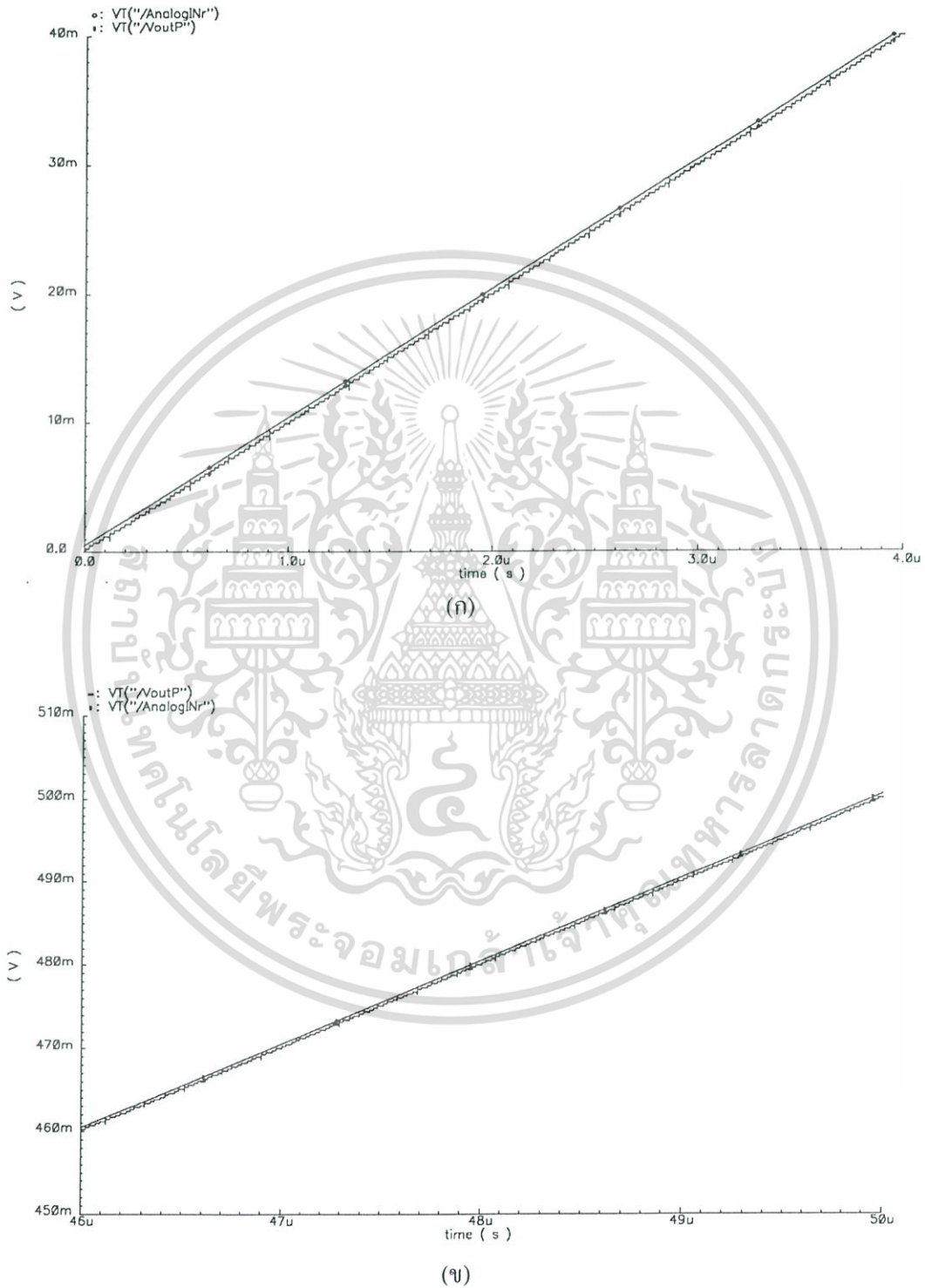
ตารางที่ 4.8 ผลการจำลองการทำงานวัดค่า SFDR ของการแปลงสัญญาณไซน์ ที่อัตราสุ่มค่าสัญญาณ 100 MHz

ความถี่	SFDR (dBc)
100kHz	86.4
500kHz	77
1MHz	72
5MHz	63

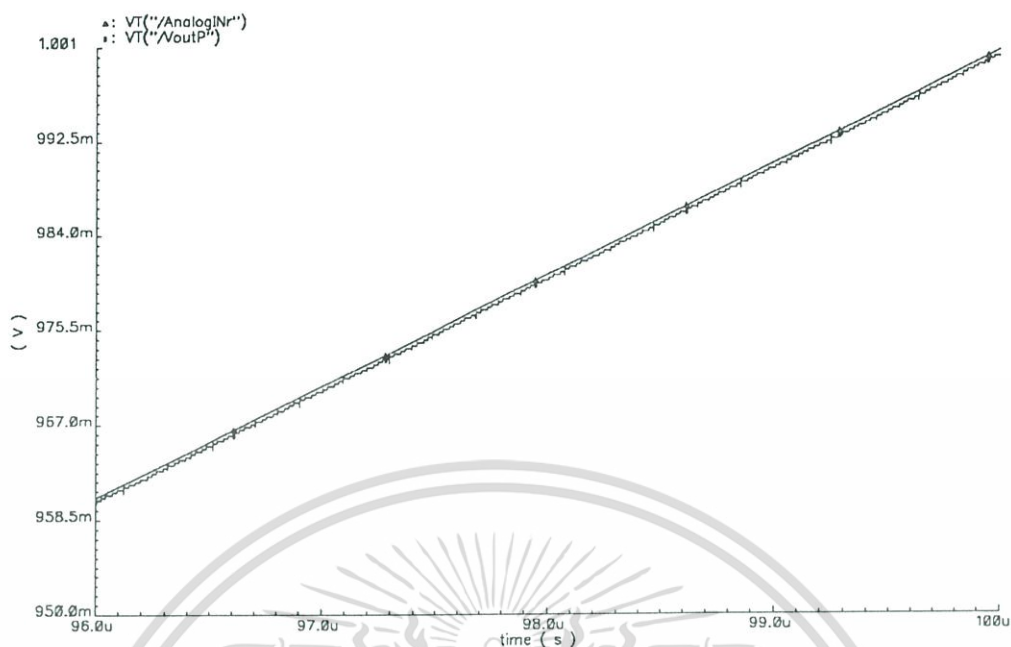
#### 4.4.5 จำลองการทำงานเพื่อวัดประสิทธิภาพ INL และ DNL

จาก 3.5.1 ประสิทธิภาพสติก การวัดค่า INL และ DNL ใช้การเปรียบเทียบค่าสัญญาณเอาต์พุตของวงจรแปลงสัญญาณฯ กับการแปลงสัญญาณดิจิทัลเป็นอนาลอกในอุดมคติ, วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต ที่ได้ทำการออกแบบนั้นมีระดับขั้นของสัญญาณทั้งหมด 4096 ระดับ ซึ่งมีความละเอียดสูงมาก, การวัดสัญญาณเพื่อทำการเทียบระดับนั้นไม่สามารถทำได้เนื่องจากมีจำกัดของคอมพิวเตอร์ที่ใช้ประมวลผลและขนาดของข้อมูลในการประมวลผลมาก ซึ่งทำให้ใช้เวลาในการจำลองการทำงานยาวนานมาก ดังนั้นจึงจำลองการทำงานเฉพาะสัญญาณบางช่วงที่สำคัญ, การกำหนดช่วงแสดงในรูปที่ 4.30 คือ ช่วงที่ 1 คือ 0-4  $\mu$ S, ระดับสัญญาณค่าช่วงแรงดันต่ำ (รูปที่ 4.30 ก), ช่วงที่ 2 คือ 46-50  $\mu$ S, ระดับสัญญาณค่าช่วงแรงดันค่ากลาง (รูปที่ 4.30 ข) และ ช่วงที่ 3 คือ 96-100  $\mu$ S, ระดับสัญญาณช่วงแรงดันสูง (รูปที่ 4.30 ค) การจำลองการทำงานโดยต่อวงจรดังรูปที่ 4.17 ป้อนสัญญาณ ramp ต่อเนื่อง ขนาดแรงดัน 0-1 V ที่มีระยะเวลาของสัญญาณ

100  $\mu\text{s}$  ที่อินพุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัลลดอุณหภูมิทำให้เกิดสัญญาณรหัสดิจิทัลแบบระดับขั้นที่ถูกต้องให้กับวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก นำสัญญาณที่เอาต์พุตเทียบกับค่าสัญญาณอินพุต การวัดค่าเป็นช่วงแสดงดังรูปที่ 4.30



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



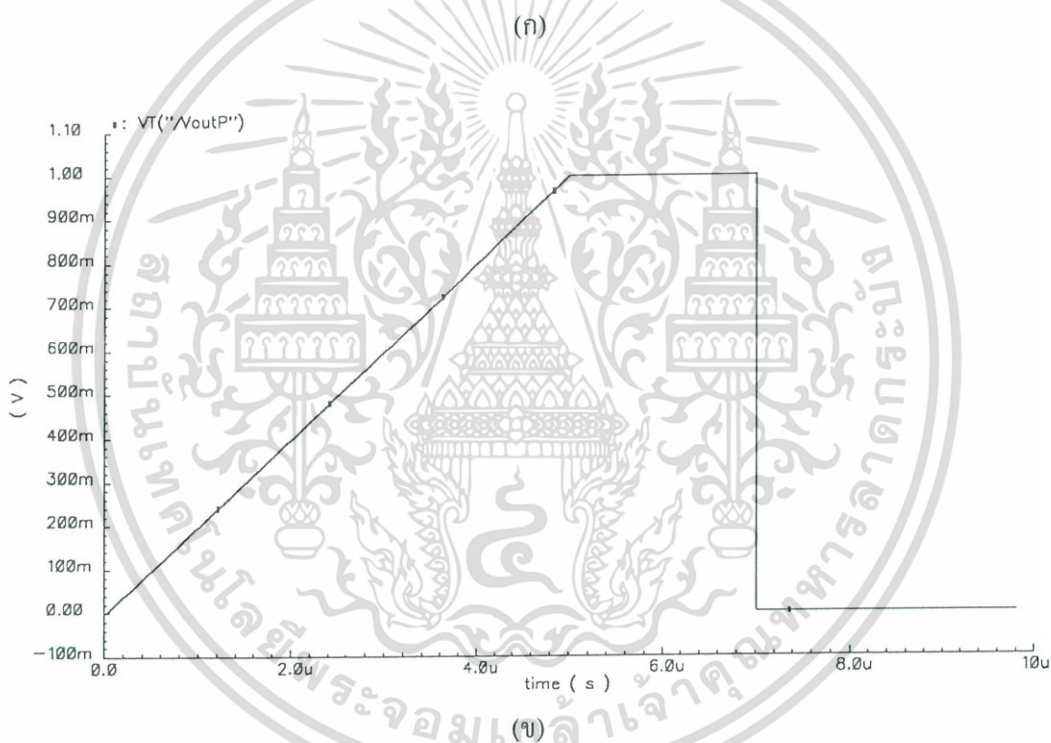
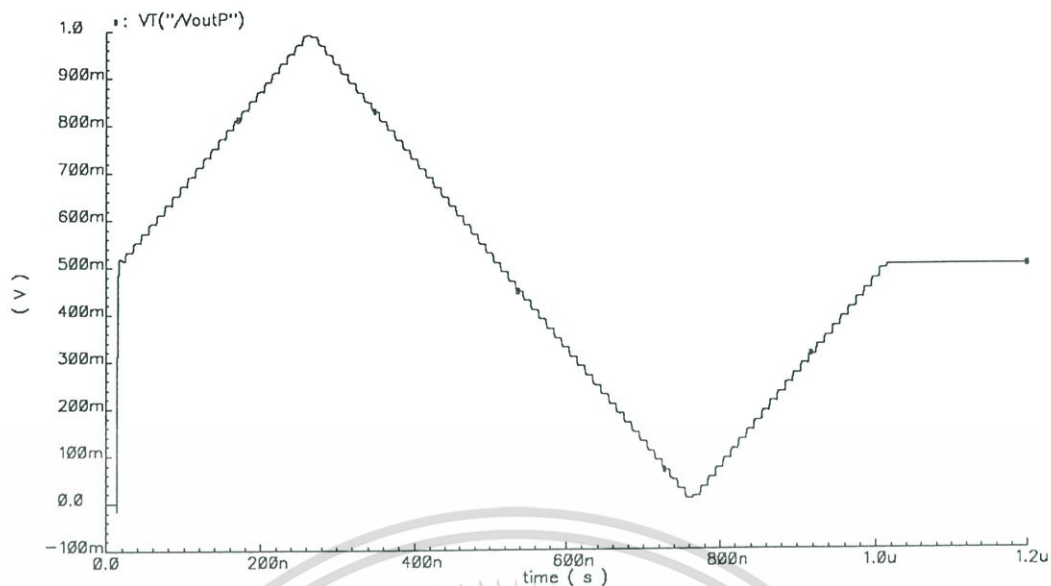
(ค)

รูปที่ 4.30 แสดงการวัดค่าของสัญญาณแบบระดับขั้น

จากรูปที่ 4.30 ผลการจำลองการทำงานที่ได้ในช่วงสัญญาณทั้งสามช่วงแสดงให้เห็นถึงระดับขั้นซึ่งมีความละเอียดมากพิจารณาระดับขั้นที่เปลี่ยนแปลงทั้งสามช่วงสัญญาณสามารถประมาณการสรุปได้ว่า ค่า  $INL < 0.5 \text{ LSB}$  และ  $DNL < 0.5 \text{ LSB}$  โดยวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิตที่ได้ออกแบบนี้มีความเป็นเอกภาพ

#### 4.4.6 ผลการจำลองการทำงานสัญญาณอื่นๆ

ทดสอบการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก จำลองการทำงานในลักษณะของวงจร ในรูปที่ 4.17 เพื่อทดสอบการทำงานของวงจรในการแปลงสัญญาณรูปอื่นๆ โดยการป้อนสัญญาณอินพุตขนาด  $1 \text{ V}_{p-p}$  ที่ลักษณะของสัญญาณแบบสามเหลี่ยมและสัญญาณรูปแบบอื่น ผลการจำลองการทำงาน 2 ลักษณะดังรูปที่ 4.31 (ก) และ (ข) การแปลงสัญญาณให้สัญญาณที่เอาต์พุต  $1 \text{ V}$  และสามารถแปลงสัญญาณได้ตามสัญญาณอินพุตที่ป้อนได้อย่างถูกต้อง



รูปที่ 4.31 การแปลงสัญญาณในรูปแบบอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

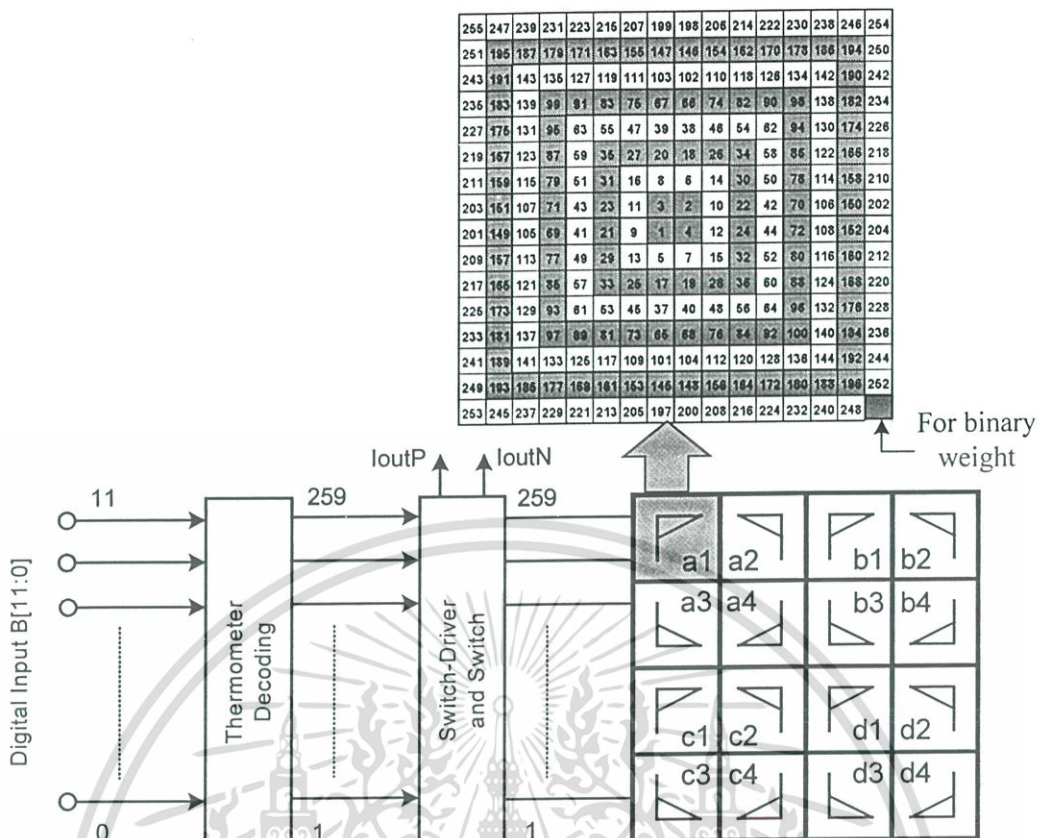
## 4.5 การออกแบบผังภูมิ (Layout)

จากการออกแบบวงจรและการจำลองการทำงานใน 4.2 - 4.4 ยืนยันการออกแบบวงจร และ การทำงานอย่างถูกต้อง นำค่าอัตราส่วนของมอสทรานซิสเตอร์ร่างแบบผังภูมิของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกโดยการออกแบบผังภูมิวงจรรวม ประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกที่สามารถใช้งานในระบบสื่อสารได้โดยกำหนดให้วงจรประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 2 ชุด คือ I-Channel และ Q-Channel ดังนั้นในการออกแบบแบ่งการทำงานออกเป็นส่วนดังนี้

- โครงสร้างการวางผังภูมิวงจรรวม
- วงจรแทนแหล่งจ่ายกระแส
- วงจรสวิตช์กระแส
- วงจรถอดรหัสสัญญาณดิจิทัล
- วงจรสร้างแรงดันและกระแสไบอัส
- วงจรสร้างแรงดันอ้างอิงและวงจรหยุดการทำงาน

### 4.5.1 การวางแผนผังภูมิ

วงจรแทนแหล่งจ่ายกระแส นับว่าเป็นวงจรที่สำคัญมากที่สุดเราได้ทำการออกแบบและจำลองการทำงาน โดยได้คำนึงถึงส่วนที่จะทำการออกแบบผังภูมิ ในการออกแบบข้างต้นเรานำมาจัดเรียงส่วนของเซลล์แหล่งจ่ายกระแสในรูปแบบของ common centroid โดยการกระจายเซลล์แหล่งจ่ายกระแสขนาด 1 LSB ให้กระจายเต็มพื้นที่ของวงจรรวมเพื่อลดกระจายความผิดพลาดของพื้นที่ให้เหมาะสมดังรูปที่ 4.32 การจัดวางตำแหน่งเซลล์ของวงจรแทนแหล่งจ่ายกระแสกำหนดโดยการวางตำแหน่งออกเป็น 4 ภาค คือ a, b, c, และ d โดยแต่ละภาคประกอบด้วย 4 ส่วน คือ 1, 2, 3, และ 4 และ ในแต่ละส่วนประกอบด้วยวงจรแทนแหล่งจ่ายกระแส ขนาด 1 LSB จำนวน 1 เซลล์ ประกอบกันจำนวน 255 เซลล์ ( $M_1$  ถึง  $M_{255}$ ) รวมกับส่วนของน้ำหนักไบนารี B จำนวน 1 เซลล์ ที่กระจายอยู่ในส่วนต่างๆ ในแต่ละภาค ดังนั้นเราจะเห็นได้ว่า แหล่งจ่ายกระแสของส่วนบิตสูง M จะกระจายอยู่ในทุกๆส่วน เช่น  $M_{256}$  จะอยู่ใน a1, a2, a3, a4, b1, b2, b3, b4, c1, c2, c3, c4, d1, d2, d3, และ d4 โดยแต่ละ เซลล์มีขนาด 1 LSB เมื่อกระแสไหลรวมกันจากการสวิตช์ก็จะได้ผลรวมของกระแสจากแต่ละ เซลล์ เท่ากับ 16 LSB และส่วนของน้ำหนักไบนารี B กระจายอยู่ตามภาคต่างๆ ประกอบกันทำให้ได้ แหล่งจ่ายกระแสในส่วนของน้ำหนักไบนารี  $B_8, B_4, B_2,$  และ  $B_1$  โดยกระจายตำแหน่งดังตารางที่ 4.9, การออกแบบวงจรแทนแหล่งจ่ายกระแสเรานำค่าจากผลการจำลองการทำงานเบื้องต้นนำมาออกแบบวงจร โดยกำหนดให้ประกอบกันของเซลล์ต่างๆ แสดงดังรูปที่ 4.32



รูปที่ 4.32 การวางตำแหน่งเซลล์ของวงจรแทนแหล่งจ่ายกระแส

ตารางที่ 4.9 อธิบายแผนภาพการกระจายเซลล์ในผังภูมิ

แหล่งจ่ายกระแส	จำนวนเซลล์	ตำแหน่งในผังภูมิ
$M_{255...1}$	16 LSB	a1, a2, a3, a4, b1, b2, b3, b4, c1, c2, c3, c4, d1, d2, d3, d4
$B_4$	8 LSB	a1, a2, b1, b2, c3, c4, d3, d4
$B_3$	4 LSB	a3, a4, b3, b4
$B_2$	2 LSB	c1, d4
$B_1$	1 LSB	c2

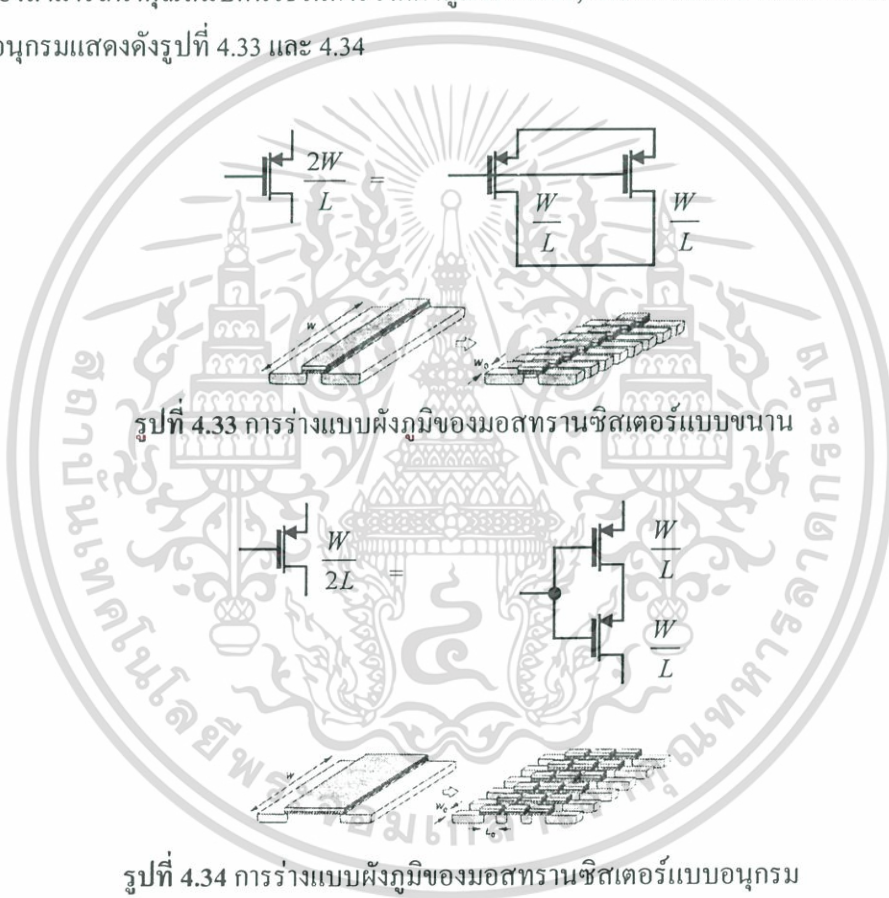
#### 4.5.2 วงจรแทนแหล่งจ่ายกระแส

เมื่อเราได้วงจรมอสทรานซิสเตอร์ Mp1 และ Mp2 แทนวงจรแหล่งจ่ายกระแส นำมาออกแบบวงจรทางกายภาพให้ดังนี้ โดยคำนึงถึงคุณสมบัติของความไม่สมมาตรที่อาจเกิดขึ้น โดยคำนึงถึง  $\Delta I_D$  แปรผันตาม  $\frac{\Delta W}{\Delta L}$  ดังนั้นเราสามารถออกแบบให้ความผิดพลาดของ  $\frac{\Delta W}{\Delta L}$  มีค่าน้อยที่สุดก็ควรจะให้ W และ L มีค่าใกล้เคียงกันมากที่สุดเพื่อผลของความคลาดเคลื่อนของค่า W และ L

จะได้หักล้างกัน จากสมการที่ (4.11) เมื่อค่า  $W=L$  ดังนั้นค่าของ  $\Delta W \equiv \Delta L$  ดังนั้นค่าผิดพลาดของพื้นที่ที่จะมีโอกาสเกิดขึ้นน้อยที่สุด

$$\frac{W}{L} = \frac{W_{draw} + \Delta W}{L_{draw} + \Delta L} \quad (4.11)$$

จากคุณสมบัติของมอสทรานซิสเตอร์เราสามารถนำมอสทรานซิสเตอร์มาต่อขนานและอนุกรมกันได้ โดยสามารถกำหนดเพิ่ม-ลด อัตราส่วนของ  $W$  และ  $L$  จากจำนวนที่ต่อขนานหรืออนุกรม ซึ่งทำให้การออกแบบมอสทรานซิสเตอร์ในวงจรสามารถลดความผิดพลาดจากพื้นที่ ดังที่กล่าวไว้ข้างต้น และยังสามารถนำคุณสมบัตินี้ใช้ในการวางผังภูมิของวงจร, การต่อมอสทรานซิสเตอร์แบบขนานและอนุกรมแสดงดังรูปที่ 4.33 และ 4.34



การออกแบบและจำลองการทำงานเบื้องต้นเราได้คำนึงถึงค่าที่อาจเกิดความผิดพลาดของการกำหนดพื้นที่ดังที่กล่าวข้างต้นจึงได้จึงกำหนดให้  $Mp1$  สามารถแยกเป็นมอสทรานซิสเตอร์ที่อนุกรมและขนานกันได้ดังนี้

$$Mp1 = \frac{12}{24} = 2 \left( \frac{6}{24} \right) = \frac{2}{3} \left( \frac{6}{6} \right) \text{ ได้ขนาดของ } Mp1a..h \text{ เท่ากับ } \frac{6}{6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Mp2 = \frac{2}{0.5} = 4 \left( \frac{0.5}{0.5} \right) \text{ ได้ขนาดของ Mp2a..d เท่ากับ } \frac{0.5}{0.5}$$

ดังนั้น Mp1 ขนาด (W/L) = (6/6) อนุกรมกัน 3 ตัว จำนวน 2 ชุดขนานกัน

Mp2 ขนาด (W/L) = (0.5/0.5) ขนานกัน 4 ตัว

แสดงการวาดผังภูมิของมอสทรานซิสเตอร์ได้ดังรูปที่ 4.35 และทำการออกแบบสายเชื่อมต่อระหว่าง เซล ด้วยสายเชื่อมที่ต่อถึงกันด้านหลักประกอบ AVDD, VirefP1, VbisaP, C\_0-C\_16 และ ด้านแถว R\_1-R\_4 การเชื่อมต่อแต่ละเซลล์ไปที่วงจรสวิตช์ของแต่ละตำแหน่ง ขนาดของเซลล์กระแส 1 LSB มีขนาดเท่ากับ  $30.65\mu\text{m} \times 16.80\mu\text{m}$  เมื่อรวมวงจรแล้วจะมีขนาดดังนี้

วงจรแนวหลัก มีหลักละ  $16 \times 4$  รวม เซล dummy เท่ากับ 66 เซล

วงจรแนวแถว มีแถวละ  $16 \times 4$  รวม เซล dummy เท่ากับ 66 เซล

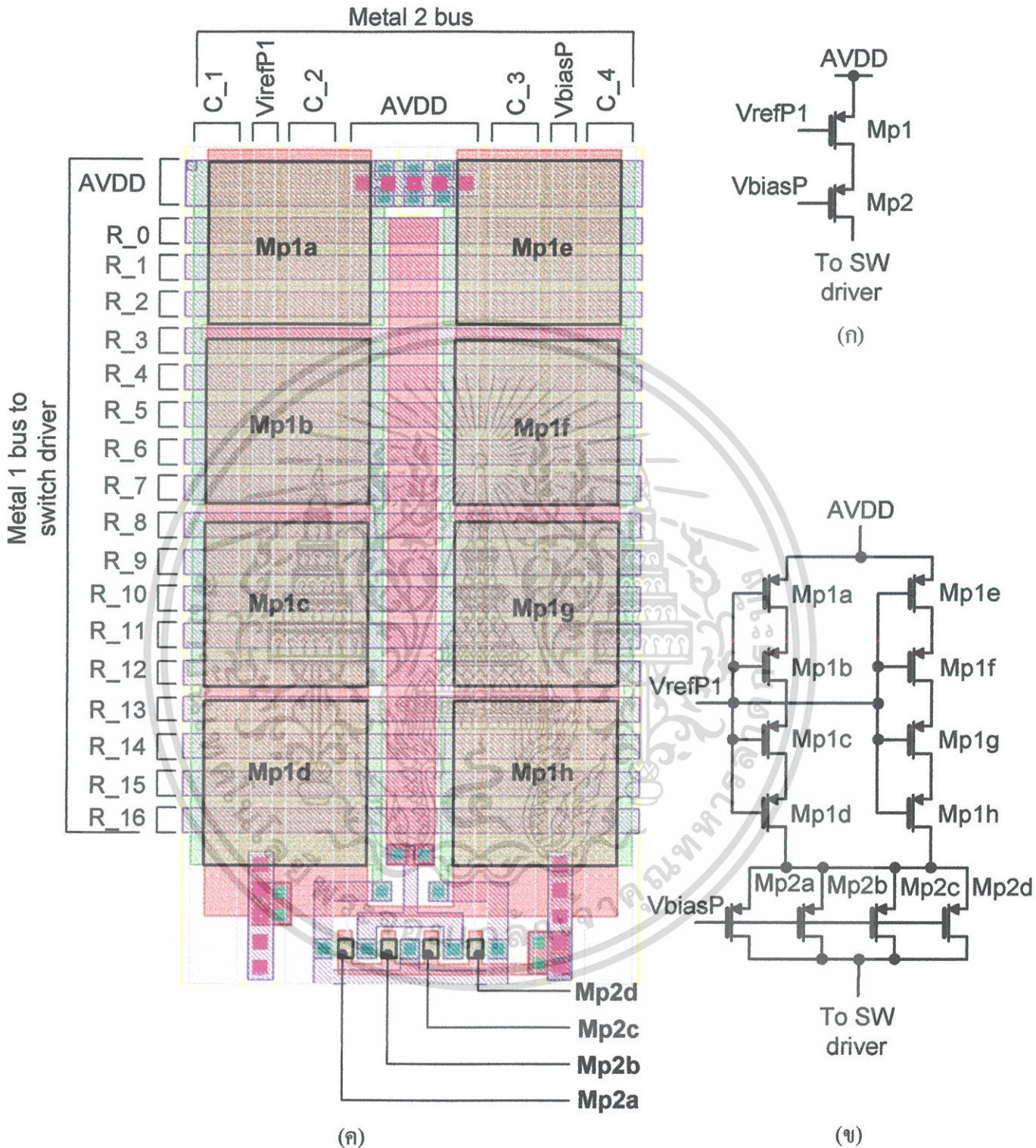
ดังนั้นพื้นที่ของวงจรแทนแหล่งจ่ายกระแสเท่ากับ  $2022.9\mu\text{m} \times 1108.8\mu\text{m}$

#### 4.5.3 วงจรขับสวิตช์และสวิตช์กระแส

วงจรสวิตช์และวงจรขับสวิตช์กระแสที่ได้แสดงในการออกแบบใน 4.2.1 และ 4.2.2 นำมาออกแบบโดยคำนึงถึงความยาวของวงจรแทนแหล่งจ่ายกระแสที่ประกอบกัน แสดงในรูปที่ 4.36 ดังนั้นเมื่อเราสร้างวงจรขับสวิตช์และสวิตช์กระแส จำนวนทั้งหมด  $255 + 4 = 259$  การวาดผังภูมิของวงจรขับสวิตช์และสวิตช์กระแส แสดงดังรูปที่ 4.36 โดยใช้ Metal 2 ต่อเชื่อมสัญญาณเอาต์พุต และ แรงดันที่จ่ายให้วงจรขับสวิตช์เป็นแรงดันดิจิทัล 1.3 V ขนาดของวงจรสวิตช์กระแสต้องคำนึงถึงความยาวของวงจรแหล่งจ่ายกระแส ซึ่งมีความยาวเท่ากับ  $2022.9\mu\text{m}$  จึงสามารถกำหนดขนาดด้านกว้างของวงจรสวิตช์กระแส ได้จากความยาวรวมของวงจรแหล่งจ่ายกระแส (ไม่รวม dummy cell) ดังนั้นจำนวนของวงจรสวิตช์กระแสทั้งหมด 259 ชุด คำนวณหาความกว้างของเซลล์วงจรสวิตช์กระแสได้เท่ากับ

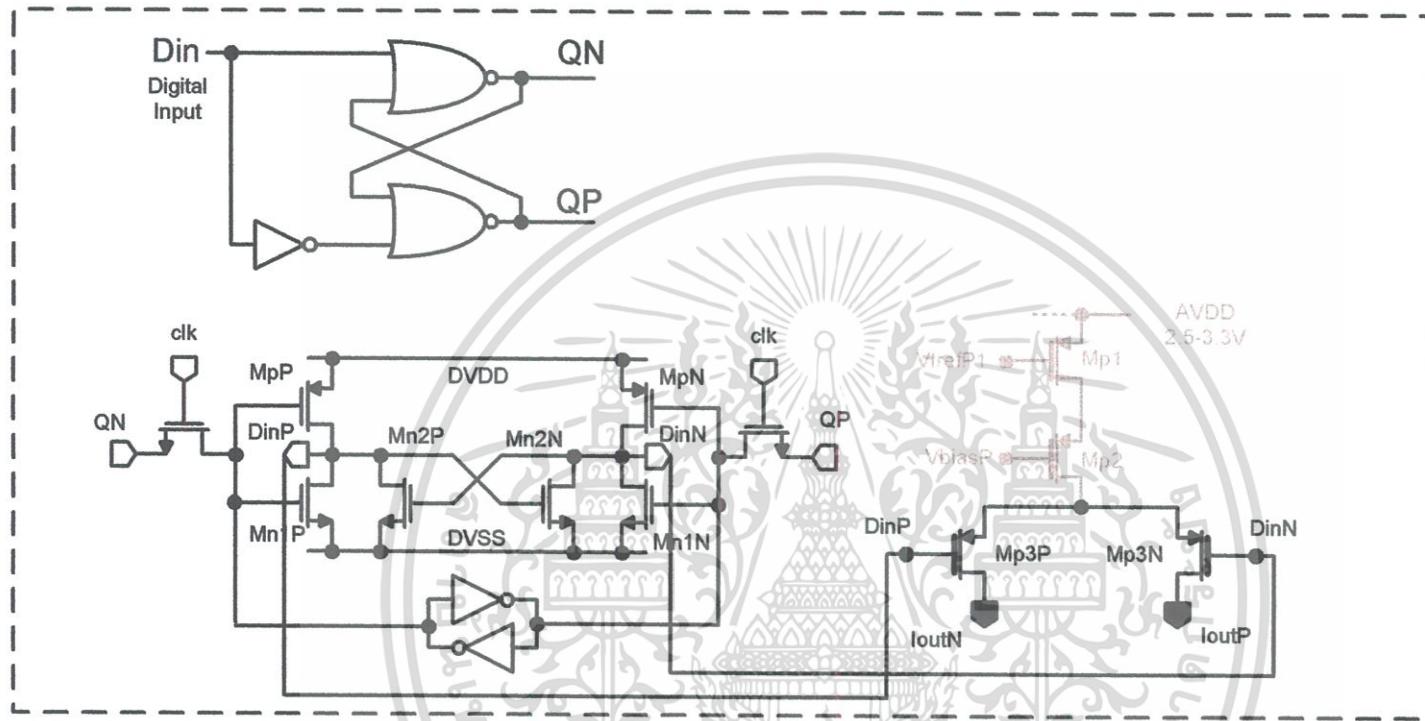
$$1961.6\mu\text{m} / 259 = 7.57\mu\text{m}$$

ในการออกแบบวงจรขับสวิตช์และสวิตช์กระแสได้ผังภูมิของวงจรขนาด  $69.5\mu\text{m} \times 7.55\mu\text{m}$

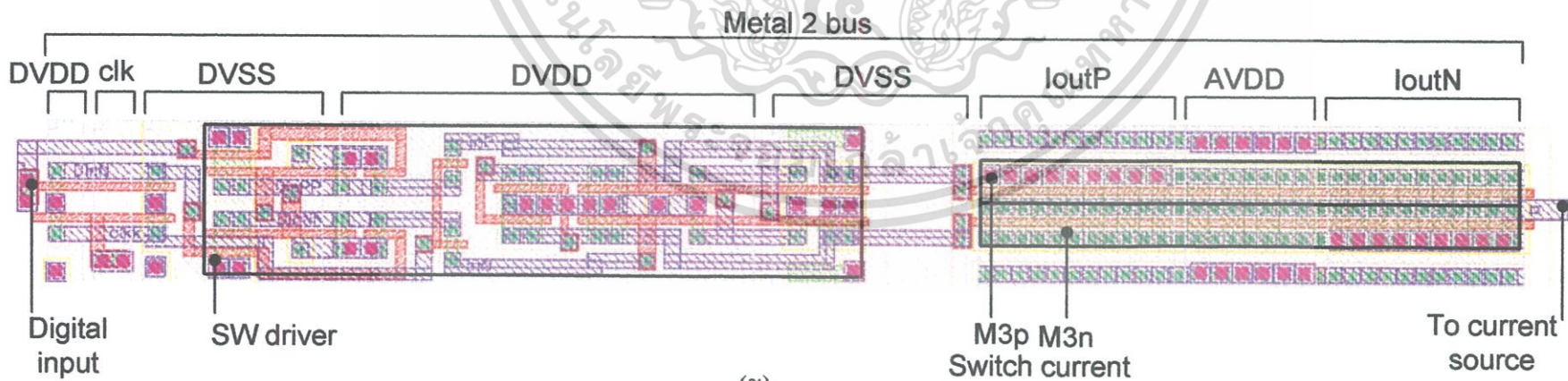


รูปที่ 4.35 ฟังก์ชันวงจรแทนแหล่งจ่ายกระแส (Mp1 และ Mp2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

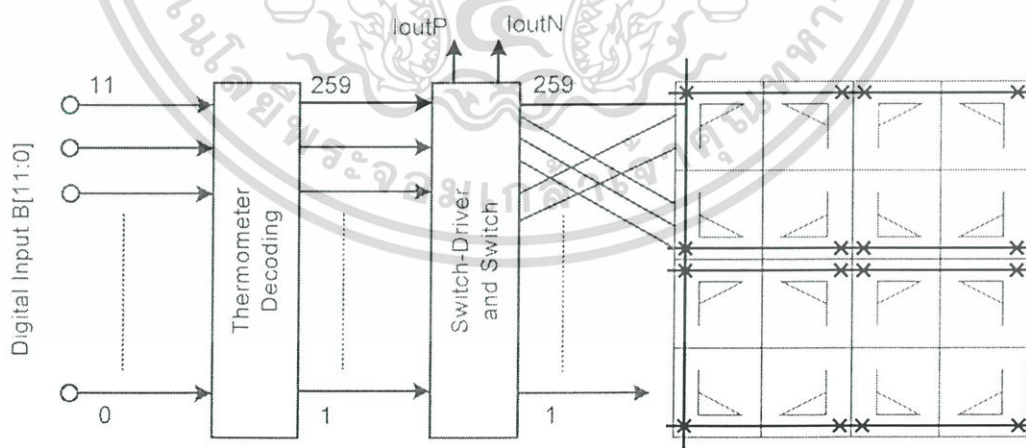
รูปที่ 4.36 ฟังก์ชันวงจรจับสวิตช์และสวิตช์กระแส

#### 4.5.4 วงจร 12-bit 8/4 segmented digital decoder

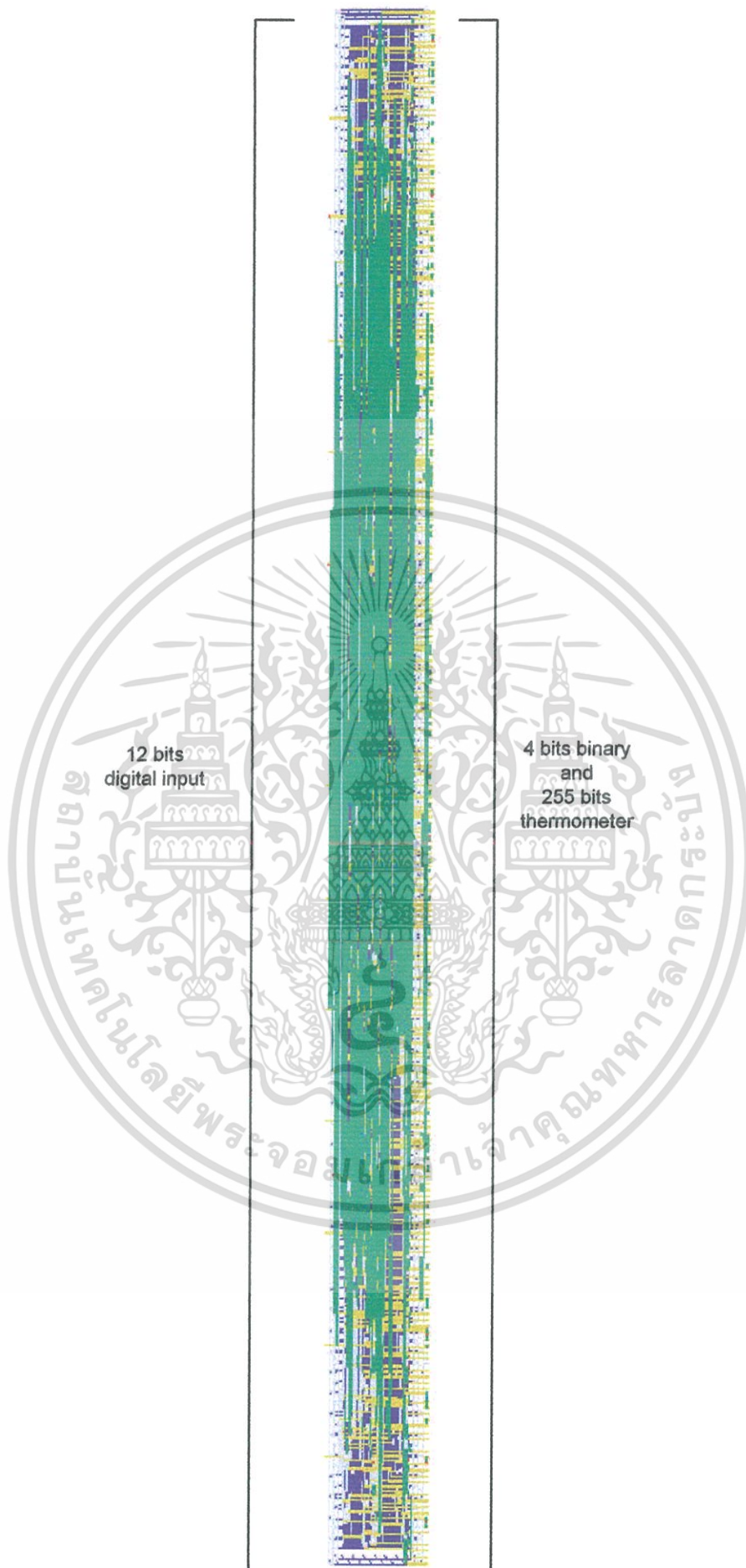
การออกแบบผังภูมิของวงจรถอดรหัสดิจิทัลค่านิ่งถึงการต่อสายระหว่างเอาต์พุตของวงจรถอดรหัสดิจิทัลกับวงจรขับสวิตช์ ดังนั้นการ Place & Rout เซลล์ดิจิทัลมาตรฐานของ CMOS 0.35 $\mu$ m สามารถกำหนดลำดับขั้วอินพุต และ ขั้วเอาต์พุตให้มีลำดับเหมาะสมตามที่เรากำลังต้องการได้ ลำดับของขั้วสัญญาณดิจิทัลแสดงใน ภาคผนวก ข และทำการกำหนดขนาดความกว้างและยาวให้เหมาะสมโดยคำนึงถึงความสะดวกในการต่อสายสัญญาณระหว่างวงจรถอดรหัสสัญญาณดิจิทัลกับวงจรขับสวิตช์, วงจรถอดรหัสสัญญาณดิจิทัลที่ได้ทำการ Place & Rout สำเร็จออกมาเป็นผังภูมิแสดงดังรูปที่ 4.37 โดยมีลำดับของสัญญาณดิจิทัลอินพุต D0-D11, สัญญาณนาฬิกา (clock signal) และ แหล่งจ่าย 1.3 V สำหรับวงจรขับสวิตช์ ทั้งนี้ขนาดของวงจรถอดรหัสสัญญาณจะต้องมีขนาดเหมาะสมกับการวางตำแหน่งในผังภูมิ โดย กำหนดให้วงจรถอดรหัสวางขนานทางแนวตั้งดังรูปที่ 4.37 มีขนาดเท่ากับ 1947.7 $\mu$ m x 115.1  $\mu$ m

#### 4.5.5 วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต

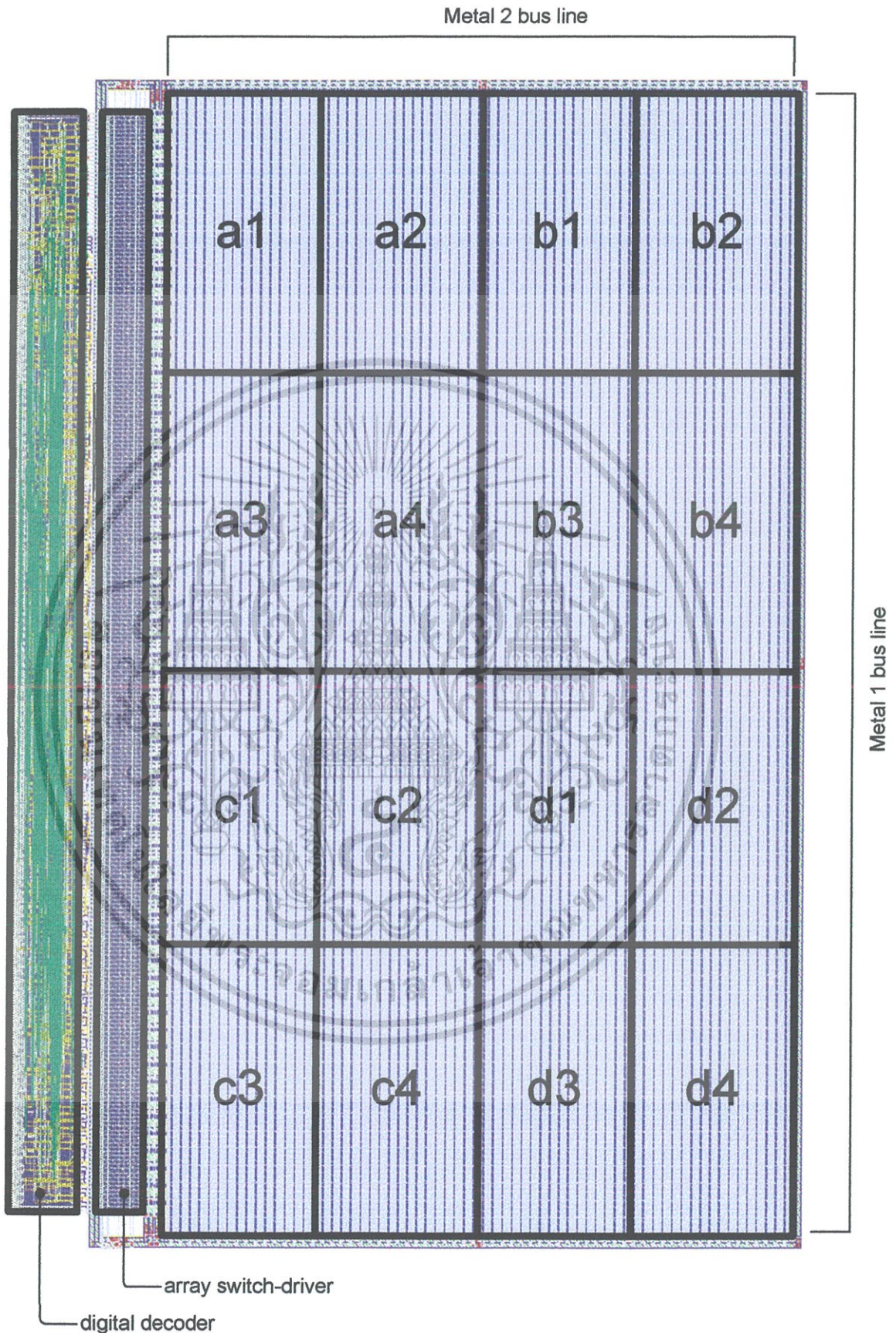
จากข้างต้นเราได้ออกแบบผังภูมิส่วนประกอบของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก คือ วงจรแทนแหล่งจ่ายกระแส, วงจรขับสวิตช์แลสวิตช์กระแส และ วงจรถอดรหัสดิจิทัล จากรูปที่ 4.32 โครงร่างของการวางผังภูมิของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต เราประกอบผังภูมิส่วนต่างๆ ดังรูปที่ 4.39 จะแสดงให้เห็นว่าเราได้นำวงจรแทนแหล่งจ่ายกระแสมาประกอบกันเป็นภาค และ ส่วน ตามที่เราได้ออกแบบไว้การทำงานของระบบแสดงดังรูปที่ 4.38 อธิบายการทำงานของวงจรรอย่างง่ายด้วยการสมมุติให้สัญญาณดิจิทัลเลือกสวิตช์สัญญาณที่ 259 หรือ เซลของ  $M_{255}$  กระแสขนาด 1 LSB จำนวน 16 เซล จะไหลจากตำแหน่งต่างๆ สู่วงจรถับสวิตช์



รูปที่ 4.38 การทำงานเมื่อมีการสวิตช์กระแสที่ตำแหน่ง  $M_{255}$



เอกสารนี้เป็นเอกสารที่สงวนไว้รูปที่ 4.37 ผังภูมิวงจรถอดรหัสดิจิทัลอินพุต อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 แผงภูมิวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5.6 วงจรสร้างสัญญาณไบอัส

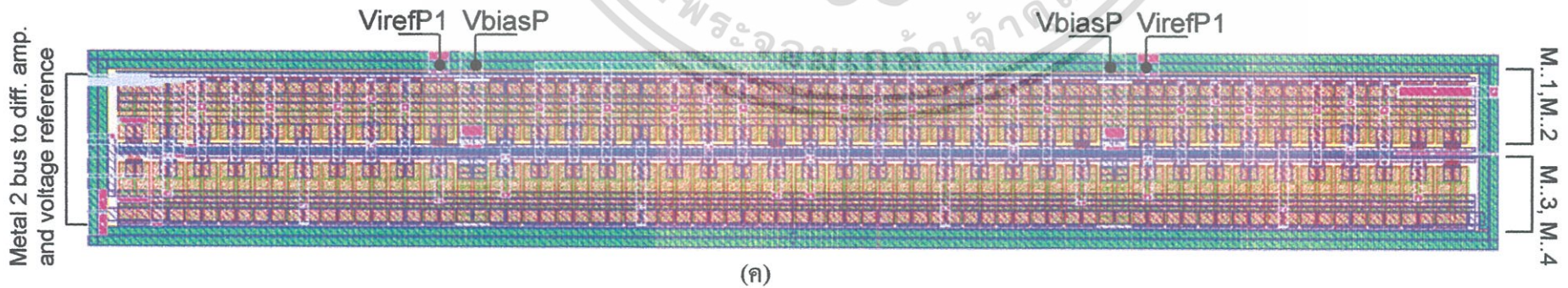
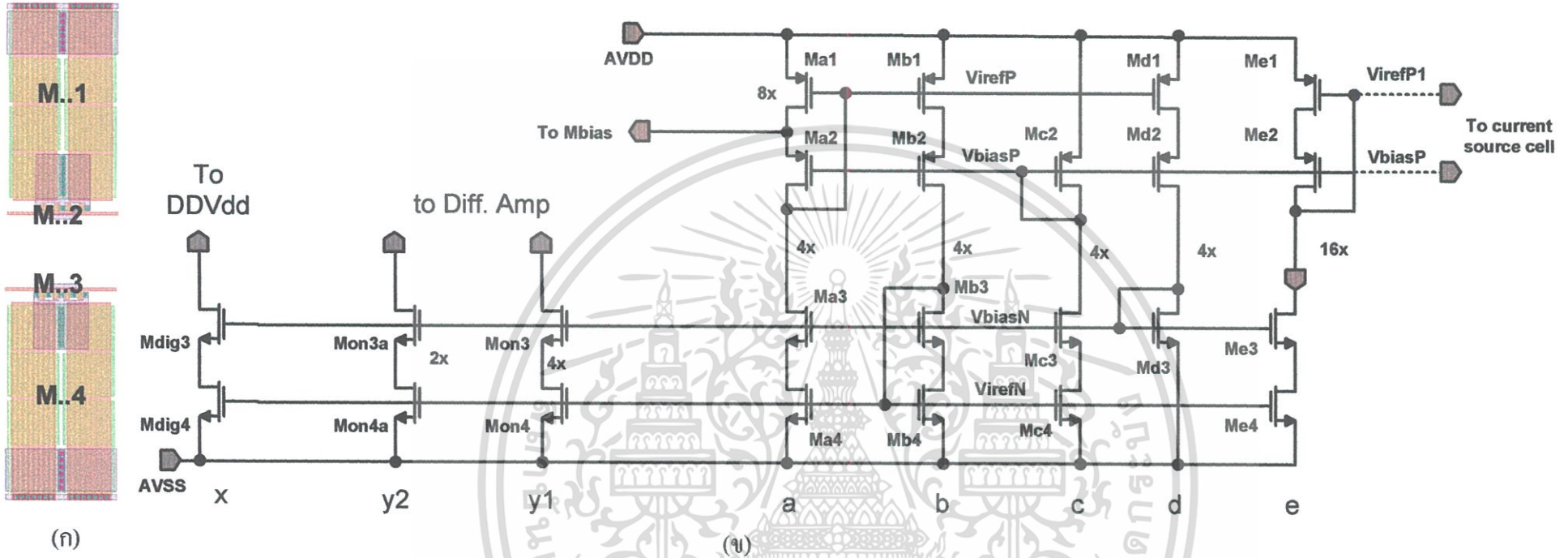
วงจรสร้างสัญญาณไบอัสประกอบด้วย VirefP1, VbiasN และ Vdig จากการออกแบบและจำลองการทำงานของวงจรไบอัสแล้วเรานำมาร่างผังภูมิของวงจร โดยคำนึงถึงองค์ประกอบต่างๆ ในวงจร สิ่งแรกที่ต้องคำนึงถึงคือพื้นที่เหลือในวงจรรวม เราจะได้วงจรสร้างสัญญาณไบอัสให้มีรูปแบบสี่เหลี่ยมผืนผ้าเพื่อให้ใช้พื้นที่น้อยที่สุด การออกแบบเรากระจายเซลล์ต่างๆ ของวงจรสร้างสัญญาณไบอัสให้เต็มพื้นที่และเชื่อมโยงวงจรด้วย Metal 2 โดยการกระจายแสดงดังรูปที่ 4.40 (ค) ในการออกแบบเซลล์ของวงจรไบอัสเราจะออกแบบให้มีลักษณะคล้ายกับวงจรแทนแหล่งจ่ายกระแสเนื่องจากกระแสที่ไหลในแต่ละเซลล์มีขนาด 1 LSB เท่ากันและ ขนาดของมอสทรานซิสเตอร์ในวงจรมีขนาดเท่ากันอีกด้วย, ในส่วนของวงจรไบอัสนั้นแยกส่วนของวงจรรายผลต่างออกไว้ อีกส่วน ดังรูปที่ 4.41 โดยวงจรรายผลต่างจะมีส่วนของวงจรรายแรงดันดิฟเฟอเรนเชียลด้วย

#### 4.5.7 วงจรสร้างแรงดันอ้างอิงแบบดิฟเฟอเรนเชียลและวงจรมุขการทำงาน

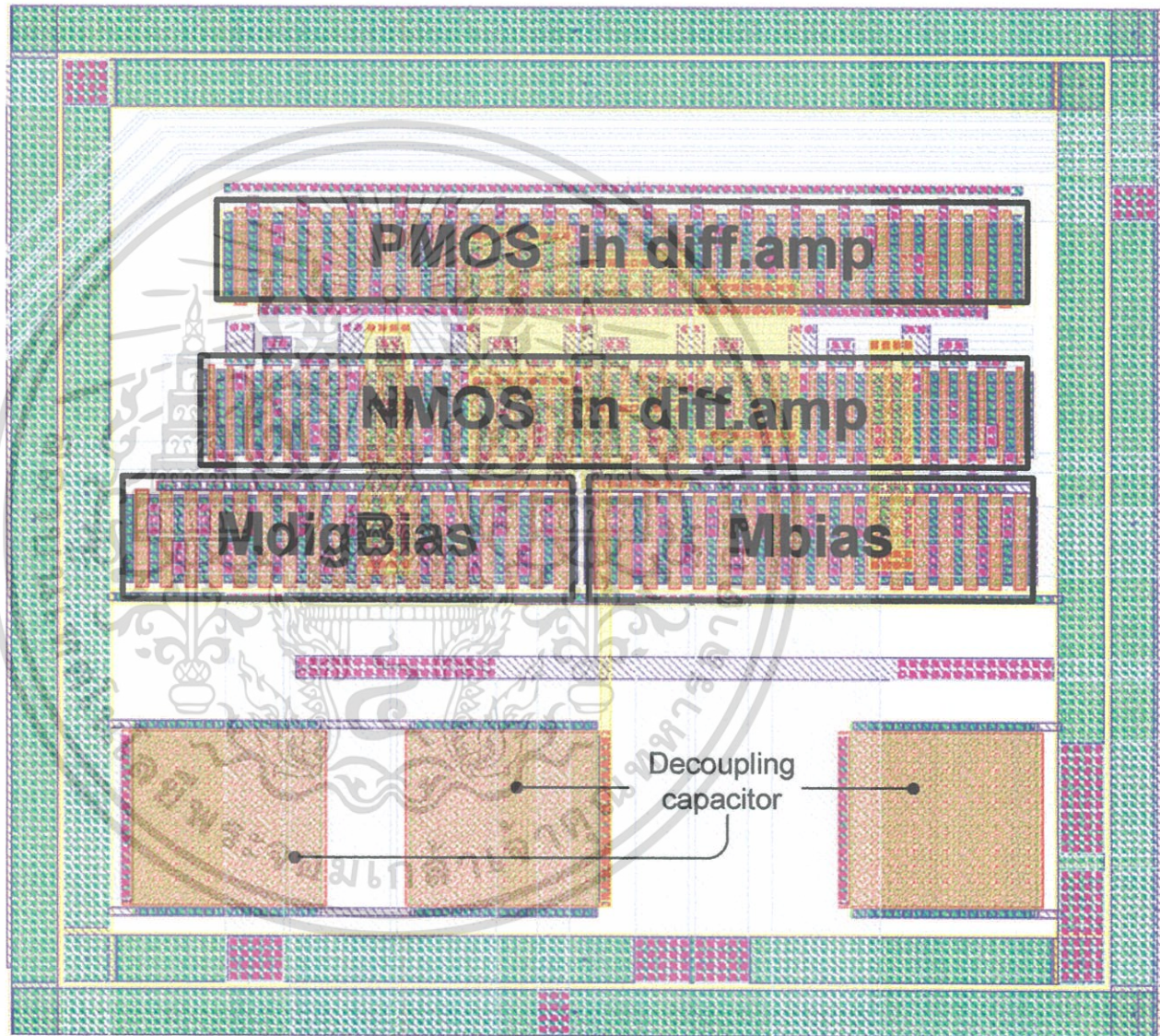
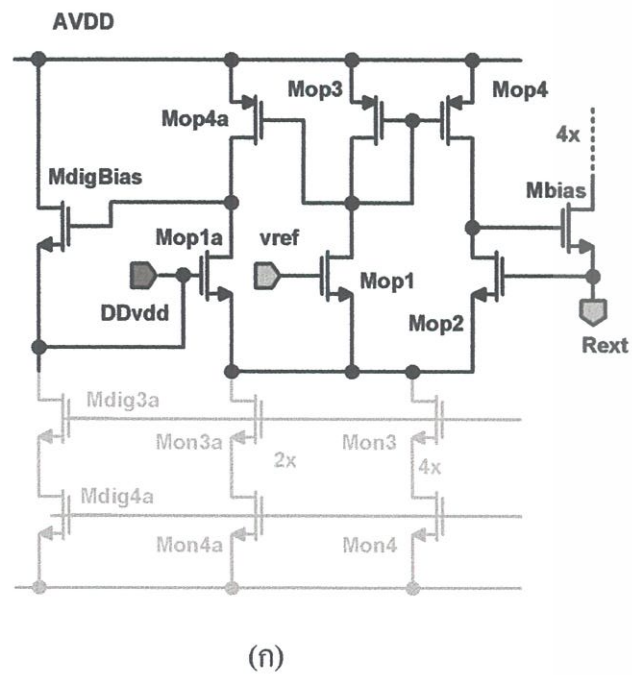
วงจรสร้างแรงดันอ้างอิงแบบดิฟเฟอเรนเชียลสร้างโดยคำนึงถึงพื้นที่ในวงจรรวมเช่นกันเพื่อให้เหมาะสมกับการออกแบบเรากำหนดขนาดของพื้นที่ว่างในวงจรรวม แสดงดังรูป 4.42

#### 4.5.8 สรุปลักษณะพื้นที่ในวงจรรวม

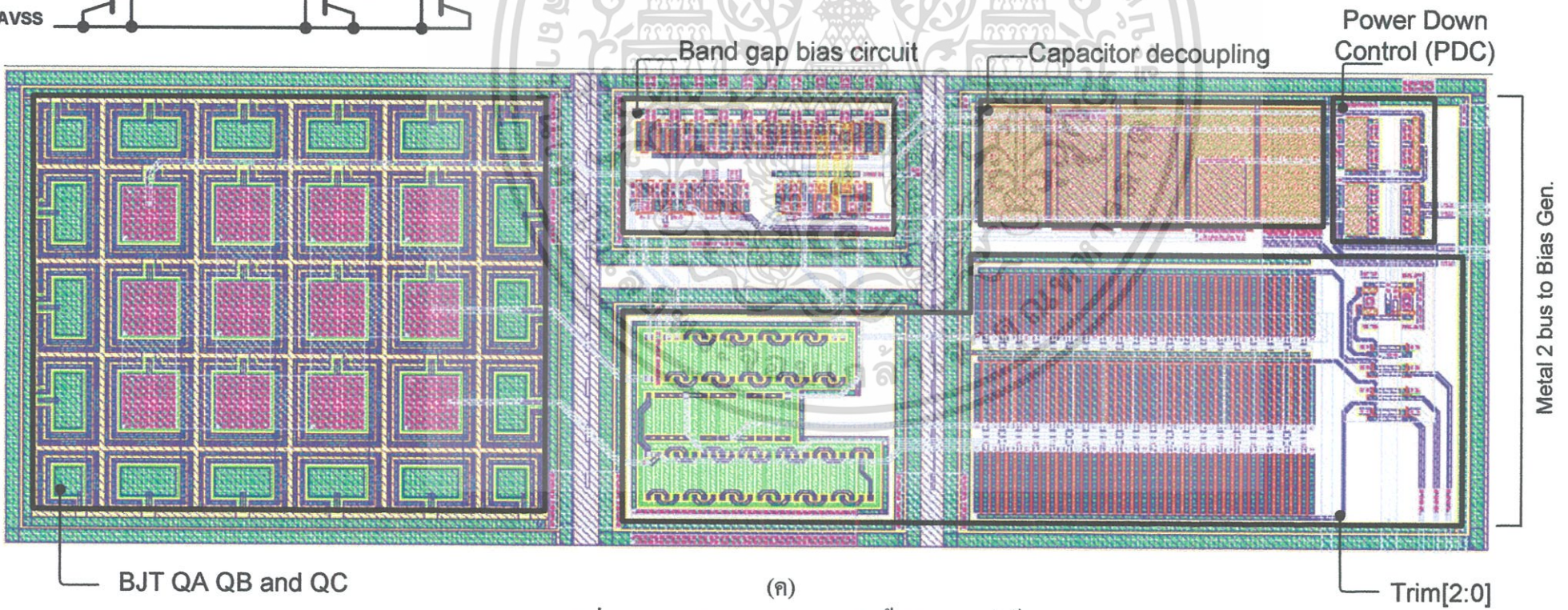
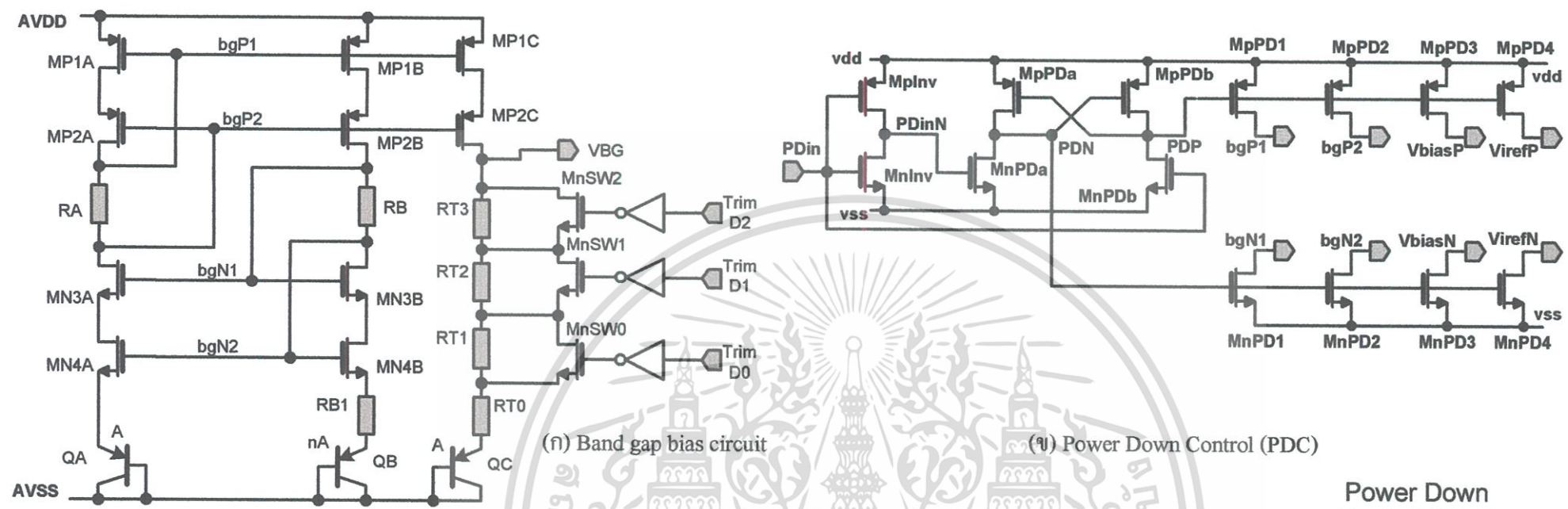
ในการวางผังภูมิทั้งหมดเราได้รวมวงจรแปลงสัญญาณดิฟเฟอเรนเชียลเป็นอนาล็อก 2 ชุดคือ I-Channel และ Q-Channel, วงจรสร้างสัญญาณไบอัส, วงจรสร้างแรงดันอ้างอิง และ วงจรมุขการทำงาน ในรูปที่ 4.43 ขนาดของพื้นที่วงจรรวมของวงจรเท่ากับ  $3580.8\text{um} \times 2980.8\text{um}$  (รวม PAD) แสดงวงจรทั้งหมดดังรูปที่ 4.44



รูปที่ 4.40 ฟังก์ชันวงจรกำเนิดแรงดันและกระแสไบอัส



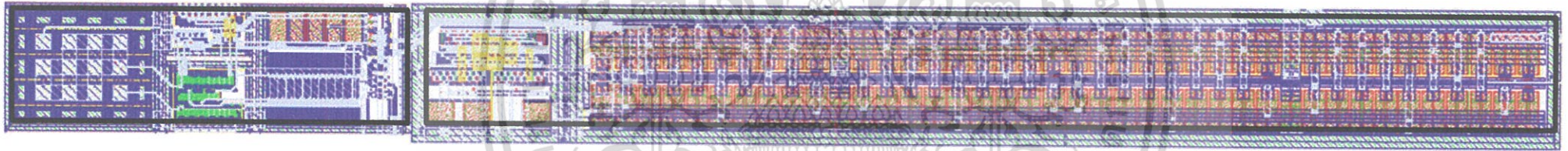
รูปที่ 4.41 ฟังก์ชันวิงจรขยายผลต่างและวงจรถ้าเน็ดแรงดันดิจิตอล



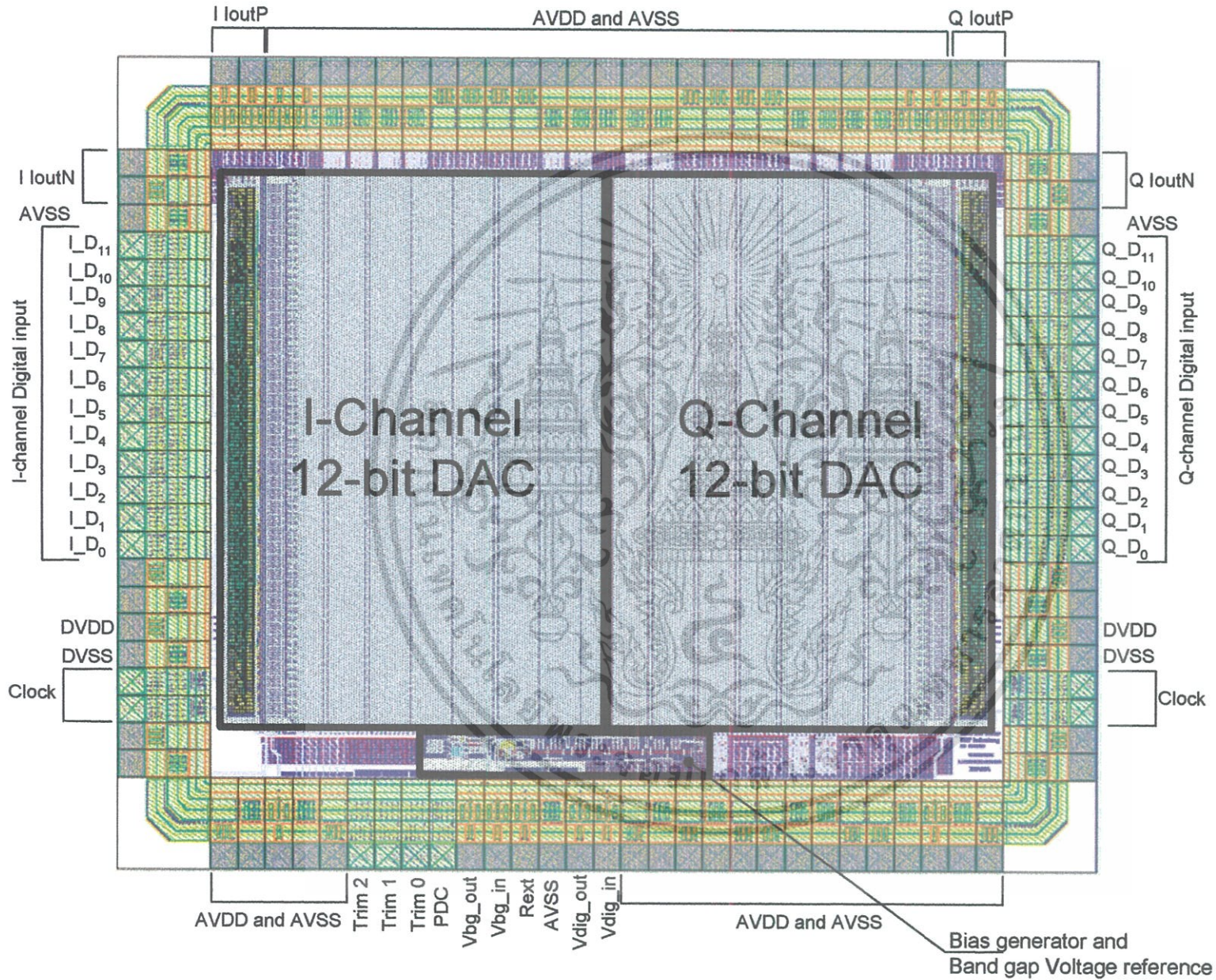
รูปที่ 4.42 ฟังก์ชันวงจรกำเนิดแรงดันอ้างอิงแบบดัดแปลง

Band gap voltage reference

Bias generator and digital voltage generator



รูปที่ 4.43 ฟังก์ชันวงจรกำเนิดแรงดันและกระแสไบอัส และ วงจรสร้างแรงดันอ้างอิงแบบคัมป์



รูปที่ 4.44 แผงภูมิวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก I-Q

## 4.6 บทสรุป

ในบทนี้เราได้กล่าวถึงวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ซึ่งเป็นวงจรที่สำคัญมากใน สำหรับภาคส่งของระบบ DSL และในระบบอื่นๆ ก็มีความจำเป็นต้องใช้การแปลงสัญญาณเช่นกัน, ในส่วนแรกเราได้กล่าวถึงการนำมอสทรานซิสเตอร์มาใช้ในการออกแบบแหล่งจ่ายกระแสให้กับวงจรซึ่งเป็นส่วนที่สำคัญที่สุดในการออกแบบใน โหมดกระแสเนื่องจากเราต้องการความแม่นยำและความถูกต้องในการแปลงสัญญาณมากดังนั้นการออกแบบส่วนนี้ต้องคำนึงถึง ความผิดพลาดที่เกิดจากความไม่สมมาตรของอุปกรณ์ใน วงจรเป็นหลัก การกำหนดขนาดของมอสทรานซิสเตอร์เพื่อลดความไม่สมมาตรป้องกันความผิดพลาดในการแปลงสัญญาณเป็นเงื่อนไขที่สำคัญที่สุดในการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

การออกแบบวงจรขับสวิตช์เพื่อให้วงจรสวิตช์สลับทิศทางกระแสอย่างเหมาะสม ทำให้ glitch เกิดขึ้นน้อยที่สุดเป็นสิ่งสำคัญอีกประการหนึ่งเพราะ glitch ที่เกิดขึ้นทำให้สัญญาณรบกวนและรูปสัญญาณเกิดความเพี้ยน ปัจจัยอีกด้านหนึ่งของการออกแบบวงจรขับสวิตช์ก็คือความเร็วในการทำงานของวงจรถับสัญญาณนาฬิกาที่ใช้ในการสุ่มค่าตัวอย่าง วงจรจะต้องมีความเร็วในการทำงานเหมาะสมกับสัญญาณนาฬิกาที่ใช้

การออกแบบส่วนของวงจร ไบอัสเราจะต้องคำนึงถึงระดับแรงดันและกระแสที่ถูกต้องสำหรับวงจร ไบอัสมีการออกแบบจากชุดการทำงานของวงจรแทนแหล่งจ่ายกระแส เนื่องจากค่าของกระแสทั้งสองวงจรเป็นอัตราส่วนที่ลงตัว การออกแบบ ได้เพิ่มเติมส่วนที่สามารถปรับค่าได้จาก trim[2:0] และ Rext หากแรงดันหรือกระแสที่ได้ไม่ตรงตามต้องการซึ่งอาจเกิดจากการผลิตหรืออุณหภูมิ, การใส่ค่าตัวเก็บประจุเพื่อใช้ในการ decoupling สัญญาณรบกวน โดยสร้างจาก  $C_{gs}$  และ  $C_{gd}$  ของมอสทรานซิสเตอร์ทำให้สามารถสร้างได้ง่าย ซึ่งไม่ได้กล่าวไว้ในที่นี้

ผลจากการจำลองการทำงานของวงจรได้ทำการปรับขนาดของมอสทรานซิสเตอร์ให้เหมาะสม โดยเปลี่ยนแปลงจากค่าที่ได้จากการคำนวณ ไม่มาก ทั้งนี้การกำหนดขนาดของมอสทรานซิสเตอร์ที่ใช้ในวงจรเราจำเป็นต้องคำนึงถึงการวางตำแหน่งในขั้นตอนออกแบบผังภูมิอีกด้วยขนาดที่เหมาะสมจะทำให้การวางผังภูมิมีความสะดวกและเหมาะสม จากผลการปรับแต่งที่ได้จากการจำลองการทำงานนำเสนอใน ภาคผนวก ข และผลการจำลองการทำงานที่ DC operation point ได้นำเสนอใน ภาคผนวก ค

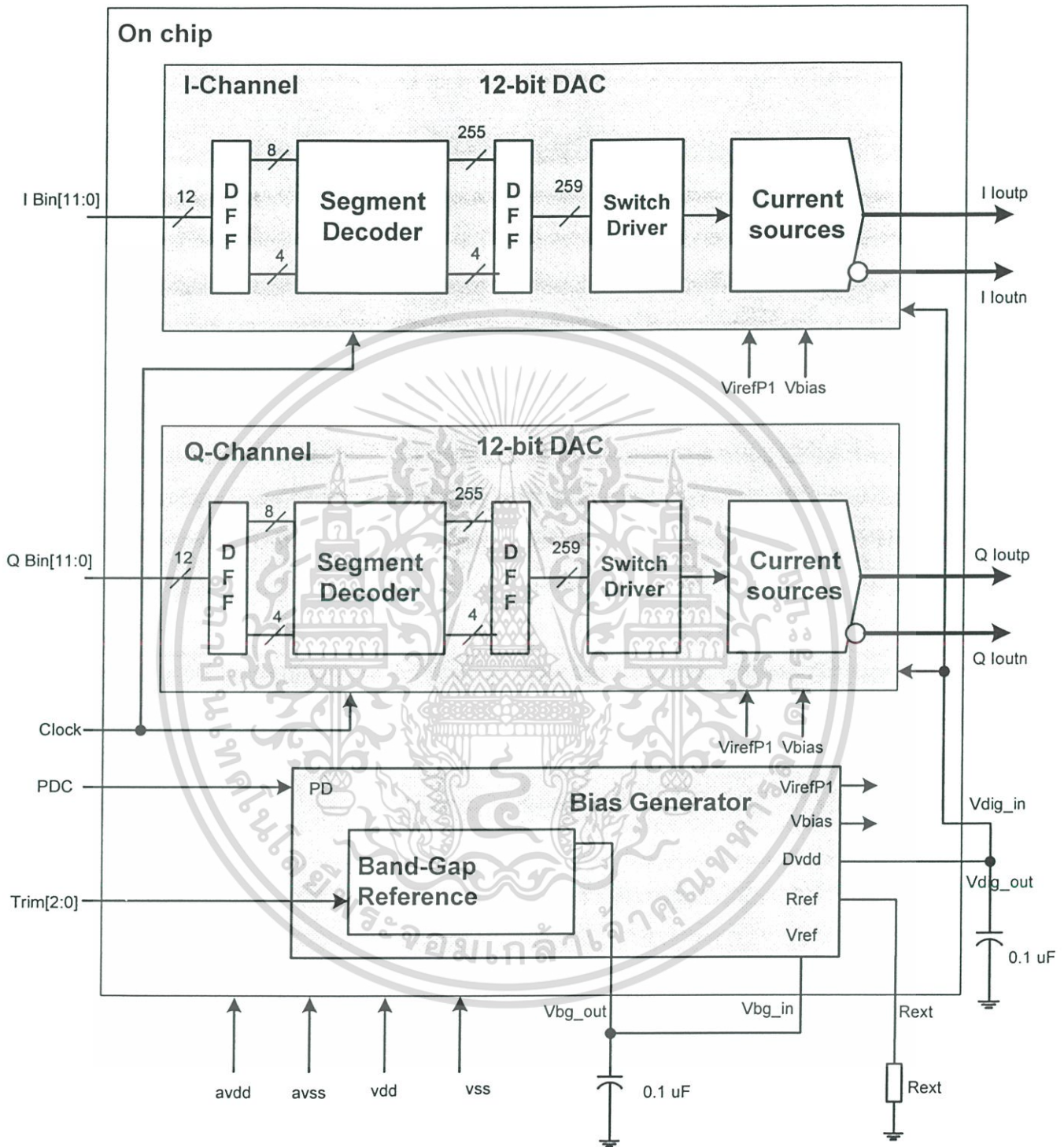
การออกแบบผังภูมิของวงจรที่ได้นำเสนอนั้นให้วิธีการวางแบบกระจายตำแหน่งของเซลล์ วงจรแทนแหล่งจ่ายกระแสให้เหมาะสมและคำนึงถึงพื้นที่ใช้ในการวางวงจรแต่ละส่วนรวมถึงจุดสำคัญคือขนาดของวงจรแทนแหล่งจ่ายกระแส รวมถึงวิธีการเชื่อมต่อ การออกแบบได้ทำการวาง dummy ใ้รอบเซลล์ของวงจร และ สร้าง guard ring ให้กับวงจรทุกๆ ส่วนเพื่อแยกและป้องกันสัญญาณรบกวนระหว่างสัญญาณอนาลอกและดิจิทัล

สรุปโครงสร้างและการทำงานของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต ดังตารางที่ 4.10 และ รูปที่ 4.45

ตารางที่ 4.10 สรุปคุณสมบัติของวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

แหล่งจ่ายแรงดัน	2.5-3.3 V
โหลดเอาต์พุต	50 $\Omega$ 10 pF
แรงดันที่เอาต์พุต (โหลด 50 $\Omega$ )	0-1 V
อัตราสุ่มค่าสัญญาณ	100 MHz
การสิ้นเปลืองพลังงาน	
- Wake up mode	52.325 mW
- Sleep mode	0.022 $\mu$ W
Static Performance INL	< 0.5 LSB
DNL	< 0.5 LSB
SFDR ที่ความถี่ 1 MHz	72 dBc
Settling Time	< 10 nS.
- Rise time	1.36 nS.
- Fall time	1.64 nS.
12-bit DAC I-Q area	2,793.3 x 2,161.1 $\mu$ m <sup>2</sup>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 โครงสร้างวงจรรวมของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# วงจรรองความถี่ต่ำผ่าน

### 5.1 บทนำ

วงจรรองความถี่ต่ำผ่าน (Low-Pass Filter : LPF) ที่ใช้ในระบบ DSL ทำหน้าที่ลดทอนสัญญาณความถี่สูงที่ไม่เกี่ยวข้องในระบบ เช่น องค์ประกอบความถี่สัญญาณนาฬิกา, สัญญาณรบกวนที่ความถี่สูง สัญญาณดังกล่าวจะถูกลดทอนไม่ส่งผ่านไปยังภาคถัดไปของระบบ การออกแบบวงจรจะนำเสนอดังนี้, ในส่วนแรกแสดงถึงคุณสมบัติของวงจรและวงจรต้นแบบ (prototype) ของวงจรรองความถี่ต่ำผ่านแบบ elliptic การหาคุณสมบัติของระบบ การตอบสนองความถี่ ในส่วนที่สองแสดงการหาอันดับ (order) ของวงจรรองความถี่ต่ำแบบ elliptic และการ denormalized ความถี่ และ อิมพีแดนซ์ เพื่อให้ได้ผลตอบสนองความถี่ตามคุณสมบัติของระบบที่ต้องการ, ในส่วนที่สามแสดงการสังเคราะห์วงจรจากวงจรต้นแบบสร้างวงจรรองความถี่แบบ Active-RC มีโครงสร้างของวงจรเป็นแบบผลต่าง (differential) แบบในโหมดแรงดัน วงจรประกอบด้วย Op-amp แบบ fully differential, ตัวเก็บประจุ และ ตัวต้านทาน ในส่วนที่สุดท้าย แสดงผลการจำลองการทำงานของวงจร 5<sup>th</sup> order elliptic active-RC low-pass filter

### 5.2 Magnitude approximation ( The elliptic characteristic )

หลังจากที่เราหาค่าคุณสมบัติของวงจรรองความถี่ต่ำผ่านที่มีความถี่แถบผ่าน 1.1 MHz, ความถี่แถบหยุด 2.2 MHz และอัตราขยายทางไฟตรง 0 dB ที่ต้องการหาค่าคุณสมบัติดังกล่าวข้างต้นคำนวณหาองค์ประกอบในส่วนที่เราต้องการจะออกแบบดังนี้ [25],[27]

#### 5.2.1 การหาอันดับ (order)

$$\Omega = \frac{\omega_s}{\omega_p} = \frac{f_s}{f_p} = \frac{2.2\text{MHz}}{1.1\text{MHz}} = 2$$

$$M = \sqrt{\frac{10^{0.1K_s} - 1}{10^{0.1K_p} - 1}} = \sqrt{\frac{10^{0.1(45)} - 1}{10^{0.1(0.5)} - 1}} = \frac{31621.776}{0.122018} = 509.073$$

$$C(M) = \frac{1}{16M^2} \left(1 + \frac{1}{2M^2}\right) = 241.168 \times 10^{-9}$$

$$D(M) = \frac{\sqrt{\Omega} - 1}{2(\sqrt{\Omega} + 1)} = \frac{\sqrt{2} - 1}{2(\sqrt{2} + 1)} = \frac{0.414}{4.828} = 0.085$$

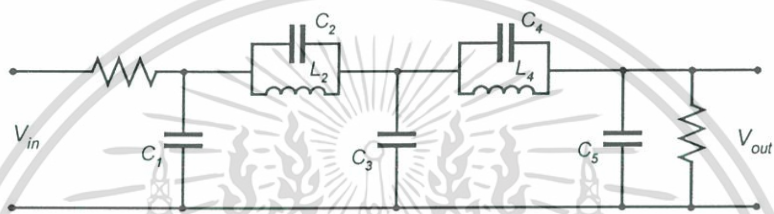
$$\eta_E = F_E(C) \times F_E(D)$$

โดยที่  $F_E(x) = \frac{1}{\pi} \ln(x + 2x^5 + 15x^9)$

ดังนั้น  $F_E(C) = -4.8503$

และ  $F_E(D) = -0.784$

เพราะฉะนั้น  $\eta_E = 3.805 \approx 4$  และเพื่อให้ได้ตรงตามคุณสมบัติของวงจรจึงกำหนด order เท่ากับ 5



รูปที่ 5.1 วงจร 5<sup>th</sup> order elliptic LC low-pass filter

จากตาราง LC Prototype B-1 และ A-6 [25] จะได้ว่า

$$\frac{\omega_s}{\omega_p} = 2 \quad K_s = 58.901 \text{ dB} \quad K_p = 0.1 \text{ dB}$$

$$c_i = 4.364951, \quad 10.567732$$

$$p_i = -0.429092 \pm j0.721329, \quad -0.138913 \pm j1.073567, \quad -0.590933$$

$$a_i = 0.858183, \quad 0.277825$$

$$b_i = 0.704436, \quad 1.171844$$

$$\text{เมื่อ } N(s) = \frac{H \prod_i (s^2 + c_i)}{s^2 + a_i s + b_i}$$

$$\text{ดังนั้น } N(s) = \frac{H_0 (s^2 + 4.3649)(s^2 + 10.567)}{(s^2 + 0.2778s + 1.1718)(s^2 + 0.858s + 0.704)(s + 0.590933)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.2.2 การ demormalized ที่ความถี่ และ อิมพีแดนซ์

จากที่เราได้วงจร LC prototype ของ 5<sup>th</sup> order elliptic low-pass filter แล้ว ในตอนนี้เราจะทำการ denormalized [25] ให้ทำงานที่ความถี่ และ อิมพีแดนซ์ ที่เราต้องการ ซึ่งในที่นี้เราต้องการ  $f_p = 1.1\text{MHz}$ ,  $f_s = 2.2\text{MHz}$  และ อิมพีแดนซ์  $6\text{k}\Omega$

denormalized ที่ความถี่ 1.1 MHz

จากความสัมพันธ์  $s = \Omega_n p$  จะได้ว่า

$$\Omega_n = \frac{1.1M \times 2\pi}{1} = 2.2\pi \times 10^6 \quad (5.1)$$

denormalized ที่อิมพีแดนซ์  $6\text{k}\Omega$

จากความสัมพันธ์  $Z(s) = z_n Z_n(s)$  จะได้ว่า

$$6\text{k}\Omega = z_n \times 1\Omega$$

$$z_n L = 6\text{k}$$

(5.2)

ความสัมพันธ์ของอุปกรณ์ denormalized ความถี่ ค่า  $R=R$ , ค่า  $C = \frac{C}{\Omega_n}$  และ ค่า  $L = \frac{L}{\Omega_n}$ ,

ความสัมพันธ์ของอุปกรณ์ denormalized อิมพีแดนซ์ ค่า  $R = z_n R$ , ค่า  $C = \frac{C}{z_n}$  และ  $L = z_n L$

ดังนั้นค่าอุปกรณ์จากการ denormalized แสดงในตารางที่ 5.1

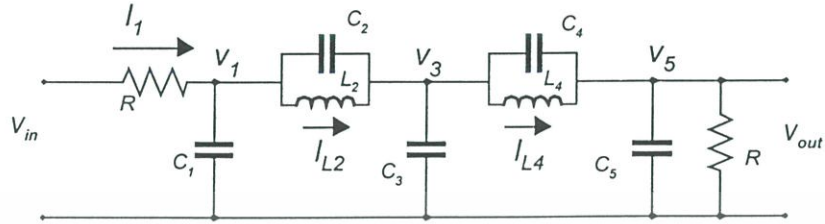
ตารางที่ 5.1 ค่าอุปกรณ์ในวงจรจากการ denormalized ที่ความถี่ และ อิมพีแดนซ์

Element	$\omega_p = 1 \frac{\text{rad}}{\text{s}}$	$f_p = 1.1 \text{ MHz}$	impedance $6 \text{ k}\Omega$
$C_1$	1.08758 F	0.153760 uF	26.26630 pF
$C_2$	0.07317 F	0.010590 uF	1.76445 pF
$C_3$	1.79387 F	0.259550 uF	43.25800 pF
$C_4$	0.20038 F	0.028990 F	4.83204 pF
$C_5$	0.97720 F	0.014139 F	23.56450 pF
$L_2$	1.29332 H	0.187110 uH	1.122670 mH
$L_4$	1.14330 H	1.122670 mH	0.992520 mH
$R$	1 $\Omega$	1 $\Omega$	6 $\text{k}\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 การสังเคราะห์วงจรเพื่อสร้าง 5<sup>th</sup> order elliptic active-RC low-pass filter

จากวงจรต้นแบบ LC prototype ที่ออกแบบในข้างต้น โดยที่เราเลือก 5<sup>th</sup> order elliptic Low-pass filter ทำการสังเคราะห์โดยกำหนดทิศทางแรงดันและกระแสดังรูปที่ 5.2



รูปที่ 5.2 กำหนดแรงดันและกระแสในการสังเคราะห์วงจรจาก LC prototype

จากวงจรในรูปที่ 5.2 สามารถแทนความสัมพันธ์ด้วยสมการดังนี้

$$I_1 = \frac{V_i - V_1}{R} \quad (5.3)$$

$$I_{L2} = \frac{V_1 - V_3}{sL_2} \quad (5.4)$$

$$I_{L4} = \frac{V_3 - V_5}{sL_4} \quad (5.5)$$

$$V_1 = \frac{I_1 - [I_{L2} + sC_2(V_1 - V_3)]}{sC_1} \quad (5.6)$$

$$V_3 = \frac{I_{L2} - I_{L4} + sC_2(V_1 - V_3) - sC_4(V_3 - V_5)}{sC_3} \quad (5.7)$$

$$V_5 = V_o = \frac{I_{L4} + sC_4(V_3 - V_5)}{sC_5 + \frac{1}{R}} \quad (5.8)$$

จากสมการ(5.3) ถึง (5.8) สามารถแทนได้ด้วยวงจร fully-differential integrator โดยจากคำอธิบายดังต่อไปนี้ [25-27]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาสมการที่ (5.6)

$$V_1 = \frac{I_1 - [I_{L2} + sC_2(V_1 - V_3)]}{sC_1}$$

ค่า  $I_1$  ถูกแทนด้วยสมการที่ (5.3) คือ  $I_1 = \frac{V_i - V_1}{R}$

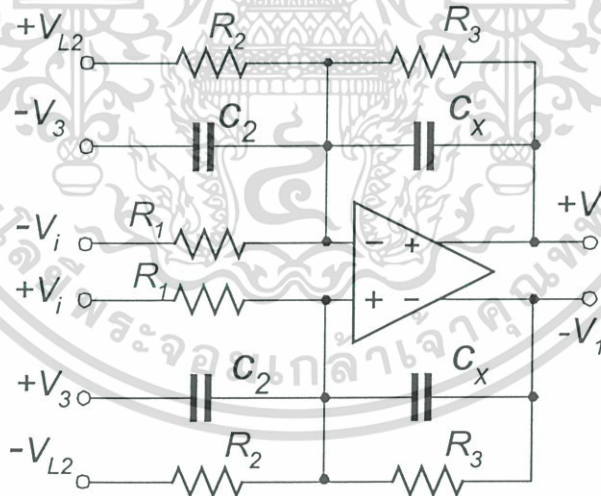
ค่า  $I_{L2}$  ถูกแทนด้วย  $\frac{V_{L2}}{R}$  จักรูปสมการใหม่จะได้ว่า

$$V_1 = -\frac{V_{L2}}{sR(C_1 + C_2) + 1} + \frac{V_i}{sR(C_1 + C_2) + 1} + \frac{sRC_2V_3}{sR(C_1 + C_2) + 1}$$

กำหนดให้  $C_1 + C_2 = C_x$  ดังนั้น

$$V_1 = -\frac{V_{L2}}{sRC_x + 1} + \frac{V_i}{sRC_x + 1} + \frac{sRC_2V_3}{sRC_x + 1} \quad (5.9)$$

นำสมการที่ (5.9) ไปแทนเป็น วงจร fully integrator ได้ดังรูปที่ 5.3



รูปที่ 5.3 วงจร fully-differential integrator จากสมการที่ (5.9)

จากรูปวงจรจะเห็นได้ว่า ถ้าเราหาความสัมพันธ์ของเอาต์พุตกับอินพุต แล้วจะได้ว่ากรณี  $V_3, V_{L2} = 0$  สามารถเขียนสมการได้เป็นสมการที่ (5.10) และ (5.11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{-V_i - V_x}{R_1} = \frac{V_x}{R_2 // \frac{1}{sC_2}} + \frac{V_x - V_1}{R_3 // \frac{1}{sC_x}} \quad (5.10)$$

$$\frac{+V_i - V_x}{R_1} = \frac{V_x}{R_2 // \frac{1}{sC_2}} + \frac{V_x + V_1}{R_3 // \frac{1}{sC_x}} \quad (5.11)$$

นำสมการ (5.10) – (5.11) จะได้ว่า

$$V_1' = \frac{R_3}{R_1} \left( \frac{V_i}{sR_3C_x + 1} \right) \quad (5.12)$$

กรณี  $V_i, V_{L2} = 0$

$$\frac{-V_3 - V_x}{\frac{1}{sC_2}} = \frac{V_x}{R_1 // R_2} + \frac{V_x - V_1}{R_3 // \frac{1}{sC_x}} \quad (5.13)$$

$$\frac{+V_3 - V_x}{\frac{1}{sC_2}} = \frac{V_x}{R_1 // R_2} + \frac{V_x + V_1}{R_3 // \frac{1}{sC_x}} \quad (5.14)$$

นำสมการที่ (5.14)-(5.13) จะได้ว่า

$$V_1'' = \frac{sR_3C_2V_3}{sR_3C_x + 1} \quad (5.15)$$

กรณี  $V_3, V_i = 0$

$$\frac{-V_{L2} - V_x}{R_2} = \frac{V_x}{R_1 // \frac{1}{sC_2}} + \frac{V_x - V_1}{R_3 // \frac{1}{sC_x}} \quad (5.16)$$

$$\frac{+V_{L2} - V_x}{R_2} = \frac{V_x}{R_1 // \frac{1}{sC_2}} + \frac{V_x + V_1}{R_3 // \frac{1}{sC_x}} \quad (5.17)$$

นำสมการที่ (5.17)-(5.16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_1''' = -\frac{R_3}{R_2} \left( \frac{V_{L2}}{sRC_x + 1} \right) \quad (5.18)$$

เพราะฉะนั้น  $V_1 = V_1' + V_1'' + V_1'''$

$$V_1 = -\frac{R_3}{R_2} \left( \frac{V_{L2}}{sRC_x + 1} \right) + \frac{R_3}{R_1} \left( \frac{V_i}{sR_3C_x + 1} \right) + \frac{sR_3C_2V_3}{sR_3C_x + 1} \quad (5.19)$$

จากคุณสมบัติของ LC prototype จะเห็นได้ว่า ค่า DC gain (ที่  $\omega = 0$ ) จะถูกหารด้วยค่า 2 และเราต้องการใช้ Op-amp เพียง 5 ตัว จึงเป็นสาเหตุที่ทำให้ค่า  $R_1 = R/2$ ,  $R_2 = R_3 = R$  อธิบายได้ดังนี้ :

นำ สมการที่ (5.19) เทียบสัมประสิทธิ์กับสมการ(5.9)

จะได้ว่า  $\frac{R_3}{R_2} = 1$ ,  $\frac{R_3}{R_1} = 2$ ,  $R_3 = R$  แทนค่าสมการที่ (5.19) ได้เป็นสมการที่ (5.20)

$$V_1 = -\frac{V_{L2}}{sRC_x + 1} + \frac{2V_i}{sRC_x + 1} + \frac{sRC_2V_3}{sRC_x + 1} \quad (5.20)$$

จากสมการที่ (5.20) จะเห็นได้ว่ามีคุณสมบัติตรงกับสมการที่ (5.19) ยกเว้น ที่ สัญญาณอินพุท ( $V_i$ ) จะถูกขยาย Gain ด้วยค่า 2  
พิจารณาจากสมการที่ (5.9)

$$V_3 = \frac{I_{L2} - I_{L4} + sC_2(V_1 - V_3) - sC_4(V_3 - V_5)}{sC_3}$$

โดยที่  $I_{L2} = \frac{V_{L2}}{R}$  และ  $I_{L4} = \frac{V_{L4}}{R}$  จัดรูปสมการใหม่จะได้ว่า

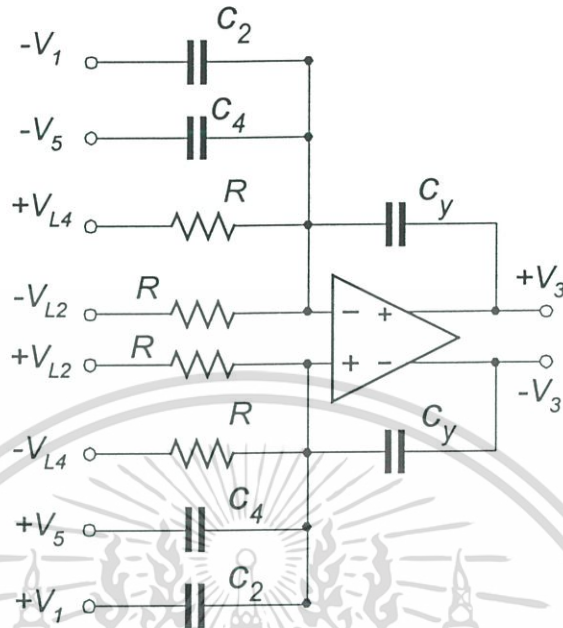
$$V_3 = \frac{V_{L2}}{sR(C_2 + C_3 + C_4)} - \frac{V_{L4}}{sR(C_2 + C_3 + C_4)} + \frac{C_2V_1}{(C_2 + C_3 + C_4)} + \frac{C_4V_5}{(C_2 + C_3 + C_4)}$$

กำหนดให้  $C_y = C_2 + C_3 + C_4$  ดังนั้นจึงเขียนใหม่ได้ว่า

$$V_3 = \frac{V_{L2}}{sRC_y} - \frac{V_{L4}}{sRC_y} + \frac{C_2V_1}{C_y} + \frac{C_4V_5}{C_y} \quad (5.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (5.21) สามารถแทนได้ด้วยวงจรรูปที่ 5.4



รูปที่ 5.4 แสดงวงจรร fully-differential integrator ตามสมการที่ (5.21)

พิจารณาที่  $V_5$  จากสมการที่ (5.8)

$$V_5 = V_o = \frac{I_{L4} + sC_4(V_3 - V_5)}{sC_5 + \frac{1}{R}}$$

ถ้า  $I_{L4}$  ถูกแทนด้วย  $\frac{V_{L4}}{R}$  จัดรูปสมการใหม่จะได้ว่า

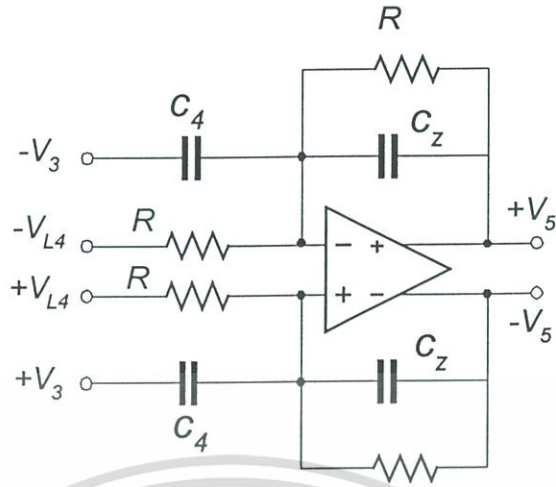
$$V_5 = \frac{V_{L4}}{sR(C_4 + C_5)} + \frac{sRC_4V_3}{sR(C_4 + C_5)}$$

กำหนดให้  $C_z = C_4 + C_5$  จะได้ว่า

$$V_5 = \frac{V_{L4}}{sRC_z} + \frac{sRC_4V_3}{sRC_z} \quad (5.22)$$

จากสมการที่ (5.22) สามารถแทนวงจรรได้ดังรูปที่ 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงวงจร fully-differential integrator ตามสมการที่ (5.22)

พิจารณาจากสมการที่ (5.4)

$$I_{L2} = \frac{V_1 - V_3}{sL_2}$$

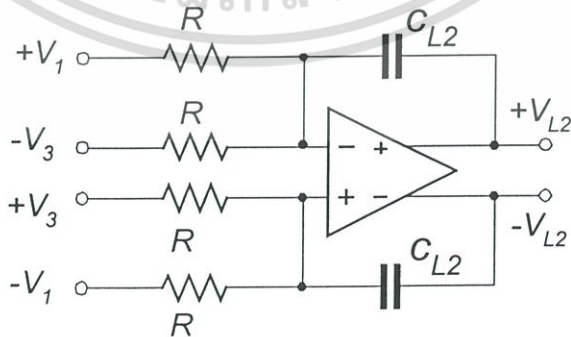
กรณีนี้ต้องจัดอยู่ในรูปของ แรงดัน

แทนค่า  $I_{L2} = \frac{V_{L2}}{R}$  จะได้ว่า  $\frac{V_{L2}}{R} = \frac{V_1 - V_3}{sL_2}$  จัดรูปใหม่ได้ตั้งสมการที่ (5.23)

$$V_{L2} = \frac{V_1}{\frac{sL_2}{R}} - \frac{V_3}{\frac{sL_2}{R}}$$

(5.23)

จากสมการที่ (5.23) สามารถแทนได้ด้วยวงจรดังรูปที่ 5.6



รูปที่ 5.6 แสดงวงจร fully-differential integrator ตามสมการที่ (5.23)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้  $V_3 = 0$  ดังนั้น

$$\frac{V_1 - V_x}{R} = \frac{V_x}{R} + \frac{V_x + V_{L2}}{sC_{L2}} \quad (5.24)$$

$$\frac{-V_1 - V_x}{R} = \frac{V_x}{R} + \frac{V_x - V_{L2}}{sC_{L2}} \quad (5.25)$$

นำสมการ (5.24)-(5.25) จะได้ว่า  $V'_{L2} = \frac{V_1}{sRC_{L2}}$  ; เมื่อ  $V_3 = 0$

$$\frac{-V_3 - V_x}{R} = \frac{V_x}{R} + \frac{V_x - V_{L2}}{sC_{L2}} \quad (5.26)$$

$$\frac{V_3 - V_x}{R} = \frac{V_x}{R} + \frac{V_x + V_{L2}}{sC_{L2}} \quad (5.27)$$

นำสมการ (5.26)-(5.27) จะได้ว่า

$$V''_{L2} = -\frac{V_3}{sRC_{L2}}$$

ดังนั้นจะได้ว่า  $V_{L2} = V'_{L2} + V''_{L2}$

$$V_{L2} = \frac{V_1}{sRC_{L2}} - \frac{V_3}{sRC_{L2}} \quad (5.28)$$

เปรียบเทียบกับสมการที่ (5.23) กับ (5.29) ได้ว่า  $C_{L2} = \frac{L_2}{R^2}$  ซึ่งจากสมการ (5.29) สามารถแทนได้ด้วยวงจรดังรูปที่ 5.7

$$V_{L2} = \frac{V_1}{sL_2} - \frac{V_3}{sL_2} \quad (5.29)$$

พิจารณาจากสมการที่ (5.5)

$$I_{L4} = \frac{V_3 - V_5}{sL_4}$$

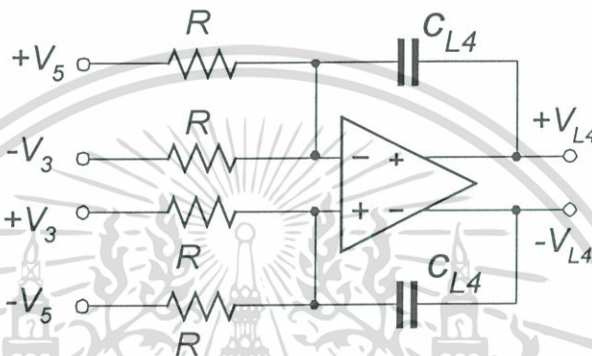
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีนี้พิจารณาเหมือนกับกรณีที่ สมการที่ (5.4) ก็ต้องจัดอยู่ในรูปของ แรงดัน โดยแทนค่า

$$I_{L4} = \frac{V_{L4}}{R} \quad \text{จะได้ว่า} \quad \frac{V_L}{R} = \frac{V_3 - V_5}{sL_4} \quad \text{จัดรูปใหม่ได้ดังสมการ (5.30)}$$

$$V_{L4} = \frac{V_3}{\frac{sL_4}{R}} - \frac{V_5}{\frac{sL_4}{R}} \quad (5.30)$$

จากสมการที่ (5.30) สามารถแทนได้ด้วยวงจรดังนี้คือ, โดยที่  $C_{L4} = \frac{L_4}{R^2}$



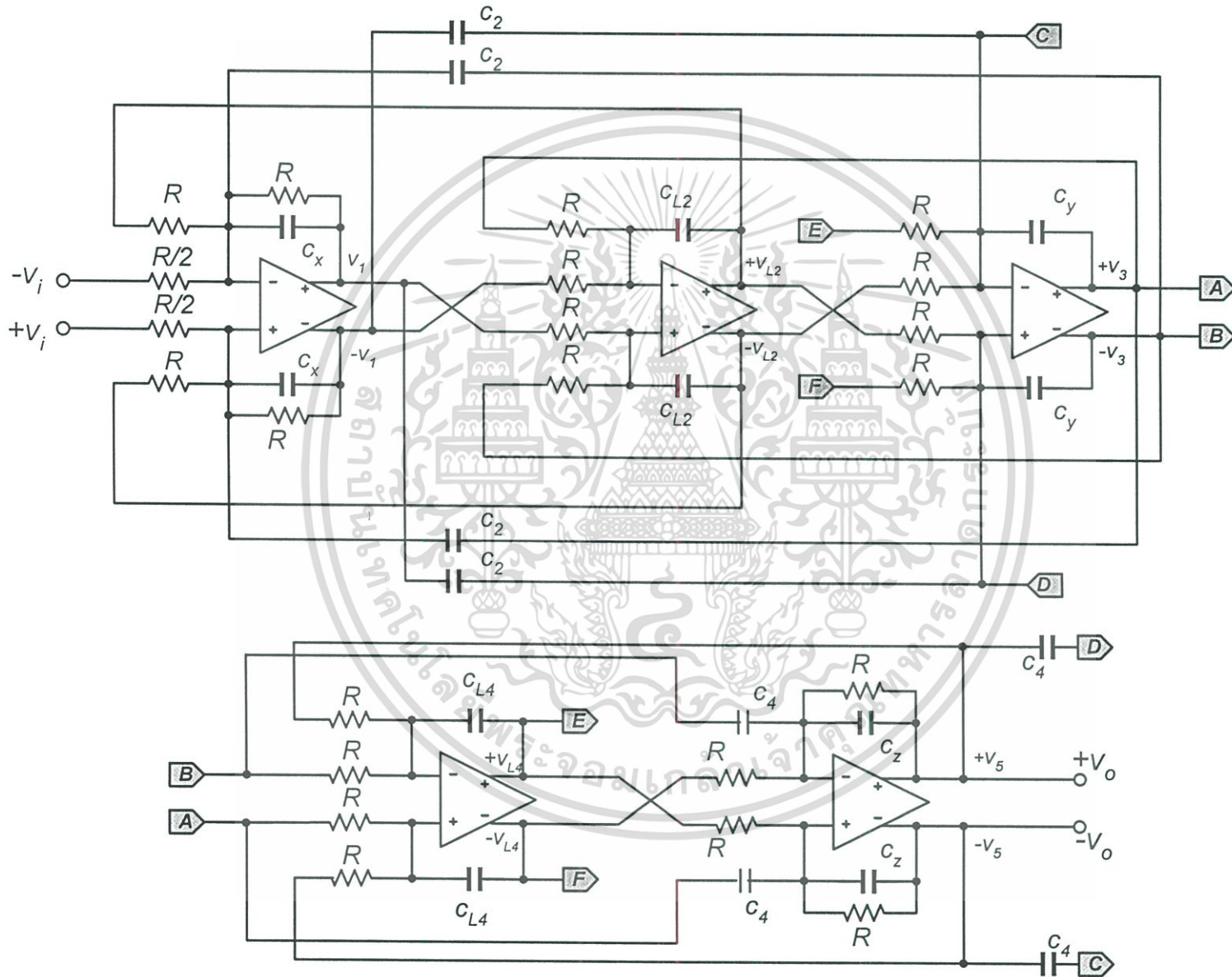
รูปที่ 5.7 วงจร fully-differential integrator ตามสมการที่ (5.30)

จากคำอธิบายที่กล่าวมาทั้งหมดนำความสัมพันธ์ของวงจรทั้งหมดเขียนเป็นวงจรที่ สมบูรณ์ 5<sup>th</sup> order active-RC elliptic low-pass filter ดังรูปที่ 5.8 วงจร โดยใช้ Op-amp แบบ fully-differential จำนวน 5 ประกอบกับตัวต้านทาน และ ตัวเก็บประจุ

ตารางที่ 5.2 อุปกรณ์ที่ใช้ในวงจร 5<sup>th</sup> order elliptic active-RC low-pass filter

Element	Value
$R$	6 k $\Omega$
$C_x$	27.99077 pF
$C_y$	49.85456 pF
$C_z$	28.39622 pF
$C_{L2}$	31.18521 pF
$C_{L1}$	27.56998 pF
$C_2$	31.18521 pF
$C_4$	27.56998 pF

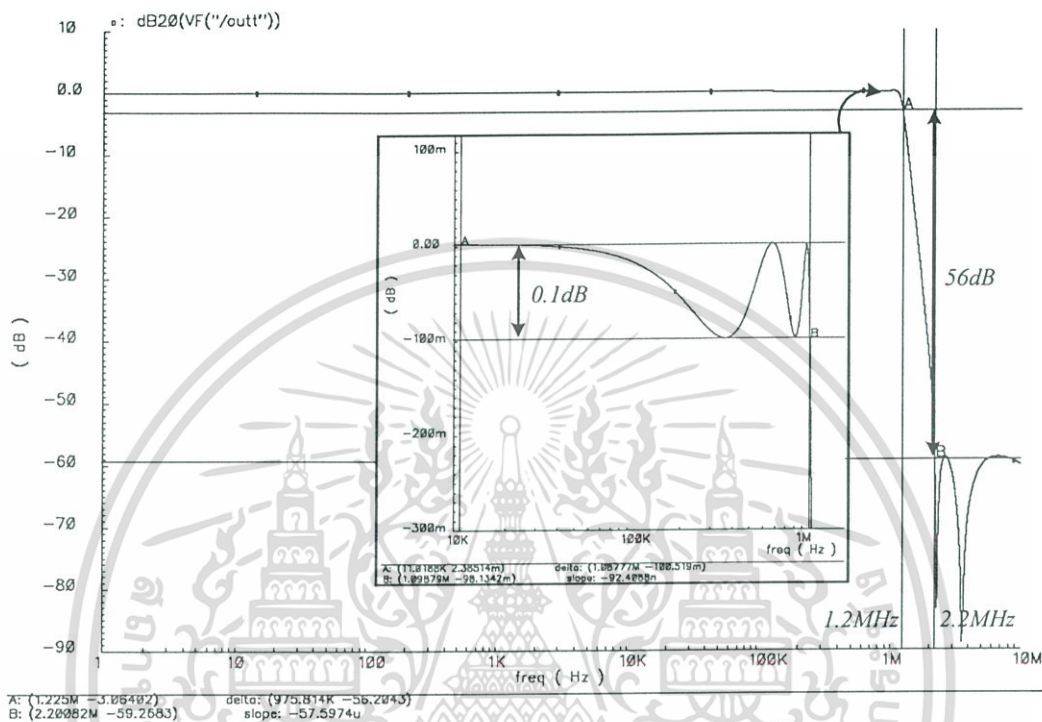
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 แสดงวงจร 5<sup>th</sup> order elliptic active-RC low-pass filter

## 5.4 ผลการจำลองการทำงานวงจรกรองความถี่ต่ำผ่าน

ค่าตารางที่ 5.1 และ 5.2 แทนค่าในรูปที่ 5.8 จำลองการทำงานของวงจรกรองความถี่ต่ำผ่านได้คุณสมบัติทางความถี่ในรูปที่ 5.9 ได้คุณสมบัติวงจรรipple 0.1dB,  $f_p = 1.2$  MHz และ  $f_s = 2.2$  MHz



รูปที่ 5.9 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่าน

## 5.5 บทสรุป

การออกแบบวงจรกรองความถี่ต่ำผ่านที่ได้นำเสนอในบทนี้เป็นการออกแบบวงจรจากวงจรต้นแบบหาค่าคุณสมบัติของช่วงความถี่ที่เราต้องการ และทำการสังเคราะห์ห้วงจรให้เป็นวงจรแบบ active-RC เนื่องจากวงจรแบบ active-RC ประกอบไปด้วย วงจรขยายออปแอมป์, ตัวเก็บประจุ, และ ตัวต้านทาน ไม่จำเป็นต้องใช้ขดลวด (Inductor) ซึ่งการสร้างขดลวดเหนี่ยวนำบนวงจรรวม จะมีค่าความผิดพลาดจากค่าตัวเหนี่ยวนำสูงทำให้เงื่อนไขของความถี่ตัดเปลี่ยนไป และ จะต้องใช้พื้นที่มากในการสร้างขดลวดบนวงจรรวม, ดังนั้นการใช้อุปกรณ์ active-RC สามารถสร้างในวงจรรวมได้ง่ายและใช้พื้นที่น้อยและยังสามารถพัฒนาใช้มอสทรานซิสเตอร์แทนตัวต้านทานในวงจรทำให้วงจรมีขนาดพื้นที่น้อยลง

การสังเคราะห์ และ การจำลองการทำงานของวงจร ที่ได้ก่อนจะทำให้เราตรวจสอบการทำงาน  
ของระบบได้เบื้องต้นและสามารถบอกถึงคุณสมบัติของวงจรรวมถึงการปรับแต่งวงจรให้  
ตามเงื่อนไขที่เราต้องการได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### บทสรุป

#### 6.1 สรุปผลงานวิจัย

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรวมอนาล็อกในภาคส่งของระบบ DSL ประกอบด้วยวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก และ วงจรกรองสัญญาณความถี่ต่ำผ่าน, ความสำคัญของวงจรถอนาล็อกส่วนหน้า คือ ทำหน้าที่เชื่อมโยงการสื่อสารข้อมูลดิจิทัลโดยนำสัญญาณดิจิทัลจากส่วนประมวลผลสัญญาณดิจิทัล (digital signal processing) แปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก, วงจรแปลงสัญญาณทำหน้าที่แปลงสัญญาณให้มีความถูกต้อง แม่นยำ และ เชื่อถือได้, วงจรกรองความถี่ต่ำผ่านทำหน้าที่เลือกช่วงความถี่ที่ต้องการ, การออกแบบในส่วนต่างๆ อธิบายในวิทยานิพนธ์ดังนี้

บทที่ 2 มาตรฐานของระบบ DSL และ ความสำคัญของ ADSL ที่ใช้ในระบบโทรศัพท์ จะเห็นได้ว่า ADSL เข้ามามีบทบาทสำคัญในโครงข่ายอินเทอร์เน็ต ความเร็วสูง เนื่องจากสามารถใช้โครงข่ายระบบโทรศัพท์ระบบปัจจุบันโดยไม่จำเป็นต้องวางโครงข่ายใหม่ทำให้ความต้องการของผู้บริโภคหันมาใช้เพิ่มขึ้นเนื่องจากความเร็วสูง, สะดวก และ สามารถใช้สัญญาณโทรศัพท์ได้เหมือนเดิม, เราได้เข้าใจถึงคุณสมบัติของระบบรวมถึงการพิจารณาตัดสินใจเลือกการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก 12 บิต

บทที่ 3 เทคโนโลยีสารกึ่งตัวนำได้พัฒนารวดเร็วและมีประสิทธิภาพมากขึ้น คำนึงถึงเทคโนโลยีซีมอส และ ทำความเข้าใจถึงคุณสมบัติของมอสทรานซิสเตอร์ เพื่อการออกแบบวงจร, ในส่วนวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกโดยใช้โหมดกระแส นั้นมีความสำคัญและให้ประสิทธิภาพได้ดีเนื่องจากใช้ขนาดของอุปกรณ์ขนาดเล็ก และสามารถแก้ไขปัญหาค่าความไม่สมมาตรของวงจรได้, การทำงานของวงจรได้เลือกจัดการทำงานแบบ segmented เนื่องจากเสถียรภาพของการจ่ายกระแสที่เอาต์พุตในบิตด้านสูงช่วยจัดปัญหาแรงดัน glitch ในช่วง Mid-Code

บทที่ 4 นำเสนอการออกแบบวิธีการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกขนาด 12 บิต ซึ่งต้องการ  $DNL < 0.5 \text{ LSB}$ ,  $INL < 0.5 \text{ LSB}$ , การออกแบบแบ่งเป็น 3 ส่วน คือ ส่วนวงจรแทนแหล่งจ่ายกระแส, วงจรสวิตช์กระแส, และ วงจรขับสวิตช์ ส่วนที่ 2 คือวงจรถอดรหัสเทอร์โมมิเตอร์ และส่วนที่ 3 คือ วงจรไบอัสแรงดันและกระแสอ้างอิง ผลการจำลองการทำงานสามารถแปลงสัญญาณที่ต้องการ โดยไม่มีผลของสัญญาณยกระดับ และผลจากความผิดพลาดอัตราขยาย, จำลองการทำงานของวงจรตรวจสอบความเร็วของการแปลงสัญญาณและทดสอบการทำงานทางความถี่ของสัญญาณ ไซน์วิเคราะห์ค่า SFDR

ส่วนสุดท้ายคือบทที่ 5 วงจรกรองความถี่ต่ำผ่าน 5<sup>th</sup> order elliptic สร้างและคำนวณจาก LC network function และสังเคราะห์เพื่อให้ได้วงจร active-RC เพื่อความต้องการในการสร้างเป็น วงจรกรองความถี่แบบไม่ใช้ขดลวดเหนี่ยวนำโดยการออกแบบและการสังเคราะห์วงจร ยืนยัน ความถูกต้องจากผลการจำลองการทำงานของวงจร

## 6.2 ข้อเสนอแนะแนวทางการพัฒนางานวิจัย

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลสามารถนำมาใช้ในระบบสื่อสารได้หลากหลายไม่ว่าจะเป็นระบบ DSL, ในระบบโทรศัพท์เคลื่อนที่, ระบบการสื่อสารไร้สาย การพัฒนารูปแบบวงจรเพื่อความสามารถในการใช้แรงดันต่ำลง หรือการลดขนาดความผิดพลาดจากการแปลงสัญญาณที่เกิดขึ้น, สร้างให้วงจรทำงานได้ที่มีความถี่สูงขึ้น, ใช้กับสัญญาณพาหะความถี่สูง เป็นแนวทางที่สามารถพัฒนาต่อไป

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่มีความสำคัญและจำเป็นจะต้องใช้ในระบบสื่อสารอย่างหลีกเลี่ยงไม่ได้ การพัฒนาให้วงจรมีประสิทธิภาพสูงให้สามารถประหยัดพลังงานและใช้แรงดันต่ำเป็นแนวทางที่ทำการพัฒนาอย่างต่อเนื่อง

การสร้างวงจรรวมนำวงจรต่างๆในระบบมาประกอบขึ้นทำให้ลดการเชื่อมโยงอุปกรณ์อิเล็กทรอนิกส์ภายนอกวงจรรวม และ ช่วยให้ขนาดของอุปกรณ์อิเล็กทรอนิกส์เล็กลงได้มาก

## เอกสารอ้างอิง

- [1] Mikael Gustavsson J. Jacob Wikner and Nianxiong Nick Tan “*CMOS Data Converter for Communications*” Netherlands : Kluwer Academic Publishers.2000
- [2] Angel Rodriguez-Vazquez, Fernando Medeiro and Edmond Janssens “*CMOS Telecom Data Converters*” Netherlands : Kluwer Academic Publishers.2003
- [3] P.Hendriks “*Specifying Communication DACs*” IEEE Spectrum, vol. 34, no. 7,pp. 58-69, July 1997
- [4] John A.C. Bingham “*ADSL, VDSL, and Multicarrier Modulation*” Canada : John Wiley & Sons, Inc. 2000
- [5] Ruday van de Plassche “*CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*” 2<sup>nd</sup> ed. Netherlands : Kluwer Academic Publishers.2003
- [6] J Jacob Wikner “*CMOS Digital-to-Analog Converters for Telecommunication Applications*” Sweden : Department of Electrical Engineering, Linkopings universitet, 1998
- [7] J Jacob Wikner “*Studies on CMOS Digital-to-Analog Converters*” Sweden : Department of Electrical Engineering, Linkopings universitet, 2001
- [8] Pual R. Gray and Robert G.Meyer “*Analysis and Design of Analog Integrated Circuits*” 3<sup>rd</sup> ed. Singapore : John Wiley & Sons. In. 1993.
- [9] อภินันท์ ธนชยานนท์ “*การออกแบบวงจรรวมเชิงอุปมาน*” เอกสารประกอบการสอน, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พฤศจิกายน 2547
- [10] N.Tan and J.J. Wikner “*A CMOS Digital-to-Analog Converter Chipset for Telecommunication*” IEEE Magazine on Circuit and Devices, vol.14, no. 5, pp. 11-16, September 1998
- [11] R.Jacob Baker, Harry W.Li and David D.Boyce “*CMOS Circuit Design, Layout, and Simulation*” United States of America : John Wiley & Sons. Inc.2002.
- [12] R.Jacob Baker “*CMOS Mixed-Signal Circuit Design : Volume II of CMOS: Circuit Desing, Layout, and Simulation*” United States of Amarica : John Wiley & Sons. Inc.2002.
- [13] C.H. Lin, K. Bult “*A 10 b 500 MSample/s CMOS DAC in 0.6 mm<sup>2</sup>*” IEEE Journal of Solid-State Circuits, vol. 33, no. 12, December 1998

- [14] J. Bastos, A.M. Marques, M. Steyaert, and W. Sansen “*A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC*” IEEE Journal of Solid-State Circuits, vol. 33, no. 12, December 1998
- [15] A. Van den Bosch, A.A.F. Borremans, M. Steysert and W. Sansen “*A 10-bit 1-Gsample/s Nyquist Current-Steering CMOS D/A Converter*” IEEE Journal of Solid-State Circuits, vol. 36, no. 3, March 2001
- [16] M.J.M Pelgrom, A.C.J. Duinmaijer, A.P.G. Wellbers “*Matching properties of MOS Transistors*” IEEE Journal of Solid-State Circuit, vol. 24, no. 5, pp.1433-9, Oct. 1989
- [17] T1.413 Issue 2, Sept 26, 1997
- [18] 0.35um CMOS c35b4 Process Parameter
- [19] A. Thanachanont, A.J. Payne, P.Y.K. Cheung, T. Bales “*High Performance DAC for Digital Television*” IEEE CAS Society Thailand, The Colloquium on Mixed-Signal IC Designs, Oct 1999
- [20] วิชัย แสงนาค และ อภินันท์ ธนชยานนท์ “การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกความเร็วสูงและความละเอียดสูง” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26 (EECON-26) 6-7 พฤศจิกายน 2546, สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2546 หน้า 1238-1243.
- [21] David A. Johns and Ken Martin “*Analog Integrated Circuit Design*” United States of America : John Wiley & Sons, Inc. 1997.
- [22] Phillip E. Allen and Douglas R. Holberg “*CMOS Analog Circuit Design*” 2<sup>nd</sup> ed. United States of America : Oxford University Press, Inc. 2002
- [23] William Liu “*MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*” Canada : John Wiley & Sons, Inc. 2001
- [24] Daniel P. Foty “*MOSFET Modeling with SPICE principles and practice*” United States of America : Prentice-Hall, Inc. 1997
- [25] Lawrence P. Huelsmam “*Active and Passive Analog Filter design an Introduction*” Singapore McGraw-Hill, Inc. 1993
- [26] Y.P. Tsvividis and J.O. Voorman “*Integrated Continuous-Time Filter Principles, Design and Applications*” IEEE PRESS
- [27] จิรยุทธ์ มหัทธนกกุล. “การออกแบบวงจรกรองแอมพลิจูด”. กรุงเทพฯ: แมคกรอ-ฮิล อิเตอร์เนชันแนล เอ็นเตอร์ไพรส์, อิงค์. 2001.

## ภาคผนวก ก.

การสังเคราะห์วงจร 8/4 Digital Decoder ของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก 12 บิต จาก Verilog code เป็นระดับเกตของ 0.35um CMOS n-well process 4-Metal ได้แสดงรายละเอียดของพื้นที่และเวลามาตรฐานที่ใช้ดังนี้

\*\*\*\*\*

Cell: dac\_decode\_v1 View: INTERFACE Library: work

\*\*\*\*\*

Cell	Library	References	Total Area
AOI211	c35_CORELIB	21 x73	1529 um2
CLKIN1	c35_CORELIB	10 x36	364 um2
DFE1	c35_CORELIB	259 x 328	84848 um2
INV6	c35_CORELIB	1 x55	55 um2
INV8	c35_CORELIB	1 x73	73 um2
NAND21	c35_CORELIB	84 x55	4586 um2
NAND26	c35_CORELIB	1 x164	164 um2
NOR21	c35_CORELIB	83 x55	4532 um2
NOR23	c35_CORELIB	1 x91	91 um2
NOR40	c35_CORELIB	1 x73	73 um2
OAI211	c35_CORELIB	141 x73	10265 um2

Number of ports : 272

Number of nets : 616

Number of instances : 603

Number of references to this view : 0

Total accumulated area :

Number of um2 : 106579

Number of accumulated instances : 603

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์ได้ในระดับเกตสามารถคำนวณหาความถี่ของสัญญาณนาฬิกาที่ใช้กับวงจรดังนี้

#### Clock Frequency Report

Clock : Frequency

-----  
clk : 312.4 MHz

#### Critical Path Report

Critical path #1, (path slack = 5.1):

NAME	GATE	ARRIVAL	LOAD
thm_in(4)/		0.00 0.00 up	0.57
ix43/Q	NOR21	0.31 0.31 dn	0.08
ix7001/Q	CLKIN1	1.34 1.65 up	0.23
ix63/Q	NOR40	0.93 2.58 dn	0.07
ix67/Q	NAND21	0.50 3.08 up	0.02
ix69/D	DFE1	0.00 3.08 up	0.00
data arrival time		3.08	
data required time (default specified - setup time)		8.21	
data required time		8.21	
data arrival time		3.08	
slack		5.13	

คุณสมบัติของวงจรถอดรหัสดิจิทัลสามารถทำงานที่ความถี่สัญญาณนาฬิกาได้สูงสุดที่ 312.4 MHz ใช้วงจรเกตมาตรฐาน 603 ชุด พื้นที่ของวงจรโดยประมาณการ  $106579\mu\text{m}^2$

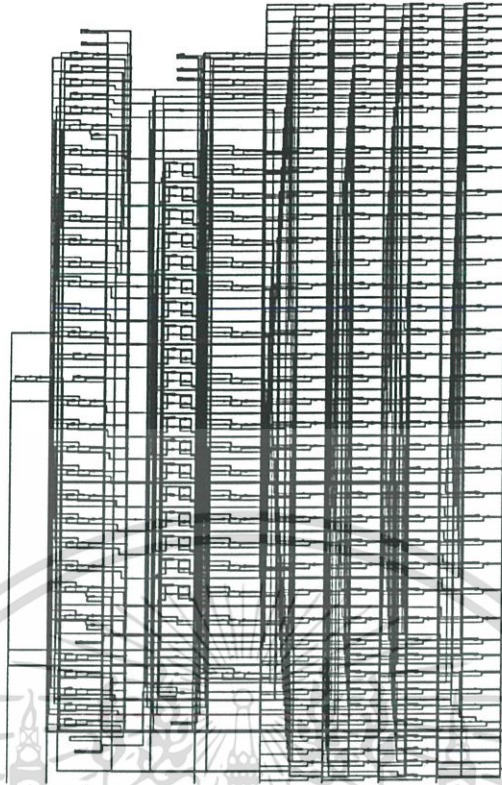
ทำการ Import วงจรจากการสังเคราะห์ในรูปแบบ Schematic ใน Cadence เพื่อทำการตรวจสอบความถูกต้องของสัญญาณแสดงดังรูปที่ ก1, Verilog Code ได้ประกอบไว้ในส่วนนี้ด้วย

## Verilog Code

```
// Verilog HDL for "A_DAC_cell04", "dac_decode_v1" "functional"
```

```
module dac_decode_v1 (
    clk,
    thm_in,
    bin_in,
    code
);
input clk;
input [7:0] thm_in;
input [3:0] bin_in;
output [259:1] code;
reg [259:1] code;
reg [255:1] thm_code;
Integer i;
always @(thm_in)
begin
    for (i=1; i<256; i=i+1)
    begin
        if (i > thm_in)
            thm_code[i] = 0;
        else
            thm_code[i] = 1;
        end
    end
end
always @(posedge clk)
begin
    if (clk)
        code = {thm_code,bin_in};
    end
endmodule
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก1 วงจรถอครหัสสัญญาณดิจิทัลที่ได้จากการ Import

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ข.

### ขนาดของมอสทรานซิสเตอร์ในวงจร

ตารางที่ ข1 ขนาดของมอสทรานซิสเตอร์ในวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

Cell	No. of MOS	Cell area						xLSB	Total	
		W	L	xW	xL	W	L	xLSB	W	L
Current Source										
1-LSB	Mp1	6	6	2	4	12	24	1	12	24
	Mp2	0.5	0.5	4	1	2	0.5	1	2	0.5
2-LSB	Mp1	6	6	2	4	12	24	2	24	24
	Mp2	0.5	0.5	4	1	2	0.5	2	4	0.5
4-LSB	Mp1	6	6	2	4	12	24	4	48	24
	Mp2	0.5	0.5	4	1	2	0.5	4	8	0.5
8-LSB	Mp1	6	6	2	4	12	24	8	96	24
	Mp2	0.5	0.5	4	1	2	0.5	8	16	0.5
16-LSB	Mp1	6	6	2	4	12	24	16	192	24
	Mp2	0.5	0.5	4	1	2	0.5	16	32	0.5
Current Source (dummy)										
1-LSB	Mp1	6	6	2	4	12	24	1	12	24
	Mp2	0.5	0.5	4	1	2	0.5	1	2	0.5
Switch Current										
1-LSB	Mp3	1	0.35	1	1	1	0.35	1	1	0.35
	Mp4	1	0.35	1	1	1	0.35	1	1	0.35
2-LSB	Mp3	1	0.35	1	1	1	0.35	2	2	0.35
	Mp4	1	0.35	1	1	1	0.35	2	2	0.35
4-LSB	Mp3	1	0.35	1	1	1	0.35	4	4	0.35
	Mp4	1	0.35	1	1	1	0.35	4	4	0.35
8-LSB	Mp3	1	0.35	1	1	1	0.35	8	8	0.35
	Mp4	1	0.35	1	1	1	0.35	8	8	0.35
16-LSB	Mp3	1	0.35	1	1	1	0.35	16	16	0.35
	Mp4	1	0.35	1	1	1	0.35	16	16	0.35

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสาร

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข1 (ต่อ) ขนาดของมอสทรานซิสเตอร์ในวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

Cell	No. of MOS	Cell area						xLSB	Total	
		W	L	xW	xL	W	L	xLSB	W	L
Switch Current Dummy										
1-LSB	Mp3d	1	0.35	1	1	1	0.35	15	15	0.35
	Mp4d	1	0.35	1	1	1	0.35	15	15	0.35
2-LSB	Mp3d	1	0.35	1	1	1	0.35	14	14	0.35
	Mp4d	1	0.35	1	1	1	0.35	14	14	0.35
4-LSB	Mp3d	1	0.35	1	1	1	0.35	12	12	0.35
	Mp4d	1	0.35	1	1	1	0.35	12	12	0.35
8-LSB	Mp3d	1	0.35	1	1	1	0.35	8	8	0.35
	Mp4d	1	0.35	1	1	1	0.35	8	8	0.35
16-LSB	Mp3d	-	-							0
	Mp4d	-	-							0
Switch Driver										
inverter	MPMOS	0.8	0.35	1	1	0.8	0.35	1	0.8	0.35
	MNMOS	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
nor gate	MPMOS1	1.6	0.35	1	1	1.6	0.35	1	1.6	0.35
	MPMOS2	1.6	0.35	1	1	1.6	0.35	1	1.6	0.35
	MNMOS1	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
	MNMOS2	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
clk latch	Mnmosclk	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
sw driv	MpN	0.6	0.35	2	1	1.2	0.35	1	1.2	0.35
	Mn1N	1.8	0.35	1	1	1.8	0.35	1	1.8	0.35
	Mn2N	1.8	0.35	1	1	1.8	0.35	1	1.8	0.35
	MpP	0.6	0.35	2	1	1.2	0.35	1	1.2	0.35
	Mn1P	1.8	0.35	1	1	1.8	0.35	1	1.8	0.35
	Mn2P	1.8	0.35	1	1	1.8	0.35	1	1.8	0.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข2 ขนาดของ มอสทรานซิสเตอร์ในวงจรไบอัส

Cell	No. of MOS	Cell area						xLSB	Total	
		W	L	xW	xL	W	L	xLSB	W	L
Bias Gen										
a	Ma1	6	6	2	4	12	24	8	96	24
	Ma2	0.5	0.5	4	1	2	0.5	4	8	0.5
	Ma3	0.65	0.5	4	1	2.6	0.5	4	10.4	0.5
	Ma4	6	6	2	4	12	24	4	48	24
b	Mb1	6	6	2	4	12	24	4	48	24
	Mb2	0.5	0.5	4	1	2	0.5	4	8	0.5
	Mb3	0.65	0.6	4	1	2.6	0.6	4	10.4	0.6
	Mb4	6	6	2	4	12	24	4	48	24
c	Mc2	2.5	6	2	4	5	24	2	10	24
	Mc3	0.6	0.5	4	1	2.4	0.5	4	9.6	0.5
	Mc4	6	6	2	4	12	24	4	48	24
d	Md1	6	6	2	4	12	24	4	48	24
	Md2	0.5	0.5	4	1	2	0.5	4	8	0.5
	Md3	2.55	6	2	4	5.1	24	2	10.2	24
e	Me1	6	6	2	4	12	24	16	192	24
	Me2	0.5	0.5	4	1	2	0.5	16	32	0.5
	Me3	0.5	0.5	4	1	2	0.5	16	32	0.5
	Me4	6	6	2	4	12	24	16	192	24
Ey	Mon3	0.65	0.5	4	1	2.6	0.5	6	15.6	0.5
	Mon4	6	6	2	4	12	24	6	72	24
x	Mdig3	0.65	0.5	4	1	2.6	0.5	2	5.2	0.5
	Mdig4	6	6	2	4	12	24	2	24	24
dummy P	Mdum1	6	6	2	4	12	24	6	72	24
	Mdum2	0.5	0.5	4	1	2	0.5	6	12	0.5
dummy N	Mdum3	0.65	0.5	4	1	2.6	0.5	2	5.2	0.5
	Mdum4	6	6	2	4	12	24	2	24	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข3 ขนาดของมอสทรานซิสเตอร์ในวงจรสร้างไบอัส Diff. Amp &amp; Vdigital bias

Cell	No. of MOS	Cell area						xLSB	Total	
		W	L	xW	xL	W	L	xLSB	W	L
Diff. Amp	MopN1	1	0.5	70	1	70	0.5	1	70	0.5
	MopN2	1	0.5	70	1	70	0.5	1	70	0.5
	MopP3	1	1	50	1	50	1	1	50	1
	MopP4	1	1	50	1	50	1	1	50	1
	MopN1dig	1	0.5	70	1	70	0.5	1	70	0.5
	MopP1dig	1	1	50	1	50	1	1	50	1
	MbiasN	1	1	80	1	80	1	1	80	1
	MdigBiasN	1	1	80	1	80	1	1	80	1
	MopN12d	1	0.5	1	1	1	0.5	10	10	0.5
	MbiasNd	1	1	1	1	1	1	10	10	1
	MdigBiasNd	1	1	1	1	1	1	10	10	1
	MopP34d	1	1	1	1	1	1	10	10	1
Mc5pF	16	15	1	1	16	15	3	47.85	15	
PDC	MPMOS	0.8	0.35	1	1	0.8	0.35	1	0.8	0.35
inverter	MNMOS	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
PDC	MpPDa	2	0.5	1	1	2	0.5	1	2	0.5
Power down	MpPDb	2	0.5	1	1	2	0.5	1	2	0.5
	MnPDa	2	1	1	1	2	1	1	2	1
	MnPDb	2	1	1	1	2	1	1	2	1
	MpPD1	4	1	1	1	4	1	1	4	1
	MpPD2	4	1	1	1	4	1	1	4	1
	MpPD3	4	1	1	1	4	1	1	4	1
	MpPD4	4	1	1	1	4	1	1	4	1
	MnPD1	4	4	1	1	4	4	1	4	4
	MnPD2	4	4	1	1	4	4	1	4	4
	MnPD3	4	4	1	1	4	4	1	4	4
MnPD4	4	4	1	1	4	4	1	4	4	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข4 ขนาดของมอสทรานซิสเตอร์ในวงจรสร้างแรงดันอ้างอิงแบบค้เก็บ

Cell	No. of MOS	Cell area						xLSB	Total	
		W	L	xW	xL	W	L	xLSB	W	L
Band-Gap	MP1A	5	1	6	1	30	1	1	30	1
	MP2A	5	0.35	3	1	15	0.35	1	15	0.35
	MN3A	5	0.35	2	1	10	0.35	1	10	0.35
	MN4A	5	1	4	1	20	1	1	20	1
	MP1B	5	1	6	1	30	1	1	30	1
	MP2B	5	0.35	3	1	15	0.35	1	15	0.35
	MN3B	5	0.35	2	1	10	0.35	1	10	0.35
	MN4B	5	1	2	1	10	1	1	10	1
	MP1C	5	1	6	1	30	1	1	30	1
	MP2C	5	0.35	3	1	15	0.35	1	15	0.35
	MP1dummy	5	1	2	1	10	1	1	10	1
inverter	MPMOS	0.8	0.35	1	1	0.8	0.35	1	0.8	0.35
	MNMOS	0.5	0.35	1	1	0.5	0.35	1	0.5	0.35
trim sw	Mnmos	10	0.35	1	1	10	0.35	10	100	0.35
c 10pF	MnmosC1-3	20	11	1	1	20	11	5	100	11
Rdiffp3	diffp3	1	7	1	1	1	7	60	60	7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ก.

ตารางที่ ค1 แรงดันที่และกระแสของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก

AVDD	2.5000E+00	3.3000E+00
Vout	1.0002E+00	1.0002E+00
I 1-LSB	4.8850E-06	4.8850E-06
I 2-LSB	9.77E-06	9.77E-06
I 4-LSB	1.59E-05	1.59E-05
I 8-LSB	3.91E-06	3.91E-06
I 16-LSB	7.8160E-05	7.8160E-05
Vdsrc	1.2390E+00	1.3070E+00
VdM1P	1.8870E+00	2.6730E+03

ตารางที่ ค2 แรงดันที่และกระแสของวงจรไบอัส

AVDD	2.5000E+00	3.3000E+00
I AVDD	2.7270E-04	2.7420E-04
trim	1 0 1	1 0 0
Rext	6.6660E+04	6.7127E+04
VirefP1	1.1770E+00	1.9770E+00
VirefP	1.1770E+00	1.9780E+03
VbiasP	7.6640E-01	1.5670E+03
VbiasN	1.0860E+00	1.0850E+00
VirefN	8.7380E-01	8.7350E-01
Vbg	1.3060E+00	1.3020E+00
Vdig	1.3020E+00	1.3060E+00
V REXT	1.3010E+00	1.3060E+00
I REXT	1.9520E-05	1.9450E+01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค3 แรงดันที่โหนดของวงจรไบอัส

AVDD	2.5000E+00	3.3000E+00
a1 (DAP)	1.8860E+00	2.6860E+00
a4	3.3610E-01	3.4030E-01
b1	1.8790E+00	2.6650E+00
b4	3.2990E-01	3.2960E-01
c4	3.3330E-01	3.3810E-01
d1	1.8840E+00	2.6690E+00
e1	1.8850E+00	2.6860E+00
e4	3.2470E-01	3.2890E-01
Ey	3.3170E-01	3.3150E-01
Eya	3.3170E-01	3.3150E-01
x	3.3690E-01	3.1160E-01
sorceOp	6.0940E-01	6.1240E-01
gbias	2.1770E+00	2.1810E+00
g3	1.7390E+00	2.5410E+00
gdig	2.1470E+00	2.1510E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค4 แรงดันที่โหนดของวงจรสร้างแรงดันอ้างอิงแบบดัดแปร

AVDD	2.5000E+00	3.3000E+00
bgP1	1.6740E+00	2.4710E+00
bgP2	1.4820E+00	2.2740E+00
bgN1	1.7210E+00	1.7310E+00
bgN2	1.5290E+00	1.5330E+00
d1a	2.3050E+00	3.0790E+00
d1b	8.9260E+03	8.9970E-01
d1c	2.2930E+00	3.0680E+00
d4a	2.3030E+00	3.0990E+00
d4b	8.9180E-01	9.1170E-01
s4b	6.6170E-01	6.2800E-01
Apbp	7.0260E-01	7.0350E-01
Bpnp	6.4250E-01	6.4310E-01
Cpnp	7.0270E-01	7.0360E-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ง.

### ผลงานวิจัยที่ได้รับการตีพิมพ์

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารในประเทศในวิทยานิพนธ์นี้ประกอบด้วยบทความ ดังต่อไปนี้

- วิจัย แสงนาค และ อภินันท์ ธนชยานนท์ “การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก ความเร็วสูงและความแม่นยำสูง” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 26 (EECON-26) สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2546 หน้า 1238-1243.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ความเร็วสูง และความละเอียดสูง**  
**DESIGN CONSIDERATION OF HIGH-SPEED HIGH-RESOLUTION DIGITAL-TO-ANALOGUE CONVERTER**

วิชัย แสงนาค และ อภินันท์ ธนชยานนท์

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ และ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร 10520

โทร: (02)737-3000 ext 3309, www.kmitl.ac.th/mdrd E-mail: s3061315@kmitl.ac.th, ktapinun@kmitl.ac.th

### บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก(DAC) ความเร็วสูงและความละเอียดสูง รูปแบบวงจรและการออกแบบได้นำเสนอวิธีการออกแบบวงจรให้เหมาะกับการใช้งานที่แหล่งจ่ายแรงดันต่ำ, ให้แรงดันที่เอาต์พุตได้สูง มีประสิทธิภาพตามคุณสมบัติของ INL และ DNL ที่ดี สำหรับการนำเสนอได้ทดสอบการออกแบบวงจร 12-bit 8/4 segmentation ทำงานแบบจ่ายกระแสที่เอาต์พุต การออกแบบ วงจรใช้เทคโนโลยี CMOS n-well 2-poly 3-metal 0.35- $\mu\text{m}$ , ให้แรงดันเอาต์พุต 1 โวลต์ ที่โหลด 50 โอห์ม มี glitch energy 0.016 pVs, ความเร็วของการเปลี่ยนแปลงสัญญาณขาขึ้น 0.4 nS และการเปลี่ยนแปลงสัญญาณขาลง 0.3 nS วงจรทำงานภายใต้แหล่งจ่ายแรงดัน 2.5-โวลต์ ขึ้นขึ้นผลการจำลองการทำงาน โดยใช้โปรแกรม Cadence

### Abstract

This paper presents the design consideration of high speed high resolution Digital-to-Analogue Converter (DAC). The design configuration is described with optimized performance for Low- supply Voltage, high- swing output voltage, high driven output current with optimize differential nonlinearity (DNL) and integral nonlinearity(INL). For example, A 12-bit 8/4 segmented current steering DAC using an n-well double poly triple metal 0.35- $\mu\text{m}$ . CMOS technology, the voltage output swing 1-V 50- $\Omega$  load resistance, the glitch energy 0.016-pVs, the rise time 0.4-nS, fall time 0.3-nS, and it operates from a single 2.5-V power supply, using Cadence simulation.

**Keywords:** วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

DAC, Digital-to-Analogue converter, current steering

### 1. คำนำ

ปัจจุบันการส่งสัญญาณข้อมูลในระบบสื่อสารมีความสำคัญมากขึ้นเนื่องจากความต้องการเพื่อให้ได้อัตราการส่งข้อมูลสูง ดังนั้น

ระบบดิจิทัลมอดูเลตจึงมีความสำคัญมากในระบบการสื่อสาร ความเร็วสูงเช่นในระบบ DSL หรือ WCDMA [1-2] ฯลฯ โดยทั่วไปวงจรรวมส่วนหน้า(Analog Front-End) ดังรูปที่ 1 การทำงานของระบบก็นำข้อมูลที่มาจากดิจิทัลมอดูเลต ส่งต่อสัญญาณไปยังวงจร DAC แปลงสัญญาณเป็นอนาล็อกส่งต่อไปผสมสัญญาณกับคลื่นพาห์ นำออกไปสู่ระบบสายอากาศต่อไป โครงสร้างการทำงานของระบบจะมีการเชื่อมโยงที่สำคัญคือส่วนของข้อมูลและส่วนของสัญญาณอนาล็อกซึ่งจำเป็นคือ อาศัยวงจร DAC เป็นตัวกลางสำคัญในการแปลงสัญญาณ

## 2. การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก

### 2.1 โครงสร้างวงจร 12-bits DAC 8/4 segmentation

วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก ทำงานที่ความเร็วสูงและความละเอียดสูงใช้วิธีการแปลงสัญญาณแบบให้กระแสที่เอาต์พุต [1-5] และลดความผิดพลาดของระดับกระแส และแรงดันที่เอาต์พุตด้วยการจัดชุดการทำงาน(Segmentation) ดังรูปที่ 2 และรูปที่ 3 วงจรถูกจัดชุดการทำงานเป็น 2 ส่วนคือ ส่วนของสัญญาณ 4-bits ดิจิตอลด้านล่างทำงานแบบจ่ายกระแสตามน้ำหนักที่กำหนดของแต่ละบิต(binary-weighted) โดยมีขนาดของกระแส 4 ชุดคือ  $2^0 I_{ref}$ ,  $2^1 I_{ref}$ ,  $2^2 I_{ref}$  และ  $2^3 I_{ref}$  ส่วนของสัญญาณ 8-bits ดิจิตอลด้านบนทำงานโดยการจ่ายกระแสขนาด  $2^4 I_{ref}$  จำนวน  $2^8 - 1 = 255$  ชุด ที่เท่ากันทุกตัว(Unit-element) ใช้วิธีกำหนดปริมาณกระแสของ 8 บิต ด้วยวิธีการเพิ่ม-ลด จำนวนของแหล่งจ่ายกระแส วิธีนี้จะช่วยจำกัดปริมาณการเปลี่ยนแปลงของกระแสในบิตด้านบนให้มีการเปลี่ยนแปลงปริมาณที่พอเหมาะ ลดปัญหาการสวิตช์กระแสในช่วง mid-code คือการเปลี่ยนแปลงของสัญญาณอินพุตจาก 00001111  $\rightarrow$  00010000 ซึ่งทำให้เกิดการสวิตช์ปริมาณกระแสขนาดใหญ่ การใช้วิธีแบบ Thermometer หรือ Unit-element ช่วยให้การ เพิ่ม-ลดปริมาณของกระแสที่ต่อเนื่องแทนการสวิตช์ปริมาณกระแสขนาดใหญ่ การทำงานของวงจร DAC แบบ segmentation จำเป็นต้องมีส่วนของวงจรถอดรหัสสัญญาณดิจิทัล(Digital Decoder) เพื่อควบคุมการจ่ายกระแสของวงจร จำนวน 255 ชุด ของ 8-bits Thermometer กับ แหล่งจ่ายกระแส 4 ชุด ของ 4-bits binary-weighted ให้

ทำงานสอดคล้องกับสัญญาณ 12-bits อินพุต, แรงดันที่เอาต์พุต ของวงจรถือ ผลคูณของความต้านทานที่เอาต์พุตกับผลรวมของกระแสที่ถูกจ่ายออกในแต่ละบิต (1) [1]

$$I_{out} = I_{LSB} \cdot b_0 + 2I_{LSB} \cdot b_1 + \dots + 2^{N-1} I_{LSB} \cdot b_{N-1} \quad (1)$$

$$= I_{LSB} \cdot k$$

เมื่อ  $k = b_0 + 2 \cdot b_1 + \dots + 2^{N-1} \cdot b_{N-1} = \sum_{l=0}^{N-1} 2^l \cdot b_l$

แรงดันที่เกิดขึ้นที่เอาต์พุตของวงจรถือ  $V_{out} = I_{out} \times R_L$

ผลต่างของแรงดันเอาต์พุตที่เกิดขึ้นคือ  $V_{outdiff} = V_{outP} - V_{outN}$

**2.2 วงจรแหล่งจ่ายกระแส (Current Steering Cell)**

การทำงานของวงจรถือแหล่งจ่ายกระแสมีลักษณะของวงจรดังรูปที่ 4 เราแทนแหล่งจ่ายกระแสด้วย MOS ทรานซิสเตอร์ Mp1 และ Mp2 เป็นลักษณะวงจรถือแหล่งจ่ายกระแสแบบคลาสสิกซึ่งมีข้อดีคือความต้านทานเอาต์พุตของวงจรถือสูงและ Mp2 เป็นตัวฟีดแบ็คแรงดันให้ Mp1 ซึ่งลดผลกระทบจากการเปลี่ยนแปลงแรงดัน Vds ของ Mp1, วงจรถือจ่ายกระแสสลับกัน 2 ด้าน (Fully-Differential) ระหว่าง IoutP กับ IoutN โดยการสวิตช์สลับทิศทางกระแสด้วย Mp3P และ Mp3N, ส่วนของการออกแบบวงจรถือ 12-bit DAC จะต้องคำนึงถึงคุณสมบัติต่างๆ ที่ต้องการ โดยแยกพิจารณาจากวงจรถือแหล่งจ่ายกระแสในแต่ละบิต เริ่มต้นโดยกำหนดค่าผิดพลาดของระดับกระแสที่เอาต์พุตให้ไม่เกิน 0.5-LSB ดังนั้นกระแสผิดพลาดที่ MSB จะนำไปตามสมการ ที่ (2) [3]

$$\frac{\Delta I_{MSB}}{I_{MSB}} \leq \frac{0.5LSB}{2^{N-1}LSB} = 0.024\% \quad (2)$$

เมื่อ N=12 คือจำนวนบิต, วงจรถือ 12-bit DAC ประกอบด้วยแหล่งจ่ายกระแสหลายตัวต่อขนานกัน จาก INL สามารถหาค่าความผิดพลาดของกระแสในวงจรถือแหล่งจ่ายกระแสที่ออกแบบได้จากสมการที่ (3) [3]

$$INL = \sqrt{2^{N-1} \left( \frac{\sigma_I}{I} \right)^2} LSB \quad (3)$$

เมื่อ LSB คือหน่วยลำดับการแปลงสัญญาณ, จาก  $INL \leq 0.5 \cdot LSB$  เพื่อให้ได้ความถูกต้องของกระแสที่เอาต์พุต 99% ความผิดพลาดของกระแสที่เกิดขึ้นหรือ  $(\sigma_I / I)$  จะมีค่าน้อยกว่า 0.3 % [3-5] นำค่าความเหมาะสมในการออกแบบเพื่อให้เกิดความคลาดเคลื่อนของกระแสตามต้องการเพื่อคำนวณหา (W/L) ของ Mp1 จากตารางที่ 1 เป็นค่าความคลาดเคลื่อนของเทคโนโลยีการเชื่อมต่อที่ใช้ในการออกแบบ เปรียบเทียบความคลาดเคลื่อนนำมาคำนวณหาพื้นที่ของ PMOS ที่ใช้แทนเป็นแหล่งจ่ายกระแส (Mp1) ได้จากสมการที่ (4) [6]

$$(W \cdot L)_{min} = \frac{1}{2 \left( \frac{\sigma_I}{I} \right)^2} \left[ A_\beta^2 + \frac{4 \cdot A_{VT}^2}{(V_{GS} - V_T)^2} \right] \quad (4)$$

ตารางที่ 1 Technology Mismatch Parameter

Parameter	$A_{VT}$	$A_\beta$
Unit	$mV \cdot \mu m$	$\% \cdot \mu m$
NMOS	9.6	1.1
PMOS	16.0	1.1

จากสมการที่ (4) เมื่อ  $(W \cdot L)_{min}$  คือพื้นที่ของ Mp1 ที่ทำหน้าที่แทนวงจรถือกระแสต่อแบบ current-mirror กับวงจรถืออินพุต การออกแบบวงจรถือกระแสเพื่อควบคุมความคลาดเคลื่อนของกระแส  $I_0$  ไม่ให้เกิน 0.3%, คำนวณจากสมการที่ (4) เปรียบเทียบความสัมพันธ์ของพื้นที่กับแรงดัน (Vgs-Vt) ของ Mp1 เป็นไปดังรูปที่ 5 ขนาดของพื้นที่ที่จะแปรผกผันกับแรงดันไบอัส (Vgs-Vt) ซึ่งความผิดพลาดของกระแสที่เกิดขึ้นโดยผลกระทบที่เกิดจาก  $\beta$  (current gain factor) และ  $V_{th}$  (threshold-voltage) ดังนั้นการเพิ่มพื้นที่และแรงดันคือการลดความคลาดเคลื่อนที่เกิดจาก  $\beta$  และ  $V_{th}$  ตามลำดับ การเลือกพิจารณาขนาดพื้นที่หรือ Vgs ของ Mp1 จะต้องพิจารณาถึงพื้นที่รวมของวงจรถือ และการใช้งานวงจรถือระดับแหล่งจ่ายแรงดันต่ำ, สำหรับการออกแบบวงจรถือ 12-bit DAC ทำงานภายใต้แหล่งจ่ายแรงดัน 2.5 โวลต์ เลือกพิจารณาความเหมาะสม  $V_{gs,Mp1} = 1.3$  โวลต์ คำนวณพื้นที่ของ Mp1 จาก (4)

$$(W \cdot L)_{min} = \frac{1}{2(0.3\%)^2} \left[ (1.1 \times 10^{-3})^2 + \frac{4 \cdot (16 \times 10^{-3})^2}{(1.3 - 0.6)^2} \right]$$

$$= 116 \mu m^2$$

คำนวณอัตราส่วน MOS ทรานซิสเตอร์ ในวงจรถือกระแส  
1: พิจารณาจากค่าแรงดันเอาต์พุตที่ต้องการ ที่สภาวะโหลด 50-ohm

$$I_{FS} = \frac{V_{FS}}{R_{LOAD}} \quad (5)$$

$$= \frac{1V}{50\Omega} = 20mA$$

2: หากระแส LSB จากจำนวนบิต (N=12)

$$I_{LSB} = \frac{I_{FS}}{2^{N-1}} \quad (6)$$

$$= \frac{20mA}{2^{12} - 1} \cong 4.885 \mu A$$

ตารางที่ 2 Technology Electrical Parameter

Parameter	KP	$V_T$
Unit	$\mu A / V^2$	V
NMOS	175	0.6
PMOS	60	-0.6

จากตารางที่ 2 นำมาหาอัตราส่วนของทรานซิสเตอร์จากสมการกระแส

$$I_D = \frac{KP}{2} \left( \frac{W}{L} \right) (V_{SG} - |V_T|)^2 \quad (7)$$

จาก (7) จะได้

$$\frac{W}{L} = \frac{2 \cdot I_D}{KP \cdot (V_{SG} - |V_T|)^2}$$

ดังนั้น  $(W/L)_{Mp1}$

$$= \frac{2 \cdot 4.885 \mu A}{60 \mu \cdot (1.3 - 0.6)^2} = 0.332$$

จาก  $(W \cdot L)_{\min}$  และ  $(W/L)$  ของ Mp1, หาขนาดของ W และ L ได้จาก

$$W^2 = (W \cdot L)_{\min} \cdot \left( \frac{W}{L} \right)$$

$$W = \sqrt{W^2} = 6.2 \mu m \text{ และ } L = \frac{W}{(W/L)} = 18.7 \mu m$$

$$\left( \frac{W}{L} \right)_{Mp1} = \frac{6.2 \mu m}{18.7 \mu m}$$

3: หาขนาด W และ L ของ Mp2 จาก Headroom-Voltage ที่จากรูปที่ 4

$$V_{dsat} \geq 0.2V, V_{GS2} = V_{dsat} + V_T = 0.8V$$

$$\left( \frac{W}{L} \right)_{Mp2} = \frac{2 \cdot I_{D2}}{KP \cdot V_{dsat}^2}$$

$$= \frac{2 \cdot 4.885 \mu A}{60 \mu \cdot 0.2^2} = 4.07$$

$$\left( \frac{W}{L} \right)_{Mp2} = \frac{1.42 \mu m}{0.35 \mu m}$$

4: หาขนาด W และ L ของ Mp3P และ Mp3N จากการทำงานของ MOS ทรานซิสเตอร์ เป็นสวิทช์ในย่าน Linear region

$$R_{ON} = \frac{1}{\left( \frac{W}{L} \right) \cdot KP \cdot (V_{gs} - V_T)} \quad (8)$$

$$\left( \frac{W}{L} \right)_{Mp3P} = \left( \frac{W}{L} \right)_{Mp3N} = \frac{1}{R_{ON} \cdot KP \cdot V_{dsat3}}$$

$$\text{หาค่า } R_{ON} \text{ ได้จาก } R_{ON} = \frac{V_{d2} - V_{FS}}{I_D} = \frac{1.3 - 1}{4.885 \mu A} = 60k$$

ดังนั้น  $R_{ON} \ll 60k\Omega$  เลือก  $R_{ON} = 15k\Omega$  จะได้ขนาด

$$\left( \frac{W}{L} \right)_{Mp3P,N} = \frac{1}{15k \cdot 60 \mu \cdot 0.7} = 1.587 \cong \frac{0.6 \mu}{0.35 \mu}$$

$$\text{และ } V_{dsat3P,N} = \frac{1}{15k \cdot 60 \mu \cdot \left( \frac{0.6 \mu}{0.35 \mu} \right)} = 0.648$$

ตารางที่ 3 สรุปขนาดของ MOS ทรานซิสเตอร์ ในวงจรสวิทช์กระแส

No. of MOS	W (um.)	L (um.)
Mp1	6.2	18.7
Mp2	1.42	0.35
Mp3P,Mp3N	0.6	0.35

## 2.2 วงจรควบคุมการสวิทช์ (Switch-Driver)

ลักษณะของวงจร switch-driver [7] นั้นเป็นองค์ประกอบสำคัญซึ่งเกี่ยวข้องกับความคิดพลาดที่เกิดขึ้นจากการสวิทช์กระแสโดยตรงเนื่องจากในสภาวะของการเปลี่ยนลอจิกของ Mp3P และ Mp3N ในรูปที่ 4 สัญญาณขาเกต(DinP และ DinN) ของ Mp3P และ Mp3N เกิดช่วงเปลี่ยนแปลงสภาวะทางลอจิก(Transition) ลักษณะสัญญาณเปลี่ยนแปลงดังรูปที่ 6 และที่จุด  $V_{oN}$  เป็นระดับแรงดันกึ่งกลางของช่วงการเปลี่ยนแปลง ซึ่งอาจเป็นผลทำให้ Mp3P และ Mp3N เกิดการหยุดนำกระแส(cut-off) หรือกัน วงจรจะเกิดสภาวะหยุดจ่ายกระแสชั่วคราว กระแสที่หยุดไหลนี้ทำให้แรงดันที่จุด  $V_{outN}$  และ  $V_{outP}$  สูงขึ้นโดยธรรมชาติซึ่งเกิดจากแรงดันที่พยายามทำให้ Mp1 และ Mp2 หยุดทำงาน(cut-off) จึงเกิดลักษณะของ glitch ที่สัญญาณเอาต์พุต การแก้ไข glitch ที่เกิดขึ้นโดยกำหนดช่วงเปลี่ยนแปลงสภาวะทางลอจิก ของสัญญาณควบคุมให้เหมาะสมซึ่งตำแหน่งการเปลี่ยนแปลง  $V_{Xopt}$  จะเป็นตำแหน่งแรงดันที่เหมาะสมของวงจร สวิทช์กระแสแบบ PMOS [3]

$$V_{Xopt} = \Delta V / 2 \quad (9)$$

$$\text{โดยที่ } \Delta V = V_{GS} - V_T = \sqrt{\frac{2 \cdot I \cdot L_3}{KP \cdot W_3}} = 308.2 mV$$

$$\text{ดังนั้น } V_{Xopt} = 154.1 mV$$

วงจร Switch-driver รูปที่ 7 (ข) รับสัญญาณดิจิตอลอินพุต (Din) ผ่านวงจรมอนิเตอร์ รูปที่ 7 (ก) สร้างสัญญาณควบคุม 2 ด้าน ให้ QP และ QN, สัญญาณจาก QP และ QN ทำให้เกิดการเปลี่ยนแปลงแรงดันที่ DinP และ DinN ซึ่งเป็นสัญญาณควบคุมให้กับวงจรสวิทช์กระแส, การปรับแต่งสัญญาณขาสูงให้มีความเร็วสั้นกว่าสัญญาณขาขึ้นจาก NMOS ทำให้  $V_{Xopt}$  อยู่ด้านล่าง สัญญาณขาขึ้นและขาสูงของ DinP และ DinN กำหนดความเร็วในการเปลี่ยนแปลงสัญญาณขาขึ้นได้จาก MpP และ MnP และสัญญาณขาสูงได้จาก Mn1P, Mn2P, Mn1N และ Mn2N, โดย Mn2P และ Mn2N นำแรงดันป้อนกลับจากเอาต์พุตด้านตรงข้าม วงจรนี้สามารถทำงานที่ความเร็วสูง และไม่จำเป็นต้องอาศัยสัญญาณ นาฬิกาเข้ามาช่วย ดังรูปที่ 7 (ค) ซึ่งจำเป็นต้องใช้วงจรมอนิเตอร์ป้อนกลับ(back-to-back inverter) ต่อที่อินพุตของวงจรเพื่อลดสัญญาณนาฬิกาไหลข้าม(clock-feed through) ดังรูปผลการจำลองการทำงานซึ่งอธิบายใน ส่วนที่ 3

3. ผลการจำลองการทำงานของวงจร

3.1 จำลองการทำงานของวงจรจ่ายกระแส

ทดสอบสภาวะทางไฟฟ้ากระแสตรงของวงจร โดยกำหนดให้ เกิดการเปลี่ยนแปลง VoutP ซึ่งเป็นผลทำให้ทำให้ Headroom-Voltage ลดลง แรงดัน Vds ของ Mp1 และ Mp2 เปลี่ยนไป เข้าสู่ย่าน Linear หรือ อาจเกิดการหยุดนำกระแสทำให้กระแส Id ของ Mp1 และ Mp2 ไม่ตรงกับกระแสไบอัสที่เปลี่ยนไป Static performance ของวงจรลดลง เมื่อ เปลี่ยนแปลงกระแสไบอัส เพื่อทดสอบความแม่นยำของวงจรจ่ายกระแส กับผลกระทบต่อ Vout ของวงจร, ในตารางที่ 4 เมื่อกระแสไบอัสเปลี่ยน ไป ±5% อันเนื่องมาจากผลกระทบใดๆ จากภายนอกต่อวงจรไบอัส ซึ่ง กระแสที่ Mp1 และ Mp2 จะต้องเปลี่ยนแปลงตามอย่างถูกต้อง และเมื่อ ต่อวงจร 12-bits แรงดัน Vout full-scale จะต้องเพิ่มขึ้นหรือลดลงตาม กระแสไบอัส จำลองการทำงานของวงจรจ่ายกระแสโดยให้วงจรทำงาน ที่ 12-bits วงจรจ่ายกระแสขนาดกันได้กระแส full-scaled จาก (1)

$$I_{full-scale} = 4.885 \mu \cdot \sum_{l=0}^{12-1} 2^l \cdot b_l(t) = 20.004075 mA(t)$$

แรงดันเอาต์พุต  $V_{RL}(t) = R_L \times I_{out}(t) = 1.0002(t)$  จำลองการทำงานสภาวะชั่วขณะดังรูปที่ 8 วงจร 12-bits DAC สามารถ ทำงานให้แรงดันที่เอาต์พุตได้ 1.0002 โวลต์ และเปลี่ยนแปลงตามกระแส ไบอัส ดังตารางที่ 4

ตารางที่ 4 แรงดันจุดต่างๆ เมื่อกระแสไบอัสผิดพลาด 5%

variation	Vout	Vds	Vds	Vds	Vg	Vg
$I_{mp1}$ $\mu A$	FS (V)	Mp1 (V)	Mp2 (V)	Mp3 (V)	Mp1 (V)	Mp2 (V)
4.885	1.0002	0.707	0.5294	0.263	1.21	0.714
4.641	0.950	0.690	0.580	0.279	1.228	0.743
5.15	1.054	0.724	0.471	0.249	1.192	0.683

3.2 จำลองการทำงานของวงจรควบคุมการสวิตช์ (Switch-Driver)

ทดสอบการทำงานของวงจร Switch-driver ร่วมกับวงจรจ่าย กระแสตำแหน่ง 16-LSB ซึ่งเท่ากับ 78.16- $\mu A$  ซึ่งเป็นขนาดของแหล่งจ่าย กระแสตัวใหญ่ที่สุด โดยการปรับแต่ง  $V_{Xopt}$  ให้เหมาะสมเพื่อให้เกิด glitch-voltage น้อยที่สุด แสดงดังรูปที่ 9 (ก-ข) แสดงผลการจำลองการ ทำงานของวงจรจ่ายกระแสที่มีการควบคุมการสวิตช์ ในรูปที่ 10 ค่าของ glitch-energy ของวงจรจะมีค่ามากที่สุดที่ตำแหน่ง 16-LSB เท่ากับ 0.01645pVs ที่ สัญญาณควบคุมการสวิตช์  $V_{Xopt} \approx 120mV$  วงจรใน รูปที่ 7 (ข) มีข้อดีคือไม่ต้องใช้สัญญาณนาฬิกาควบคุมการทำงาน ได้ ทำการเปรียบเทียบวงจรในรูปที่ 7 (ค) เป็นวงจรที่ต้องใช้สัญญาณนาฬิกา ควบคุมการทำงานซึ่งมีข้อดีคือสัญญาณอินพุต ที่ DinP และ DinN มีช่วง เวลาเริ่มทำงานพร้อมกันแต่ปัญหานี้สามารถกำหนดได้จากการทำงาน

ของชุด digital-decoder ซึ่งจะต้องมีส่วนประกอบของวงจรค้างสภาวะอยู่ ด้วย จากรูปที่ 11 จะเห็นว่าเกิดสัญญาณนาฬิกาไหลผ่านเข้ามาในสัญญาณ หลักของ 16-LSB จะมีระดับแรงดันสูงกว่าสัญญาณ 1-LSB สัญญาณ นาฬิกาไหลผ่านนี้ไม่สามารถกำจัดให้หมดได้แต่สามารถลดระดับได้จาก วงจรวงจรรีนาเวอร์เตอร์ป้อนกลับ และการต่อวงจรอินเวอร์เตอร์ระหว่าง วงจรสวิตช์กระแสกับวงจรควบคุมการสวิตช์

4. บทสรุป

การออกแบบวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกที่นำ เสนอนี้ได้ออกแบบโดยคำนึงถึงองค์ประกอบต่างๆ คือ จำนวนบิต, กระแสและแรงดันที่เอาต์พุต, แหล่งจ่ายแรงดัน, เปอร์เซนต์ความคลาด เคลื่อนจากเทคโนโลยีการผลิต จนถึงขนาดของ MOS ทรานซิสเตอร์ที่ใช้ ผลการจำลองการทำงานสามารถยืนยันวิธีการออกแบบที่ใช้เพื่อความ แม่นยำของการแปลงสัญญาณสูง รวมถึงวิธีการแปลงสัญญาณและปัญหา ของสัญญาณนาฬิกาไหลข้าม, วิธีการออกแบบที่นำเสนอนี้ได้จำลองการ ทำงานตรวจสอบความถูกต้องและสามารถประยุกต์ใช้ในการออกแบบกับ วงจร DAC อื่นๆได้ การคำนึงถึงสัญญาณนาฬิกาไหลข้ามเป็นส่วนที่นำ สนใจวงจรสวิตช์อาจไม่จำเป็นต้องใช้สัญญาณนาฬิกาควบคุมเพราะจะ ทำให้เกิดสัญญาณนาฬิกาไหลข้ามมาที่ เอาต์พุต และยังสิ้นเปลืองพื้นที่ และพลังงานเพิ่มจากวงจรชุดกำจัดสัญญาณนาฬิกาไหลข้าม อนึ่งการ ทำงานของ วงจรมีความสอดคล้องกันอย่างถูกต้องจากสัญญาณนาฬิกาที่ ใช้ในวงจร Digital-Decode อยู่แล้ว

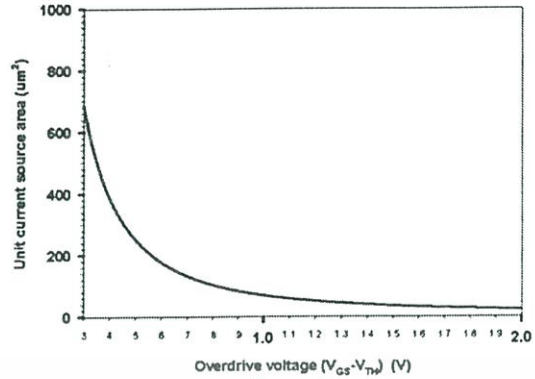
กิตติกรรมประกาศ

ขอขอบพระคุณ โครงการวิจัย โทรศัพท์เคลื่อนที่ยุคที่ 3 (Thailand's Third Generation Mobile Phone Project), ศูนย์เทคโนโลยี โทรคมนาคมและคอมพิวเตอร์แห่งชาติ (NECTEC)

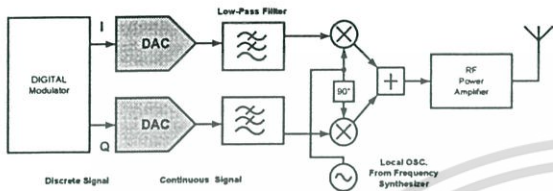
เอกสารอ้างอิง

- [1] Mikael Gustavsson, J. Jacob Wikner, and Nianxiong Nick Tan., "CMOS DATA CONVERTERS FOR COMMUNICATIONS" KLUWER ACADEMIC PUBLISHERS, ISBN 0-7923-7780-X.
- [2] B. Razavi, "Principles of Data Conversion System Design," Piscataway, NJ: IEEE Press, 1995, pp. 62 63.
- [3] J. Bastos, A. M. Marques, M. S. J. Steyaert, and W. Sansen, "A 12-bit intrinsic accuracy high-speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1959 1969, Dec. 1998.
- [4] C-H. Lin and K. Bult, "A 10b 500 MSamples/s CMOS DAC in 0.6mm2," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1948 1958, Dec. 1998.
- [5] J. Bastos, M. Steyaert, and W. Sansen, "A high yield 12-bit 250-MS/s CMOS D/A convert," in *Proc. IEEE 1996 CICC*, May 1996, pp.431 434.

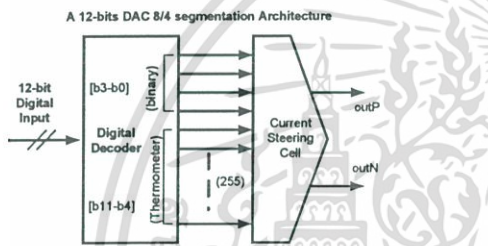
- [6] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, pp.1433-1439, Oct. 1989.
- [7] A. Van den Bosch, M. Borremans, M. Steyaert, and W. Sansen, "A 10-b 1-Gsample/s Nyquist Current-Steering CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 36 No.3, pp.315-324, March 2001.



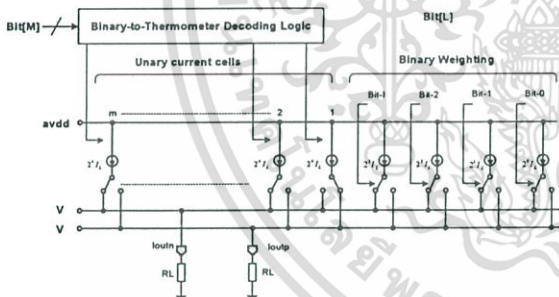
รูปที่ 5 ความสัมพันธ์ของพื้นที่ที่เกกที่เหมาสมกับแรงดัน Vgs



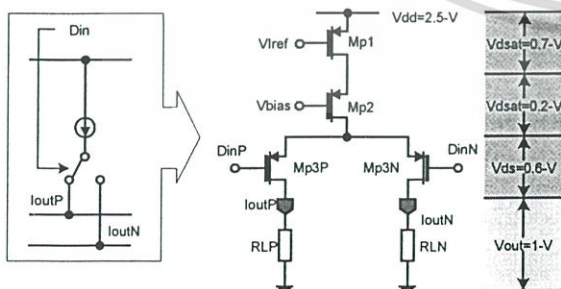
รูปที่ 1 วงจรรอกนอกส่วนหน้ำในภาคส่งแบบ Direct Conversion



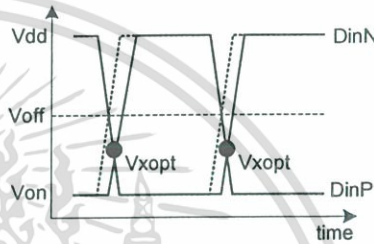
รูปที่ 2 โครงสร้างการทำงานของวงจรแปลงสัญญาณ DAC



รูปที่ 3 วงจร 12-bit 8/4 segmentation DAC



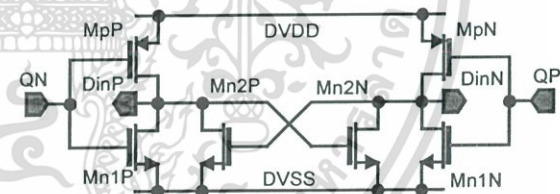
รูปที่ 4 แทนแห่งง่ายกระแสด้วย PMOS ทรานซิสเตอร์



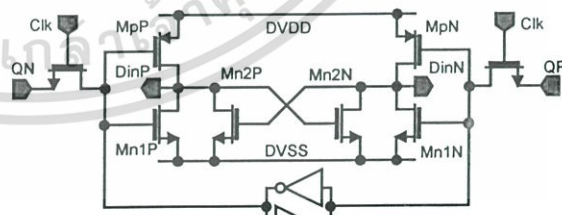
รูปที่ 6 สัญญาณควบคุมการสวิตช์



(ก) วงจรแปลง 1 อินพุต เป็น 2 อินพุต

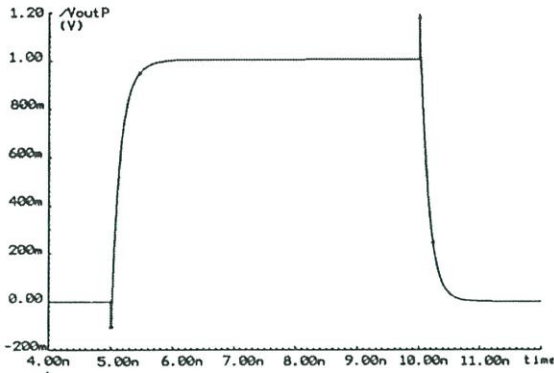


(ข) วงจรควบคุมการสวิตช์แบบไม่ใช้สัญญาณนาฬิกา

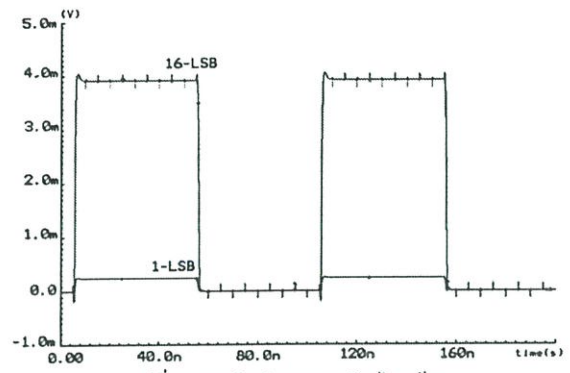


(ค) วงจรควบคุมการสวิตช์แบบใช้สัญญาณนาฬิกา

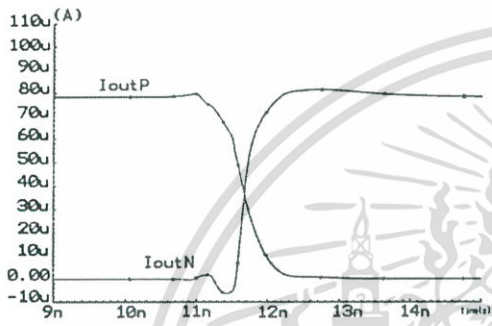
รูปที่ 7 วงจรควบคุมการสวิตช์



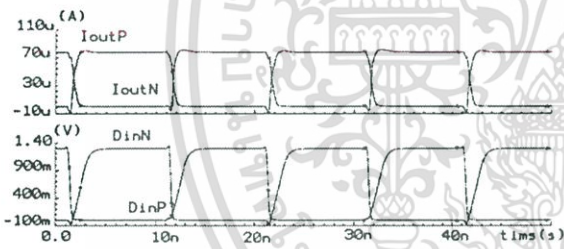
รูปที่ 8 Output-Swing ของวงจรถ่าย 12-bits DAC without switch-driver



รูปที่ 11 การเกิดสัญญาณนาฬิกาหลายขั้ว

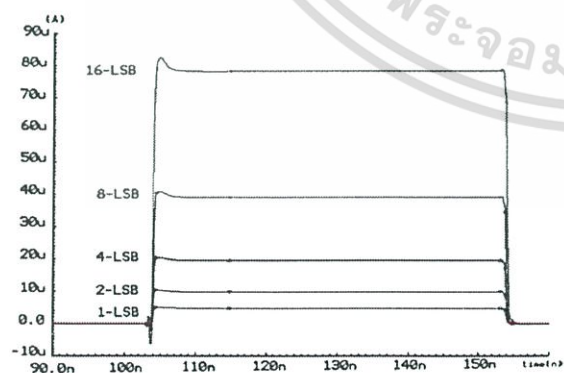


(ก) ผลการจำลองการกระแสที่เอาต์พุตและ glitch



(ข) ผลการจำลองการทำงานของวงจรควบคุมการสวิตซ์

รูปที่ 9 สัญญาณของวงจรควบคุมการสวิตซ์ ที่ตำแหน่ง 16-LSB



รูปที่ 10 กระแสของ 1-LSB, 2-LSB, 4-LSB, 8-LSB และ 16-LSB

ประวัติผู้เขียนบทความ



วิชัย แสงนาค ปี 2536 สำเร็จการศึกษาระดับประกาศนียบัตรวิชาชีพ สาขาอิเล็กทรอนิกส์ จากวิทยาลัยเทคนิคอ่างทอง ปี 2539 สำเร็จการศึกษาระดับประกาศนียบัตรวิชาชีพชั้นสูง สาขาอิเล็กทรอนิกส์ จากโรงเรียนช่างฝีมือทหาร และ ปี 2543 สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมอิเล็กทรอนิกส์ จากคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปัจจุบันกำลังศึกษาหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ศึกษาและทำงานวิจัยด้านการออกแบบวงจรรวมอนาล็อก ในระบบสื่อสาร



อภิรักษ์ ชนชยานนท์ สำเร็จการศึกษาในระดับปริญญาตรี-โท และเอก สาขาวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ จากอิมพีเรียลคอลเลจ มหาวิทยาลัยลอนดอน ในปี พ.ศ.2538 และ 2542 ตามลำดับ, ปัจจุบันดำรงตำแหน่ง ผู้ช่วยศาสตราจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทำงานวิจัยทางด้าน การออกแบบวงจรรวม สำหรับการนำไปใช้งานในระบบสื่อสารและทางชีวภาพการแพทย์ ตั้งแต่ปี พ.ศ.2542-ปัจจุบัน

EL09

## ประวัติผู้เขียน

ชื่อ-นามสกุล นายวิชัย แสงนาค  
วัน เดือน ปีเกิด 20 กุมภาพันธ์ พ.ศ. 2518 อ.วิเศษชัยชาญ จ.อ่างทอง

## ประวัติการศึกษา:

ปี 2536 ปวช. สาขาอิเล็กทรอนิกส์ วิทยาลัยเทคนิคอ่างทอง  
ปี 2538 ปวส. สาขาอิเล็กทรอนิกส์ โรงเรียนช่างฝีมือทหาร  
ปี 2543 วศ.บ. สาขาวิศวกรรมอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีมหานคร

## ประสบการณ์ทำงาน:

2536-2539 ช่างโทรคมนาคม บริษัท พีคอม แอนด์ เคเบิล จำกัด  
2542-2545 ผู้ช่วยอาจารย์ มหาวิทยาลัยเทคโนโลยีมหานคร  
2545-2546 ผู้ช่วยนักวิจัย โครงการวิจัยและพัฒนาระบบโทรคมนาคมสำหรับโทรศัพท์เคลื่อนที่รุ่นที่ 3 ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ  
2547-2548 วิศวกรอาวุโส บริษัทไทยสามารท์การ์ด จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้