

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การบีบอัดคลื่นไฟฟ้าหัวใจโดยใช้การแปลงเวฟเล็ตและเข้ารหัส  
แบบไบนารีรันเลนต์บนเอฟพีจีเอ

IMPLEMENTATION OF ECG DATA COMPRESSION BASED  
ON WAVELET TRANSFORM AND BINARY  
RUNLENGTH ON FPGA



ฉพ.  
๑๗๘๑๗  
๒๕๔๘

เลขหมู่.....  
เลขทะเบียน..... 60256  
วัน,เดือน,ปี 27 ส.ย. 2549

b. 115๕๑๖๓๑  
i. ....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์  
บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. ๒๕๔๘

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2005**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การบีบอัดคลื่นไฟฟ้าหัวใจโดยใช้การแปลงเวฟเล็ตและการเข้ารหัสแบบไบนารี  
รับเล่นต์บนเอฟพีจีเอ  
IMPLEMENTATION OF ECG DATA COMPRESSION BASED ON WAVELET  
TRANSFORM AND BINARY RUNLENGTH ON FPGA

ชื่อนักศึกษา นายสุเทพ ชนาเดชนันทสกุล  
รหัสประจำตัว 45061138  
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์  
อาจารย์ผู้ควบคุมวิทยานิพนธ์ ดร.กิติพล ชิตสกุล

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.มนัส	สังวรศิลป์	
ผศ.ดร.ยูทธนา	คิดใจเดียว	
ผศ.ดร.สุพันธุ์	ตั้งจิตกุศลมัน	
ดร.กิติพล	ชิตสกุล	

วัน/เดือน/ปี ที่สอบ 11 สิงหาคม 2548 เวลา 11.30-13.30 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว

(ผศ.ดร.จาวุฒิ จรรย์สุคนธ์)

คณบดีบัณฑิตวิทยาลัย

วันที่... ๒๘ ...เดือน... ๗๖๖๗ ... พ.ศ. ๒๕๔๘

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การบีบอัดคลื่นไฟฟ้าหัวใจ โดยใช้การแปลงเวฟเล็ตและเข้ารหัสแบบไบนารีรันเลนดัมบนเอฟพีจีเอ
นักศึกษา	นายสุเทพ ธนาเดชนันทสกุล
รหัสประจำตัว	45061138
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ดร. กิตติพล ชิตสกุล

### บทคัดย่อ

คลื่นไฟฟ้าหัวใจถูกนำไปใช้เป็นหลักในการวินิจฉัยทางการแพทย์ทางด้านหัวใจ และ หลอดเลือด แต่จากปัญหาของการจัดเก็บข้อมูลในรูปแบบดิจิทัลที่มีจำนวนมาก โดยเฉพาะใน เครื่องบันทึกคลื่นไฟฟ้าหัวใจแบบพกพาที่มีหน่วยความจำจำกัด การบีบอัดคลื่นไฟฟ้าหัวใจจึงได้ถูก นำมาแก้ปัญหาโดยอยู่บนหลักการสำคัญคือ ทำให้มีค่าอัตราการลดข้อมูลสูง และค่าเปอร์เซ็นต์ความ ผิดพลาดเฉลี่ยยกกำลังสองต่ำ งานวิจัยนี้เป็นการพัฒนากระบวนการบีบอัดเพื่อศึกษาความเป็นไป ได้ในการนำมาใช้ได้กับการบีบอัดในเวลาจริงของเครื่องบันทึกคลื่นไฟฟ้าหัวใจโดยประยุกต์ใช้การ แปลงแบบลิฟต์ิงเวฟเล็ตร่วมกับการควอนไทซ์แบบสเกล่าและการเข้ารหัสไบนารีรันเลนดัม โดยทำ การออกแบบเบื้องต้นด้วยภาษาวีเอชดีแอลจำลองการทำงาน ตั้งแต่ระหว่งจรบนอุปกรณ์เอฟพีจีเอ เพื่อเป็นต้นแบบสำหรับนำไปประยุกต์สร้างเครื่องบันทึกคลื่นไฟฟ้าหัวใจ แสดงผลการบีบอัด สัญญาณจากฐานข้อมูล MIT-BIH ที่ระดับ 2-6 เท่าความเพี้ยนอยู่ในช่วง 1-4%

**Thesis Title** Implementation of ECG Data Compression Based on Wavelet Transform and Binary Runlength on FPGA

**Student** Mr. Suthep Thanadetmanthasakul

**Student ID.** 45061138

**Degree** Master of Engineering

**Program** Electronics Engineering

**Year** 2005

**Thesis Advisor** Dr. Kitiphol Chitsakul

### ABSTRACT

Electrocardiogram (ECG) is mainly employed in diagnosis of cardiovascular diseases. The amount of digital data storage especially on a portable ECG recording device is of concern because of the limitation of physical memories. A compression technique has been proposed in this thesis to reduce data with high compression ratio and low percent root mean square difference. Moreover it could be applicable in a portable ECG recording device. The algorithm is based on the lifting wavelet transform, scalar quantize and binary run-length coding. The hardware design involves reconfiguring the encoder in an efficient manner of algorithm with synthesis, simulation and architectural tests on FPGAs prototype. The experimental results with MIT-BIH ECG database show that the compression ratio was between 2 to 6 with the root mean square difference of 1-4%.

# กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ประสบความสำเร็จได้ด้วยการได้รับการสนับสนุน ความช่วยเหลือต่าง ๆ จาก ดร. กิตติพล ชิตสกุล ในฐานะอาจารย์ที่ปรึกษา ซึ่งให้แนวความคิด คำแนะนำ ให้การปรึกษาดูแลเอาใจใส่ และผลักดันให้มีกำลังใจในการทำงานตลอดมา ผู้วิจัยขอขอบพระคุณในความอนุเคราะห์ที่ได้รับเป็นอย่างสูง

ขอขอบพระคุณอาจารย์ทุก ๆ ท่านที่อบรมสั่งสอนและให้ความรู้ที่มีค่ายิ่งต่อการทำงาน ขอขอบพระคุณบิดา มารดา และพี่ ๆ ที่คอยให้กำลังใจและการสนับสนุนในทุก ๆ ทาง ขอขอบคุณ คุณศักดิ์พันธ์ คล้ายดอกจันทร์, คุณเกรียงศักดิ์ ชัยสวัสดิ์, คุณธานีรินทร์ มณีโชติ, คุณวัชรพล พงษ์ปาลิต และเพื่อน ๆ พี่ ๆ ทุกคนสำหรับการช่วยเหลือต่าง ๆ ขอขอบคุณ นายแพทย์พรชัย งานจรวยราษฎร์ ประจำศูนย์โรคหัวใจ โรงพยาบาลชลบุรีที่สละเวลาให้คำแนะนำเกี่ยวกับงานวิจัยและประเมินแบบสอบถาม ประโยชน์อันใดที่พึงจะได้รับจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอขอบแต่ผู้มีพระคุณทุกท่าน

สุเทพ ธนาเดชนันทสกุล

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ.....	IV
สารบัญตาราง .....	VI
สารบัญรูป .....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของงานวิจัย.....	1
1.3 ขอบเขตของงานวิจัยและ โครงร่างของวิทยานิพนธ์.....	1
บทที่ 2 หลักการของคลื่นไฟฟ้าหัวใจ.....	3
2.1 โครงสร้างหัวใจ.....	3
2.2 คุณสมบัติและลักษณะคลื่นไฟฟ้าหัวใจ.....	4
2.3 การวัดคลื่นไฟฟ้าหัวใจ.....	7
บทที่ 3 ทฤษฎีการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ.....	11
3.1 ทฤษฎีการบีบอัดข้อมูล.....	11
3.2 การแปลงเวฟเล็ต.....	20
3.3 การแปลงลิฟต์เวฟเล็ต.....	32
3.4 มาตรฐานในการวัดประสิทธิภาพการบีบอัดคลื่นไฟฟ้าหัวใจ.....	36
บทที่ 4 เอฟพีจีเอ.....	38
4.1 เอฟพีจีเอ.....	38
4.2 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์.....	43
4.3 การออกแบบระบบดิจิทัล.....	46
4.4 การออกแบบจากบนลงล่าง.....	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)

	หน้า
4.5 ความสามารถของภาษาวีเอชดีแอล.....	50
4.6 ประวัติของภาษาวีเอชดีแอล.....	51
4.7 ข้อกำหนดของภาษาวีเอชดีแอล.....	52
4.8 ส่วนประกอบต่างๆ ของภาษาวีเอชดีแอล.....	54
<b>บทที่ 5 การออกแบบการบีบอัดคลื่นไฟฟ้าหัวใจ.....</b>	<b>59</b>
5.1 กระบวนการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ.....	59
5.2 การออกแบบวงจรในลักษณะ โครงสร้างและการบรรยายพฤติกรรม อุปกรณ์เอฟพีจีเอ.....	63
<b>บทที่ 6 ผลการทดลอง.....</b>	<b>69</b>
6.1 การทดลองการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจด้วยค่าควอนไทซ์แตกต่างกัน.....	69
6.2 การทดลองกระบวนการบีบอัดข้อมูลด้วยเวฟเล็ตตระกูล CDF.....	87
6.3 การทดลองการบีบอัดข้อมูลด้วยการแปลงเวฟเล็ตที่ระดับความละเอียดแตกต่าง.....	88
6.4 การทดลองการบีบอัดข้อมูลบนอุปกรณ์เอฟพีจีเอ.....	89
6.5 การทดลองการบีบอัดข้อมูลบนอุปกรณ์เอฟพีจีเอ.....	93
<b>บทที่ 7 สรุปผลการวิจัยและข้อเสนอแนะ.....</b>	<b>94</b>
<b>เอกสารอ้างอิง.....</b>	<b>56</b>
<b>ภาคผนวก.....</b>	<b>98</b>
ภาคผนวก ก รายละเอียดสัญญาณไฟฟ้าหัวใจที่ใช้ในการทดสอบ.....	99
ภาคผนวก ข รายละเอียดอุปกรณ์ FPGA เบอร์ FLEX10K.....	107
ภาคผนวก ค ผลงานวิจัยที่ได้รับตีพิมพ์.....	111
<b>ประวัติผู้เขียน.....</b>	<b>112</b>

# สารบัญตาราง

ตารางที่	หน้า
5.1 แสดงจำนวน LCs ที่ใช้ในแต่ละ โมดูล.....	68
6.1 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วย ค่าควอนไทล์ที่แตกต่างกัน.....	70
6.2 แสดงค่า PRD ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วย ค่าควอนไทล์ที่แตกต่างกัน.....	71
6.3 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วย เวฟเล็ทตระกูล CDF(X,X).....	87
6.4 แสดงค่า PRD ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วย เวฟเล็ทตระกูล CDF(X,X).....	87
6.5 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วย เวฟเล็ทที่ระดับการแปลงต่าง ๆ.....	88
6.6 แสดงผลประเมินจากแบบสอบถาม.....	93

# สารบัญรูป

รูปที่	หน้า
2.1	ห้องหัวใจทั้ง 4 และจุดกำเนิดไฟฟ้าหัวใจ.....3
2.2	แสดงลักษณะคลื่นไฟฟ้าที่ตำแหน่งต่าง ๆ ของหัวใจ.....5
2.3	คลื่นไฟฟ้าหัวใจของคนปกติ.....6
2.4	แสดงช่วงความถี่ของคลื่นไฟฟ้าหัวใจสำหรับการประยุกต์ใช้งานแบบต่าง ๆ.....6
2.5	วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Standard Limb Lead.....8
2.6	วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Augmented Limb Lead.....8
2.7	วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Unipolar Chest Lead.....9
2.8	ตำแหน่งการติดขั้ววัดบนหน้าอกของวิธีการวัดคลื่นไฟฟ้าหัวใจแบบ 2.9 Unipolar Chest Lead $V_1$ ถึง $V_6$ .....9
2.9	ตัวอย่างคลื่นไฟฟ้าหัวใจแบบ Unipolar Chest Lead $V_1$ ถึง $V_6$ และ ตำแหน่งการติดขั้ววัดบนหน้าอกโดยมองภาพตัดขวางของลำตัว.....9
2.10	ตำแหน่งการติดขั้ววัดไฟฟ้าของวิธีการวัดคลื่นไฟฟ้าหัวใจเพื่อการมอนิเตอร์.....10
3.1	แสดงการแบ่งช่วงของความน่าจะเป็นเมื่อมีข้อมูลอินพุต 3 ตัว.....12
3.2	การควอนไทซ์แบบยูนิฟอร์ม.....16
3.3	ประเภทการลดข้อมูล.....20
3.4	แสดงรูปคลื่น Sine และ Daubechies Wavelet $\psi_{D20}$ .....21
3.5	แสดงสเปซย่อย $V_j$ ใน $L^2(\mathbb{R})$ ตามนิยามของการวิเคราะห์แบบมัลติเรโซลูชัน.....23
3.6	แสดงสเปซย่อย $W_j$ ใน $L^2(\mathbb{R})$ .....24
3.7	Harr และ Triangle Scaling Function .....26
3.8	Harr และ Triangle Wavelet Function .....28
3.9	แสดง Two-Band Analysis Filter Bank ของการแปลงเวฟเล็ตจากระดับ ความละเอียด $j+1$ ไปยังระดับความละเอียด $j$ .....30
3.10	แสดง Two-Band Analysis Filter Bank ของการแปลงเวฟเล็ตจากระดับ ความละเอียด $j$ ไปยังระดับความละเอียด $j-L$ .....30
3.11	แสดง Frequency Bands ของการแปลงเวฟเล็ตจากระดับความละเอียด $j$ ไปยังระดับความละเอียด $j-1$ .....30
3.12	แสดง Frequency Bands ของการแปลงเวฟเล็ตจากระดับความละเอียด $j$ ไปยังระดับความละเอียด $j-2$ .....31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.13	แสดงการแปลงลิฟต์เวฟที่เกิดจากระดับความละเอียด $j$ ไปยังระดับความละเอียด.....34
3.14	แสดงการแปลงลิฟต์เวฟที่เกิดเพิ่มหน่วยแบบสองระดับจากระดับ $j$ ไปที่ระดับ $j-2$ .....34
3.15	แสดงการแปลงกลับลิฟต์เวฟที่เกิดจากระดับความละเอียด $j-1$ ไปยังระดับความละเอียด.....35
3.16	แสดง Scaling function ของตระกูล CDF(2,2).....35
3.17	แสดง Wavelet function ของตระกูล CDF(2,2).....35
4.1	โครงสร้างภายในของ FPGA ตระกูล FLEX10K .....39
4.2	ขาภายในของ FPGA ตระกูล FLEX10K .....40
4.3	การต่อสาย Byte Blaster เข้ากับคอมพิวเตอร์ผ่านทางพอร์ตพริ้นเตอร์.....41
4.4	วงจร Single FLEX10K Device Configuration in PS Mode.....42
4.5	วงจร FLEX10K Single Device Configuration in JTAG Mode.....42
4.6	ขั้นตอนการออกแบบระบบดิจิทัล.....47
4.7	ขั้นตอนการออกแบบจากบนลงล่าง .....48
4.8	แสดง โครงสร้างโดยทั่วไปของหน่วยการออกแบบแอนติตี้.....54
4.9	แสดง โครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม.....55
4.10	แสดงหน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ตามฟังก์ชันบูลีน.....56
4.11	แสดง โครงสร้างภายในสถาปัตยกรรมของมัลติเพลกซ์.....56
4.12	หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภท โครงสร้าง.....57
4.13	หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภทพหุติกรรม.....57
5.1	กระบวนการลดข้อมูลคลื่นไฟฟ้าหัวใจโดยใช้เวฟเล็ต.....59
5.2	แสดงการแปลงเวฟเล็ตที่ระดับความละเอียดที่ 1 จากข้อมูล 2048 แซมเปิ้ล.....61
5.3	แสดงการแปลงเวฟเล็ตที่ระดับความละเอียดที่ 2 จากสัมประสิทธิ์ ความถี่ต่ำจากระดับที่ 1.....61
5.4	การดัดแปลงรูปแบบข้อมูลก่อนการเข้ารหัส.....62
5.5	กระบวนการสร้างข้อมูลคลื่นไฟฟ้าหัวใจกลับคืน.....63
5.6	แสดงส่วนประกอบต่าง ๆ เพื่อจำลองการทำงานของวงจรการบีบอัด.....64
5.7	แสดงรูปแบบในการแปลงเวฟเล็ต 1 ระดับ.....64
5.8	แสดงบล็อกของวงจรการแปลงเวฟเล็ต.....65
5.9	แสดง Timing Diagram วงจรการแปลงเวฟเล็ต.....65

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.10	แสดงชีพและจำนวนของลจิกที่ใช้ภายในวงจรการแปลงเวฟสี่ต.....65
5.11	แสดงบล็อกของวงจรคิดต่อข้อมูลผ่านพอร์ทอนุกรม.....66
5.12	แสดงTiming Diagram วงจรวงจรถัดต่อข้อมูลผ่านพอร์ทอนุกรม.....66
5.13	แสดงชีพและจำนวนของลจิกที่ใช้ภายในวงจรคิดต่อข้อมูลผ่านพอร์ทอนุกรม.....66
5.14	แสดงบล็อกของวงจรการเข้ารหัส.....67
5.15	แสดงTiming Diagram วงจรการเข้ารหัส.....67
5.16	แสดงชีพและจำนวนของลจิกที่ใช้ภายในวงจรการเข้ารหัส.....67
5.17	แสดงระดับการแปลงภายในโมดูลการแปลง.....68
5.18	แสดงการติดต่อระหว่างโมดูลควบคุมและโมดูลการแปลง.....68
6.1	แสดงกราฟความสัมพันธ์ระหว่างค่า Compression Ratio และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน.....71
6.2	แสดงกราฟความสัมพันธ์ระหว่างค่า PRD และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน.....72
6.3	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....73
6.4	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....73
6.5	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....74
6.6	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....74
6.7	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....75
6.8	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....75
6.9	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....76
6.10	แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....76

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
6.11 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....	77
6.12 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....	77
6.13 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....	78
6.14 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....	78
6.15 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....	79
6.16 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....	79
6.17 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....	80
6.18 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....	80
6.19 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....	81
6.20 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....	81
6.21 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....	82
6.22 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....	82
6.23 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....	83
6.24 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16.....	83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
6.25 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....	84
6.26 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....	84
6.27 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8.....	85
6.28 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size =16.....	85
6.29 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32.....	86
6.30 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ต้นแบบ กับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40.....	86
6.31 แสดงการเปรียบเทียบอัตราการบีบอัดคลื่นไฟฟ้าหัวใจที่ระดับการแปลงเวฟเล็ด ที่ระดับต่าง ๆ.....	88
6.32 แสดงโปรแกรมแสดงผลสัญญาณที่ถูกสร้างกลับบนคอมพิวเตอร์.....	89
6.33 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 101 ที่ผ่านกระบวนการบีบอัดจากวงจร บนเอฟพีจีเอ FLEX10K.....	90
6.34 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 102 ที่ผ่านกระบวนการบีบอัดจากวงจร บนเอฟพีจีเอ FLEX10K.....	90
6.35 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 103 ที่ผ่านกระบวนการบีบอัดจากวงจร บนเอฟพีจีเอ FLEX10K.....	91
6.36 แสดงรูปคลื่นไฟฟ้าหัวใจ Record A ที่ผ่านกระบวนการบีบอัดจากวงจรบน เอฟพีจีเอ FLEX10K.....	91
6.37 แสดงรูปคลื่นไฟฟ้าหัวใจ Record B ที่ผ่านกระบวนการบีบอัดจากวงจรบน เอฟพีจีเอ FLEX10K.....	92
6.38 แสดงรูปคลื่นไฟฟ้าหัวใจ Record C ที่ผ่านกระบวนการบีบอัดจากวงจรบน เอฟพีจีเอ FLEX10K.....	92

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

คลื่นไฟฟ้าหัวใจ (Electrocardiogram: ECG) ของผู้ป่วยอาจจะถูกบันทึกในรูปแบบดิจิทัลเพื่อใช้ในการวินิจฉัยตลอด 24 หรือ 48 ชั่วโมงซึ่งทำให้มีข้อมูลจำนวนมาก นอกจากนี้เครื่องไอซียูมอนิเตอร์ (ICU Monitor) บางแบบจะบันทึกคลื่นไฟฟ้าหัวใจแบบต่อเนื่องในหลายลักษณะการวัดด้วยอัตราการสุ่มสัญญาณสูงลงบนหน่วยความจำ ซึ่งทำให้เกิดความยุ่งยากในการจัดเก็บและค้นหาข้อมูลที่มีปริมาณมาก ดังนั้นจึงได้มีการนำทฤษฎีการประมวลผลสัญญาณมาใช้สำหรับการลดขนาดข้อมูลก่อนการบันทึกเพื่อช่วยลดปัญหาการใช้พื้นที่หน่วยความจำ การลดขนาดข้อมูลคลื่นสัญญาณไฟฟ้าหัวใจมีจุดมุ่งหมายคือต้องการให้อัตราการลดขนาดข้อมูล (Compression Ratio: CR) มีค่าสูง ในขณะที่เปอร์เซ็นต์ความแตกต่างเฉลี่ยยกกำลังสองมีค่าต่ำ (Percent Root Mean Square Difference: PRD) วิทยานิพนธ์นี้จะได้นำเสนอเทคนิคการแปลงเวฟเล็ดแบบลิฟต์ติ้ง ควอนไทซ์ และการเข้ารหัสแบบไบนารีรีนเลนต์ และได้เสนอการอิมพลิเมนต์กระบวนการบนอุปกรณ์เอฟพีจีเอเพื่อเป็นต้นแบบนำไปประยุกต์สร้างเครื่องบันทึกคลื่นไฟฟ้าหัวใจ

### 1.2 วัตถุประสงค์ของงานวิจัย

วัตถุประสงค์ของงานวิจัยสามารถสรุปเป็นข้อๆ ได้ดังนี้

1. เพื่อนำเสนอวิธีการลดขนาดข้อมูลคลื่นไฟฟ้าหัวใจซึ่งมีพื้นฐานอยู่บนลิฟต์ติ้งเวฟเล็ด
2. เพื่อเป็นแนวทางในการพัฒนากระบวนการลดขนาดข้อมูลบนอุปกรณ์เอฟพีจีเอ

### 1.3 ขอบเขตของงานวิจัยและโครงสร้างของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการลดขนาดข้อมูลคลื่นสัญญาณไฟฟ้าหัวใจซึ่งมีพื้นฐานอยู่บนลิฟต์ติ้งเวฟเล็ดและการเข้ารหัสแบบไบนารีรีนเลนต์ โดยได้ให้รายละเอียดของทฤษฎี การออกแบบ และการทดสอบโดยจะแบ่งรายละเอียดต่างๆ ออกเป็น 7 บทดังต่อไปนี้

บทที่ 1 บทนำ

กล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของงานวิจัย และเนื้อหาของวิทยานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2 หลักการคลื่นไฟฟ้าหัวใจ

กล่าวถึงโครงสร้างของหัวใจ คุณสมบัติ ลักษณะคลื่นไฟฟ้าหัวใจ ซึ่งรวมไปถึงการเกิดรูปแบบคลื่นไฟฟ้าหัวใจ การวัดคลื่นไฟฟ้าหัวใจในรูปแบบต่างๆ

## บทที่ 3 ทฤษฎีการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

กล่าวถึงทฤษฎีของการบีบอัดข้อมูลในรูปแบบต่างๆ ซึ่งประกอบด้วยรูปแบบการลดข้อมูลที่ไม่มีการสูญเสีย แบบการลดข้อมูลที่มีการสูญเสียและแบบการลดข้อมูลแบบไฮบริด การแปลงเวฟเล็ต การวิเคราะห์สัญญาณด้วยเวฟเล็ต เวฟเล็ตเต็มหน่วย การแปลงลิฟต์เวฟเล็ต และมาตรฐานในการวัดประสิทธิภาพการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

## บทที่ 4 เอฟพีจีเอ

กล่าวถึงชนิด ลักษณะของเอฟพีจีเอ และโครงสร้างภายในเอฟพีจีเอ รูปแบบต่างๆ รวมไปถึงการโปรแกรมอุปกรณ์ การออกแบบวงจรโดยการอธิบายลักษณะพฤติกรรมของวงจร ออกแบบระบบดิจิทัล ความสามารถของภาษาวีเอสดีแอล ประวัติความเป็นมาของภาษาวีเอสดีแอล ข้อกำหนดต่างๆ

## บทที่ 5 การออกแบบการบีบอัดคลื่นไฟฟ้าหัวใจ

กล่าวถึงการระบวนการลดข้อมูลคลื่นไฟฟ้าหัวใจโดยใช้ลิฟต์เวฟเล็ตและการเข้ารหัสแบบไบนารีรันเลนส์ การออกแบบวงจรต่างๆ ของกระบวนการบีบอัดบนอุปกรณ์เอฟพีจีเอ

## บทที่ 6 การทดลองและผลการทดลอง

กล่าวถึงการทดสอบกระบวนการบีบอัดข้อมูลและเปรียบเทียบกับสัญญาณต้นแบบด้วยคลื่นไฟฟ้าหัวใจจากฐานข้อมูลจาก MIT-BIH แสดงค่าประสิทธิภาพของกระบวนการ แสดงผลจากการจำลองการทำงาน

## บทที่ 7 สรุปผลการทดลองและแนวทางการพัฒนา

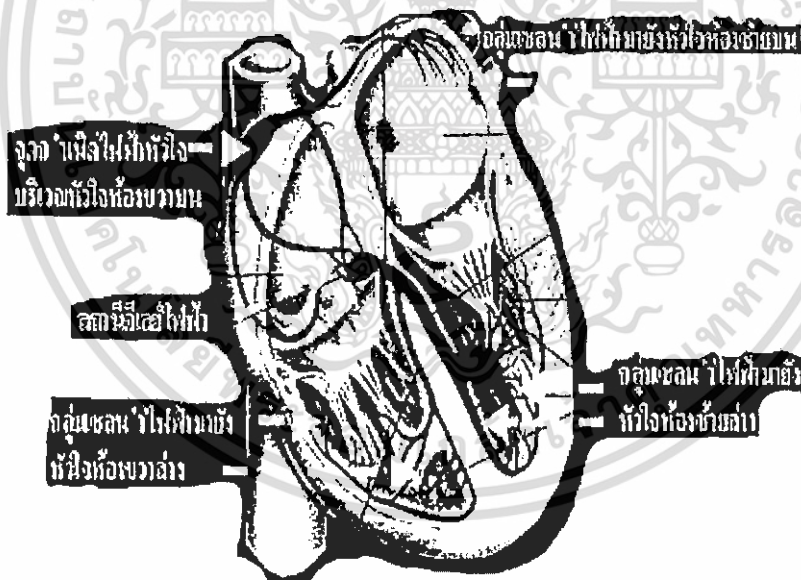
ในบทนี้จะกล่าวถึงผลสรุปของงานวิจัย ปัญหาและแนวทางแก้ไข

## บทที่ 2

# หลักการของคลื่นไฟฟ้าหัวใจ

### 2.1 โครงสร้างหัวใจ

หัวใจเป็นอวัยวะที่สำคัญมากที่สุดอย่างหนึ่งของร่างกายทำหน้าที่สูบฉีดโลหิตให้หมุนเวียนไปทั่วร่างกาย หัวใจเป็นเครื่องสูบลมที่ถูกควบคุมด้วยสัญญาณทางไฟฟ้าทำให้เกิดชุดของเหตุการณ์ต่างๆ ขึ้น เหตุการณ์แรก หัวใจจะมีการพักระหว่างทุกครั้งที่มีการเต้น โดยหัวใจห้องบนทั้งซีกซ้ายและขวามีการหดตัว จากนั้นหัวใจห้องล่างทั้ง 2 ห้องจึงมีการบีบตัวและในระหว่างการเต้นหัวใจจะพักให้เลือดจากร่างกายและปอดเข้าสู่หัวใจห้องบนของซีกขวาและซ้ายลำดับ พร้อมกันนั้นเลือดจะไหลเข้าสู่หัวใจห้องล่างจากนั้นหัวใจห้องบนจะบีบตัวเป็นการบังคับให้เลือดไหลลงสู่หัวใจส่วนล่างมากขึ้นและหยุดอยู่ในขณะนั้นชั่วคราวเพื่อให้เวลาให้เลือดไหล จากนั้นหัวใจส่วนล่างจะบีบตัวการหดตัวของหัวใจส่วนล่างจะเป็นการบังคับให้เลือดไหลจากหัวใจห้องล่างขวาและจากหัวใจห้องล่างขวาซีกซ้ายเข้าสู่ปอดและเข้าสู่ร่างกายตามลำดับ



รูปที่ 2.1 ห้องหัวใจทั้ง 4 และจุดกำเนิดไฟฟ้าหัวใจ

ซึ่งสามารถอธิบายเป็นเหตุการณ์ได้ดังนี้

1. การกระตุ้นจะเกิดจากจุด ชายนาวเทรียลโนด หรือ เอสเดโนด (sino/atrial node : S/A node)

กล้ามเนื้อหัวใจจะเป็นแบบที่มีลักษณะต่างจากกล้ามเนื้อหัวใจส่วนอื่น ๆ มันจะเป็นทั้งกล้ามเนื้อและเหมือนกับกล้ามเนื้อลาย (Skeletal Muscle) กล้ามเนื้อลายเป็นส่วนที่ใช้ในการไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคลื่อนไหว ซึ่งมีคุณสมบัติคล้ายกับเส้นประสาทคือมีความสามารถในการกระตุ้นทางไฟฟ้าได้ เอสเอไอเอนคเป็นชิ้นของเนื้อเยื่อหัวใจที่สามารถให้การกระตุ้นได้อย่างแรงและเป็นเสมือนเพสเมคเกอร์ (Pacemaker) คือนำไปสู่การบีบตัวของหัวใจและศักดาไฟฟ้าที่เกิดขึ้นนี้จะเกิดจากการทำงานของ เอสเอไอเอนค

## 2. การบีบตัวของหัวใจห้องบน

ดังที่ทราบมาแล้วว่ากล้ามเนื้อหัวใจสามารถกระตุ้นทางไฟฟ้า เมื่อเอสเอไอเอนคเกิดการดีโพลาไรซ์ (depolarize) คลื่นไฟฟ้าก็จะกระจายไปยังกล้ามเนื้อหัวใจห้องบน (Atrial Muscle) และมันก็จะบีบตัวส่งแรงของโลหิตไปยังหัวใจห้องล่างเพื่อให้หัวใจห้องล่างมีโลหิตบรรจุอยู่เต็ม

## 3. การกระตุ้นของเอทรโอเวนทรีกูล่าโหนด หรือ เอวีโหนด (Atrio/ventricular : A/V node)

ณ บริเวณตอนใต้ของหัวใจห้องบนขวา (Right Atrium) จะเป็นส่วนของเนื้อเยื่อหัวใจอีกอันหนึ่งที่สามารถมีการเกิดการกระตุ้นได้อย่างสูง คือ เอวีโหนด เมื่อคลื่นของการกระตุ้นห้องบนมาถึงที่จุด เอวีโหนดมันก็จะถูกดีโพลาไรซ์อีก และการดีโพลาไรซ์นี้จะแยกไปยังแขนงของโปรตีนชนิดหนึ่งซึ่งเรียกว่าบันเดิลออฟฮิส (Bundle of His)

## 4. การแพร่กระจายลงสู่ด้านล่างของบันเดิลออฟฮิส

นั่นคือการไหลผ่านของกระแสกระตุ้นจากหัวใจห้องบนไปสู่ห้องล่างและจะผ่านการกระตุ้นลงไปเริ่มทางด้านล่างของหัวใจห้องล่างการบีบตัวก็จะเริ่มจากส่วนล่างของหัวใจห้องล่าง

## 5. ระบบเพอร์กินจีไฟเบอร์ (Purkinje system fibers)

เป็นส่วนต่อเชื่อมระหว่างการกระจายลงมาทางด้านล่างของบันเดิลออฟฮิสและการบีบตัวของหัวใจห้องซึ่งใช้ระบบเพอร์กินจีไฟเบอร์

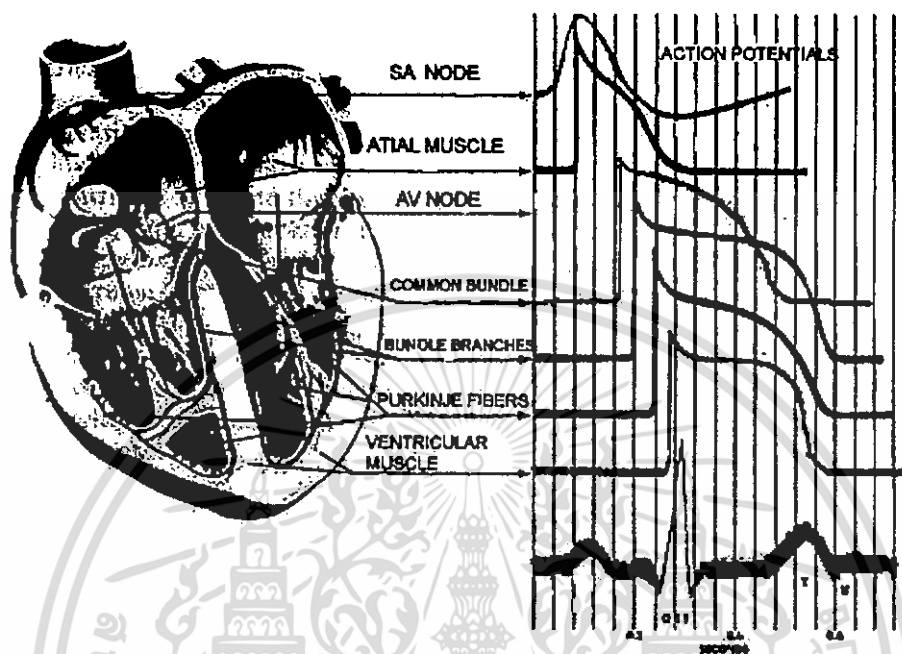
## 6. การบีบตัวของหัวใจห้องล่าง

เป็นเฟสสุดท้ายของการทำงานของหัวใจ(Cardiac cycle) หัวใจห้องล่างจะเป็นเครื่องสูบลดโลหิตในระบบหลอดเลือดหัวใจ ทำหน้าที่ส่งโลหิตไปยังปอด (จากหัวใจห้องล่างขวา) และส่งไปเลี้ยงอวัยวะของร่าง (จากหัวใจห้องล่างซ้าย) ดังนั้นไหลของหัวใจห้องล่างซ้ายจะมากกว่าห้องล่างขวาค้นของหัวใจห้องล่างซ้ายก็จะมีขนาดใหญ่และแข็งแรงกว่าห้องล่างขวา

## 2.2 คุณสมบัติและลักษณะคลื่นไฟฟ้าหัวใจ

การทำงานของกล้ามเนื้อเกิดจากการที่พัลส์ไฟฟ้ามากระตุ้นทำให้กล้ามเนื้อเกิดการหดตัวและเกิดศักดาไฟฟ้าทำงานขึ้นด้วย ซึ่งกล้ามเนื้อหัวใจก็เป็นเช่นเดียวกัน การเคลื่อนที่ของไอออนภายในเซลล์กล้ามเนื้อทำให้เกิดศักย์ไฟฟ้าทำงานและทำให้หัวใจเต้น การเคลื่อนที่ของไอออนภายในเซลล์กล้ามเนื้อหัวใจจะรวมตัวเป็นการไหลของกระแสไฟฟ้า และเป็นผลทำให้เกิดความต่างศักย์ไฟฟ้าภายนอกเนื้อเยื่อและบริเวณผิวหนังของร่างกาย การไหลของกระแสจะเกิดขึ้นเฉพาะเวลาที่เกิดการไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระจายของศักย์ไฟฟ้าที่ทำงานเท่านั้นคลื่นไฟฟ้าหัวใจเป็นสัญญาณไฟฟ้าที่ได้จากการต่อขั้วไฟเข้ากับบริเวณหน้าอก แขน ขา ดังรูปที่ 2.2 แสดงคลื่นไฟฟ้าหัวใจของคนปกติ ซึ่งประกอบด้วยคลื่น P, QRS, T และ U ซึ่งเป็นข้อมูลที่สำคัญในการวิเคราะห์ระบบการทำงานของหัวใจ



รูปที่ 2.2 แสดงลักษณะคลื่นไฟฟ้าที่ตำแหน่งต่าง ๆ ของหัวใจ[3]

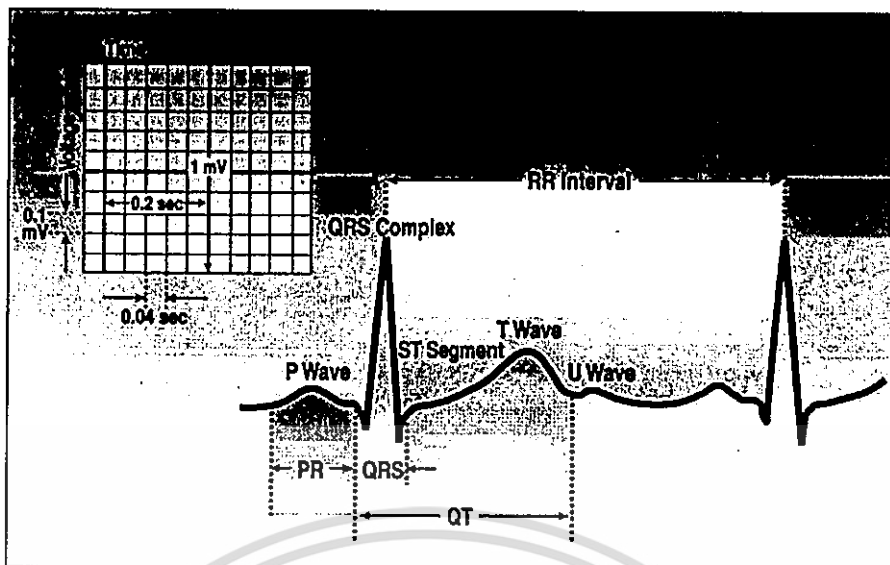
คลื่นไฟฟ้าหัวใจจะมีการเปลี่ยนแปลงของศักย์ไฟฟ้าอยู่ในช่วง 0.5-5 mV แต่โดยปกติคลื่นไฟฟ้าหัวใจที่วัดได้จากผู้ป่วยจะมีขนาดประมาณ 1 mV คลื่นไฟฟ้าหัวใจ (ECG) แบ่งออกได้เป็น 3 ส่วนหลักคือ

คลื่น P (P wave) เกิดจากการทำงานของหัวใจห้องบนจะมีคาบเวลาประมาณ 80-120 มิลลิวินาที

คลื่น QRS (QRS complex) เกิดจากการทำงานของหัวใจห้องล่าง และสัญญาณ R จะมีขนาดสูงที่สุด เนื่องจากหัวใจห้องล่างจะบีบโลหิตส่งไปยังทุกส่วนของร่างกายผ่านผนังของหัวใจห้องล่างซึ่งมีความหนามากกว่าส่วนอื่นๆ ถ้านำขั้วไฟฟ้าไปติดที่แขนขวาและแขนซ้ายหรือที่เรียกว่า ลีด 1 (Lead 1) การที่สัญญาณ R มีขนาดสูงที่สุดเป็นเพราะผลรวมของศักย์ไฟฟ้าทำงานของเซลล์จำนวนมากจะมีคาบเวลาประมาณ 80-100 มิลลิวินาที

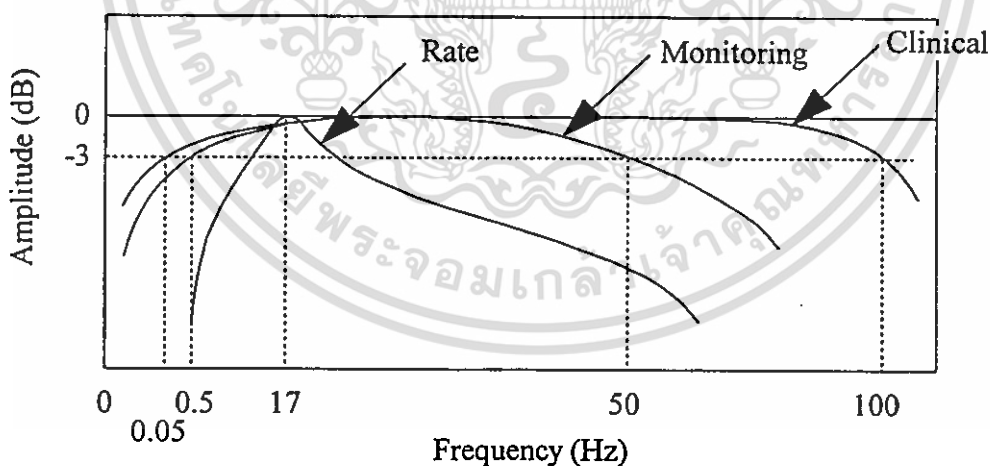
คลื่น T (T wave) เกิดจากการคลายตัวของกล้ามเนื้อหัวใจห้องล่าง และมีขนาดประมาณ 30 เปอร์เซ็นต์ของคลื่น R จะมีคาบเวลาประมาณ 200 มิลลิวินาที

คลื่น U (U wave) ยังไม่ทราบสาเหตุการเกิดที่แน่นอน แต่สันนิษฐานว่าน่าจะเกิดจากการกลับคืนสู่ระดับศักย์ไฟฟ้าขณะอยู่นิ่งอย่างช้า ๆ ของกล้ามเนื้อหัวใจห้องล่างหรือที่เรียกว่าศักย์ไฟฟ้าเอกสาร์เป็นเอกสาร์ที่ส่งวนไปสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้าตามหลัง (After potential) ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 องค์ประกอบคลื่นไฟฟ้าหัวใจของคนปกติ [20]

ในหนึ่งรอบการทำงานของระบบหัวใจประกอบด้วยคลื่น P, QRS, T และ U แต่ละช่วงของรูปคลื่นจะสัมพันธ์กับการทำงานของระบบหัวใจ ซึ่งเป็นข้อมูลที่สำคัญในการวิเคราะห์ระบบการทำงานของหัวใจ ดังนั้นขนาดและช่วงเวลาระหว่างตำแหน่งสามารถบอกลักษณะการทำงานของระบบหัวใจได้



รูปที่ 2.4 แสดงช่วงความถี่ของคลื่นไฟฟ้าหัวใจสำหรับการประยุกต์ใช้งานแบบต่าง ๆ

ความถี่ของคลื่นไฟฟ้าหัวใจอยู่ในช่วงประมาณ 0.05-200 Hz แต่ในทางประยุกต์ใช้งานแบบต่าง ๆ จะใช้ช่วงความถี่ที่ต่างกันดังรูปที่ 2.4 [2] โดยสำหรับการบันทึกคลื่นไฟฟ้าหัวใจของคนไข้ข้างเดียวมาตรฐานย่านความถี่ที่อุปกรณ์รับสัญญาณจากร่างกายควรตอบสนองความถี่ได้ในช่วง 0.05-100 Hz สำหรับการวัดเพื่อการมอนิเตอร์ ควรใช้อุปกรณ์รับสัญญาณจากร่างกายที่ตอบสนองความถี่ได้ในช่วง 0.05- 50 Hz และสำหรับการวัดอัตราการเต้นของหัวใจคลื่นที่ใช้ควรตอบสนอง

ความถี่ในช่วงกว้างแล้วนำมากรองความถี่แบบแบนด์พาสที่มีความถี่ศูนย์กลางอยู่ที่ 17 Hz ซึ่งเป็นการกรองความถี่ QRS เพื่อนำไปใช้ในการคำนวณอัตราการเต้นของหัวใจ

## 2.3 การวัดคลื่นไฟฟ้าหัวใจ

การวัดคลื่นไฟฟ้าหัวใจสามารถกระทำได้ 2 รูปแบบคือการวัดแบบเวกเตอร์คาร์ดิโอกราฟ (Vector cardiograph) และการวัดแบบอิเล็กทรอนิกส์คาร์ดิโอกราฟ (Electrocardiograph) โดยการวัดแบบเวกเตอร์คาร์ดิโอกราฟเป็นการวัดการเปลี่ยนแปลงขนาดของเวกเตอร์ของความต่างศักย์ที่เกิดขึ้นบนแกนหนึ่งเทียบกับอีกแกนหนึ่ง โดยพิจารณาจาก 3 แกนที่ตั้งฉากกัน สัญญาณที่เกิดขึ้นนี้เรียกว่าเวกเตอร์คาร์ดิโอแกรม (Vectorcardiogram: VCG) ซึ่งมีอยู่ด้วยกัน 3 ระนาบคือ ระนาบที่มองทางด้านหน้า ด้านซ้าย และด้านบน การวัดวิธีนี้จำเป็นต้องใช้ตำแหน่งในการวัดมาก การสร้างอุปกรณ์ที่ใช้ในการวัดค่อนข้างยุ่งยาก ซับซ้อน และสัญญาณที่วัดได้จำเป็นต้องใช้แพทย์ผู้เชี่ยวชาญในการวินิจฉัย แต่ในการวัดแบบอิเล็กทรอนิกส์คาร์ดิโอกราฟจะเป็น การวัดการเปลี่ยนแปลงขนาดเวกเตอร์ของความต่างศักย์ที่เกิดขึ้นในแนวแกนใด ๆ เทียบกับเวลา สัญญาณที่เกิดขึ้นเรียกว่าคลื่นไฟฟ้าหัวใจ (Electrocardiogram : ECG) การวัดวิธีนี้ใช้ตำแหน่งในการวัดไม่มากนัก การสร้างอุปกรณ์ที่ใช้ในการวัดไม่ยุ่งยากซับซ้อน สามารถเลือกวัดสัญญาณเพื่อการวินิจฉัยได้หลายๆแบบ และสามารถวินิจฉัยได้ง่าย ปัจจุบันเป็นที่นิยมใช้กันอย่างกว้างขวาง

การวัดคลื่นไฟฟ้าหัวใจแบบอิเล็กทรอนิกส์คาร์ดิโอกราฟเพื่อการวินิจฉัยโรคเกี่ยวกับระบบการทำงานของหัวใจยังสามารถแบ่งตามจุดประสงค์ของการวัดได้ 2 ประเภทคือ การวัดเพื่อการวินิจฉัยคนไข้ข้างเตียงแบบมาตรฐาน (Standard Clinical ECG) และการวัดเพื่อการมอนิเตอร์ (Monitoring ECG) [2][10]

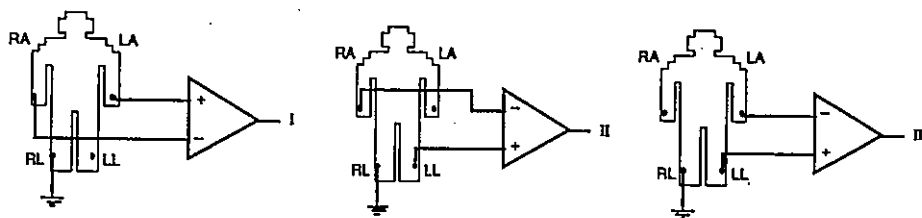
### 2.3.1 การวัดเพื่อการวินิจฉัยคนไข้ข้างเตียงแบบมาตรฐาน

การวัดเพื่อการวินิจฉัยคนไข้ข้างเตียงแบบมาตรฐานนั้น เป็นการวัดสัญญาณไฟฟ้าหัวใจสำหรับผู้ป่วยเพื่อการวินิจฉัยโดยละเอียด โดยตำแหน่งที่ทำการวัดสัญญาณได้ถูกกำหนดไว้เป็นมาตรฐานแล้ว แพทย์ผู้เชี่ยวชาญนิยมที่จะบันทึกสัญญาณที่วัดด้วยวิธีนี้เพื่อการวินิจฉัยโดยละเอียดต่อไป วิธีการวัดเพื่อการวินิจฉัยคนไข้ข้างเตียงแบบมาตรฐานสามารถแบ่งออกได้เป็น 3 วิธีคือวิธีการวัดแบบ Standard Limb Lead วิธีการวัดแบบ Augmented Limb Lead และวิธีการวัดแบบ Unipolar Chest Lead ซึ่งสามารถอธิบายได้ดังนี้

#### 2.3.1.1 วิธีการวัดแบบ Standard Limb Lead

วิธีการวัดแบบ Standard Limb Lead หรือเรียกอีกชื่อหนึ่งว่าแบบ Bipolar Limb Lead เป็นมาตรฐานการวัดสัญญาณไฟฟ้าหัวใจอย่างง่าย ประกอบไปด้วย Lead I, II และ III ดังรูปที่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

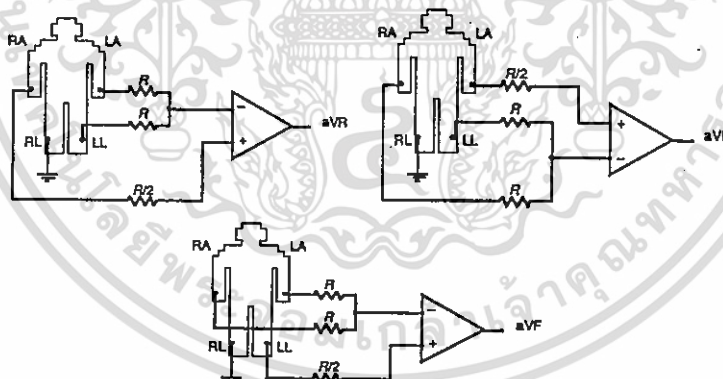
2.5 ซึ่งในทางปฏิบัติสามารถทำการวัดคลื่นไฟฟ้าหัวใจแบบ Standard Limb Lead ทั้ง Lead I, II และ III โดยการติดขั้ววัดของวงจรขยายค่าความแตกต่าง



รูปที่ 2.5 วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Standard Limb Lead

### 2.3.1.2 วิธีการวัดแบบ Augmented Limb Lead

วิธีการวัดแบบ Augmented Limb Lead หรือเรียกอีกชื่อหนึ่งว่าแบบ Unipolar Limb Lead เป็นวิธีการวัดคลื่นไฟฟ้าหัวใจที่ประกอบด้วย Lead aVR, Lead aVL และ Lead aVF ดังรูปที่ 2.6 สำหรับการวัดสัญญาณไฟฟ้าหัวใจแบบ Augmented Limb Lead ในทางปฏิบัติจะมีตัวต้านทานค่า  $R/2$  ต่อที่ขั้วบวกของวงจรขยายความแตกต่างซึ่งมีไว้เพื่อสมดุลค่าความต้านทานที่อินพุตของวงจรขยายความแตกต่าง



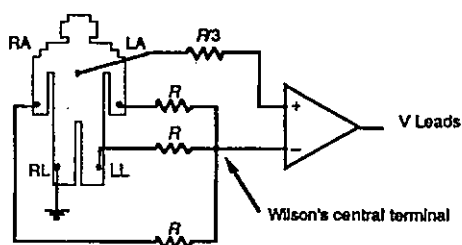
รูปที่ 2.6 วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Augmented Limb Lead

### 2.3.1.3 วิธีการวัดแบบ Unipolar Chest Lead

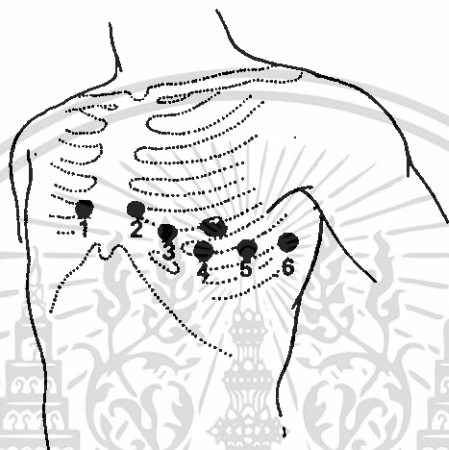
วิธีการวัดแบบ Unipolar Chest Lead เป็นการวัดขนาดสัญญาณไฟฟ้าหัวใจระหว่างตำแหน่งใดๆบนหน้าอก(ขั้ววัดบวก)เทียบกับเฉลี่ยของความต่างศักย์ของตำแหน่ง RA, LA และ LL โดยสามารถแสดงวิธีการวัดในทางปฏิบัติได้ในรูปที่ 2.7 การวัดด้วยวิธีนี้ประกอบด้วย 6 Lead มาตรฐานคือ Lead  $V_1$  ถึง  $V_6$  ซึ่งก็คือการกำหนดตำแหน่งของขั้ววัดบวกอยู่ในตำแหน่งต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า บริเวณหน้าอก 6 ตำแหน่งแสดงในรูปที่ 2.8 และรูปที่ 2.9

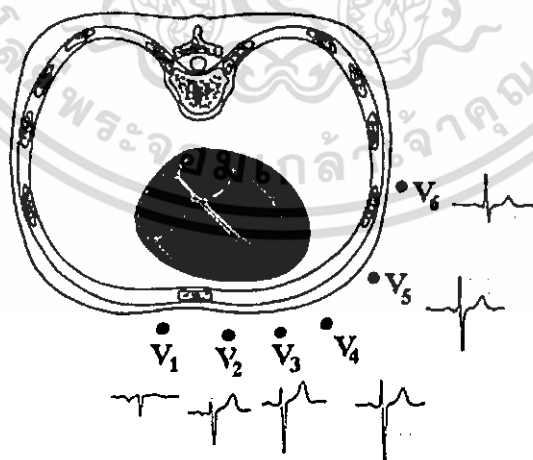
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่โดยไม่ได้รับอนุญาต และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 วิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Unipolar Chest Lead



รูปที่ 2.8 ตำแหน่งการติดขั้ววัดบนหน้าอกของวิธีการวัดคลื่นไฟฟ้าหัวใจแบบ Unipolar Chest Lead  $V_1$  ถึง  $V_6$

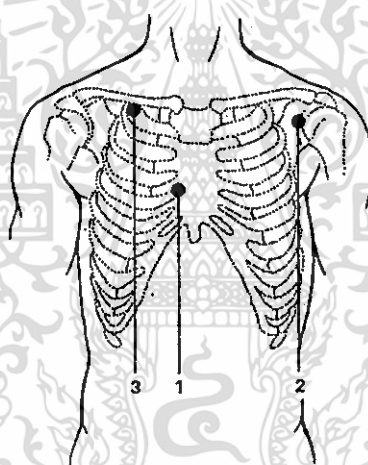


รูปที่ 2.9 ตัวอย่างคลื่นไฟฟ้าหัวใจแบบ Unipolar Chest Lead  $V_1$  ถึง  $V_6$  และตำแหน่งการติดขั้ววัดบนหน้าอกโดยมองภาพตัดขวางของลำตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.2 การวัดเพื่อการมอนิเตอร์

การวัดเพื่อการมอนิเตอร์มีจุดประสงค์เพื่อใช้ในการวัดสัญญาณไฟฟ้าหัวใจจากผู้ป่วยฉุกเฉิน หรือผู้ป่วยที่มีการเคลื่อนที่บ่อย ทั้งนี้เพื่อเป็นการพิจารณาจังหวะและอัตราการเต้นของหัวใจของผู้ป่วยเป็นหลัก ดังนั้นตำแหน่งที่ทำการวัดสัญญาณจึงควรเป็นตำแหน่งที่สามารถให้ขนาดคลื่น R ที่แรง เพื่อให้อัตราส่วนของสัญญาณไฟฟ้าหัวใจต่อสัญญาณรบกวน (Signal to Noise Ratio : S/N) มีค่าสูง ทำให้สามารถวินิจฉัยจังหวะและอัตราการเต้นหัวใจของผู้ป่วยได้อย่างถูกต้อง เอกสารอ้างอิง [2] ได้แนะนำตำแหน่งของการวัดเพื่อการมอนิเตอร์ไว้ แสดงในรูปที่ 2.10 โดยติดขั้ววัดบวกไว้ที่ตำแหน่ง V<sub>1</sub> ของ Unipolar Chest Lead (ตำแหน่งหมายเลข 1) ติดขั้ววัดลบไว้ที่ตำแหน่งใกล้ไหล่ซ้าย (ตำแหน่งหมายเลข 2) และติดขั้ววัดอ้างอิงไว้ที่ตำแหน่งใดๆ บริเวณหน้าอก (ตำแหน่งหมายเลข 3) ลักษณะของสัญญาณคลื่นไฟฟ้าหัวใจที่วัดได้จะใกล้เคียงกับ V<sub>1</sub> ของ Unipolar Chest Lead ซึ่งเป็นสัญญาณที่นิยมใช้ในการคำนวณอัตราการเต้นของหัวใจ



รูปที่ 2.10 ตำแหน่งการติดขั้ววัดไฟฟ้าของวิธีการวัดคลื่นไฟฟ้าหัวใจเพื่อการมอนิเตอร์

## บทที่ 3

# ทฤษฎีการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

การบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจมีจุดประสงค์หลักคือให้มีอัตราการลดขนาดข้อมูล (Compression Ratio) สูงในขณะที่ความแตกต่างของรูปคลื่นในรูปแบบค่า PRD (Percent Root Mean Square Difference) ที่เกิดขึ้นมีค่าต่ำ ในบทนี้จะกล่าวถึงทฤษฎีการบีบอัดข้อมูลแบบต่าง ๆ รูปแบบในการเข้ารหัสข้อมูล การแปลงเวฟเลต การแปลงเวฟเลตแบบลิฟต์ติ้ง และมาตรฐานในการวัดประสิทธิภาพในการลดขนาดข้อมูลคลื่นไฟฟ้าหัวใจ

### 3.1 ทฤษฎีการบีบอัดข้อมูล

การบีบอัดข้อมูลเป็นกระบวนการแทนข้อมูลคลื่นไฟฟ้าหัวใจด้วยข้อมูลหรือข่าวสารใหม่ที่มีปริมาณที่น้อยหรือสั้นลง [13] เทคนิคในการลดขนาดข้อมูลดิจิทัล [5] แบ่งออกได้ 2 กลุ่มคือ

#### 3.1.1 การลดข้อมูลแบบที่ไม่มีการสูญเสีย (Lossless compression) [4]

เป็นการลดข้อมูลแบบที่สามารถนำข้อมูลกลับมาได้ใหม่อย่างสมบูรณ์ ซึ่งมีชื่อเรียกต่าง ๆ กันคือ การเข้ารหัสแบบไม่มีสัญญาณรบกวน (Noiseless) การเข้ารหัสที่สามารถสร้างกลับมาได้ (Invertable) การเข้ารหัสเอนโทรปี (Entropy coding) การลดข้อมูลแบบที่ไม่มีการสูญเสียจะมีข้อเสียคือมีอัตราการลดขนาดที่ต่ำ ดังนั้นเพื่อให้ได้อัตราการลดขนาดที่สูงขึ้น จึงจำเป็นที่จะต้องใช้การลดข้อมูลที่มีการสูญเสีย

การลดข้อมูลแบบที่ไม่มีการสูญเสียจะเป็นการลดข้อมูลที่ปราศจากความเพี้ยนของสัญญาณที่ได้จากการสร้างกลับ มักนิยมนำไปใช้งานกับงานที่ต้องการความถูกต้องสูงแต่มีข้อเสียคือให้อัตราการลดข้อมูลต่ำ การลดขนาดข้อมูลในรูปแบบนี้ได้แก่ การเข้ารหัสเอนโทรปี (Entropy Coding) การเข้ารหัสรันเลนด์ (Run-Length Coding) การเข้ารหัสฮัฟแมน (Huffman Coding) การเข้ารหัสยูนิเวอร์แซล (Universal Coding) การเข้ารหัสทำนาย (Lossless Predictive Coding) การเข้ารหัสยูนิฟอร์ม (Uniform Coding) และวิธีการเข้ารหัสแบบอื่นๆ อีกมากมาย ซึ่งจะกล่าวเฉพาะบางแบบดังนี้

##### 3.1.1.1 การเข้ารหัสเลขคณิต (Arithmetic coding)

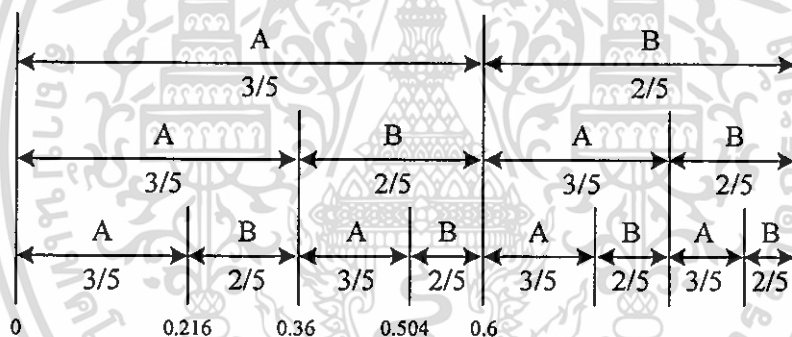
การเข้ารหัสเลขคณิต [5][14] ข้อมูลจะถูกแทนด้วยช่วงระยะห่างของจำนวนจริงระหว่าง 0 และ 1 โดยข้อมูลแต่ละตัวจะลดขนาดของระยะห่างตามความน่าจะเป็นของข้อมูลนั้น ข้อมูลที่มีความน่าจะเป็นสูงจะทำให้ระยะห่างถูกลดลงได้น้อยกว่าข้อมูลที่มีความน่าจะเป็นต่ำ ถ้าให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$p(x_1)$  เป็นความน่าจะเป็นของ  $x_1$  แล้วขอบเขตของความน่าจะเป็นของข้อมูล  $x_1$  จะถูกนิยามโดย  $0 \leq y < p(x_1)$  และขอบเขตของความน่าจะเป็นของข้อมูล  $x_2$  จะถูกนิยามโดย  $p(x_1) \leq y < p(x_1) + p(x_2)$  ถ้าให้  $x_1, x_2, \dots, x_n$  เป็นข้อมูลที่แตกต่างกันจำนวน  $n$  ตัว จะสามารถเขียนระยะห่างของความน่าจะเป็นได้ดังสมการ (3.1)

$$\sum_{n=1}^{n-1} p(x_n) \leq y < \sum_{n=1}^n p(x_n) \quad (3.1)$$

จากสมการที่(3.1) จะเห็นได้ว่ารหัสของการเข้ารหัสเลขคณิตมีความยืดหยุ่นในการเลือกใช้เพราะสามารถเลือกค่าใดๆ ก็ได้ที่อยู่ในช่วง ตัวอย่างเช่นถ้ามีความน่าจะเป็น 2 คำคือ  $p(x_1) = \frac{3}{5}$ : (A) และ  $p(x_2) = \frac{2}{5}$ : (B) จะเห็นว่าความน่าจะเป็นในช่วง  $0 \leq y < p(x_1)$  มีค่า  $y = 1/2$  ซึ่งให้ค่าเลขฐานสองสั้นที่สุดคือ  $0.1_2$  และค่าความน่าจะเป็นในช่วง  $p(x_1) \leq y < p(x_1) + p(x_2)$  มีค่า  $y = 3/4$  ซึ่งให้ค่าเลขฐานสองสั้นที่สุดคือ  $0.11_2$  ถ้าสมมุติว่ามีข้อมูลเข้ามา 3 ตัว จะต้องแบ่งช่วงของความน่าจะเป็นดังรูปที่ 3.1



รูปที่ 3.1 แสดงการแบ่งช่วงของความน่าจะเป็นเมื่อมีข้อมูลอินพุต 3 ตัว

จากรูปที่ 3.1 ถ้ามีข้อมูลอินพุต AAA จะได้ช่วงของความน่าจะเป็นคือ  $0 \leq y < (3/5)^3 = 0.216$  ถ้าเลือกค่าของความน่าจะเป็นเท่ากับ  $1/8 = 0.001_2$  ซึ่งหมายความว่าจะใช้รหัส  $001_2$  แทนข้อมูล AAA แต่สามารถเลือกรหัสให้สั้นที่สุดได้คือที่ความน่าจะเป็นเท่ากับ 0 ได้ เพราะอยู่ในช่วงเดียวกันดังนั้นจะใช้  $0_2$  แทนข้อมูล AAA และถ้ามีข้อมูลเข้ามาเป็น ABB จะได้ช่วงของความน่าจะเป็นคือ  $0.504 \leq y < 0.6$  เลือกค่าของความน่าจะเป็นที่ให้รหัสสั้นที่สุดคือเท่ากับ  $0.5625 = 0.1001_2$  ในทางปฏิบัติการหารหัสที่แทนข้อมูลจะคิดจากน่าขอบเขตล่าง และขอบเขตบนมาเปรียบเทียบกับบิตต่อบิตเมื่อเจอบิตที่ไม่เหมือนกันให้ตัดรหัสหลังจากบิตนี้ทิ้ง แล้วได้รหัสที่ใช้แทนข้อมูล

การถอดรหัสเลขคณิตสามารถทำได้โดยตรวจสอบค่ารหัสความน่าจะเป็นที่ได้เลือกไว้  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ย้อนกลับกระบวนเข้ารหัส ตัวอย่างการถอดรหัส AAA ที่ใช้รหัส  $1/8 = 0.125 = 0.001_2$  โดย  
ไม่วากรณ์ใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูปที่ 3.1 จะได้ข้อมูลตัวแรกทันทีคือ A เพราะว่า  $0 \leq 0.125 < 0.6$  ข้อมูลตัวที่ 2 คือ A เพราะว่า  $0 \leq 0.125 < 0.36$  และข้อมูลคือ A เพราะว่า  $0 \leq 0.125 < 0.216$  การเข้ารหัสเลขคณิต อาจจะทำให้รหัสแทนข้อมูลที่สั้นกว่าหรือยาวกว่าการเข้ารหัสฮัฟแมนก็ได้ขึ้นอยู่กับลักษณะของข้อมูล อินพุท และ [9] ได้นำการเข้ารหัสเลขคณิตมาใช้ในการลดขนาดข้อมูลสัญญาณไฟฟ้าหัวใจ

### 3.1.1.2 การเข้ารหัสรันเลนด (Run-Length Coding)

การเข้ารหัสรันเลนด เป็นการเข้ารหัสที่เหมาะสมกับข้อมูลที่มีการซ้ำซ้อนของ ข้อมูลที่มีลักษณะของการซ้ำกันอย่างต่อเนื่อง โดยหลักการคือจะเก็บข้อมูลใหม่ในลักษณะของ คู่ลำดับของข้อมูลกับ จำนวนของข้อมูล (ค่าข้อมูล, จำนวน) วิธีการเข้ารหัสรันเลนดสามารถที่จะ แทรกอยู่ระหว่างขบวนการใด ๆ ก็ได้ขึ้นอยู่กับลักษณะของข้อมูล การเข้ารหัสรันเลนดจะมี ประสิทธิภาพสูงมากเมื่อข้อมูลมีการซ้ำกันอย่างต่อเนื่อง ซึ่งเป็นวิธีที่สามารถให้ค่าอัตราการลดขนาด ข้อมูลต่ำกว่า 1 บิต/ข้อมูล และจะมีประสิทธิภาพลดลงถ้ามีการซ้ำกันของข้อมูลน้อย และถ้าในกรณี ที่ไม่มีข้อมูลซ้ำกันเลยจะทำให้ได้รหัสที่ขาวเป็น 2 เท่าของจำนวนข้อมูลอินพุท ตัวอย่างการเข้ารหัส รันเลนด สมมติว่ามีข้อมูล 20 ไบท์ ดังนี้

{31, 31, 31, 31, 31, 31, 27, 26, 27, 20, 18, 18, 18, 18, 14, 14, 14, 08, 09, 10}

เมื่อเข้ารหัสรันเลนดแล้วจะได้

{06, 31, 01, 27, 01, 26, 01, 27, 01, 20, 04, 18, 03, 14, 01, 08, 01, 09, 01, 10}

จากตัวอย่างจะเห็นได้ว่าความยาวของรหัสที่ได้หลังจากการเข้ารหัสรันเลนด เท่ากับ 20 ไบท์ ซึ่งเท่ากับความยาวของข้อมูลอินพุทจะเห็นว่าไม่มีการลดขนาดข้อมูลเลย จาก ปัญหาดังกล่าวได้มีการเข้ารหัสรันเลนดวิธีใหม่เพื่อแก้ไขข้อบกพร่องของวิธีนี้ โดยมีเงื่อนไขคือ

1. จะไม่ทำการเข้ารหัสข้อมูลที่มีจำนวนซ้ำกันของข้อมูลน้อยกว่า 3
2. ทำเครื่องหมายเพื่อบอกว่าข้อมูลใดได้เข้ารหัส และข้อมูลใดไม่ได้เข้ารหัส

โดยใช้ตัวเลข 1 บิตในไบท์ของจำนวนข้อมูลเป็นตัวบอก โดยจะใช้บิตที่ 7 เป็นบิตเครื่องหมายและ กำหนดให้ข้อมูลใดที่เข้ารหัสได้จะเซตบิตที่ 7 ของไบท์ของจำนวนข้อมูลเป็น 1 และถ้าข้อมูลใด ไม่ได้เข้ารหัส จะเคลียร์บิตที่ 7 ของไบท์ของจำนวนข้อมูลเป็น 0 จะเริ่มนับ 1 ของจำนวนที่ซ้ำกัน ของข้อมูลตัวที่ 4 เป็นต้นไป ทำให้ไบท์เก็บจำนวนข้อมูลสามารถเก็บข้อมูลได้ตั้งแต่ 3-130 ตัว ใน กรณีที่ไม่มีข้อมูลซ้ำกันเลยซึ่งเป็นกรณีที่แย่ที่สุดจะใช้จำนวน ไบท์เก็บรหัสทั้งหมดเท่ากับความยาว ของข้อมูลบวกหนึ่ง(127+1) จากตัวอย่างแรกสามารถเข้ารหัสรันเลนดใหม่ได้ดังนี้

{83, 31, 04, 27, 26, 27, 20, 81, 18, 80, 14, 03, 08, 09, 10}

จากตัวอย่างนี้จะเห็นได้ว่าสามารถลดขนาดข้อมูลได้ 5 ไบท์

### 3.1.1.3 การเข้ารหัสฮัฟแมน (Huffman Coding)

การเข้ารหัสฮัฟแมนจะเป็นวิธีการลดข้อมูลที่นำเอาประโยชน์ของส่วนเกินของข้อมูล (Redundancy) มาใช้ กล่าวคือจะทำการหาค่าความน่าจะเป็นของการกระจายค่าสัมประสิทธิ์ข้อมูลแล้วทำการเข้ารหัสโดยพิจารณาว่าข้อมูลที่มีค่าความน่าจะเป็นสูงจะถูกแทนด้วยรหัสใหม่ที่มีจำนวนบิตน้อย ส่วนข้อมูลที่มีค่าความน่าจะเป็นต่ำจะถูกแทนด้วยรหัสใหม่ที่มีจำนวนบิตมาก การแทนค่าข้อมูลด้วยรหัสใหม่ซึ่งทำให้ได้ข้อมูลหรือข่าวสารใหม่ที่มีปริมาณน้อยลงหรือสั้นลง รหัสใหม่ที่ถูกสร้างขึ้นนี้เรียกว่า “คำรหัส” (Code Word) ซึ่งรหัสที่ได้จากการแทนข้อมูลเดิมนั้นแต่ละคำจะมีความยาวเท่ากันหรือไม่เท่ากันก็ได้ ทั้งนี้ขึ้นอยู่กับค่าความน่าจะเป็นที่เกิดขึ้นของข้อมูล

ถ้ากำหนดให้ข้อมูลมีองค์ประกอบอยู่  $M$  แบบคือ  $u_1, u_2, u_3, \dots, u_M$  และกำหนดให้  $p_1, p_2, p_3, \dots, p_M$  เป็นค่าความน่าจะเป็นของการเกิดของแต่ละองค์ประกอบ ดังนั้นสามารถหาค่าเอนโทรปีของข้อมูลได้จากสมการที่ 3.2

$$H = \sum_{k=1}^M p_k \log_2 \frac{1}{p_k} \quad (3.2)$$

เมื่อ  $p_k$  คือความน่าจะเป็นของการกระจายข้อมูล

เนื่องจากแต่ละคำรหัสมีความยาวของจำนวนบิตที่ใช้แทนไม่เท่ากัน ซึ่งในการเข้ารหัสนี้ ถ้าใช้รหัสฐานสอง (Binary code) ซึ่งคำรหัสแต่ละตัวมีความยาว  $n_k$  ในการเข้ารหัสองค์ประกอบของข้อมูลที่เป็น  $u_k$  ดังนั้นความยาวเฉลี่ย  $\bar{n}$  ของคำรหัสที่ได้จะคำนวณได้จากสมการที่ 3.3

$$\bar{n} = \sum_k n_k p_k \quad (3.3)$$

โดยทั่วไปในการเข้ารหัสที่ดีนี้จะต้องพยายามให้ได้ค่า  $\bar{n}$  นี้ต่ำที่สุด แต่สิ่งสำคัญที่ต้องคำนึงถึงก็คือเมื่อนำไปเรียงเป็นขบวนแล้วต้องไม่มีความผิดพลาดในถอดรหัส การเข้ารหัสที่จะทำให้  $\bar{n}$  มีค่าต่ำนั้น จะทำได้โดยการใช้  $n_k$  ที่มีค่าน้อยสำหรับ  $p_k$  ที่มีค่ามาก และให้ใช้  $n_k$  ที่มีค่ามากสำหรับ  $p_k$  ที่มีค่าน้อย

การเข้ารหัสฮัฟแมนจะเป็นการลดความซ้ำซ้อนของข้อมูล โดยจะทำการเข้ารหัสข้อมูลที่เกิดขึ้นบ่อยด้วยจำนวนบิตที่น้อย และเข้ารหัสข้อมูลที่เกิดขึ้นน้อยกว่าด้วยจำนวนบิตที่มาก ซึ่งโดยเฉลี่ยแล้วจะเป็นการลดจำนวนบิตที่ใช้แทนข้อมูลให้สั้นลง วิธีการเข้ารหัสฮัฟแมน (Huffman) จะเป็นวิธีการเข้ารหัสแบบหนึ่งต่อหนึ่ง ถ้าให้แหล่งกำเนิดข่าวสารมีความแตกต่างกัน  $M$  องค์ประกอบ และแต่ละองค์ประกอบจะมีค่าความน่าจะเป็นของการเกิดเป็น  $p_1, p_2, \dots, p_M$

### 3.1.1.4 การเข้ารหัสยูนิเวอร์แซล (Universal Coding)

เป้าหมายของการเข้ารหัสยูนิเวอร์แซล (Universal Coding) คือการลดขนาดของข้อมูลที่ไม่ว่านข้อมูลทางสถิติ ซึ่งอัลกอริทึมจะต้องปรับตัวไปตามข้อมูล ตัวอย่างที่สำคัญของการเข้ารหัสยูนิเวอร์แซลคืออัลกอริทึม Lempel-Ziv [2] ลำดับของรหัสข้อมูลจะใช้ลักษณะของพจนานุกรมหรือตารางลำดับ ซึ่งจะถูกรับปรุงในระหว่างกระบวนการเข้ารหัสโดยการปรับตัวตามข้อมูลอินพุต ดังนั้นจึงสามารถเรียกได้ว่าเป็นการเข้ารหัสพจนานุกรมที่ปรับตัว (adaptive dictionary encoding) ได้

### 3.1.1.5 การเข้ารหัสแบบ Amplitude Zone Time Epoch Coding (AZTEC)

การเข้ารหัสแบบ AZTEC เป็นวิธีการลดข้อมูลโดยการเปลี่ยนลำดับของข้อมูลให้อยู่ในรูปของ Plateau และ Slope วิธีนี้ให้ค่าอัตราการลดข้อมูลไม่แน่นอน ขึ้นอยู่กับลักษณะของข้อมูล คลื่นไฟฟ้าหัวใจที่ผ่านการลดข้อมูลด้วยวิธีนี้จะมีลักษณะของ Steplike Quantization [7] ซึ่งไม่สามารถยอมรับได้ในทางการแพทย์ โดยทั่วไปคลื่นไฟฟ้าหัวใจที่ผ่านการลดข้อมูลด้วยวิธีนี้จะนำไปผ่าน Smoothing Filter เพื่อลดลักษณะของความไม่ต่อเนื่อง (Discontinuities) อย่างไรก็ตามการใช้ Smoothing Filter จะทำให้เกิดความเพี้ยนทางขนาด (Amplitude Distortion) เพิ่มขึ้นมาก

### 3.1.2 การลดข้อมูลที่มีการสูญเสีย (Lossy compression)

การลดข้อมูลในรูปแบบนี้เป็นการลดข้อมูลที่ไม่สามารถนำข้อมูลกลับมาได้อย่างสมบูรณ์หรือเป็นการลดข้อมูลที่ทำให้เกิดความเพี้ยน (Distortion) กับข้อมูลที่ถูกสร้างกลับขึ้นมาใหม่ ทั้งนี้เพราะในระหว่างกระบวนการลดข้อมูลจะมีการสูญเสีย (Loss) เกิดขึ้น แต่ข้อดีของการลดข้อมูลแบบนี้คือมีอัตราการลดข้อมูล (Compression Ratio) สูง กว่าวิธีการลดข้อมูลแบบที่ไม่มีการสูญเสียมาก

#### 3.1.2.1 การควอนไทซ์

การลดข้อมูลที่มีการสูญเสียการควอนไทซ์เป็นวิธีการลดข้อมูลที่ง่ายที่สุด กล่าวคือ การควอนไทซ์จะกระทำการตรวจสอบข้อมูลอินพุตที่ได้รับและเลือกค่าประมาณที่ได้จากฐานข้อมูลที่กำหนดไว้ล่วงหน้าให้ใกล้เคียงที่สุด การควอนไทซ์จะมีอยู่หลายรูปแบบซึ่งสามารถอธิบายได้ดังนี้

#### 1. การควอนไทซ์แบบสเกลาร์ (Scalar Quantization)

การควอนไทซ์แบบสเกลาร์จะนำค่าข้อมูลอินพุตซึ่งอยู่ในรูปอนาล็อกหรือสัญญาณเชิงต่อเนื่องมากระทำให้เป็นสัญญาณเอทพุทซึ่งอยู่ในรูปแบบดิจิทัล โดยสามารถนิยามการควอนไทซ์แบบสเกลาร์ได้ว่าเป็นการ Mapping  $Q: R \rightarrow C$  เมื่อ  $R$  คือค่าจำนวนจริง และ  $C = \{y_i; i = 1, 2, \dots, N\}$  เป็นชุดของข้อมูลเอทพุท ส่วน  $y_i$  จะเป็นตัวเก็บรหัสที่มีขนาด  $N$

สำหรับการสร้างตัวควอนไทซ์ขนาด  $N$  จุด จะต้องแบ่งเส้นจริง  $R$  ออกเป็น  $N$  ส่วน โดยกำหนดให้เป็น  $r_i$  เมื่อ  $i = 1, 2, \dots, N$  และค่าของส่วนที่  $i$  สามารถหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่อผู้ผู้ใดเห็นเว็บไซต์นี้ขอสงวนสิทธิ์ในการนำข้อมูลไปใช้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_i = \{x \in R; Q(x) = y_i\} \equiv Q^{-1}(y_i) \quad (3.4)$$

โดยที่แต่ละส่วนจะมีคุณสมบัติดังนี้

$$\bigcup_{i=1}^N R_i = R \text{ และ } R_i \cap R_j = \emptyset \text{ เมื่อ } i \neq j \quad (3.5)$$

การควอนไทซ์แบบสเกลาร์จะแบ่งระดับหรือย่านของข้อมูลออกเป็นช่วงๆ โดยที่แต่ละช่วงจะแทนระดับของข้อมูลที่เป็นค่าเดี่ยวๆ ซึ่งสามารถแบ่งได้เป็น 2 ประเภทคือ

- การควอนไทซ์แบบยูนิฟอร์ม (Uniform Quantization)

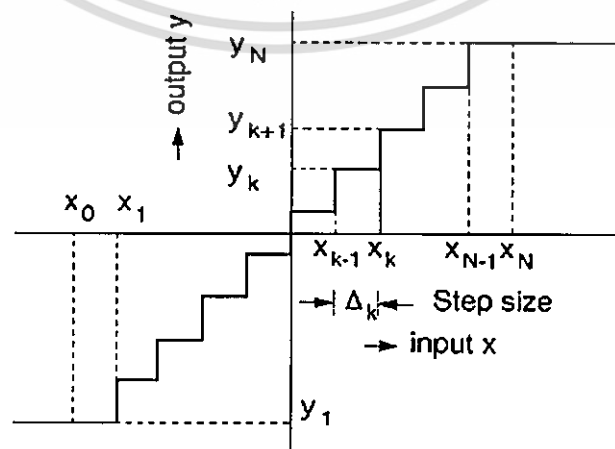
การควอนไทซ์แบบยูนิฟอร์มจะเป็นการควอนไทซ์ที่มีรูปแบบที่ง่ายที่สุด โดยจะแบ่งย่านของข้อมูลออกเป็นช่วงเท่าๆ กัน ดังแสดงในรูปที่ 3.2 ในการออกแบบตัวควอนไทซ์จะมี  $d_i$  เป็นระดับการตัดสินใจ (decision level) และ  $r_i$  เป็นระดับของข้อมูลผลลัพธ์ (reconstruction level) เมื่อ  $i=0,1,2,\dots,L$  โดยที่

$$r_i = \frac{d_i + d_{i+1}}{2} \quad (3.6)$$

และ จะได้ช่วงห่างของการควอนไทซ์ ( $\Delta$ ) เป็น

$$\Delta = d_{i+1} - d_i \quad (3.7)$$

ดังนั้น จะได้ว่า การควอนไทซ์แบบยูนิฟอร์มมีค่าของ  $\Delta$  เท่ากันตลอดย่านของข้อมูลอินพุต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 3.2 การควอนไทซ์แบบยูนิฟอร์ม  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อสาธารณะ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความเพี้ยนเนื่องจากการควอนไทซ์สามารถอธิบายว่าถ้าให้  $p(x)$  เป็นฟังก์ชันความหนาแน่นของ  $x$  (density function of  $x$ ) เมื่อค่าความเพี้ยนเฉลี่ยยกกำลังสอง (mean square error: MSE) สอดคล้องกับการควอนไทซ์ซึ่งสามารถอธิบายได้โดย

$$MSE = \sigma_q^2 = \sum_{k=1}^N \int_{x_{k-1}}^{x_k} (x - y_k)^2 p(x) dx \quad (3.8)$$

เมื่อ  $\Delta_k = x_k - x_{k-1}$  เป็นระดับการควอนไทซ์ (step size) ถ้า MSE ถูกลดขนาดลงให้มากที่สุดโดยการนำระดับการสร้างกลีบตรงกึ่งกลางระหว่างระดับการตัดสินใจ จะได้ว่า

$$y_k = (x_{k-1} + x_k) / 2 \quad (3.9)$$

ดังนั้นจะได้ค่าความเพี้ยนมีค่าเท่ากับ

$$\sigma_q^2 = \frac{1}{12} \sum_{k=1}^N p_k \Delta_k^2 \quad (3.10)$$

สำหรับตัวควอนไทซ์แบบยูนิฟอร์มซึ่งระดับการควอนไทซ์เป็นค่าคงที่ จะได้ว่า

$$\Delta_k = \Delta \quad \text{สำหรับ } k \text{ ทุกๆ ค่า} \quad (3.11)$$

ดังนั้น

$$\sigma_q^2 = \frac{\Delta^2}{12} \sum_{k=1}^N p_k = \frac{\Delta^2}{12} \quad \text{เมื่อ } \sum_{k=1}^N p_k = 1 \quad (3.12)$$

- การควอนไทซ์แบบนอน-ยูนิฟอร์ม (Non-Uniform Quantization)

การควอนไทซ์แบบนอน-ยูนิฟอร์มจะเป็นการออกแบบการควอนไทซ์ที่ให้ความเพี้ยนเกิดขึ้นน้อยที่สุด โดยอัลกอริทึม Lloyd-Max Quantizer ที่ได้ถูกพัฒนาขึ้นโดย Lloyd และ Max ซึ่งทั้ง Lloyd และ Max ได้วิเคราะห์สัญญาณรบกวนจากการควอนไทซ์โดยใช้ความผิดพลาดเฉลี่ยยกกำลังสอง และได้พยายามลดสัญญาณรบกวนนี้ลงได้โดยกำหนดความน่าจะเป็นของความหนาแน่นของสัญญาณในช่วงหนึ่งที่มีค่าไม่คงที่ โดยที่ความเพี้ยนทั้งหมดที่เกิดขึ้นจากการควอนไทซ์สามารถหาได้จาก

$$MSE = \sum_{k=0}^N \int_{d_k}^{d_{k+1}} (x - r_k)^2 p(x) dx \quad (4.13)$$

เมื่อ  $p(x)$  คือค่าความน่าจะเป็นของข้อมูล  $x$

และกำหนดให้อ่อนพันธ์ของค่าความเพี้ยนเมื่อเทียบกับระดับ  $r$ , และช่วง  $d$ , เท่ากับศูนย์ ทำให้ได้

$$d_i = \frac{r_i + r_{i-1}}{2} \quad (4.14)$$

และ

$$r_i = \frac{\int_{d_i}^{d_{i+1}} yp(y) dy}{\int_{d_i}^{d_{i+1}} p(y) dy} \quad (4.15)$$

ค่าความเพี้ยนเฉลี่ยยกกำลังสอง ของตัวควอนไทซ์มีค่าเท่ากับ

$$MSE = \sigma_q^2 = \frac{1}{12} \sum_k p_k \Delta_k^2 \quad (4.16)$$

## 2. การควอนไทซ์แบบเวกเตอร์ (Vector Quantization)

การควอนไทซ์แบบเวกเตอร์ หรือบางตำราเรียกว่า “Block Quantization” คือการนำข้อมูลที่เป็นสเกลาร์หลายๆตัวมาจัดรวมกันเป็นกลุ่ม (Block) และทำการควอนไทซ์ข้อมูลสเกลาร์นั้นในกลุ่มร่วมกัน เมื่อกำหนดให้

$$f = [f_1, f_2, \dots, f_N]^T \quad (3.17)$$

เมื่อ  $f$  คือข้อมูลเวกเตอร์ที่มีขนาด  $N$  มิติ เกิดจาก  $f_i$  จำนวน  $N$  ตัวมาประกอบกัน

$$r = [r_1, r_2, \dots, r_N]^T \quad (3.18)$$

โดยที่  $r$  เป็นเวกเตอร์ตัวหนึ่งในจำนวน  $L$  (Reconstruction Level) ตัวและมีความใกล้เคียงกับเวกเตอร์  $f$  มากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.2.3 การเข้ารหัสการแปลง (Transform Coding)

การลดขนาดข้อมูลด้วยวิธีการแปลงเป็นวิธีการลดขนาดข้อมูลทางอ้อมนั่นคือจะทำการแปลงข้อมูลอินพุตจากโดเมนเดิมไปยังข้อมูลในโดเมนใหม่เช่น การแปลงจากโดเมนเวลา (Time domain) ไปยังโดเมนความถี่ (Frequency domain) แล้วนำสัมประสิทธิ์ของการแปลงมาเข้ารหัสอีกครั้งหนึ่งซึ่งอาจเรียกได้ว่าเป็นการลดขนาดข้อมูลแบบผสม หลังจากทำการแปลงแล้วจะได้สัมประสิทธิ์ 2 กลุ่มคือสัมประสิทธิ์ที่มีนัยสำคัญสูง (Most significant coefficients) และสัมประสิทธิ์ที่มีนัยสำคัญต่ำ (Less significant coefficients) โดยปกติการลดขนาดข้อมูลด้วยวิธีการแปลงคือการเก็บเฉพาะสัมประสิทธิ์ที่มีนัยสำคัญสูงไว้ ซึ่งจะทำให้เกิดความเพี้ยน (Distortion) กับข้อมูลที่ถูกสร้างกลับขึ้นมาใหม่เสมอ ดังนั้นการลดขนาดข้อมูลด้วยวิธีการแปลงจะใช้กับข้อมูลที่ไม่ต้องการความถูกต้องมากนักเช่นสัญญาณเสียง เป็นต้น

การลดข้อมูลด้วยวิธีการแปลงมีอยู่ด้วยกันหลายแบบ เช่น การแปลงฟูริเยร์เต็มหน่วย (Fourier transform: DFT) การแปลงโคไซน์เต็มหน่วย (Discrete cosine transform: DCT) การแปลงแบบฮาร์ (Harr transform) การแปลงแบบฮาร์ดามาร์ด (Hadamard transform) หรือการแปลงแบบคาร์ฮูเนนเลอเฟ (Karhunen Loeve transform: KLT) เป็นต้น โดยที่ KLT เป็นการแปลงที่ให้ผลดีที่สุด (Optimum Transform) เพราะสัมประสิทธิ์ที่ได้จากการแปลงมีลักษณะของ Uncorrelate อย่างสมบูรณ์ ซึ่งจะให้มีประสิทธิภาพในการลดขนาดข้อมูลสูง แต่ KLT ไม่นิยมนำมาใช้มากนักเพราะต้องใช้การคำนวณสูงและไม่มีวิธีการคำนวณที่รวดเร็ว (Fast Computation) วิธีที่มีประสิทธิภาพรองลงมาคือ DFT และ DCT แต่ DFT ไม่นิยมนำมาใช้มากนักเพราะต้องเกี่ยวข้องกับจำนวนเชิงซ้อน ต่างจากการใช้ DCT ซึ่งจะกระทำกับจำนวนจริงทั้งหมด DCT เป็นวิธีที่นิยมนำมาใช้ในการลดข้อมูลที่มีการสูญเสีย ที่ต้องการความรวดเร็ว แต่มีข้อเสียคือจะเกิดความผิดพลาดในส่วนขอรอยต่อ การแปลงโคไซน์เต็มหน่วยแบบที่ 4 (Discrete Cosine Transform Type IV: DCT-IV) แสดงดังสมการที่ 3.19

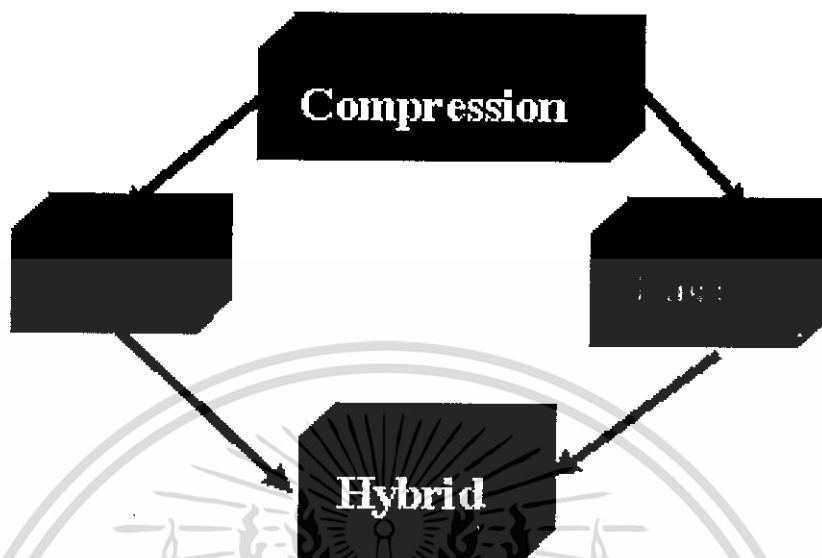
$$X(k) = \sqrt{\frac{2}{N}} \sum_{j=0}^{N-1} x(j) \cos\left(\frac{(2j+1)(2k+1)\pi}{4N}\right) \quad k = 0, 1, \dots, N-1 \quad (3.19)$$

เมื่อ  $x$  คือข้อมูลอินพุตและ  $N$  คือขนาดของข้อมูลอินพุต ส่วนการแปลงกลับโคไซน์เต็มหน่วย (IDCT) ใช้สมการเดียวกัน

### 3.1.3 การลดข้อมูลแบบผสม (Hybrid compression)

หัวใจในการออกแบบระบบการลดข้อมูลคือการทำให้มีค่าความเพี้ยนเฉลี่ยต่ำที่สุดสำหรับอัตราบิต (Bit rate) หรืออัตราการลดข้อมูล (Compression Ratio) หนึ่งๆ ซึ่งวิธีการลดข้อมูลทั้งแบบที่ไม่มีการสูญเสียและแบบที่มีการสูญเสียนี้นสามารถที่จะนำมาปรับปรุงใช้รวมกันได้ เรียกว่าเป็น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนักผู้ใดเห็นว่ามีประโยชน์ในการนำไปใช้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลดข้อมูลแบบผสมผสาน (Hybrid Compression) ในบทนี้จะกล่าวถึงพื้นฐานการลดข้อมูลทั้งสองแบบดังนี้



รูปที่ 3.3 แสดงการลดข้อมูลแบบผสม

### 3.2 การแปลงเวฟเล็ด

คลื่น (wave) ถูกนิยามให้เป็นฟังก์ชันที่มีการออสซิลเลทในโดเมนเวลาหรือสเปซ เช่น sine wave และเวฟเล็ดก็เป็นคลื่นเช่นกัน ในการวิเคราะห์สัญญาณหรือฟังก์ชันเช่นการวิเคราะห์ฟูเรียร์ ซึ่งเป็นการวิเคราะห์คลื่น โดยกระจายสัญญาณหรือฟังก์ชันในเทอมของไซน์ หรืออีกโพเนนเชียล ซึ่งเป็นการวิเคราะห์สัญญาณในโดเมนความถี่ ส่วนการวิเคราะห์เวฟเล็ด [6],[7],[8] เป็นการวิเคราะห์สัญญาณในโดเมนเวลาและความถี่ไปพร้อมๆ กัน จะนำเวฟเล็ดมาใช้ในการกระจายอนุกรมของสัญญาณ ในลักษณะเดียวกันที่ใช้อนุกรมฟูเรียร์ในการแทนสัญญาณนั้นคือ สัญญาณหรือฟังก์ชัน  $f(t)$  สามารถเขียนในรูปของ Linear Combination ได้โดย

$$f(t) = \sum_l a_l \psi_l(t) \quad (3.20)$$

โดยที่  $l$  เป็นดัชนีจำนวนเต็มของอนุกรม

$a_l$  เป็นสัมประสิทธิ์ของการกระจาย

$\psi_l(t)$  เป็นเซตของฟังก์ชันจำนวนจริง

เซตของฟังก์ชันถูกเรียกว่า Basis และถ้า basis function มีลักษณะเชิงตั้งฉาก (orthogonal)

จะได้ผลคูณภายใน (inner product) เป็นศูนย์นั่นคือ

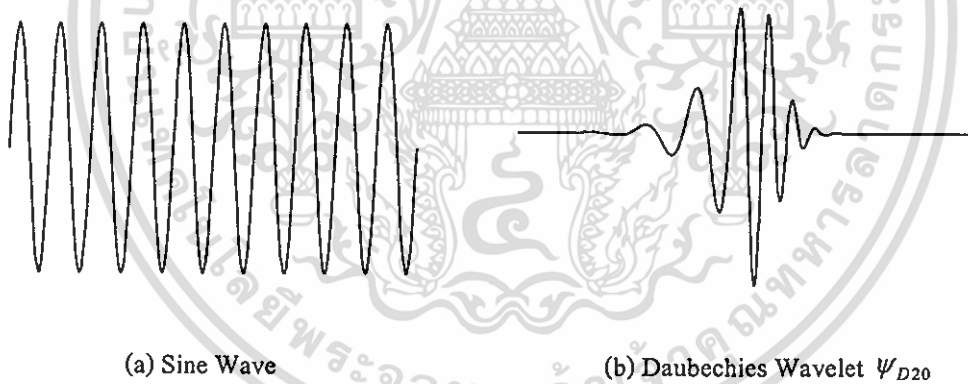
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\langle \psi_k(t), \psi_l(t) \rangle = \int \psi_k(t) \psi_l(t) dt = 0 \quad k \neq l \quad (3.21)$$

และสัมประสิทธิ์สามารถหาได้โดยผลคูณภายใน (Inner product)

$$a_k = \langle f(t), \psi_k(t) \rangle = \int f(t) \psi_k(t) dt \quad (3.22)$$

เมื่อพิจารณาคลื่นเวฟเล็ก  $\psi(t)$  นั้นหมายถึงคลื่นสัญญาณเล็กๆที่เหมาะสมสำหรับเป็นเซต basis function ของ function spaces ซึ่งเป็นคลื่นที่เกิดขึ้นในช่วงเวลาสั้นๆ และแอมพลิจูดของมันจะลดลงสู่ศูนย์อย่างรวดเร็วเมื่อ  $t \rightarrow \pm\infty$  (local support ในโดเมนเวลา) ดังรูปที่ 3.4 (b) และพื้นที่สุทธิของรูปคลื่นเท่ากับศูนย์หรือ  $\int_{-\infty}^{\infty} \psi(t) dt = 0$  เมื่อพิจารณาเปรียบเทียบกับ Fourier basis ที่ประกอบ ด้วยคลื่น cosine และ sine ดังรูปที่ 3.4 (a) ซึ่งมีคุณสมบัติ local support ในโดเมนความถี่แต่จะไม่มีคุณสมบัติ local support ในโดเมนเวลา ส่วนเวฟเล็กจะมีคุณสมบัติ local support ทั้งในโดเมนความถี่และเวลา ดังนั้นเวฟเล็กจึงสามารถแทนฟังก์ชันที่มีลักษณะขดแหลมหรือมีลักษณะเป็นขอบ Nonstationary หรือเหตุการณ์ที่เปลี่ยนไปตามเวลา ด้วยเทอมของ basis function ที่น้อยกว่า Fourier basis ซึ่งจากคุณสมบัติดังกล่าวสามารถนำไปใช้ประโยชน์ในการบีบอัดสัญญาณ (Data compression) ได้เป็นอย่างดี



รูปที่ 3.4 แสดงรูปคลื่น Sine และ Daubechies Wavelet  $\psi_{D20}$

ในการสร้างเซต Wavelet basis คลื่นเวฟเล็กจะถูกยืดขยาย (dilation) หรือเปลี่ยนความถี่ และคลื่นเวฟเล็กที่ถูกยืดขยายยังถูกเลื่อน (translation) ในแกนเวลาอีกด้วย ซึ่งคุณสมบัติทั้งสองนี้เป็นส่วนหนึ่งของการวิเคราะห์แบบมัลติเรโซลูชัน (multiresolution analysis) การวิเคราะห์แบบนี้เป็นการกระจายสัญญาณไปที่ระดับความละเอียดต่างๆ เมื่อพิจารณาเซต wavelet basis ที่ใช้แทนสัญญาณแล้ว รายละเอียดของสัญญาณจะถูกกระจายไปที่ความถี่ต่างๆและตำแหน่งต่างๆเปรียบเหมือนเสียงดนตรีที่ถูกกระจายเป็นตัว โน้ตบนเส้นของระดับเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.1 การวิเคราะห์แบบมัลติเรโซลูชัน (Multiresolution analysis)

กำหนดสัญลักษณ์  $f_j(t)$  แทนฟังก์ชัน  $f(t)$  ที่ถูกกระจายไปที่ระดับความละเอียด  $j$  และ ที่ระดับความละเอียด  $j+1$  รายละเอียดจะถูกแทนด้วย  $d_j(t)$  ซึ่งเมื่อรวมเข้ากับ  $f_j(t)$  จะได้ฟังก์ชัน  $f(t)$  ที่ถูกกระจายไปที่ระดับความละเอียด  $j+1$  นั่นคือ

$$f_{j+1}(t) = f_j(t) + d_j(t) \quad (3.23)$$

ซึ่งฟังก์ชันในสมการที่(3.23) จะเป็นฟังก์ชันที่มีรายละเอียดเข้าใกล้  $f(t)$  มากกว่าแทนฟังก์ชันที่ระดับความละเอียด  $j$  และสัญญาณ  $f(t)$  จะสร้างกลับคืนเมื่อใช้ระดับความละเอียดไปถึงอนันต์หรือ  $j \rightarrow \infty$  ซึ่งจะได้

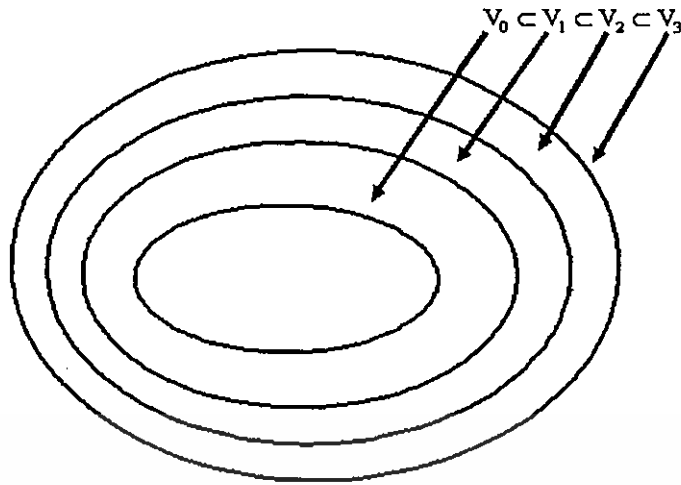
$$f(t) = f_j(t) + \sum_{k=j}^{\infty} d_k(t) \quad (3.24)$$

การวิเคราะห์มัลติเรโซลูชันจะครอบคลุมถึงการแสดงรายละเอียดในแต่ละระดับไปพร้อมๆ กัน จากสมการที่ (3.24) โดยสามารถเห็นการกระจายฟังก์ชัน  $f(t)$  เป็น 2 ส่วนคือ ส่วน background และ ส่วนของรายละเอียด ในทำนองเดียวกันสามารถดูสเปซของฟังก์ชันนั้นก็คือ Square integral:  $L^2(\mathbb{R})$  ซึ่งประกอบไปด้วยลำดับของสเปซย่อย  $\{W_k\}$  และ  $V_j$  รวมไปถึงการประมาณค่าของ  $f(t)$  ที่ระดับความละเอียด  $j$  คือ  $f_j(t)$  ใน  $V_j$  และรายละเอียด  $d_k(t)$  ใน  $W_k$

การวิเคราะห์แบบมัลติเรโซลูชันของ  $L^2(\mathbb{R})$  [7] ได้นิยามลำดับของสเปซย่อย  $\{V_j\}_{j \in \mathbb{Z}}$  โดยที่  $\mathbb{Z}$  เป็นเซตของจำนวนเต็มดังนี้

- (1)  $\dots \subset V_{-1} \subset V_0 \subset V_1 \subset \dots \subset L^2(\mathbb{R})$
- (2)  $\bigcap_j V_j = \{0\}, \overline{\bigcup_j V_j} = L^2(\mathbb{R})$
- (3)  $f(t) \in V_j \Leftrightarrow f(2t) \in V_{j+1}$
- (4)  $f(t) \in V_0 \Rightarrow f(t-k) \in V_0$
- (5) มีฟังก์ชัน  $\phi(t)$  และ  $\phi(t-k)$  ซึ่งเป็น Orthonormal basis อยู่ใน  $V_0$

จากนิยามข้อที่ (1) สเปซย่อย  $V_j$  จะเป็นสับเซตของสเปซย่อย  $V_{j+1}$  ดังรูปที่ 3.5 หรือถ้ามองในโดเมนเวลา ฟังก์ชันที่ถูกประมาณใน  $V_{j+1}$  คือสมการที่ (3.23)



รูปที่ 3.5 แสดงสเปซย่อย  $V_j$  ใน  $L^2(\mathbb{R})$  ตามนิยามของการวิเคราะห์แบบมัลติรีโซลูชัน

และความแตกต่างของการประมาณฟังก์ชันใน  $V_j$  และ  $V_{j+1}$  คือรายละเอียด  $d_j(t)$  ซึ่งอยู่ใน  $W_j$  ดังนั้นจะได้

$$V_{j+1} = V_j \oplus W_j \quad (3.25)$$

เมื่อ  $\oplus$  แทนการบวกเชิงตั้งฉากและ  $W_j$  ถูกเรียกว่าสเปซของรายละเอียดหรือ Complementary subspace และจะตั้งฉากกับ  $V_j$  ซึ่งจะใช้สัญลักษณ์  $V_j \perp W_j$  ซึ่งหมายความว่าผลคูณภายในของแต่ละ element ใน  $V_j$  กับแต่ละ element  $W_j$  จะมีค่าเป็นศูนย์ แต่เมื่อมองที่สเปซย่อย  $V_j$  จะได้

$$V_j = V_{j-1} \oplus W_{j-1} \quad (3.26)$$

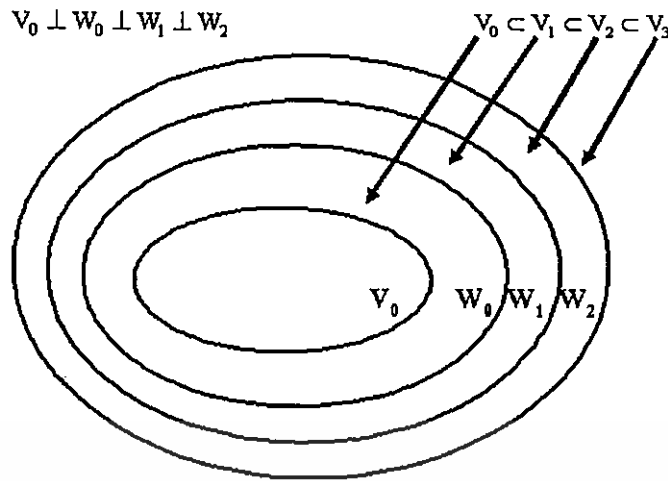
เมื่อแทนสมการที่ (3.26) ในสมการที่ (3.25) จะได้

$$V_{j+1} = W_j \oplus V_j = W_j \oplus W_{j-1} \oplus V_{j-1} \quad (3.27)$$

และเมื่อกระจาย  $V_{j+1}$  ไปอีกจะได้

$$V_{j+1} = W_j \oplus W_{j-1} \oplus W_{j-2} \oplus \cdots \oplus W_{j-j} \oplus V_{j-j} \quad (3.28)$$

จากสมการที่ (3.28) สามารถแสดงสเปซย่อย  $W_j$  ใน  $L^2(\mathbb{R})$  ได้ดังรูปที่ 3.8



รูปที่ 3.6 แสดงสเปซย่อย  $W_j$  ใน  $L^2(\mathbb{R})$

นิยามข้อที่ (2) ฟังก์ชันจะถูกประมาณที่ระดับความละเอียดที่หยาบที่สุดคือที่ระดับ  $j \rightarrow -\infty$  จะได้ว่า  $\lim_{j \rightarrow -\infty} V_j = \{0\}$  ในทางกลับกันเมื่อเพิ่มรายละเอียดจนถึงที่ระดับความละเอียดอนันต์จะได้ สัญญาณกลับคืนมานั่นคือ  $\lim_{j \rightarrow \infty} V_j \rightarrow L^2(\mathbb{R})$

นิยามข้อที่ (3) สเปซ  $V_j$  ถูกสเกลหรือขยายจากสเปซ  $V_0$  เนื่องจากที่ระดับความละเอียด  $j+1$  จะเก็บรายละเอียดที่สูงกว่าที่ระดับความละเอียด  $j$  ดังนั้นความถี่ของฟังก์ชันใน  $V_{j+1}$  จะมีค่าเป็น 2 เท่าของฟังก์ชันใน  $V_j$  หมายความว่าถ้ามีฟังก์ชัน  $f(t)$  ในสเปซย่อย  $V_j$  แล้วจะมี  $f(2t)$  อยู่ใน  $V_{j+1}$

นิยามข้อที่ (4) ถ้าสเปซย่อย  $V_0$  มีฟังก์ชัน  $f(t)$  แล้วฟังก์ชัน  $f(t)$  ที่ถูกเลื่อนคือ  $f(t-k)$  ซึ่งจะเลื่อนด้วยค่าจำนวนเต็ม  $k$  และจะเก็บอยู่ใน  $V_0$  ด้วยนิยามข้อที่ (5) มี basis function  $\varphi(t)$  ซึ่งเรียกว่า สเกลลิงฟังก์ชัน (scaling function) และรวมถึงสเกลลิงฟังก์ชันที่ถูกเลื่อนคือ  $\varphi(t-k)$  อยู่ใน  $V_0$  และแต่ละฟังก์ชันจะมีคุณสมบัติเป็น orthonormal

### 3.2.2 The Scaling Function

จากแนวความคิดของการวิเคราะห์แบบมัลติเรโซลูชัน เริ่มจากการนิยามสเกลลิงฟังก์ชัน  $\varphi_k(t)$  และเซตของสเกลลิงฟังก์ชันถูกนิยามในเทอมของการเลื่อนของสเกลลิงฟังก์ชันซึ่งจะได้

$$\varphi_k(t) = \varphi(t-k) \quad k \in \mathbb{Z} \quad \varphi \in L^2 \quad (3.29)$$

เมื่อ  $\mathbb{Z}$  เป็นเซตของจำนวนเต็ม จากสมการที่ (3.29) ขนาดของสเปซย่อยใน  $L^2$  ถูกกำหนดโดยเซตของสเกลลิงฟังก์ชันคือ

$$V_0 = \overline{\text{Span}_{\mathbb{K}} \{\varphi_k(t)\}} \quad (3.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องหมาย over bar แทนช่วงปิดของสเปซ จากกฎข้อที่ (3) และกฎข้อที่ (4) ของการวิเคราะห์แบบมัลติรีโซลูชัน จากนิยามการสเกลของสเกลลิ่งฟังก์ชันหรือเป็นการเปลี่ยนความถี่ของสเกลลิ่งฟังก์ชัน โดย

$$\varphi_{j,k}(t) = 2^{j/2} \varphi(2^j t - k) \quad (3.31)$$

ดังนั้นขนาดของสเปซย่อยในสมการที่(3.11)จะกลายเป็น

$$V_j = \overline{\text{Span}_k \{\varphi_k(2^j t)\}} = \overline{\text{Span}_k \{\varphi_{j,k}(t)\}} \quad (3.32)$$

ถ้า  $f(t) \in V_j$  และ  $k \in Z$  แล้วสามารถประมาณฟังก์ชัน  $f(t)$  ได้ดังสมการที่(3.14)

$$f(t) = \sum_k a_k \varphi(2^j t - k) \quad (3.33)$$

สำหรับทุกค่าที่  $j > 0$  ขนาดของ subspace จะกว้างขึ้น เป็นเหตุให้  $\varphi_{j,k}(t)$  แคบลงและมี step ในการเลื่อนเล็กลง ซึ่งมันจะสามารถแทนสัญญาณได้ละเอียดมากขึ้น สำหรับที่ค่า  $j < 0$  ความกว้างของ subspace จะแคบลง สเกลลิ่งฟังก์ชัน  $\varphi_{j,k}(t)$  มีขนาดกว้างขึ้นและมี step ในการเลื่อนโตขึ้น เป็นเหตุให้สามารถแทนสัญญาณได้ไม่ละเอียด

จากกฎข้อที่(3)ของการวิเคราะห์แบบมัลติรีโซลูชัน สเกลลิ่งฟังก์ชันที่ระดับความละเอียด  $j+1$  จะมีการความถี่เป็นสองเท่าของสเกลลิ่งฟังก์ชันที่ระดับความละเอียด  $j$  ดังนั้นจึงสามารถนิยามสเกลลิ่งฟังก์ชัน  $\varphi(t)$  ที่อยู่ใน  $V_0$  ในรูปแบบของ linear combination ของ  $\varphi(2t)$  ที่ถูกเลื่อนใน  $V_1$  ได้ดังนี้

$$\varphi(t) = \sum_n h_0(n) \sqrt{2} \varphi(2t - n) \quad (3.34)$$

โดยที่  $h_0(n)$  เป็นสัมประสิทธิ์ตัวกรองความถี่บางครั้งจะเรียกว่า scaling filter และ  $\sqrt{2}$  เป็นตัวรักษาคุณสมบัติการเป็น norm ของสเกลลิ่งฟังก์ชันที่ถูกสเกลด้วย 2 สมการนี้เรียกว่า dilation equation เนื่องจาก  $\{\varphi_{jk}(t)\}$  เป็น orthonormal ดังนั้นสัมประสิทธิ์  $\{h_0(n)\}$  สามารถหาได้จากการคำนวณ inner product (สมมติว่า  $\varphi$  เป็นฟังก์ชันจำนวนจริง) จะได้

$$h_0(n) = \langle \varphi_{1n}, \varphi \rangle = \sqrt{2} \int_{-\infty}^{\infty} \varphi(t) \varphi(2t - n) dt \quad (3.35)$$

จากสมการนี้สามารถหาคุณสมบัติบางอย่างของสัมประสิทธิ์  $\{h_0(n)\}$  ได้ โดยการอินทิเกรตทั้ง 2 ข้างของสมการที่(3.34) โดยใช้คุณสมบัติของ scaling function ที่มีพื้นที่ใต้กราฟเท่ากับหนึ่ง ( $\int_{-\infty}^{\infty} \varphi(t) dt = 1$ ) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sum_n h_0(n) = \sqrt{2} \quad (3.36)$$

ในทางตรงกันข้ามถ้าคุณตั้งข้างของสมการที่ (3.34) ด้วย  $\varphi(t-l)$  แล้วอินทิเกรตจะได้

$$\begin{aligned} \int_{-\infty}^{\infty} \varphi(t)\varphi(t-l)dt &= 2 \sum_n \sum_{n'} h_0(n)h_0(n') \int_{-\infty}^{\infty} \varphi(2t-n')\varphi(2t-2l-n)dt \\ &= \sum_n h_0(n)h_0(n+2l) \end{aligned} \quad (3.37)$$

ใช้คุณสมบัติ orthogonal ของสเกลลิ่งฟังก์ชันจะได้

$$\begin{aligned} \sum_n h_0(n)h_0(n+2l) &= 0, \quad l \neq 0 \\ \sum_n h_0(n)h_0(n+2l) &= \delta, \quad l = 0 \end{aligned}$$

นั่นคือ

$$\sum_n h_0^2(n) = 1, \quad l = 0 \quad (3.38)$$

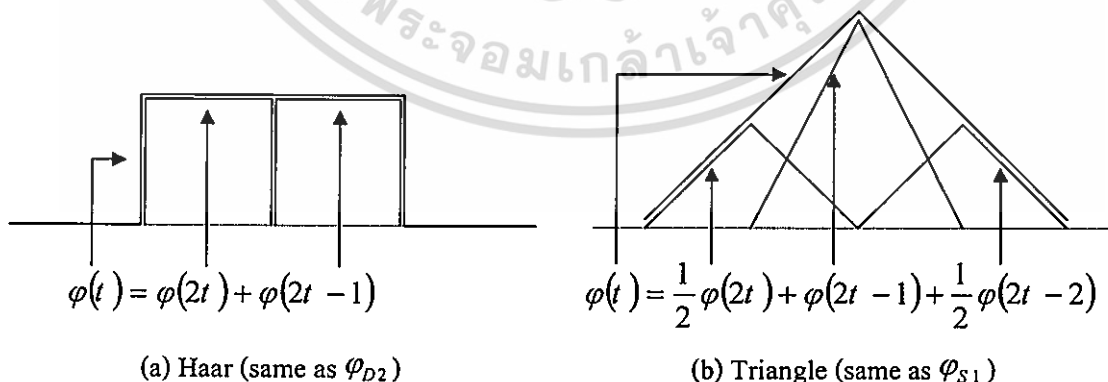
ตัวอย่างของสเกลลิ่งฟังก์ชันที่ง่ายที่สุดคือ Harr scaling function ซึ่งเป็นพัลส์ขนาด 1 หน่วยดังรูปที่ 3.7 (a) จะเห็นว่า  $\varphi(2t)$  สามารถใช้ในการสร้างฟังก์ชัน  $\varphi(t)$  ได้โดย

$$\varphi(t) = h_0(0)\sqrt{2}\varphi(2t) + h_0(1)\sqrt{2}\varphi(2t-1) \quad (3.39)$$

ดังนั้น  $h(n)$  ในสมการที่(3.39) จะต้องมามีค่า  $h_0(0) = 1/\sqrt{2}$  และ  $h_0(1) = 1/\sqrt{2}$  และตัวอย่างที่ 2 ดังรูปที่ 3.7 (b) เป็น triangle scaling function (a first order spline) สามารถสร้าง  $\varphi(t)$  ได้โดย

$$\varphi(t) = h_0(0)\frac{1}{2}\varphi(2t) + h_0(1)\varphi(2t-1) + h_0(2)\frac{1}{2}\varphi(2t-2) \quad (3.40)$$

ค่าสัมประสิทธิ์  $h(n)$  ที่เป็นไปตามสมการ (3.40) คือ  $h_0(0) = 1/2\sqrt{2}$ ,  $h_0(1) = 1/\sqrt{2}$  และ  $h_0(2) = 1/2\sqrt{2}$



รูปที่ 3.7 Harr และ Triangle Scaling Function

### 3.2.3 The Wavelet functions

เมื่อมาพิจารณาสเปซย่อย  $\{w_j\}$  ซึ่งเป็น detail spaces และพวกมันจะตั้งฉากซึ่งและกัน จากสมการที่ (3.28)

$$V_{j+1} = \bigoplus_{k=-\infty}^j W_k$$

และให้  $j \rightarrow \infty$  จะได้

$$L^2(\mathbb{R}) = \bigoplus_{k=-\infty}^j W_k \quad (3.41)$$

จากสมการ (3.41) สามารถกระจาย  $L^2(\mathbb{R})$  เป็นการบวกเชิงตั้งฉากของสเปซย่อย  $\{w_j\}$  และในสเปซย่อย  $\{w_j\}$  จะบรรจุ basis function  $\{\psi_{jk}(t)\}_k$  โดยที่  $\psi_{jk}(t) = 2^{j/2} \psi(2^j t - k)$  ดังนั้น  $L^2$  จะมี orthonormal basis  $\{\psi_{jk}(t)\}_{jk}$  ซึ่งถูกเรียกว่า wavelet basis และเวฟเล็ต  $\psi_{jk}(t)$  ทั้งหมดจะถูกสร้างจากฟังก์ชัน  $\psi(t)$  โดยการเลื่อนและการสเกล ซึ่งเรียกฟังก์ชัน  $\psi(t)$  ว่า mother wavelet หรือ basic function เพราะว่า  $\{\psi(t - k)\}$  อยู่ใน  $W_0$  และ  $W_0 \subset V_1$  ดังนั้น  $\psi(t)$  สามารถถูกเขียนเป็น superposition ของ basis functions จะได้

$$\psi(t) = \sum_n h_1(n) \sqrt{2} \varphi(2t - n) \quad (3.42)$$

สมการนี้ถูกเรียกว่า wavelet equation ใช้คุณสมบัติของ  $\{\varphi_{jk}(t)\}$  ที่เป็น orthonormal ดังนั้นสัมประสิทธิ์  $\{h_1(n)\}$  สามารถหาได้โดยการคำนวณ inner product

$$h_1(n) = \langle \phi_{1n}, \psi \rangle = \sqrt{2} \int_{-\infty}^{\infty} \psi(t) \varphi(2t - n) dt \quad (3.43)$$

จากสมการที่(3.42) สามารถหาคุณสมบัติบางอย่างของสัมประสิทธิ์  $\{h_1(n)\}$  ได้ โดยการอินทิเกรตทั้ง 2 ข้างของสมการที่(3.42) และใช้คุณสมบัติของ wavelet function ที่มีพื้นที่ใต้กราฟเท่ากับศูนย์ หรือ  $\int_{-\infty}^{\infty} \psi(t) dt = 0$  จะได้

$$\sum_n h_1(n) = 0 \quad (3.44)$$

โดยที่  $h_0(n)$  และ  $h_1(n)$  มีความสัมพันธ์กันดังสมการที่ (3.45)

$$h_1(n) = (-1)^n h_0(1 - n) \quad (3.45)$$

ตัวอย่างของเวฟเล็ตฟังก์ชันที่ง่ายที่สุดคือ Harr wavelet function ดังรูปที่ 3.8 (a) จะเห็นว่า  $\varphi(2t)$  สามารถใช้ในการสร้างฟังก์ชัน  $\psi(t)$  ได้โดย

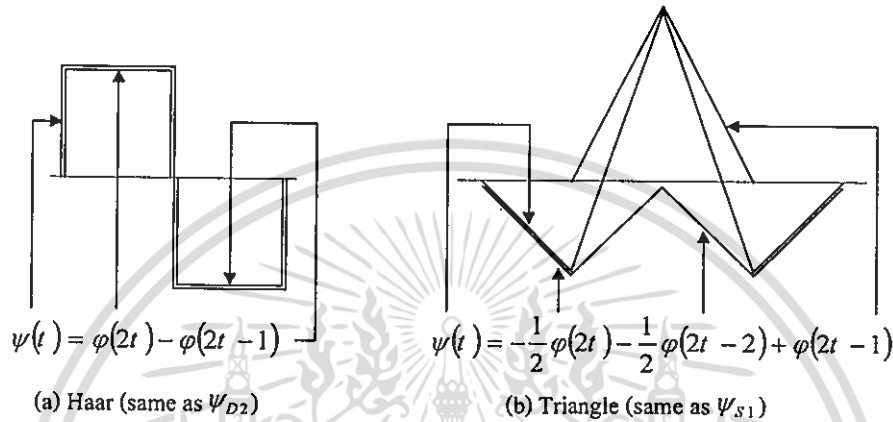
$$\psi(t) = h_1(0) \sqrt{2} \varphi(2t) + h_1(1) \sqrt{2} \varphi(2t - 1) \quad (3.46)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น  $h_1(n)$  ในสมการที่(3.46) จะต้องมีค่า  $h_1(0) = 1/\sqrt{2}$  และ  $h_1(1) = -1/\sqrt{2}$  และตัวอย่างที่ 2 เป็น triangle wavelet function (a first order spline) ดังรูปที่ 3.8 (b) สามารถสร้าง  $\varphi(t)$  ได้โดย

$$\psi(t) = \frac{1}{2}h_1(0)\varphi(2t) + h_1(1)\varphi(2t-1) + \frac{1}{2}h_1(2)\varphi(2t-2) \quad (3.47)$$

ค่าสัมประสิทธิ์  $h_1(n)$  ที่เป็นไปตามสมการ(3.47) คือ  $h_1(0) = 1/2\sqrt{2}$ ,  $h_1(1) = -1/\sqrt{2}$  และ  $h_1(2) = 1/2\sqrt{2}$



รูปที่ 3.8 Harr และ Triangle Wavelet Function

### 3.2.4 การแปลงเวฟเล็ตเต็มหน่วย (DWT)

จาก [6] การหาความสัมพันธ์ระหว่างสัมประสิทธิ์การกระจายเวฟเล็ตที่ระดับสเกลต่ำในเทอมของระดับการสเกลสูงโดยใช้สมการ Scaling function หรือสมการที่ (3.34) นั่นคือ

$$\varphi(t) = \sum_n h_0(n)\sqrt{2}\varphi(2t-n)$$

ถ้าสเกลและเลื่อนตัวแปรเวลา (t) ด้วย k จะได้

$$\begin{aligned} \varphi(2^j t - k) &= \sum_n h_0(n)\sqrt{2}\varphi(2(2^j t - k) - n) \\ &= \sum_n h_0(n)\sqrt{2}\varphi(2^{j+1} t - 2k - n) \end{aligned} \quad (3.48)$$

เมื่อเปลี่ยนตัวแปรโดยให้  $m = 2k + n$  จะได้

$$\varphi(2^j t - k) = \sum_m h_0(m - 2k)\sqrt{2}\varphi(2^{j+1} t - m) \quad (3.49)$$

ดังนั้นสเปซ  $V_j$  จะกลายเป็น

$$V_j = \text{Span} \left\{ 2^{j/2} \varphi(2^j t - k) \right\} \quad (3.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วสัญญาณ  $f(t) \in V_{j+1}$  จะกลายเป็น

$$f(t) = \sum_k c_{j+1}(k) 2^{(j+1)/2} \varphi(2^{j+1}t - k) \quad (3.51)$$

ที่ระดับความละเอียดต่ำกว่า 1 ระดับ และใช้เวฟเล็ตฟังก์ชันแทนรายละเอียดหรือ  $V_{j+1} = V_j \oplus W_j$  ได้

$$f(t) = \sum_k c_j(k) 2^{j/2} \varphi(2^j t - k) + \sum_k d_j(k) 2^{j/2} \psi(2^j t - k) \quad (3.52)$$

ที่ซึ่ง  $2^{j/2}$  เป็นตัว normalize เพื่อให้สเกลลิงฟังก์ชันที่ถูกสเกลด้วย  $2^j$  ยังคงเป็น norm function ที่การสเกลต่างๆ ถ้า  $\varphi_{j,k}(t)$  และ  $\psi_{j,k}(t)$  เป็น orthonormal สัมประสิทธิ์ของการสเกลที่ระดับ  $j$  หาได้โดยผลคูณภายใน

$$c_j(k) = \langle f(t), \varphi_{j,k}(t) \rangle = \int f(t) 2^{j/2} \varphi(2^j t - k) dt \quad (3.53)$$

แทนสมการที่ 3.49 ลงในสมการที่ 3.53 จะได้

$$c_j(k) = \sum_m h_0(m - 2k) \int f(t) 2^{(j+1)/2} \varphi(2^{j+1}t - m) dt \quad (3.54)$$

เมื่อพิจารณาในเทอมที่อื่นที่เกรตในสมการที่ (3.54) ซึ่งเป็น inner product ของ  $f(t)$  กับ scaling function ที่ระดับการสเกล  $j+1$  นั่นคือ

$$c_{j+1}(m) = \int f(t) 2^{(j+1)/2} \varphi(2^{j+1}t - m) dt \quad (3.55)$$

ดังนั้นจะได้

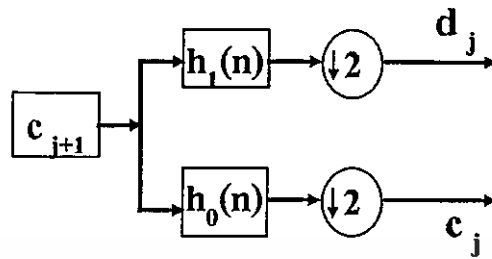
$$c_j(k) = \sum_m h_0(m - 2k) c_{j+1}(m) \quad (3.56)$$

และสัมประสิทธิ์เวฟเล็ต  $d_j(k)$  หาได้ในลักษณะเดียวกันกับ  $c_j(k)$  จะได้

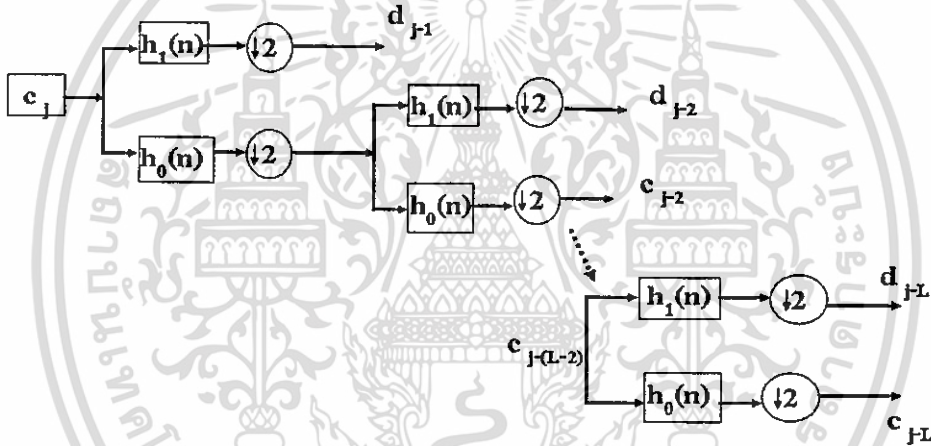
$$d_j(k) = \sum_m h_1(m - 2k) c_{j+1}(m) \quad (3.57)$$

โดยที่  $c_j(k)$  ในสมการที่ (3.56) คือสัมประสิทธิ์สเกลลิงและ  $d_j(k)$  ในสมการที่ (3.57) คือสัมประสิทธิ์เวฟเล็ต และการคำนวณหา  $c_j(k)$  และ  $d_j(k)$  เรียกว่าการแปลงเวฟเล็ตแบบเต็มหน่วย (Discrete Wavelet Transform: DWT) ซึ่ง  $h_0$  และ  $h_1$  ในสมการที่ (3.56) และสมการที่ (3.57) เป็นผลตอบสนองอิมพัลส์ ดังนั้นในการแปลงเวฟเล็ตเต็มหน่วยจากระดับความละเอียด  $j+1$  ไปยังระดับความละเอียด  $j$  สามารถอธิบายด้วย Two-Band Analysis Filter Bank ได้ดังรูปที่ 3.9 และการแปลง

เวฟที่เกิดเต็มหน่วยจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $L$  สามารถแสดงในรูปของ Octave Band Analysis Filter Bank ได้ดังรูปที่ 3.10

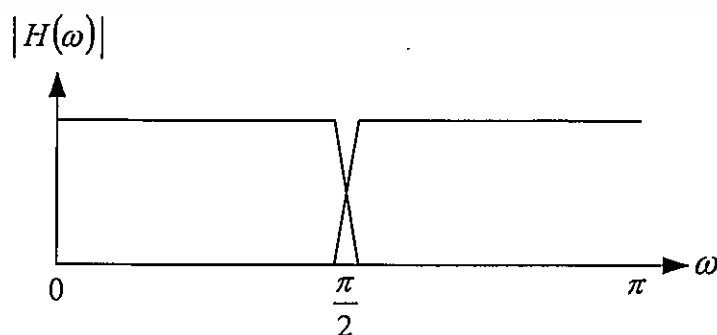


รูปที่ 3.9 แสดง Two-Band Analysis Filter Bank ของการแปลงเวฟที่เกิดจากระดับความละเอียด  $j+1$  ไปยังระดับความละเอียด  $j$



รูปที่ 3.10 แสดง Two-Band Analysis Filter Bank ของการแปลงเวฟที่เกิดจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $j-L$

โดยที่  $\downarrow 2$  แทน Down sampling ด้วย 2 แต่  $h_0$  เป็น lowpass filter และ  $h_1$  เป็น highpass filter ดังนั้นสามารถแสดง Frequency Bands ของการแปลงเวฟเกิดในรูปที่ 3.11 ได้ดังนี้

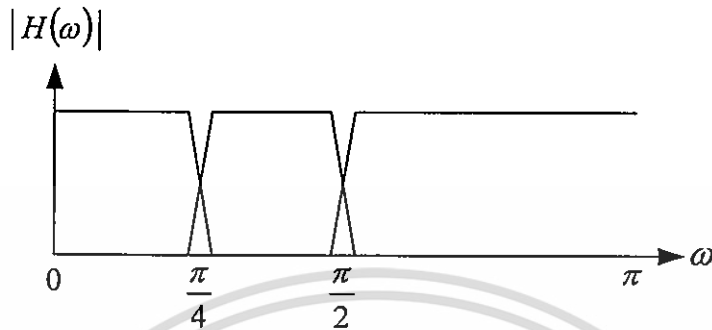


รูปที่ 3.11 แสดง Frequency Bands ของการแปลงเวฟเกิดจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $j-1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาการแปลงเวฟเล็ตจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $j-2$  หมายความว่า Frequency Band ในรูปที่ 3.11 band ของความถี่ต่ำจะถูกแบ่งออกเป็น 2 bands คือ band ความถี่ต่ำและความถี่สูง ดังนั้น Frequency Band ในรูปที่ 3.11 จะถูกเปลี่ยนดังรูปที่ 3.12



รูปที่ 3.12 แสดง Frequency Bands ของการแปลงเวฟเล็ตจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $j-2$

### 3.2.5 ตระกูลของออโรนอร์มัลเวฟเล็ต

จากที่ได้กล่าวมาข้างต้นว่าสัญญาณ หรือฟังก์ชันสามารถกระจายในรูปแบบของ linear combination ซึ่งมีเวฟเล็ตเป็น basis function ได้ แต่ wavelet basis ยังสามารถแบ่งย่อยตามลักษณะคุณสมบัติเชิงตั้งฉากออกเป็น 4 ประเภทใหญ่ๆ [9] คือ

(1) Orthogonal Wavelets: Wavelet basis  $\{\psi_{j,k}\}$  ที่เป็น orthogonal จะมีเงื่อนไขดังนี้

$$\langle \psi_{j,k}, \psi_{l,m} \rangle = \delta_{j,l} \delta_{k,m} \quad ; j, l, k, m \in \mathbb{Z}$$

หมายความว่า ผลของการ inner product ของเวฟเล็ตจะเป็นหนึ่งเมื่อเป็นเวฟเล็ตที่ระดับความละเอียดเดียวกันและตำแหน่งเดียวกันเท่านั้น

(2) Semi-orthogonal Wavelets: Wavelet basis  $\{\psi_{j,k}\}$  ที่เป็น Semi-orthogonal จะมีเงื่อนไข

$$\langle \psi_{j,k}, \psi_{l,m} \rangle = 0 \quad j \neq l \quad ; j, l, k, m \in \mathbb{Z}$$

หมายความว่า ผลของการ Inner product ของเวฟเล็ตจะเป็นศูนย์เมื่อเป็นเวฟเล็ตที่ระดับความละเอียดต่างกันและจะเป็นศูนย์หรือหนึ่งก็ได้ถ้าเป็นเวฟเล็ตที่ระดับความละเอียดเดียวกัน

(3) Nonorthogonal Wavelets: Wavelet basis  $\{\psi_{j,k}\}$  ที่เป็น Nonorthogonal หมายถึงเวฟเล็ตที่ไม่เป็น Semi-orthogonal

(4) Bi-orthogonal Wavelets: Wavelet basis  $\{\psi_{j,k}\}$  ที่เป็น Bi-orthogonal จะมีเงื่อนไขดังนี้

$$\langle \psi_{j,k}, \tilde{\psi}_{l,m} \rangle = \delta_{j,l} \delta_{k,m} \quad ; j, l, k, m \in \mathbb{Z}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายความว่า ผลของการ Inner product ของเวฟเล็ตกับ dual basis:  $\tilde{\psi}_{l,m}$  จะเป็นหนึ่งเมื่ออยู่ที่ระดับความละเอียดเดียวกันและตำแหน่งเดียวกันต่างกันเท่านั้นนอกจากนั้นจะเป็นศูนย์

ดังนั้นจะเห็นว่าเวฟเล็ตที่ได้กล่าวในตอนต้นของบทนี้เป็น Orthogonal Wavelets ซึ่งเมื่อพิจารณา basis function ของ Orthogonal Wavelets หรือที่เรียกว่า Orthonormal Wavelets ยังสามารถแบ่งตามลักษณะของ basis function ได้อีก ซึ่งตระกูลออร์โธโกนัลเวฟเล็ตที่สำคัญได้แก่ Daubechies, Symmlet, และ Coiflet โดยที่เวฟเล็ตตระกูล Daubechies มี basis function ในลักษณะ Asymmetric เวฟเล็ตตระกูล Symmlet มี basis function ในลักษณะ Least Asymmetric และเวฟเล็ตตระกูล Coiflet มี basis function ในลักษณะ Nearly Symmetric นอกจากนี้แต่ละตระกูลยังสามารถแบ่งตามความราบเรียบ (Smooth) ของ basis function ซึ่งกำหนดโดยค่าของ Number of Vanishing Moments (NVM) ซึ่งนิยามโดย

$$\int_{-\infty}^{\infty} t^l \psi(t) dt = 0 \quad l = 0, 1, \dots, N-1 \quad (3.58)$$

หรือมองใน Fourier space จะได้ว่า

$$\left. \frac{d^l \tilde{\psi}(\omega)}{d\omega^l} \right|_{\omega=0} = 0 \quad l = 0, 1, \dots, N-1 \quad (3.59)$$

ถ้าค่า  $l$  มากขึ้นจะทำให้ basis function มีความราบเรียบมากขึ้น แต่ในการประยุกต์ใช้งานนั้น ส่วนใหญ่จะไม่ใช้ scaling function หรือ wavelet function โดยตรง แต่จะใช้สัมประสิทธิ์ผลตอบสนองอิมพัลส์  $h_0(n)$  และ  $h_1(n)$  จากเงื่อนไขของ  $h_0(n)$  ในสมการที่ (3.36) และสมการที่ (3.38) สามารถหาสัมประสิทธิ์  $h_0(n)$  NVM=2 ได้คือ

$$\begin{aligned} h_0(0) + h_0(1) &= \sqrt{2} \\ h_0^2(0) + h_0^2(1) &= 1 \end{aligned}$$

เมื่อแก้สมการแล้วจะได้  $h_0(0) = h_0(1) = 1/\sqrt{2}$  ซึ่งเป็น  $h_0(n)$  ของเวฟเล็ตตระกูล Daubechies NVM=2

### 3.3 การแปลงลิฟต์ิงเวฟเล็ต (Lifting Wavelet Transform)

การแปลงลิฟต์ิง [15][16][17][18] เป็นการแปลงที่ใช้ค่าความสัมพันธ์ระหว่างค่าเฉลี่ยและค่าแตกต่าง โดยค่าความสัมพันธ์ของแซมเปิลต่อเนื่องคือค่าความแตกต่าง ถ้าค่าความแตกต่างน้อยหรือค่าแต่ละแซมเปิลมีค่าใกล้เคียงกันนั้นหมายความว่าการทำงานค่า (Prediction) ของแซมเปิลตัวถัดไปจะมีผลออกมาได้ใกล้เคียง การคำนวณค่าเฉลี่ยระหว่างค่าสองแซมเปิลมีคุณสมบัติที่การรักษาคูสมบัติของสัญญาณต้นแบบและเป็นการดึงเอาลักษณะเด่นที่สำคัญออกมาจากสัญญาณที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการวิเคราะห์เรียกว่าขั้นตอนอัปเดต (Update) ในการแปลงแบบลิฟต์เชิงเวฟเล็คนั้นจะประกอบไปด้วยกระบวนการที่สำคัญ 3 ขั้นตอนคือการ แยก (Split) การทำนาย (Prediction) และ อัปเดต (Update)

### 3.3.1 การแยก (Split)

ในกระบวนการนี้จะคัดแยกสัญญาณที่เข้ามาแบ่งเป็นกลุ่มข้อมูลคู่และคี่ ซึ่งในกระบวนการนี้เป็นเพียงแค่การอธิบายตามแนวทางในการแปลงเมื่อถึงการอิมพลีเมนต์จริงไม่จำเป็นต้องมีการเคลื่อนย้ายข้อมูลหรือคัดแยก

### 3.3.2 การทำนาย (Prediction)

เมื่อในสัญญาณมีโครงสร้างบางอย่างอยู่ก็สามารถคาดเดาความสัมพันธ์ระหว่างแซมเปิลหนึ่งกับแซมเปิลที่ติดกันได้ ถ้าได้รับค่าแซมเปิล  $2n$  สามารถทำนายค่าแซมเปิลที่  $2n+1$  ได้ด้วยค่าเดียวกัน จากนั้นก็จะแทนที่ค่าแซมเปิลที่  $2n+1$  ด้วยค่าความสัมพันธ์ในการทำนายที่เป็นค่าความแตกต่าง ซึ่งสามารถแสดงได้ดังสมการ 3.60

$$d_{j-1}[n] = s_j[2n+1] - s_j[2n] \quad (3.60)$$

เมื่อเปรียบเป็นขั้นตอนการทำนาย  $P$  จะเป็น

$$d_{j-1} = \text{odd}_{j-1} - P(\text{even}_{j-1}) \quad (3.61)$$

เมื่อ  $d$  แต่ละตัวเป็นจะได้รับจากค่าแซมเปิลเลขคู่ลบด้วยค่าการทำนายประจำเลขของแซมเปิลคู่

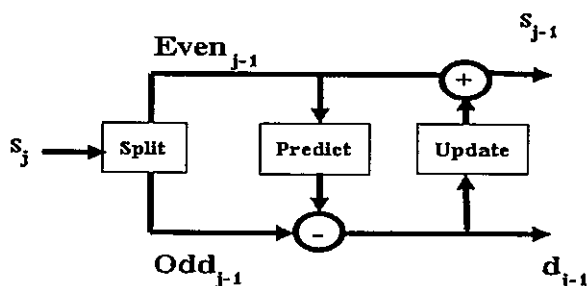
### 3.3.3 การอัปเดต (Update)

เมื่อได้รับตัวเลขคู่จะสามารถทำนายตัวเลขคี่ตัวถัดไปได้ด้วยค่าเดียวกันและเก็บเป็นค่าแตกต่าง จากนั้นจะอัปเดตค่าเลขคู่ที่ได้รับนั้นคือแทนที่ค่าเลขคู่ด้วยค่าเฉลี่ยสามารถแสดงเป็นสมการดังนี้

$$s_{j-1}[n] = s_j[2n] + d_{j-1}[n]/2 \quad (3.62)$$

ดังนั้นขั้นตอนการอัปเดตคือ

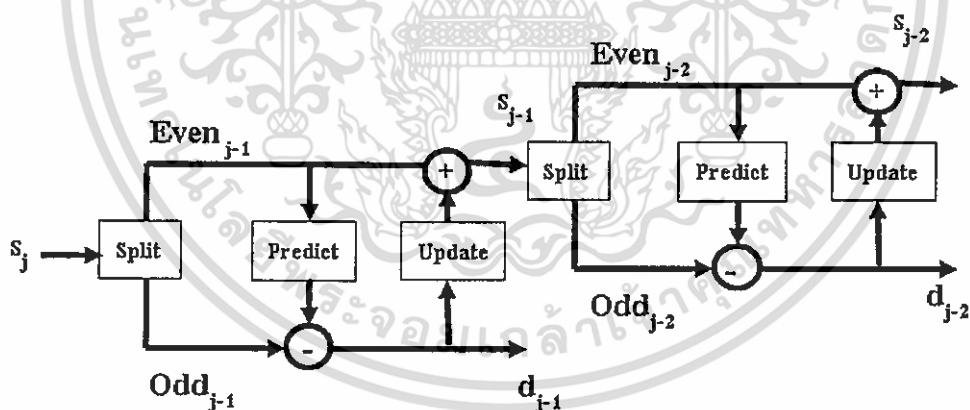
$$s_{j-1} = \text{even}_{j-1} + U(d_{j-1}) \quad (3.63)$$



รูปที่ 3.13 แสดงการแปลงลิฟต์เชิงเวฟเล็ทจากระดับความละเอียด  $j$  ไปยังระดับความละเอียด  $j-1$

กระบวนการทำนายและอัปเดตที่แสดงในรูปที่ 3.13 สัญญาณ  $s_j$  ถูกแปลงไปเป็นสัญญาณสองกลุ่มคือ  $s_{j-1}$  กับ  $d_{j-1}$  นั่นคือการแปลงจากระดับ  $j$  ไปที่ระดับ  $j-1$

จากกระบวนการทั้งหมดสามารถเรียกลิฟต์หนึ่งขั้น (One step lifting) ซึ่งประกอบด้วยขั้นตอนการทำนายและขั้นตอนการอัปเดต ในการแปลงเวฟเล็ทเต็มหน่วยคือค่าที่ได้รับจากการรวมตัวเลขจากกระบวนการลิฟต์นั่นเอง ในการแปลงลิฟต์ต่อไปจะคำนวณค่าแตกต่าง  $d_{j-1}$  และเก็บไว้และใช้ค่าเฉลี่ย  $s_{j-1}$  เป็นค่าอินพุตสำหรับลิฟต์ขั้นต่อไป ซึ่งสามารถแสดงได้ดังในรูป 3.14



รูปที่ 3.14 แสดงการแปลงลิฟต์เชิงเวฟเล็ทเต็มหน่วยแบบสองระดับจากระดับ  $j$  ไปที่ระดับ  $j-2$

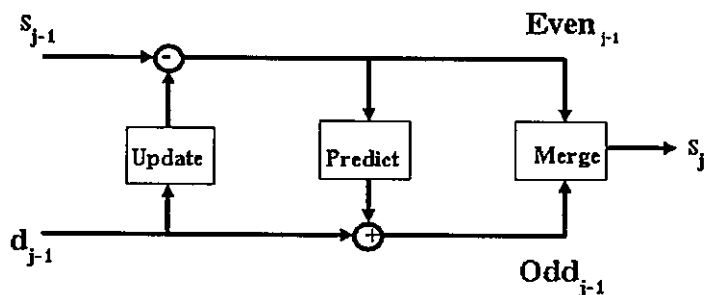
### 3.3.4 การแปลงกลับลิฟต์ (Invert lifting transform)

สามารถแปลงกลับลิฟต์ด้วยการย้อนกลับกระบวนการจากสมการ 3.64 และ 3.65 จะได้รับสมการในการแปลงกลับคือ

$$\text{even}_{j-1} = s_{j-1} - U(d_{j-1}) \quad (3.64)$$

$$\text{odd}_{j-1} = d_{j-1} + P(\text{even}_{j-1}) \quad (3.65)$$

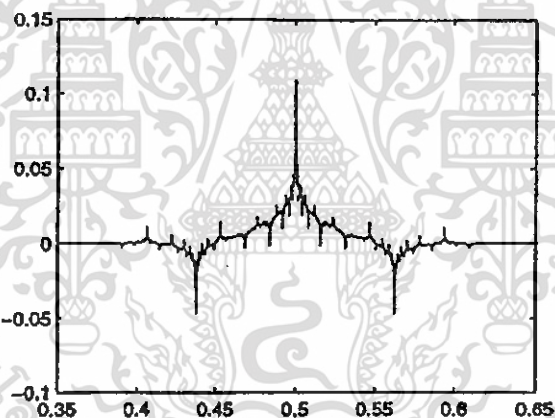
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



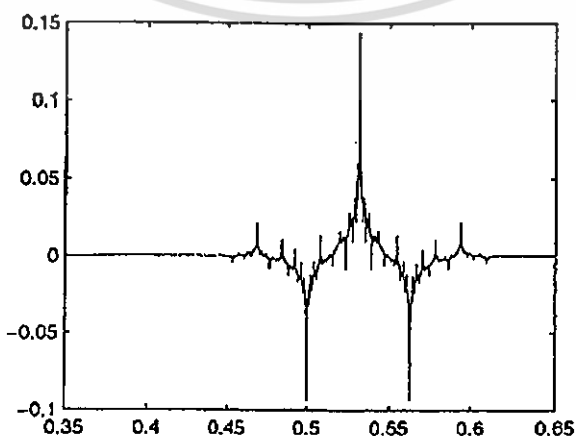
รูปที่ 3.15 แสดงการแปลงกลับลิฟต์ซึ่งเวฟเล็ตจากระดับความละเอียด  $j-1$  ไปยังระดับความละเอียด

### 3.3.5 การแปลงเวฟเล็ต CDF(2,2)[15]

เวฟเล็ตCDF(2,2) เป็นการแปลงเวฟเล็ตในตระกูลไบออร์ทอگونอล (Biorthogonal wavelet transform) ที่ถูกใช้งานอย่างแพร่หลาย ซึ่งถูกสร้างขึ้นโดย A. Cohen I. Daubechies และ J. C. Feauveau [17] บนพื้นฐานของกระบวนการแปลงลิฟต์ซึ่งเวฟเล็ตเต็มหน่วย



รูปที่ 3.16 แสดง Scaling function ของตระกูล CDF(2,2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 3.17 แสดง Wavelet function ของตระกูล CDF(2,2)**  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่เนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการในการแปลงเวฟเล็ต CDF(2,2) มีดังนี้

$$d_{j-1}[n] = s_j[2n+1] - \frac{1}{2}(s_j[2n] + s_j[2n+2]) \quad (3.66)$$

$$s_{j-1}[n] = s_j[2n] + \frac{1}{4}(d_{j-1}[n-1] + d_{j-1}[n]) \quad (3.67)$$

โดยที่  $s_{j-1}[n]$  ในสมการที่ (3.66) คือสัมประสิทธิ์สเกลลิงและ  $d_{j-1}[n]$  ในสมการที่ (3.67) คือ สัมประสิทธิ์เวฟเล็ต ดังนั้นสมการที่ใช้ในการแปลงกลับจากระดับความละเอียด  $j-1$  ไปยังระดับความละเอียด คือ  $j$

$$s_j[2n] = s_{j-1}[n] - \frac{1}{4}(d_{j-1}[n-1] + d_{j-1}[n]) \quad (3.68)$$

$$s_j[2n+1] = d_{j-1}[n] + \frac{1}{2}(s_j[2n] + s_j[2n+2]) \quad (3.69)$$

โดยที่  $s_j$  คือสัญญาณแปลงกลับจากระดับความละเอียด  $j-1$  ไปยังระดับความละเอียด  $j$

### 3.4 มาตรฐานในการวัดประสิทธิภาพการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

ประสิทธิภาพการลดขนาดข้อมูลสัญญาณไฟฟ้าหัวใจ สามารถแสดงด้วยอัตราส่วนระหว่างปริมาณของข้อมูลที่ไม่ได้ผ่านการลดขนาดข้อมูล และปริมาณของข้อมูลที่ได้ผ่านการลดขนาดแล้ว อัตรา ส่วนดังกล่าวเรียกว่า Compression Ratio (CR) แสดงดังสมการที่ (3.70) ปริมาณของข้อมูลที่ไม่ได้ผ่านการบีบอัด

$$CR = \frac{\text{bits of the original data}}{\text{bits of the compression data}} \quad (3.70)$$

สำหรับสัญญาณไฟฟ้าหัวใจที่ผ่านการลดข้อมูลแบบที่มีการสูญเสีย (Lossy Compression) นอกจากค่า CR แล้ว ยังต้องพิจารณาถึงความเพี้ยนของสัญญาณที่เกิดขึ้นด้วย มาตรฐานในการวัดความเพี้ยนของสัญญาณไฟฟ้าหัวใจที่เป็นที่ยอมรับกันทั่วไปคือ ค่า Percent Root Mean Square Difference (PRD) แสดงดังสมการที่ (3.71) แต่ปกติในทางการแพทย์มักจะใช้วิธีการตรวจสอบสัญญาณที่สร้างกลับคืนด้วยสายตา

$$PRD = \sqrt{\frac{\sum_{i=0}^{N-1} (x(i) - \hat{x}(i))^2}{\sum_{i=0}^{N-1} x^2(i)}} \times 100 \quad (3.71)$$

โดยที่  $x(i)$  และ  $\hat{x}(i)$  คือ สัญญาณต้นแบบ และสัญญาณที่ได้จากการสร้างกลับตามลำดับ  
ถ้าค่าอัตราการลดข้อมูล (CR) มีค่ามากและค่า Percent Root Mean Square Difference (PRD) มีค่า  
น้อยแสดงว่าการลดขนาดข้อมูลมีประสิทธิภาพสูง และถ้าค่าอัตราการลดขนาด (CR) มีค่าน้อยและ  
ค่า Percent Root Mean Square Difference (PRD) มีค่ามากแสดงว่าการลดขนาดข้อมูลมี  
ประสิทธิภาพต่ำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

# เอฟพีจีเอ

ในบทนี้จะอธิบายพื้นฐานของเอฟพีจีเอ การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ การออกแบบระบบดิจิทัล การออกแบบจากบนลงล่าง ประวัติความเป็นมาและพื้นฐานของภาษาวีเอชดีแอล

### 4.1 เอฟพีจีเอ

เอฟพีจีเอ ย่อมาจาก Field Programmable Gate Array เป็นชิพที่สามารถโปรแกรมการทำงานได้ ซึ่งชิพนี้ถูกผลิตขึ้นประมาณยุคปี 80 โดยผู้ออกแบบวงจรในระดับ Chip-Level ไม่จำเป็นต้องทำการเจือสารเพื่อนำมาทดสอบ ผู้ออกแบบสามารถใช้โปรแกรมในการจำลองการทำงานของวงจร และสามารถทดสอบการทำงานบนเอฟพีจีเอได้เลย ถ้าวงจรที่ออกแบบไม่ถูกต้องก็สามารถแก้ไขได้และทำการทดสอบใหม่ได้อีกครั้ง นับว่าเป็นการออกแบบชิพต้นแบบที่ประหยัดทั้งเวลาและต้นทุนการผลิตอย่างมาก[19]

#### 4.1.1 ชนิดของเอฟพีจีเอ

ในปัจจุบันมี FPGA อยู่ 4 ชนิดที่วางขายอยู่ในท้องตลาดได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายในและการโปรแกรม ที่แตกต่างกันไป นอกจากนี้ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรม ซึ่งมีอยู่ 2 แบบคือ การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรม โดยการใช้หน่วยความจำ

#### 1. การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพ

1.1 Fuse เป็นวิธีการโปรแกรมที่สามารถทำได้เพียงครั้งเดียว ซึ่งหลังจากที่โปรแกรมแล้วจุดเชื่อม ต่อจะขาดจากกัน

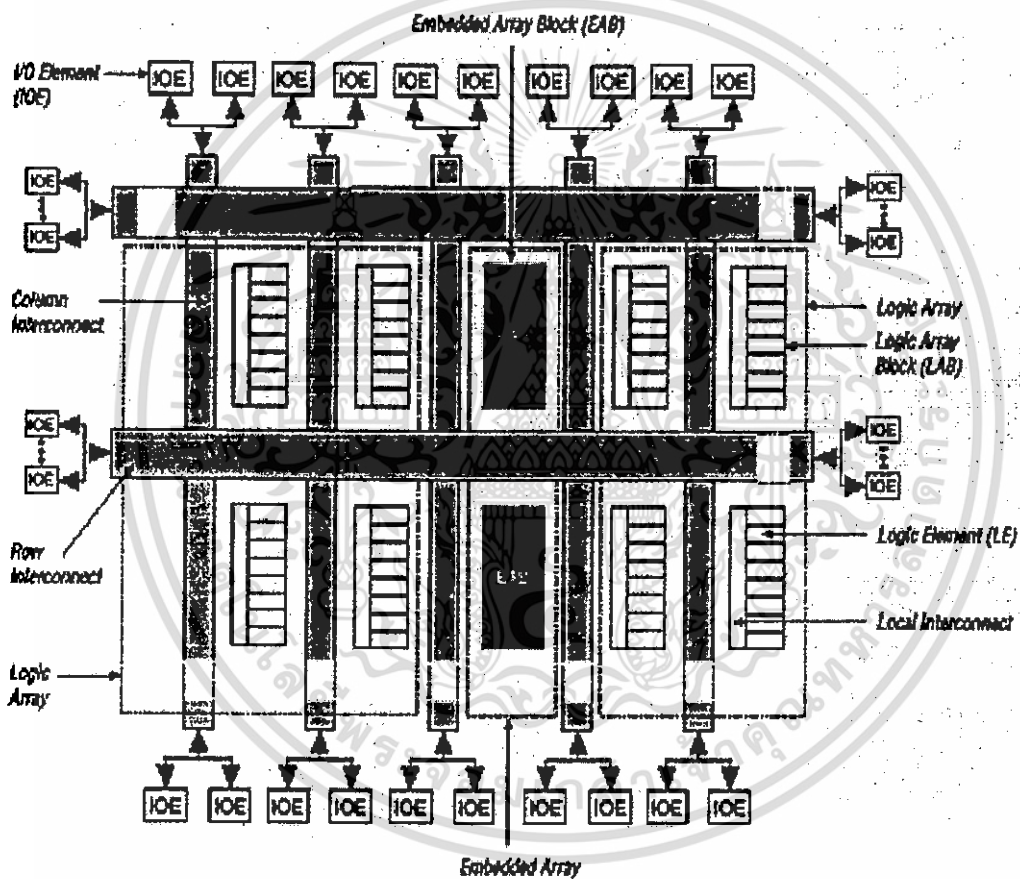
1.2 Anti Fuse เป็นวิธีการโปรแกรมที่คล้ายกับแบบ Fuse แต่ต่างกันที่หลังจากทำการโปรแกรม แล้วจุดเชื่อม ต่อจะเชื่อมถึงกัน

#### 2. การโปรแกรมโดยใช้หน่วยความจำ

2.1 EEPROM Based FPGA เป็น FPGA ที่ใช้การโปรแกรมแบบนี้มักเรียกว่า CPLD ซึ่งเทคโนโลยีที่ใช้จะเหมือนกับ EEPROM ทำให้มีความจุของเกตต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM Based FPGA คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยง และในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต ซึ่งการโปรแกรมสามารถทำได้ประมาณ 10,000 ครั้ง

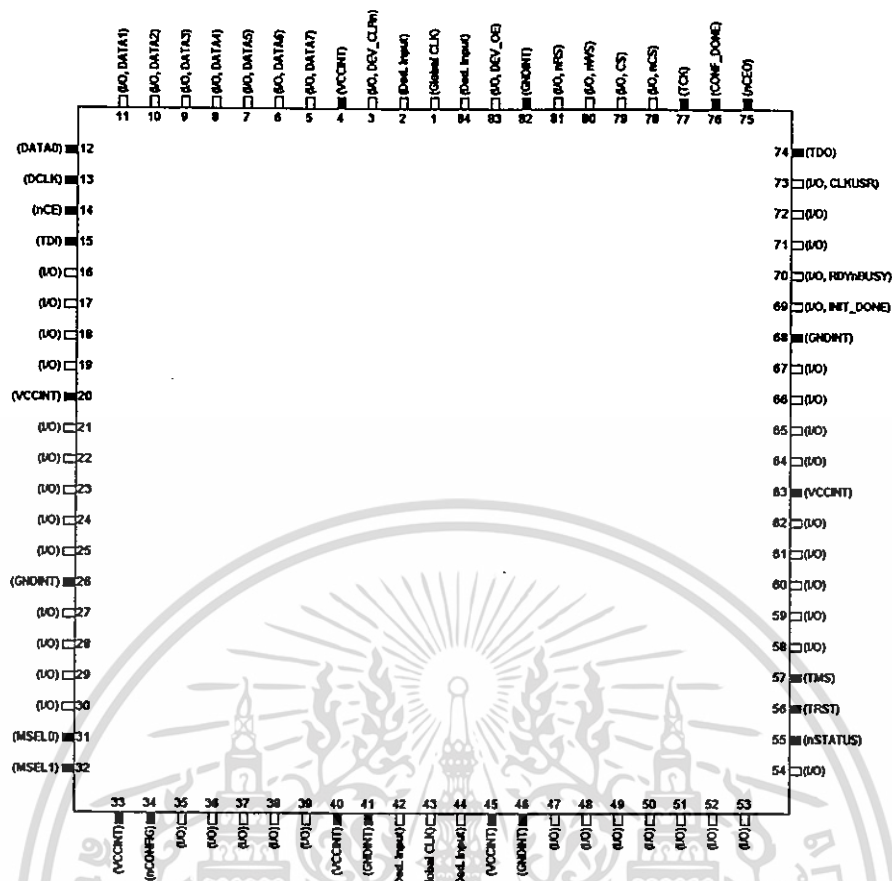
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้จัดทำเห็นว่าเว็บไซต์ทางการค้าไม่เหมาะสมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 SRAM Based FPGA เป็น FPGA แบบนี้จะใช้เทคโนโลยีในการโปรแกรม เหมือนกับ SRAM (Static RAM) ทำให้สามารถ โปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกตในระดับปานกลางถึงสูงมาก (ประมาณ 10,000 - 1,000,000 เกต) ซึ่ง ข้อดีของ SRAM Based FPGA คือใช้เวลาในการ โปรแกรมน้อย (ระดับ nsec) การโปรแกรมทำได้ ง่ายเทียบได้กับการเขียน SRAM ทั่วไป และ เหมาะสำหรับการออกแบบวงจรที่มีความ สลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมใน ภาวะที่ไม่มีไฟเลี้ยงได้ ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROM เพื่อเก็บโปรแกรมและทำการ โหลดโปรแกรมลงในตัวชิปในขณะที่ เริ่มต้นใช้งาน



รูปที่ 4.1 โครงสร้างภายในของ FPGA ตระกูล FLEX10K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

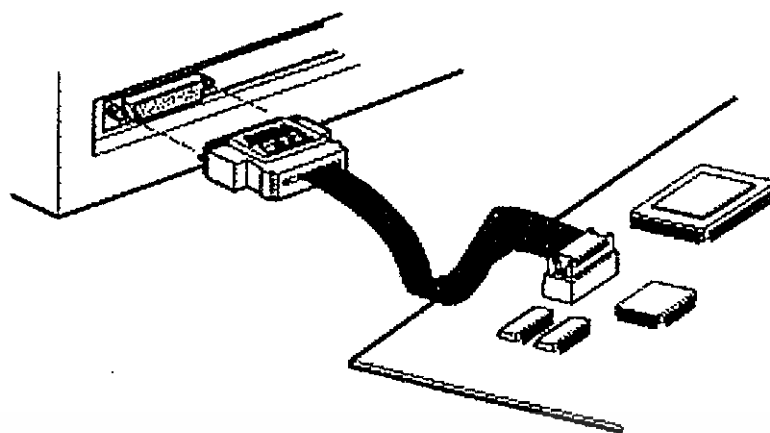


รูปที่ 4.2 ขภายในของ FPGA ตระกูล FLEX10K

#### 4.1.2 การโปรแกรม

สาย Byte Blaster เป็นสายที่ใช้สำหรับดาวน์โหลดข้อมูลทางลอจิกเพื่อที่จะโปรแกรมลงชิพ FPGA ซึ่งจะทำให้การดาวน์โหลดข้อมูลโดยโปรแกรม MAX+plus II ผ่านทางพอร์ตพริ้นเตอร์ (Printer Port) ในการใช้สาย Byte Blaster ดาวน์โหลดข้อมูลลงชิพ FPGA นั้น เราสามารถที่จะดาวน์โหลดข้อมูลทางลอจิกลงไปยังตัวชิพ FPGA ที่ต่ออยู่บนแผ่น PCB ได้โดยตรง โดยที่ไม่ต้องถอดตัวชิพ FPGA ออกมาโปรแกรมต่างหาก

คุณลักษณะของสาย Byte Blaster จะเป็นดังนี้สามารถโปรแกรมข้อมูลทางลอจิกลงชิพ FPGA ได้ทั้งแบบ EEPROM BASE FPGA (ในตระกูล MAX9000, MAX9000A, MAX7000S และ MAX7000A) และแบบ SRAM BASE FPGA (ในตระกูล FLEX10K , FLEX8000 และ FLEX6000) ใช้ดาวน์โหลดข้อมูลทางลอจิกลงชิพ FPGA โดยโปรแกรม MAX+plus II เชื่อมต่อกับพอร์ตพริ้นเตอร์ (Printer Port) ในการเชื่อมต่อสาย Byte Blaster เข้ากับพอร์ตพริ้นเตอร์แสดงดังรูปที่



รูปที่ 4.3 การต่อสาย Byte Blaster เข้ากับคอมพิวเตอร์ผ่านทางพอร์ตพริเตอร์

ในการดาวน์โหลดข้อมูลลงชิพ FPGA จะมีอยู่ 2 โหมดคือ

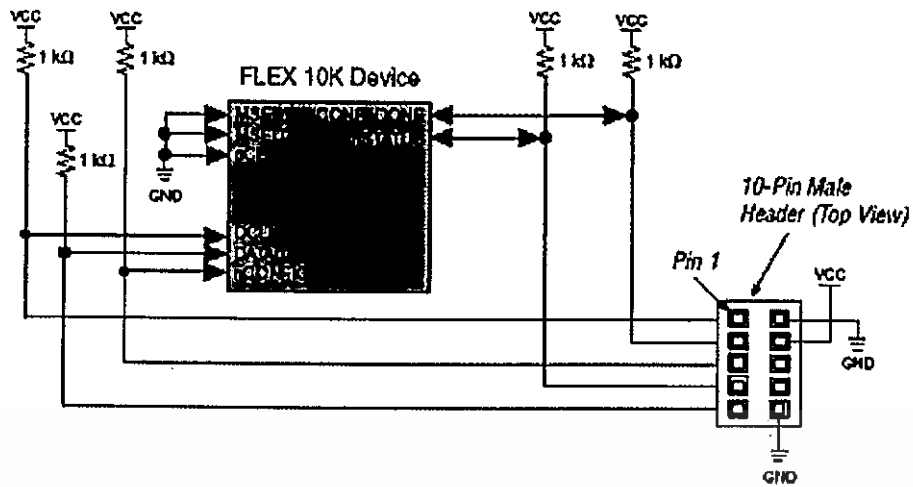
#### Passive Serial Mode (PS Mode)

สำหรับโปรแกรมลงชิพ FPGA ในตระกูล FLEX10K, FLEX8000 และ FLEX6000 Industry-standard Joint Test Action Group Mode (JTAG Mode) เป็นโหมดที่สามารถโปรแกรมข้อมูลลงชิพ FPGA ตระกูล FLEX10K, MAX9000, MAX7000S และ MAX7000A

#### Passive Serial Mode (PS Mode)

ในส่วนนี้จะกล่าวถึงการต่อวงจรของชิพ FPGA สำหรับการโปรแกรมลงชิพ ในโหมด Passive Serial ซึ่งในโหมดนี้สามารถโปรแกรมลงชิพ FPGA ในตระกูล FLEX10K, FLEX8000 หรือ FLEX6000 ในส่วนของการโปรแกรมลงชิพ FPGA นั้นสามารถที่จะโปรแกรมลงในบอร์ดวงจรหรือ PCB ที่มีชิพ FPGA ต่ออยู่ตัวเดียว (Single Device) หรือหลายตัว (Multi Device) ก็ได้

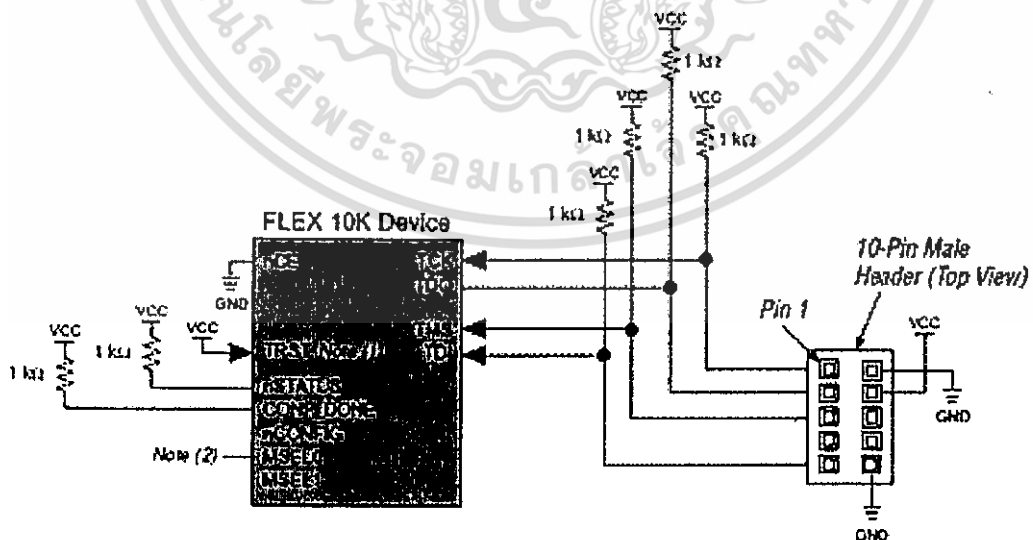
สำหรับไฟล์ข้อมูลที่จะโปรแกรมลงชิพ FPGA ในตระกูล FLEX ซึ่งเป็นชิพ FPGA ที่มีโครงสร้างภายในเป็นแบบ SRAM BASE FPGA นั้นจะต้องเป็นไฟล์ที่มีนามสกุลเป็น .sof (SRAM Object File) ในการต่อวงจรสำหรับการโปรแกรมลงบอร์ดหรือ PCB ที่ประกอบด้วยชิพ FPGA ตัวเดียว (Single Device) สามารถต่อวงจรได้ตามรูปที่ 4.4



รูปที่ 4.4 วงจร Single FLEX10K Device Configuration in PS Mode

#### Industry-standard Joint Test Action Group Mode (JTAG Mode)

ในส่วนนี้จะเป็นการกล่าวถึงการต่อวงจรของชิพ FPGA สำหรับการดาวน์โหลดข้อมูลลงชิพในโหมดของ JTAG Mode ซึ่งในโหมดนี้สามารถใช้งานได้กับชิพ FPGA ตระกูล FLEX10K , MAX9000 , MAX7000S และ MAX7000A เราจะเห็นว่าในโหมด JTAG นี้เราสามารถโปรแกรม FPGA ได้ทั้งแบบ FLEX และ MAX ส่วนของไฟล์ที่จะโปรแกรมลง MAX ซึ่งเป็น FPGA ที่มีโครงสร้างภายในเป็นแบบ EEPROM BASE FPGA จะมีนามสกุลเป็น .pof (Program Object File) ในการต่อวงจรสำหรับการโปรแกรมลงบอร์ดหรือ PCB ที่ประกอบด้วยชิพ FPGA ตัวเดียว ( Single Device) สามารถต่อวงจรได้ตามรูปที่ 4.5



รูปที่ 4.5 วงจร FLEX10K Single Device Configuration in JTAG Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์

ในการออกแบบวงจรดิจิทัลนั้นสามารถทำได้โดยการวาดวงจร (Schematic) หรือใช้ภาษาอธิบายพฤติกรรม (Hardware Description Language) ของฮาร์ดแวร์ จากที่ได้กล่าวไปแล้วในบทที่ 1 ในกรณีของการออกแบบวงจรด้วย ASIC ชนิด Full Custom ผู้ออกแบบจะต้องเขียนวงจรด้วย Schematic จากนั้นจะนำวงจรที่ ออกแบบไว้ไปทำการจำลองการทำงาน (Simulate) ซึ่งหากผลออกมาเป็นที่พอใจก็จะต้อง Layout เป็นชั้นสาร และในการออกแบบ ASIC ชนิดนี้ผู้ออกแบบจำเป็นต้องทราบถึงเทคโนโลยีที่ใช้ในการสร้างด้วย หลังจากได้ Layout ที่สมบูรณ์แล้วจึงจะส่งไปเข้ากระบวนการสร้างไอซีหรือ Fabrication เพื่อสร้างเป็นชิปไอซีออกมา แต่ในการออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำได้สะดวกกว่า เนื่องจากวิธีการนี้ผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซีและที่สำคัญการออกแบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจร ใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยีสำหรับภาษาที่ใช้ สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL, AHDL และ Verilog เป็นต้น ส่วนรายละเอียด ของขั้นตอนในการออกแบบสามารถอธิบายได้ดังนี้

### 4.2.1 การสังเคราะห์วงจร (Logic Synthesis)

ในขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรม ของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ VHDL ซึ่งต้องทำการตรวจสอบด้วยว่าซอฟต์แวร์ นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการหรือไม่ ตัวอย่างเช่น FPGA ของบริษัท XILINX และบริษัท ALTERA จะมีซอฟต์แวร์หลายตัวที่สามารถใช้ได้ เช่น Max Plus II ในขั้นตอนนี้ ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด VHDL และทำการ Optimize เพื่อให้ได้วงจรตาม เทคโนโลยีที่เลือกใช้ในการสังเคราะห์วงจรมันวงจรระดับเกต (Gate Level) จะไม่เหมาะสมกับ โครงสร้างที่มีอยู่ในอุปกรณ์ FPGA ดังนั้นในการ Optimize ซอฟต์แวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั่นจึงทำให้ผล ที่ได้มีประสิทธิภาพและในขั้นตอนการสังเคราะห์วงจรมัน ผู้ออกแบบสามารถกำหนดข้อบังคับสำหรับโมเดล แต่ละตัวได้ เช่น ข้อบังคับในเรื่องเวลา (Timing Constraints) หรือข้อบังคับในเรื่องของพื้นที่ (Area) หรือกำหนดชนิดและตำแหน่งของ I/O ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอน Optimize เพื่อให้วงจร ที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการ Optimize คือการเทียบ (Mapping) โมเดลให้เข้ากับ เทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างและสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำ การสังเคราะห์วงจรเสร็จแล้ว ซอฟต์แวร์การสังเคราะห์วงจรก็จะมีรายงานผลว่าโมเดลที่ออกแบบไปนั้น เป็นอย่างไร เช่น มีค่าความหน่วง (Delay) เท่าใด ใช้ทรัพยากรต่างๆใน FPGA อะไรบ้าง เมื่อมาถึงขั้น ตอนนี้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ภายใต้การสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผู้ออกแบบก็จะทราบว่า โมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตามที่กำหนด

#### 4.2.2 การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นการแบ่งวงจรที่ได้จากการสังเคราะห์ เป็นส่วนย่อยๆ สำหรับลงใน CLBs, IOBs หรือองค์ประกอบอื่นๆ ภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่งคือให้แต่ละส่วนที่จะแยก ออกจากกัน มีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้ เพื่อลดความหนาแน่นในคอนทำการเชื่อม ต่อสัญญาณ (routing) ในขั้นตอนนี้จะใช้ซอฟต์แวร์ทำโดยซอฟต์แวร์จะเทียบส่วนประกอบของวงจรเช่น เกท (gate), ฟลิป-ฟลอป (flip-flop) ลงในทรัพยากรต่างๆ ที่มีอยู่ในอุปกรณ์ FPGA หลังจากทำขั้นตอนนี้ เสร็จแล้วผู้ออกแบบสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์ FPGA ไปเท่าไร ส่วนข้อมูลทางเวลานั้นผู้ออกแบบจะทราบเฉพาะความหน่วงภายในแต่ละส่วนเท่านั้น หรือที่เรียกว่าความ หน่วงลอจิก(logic delay) ส่วนซอฟต์แวร์จะรวมเอาซอฟต์แวร์ย่อยอื่นๆ อีก เพื่อให้การทำ PPR (Partitioning Placement & Routing) เป็นไปอย่างต่อเนื่อง

#### 4.2.3 การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นการเลือกทำเลที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (Partitioning) มาแล้วว่าจะวาง จะอยู่ ณ ตำแหน่งไหนในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด เช่นวงจรส่วนไหนควรอยู่ใกล้กัน เพื่อจะได้ค้นหาเส้นทางได้ (route) ง่ายหรือช่วยลดความหน่วง จะเห็นได้ว่าตำแหน่งภายในอุปกรณ์ FPGA นั้นมี ความสำคัญเพราะถ้าจัดวางวงจรลงในตำแหน่งที่ไม่เหมาะสมแล้วจะทำให้ความหน่วงเพิ่มขึ้นหรือ Router ทำการค้นหาเส้นทางสัญญาณได้ไม่หมด การวางอุปกรณ์ที่ดีควรวางส่วนต่างๆ ให้อยู่ใกล้กัน โดยเฉพาะส่วน ที่มีการเชื่อมต่อสัญญาณด้วยกันนอกจากนั้นการกำหนดตำแหน่งขา I/O (I/O pin) ตามตำแหน่งขา I/O ของ FPGA บนแผ่น PCB ก็จะมีผลโดยตรงเลยคือซอฟต์แวร์จะวาง I/O ลงในตำแหน่งที่ผู้ออกแบบกำหนด ซึ่ง บางครั้งตำแหน่งที่กำหนดไปไม่เหมาะสม ดังนั้นการกำหนดขา I/O ควรกำหนดตำแหน่งให้เหมาะสม หรือ ไม่ก็ให้ซอฟต์แวร์จัดการเอง

#### 4.2.4 การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็นการเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่างๆ ภายในอุปกรณ์ FPGA ขั้นตอนนี้จะทำ ต่อเนื่องจากการวางอุปกรณ์ ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดีซอฟต์แวร์ก็จะทำการเชื่อมต่อสัญญาณ ได้ไม่หมด (เนื่องจากจำนวนทรัพยากรสำหรับเชื่อมต่อสัญญาณนั้นมีอยู่จำกัด) หรือเกิดความหน่วงเกิน ค่าที่กำหนดในข้อบังคับ ผู้ออกแบบสามารถทำขั้นตอนนี้ได้โดยใช้ซอฟต์แวร์หรือผู้ออกแบบจะทำการ เชื่อมต่อสัญญาณด้วยตนเองก็ได้ แต่ทางที่ดีควรใช้ซอฟต์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำดีกว่า นอกจากนั้นการกำหนดข้อบังคับ ทางเวลา จะช่วยให้ผลที่ได้จากการเชื่อมต่อสัญญาณดีขึ้นได้

#### 4.2.5 ความหน่วงด้านเวลา (Delay)

ในการทำ FPGA นั้นความหน่วงที่เกิดขึ้นเป็นความหน่วงที่เกิดจากการวางตำแหน่ง (layout) ของอุปกรณ์ ซึ่งผู้ออกแบบไม่สามารถเข้าไปแก้ไขได้ แต่สามารถทำให้มีความหน่วงน้อยที่สุดได้ สำหรับความหน่วง ที่เกิดขึ้นนั้นแยกได้เป็นสองประเภทคือความหน่วงลอจิก (Logic delay) เป็นความหน่วงภายในองค์ประกอบของอุปกรณ์ FPGA เอง ความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ (Routing delay) เป็นความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณระหว่างองค์ประกอบภายในอุปกรณ์ FPGA โดยปกติแล้ว ค่าความหน่วงลอจิกไม่ควรเกิน 50% ของค่าความหน่วงที่ยอมรับได้ เพราะความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณมักจะมีค่ามากกว่าค่าความหน่วงลอจิก ดังนั้นในการวาง อุปกรณ์ และเชื่อมต่อสัญญาณ ผู้ออกแบบควรกำหนดข้อบังคับทางเวลาเพื่อให้ ซอฟต์แวร์ได้ทำงานอย่างมีประสิทธิภาพเพิ่มขึ้น และเพื่อให้ได้ผลลัพธ์ที่ดีขึ้นค่าความหน่วงที่ได้หลังจากการวางอุปกรณ์ และเชื่อมต่อสัญญาณแล้วจะมีค่าความ หน่วงที่ค่อนข้างแน่นอน ซึ่งผู้ออกแบบสามารถทราบได้ว่าโมเดลที่ออกแบบนั้น เป็นไปตามข้อกำหนด หรือไม่

#### 4.2.6 การจำลองการทำงานของวงจร (Simulation)

ในขั้นตอนนี้เป็นขั้นตอนที่สำคัญอีกขั้นตอนหนึ่ง เพราะเป็นขั้นตอนที่ผู้ออกแบบตรวจสอบ ฟังก์ชันการทำงานของโมเดลว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหนเพื่อจะได้ทำการแก้ไขให้ถูกต้อง ในขั้นตอนนี้ จะมีซอฟต์แวร์ที่ใช้สำหรับทำการจำลองการทำงานของวงจรที่ใช้อยู่ เช่น Model Sim ของบริษัท Model Technology หรือ Max Plus II ของบริษัท Altera ในการจำลองการทำงาน ของวงจร ควรทำทุกครั้งหลังจากที่มีการทำแต่ละขั้นตอนหลักเสร็จแล้ว เพื่อจะได้ทราบว่า ข้อผิดพลาดของโมเดล เกิดขึ้นตอนไหน จะได้แก้ไขข้อผิดพลาดตรงขั้นตอนนี้ๆ ได้เลย ไม่ต้องมาคอยตรวจหาขั้นตอนที่ทำให้ เกิดข้อผิดพลาด นั่นคือการทำจำลองการทำงานของวงจร ต้องทำ ทั้งหลังการเขียน โค้ด, การสังเคราะห์วงจร และการทำ PPR การจำลองการทำงานของวงจรหลังจาก ที่เขียนโค้ดเสร็จแล้วนั้น ผู้ออกแบบสามารถทราบได้แค่โมเดลทำงานถูกต้องหรือไม่เท่านั้น (functional test) ยังไม่สามารถตรวจสอบการทำงานในเชิงเวลาได้ถูกต้อง ในการจำลองการทำงานของวงจรหลังจากที่สังเคราะห์เป็นวงจร แล้ว เพื่อตรวจสอบว่าฟังก์ชันการทำงานยังคงถูกต้องหรือไม่ และค่าความหน่วงที่เกิดขึ้นเป็นไปตาม ข้อบังคับหรือไม่ มีข้อผิดพลาดเกิดขึ้นหรือไม่ถ้ามีจะแก้ไขให้ถูกต้อง

ในการจำลองการทำงานของวงจรหลังจากที่ทำการวางอุปกรณ์ การเชื่อมต่อสัญญาณ (post layout simulation) แล้วก็มีความสำคัญเช่นกันเพราะผลที่ได้จากการจำลองการทำงานของวงจร ในตอนนี้ จะเป็นผลลัพธ์ของโมเดลเลย ซึ่งผู้ออกแบบนอกจากจะตรวจสอบฟังก์ชันการทำงานแล้ว ยังต้อง ตรวจสอบคุณสมบัติอื่นๆ เช่น ความหน่วงที่ได้จากการทำ PPR ในรูปแบบค่าความหน่วงไม่วากรณใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุผลเบื้องเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐาน (Standard Delay Format : SDF) ว่าตรงตามที่กำหนดหรือไม่ หรือตรวจสอบว่าวงจรรวมสามารถใช้งานที่ความถี่สูงสุดเท่าไรนั่นเอง ในการจำลองการทำงาน ของวงจรควรรู้ ซอฟต์แวร์ตัวเดียวกันตลอด เพื่อจะได้เปรียบเทียบผลที่ได้จากขั้นตอนต่างๆ

#### 4.2.7 การโปรแกรมอุปกรณ์ FPGA (Configuration)

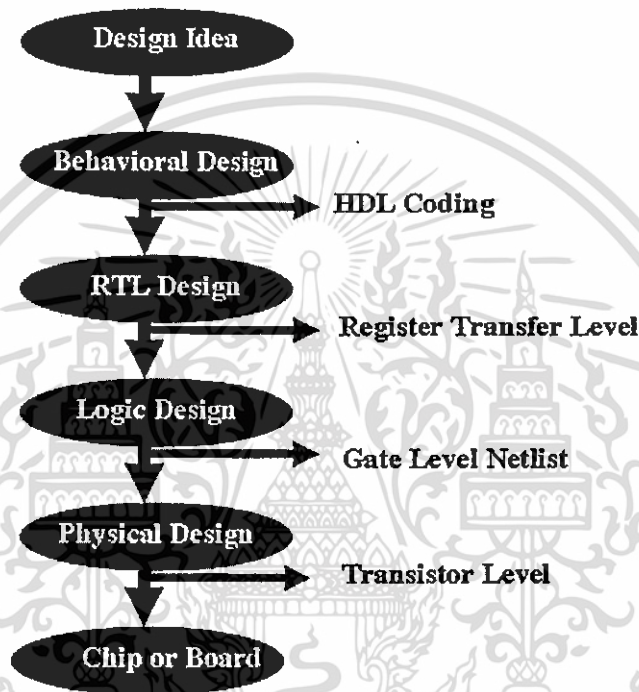
หลังจากที่โมเดลผ่านขั้นตอนต่างๆ จนกระทั่งผ่านการทำ PPR (Partitioning, Placement & Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (download) ลงในอุปกรณ์ FPGA ได้แล้ว ในการดาวน์โหลดนี้ก่อนอื่นต้องแปลงแบบวงจรรวมที่ได้เป็นข้อมูลวงจร (configuration data) ซึ่งอยู่ในรูปของบิตสตรีม (bit stream) ก่อนแล้วจึงดาวน์โหลดลงไปเพื่อให้อุปกรณ์ FPGA มี ฟังก์ชันการทำงานตามโมเดลที่ผู้ออกแบบต้องการ ซึ่งในขั้นตอนนี้จะใช้วิธีที่แตกต่างกันออกไปสำหรับอุปกรณ์ FPGA ของแต่ละบริษัทผู้ผลิตคือ ในกรณีที่เป็นอุปกรณ์ FPGA ชนิดที่ต้องโปรแกรมโดยวิธี SRAM นั้น ในการใช้งานผู้ออกแบบจะต้องเก็บข้อมูลวงจรไว้ในหน่วยความจำประเภท EPROM หรือ serial PROM ด้วยเพื่อจะใช้งานสะดวกขึ้น คือในการใช้งานโมเดลครั้งต่อไปไม่ต้องดาวน์โหลดข้อมูลวงจรจากเครื่องคอมพิวเตอร์อีก เพราะมีข้อมูลวงจรเก็บอยู่ในหน่วยความจำอยู่แล้ว แต่กรณีที่อุปกรณ์ FPGA เป็นชนิดที่โปรแกรมโดยใช้วิธี EPROM หรือ Anti fuse ก็ไม่จำเป็นต้องมีหน่วยความจำสำหรับเก็บข้อมูลวงจร เพราะว่าอุปกรณ์ FPGA ชนิดนี้เมื่อดาวน์โหลดข้อมูลวงจรลงไป ข้อมูลที่ดาวน์โหลดลงไปก็ยังคงอยู่ในอุปกรณ์ FPGA และครั้งต่อไปก็ใช้งานโมเดลที่ออกแบบไว้ได้เลย

จะเห็นได้ว่าการออกแบบเพื่อทำ FPGA นั้นทำได้สะดวกกว่า ASIC มากเพราะใช้เวลาน้อยกว่ามากด้วย ส่วน สำคัญที่ใช้ในการทำ FPGA คือ ซอฟต์แวร์ที่ใช้ตั้งแต่เขียนโค้ดอธิบายฮาร์ดแวร์ จนกระทั่งดาวน์โหลดลงใน อุปกรณ์ FPGA ซึ่งซอฟต์แวร์ที่ใช้ต้องเป็น ซอฟต์แวร์ที่ทำงานต่อเนื่องกันได้ สำหรับซอฟต์แวร์ที่ใช้ทำการ จำลองการทำงานของวงจรมานั้น ต้องสามารถใช้งานต่อเนื่องกับซอฟต์แวร์ที่ใช้ทั้งระบบ เพราะโมเดลที่ได้จาก การทำขั้นตอนต่างๆ (ด้วยซอฟต์แวร์ต่างๆ ต้องเอามาจำลองการทำงานได้ และในการจำลองการทำงานของ วงจรควรรู้ซอฟต์แวร์ตัวเดียวกันตลอดทั้งระบบ เพื่อจะได้เปรียบเทียบผลได้ง่าย ในอดีตซอฟต์แวร์ส่วนใหญ่ จะใช้งานอยู่บนคอมพิวเตอร์สมรรถนะสูงอย่างเวิร์คสเตชัน (Workstation) ในปัจจุบันมีการพัฒนาซอฟต์แวร์ที่ใช้งานพีซี (PC) มากขึ้นซึ่งสามารถลดค่าใช้จ่ายในด้านอุปกรณ์คอมพิวเตอร์

### 4.3 การออกแบบระบบดิจิทัล

ในการออกแบบระบบดิจิทัล เริ่มตั้งแต่การกำหนดแนวความคิดเบื้องต้นจนกระทั่งได้ออกมาเป็นอุปกรณ์ฮาร์ดแวร์ที่ใช้งานได้จะต้องผ่านขั้นตอนต่างๆ มากมาย และในแต่ละขั้นตอนผู้ออกแบบจะต้องตรวจสอบผลลัพธ์ในแต่ละขั้นก่อนเข้าสู่กระบวนการออกแบบในขั้นต่อไป รูปที่ 4.6 แสดงขั้นตอนปกติที่ใช้ในการออกแบบระบบดิจิทัลทั่วไป ขั้นแรกผู้ออกแบบจะกำหนดไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุผลเบื้องหลัง และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวความคิดในการออกแบบแล้วทำการพัฒนาให้สามารถนำมาใช้ได้อย่างสมบูรณ์ ซึ่งภายในขั้นตอนนี้ผู้ออกแบบจำเป็นต้องสร้างรูปแบบระบบในเชิงพฤติกรรมขึ้นมาตรวจสอบ ซึ่งอาจจะเป็นผังงานแสดงแบบ (Flow Graph) หรือรหัสคำสั่งเทียม (Pseudo Code) ก็ได้ ขั้นตอนต่อไปเป็นการออกแบบระบบเส้นทางของข้อมูล (Bus) ผู้ออกแบบจะกำหนดส่วนประกอบของรีจิสเตอร์และวงจรถลอจิกที่จำเป็นทั้งหมดเพื่อนำมาประกอบเป็นระบบที่สมบูรณ์ โดยแต่ละองค์ประกอบสามารถเชื่อมต่อกันด้วยบัสหนึ่งหรือสองทิศทาง (Unidirectional or Bidirectional Bus)

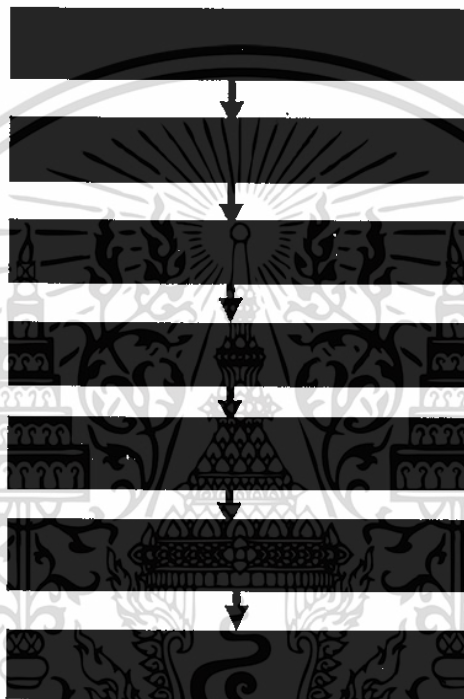


รูปที่ 4.6 ขั้นตอนการออกแบบระบบดิจิทัล

ขั้นตอนถัดมาเป็นการออกแบบวงจรถลอจิก ซึ่งจะเกี่ยวข้องกับการนำเกทดิจิทัลพื้นฐานและฟลิปฟลอป (flip-flop) มาประกอบเป็นอุปกรณ์ย่อยต่างๆ เช่น รีจิสเตอร์เก็บข้อมูล บัสวงจรถลอจิก และส่วนควบคุมฮาร์ดแวร์ ซึ่งผลลัพธ์ที่ได้ในขั้นตอนนี้จะเป็นเครือข่ายของการโยงใยระหว่างเกทและฟลิปฟลอปนั่นเอง การออกแบบในขั้นตอนนี้คือการเปลี่ยนเครือข่ายการโยงใยที่ได้จากขั้นตอนที่แล้วให้เป็นลำดับของทรานซิสเตอร์ (Transistor List) และเลย์เอาต์ (Layout) ซึ่งขั้นตอนนี้จะเกี่ยวข้องโดยตรงกับการจัดวางทรานซิสเตอร์หรือไลบารีเซลล์เพื่อแทนเกท และฟลิปฟลอปต่างๆ และในขั้นตอนนี้สุดท้ายจะเป็นการส่งระบบที่ออกแบบไว้ไปทำการเจียรที่โรงงานเพื่อผลิตออกมาเป็นวงจรรวม

#### 4.4 การออกแบบจากบนลงล่าง

ในการพัฒนางจรรวมดิจิทัลขนาดใหญ่ที่มีความซับซ้อน เช่น วงจรรวม (ASIC : Application Specific Integrated Circuit) วิศวกรหรือผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของของ บล็อกไดอะแกรมเสียก่อน ก่อนที่จะวิเคราะห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษาวีเอชดีแอลนั้นอนุญาตให้อธิบายการทำงานของแต่ละบล็อก และวิเคราะห์การทำงาน แก้ไขและปรับปรุงการทำงานจากผลที่วิเคราะห์เพื่อให้ได้การทำงานตามที่ต้องการ และเพิ่มเติมในรายละเอียดที่ละขั้นนี้คือ หลักการออกแบบจากบนลงล่าง (Top-Down Design)



รูปที่ 4.7 ขั้นตอนการออกแบบจากบนลงล่าง

ถ้าทดลองเปรียบเทียบกับวิธีการออกแบบจากล่างขึ้นบน (Bottom-Up Design) จะเห็นได้ว่าการออกแบบจากล่างขึ้นบนจะใช้เวลาการออกแบบมากกว่า 90% เพราะเป็นการวาดวงจรด้วยอุปกรณ์ต่างๆ (Schematic capture) ที่ประกอบกันเข้าเป็นวงจรที่ต้องการออกแบบ จำลองการทำงาน ตรวจสอบความถูกต้อง ซึ่งใช้เวลามาก และถ้าวงจรที่ต้องการออกแบบมีความซับซ้อนก็จะเป็นเรื่องที่ยากมากให้ออกแบบในลักษณะนี้ ดังนั้นการใช้ภาษาวีเอชดีแอลกับหลักการออกแบบจากบนลงล่าง จึงเป็นทางเลือกให้กับวิศวกรออกแบบที่จะสามารถออกแบบและพัฒนา วงจรที่มีซับซ้อนได้มากขึ้น และช่วยลดเวลาและค่าใช้จ่ายในการออกแบบ

จากรูปที่ 4.7 แสดงให้เห็นถึงขั้นตอนของการออกแบบจากบนลงล่าง ทั้งนี้ในทางปฏิบัติอาจจะ

มีข้อแตกต่างไปจากนี้บ้างเล็กน้อย ก็เนื่องจากขั้นตอนของการผลิต (Implementation) สามารถกระทำได้หลายๆ เทคโนโลยีเช่น พีแอลดี (PLD : Programmable Logic Device) อันได้แก่ พีแอลเอ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PLA: Programmable Logic Array), เอฟพีจีเอ (FPGA: Field Programmable Gate Array), ซีพีแอลดี (CPLD: Cell Programmable Logic Device) เป็นต้น นอกนั้นยังมี เซมิคัสตัม ไอซี (Semi-Custom IC) ได้แก่ เกตอะเรย์ (Gate array), เซลล์มาตรฐาน (Standard Cell) ขั้นตอนของการออกแบบจากบนลงล่างมีรายละเอียดดังนี้

1. ขั้นตอนการสร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา

2. ขั้นตอนการเขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษาวีเอชดีแอล หรือ ภาษาเอชดีแอลอื่นๆ สำหรับบรรยายพฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด

3. หลังจากที่ได้หลักการขั้นต้นพร้อมกับแนวความคิดที่ผ่านการตรวจสอบแล้ว หลักการนี้จะถูกเพิ่มเติมในรายละเอียดลงมาเป็นลำดับขั้นที่สอง จนกระทั่งอยู่ในระดับที่จะนำไปผลิตวงจรหรือสังเคราะห์ ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรออกแบบจะถูกกำหนดขึ้น และระบบช่วยการออกแบบจะสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้น ให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ หรือวงจรในระดับเกต และการเชื่อมต่อระหว่างกันของอุปกรณ์เหล่านั้น หรือไม่ก็อยู่ในรูปของเน็ตลิสต์ (Netlist) ที่สามารถนำไปผลิตลงบนอุปกรณ์อื่นได้

4. หลังจากการสังเคราะห์วงจรให้อยู่ในระดับเกต หรือเน็ตลิสต์แล้ว ข้อมูลที่ได้จากผู้ผลิตอุปกรณ์วงจรมานั้น นอกจากจะเป็นข้อมูลสำหรับจำลองการทำงาน ในเรื่องของความถูกต้องของฟังก์ชันแล้ว ยังมีข้อมูลเกี่ยวกับเวลาดำย ซึ่งเป็นความจริงที่ว่า อุปกรณ์ทางอิเล็กทรอนิกส์ทุกชิ้นจะมี เวลาหน่วงของการแพร่กระจาย (Propagation delay time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับ นาโนวินาที ( $10^{-9}$  นาที) แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกตของฟังก์ชันต่างๆ จำนวน 10,000 เกต ขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้น จนอาจจะทำให้การทำงานของวงจรรวมทั้งหมดผิดไป หรือไม่สามารทำงานในย่านความถี่สัญญาณนาฬิกาที่สูงได้

5. ขั้นตอนของการผลิตเป็นวงจรจริง (Technology and device mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้า ที่ประกอบด้วยอุปกรณ์หลายๆ ชิ้น หรืออยู่ในรูปของวงจรรวม (ASIC)

6. หลังจากที่ได้วงจรจริงมาแล้ว ยังต้องมีความจำเป็นที่ต้องตรวจสอบการทำงานที่ค้ำนึ่งถึงเวลาดำย เพื่อความถูกต้องของวงจรครั้งสุดท้ายก่อนที่จะนำไปรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิทัล เพราะในขั้นตอนนี้วงจรที่ออกแบบ จะประกอบด้วยอินพุตและเอาต์พุตแพด (Pad) ซึ่งเป็นจุดต่อสำหรับรับและส่งสัญญาณกับภายนอก

7. หลังจากทีนำวงจรที่ออกแบบรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิทัลแล้วนั้น จะต้องทดสอบการทำงานรวมทั้งระบบร่วมกับอุปกรณ์อื่นๆ อีกครั้ง เป็นการควบคุมคุณภาพของผลิตภัณฑ์

#### 4.5 ความสามารถของภาษาวีเอชดีแอล

ภาษาวีเอชดีแอลเป็นภาษาที่สามารถออกแบบในลักษณะบรรยายพฤติกรรม ซึ่งพอสรุปความสามารถของภาษาวีเอชดีแอลได้ดังนี้

1. ตัวภาษาวีเอชดีแอลสามารถใช้เป็นสื่อกลางในการแลกเปลี่ยนระหว่างผู้ผลิตชิพกับผู้ออกแบบ (CAD Tools)
2. ใช้เป็นสื่อกลางในการแลกเปลี่ยนสื่อสารระหว่างซีเออี (CAE) และซีเอดีทูล (CAD Tools) เช่นตัวภาษาซอสโค้ด(Source Code) ของภาษาวีเอชดีแอล ที่สามารถคอมไพล์โดยใช้คอมไพเลอร์(Compiler) และซิมูเลเตอร์(Simulator) ได้หลายตัวแตกต่างกัน
3. ภาษาวีเอชดีแอลสนับสนุนการออกแบบแบบทอปดาวน์(Top Down Design) และแบบบัททอมอัป(Bottom Up Design) หรือผสมกันทั้งสองแบบ
4. ภาษาวีเอชดีแอลเป็นแบบทั่วไป(Generic) ไม่อิงเทคโนโลยีอันใดอันหนึ่ง ขณะเดียวกันก็สนับสนุนหลาย ๆ เทคโนโลยี
5. สามารถอ่านและเข้าได้โดยมนุษย์
6. สนับสนุนการออกแบบทั้งระบบซิงโครนัส(Synchronous) และอะซิงโครนัส (Asynchronous)
7. เป็นภาษามาตรฐานรับรอง โดย IEEE และ ANSI ทำให้โมเดลที่ออกแบบโดยภาษาวีเอชดีแอลสามารถเคลื่อนย้ายไปยังระบบใด ๆ ก็ได้ และสามารถนำกลับมาใช้ใหม่ได้
8. สามารถเขียนโมเดลได้ขนาดไม่จำกัด ไม่มีข้อจำกัดในตัวภาษาเรื่องขนาดของโมเดล (ขึ้นอยู่กับซอฟต์แวร์)
9. สนับสนุนการเขียนถึง 3 รูปแบบ ได้แก่ แบบบิฮेवीเออร์(Behaviral Style) แบบสตรัคเจอร์ส (Structural Style) แบบคาด้าโฟลว์(Data Flow) หรือสามารถเขียนรวมกันได้ทั้ง 3 รูปแบบ
10. สนับสนุนการออกแบบขนาดใหญ่โดยใช้ความสามารถของส่วนประกอบ (Component) ฟังก์ชันโพรซีเจอร์ (Function Procedure) และแพคเกจ (Package)
11. สามารถอธิบายตัวแปรที่เกี่ยวกับฟังก์ชันทางด้านเวลา เช่น Propagation delay, Min-Max Delay, Setup, Holding Time สามารถอธิบายได้โดยตัวภาษา
12. ภาษาวีเอชดีแอลเป็นมาตรฐานที่ใช้โดยบริษัทและผู้ออกแบบหลาย ๆ แห่ง ฉะนั้นจึงง่ายที่จะทำความเข้าใจถึงแม้ว่าจะมาจากแหล่งต่าง ๆ
13. โมเดลที่สร้างขึ้นสามารถจำลองการทำงานได้ เพราะว่าตัวแปรภาษาได้ตรวจสอบตัวแปรทางซิมูเลชันซีเมนติกได้ด้วย

## 4.6 ประวัติของภาษาวีเอชดีแอล [19]

VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) เป็นภาษาโปรแกรมระดับสูง (High Level Language) ที่ใช้สำหรับการออกแบบฮาร์ดแวร์ในระบบดิจิทัล ตัวของภาษาสามารถบรรยายพฤติกรรมการทำงานในรูปแบบของลำดับชั้น (Hierarchy) และสามารถเขียนได้หลายรูปแบบ ด้วยเหตุผลนี้จึงทำให้ภาษา VHDL เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุด คือ แนวความคิดที่จะแก้ปัญหา ลงไปที่ละขั้นจนถึงขั้นตอนของการสร้างวงจรจริง และตัวภาษาก็เปิดโอกาสให้วิศวกร ได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชันการทำงานของวงจรอย่างสังเขป โดยยังไม่ต้องคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนั้น VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆ ของระบบดิจิทัลที่มีความซับซ้อนได้ทั้งหมด ดังนั้น VHDL จึงเป็นภาษาที่น่าสนใจในการศึกษาและนำไปใช้งานเป็นอย่างยิ่ง

วิวัฒนาการของภาษา VHDL เริ่มต้นประมาณปี ค.ศ. 1981 เมื่อกระทรวงกลาโหมสหรัฐอเมริกา หรือ DoD (Department of Defense) ได้พยายามปรับปรุงอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหาร ให้มีความทันสมัยมากขึ้น ประกอบกับเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์มีการพัฒนาไปอย่างรวดเร็วดังจะเห็นได้ จากการนำวงจรดิจิทัลหลายๆ วงจรมาทำการผลิตอยู่บนแผ่นซิลิกอนที่มีพื้นที่เพียง 1 - 2 ตารางเซนติเมตรเท่านั้น ซึ่งเป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้นตลอดจนความน่าเชื่อถือ ในการทำงานและความคงทนต่อสภาพแวดล้อมสูง แต่เนื่องจากในขณะนั้นขั้นตอนของการออกแบบ การผลิต และการตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกร และเวลาในดำเนินการมาก ฉะนั้นทาง DoD จึงจัดตั้งโครงการขึ้นมาเพื่อศึกษาวิธีการที่ช่วยในการพัฒนา วงจรอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรระบบดิจิทัล ให้สามารถนำไปผลิตได้เร็วขึ้น ซึ่งโครงการดังกล่าวมีชื่อว่า "Very High Speed Integrated Circuits" หรือ VHSIC โดยในระยะแรกนั้นโครงการนี้ถือเป็นความลับทาง ด้านความมั่นคงของประเทศ และอยู่ภายใต้ความควบคุมดูแลของ United States International Traffic and Arms Regulations (ITAR) สำหรับมาตรฐานของภาษาที่ใช้บรรยาย พฤติกรรมวงจรหรือฮาร์ดแวร์ของระบบ สำหรับโครงการ VHSIC ที่ DoD ได้ให้ไว้สามารถสรุปได้ดังนี้

1. ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิทัล และมีคุณสมบัติที่สามารถเข้าใจได้ทั้งมนุษย์และเครื่องคอมพิวเตอร์โดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
2. สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้
3. ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร

ฉะนั้นภาษาดังกล่าวนี้จึงจัดเป็นภาษาโปรแกรมระดับสูง เช่นเดียวกับภาษาปาสคาล หรือภาษาซี ซึ่งในทางวิศวกรรม ภาษาที่ใช้ในการออกแบบฮาร์ดแวร์นี้เรียกว่า "Hardware Description Language" หรือ HDL ในตอนเริ่มแรกนั้น DoD ได้มอบหมายให้บริษัทไอบีเอ็ม เท็กซัสอินสตรูเมนต์

และอินเทอร์เมทริกซ์ เป็นผู้ศึกษาและพัฒนา โครงการ ซึ่งการดำเนินงานเป็นไปอย่างต่อเนื่อง จนกระทั่งในปี ค.ศ.1985 ทาง ITAR ได้ยกเลิกข้อจำกัดในการถ่ายทอด เทคโนโลยีทางทหารออกจากโครงการนี้ ดังนั้นภาษา VHDL จึงเริ่มเป็นที่รู้จักกันโดยทั่วไป และประมาณปี ค.ศ. 1987 IEEE ได้ทำการกำหนดมาตรฐานของภาษานี้เป็น IEEE 1076-1987 และมีชื่อเรียกว่า VHDL ซึ่งมาตรฐานนี้ได้รับ การปรับปรุงจนเป็นมาตรฐาน IEEE 1076-1993 หรือ VHDL 1993 เนื่องจากในขณะนั้น DoD เป็นลูกค้ารายใหญ่ ของอุตสาหกรรมอิเล็กทรอนิกส์และคอมพิวเตอร์ ดังนั้นจึงมีผู้รับโครงการต่างๆ จาก DoD ไปดำเนินการวิจัยและพัฒนา เป็นจำนวนมาก และเพื่อให้ทุกโครงการอยู่ในมาตรฐานเดียวกันหมด ดังนั้นทาง DoD จึงได้กำหนดว่า ทุกๆ โครงการต้อง เขียนอยู่ในรูปของ ภาษา VHDLเท่านั้น ซึ่งทำให้ DoD สามารถนำโครงการเหล่านี้ไปจำลองกับเครื่องคอมพิวเตอร์ได้ หลายๆ ระบบ

#### 4.7 ข้อกำหนดของภาษาวีเอชดีแอล

DoD ได้ตั้งข้อกำหนดสำหรับภาษาวีเอชดีแอลในเดือนมกราคมปี ค.ศ.1983 ไว้ดังนี้

##### 4.7.1 ลักษณะทั่วไป

DoD ได้กำหนดให้วีเอชดีแอลเป็นภาษาสำหรับการออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง การจำลอง (Simulation) การสังเคราะห์ (Synthesis) และการทดสอบ (Testing) นอกจากนี้วีเอชดีแอลยังถูกกำหนดไว้สำหรับการบรรยายฮาร์ดแวร์ตั้งแต่ระดับบนซึ่งก็คือระบบจนถึงระดับเกทอีกด้วย

เนื่องจากการทำงานของระบบดิจิทัลนั้น ทุกๆ องค์ประกอบภายในระบบไม่ว่าเล็กหรือใหญ่จะทำงานไปพร้อมๆ กัน ซึ่งในเรื่องของความพร้อมเพรียงในการทำงานนี้ก็ถือเป็นข้อกำหนดที่สำคัญอย่างหนึ่งของวีเอชดีแอลด้วยเช่นกัน (สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์นั้น ความพร้อมเพรียงจะหมายถึงทุกๆ คำสั่ง องค์ประกอบ เกทหรือวงจรลอจิกจะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในที่สุดแล้วก็จะดูเหมือนว่าได้มีการปฏิบัติไปพร้อมๆ กัน)

##### 4.7.2 สนับสนุนการออกแบบแบบลำดับชั้น

การออกแบบแบบลำดับชั้นเป็นลักษณะที่สำคัญอย่างหนึ่งสำหรับการออกแบบระบบที่มีหลายๆ ระดับ โดยในการออกแบบจะประกอบด้วยส่วนการบรรยายการเชื่อมต่อ และส่วนการบรรยายหน้าที่การทำงาน ซึ่งหน้าที่การทำงานของระบบสามารถกำหนดได้ด้วยตัวเอง หรืออาจถูกกำหนดโดยโครงสร้างที่ประกอบด้วยองค์ประกอบย่อยๆ ลงไปได้เช่นกัน แต่ที่ระดับล่างสุด องค์ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเอง และไม่สามารถกำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.7.3 ไลบรารี

วีเอชดีแอลได้สนับสนุนการมีไลบรารีเพื่อระบบการจัดการที่ดี ผู้ออกแบบสามารถกำหนดลักษณะและการทำงานของอุปกรณ์พื้นฐานไว้ในระบบไลบรารี หรือจะใช้ไลบรารีที่ระบบได้จัดเตรียมไว้แล้วก็ได้ โมเดลและการบรรยายที่ถูกต้องควรจัดเก็บไว้ในไลบรารีหลังจากที่ได้ผ่านการคอมไพล์เรียบร้อยแล้วเพื่อให้ผู้ออกแบบคนอื่นๆ สามารถนำไปใช้ได้ด้วย

### 4.7.4 ลำดับคำสั่ง

แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการ โดยพร้อมเพรียงกันจะเป็นคุณสมบัติที่สำคัญของวีเอชดีแอลก็ตาม ตัวภาษาเองก็ยังมี การจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วยเมื่อผู้ออกแบบได้กำหนดหน้าที่ และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้เรียบร้อยแล้ว ผู้ออกแบบยังสามารถบรรยายหน้าที่การทำงานซึ่งเป็นรายละเอียดภายในของแต่ละองค์ประกอบได้ ในลักษณะเกี่ยวกับการเขียน โปรแกรมที่ประกอบด้วย โครงสร้างแบบ case, if – then – else และ loop ทั่วๆ ไปได้

การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้นอย่างไรก็ตาม โครงสร้างทั้งหมดของวีเอชดีแอลก็ยังคงเป็นการทำงานแบบพร้อมเพรียงกันเช่นเดิม

### 4.7.5 การกำหนดคุณสมบัติ

นอกจากการกำหนดอินพุตและเอาต์พุตแล้ว เงื่อนไขอื่นๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน โดยสิ่งนี้รวมถึงสภาพแวดล้อมและลักษณะทางกายภาพของอุปกรณ์นั้นๆ ด้วย ซึ่งภาษาสำหรับการออกแบบที่ดีควรให้ผู้ออกแบบกำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย

### 4.6.6 ชนิดของข้อมูล

วีเอชดีแอลสามารถกำหนดชนิดของข้อมูล ไม่เพียงแต่ชนิด BIT และ BOOLEAN เท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยม และชนิดลำดับการนับ (Enumerate Type) หรือ แม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นมาเองก็ได้

### 4.7.7 โปรแกรมย่อย

ความสามารถในการใช้ฟังก์ชันและโพรซีเจอร์(Procedure) ก็เป็นข้อกำหนดอีกอย่างหนึ่งในวีเอชดีแอล ซึ่งผู้ออกแบบสามารถนำโปรแกรมย่อยมาใช้ในการเปลี่ยนแปลงชนิดของข้อมูล การกำหนดหน่วยของลอจิก การกำหนดตัวกระทำต่าง ๆ หรือหน้าที่อื่น ๆ ตามที่ต้องการได้ เช่นเดียวกับการเขียนโปรแกรมทั่วไป

#### 4.7.8 การควบคุมเวลา

วีเอชดีแอลอนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกทหรือการหนด่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่น่านอนหรือกำหนดให้มีการรอคอยเหตุการณ์ (Event) นอกจากนี้ก็ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

#### 4.7.9 การกำหนดแบบโครงสร้าง

การกำหนดโครงสร้างขององค์ประกอบต่าง ๆ สามารถกระทำได้ในทุกระดับของการออกแบบ โดยการกำหนดโครงสร้างขององค์ประกอบรวมที่เกิดจากองค์ประกอบย่อย ซึ่งแตกต่างกันหรือเหมือนกันก็เป็นข้อกำหนดอย่างหนึ่งของวีเอชดีแอลเช่นกัน

### 4.8 ส่วนประกอบต่างๆ ของภาษา VHDL

ในการเขียนรูปแบบบรรยายระบบดิจิทัล[11]ในมุมมองของการออกแบบลักษณะบนลงล่าง จะต้องทำความเข้าใจในเรื่องของ โครงสร้างและส่วนประกอบต่างๆ ของรูปแบบภาษาวีเอชดีแอลเสียก่อน ซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนมี 4 หน่วยคือ

- หน่วยการออกแบบเอนทิตี (Entity Design Unit)
- หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)
- หน่วยการออกแบบแพ็คเกจ (Package Design Unit)
- หน่วยการออกแบบ โครงแบบ (Configuration Design Unit)

#### 4.8.1 หน่วยการออกแบบเอนทิตี

หน่วยการออกแบบนี้เป็นส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้นที่เรียกว่า หน่วยการออกแบบเอนทิตี ในส่วนนี้ใช้กำหนดจุดเชื่อมต่อ ของรูปแบบ กำหนดทิศทางการไหลของสัญญาณ และประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆ ของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น รูปที่ 4.8 แสดงให้เห็นโครงสร้างอย่างง่าย ๆ ของหน่วยการออกแบบเอนทิตี

```
ENTITY component_name IS
    Input and output ports
    Physical and other parameters
END [component_name];
```

รูปที่ 4.8 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี

ส่วนนี้จะขึ้นต้นด้วยคำ ENTITY และ IS ระหว่างคำทั้งสองเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน (component\_name) สำหรับการตั้งชื่อนั้นต้องเป็นไปตามกฎเกณฑ์ของภาษาหลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทางเข้าและออกของข้อมูล (input-output) รวมทั้งพารามิเตอร์อื่นๆ ส่วนนี้เรียกว่าส่วนหัว (entity header) และที่สำคัญคือ หน่วยการออกแบบเอนทิตีจะต้องปิดท้ายด้วยคำว่า END และเครื่องหมายอัฒภาคเสมอ (;)

#### 4.8.2 หน่วยการออกแบบสถาปัตยกรรม

คือส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบ ในมุมมองของการจำลองการทำงาน พฤติกรรมต่างๆ ที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออก ตรงช่องทางตลอดจน พารามิเตอร์ต่างๆ ที่กำหนดใน หน่วยการออกแบบเอนทิตี รูปที่ 4.9 แสดงให้เห็นถึง โครงสร้างอย่างง่าย ๆ ของหน่วยการออกแบบสถาปัตยกรรม

```

ARCHITECTURE identifier OF component_name IS
[declaration]
BEGIN
    specification of the functionality of the
    component in terms of its input lines and as
    influenced by physical and other parameters
END [identifier];

```

รูปที่ 4.9 แสดง โครงสร้าง โดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม

ส่วนของหน่วยการออกแบบสถาปัตยกรรม เริ่มต้นด้วยคำ ARCHITECTURE และตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่ง que แสดงให้เห็นว่า architecture นั้นใช้บรรยายหน่วยการออกแบบเอนทิตีใดๆ (OF <entity design unit> IS) ส่วนที่อยู่ระหว่าง ARCHITECTURE และ BEGIN เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (architecture declarative area) ที่เป็นเพียงส่วนเพื่อเลือก (option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆ ที่จะนำไปใช้ภายในสถาปัตยกรรมนั้น โดยทั่วไปการเขียนรูปแบบระบบดิจิทัลด้วยภาษาวีเอชดีแอลสามารถเขียนได้ในลักษณะต่างๆ ดังนี้

- ประเภทการไหลของข้อมูล (Dataflow description)
- ประเภทพฤติกรรม (Behavioral description)
- ประเภทโครงสร้าง (Structure description)
- ประเภทผสม (Mixed model description)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

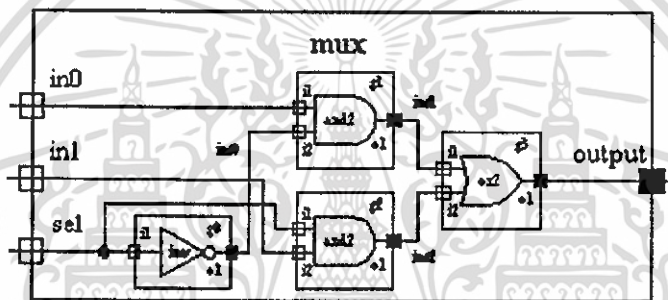
```

ARCHITECTURE data_flow OF mux IS
BEGIN
    output <= ((NOT sel) AND in0) OR (sel AND in1);
END data_flow;

```

รูปที่ 4.10 แสดงหน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ตามฟังก์ชันบูลีน

รูปที่ 4.10 ส่วนที่บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้า ( $in0$ ,  $in1$ ) กับข้อมูลที่ไหลออก ( $output$ ) ประกอบด้วยชุดคำสั่งแบบแข่งขันานเพียงชุดเดียว ซึ่งเขียนเป็นประเภทการไหลของข้อมูลของมัลติเพลกซ์ หรือ ระดับการถ่ายโอนข้อมูลระหว่างเรจิสเตอร์ (RTL: Register Transfer Level)



รูปที่ 4.11 แสดงโครงสร้างภายในสถาปัตยกรรมของมัลติเพลกซ์

รูปที่ 4.11 เป็นหน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภทโครงสร้าง โดยใช้ อินเวอร์เตอร์ (inv ที่ตำแหน่ง g0), แอนด์เกต 2 อินพุตจำนวน 2 ตัว (and2 ที่ตำแหน่ง g1 และ g2) และ ออร์เกต 2 อินพุต (or2 ที่ตำแหน่ง g3) มาสร้างตามฟังก์ชันบูลีนของรูปที่ 10

```

ARCHITECTURE struc OF mux IS
  COMPONENT inv
  PORT ( i1 : IN BIT ; o1 : OUT BIT );
  COMPONENT and2
  PORT ( i1, i2 : IN BIT ; o3 : OUT BIT );
  COMPONENT or2
  PORT ( i1, i2 : IN BIT ; o1 : OUT BIT );
END COMPONENT;

  SIGNAL int0, int1, int2 : BIT;
BEGIN
  g0 : inv  PORT MAP (i1 => sel, o1 => int0);
  g1 : and2 PORT MAP (i1 => in0, i2 => int0, o1 =>
int1);
  g3 : or2  PORT MAP (i1 => int1, i2 => int2, o1 =>
ouput);
END struc;

```

รูปที่ 4.12 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภทโครงสร้าง

```

ARCHITECTURE behav OF mux IS
BEGIN
  PROCESS (in0, in1, sel)
  BEGIN
    IF (sel = '0') THEN output <= in0;
    ELSE output <= in1;
    END IF;
  END PROCESS;
END behav;

```

รูปที่ 4.13 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภทพฤติกรรม

ไม่ว่าเขียนบรรยายส่วนของสถาปัตยกรรมของมัลติเพลกซ์ในลักษณะของ ประเภทพฤติกรรม ประเภทการไหลของข้อมูล ประเภทโครงสร้างหรือประเภทผสมที่นำเอาแต่ละประเภทมาเขียนไว้ในส่วนของสถาปัตยกรรม ก็ตามต่างก็มีพฤติกรรมเดียวกัน และจะให้ผลลัพธ์จากการจำลองการทำงานที่เหมือนกัน ซึ่งนี่ก็เป็นข้อดีของภาษาวีเอชดีแอล

#### 4.8.3 หน่วยการออกแบบแพ็คเกจ

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบดิจิทัล สามารถเก็บไว้ในส่วนของแพ็คเกจได้ และข้อมูลเหล่านี้สามารถเรียกไปใช้ได้โดย หน่วยการออกแบบเอนทิตี หน่วยการออกแบบสถาปัตยกรรม หรือ จากหน่วยการออกแบบแพ็คเกจอื่นๆ นอกจากนั้นสิ่งที่นิยมทำกันมากคือรูปแบบมาตรฐานต่างๆ เช่น อุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XX เป็นต้น) จะถูกเก็บไว้ในแพ็คเกจ ที่ทุกคนสามารถเข้าถึง โดยปกติแล้ว แพ็คเกจจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็คเกจ (Package declaration) และ ส่วนของบอดีแพ็คเกจ (Package body) เนื่องจาก แพ็คเกจ ถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็คเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษาวีเอชดีแอล สามารถกระทำได้ด้วยชุดคำสั่ง USE

#### 4.8.4 หน่วยการออกแบบโครงแบบ

ดังที่ทราบกันแล้วว่ารูปแบบหนึ่งของระบบดิจิทัลไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตีได้ เพียงหนึ่งเดียวเท่านั้น แต่ในขณะที่หน่วยการออกแบบเอนทิตี หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรม ที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมี หน่วยการออกแบบ โครงแบบมาเพื่อกำหนดการใช้โครงแบบ (Configuration) ประกอบเอนทิตีกับหน่วยการออกแบบสถาปัตยกรรม หน่วยไหนเข้าด้วยกัน

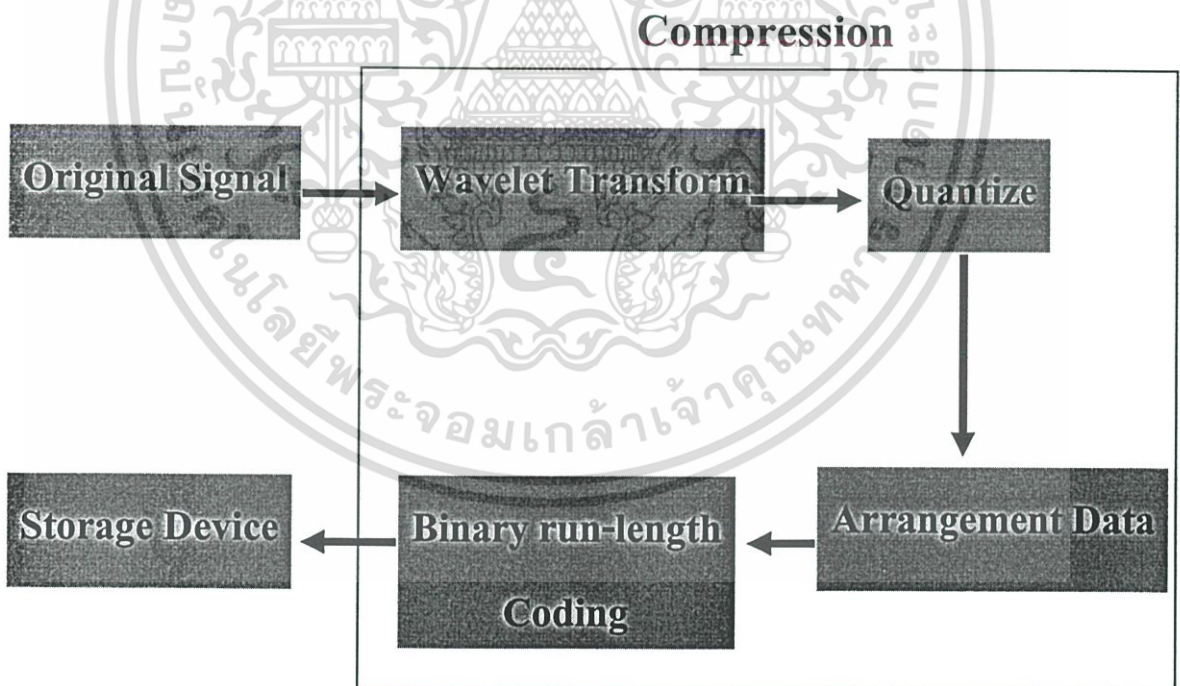
## บทที่ 5

# การออกแบบการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

ในบทนี้จะแสดงให้เห็นถึงวิธีการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจโดยใช้การแปลงลิฟต์เวฟเลต และการเข้ารหัสไบนารีรันเลนตบนเอฟพีจีเอ ซึ่งจะอธิบายหลักการออกแบบการแปลงลิฟต์เวฟเลต ตระกูล CDF(2,2) กระบวนการควอนไทซ์ และการเข้ารหัสไบนารีรันเลนต ตลอดจนการออกแบบวงจรในลักษณะโครงสร้างและการบรรยายพฤติกรรมบนอุปกรณ์เอฟพีจีเอFLEX10K20TC

### 5.1 กระบวนการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจ

ในงานวิจัยนี้มุ่งเน้นในการพัฒนากระบวนการบีบอัดให้มีอัตราการบีบอัดมากขึ้นในขณะที่ให้ค่าความเพี้ยนน้อยลง ใช้หลักการแปลงลิฟต์เวฟเลตในตระกูล CDF(2,2) แปลงไปยังโดเมนเวลาและความถี่ นำสัมประสิทธิ์ที่ได้จากการแปลงทำการลดข้อมูลแบบผสม ซึ่งประกอบด้วยกระบวนการควอนไทซ์และการเข้ารหัสไบนารีรันเลนตดังรูปที่ 5.1



รูปที่ 5.1 กระบวนการลดข้อมูลคลื่นไฟฟ้าหัวใจโดยใช้เวฟเลต

กระบวนการลดข้อมูลจะเริ่มตั้งแต่นำฐานข้อมูลคลื่นไฟฟ้าหัวใจจากฐานข้อมูลของ MIT/BIH[1] มาผ่านกระบวนการแปลงเวฟเลตสองระดับความละเอียด นำสัมประสิทธิ์การแปลงเอ็กที่ได้รับมาผ่านกระบวนการควอนไทซ์ จากนั้นจัดเรียงข้อมูลในส่วนสัมประสิทธิ์ความถี่ต่ำที่ผ่านมารักษาไว้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการควอนไทซ์ใหม่ให้ง่ายต่อการเข้ารหัสรันเลนต์ ในส่วนของสัมประสิทธิ์ที่ความถี่ต่ำจะแยกไปเพื่อรวมข้อมูลกับสัมประสิทธิ์ความถี่สูงที่ผ่านการเข้ารหัสมาแล้วเป็นครั้งสุดท้ายก่อนจัดเก็บเข้าหน่วยความจำ

### 5.1.1 กระบวนการแปลงเวฟเล็ด

การออกแบบการแปลงในงานวิจัยนี้คือนำข้อมูลทดสอบป้อนให้กระบวนการการแปลงบนพื้นฐานของลิปติงคือทำการรับค่าข้อมูลมาทีละ 2 แซมเปิลที่ติดกัน จากพื้นฐานในบทที่ 3.3 ข้อมูลดังกล่าวคือ ค่าของเลขคู่ และเลขคี่ ซึ่งในการคำนวณจริงแล้วไม่จำเป็นต้องทำขั้นตอนการสปลิต(Split)หรือแยกกลุ่มข้อมูลออกมา ดังนั้นสามารถเริ่มต้นการคำนวณได้เลยด้วยชุดข้อมูลละสอง

ในขั้นตอนการทำนาย(Prediction)สามารถคำนวณผลค่าการทำนายออกมาด้วยข้อมูลคู่และคี่ ซึ่งในการคำนวณขั้นตอนการอัปเดตนั้นจากสมการต้องใช้ค่าทำนายในการคำนวณกับค่าที่ซึ่งสามารถนำค่าผลการทำนายมาทดแทนบริเวณหน่วยความจำที่บรรจุค่าเลขคู่เมื่อเสร็จขั้นตอนการทำนาย ทำให้สามารถประหยัดหน่วยความจำได้เพิ่มขึ้นซึ่งเป็นข้อดีที่สำคัญประการหนึ่งของการแปลงลิปติงเวฟเล็ด ค่าสัมประสิทธิ์ที่ได้จากขั้นตอนการทำนายคือค่าข้อมูลแถบความถี่สูง ส่วนค่าสัมประสิทธิ์ที่ได้จากขั้นตอนการอัปเดตคือค่าข้อมูลแถบความถี่ต่ำ บนพื้นฐานการแปลงเวฟเล็ดเต็มหน่วยเมื่อทำการแปลงในระดับความละเอียดถัดไปจะนำค่าข้อมูลแถบความถี่ต่ำเป็นสัญญาณอินพุตเพื่อทำขั้นตอนการทำนายในระดับที่สองต่อ ซึ่งการคำนวณจะใช้สมการเวฟเล็ด CDF(2,2)ดังนี้

$$d_{j-1}[n] = s_j[2n+1] - \frac{1}{2}(s_j[2n] + s_j[2n+2]) \quad (5.1)$$

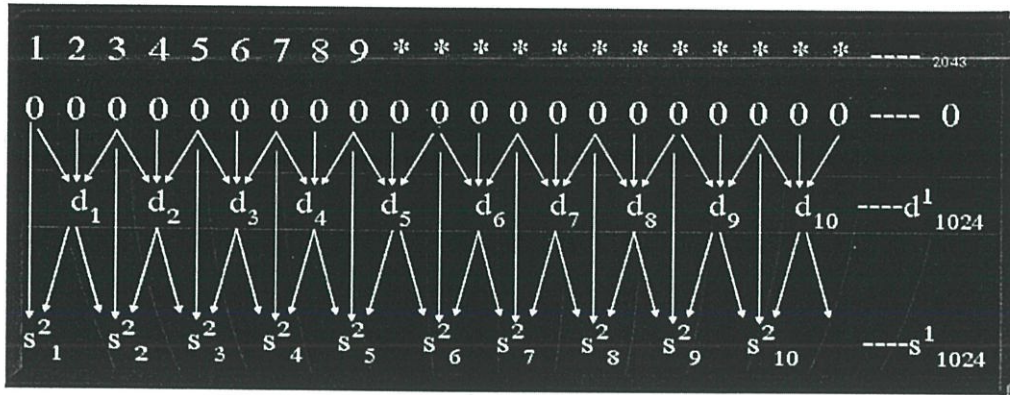
$$s_{j-1}[n] = s_j[2n] + \frac{1}{4}(d_{j-1}[n-1] + d_{j-1}[n]) \quad (5.2)$$

โดยที่  $s_{j-1}[n]$  ในสมการที่ (5.1) คือสัมประสิทธิ์สเกลลิงและ  $d_{j-1}[n]$  ในสมการที่ (5.2) คือสัมประสิทธิ์เวฟเล็ด เพื่อสะดวกต่อการคำนวณและสามารถลดขั้นตอนในการออกแบบวงจรอีกทั้งยังสามารถลดปริมาณเกทที่ใช้ในงานวิจัยนี้จึงใช้สมการดังต่อไปนี้คำนวณ

$$d_{j-1}[n] = 2(s_j[2n+1]) - s_j[2n] - s_j[2n+2] \quad (5.3)$$

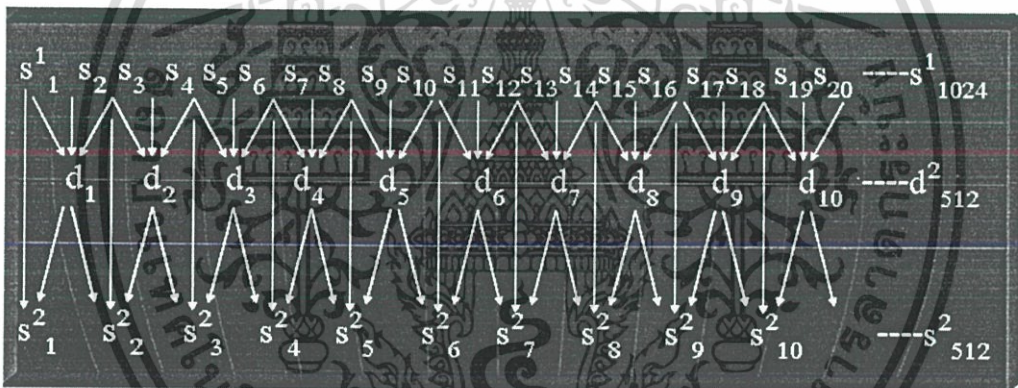
$$s_{j-1}[n] = s_j[2n] + \frac{1}{8}(d_{j-1}[n-1] + d_{j-1}[n]) \quad (5.4)$$

สัมประสิทธิ์เวฟเล็ดที่ได้รับจากคำนวณ คือ  $d_{j-1}[n]$  เป็นค่าข้อมูลในแถบความถี่สูง และ  $s_{j-1}[n]$  เป็นค่าข้อมูลในแถบความถี่ต่ำซึ่งสามารถแสดงได้ในรูปที่ 5.2



รูปที่ 5.2 แสดงการแปลงเวฟเล็ตที่ระดับความละเอียดที่ 1 จากข้อมูล 2048 แซมเปิล

ในรูปที่ 5.2 เป็นตัวอย่างของข้อมูลจำนวน 2048 แซมเปิลเป็นการแปลงลิฟต์เวฟเล็ตระดับความละเอียดที่ 1 ได้รับสัมประสิทธิ์  $s_1[n]$  จำนวน 1024 สัมประสิทธิ์ และ  $d_1[n]$  จำนวน 1024 สัมประสิทธิ์ในการแปลงที่ระดับความละเอียดที่สองสามารถแสดงดังรูปที่ 5.3



รูปที่ 5.3 แสดงการแปลงเวฟเล็ตที่ระดับความละเอียดที่ 2 จากสัมประสิทธิ์ความถี่ต่ำจากระดับที่ 1

จากรูปที่ 5.3 ค่าสัมประสิทธิ์  $s_1[n]$  ถูกนำมาใช้มาคำนวณในลักษณะเดียวกัน ซึ่งผลจากการแปลงทำให้ได้รับสัมประสิทธิ์  $s_2[n]$  จำนวน 512 สัมประสิทธิ์ และ  $d_2[n]$  จำนวน 512 สัมประสิทธิ์ จาการูปการแปลงทั้งสองระดับจะพบว่าค่าจำนวนในแต่ละครั้งจะเริ่มที่สองค่าตั้งนั้นในงานวิจัยจึงได้ออกแบบให้ในการแปลงในระดับที่สองรอสัมประสิทธิ์แถบความถี่ต่ำจากระดับที่ 1 ครบสองสัมประสิทธิ์จึงเริ่มการคำนวณ นั่นหมายความว่าไม่จำเป็นต้องรอให้การแปลงในระดับที่ 1 เสร็จ

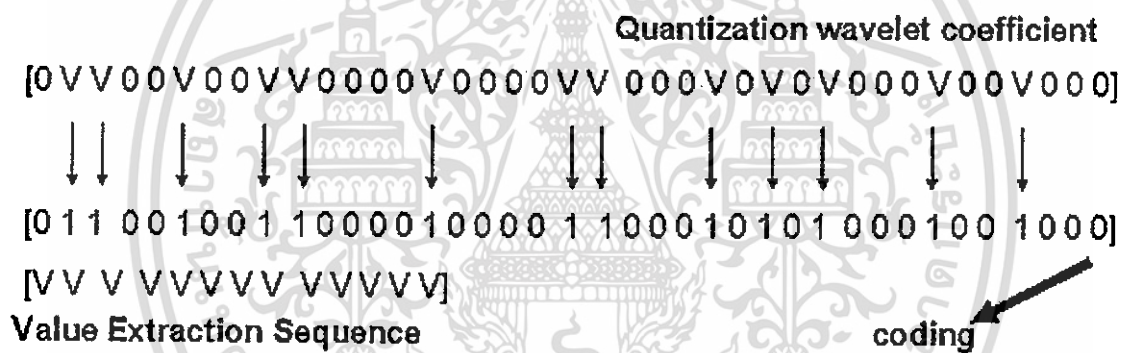
### 5.1.2 กระบวนการควอนไทซ์

การออกแบบได้เลือกใช้สเกลาร์ควอนไทซ์แบบยูนิฟอร์มเนื่องจากเป็นวิธีพื้นฐานที่ง่ายและสามารถลดข้อมูลได้มากแต่มีการเสียหายของข้อมูล ซึ่งคุณสมบัติของ Lossy Compression โดยสเกลาร์ควอนไทซ์แบบยูนิฟอร์มสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองทำการควอนไทซ์โดยกำหนดค่าสเตปไซส์ (Step size)  $\Delta$  แล้วนำไปหารค่าสัมประสิทธิ์เวฟเล็ตที่ได้รับจากการแปลงโดยจะแบ่งย่านของข้อมูลออกเป็นช่วงเท่า ๆ กัน ก่อนนำไปเข้ารหัสรันเลนต่อไป

### 5.1.3 กระบวนการเข้ารหัสไบนารีรันเลนต์

สัมประสิทธิ์ในแถบความถี่สูงที่ระดับความละเอียดต่าง ๆ ที่ผ่านการควอนไทซ์จะถูกนำมาจัดเรียงตามลำดับ จากรูปแบบสัมประสิทธิ์ที่ผ่านกระบวนการควอนไทซ์ในระดับต่าง ๆ พบว่าค่าศูนย์อยู่เป็นจำนวนมากและมีข้อมูลที่ไม่ใช่ศูนย์กระจายอยู่ จากโครงสร้างข้อมูลดังนี้จึงสามารถตัดแปลงให้ข้อมูลเป็นแบบที่เข้ารหัสได้ง่ายด้วยการดึงข้อมูลที่มีนัยสำคัญออกมาก่อน จากนั้นแทนค่าดังกล่าวด้วยค่า 1 หลังจากนั้นภายในโครงสร้างข้อมูลจะเป็นลักษณะลำดับเลข 0 และ 1 ซึ่งเหมาะสมกับการเข้ารหัสไบนารีรันเลนต์ ส่วนข้อมูลที่มีนัยสำคัญจะถูกนำมาเรียงต่อกันก่อนนำเข้าหน่วยความจำ โดยลำดับของเลขไบนารีที่ได้รับจะเปรียบเสมือนดัชนีชี้ตำแหน่งข้อมูลที่มีนัยสำคัญจึงนำไปเข้ารหัสไบนารีรันเลนต์



รูปที่ 5.4 การตัดแปลงรูปแบบข้อมูลก่อนการเข้ารหัส

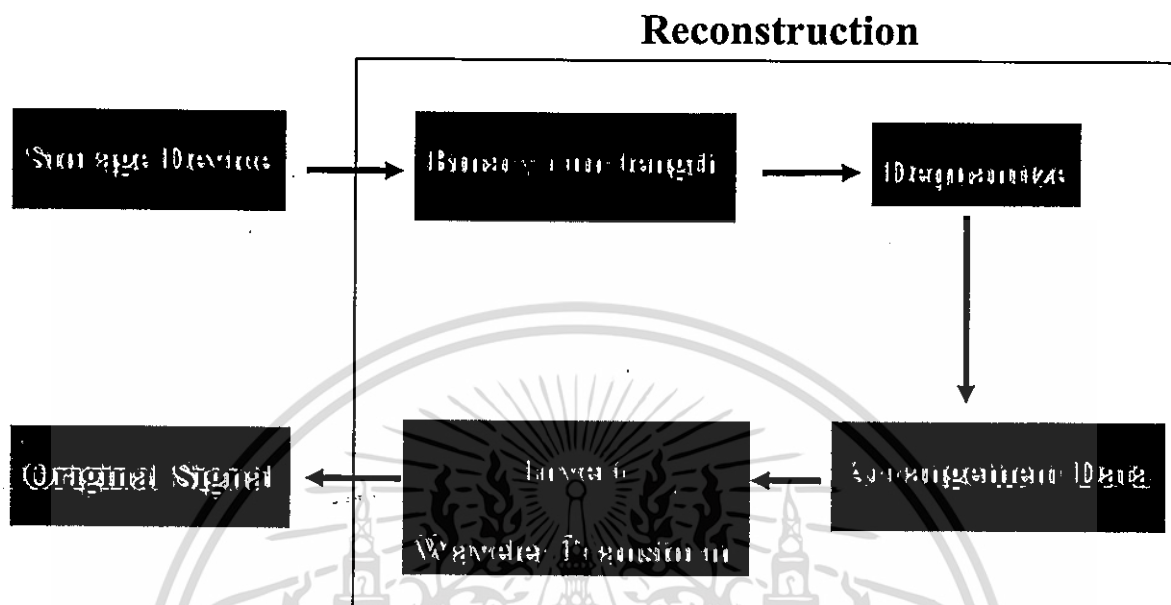
จากรูปที่ 5.4 อักษร V แทนข้อมูลที่มีนัยสำคัญที่อยู่ภายในลำดับสัมประสิทธิ์ควอนไทซ์จะถูกนำค่ามารวมกับกลุ่มข้อมูลใหม่ตามลำดับและถูกทดแทนลงในตำแหน่งเดิม ซึ่งมีการแทนค่าหนึ่งทั้งหมดแล้วจะเป็นค่าข้อมูล 0 หรือ 1 ทั้งหมด นำลำดับข้อมูลไปเข้าการเข้ารหัสไบนารีรันเลนต์แบบจำนวนเต็ม(Integer binary arithmetic coding) [14] โดยการเข้ารหัสแบบนี้ต้องทราบจำนวนที่แน่นอนเพื่อกำหนดช่วง โดยรหัสที่ได้รับมีรูปแบบเป็นค่าภายในช่วงที่กำหนด สุดท้ายนำค่านัยสำคัญมารวมกับรหัสที่ได้ก่อนเก็บเข้าสู่หน่วยความจำ

### 5.1.4 การออกแบบการสร้างสัญญาณกลับคืน

การสร้างสัญญาณคลื่นไฟฟ้าหัวใจกลับคืนจะเป็นการย้อนกลับกระบวนการบีบอัด โดยนำข้อมูลที่ถูกระบบบีบอัดแล้วจากหน่วยความจำจัดแบ่งกลุ่มเพื่อแยกกลุ่มสัมประสิทธิ์ความถี่สูงเพื่อนำมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านการถอดรหัสรันเลนต์แล้วสร้างข้อมูลกลับคืนก่อนนำสัมประสิทธิ์ทั้งหมดทำการย้อนกลับ  
ขั้นตอนควอนไทซ์ (Dequantize) ดังรูปที่ 5.5

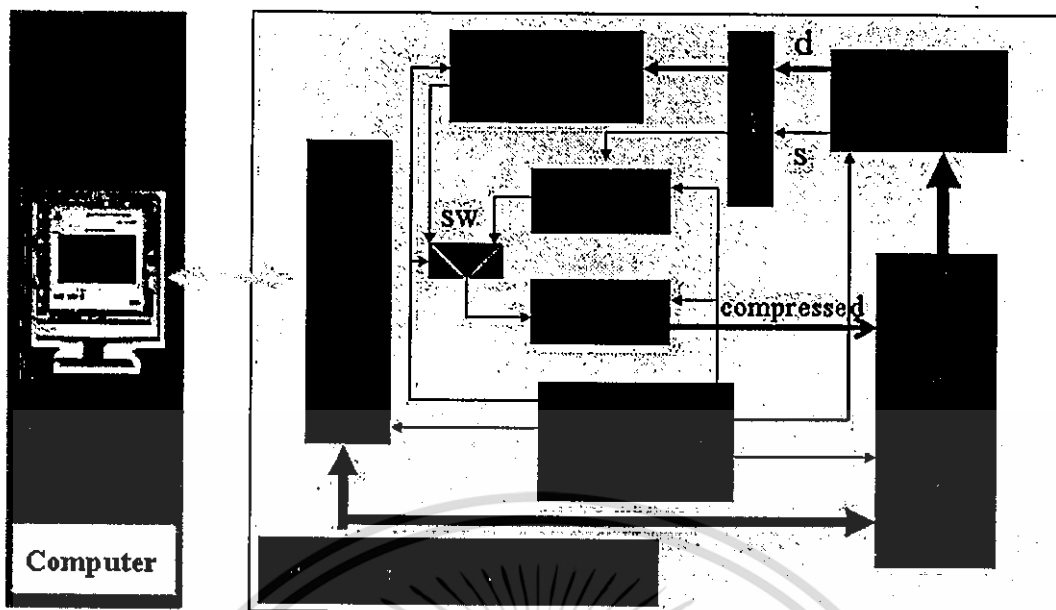


รูปที่ 5.5 กระบวนการสร้างข้อมูลคลื่นไฟฟ้าหัวใจกลับคืน

หลังจากผ่านกระบวนการดีควอนไทซ์แล้วนำสัมประสิทธิ์ที่ได้มาจัดเรียงข้อมูลใหม่แล้วทำการแปลงกลับเวฟเล็ด สัญญาณที่ได้สร้างกลับคืนนั้นคือเลขคู่และเลขคี่บนพื้นฐานของการแปลงลิฟต์หรือคือสัญญาณหัวใจที่ใช้ทดสอบก่อนทำการบีบอัด โดยกระบวนการสร้างสัญญาณกลับคืนนี้จะกระทำบนคอมพิวเตอร์เพื่อแสดงผล

## 5.2 การออกแบบวงจรในลักษณะโครงสร้างและการบรรยายพฤติกรรมบนอุปกรณ์เอฟพีจีเอ

การออกแบบนั้นสามารถแบ่งเป็นส่วนวงจรใหญ่ ๆ ได้ 3 วงจรด้วยกันคือ วงจรการแปลงเวฟเล็ด วงจรการเข้ารหัส และวงจรหน่วยควบคุม ในการทดสอบวงจรมันจะใช้ซอฟต์แวร์บนเครื่องคอมพิวเตอร์ส่งผ่านฐานข้อมูลคลื่นไฟฟ้าหัวใจ MIT/BIH ผ่านพอร์ตอนุกรมมาเข้าสู่วงจรบีบอัดคลื่นไฟฟ้าหัวใจในส่วนวงจรต่าง ๆ แล้วนำข้อมูลที่ถูกระบีบอัดแล้วนั้นส่งย้อนกลับมายังเครื่องคอมพิวเตอร์[12]เพื่อทำการสร้างสัญญาณกลับคืนดังแสดงในรูปที่ 5.6

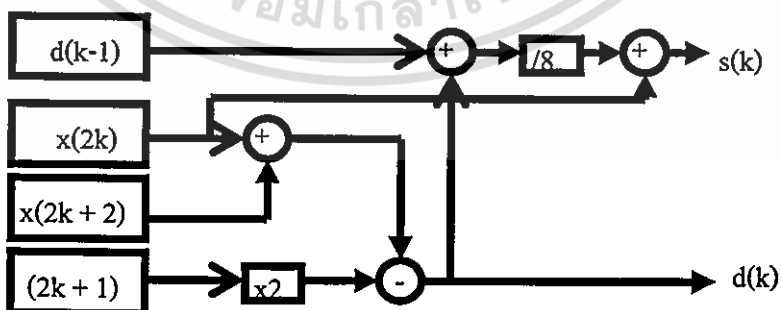


รูปที่ 5.6 แสดงส่วนประกอบต่างๆ เพื่อจำลองการทำงานของวงจรการบีบอัด

ในการสร้างสัญญาณกลับคืนบนคอมพิวเตอร์ได้ใช้โปรแกรมวิซวลเบสิกทำหน้าที่รับข้อมูลบีบอัดมาทำกระบวนการย้อนกลับ ตั้งแต่แบ่งชุดข้อมูล ทำการถอดรหัสรันเลนต์ คิวอนไคซ์ และแปลงกลับเวฟเล็ด แล้วทำการพล็อตกลับดูผล

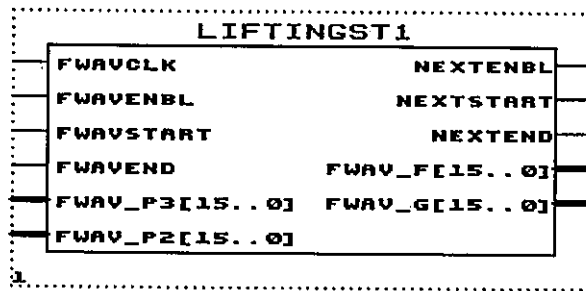
### 5.2.1 วงจรการแปลงเวฟเล็ด

วงจรการแปลงเวฟเล็ดมีหน้ารับค่าข้อมูลครั้งละสองค่าก่อนทำการแปลงในหนึ่งบล็อก วงจรดังรูปที่ 5.7 นั้นประกอบด้วย การแปลงลิฟต์เวฟเล็ดที่หนึ่งระดับความละเอียด เอทพุทของวงจรนี้ให้ค่าสัมประสิทธิ์ในแถบความถี่ต่ำและสูงสลับกันที่ละสองค่า

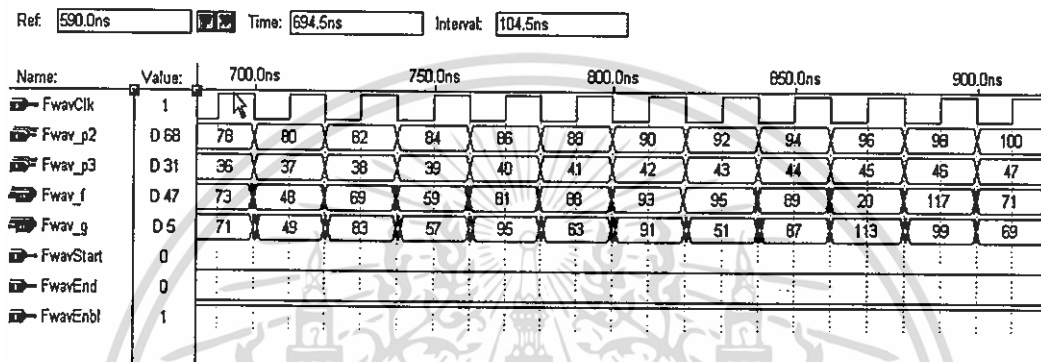


รูปที่ 5.7 แสดงรูปแบบในการแปลงเวฟเล็ด 1 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 แสดงบล็อกของวงจรการแปลงเวฟเล็ท



รูปที่ 5.9 แสดงTiming Diagram วงจรการแปลงเวฟเล็ท

\*\*\*\*\* Project compilation was successful

LIFTING

\*\* DEVICE SUMMARY \*\*

Chip/POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory Utilized %	ICs	% Utilized
lifting	BPF10K20TC144-3	27	24	0	0	0 %	247	21 %
User Pins:		27	24	0				

S

Project Information

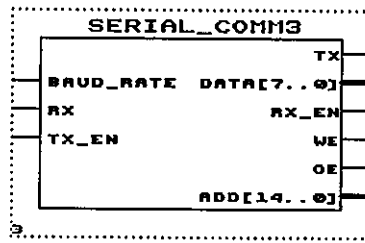
d:\compression\lifting.rpt

รูปที่ 5.10 แสดงชิปและจำนวนของลอจิกที่ใช้ภายในวงจรการแปลงเวฟเล็ท

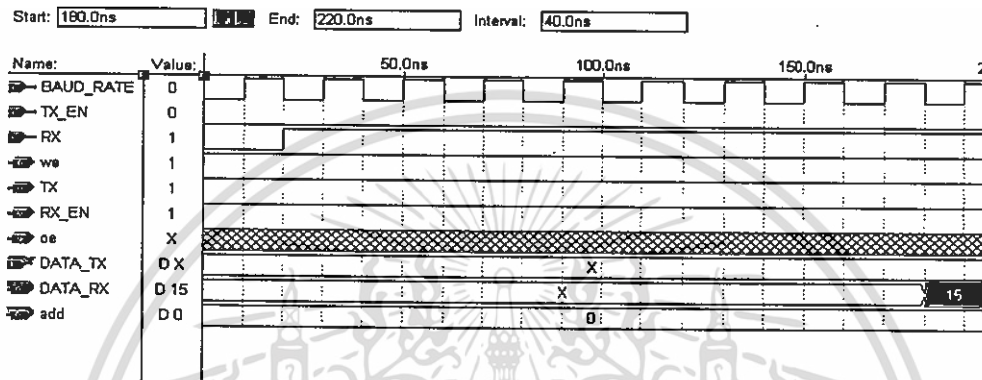
### 5.2.3 วงจรติดต่อข้อมูลผ่านพอร์ตอนุกรม

วงจรติดต่อข้อมูลผ่านพอร์ตอนุกรมในการออกแบบได้กำหนดหน้าที่หลัก คือ สองส่วนคือรับข้อมูลจากคอมพิวเตอร์จัดเรียงข้อมูลรวมไปถึงกำหนดตำแหน่งแอดเดรสก่อนส่งไปเก็บในหน่วยความจำ และส่วนส่งเมื่อข้อมูลที่ได้รับการบีบอัดแล้ว จะถูกแบ่งเป็นไบต์ และส่งผ่านพอร์ต

อนุกรมทั้งหมดที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงบล็อกของวงจรติดต่อข้อมูลผ่านพอร์ตอนุกรม



รูปที่ 5.12 แสดงTiming Diagram วงจรวงจรติดต่อข้อมูลผ่านพอร์ตอนุกรม

\*\*\*\* Project compilation was successful

SERIAL\_COMM3

\*\* DEVICE SUMMARY \*\*

Chip/POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory Utilized %	Memory Utilized	ICs	Utilized
serial_comm3	EPP10K10LC84-3	3	36	8	0	0 %	0	127	22 %
User Pins:		3	36	8					

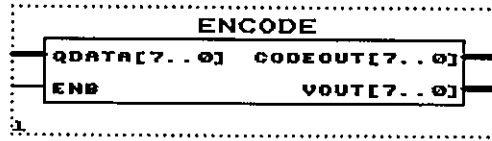
\$

Project Information: \documents and settings\suthep\Desktop\example code\compression\serial\_comm3.rp

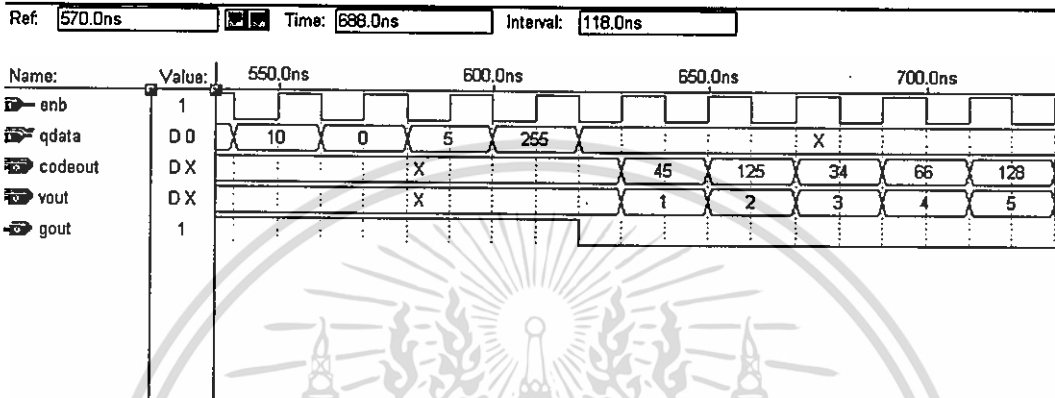
รูปที่ 5.13 แสดงชิปและจำนวนของลอจิกที่ใช้ภายในวงจรติดต่อข้อมูลผ่านพอร์ตอนุกรม

## 5.2.2 วงจรการเข้ารหัส

วงจรการเข้ารหัสถูกออกแบบให้รับสัมประสิทธิ์ที่ผ่านการควอนไทซ์ที่ละไบต์ โดยมีการทำงานผ่านการกระตุ้นของขา enb เมื่อได้รับสัมประสิทธิ์ทั้งหมดวงจรจึงนำผลการเข้ารหัสป้อนให้กับบล็อกรวมข้อมูลก่อนจัดเก็บเข้าหน่วยความจำ



รูปที่ 5.14 แสดงบล็อกของวงจรการเข้ารหัส



รูปที่ 5.15 แสดงTiming Diagram วงจรการเข้ารหัส

```

***** Project compilation was successful

CDF2

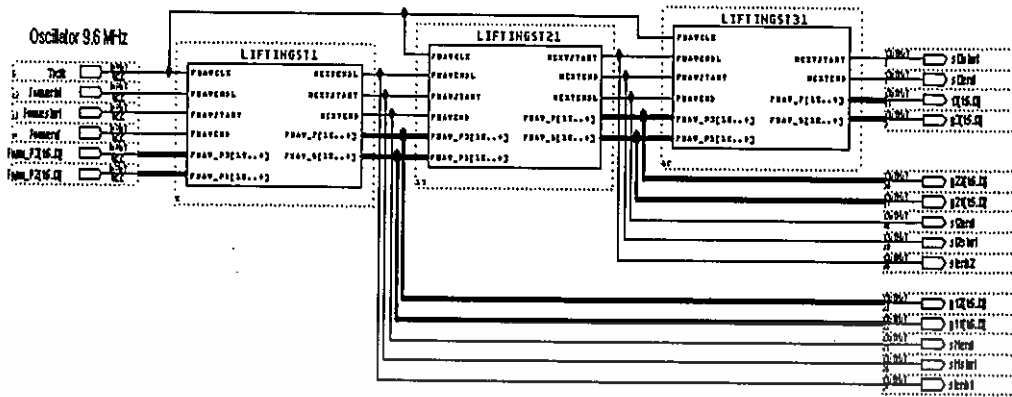
** DEVICE SUMMARY **

Chip/
POF Device      Input Pins  Output Pins  Bidir Pins  Memory Bits % Utilized  Memory LCs % Utilized
cdf2  EPF10K20TC144-3  29      26      0      0      0 %      264      22 %

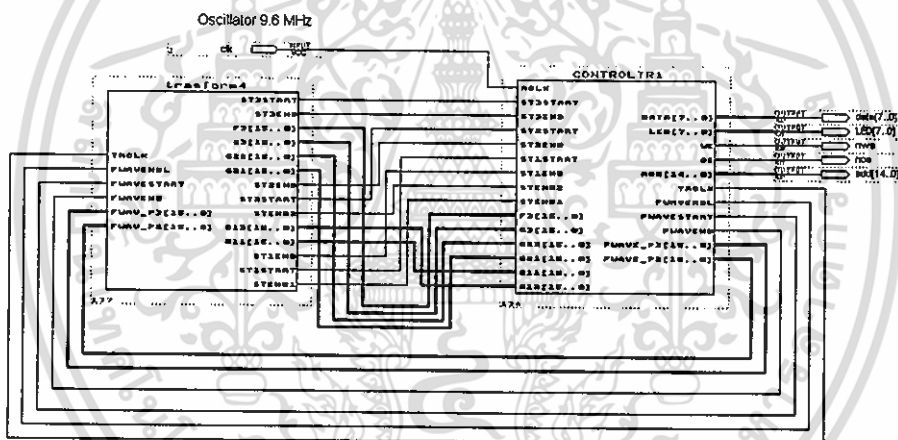
User Pins:      29      26      0

$
Project Information: d:\documents and settings\suthep\Desktop\example code\compression\cdf2.rpt
  
```

รูปที่ 5.16 แสดงชิปและจำนวนของลอจิกที่ใช้ภายในวงจรการเข้ารหัส



รูปที่ 5.17 แสดงระดับการแปลงภายในโมดูลการแปลง



รูปที่ 5.18 แสดงการติดต่อระหว่างโมดูลควบคุมและโมดูลการแปลง

ตารางที่ 5.1 แสดงจำนวน LCs ที่ใช้ในแต่ละโมดูล

Module	LCs Utilized
Load ECG	9%
Transform	96%
Encoding	28%
Transfer back	13%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### การทดลองและผลการทดลอง

ในบทนี้จะอธิบายเกี่ยวกับการทดลองและผลการทดลอง โดยวัดประสิทธิภาพการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจโดยใช้การแปลงเวฟเล็ดด้วยอัตราการลดข้อมูล (Compression Ratio: CR) ที่แตกต่างกัน โดยมีค่าความเพี้ยนของสัญญาณ (Percent Root Mean Square Difference: PRD) เป็นพารามิเตอร์ที่ใช้ในการวัดคลื่นไฟฟ้าหัวใจที่ผ่านการลดข้อมูล วิทยานิพนธ์นี้จะเป็นการลดข้อมูลแบบ Off line คือไม่ได้วัดคลื่นไฟฟ้าหัวใจจากผู้ป่วยโดยตรงแต่เป็นการนำข้อมูลคลื่นไฟฟ้าหัวใจจากแพทย์ที่วัดมาแล้วจากฐานข้อมูล MIT-BIH และจากฐานข้อมูลที่วัดสัญญาณจริงด้วยวงจรวัดจาก [21] มาทำการบีบอัดข้อมูล

ซึ่งคลื่นไฟฟ้าหัวใจที่ใช้ในการทดลองจะเป็นคลื่นไฟฟ้าหัวใจที่ได้จากลักษณะการวัด Lead MLII(Modified Lead II) ของฐานข้อมูล, Record 100, Record 101, Record 102, Record 119, Record 200, Record 202, Record 203 มีความถี่ 360 Hz และระดับความละเอียด 11 bit/sample [1] และจากวงจรวัดที่ทำการวัดด้วย Lead I แบ่งเป็น Record A, Record B, Record C, Record D ที่ความถี่ 360 Hz และระดับความละเอียด 11 bit/sample โดยสัญญาณทั้งหมดได้ถูกแบ่งเป็นชุดที่แต่ละชุดข้อมูลจะมีจำนวน 2048 แซมเปิล การทดลองที่ 6.1 - 6.3 ทำการทดสอบเปรียบเทียบสัญญาณจากฐานข้อมูล MIT-BIH จากลักษณะคลื่นไฟฟ้าหัวใจต้นแบบกับคลื่นไฟฟ้าหัวใจที่ได้จากการสร้างกลับด้วยอัตราการลดข้อมูลต่าง ๆ กัน ตลอดจนได้เปรียบเทียบประสิทธิภาพการลดข้อมูลคลื่นไฟฟ้าหัวใจระหว่างเวฟเล็ดแบบลิฟต์ตริงตระกูลต่าง ๆ บนพื้นฐานการเข้ารหัสไบนารีรันเลนด์ในการทดลองที่ 6.4 ดำเนินการทดสอบกระบวนการบีบอัดบนอุปกรณ์เฟฟพีซีเอดด้วยฐานข้อมูล MIT-BIH และจากวงจรวัดคลื่นไฟฟ้าหัวใจ โดยการทดลองที่ 6.5 เป็นการทดสอบด้วยแบบสอบถามทำการประเมินประสิทธิภาพของสัญญาณสร้างกลับในการวินิจฉัยโรคได้โดยแพทย์ผู้เชี่ยวชาญด้านโรคหัวใจ

#### 6.1 การทดลองการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจด้วยค่าควอนไทซ์แตกต่างกัน

เนื่องจากกระบวนการควอนไทซ์มีผลกระทบต่อค่า CR และ PRD ดังนั้นในการทดลองนี้จึงเป็นการหาค่า step size ของการควอนไทซ์ที่เหมาะสมต่อการบีบอัด โดยอยู่บนพื้นฐานของค่า PRD ในช่วง 3-5 % ซึ่ง [10] ได้ทดลองและสรุปว่าอยู่ในช่วงที่แพทย์ยอมรับ โดยในการทดลองจะนำคลื่นไฟฟ้าหัวใจ 7 สัญญาณจากการวัดแบบ MLII(Modified Lead II) โดยแต่ละสัญญาณมีจำนวนข้อมูล 2048 แซมเปิลนำมาผ่านกระบวนการบีบอัดด้วยการแปลงเวฟเล็ดตระกูล CDF(2,2) ที่ระดับความละเอียด 3 ระดับ แล้วนำสัมประสิทธิ์มาทำการควอนไทซ์ด้วยค่า step size

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของงานวิจัยของคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

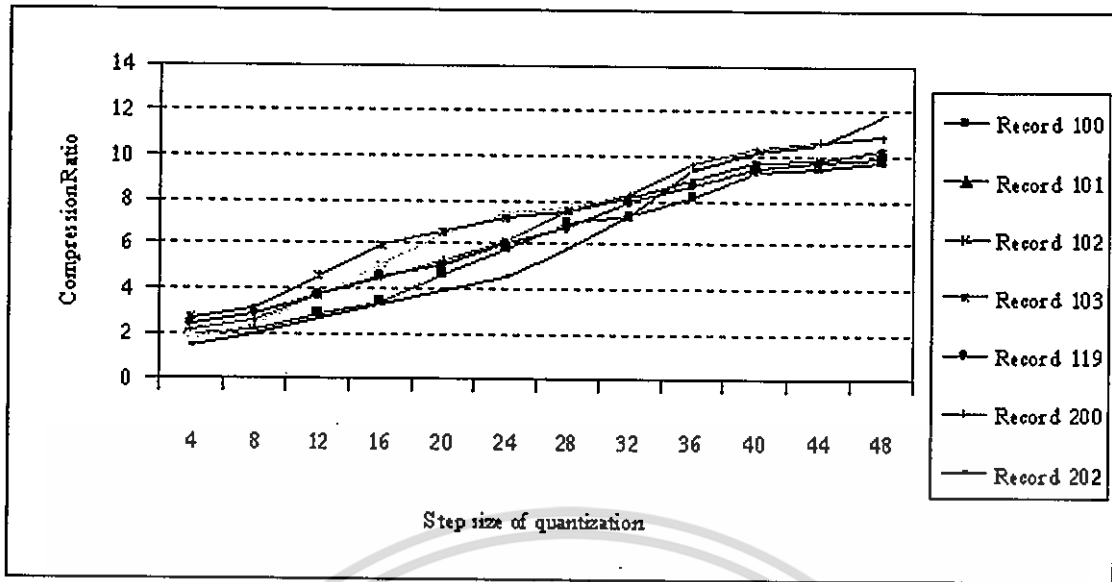
ค่าที่แตกต่างกัน จากนั้นเข้ารหัสไบনারีรันเลนต้นโปรแกรม MATLAB™ ทำการสร้างคลื่นไฟฟ้าหัวใจกลับคืนแล้วคำนวณและเปรียบเทียบประสิทธิภาพการบีบอัด

ตารางที่ 6.1 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วยค่าควอนไทซ์ที่แตกต่างกัน

Step size สัญญาณ	step size =4	step size =8	step size =12	step size =16	step size =20	step size =24
Record 100	1.98	2.23	2.85	3.44	4.67	5.78
Record 101	2.11	2.65	3.47	4.32	5.50	6.29
Record 102	1.75	2.43	3.67	5.12	6.48	7.42
Record 103	2.74	3.18	4.62	5.95	6.58	7.21
Record 119	2.45	2.87	3.76	4.63	5.12	6.02
Record 200	2.21	2.56	3.74	4.55	5.34	6.07
Record 202	1.45	1.92	2.68	3.33	3.98	4.63

Step size สัญญาณ	step size =28	step size =32	step size =36	step size =40	step size =44	step size =48
Record 100	6.98	7.26	8.11	9.25	9.41	9.66
Record 101	6.77	7.84	9.36	10.47	10.54	11.12
Record 102	7.66	8.15	8.71	9.36	9.68	10.43
Record 103	7.55	8.11	8.92	9.68	9.81	10.22
Record 119	6.78	7.89	8.68	9.45	9.66	9.92
Record 200	7.45	8.26	9.64	10.35	10.63	10.87
Record 202	5.78	7.29	9.36	10.10	10.56	11.77

เพื่อทำการเปรียบเทียบประสิทธิภาพของกระบวนการบีบอัดจากตารางที่ 6.1 สามารถแสดงได้รูปที่ 6.1 ซึ่งเป็นกราฟความสัมพันธ์ระหว่างค่า Compression Ratio และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน



รูปที่ 6.1 แสดงกราฟความสัมพันธ์ระหว่างค่า Compression Ratio และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน

นอกจากค่าอัตราการบีบอัดที่ได้รับจากตารางที่ 6.1 ซึ่งแสดงถึงประสิทธิภาพที่ขึ้นกับค่า Step size ของการควอนไทซ์ด้วยค่าคลื่นไฟฟ้าหัวใจต่าง ๆ แล้ว ทำการทดสอบกระบวนการเพื่อวัดค่าความเพี้ยน PRD ที่เกิดขึ้นซึ่งสามารถแสดงได้ดังตารางที่ 6.2

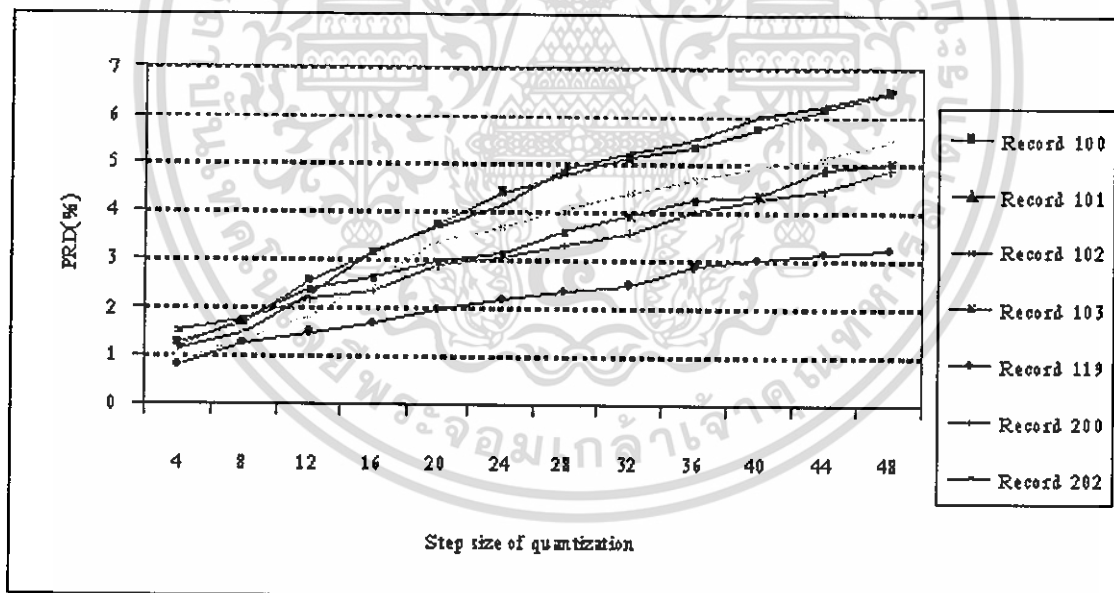
ตารางที่ 6.2 แสดงค่า PRD ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วยค่าควอนไทซ์ที่แตกต่างกัน

Step size สัญญาณ	step size =4	step size =8	step size =12	step size =16	step size =20	step size =24
Record 100	1.226	1.647	2.532	3.141	3.717	4.398
Record 101	0.998	1.443	2.156	2.947	3.446	3.824
Record 102	0.871	1.325	1.782	2.553	3.397	3.664
Record 103	1.484	1.763	2.366	2.593	2.962	3.115
Record 119	0.784	1.226	1.475	1.663	1.945	2.142
Record 200	1.135	1.742	2.146	2.333	2.862	3.074
Record 202	1.117	1.474	2.235	3.142	3.653	4.124

ตารางที่ 6.2 (ต่อ)

Step size สัญญาณ	step size =28	step size =32	step size =36	step size =40	step size =44	step size =48
Record 100	4.776	5.122	5.333	5.688	6.114	6.479
Record 101	4.219	4.562	4.741	5.012	5.116	5.556
Record 102	4.032	4.381	4.687	4.965	5.127	5.473
Record 103	3.586	3.896	4.229	4.371	4.868	5.023
Record 119	2.336	2.461	2.876	2.994	3.113	3.229
Record 200	3.302	3.556	3.996	4.261	4.447	4.884
Record 202	4.879	5.201	5.498	5.995	6.221	6.502

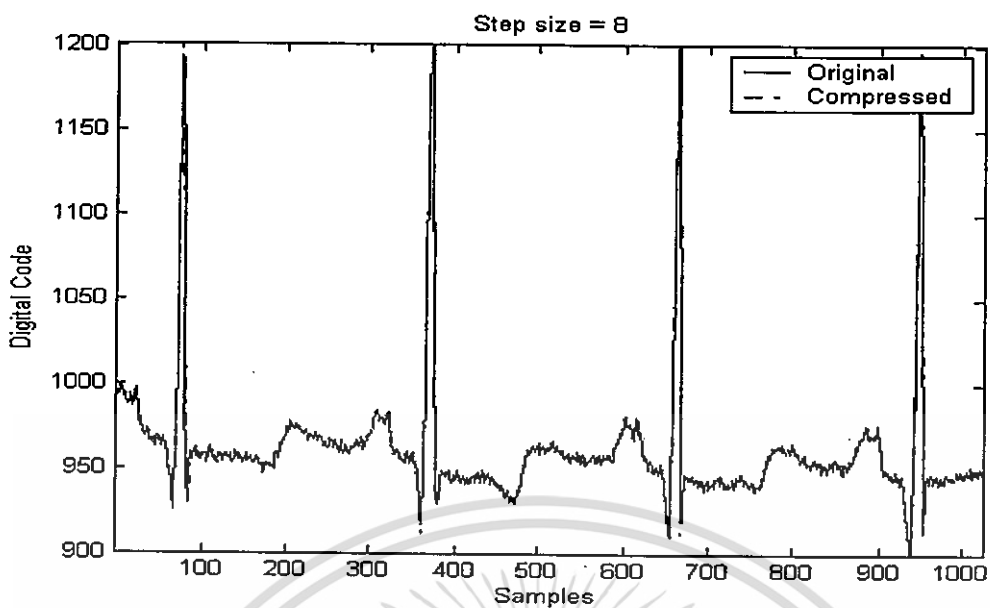
เพื่อทำการเปรียบเทียบประสิทธิภาพของกระบวนการบีบอัดจากตารางที่ 6.2 สามารถแสดงได้รูปที่ 6.2 ซึ่งเป็นกราฟความสัมพันธ์ระหว่างค่า PRD และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน



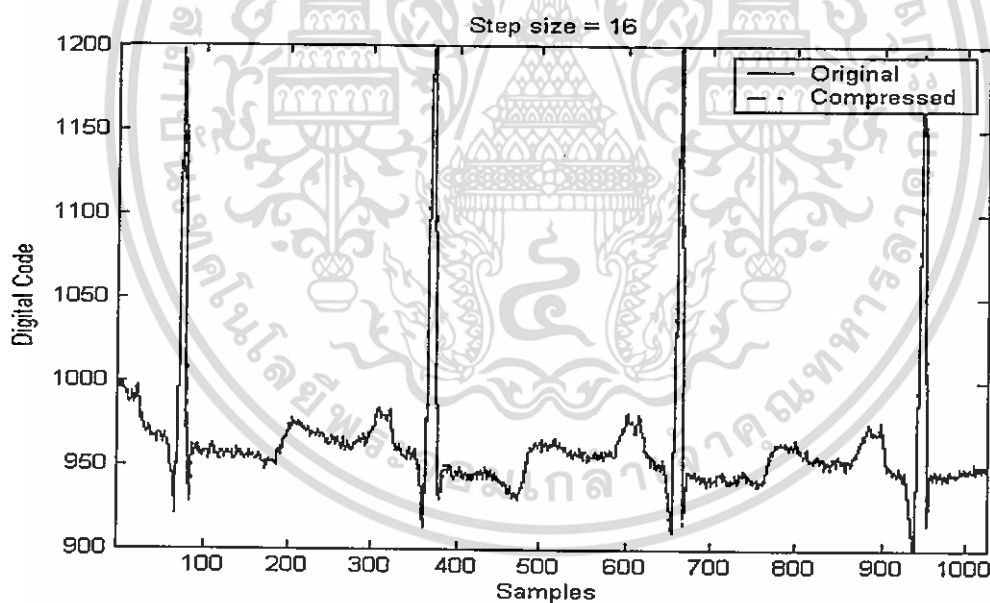
รูปที่ 6.2 แสดงกราฟความสัมพันธ์ระหว่างค่า PRD และ Step size จากคลื่นไฟฟ้าหัวใจที่แตกต่างกัน

คลื่นไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดข้อมูลในการทดลองได้แสดงดังรูปที่ 6.3 ถึงรูปที่ 6.30 โดยในแต่ละรูปได้แสดงการเปรียบเทียบระหว่างสัญญาณไฟฟ้าหัวใจต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

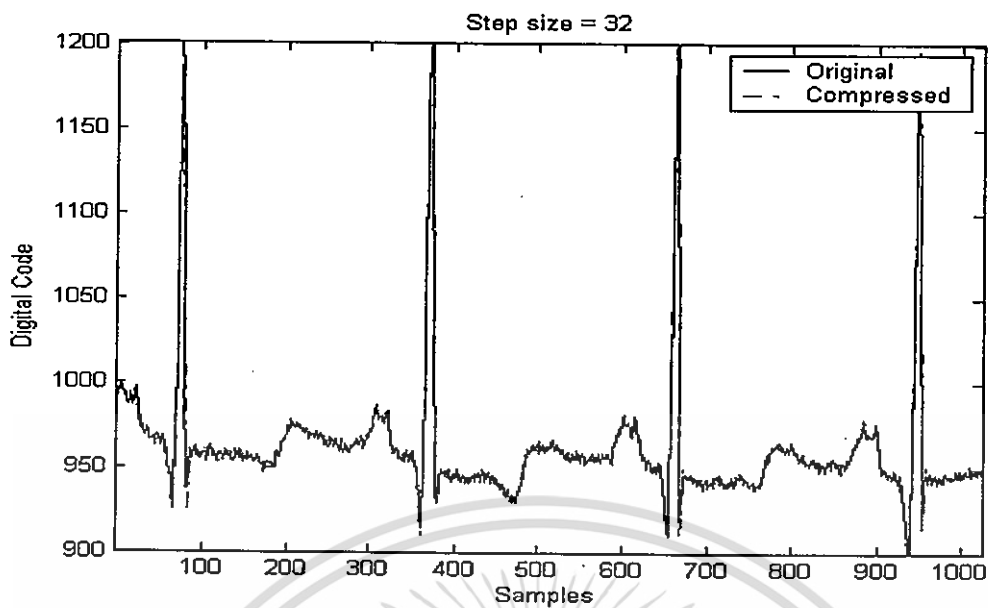


รูปที่ 6.3 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

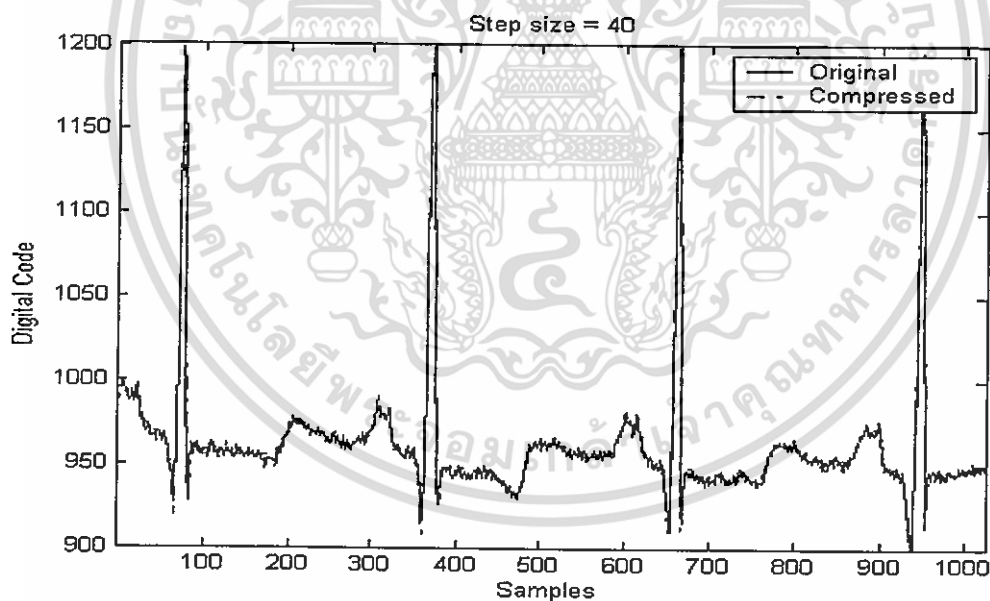


รูปที่ 6.4 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

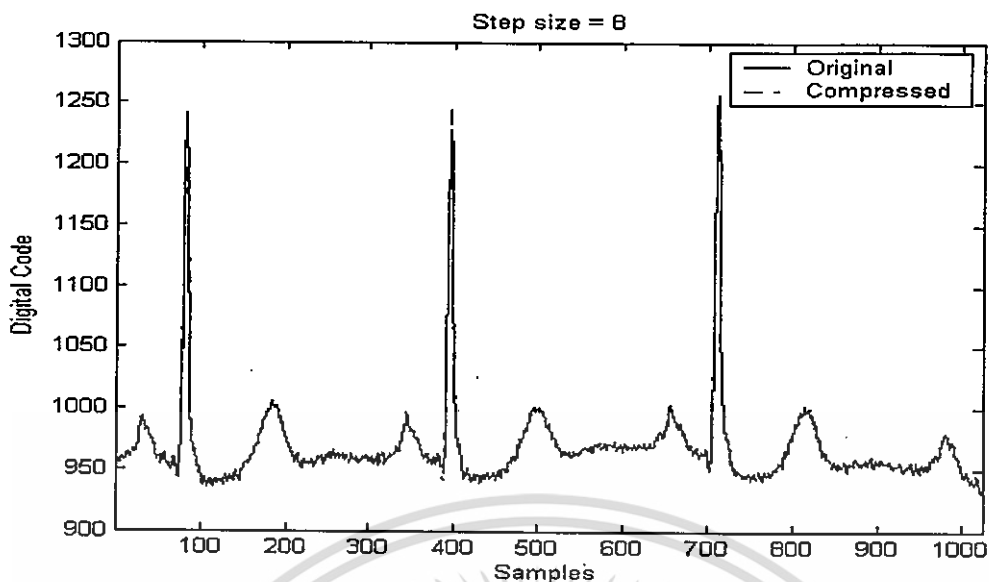


รูปที่ 6.5 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

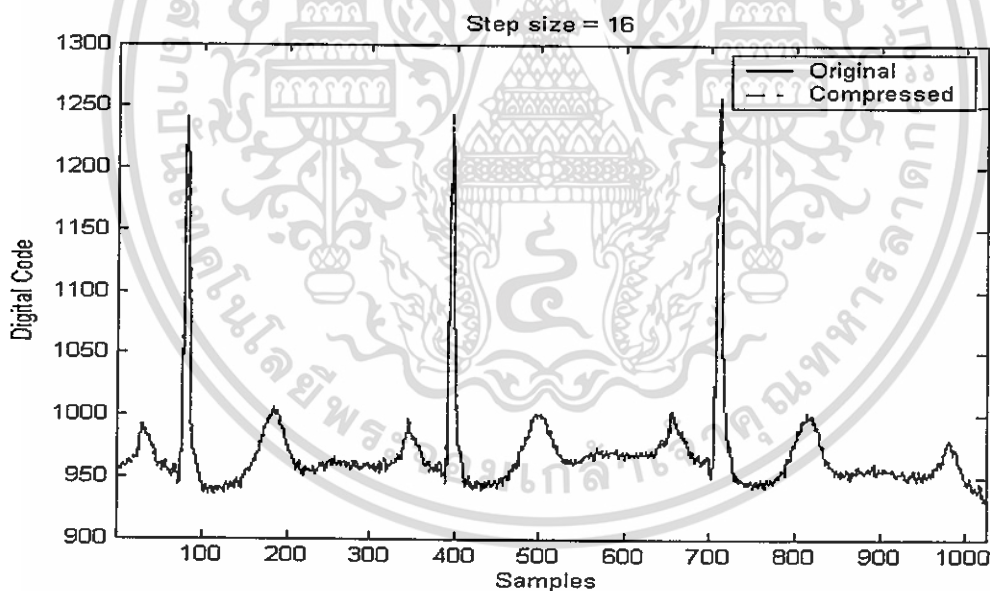


รูปที่ 6.6 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 100 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

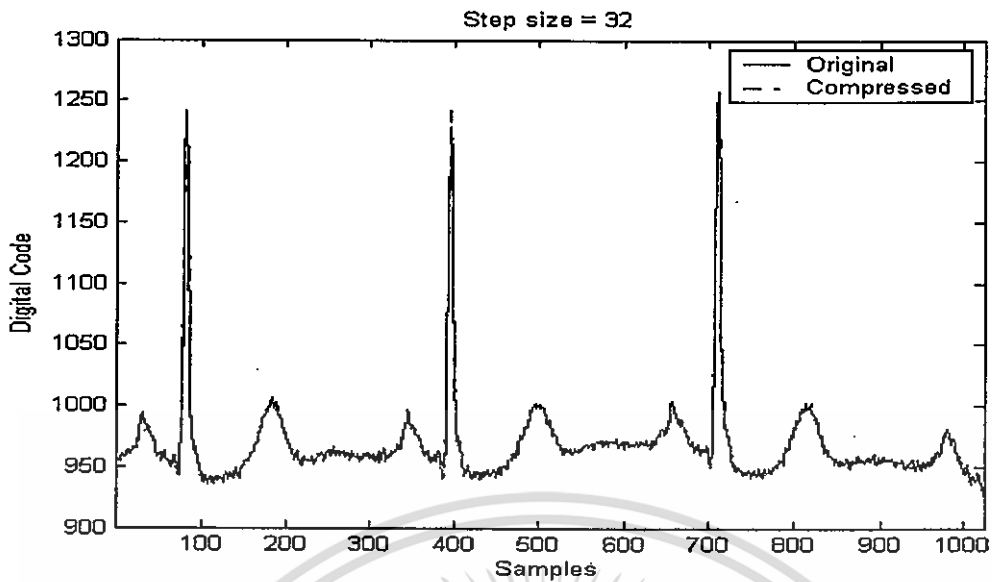


รูปที่ 6.7 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

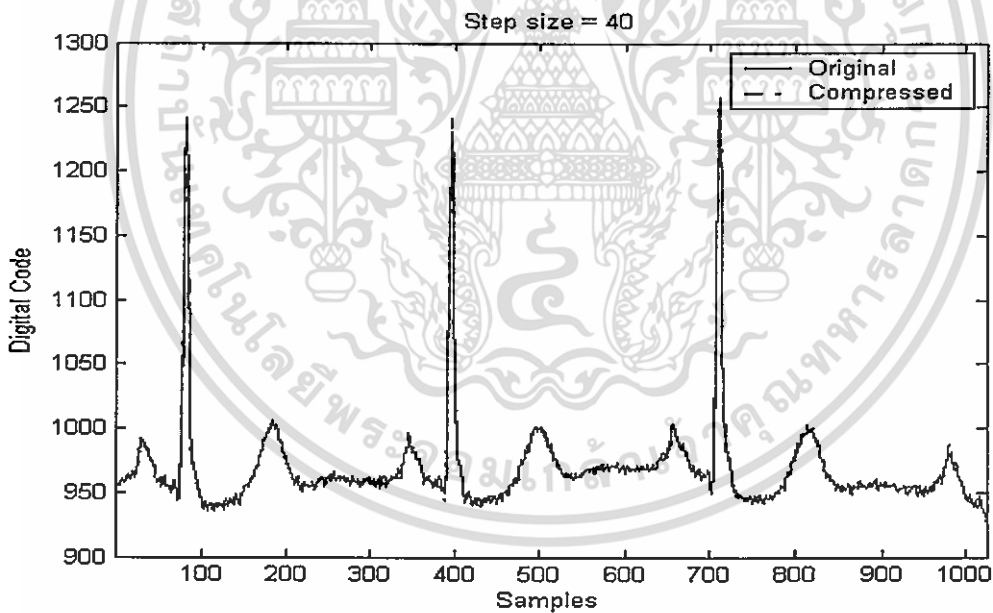


รูปที่ 6.8 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

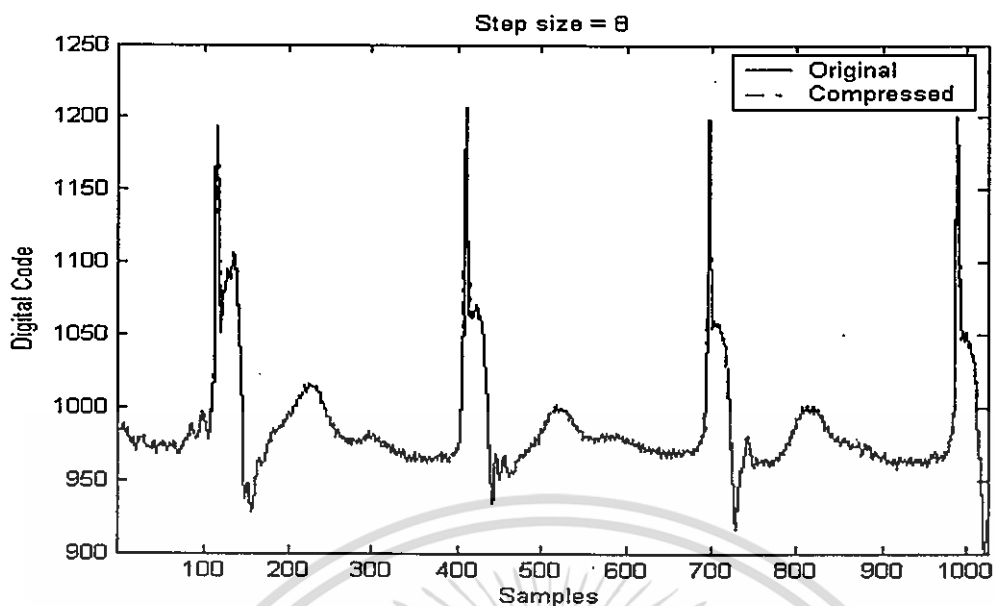


รูปที่ 6.9 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

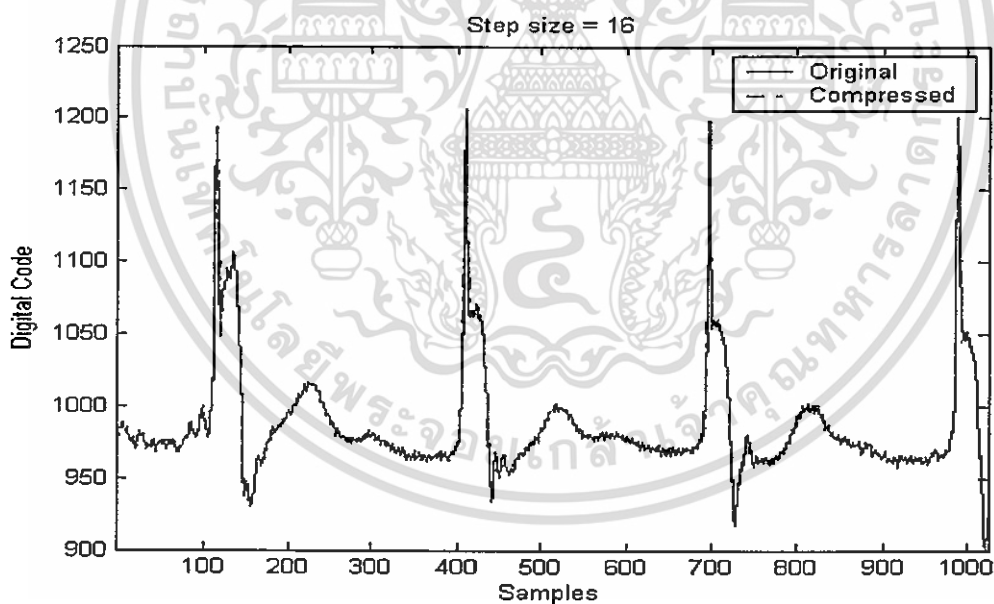


รูปที่ 6.10 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 101 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

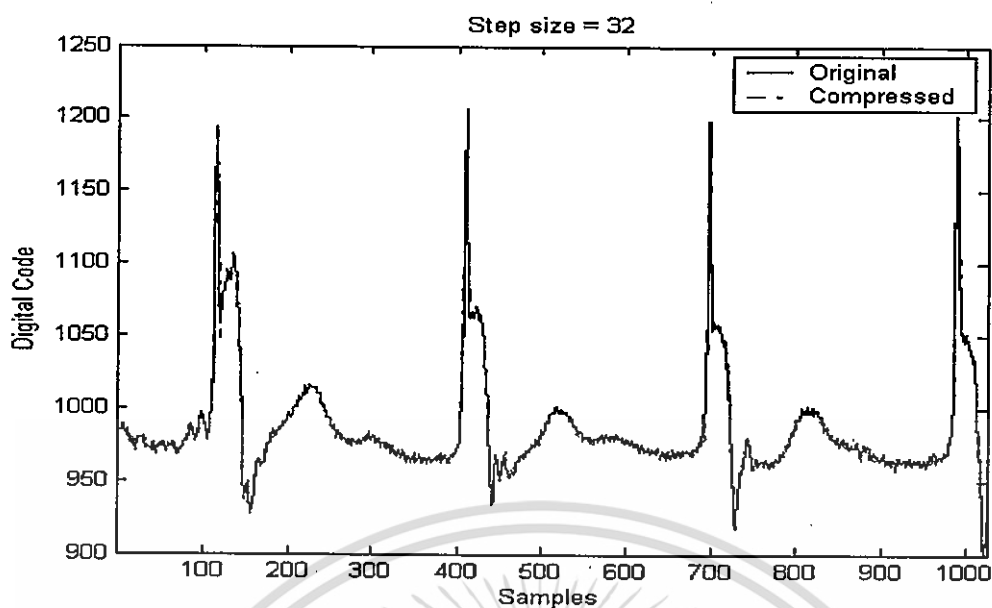


รูปที่ 6.11 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

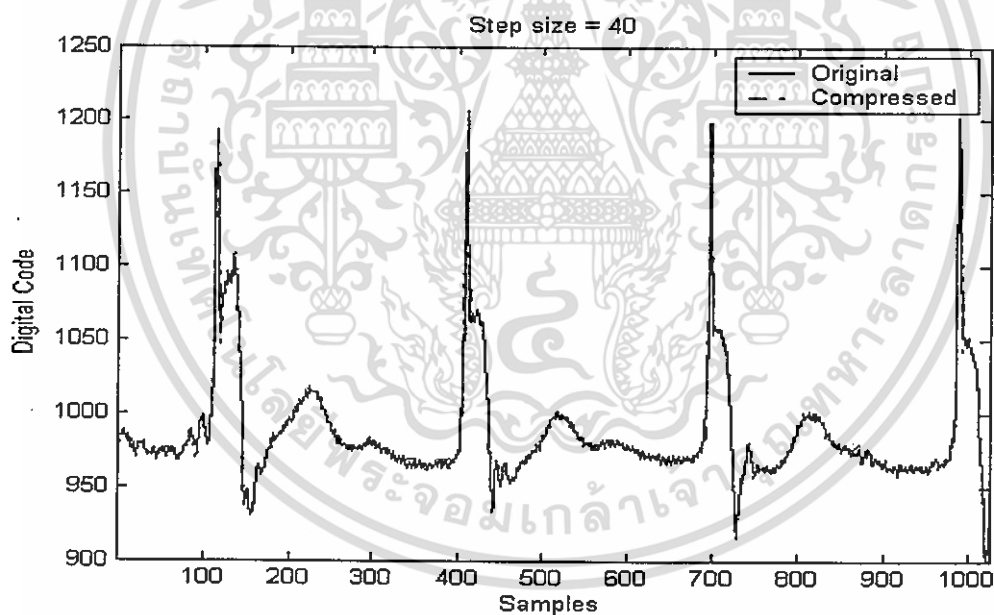


รูปที่ 6.12 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

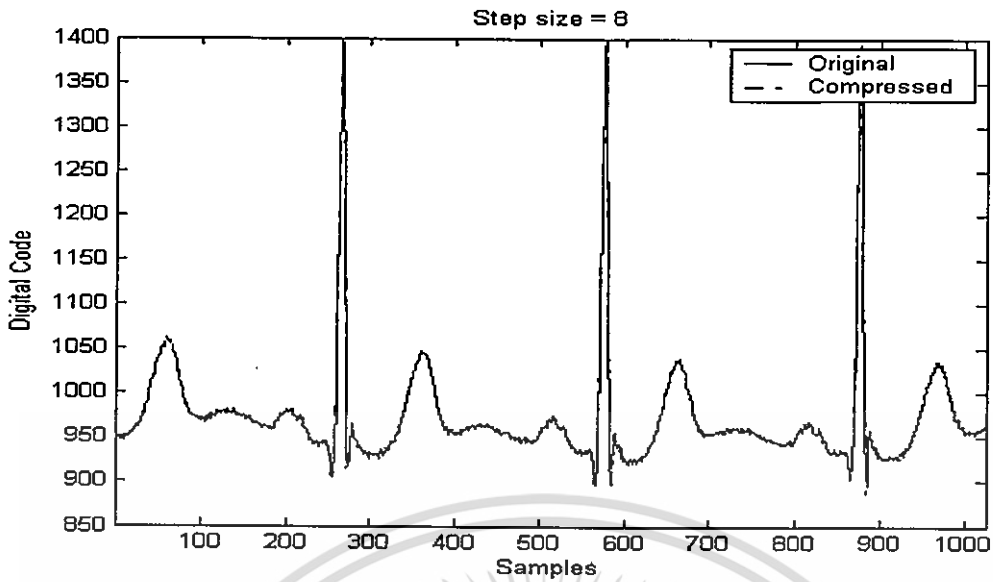


รูปที่ 6.13 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

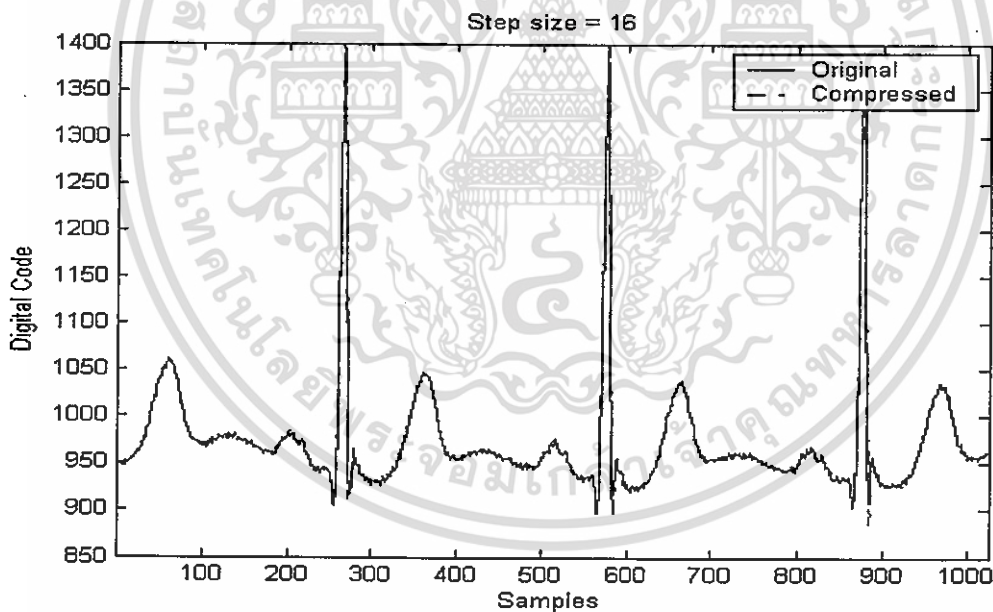


รูปที่ 6.14 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 102 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

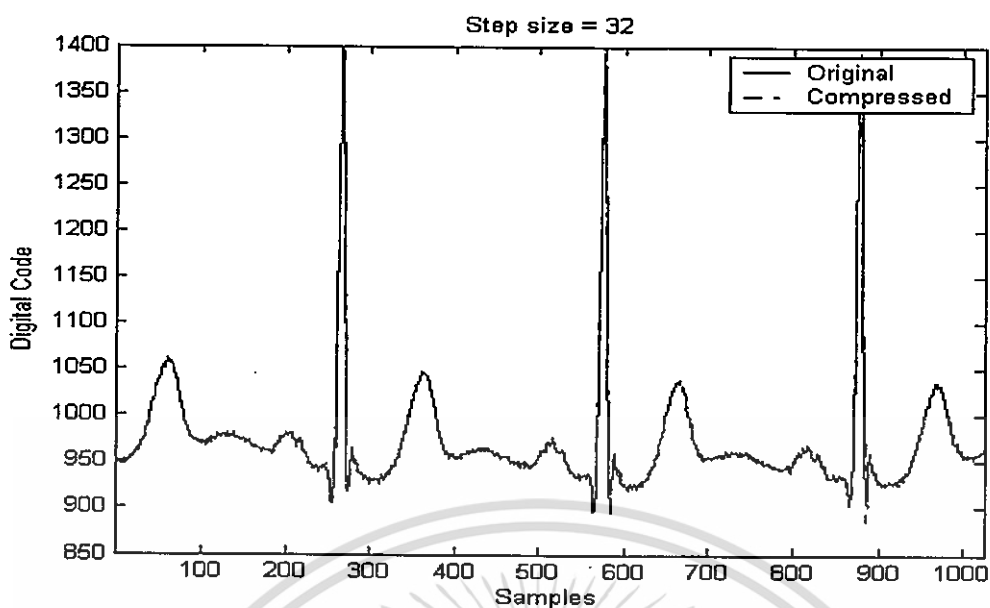


รูปที่ 6.15 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

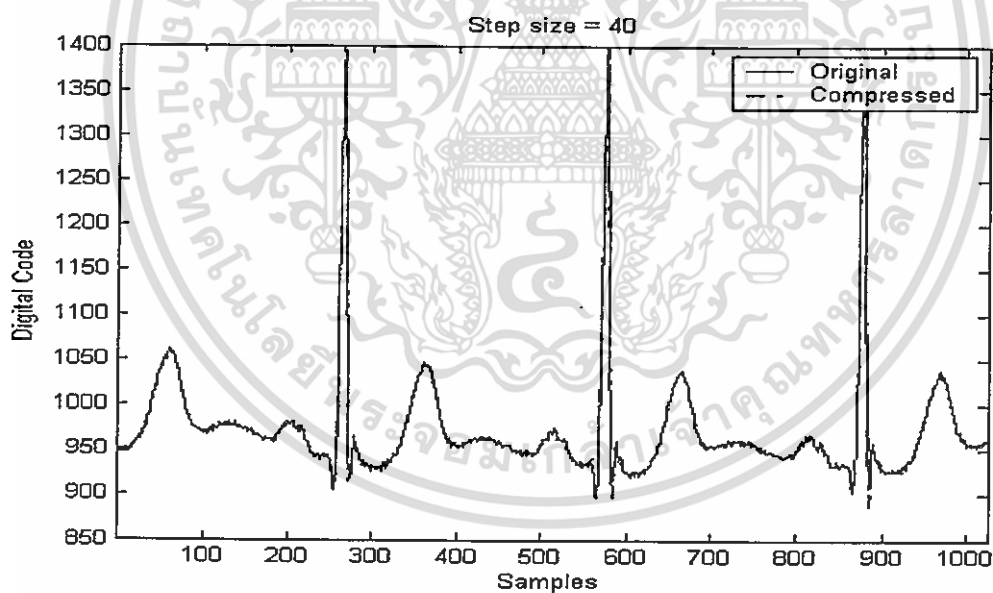


รูปที่ 6.16 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

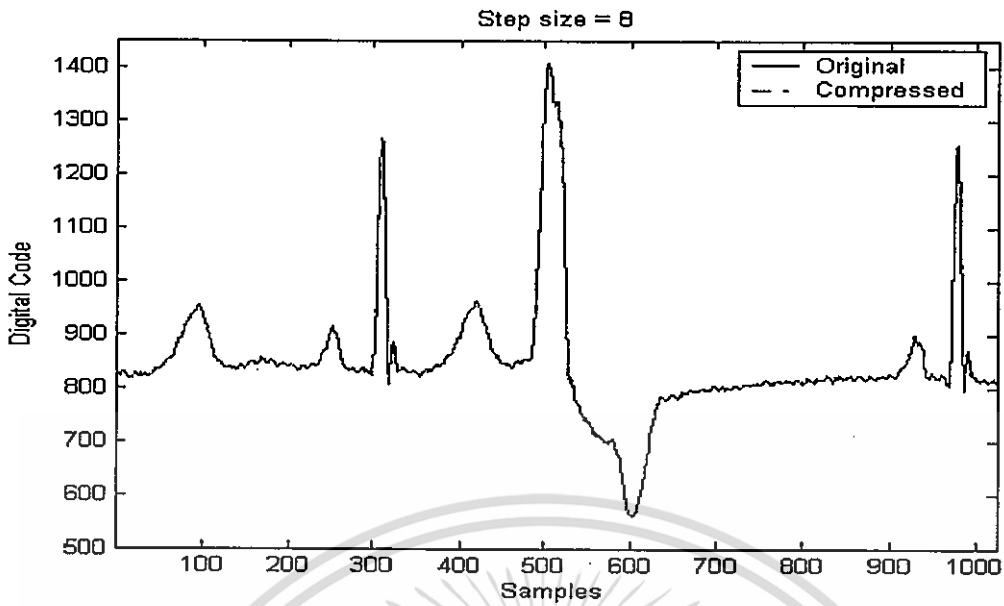


รูปที่ 6.17 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

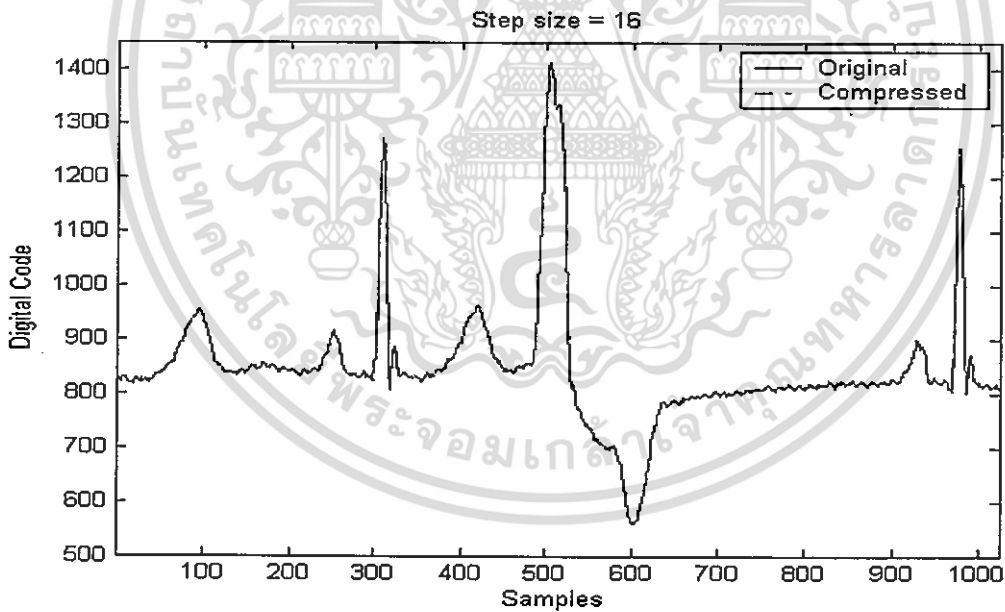


รูปที่ 6.18 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 103 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

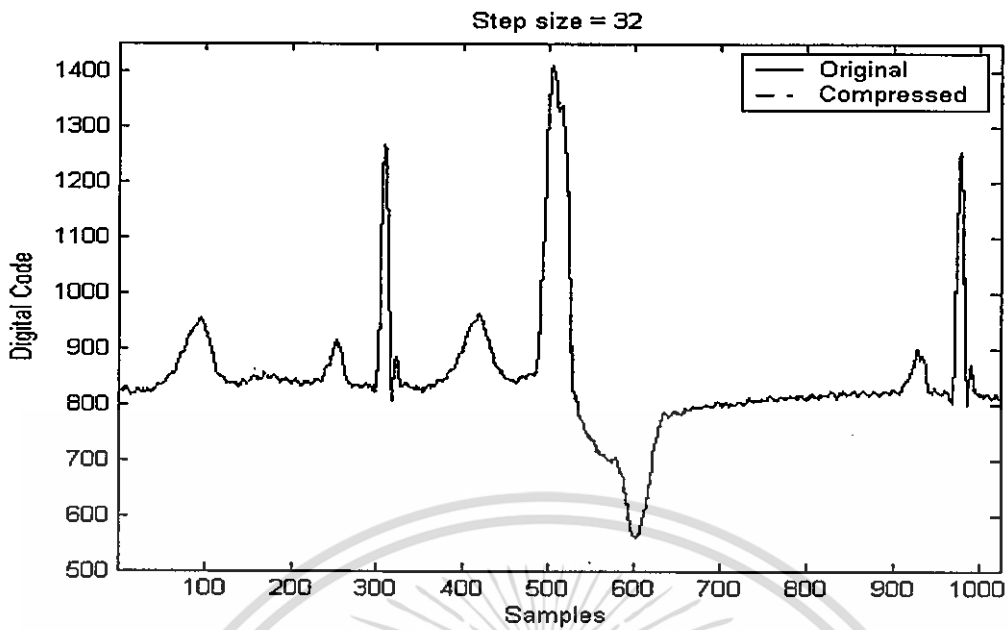


รูปที่ 6.19 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

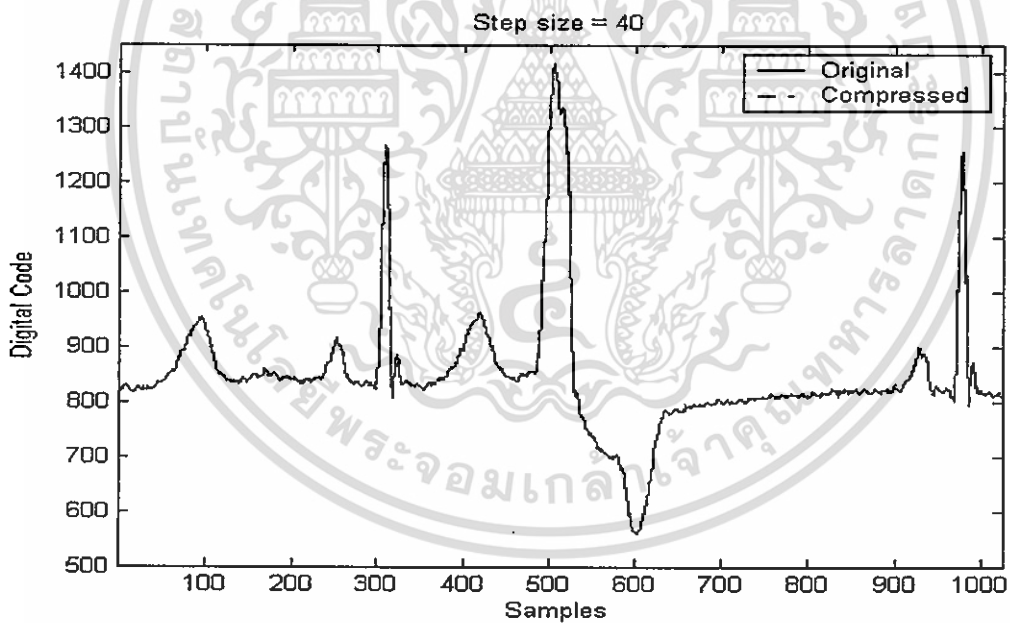


รูปที่ 6.20 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

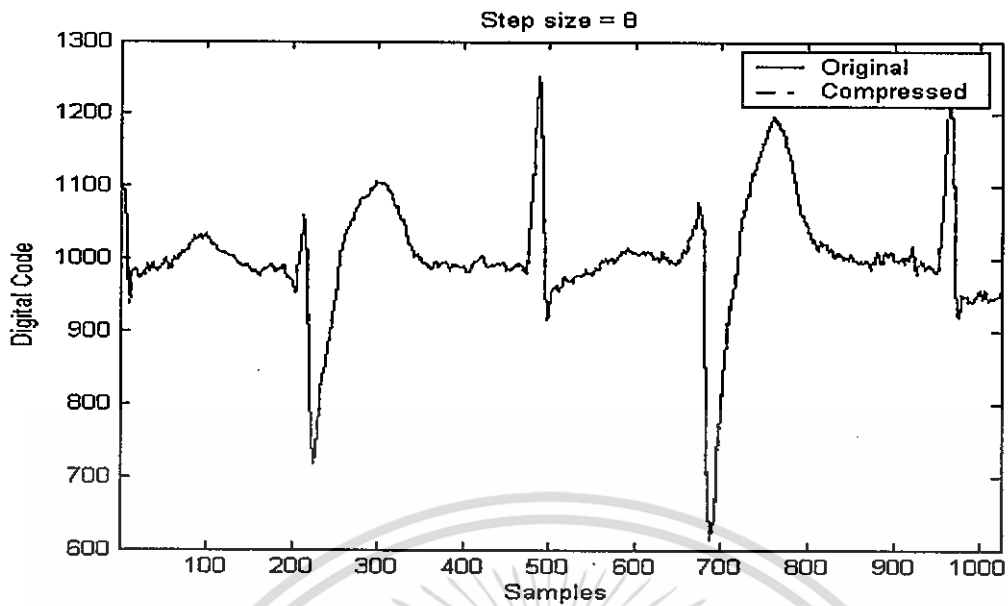


รูปที่ 6.21 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

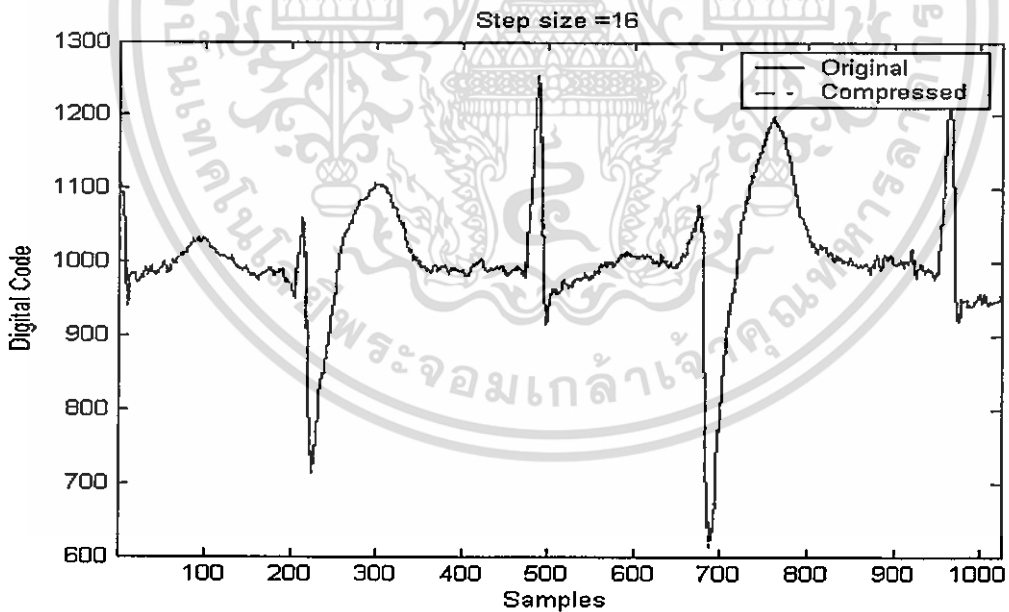


รูปที่ 6.22 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 119 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

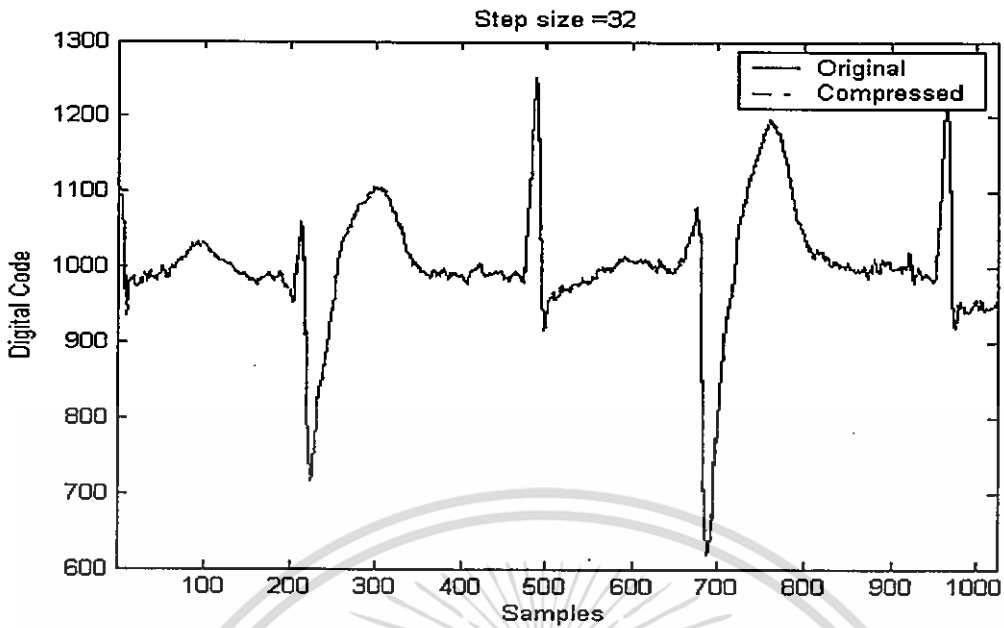


รูปที่ 6.23 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

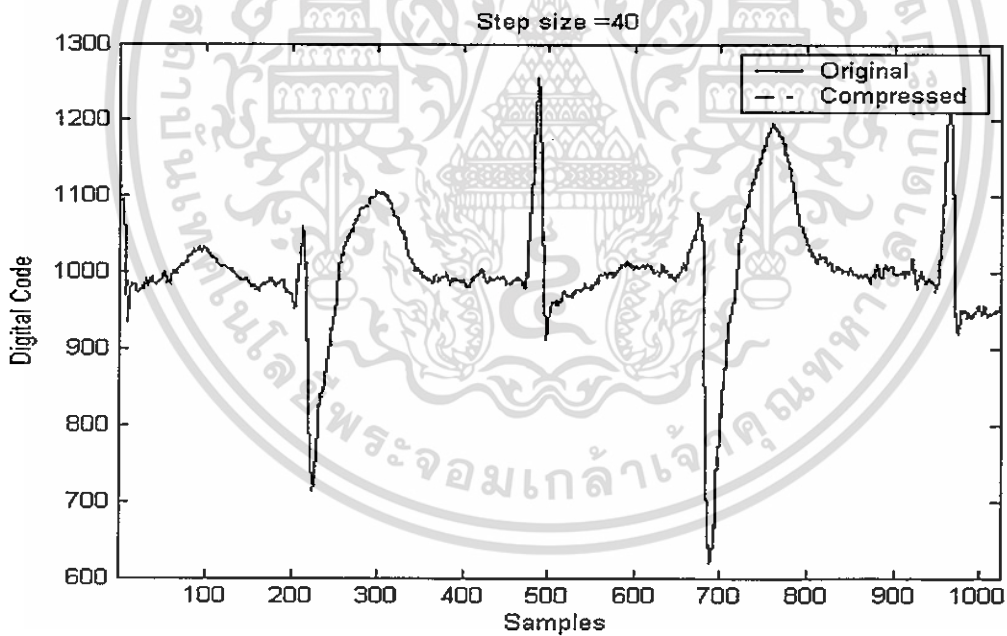


รูปที่ 6.24 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

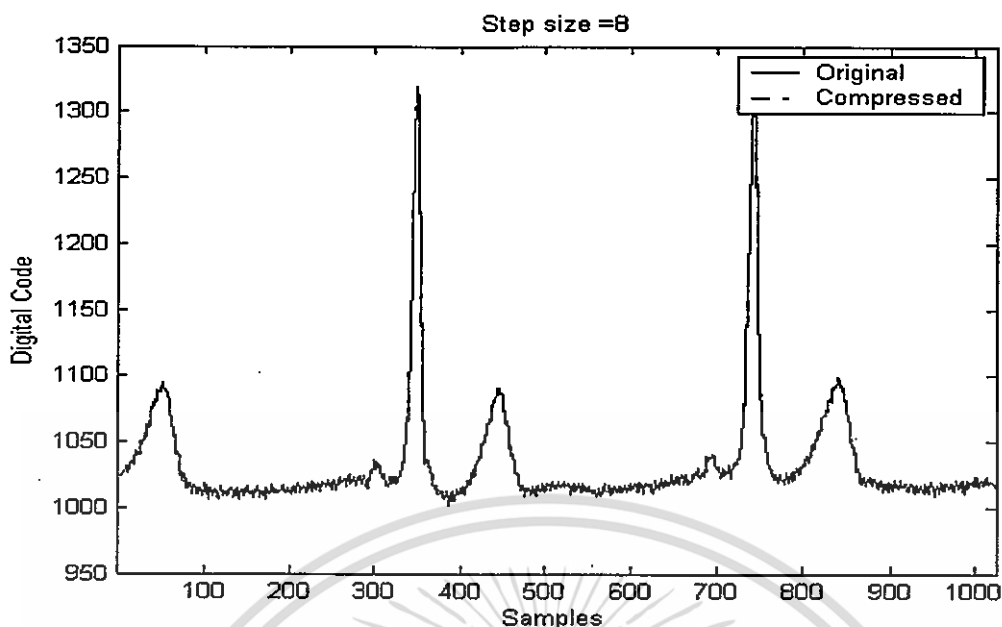


รูปที่ 6.25 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32

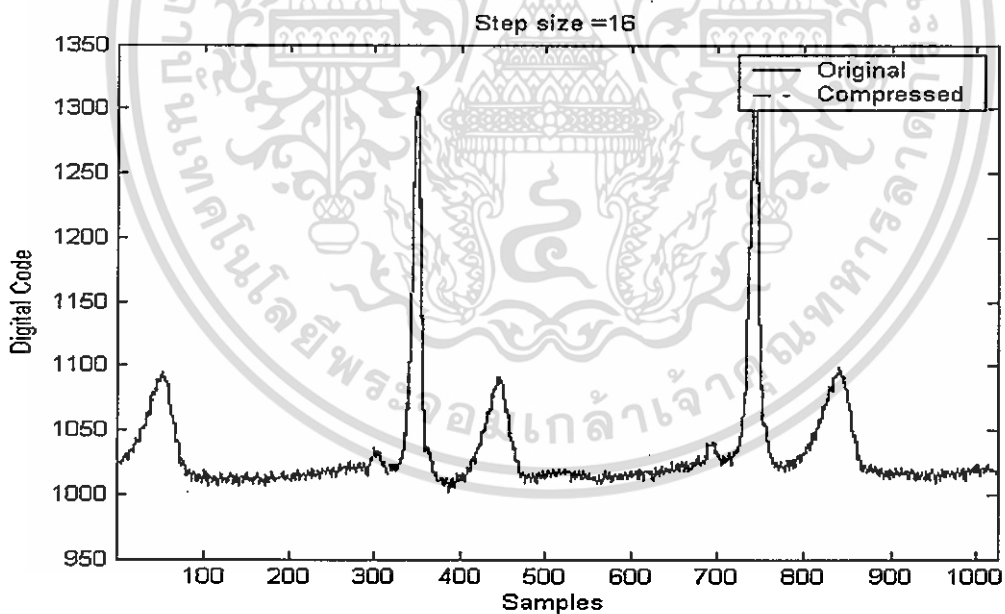


รูปที่ 6.26 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 200 ต้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

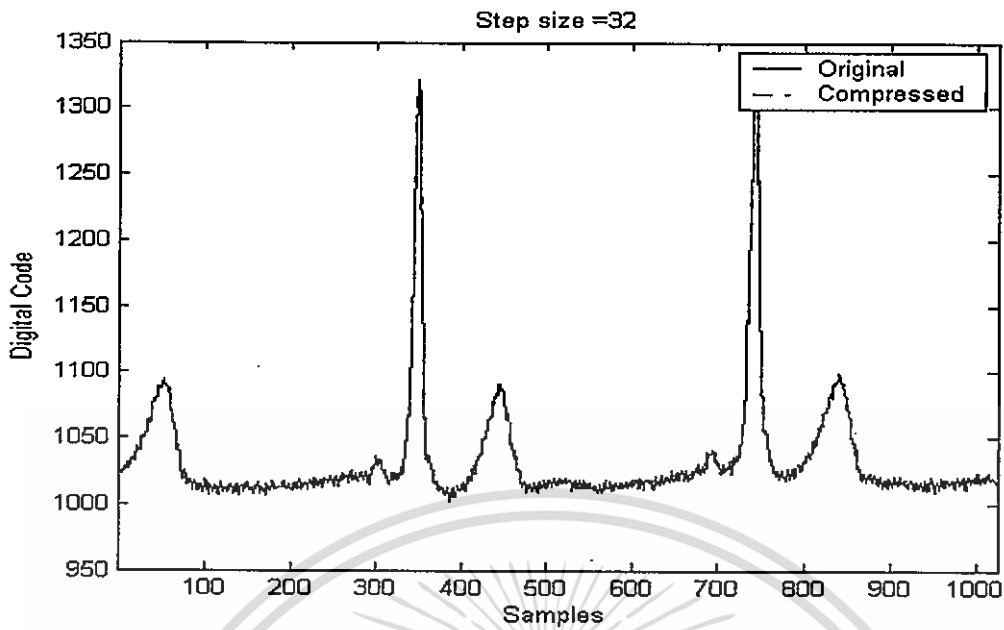


รูปที่ 6.27 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 8

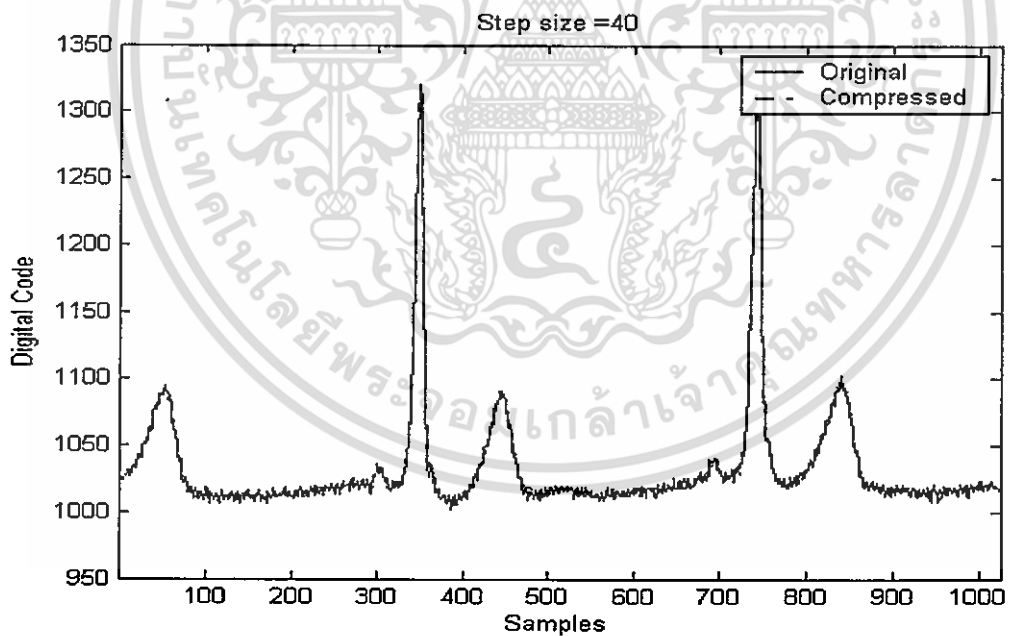


รูปที่ 6.28 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.29 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 32



รูปที่ 6.30 แสดงการเปรียบเทียบระหว่างคลื่นไฟฟ้าหัวใจ Record 202 ด้นแบบกับสัญญาณที่ผ่านการบีบอัดแล้วสร้างกลับคืนด้วยค่า Step size = 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.2 การทดลองกระบวนการบีบอัดข้อมูลด้วยเวฟเล็ตตระกูล CDF

การทดลองกระบวนการบีบอัดในส่วนของการแปลงลิฟต์เวฟเล็ตได้ใช้เวฟเล็ตในตระกูล CDF(2,2) ซึ่งเป็นเวฟเล็ตแบบ Bi-orthogonal โดยในตระกูล CDF(X,X) แบ่งตามขนาดของตัวกรองซึ่งในงานวิจัยได้ทดสอบการแปลงด้วยลิฟต์เวฟเล็ตต่าง ๆ ในตระกูล CDF(X,X) ด้วยความละเอียดการแปลง 3 ระดับและค่า Step size =24 เพื่อวัดค่า CR และ PRD ดังแสดงดังตารางที่ 6.3 และตารางที่ 6.4

ตารางที่ 6.3 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วยเวฟเล็ตตระกูล CDF(X,X)

CDF \ สัญญาณ	CDF(2,2)	CDF(2,4)	CDF(2,6)	CDF(3,3)	CDF(4,4)	CDF(4,6)
Record 100	5.78	5.96	5.64	5.83	5.25	5.94
Record 101	6.29	6.45	6.03	6.59	6.11	6.65
Record 102	7.42	7.68	7.51	7.12	6.89	7.72
Record 119	7.21	7.83	7.96	7.68	7.12	7.96
Record 200	6.02	6.43	6.19	6.39	5.96	6.65
Record 202	6.17	6.29	6.63	6.55	6.05	6.51
Record 203	4.63	4.75	4.82	4.47	4.23	4.85

ตารางที่ 6.4 แสดงค่า PRD(%) ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วยเวฟเล็ตตระกูล CDF(X,X)

CDF \ สัญญาณ	CDF(2,2)	CDF(2,4)	CDF(2,6)	CDF(3,3)	CDF(4,4)	CDF(4,6)
Record 100	4.398	4.631	4.554	4.712	4.112	4.887
Record 101	3.824	3.983	3.716	4.236	3.452	4.273
Record 102	3.664	3.769	3.892	4.125	3.581	4.312
Record 119	3.115	3.256	3.365	3.443	3.017	4.269
Record 200	2.142	2.441	2.513	2.668	2.228	2.754
Record 202	3.074	3.254	3.336	3.471	3.136	4.116
Record 203	4.124	4.368	4.145	4.466	4.269	4.512

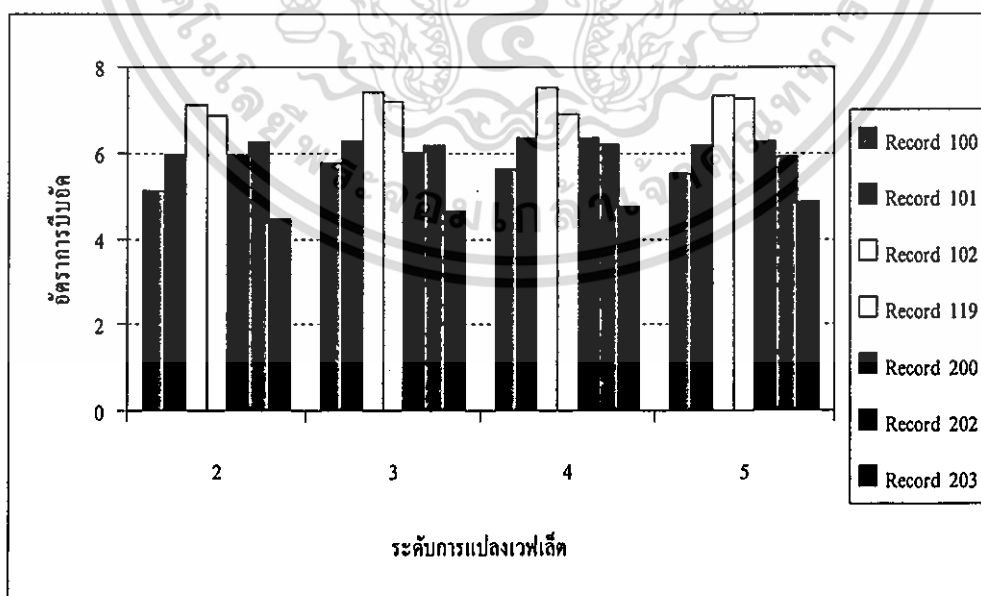
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.3 การทดลองการบีบอัดข้อมูลด้วยการแปลงเวฟเล็ตที่ระดับความละเอียดแตกต่างกัน

การทดลองกระบวนการบีบอัดในส่วนของการแปลงลิฟต์เวฟเล็ตได้ใช้เวฟเล็ตในตระกูล CDF(2,2) ซึ่งในงานวิจัยได้ทดสอบการแปลงด้วยลิฟต์เวฟเล็ต ด้วยความละเอียดการแปลงในระดับต่าง ๆ ด้วยค่า Step size =24 เพื่อวัดค่า CR ดังแสดงดังตารางที่ 6.5 และ แสดงการเปรียบเทียบอัตราการบีบอัดคลื่นไฟฟ้าหัวใจที่ระดับการแปลงเวฟเล็ตที่ระดับต่าง ๆ ดังรูปที่ 6.31

ตารางที่ 6.5 แสดงค่า CR ของสัญญาณไฟฟ้าหัวใจที่ผ่านกระบวนการบีบอัดด้วยเวฟเล็ตที่ระดับการแปลงต่าง ๆ

สัญญาณ \ Level	Level = 2	Level = 3	Level = 4	Level = 5
Record 100	5.13	5.78	5.63	5.52
Record 101	5.96	6.29	6.35	6.17
Record 102	7.11	7.42	7.53	7.36
Record 119	6.86	7.21	6.91	7.26
Record 200	5.95	6.02	6.34	6.29
Record 202	6.23	6.17	6.22	5.92
Record 203	4.47	4.63	4.75	4.86

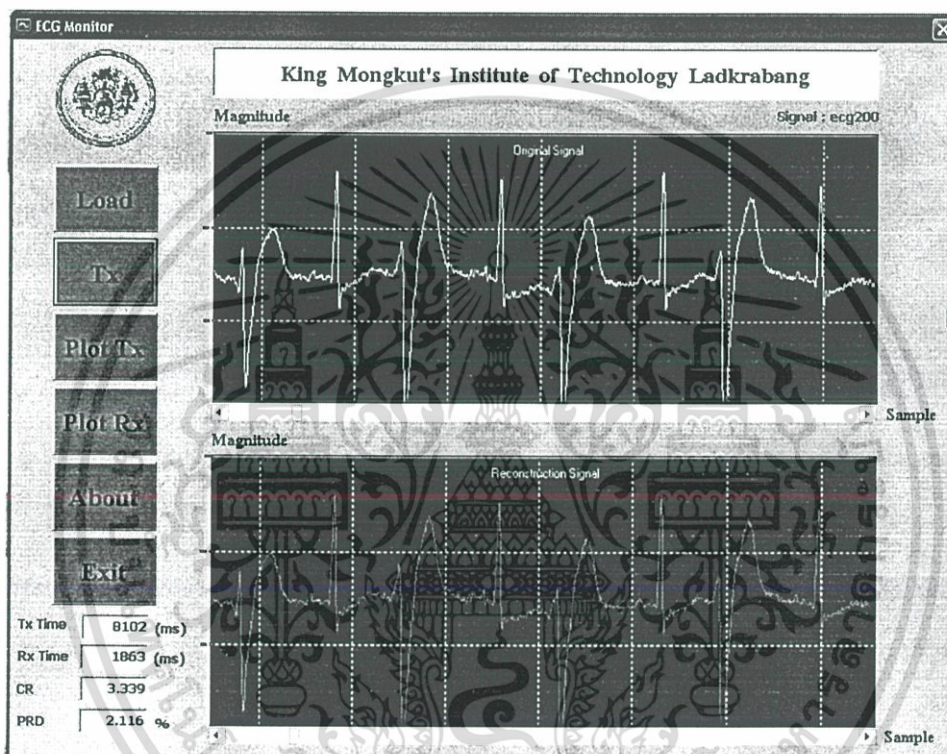


รูปที่ 6.31 แสดงการเปรียบเทียบอัตราการบีบอัดคลื่นไฟฟ้าหัวใจที่ระดับการแปลงเวฟเล็ต

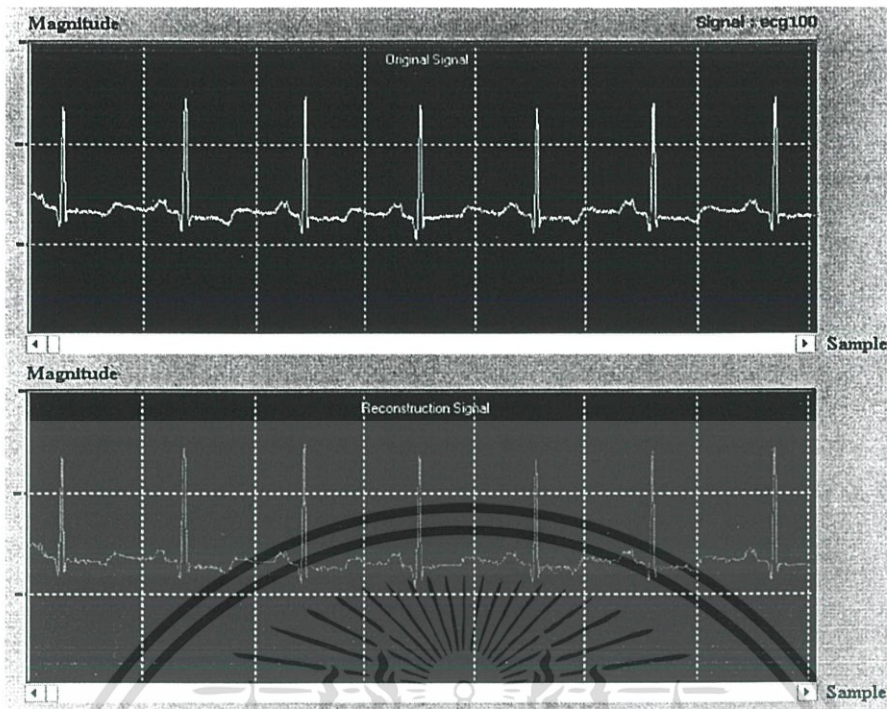
เอกสารนี้เป็นที่ระดับต่าง ๆ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.4 การทดลองการบีบอัดข้อมูลบนอุปกรณ์เอพฟี่จีเอ

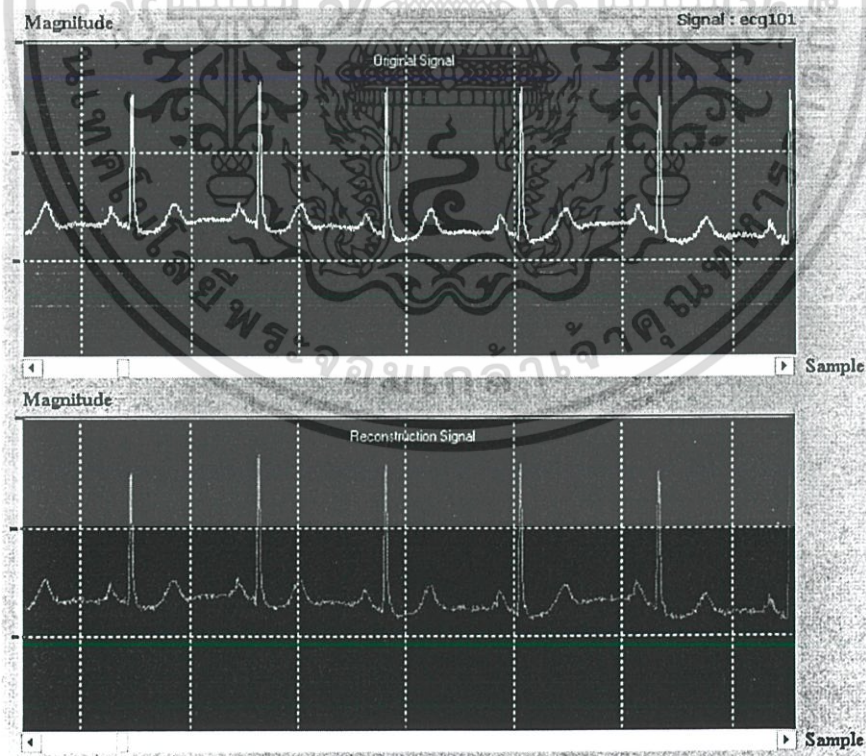
การทดลองนี้ได้จำลองเหตุการณ์ในการทดสอบกระบวนการโดยใช้คลื่นไฟฟ้าหัวใจจากฐานข้อมูล MIT-BIH และจากสัญญาณที่ได้จากวัดด้วยวงจรวัดจาก [21] นำมาป้อนให้กับวงจรการบีบอัดที่ได้ออกแบบไว้บนเอพฟี่จีเอในตระกูล FLEX10K ในรุ่น EPF10K20TC144 ผ่านกระบวนการบีบอัดเมื่อบันทึกแล้วนำข้อมูลที่ได้ไปถอดรหัสและแสดงผลบนคอมพิวเตอร์ ผลการทดลองแสดงดังในรูปที่ 6.32 ถึงรูปที่ 6.36



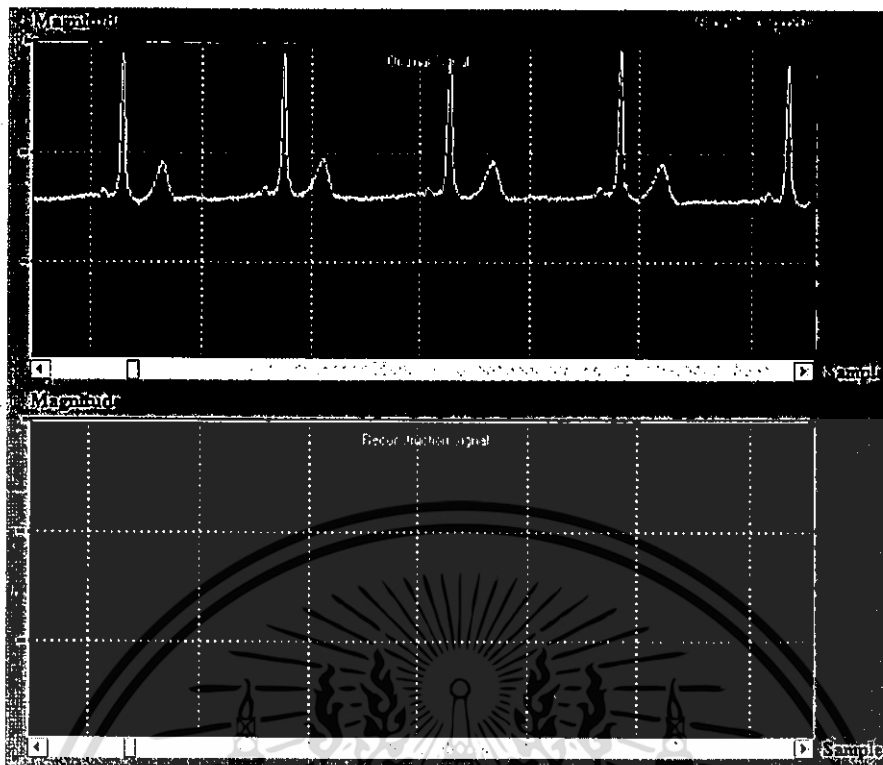
รูปที่ 6.32 แสดงโปรแกรมแสดงผลสัญญาณที่ถูกสร้างกลับบนคอมพิวเตอร์



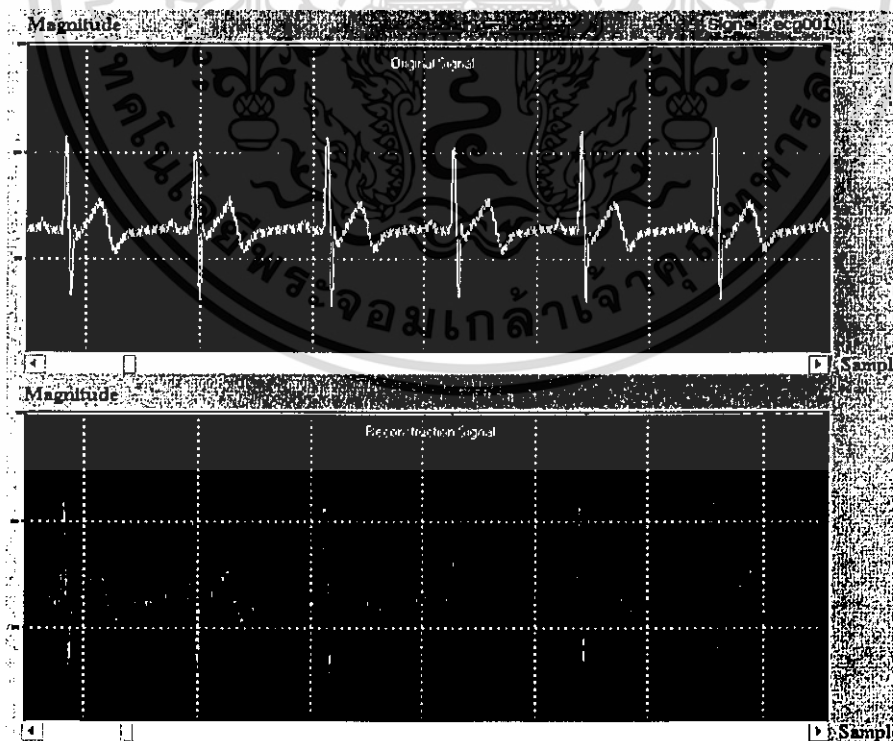
รูปที่ 6.33 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 100 ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ FLEX10K CR 3.62 PRD 2.98% เวลาที่ใช้ในการอิมพลีเมนต์ทั้งหมด 2.28 นาที



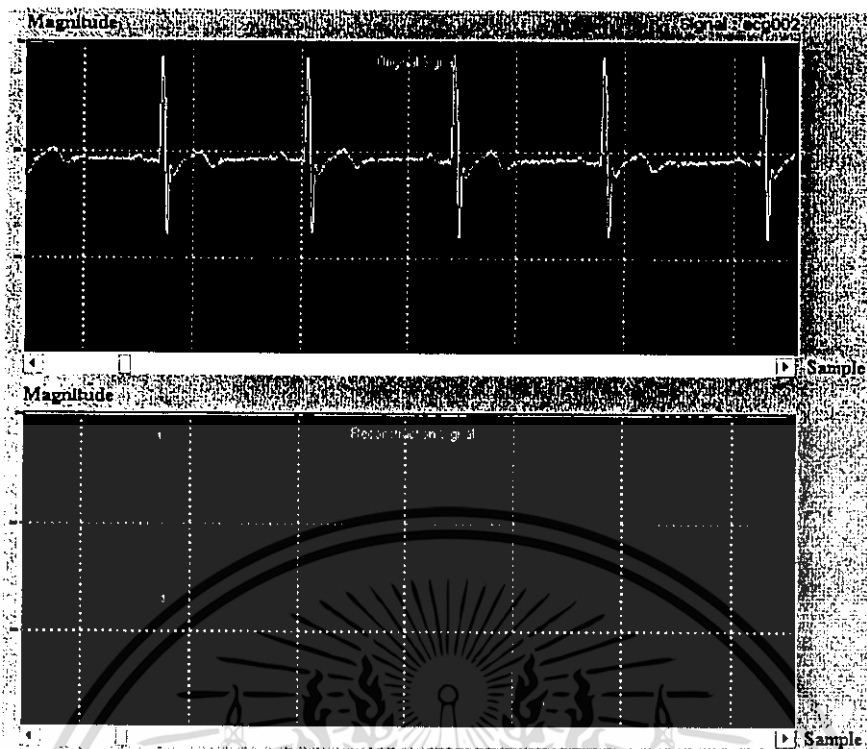
รูปที่ 6.34 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 101 ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ขอสงวนสิทธิ์ในชื่อผู้จัดทำเพื่อประโยชน์ด้านวิชาการค้า ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



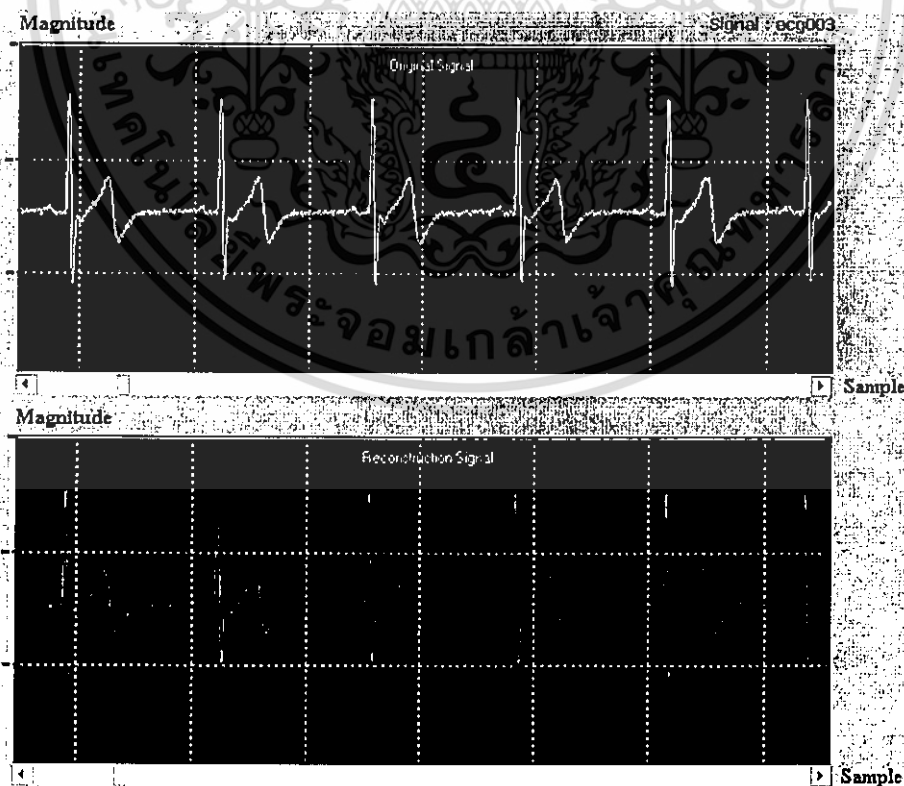
รูปที่ 6.35 แสดงรูปคลื่นไฟฟ้าหัวใจ Record 202 ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ FLEX10K CR 3.78 PRD 3.24% เวลาที่ใช้ในการอิมพลีเมนต์ทั้งหมด 1.50 นาที



รูปที่ 6.36 แสดงรูปคลื่นไฟฟ้าหัวใจ Record A ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษายเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า FLEX10K CR 3.62 PRD 2.98% เวลาที่ใช้ในการอิมพลีเมนต์ทั้งหมด 3.40 นาที  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่โดยไม่ได้รับอนุญาต และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.37 แสดงรูปคลื่นไฟฟ้าหัวใจ Record B ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ FLEX10K CR 3.52 PRD 2.76% เวลาที่ใช้ในการอิมพลีเมนต์ทั้งหมด 2.55 นาที



รูปที่ 6.38 แสดงรูปคลื่นไฟฟ้าหัวใจ Record C ที่ผ่านกระบวนการบีบอัดจากวงจรบนเอฟพีจีเอ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า FLEX10K CR 3.11 PRD 2.88 % เวลาที่ใช้ในการอิมพลีเมนต์ทั้งหมด 3.15 นาที ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ผลของงาน และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.5 การทดลองการบีบอัดข้อมูลบนอุปกรณ์เอฟพีจีเอ

การทดสอบกระบวนการด้วยการจัดทำแบบสอบถามความคิดเห็น โดยแบบสอบถามเป็นการประเมินประสิทธิภาพของสัญญาณสร้างกลับที่สามารถใช้ในการวินิจฉัยโรคโดยแพทย์ผู้เชี่ยวชาญด้านโรคหัวใจ โดยประกอบด้วยภาพคลื่นไฟฟ้าหัวใจต้นฉบับและคลื่นที่ผ่านการบีบอัดแล้วด้วยค่า PRD % ที่แตกต่างกัน

ตารางที่ 6.6 แสดงผลประเมินจากแบบสอบถาม

ชุดแบบสอบถาม	%PRD (โดยประมาณ)	ผลความคิดเห็น (ใช้วินิจฉัยโรคได้)
ชุดที่ 1 Record100	1	ได้
	2	ได้
	3	ได้
	4	ได้
ชุดที่ 2 Record101	1	ได้
	2	ได้
	3	ได้
	4	ได้
ชุดที่ 3 Record103	1	ได้
	2	ได้
	3	ได้
	4	ได้
ชุดที่ 4 Record202	1	ได้
	2	ได้
	3	ได้
	4	ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สรุปผลการวิจัยและข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้มีจุดประสงค์คือ การบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจให้มีค่าอัตราการลดข้อมูลมากโดยยังคงสาระสำคัญที่ใช้ในการวินิจฉัยทางการแพทย์เมื่อผ่านกระบวนการบีบอัดแล้ว รวมถึงการออกแบบวงจรการบีบอัดบนเอฟพีจีเอเพื่อเป็นแนวทางสำหรับนำมาใช้ในเครื่องบันทึกคลื่นไฟฟ้าหัวใจ

โดยในขั้นตอนการบีบอัดข้อมูลคลื่นไฟฟ้าหัวใจได้นำหลักการการแปลงลิฟต์ิงเวฟเล็ดตระกูล CDF(2,2) บนกระบวนการการลดข้อมูลได้ใช้วิธีการลดข้อมูลแบบผสมก็คือการใช้ควอนไทซ์แบบสเกลาร์ร่วมกับการเข้ารหัสไบนารีรันเลนดซึ่งวิธีการลดข้อมูลที่ไม่มีการสูญเสีย ซึ่งประโยชน์ของการลดข้อมูลโดยใช้การแปลงลิฟต์ิงเวฟเล็ดก็คือ มีรูปแบบในการคำนวณสะดวกต่อการอิมพีเม้นต์บนอุปกรณ์เอฟพีจีเอ และการเข้ารหัสไบนารีรันเลนดที่จะช่วยเพิ่มประสิทธิภาพในการลดข้อมูล จากโครงสร้างของสัมประสิทธิ์เวฟเล็ดที่ได้จากแปลงคลื่นไฟฟ้าหัวใจนำมาผ่านกระบวนการควอนไทซ์ทำให้มีลักษณะสัมประสิทธิ์เวฟเล็ดที่มีค่าศูนย์มากบนช่วงของข้อมูลความถี่สูง จึงมีความเหมาะสมในการประยุกต์ใช้การเข้ารหัสไบนารีรันเลนด มีอัตราการลดข้อมูล (Compression Ratio: CR) และค่าความเพี้ยนของสัญญาณ (Percent Root Mean Square Difference: PRD) เป็นพารามิเตอร์ที่ใช้ในการวัดประสิทธิภาพคลื่นไฟฟ้าหัวใจที่ผ่านการลดข้อมูล ในวิทยานิพนธ์นี้ได้ทำการทดลองลดข้อมูลแบบ Off line คือไม่ได้วัดคลื่นไฟฟ้าหัวใจจากผู้ป่วยโดยตรงแต่เป็นการนำข้อมูลคลื่นไฟฟ้าหัวใจจากแพทย์ที่วัดมาแล้วและจากฐานข้อมูล MIT-BIH มาทำการบีบอัดข้อมูล

คลื่นไฟฟ้าหัวใจที่ใช้ในการทดลองจะเป็นคลื่นไฟฟ้าหัวใจที่ได้จากลักษณะการวัด Lead MLII (Modified Lead II) ของฐานข้อมูล, Record 100, Record 101, Record 102, Record 119, Record 200, Record 202, Record 203 มีความถี่สุ่ม 360 Hz และระดับความละเอียด 11 bit/sample สัญญาณจากการวัดแบบ MLII (Modified Lead II) โดยสัญญาณได้ถูกแบ่งเป็นชุดที่แต่ละชุดข้อมูลจะมีจำนวน 2048 แซมเปิล ซึ่งได้เปรียบเทียบกับลักษณะคลื่นไฟฟ้าหัวใจต้นแบบกับคลื่นไฟฟ้าหัวใจที่ได้จากการสร้างกลับที่อัตราการลดข้อมูลต่าง ๆ กัน ตลอดจนได้เปรียบเทียบประสิทธิภาพการลดข้อมูลคลื่นไฟฟ้าหัวใจระหว่างเวฟเล็ดแบบลิฟต์ิงเวฟเล็ดตระกูลต่าง ๆ ด้วยการเข้ารหัสไบนารีรันเลนดในงานวิจัยได้แสดงประสิทธิภาพด้วยการเปรียบเทียบกระบวนการควอนไทซ์มีผลกระทบโดยตรงต่อค่า CR และ PRD ดังนั้นจึงเป็นการหาค่า step size ของการควอนไทซ์ที่เหมาะสมต่อการบีบอัด โดย [10] ได้สรุปว่าค่า PRD ที่เหมาะสมไม่เกิน 5% ซึ่งในการทดลองตารางที่ 6.1 และ 6.2 พบว่าค่า Step size ที่ไม่เกิน 28 ให้ค่า PRD น้อยกว่า 5% เมื่อวิเคราะห์เปรียบเทียบค่าระหว่าง ค่า Step size=24 และ 28 กับคลื่นไฟฟ้าหัวใจทั้ง 7 สัญญาณแล้ว ค่า Step size =24 ดีกว่าในด้านอัตราการบีบอัดต่อค่า PRD นอกจากนี้ได้ทำการทดลองกระบวนการบีบอัดในส่วนของการแปลงลิฟต์ิงเวฟเล็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ใช้เวฟเล็ตในตระกูล CDF(2,2) ซึ่งเป็นเวฟเล็ตแบบ Bi-orthogonal โดยในตระกูล CDF(X,X) แบ่งตามขนาดของตัวกรองซึ่งในงานวิจัยได้ทดสอบการแปลงด้วยลิตติ้งเวฟเล็ตต่าง ๆ ในตระกูล CDF(X,X) ด้วยความละเอียดการแปลง 3 ระดับและค่า Step size =24 จากตารางที่ 6.3 ในแต่ละตระกูลได้รับค่าไม่แตกต่างกันมาก แต่สำหรับในกระบวนการอิมพลีเมนต์ในรูปแบบการคำนวณและจำนวนเกคที่ใช้ในการออกแบบด้วยตระกูล CDF(2,2) มีความเหมาะสมต่อการออกแบบ

ในการทดลองที่ 6.4 ได้ดำเนินการทดสอบกระบวนการบีบอัดบนอุปกรณ์เอพพีจีเอด้วยฐานข้อมูล MIT-BIH และจากคลื่นไฟฟ้าหัวใจที่ได้จากวงจรวัดคลื่นไฟฟ้าหัวใจแบบ Lead I แบ่งเป็น Record A, Record B, Record C, Record D ที่ความถี่สุ่ม 360 Hz และระดับความละเอียด 11 bit/ sample โดยสัญญาณทดสอบทั้งหมดได้ถูกแบ่งเป็นชุดที่แต่ละชุดข้อมูลจะมีจำนวน 2048 แชนแนลนำมาผ่านกระบวนการบีบอัดบนอุปกรณ์เอพพีจีเอและสร้างสัญญาณกลับบนคอมพิวเตอร์ การออกแบบวงจรบนเอพพีจีเอได้ใช้ภาษาวีเอชดีแอลในการอธิบายลักษณะพฤติกรรมของวงจรซึ่งได้ออกแบบวงจรเป็นบล็อก ๆ จากนั้นจึงทำการดาวน์โหลดข้อมูลทางลอจิกลงในชิพเอพพีจีเอแล้วนำไปทดสอบด้วยการนำสัญญาณทดสอบผ่านข้อมูลที่ละชั้นตอนเมื่อผ่านกระบวนการทั้งหมดจะถูกนำส่งเข้าคอมพิวเตอร์ เพื่อทำการถอดรหัสแล้วสร้างสัญญาณกลับคืนบนโปรแกรมวิซวลเบสิก ทรัพยากรที่สำคัญภายในชิพเอพพีจีเอมีบล็อกการแปลงเวฟเล็ตซึ่งใช้ลอจิกเซลล์คิดเป็น 63% ของลอจิกเซลล์ทั้งหมด

ผลการบีบอัดสัญญาณจากฐานข้อมูล MIT-BIH ที่อัตราการบีบอัด 2-6 เท่าความเพี้ยนอยู่ในช่วง 1-4% การวัดค่าประสิทธิภาพนอกจากวัดด้วยค่า PRD ออกมาเป็นเปอร์เซ็นต์ตัวเลขแล้วยังต้องตรวจสอบด้วยการมองว่าคลื่นไฟฟ้าหัวใจที่ผ่านการบีบอัดนั้นสามารถใช้งานได้หรือไม่ซึ่งต้องขึ้นกับแพทย์ในการวินิจฉัยซึ่งอยู่ในการทดลองที่ 6.5 เป็นการทดสอบด้วยแบบสอบถามทำการประเมินประสิทธิภาพของสัญญาณสร้างกลับในการวินิจฉัยโรคได้ โดยแพทย์ผู้เชี่ยวชาญด้านโรคหัวใจ จากผลในตารางที่ 6.6 ซึ่งได้จากแบบสอบถามสรุปได้ว่าค่าความเพี้ยนที่ไม่เกิน 4% ที่ผ่านกระบวนการบีบอัดสามารถใช้ในการวินิจฉัยโรคได้

ในการทดลองบนอุปกรณ์เอพพีจีเอมีปัญหาในด้านปริมาณลอจิกที่ไม่เพียงพอต่อการออกแบบจึงได้แบ่งออกแบบเป็นบล็อกซึ่งทำให้ต้องทดสอบกระบวนการที่ละชั้นตอนไม่ต่อเนื่อง แนวทางในการพัฒนาต่อไปสามารถพัฒนาชั้นตอนต่อเนื่องและทำการวัดแบบ Real time ได้

## เอกสารอ้างอิง

- [1] MIT-BIH Arrhythmia Database. Harvard – MIT Division of Health Sciences and Technology. Cambridge, MA.
- [2] W. J. Tompkins, **Biomedical Digital Signal Processing: C-Language Examples and Laboratory Experiments for the IBM PC**, Prentice Hall, Inc., 1993.
- [3] John G. Webster, **Medical Instrumentation Application and Design**, Third Edition, Hohn Wiley & Sons, 1998.
- [4] Khalid Sayood, **Lossless Compression Handbook**, Academic Press, 2003
- [5] Peter Wayner, **Compression Algorithms for Real Programmers**, Morgan Kaufmann, 2000.
- [6] G.Strang, T.Nguyen, **Wavelets and Filter Banks**, Massachusetts, Wellesley-Cambridge Press. 1997.
- [7] C. Sidney Burrus, Ramesh A. Gopinath, and Haitao Guo, **Introduction to Wavelet and Wavelet Transforms**, Prentice-Hall, Texas, 1998.
- [8] Yves Nieverglt, **Wavelet Made Easy**, Birkhauser, Boston, 1999.
- [9] นายศักดิ์กษพันธ์ คล้ายดอกจันทร์, “การบีบอัดสัญญาณไฟฟ้าหัวใจในเวลาจริงโดยใช้การแปลงเวฟเล็ต” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2545.
- [10] นางสาววรรรัตน์ ภัทรอมรกุล, “การลดขนาดข้อมูลสัญญาณไฟฟ้าหัวใจซึ่งมีพื้นฐานอยู่บนเวฟเล็ตแพ็คเกจ” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543.
- [11] Stefan Sjöholm, and Lennart Lindh, **VHDL for Designers**, Prentice Hall, 1997.
- [12] ฉัททวุฒิ พิษผล, พิชิต สันติกุลานนท์, พร้อมเลิศ หล่อวิจิตร, คู่มือ Visual Basic 6, Provision, 2547.
- [13] Khanh Nguyen-Phi and Hans Weinrichter, “ECG signal coding using wavelet transform and binary arithmetic coder”, International Conference on Information, Communication and Signal Processing Singapore, 9-12 September, 1997, PP. 1344-1348.
- [14] Danny Hong and Alexandros Eleftheriadis, “Automatic Generation of C++/JAVA code for Binary Arithmetic Coding”, Proceedings, Picture Coding Symposium, San Francisco, CA, USA, December 2004.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [15] A. Jensen, A. la Cour-Harbo, **Ripples in Mathematics the discrete wavelet Transform**, Springer, 2001.
- [16] I. Daubechies, W. Sweldens, “factoring wavelet transforms into lifting step”, *J. Fourier Anal. Appl.* 4 (1998), no.3, 245-267.
- [17] A. Cohen, I. Daubechies, and P. Vial, “Biorthogonal bases of compactly supported wavelets”, *Comm. Pure Appl. Math.* 45(1992), no.5, 485-560.
- [18] Vicente Herrero, Marcos Martinez, Joaquin Cerda, “Implementation of a Lifting based Biorthogonal Wavelet on a FPGA”, *WSES International Conference on Speech, Signal and Image Processing*. Malta, 2001.
- [19] <http://www.astronlogic.com>
- [20] <http://medib.med.utah.edu/kw/ecg>
- [21] นายเกรียงศักดิ์ ชัยสวัสดิ์, “ไบเมตริกสำหรับการพิสูจน์ตัวตนโดยการใช้สัญญาณไฟฟ้าหัวใจ” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2548.



## ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ก.

Record 100 (MLII, V5; male, age 69)

*Medications:* Aldomet, Inderal

**Beats Before 5:00 After 5:00 Total**

Normal	367	1872	2239
APC	4	29	33
PVC	-	1	1
Total	371	1902	2273

*Supraventricular ectopy*

- 33 isolated beats

**Rhythm Rate Episodes Duration**

Normal sinus rhythm 70-89 1 30:06

**Signal quality Episodes Duration**

Both clean 1 30:06

**Points of interest:**

11:03 Normal sinus rhythm

25:13 PVC

26:09 APCs

27:55 Normal sinus rhythm

Record 101 (MLII, V1; female, age 75)

*Medications:* Diapres

Beats	Before 5:00	After 5:00	Total
Normal	342	1518	1860
APC	-	3	3
Unclassifiable	-	2	2
<b>Total</b>	<b>342</b>	<b>1523</b>	<b>1865</b>

*Supraventricular ectopy*

- 3 isolated beats

Rhythm	Rate	Episodes	Duration
Normal sinus rhythm	55-79	1	30:06

**Signal quality Episodes Duration**

Both clean	3	30:01
Upper noisy	1	0:04
Unreadable	1	0:01

**Points of interest:**

1:34 Normal sinus rhythm

1:48 Noise

5:13 Noise/artifact

9:54 APC

24:32 APC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Record 102 (V5, V2; female, age 84)

*Medications:* Digoxin

Beats	Before 5:00	After 5:00	Total
Normal	98	1	99
PVC	1	3	4
Paced	243	1785	2028
Pacemaker fusion	24	32	56
Total	366	1821	2187

*Ventricular ectopy*

- 4 isolated beats

Rhythm	Rate	Episodes	Duration
Normal sinus rhythm	72-78	2	1:22
Paced rhythm	68-78	3	28:44

Signal quality	Episodes	Duration
Both clean	1	30:06

Notes:

The rhythm is paced with a demand pacemaker. The PVCs are multiform.

**Points of interest:**

0:55 Paced rhythm

1:12 Transition from paced to normal sinus rhythm

1:28 PVC

2:30 Normal sinus rhythm

4:51 Pacemaker fusion beats

9:35 PVC

16:12 Paced rhythm

Record 103 (MLII, V2; male, age not recorded)

*Medications:* Diapres, Xyloprim

Beats	Before 5:00	After 5:00	Total
Normal	355	1727	2082
APC	-	2	2
Total	355	1729	2084

*Supraventricular ectopy*

- 2 isolated beats

Rhythm	Rate	Episodes	Duration
--------	------	----------	----------

Normal sinus rhythm	62-92	1	30:06
---------------------	-------	---	-------

Signal quality	Episodes	Duration
----------------	----------	----------

Both clean	4	22:01
------------	---	-------

Upper noisy	1	0:09
-------------	---	------

Lower noisy	2	7:56
-------------	---	------

**Points of interest:**

1:09 Normal sinus rhythm

17:21 Normal sinus rhythm

19:15 APC, noise in lower signal

22:13 Noise in lower signal

23:33 Noise in lower signal

28:58 Noise in lower signal

Record 119 (MLII, V1; female, age 51)

*Medications:* Pronestyl

Beats	Before 5:00	After 5:00	Total
Normal	246	1297	1543
PVC	80	364	444
Total	326	1661	1987

*Ventricular ectopy*

- 444 isolated beats

Rhythm	Rate	Episodes	Duration
Normal sinus rhythm	61-84	49	22:36
Ventricular bigeminy	52-91	37	3:55
Ventricular trigeminy	56-77	17	3:34

Signal quality	Episodes	Duration
Both clean	3	29:35
Lower noisy	2	0:30

Notes:

The PVCs are uniform.

Points of interest:

1:55 PVC

2:38 Ventricular trigeminy

4:51 Ventricular bigeminy

8:42 Normal sinus rhythm

20:05 Noise

25:33 Noise

**Points of interest:**1:42 Ventricular tachycardia, 3 beats5:38 Noise18:14 Ventricular tachycardia, 4 beats20:52 Noise24:49 Ventricular tachycardia, 3 beats26:12 Ventricular couplets28:31 Ventricular couplet29:01 APC, ventricular bigeminy29:18 APC, PVC29:51 PVCs

Record 202 (MLII, V1; male, age 68)

*Medications:* Digoxin, Hydrochlorothiazide, Inderal, KCl

Beats	Before 5:00	After 5:00	Total
Normal	261	1800	2061
APC	-	36	36
Aberrated APC	-	19	19
PVC	4	15	19
Fusion PVC	-	1	1
Total	265	1871	2136

*Supraventricular ectopy*

- 26 isolated beats
- 13 couplets
- 1 run of 3 beats

*Ventricular ectopy*

- 20 isolated beats

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Rhythm	Rate	Episodes	Duration
Normal sinus rhythm	49-69	3	19:31
Atrial flutter	101-143	1	0:48
Atrial fibrillation	60-148	4	9:46

**Signal quality Episodes Duration**

Both clean 1 30:06

**Notes:**

The PVCs are uniform and late-cycle. This record was taken from the same analog tape as record 201.

**Points of interest:**

10:16 Normal sinus rhythm, PVCs

12:24 APCs, PVC

12:41 Aberrated APCs, PVC

18:22 Normal sinus rhythm, bradycardia

18:45 Aberrated APCs

18:59 Onset of atrial fibrillation with aberrated beats

21:10 Atrial fibrillation, PVC

21:26 End of atrial fibrillation

22:13 Atrial fibrillation, aberrated beats

25:58 Atrial flutter with 2:1 conduction

27:55 Atrial fibrillation, aberrated beat

29:35 Atrial fibrillation

## FLEX 10K Embedded Programmable Logic Family Data Sheet

Table 2. FLEX 10K Device Features

Feature	EPF10K70	EPF10K100 EPF10K100A	EPF10K130V	EPF10K250A
Typical gates (logic and RAM) (1)	70,000	100,000	130,000	250,000
Maximum system gates	118,000	158,000	211,000	310,000
LEs	3,744	4,992	6,656	12,160
LABs	468	624	832	1,520
EABs	9	12	16	20
Total RAM bits	18,432	24,576	32,768	40,960
Maximum user I/O pins	358	406	470	470

## Note to tables:

(1) The embedded IEEE Std. 1149.1 JTAG circuitry adds up to 31,250 gates in addition to the listed typical or maximum system gates.

## ...and More Features

- Devices are fabricated on advanced processes and operate with a 3.3-V or 5.0-V supply voltage (see Table 3)
- In-circuit reconfigurability (ICR) via external configuration device, intelligent controller, or JTAG port
- ClockLock™ and ClockBoost™ options for reduced clock delay/skew and clock multiplication
- Built-in low-skew clock distribution trees
- 100% functional testing of all devices; test vectors or scan chains are not required

Table 3. Supply Voltages for FLEX 10K &amp; FLEX 10KA Devices

5.0-V Devices	3.3-V Devices
EPF10K10	EPF10K10A
EPF10K20	EPF10K30A
EPF10K30	EPF10K50V
EPF10K40	EPF10K100A
EPF10K50	EPF10K130V
EPF10K70	EPF10K250A
EPF10K100	

---

**FLEX 10K Embedded Programmable Logic Family Data Sheet**


---

- Flexible interconnect
  - FastTrack<sup>®</sup> Interconnect continuous routing structure for fast, predictable interconnect delays
  - Dedicated carry chain that implements arithmetic functions such as fast adders, counters, and comparators (automatically used by software tools and megafunctions)
  - Dedicated cascade chain that implements high-speed, high-fan-in logic functions (automatically used by software tools and megafunctions)
  - Tri-state emulation that implements internal tri-state buses
  - Up to six global clock signals and four global clear signals
- Powerful I/O pins
  - Individual tri-state output enable control for each pin
  - Open-drain option on each I/O pin
  - Programmable output slew-rate control to reduce switching noise
  - FLEX 10KA devices support hot-socketing
- Peripheral register for fast setup and clock-to-output delay
- Flexible package options
  - Available in a variety of packages with 84 to 600 pins (see Table 4)
  - Pin-compatibility with other FLEX 10K devices in the same package
  - FineLine BGA<sup>™</sup> packages maximize board space efficiency
- Software design support and automatic place-and-route provided by Altera's MAX+PLUS<sup>®</sup> II development system for Windows-based PCs and Sun SPARCstation, HP 9000 Series 700/800, and IBM RISC System/6000 workstations, and Quartus<sup>™</sup> development system for Windows-based PCs and Sun SPARCstation and HP 9000 Series 700 workstations
- Additional design entry and simulation support provided by EDIF 2.0 and 3.0 netlist files, library of parameterized modules (LPM), DesignWare components, Verilog HDL, VHDL, and other interfaces to popular EDA tools from manufacturers such as Cadence, Exemplar Logic, Mentor Graphics, OrCAD, Synopsys, Synplicity, VeriBest, and Viewlogic

## ภาคผนวก ค.

### ผลงานวิจัยที่ได้รับตีพิมพ์

1. Suthep Thanadetnonthasakul, Sakaphan Claydokjan, Kitiphol Chitsakul, and Manas Sangworasil, “ECG Data Compression Using Wavelet Packet Based on Binary Arithmetic Coding”, World Congress on Medical Physics and Biomedical Engineering WC2003, Sydney , Australia, 2003.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ	นายสุเทพ ชนาเดชนันทสกุล
เกิดวันที่	9 ธันวาคม 2521
การศึกษา	ปีการศึกษา 2534-2536 ระดับมัธยมศึกษาตอนต้น โรงเรียนปากเกร็ด ปีการศึกษา 2537 ระดับมัธยมศึกษาตอนปลาย(ม.4) โรงเรียนปากเกร็ด ปีการศึกษา 2538-2541 ระดับประกาศนียบัตรวิชาชีพชั้นสูง(อิเล็กทรอนิกส์) สถาบันเทคโนโลยีราชมงคล วิทยาเขตนนทบุรี ปีการศึกษา 2542-2544 ระดับปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยี พระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้