

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์
โดยใช้มอสทรานซิสเตอร์

ELECTRONICALLY CONTROLLABLE POSITIVE RESISTANCE BASED ON
CMOS TRANSISTOR CIRCUIT



สมนึก ห่าวหาญ
SOMNUK HAWHAN

อพ.
ล 2537
2549

เลขหมู่.....
เลขทะเบียน..... 60251
วัน,เดือน,ปี... 2.7...ค.ย... 2549

b. 11584981
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2548

ISBN 974-15-1965-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRONICALLY CONTROLLABLE POSITIVE RESISTANCE BASED ON
CMOS TRANSISTOR CIRCUIT**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2005

ISBN 974-15-1965-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2005

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์
นักศึกษา	นายสมนึก ห้าวหาญ
รหัสประจำตัว	43061167
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอ วงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ โดยอาศัยคุณสมบัติของทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัวมาใช้งาน วิทยานิพนธ์นี้เสนอวงจรความต้านทานแบบบวกชนิดกราวด์ และวงจรความต้านทานแบบบวกชนิดลอยตัว ซึ่งวงจรที่นำเสนอนี้ให้ค่าความต้านทานที่เป็นเชิงเส้นสูง และใช้อุปกรณ์ในการสร้างน้อย ผลการทดสอบใช้โปรแกรม PSpice เพื่อแสดงสมรรถนะของวงจร และทดลองต่อวงจรจริง โดยใช้ MC 14007 เพื่อยืนยันการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Electronically Controllable Positive Resistance Based on CMOS Transistor Circuit
Student	Mr. Somnuk Hawhan
Student ID.	43061167
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2005
Thesis Advistor	Assoc.Prof. Dr.Kobchai Dejhan

ABSTRACT

This thesis presents an electronically controllable positive resistance based on CMOS transistor circuit. These circuits are based on the characteristic of MOS-transistor operating in non saturation region. This thesis circuit two circuit that the first circuit is a ground-resistance circuit and the second circuit is a floating-resistance circuit. The proposed circuit gives the high-linearity of resistance value with a number of transistors. Simulation Results using PSpice to show performance of circuit and experimental. Results using MC 14007 to confirm operation of the circuit.

กิตติกรรมประกาศ

ผู้เขียนขอขอบพระคุณอย่างสูงต่อ รศ.ดร. กอบชัย เดชหาญ อาจารย์ที่ปรึกษาที่ได้ให้ความรู้ คำปรึกษา และคำชี้แนะแนวทางทางด้านการออกแบบวงจรอิเล็กทรอนิกส์ ตลอดทั้งวิธีต่างๆ ในการทำงานวิจัยและเป็นผู้ตรวจทานแก้ไขงานวิจัยของผู้เขียนทุกชิ้น อย่างมีประสิทธิภาพ

ขอขอบพระคุณอาจารย์อิทธิพงศ์ ชัยสาขันธ์ ที่ได้ให้ความรู้ คำปรึกษา และคำชี้แนะแนวทางทางด้านการออกแบบวงจรอิเล็กทรอนิกส์ ตลอดทั้งวิธีต่างๆ ในการออกแบบวงจร ตลอดจนความรู้ วิชาการต่างๆ ที่ถ่ายทอดให้ผู้เขียนเป็นอย่างดี ทำให้งานวิจัยนี้สำเร็จสมบูรณ์

ขอขอบพระคุณสมาชิกกลุ่มใจแก้ว นครปฐม ทุกคนที่เป็นกำลังใจ พร้อมทั้งให้ความช่วยเหลือในด้านต่างๆ แก่ผู้เขียนมาโดยตลอด

ขอขอบพระคุณ พี่ น้อง และเพื่อนๆ ทุกคนของผู้เขียนที่ให้การสนับสนุน เอื้อเฟื้อเผื่อแผ่ ในทุกๆ ด้านมาโดยตลอด

ขอขอบพระคุณบิดา-มารดา ที่ให้การอบรมสั่งสอน ดูแลด้วยดี และเป็นกำลังใจให้ตลอดมา นอกจากนี้ผู้เขียนขอขอบพระคุณมหาวิทยาลัยเอเชียอาคเนย์ ที่ได้อำนวยความสะดวกในเครื่องมือ และ อุปกรณ์ต่างๆ ในการทำงานวิจัย

ประโยชน์อันใดที่เกิดจากงานวิจัยนี้ย่อมเป็นผลมาจากความกรุณาของท่านดังกล่าวข้างต้น ผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่ง จึงใคร่ขอขอบพระคุณเป็นอย่างสูงไว้ ณ โอกาสนี้

คุณค่า และประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้เขียนขอบแต่ผู้สนับสนุนทุกท่าน

สมนึก หัวหาญ

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูปภาพ.....	VII
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.3 หลักการใหม่ในการทำวิทยานิพนธ์.....	2
1.4 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 เทคโนโลยีของซิมอส ทฤษฎีการทำงานของมอสเฟต.....	4
2.1 กล่าวนำ.....	4
2.2 เทคโนโลยีของซิมอส.....	4
2.3 ทฤษฎีการทำงานของมอสเฟต.....	5
2.3.1 โครงสร้างของมอสเฟต.....	5
2.3.2 สัญลักษณ์ของมอสเฟต.....	8
2.3.3 ชนิดของมอสเฟต.....	10
2.3.4 คุณสมบัติการทำงาน of มอสเฟต.....	12
2.3.5 แบบจำลองของมอสเฟต.....	14
2.3.6 ผลของอุณหภูมิในมอสทรานซิสเตอร์.....	15
2.4 สรุป.....	15
บทที่ 3 หลักการออกแบบวงจรความต้านทานแบบบวกที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์.....	16
3.1 กล่าวนำ.....	16
3.2 หลักการเบื้องต้นของการออกแบบวงจรความต้านทานแบบบวกที่ สามารถปรับค่าได้ชนิดกราวด์.....	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
3.2.1 วงจรรวมสัญญาณ.....	18
3.2.1.1 วงจรอินเวอร์เตอร์.....	18
3.2.1.2 วงจรลบสัญญาณ.....	20
3.2.2 วงจรความต้านทานแบบพื้นฐาน.....	21
3.3 การวิเคราะห์ช่วงปฏิบัติงานอินพุท.....	23
3.4 การวิเคราะห์ช่วงปฏิบัติงานความถี่.....	24
3.5 ผลการทดสอบการทำงานของวงจร.....	27
3.5.1 การจำลองการทำงานของวงจรโดยโปรแกรม PSpice.....	27
3.5.2 การจำลองวงจรเพื่อหาผลตอบสนองเชิงความถี่.....	30
3.6 เปรอ์เซ็นต์ความผิดพลาดของความเป็นเชิงเส้น.....	31
3.7 ผลของอุณหภูมิต่อค่าความต้านทาน.....	33
3.8 การประยุกต์การใช้งาน.....	33
3.9 ผลการทดลองจริง.....	34
3.10 บทสรุป.....	36
บทที่ 4 หลักการออกแบบวงจรความต้านทานแบบบวกรวมชนิดลอยตัว.....	37
4.1 กล่าวนำ.....	37
4.2 หลักการเบื้องต้นของการออกแบบวงจรความต้านทานแบบบวกรวมที่สามารถ ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ชนิดลอยตัว.....	37
4.2.1 วงจรปรับค่าความนำ.....	38
4.2.2 วงจรปรับระดับแรงดัน.....	39
4.3 การวิเคราะห์ช่วงปฏิบัติงานอินพุท.....	40
4.4 การวิเคราะห์ช่วงปฏิบัติงานความถี่.....	41
4.5 ผลการทดสอบการทำงานของวงจร.....	45
4.5.1 การจำลองการทำงานของวงจรโดยโปรแกรม PSpice.....	45
4.5.2 การจำลองวงจรเพื่อหาผลตอบสนองเชิงความถี่.....	47
4.6 เปรอ์เซ็นต์ความผิดพลาดของความเป็นเชิงเส้น.....	48
4.7 ผลของอุณหภูมิต่อค่าความต้านทาน.....	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา II และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.8 การประยุกต์การใช้งาน.....	50
4.9 ผลการทดลองจริง.....	52
4.10 บทสรุป.....	53
บทที่ 5 บทสรุป.....	54
5.1 บทสรุป.....	54
5.2 ปัญหาที่เกิดขึ้น และแนวทางแก้ไข.....	55
เอกสารอ้างอิง.....	56
ภาคผนวก.....	58
ภาคผนวก ก.....	59
ภาคผนวก ข.....	68
ภาคผนวก ค.....	77
ภาคผนวก ง.....	101
ประวัติผู้เขียน.....	108

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาIII และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 แสดงแผนผังของเทคโนโลยีวงจรรวม	5
2.2 โครงสร้างของ NMOS	6
2.3 โครงสร้างของ PMOS	6
2.4 แสดงการไบอัส	7
2.5 แสดงสัญลักษณ์ต่างๆ ของมอสเฟต	9
2.6 โครงสร้างของมอสเฟตชนิดเอ็น-แซนแนล	10
2.7 แสดงกราฟคุณสมบัติของมอสเฟตชนิดเอ็น-แซนแนล	11
2.8 แสดงคุณสมบัติของมอสเฟต	13
2.9 แสดงความสัมพันธ์ระหว่าง I_D กับ V_{GS}	14
3.1 มอสทรานซิสเตอร์	17
3.2 แสดงการหากล้างทอมที่ได้เป็นเชิงเส้นของความต้านทาน	17
3.3 วงจรอินเวอร์เตอร์	18
3.4 วงจรลบสัญญาณ	20
3.5 วงจรรวมสัญญาณ	21
3.6 วงจรความต้านทานแบบพื้นฐาน	22
3.7 วงจรความต้านทานแบบวอกชนิดกราวด์ที่นำเสนอ	23
3.8 วงจรสมมูลของมอสที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์	24
3.9 แสดงแบบจำลองขนาดเล็กของวงจรรูปที่ 3.7	25
3.10 แสดงการปรับปรุงวงจรรูปที่ 3.9	25
3.11 แสดงคุณสมบัติทาง DC ของวงจรรวมความต้านทานแบบวอกชนิดกราวด์	28
3.12 คุณสมบัติทาง DC ของวงจรรวมความต้านทานแบบวอกชนิดกราวด์ เมื่อ $V_C = 7V$	29
3.13 เสถียรภาพของความต้านทานต่ออุณหภูมิ	29
3.14 ความสัมพันธ์ระหว่างความต้านทานกับแรงดัน V_C	30
3.15 วงจรที่ใช้ทดสอบเพื่อหาผลตอบสนองความถี่	30
3.16 ผลตอบสนองความถี่ของวงจร	31
3.17 การใช้ฟังก์ชันเชิงเส้นในการประมาณค่า	32
3.18 วงจรขยายสัญญาณแบบไม่กลับเฟส	33
3.19 ผลการจำลองแบบไม่กลับเฟส เมื่อ R_1 แทนด้วยวงจรรวมความต้านทานแบบวอกชนิดกราวด์ กำหนดให้ $V_C = 7V$	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา IV จะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.20 แสดงค่าความต้านทาน เมื่อแปรค่า V_m จาก $-1.5V$ ถึง $1.5V$ และแปรค่า $V_c = 5V$ ถึง $7V$	35
3.21 แสดงแรงดัน V_o เทียบกับแรงดัน V_m	35
4.1 วงจรปรับค่าความนำด้วยแรงดัน	38
4.2 วงจรปรับแรงดัน	39
4.3 วงจรความต้านทานแบบบวกชนิดลอยตัวที่นำเสนอ	40
4.4 วงจรสมมูลของมอสที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์	42
4.5 แสดงการปรับปรุงวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ในรูปที่ 4.4 เพื่อการวิเคราะห์ความถี่	42
4.6 แสดงวงจรสมมูลของวงจรรูปที่ 4.5	43
4.7 คุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกชนิดลอยตัว	46
4.8 แสดงเสถียรภาพของวงจรความต้านทานต่ออุณหภูมิ	47
4.9 แสดงความสัมพันธ์ของค่าความต้านทานกับค่ากระแส I_o	47
4.10 วงจรที่ใช้ทดสอบเพื่อหาผลตอบสนองความถี่	48
4.11 ผลตอบสนองความถี่ของวงจร	48
4.12 การใช้ฟังก์ชันเชิงเส้นในการประเมินค่า	49
4.13 วงจรขยายสัญญาณแบบกลับเฟส	51
4.14 ผลการจำลองการทำงานแบบกลับเฟส เมื่อ R_f แทนด้วยวงจรความต้านทานแบบลอยตัว และกำหนดให้ $I_o = 80\mu A$	51
4.15 แสดงความสัมพันธ์ของกระแส I_{in} และ V_{in}	52
4.16 แสดงแรงดัน V_o เทียบกับแรงดันและ V_m ของวงจรอินเวอร์เตอร์	52

สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์	28
3.2 ค่าฟังก์ชันเบสเซลล์ล์ที่แท้จริง	32
3.3 แสดงเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_m เมื่อ $V_C = 7V$	32
4.1 แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์ในวงจร	45
4.2 ค่าฟังก์ชันเบสเซลล์ล์ที่แท้จริง	49
4.3 แสดงเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_m เมื่อ $I_O = 80\mu A$	50



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา VI ละต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์ และโทรคมนาคม ได้พัฒนาการไปอย่างรวดเร็วมาก เทคโนโลยีที่จำเป็น คือ เทคโนโลยีการออกแบบวงจรอิเล็กทรอนิกส์พัฒนาไปอย่างรวดเร็วทั้งใน ระบบดิจิทัล (Digital) และอนาล็อก (Analog) ในวิทยานิพนธ์นี้จะกล่าวถึงส่วนที่เป็นอนาล็อกเท่านั้น ในวงจรอนาล็อกจะประกอบด้วยอุปกรณ์ที่เป็นแอคทีฟ และพาสซีฟ ซึ่งอุปกรณ์ที่เป็นแอคทีฟจะเป็นทรานซิสเตอร์ ในปัจจุบันการออกแบบนิยมใช้ทรานซิสเตอร์แบบมอสเฟต (MOSFET : Metal Oxide Semiconductor Field-Effect Transistor) มาแทนทรานซิสเตอร์แบบไบโพลาร์ (BJT) เพราะมีข้อดีหลายอย่างเช่น การสูญเสียของกำลังงานต่ำกว่ามาก มีอินพุตอิมพีแดนซ์สูงมาก สามารถทำงานได้ขณะที่ใช้ไฟเลี้ยงต่ำ ทำให้มีความร้อนต่ำ ฯลฯ ในการออกแบบวงจรอิเล็กทรอนิกส์ในปัจจุบันจะเน้นหนักไปในด้านการทำเป็นวงจรรวม (IC : Integrated Circuit) ทำให้ลดขนาดของอุปกรณ์และประหยัดค่าใช้จ่ายไปอย่างมาก ซึ่งเทคโนโลยีที่นิยมกันอย่างมากในปัจจุบันคือ เทคโนโลยี (VLSI : Very Large Scale Integration) นำมาออกแบบวงจรรวมจะทำให้ขนาดของชิปมีขนาดเล็กลงอย่างมาก จากแนวปรารภดังกล่าว ในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบวงจรรวม โดยใช้ทรานซิสเตอร์แบบมอสเฟตมาออกแบบสร้างเป็นวงจรรวมต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ (Electronically Controllable Positive Resistance Based on CMOS Transistor Circuit) ซึ่งเป็นวงจรมีประโยชน์มาก และสามารถนำไปประยุกต์ใช้งานในวงจรต่างๆ ซึ่งจะกล่าวกันต่อไป

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

สำหรับวิทยานิพนธ์ เรื่อง วงจรรวมต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ ใช้หลักการทำงานของซีมอสในช่วงไม่อิ่มตัว มีวัตถุประสงค์ดังนี้

1. ศึกษาวงจรรวมด้านอนาล็อก
2. ศึกษาค้นคว้าวงจรรวมต้านทานแบบต่างๆ
3. ออกแบบวงจรทั้งหมดด้วยมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ออกแบบวงจรโดยใช้มอสเฟตให้น้อยที่สุด ซึ่งจะช่วยประหยัดพื้นที่ในการสร้างวงจรรวม
5. วงจรที่ออกแบบสามารถที่จะนำไปใช้งานได้ง่าย และสามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง

1.3 หลักการใหม่ในวิทยานิพนธ์

จากการศึกษาค้นคว้า ในวิทยานิพนธ์เรื่อง วงจรวงจรรวมความต้านทานแบบบวคที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์ อาศัยหลักการดังนี้

1. วงจรความต้านทานแบบบวคชนิดลอยตัว ใช้วงจรปรับระดับแรงดันเพื่อแก้ความไม่เป็นเชิงเส้น วงจรที่ออกแบบใช้จำนวนทรานซิสเตอร์ที่น้อย เมื่อเทียบกับงานวิจัยที่ผ่านมา
2. วงจรความต้านทานแบบบวคชนิดกราวด์ใช้วงจรบวคแรงดันเพื่อแก้ความไม่เป็นเชิงเส้นของวงจร

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ได้แบ่งเนื้อหาออกเป็น 5 บท ดังนี้

บทที่ 1 จะเป็นการกล่าวนำวัตถุประสงค์ หลักการใหม่ในวิทยานิพนธ์ และเนื้อหาโดยย่อในแต่ละบท

บทที่ 2 กล่าวถึง เทคโนโลยีของซีมอส ทฤษฎีการทำงานของมอสเฟต ทฤษฎีการใช้งาน PSpice

บทที่ 3 กล่าวถึง การออกแบบวงจรความต้านทานแบบบวคที่สามารถปรับค่าได้ โดยวิธีทางอิเล็กทรอนิกส์ ชนิดกราวด์ ซึ่งประกอบด้วย วงจรปรับค่าความนำ วงจรปรับระดับแรงดัน โดยลักษณะเด่นของวงจร คือใช้มอสทรานซิสเตอร์ในการสร้างน้อย การหาเปอร์เซ็นต์ความผิดพลาดของความไม่เป็นเชิงเส้น การวิเคราะห์ช่วงความถี่ปฏิบัติงาน การวิเคราะห์ช่วงปฏิบัติงาน อินพุท การทดสอบวงจรด้วยโปรแกรม PSpice และการนำวงจรมาทำการทดลองบอร์ดจริง

บทที่ 4 กล่าวถึง การออกแบบวงจรความต้านทานแบบบวคที่สามารถปรับค่าได้ โดยวิธีทางอิเล็กทรอนิกส์ ชนิดลอยตัว ซึ่งประกอบด้วย วงจรปรับค่าความนำ วงจรปรับระดับแรงดัน โดยลักษณะเด่นของวงจร คือใช้มอสทรานซิสเตอร์ในการสร้างน้อย นำวงจรมาทำการวิเคราะห์ การวิเคราะห์ช่วงความถี่ปฏิบัติงาน การวิเคราะห์ช่วงปฏิบัติงานอินพุท การหาเปอร์เซ็นต์ความ

ผิดพลาดของความเป็นเชิงเส้น การทดสอบวงจรด้วยโปรแกรม PSpice และการนำวงจรมาทำการ
ต่อลงบอร์ดจริง

บทที่ 5 เป็นการสรุปรายละเอียดที่สำคัญต่าง ๆ ในวิทยานิพนธ์นี้ทั้งหมด ปัญหาที่เกิดขึ้น
และแนวทางแก้ไข

ภาคผนวก ก. แสดงผลการเขียนแบบของวงจรด้วยโปรแกรม PSpice ที่ใช้ในการวิเคราะห์
ในวิทยานิพนธ์

ภาคผนวก ข. แสดงผลการทดสอบด้วยโปรแกรม PSpice ที่ได้จาก Output File

ภาคผนวก ค. แสดงถึงบทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสาร

ภาคผนวก ง. แสดงข้อมูลของไอซีเบอร์ MC 14007

ประวัติผู้เขียน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

เทคโนโลยีของชิมอส ทฤษฎีการทำงานของมอสเฟต

2.1 กล่าวนำ

ในวิทยานิพนธ์นี้เป็นการวิจัย และพัฒนาการออกแบบวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้วิธีทางอิเล็กทรอนิกส์ โดยอาศัยหลักการทำงานของมอสเฟตชนิดเอ็นฮานเมนท์ (Enhancement) ที่มีการทำงานอยู่ในช่วงไม่อิ่มตัว (Non-Saturation Region) เป็นหลัก ในการออกแบบวงจรได้จำลองการเลียนแบบการทำงานของวงจรโดยใช้โปรแกรมทางคอมพิวเตอร์ คือ โปรแกรม PSpice ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรที่เกิดขึ้นว่า มีคุณสมบัติเป็นไปตามหลักการที่ได้ออกแบบไว้ และมีการทดลองโดยการต่อวงจรจริง ใช้ไอซีเบอร์ MC 14007 ต่อบน Protoboard เพื่อให้งานวิจัยนี้มีความสมบูรณ์ถูกต้องยิ่งขึ้น

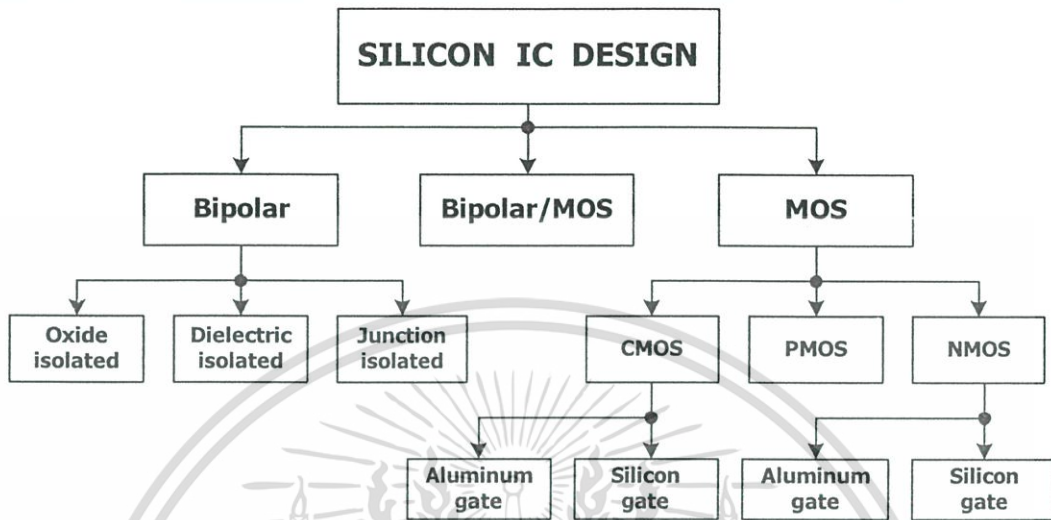
2.2 เทคโนโลยีของมอส

ในการพัฒนาการของเทคโนโลยี VLSI (Very Large Scale Integration) เป็นการผลิตวงจรรวมที่เป็นเทคโนโลยีที่นิยมกันมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่นๆหลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากในงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรวมบนชิปเดี่ยว (Single Chip) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรวมดังกล่าวก็เป็นบทบาทสำคัญของการผลิตไอซี โดยออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็น วงจรรวม ส่วนใหญ่ที่รู้จักก็คือ วงจรกรองสัญญาณ วงจรแปลงอนาลอกเป็นดิจิตอล และดิจิตอลเป็นอนาลอก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราการขยายอัตโนมัติ (Automatic Gain Control) ฯลฯ

วิธีการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่ 2 แบบคือ แบบไบโพลาร์ (BJT) และมอส (MOS) โดยจะแบ่งเป็นส่วนย่อยๆ ดังรูปที่ 2.1 โดยทั้งหมด จะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน เดิมการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่ในสมัยนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนเทคโนโลยีของมอส ทำให้สามารถบรรจุวงจรที่ถูกต้องออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor) และจากรูปที่ 2.1 จะเห็นว่าในเทคโนโลยีวงจรรวมมีอุปกรณ์หลายชนิด แต่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวิจัยนี้จะใช้อุปกรณ์คือ มอสเฟตชนิดเอ็นฮานเมนต์ ในการออกแบบ ดังนั้นในบทนี้จะขออธิบายการทำงานของมอสเฟตชนิดเอ็นฮานเมนต์และมอสเฟตชนิดดีเพลทชัน



รูปที่ 2.1 แสดงแผนผังของเทคโนโลยีวงจรรวม

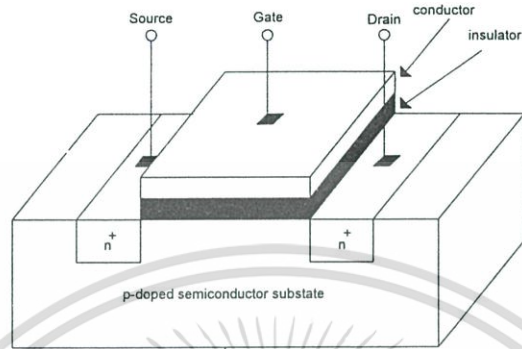
2.3 ทฤษฎีการทำงานของมอสเฟต

มอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor มีชื่อเรียกอีกชื่อหนึ่งว่า อินซูลเกตเทตเกตเฟต (Insulated Gate Field Effect Transistor) เขียนย่อว่า IGFET เป็นสารกึ่งตัวนำชนิดหนึ่ง ซึ่งใช้สนามไฟฟ้าควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันนี้มอสเฟตได้เริ่มเข้ามาแทนที่ไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีโครงสร้างง่าย ขั้นตอนการผลิตน้อย มีขนาดเล็กทำให้ได้ปริมาณมาก ความต้านทานอินพุตสูง (High Input Impedance) สัญญาณรบกวนต่ำ แต่มอสเฟตก็ยังมีข้อเสียเปรียบไบโพลาร์ทรานซิสเตอร์ คือ การทำงานที่กำลั้งต่ำ อัตราขยายต่ำ ความเร็วในการทำงานต่ำ

2.3.1 โครงสร้างของมอสเฟต

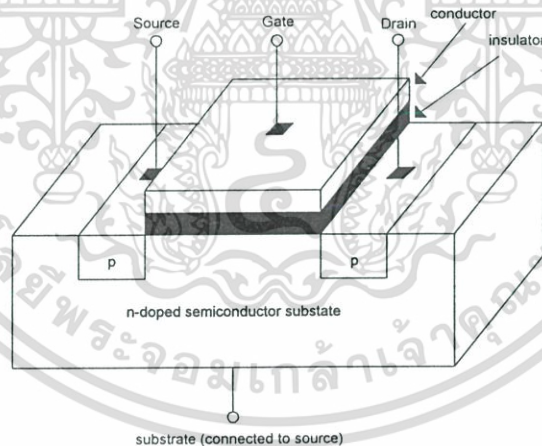
มอสเฟตแบ่งชนิดตามการทำงานได้ 2 ชนิด คือ เอ็นฮานซ์เมนต์มอสเฟต (Enhancement MOSFET) และดีเพลทชันมอสเฟต (Depletion MOSFET) ซึ่งแต่ละชนิดนี้สามารถแบ่งออกได้อีก 2

ชนิด คือ P-Channel หรือเรียกว่า PMOS และ N-Channel หรือเรียกว่า NMOS โครงสร้างของ PMOS และ NMOS มีโครงสร้างตรงข้ามกัน โครงสร้าง NMOS ได้แสดงในรูปที่ 2.2 ส่วนโครงสร้างของ PMOS แสดงไว้ในรูปที่ 2.3



(ก)

รูปที่ 2.2 โครงสร้างของ NMOS



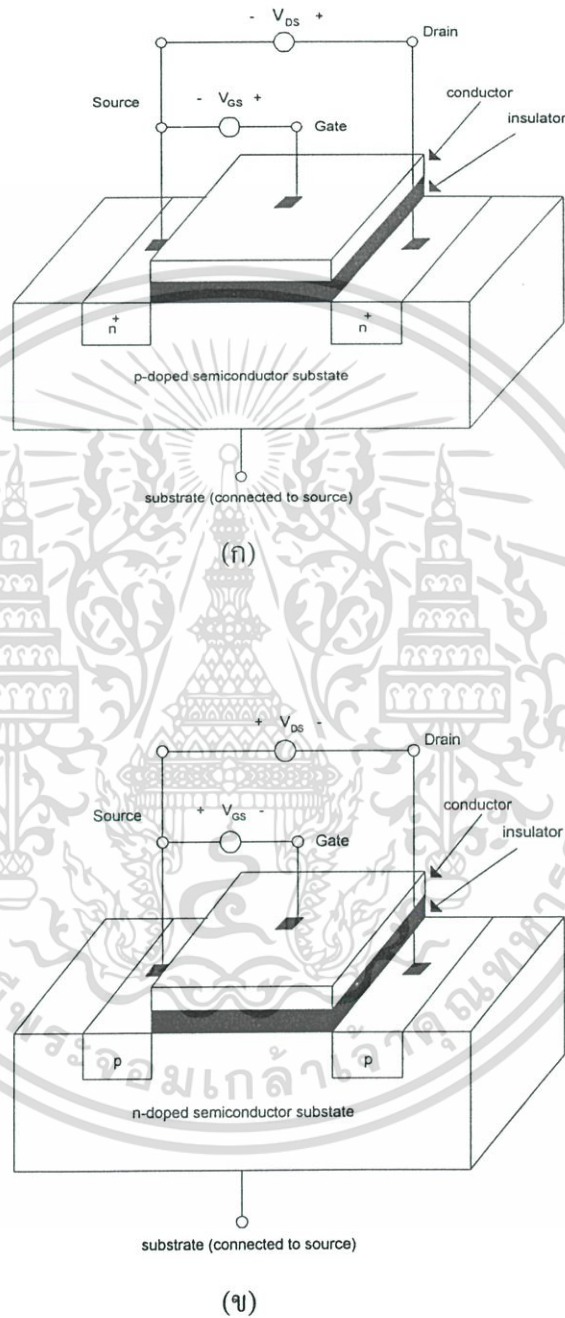
(ข)

รูปที่ 2.3 โครงสร้างของ PMOS

NMOS ประกอบด้วยส่วนฐานรองที่เป็นสารกึ่งตัวนำชนิด พี (P-Type) ซึ่งมีสารกึ่งตัวนำชนิดอื่น 2 ชนิด ถูกแพร่ลงบนฐานรอง สารกึ่งตัวนำชนิดอื่นนี้ถูกเรียกว่า ซอส (Source) และเดรน (Drain) บนผิวหน้าระหว่าง ซอสกับเดรนจะมีแผ่นฟิล์มบางๆ ของซิลิกอนไดออกไซด์ (SiO_2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนบนของซิลิกอนไดออกไซด์ จะมีโลหะซึ่งทำจาก โพลีซิลิกอน ส่วนนี้ถูกเรียกว่า เกท (Gate) ถ้า ส่วนของฐานรอง ทำด้วยสารกึ่งตัวนำชนิดเอ็น (N-Type) และสารกึ่งตัวนำชนิดพี (P-Type) ถูกแพร่ลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า PMOS



รูปที่ 2.4 แสดงการไบอัส

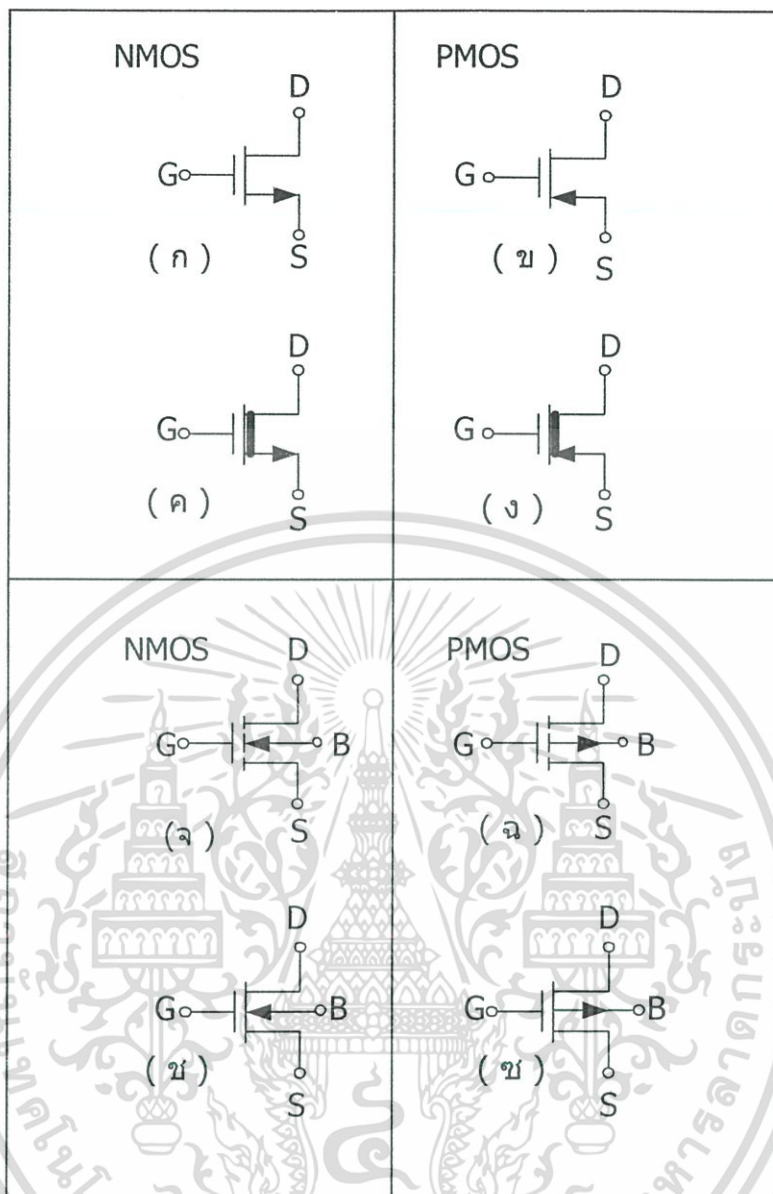
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4 (ก) แสดงการไบอัสของ NMOS ขณะที่ให้แรงดัน $|V_G - V_T| > 0$ ทำให้เกิดการเหนี่ยวนำอิเล็กตรอนซึ่งเป็นพาหะส่วนน้อยในฐานรองชนิด พี (P-Type Substrate) เกิดเป็น แชนแนลขึ้น เมื่อให้ไบอัสที่ขั้วเดรนเป็นบวกเทียบกับซอส กระแสอิเล็กตรอนซึ่งเป็นพาหะส่วนมากของซอสจะไหลไปยังเดรน เกิดเป็นกระแสเดรน ส่วนในรูปที่ 2.4 (ข) แสดงการไบอัสของ PMOS ซึ่งจะแตกต่างกับ NMOS ที่ขั้วของแรงดันไบอัส และทิศทางการไหลของกระแสเดรน อันเกิดจากการเคลื่อนที่ของโฮลซึ่งเป็นส่วนมากของซอสไหลไปยังเดรน

2.3.2 สัญลักษณ์ของมอสเฟต

สัญลักษณ์ของมอสเฟตสามารถบอกให้ทราบได้ว่า เป็นมอสเฟตชนิด N-Channel หรือ P-Channel โดยดูที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น PMOS ถ้าหัวลูกศรหันออกแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (Body) ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS ถ้าหัวลูกศรหันออกแสดงว่าเป็น PMOS สัญลักษณ์ของมอสเฟตยังสามารถบอกได้อีกว่ามอสเฟตเป็นชนิดเอ็นฮานสมันท์มอสเฟต หรือ ดีเฟลทซ์มอสเฟต อีกด้วย ดังรูปที่ 2.5





รูปที่ 2.5 แสดงสัญลักษณ์ต่างๆ ของมอสเฟต

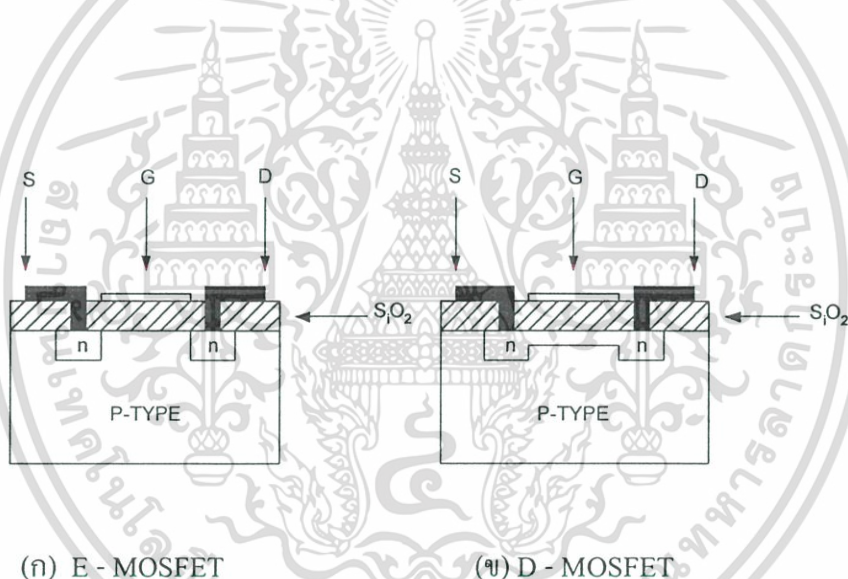
รูปที่ 2.5 แสดงสัญลักษณ์ของมอสเฟตชนิดต่างๆ สัญลักษณ์ในรูปที่ 2.5 ก. คือ Enhancement NMOS เมื่อโวลต์เดเทรระหว่างบอดีและซอส (V_{BS}) เป็นศูนย์ สัญลักษณ์ในรูปที่ 2.5 ข คือ Enhancement PMOS เมื่อ ($V_{BS} = 0$) สัญลักษณ์ในรูปที่ 2.5 ค คือ Depletion NMOS เมื่อ ($V_{BS} = 0$) สัญลักษณ์ในรูปที่ 2.5 ง คือ Depletion PMOS เมื่อ ($V_{BS} = 0$) สัญลักษณ์ในรูปที่ 2.5 ฉ - 2.5 ช แสดงสัญลักษณ์ของ NMOS และ PMOS เหมือนรูปที่ 2.5 ก - 2.5 ง. แต่แตกต่างกันตรงที่ ($V_{BS} \neq 0$)

2.3.3 ชนิดของมอสเฟต

มอสเฟตแบ่งได้เป็น 2 ชนิด คือ เอ็นฮานซ์เมนซ์โหมดมอสเฟต หรือเรียกอีกชื่อหนึ่งว่า E-MOSFET และดีเพลทชันโหมดมอสเฟต หรือเรียกว่า D-MOSFET ดีเพลทชันโหมดบางครั้งเรียกสั้นๆว่า D-MOSFET รูปที่ 2.6 แสดงโครงสร้างของมอสเฟตชนิด เอ็น-แชนแนลทั้ง 2 แบบ

มอสเฟตประเภทดีพลีชันหรือ ดิมอสเฟต (D-MOSFET) ซึ่งทั้ง 2 แบบสามารถที่จะทำงานได้ 2 โหมด คือ โหมดดีเพลทชัน (Mode Depletion) และ โหมดเอ็นฮานซ์เมนซ์ (Enhancement Mode) กล่าวคือ ถ้าจ่ายแรงดันลบให้กับดิมอสเฟตแชนแนล N จะทำงานในโหมดดีเพลทชัน แต่ถ้าจ่ายแรงดันเป็นบวกจะทำงานในโหมดเอ็นฮานซ์เมนซ์ ส่วนดิมอสเฟตแชนแนล P ก็จะมีการทำงานคล้ายกันเมื่อได้รับแรงดันที่มีขั้วตรงกันข้ามกับแชนแนล N

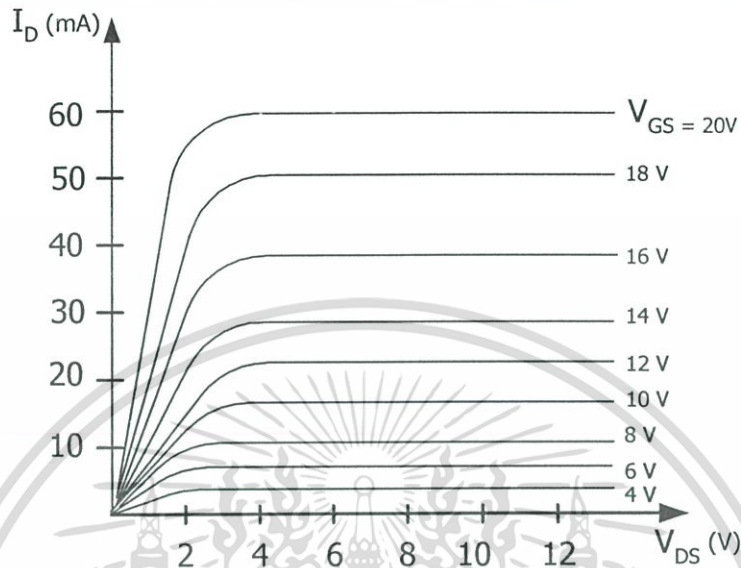
มอสเฟตประเภทเอ็นฮานซ์เมนซ์ หรือ อีมอสเฟต (E-MOSFET) จะมีโครงสร้างบางอย่างคล้ายกับมอสเฟตแบบดีเพลทชัน แต่จะสามารถทำงานได้เฉพาะในโหมดเอ็นฮานซ์เมนซ์เท่านั้น



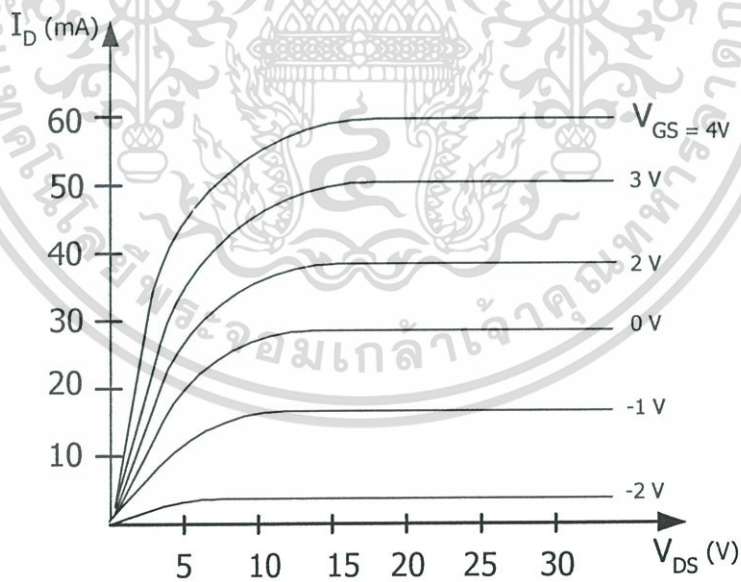
รูปที่ 2.6 โครงสร้างของมอสเฟตชนิดเอ็น-แชนแนล

จากรูปจะเห็นว่าโครงสร้างของ D-MOSFET จะคล้ายกับ E-MOSFET จะแตกต่างกันตรงที่ช่องระหว่าง ขอสกับเดรนของ D-MOSFET มีการแพร่สารเอ็นอยู่ ดังนั้นจึงมีกระแสไหลระหว่างเดรนกับขอส เมื่อความต่างศักย์ที่เดรนเป็นบวกเทียบกับขอส และความต่างศักย์ระหว่างเกตกับขอสเป็นศูนย์ ($V_{GS} = 0$) เมื่อ (V_{GS}) มีค่าเป็นลบ กระแสเดรนจะลดลง แต่ถ้า (V_{GS}) มีค่าเป็นบวก กระแสเดรนจะไหลเพิ่มขึ้น ส่วนการทำงานของ E-MOSFET จะไม่มีกระแสไหลระหว่างเดรนกับขอส เมื่อความต่างศักย์ที่เดรนเป็นบวกเทียบกับขอส และความต่างศักย์ระหว่างเกตกับขอสเป็น

ศูนย์ ถ้าให้ (V_{GS}) มีค่าเป็นบวก จะทำให้เกิดกระแสเดรนไหล ยิ่งให้ (V_{GS}) มีค่าเป็นบวกมากขึ้น ก็จะทำให้กระแส เดรนไหลมากขึ้น รูปที่ 2.7 แสดงกราฟคุณสมบัติของ E-MOSFET และ D-MOSFET



(ก) E-MOSFET



(ข) D-MOSFET

รูปที่ 2.7 แสดงกราฟคุณสมบัติของมอสเฟทชนิดเอ็น-แชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 คุณสมบัติการทำงานของมอสเฟต

การทำงานของมอสเฟตเป็นลักษณะใช้ศักดาไฟฟ้าควบคุมปริมาณของกระแส สมการของมอสเฟตถูกคิดขึ้นโดย Sah [11] และ Shichman and D. Hodges [12] เมื่อปี 1964 ดังสมการที่ 2.1 แสดงคุณสมบัติการทำงานของมอสเฟต

$$I_D = \frac{KW}{L} \left\{ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right\} V_{DS}; V_{GS} \geq V_T \quad (2.1)$$

โดยที่ K' คือ ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{OX}$
 μ_0 คือ ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
 C_{OX} คือ ค่าความจุต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of the Gate Oxide)
 W คือ ความกว้างของช่องนำ (Channel Width)
 L คือ ความยาวของช่องนำ (Channel Length)
 V_{GS} คือ ความต่างศักย์ระหว่างเกตกับซอส
 V_T คือ แรงดันขีดเริ่ม (Threshold Voltage)
 V_{DS} คือ ความต่างศักย์ระหว่างเดรนกับซอส
 I_D คือ กระแสเดรน

มอสเฟตมีการทำงานแบ่งเป็น 3 ช่วง โดยแต่ละช่วงการทำงานขึ้นอยู่กับค่า $V_{GS} - V_T$ และค่า $|V_{GS} - V_T|$ เป็นศูนย์หรือเป็นค่าลบ มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cut off)

$$I_D = 0; |V_{GS} - V_T| < 0 \quad (2.2)$$

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด (Open Circuit) ถ้า $|V_{GS} - V_T| > 0$ และ $0 < V_{DS} < |V_{GS} - V_T|$ แล้วมอสเฟตจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Non-Saturation)

$$I_D = \frac{KW}{L} \left\{ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (2.3)$$

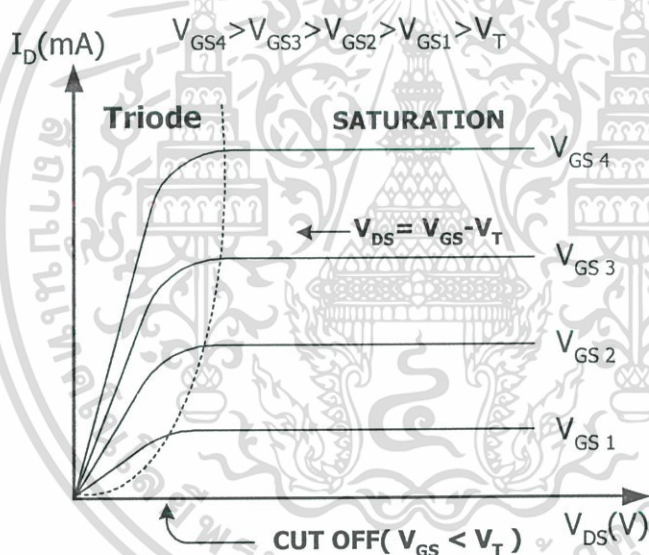
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $|V_{GS} - V_T| > 0$ และ $|V_{DS}| \geq |V_{GS} - V_T|$ แล้วมอสเฟต จะทำงานในช่วงของการนำกระแสอิ่มตัว (Saturation)

$$I_D = \frac{KW}{2L} (V_{GS} - V_T)^2 \quad (2.4)$$

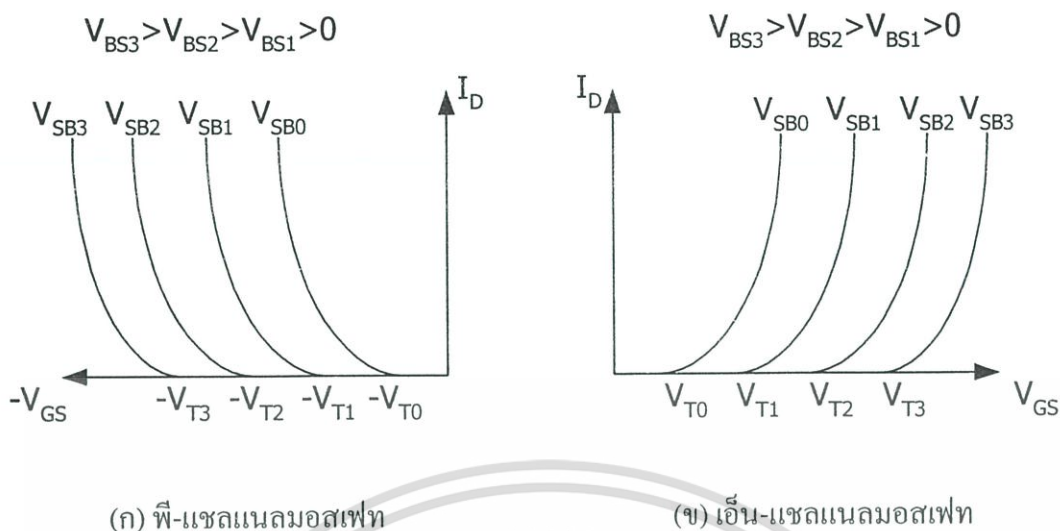
คุณสมบัติทางเอาท์พุทของมอสเฟต แสดงไว้ดังรูปที่ 2.8

คุณสมบัติของมอสเฟตที่สำคัญอีกอย่างหนึ่ง คือการแสดงความสัมพันธ์ระหว่าง I_D กับ V_{GS} โดยใช้สมการที่ 2.4 ดังรูปที่ 2.9 คุณสมบัติของมอสเฟตแบบนี้ถูกเรียกว่า ทรานสคอนดักแตนซ์ จากรูปที่ 2.9 เป็นการแสดงผลของศักดาระหว่างซอสกับบอดี (V_{SB}) ขณะที่ V_{SB} มีการเพิ่มขึ้น ค่าของแรงดันขีดเริ่ม (V_T) สำหรับมอสเฟตแบบเอ็น-แชลแนล จะเพิ่มขึ้น แต่สำหรับมอสเฟตแบบ พี-แชลแนล จะมีค่าลดลงเมื่อมีการเพิ่มของศักดาระหว่างบอดี้กับซอส (V_{BS})



รูปที่ 2.8 แสดงคุณสมบัติของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงความสัมพันธ์ระหว่าง I_D กับ V_{GS}

2.3.5 แบบจำลองของมอสเฟต

ในปัจจุบันนี้ได้มีการใช้โปรแกรมสำเร็จรูป วิเคราะห์และเลียนแบบการทำงานของวงจรต่างๆ กันอย่างกว้างขวาง โปรแกรม PSpice (Simulation Program with Integrated Circuit Emphasis) [13], [14] เป็นโปรแกรมหนึ่งซึ่งถูกใช้มาก และเป็นที่ยอมรับถูกคิดค้น และพัฒนาจากมหาวิทยาลัย Berkeley ที่รัฐแคลิฟอร์เนีย (California) ประเทศสหรัฐอเมริกา ในโปรแกรม PSpice ได้แบ่งรูปแบบจำลอง (Model) การทำงานของมอสเฟตออกเป็น 3 รูปคือ LEVEL 1, LEVEL 2, LEVEL 3

LEVEL 1 เป็นแบบจำลองการทำงานของมอสเฟตแบบพื้นฐานที่มีความยาวของแชนแนลมากกว่า 10 ไมครอน โดยใช้โมเดลของ H. Shichman and D. Hodges [12] ซึ่งครอบคลุมการทำงานไปถึงโมเดลของ C.T. Sah ด้วย

LEVEL 2 เป็นแบบจำลองการทำงานของมอสเฟต ที่มีความยาวของแชนแนลน้อยกว่า 10 ไมครอน ซึ่งเรียกว่า Short Channel Effect LEVEL 2 แตกต่างจาก LEVEL 1 อยู่ 2 ประการ ประการแรกคือ วิธีการคำนวณผลกระทบของความยาวแชนแนล (Effect Channel Length) และประการที่สองคือ วิธีการคำนวณการเปลี่ยนแปลงระหว่างรอยต่อของช่วงการนำกระแสอิ่มตัว (Saturation Region) และช่วงการนำกระแสไม่อิ่มตัว (Non-Saturation Region)

LEVEL 3 เป็นแบบจำลองการทำงานของมอสเฟต ซึ่งออกแบบขึ้นโดยอาศัยผลจากการทดลอง, การสังเกตพฤติกรรมที่เกิดขึ้น และประสบการณ์ความชำนาญ (Semi-Empirical) เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรับปรุงค่าพารามิเตอร์ต่างๆ ให้มีความเหมาะสมใน LEVEL 3 ได้มีการลดเวลาการคำนวณความเปลี่ยนแปลงระหว่างรอยต่อของช่วงการนำกระแสอิมพัลส์ และช่วงการนำกระแสไม่อิมพัลส์

2.4 บทสรุป

ในบทนี้ได้กล่าวถึงการทำงานของมอสเฟต เทคโนโลยีซีมอส และทฤษฎีการทำงานของมอสเฟตในย่านต่างๆ เพื่อที่จะเป็นพื้นฐานในการนำเอาคุณสมบัติของมอสเฟตไปใช้ในการออกแบบวงจร เทคโนโลยีเป็นที่นิยมในการออกแบบ เนื่องจากสามารถออกแบบได้ที่ไฟเลี้ยงต่ำ และให้กำลังสูญเสียที่ต่ำ ดังนั้นเพื่อให่วงจรที่ทำการออกแบบนั้นเป็นไปตามทฤษฎี ถูกต้อง แม่นยำในการทำงานในช่วงไม่อิมพัลส์ ซึ่งสามารถนำมอสเฟตไปออกแบบวงจร โดยจะกล่าวในบทที่ 3 และบทที่ 4 ต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบวงจรความต้านทานแบบบวกชนิดกราวด์ที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์

3.1 กล่าวนำ

วงจรความต้านทานแบบปรับค่าได้ เป็นวงจรหนึ่งที่มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางในระบบโทรคมนาคม และเครื่องมือวัด เช่น วงจรขยายและลดทอนสัญญาณ วงจรกรองความถี่ เป็นต้น วงจรความต้านทานแบบปรับค่าได้มีการนำเสนอมาโดยตลอด เช่น [1-6] ซึ่งแต่ละวงจรมีข้อดี และข้อเสียที่แตกต่างกันออกไป ขึ้นอยู่กับวิธีการที่นำมาใช้ในการออกแบบ ซึ่งในวิทยานิพนธ์นี้เป็นการนำเสนอวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดกราวด์ และวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดลอยตัวที่ประกอบขึ้นจากมอสทรานซิสเตอร์ชนิดเอ็นฮานเมนท์ที่ทำงานในช่วงไม่อิ่มตัว ซึ่งการออกแบบในวิทยานิพนธ์นี้จะเน้นในเรื่องของวงจรที่ไม่ซับซ้อน และใช้อุปกรณ์ในการสร้างน้อย เหมาะที่จะนำไปสร้างเป็นวงจรรวม

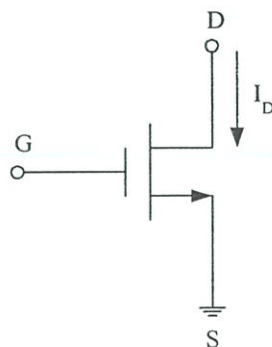
3.2 หลักการเบื้องต้นของการออกแบบวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดกราวด์

วงจรความต้านทานแบบบวกที่นำเสนอในวิทยานิพนธ์นี้ เกิดจากทฤษฎีมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว ซึ่งสมการทางด้านกระแสคือ

$$I_D = K(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \quad (3.1)$$

เมื่อ $K = \mu_o C_{ox} \frac{W}{L}$

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

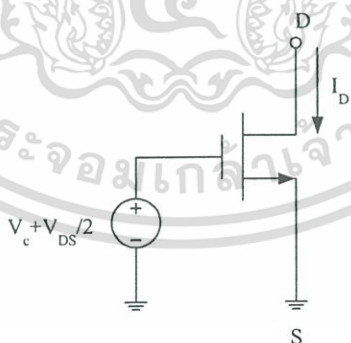


รูปที่ 3.1 มอสทรานซิสเตอร์

จากรูปที่ 3.1 เมื่อกำหนดให้ I_D และ V_{DS} เป็นอินพุต จะได้สมการความต้านทานคือ

$$R = \frac{V_{DS}}{I_D} = \left[K \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) \right]^{-1} \quad (3.2)$$

พิจารณาสมการที่ (3.2) จะเห็นว่าค่าของ R จะมีค่าของ $\frac{V_{DS}}{2}$ ปะปนอยู่ หรือเรียกเทอมของสมการนี้ว่า เทอมไม่เป็นเชิงเส้นทำให้ค่าของ R ไม่เป็นฟังก์ชันของความต้านทานที่สมบูรณ์ ต้องทำการหักล้างค่า $\frac{V_{DS}}{2}$ ที่ปะปนมาให้หายไป โดยใช้หลักการหักล้างเทอมไม่เป็นเชิงเส้นออกไป



รูปที่ 3.2 การหักล้างเทอมที่ไม่เป็นเชิงเส้นของความต้านทาน

จากรูปที่ 3.2 เมื่อทำการเพิ่มแหล่งจ่ายแรงดันให้กับวงจร และทำการแทนสมการ (3.2) ใหม่ ทำให้ค่าของ R เป็นฟังก์ชันของความต้านทานที่สมบูรณ์ ดังสมการที่ (3.3)

$$R = \frac{V_{DS}}{I_D} = [K(V_C - V_T)]^{-1} \quad (3.3)$$

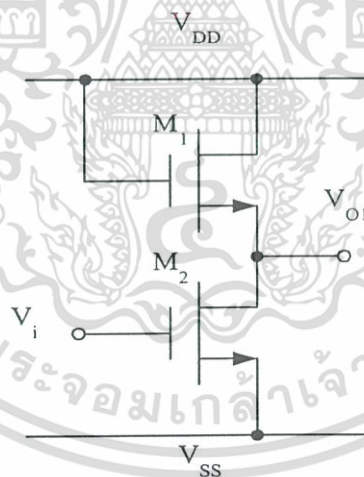
จากสมการที่ (3.3) แสดงให้เห็นอย่างชัดเจน ความต้านทานที่ได้เป็นเชิงเส้น และปรับค่าความต้านทานด้วยแรงดัน V_C จากสมการดังกล่าวนี้ สามารถนำไปออกแบบวงจรความต้านทานแบบวงที่สามที่สามารถปรับค่าได้ชนิดกราวด์ได้ ซึ่งวงจรที่ออกแบบนี้จะประกอบด้วยวงจรร้อย 2 ส่วน ส่วนที่ 1 วงจรรวมสัญญาณ และส่วนที่ 2 เป็นวงจรความต้านทานพื้นฐาน

3.2.1 วงจรรวมสัญญาณ

วงจรรวมสัญญาณจะทำหน้าที่สร้างแรงดันเพื่อหักล้างเทอมที่ไม่เป็นเชิงเส้นของวงจร ซึ่งประกอบด้วยวงจรร้อย 2 วงจรคือ

3.2.1.1 วงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ จะใช้ CMOS ในการออกแบบ 2 ตัว ซึ่งมีการทำงานในช่วงอิมิตัว ซึ่งสามารถเขียนรูปได้ดังรูปที่ 3.3



รูปที่ 3.3 วงจรอินเวอร์เตอร์

จากรูปที่ 3.3 เป็นการนำมอสทรานซิสเตอร์ M_1 และ M_2 มาต่ออันดับกัน โดยจะทำการป้อน V_i ที่ขาเกตของ M_2 ส่วนที่ขาเกตของ M_1 จะต่อร่วมกับแหล่งจ่าย โดยที่เอาท์พุทของวงจรจะต่ออยู่ระหว่างขาซอสของ M_1 และขาเดรนของ M_2 จากวงจรสามารถที่จะแสดงได้ด้วยสมการของมอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ดังนี้

$$I_D = K(V_{GS} - V_T)^2 \quad (3.4)$$

สมการที่ (3.4) เป็นสมการทำงานของมอสในช่องอิมตัว และสมการของ M_1 และ M_2 คือ

$$I_{D1} = K_1(V_{DD} - V_{O1} - V_T)^2 \quad (3.5)$$

$$I_{D2} = K_2(V_i - V_{SS} - V_T)^2 \quad (3.6)$$

ที่จุด 1 สามารถหาความสัมพันธ์ระหว่าง V_O และ V_i ได้จากสมการ (3.6)

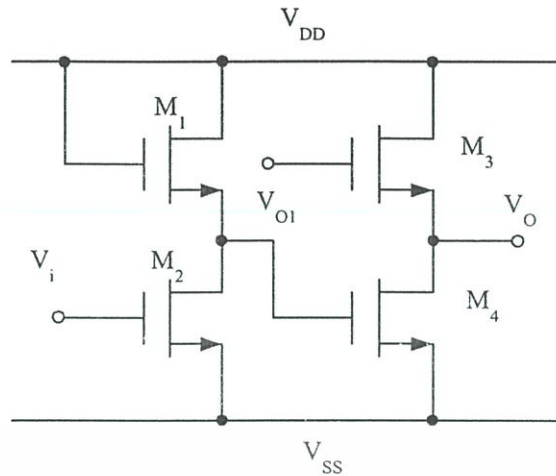
$$I_{D1} = I_{D2} \quad (3.7)$$

จากสมการที่ (3.5) และ (3.6) กำหนดให้ $K_1 = K_2 = K$ และ $V_{SS} = -V_{DD}$ นำสมการที่ (3.5) และ (3.6) แทนในสมการที่ (3.7) สามารถหาความสัมพันธ์ของสมการทางด้านเอาต์พุตได้คือ

$$K(V_{DD} - V_O - V_T)^2 = K(V_i + V_{DD} - V_T)^2 \quad (3.8)$$

$$V_{O1} = -V_i \quad (3.9)$$

จากสมการที่ (3.9) ผลลัพธ์ทางด้านเอาต์พุตจะเป็นส่วนกลับของทางด้านอินพุต ซึ่งเป็นคุณสมบัติของวงจรอินเวอร์เตอร์



รูปที่ 3.5 วงจรรวมสัญญาณ

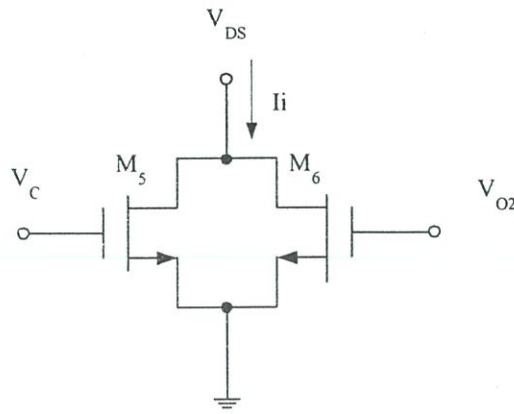
จากสมการที่ (3.13) แสดงว่า V_{O2} คือผลบวกทางสัญญาณ V_i, V_C และ V_{SS} และกำหนดให้ $V_i = V_{DS}$ ได้สมการใหม่คือ

$$V_{O2} = V_C + V_{DS} - V_{SS} \quad (3.14)$$

จากสมการที่ (3.14) จะเห็นได้ว่า V_{O2} สามารถเปลี่ยนแปลงค่าได้โดยการปรับแรงดัน V_C

3.2.2 วงจรความต้านทานแบบพื้นฐาน

วงจรความต้านทานแบบพื้นฐาน จะประกอบด้วยมอสทรานซิสเตอร์ชนิด N ต่อกันดังรูปที่ 3.6 โดยที่ขาเกตของมอสทรานซิสเตอร์ M_5 จะเป็นแรงดันควบคุม V_C และที่ขาเกตของมอสทรานซิสเตอร์ M_6 จะเป็นแรงดัน V_{O2}



รูปที่ 3.6 วงจรความต้านทานแบบพื้นฐาน

จากรูปที่ 3.6 กำหนดให้มอสทรานซิสเตอร์ M_5 และ M_6 มีค่า $\frac{W}{L}$ เท่ากันทุกประการ และทำงานในช่วงไม่อิ่มตัว ดังสมการ

$$I_{D5} = K_5 \left(V_C - V_{T5} - \frac{V_{DS5}}{2} \right) V_{DS} \quad (3.15)$$

$$I_{D6} = K_6 \left(V_{O2} - V_{T6} - \frac{V_{DS6}}{2} \right) V_{DS} \quad (3.16)$$

ในกรณีนี้แรงดันเทรชโฮลด์ ($V_{T5} = V_{T6} = V_T$) แรงดันที่ขาแคเรนซอส ($V_{DS5} = V_{DS6} = V_{DS}$) และ $K_5 = K_6 = K$ นำสมการที่ (3.15) และ (3.16) แทนในสมการ (3.17) จะได้สมการของกระแส I_i ของวงจร

$$I_i = I_{D5} + I_{D6} \quad (3.17)$$

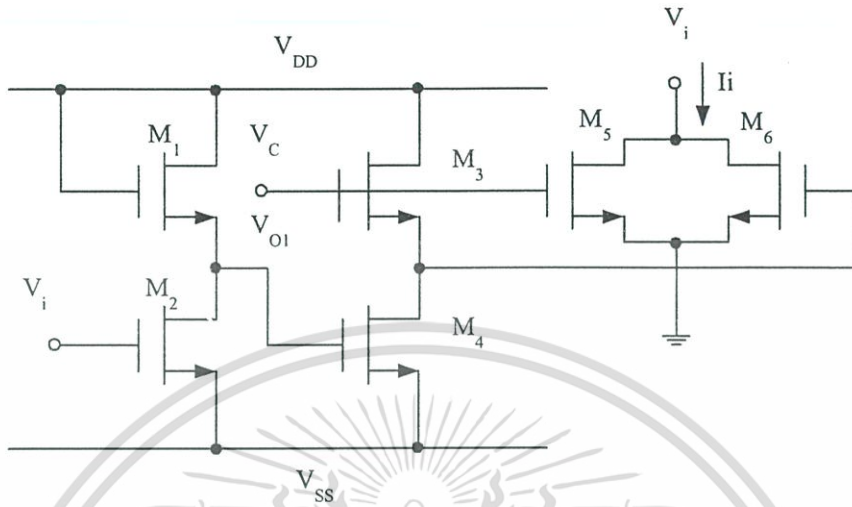
$$I_i = K [2(V_C - V_T) - V_{SS}] V_{DS} \quad (3.18)$$

จากสมการ (3.18) เมื่อพิจารณากระแส I_i และแรงดัน V_{DS} เป็นอินพุทจะได้สมการความต้านทานของวงจรคือ

$$R = \frac{V_{DS}}{I_i} = [K [2(V_C - V_T) + V_{SS}]]^{-1} \quad (3.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำวงจรรวมสัญญาณมาต่อกับวงจรความต้านทานพื้นฐาน จะได้วงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดกราวด์แบบใหม่ ดังรูปที่ 3.7



รูปที่ 3.7 วงจรความต้านทานแบบบวกชนิดกราวด์ที่นำเสนอ

จากสมการที่ (3.19) และรูปที่ 3.7 จะเห็นวงจรความต้านทานแบบบวกที่นำเสนอในวิทยานิพนธ์ที่สามารถปรับค่าได้โดยแรงดัน V_c และมีความเป็นเชิงเส้น

3.3 การวิเคราะห์ช่วงปฏิบัติงานอินพุท

การออกแบบวงจรความต้านทานแบบบวกชนิดกราวด์ โดยกรรท์กลางเทอมที่ไม่เป็นเชิงเส้นของมอสทรานซิสเตอร์ที่คี่นั้น ต้องออกแบบให้วงจรมีคุณสมบัติต่างๆ คือ วงจรต้องตอบสนองความถี่ได้สูง วงจรใช้จำนวนอุปกรณ์น้อย วงจรต้องกินกำลังสูญเสียต่ำ และวงจรต้องมีช่วงปฏิบัติงานกว้าง ดังในรูปที่ 3.7 สามารถหาค่าช่วงปฏิบัติงานอินพุทได้โดยพิจารณาเงื่อนไขการทำงานของมอสทรานซิสเตอร์ M_5 และ M_6 ทำงานในช่วงไม่อิ่มตัวต้องสอดคล้องกับเงื่อนไขต่อไปนี้

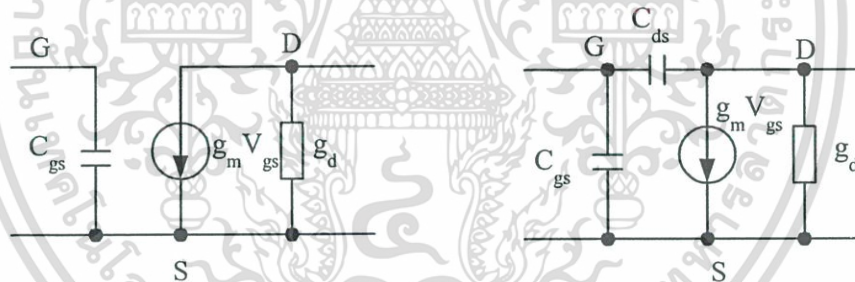
$$V_i < (V_c - V_T) \quad (3.20)$$

$$V_i < (V_c + V_i + V_{SS} - V_T) \quad (3.21)$$

จากสมการ (3.20) และ (3.21) จะเห็นว่าระดับแรงดัน V_C มีค่าสูงขึ้นทำให้ช่วงอินพุทปฏิบัติงานของวงจรมีค่าสูงขึ้นตาม

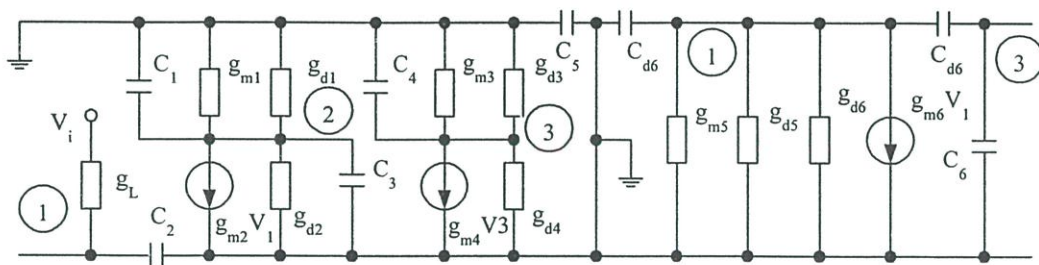
3.4 การวิเคราะห์ช่วงปฏิบัติงานความถี่

การออกแบบวงจรความถี่แบบลอยตัวที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์นั้น ต้องคำนึงถึงคุณสมบัติต่างๆของวงจร เช่น ความถี่ตอบสนอง ช่วงปฏิบัติงาน กำลังที่สูญเสีย เพราะคุณสมบัติเหล่านี้สามารถบ่งบอกได้ว่าวงจรมีประสิทธิภาพในการทำงานดีหรือไม่ดีอย่างไร ในการหาช่วงความถี่ตอบสนองนั้น จะใช้แบบจำลองขนาดเล็ก (small-signal model) ซึ่งประกอบด้วย แหล่งจ่ายกระแสโดยทั่วไปจะขึ้นอยู่กับแรงดัน (Voltage Control Current Source) และตัวเก็บประจุที่เสมือนกับว่ามีประจุสถิต (stored charge) ต่ออยู่ระหว่างขั้วต่อ (Junction) ของมอสเฟต เพื่อที่จะทำให้การวิเคราะห์ง่ายขึ้นขอสมมุติให้ g_m, g_d, C_{gs} ของมอสที่ทำงานในช่วงอิมตัวมีค่าเท่ากันหมดและเนื่องจากค่า $g_m \gg g_d$ ทำให้ในเทอมที่มี g_m ร่วมกับ g_d สมมุติให้ตัดค่า g_d ออกไป แต่ค่า g_m, g_d, C_{gs} ของมอสที่ทำงานในช่วงไม่อิมตัว มีค่าไม่เท่ากับมอสที่ทำงานในช่วงอิมตัวดังนั้นในการคำนวณจึงนำมารวมกันไม่ได้ ส่วนวงจรสมมูลของมอสแสดงดังรูปที่ 3.8

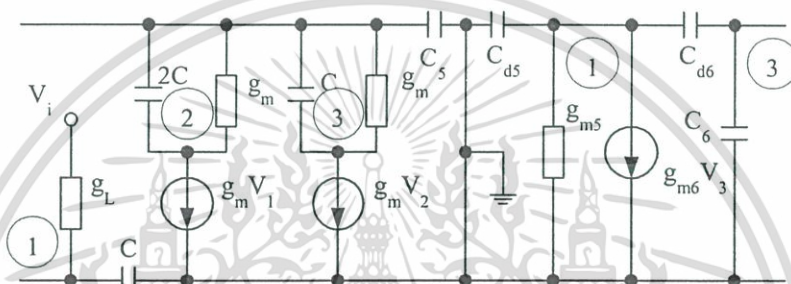


(ก) วงจรสมมูลของมอสทำงานในช่วงอิมตัว (ข) วงจรสมมูลของมอสทำงานในช่วงไม่อิมตัว

รูปที่ 3.8 วงจรสมมูลของมอสที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์



รูปที่ 3.9 แสดงแบบจำลองขนาดเล็กลงของวงจรรูปที่ 3.7



รูปที่ 3.10 แสดงการปรับปรุงวงจรรูปที่ 3.9

จากรูปที่ 3.9 สามารถเขียนใหม่เป็นรูปที่ 3.10 ซึ่งเป็นการรวมค่าความนำและตัวเก็บประจุที่สามารถรวมกันได้เพื่อง่ายต่อการวิเคราะห์ $C_1 = C_2 = C_3 = C_4 = C, g_{d1} = g_{d2} = g_{d3} = g_{d4} = g_d$ จากพารามิเตอร์โดยทั่วไปค่า $g_d \ll g_m$ และรวมค่าความนำ และตัวเก็บประจุที่สามารถรวมกันได้เพื่อง่ายต่อการวิเคราะห์

จากพารามิเตอร์ โดยทั่วไปนั้นค่า $g_d \gg g_m$

พิจารณาจากจุดที่ 1

$$[s(C_1 + C_2 + C_{d5}) + g_{m5} + g_{m6} + g_L]V_1 = (sC_6 - g_{m6})V_3 + g_L V_i \quad (3.22)$$

พิจารณาจากจุดที่ 2

$$[2sC + g_m]V_2 + g_m V_1 = 0 \quad (3.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_2 = \frac{-g_m V_1}{(s2C + g_m)} \quad (3.24)$$

พิจารณาจากจุดที่ 3

$$(sC + g_m)V_3 + g_m V_2 = 0 \quad (3.25)$$

$$V_3 = \frac{-g_m V_2}{(sC + g_m)} \quad (3.26)$$

นำสมการที่ (3.24) แทนในสมการที่ (3.26)

$$V_3 = \frac{g_m^2 (sC_6 + g_{m6}) V_1}{2s^2 C^2 + 3g_m C + g_m^2} \quad (3.27)$$

นำสมการที่ (3.27) แทนในสมการที่ (3.22) ได้สมการใหม่คือ

$$\frac{V_o}{V_{in}} = \frac{2s^2 C^2 g_L + 3g_m s C g_L + g_m^2 g_L}{(2s^2 C^2 + 3g_m s C + g_m^2)(s(C_1 + C_6 + Cd_5) + g_{m5} + g_{m6} + g_L) - g_m^2 (sC_6 + g_{m6})} \quad (3.28)$$

นำสมการที่ (3.28) มาจัดรูปใหม่ กำหนดให้ $C_1 + C_6 + Cd_5 = C_x$ และ $g_{m5} + g_{m6} + g_L = g_x$ สามารถเขียนสมการใหม่เป็น

$$\frac{V_o}{V_{in}} = \frac{(2s^2 C^2 g_L + 3g_m s C g_L + g_m^2 g_L) / (g_m^2 + g_x + g_m^2 g_{m6})}{\frac{s^3 (2C^2 C_x)}{g_m^2 + g_x + g_m^2 g_{m6}} + \frac{s^2 (2C^2 g_x + 3g_m C C_x)}{g_m^2 + g_x + g_m^2 g_{m6}} + \frac{s(3g_m g_x C + g_m^2 C_x - g_m^2 C_6)}{g_m^2 + g_x + g_m^2 g_{m6}} + 1} \quad (3.29)$$

จากฟอร์มโดยทั่วไป

$$\frac{V_o}{V_{in}} = \frac{N(s)}{D(s)} \quad (3.30)$$

จากสมการที่ (3.29) สามารถเขียนให้อยู่ในเทอม $D(s)$ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$D(s) = \frac{s^3(2C^2C_x) + s^2(2C^2g_x + 3g_mCC_x) + s(3g_mg_x + g^2_mC_x - g^2_mC_6) + 1}{g^2_m + g_x + g^2_mg_{m6}} + 1 \quad (3.31)$$

จากสมการที่ (3.31) สามารถหาโพลที่ 1 (P_1 : โพลเด่นโดยการประมาณค่า Adel S. Sedra and Kenneth C. Smith. [15]) ในการหาค่าความถี่สูง Cut Off ได้มีค่าเป็น

$$P_1 = \frac{g^2_m + g_x + g^2_mg_{m6}}{3g_mg_x + g^2_mC_x - g^2_mC_6} \quad (3.32)$$

ค่าความถี่ cut-off ที่เกิดจาก P_1 ประมาณ

$$f_{-3dB} = \frac{1}{2\pi} \left[\frac{g^2_m + g_x + g^2_mg_{m6}}{3g_mg_x + g^2_mC_x - g^2_mC_6} \right] \quad (3.33)$$

$$\begin{aligned} &\cong \frac{1}{2\pi} \left[\frac{1 \times 10^{-4}}{2.715 \times 10^{-10}} \right] \\ &\cong 2.316 \text{ MHz} \end{aligned} \quad (3.34)$$

โดยที่ $C_x = C + C_6 + C_{ds}$, $g_x = g_{m5} + g_{m6} + g_L$ การทดสอบผลการวิเคราะห์ความถี่ตอบสนองทำได้โดยการนำค่า g_m , g_d และ C ของมอสมาแทนค่าลงในสมการที่ (3.33) ซึ่งความถี่ Cut-off อยู่ประมาณที่ 2.316 MHz และความถี่ Cut-off ที่ได้จากการ Simulation ค่าความถี่ Cut-off มีค่าเท่ากับประมาณ 2.8 MHz ซึ่งเห็นว่ามีค่าใกล้เคียงกัน

3.5 ผลการทดสอบการทำงานของวงจร

3.5.1 การจำลองการทำงานโดยโปรแกรม PSpice

วงจรในรูปที่ 3.7 เมื่อนำการเขียนแบบการทำงานโดยโปรแกรม PSpice โดยใช้โมเดลของมอสทรานซิสเตอร์เทคโนโลยี 2 μm ใน Level 2 ของ European Silicon Structure : ES2 ในแบบ Worst Case และขนาดของ $\frac{W}{L}$ ของมอสทรานซิสเตอร์มีค่าตามตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงขนาดความกว้างต่อความยาวแซนแนลของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	M_1	M_2	M_3	M_4	M_5	M_6
W/L (min)	40/10	40/10	40/10	40/10	20/15	20/15

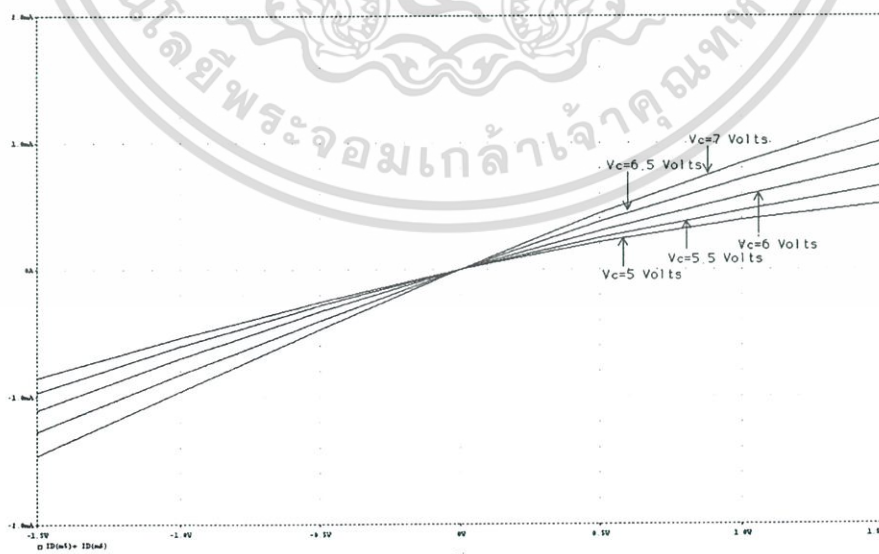
วงจรในรูปที่ 3.5 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice มีค่าต่างๆ ดังนี้ $V_{DD} = 5\text{Volt}$, $V_{SS} = -5\text{Volt}$ และค่า V_C สามารถแปรค่าจาก 5Volt ถึง 7Volt มีความกว้างต่อความยาวแซนแนลของมอสทรานซิสเตอร์ดังตารางที่ 3.1 ผลการทดสอบการทำงานของวงจรความต้านทานแบบบวกชนิดกราวด์ที่นำเสนอในวิทยานิพนธ์แสดงดังรูป

รูปที่ 3.11 แสดงคุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกชนิดกราวด์ โดยแปรค่าแรงดัน V_C จาก 5Volt ถึง 7Volt และแสดงการทำงานอินพุต จาก -1.5Volt และ 1.5Volt ซึ่งจากการทดสอบแสดงให้เห็นว่าวงจรมีการทำงานตามสมการที่ (3.19) ซึ่งเป็นการยืนยันว่าวงจรมีการทำงานถูกต้องตามทฤษฎี

รูปที่ 3.12 แสดงคุณสมบัติทาง DC ของวงจรความต้านทาน เมื่อกำหนดให้ $V_C = 7\text{V}$ มีช่วงอินพุตปฏิบัติงาน -1.5Volt ถึง 1.5Volt เมื่อแสดงความเป็นเชิงเส้นของความต้านทาน

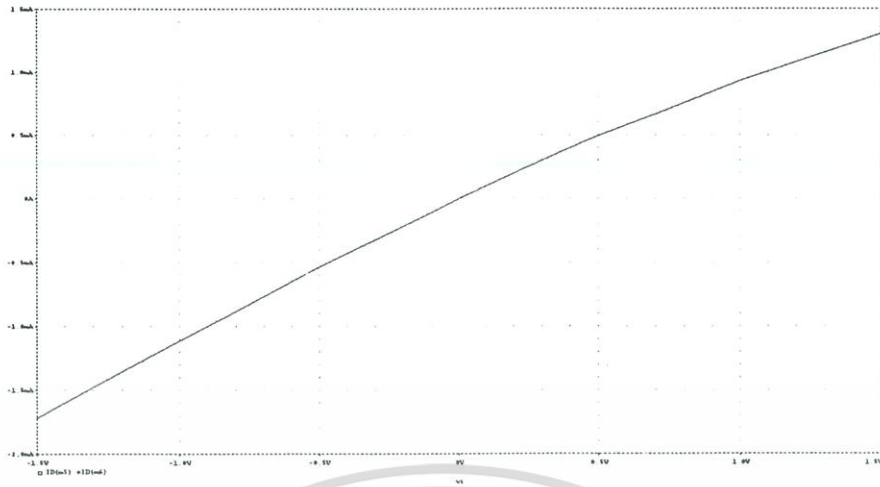
รูปที่ 3.13 แสดงเสถียรภาพของความต้านทานต่ออุณหภูมิ เมื่ออุณหภูมิเปลี่ยนแปลงจาก -25°C ถึง 100°C เมื่อ $V_C = 7\text{V}$ ซึ่งจะเป็นค่าความต้านทานของวงจรที่มีผลต่ออุณหภูมิ

รูปที่ 3.14 แสดงค่าความต้านทานของวงจรเมื่อ V_C เปลี่ยนแปลงจาก 5Volt ถึง 7Volt ซึ่งจากกราฟจะเห็นว่าเมื่อแรงดัน V_C มากขึ้น ค่าความต้านทานของวงจรจะลดลง และมีความเป็นเชิงเส้นมากขึ้นเมื่อ V_C มีค่าสูง

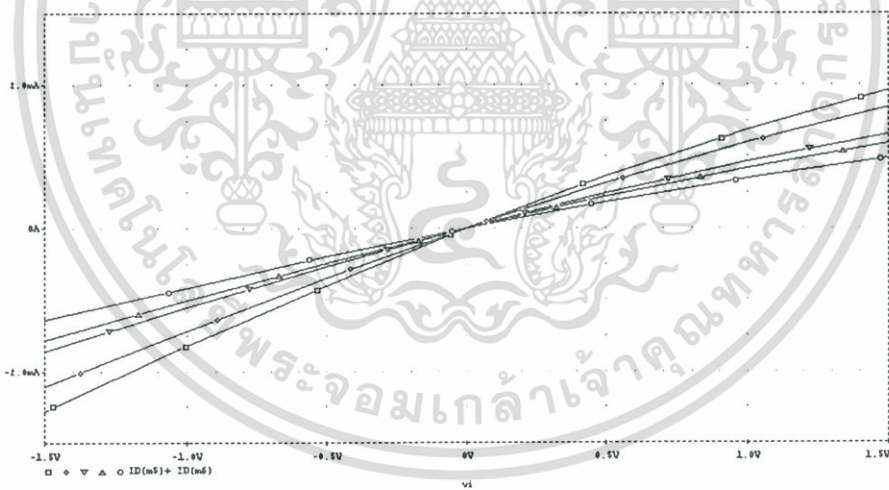


รูปที่ 3.11 คุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกชนิดกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

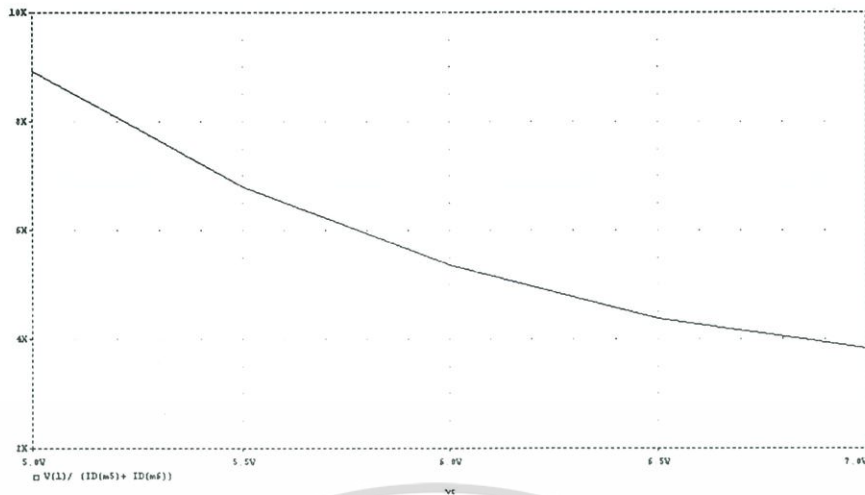


รูปที่ 3.12 คุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกรวมชนิดกราวด์เมื่อ $V_C = 7V$



รูปที่ 3.13 เสถียรภาพของความต้านทานต่ออุณหภูมิ

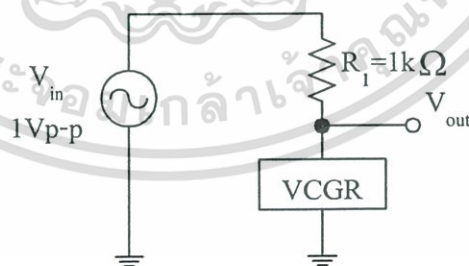
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



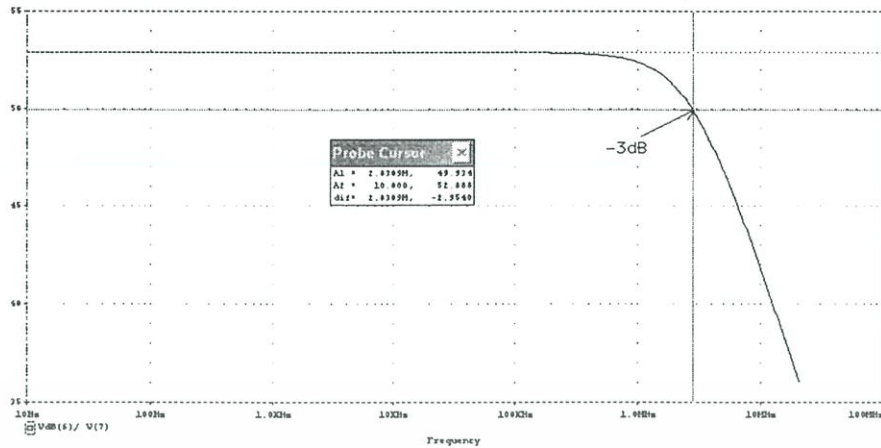
รูปที่ 3.14 ความสัมพันธ์ระหว่างความต้านทานกับแรงดัน V_C

3.5.2 การจำลองวงจรเพื่อหาผลตอบสนองเชิงความถี่

สำหรับการทดลองเพื่อดูย่านความถี่ การทำงานหรือช่วงความถี่ใช้งานของวงจรความต้านทานแบบบวชนิคราวด์ สามารถทำได้โดยนำวงจรความต้านทานแบบบวชนิคราวด์ที่นำเสนอตามรูปที่ 3.7 มาประกอบเป็นวงจรที่มีลักษณะดังรูปที่ 3.14 โดยกำหนดให้ V_{in} เป็นสัญญาณรูปไซน์ขนาด $1V_{p-p}$, ค่า (VCGR) ที่ $V_C = 7V$ และ $R_1 = 1k\Omega$ ทำการวัดผลตอบสนองความถี่ของวงจร รูปที่ 3.14 แสดงผลตอบสนองความถี่ของวงจรประมาณ 2.8 MHz



รูปที่ 3.15 วงจรที่ใช้ทดสอบเพื่อหาผลตอบสนองความถี่

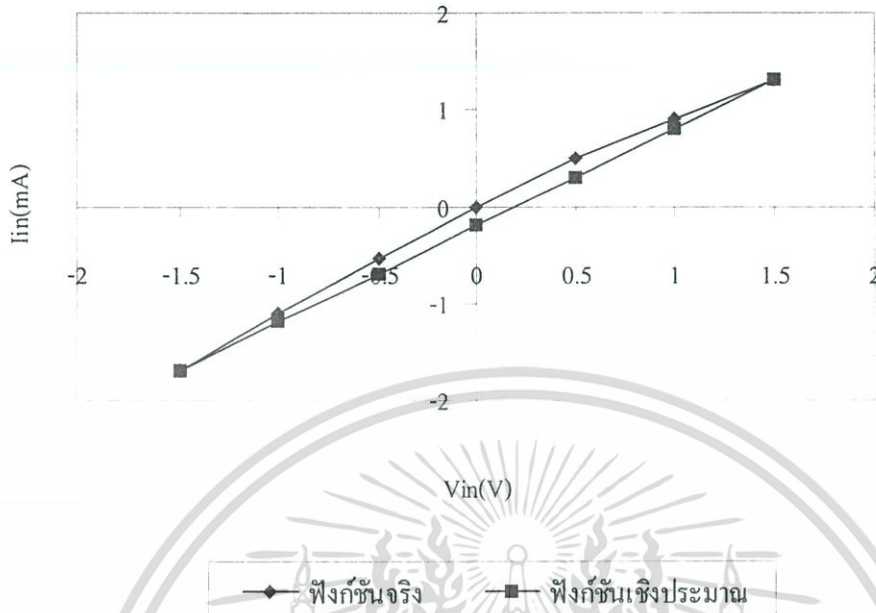


รูปที่ 3.16 ผลตอบสนองความถี่ของวงจร

3.6 เปอร์เซนต์ความผิดพลาดของความเป็นเชิงเส้น

การพิจารณาเปอร์เซนต์ความผิดพลาดของความเป็นเชิงเส้นของกระแส I_{in} ในวิทยานิพนธ์นี้จะใช้ทฤษฎีระเบียบวิธีเชิงตัวเลข (Numerical methods) [10] มาพิจารณาเปอร์เซนต์ความผิดพลาด โดยใช้วิธีการประมาณค่าในช่วงเชิงเส้น (Linear interpolation) คือการเชื่อมค่าทั้งสองเข้าด้วยกัน โดยใช้เส้นตรง และจากสมการเส้นตรงนี้จึงสามารถประมาณค่าฟังก์ชันของเบสเซลล์ที่ V_{in} ใดๆ ในช่วงดังกล่าว ดังแสดงในรูปที่ 3.17 ฟังก์ชันประมาณเชิงเส้นที่เกิดขึ้นนี้แตกต่างไปจากฟังก์ชันเบสเซลล์ที่แท้จริงซึ่งสามารถประดิษฐ์ขึ้นได้โดยง่าย โดยเริ่มจากการสมมติฟังก์ชันดังกล่าวให้อยู่ในรูปแบบของสมการเส้นตรง ซึ่งสรุปได้ดังสูตรคือ

$$f(V_i) = f(V_{io}) + (V_i - V_{io}) \left[\frac{f(V_{i1}) - f(V_{io})}{(V_{i1}) - (V_{io})} \right] \quad (3.35)$$



รูปที่ 3.17 การใช้ฟังก์ชันเชิงเส้นในการประมาณค่า

นำค่า V_m ที่ $1.5V$ ถึง $-1.5V$ แทนในสมการเส้นตรง $f(V_m)$ เพื่อหาฟังก์ชันการประมาณค่าในช่วงเชิงเส้น จากนั้นมาเปรียบเทียบผลลัพธ์ที่ได้กับค่าฟังก์ชันของเบสเซลล์ล์ที่แท้จริงจากตารางที่ 3.2 เพื่อนำมาหาเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_m ดังแสดงในตารางที่ 3.3

ตารางที่ 3.2 ค่าฟังก์ชันของเบสเซลล์ล์ที่แท้จริง

V_{in} (Volt)	-1.50	-1	-0.50	0	0.50	1	1.50
$f(V_{in})$	-1.70	-1.10	-0.77	0	0.49	0.90	1.30

ตารางที่ 3.3 แสดงเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_m เมื่อ $V_C = 7V$

V_{in} (Volt)	-1.50	-1	-0.5	0	0.50	1	1.50
% Error of linearity	0	0.07	0.24	0.20	0.20	0.13	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นค่าเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_m รวมคือ

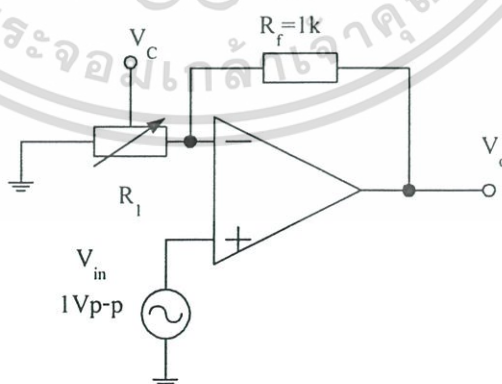
$$\begin{aligned} \text{เปอร์เซ็นต์ความผิดพลาดรวม} &= \frac{\text{ผลรวมของเปอร์เซ็นต์ผิดพลาด}}{\text{ผลรวมแต่ละจุดของค่าผิดพลาด}} \\ &= \frac{0+0.07+0.24+0.20+0.20+0.13+0}{7} \\ &= 0.12\% \end{aligned}$$

3.7 ผลของอุณหภูมิต่อค่าความต้านทาน

จากรูปที่ (3.13) เมื่อเปลี่ยนค่าอุณหภูมิจาก $-25\text{ }^{\circ}\text{C}$ ถึง $100\text{ }^{\circ}\text{C}$ จะทำให้ค่าความต้านทานเปลี่ยนแปลง ซึ่งเกิดจากผลกระทบของอุณหภูมิที่มีต่อค่าความคล่อง (μ) และค่าแรงดัน V_T ซึ่งวงจรความต้านทานที่ออกแบบได้ทดสอบโดยการเพิ่มอุณหภูมิครั้งละ $10\text{ }^{\circ}\text{C}$ ค่าความต้านทานจะเปลี่ยนแปลงประมาณ 27% ของค่าความต้านทานจริงที่ออกแบบ

3.8 การประยุกต์การใช้งาน

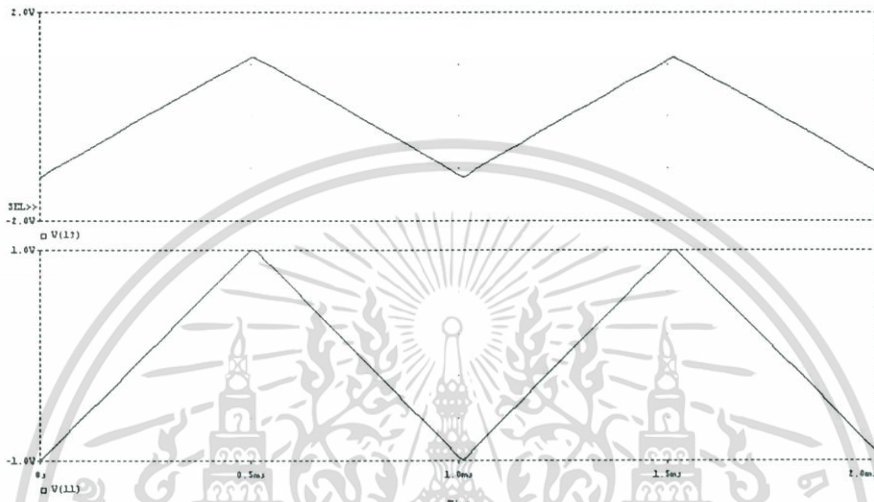
วงจรความต้านทานแบบบวกชนิดกราวด์ตัวสามารถนำไปประยุกต์ใช้งานได้มากมาย ซึ่งในบทความนี้ความต้านทานแบบลอยตัวที่นำเสนอมาประกอบเป็นวงจรขยายสัญญาณแบบไม่กลับเฟส (non-inverting amplifier) ดังแสดงในรูปที่ 3.18



รูปที่ 3.18 วงจรขยายสัญญาณแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.18 จำลองการทำงานของวงจรโดยใช้ออปแอมป์เบอร์ $\mu A 741$ ใช้ R_f เป็นความต้านทานที่มีค่าคงที่เท่ากับ $1 k\Omega$ แรงดันอินพุต เป็นสัญญาณไซน์ขนาด $1 V_{p-p}$ ที่มีความถี่ $1 kHz$ และ R_i แทนด้วยวงจรความต้านทานแบบบวชชนิดกราวด์ โดยใช้แรงดัน V_C เป็นตัวควบคุม และผลที่ได้แสดงดังรูปที่ 3.19

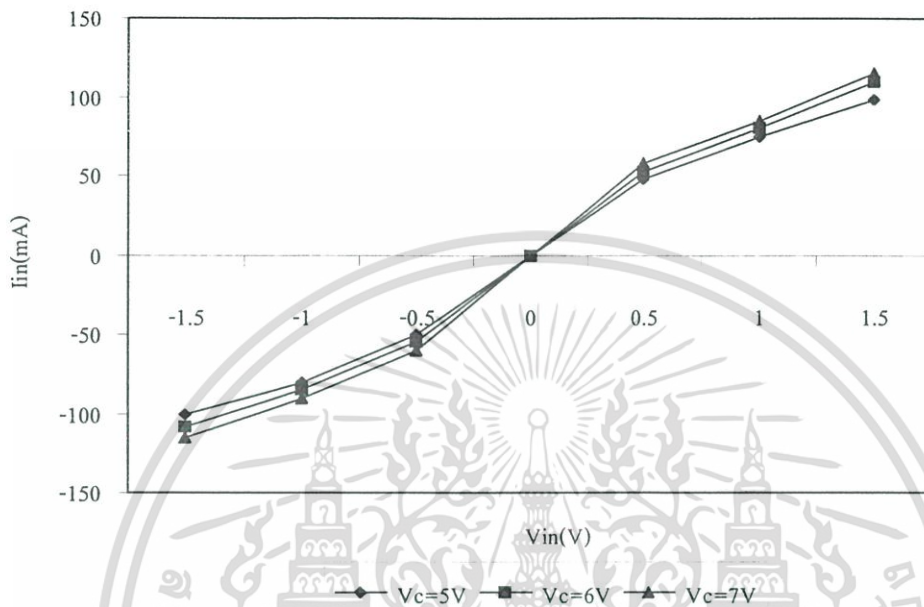


รูปที่ 3.19 ผลการจำลองการทำงานแบบไม่กลับเฟสเมื่อ R_i แทนด้วยวงจรความต้านทานแบบบวชชนิดกราวด์ กำหนดให้ $V_C = 7V$

3.9 ผลการทดลองจริง

เพื่อยืนยันการทำงานของวงจรซึ่งได้นำวงจรรูปที่ 3.7 มาทดลองจริง ใช้ไอซี เบอร์ MC 14007 ต่อบน Protoboard โดยให้แรงดันไฟเลี้ยง $V_{DD} = +5V$, $V_{SS} = -5V$ และป้อน V_i ตั้งแต่ $-1.5V$ ถึง $1.5V$, V_C ตั้งแต่ $5V$ ถึง $7V$ และวัดค่ากระแส I_m ดังแสดงตามรูปที่ 3.20 และนำวงจรรูปที่ 3.17 มาต่อบน Protoboard โดยให้แรงดันไฟเลี้ยง $V_{DD} = +5V$, $V_{SS} = -5V$, $V_C = 7V$ และความต้านทาน $R_f = 1k\Omega$ โดยป้อนสัญญาณรูปสามเหลี่ยม (Triangular Signal) ขนาด $1V_{p-p}$ และทำการวัดค่า V_o ของวงจร รูปที่ 3.20 แสดง V_m เปรียบเทียบกับ V_o ของวงจร ซึ่งผลการทดลองที่ได้จะมีค่าใกล้เคียงกับผลการเลียนแบบการทำงานด้วยโปรแกรม PSpice แต่มีข้อผิดพลาดอยู่บ้าง เนื่องจากวงจรที่ออกแบบใช้มอสมีขนาดที่แตกต่างกัน แต่มอสที่ใช้ในการทดลองมีอยู่ขนาดเดียว ทำให้ผลการทดลองจริงต่างกับการทดลองโดยโปรแกรม PSpice รวมทั้งใน

การต่อวงจรจริงมีสัญญาณรบกวนจากแหล่งจ่ายไฟ คุณสมบัติของไอซี เบอร์ MC 14007 ไม่ดี ประกอบกับคาปาซิแตนซ์ที่เกิดขึ้นแฝงใน Protoboard สาเหตุเหล่านี้ทำให้ค่าความต้านและความ เป็นเชิงเส้นของวงจรที่ทดสอบโดย PSpice ต่างกับที่ต่อวงจรจริง



รูปที่ 3.20 แสดงค่าความต้านทานเมื่อแปรค่า V_{in} จาก $-1.5V$ ถึง $1.5V$ และแปรค่า $V_c = 5V$ ถึง $7V$

3.10 บทสรุป

วงจรความต้านทานแบบบวกที่นำเสนอวิทยานิพนธ์นี้ถูกออกแบบสร้างด้วยมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว จากการเลียนแบบการทำงานของวงจรโดยโปรแกรม PSpice แสดงให้เห็นว่าผลที่ได้จากการทดลองของวงจรจะได้ค่าความต้านทานมีความเป็นเชิงเส้นสูง ขณะที่ใช้ไฟเลี้ยง $\pm 5V$ ใช้มอสทรานซิสเตอร์จำนวน 6 ตัวซึ่งใช้ NMOS อย่างเดียว และวงจรออกแบบไม่ยุ่งยาก วงจรที่ออกแบบนี้เหมาะที่จะนำไปสร้างเป็นวงจรรวมอีกด้วย เพราะสร้างจากทรานซิสเตอร์ NMOS เพียงอย่างเดียว ในการทดลองจริงข้อผิดพลาดอยู่บ้าง เนื่องจากวงจรที่ออกแบบใช้มอสมีขนาดที่แตกต่างกัน แต่มอสที่ใช้ในการทดลองมีอยู่ขนาดเดียว ทำให้ผลการทดลองจริงต่างกับการทดลองโดยโปรแกรม PSpice รวมทั้งในการต่อวงจรจริงมีสัญญาณรบกวนจากแหล่งจ่ายไฟ คุณสมบัติของไอซี เบอร์ MC 14007 ไม่ดี ประกอบกับคาปาซิแตนซ์ที่เกิดขึ้นแฝงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Protoboard สาเหตุเหล่านี้ทำให้ค่าความต้านและความเป็นเชิงเส้นของวงจรที่ทดสอบโดย PSpice ต่างกับที่ต่อวงจรจริง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการออกแบบวงจรความต้านทานแบบบวกชนิดลอยตัวที่ปรับ ค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์

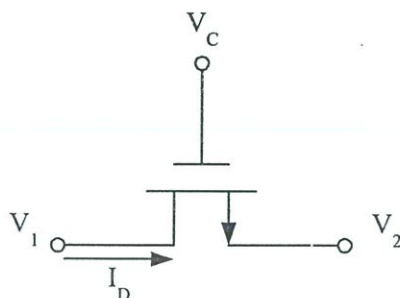
4.1 กล่าวนำ

วงจรความต้านทานแบบปรับค่าได้ เป็นวงจรหนึ่งที่มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางในระบบโทรคมนาคม และเครื่องมือวัด เช่น วงจรขยายและลดทอนสัญญาณ วงจรรองความถี่ เป็นต้น วงจรความต้านทานแบบปรับค่าได้มีการนำเสนอมาโดยตลอด ซึ่งแต่ละวงจรมีข้อดีและข้อเสียที่แตกต่างกันออกไป ขึ้นอยู่กับวิธีการที่นำมาใช้ในการออกแบบ ซึ่งในวิทยานิพนธ์นี้เป็นการนำเสนอวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดลอยตัว และวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดลอยตัวที่ประกอบขึ้นจากมอสทรานซิสเตอร์ชนิดเอ็นฮานเมนท์ที่ทำงานในช่วงไม้อิมิตัว ซึ่งการออกแบบในวิทยานิพนธ์นี้จะเน้นในเรื่องของวงจรที่ไม่ซับซ้อน และใช้อุปกรณ์ในการสร้างน้อย เหมาะที่จะนำไปสร้างเป็นวงจรรวม

4.2 หลักการเบื้องต้นของการออกแบบวงจรความต้านทานแบบบวกชนิดลอยตัวที่ สามารถปรับค่าได้ ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้มอสทรานซิสเตอร์

วงจรความต้านทานแบบบวกชนิดลอยตัวจะประกอบไปด้วยวงจรรย่อย 2 ส่วน ส่วนที่ 1 เป็นวงจรปรับค่าความนำ และส่วนที่ 2 เป็นวงจรปรับระดับแรงดัน

4.2.1 วงจรปรับค่าความนำ



รูปที่ 4.1 วงจรปรับค่าความนำด้วยแรงดัน

จากรูปที่ 1 กำหนดให้ V_1 และ V_2 เป็นแรงดันผลต่าง และกำหนดให้มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว สามารถหาค่าความต้านทานได้ดังนี้

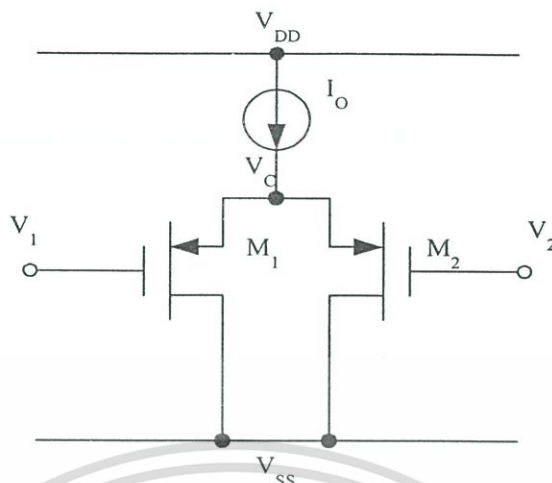
$$I_D = K \left[V_C - V_2 - V_T - \left(\frac{V_1 - V_2}{2} \right) \right] (V_1 - V_2) \quad (4.1)$$

จากสมการที่ (4.1) เมื่อกำหนดให้ $(V_1 - V_2)$ และ I_D เป็นอินพุตก็จะได้สมการความต้านทานที่ปรับค่าได้คือ

$$R = \frac{V_1 - V_2}{I_D} = \left[K \left(V_C - V_T - \left(\frac{V_1 + V_2}{2} \right) \right) \right]^{-1} \quad (4.2)$$

จากสมการ (4.2) จะเห็นว่าความต้านทานที่ได้ ยังมีความไม่เป็นเชิงเส้นอยู่ซึ่งในวิทยานิพนธ์นี้ จะใช้วงจรปรับระดับแรงดันเป็นตัวแก้ความไม่เป็นเชิงเส้นของความต้านทาน

4.2.2 วงจรปรับระดับแรงดัน



รูปที่ 4.2 วงจรปรับแรงดัน

วงจรปรับแรงดันในวิทยานิพนธ์นี้จะใช้อุสทรานซิสเตอร์ 2 ตัว และแหล่งจ่ายกระแสคงที่ 1 ชุด กำหนดให้ M_1 และ M_2 ทำงานในช่วงอิมิตีมีค่า $\frac{W}{L}$ เท่ากันทุกประการ V_{GS1} และ V_{GS2} ถูกควบคุมด้วยแหล่งจ่ายกระแสคงที่ ดังนั้นสมการกระแสเกรนของ M_1 และ M_2 คือ

$$I_{D1} = \frac{K}{2} (V_1 - V_C - V_T)^2 \quad (4.3)$$

$$I_{D2} = \frac{K}{2} (V_2 - V_C - V_T)^2 \quad (4.4)$$

กำหนดให้

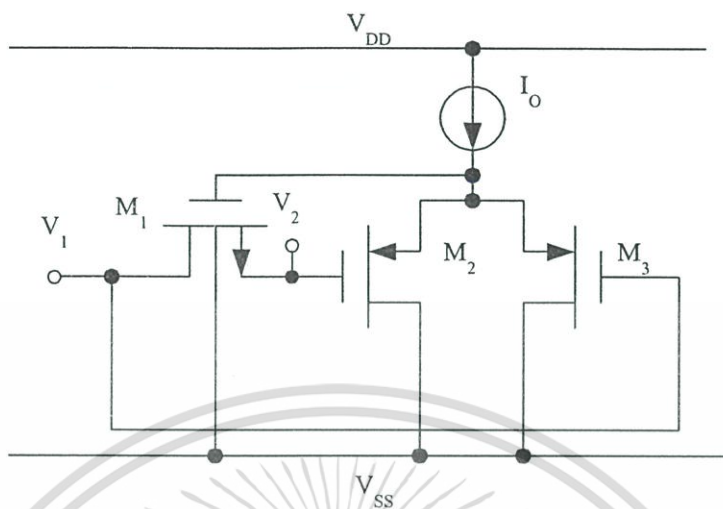
$$I_O = I_{D1} + I_{D2} \quad (4.5)$$

จากสมการที่ (4.3) และ (4.4) แทนลงในสมการที่ (4.5) จะได้ขนาดแรงดันของ V_C คือ

$$V_C = \frac{V_1 + V_2}{2} + \sqrt{\frac{I_O}{2K_p}} + 2V_T \quad (4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำวงจรปรับแรงดัน และวงจรปรับค่าความนำด้วยแรงดันมารวมกันจะได้วงจรค่าความต้านทานแบบบวชนิโคลอยตัวดังรูปที่ 4.3



รูปที่ 4.3 วงจรความต้านทานแบบบวชนิโคลอยตัวที่นำเสนอ

จากรูปที่ 4.3 สามารถหาสมการความต้านทานได้ใหม่คือ นำสมการ (4.6) แทนในสมการ (4.2) ได้สมการของค่าความต้านทานใหม่คือ

$$\frac{V_1 - V_2}{I_D} = \frac{1}{K \left(\sqrt{\frac{I_O}{2K_p}} + 2V_T \right)} \quad (4.7)$$

หรือ

$$R = \frac{1}{K \left(\sqrt{\frac{I_O}{2K_p}} + 2V_T \right)} \quad (4.8)$$

4.3 การวิเคราะห์ช่วงปฏิบัติงานอินพุท

การออกแบบวงจรความต้านทานโดยการหักล้างเทอมที่ไม่เป็นเชิงเส้นของมอสทรานซิสเตอร์ที่ตื้นนั้นต้องออกแบบให้วงจรมีคุณสมบัติต่างๆ คือ วงจรต้องตอบสนองความถี่ได้สูง วงจรใช้จำนวนอุปกรณ์น้อย วงจรต้องกินกำลังส่งสูญเสียต่ำ และวงจรต้องมีช่วงปฏิบัติงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว้าง ขนาดของอินพุตที่จะทำให้มอสทรานซิสเตอร์ M_1 ทำงานในช่วงไม่อิ่มตัวต้องสอดคล้องกับเงื่อนไขต่อไปนี้

$$V_1 < V_C - V_T \quad (4.9)$$

$$V_2 < V_C - V_T \quad (4.10)$$

จากสมการที่ (4.9) และ (4.10) สามารถเขียนสมการใหม่โดยนำสมการ (4.6) แทนในสมการ (4.9) และ สมการ (4.10) จะได้สมการใหม่เป็น

$$\frac{V_1}{2} - \frac{V_2}{2} < \sqrt{\frac{I_O}{2K_P}} + 2V_T \quad (4.11)$$

$$\frac{V_2}{2} - \frac{V_1}{2} < \sqrt{\frac{I_O}{2K_P}} + 2V_T \quad (4.12)$$

จากสมการที่ (4.11) และ (4.12) จะเห็นว่าขีดจำกัดของ V_1 และ V_2 ขึ้นอยู่กับ I_O คือถ้า V_1 และ V_2 มีค่ามากกว่ากระแส I_O ก็ต้องมากจะทำให้มอสทรานซิสเตอร์ M_1 ทำงานในช่วงไม่อิ่มตัว ส่วนการทำงานของ M_2 และ M_3 จะต้องสอดคล้องกับเงื่อนไขดังต่อไปนี้

$$V_1 < V_{SS} + V_T \quad (4.13)$$

$$V_2 < V_{SS} + V_T \quad (4.14)$$

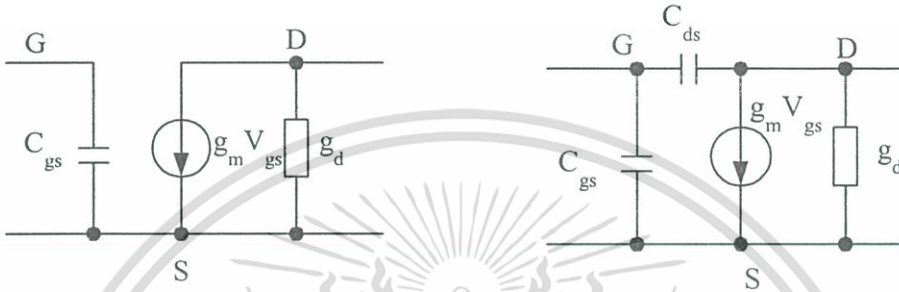
จากสมการ (4.13) และ สมการ (4.14) จะให้ค่าแรงดัน $V_{SS} + V_T$ จะต้องมีค่ามากกว่าแรงดัน V_1 และ V_2 มอสทรานซิสเตอร์ M_2 และ M_3 จะทำงานในช่วงอิ่มตัว

4.4 การวิเคราะห์ช่วงปฏิบัติการความถี่

การออกแบบวงจรความถี่แบนด์วิดท์ที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์นั้น ต้องคำนึงถึงคุณสมบัติต่างๆของวงจร เช่น ความถี่ตอบสนอง ช่วงปฏิบัติการ กำลังที่สูญเสียเพราะคุณสมบัติเหล่านี้สามารถบ่งบอกได้ว่าวงจรมีประสิทธิภาพในการทำงานดี หรือไม่ดีอย่างไร ในการหาช่วงความถี่ตอบสนองนั้น จะใช้แบบจำลองขนาดเล็ก (small-signal model) ซึ่ง

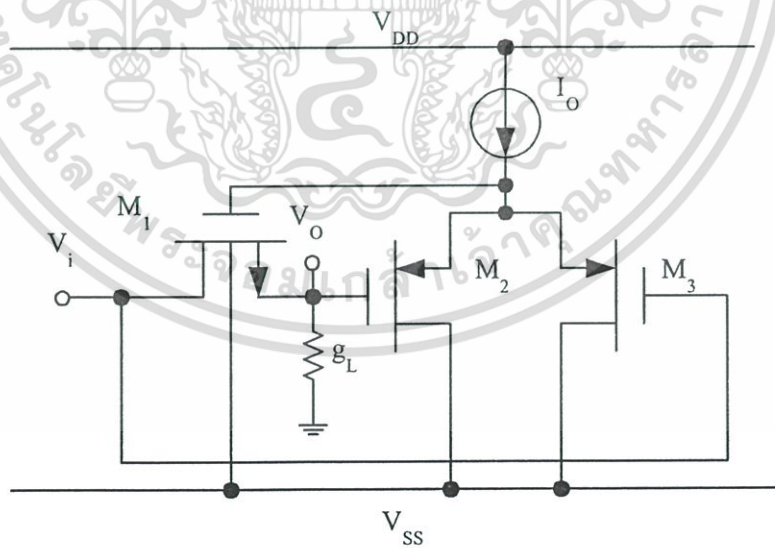
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วย แหล่งจ่ายกระแสโดยทั่วไปจะขึ้นอยู่กับแรงดัน (Voltage Control Current Source) และตัวเก็บประจุที่เสมือนกับว่ามีประจุสถิต (stored charge) ต่ออยู่ระหว่างขั้วต่อ (Junction) ของมอสเฟต เพื่อที่จะทำให้การวิเคราะห์ง่ายขึ้นขอสมมุติให้ g_m, g_d, C_{gs} ของมอสที่ทำงานในช่วงอิมตัวมีค่าเท่ากันหมดและเนื่องจากค่า $g_m \gg g_d$ ทำให้ในเทอมที่มี g_m ร่วมกับ g_d สมมุติให้ตัดค่า g_d ออกไป แต่ค่า g_m, g_d, C_{gs} ของมอสที่ทำงานในช่วงไม่อิมตัว มีค่าไม่เท่ากับมอสที่ทำงานในช่วงอิมตัวดังนั้นในการคำนวณจึงนำมารวมกันไม่ได้ ส่วนวงจรสมมูลของมอสแสดงดังรูปที่ 4.4



(ก) วงจรสมมูลของมอสทำงานในช่วงอิมตัว (ข) วงจรสมมูลของมอสทำงานในช่วงไม่อิมตัว

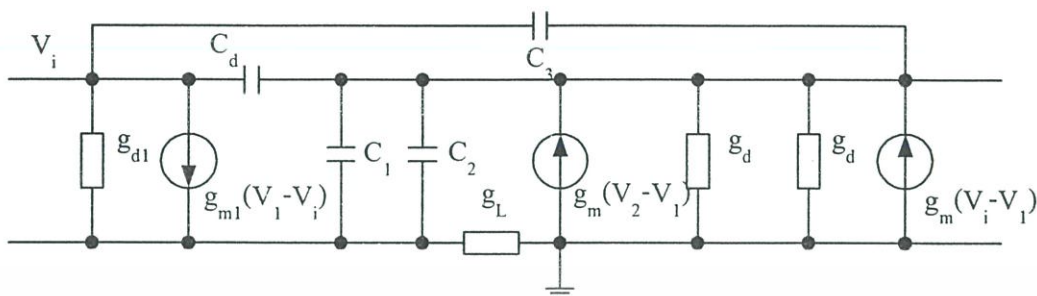
รูปที่ 4.4 วงจรสมมูลของมอสที่ใช้ในการวิเคราะห์ในวิทยานิพนธ์



รูปที่ 4.5 แสดงการปรับปรุงวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ในรูปที่ 4.4 เพื่อการวิเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.5 สามารถแทนได้ด้วยวงจรสมมูลขนาดเล็กลงได้ดังรูปที่ 4.6



รูปที่ 4.6 แสดงวงจรสมมูลของวงจรรูปที่ 4.5

จากรูปที่ 4.6 กำหนดให้ $g_m 2 = g_m 3 = g_m$, $g_d 2 = g_d 3 = g_d$ และ $V_2 = V_O$ ทำการพิจารณาจุดที่ 1

$$[s(C_1 + C_2 + C_3 + C_d) + 2g_d]V_1 + g_m(V_O - V_1) + g_m(V_i + V_1) = s(C_3 + C_d)V_i + (C_1 + C_2)V_O \quad (4.15)$$

$$[s(C_1 + C_2 + C_3 + C_d) + 2g_d - 2g_m]V_1 = [s(C_3 + C_d) - g_m]V_i + [s(C_2 + C_1) - g_m]V_O \quad (4.16)$$

พิจารณาที่ Node 2

$$[s(C_1 + C_2) + g_d + g_L]V_2 + g_m(V_1 - V_2) = g_d V_i + s(C_1 + C_2)V_1 \quad (4.17)$$

$$[s(C_1 + C_2) + g_d + g_L - g_m]V_2 = g_d V_i + [s(C_1 + C_2) - g_m]V_1 \quad (4.18)$$

เพื่อง่ายในการพิจารณา กำหนดให้ $C_1 + C_2 = C$, $g_d + g_L - g_m = g_x$

$$V_1 = \frac{(sC + g_x)V_2 - g_d V_i}{sC - g_m} \quad (4.19)$$

ทำการแทนสมการ (4.19) ลงในสมการที่ (4.16) จะได้ค่าของทรานสเฟอร์ฟังก์ชันของวงจร ความต้านทานแบบบวชนิโคลอยตัวคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_o}{V_i} = \frac{s^2 CC_T - s(g_{d1}C_x + g_m C - g_{m1}C_T) + 4g_m(g_{d1} + g_{m1})}{s^2(C_x - C) + s(C_x g_{m_x} - g_{m1}) - 2g_m g_{m_x}} \quad (4.20)$$

จากสมการที่ (4.20) สามารถจัดรูปใหม่ได้ดังสมการที่(4.21)

$$\frac{V_o}{V_i} = \frac{s^2 CC_T + s(g_{d1}C_x + g_m C - g_{m1}C_T) - 4g_m(g_{d1} + g_{m1})/2g_m g_{m_x}}{\frac{-s^2(C_x - C) - s(C_x g_{m_x} - g_{m1})}{2g_m g_{m_x}} + 1} \quad (4.21)$$

จากฟอร์มโดยทั่วไป

$$\frac{V_o}{V_i} = \frac{N(s)}{D(s)} \quad (4.22)$$

จากสมการที่ (4.21) สามารถเขียนให้อยู่ในเทอม $D(s)$ ได้ดังนี้

$$D(s) = -s^2 \frac{(C_x - C)}{2g_m g_{m_x}} - s \frac{(C_x g_{m_x} - g_{m1})}{2g_m g_{m_x}} + 1 \quad (4.23)$$

จากสมการที่ (4.23) สามารถหาโพลที่ 1 (P_1 : โพลเด่น โดยการประมาณค่า Adel S. Sedra and Kenneth C. Smith. [15] ในการหาค่าความถี่สูง Cut Off ได้มีค่าเป็น

$$P_1 = \frac{2g_m g_{m_x}}{C_x g_{m_x} - g_{m1}} \quad (4.24)$$

ค่าความถี่ Cut-off ที่เกิดจาก P_1 ประมาณ

$$f_{-3dB} \cong \frac{1}{2\pi} \left[\frac{2g_m g_{m_x}}{C_x g_{m_x} - g_{m1}} \right] \quad (4.25)$$

$$\cong \frac{1}{2\pi} \left[\frac{4.78 \times 10^{-8}}{2.575 \times 10^{-14}} \right] \quad (4.26)$$

$$\cong 278 \text{ KHz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สอบผลการวิเคราะห์ความถี่ตอบสนองทำได้โดยการนำค่า g_m, g_d, g_L และ C ของมอสมารถคำนวณค่าลงในสมการ (4.24) ซึ่งความถี่ Cut-off ที่ได้จากการ Simulation ค่าความถี่ Cut-off มีค่าเท่ากับ 278 KHz และจากการคำนวณค่าความถี่ Cut-off มีค่าเท่ากับ 300 KHz จะเห็นว่ามีความใกล้เคียงกัน

4.5 ผลการทดสอบการทำงานของวงจร

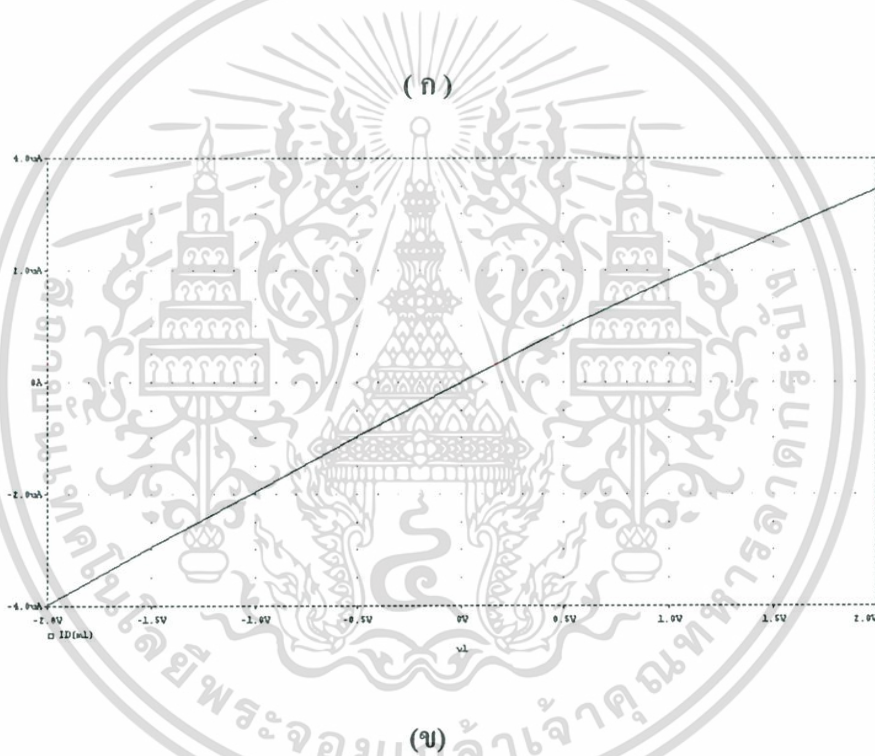
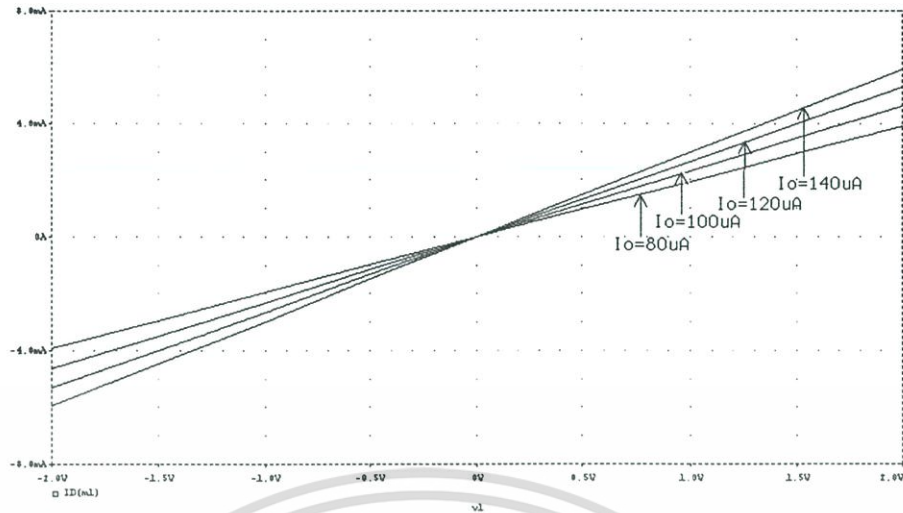
4.5.1 การจำลองการทำงานโดยโปรแกรม PSpice

วงจรในรูปที่ 4.3 เมื่อนำมาเขียนแบบการทำงานด้วยโปรแกรม PSpice โดยใช้โมเดลของมอสทรานซิสเตอร์เทคโนโลยี $2\ \mu\text{m}$ ใน Level 2 ของ European Silicon Structure : ES2 แบบ Worst Case และขนาด W/L ของทรานซิสเตอร์มีค่าตามตารางที่ 4.1

ตารางที่ 4.1 แสดงขนาดความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ในวงจร

มอสทรานซิสเตอร์	M1	M2	M3
W/L μm	2/150	2/2	2/2

วงจรในรูปที่ 4.3 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice มีค่าต่างๆดังนี้ เมื่อ $V_{DD}=1.8\ \text{V}$, $V_{SS}=-1.8\ \text{V}$ กระแส I_O แปรค่าจาก $80\ \mu\text{A}$ ถึง $140\ \mu\text{A}$ และมีความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ ดังตารางที่ 4.1 ผลการทดสอบการทำงานของวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ชนิดลอยตัวที่นำเสนอในวิทยานิพนธ์แสดงดังรูปที่ 4.7 แสดงคุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกชนิดลอยตัว รูปที่ 4.8 แสดงเสถียรภาพของความต้านทานต่ออุณหภูมิตั้งแต่ $-50\ ^\circ\text{C}$ จนถึง $100\ ^\circ\text{C}$ ที่ $I_O=80\ \mu\text{A}$ ซึ่งอุณหภูมิมีผลต่อค่าความต้านทาน รูปที่ 4.9 แสดงความต้านทานของวงจรที่ I_O เปลี่ยนแปลงจาก $80\ \mu\text{A}$ ถึง $140\ \mu\text{A}$

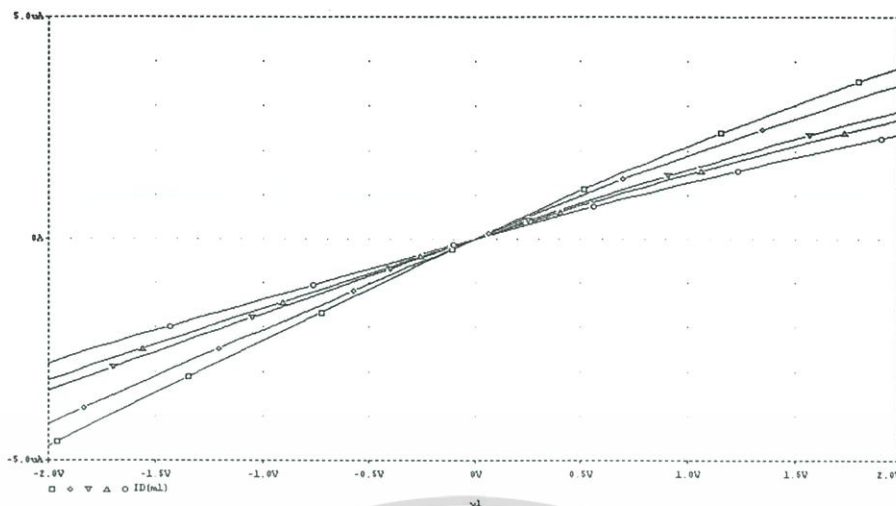


รูปที่ 4.7 คุณสมบัติทาง DC ของวงจรความต้านทานแบบบวกรชนิดลอยตัว

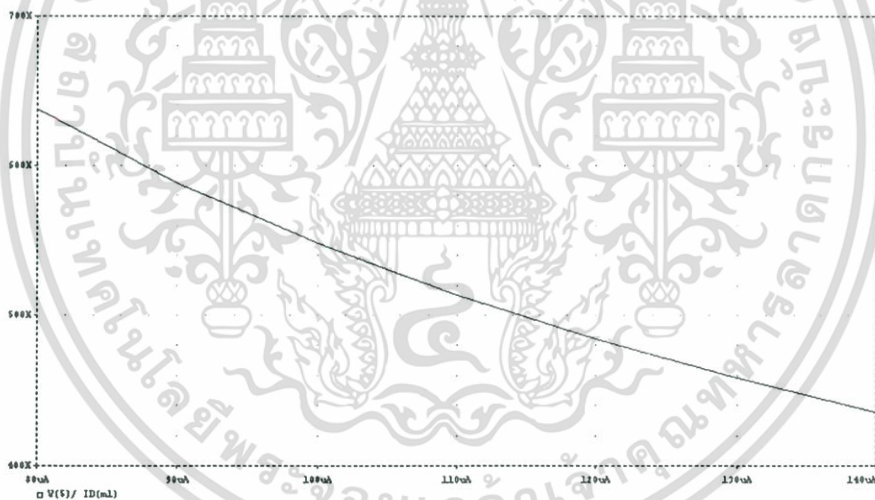
รูป (ก) เมื่อ I_O แปรค่าจาก $80 \mu\text{A}$ ถึง $140 \mu\text{A}$ โดยขึ้นละ $20 \mu\text{A}$ และแสดงช่วงการทำงานจาก -2 V ถึง $+2 \text{ V}$

รูป (ข) เมื่อ $I_O = 80 \mu\text{A}$ และแสดงช่วงการทำงานจาก -2 V ถึง $+2 \text{ V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงเสถียรภาพของวงจรความต้านทานต่ออุณหภูมิ



รูปที่ 4.9 แสดงความสัมพันธ์ของค่าความต้านทานกับค่ากระแส I_0

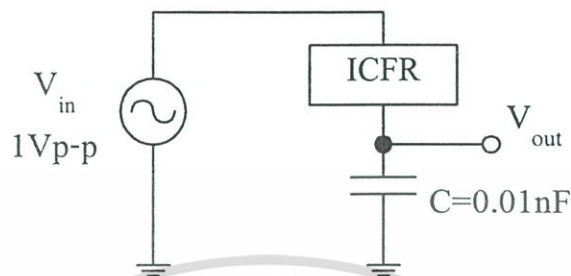
4.5.2 การจำลองวงจรเพื่อหาผลตอบสนองเชิงความถี่

สำหรับการทดลองเพื่อดูย่านความถี่การทำงานหรือช่วงความถี่ใช้งานของวงจรความต้านทานแบบบวขชนิดลอยตัวที่สามารถปรับค่าได้โดยวิธีทางอิเล็กทรอนิกส์นั้นสามารถทำได้โดยนำวงจรความต้านทานแบบบวขที่นำเสนอตามรูปที่ 4.3 มาประกอบเป็นวงจรที่มีลักษณะดังรูปที่

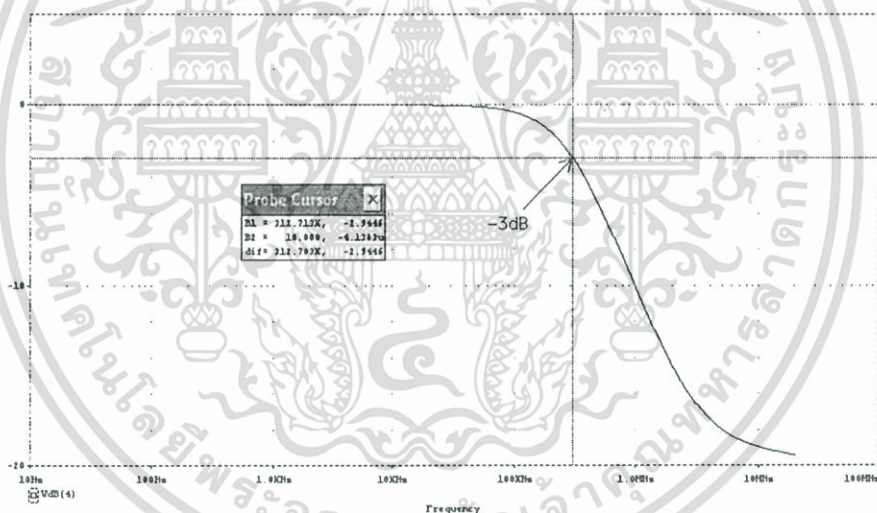
4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.10 กำหนดให้ V_{in} เป็นสัญญาณรูปไซน์ขนาด $1 V_{p-p}$ ป้อนให้กับวงจร และกำหนดให้ $C = 0.01 nF$ กระแสควบคุมความต้านทาน (ICFR) ที่ออกแบบเท่ากับ $80 \mu A$ รูปที่ 4.10 แสดงผลตอบสนองความถี่ของวงจรประมาณ $0.3 MHz$



รูปที่ 4.10 วงจรที่ใช้ทดสอบเพื่อหาผลตอบสนองความถี่



รูปที่ 4.11 ผลตอบสนองความถี่ของวงจร

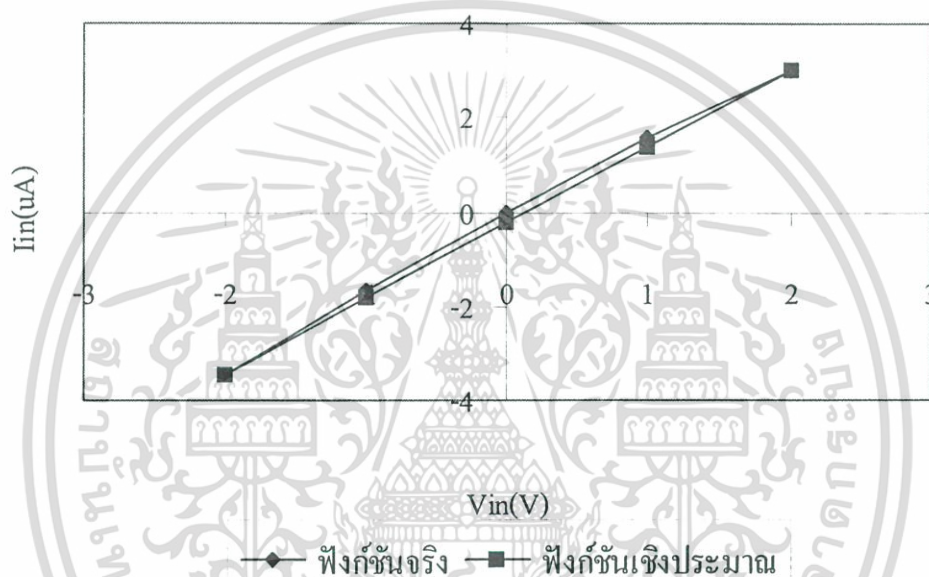
4.6 เปอร์เซ็นต์ความผิดพลาดของความเป็นเชิงเส้น

การพิจารณาเปอร์เซ็นต์ความผิดพลาดของความเป็นเชิงเส้นของกระแส I_{in} ในวิทยานิพนธ์นี้จะใช้ทฤษฎีระเบียบวิธีเชิงตัวเลข (Numerical methods) [21] มาพิจารณาเปอร์เซ็นต์ความผิดพลาดโดยใช้วิธีการประมาณค่าในช่วงเชิงเส้น (Linear interpolation) คือการเชื่อมค่าทั้งสองเข้าด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้เส้นตรง และจากสมการเส้นตรงนี้จึงสามารถประมาณค่าฟังก์ชันของเบสเซลล์ที่ V_{in} ใดๆ ในช่วงดังกล่าว ดังแสดงในรูปที่ 4.12 ฟังก์ชันประมาณเชิงเส้นที่เกิดขึ้นนี้แตกต่างไปจากฟังก์ชันเบสเซลล์ที่แท้จริง ซึ่งสามารถประดิษฐ์ขึ้นได้โดยง่าย โดยเริ่มจากการสมมุติฟังก์ชันดังกล่าวให้อยู่ในรูปแบบของสมการเส้นตรง ซึ่งสรุปได้ดังสูตรคือ

$$f(V_i) = f(V_{io}) + (V_i - V_{io}) \left[\frac{f(V_{il}) - f(V_{io})}{(V_{il}) - (V_{io})} \right] \quad (4.27)$$



รูปที่ 4.12 การใช้ฟังก์ชันเชิงเส้นในการประมาณค่า

นำค่า V_{in} ที่ 2 V ถึง -2 V แทนในสมการเส้นตรง $f(V_{in})$ เพื่อหาฟังก์ชันการประมาณค่าในช่วงเชิงเส้น จากนั้นนำเปรียบเทียบกับผลลัพธ์ที่ได้กับค่าฟังก์ชันของเบสเซลล์ที่แท้จริงจากตารางที่ 4.2 เพื่อนำมาหาเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_{in} ที่ $I_O = 80\mu A$ ดังแสดงในตารางที่ 4.3

ตารางที่ 4.2 ค่าฟังก์ชันของเบสเซลล์ที่แท้จริง

V_{in} (Volt)	-2	-1	0	1	2
$f(V_{in})$	-3.44	-1.66	0	1.57	2.99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 แสดงเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_{in} เมื่อกระแส $I_O = 80 \mu A$

V_{in} (Volt)	-2	-1	0	1	2
% Error of linearity	0	0.16	0.25	0.27	0

ดังนั้นค่าเปอร์เซ็นต์ผิดพลาดของความเป็นเชิงเส้นของกระแส I_{in} รวมคือ

เปอร์เซ็นต์ความผิดพลาดรวม = $\frac{\text{ผลรวมของเปอร์เซ็นต์ผิดพลาด}}{\text{ผลรวมแต่ละจุดของค่าผิดพลาด}}$

$$= \frac{0+0.16+0.25+0.27+0}{5}$$

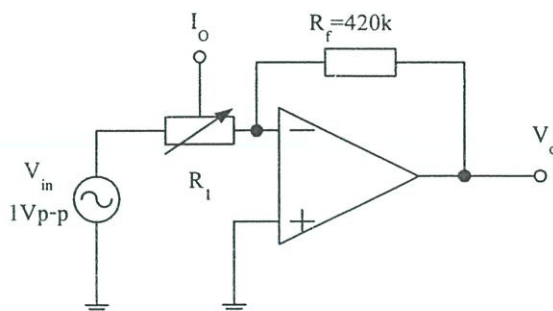
$$= 0.14\%$$

4.7 ผลของอุณหภูมิต่อค่าความต้านทาน

จากรูปที่ (4.8) เมื่อเปลี่ยนค่าอุณหภูมิจาก $-25^{\circ}C$ ถึง $100^{\circ}C$ จะทำให้ค่าความต้านทานเปลี่ยนแปลง ซึ่งเกิดจากผลกระทบของอุณหภูมิที่มีต่อค่าความคล่อง (μ) และค่าแรงดัน V_T ซึ่งวงจรความต้านทานที่ออกแบบได้ทดสอบ โดยการเพิ่มอุณหภูมิครั้งละ $10^{\circ}C$ ค่าความต้านทานจะเปลี่ยนแปลงประมาณ 4% ของค่าความต้านทานจริงที่ออกแบบ

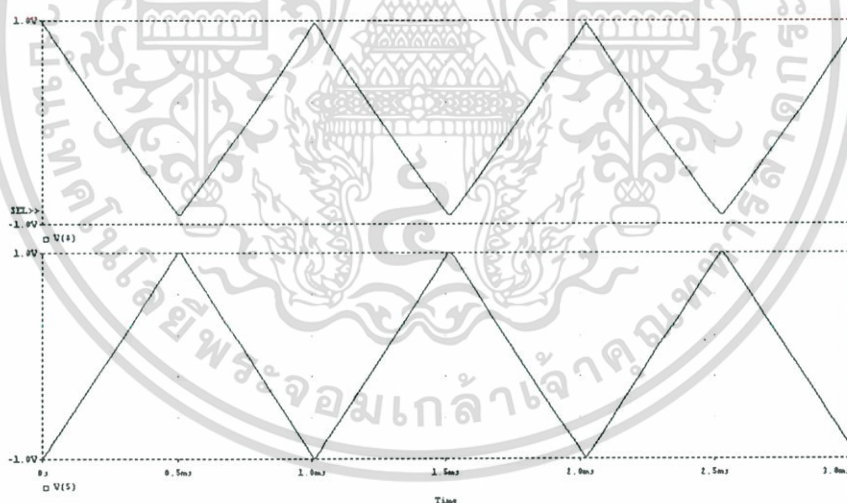
4.8 การประยุกต์การใช้งาน

วงจรความต้านทานแบบลอยตัวสามารถนำไปประยุกต์ใช้งานได้มากมาย ซึ่งในบทความนี้ ความต้านทานแบบลอยตัวที่นำเสนอมาประกอบเป็นวงจรขยายสัญญาณแบบกลับเฟส (inverting amplifier) ดังแสดงในรูปที่ 4.13



รูปที่ 4.13 วงจรขยายสัญญาณแบบกลับเฟส

จากรูปที่ 4.13 จำลองการทำงานของวงจรโดยใช้ออปแอมป์เบอร์ $\mu A 741$ ใช้ R_f เป็นความต้านทานที่มีค่าคงที่เท่ากับ $420\text{ k}\Omega$ แรงดันอินพุตเป็นสัญญาณไซน์ขนาด 1 V_{p-p} ที่มีความถี่ 1 kHz และ R_1 แทนด้วยวงจรความต้านทานแบบลอยตัว โดยใช้กระแส I_o ควบคุม และผลที่ได้แสดงดังรูปที่ 4.14

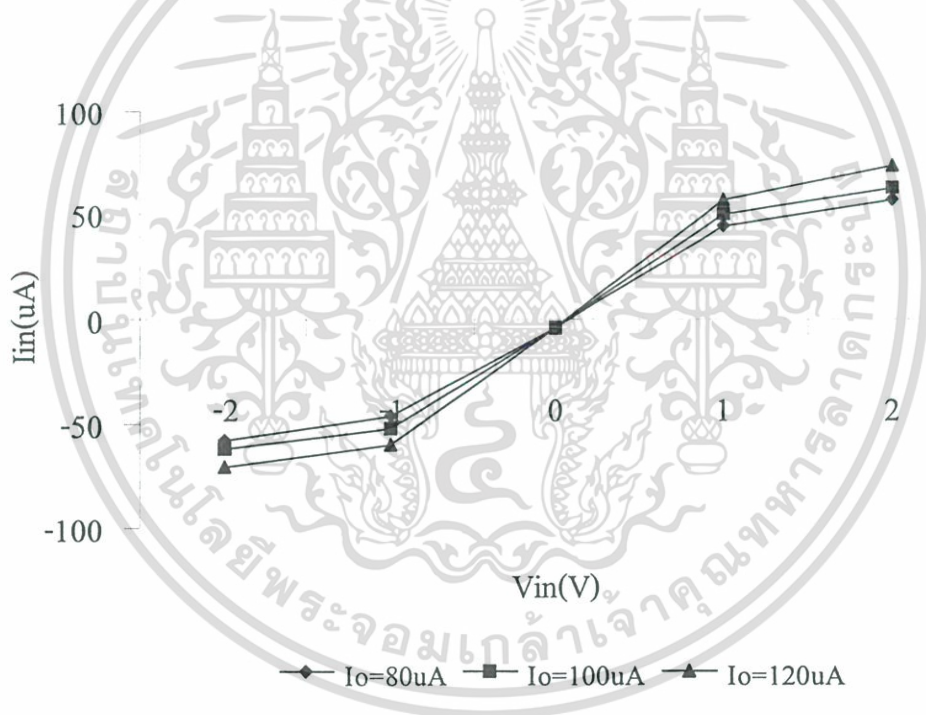


รูปที่ 4.14 ผลการจำลองการทำงานแบบกลับเฟสเมื่อ R_1 แทนด้วยวงจรความต้านทานแบบลอยตัว และกำหนดให้ $I_o = 80\mu A$

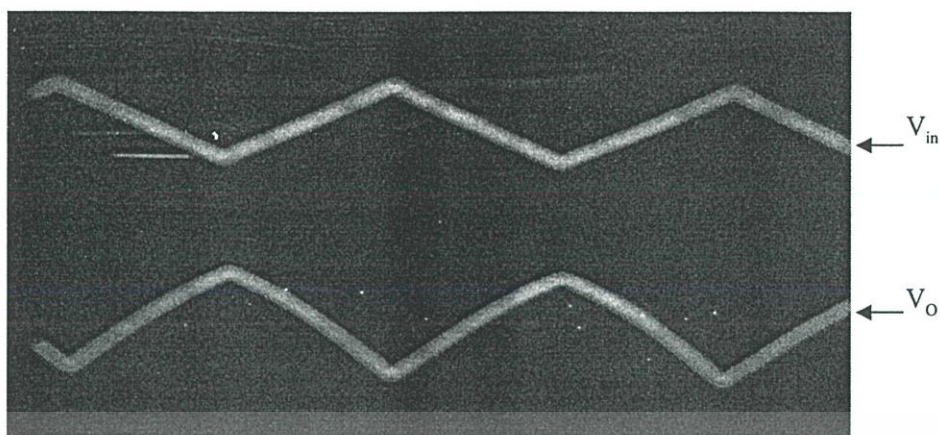
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 ผลการทดลองจริง

เพื่อการยืนยันการทำงานของวงจรซึ่งได้นำวงจรรูปที่ 4.3 มาทดลองจริง ใช้ไอซี เบอร์ MC 14007 ต่อบน Protoboard โดยให้แรงดันไปเลี้ยง $V_{DD} = +5V$, $V_{SS} = -5V$ และป้อน V_i ตั้งแต่ $-2V$ ถึง $2V$, I_O ตั้งแต่ $80 \mu A$ ถึง $120 \mu A$ และวัดค่ากระแส I_m ดังแสดงตามรูปที่ 4.15 และนำวงจรรูปที่ 4.13 มาต่อบน Protoboard โดยให้แรงดันไฟเลี้ยง $V_{DD} = +5V$, $V_{SS} = -5V$, $I_O = 80 \mu A$ และความต้านทาน $R_f = 420 k\Omega$ โดยป้อนสัญญาณรูปสามเหลี่ยม(Fringular Signal) ขนาด $1V_p$ และทำการวัดค่า V_O ของวงจร รูปที่ 4.16 แสดง V_i และ V_O ของวงจร ซึ่งผลการทดลองที่ได้จะมีค่าใกล้เคียงกับผลการเลียนแบบการทำงานด้วยโปรแกรม PSpice แต่มีข้อผิดพลาดอยู่บ้าง เนื่องจากวงจรที่ออกแบบใช้มอสมีขนาดที่แตกต่างกัน แต่มอสที่ใช้ในการทดลองมีอยู่ขนาดเดียว ทำให้ผลการทดลองจริงต่างกับการทดลองโดยโปรแกรม PSpice



รูปที่ 4.15 แสดงความสัมพันธ์กระแส I_m และ V_m



รูปที่ 4.16 แสดงแรงดัน V_o เทียบกับแรงดัน V_{in} ของวงจรอินเวอร์เตอร์

4.10 บทสรุป

การออกแบบวงจรความต้านทานแบบบวกที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ชนิดลอยตัว โดยใช้ซีมอสเป็นตัวออกแบบในวิทยานิพนธ์นี้ สามารถทำงานได้ถูกต้องตามหลักการที่เสนอ ซึ่งหลักการของวงจรความต้านทานแบบบวกชนิดลอยตัวที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ในวิทยานิพนธ์นี้ อาศัยการหักล้างของความไม่เป็นเชิงเส้นของ CMOS ที่ทำงานในช่วงไม่อิ่มตัว โดยวงจรมีลักษณะเด่นคือ ใช้อุปกรณ์ในการสร้างน้อย ค่าความต้านทานมีความเป็นเชิงเส้นสูง เมื่อนำวงจรที่ออกแบบมาต่อจริงใน Protoboard โดยใช้ไอซีเบอร์ MC 14007 ซึ่งเป็นซีมอส ในไอซีมี NMOS 3 ตัว และทั้ง NMOS และ PMOS ต่างมีขนาด (W/L) เท่ากัน ส่วนมอสทรานซิสเตอร์ที่ใช้ในการออกแบบมีขนาด (W/L) มีแตกต่างกันใน PSpice กำหนดให้แหล่งจ่ายไฟมีค่าคงที่ (ไม่มีสัญญาณรบกวน) แต่ในการต่อวงจรจริงอาจมีสัญญาณรบกวน คุณสมบัติของไอซีเบอร์ MC 14007 ได้ดี ประกอบกับคาปาซิแตนซ์ที่เกิดขึ้นใน Protoboard สาเหตุเหล่านี้ทำให้ค่าความเป็นเชิงเส้นของวงจรที่ทดสอบโดย PSpice ต่างกันที่วงจรจริงลงใน Protoboard

บทที่ 5

บทสรุป

5.1 บทสรุป

ในวิทยานิพนธ์ฉบับนี้นำเสนอวงจรความต้านทานแบบบวชนิคราวด์ และวงจรความต้านทานแบบบวชนิคลอยตัว โดยอาศัยคุณสมบัติช่วงไม่อิ่มตัวของมอสทรานซิสเตอร์มาออกแบบ ซึ่งวงจรความต้านทานแบบบวชนิคราวด์นี้จะประกอบด้วยวงจรรวมแรงดัน และวงจรความต้านทานแบบพื้นฐาน โดยทั้งวงจรความต้านทานพื้นฐาน จะอาศัยการทำงานของมอสทรานซิสเตอร์ช่วงไม่อิ่มตัวมาออกแบบ และวงจรรวมแรงดันจะอาศัยการทำงานของมอสทรานซิสเตอร์ช่วงอิ่มตัวมาออกแบบ ซึ่งเมื่อนำวงจรทั้งสองมาต่อรวมกัน จะทำให้สมการเทอมไม่อิ่มตัวของมอสทรานซิสเตอร์ถูกตัดทิ้งไป และทำให้ได้วงจรความต้านทานแบบบวชนิคราวด์เป็นเชิงเส้นมากขึ้น ส่วนวงจรความต้านทานแบบบวชนิคลอยตัวนี้จะประกอบ ด้วยวงจรปรับค่าความนำ และวงจรปรับระดับแรงดัน ซึ่งวงจรปรับค่าความนำจะออกแบบโดยอาศัยคุณสมบัติของมอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวมาออกแบบ ซึ่งเมื่อนำวงจรทั้งสองมาต่อรวมกันเทอมที่ไม่เป็นเชิงเส้นของวงจรปรับค่าความนำจะหายไป ทำให้ได้ความต้านทานแบบบวชนิคลอยตัวที่เป็นเชิงเส้นมากขึ้น และให้นำวงจรทั้งสองวงจร มาทำการทดสอบโดยวงจร PSpice ซึ่งได้ผลเป็นที่น่าพอใจ ส่วนการวิเคราะห์คุณสมบัติในทางทฤษฎีมีการวิเคราะห์ดังนี้

5.1 การวิเคราะห์ช่วงปฏิบัติงานอินพุทของวงจรความต้านทานแบบบวชนิคราวด์ จะขึ้นอยู่กับเงื่อนไขของสมการที่ (3.5) และ (3.6) ซึ่งมีช่วงปฏิบัติงานอินพุทอยู่ในช่วง $\pm 1.5V$ และช่วงปฏิบัติงานอินพุทของวงจรความต้านทานแบบบวชนิคลอยตัว จะขึ้นอยู่กับเงื่อนไขของสมการที่ (4.13) และสมการที่ (4.14) ซึ่งมีช่วงปฏิบัติงานอินพุทอยู่ในช่วง $\pm 2V$

5.2 การวิเคราะห์ช่วงปฏิบัติงานความถี่ของวงจรใส่แบบจำลองวงจรขนาดเล็ก (Small Signal Model) แบ่งเป็นสองส่วนคือ วงจรความต้านทานแบบบวชนิคราวด์ และวงจรความต้านทานแบบบวชนิคลอยตัว

5.2.1 วงจรความต้านทานแบบบวชนิคราวด์มีปฏิบัติงานความถี่อยู่ที่ 2.316 MHz ซึ่งได้จากการคำนวณ และ 2.8 MHz ได้จากการ Simulation

5.2.2 วงจรความต้านทานแบบบวชนิคลอยตัวมีปฏิบัติงานความถี่อยู่ที่ 278 KHz ซึ่งได้จากการคำนวณ และ 300 KHz ได้จากการ Simulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) การวิเคราะห์หาเปอร์เซ็นต์ความไม่เป็นเชิงเส้น ของวงจรรวมต้านทานแบบบวชชนิดกราวด์อยู่ที่ 0.12% และวงจรรวมต้านทานแบบบวชชนิดลอยตัวเปอร์เซ็นต์ความไม่เป็นเชิงเส้นของวงจรรวมอยู่ที่ 0.14%

4) การจำลองการเลียนแบบการทำงานของวงจรรวมด้วยโปรแกรม PSpice และผลการต่อวงจรลงบอร์ดจริง สามารถยืนยันการทำงานของวงจรรวมที่นำเสนอในวิทยานิพนธ์นี้ สามารถทำงานได้จริง และสามารถนำไปประยุกต์ใช้งานได้อย่างมากมาย วงจรที่ออกแบบในวิทยานิพนธ์นี้มีข้อดีคือ ใช้อุปกรณ์ในการออกแบบน้อย ขั้นตอนในการออกแบบไม่ซับซ้อน ให้ความเป็นเชิงเส้นสูง และเหมาะสมสำหรับนำไปใช้เป็นวงจรรวม

5.2 ปัญหาที่เกิดขึ้น และแนวทางแก้ไข

ปัญหาที่เกิดขึ้นและแนวทางแก้ไขในการออกแบบวงจรรวมต้านทานแบบบวชทั้งสองแบบคือ

1) วงจรรวมต้านทานแบบบวชทั้งสองแบบ อุดหนุนมีผลต่อค่าความต้านทานของวงจรรวม คือเมื่ออุดหนุนเปลี่ยนแปลงค่าความต้านทานก็เปลี่ยนแปลง ดังนั้นควรคำนึงถึงเรื่องของอุดหนุนในการนำไปใช้งาน

แนวทางแก้ไข ในการออกแบบต้องคำนึงถึงการชดเชยอุดหนุนของวงจรรวมด้วย

2) ปัญหาที่เกิดขึ้นจากการต่อวงจรลงบนบอร์ด สาเหตุเนื่องจากมอสเฟตที่ทำการออกแบบโดยโปรแกรม PSpice มีหลายขนาด แต่มอสเฟตที่ใช้ในการทดสอบจริงมีเพียงขนาดเดียว ผลการทดสอบทำให้คุณสมบัติของวงจรรวมไม่เป็นไปตามทฤษฎี และวงจรรวมสัญญาณรบกวนที่เกิดขึ้นจาก Supply จะมีผลต่อวงจรรวม

แนวทางแก้ไขปัญหา ควรเลือก Supply ที่มีสัญญาณรบกวนน้อยที่สุด ส่วนค่าของมอสเฟตนั้นไม่สามารถเปลี่ยนแปลงได้

เอกสารอ้างอิง

- [1] อธิพิงศ์ ชัยสายัณห์, กอบชัย เดชหาญ. “วงจรรวมต้านทานแบบลอยตัว และวงจรรวมโดยใช้ซีมอส,” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19, 7-8 พฤศจิกายน 2539, หน้า EL 15- EL 18
- [2] สิทธิพร เพ็ชรกิจ, กอบชัย เดชหาญ. “ความต้านทานแบบลอยตัวที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้ทรานซิสเตอร์ซีมอส” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 4. ธันวาคม 2543. หน้า 5-10
- [3] สุพจน์ หุ่นย่อง, สมนึก หัวหาญ, กอบชัย เดชหาญ และอธิพิงศ์ ชัยสายัณห์. “ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดัน ใช้ซีมอสทรานซิสเตอร์,” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 3. กันยายน 2543. หน้า 14-17
- [4] S.P. Singh, J.V. Hanson and J. Vlach, “A New Floating Resistor For CMOS Technology,” IEEE Trans. Circuits and System, vol. 36, no. 9, pp. 1217-1220, 1989
- [5] G.Wilson, P.K. Chan, “Floating CMOS resistor,” Electron. Letts., vol. 24, no. 5, pp. 306-307, 1993
- [6] P.W. Vanpeteghem, G.L. Rice, “New CMOS Resistor Implementation for Linear IC Application,” Electron. Letts., vol. 24, no. 5, pp. 288-290, 1998
- [7] J.P. Bentley. “Principles of measurement systems.” 2nd Edition, pp. 6-11.
- [8] อธิพิงศ์ ชัยสายัณห์, กอบชัย เดชหาญ. “การออกแบบวงจรรวมสัญญาณแบบ 4 ควอดแรนต์ โดยใช้มอสทำงานในช่วงไม่อิ่มตัว” การประชุมทางวิชาการไฟฟ้า ครั้งที่ 19, 7-8 พฤศจิกายน 2539, หน้า EL 19- EL 22
- [9] สมเกียรติ เพียงบรรณทอง, นฤฤ สุวรรณชาติ และอธิพิงศ์ ชัยสายัณห์. “วงจรรวมต้านทานแบบกราวด์ปรับค่าได้ด้วยแรงดัน โดยใช้แรงดันไฟเลี้ยงต่ำ” การประชุมทางวิชาการไฟฟ้า ครั้งที่ 19, 11-12 พฤศจิกายน 2547. หน้า 229-232
- [10] ปราโมทย์ เดชะอำไพ. ระเบียบวิธีเชิงตัวเลขในงานวิศวกรรม. พิมพ์ครั้งที่ 2. กรุงเทพฯ : โรงพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย. 2541
- [11] C.T. Sha “Characteristic of the Metal-Oxide-Semiconductor Transistor,” IEEE Trans Electron Devices., vol. ED-11, pp. 329-345, 1964
- [12] Shichman H and Hodges D, “Modeling and simulation of Insulated Gate Field-Effect Transistor Switching Circuit,” IEEE J. Solid State Circuit., vol. SC-3, pp. 258-289, 1968
- [13] PSPICE, Microsim Corp., Laguna Hills, CA 92653, U.S.A., May, 1980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] A. Vladimerescu and S. Lui, "The Simulation of MOS Integrated Circuit Using PSPICE 2,"
Memorandum No. UCB/ERL M80/7, 1980
- [15] Adel S. Sedra and Kenneth C. Smith. Microelectronic Circuits. 3rd ed. Florida : York Graphic
Service, inc. 1991



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

โปรแกรม PSpice ที่ใช้ในการวิเคราะห์หัตถยานิพนธ์

วงจรความต้านทานแบบบวชชนิดลอยตัว

*****Resister DC*****

vdd 1 0 dc 1.8

vss 0 2 dc 1.8

v1 5 0 dc 1

v2 0 4 ac 0

Ib 1 3 dc 100ua

m1 5 3 4 2 nmos1 w=2u l=150u

m2 2 4 3 3 pmos1 w=2u l=2u

m3 2 5 3 3 pmos1 w=2u l=2u

.....ES-2WORST CASE MODEL.....

.MODEL NMOS1 NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

+NSUB=6.264661E+15 VTO=0.77527 KP=5.518000E-05 GAMMA=0.5388

+PHI=0.6 UO=652 UEXP=0.100942 UCRIT=93790.5 DELTA=1.000000E-06

+VMAX=100000 XJ=0.250000U LAMBDA=2.752568E-03 NFS=2.06E+11

+NEFF=1 NSS=1.000000E+10 TPG=1.000000 RSH=31.020000

+CGDO=3.173845E-10 CGSO=3.173845E-10 CGBO=4.260832E-10

+CJ=1.038500E-04 MJ=0.649376 CJSW=4.743300E-10 MJSW=0.326991

+PB=0.800000

.....

.MODEL PMOS1 PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10

+NSUB=5.574486E+15 VTO=-0.77048 KP=2.226000E-05 GAMMA=0.5083

+PHI=0.6 UO=263.253 UEXP=0.169026 UCRIT=23491.2 DELTA=7.31456

+VMAX=17079.4 XJ=0.250000U LAMBDA=1.41E-02 NFS=2.77E+11

+NEFF=1.001 NSS=1.000000E+10 TPG =1.000000 RSH=88.940000

+CGDO=2.172940E-10 CGSO=2.712940E-10 CGBO=3.651103E-10

+CJ=2.375000E-04 MJ=0.532556 CJSW=2.707600E-10 MJSW=0.252466

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+PB=0.800000

.dc v1 -2 2 0.5

.probe

.end



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรความต้านทานแบบวกชนิดกราวด์

```

*****Ground Resistor*****
vdd 1 0 dc 5
vss 0 2 dc 5
vi 6 0 dc 1.5
vc 5 0 dc 7
m1 1 1 3 3 nmos1 w=40u l=10u
m2 3 6 2 2 nmos1 w=40u l=10u
m3 1 5 4 4 nmos1 w=40u l=10u
m4 4 3 2 2 nmos1 w=10u l=10u
m5 6 5 0 2 nmos1 w=20u l=5u
m6 6 4 0 2 nmos1 w=20u l=5u
.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N
+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K
+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16
+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27
.dc vi -1.5 1.5 0.5 vc 5 7 0.5
.probe
.end

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรความต้านทานแบบบวกรณิดลยตัว Sine Singnal

*****Resister DC*****

vdd 1 0 dc 1.8

vss 0 2 dc 1.8

*v1 5 0 dc 2

*v2 4 0 dc 0

vi 5 0 ac 1 sin(0 1 1kHz)

Ib 1 3 dc 130ua

*r1 7 5 1k

r2 4 0 1k

m1 5 3 4 2 nmos1 w=2u l=150u

m2 2 4 3 3 pmos1 w=2u l=2u

m3 2 5 3 3 pmos1 w=2u l=2u

.....ES-2WORST CASE MODEL.....

.MODEL NMOS1 NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

+NSUB=6.264661E+15 VTO=0.77527 KP=5.518000E-05 GAMMA=0.5388

+PHI=0.6 UO=652 UEXP=0.100942 UCRIT=93790.5 DELTA=1.000000E-06

+VMAX=100000 XJ=0.250000U LAMBDA=2.752568E-03 NFS=2.06E+11

+NEFF=1 NSS=1.000000E+10 TPG=1.000000 RSH=31.020000

+CGDO=3.173845E-10 CGSO=3.173845E-10 CGBO=4.260832E-10

+CJ=1.038500E-04 MJ=0.649376 CJSW=4.743300E-10 MJSW=0.326991

+PB=0.800000

.....

.MODEL PMOS1 PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10

+NSUB=5.574486E+15 VTO=-0.77048 KP=2.226000E-05 GAMMA=0.5083

+PHI=0.6 UO=263.253 UEXP=0.169026 UCRIT=23491.2 DELTA=7.31456

+VMAX=17079.4 XJ=0.250000U LAMBDA=1.41E-02 NFS=2.77E+11

+NEFF=1.001 NSS=1.000000E+10 TPG =1.000000 RSH=88.940000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+CGDO=2.172940E-10 CGSO=2.712940E-10 CGBO=3.651103E-10
+CJ=2.375000E-04 MJ=0.532556 CJSW=2.707600E-10 MJSW=0.252466
+PB=0.800000
*.dc v1 -2 2 0.5 ib 60u 120u 20u
.ac dec 100 10 20meg
.op
.Tran 0.001us 1.5ms
*.TEMP -50 -25 27 50 100
.probe
.end

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรความต้านทานแบบบวกชนิดกราวด์ sine signal

*****Ground Resistor*****

vdd 1 0 dc 5

vss 0 2 dc 5

*vi 6 0 dc 1.5

vc 5 0 dc 7

vi 7 0 ac 1 sin (0 1 1kHz)

rl 7 6 1k

m1 1 1 3 3 nmos1 w=40u l=10u

m2 3 6 2 2 nmos1 w=40u l=10u

m3 1 5 4 4 nmos1 w=40u l=10u

m4 4 3 2 2 nmos1 w=40u l=10u

m5 6 5 0 2 nmos1 w=20u l=15u

m6 6 4 0 2 nmos1 w=20u l=15u

.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N

+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K

+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16

+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27

.ac dec 100 10 20meg

.op

.Tran 0.001us 1.5ms

*.dc vi -1.5 1.5 0.5 vc 5 7 0.5

.probe

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร non-inverting ที่ออกแบบจากวงจรความต้านทานแบบบวกรชนิดลอยตัว

*****Flotting Resister DC*****

vdd 1 0 dc 1.8

vss 0 2 dc 1.8

*v1 5 0 ac 1 sin(0 1 1kHz)

v1 5 0 pulse(-1 +1 0 0.5ms 0.5ms 0.01ms 1.01ms)

v2 12 0 dc 0

*v2 0 4 ac 0

Ib 1 3 dc 100ua

r1 4 8 500k

Rin 12 4 1E6

Rout 8 10 1

EOPAMP 10 0 12 4 6E4

m1 5 3 4 2 nmos1 w=2u l=150u

m2 2 4 3 3 pmos1 w=2u l=2u

m3 2 5 3 3 pmos1 w=2u l=2u

.....ES-2WORST CASE MODEL.....

.MODEL NMOS1 NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

+NSUB=6.264661E+15 VTO=0.77527 KP=5.518000E-05 GAMMA=0.5388

+PHI=0.6 UO=652 UEXP=0.100942 UCRIT=93790.5 DELTA=1.000000E-06

+VMAX=100000 XJ=0.250000U LAMBDA=2.752568E-03 NFS=2.06E+11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+NEFF=1 NSS=1.000000E+10 TPG=1.000000 RSH=31.020000
+CGDO=3.173845E-10 CGSO=3.173845E-10 CGBO=4.260832E-10
+CJ=1.038500E-04 MJ=0.649376 CJSW=4.743300E-10 MJSW=0.326991
+PB=0.800000

```

.....

```

.MODEL PMOS1 PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10
+NSUB=5.574486E+15 VTO=-0.77048 KP=2.226000E-05 GAMMA=0.5083
+PHI=0.6 UO=263.253 UEXP=0.169026 UCRIT=23491.2 DELTA=7.31456
+VMAX=17079.4 XJ=0.250000U LAMBDA=1.41E-02 NFS=2.77E+11
+NEFF=1.001 NSS=1.000000E+10 TPG=1.000000 RSH=88.940000
+CGDO=2.172940E-10 CGSO=2.712940E-10 CGBO=3.651103E-10
+CJ=2.375000E-04 MJ=0.532556 CJSW=2.707600E-10 MJSW=0.252466
+PB=0.800000
.ac dec 100 10 20meg
.op
.Tran 0.001us 3ms
.probe
.end

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร inverting ที่ออกแบบจากวงจรความต้านทานแบบบวกรวมคร่าวๆ

*****Ground Resistor*****

vdd 1 0 dc 5

vss 0 2 dc 5

*vi 6 0 dc 1.5

vc 5 0 dc 5

vi 11 0 pulse(-1 +1 0 0.5ms 0.5ms 0.01ms 1.01ms)

*vi 11 0 ac 1 sin (0 1 1kHz)

rf 6 13 1k

*rl 13 0 1k

Rin 6 11 1E6

Rout 13 10 1

Eopamp 10 0 6 11 6E4

m1 1 1 3 3 nmos1 w=40u l=10u

m2 3 6 2 2 nmos1 w=40u l=10u

m3 1 5 4 4 nmos1 w=40u l=10u

m4 4 3 2 2 nmos1 w=40u l=10u

m5 6 5 0 2 nmos1 w=20u l=15u

m6 6 4 0 2 nmos1 w=20u l=15u

.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N

+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K

+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16

+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27

.ac dec 100 10 20meg

.op

.Tran 0.001us 2ms

*.dc vi -1.5 1.5 0.5 vc 5 7 0.5

.probe

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรม Pspice ที่ได้จาก Output File

โปรแกรม PSpice ที่ได้จาก Output File วงจรความต้านทานแบบบวกรวมชนิดกราวด์

**** 04/28/100 00:14:03 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Ground Resistor*****

**** CIRCUIT DESCRIPTION

vdd 1 0 dc 5

vss 0 2 dc 5

*vi 6 0 dc 1.5

vc 5 0 dc 7

vi 7 0 ac 1 sin (0 1 1kHz)

rl 7 6 1k

m1 1 1 3 3 nmos1 w=40u l=10u

m2 3 6 2 2 nmos1 w=40u l=10u

m3 1 5 4 4 nmos1 w=40u l=10u

m4 4 3 2 2 nmos1 w=40u l=10u

m5 6 5 0 2 nmos1 w=20u l=15u

m6 6 4 0 2 nmos1 w=20u l=15u

.MODEL NMOS1 NMOS LEVEL=2 NSUB=9.50E+15 VTO=+1.07 TOX=44.0N

+LD=0.15U XJ=1.0U DELTA=1.68 UO=0.693K UEXP=0.111 UCRIT=10.0K

+VMAX=41.0K NFS=0.1T PB=0.45 JS=100.0U RSH=45.0 NEFF=1.16

+CGSO=0.27N CGDO=0.27N CJSW=0.24N CJ=0.105M MJ=0.48 MJSW=0.27

.ac dec 100 10 20meg

.op

.Tran 0.001us 1.5ms

*.dc vi -1.5 1.5 0.5 vc 5 7 0.5

.probe

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**** 04/28/100 00:14:03 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Ground Resistor*****

**** MOSFET MODEL PARAMETERS

nmos1
 NMOS
 LEVEL 2
 L 100.000000E-06
 W 100.000000E-06
 LD 150.000000E-09
 VTO 1.07
 KP 54.387020E-06
 GAMMA .71555
 PHI .69278
 RSH 45
 JS 100.000000E-06
 PB .45
 PBSW .45
 CJ 105.000000E-06
 CJSW 240.000000E-12
 MJ .48
 MJSW .27
 CGSO 270.000000E-12
 CGDO 270.000000E-12
 NSUB 9.500000E+15
 NFS 100.000000E+09
 TOX 44.000000E-09
 XJ 1.000000E-06
 UO 693
 UEXP .111
 VMAX 41.000000E+03
 NEFF 1.16



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DELTA 1.68

**** 04/28/100 00:14:03 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Ground Resistor*****

**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE

(1) 5.0000 (2) -5.0000 (3) 7.681E-09 (4) 1.8813

(5) 7.0000 (6) -8.110E-09 (7) 0.0000

VOLTAGE SOURCE CURRENTS

NAME CURRENT

vdd -1.883E-03

vss -1.883E-03

vc 0.000E+00

vi -8.110E-12

TOTAL POWER DISSIPATION 1.88E-02 WATTS

**** 04/28/100 00:14:03 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Ground Resistor*****

**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**** MOSFETS

NAME	m1	m2	m3	m4	m5
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1
ID	9.31E-04	9.31E-04	9.51E-04	9.51E-04	3.10E-12
VGS	5.00E+00	5.00E+00	5.12E+00	5.00E+00	7.00E+00
VDS	5.00E+00	5.00E+00	3.12E+00	6.88E+00	-8.11E-09
VBS	0.00E+00	0.00E+00	0.00E+00	0.00E+00	-5.00E+00
VTH	1.10E+00	1.10E+00	1.11E+00	1.10E+00	2.19E+00
VDSAT	2.55E+00	2.55E+00	2.61E+00	2.55E+00	3.59E+00
GM	4.41E-04	4.41E-04	4.29E-04	4.52E-04	3.50E-13
GDS	1.22E-05	1.22E-05	2.69E-05	9.56E-06	2.41E-04
GMB	1.01E-04	1.01E-04	9.78E-05	1.03E-04	5.13E-14
CBD	0.00E+00	0.00E+00	0.00E+00	0.00E+00	0.00E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CBS      0.00E+00  0.00E+00  0.00E+00  0.00E+00  0.00E+00
CGSOV    1.08E-14  1.08E-14  1.08E-14  1.08E-14  5.40E-15
CGDOV    1.08E-14  1.08E-14  1.08E-14  1.08E-14  5.40E-15
CGBOV    0.00E+00  0.00E+00  0.00E+00  0.00E+00  0.00E+00
CGS      2.03E-13  2.03E-13  1.72E-13  2.03E-13  1.15E-13
CGD      0.00E+00  0.00E+00  9.41E-14  0.00E+00  1.15E-13
CGB      0.00E+00  0.00E+00  0.00E+00  0.00E+00  0.00E+00
NAME     m6
MODEL    nmos1
ID       5.01E-12
VGS      1.88E+00
VDS      -8.11E-09
VBS      -5.00E+00
VTH      2.19E+00
VDSAT    3.03E-02
GM       8.87E-17
GDS      3.82E-10
GMB      1.27E-17
CBD      0.00E+00
CBS      0.00E+00
CGSOV    5.40E-15
CGDOV    5.40E-15
CGBOV    0.00E+00
CGS      0.00E+00
CGD      0.00E+00
CGB      3.07E-14

```

**** 04/28/100 00:14:03 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Ground Resistor*****

**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE

(1) 5.0000 (2) -5.0000 (3) 7.681E-09 (4) 1.8813

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(5) 7.0000 (6)-8.110E-09 (7) 0.0000

VOLTAGE SOURCE CURRENTS

NAME	CURRENT
------	---------

vdd	-1.883E-03
-----	------------

vss	-1.883E-03
-----	------------

vc	0.000E+00
----	-----------

vi	-8.110E-12
----	------------

TOTAL POWER DISSIPATION 1.88E-02 WATTS

JOB CONCLUDED

TOTAL JOB TIME .87



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม PSpice ที่ได้จาก Output File วงจรความต้านทานแบบบวกชนิดลอยตัว

**** 05/12/100 13:25:46 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

***** Resister DC*****

**** CIRCUIT DESCRIPTION*****

vdd 1 0 dc 1.8

vss 0 2 dc 1.8

*v1 5 0 dc 2

*v2 4 0 dc 0

vi 5 0 ac 1 sin(0 1 1kHz)

Ib 1 3 dc 130ua

*r1 7 5 1k

r2 4 0 1k

m1 5 3 4 2 nmos1 w=2u l=150u

m2 2 4 3 3 pmos1 w=2u l=2u

m3 2 5 3 3 pmos1 w=2u l=2u

.....ES-2WORST CASE MODEL.....

.MODEL NMOS1 NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

+NSUB=6.264661E+15 VTO=0.77527 KP=5.518000E-05 GAMMA=0.5388

+PHI=0.6 UO=652 UEXP=0.100942 UCRIT=93790.5 DELTA=1.000000E-06

+VMAX=100000 XJ=0.250000U LAMBDA=2.752568E-03 NFS=2.06E+11

+NEFF=1 NSS=1.000000E+10 TPG=1.000000 RSH=31.020000

+CGDO=3.173845E-10 CGSO=3.173845E-10 CGBO=4.260832E-10

+CJ=1.038500E-04 MJ=0.649376 CJSW=4.743300E-10 MJSW=0.326991

+PB=0.800000

.....

.MODEL PMOS1 PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10

+NSUB=5.574486E+15 VTO=-0.77048 KP=2.226000E-05 GAMMA=0.5083

+PHI=0.6 UO=263.253 UEXP=0.169026 UCRIT=23491.2 DELTA=7.31456

+VMAX=17079.4 XJ=0.250000U LAMBDA=1.41E-02 NFS=2.77E+11

+NEFF=1.001 NSS=1.000000E+10 TPG=1.000000 RSH=88.940000

+CGDO=2.172940E-10 CGSO=2.712940E-10 CGBO=3.651103E-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+CJ=2.375000E-04 MJ=0.532556 CJSW=2.707600E-10 MJSW=0.252466
+PB=0.800000
*.dc v1 -2 2 0.5 ib 60u 120u 20u
.ac dec 100 10 20meg
.op
.Tran 0.001us 1.5ms
*.TEMP -50 -25 27 50 100
.probe
.end
**** 05/12/100 13:25:46 **** PSpice 5.3 (Jan 1993) **** ID# 75225 ****
Resister DC
**** MOSFET MODEL PARAMETERS
*****
nmos1      pmos1
NMOS      PMOS
LEVEL  2      2
L 100.000000E-06  100.000000E-06
W 100.000000E-06  00.000000E-06
LD 250.000000E-09  213.695000E-09
VTO .77527      -.77048
KP 55.180000E-06  22.260000E-06
GAMMA .5388      .5083
PHI .6          .6
LAMBDA 2.752568E-03  .0141
RSH 31.02      88.94
PBSW .8        .8
CJ 103.850000E-06  237.500000E-06
CJSW 474.330000E-12  270.760000E-12
MJ .649376      .532556
MJSW .326991      .252466
CGSO 317.384500E-12  271.294000E-12
CGDO 317.384500E-12  217.294000E-12

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

CGBO 426.083200E-12 365.110300E-12
NSUB 6.264661E+15 5.574486E+15
NSS 10.000000E+09 10.000000E+09
NFS 206.000000E+09 277.000000E+09
TOX 40.800000E-09 40.800000E-09
XJ 250.000000E-09 250.000000E-09
UO 652 263.253
UCRIT 93.790500E+03 23.491200E+03
UEXP .100942 .169026
VMAX 100.000000E+03 17.079400E+03
NEFF 1.001
DELTA 1.000000E-06 7.31456
**** 05/12/100 13:25:46 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****
*****Resister DC*****
**** SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
*****
NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
( 1) 1.8000 ( 2) -1.8000 ( 3) 4.6349 ( 4) -1.806E-09
( 5) 0.0000
VOLTAGE SOURCE CURRENTS
NAME CURRENT
vdd -1.300E-04
vss -1.300E-04
vi -1.814E-12
TOTAL POWER DISSIPATION 4.68E-04 WATTS
**** 05/12/100 13:25:46 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****
*****Resister DC*****
**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C
*****
**** MOSFETS
NAME m1 m2 m3
MODEL nmos1 pmos1 pmos1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ID      1.81E-12 -6.50E-05 -6.50E-05
VGS     4.63E+00 -4.63E+00 -4.63E+00
VDS     1.81E-09 -6.43E+00 -6.43E+00
VBS     -1.80E+00  0.00E+00  0.00E+00
VTH     1.23E+00 -9.34E-01 -9.34E-01
VDSAT   3.03E+00 -1.11E+00 -1.11E+00
GM      1.07E-15  2.39E-05  2.39E-05
GDS     2.28E-06  1.11E-06  1.11E-06
GMB     1.86E-16  1.55E-05  1.55E-05
CBD     0.00E+00  0.00E+00  0.00E+00
CBS     0.00E+00  0.00E+00  0.00E+00
CGSOV   6.35E-16  5.43E-16  5.43E-16
CGDOV   6.35E-16  4.35E-16  4.35E-16
CGBOV   6.37E-14  5.74E-16  5.74E-16
CGS     1.27E-13  1.77E-15  1.77E-15
CGD     1.27E-13  0.00E+00  0.00E+00
CGB     0.00E+00  0.00E+00  0.00E+00

```

**** 05/12/100 13:25:46 ***** PSpice 5.3 (Jan 1993) ***** ID# 75225 ****

*****Resister DC*****

**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE

(1) 1.8000 (2) -1.8000 (3) -4.6349 (4)-1.806E-09

(5) 0.0000

VOLTAGE SOURCE CURRENTS

NAME CURRENT

vdd -1.300E-04

vss -1.300E-04

vi -1.814E-12

TOTAL POWER DISSIPATION 4.68E-04 WATTS

JOB CONCLUDED

TOTAL JOB TIME .78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

บทความที่ได้รับการตีพิมพ์ลงในวารสารมีบทความดังต่อไปนี้

- [1] สมนึก ห้าวหาญ, สุพจน์ หุ่นย่อง และกอบชัย เดชหาญ, “วงจรกำลังสองสัญญาณกระแสแบบ CMOS ที่ใช้ไฟเลี้ยงต่ำ และอิสระจาก Body,” วิศวกรรมลาดกระบัง, ปีที่ 17. ฉบับที่ 3. กันยายน 2543
- [2] สุพจน์ หุ่นย่อง, สมนึก ห้าวหาญ และกอบชัย เดชหาญ, “ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดันใช้ชิพมอสทรานซิสเตอร์,” วิศวกรรมลาดกระบัง, ปีที่ 17. ฉบับที่ 3. กันยายน 2543
- [3] สมนึก ห้าวหาญ, กอบชัย เดชหาญ และไชโย ธรรมรัตน์, “วงจรความต้านทานแบบลอยตัวที่ควบคุมด้วยกระแสใช้มอสทรานซิสเตอร์” วิศวกรรมลาดกระบัง, ปีที่ 20. ฉบับที่ 1. มีนาคม 2546. หน้า 1-6
- [4] สมนึก ห้าวหาญ, กอบชัย เดชหาญ และอิทธิพงศ์ ชัยสายัณห์, “วงจรความต้านทานแบบบวกที่ควบคุมด้วยแรงดัน โดยใช้มอสทรานซิสเตอร์” วิศวกรรมลาดกระบัง, ปีที่ 20. ฉบับที่ 3. กันยายน 2546. หน้า 6-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISSN 0125-1724

วิศวกรรม

ลาดกระบัง

ต้นวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LADKRABANG ENGINEERING JOURNAL

ปีที่ 20 ฉบับที่ 1

มีนาคม 2546

1. วิจารณ์ความต้านทานแบบล้อยศที่ควบคุมด้วยกระแสไหลมอสทรานซิสเตอร์
สมนึก นาวาหูก กอบชัย โคขินหาญ ไชโย ธรรมรงค์ 1
2. วิจารณ์กำลังไฟวงจรสายพจนกระแสควบคุมด้วยกระแส
วิจิตร เพชรภักดิ์ สาทิพร เพชรภักดิ์ วิวัฒน์ กวีวานนท์ 7
3. วิจารณ์ผลเสี้ยวแบบล้อยศด้วยวงจรทรานซิสเตอร์แบบมอสเฟตและการประยุกต์
ภรรยา เพชรชอบ ออม จิรเสอสมกุล วรลภ สระกาพลอร์ 13
4. การศึกษาเปรียบเทียบวงจรฟลายแบ็คคอนเวอร์เตอร์ในโหมดการนำกระแสแบบต่อเนื่อง (CCM) และแบบไม่ต่อเนื่อง (DCM)
ศุภชัย อหิวาณพพร ชนนทาร์ บุญลักษณานตรณ 19
5. เอนิเมชันภาพที่สัมพันธ์กับทางด้านวิชาชีพซึ่งมีนโยบายการจลลาคับความสำคัญของข้อมูลภายใต้กราฟที่ฝึกแบบคล้ายคลึงตัวเอง
ปิติพงษ์ ประภามณฑล สุวิมล สิทธิชีวภาค เกียรติกร วงศ์โรจนกรม 25
6. การจลลเส้นทางของโครงข่ายโทรศัพทให้ดีที่สุดโดยวิธีฮอปฟิลด์เน็ต
ฉัตรชัย วัฒนพันธ์ มนูญ สุขเกษม กวีล พงมา 31
7. การปรับปรุงคุณภาพของแต่ละคลาสที่ไดจากตัวจำแนกความเหมือนสูงสุด
สมบัติ อิศราวัฒน์ พุศศักดิ์ ชิวสุวิทย์ 37
8. การแปลงภาพระดับสีเทาเป็นภาพสองระดับโดยใช้วิธีของเอนโทรปีด้วยบอร์ดสตาร์ทเตอร์ TMS 320C31
เพชร ใจหาญ พุศศักดิ์ ชิวสุวิทย์ 43
9. การแปลงเวฟเล็ดและโครงข่ายประสาทเทียมสำหรับแบ่งประเภทฟอลต์ในสายส่ง
อรอดพล เก้าพิทักษ์กุล ศุภสิ บรรจงจิตร สมชาติ จิรวินการ สุวิวัฒน์ นงนุช 49
10. การระบุตำแหน่งฟอลต์ในสายส่งโดยใช้การแปลงเวฟเล็ดและโครงข่ายประสาทเทียม
อรอดพล เก้าพิทักษ์กุล ศุภสิ บรรจงจิตร สมชาติ จิรวินการ อัครชัย บรรจงศิลป์ 55
11. การหาฟอลต์ในสถานีไฟฟ้าแรงสูงหนองจอกโดยใช้โครงข่ายประสาทเทียม
พุดนิชกร บุญมี มารุต ดันดิเตชามงคล สมชาติ จิรวินการ นันทัน กฤษณจินดา 61
12. การวิเคราะห์ฟอลต์ที่ชดลวดหม้อแปลงไฟฟ้า 3 เฟสโดยใช้โปรแกรม ATP/EMTP
จิตร อินทรพวง มณฑล สิลลาจินดาไกรฤกษ์ บุญเลิศ สือเจย ปัญญา มาลีวัตร สิริวิช ทัดสวน 67
13. การวิเคราะห์ผลการออกแบหม้อแปลงจำหน่ายเชิงเศรษฐศาสตร์
บุญเลิศ สือเจย ปัญญา มาลีวัตร สมศักดิ์ สิริปราณานนท์ ศุภสิ บรรจงจิตร 73
14. การออกแบบราคาที่เหมาะสมของหม้อแปลงจำหน่ายโดยใช้เน็ตจลลอิทธิ
ชวรัตน์ เก่งธรรมกิจ ต่อพงศ์ ภูมิภาค ชัยวุฒิ ฉัตรอุทัย 79
15. การออกแบบโปรแกรมวิเคราะห์การใช้ไฟฟ้าของโรงงานอุตสาหกรรม
มารุต ดันดิเตชามงคล สมชาติ จิรวินการ 85
16. การป้องกันโหลดเกินในระบบไฟฟ้ากำลังโดยวิธีการปรับตารางการป้อนแหล่งจ่ายและไลน์สวิตซิ่ง
สิทธิเดช วชิราศรีศิริกุล มณฑล สิลลาจินดาไกรฤกษ์ 91
17. การวิเคราะห์และจำลองพฤติกรรมของมอเตอร์ไฟฟ้ากระแสตรงแบบไม่มีแปรงถ่าน
นิตินัย สมไชยวงศ์ ประภาส อุดกนิมาพันธ์ 97
18. Semantic Query for Content-Based Image Retrieval Using Genetic Algorithm
Cattleya Duanggate Orachat Chitsobhuk Suphamit Chittayasothorn 103
19. Robust Inverse Response Compensator
Pratch Tontirittiphol Mongkol Janchookiat Kiattisak Kumwachara 109
20. อิทธิพลของตำแหน่งการจลลอากาศหตุยภูมิต่ออุณหภูมิการเผาไหม้ในเตาเผาฟลูอิดไคซ์เบดแบบอากาศหมุนวน
นิรม ศรีศิริสิริกุล พงษ์เจต พรหมวงศ์ ภูรินทร์ อัครกุลธร 115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรความต้านทานแบบลอยตัวที่ควบคุมด้วยกระแส

ใช้มอสทรานซิสเตอร์

A CMOS Current-Controlled Floating Resistance Circuit

สมนึก หัวหาญ กอบชัย เศษหาญ

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไชโย ธรรมรัตน์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์

บทคัดย่อ

บทความนี้นำเสนอ วงจรความต้านทานแบบลอยตัวที่ควบคุมด้วยกระแสใช้มอสทรานซิสเตอร์ โดยอาศัยคุณสมบัติของมอสในเดียนสมมาตร ซึ่งได้ออกแบบให้มอสทำงานในช่วงไม้อิมิตัว ซึ่งวงจรถูกนำเสนอใช้มอสทำงาน 3 ตัว และแหล่งจ่ายกระแสแสดงที่ 1 ชุด วงจรที่นำเสนอนี้ให้ค่าความต้านทานที่มีความเป็นเชิงเส้นสูง และมีช่วงปฏิบัติการกว้างใช้จำนวนอุปกรณ์ที่น้อย ผลการเขียนแบบการทำงานโดยโปรแกรม PSpice สามารถรับอินพุตได้ถึง 1 Vp-p ภายใต้แรงดัน ± 1.8 V

Abstract

This paper proposes a CMOS current-controlled floating resistance circuit using the symmetrical characteristics of MOS transistors. This proposed circuit consists of three MOS transistors and a current source. The resistance value of the proposed circuit has high-linearity and wide dynamic range with a few number of transistors. The simulation results are demonstrated by PSpice simulation program and they show that the input range is up to 1 Vp-p where ± 1.8 V supply voltages.

1. บทนำ

ตัวต้านทานลอยตัวที่ปรับค่าได้ด้วยกระแส เป็นอุปกรณ์ที่น่าสนใจตัวหนึ่ง เนื่องจากสามารถนำไปประยุกต์ใช้งานทางด้านวงจรประมวลผลสัญญาณต่างๆ ได้มากมาย เช่น ใช้เป็นตัวปรับอัตราขยายหรือตัวลดทอนสัญญาณในวงจรขยายสัญญาณ หรือนำมาเป็นตัวปรับค่าความถี่ในวงจรกรองสัญญาณชนิดแอกทีฟ ซึ่งวงจรความต้านทาน

ลอยตัวได้มีการนำเสนอมาโดยตลอดเช่น [1-6] แต่วงจรถูกเสนอนั้นมีการใช้อุปกรณ์ในการสร้างมาก ซึ่งงานวิจัยนี้ได้เสนอวงจรถือความต้านทานแบบลอยตัวที่ใช้อุปกรณ์ในการสร้างน้อยกว่า [1-6] ได้ความเป็นเชิงเส้นที่สูงกว่า [2,3] และใช้ไฟเลี้ยงต่ำกว่า [1-6]

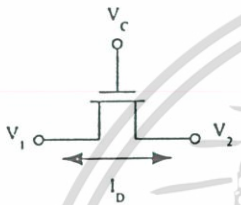
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หลักการและการทำงาน

วงจรความต้านทานแบบลอคซ์ที่นำเสนอนี้เกิดจาก
วงจรหลัก 2 วงจร รวมเข้าด้วยกันคือ

2.1 วงจรปรับค่าความนำด้วยแรงดัน

จากวงจรรูปที่ 1 กำหนดให้ V_1 และ V_2 เป็นแรงดัน
ผลต่าง และกำหนดให้มอสทรานซิสเตอร์ ทำงานในช่วง
ไม่อิ่มตัว ซึ่งจากรูปที่ 1 จะเห็นว่ามอสทรานซิสเตอร์
สามารถนำกระแสได้ 2 ทิศทาง



รูปที่ 1 วงจรปรับค่าความนำด้วยแรงดัน [1]

สมการกระแสครนของมอสที่ทำงานในช่วงไม่อิ่มตัว

$$I_D = K \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (1)$$

โดยที่

$$0 < V_{DS} < (V_{GS} - V_T)$$

และ

$$K = \mu_0 C_{ox} (W/L)$$

ซึ่ง μ_0 = ค่าสภาพคล่องของพาหะที่ผิวบริเวณ Channel

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

ϵ_{ox} = ค่า Dielectric Constant ของ SiO_2 มีค่า
ประมาณ $3.9 \epsilon_0$ (โดย $\epsilon_0 \approx 8.854 \times 10^{-14}$ F/cm.)

t_{ox} = ค่าความหนาของเกตออกไซด์ (Gate Oxide)
และจากรูปที่ 1 จะได้สมการของกระแสครน คือ

$$I_D = K \left[V_C - V_2 - V_T - \left(\frac{V_1 - V_2}{2} \right) \right] (V_1 - V_2) \quad (2)$$

จากสมการที่ (2) เมื่อให้ $(V_1 - V_2)$ และ I_D เป็นอินพุตก็จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

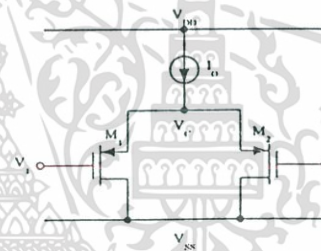
สมการความต้านทานที่ปรับค่าได้ คือ

$$R = \frac{V_1 - V_2}{I_D} = \frac{I}{K \left[V_C - V_T - \left(\frac{V_1 + V_2}{2} \right) \right]} \quad (3)$$

จากสมการที่ (3) ค่าความต้านทานที่ได้ไม่เป็นเชิงเส้นดังนั้นจึง
ทำการเพิ่มวงจรปรับระดับแรงดันเพื่อแก้ความไม่เป็นเชิง
เส้น

2.2 วงจรปรับระดับแรงดัน

วงจรมีจะใช้มอสทรานซิสเตอร์ทั้งหมด 2 ตัว และ
แหล่งจ่ายกระแสครนที่ 1 ชุด ซึ่งลักษณะของวงจรแสดงดัง
รูปที่ 2



รูปที่ 2 วงจรปรับแรงดัน

จากรูปที่ 2 กำหนดให้ M_1 และ M_2 ทำงานในช่วง
อิ่มตัวมีค่า W/L เท่ากันทุกประการ ส่วนแรงดัน V_{GS1}
และ V_{GS2} ถูกควบคุมให้คงที่ด้วยแหล่งจ่ายกระแส I_0

โดยที่

$$I_0 = I_{D1} + I_{D2} \quad (4)$$

ดังนั้น

$$I_{D1} = \frac{K}{2} (V_1 - V_C - V_T)^2 \quad (5)$$

$$I_{D2} = \frac{K}{2} (V_2 - V_C - V_T)^2 \quad (6)$$

จากสมการที่ (5) และ (6) แทนลงในสมการที่ (4) และ
กำหนดให้ค่าของ V_1 และ V_2 มีค่าน้อยๆจะได้ขนาดแรง
ดันของ V_C คือ

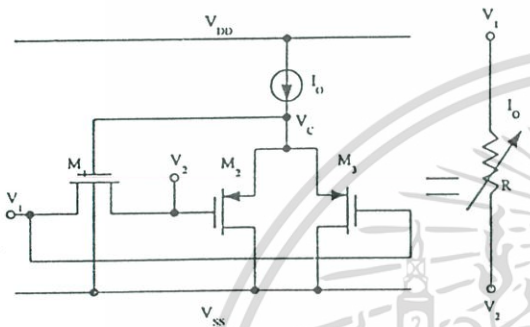
$$V_C \approx \frac{V_1 + V_2}{2} + \sqrt{\frac{I_0}{2K_P}} + 2V_T \quad (7)$$

จากสมการที่ (9) และ (10) สามารถเขียนสมการใหม่เป็น

$$\frac{V_1 - V_2}{2} < \sqrt{\frac{I_0}{2K_P}} + 2V_T \quad (11)$$

2.3 วงจรความต้านทานที่ปรับค่าได้ด้วยกระแส
เมื่อรวมวงจรรูปที่ 1 และวงจรรูปที่ 2 เข้าด้วยกันก็
จะได้วงจรรวมความต้านทานปรับค่าได้ซึ่งแสดงดังรูปที่ 3

$$\frac{V_2 - V_1}{2} < \sqrt{\frac{I_0}{2K_P}} + 2V_T \quad (12)$$



จากสมการที่ (11) และ (12) จะเห็นว่าขีดจำกัดของ V_1 และ V_2 ขึ้นอยู่กับกระแส I_0 คือถ้า V_1 และ V_2 มีค่ามาก กระแส I_0 ก็ต้องมากจะทำให้มอสทรานซิสเตอร์ M_1 ทำงานในช่วงไม่อิ่มตัว ส่วนช่วงการทำงานของ M_2 และ M_3 ต้องสอดคล้องกับเงื่อนไขต่อไปนี้

$$V_1 < V_{SS} + V_T \quad (13)$$

$$V_2 < V_{SS} + V_T \quad (14)$$

รูปที่ 3 วงจรความต้านทานลอยตัวที่ปรับค่าได้ด้วยกระแส

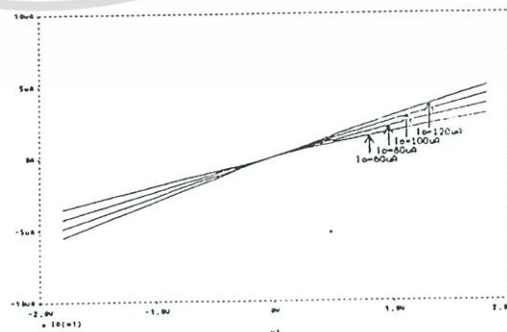
จากรูปที่ 3 กำหนดให้ทรานซิสเตอร์ M_2 สมพจน์กับ M_3 และ M_1 ทำงานอย่างอิสระ จากสมการ (7) เมื่อนำไปแทนใน (3) สามารถเขียนสมการที่ (3) ได้ใหม่คือ

3. ผลจากการทดลอง

$$R = \frac{(V_1 - V_2)}{I_D} = \frac{1}{K \left(\sqrt{\frac{I_0}{2K_P}} + 2V_T \right)} \quad (8)$$

วงจรรูปที่ 3 นำมาเขียนแบบการทำงานด้วยโปรแกรม PSpice ซึ่งใช้โมเดลของ European Silicon Structure : ES2 ในแบบ Worst Case, Level=2 โดย M_1 มี $W/L = 2 \mu\text{m}/50 \mu\text{m}$, M_2, M_3 มี $W/L = 2 \mu\text{m}/2 \mu\text{m}$, $I_0 = 60 \mu\text{A}$, $V_{DD} = 1.8 \text{V}$, $V_{SS} = -1.8 \text{V}$ คุณสมบัติทาง DC ที่แสดงในรูปที่ 4

จากสมการที่ (8) แสดงให้เห็นอย่างชัดเจนว่าวงจรรูปที่ 3 สามารถใช้เขียนแบบเป็นความต้านทานลอยตัวที่มีความเป็นเชิงเส้นแบบบวก และขนาดของความต้านทานสามารถควบคุมด้วยกระแส I_0 สำหรับแรงดันอินพุตของวงจรถือ $V_1 - V_2$ ขนาดของอินพุตที่จะทำให้มอสทรานซิสเตอร์ M_1 งานในช่วงไม่อิ่มตัวต้องสอดคล้องกับเงื่อนไขต่อไปนี้

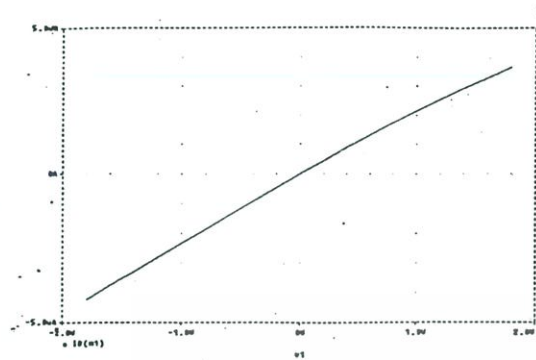


$$V_1 < V_C - V_T \quad (9)$$

(ก)

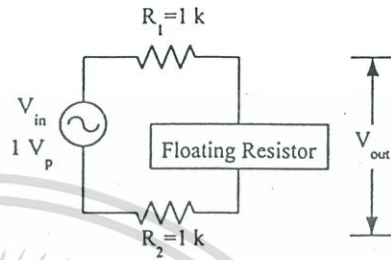
$$V_2 < V_C - V_T \quad (10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

การทดสอบเพื่อดูย่านการทำงานของวงจร ได้ทำการทดสอบโดยการนำวงจรรูปที่ 3 มาประกอบเป็นวงจรดังแสดงในรูปที่ 5



รูปที่ 4 แสดงความสัมพันธ์ของกระแสและแรงดันอินพุต

ก. เมื่อ I_o แปรค่าจาก $60\mu A$ ถึง $120\mu A$ โดยขั้นละ $20\mu A$ และแสดงช่วงการทำงานจาก $-2 V$ ถึง $+2 V$

ข. เมื่อ $I_o = 80\mu A$ และแสดงช่วงการทำงานจาก $-2 V$ ถึง $+2 V$

รูปที่ 5 วงจรที่ใช้ทดสอบหาย่านการทำงานของวงจรความต้านทาน

จากรูปที่ 5 กำหนดให้ V_{in} เป็นสัญญาณรูปไซน์ ขนาด $1 V_p$ ป้อนให้กับวงจร และมีค่าความต้านทานต่ออนุกรมอยู่ 2 ตัว ซึ่งมีค่าเทียบเท่ากับค่าความต้านทานของ

ตารางที่ 1 เปรียบเทียบวงจรที่นำเสนอกับวงจรอ้างอิง

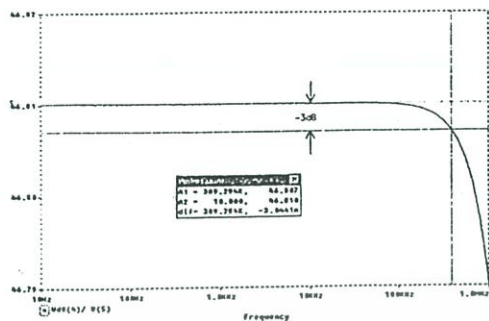
วงจรความต้านแบบลอยตัว	จำนวน MOS	ความไม่เป็นเชิงเส้น %	ค่าความต้านทาน	แหล่งจ่ายไฟ (Volts)
วงจรอ้างอิงของ[1]	7	0.1	650k	± 5
วงจรอ้างอิงของ[2]	14	0.5	6.5k	± 5
วงจรอ้างอิงของ[3]	12	0.6	540k	± 4
วงจรอ้างอิงของ[4]	18	-	50k	± 5
วงจรอ้างอิงของ[5]	6	-	10k	± 5
วงจรที่นำเสนอ	3	0.3	500k	± 1.8

จากตารางที่ 1 การหาค่าเปอร์เซ็นต์ความไม่เป็นเชิงเส้นสูงสุดของวงจรที่นำเสนอสามารถหาได้จากสูตร

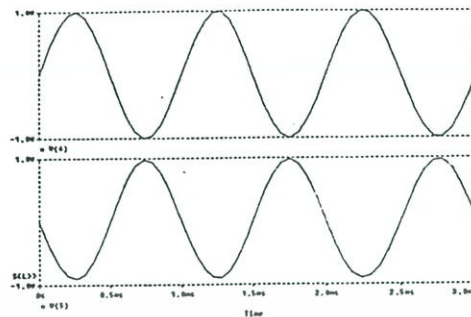
$$f.s.d = \left(\frac{N}{I_{MAX} - I_{MIN}} \right) \times 100\%$$

ดังแสดงใน [7]

แหล่งกำเนิดสัญญาณขนาด $2 k\Omega$ ส่วน R_2 ที่ต่ออนุกรมกับวงจรเพื่อแสดงให้เห็นว่าวงจรที่นำเสนอนี้เป็นวงจรความต้านทานแบบลอยตัว แล้วทำการวัดค่าความต้านทานของวงจรได้ผลตอบสนองของความถี่ของวงจรความต้านทานลอยตัวแสดงดังรูปที่ 6



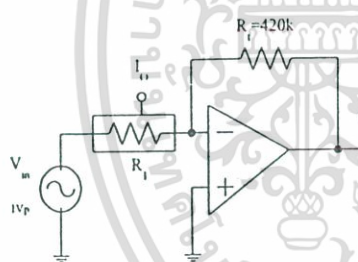
รูปที่ 6 ผลตอบสนองความถี่ของวงจร



รูปที่ 8 ผลการจำลองการทำงานแบบกลับเฟสเมื่อ R_f แทนด้วยวงจรความต้านแบบลอยตัวและกำหนดให้ $I_o = 80 \mu A$

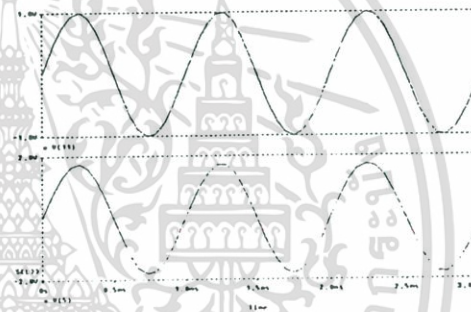
4. การประยุกต์ใช้งาน

วงจรความต้านทานแบบลอยตัวสามารถนำไปประยุกต์ใช้งานได้มากมาย ซึ่งในบทความนี้ได้นำวงจรความต้านแบบลอยตัวที่นำเสนอมาประกอบเป็นวงจรขยายสัญญาณแบบกลับเฟส (inverting amplifier) ดังแสดงในรูปที่ 7



รูปที่ 7 วงจรขยายสัญญาณแบบกลับเฟส

จากรูปที่ 7 จำลองการทำงานของวงจรโดยใช้ออปแอมป์เบอร์ $\mu A741$ ใช้ R_f เป็นความต้านทานที่มีค่าคงที่เท่ากับ $420 \text{ k}\Omega$ แรงดันอินพุตเป็นสัญญาณไซน์ขนาด 1 V_p ที่มีความถี่ 1 kHz และ R_i แทนด้วยวงจรความต้านทานแบบลอยตัว โดยใช้กระแส I_o ควบคุม และผลที่ได้แสดงดังรูปที่ 8 และจากรูปที่ 7 ถ้าทำเป็นวงจรขยายสัญญาณแบบไม่กลับเฟส (noninverting amplifier) ทำได้โดยป้อนอินพุตเข้าที่อินพุตที่ไม่กลับเฟสของออปแอมป์ และที่ R_f ต่อลงกราวด์ผลแสดงดังรูปที่ 9



รูปที่ 9 ผลการจำลองการทำงานแบบไม่กลับเฟสเมื่อ R_f แทนด้วย วงจรความต้านแบบลอยตัวและกำหนดให้ $I_o = 60 \mu A$

5. สรุป

วงจรความต้านทานแบบลอยตัวที่นำเสนอในบทความนี้มีข้อดีคือ ค่าความต้านทานมีความเป็นเชิงเส้นสูงเมื่อเทียบกับงานวิจัย [2,3] ใช้ไฟเลี้ยงในวงจรน้อยกว่า [1-6] และใช้จำนวนของมอสทรานซิสเตอร์ในการสร้างวงจรมีน้อย เมื่อเทียบกับ [1-6] วงจรความต้านแบบลอยตัวที่นำเสนอนี้สามารถพัฒนาเป็นวงจรความต้านทานแบบลบได้ โดยการเพิ่มอุปกรณ์ให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. เอกสารอ้างอิง

- [1] อธิพิงศ์ ชัยสาขันธ์ และ กอบชัย เคนหาญ, “วงจรรวมความต้านทานแบบลอยตัว และ วงจรรวมโดยใช้ซีมอส,” การประชุมวิชาการ ทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL 15- EL 18, 7-8 พฤศจิกายน 2539
- [2] สิทธิพร เพ็ชรกิจ และ กอบชัย เคนหาญ, “ตัวต้านทานลอยตัวที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยใช้ทรานซิสเตอร์ซีมอส,” วิศวกรรมลาดกระบัง ปีที่ 17, ฉบับที่ 4 หน้าที่ 5 – 10 ธันวาคม 2543
- [3] สุพจน์ หุ่นย่อง สมนึก ห้าหาญ กอบชัย เคนหาญ และ อธิพิงศ์ ชัยสาขันธ์, “ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดัน ใช้ซีมอสทรานซิสเตอร์,” วิศวกรรมลาดกระบัง ปีที่ 17 ฉบับที่ 3 หน้า 14-17 กันยายน 2543
- [4] S. P. Singh, J. V. Hanson and J. Vlach, “A New Floating Resistor For CMOS Technology,” IEEE Trans. Circuits and System, Vol.36, No.9, pp.1217-1220, 1989
- [5] G.Wilson and P.K.Chan, “Floating CMOS resistor ,” Electron. Letts., vol. 29, no. 3, pp.306-307, 1993
- [6] P.W. Vanpeteghem and G.L. Rice, “New CMOS Resistor Implementation for Linear IC Application,” Electron. Letts., Vol. 24, no.5, pp. 288-290, 1998.
- [7] J.P. Bentley .“ Principles of measurement systems ”, 2nd Edition, pp.6-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISSN 0125-1724

วิศวกรรม

ลาดกระบัง

ถนนวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LADKRABANG ENGINEERING JOURNAL

ปีที่ 20 ฉบับที่ 3

กันยายน 2546

1. วงจรกำเนิดความถี่แบบเลื่อนเฟสโดยใช้เทคโนโลยีซิมอส
มนตรี คำเงิน กอบชัย เดชหาญ สมพงษ์ อารีย์ สรพล บุญจันทร์ 1
2. วงจรความต้านทานแบบบวกที่ควบคุมด้วยแรงดันโดยใช้มอสทรานซิสเตอร์
สมนึก หัวหาญ กอบชัย เดชหาญ อภิสิทธิ์ ชัยสายันท์ 6
3. แอปพลิเคชันโปรแกรมโทรศัพท์และอินเตอร์เน็ตแบบโครงสร้างข้อมูล BAI บนโครงข่าย ISDN
ทวีพร เล็กชะอุ่ม กอบชัย เดชหาญ 12
4. การวิเคราะห์ระบบเครือข่ายท้องถิ่นเพื่อเพิ่มประสิทธิภาพ
สุพัตรา ทองเกษม กฤษณะพงศ์ พันธุ์ศรี กอบชัย เดชหาญ นภัทร สระเอี่ยม 18
5. การศึกษาค่าลดทอนสัญญาณจากมุมอาคารในเส้นทางนอกระดับแนวสายตาของระบบโทรศัพท์พื้นฐานพกพาส่วนบุคคล (PCT)
อำนาจ ยิ้มสวัสดิ์ ไกรสิน สงัดนา พิเชฐ ม่วงนวล 24
6. การจัดกลุ่มเอกสารโดยใช้ Self-Organizing Map แบบความเร็วสูง
พรเทพ โรจนวสุ เอื้อน ปิ่นเงิน 30
7. การศึกษาเชิงทดลองเครื่องผลิตไฟฟ้าจากตะกั่วเทอร์โมอิเล็กทริก
เจริญพร เลิศสถิตอนกร ณัฐวุฒิ สุวรรณทา 36
8. การวิเคราะห์ระบบไฟฟ้าโดยใช้โปรแกรม PSS/E เพื่อใช้วางแผนระยะสั้นในเขตนครหลวง
เชาวฤทธิ์ ธรรมเพียร มณฑล สิลลาจินดาไกรฤกษ์ 42
9. การตรวจจับและระบุตำแหน่งฟอลต์โดยใช้การแปลงเวฟเล็ตและโครงข่ายประสาทเทียมชนิดจัดกลุ่มด้วยตนเอง
อรุณพล เก่าพิทักษ์กุล ศุภี บรรจงจิตร รุติพงษ์ นิยมสัถย์ 48
10. การวิเคราะห์โหลดเกินในระบบไฟฟ้ากำลังโดยวิธีโลเนียบเซนต์วิตต์แฟกเตอร์แบบปรับปรุง
สิทธิเดช วชิราศรีศิริกุล ศิลปชัย พงษ์ประเสริฐ มณฑล สิลลาจินดาไกรฤกษ์ 54
11. การวิเคราะห์คุณสมบัติทางไฟฟ้าของอุปกรณ์ให้ความร้อน 1-เฟส ด้วยวิธีการปรับจำนวนไซเคิลเต็มแบบดิจิทัล
รักศักดิ์ ยีร้อสา วิริยะ พิเชฐจำเริญ 60
12. การวิเคราะห์การใช้พลังงานของรถไฟฟ้า
สิปปภาส จารวรรณชัย ศิริวัฒน์ โพรเวชกุล 66
13. การประเมินความสามารถของผู้รับเหมา : มุมมองจากอุตสาหกรรมก่อสร้างในรัฐควีนแลนด์
จักรพงษ์ พงษ์เพ็ง 72
14. การศึกษาพฤติกรรมทางกลของเทปรัดกล่องสินค้าซึ่งทำจากเศษโพลีโพรพิลีน
วีรศักดิ์ หนูเจริญ มิ่ง โลกิจแสงทอง ชาลิต แสงสวัสดิ์ 78
15. ผลกระทบของ residence time ของอนุภาคแคลเซียมคาร์บอเนตต่อกระบวนการดูดซับก๊าซซัลเฟอร์ไดออกไซด์
นิตินัย ปัญญาบุศยกุล จารุวัตร เจริญสุข 84
16. อิทธิพลของเงื่อนไขการทำงานต่อการเกิดรอยประสานและรอยยุบในการขึ้นรูปพลาสติกแบบฉีด
วิษรสรณ์ โชคชัยวิวัฒน์ จารุวัตร เจริญสุข 90
17. คุณลักษณะของการเผาไหม้เชื้อเพลิงแก๊สในเตาเผาออร์เทคแบบสองชั้น
ยิ่งยง แก้วก่อเกียรติ นิยม ศรีศิริสิทธิกุล พงษ์เจต พรหมวงศ์ 96
18. สัมพันธ์ของห่อเขย่า
เทอดไทย วัฒนธรรม ชื่นกมล ช้องเกียรติพันธ์ 102
19. การศึกษาการไหลผ่านลิ้นหัวใจเทียมโดยเทคนิคการสังเกตการไหลจากเส้นคัน
สมิทธิ์ เอี่ยมสอาด วิชาญ คงเกียรติโพบูลย์ นิยม ศรีศิริสิทธิกุล พงษ์เจต พรหมวงศ์ 108
20. Periodic Performance of a Membrane Reactor for Methane Steam Reforming
Duangkamol Na-Runong Takao Ohmori Takuji Yamamoto Akira Endo Takaji Akiya and Masaru Nakaiwa 114

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับงานวิจัยเพื่อการศึกษาของหน่วยงาน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านนอก
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่สิ่งนี้ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมต้านทานแบบบวกที่ควบคุมด้วยแรงดัน โดยใช้มอสทรานซิสเตอร์

A Voltage Controlled Positive CMOS Resistance Circuit

สมนึก หัวหาญ กอบชัย เดชหาญ อธิพิงศ์ ชัยสายัณห์*
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
*คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์

บทคัดย่อ

บทความนี้นำเสนอ วงจรรวมต้านทานแบบบวกชนิดกราวด์ที่ควบคุมด้วยแรงดันโดยใช้มอสทรานซิสเตอร์ โดยอาศัยคุณสมบัติของ CMOS ที่ทำงานในช่วงไม่อิ่มตัว ซึ่งวงจรมีข้อเสนอใช้อุปกรณ์ในการสร้างน้อย และมีความเป็นเชิงเส้นสูง และเนื่องจากวงจรประกอบขึ้นจากมอสทรานซิสเตอร์เพียงอย่างเดียวจึงเหมาะที่จะนำไปสร้างวงจรรวมอีกด้วย เพื่อยืนยันประสิทธิภาพของวงจรได้เสนอผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice มาประกอบ

Abstract

This paper proposes a voltage – controlled positive CMOS resistance circuit. This circuit is based on the characteristic of CMOS operating in nonsaturation region. The resistance value of the proposed circuit gives high – linearity. Since the circuit consists of only 6 NMOS transistor, it is suitable to implement as integrated form. The circuit performances are also demonstrated based on simulation results by using PSpice program simulation.

1. บทนำ

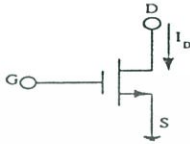
วงจรรวมต้านทานแบบปรับค่าได้ เป็นวงจรหนึ่งที่มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางในระบบโทรคมนาคม และเครื่องมือวัด เช่น วงจรขยายและลดทอนสัญญาณ วงจรกรองความถี่เป็นต้น วงจรรวมต้านทานแบบปรับค่าได้มีการนำเสนอมาโดยตลอดเช่น [1-8] ซึ่งแต่ละวงจรมีข้อดีและข้อเสียที่แตกต่างกันออกไป ขึ้นอยู่กับวิธีการที่นำมาใช้ในการออกแบบเช่น วงจรรวมต้านทานแบบปรับค่าได้ใน [2-8] การออกแบบวงจรใช้อุปกรณ์ในการสร้างมาก

และไฟเลี้ยงสูง รวมทั้งวิธีในการออกแบบยุ่งยากและซับซ้อนมากขึ้น บทความนี้ได้นำเสนอวงจรรวมต้านทานแบบบวกที่ง่ายในการออกแบบให้ค่าความต้านทานเป็นเชิงเส้น และใช้อุปกรณ์ในการสร้างน้อย คือใช้มอสทรานซิสเตอร์จำนวน 6 ตัว และจากการทดสอบประสิทธิภาพของวงจรด้วยโปรแกรม PSpice ให้ผลเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หลักการทำงาน

วงจรรวมความต้านทานที่นำเสนอเกิดจากทฤษฎีของมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว



รูปที่ 1 มอสทรานซิสเตอร์

สมการกระแสเดรนของมอสที่ทำงานในช่วงไม่อิ่มตัว

$$I_D = K \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (1)$$

โดยที่

$$V_{GS} - V_T > V_{DS} > 0$$

เมื่อ $K = \mu_0 C_{OX} (W/L)$

μ_0 = ค่าสภาพคล่องของพาหะที่ผิวบริเวณ Channel

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$$

ϵ_{OX} = ค่า Dielectric Constant ของ SiO_2 มีค่าประมาณ

$3.9 \epsilon_0$ (โดย $\epsilon_0 \approx 8.854 \times 10^{-14}$ F/cm.)

t_{OX} = ค่าความหนาของเกตออกไซด์ (Gate Oxide)

V_{GS} = ค่าความต่างศักย์ระหว่างเกตกับซอส

$$V_T = V_{TO} = \gamma \left(\sqrt{2|\phi_F| - V_{BS}} \right) - \sqrt{2|\phi_F|}$$

V_{TO} = ค่า Threshold Voltage เมื่อ $V_{BS} = 0$

γ = ค่า Bulk Threshold (Volts)^{1/2}

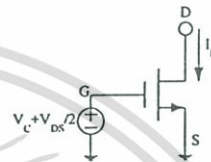
ϕ_F = ค่า Strong Inversion Surface potential (Volts)

λ = ค่า Channel length Modulation (Volts)⁻¹

จากสมการที่ 1 เมื่อกำหนดให้ I_D และ V_{DS} เป็นอินพุตจะได้สมการความต้านทาน ดังสมการ

$$R = \frac{V_{DS}}{I_D} = \left[K \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) \right] \quad (2)$$

จากสมการที่ 2 ความต้านทานที่ได้ไม่เป็นเชิงเส้น ดังนั้นทำการเพิ่มแหล่งจ่ายแรงดันเข้าไปในวงจรรูปที่ 2 เพื่อแก้ความไม่เป็นเชิงเส้นของสมการ



รูปที่ 2 การแก้ความไม่เป็นเชิงเส้นของสมการ

จากรูปที่ 2 สามารถเขียนสมการใหม่เป็น

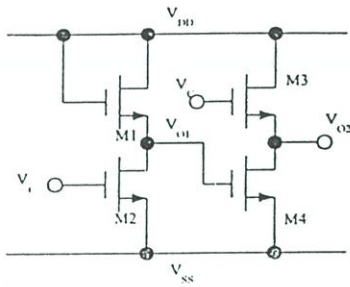
$$I_D = K \left(\frac{V_{DS} + V_G}{2} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (3)$$

จากสมการ (3) กำหนดให้ I_D และ V_{DS} เป็นอินพุตจะได้สมการความต้านทานปรับค่าด้วยแรงดันดังสมการ

$$R = \frac{V_{DS}}{I_D} = \frac{1}{K(V_G - V_T)} \quad (4)$$

จากสมการที่ (4) แสดงให้เห็นอย่างชัดเจนความต้านทานที่ได้เป็นเชิงเส้นและปรับค่าความต้านทานด้วยแรงดัน V_G จากรูปที่ 2 การนำวงจรไปใช้งานทำได้ยาก วงจรความต้านทานแบบปรับค่าได้ที่นำเสนอใน [8] ใช้เทคนิคผลรวมของสัญญาณในการแก้ความไม่เป็นเชิงเส้นของวงจรรูปที่ 2 ใช้อุปกรณ์ในการสร้างมาก ในบทความนี้ใช้เทคนิคผลรวมของสัญญาณในการแก้ความไม่เป็นเชิงเส้นของวงจรรูปที่ 2 ใช้เทคนิคและโพลีโพลในการสร้างน้อยกว่า [8]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 วงจรบวกแรงดัน

$$I_{D4} = \frac{K_4}{2} (V_{O1} - V_{SS} - V_{T4})^2 \quad (12)$$

เมื่อ $V_{O1} = -V_i, K_3 = K_4 = K, V_{T3} = V_{T4} = V_T$ ทำการแทนสมการ (11) และ (12) แทนลงในสมการ (10) ได้สมการใหม่คือ

$$V_{O2} = V_i + V_C + V_{SS} \quad (13)$$

จากรูปที่ 3 กำหนดให้ M1, M2, M3 และ M4 ทำงานในช่วงอิมิตัวและมีค่า W/L เท่ากันทุกประการ สมการกระแสครนทำงานในช่วงอิมิตัวคือ

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 \quad (5)$$

จากรูปที่ 3 กำหนดให้

$$I_{D1} = I_{D2} \quad (6)$$

$$I_{D1} = \frac{K_1}{2} (V_{DD} - V_{O1} - V_{T1})^2 \quad (7)$$

$$I_{D2} = \frac{K_2}{2} (V_i - V_{SS} - V_{T2})^2 \quad (8)$$

กำหนดให้ $V_{SS} = -V_{DD}, K_1 = K_2 = K$ และเพื่อกำจัดผลของ Body effect ที่เกิดกับ M1 และ M3 สามารถทำได้โดยการสร้างบ่อแยก (Individual well) ให้กับมอสทรานซิสเตอร์ดังกล่าว ดังนั้นสามารถกำหนดให้ $V_{T1} = V_{T2} = V_T$ นำสมการ (7) และ (8) แทนในสมการ (6) จะได้สมการใหม่คือ

$$V_{O1} = -V_i \quad (9)$$

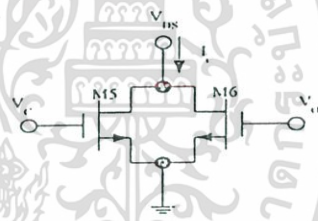
และกำหนดให้

$$I_{D3} = I_{D4} \quad (10)$$

$$I_{D3} = \frac{K_3}{2} (V_C - V_{O2} - V_{T3})^2 \quad (11)$$

จากสมการที่ (13) แสดงว่า V_{O2} คือ ผลบวกของสัญญาณ V_i, V_C และ V_{SS} และกำหนดให้ $V_i = V_{DS}$ ได้สมการใหม่คือ

$$V_{O2} = V_{DS} + V_C + V_{SS} \quad (14)$$



รูปที่ 4 วงจรความต้านทานแบบพื้นฐาน

จากรูปที่ 4 กำหนดให้มอสทรานซิสเตอร์ M5 และ M6 มีค่า W/L เท่ากันทุกประการ และทำงานในช่วงอิมิตัวให้

$$I_{D5} = K_5 (V_C - V_{T5} - \frac{V_{DS5}}{2}) V_{DS5} \quad (15)$$

$$I_{D6} = K_6 (V_{O2} - V_{T6} - \frac{V_{DS6}}{2}) V_{DS6} \quad (16)$$

กำหนดให้

$$V_{T5} = V_{T6} = V_T, V_{DS5} = V_{DS6} = V_{DS}, K_5 = K_6 = K$$

ดังนั้น

$$I_i = I_{D5} + I_{D6} = K(2(V_C - V_T) + V_{SS})V_{DS} \quad (17)$$

จากสมการ (17) กำหนดให้ I_i และ V_{DS} เป็นอินพุตจะ
ได้สมการความต้านทานปรับค่าด้วยแรงดันดังสมการ

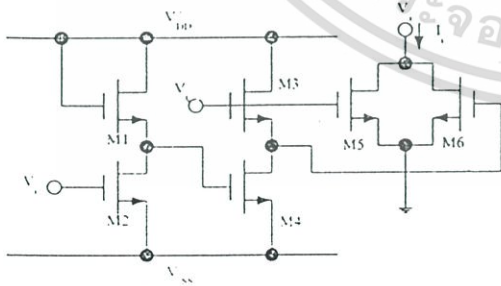
$$R = \frac{V_{DS}}{I_i} = \frac{1}{K(2(V_C - V_T) + V_{SS})} \quad (18)$$

จากสมการที่ (18) แสดงให้เห็นอย่างชัดเจนความต้านทานที่ได้เป็นเชิงเส้นและปรับค่าความต้านทานด้วยแรงดัน V_C จากรูปที่ 4 จะเห็นได้ว่าสัญญาณ V_{O2} ซึ่งสามารถทำได้ โดยการเพิ่มวงจรบวกแรงดันเข้าไป จะ ได้วงจรความต้านทานแบบปรับค่าได้ด้วยแรงดันที่สมบูรณ์ดังรูปที่ 5 ขนาดอินพุตที่ทำให้มอสทรานซิสเตอร์ $M5$ และ $M6$ ทำงานในช่วงไม่อิ่มตัวคือสอดคล้องกับเงื่อนไขต่อไปนี้

$$V_i < (V_C - V_T) \quad (19)$$

$$V_i < (V_C + V_i + V_{SS} - V_T) \quad (20)$$

จากสมการ (19) และ (20) จะเห็นว่ายิ่งระดับแรงดัน V_C มีค่าสูงยิ่งจะทำให้ ช่วงอินพุตปฏิบัติงานของวงจรมีค่าสูงตาม

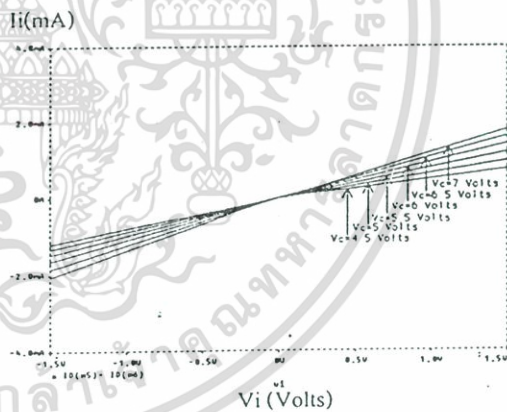


รูปที่ 5 วงจรความต้านทานบวกที่ปรับค่าได้ด้วยแรงดัน

จากรูปที่ 5 สามารถอธิบายการทำงานของวงจรได้ดังนี้ ทรานซิสเตอร์ $M1$ และ $M2$ ทำหน้าที่เป็นวงจรอินเวอร์เตอร์ $M3$ และ $M4$ เป็นวงจรบวกแรงดัน ส่วน $M5$ และ $M6$ เป็นวงจรความต้านทานพื้นฐานที่ใช้เทคนิคของการรวมสัญญาณในการแก้ความไม่เชิงเส้นของวงจรโดยมี V_C ในการปรับค่าความต้านทานของวงจร

3. ผลจากการทดลอง

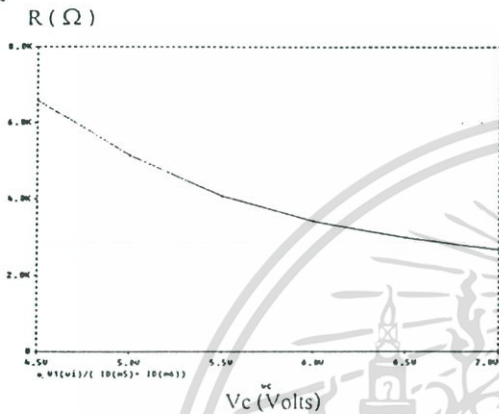
วงจรรูปที่ 5 นำมาเขียนแบบการทำงานด้วยโปรแกรม PSpice ซึ่งใช้โมเดลของ European Silicon Structure : ES2 ในแบบ Worst Case, Level = 2 โดย $M1-M4$ มีค่า $W/L = 40 \mu m / 10 \mu m$, และ $M5, M6$ มีค่า $W/L = 20 \mu m / 5 \mu m$, $V_{DD} = 4 V$, $V_{SS} = -4 V$ คุณสมบัติทาง DC ที่แสดงในรูปที่ 6 เป็นเชิงเส้นอยู่ระหว่าง $-1.5 V$ ถึง $1.5 V$ และรูปที่ 7 เป็นการจำลองการทำงานที่แสดงความสัมพันธ์ระหว่างค่าความต้านทานของวงจรและแรงดัน V_C



รูปที่ 6 ความสัมพันธ์ของกระแสและแรงดันอินพุตเมื่อ V_C แปรค่าจาก $4.5 V$ ถึง $7 V$ โดยขั้นละ $0.5 V$

จากรูปที่ 6 ได้ทำการแปรค่าแรงดัน V_C จาก $4.5 V$ ถึง $7 V$ เนื่องจากวงจรรูปที่ 5 ได้ออกแบบให้มอสทรานซิสเตอร์ $M5-M6$ ทำงานในไม่ช่วงอิ่มตัว เมื่อค่าแรงดัน V_C มีค่าสูงทำให้

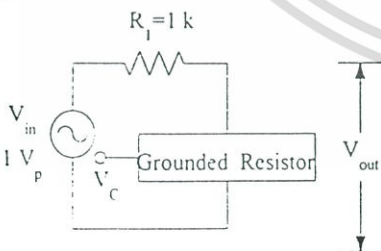
ให้ช่วงอินพุตปฏิบัติงานมีค่าสูงตามและส่งผลให้มอสทรานซิสเตอร์ M5-M6 ทำงานตามเงื่อนไขได้อย่างมีประสิทธิภาพและความต้านทานที่ได้มีความเป็นเชิงเส้น ซึ่งวงจรที่ออกแบบนี้แรงดัน V_c สามารถสวิงได้สูงกว่าแรงดัน V_{DD} โดยที่มอสทรานซิสเตอร์ M1-M3 ยังทำงานได้ตามเงื่อนไขเดิม



รูปที่ 7 ความสัมพันธ์ระหว่างค่าความต้านทานและแรงดัน V_c

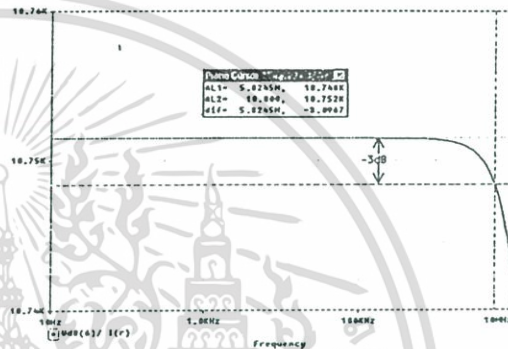
เมื่อพิจารณาผลในรูปที่ 7 จะเห็นว่าเมื่อแรงดัน V_c มีค่าสูงจะได้ค่าความต้านทานที่มีความเป็นเชิงเส้นสูงตามและค่าความต้านทานที่ได้จะมีค่าต่ำเมื่อแรงดัน V_c มีค่าเพิ่มขึ้นซึ่งตรงตามทฤษฎี ซึ่งวิธีวัดค่าความต้านทานตามรูปที่ 7 สามารถทำได้โดยการกำหนดค่าความสมการที่ (18) และทำการแปรค่าแรงดัน V_c ตามรูปที่ 7

การทดสอบเพื่อดูย่านการทำงานของวงจร ทดสอบโดยการนำวงจรรูปที่ 5 มาประกอบเป็นวงจรในรูปที่ 8



รูปที่ 8 วงจรที่ใช้ในการทดสอบหาย่านการทำงานของวงจรความต้านทาน

จากรูปที่ 8 กำหนดให้ V_{in} เป็นสัญญาณรูปไซน์ขนาด 1 Vp ป้อนให้กับวงจร และมีค่าความต้านทานต่ออนุกรมอยู่กับวงจรความต้านทานที่นำเสนอ ซึ่งมีค่าเทียบเท่ากับค่าความต้านทานของแหล่งกำเนิดสัญญาณขนาด 1 kΩ แล้วทำการวัดค่าความต้านทานของวงจรความต้านทานแบบบวกชนิดกราวด์ ได้ผลตอบสนองของความถี่ของวงจรแสดงดังรูปที่ 9



รูปที่ 9 ผลตอบสนองของความถี่ของวงจร

เมื่อสังเกตจากผลการเขียนแบบในรูปที่ 9 จะพบว่าผลตอบสนองความถี่ของวงจรจะมีค่าประมาณ 5.8 MHz และวัดผลของความผิดเพี้ยนทางฮาร์โมนิก (THD) โดยป้อนแรงดันอินพุตเป็นสัญญาณ sine ขนาด 1 V_{p-p} ความถี่ 10 kHz และวัดความผิดเพี้ยนทางฮาร์โมนิกกระแสได้ 1.4 %

ตารางที่ 1 เปรียบเทียบวงจรที่นำเสนอกับวงจรอ้างอิง

วงจรความต้านแบบกราวด์	จำนวน MOS	ความไม่เป็นเชิงเส้น%	แหล่งไฟ (Volts)
วงจรอ้างอิงที่[7]	9	0.4	±5
วงจรอ้างอิงที่[8]	8	-	±7
วงจรที่นำเสนอ	6	1.6	±4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 1 ผลการวัดความคิดเทียบของความไม่เป็นเชิงเส้นของกระแส I_d (เมื่อ V_d แปรค่าจาก -1.5 V ถึง 1.5 V ขณะที่ $V_c = 4.5$ V) มีค่าเท่ากับ 1.6% ซึ่งหาค่าได้โดย [9]

4. สรุป

วงจรความต้านทานแบบบวทที่นำเสนอในบทความนี้ ถูกออกแบบสร้างด้วยมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว จากการเลียนแบบการทำงานของวงจรโดยโปรแกรม PSpice แสดงให้เห็นว่าผลที่ได้จากการทดลองของวงจรจะได้ค่าความต้านทานมีความเป็นเชิงเส้นสูง ขณะที่ใช้ไฟเลี้ยง ± 4 V ซึ่งน้อยกว่าวงจร [2-8] และใช้มอสทรานซิสเตอร์จำนวน 6 ตัวในการสร้างซึ่งน้อยกว่า [1-8] วงจรที่ออกแบบนี้เหมาะที่จะนำไปสร้างเป็นวงจรรวมอีกด้วยเพราะสร้างจากทรานซิสเตอร์ NMOS เพียงอย่างเดียว

5. เอกสารอ้างอิง

- [1] สุพจน์ คุ้มช้อย สมนึก หัวหาญ กอบชัย เดชหาญ และ อธิพิทษ์ ชัยสาธิตน์, "ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดัน ใช้ซีมอสทรานซิสเตอร์," วิศวกรรมลาดกระบัง ปีที่ 17 ฉบับที่ 3 หน้า 14-17 กันยายน 2543
- [2] อธิพิทษ์ ชัยสาธิตน์ และ กอบชัย เดชหาญ, "วงจรความต้านทานแบบลอยตัว และ วงจรคูณโดยใช้ซีมอส," การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL 15-EL 18, 7-8 พฤศจิกายน 2539
- [3] สิทธิพร เพ็ชรกิจ และ กอบชัย เดชหาญ, "ตัวต้านทานลอยตัวที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้ทรานซิสเตอร์ซีมอส," วิศวกรรมลาดกระบัง ปีที่ 17, ฉบับที่ 4 หน้าที่ 5-10 ธันวาคม 2543
- [4] S. P. Singh, J. V. Hanson and J. Vlach, "A New Floating Resistor For CMOS Technology," IEEE Trans. Circuits and System, Vol.36, No.9, pp.1217-1220, 1989
- [5] G. Wilson and P.K. Chan, "Floating CMOS Resistor," Electron. Letts., vol. 29, no. 3, pp.306-307, 1993
- [6] P.W. van Peteghem and G.L. Rice, "New CMOS Resistor Implementation for Linear IC Application," Electron. Letts., Vol. 24, no.5, pp. 288-290, 1998
- [7] G. Wilson and P.K. Chan, "Novel Voltage-Controlled Grounded Resistor," Electron. Letts., vol. 25, no.25, pp.1725-1726, Dec.1989
- [8] K. Dejhan, C. Soonyeeekan, P. Prommee, F. Cheevasuvit and E. Prommas, "A High Performance MOSFET Voltage - Controlled Grounded Resistor," Proc. of International Conference on Robotics, Vision and Parallel Processing for Industrial Automation (ROVPIA '96), pp.602-608, Ipoh, Malaysia, Nov.1996
- [9] J.P. Bently "Principles of measurement systems," 2nd Edition, pp. 6-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISSN 0125-1724

วิศวกรรม

ลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LADKRABANG ENGINEERING JOURNAL

ปีที่ 17 ฉบับที่ 3

กันยายน 2543

1.	วงจรถ่ายส่งสัญญาณกระแสแบบ CMOS ที่ใช้แรงดันไฟเลี้ยงต่ำและอิสระจาก body effect	1
	สมนึก หัวหาญ สุพจน์ หุ่นย่อง กอบชัย เดชหาญ อธิพงษ์ ชัยสายัณห์	
2.	วงจรถ่ายส่งสัญญาณที่ใช้แรงดันไฟเลี้ยงต่ำ	5
	วิมลภ เทียมวาทิต นกุล สวรรณชาติ กอบชัย เดชหาญ อธิพงษ์ ชัยสายัณห์	
3.	วงจรถ่ายส่งสัญญาณกระแสกับสัญญาณแรงดัน	10
	สุธีร์ บุญศรี ชัยวัฒน์ สากล กอบชัย เดชหาญ อธิพงษ์ ชัยสายัณห์	
4.	ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดันใช้ซีมอสทรานซิสเตอร์	14
	สุพจน์ หุ่นย่อง สมนึก หัวหาญ กอบชัย เดชหาญ อธิพงษ์ ชัยสายัณห์	
5.	วงจรถ่ายส่งสัญญาณอนาล็อกแบบ 4 ควอดแรนต์อย่างง่าย	18
	ชัยวัฒน์ สากล สุธีร์ บุญศรี กอบชัย เดชหาญ อธิพงษ์ ชัยสายัณห์	
6.	วงจรถ่ายส่งสัญญาณการรบกวนและวงจรถ่ายส่งสัญญาณ	22
	ภัทรชัย อุปรพิทธิกุล เกียรติศักดิ์ คมวิริยะ วิมลภ สุระกำพลธร สมภาลี อุณหวัฒน์ ชีวศิริปัทม์ ทุมวิภาศ	
7.	วงจรถ่ายส่งสัญญาณที่เกิดเสถียรภาพของควอดแรนต์เนื่องจากอุณหภูมิ	28
	อธิภ มงคลจิต วิวัฒน์ ภิรมานนท์ วิภา แสงพิสิทธิ์ จริยา เลิศจรสอร่วมดี	
8.	การปกป้องข้อมูลด้วยการเข้ารหัสบล็อกโคตและสัญญาณรบกวนแบบลำดับสัมพันธ์ที่สร้างบน FPGA	34
	โกศล ตราชู ฟูศักดิ์ ชิวสวีย์	
9.	การออกแบบเพื่อเพิ่มประสิทธิภาพวงจรถ่ายส่งข้อมูลแบบอนุกรมโดยใช้เทคโนโลยี FPGA	40
	เจนวิทย์ ศรีหารักษ์ชา พรัชย์ เอี่ยมเศรษฐกุล สมศักดิ์ มิตะดา กอบชัย เดชหาญ	
10.	ตรวจสอบการจำหน่ายของจดหมายโดยอาศัยพื้นฐานของซินเทติก	46
	ไพโรจน์ ชิวพุดนิษฐ์ กอบชัย เดชหาญ นภัทร สระเอี่ยม	
11.	การแทนความรู้โดยใช้ตารางการตัดสินใจแบบฟัซซี	52
	พิริยะ เขียวพาณิชย์ เอื้อน ปิ่นเงิน	
12.	การออกแบบและสร้างไมโครซีดีเพื่อศึกษาการกระจายความร้อนบนโต๊ะแฟร์มของซิลิกอน	58
	รังสรรค์ เมืองเหลือ สมศักดิ์ เขียวศิริกุล สมเกียรติ ศก.เดช	
13.	ศึกษาการถ่ายเทแรงดันช่วงก้าวและแรงดันสัมพันธ์ระหว่างสายในและระบบไฟฟ้าแรงต่ำของ กฟน.	64
	มณฑล ลีลาจินดาไกรฤกษ์ ชโยสร สุขประสงค์	
14.	การปรับปรุงตัวประกอบกำลังในการเรียงกระแสแบบ 3 เฟส	70
	อนุวัฒน์ จางวนิชเลิศ กำพล ศิริจันทร์พงษ์	
15.	การคำนวณสมรรถนะของสัญญาณรบกวน Audible Noise ของโคโรนาในสายส่งไฟฟ้าแรงสูงแรงดัน 230 kV.	76
	วรรณชนีย์ โรจนวิรุฬห์ มณฑล ลีลาจินดาไกรฤกษ์	
16.	การศึกษาชนิดของหม้อแปลงที่มีผลต่อกำกับรักษาในระยะยาว	82
	วิบูลย์ วุฒินาน ชัยพัฒน์ หล่อศิริรัตน์ นพนนท์ ราชานานนท์	
17.	โปรแกรมคำนวณการไหลเบื้องต้นโดยวิธีการปริมาตรสไลบเนื่อง	87
	จารุวัตร เจริญสุข อรรถพร ผาบุบผะ	
18.	สมรรถนะการหล่อลื่นของเบร้งสลิกลูกสูบ	93
	มงคล มงคลวงศ์โรจน์ อมรชัย ฉัตรสง่า	
19.	การศึกษาสมรรถนะของใบพัดลมแรงเหวี่ยงหนีศูนย์กลาง	99
	ภัทรเดช สินธุภักดิ์ อภิชาติ เสมตรี	
20.	การออกแบบคัลต์อัตโนมัติ	105
	ภัทรเดช สินธุภักดิ์ ทวีศักดิ์ ปิยะทัศน์านนท์	
21.	การจำลองผลของตำแหน่งฉีดต่อเส้นทางการไหลของอนุภาคในกระบวนการดูดซับก๊าซซัลเฟอร์ไดออกไซด์	109
	จารุวัตร เจริญสุข นิตินัย ปัญญาบุญยกุล	
22.	การศึกษาผลกระทบของขนาดต่อเส้นทางการไหลของอนุภาคแคลเซียมคาร์บอเนตในห้องเผาไหม้ถ่านหินผง	115
	จารุวัตร เจริญสุข สนธยา มีเสียง	
23.	กรณีศึกษาการใช้น้ำมันก๊าดออยล์แตกตัวเบาในหน่วยกำจัดกำมะถันในน้ำมันดีเซลเพื่อหาปริมาณการใช้ก๊าซไฮโดรเจนและวางแผนการผลิตที่เหมาะสมในโรงกลั่นน้ำมัน	121
	ภาณุเดช สุขะเขตต์ อัญชลีพร วาริวิสวัสดิ์ หล่อทองคำ	
24.	การศึกษาผลกระทบของอุณหภูมิหน้าหล่อเย็นที่มีต่อการเกิดผลึกและสมบัติเชิงกลของไฟลิ่งซีเมนต์	127
	วิรัชศักดิ์ หนูเจริญ มิ่ง โสภิตแสงทอง	
25.	ผลกระทบจากการเปลี่ยนแปลงอัตราส่วนผสมระหว่างเชื้อเพลิงดีเซลกับน้ำมันพืชในเชื้อเพลิงผสมต่อการสันดาปและสมรรถนะของเครื่องยนต์ดีเซล	132
	ณัฐกร วัฒนศิริ อิกทังทามมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำ	
	สมชัย นรเศรษฐ์โสภณ ปิ่น ประมาพันธ์	

วงจรกำลังสองสัญญาณกระแสแบบ CMOS ที่ใช้แรงดันไฟเลี้ยงต่ำ และอิสระจาก body effect

The CMOS Current Squaring Circuit Using Low Voltage Supply and Independence from Body Effect

สมนึก หัวหาญ สุพจน์ หุ่นย่อง กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อิทธิพงษ์ ชัยสายัณห์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์

บทคัดย่อ

บทความนี้นำเสนอวงจรกำลังสองสัญญาณโดยใช้ทรานซิสเตอร์แบบ CMOS ที่ใช้แรงดันไฟเลี้ยงต่ำ และอิสระจากผลของแรงดันที่ขา Body กับ Source หลักการของวงจรอาศัยคุณสมบัติความสมมาตรของ MOSFET ชนิดเอ็น (NMOS) กับชนิดพี (PMOS) ที่ทำงานในช่วงอิ่มตัว โดยวงจรออกแบบให้ทำงานในโหมดกระแส ผลการเขียนแบบการทำงานใช้โปรแกรม PSpice พบว่ามีคุณสมบัติดังนี้ ช่วงกระแสอินพุตปฏิบัติงาน $\pm 20 \mu\text{A}$, ช่วงกระแสเอาต์พุตปฏิบัติงาน $20 \mu\text{A}$, ช่วงความถี่ปฏิบัติงาน 785 kHz, และแรงดันไฟเลี้ยง $\pm 1.5 \text{ V}$ โดยใช้วงจรเสมือนของ MOSFET ที่มีแรงดันขีดเริ่ม $V_T \approx 1.07 \text{ V}$

Abstract

The paper proposes the CMOS squaring circuit using low voltage supply and free from body effect. The operation principle of the circuit based on the symmetry between NMOS and PMOS, operating in saturation region. The proposed circuit operates in current mode. The simulation results of circuit by PSpice show the input current range is $\pm 20 \mu\text{A}$, the output current range is $20 \mu\text{A}$, the frequency response is 785 kHz, and the power supply is $\pm 1.5 \text{ V}$. The MOSFET model has threshold voltage about 1.07 V.

1. บทนำ

วงจรถูกกำลังสองเป็นวงจรที่มีประโยชน์มากสำหรับใช้โดยการประมวลผลสัญญาณในรูปแบบต่างๆ และตามรอกำหนดไปประยุกต์ใช้งานต่างๆ ได้มาก เช่น วงจรทวีคูณ, วงจรคูณสัญญาณ, วงจรบวกสัญญาณทางเวกเตอร์ และอื่นๆ ในอดีตวงจรกำลังสองสามารถสร้างได้จาก BJT

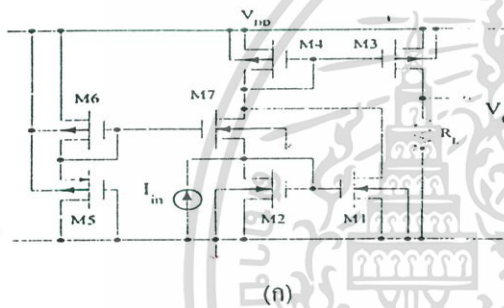
(Bipolar Junction Transistor) ซึ่งต่อมาเทคโนโลยีของ MOSFET ได้เจริญก้าวหน้าจึงได้เปลี่ยนมาสร้างโดยใช้ CMOS แต่ปัญหาหนึ่งของการออกแบบวงจรรวมด้วยเทคโนโลยี CMOS [1-3] คือผลของแรงดันที่ขา Body ที่ส่งผลต่อค่ากระแสเดรน (Body effect) การแก้ไขสามารถทำได้โดยให้ CMOS ทุกตัวต่อขา Body กับขา Source เข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

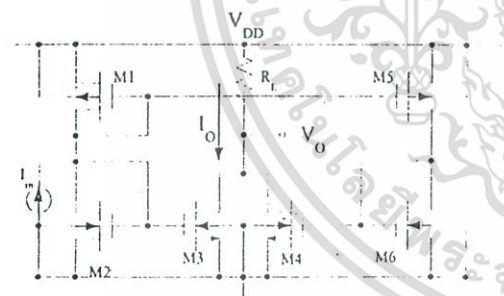
ด้วยกัน ซึ่งในการสร้างเป็นวงจรรวม จะทำได้ ต้องสร้างบ่อแยก ให้กับ CMOS บางตัว แต่นั่นหมายถึง การเพิ่มพื้นที่ของ Chip ด้วย แม้ว่าปัจจุบัน เทคโนโลยีการสร้าง จะสามารถช่วยลดปัญหานี้ได้ แต่วงจรที่นำเสนอนี้ สามารถแก้ปัญหาดังกล่าว โดยไม่ต้องอาศัยเทคโนโลยีการสร้าง มาช่วย

2. หลักการทำงาน

วงจรถ่ายถ่ายโอนที่ใช้แรงดันไฟเลี้ยงต่ำสามารถแสดงได้ดังนี้



(ก)



(ข)

รูปที่ 1 วงจรถ่ายถ่ายโอนสัญญาณ

- ก. วงจรถ่ายถ่ายโอนที่มีผลของ Body effect [3]
- ข. วงจรถ่ายถ่ายโอนที่ไม่มีผลของ Body effect และใช้แรงดันไฟเลี้ยงต่ำ

รูปที่ 1 (ก) ขา Body ของทรานซิสเตอร์ M7 ต่อกับกราวด์ ทำให้แรงดัน เทอร์ชโฮลด์ของM7 เปลี่ยนแปลงตามแรงดันที่ขา Source ของM7 ซึ่งผลของ Body effect นี้จะส่งผลกระทบต่อแรงดันเอาต์พุตของวงจรถ่ายถ่ายโอน (ข) ทรานซิสเตอร์ทุกตัวต่อขา Body กับขา Source เข้าด้วยกัน ทำให้ไม่เกิดผล

ของ Body effect แต่ในวงจรถ่ายถ่ายโอน (ข) นี้ ต้องใช้ CMOS ที่มี $K_N = K_P$ และ $V_{TN} = V_{TP}$ ในการออกแบบวงจรถ่ายถ่ายโอน กำหนดให้ CMOS ทำงานในช่วงอิมิตัวโดยสมการกระแสเดรนของ NMOS คือ

$$I_D = K_N (V_{GS} - V_{TN})^2 \tag{1}$$

Device Transconductance Parameter $K_N = \mu_n C_{OX} (W/2L)$

$$V_{TN} = V_{TO} + \gamma (\sqrt{2\phi_p - V_{BS}} - \sqrt{2\phi_p}) \text{ อ้างถึง [4]}$$

V_{TO} คือ แรงดันขั้วเริ่มที่ $V_{BS} = 0$

$$\text{Body effect Parameter } \gamma = \sqrt{\frac{2\epsilon_{Si} q N_A}{C_{OX}}}$$

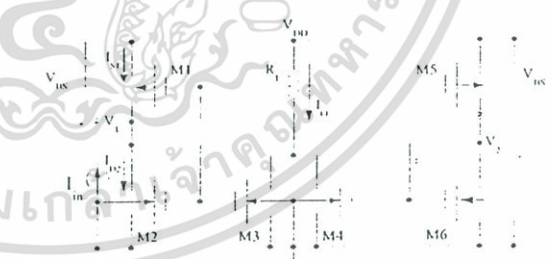
ϕ_p คือ Fermi potential

สมการกระแส ซอร์ส ของ PMOS คือ

$$I_S = K_N (V_{GS} - |V_{TP}|)^2 \tag{2}$$

รายละเอียดของพารามิเตอร์ต่างๆใน สมการที่ (2) มีลักษณะทำนองเดียวกับของ NMOS ในสมการที่ (1)

จากสมการที่ (1) และ (2) สามารถทำให้ $K_N = K_P$ ได้ โดยการปรับขนาดของควมกว้างความยาวเซลล์เนล (W/L) ของ MOSFET ในกรณีที่ MOSFET มีค่า $V_{TN} \neq V_{TP}$ เราสามารถทำให้ $V_{TN} = V_{TP}$ ได้โดยการปรับ V_{BS} ดังแสดงในรูปที่ 2



รูปที่ 2 วงจรถ่ายถ่ายโอนที่ปรับแรงดัน V_{BS}

จากรูปที่ 2 สามารถเขียนความสัมพันธ์ของ I_m กับ V_1 ได้ดังนี้

$$I_{D2} - I_{S1} = I_m \tag{3}$$

$$K_N (V_1 - V_{TN})^2 - K_P (V_{DD} - V_1 - |V_{TP}|)^2 = I_m \tag{4}$$

$$V_1 = \left[\frac{I_m}{2K (V_{DD} - |V_{TP}|)^2} \right] + \frac{V_{DD}}{2} \tag{5}$$

กำหนดให้ $K_P = K_N = K$, $V_{TN} = V_{TP} = V_T$ จากรูปที่ 2 จะได้ $V_{SG1} = V_{GS4}$ และจะได้ความสัมพันธ์ของ I_m กับ V_2 ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_1 = \left[\frac{-I_m}{2K(V_{DD} - 2V_T)} \right] + \frac{V_{DD}}{2} \quad (6)$$

กระแสเอาต์พุตของวงจรในรูปที่ 2 คือ

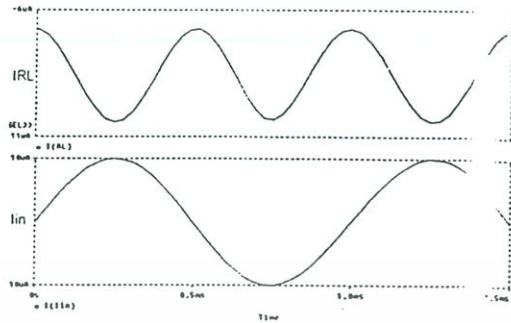
$$I_O = I_{D3} + I_{D4} \quad (7)$$

$$I_O = \left[\frac{I_m^2}{2K(V_{DD} - 2V_T)^2} + 2K \left(\frac{V_{DD}}{2} - V_T \right)^2 \right] \quad (8)$$

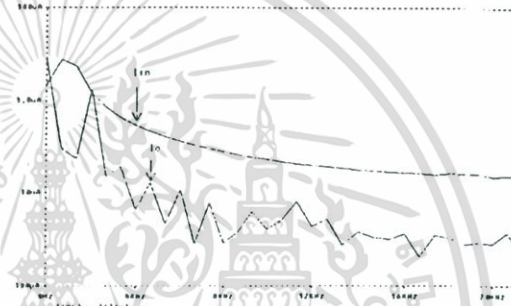
จากสมการที่ (8) จะเห็นได้ว่า I_O สัมพันธ์กับ I_m ยกกำลังสอง บวกกับค่าคงที่ $2K \left(\frac{V_{DD}}{2} - V_T \right)^2$ ซึ่งค่าดังกล่าวนี้สามารถทำให้หมดไป โดยการให้แหล่งจ่ายกระแสไฟตรงเข้าไปชดเชยและในสมการที่ (8) ค่าของ Body effect ไม่อยู่ในพจน์ของ V_T แล้ว

3. ผลการทดสอบ

ผลการเขียนแบบการทำงานโดยใช้โปรแกรม PSpice ใช้ CMOS โมเดลของ European Silicon structure ในแบบ Worst case, level = 2 ซึ่งมีขนาดความกว้างความยาวของ แชลแนล (W/L) คือ NMOS = $10 \mu m / 10 \mu m$ และ PMOS = $10 \mu m / 36 \mu m$, $\mu_n C_{ox} = 4.73 \mu A/V^2$, $\mu_p C_{ox} = 17 \mu A/V^2$, $V_{TP} = -0.8 V$, $V_{TN} = 1.07 V$, $V_{BS} = 0.6 V$ และ $R_L = 1 k \Omega$ โดยทดสอบวงจรกำลังสองสัญญาณ (รูปที่ 2) โดยวัดคุณสมบัติกำลังสองของสัญญาณ DC, วัดคุณสมบัติกำลังสองของสัญญาณ AC และวัดคุณสมบัติทางความถี่ตอบสนอง



(ก)

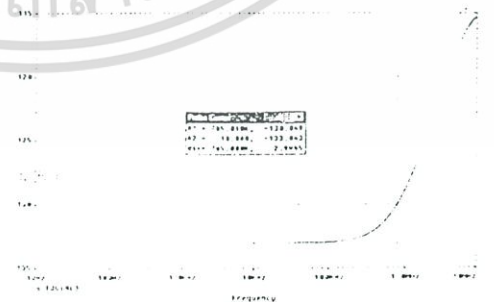


(ข)

รูปที่ 4 คุณสมบัติกำลังสองของสัญญาณ AC เมื่ออินพุตเป็นสัญญาณ sine : $Sim^2 \theta = \frac{1}{2} (1 - \cos 2\theta)$

ก. เปรียบเทียบอินพุตกับเอาต์พุตของวงจรกำลังระะงในเชิงเวลา

ข. เปรียบเทียบอินพุตกับเอาต์พุตของวงจรกำลังระะงในเชิงความถี่



รูปที่ 5 คุณสมบัติทางความถี่ตอบสนอง

รูปที่ 3 คุณสมบัติกำลังสองของสัญญาณ DC เมื่อแปรค่า

$I_m = -20 \mu A$ ถึง $+20 \mu A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.สรุป

วงจรถูกนำเสนอที่มีจุดเด่นคือ ใช้แรงดันไฟเลี้ยงต่ำ ($\pm 1.5V$), ทำงานในโหมดกระแส, และอิสระจาก Body effect โดยความถูกต้องแม่นยำของวงจรถูกขึ้นอยู่กับความสัมพันธ์กันของ K_p กับ K_n และ V_{TN} กับ V_{TP} โดยแรงดัน V_{TN} และ V_{TP} สามารถปรับได้โดยการไบอัสที่ขา Body กับขา Source

5.เอกสารอ้างอิง

- [1] อธิพิงศ์ ชัยสาข์อห์ และ กอบชัย เฉลยหาญ, "เทคนิคการออกแบบวงจรถักสองโดยใช้มอสเฟต," การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL 10 – EL 14, 7-8 พฤศจิกายน 2539.
- [2] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," IEEE J. Solid-State Circuit, vol. SC-21, pp.430-435, June 1986.
- [3] K. Bult and H. Wallinga, "A Class of Analog CMOS Circuit Based on the Square-Law Characteristic of an MOS Transistor Saturation," IEEE J. Solid-State Circuit, vol. SC-22, No.3, pp. 357-365, June 1987.
- [4] E.W. Greneich, "Analog Integrated Circuits," Chapman&Hall, pp. 36, 1941.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดันใช้ซีมอส

ทรานซิสเตอร์

CMOS Floating Voltage-Controlled Resistance

สุพจน์ หุ่นย่อง สมนึก หัวหาญ กอบชัย เคชหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อิทธิพงษ์ ชัยสายัณห์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเอเชียอาคเนย์

บทคัดย่อ

บทความนี้นำเสนอ วงจรความต้านทานแบบลอยตัวที่ควบคุมด้วยแรงดัน โดยอาศัยคุณสมบัติกำลังสองของ CMOS ที่ทำงานในช่วงอิ่มตัว ซึ่งประกอบด้วยวงจรหลัก คือวงจรดิฟเฟอเรนเชียล และวงจรปรับระดับและขนาดแรงดันมาต่อร่วมกัน ผลการเขียนแบบการทำงานถูกแสดงโดยใช้ PSpice

Abstract

This paper proposes the voltage-controlled floating resistance. The operational of circuit is characteristics of CMOS transistor biased in saturation region. An implementation of circuit consists of the differential circuit, the level and magnitude – scaling voltage circuit. The simulation results are demonstrated by PSpice simulation program.

1. บทนำ

การสร้างตัวต้านทานลงใน Integrate Circuit (IC) จะเสียพื้นที่ Chip. มากและปรับค่าความต้านทานไม่ได้ ซึ่งจะไม่นิยมสร้างแต่จะสร้างตัวต้านทานที่เกิดจากอุปกรณ์ประเภท Active การสร้างวงจรความต้านทานเริ่มจาก BJT และต่อมาใช้ CMOS [1,3,4] ในการออกแบบวงจรความต้านทานโดยใช้ CMOS สามารถแบ่งได้ 2 ลักษณะคือ 1. ใช้ CMOS ทำงานในช่วงไม่อิ่มตัว ซึ่งจะได้ค่าความต้านทานต่ำและตอบสนองความถี่ไม่สูง [1,4] และ 2. ใช้ CMOS ทำงานในช่วงอิ่มตัว [2] ซึ่งจะได้ค่าความต้านทาน

สูงและตอบสนองความถี่ได้สูง [3] ในบทความนี้ออกแบบวงจรโดยใช้ CMOS ทำงานในช่วงอิ่มตัว

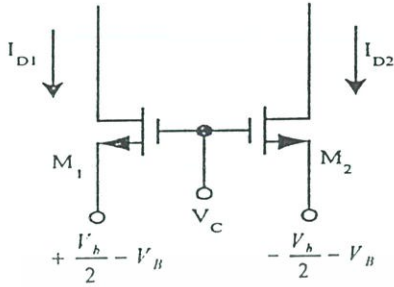
2. หลักการทำงาน

วงจรความต้านทานแบบลอยตัวเกิดจากวงจรหลัก 2 วงจร คือ 1. วงจรดิฟเฟอเรนเชียล 2. วงจรปรับระดับและขนาดแรงดันมาต่อร่วมกัน ซึ่งแสดงได้ตามลำดับดังนี้

2.1 วงจรดิฟเฟอเรนเชียลแบบ common gate

วงจรใช้งานรูปที่ 1 แตกต่างจากวงจรดิฟเฟอเรนเชียลแบบทั่วไป คือ ใช้ขา Gate เป็นจุดร่วมสัญญาณ และอินพุตเข้าที่ขา Source ของแต่ละตัวของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 วงจรคิฟเฟอร์เรนเซียลแบบใช้ Gate เป็นจุดร่วม

วงจรรูปที่ 1 กำหนดให้มอสเฟตทำงานในช่วงอิมิตัวซึ่งมีสมการกระแสคือ

$$I_D = K(V_{GS} - V_T)^2; V_{GS} \geq V_T, I_{DS} \geq V_{GS} - V_T \quad (1)$$

โดย $K = \frac{\mu_n C_{ox} W}{2L}$

รูปที่ 1 กำหนดให้

$V_b =$ แรงดันไฟตรง

$V_h =$ แรงดันไฟสลับ

พิจารณากระแสใน M_1, M_2

$$I_{D1} = K(V_c - \frac{V_h}{2} + V_b - V_T)^2 \quad (2)$$

$$I_{D2} = K(V_c + \frac{V_h}{2} + V_b - V_T)^2 \quad (3)$$

$$I_{D2} - I_{D1} = 2KV_h(V_c + V_b - V_T) \quad (4)$$

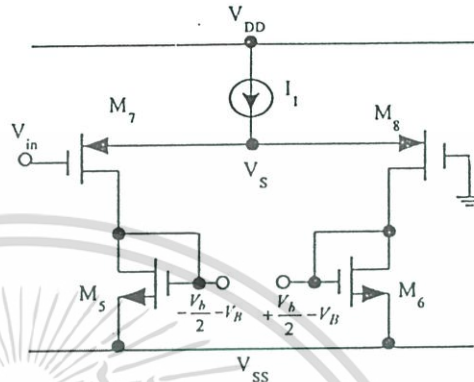
จากรูปที่ 1 จะเห็นได้ว่า V_b สามารถเป็นได้ ทั้งบวกและลบ แต่ V_c เป็นบวกเท่านั้นทำให้วงจรนี้สามารถทำเป็นวงจรคูดแบบ 2 ลวดกระแสที่ใด และเมื่อให้ V_b, I_{D1}, I_{D2} เป็นอินพุทก็จะมีความต้านทานที่ปรับค่าได้คือ

$$\frac{I_h}{I_{D2} - I_{D1}} = \frac{1}{2K(V_c - V_T + V_b)} \quad (5)$$

พิจารณาในรูปที่ 1 จะเห็นได้ว่าแรงดันอินพุท ต้องเป็นแรงดันแบบผลต่างแบบสมมาตรเท่านั้นวงจรจึงจะทำงานได้จริง ซึ่งเมื่อใช้งานเป็นวงจรความต้านทาน แรงดันอินพุทไปไม่ได้เป็นแรงดันแบบสมมาตรอย่างเดียว ดังนั้นเพื่อให้ใช้งานไปก็ลองเพิ่มวงจรเปลี่ยนผลต่างของระดับแรงดันอินพุทเป็นแรงดันผลต่างแบบสมมาตร

2.2 วงจรปรับระดับและขนาดของแรงดัน

วงจรรูปที่ 2 ทำหน้าที่คือ 1. เปลี่ยนผลต่างแรงดันเป็นแรงดันผลต่างแบบสมมาตร 2. ปรับระดับแรงดันเอาท์พุท ให้ได้ระดับที่ต้องการ



รูปที่ 2 วงจรเปลี่ยนระดับและขนาดของแรงดัน [5]

กำหนดให้ CMOS ทุกตัวทำงานในช่วงอิมิตัว, I_1 คือแหล่งจ่ายกระแสคงที่ ทำหน้าที่ปรับระดับแรงดัน V_b และ กำหนดให้ CMOS M_7 สมพียงกับ M_8, M_5 สมพียงกับ M_6

$$I_m = I_{GS7} - I_{GS8} \quad (6)$$

$$I_b = I_{GS6} - I_{GS5} \quad (7)$$

$$I_{D7} = I_{D5}, I_{D8} = I_{D6} \quad (8)$$

จากสมการ (6)-(8) จะได้ความสัมพันธ์ของขนาดแรงดันอินพุทกับขนาดของแรงดันเอาท์พุทคือ

$$I_m = AI_b; A = \sqrt{\frac{K_N}{K_P}} \quad (9)$$

ความสัมพันธ์ของ V_m กับ V_s สามารถหาค่าได้โดยการกำหนดให้ V_m มีค่าน้อยๆซึ่งจะประมาณได้ว่า V_s ประกอบด้วยสัญญาณไฟสลับมีค่าประมาณ $\frac{I_m}{2}$ รวมกับ

สัญญาณไฟตรงมีค่าประมาณ $\sqrt{\frac{I_1}{2K}} + V_T$

$$V_s \approx \frac{I_m}{2} + \sqrt{\frac{I_1}{2K}} + V_T \quad (10)$$

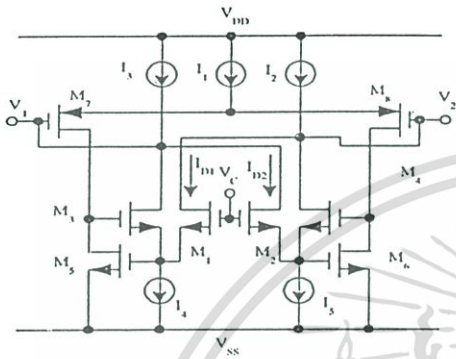
จากสมการที่ (10) นำไปหาระดับแรงดันเอาท์พุทของวงจรรูปที่ 2 คือ

$$-\frac{V_h}{2} - V_b = -\frac{I_m}{2} \sqrt{\frac{K_P}{K_N}} + \sqrt{\frac{I_1}{2K_N}} + V_{SS} + V_T \quad (11)$$

$$+\frac{V_h}{2} - V_b = \frac{I_m}{2} \sqrt{\frac{K_P}{K_N}} + \sqrt{\frac{I_1}{2K_N}} + V_{SS} + V_T \quad (12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรความต้านทานแบบลอยตัวที่ปรับค่าด้วยแรงดัน เมื่อรวมวงจรรูปที่ 1 กับ วงจรรูปที่ 2 และเพิ่ม CMOS ที่ทำหน้าที่ผ่านกระแส ก็จะได้วงจรความต้านทาน ซึ่งแสดงในรูปที่ 3



รูปที่ 3 วงจรความต้านทานแบบลอยตัวที่ปรับค่าด้วยแรงดัน

จากรูปที่ 3 เมื่อกำหนดให้ $I_2=I_3=I_4=I_5$ จะได้ว่าที่ Node V₁ มีกระแสคือ $I_{D2}-I_{D1}$ และที่ Node V₂ มีกระแสคือ $-(I_{D2}-I_{D1})$ จาก (11),(12) นำไปแทนใน (2),(3) จะสามารถเขียนสมการ (4) ได้ใหม่คือ

$$I_{D2} - I_{D1} = 2K_N \frac{I_m}{2} \sqrt{\frac{K_P}{K_N}} (V_c - \sqrt{\frac{I_1}{2K_N}} - V_{SS} + 2V_T) \quad (13)$$

$$\frac{I_m}{I_{D2} \cdot I_{D1}} = \frac{1}{\sqrt{K_P K_N} (V_c - \sqrt{\frac{I_1}{2K_N}} - V_{SS} + 2V_T)} \quad (14)$$

จากรูปที่ 3 ช่วงแรงดันควบคุม V_c สามารถหาได้โดยพิจารณาจากเงื่อนไขการทำงานในช่วงอิมิตัวของมอดทรานซิสเตอร์ M1 และ M2

$$V_1 > V_c + V_T \quad (15)$$

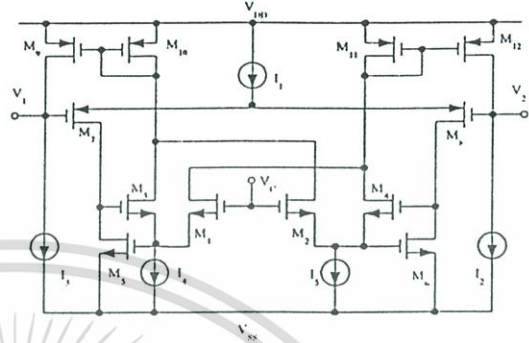
$$V_2 > V_c + V_T \quad (16)$$

จากสมการจะเห็นได้ว่า ช่วงแรงดันควบคุมต้องมีระดับต่ำและขึ้นอยู่กักระดับแรงดันอินพุต (V₁, V₂) ทำให้ช่วงปฏิบัติแถบ และเราสามารถปรับปรุงวงจรเป็นรูปที่ 5 เพื่อทำให้วงจรความต้านทานที่ได้มีช่วงแรงดันควบคุม V_c ที่กว้างขึ้นซึ่งมีเงื่อนไขดังนี้

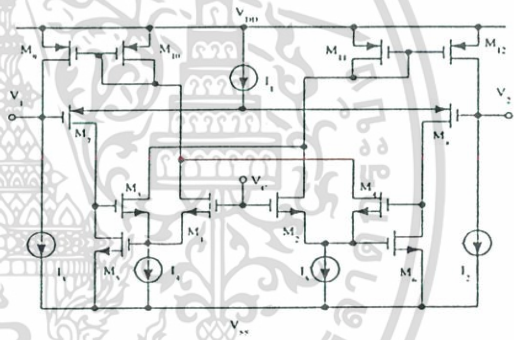
$$V_{DD} - V_{DS10} > V_c + V_T \quad (17)$$

$$V_{DD} - V_{DS11} > V_c + V_T \quad (18)$$

โดยยังมีสมการความสัมพันธ์ของ $\frac{V_{in}}{I_{D2} - I_{D1}}$ เหมือนกับสมการที่(14)



รูปที่ 4 วงจรความต้านทานแบบลอยตัวที่นำเสนอ

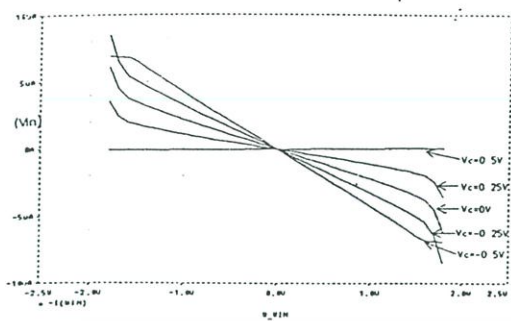


รูปที่ 5 วงจรความต้านทานแบบลอยตัวที่นำเสนอ

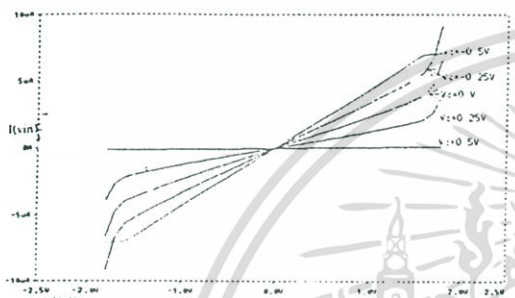
3. ผลการทดสอบ

วงจรดังรูปที่ 4 และ 5 นำมาเขียนแบบการทำงานด้วยโปรแกรม PSpice ซึ่งใช้โมเดลของ European Silicon structure: ES2 ในแบบ Worst Case, Level=2 โดย M1, M2 มี W/L=5 μm/10 μm, M3, M4 มี W/L=5 μm/10 μm, M5, M6 มี W/L=20 μm/2 μm, M7, M8 มี W/L=2 μm/2 μm, I₁=60 μA, I₂=I₃=I₄=I₅= 50 μA, V_{DD} = V_{SS} = 4V ผลการทดสอบความแม่นยำเชิงเส้นวงจรความต้านทานในรูปที่ 3 และรูปที่ 4 และวัดค่าความเพี้ยนทางฮาร์โมนิครวม(THD)= 1 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 6 แสดงความสัมพันธ์ของกระแสและแรงดันอินพุต เมื่อ V_c แปรค่าจาก 0.5V ถึง -0.5V โดยสแต็ปละ 0.25 V
 ก. วงจรความต้านแบบทาวท
 ข. วงจรความต้านแบบลบ



รูปที่ 7 ผลการทดสอบของทางความถี่

4.สรุป

วงจรความต้านแบบลอยตัวปรับค่าด้วยแรงดันที่ระบุ มีคุณวและสมบัติน่าสนใจทุกอย่างเท่ากับจากผลการทดสอบพบว่าวงจรที่นำเสนอนี้ มีความเป็นเชิงเส้นสูง, มีช่วงแรงดันลวควบคุมกว้าง, มีช่วงความถี่ที่ใช้งานกว้าง และวัดค่า ความผิดเพี้ยนทางฮาร์โมนิกรวม (THD)= 1% ที่

ความถี่พื้นฐานที่ความถี่ 1 kHz และสัญญาณอินพุตขนาด 1 Vp-p

5. เอกสารอ้างอิง

- [1] อธิพิพงศ์ ชัยสาขันธ์และ กอบชัย เดชหาญ, “วงจรรวมความต้านทานแบบลอยตัวและวงจรรวมโดยใช้ซีมอส,” การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า ครั้งที่ 19, หน้า EL 15 – EL 18, 7-8 พฤศจิกายน 2539.
- [2] อธิพิพงศ์ ชัยสาขันธ์, ณัฐ จันทร์ครบ และ กอบชัย เดชหาญ, “เทคนิคการออกแบบวงจรรวมโดยใช้ซีมอสในช่วงอิมิตัว,” การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL101-EL103, พฤศจิกายน 2539.
- [3] พงศ์ศักดิ์ อธิพนพงค์ และ อภิศักดิ์ วรพิเชฐ “ตัวต้านทานแบบลอยชนิดใหม่,” การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 18, หน้า EL556-EL559, พฤศจิกายน 2538.
- [4] K. Nagaraj, “New CMOS floating voltage controlled resistor,” Electronics Letters, vol. 22, No.12, pp.667-668, June 1986.
- [5] E. Ibaragi, A. Hyogo and K. Sekine, “A CMOS OTA free from Mobility reduction and body effect ,” IEEE ISPACS, pp.633-636, December 1999.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

แสดงข้อมูลของไอซีเบอร์ MC 14007

MC14007UB

Dual Complementary Pair Plus Inverter

The MC14007UB multi-purpose device consists of three N-channel and three P-channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse-shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range – 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4017A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti-static precautions must be taken.

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Notes 1, 2)

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	-0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	-0.5 to $V_{DD} + 0.5$	V
I_{in}, I_{out}	Input or Output Current (DC or Transient) per Pin	± 10	mA
P_D	Power Dissipation, per Package (Note 3)	500	mW
T_A	Ambient Temperature Range	-55 to +125	$^{\circ}$ C
T_{stg}	Storage Temperature Range	-65 to +150	$^{\circ}$ C
T_L	Lead Temperature (8-Second Soldering)	260	$^{\circ}$ C

2. Maximum Ratings are those values beyond which damage to the device may occur.

3. Temperature Derating:
Plastic P and DQW Packages: - 7.0 mW/ $^{\circ}$ C From 65 $^{\circ}$ C To 125 $^{\circ}$ C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \pm (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

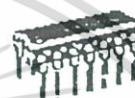
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.



ON Semiconductor

http://onsemi.com

MARKING DIAGRAMS



PDIP-14
P SUFFIX
CASE 645



SOIC-14
D SUFFIX
CASE 751A



TSSOP-14
DT SUFFIX
CASE 949G



SOEIAJ-14
F SUFFIX
CASE 955



A = Assembly Location
WL, L = Water Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

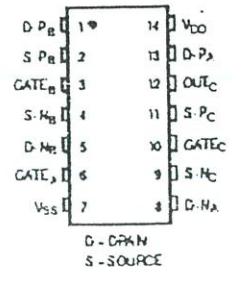
Device	Package	Shipping
MC14007UBCP	PDIP-14	2000/Box
MC14007UBJ	SOIC-14	55/Rail
MC14007UBDR2	SOIC-14	2500/Tape & Reel
MC14007UBDT	TSSOP-14	96/Rail
MC14007UBF	SOEIAJ-14	See Note 1.
MC14007UBFEL	SOEIAJ-14	See Note 1.

1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14007UB

PIN ASSIGNMENT



SCHEMATIC

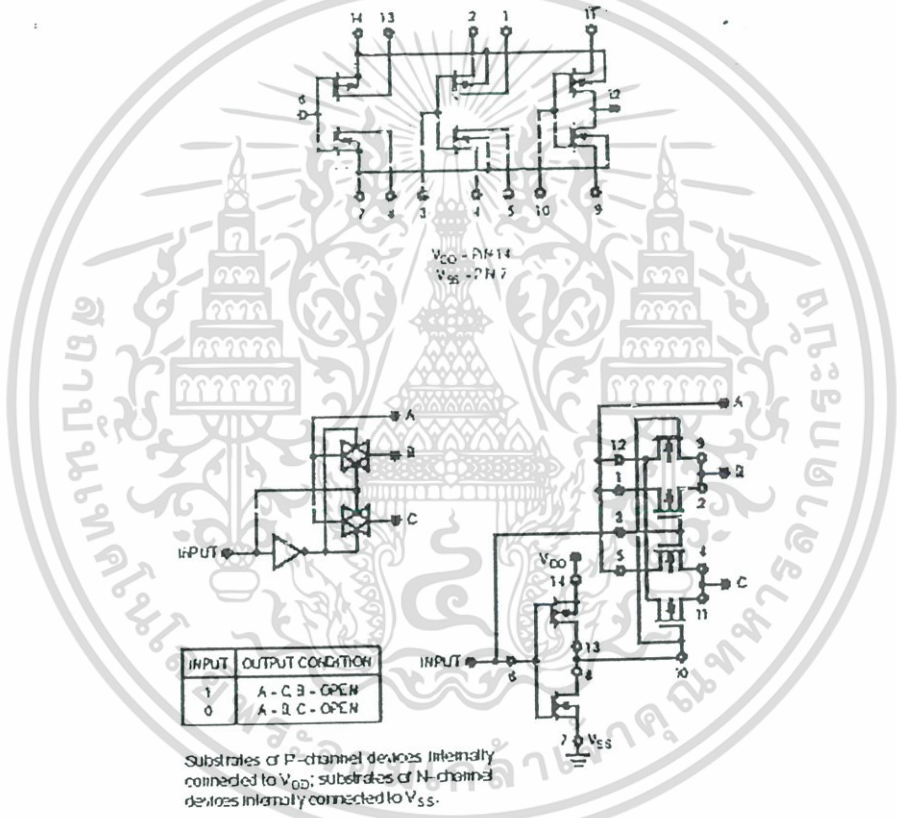


Figure 1. Typical Application: 2-Input Analog Multiplexer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14007UB

SWITCHING CHARACTERISTICS (7) ($C_L = 50$ pF, $T_A = 25^\circ\text{C}$)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ ⁽¹⁾	Max	Unit
Output Rise Time $t_{TLH} = (1.2 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_{TLH} = (0.5 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{TLH} = (0.4 \text{ ns/pF}) C_L + 15 \text{ ns}$	t_{TLH}	5.0 10 15	— — —	90 45 35	150 90 70	ns
Output Fall Time $t_{THL} = (1.2 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{THL} = (0.5 \text{ ns/pF}) C_L + 10 \text{ ns}$ $t_{THL} = (0.4 \text{ ns/pF}) C_L + 10 \text{ ns}$	t_{THL}	5.0 10 15	— — —	75 40 30	150 80 60	ns
Turn-Off Delay Time $t_{PLH} = (1.5 \text{ ns/pF}) C_L + 35 \text{ ns}$ $t_{PLH} = (0.2 \text{ ns/pF}) C_L + 20 \text{ ns}$ $t_{PLH} = (0.15 \text{ ns/pF}) C_L + 17.5 \text{ ns}$	t_{PLH}	5.0 10 15	— — —	60 30 25	125 75 55	ns
Turn-On Delay Time $t_{PHL} = (1.0 \text{ ns/pF}) C_L + 10 \text{ ns}$ $t_{PHL} = (0.3 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{PHL} = (0.2 \text{ ns/pF}) C_L + 15 \text{ ns}$	t_{PHL}	5.0 10 15	— — —	60 30 25	125 75 55	ns

7. The formulas given are for the typical characteristics only. Switching specifications are for device connected as an inverter.
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.



All unused inputs connected to ground.



All unused inputs connected to ground.

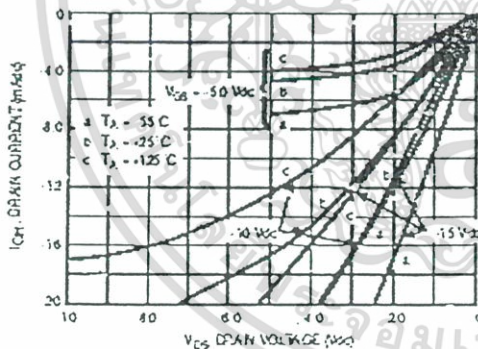


Figure 2. Typical Output Source Characteristics

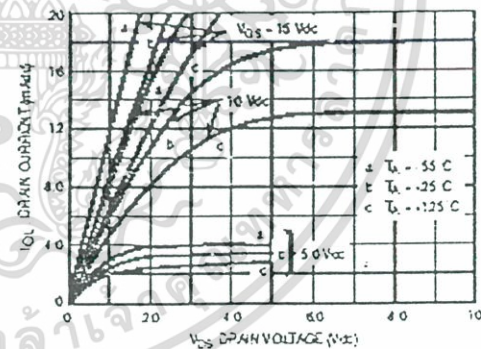


Figure 3. Typical Output Sink Characteristics

These typical curves are not guarantees, but are design aids.
Caution: The maximum current rating is 10 mA per pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

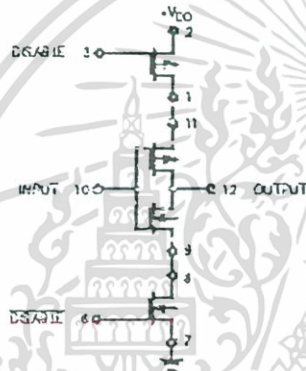
MC14007UB



Figure 4. Switching Time and Power Dissipation Test Circuit and Waveforms

APPLICATIONS

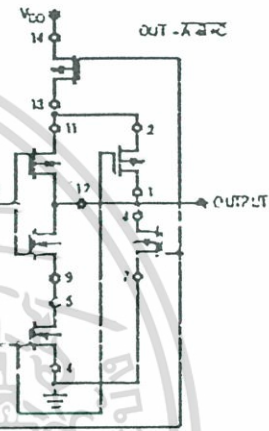
The MC14007UB dual pair plus inverter, which has access to all its elements offers a number of unique circuit applications. Figures 1, 5, and 6 are a few examples of the device flexibility.



INPUT	DISABLE	OUTPUT
1	0	0
0	0	1
X	1	OPEN

X = Don't Care

Figure 5. 3-State Buffer



Substrates of P-channel devices internally connected to VDD; Substrates of N-channel devices internally connected to VSS.

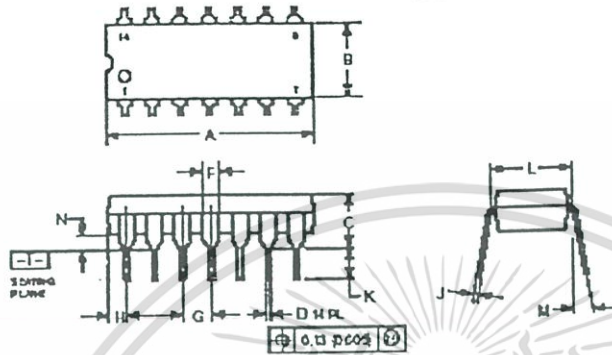
Figure 6. AOI Functions Using Tree Logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14007UB

PACKAGE DIMENSIONS

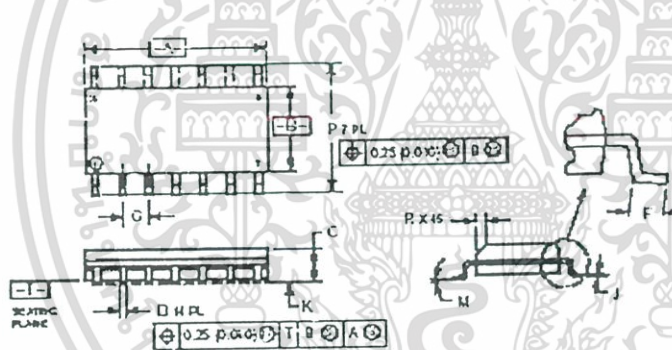
P SUFFIX
PLASTIC DIP PACKAGE
CASE 646-06
ISSUE M



- NOTES:
1. DIMENSIONS A AND C TO BE FORMING PER ANSI Y14.1M, 1983
 2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL
 3. DIMENSION H DOES NOT INCLUDE MOLD FLASH
 4. ROUNDED CORNERS OPTIONAL

DIM	DIMENSIONS		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.175	0.175	4.42	4.42
B	0.250	0.250	6.35	6.35
C	0.118	0.118	2.99	2.99
E	0.075	0.221	1.91	5.61
F	0.040	0.210	1.02	5.33
G	0.000	0.000	0.00	0.00
H	0.000	0.000	0.00	0.00
J	0.000	0.000	0.00	0.00
K	0.115	0.130	2.92	3.30
L	0.090	0.310	2.29	7.87
M	---	1.0	---	25.4
N	0.015	0.020	0.38	0.51

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A-03
ISSUE F



- NOTES:
1. DIMENSIONS A AND C TO BE FORMING PER ANSI Y14.1M, 1983
 2. DIMENSION D TO CENTER OF LEADS WHEN FORMED PARALLEL
 3. DIMENSION H DOES NOT INCLUDE MOLD FLASH
 4. ROUNDED CORNERS OPTIONAL

DIM	DIMENSIONS		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.25	0.25	6.35	6.35
B	0.60	0.70	15.24	17.78
C	1.27	1.27	32.27	32.27
D	0.25	0.25	6.35	6.35
E	0.25	0.25	6.35	6.35
F	0.25	0.25	6.35	6.35
G	0.25	0.25	6.35	6.35
H	0.25	0.25	6.35	6.35
I	0.25	0.25	6.35	6.35
J	0.25	0.25	6.35	6.35
K	0.25	0.25	6.35	6.35
L	0.25	0.25	6.35	6.35
M	0.25	0.25	6.35	6.35
N	0.25	0.25	6.35	6.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and its trademarks are the property of Semiconductor Components Industries, LLC (SCULLC). SCULLC reserves the right to make changes without further notice to any products herein. SCULLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCULLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCULLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCULLC does not convey any license under its patent rights nor the rights of others. SCULLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCULLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCULLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCULLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCULLC was negligent regarding the design or manufacture of the part. SCULLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Datasheet Center, 60211 USA
Phone: 303-675-2175 or 800-344-3050 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3051 Toll Free USA/Canada
Email: CNLJ@onsemi.com
Fax Response Line: 303-675-2167 or 800-344-3010 Toll Free USA/Canada

N. American Technical Support: 800-282-9955 Toll Free USA/Canada

EUROPE LDC for ON Semiconductor - European Support:

Germany Phone: (+1) 303-306-7140 (Mon-Fri 2:00pm to 7:00pm CET)
Email: CNLE-germany@onsemi.com
France Phone: (+1) 303-306-7141 (Mon-Fri 2:00pm to 7:00pm CET)
Email: CNLE-france@onsemi.com
England Phone: (+1) 303-306-7142 (Mon-Fri 12:00pm to 3:00pm GMT)
Email: CNLE@onsemi.com

EUROPEAN TOLL-FREE ACCESS: 800-894-4422-7701

*Available from Germany, France, Italy, UK

CENTRAL/SOUTH AMERICA:

Spanish Phone: 303-306-7143 (Mon-Fri 8:00am to 3:00pm MST)
Email: CNLE-spain@onsemi.com

ASIA/PACIFIC LDC for ON Semiconductor - Asia Support:

Phone: 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
800-800-4422-3781

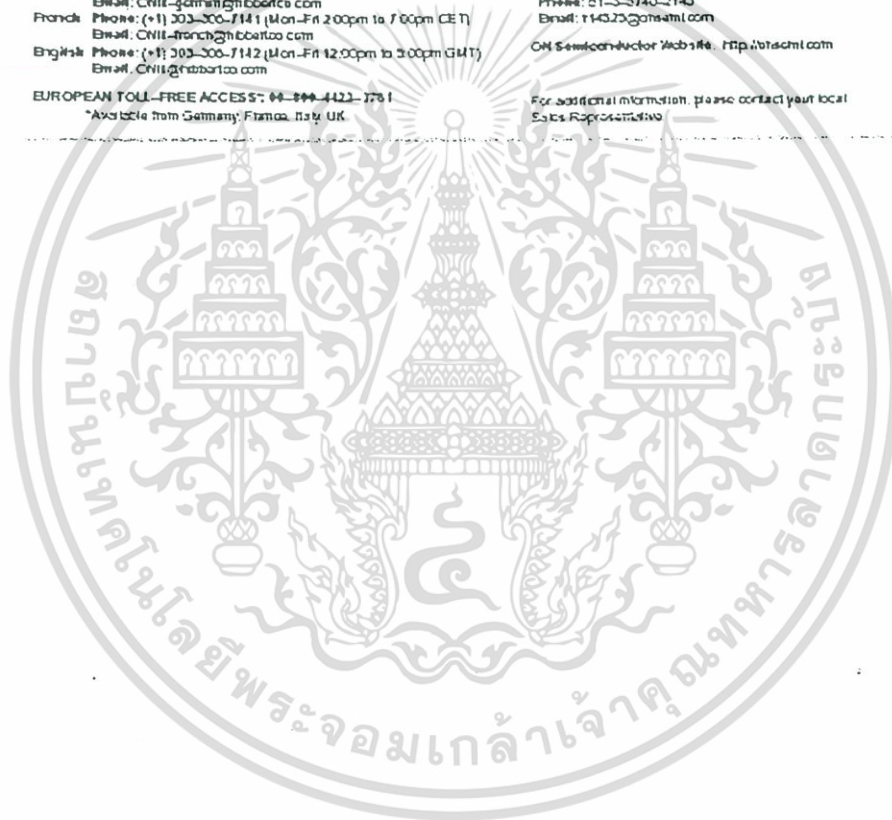
Email: CNLE-asia@onsemi.com

JAPAN: ON Semiconductor Japan Customer Focus Center:

4-32-1 Nishi-Shinjyuku, Shinjyuku-ku, Tokyo, Japan 161-0031
Phone: 81-3-5740-2140
Email: 14525j@onsemi.com

ON Semiconductor Website: <http://www.onsemi.com>

For additional information, please contact your local Sales Representative



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ – สกุล	นายสมนึก หัวหาญ
วัน เดือน ปีเกิด	28 มกราคม 2519
ที่อยู่ปัจจุบัน	48/1 หมู่ 2 ต. ป่าคลอก อ.ถลาง จ. ภูเก็ต 83110
การศึกษา	ปวช. – ปวส. สาขาอิเล็กทรอนิกส์ วิทยาลัยเทคนิคภูเก็ต
ปริญญาตรี	อสม. สาขาอิเล็กทรอนิกส์ มหาวิทยาลัยเอเชียอาคเนย์
ที่ทำงานปัจจุบัน	บริษัท นิคโคโซ เมคคัล (ประเทศไทย) จำกัด ตำแหน่ง Service Engineer



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้