สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรมอดูเลทและดีมอดูเลทสัญญาณบีพีเอสเค

DESIGN MODULATION AND DEMODULATION BPSK

โดย

นาย อติศักดิ์ กาลาศรี

นาย อนุรักษ์ ศรีสงคราม

เลขหมู่.....
เลขทะเบียน 62808
วัน,เดือน,ปี 22 ส.ค. 2549

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรมอดูเลทและดีมอดูเลทสัญญาณบีพีเอสเค

DESIGN MODULATION AND DEMODULATION BPSK

โดย

นาย อติศักดิ์ กาลาศรี รหัสนักศึกษา 46015206

นาย อนุรักษ์ ศรีสงคราม รหัสนักศึกษา 46015207

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2548

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรมอดูเลทและดีมอดูเลทสัญญาณบีพีเอสเค

จัดทำโดย

1.นายอติศักดิ์ กาลาศรี รหัสประจำตัว 46015206

2.นายอนุรักษ์ ศรีสงคราม รหัสประจำตัว 46015207

.....

(ผศ.ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรมอดูเลทและดีมอดูเลทสัญญาณบีพีเอสเค

นาย อติศักดิ์ กาลาศรี รหัส 46015206
นาย อนุรักษ์ ศรีสงคราม รหัส 46015207
ผศ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2548

บทคัดย่อ

รายงานฉบับนี้นำเสนอการออกแบบและสร้างวงจรสำหรับการมอดูเลทและดีมอดูเลทสัญญาณไบนารีเฟสชิพท์คีย์(บีพีเอสเค) ในปัจจุบัน Phase Shift Keying เป็นวิธีการหนึ่งในหลายวิธีซึ่งถูกนำมาใช้เพื่อเพิ่มอัตราการส่งผ่านข้อมูล (บิท/วินาที) ในรูปแบบการส่งแบบอนุกรมให้มีอัตราการส่งผ่านข้อมูลมากกว่าวิธีการส่งข้อมูลแบบFrequency Shift Keying (FSK) ซึ่งถูกจำกัดอัตราการส่งผ่านข้อมูลดิจิตอลอยู่ที่ 1,200 บิทต่อวินาที ส่วนที่สำคัญที่สุดในรูปแบบของ PSK คือส่วนของการดีมอดูเลชั่นสัญญาณ PSK ให้กลับมาเป็นข้อมูลทางด้านรับ ซึ่งต้องใช้สัญญาณคลื่นพาห์ที่ใช้สำหรับการมอดูเลทในทางภาคส่ง จึงจำเป็นต้องมีส่วนของการสร้างสัญญาณคลื่นพาห์ขึ้นมาใหม่ทางภาครับซึ่งต้องมีเฟสและความถี่เท่ากับทางด้านส่ง ซึ่งเป็นจุดหนึ่งที่น่าสนใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design BPSK Modulation and Demodulation

Mr. Atisak Kalasri ID.46015206

Mr. Anurak Srisongkram ID.46015207

Asst.Prof. Prapakorn Suwanna (Advisor)

Educational Year 2005

Abstract

This thesis present the design and implementation of the binary phase shift keying (BPSK) demodulation This thesis circuit.Phase shift (PSK) is one of several techniques that was introduce to increase the rate of digital data transmission (bits per second) through the channel in the form of serial transmission.Tbis have an advantage above the earlier technique,Frequency Shift Keying (FSK).Because the data transmission of the FSK is limited to only of 1,200 bits per second.The difference between both techniques besides mentioned above presented by the demodulation process in the receive side that needs to get carrier signal which coherent in sucb in the transmitter cause the reciever to bave the carrier recovery process to achieve a true true carrier signal and become to be interesting topic in PSK techniques.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงได้อย่างดี ผู้วิจัยขอขอบพระคุณ ผศ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา สำหรับแนวความคิด แนวทางแก้ไขปัญหาที่เป็นประโยชน์อย่างสูง ขอขอบคุณพี่ๆ ปริญญาโท ที่คอยให้ความช่วยเหลือในเรื่องต่างๆ ขอขอบคุณห้องทดลอง และเครื่องมือที่มีให้ทดลองทำให้ผ่านไปได้ด้วยดี ขอขอบคุณคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่สนับสนุนเครื่องมือ และขอขอบคุณเพื่อนๆ น้องๆ ที่ให้ความช่วยเหลือเรื่องงานนำเสนอ ทำให้งานวิจัยสำเร็จไปได้ด้วยดี

สุดท้ายนี้สำคัญที่สุดขอกราบขอบพระคุณ บิดา มารดา ที่เป็นกำลังใจที่ดีที่สุดและคอยสนับสนุนในด้านการเรียน การเงิน มาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....ข
บทคัดย่อภาษาอังกฤษ.....ค
สารบัญ.....จ
สารบัญรูป.....ช
บทที่1 บทนำ.....1
1.1 ความเป็นมาและความสำคัญของปัญหา.....1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....2
1.3 สมมุติฐานของการศึกษา.....3
1.4 ขอบเขตการวิจัย.....3
1.5 ขั้นตอนของการศึกษา.....4
บทที่2 พื้นฐานการรับส่งข้อมูล.....5
2.1 การสื่อสารข้อมูล.....5
2.2 ลักษณะของการส่งข้อมูล.....6
2.2.1 การรับส่งข้อมูลแบบขนาน (Parallel).....6
2.2.2 การรับส่งข้อมูลแบบอนุกรม (Serial).....6
2.3 รูปแบบของการรับส่งข้อมูลแบบอนุกรม.....8
2.3.1 การสื่อสารแบบทางเดียว (Simplex).....8
2.3.2 การสื่อสารแบบทางใดทางหนึ่ง (Half duplex).....8
2.3.3 การสื่อสารแบบสองทาง (Full duplex).....8
2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม.....9
2.5 พอร์ตอนุกรม.....9
บทที่3 ทฤษฎีของการมอดูเลทและดีมอดูเลทสัญญาณ PSK.....16
3.1 การมอดูเลท PSK..... ...16
3.1.1 การมอดูเลท BPSK..... 16
3.2 การดีมอดูเลท PSK.....18
3.2.1 การดีมอดูเลทสัญญาณ BPSK.....19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4 วงจรกรองความถี่ผ่านและวงจร Edge detector.....20
4.1 วงจรกรองความถี่ต่ำผ่าน (Low pass Filter)....20
4.2 วงจรกรองแถบความถี่ผ่าน(Band passfilter)....22
4.3 ดีเทกต์ขอบ (Edge detection)..... ...23
บทที่5 ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป....24
บทที่6 การตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง....27
บทที่7 การออกแบบวงจรภาคส่งและวงจรภาครับ....30
7.1 การออกแบบวงจรภาคส่ง....30
7.1.1 วงจรกำเนิดความถี่....30
7.1.2 วงจร Modulated BPSK....32
7.1.3 วงจร Low pass filter....32
7.2 การออกแบบวงจรภาครับ....33
7.2.1 วงจร Comparator และ Edge Detector....34
7.2.2 วงจร Bandpass filter....35
7.2.3 วงจรเลื่อนเฟส(Phase shifter)....36
7.2.4 วงจรเฟสล็อกลูป(Phase Lock Loop)....37
7.2.5 วงจรดีมอดูเลท....38
7.2.6 วงจรการรีเซ็ตให้กับระบบ(Resetting Circuit)....38
7.2.7 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี(ภายหลังการดีมอดูเลท)ให้ถูกต้อง....39
บทที่ 8 ผลการทดลอง....41
บทที่ 9 สรุปและวิจารณ์ผลการทดลอง....48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 การรับส่งข้อมูลแบบขนาน.....6

2.2 การส่งข้อมูลแบบอนุกรม.....7

2.3 บิตต่างๆของข้อมูลที่ส่งแบบอนุกรม.....8

2.4 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม.....8

2.5 แสดงการกำหนดข้อต่อ RS-232C.....10

3.1 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้ตัวมอดูเลเตอ.....16

3.2 คลื่นอินพุตและเอาต์พุตของการมอดูเลท BPSK.....17

3.3 คุณลักษณะของสัญญาณ B P S K (ก) ตารางความจริง; (ข) เฟสเซอร์ไดอะแกรม (phasor diagram); (ค) คอนสเตลเลชันไดอะแกรม (Constellation diagram).....17

3.4 บล็อกไดอะแกรมของตัวดีมอดูเลทสัญญาณ BPSK.....19

4.1 คุณสมบัติของ Low pass Filter ในการพิจารณาออกแบบ.....20

4.2 คุณสมบัติของ Band pass filter ในการพิจาณาออกแบบ.....22

4.3 ลักษณะของ Output และ Block diagram ของวงจร Edge detection.....23

5.1 แสดงบล็อกไดอะแกรม วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป.....24

6.1 บล็อกไดอะแกรมของการตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง27

6.2 บล็อกไดอะแกรมหลักการทำงานของตัวควบคุมการเลือกสถานะทางลอจิก.....29

7.1 แสดงบล็อกไดอะแกรมของภาคส่งในทางปฏิบัติ.....30

7.2 Block Diagram วงจรกำเนิดความถี่.....30

7.3 วงจรผลิตความถี่.....31

7.4 วงจรมอดูเลท BPSK.....32

7.5 วงจร Low pass filter.....32

7.6 แสดงบล็อกไดอะแกรมของภาครับในทางปฏิบัติ.....33

7.7 วงจร Comparator และ Edge Detector.....34

7.8 วงจร Bandpass filter.....35

7.9 วงจรเลื่อนเฟส(Phase shifter).....36

7.10 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป.....37

7.11 แสดงวงจรเฟสล็อกลูป.....37

7.12 วงจรดีมอดูเลท.....38

7.13 วงจรการรีเซ็ต(Resetting Circuit)ให้กับระบบ.....39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.14 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี(ภายหลังการดีมอดูเลท)ให้ถูกต้อง.....40
8.1 รูปคลื่นของ Carrier ซึ่งจะมีเฟสต่างกัน 90° และมีความถี่ 1800 Hz.....41
8.2 รูปคลื่นของ Clock มีความถี่ 2400 Hz.....42
8.3 เปรียบเทียบรูปคลื่นระหว่าง Data (รูปบน) และ Carrier (รูปล่าง).....42
8.4 รูปคลื่นของ Output ที่เกิดจากการ Modulate ใน Excusive-Or Gate.....43
8.5 เปรียบเทียบคลื่นระหว่าง Data (รูปบน) กับ Modulated (รูปล่าง).....43
8.6 รูปคลื่น Output ของ Low Pass Filter.....44
8.7 รูปคลื่น Output ของ Comparator ที่เปรียบเทียบกับแรงดัน 2.5 V.....44
8.8 เปรียบเทียบระหว่าง Comparator's Output (รูปบน) กับ Edge Detection's Output.....45
8.9 รูปคลื่นของ Band Pass Filter.....45
8.10 รูปคลื่น Output ของ Phase Lock Loop มีความถี่ 3600 Hz.....46
8.11รูปคลื่น Carrier ที่มีความถี่ 1800 Hz ระหว่างภาคส่ง (รูปบน) กับ ภาครับ (รูปล่าง).....46
8.12 รูปคลื่น Data จำลองที่มีความถี่ 1200 Hz ระหว่าง Data ก่อน Modulate (รูปบน) กับ Data หลัง Demodulate (รูปล่าง).....47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

การนำสัญญาณทางดิจิตอลมามอดูเลทไปบนคลื่นพาห์ไซนูซอยด์ (Sinusoidal carrier) นั้น สามารถกระทำได้ 3 ลักษณะใหญ่ๆ ด้วยกันคือ การมอดูเลททางขนาดของคลื่นพาห์ หรือที่เรียกว่า ASK (Amplitude shift keying) การมอดูเลททางความถี่ของคลื่นพาห์เรียกว่า FSK (Frequency shift keying) และการมอดูเลททางเฟสของคลื่นพาห์ที่เรียกว่า PSK (Phase shift keying) ซึ่งมีลักษณะคล้ายคลึงกับการมอดูเลทของสัญญาณแอนาลอก (Analog) หรือสัญญาณที่มีการเปลี่ยนแปลงแบบต่อเนื่อง (Continuous) ไปบนคลื่นพาห์ไซนูซอยด์ ซึ่งเรียกว่า AM FM และ PM ตามลำดับ ในแต่ละลักษณะของการมอดูเลททางดิจิตอลจะมีข้อดีและข้อเสียต่างกันออกไป กล่าวคือ ASK จะมีข้อดีคือเป็นเทคนิคที่ง่ายที่สุดที่ใช้ในการมอดูเลทและการดีมอดูเลท นอกจากนั้นสัญญาณ ASK ยังมีความสิ้นเปลืองแบนด์วิดท์ (Bandwidth) น้อยเท่ากับ PSK (ถ้าพิจารณาที่อัตราการส่งข้อมูลเท่ากัน) อีกด้วย แต่มีข้อเสียก็คือมีความอ่อนแอต่อสัญญาณรบกวนที่อยู่รอบๆ ช่องส่งสัญญาณ (Channel) มากที่สุดเมื่อเทียบกับสัญญาณ FSK และ PSK ส่วนทั้งสัญญาณ FSK และ PSK นั้นเนื่องจากเอนเวโลบ (Envelop) ของมันมีค่าคงที่ จึงไม่มีผลกระทบต่อสัญญาณรบกวนทางขนาดเมื่อเทียบกับสัญญาณ ASK แต่เนื่องจากสัญญาณ FSK นั้นมีความสิ้นเปลืองแบนด์วิดท์มากที่สุดเมื่อเทียบกับสัญญาณอื่นดังนั้นการมอดูเลท PSK จึงเป็นทางเลือกที่น่าสนใจที่สุดสำหรับงานที่ต้องการทั้งความประหยัดแบนด์วิดท์หรือมีช่องส่งสัญญาณที่มีแบนด์วิดท์แคบ อาทิเช่น สายโทรศัพท์ และยังสามารถต้านทานต่อสัญญาณรบกวนที่อยู่รอบๆ ช่องส่งสัญญาณได้ดีอีกด้วย

โดยส่วนใหญ่แล้ว การดีมอดูเลทนั้นจะมีอุปสรรคหรือความยุ่งยากมากกว่าการมอดูเลทเสมอ ดังนั้นการออกแบบตัวดีมอดูเลทสัญญาณ PSK จะมีความยากลำบากกว่าการออกแบบตัวมอดูเลท PSK ซึ่งในวิทยานิพนธ์นี้เป็นการออกแบบตัวดีมอดูเลทสัญญาณ PSK แบบไบนารีเท่านั้น ในการดีมอดูเลทสัญญาณ PSK นั้นสามารถแบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ โคฮีเรนท์ (Coherent) และนอนโคฮีเรนท์ (Non – coheren) อย่างไรก็ตามวิทยานิพนธ์นี้ได้ใช้การมอดูเลทประเภทโคฮีเรนท์ด้วยเหตุผลที่ว่านอกจาก (โดยทางทฤษฎีแล้ว) จะให้ความผิดพลาดของข้อมูลที่ได้จากการดีมอดูเลทหรือที่เรียกกันทั่วไปว่า BER (Bit error rate) ต่ำกว่าประเภทนอนโคฮีเรนท์แล้ว ยังมีความเป็นไปได้ที่จะสามารถสร้างฮาร์ดแวร์ (ซึ่งยังคงสามารถกระทำได้โดยไม่ยุ่งยากเกินไปนัก) ขึ้นมาได้มากกว่าประเภทนอนโคฮีเรนท์ เพราะสิ่งที่เป็นอุปสรรคของนอนโค – ฮีเรนท์ (ซึ่งหมายถึง Differential PSK) ก็คืออุปกรณ์ที่จะนำมาใช้เป็นตัวดีเลย์สัญญาณซึ่งจะต้องมีค่าดีเลย์ที่แน่นอน (เท่ากับคาบเวลาของการให้สัญญาณ หรือ Signaling) ที่ขึ้นกับความถี่ของคลื่นพาห์ ซึ่งอาจเป็นการใช้อุปกรณ์ประเภท Delay line ในงานความถี่สูงๆ เช่นโทรทัศน์ หรือโทรศัพท์มือถือ ซึ่งมีค่าการดีเลย์ให้เลือกจำกัดและหาซื้อค่อนข้างลำบากในตลาดภายในประเทศ แต่ถ้าเป็นกรณีที่มีการตอบสนองทางเฟสแบบเชิงเส้น (Linear – phase) มาเป็นตัวดีเลย์สัญญาณก็จะมีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยุ่งยากมากในการปรับค่าอุปกรณ์ให้พอดีกับค่าดีเลย์ที่ต้องการ แต่ถึงกระนั้นก็ตามโดยลักษณะทางโครงสร้างของการดีมอดูเลทประเภทนอนโคฮีเรนท์ นั้นเป็นแบบลูปเปิด ซึ่งทำให้เกิด BER ค่อนข้างสูง ในกรณีที่ความถี่คลื่นพาห์ที่ตัวมอดูเลท PSK มีค่าเบี่ยงเบนหรือไม่นิ่งพอที่เรียกว่าเกิด phase jitter ขึ้นอันจะก่อให้เกิดผลเสียคือ ค่าดีเลย์ที่ได้เคยเซตไว้แล้วจะไม่ตรงกับคาบเวลาของการให้สัญญาณ (Signaling period) ซึ่งเมื่อเวลาผ่านไปนานๆ จะทำให้เกิดเฟสสะสม (Accumulated Phase) จนทำให้การดีมอดูเลทได้ข้อมูลที่ผิดพลาดเป็นช่วงๆ แต่ถ้าเป็นการมอดูเลทประเภทโคฮีเรนท์แล้วปัญหานี้จะไม่เกิดขึ้น เพราะเป็นระบบที่มีการซิงโครไนซ์ทางเฟสกับคลื่นพาห์ที่ใช้ในการมอดูเลทตลอดเวลา ซึ่งถึงแม้ว่าโดยทั่วๆ ไปแล้วการดีมอดูเลทประเภทโคฮีเรนท์ดูเหมือนว่าจะมีความซับซ้อนมากกว่าประเภทนอนโคฮีเรนท์ก็ตาม แต่สำหรับในงานที่ใช้คลื่นพาห์ที่มีความถี่ไม่สูงมากนัก (ไม่เกิน 1 MHz) ก็ยังมีความเป็นไปได้ที่จะสามารถกระทำสำเร็จได้มากกว่า และอีกประการหนึ่ง (ซึ่งเป็นจุดสำคัญและมีความเกี่ยวข้องกัน) สำหรับกรณีของเทคนิคที่ใช้กับโมเด็ม แบบซิงโครนัส (Synchronous modem) ซึ่งส่วนใหญ่จะเป็นโมเด็มความเร็วปานกลางและความเร็วสูง (กรณีที่ใช้ช่องสัญญาณเป็นสายโทรศัพท์ปกติ) มักจะใช้เทคนิคของ PSK และ QAM ตามลำดับ

ดังนั้นงานวิจัยนี้จึงจัดว่าเป็นการเริ่มต้นทางด้านการปฏิบัติ ในการสร้างตัวดีมอดูเลทสัญญาณ PSK ที่ได้จากการมอดูเลทสัญญาณไบนารีทีละ 1 บิทไปบนคลื่นพาห์ไซนูซอยด์ ซึ่งเรียกว่า Binary PSK ซึ่งเป็นแบบโคฮีเรนท์ และจากความรู้ที่ได้จากการศึกษาและวิจัยนี้สามารถนำไปพัฒนาต่อในการสร้างตัวดีมอดูเลทสัญญาณ PSK ที่ถูกมอดูเลทจากสัญญาณไบนารีทีหลายบิทต่อไปในอนาคตได้ อาทิเช่น QPSK (Quadrature phase shift keying) ซึ่งเป็นการมอดูเลทสัญญาณไบนารีทีละ 2 บิท

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ความมุ่งหมายในการวิจัยนี้ก็เพื่อสร้างฐานทางด้านความรู้ (Knowledge base) ทั้งทางทฤษฎีและทางด้านการปฏิบัติได้จริงในการดีมอดูเลท สัญญาณ PSK เพื่อที่จะสามารถพัฒนาไปสู่การสร้างโมเด็มที่ใช้หลักการของ PSK ซึ่งมีลักษณะเด่นดังที่ได้กล่าวไปแล้ว อย่างไรก็ตามแม้ว่าจะมีผลิตภัณฑ์ อาทิเช่น Modem (Modulator / Demodulator) ที่ใช้หลักการดังกล่าวผลิตออกจำหน่ายเป็นเวลานานแล้วก็ตาม แต่เนื่องจากวิธีการประดิษฐ์หรือ know – how โดยละเอียดนั้นหาข้อมูลได้ยากมากและไม่ค่อยจะเปิดเผย และแม้ว่าในปัจจุบันจะมีการผลิตชิป (Chip) สำเร็จรูปออกมาจำหน่ายแล้วก็ตามแต่ยังหาซื้อได้ยากในประเทศหรือไม่ก็ต้องสั่งซื้อมีราคาค่อนข้างแพง

ดังนั้นในการศึกษาและการทำวิทยานิพนธ์นี้จึงมีวัตถุประสงค์หลัก ที่จะใช้เฉพาะชิป หรือไอซีที่มีจำหน่ายอยู่แล้วหรือหาซื้อได้ง่าย ภายในประเทศโดยไม่ต้องสั่งซื้อ มาสร้างเป็นตัวดีมอดูเลทสัญญาณ PSK ซึ่งสามารถใช้ไอซีที่ถูกใช้ร่วมกับงานประเภทอื่นได้ (Common chip) และหาซื้อได้ค่อนข้างง่าย เช่น (ที่เกี่ยวข้องกับงานวิจัยนี้) เกตต่างๆ ดี–ฟลิปฟลอป เฟสล็อกลูปแบบซีมอส รีจิสเตอร์ตัวเลื่อนและอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถนำมาประยุกต์ใช้ได้ โดยเฉพาะกับงานที่ไม่ได้ต้องการความสามารถในการส่งข้อมูลด้วยความเร็วสูงเช่น การวัดระยะไกล (Telemetry) ที่มีการ Update ข้อมูลไม่เร็วนัก เช่น การวัดอุณหภูมิ นอกจากนั้นยังจัดว่าเป็นจุดเริ่มต้นในการพัฒนาไปสู่การสร้างโมเด็มซิงโครนัส (Synchronous modem) ความเร็วปานกลางหรือความเร็วสูงอีกด้วย

1.3 สมมุติฐานของการศึกษา

ก่อนที่จะสร้างตัวดีมอดูเลทสัญญาณ PSK นั้นจะต้องทำการศึกษาถึงทฤษฎีของสัญญาณ PSK ทั้งทางคุณลักษณะและผลกระทบที่มีต่อระบบ เช่น แบนด์วิดท์ของสัญญาณชนิดของช่องส่งสัญญาณ และอื่นๆ และศึกษาหลักการมอดูเลท PSK เสียก่อน แล้วจึงทำการศึกษาหลักการการ ดีมอดูเลทต่อไป จากนั้นจะต้องสร้างหรือจำลองสัญญาณ PSK เพื่อใช้ในการทดสอบ เมื่อมีสัญญาณ PSK เพื่อไว้ใช้สำหรับทดสอบแล้วจึงทำการศึกษาวิธีการที่จะสร้างตัวดีมอดูเลท แล้วจึงค้นคว้าและเลือกหาอุปกรณ์ที่เหมาะสมที่จะสามารถนำมาประยุกต์ใช้กับงานวิจัย ซึ่งจะต้องมีจำหน่ายภายในประเทศเท่านั้นและค่อนข้างหาซื้อได้ง่ายอีกด้วย เพื่อที่จะนำมาสร้างตัวดีมอดูเลทสัญญาณ PSK จากนั้นทำการทดสอบการดีมอดูเลทเพื่อพิสูจน์ว่าสามารถดีมอดูเลทได้ข้อมูลที่ถูกต้องหรือไม่ และถ้าเกิดข้อผิดพลาดขึ้นจะต้องหาวิธีแก้ไข รวมทั้งบันทึกผลลองเพื่อใช้เป็นการอ้างอิง ถ้าผลการทดลองเป็นที่พอใจ ซึ่งหมายถึงสามารถดีมอดูเลทได้ข้อมูลถูกต้องแม้อย่างน้อยที่สุด SNR (Signal to noise ratio) ของสัญญาณ PSK ที่นำมาดีมอดูเลทจะมีค่าสูง ซึ่งก็คือแทบจะปราศจากสัญญาณรบกวนก็ตาม

1.4 ขอบเขตการวิจัย

สร้างตัวมอดูเลทสัญญาณ BPSK (Binary PSK) ที่มีแบนด์วิดท์ไม่เกิน 3kHz ซึ่งมีความถี่อยู่ในช่วงความถี่ที่สามารถใช้งานกับสายโทรศัพท์ปกติได้ (300 – 3300 Hz) แบบโคฮีเรนท์ โดยสัญญาณ BPSK นี้ใช้คลื่นพาห์ที่มีความถี่ 1,800 Hz โดยมีอัตราบิท 1,800 bps. (Bit per second) และอัตราสัญลักษณ์ (Symbol rate) หรืออัตราการมอดูเลท 1,800 sps. (Symbol per second) โดยใช้ไอซีที่หาซื้อได้ง่ายเป็นส่วนใหญ่และสามารถหาซื้อได้ภายในประเทศไทย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ขั้นตอนของการศึกษา

ขั้นตอนของการศึกษาและทำการวิจัยมีขั้นตอนต่างๆ ดังต่อไปนี้

1.5.1 ศึกษาพื้นฐานการรับส่งข้อมูล

1.5.2 ศึกษาระบบการมอดูเลทและการดีมอดูเลทแบบดิจิตอล

1.5.3 ศึกษาหลักการของ PSK ทั้งการมอดูเลทและการดีมอดูเลท

1.5.4 สร้างสัญญาณ PSK เพื่อใช้ในการทดสอบตัวดีมอดูเลท

1.5.5 ศึกษาทฤษฎีของ PLL

1.5.6 เลือกหาชิป PLL ที่มีจำหน่ายภายในประเทศรวมทั้งศึกษาวิธีการใช้งาน เพื่อทำการทดลองเกี่ยวกับ PLL

1.5.7 นำทฤษฎีของ PLL มาประยุกต์ใช้สร้างตัวดีมอดูเลท

1.5.8 ทำการทดสอบการดีมอดูเลทสัญญาณ BPSK จากสัญญาณที่ได้สร้างขึ้นจากหัวข้อ 1.5.4 พร้อมทั้งบันทึกผลการทดลอง

1.5.9 สรุปผลการทดลองและวิเคราะห์ปัญหาที่เกิดขึ้น รวมทั้งเสนอแนวทางการแก้ปัญหาและเสนอแนวทางในการพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
พื้นฐานการรับส่งข้อมูล

ในปัจจุบันนี้การติดต่อสื่อสารกันเป็นไปอย่างรวดเร็วและทันสมัยมากขึ้น รวมทั้งมีการพัฒนารูปแบบการส่งข้อมูลข่าวสารให้ง่ายและสะดวกในการรับ ส่ง มากขึ้นด้วยเช่นกัน ในอดีตการส่งข้อมูลจะใช้สัญญาณอนาลอก ซึ่งเป็นลักษณะการส่งแบบต่อเนื่องกันไป แต่เนื่องจากรูปแบบของอนาลอกดังกล่าวนี้มีความจำกัดในด้านความละเอียดและประสิทธิภาพในการส่งข้อมูลไม่สามารถพัฒนาให้สูงมากได้ เพราะข้อจำกัดของอุปกรณ์และการเกิดสัญญาณรบกวนมีได้ง่ายกว่าการส่งข้อมูลในรูปแบบดิจิตอลซึ่งเป็นอีกรูปแบบหนึ่งของการส่งข้อมูลที่กำลังได้รับความสนใจและถูกพัฒนาขึ้นอย่างมาก เนื่องจากรูปแบบดิจิตอลมีความละเอียดและความถูกต้องสูงรวมทั้งสามารถติดต่อได้ในระยะทางไกลๆ ได้ดีกว่าแบบอนาลอก

ในการติดต่อสื่อสารกันระหว่างเครื่องคอมพิวเตอร์นั้น เนื่องจากข้อมูลมีลักษณะเป็นดิจิตอล จึงใช้การส่งแบบดิจิตอล หลักการของการส่งข้อมูลแบบดิจิตอล คือ การนำเอาสัญญาณข้อมูลที่ต้องการส่งมาทำการผสมไปกับคลื่นพาห์

2.1 การสื่อสารข้อมูล

การสื่อสารข้อมูลที่เป็นสัญญาณดิจิตอลสามารถแบ่งการส่งผ่านสัญญาณอย่างง่ายๆ เป็น 2 ลักษณะ คือ การส่งสัญญาณดิจิตอลไปโดยตรงผ่านตัวกลางต่างๆ โดยไม่มีการปรับเปลี่ยนให้เหมาะสมก่อน หรือการส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์ และการส่งในอีกลักษณะคือการปรับเปลี่ยนสัญญาณดิจิตอลให้เหมาะสมก่อนแล้วจึงส่งผ่านตัวกลางออกไป เช่น การมอดูเลทสัญญาณดิจิตอลโดยวิธีการเปลี่ยนความถี่ (Frequency Shift Keying) เป็นต้น หรือการส่งสัญญาณดิจิตอลแบบบอร์ดแบนด์

การส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบ PCM ทั่วไป นอกจากนั้นยังใช้ในระบบข่ายงานท้องถิ่น (Local area network) และในงานสื่อสารข้อมูลระยะใกล้แบบอื่นๆ ซึ่งในระบบ PCM ที่ส่งผ่านสัญญาณดิจิตอลไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น สัญญาณดิจิตอลที่ถูกส่งออกไปนั้นจะเป็นสัญญาณดิจิตอลแบบเบสแบนด์โดยไม่ทำการมอดูเลทกับคลื่นพาห์ ซึ่งอาจกล่าวได้ว่าเป็นระบบที่ง่ายเพราะไม่ต้องใช้อุปกรณ์มอดูเลเตอร์ และมอดูเลเตอร์ อย่างไรก็ตามสายสัญญาณนั้นมักจะมีการตอบสนองต่อความถี่จำกัด ทำให้สัญญาณดิจิตอลที่ส่งผ่านไปค่อยๆ ผิดเพี้ยนไปทั้งเชิงขนาดและเชิงเวลาหน่วง ผลที่เกิดขึ้นก็คือ เมื่อทำการส่งสัญญาณ PCM จึงต้องมีการติดตั้งเครื่องทวนสัญญาณไว้ จึงไม่สะดวกนักในการสื่อสารที่ต้องใช้ระยะทางไกลๆ

การส่งสัญญาณดิจิตอลแบบบอร์ดแบนด์นั้นเป็นการส่งสัญญาณดิจิตอลโดยการมอดูเลทเข้ากับคลื่นพาห์ หรือก็คือการนำเอาสัญญาณดิจิตอลที่ต้องการส่ง ไปเปลี่ยนแปลงข่าวสารในสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

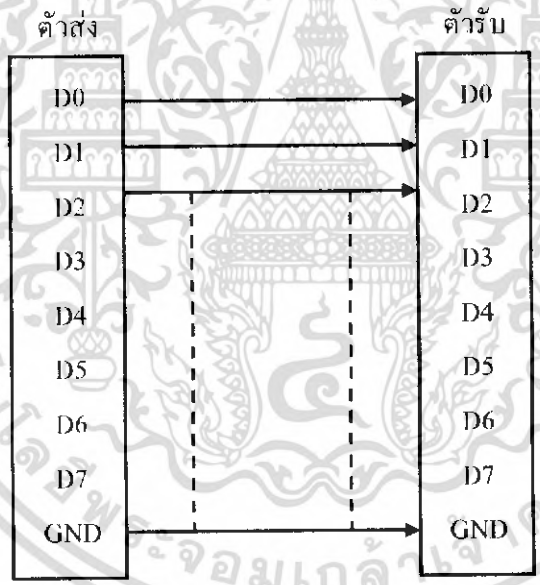
อาจจะเปลี่ยนขนาด เปลี่ยนความถี่ หรือเปลี่ยนเฟสของสัญญาณคลื่นพาห์ให้เปลี่ยนแปลงไปตามสัญญาณดิจิตอลที่เข้ามามอดูเลท การมอดูเลทสัญญาณดิจิตอลเท่ากับคลื่นพาห์นี้เราสามารถใช้สัญญาณ 1 สัญญาณ หรือ 1 สัญลักษณ์ แทนสัญญาณดิจิตอล 1 บิต หรือมากกว่า 1 บิตได้ ดังนั้นถ้าเป็นสัญญาณไบน่าร์ซึ่งเป็นสัญญาณดิจิตอล 1 บิต สัญญาณคลื่นพาห์ที่มอดูเลทก็จะมีรูปร่าง 2 แบบเท่านั้น แต่ถ้าเป็นสัญญาณแบบ N บิต รูปร่างของสัญญาณคลื่นพาห์ที่ถูกมอดูเลทแล้ว ก็จะมีอย่างน้อย 2^N แบบด้วยกัน เมื่อกล่าวโดยสรุปก็คือ เราสามารถมอดูเลทสัญญาณดิจิตอลทีละ 1 บิต หรือทีละหลายๆ บิตเข้าไปกับสัญญาณคลื่นพาห์ได้

2.2 ลักษณะของการส่งข้อมูล

การรับส่งข้อมูลในระบบคอมพิวเตอร์โดยทั่วไปจะหมายถึง การรับส่งข้อมูลเป็นไบต์ๆ ให้กับอุปกรณ์ที่เกี่ยวข้องกับคอมพิวเตอร์ ซึ่งอาจแบ่งประเภทของการรับส่งข้อมูลได้สองแบบ

2.2.1 การรับส่งข้อมูลแบบขนาน (Parallel)

การรับส่งข้อมูลแบบขนานจะเป็นการรับส่งข้อมูล จำนวน 1 ไบต์ ออกไปทางพอร์ท ในเวลาเดียวกัน ในระบบคอมพิวเตอร์ 1 ไบต์จะมีจำนาน 8 บิต คือ D_0-D_7 ถ้ามีการส่งข้อมูลแบบขนานจะใช้สายสัญญาณอย่างน้อย 9 เส้น คือสาย Data 8 เส้น และสายกราวน์ 1 เส้นดังรูป 2.1



รูปที่ 2.1การรับส่งข้อมูลแบบขนาน

2.2.2 การรับส่งข้อมูลแบบอนุกรม (Serial)

การรับส่งข้อมูลแบบอนุกรม คือ การรับส่งข้อมูลทีละบิต จนครบ 1 ไบต์ ถ้าต้องการส่งข้อมูล 1 ไบต์ คือ D_0-D_7 อาจจะส่งบิต D_0 ออกไปก่อนแล้วตามด้วย D_1 ไปเรื่อยๆ จนถึง D_7 การส่งข้อมูลทั้งสองแบบมีข้อดีข้อเสียแตกต่างกันคือ การส่งข้อมูลแบบขนาน สามารถส่งข้อมูลได้เร็วคือส่งทีเดียวจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลครบ 1 ไบต์ แต่ถ้าต้องส่งเป็นระยะไกลๆ จะสิ้นเปลืองสายสัญญาณมาก ถ้าเป็นการส่งแบบอนุกรม เมื่อต้องการส่งข้อมูลเป็นระยะไกลๆ จะช่วยประหยัดสายสัญญาณเนื่องจากจะใช้สายอย่างน้อยเพียง 2 เส้น คือสายสัญญาณกับสายกราวน์ แต่การรับส่งข้อมูลจะใช้เวลานานเนื่องจากเป็นการส่งทีละบิต

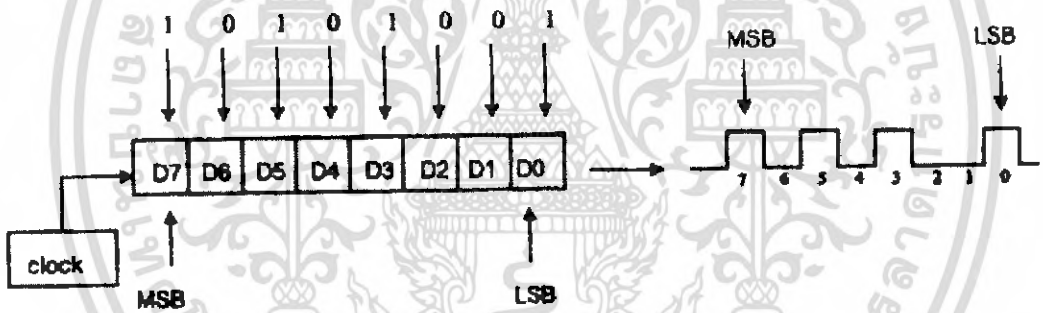
- การรับส่งข้อมูลแบบซิงโครนัส (Synchronous Input /Output)

การรับส่งข้อมูลแบบนี้ไม่ว่าจะเป็นการส่งแบบอนุกรมหรือขนาน ข้อมูลแต่ละไบต์ที่ถูกส่งออกไปจะมีช่วงเวลาห่างกันแน่นอน ระบบนี้เหมาะกับงานที่ไม่มีความยุ่งยากมาก

- การรับส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Input /Output)

การรับส่งข้อมูลแบบนี้ข้อมูลที่ส่งออกไปจะไม่มีเวลาที่แน่นอน ซึ่งจะขึ้นอยู่กับความพร้อมของผู้ส่งและผู้รับ โดยจะมีสายสัญญาณตรวจสอบความพร้อมของระบบทั้งสองว่าพร้อมที่จะติดต่อกันหรือไม่ โดยสัญญาณที่เพิ่มขึ้นมาจากระบบแบบซิงโครนัส เรียกว่า สายสเตตัส (Status Line)

เมื่อไมโครคอมพิวเตอร์ต้องการจะส่งข้อมูลแบบอนุกรม ตัวไมโครคอมพิวเตอร์จะส่งข้อมูลออกไปทางพอร์ทซึ่งเป็นพอร์ทแบบขนานก่อน จากนั้นจะมีอุปกรณ์มาต่อที่พอร์ท เพื่อแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรมอีกทีหนึ่ง (Parallel-to-serial Conversion) ตัวแปลงข้อมูลนี้อาจพิจารณาง่ายๆ ว่าเป็น Shift Register เมื่อข้อมูลที่จะส่งอยู่ใน Shift Register แล้วตัวสัญญาณนาฬิกาจะเป็นตัวกระตุ้นให้ส่งข้อมูลบิตต่ำออกไปในเวลาแรก



รูปที่ 2.2 การส่งข้อมูลแบบอนุกรม

สำหรับตัวรับข้อมูลแบบอนุกรมเมื่อตัวรับรับข้อมูลจะเป็นการรับเข้ามาใน Shift Register แล้วส่งข้อมูลให้ไมโครคอมพิวเตอร์แบบขนานอีกทีหนึ่ง (Serial-to-parallel) ระบบคอมพิวเตอร์ในปัจจุบันจะมีตัวแปลง Parallel-to-serial และ Serial-to-parallel อยู่ในชิพไอซี เรียกว่า Universal Asynchronous Receiver Transmitter (UART) การส่งข้อมูลแบบอนุกรมนั้นจะต้องมีการเพิ่มเติมข้อมูลบางอย่างเข้าไปเพื่อให้การรับส่งข้อมูลสามารถทำงานได้ถูกต้องมากขึ้น โดยมีการเติมค่าบิตต่างๆ ลงไปตามรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Stop	P	D7	D6	D5	D4	D3	D2	D1	D0	Start

รูปที่ 2.3 บิตต่างๆของข้อมูลที่ส่งแบบอนุกรม

ถ้ามีการส่งข้อมูลแบบ 8 บิต จะต้องส่งบิตแรกออกไปก่อน เรียกว่า บิตเริ่มต้น (Start Bit) ถ้ามีการส่งข้อมูลหลายๆ ไบต์ออกมา บิตนี้จะเป็นตัวบอกว่า มีข้อมูลใหม่มาแล้ว โดยทั่วไปบิตเริ่มต้นมักมีระดับลอจิกเป็น "0" ต่อจากบิตเริ่มต้นจะเป็นข้อมูลบิต D0 ถึง D7 จากนั้นจะตามด้วยบิตตรวจสอบความถูกต้อง (Parity Bit) ถ้าข้อมูล 8 บิต ที่ส่งออกมา จำนวนของบิตที่มีค่าเป็น "1" เป็นจำนวนคู่ บิตนี้จะมีค่าเป็น 0 แต่ถ้าจำนวนของบิตที่มีค่าเป็น "1" เป็นคี่ บิตนี้จะมีค่าเป็น 1 จากนั้น ข้อมูลที่ส่งออกไปจะตามด้วยบิตสิ้นสุดข้อมูล (Stop Bit) เพื่อเป็นการบอกว่าข้อมูลที่ส่งมา 8 บิตนั้นหมดแล้ว ตัวบิต อาจมีจำนวนมากกว่า 1 บิตได้

2.3 รูปแบบของการรับส่งข้อมูลแบบอนุกรม

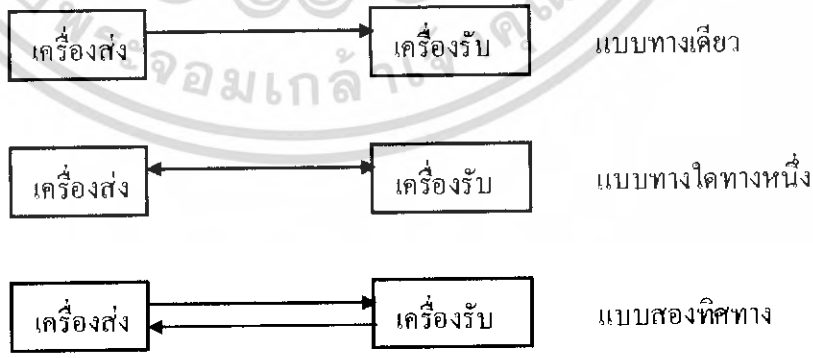
การติดต่อแบบอนุกรม อาจแบ่งได้ 3 แบบ

2.3.1 การสื่อสารแบบทางเดียว (Simplex) ข้อมูลส่งได้ทิศทางเดียวเท่านั้น บางครั้งก็เรียกว่า การส่งทิศทางเดียว (Unidirection data bus) เช่น การส่งกระจายเสียงวิทยุหรือโทรทัศน์ การส่งข้อมูลจากคอมพิวเตอร์ไปให้เครื่องพิมพ์

2.3.2 การสื่อสารแบบทางใดทางหนึ่ง (Half duplex) ข้อมูลสามารถส่งได้ทั้ง 2 สถานี แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้ เช่น ระบบวิทยุติดต่อ ระบบ ATM

2.3.3 การสื่อสารแบบสองทาง (Full duplex) ทั้ง 2 สถานีสามารถรับและส่งได้ ในเวลาเดียวกัน เช่น การสื่อสารทางโทรศัพท์ และการสื่อสารทางคอมพิวเตอร์

การไหลของข้อมูล



รูปที่ 2.4 รูปแบบของการติดต่อสื่อสารข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม หน่วยวัดเป็นบิตต่อวินาที และหน่วยที่บรรยายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (Baud rate) หรืออัตราบอด

อัตราบิต (bit rate) = อัตราบอด (baud rate) * บิต ใน 1 บอด

โมเด็มย่อมาจาก มอดูเลท และดีมอดูเลท (Amplitude Shift Keying) อุปกรณ์สื่อสารที่ใช้ในการแปลงสัญญาณดิจิตอลให้เหมาะสมก่อนส่งผ่านตัวกลาง ซึ่งโดยมากคือสายโทรศัพท์ การมอดูเลท และดีมอดูเลทสัญญาณดิจิตอล โดยเมื่อสัญญาณดิจิตอล 2 ระดับ คือ "0" และ "1"หลายแบบด้วยกัน

2.5 พอร์ตอนุกรม

พอร์ต RS-232C นี้ทำหน้าที่รับและส่งข้อมูลในแบบอนุกรม เรียกว่า Universal Asynchronous Adapter เนื่องจาก EIA ได้กำหนดมาตรฐานของอุปกรณ์แบบอนุกรมเอาไว้ภายใต้ชื่อว่า RS-232C ความจริงมาตรฐานของการส่งข้อมูลแบบอนุกรมมีหลายมาตรฐานแต่ที่นิยมใช้กันมากที่สุดสำหรับไมโครคอมพิวเตอร์ก็คือ RS-232C คำว่า RS ย่อมาจาก Recommend Standard ส่วน 232 เป็นหมายเลขบ่งบอกมาตรฐานตัวนี้ C เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานนี้ ความเร็วในการเชื่อมต่อ RS-232C สามารถถ่ายเทข้อมูลได้ในช่วง 0-20000 บิตต่อวินาที และระยะทางในการส่งสัญญาณตามมาตรฐานของ RS-232C ไม่ควรเกิน 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารระหว่าง DTE กับ DCE

RS-232C เป็นมาตรฐาน มีชื่อเต็มว่า "Interface between data terminal equipment and data communication equipment employing serial binary date interchange "ซึ่งแปลตรงๆ ก็คือ เป็นมาตรฐานสำหรับการอินเตอร์เฟส อุปกรณ์ data terminal เข้ากับอุปกรณ์ data communication โดยอาศัยวิธีการส่งข้อมูลดิจิตอลแบบอนุกรม

ลักษณะสมบัติทางไฟฟ้าของสัญญาณ RS-232C

1. สถานะ

สำหรับมาตรฐานของการใช้แรงดันไฟฟ้าจะกำหนดไว้ดังตารางมาตรฐานแรงดันไฟฟ้าแรงดันสูงสุดที่วงจรใน DTE และ DCE ไม่ควรเกิน 25 V และ Open circuit voltage ต้องไม่เกิน 2 V (วัดเทียบกับกับ Signal ground)

ตาราง มาตรฐานของการใช้แรงดันไฟฟ้า

แรงดันไฟฟ้า	โลจิก	สัญญาณ	ฟังค์ชั่นในการควบคุม
บวก	0	Space	ON
ลบ	1	Mark	OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรขับสัญญาณ

หากเกิดสภาพการลัดวงจรของสายเชื่อมต่อคู่ใดๆ จะต้องมีกระแสลัดวงจรไม่เกิน 0.5 V และแรงดันที่ DCE ต้องไม่เกิน 25 V เมื่อถอด Connector

3. ความต้านทาน

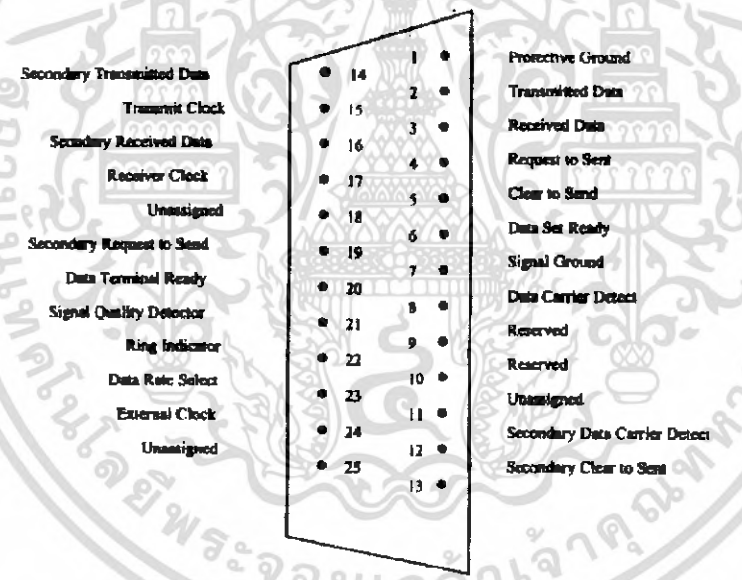
เมื่อมองจากด้านจุด Interface Point ไปยัง DCE จะต้องมีค่า 3000-7000 ohm

4. ความไว

สัญญาณควบคุมจะต้องผ่านช่วงเปลี่ยนแปลงระดับ (-3 ถึง +3V) ภายในเวลาไม่เกิน 1msec ส่วนสัญญาณข้อมูลจะต้องผ่านช่วงเปลี่ยนแปลงระดับภายในเวลาไม่เกิน 1 msec หรือเปอร์เซ็นต์ของความกว้างของรูปสัญญาณนั้น

ลักษณะสมบัติเชิงกลของข้อต่อ (Connector)

RS-232C ไม่ได้กำหนดว่าจะต้องใช้ connector รูปร่างอย่างไร แต่ที่นิยมใช้กันทั่วไปคือ DB-25 connector ซึ่งประกอบด้วยขาทั้งหมด 25 ขา



รูปที่ 2.5 แสดงการกำหนดข้อต่อ RS-232C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ใช้ทั้งหมดใน RS-232C

- Protective Ground (PG ขาที่ 1)

หมายถึง ตัวถังของเครื่องหรือสายดิน

- Transmit data (TD ขาที่ 2)

เป็นสัญญาณที่ส่งออกจาก DTE (ตัวไมโครคอมพิวเตอร์) ไปยังโมเด็มหรือต่อเข้าโดยตรงกับไมโครคอมพิวเตอร์ตัวอื่นหรือเครื่องพิมพ์ เมื่อไม่มีสัญญาณส่งออกสถานภาพของลอจิกจะมีค่าเท่ากับ "1" สภาวะ "OFF" หรือเทียบเท่ากับ Stop bit ไม่ว่าจะเป็นระบบอะไร DTE ต้องไม่ส่งข้อมูลออกไปจนกว่าสัญญาณ

1. Request To Sent (RTS)
2. Clear To Sent (CTS)
3. Data Set Ready (DSR)
4. Data Terminal Ready (DTR)

ทั้งหมดนี้อยู่ในสภาวะ "ON" อยู่

- Receive Data (RD ขาที่ 3)

เป็นทางของสัญญาณเข้าไปยัง DTE เมื่อไม่มีสัญญาณรับเข้ามา ขานี้จะมีสถานภาพทางโลจิกเป็น "1" หรือสภาวะ "OFF"

- Request To Sent (RTS ขาที่ 4)

จาก DTE ไปยัง DCE

สภาวะ ON คือบังคับให้ DCE อยู่ใน Transmitting Mode ต่อไป

สภาวะ OFF คือบังคับให้ DCE อยู่ใน Receiving Mode ต่อไป

การเปลี่ยนจาก OFF ไป ON เป็นการบอกให้ DCE จัดการกับระบบสื่อสาร เพื่อให้ช่องทางต่อเชื่อมและให้สัญญาณ Clear To Send (CTS) กลับมาเป็นการบอกว่าส่งต่อได้

การเปลี่ยนจาก ON ไป OFF เป็นการบอกให้ DCE ส่งข้อมูลผ่านช่องสื่อสารให้หมด แล้วกลับไปอยู่ในReceiving mode หรืออยู่เฉยๆ พร้อมกับให้ CTS เป็น 0

- Clear To Sent (CTS ขาที่ 5)

จาก DCE ไป DTE สภาวะ ON หมายความว่าข้อมูลจาก DTE ขา 2 จะถูกส่งต่อไปในช่องทางสื่อสาร (โมเด็มส่งข้อมูลออกสายโทรศัพท์) ทันที CTS จะ ON หลังจาก DSR และ RTS อยู่ในสภาวะ ON และการต่อเชื่อมวงจรสื่อสาร (ชุมสายโทรศัพท์) เสร็จแล้ว

- Data Set Ready (DTS ขาที่ 6)

จาก DCEไป DTE คือความพร้อมของโมเด็มนั่นเอง จะเป็น ON (พร้อม) ต่อเมื่อ

1. DCE (โมเด็ม) เปิดเครื่องอยู่ และอยู่ในสภาวะ off-hook (เหมือนยกหูโทรศัพท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. DCE ไม่อยู่ใน test mode

3. DCE ทำการส่งสัญญาณไปยังชุมสายเสร็จแล้ว

DSR อยู่ในสภาวะ ON เป็นการบอก DTE ว่า โมเด็มต่อเข้ากับสายโทรศัพท์เรียบร้อยแล้ว และพร้อมที่จะส่งได้แล้ว

DSR อยู่ในสภาวะ OFF หมายถึงให้ DTE เลิกสนใจสัญญาณตัวอื่นๆ ยกเว้น Ring Indicator

- Signal Ground (SG ขาที่ 7)

คือสายร่วมของสายสัญญาณทุกตัว

- Carrier Detect (CD ขาที่ 8)

จาก DTE ไป DCE

สภาวะ ON หมายถึงว่า DCE เตรียมเพื่อเชื่อมต่อกับตัวอื่น และ (การเชื่อม channel ทำได้หลายทางคือหมุนเรียกด้วยมือหรืออัตโนมัติ) ถ้า DCE สามารถตอบรับสัญญาณเรียก (call) ได้ ก็ให้ตอบรับ (answering) เมื่อมีสัญญาณเรียก Ring Indicator และ DTR ON อยู่

สภาวะ OFF คือวางหู และเมื่อ OFF แล้วต้องไม่ ON อีกจนกว่า DSR จะ OFF

- Ring Indicator (RI ขาที่ 22)

จาก DCE ไป DTE เหมือนสัญญาณเรียกของโทรศัพท์ แต่เป็นดิจิตอล ใช้ในระบบตอบได้อัตโนมัติ (Auto-answer) สัญญาณนี้จะ ON เมื่อมีสัญญาณกระดิ่งเข้ามา และจะ OFF ระหว่างเสียงดังของกระดิ่ง

ส่วนขาอื่นๆ ที่เหลือนั้น ส่วนมากมีหน้าที่คล้ายกับ 8 ขาแรกที่กล่าวมา และบางเส้นใช้กับงานพิเศษเท่านั้นจึงไม่ขอกล่าวถึงในที่นี้ ขาที่เราใช้สำหรับรับส่งข้อมูลของข้อต่อแบบ DB-25 จึงเหลือเพียงขา 2,3,4,5,7,8,20 และ22 ยกเว้นการต่อใช้งานบางอย่างจึงจะต่อครบทุกเส้น DB-25 และ DB-9

จากการที่ข้อต่อแบบ 25 ขา เราใช้งานจริงเพียง 9 ขาเท่านั้น เครื่องคอมพิวเตอร์รุ่นใหม่ๆ จึงได้ลดข้อต่อลงมาใช้แบบ 9 ขาแทน ซึ่งเรียกข้อต่อแบบนี้ว่า DB-9 การใช้ข้อต่อแบบ DB-9 นี้มีข้อดีหลายอย่าง คือ ขนาดเล็กกะทัดรัด ราคาของข้อต่อถูกกว่า การต่อสายเคเบิลสะดวกขึ้น และการใช้งานคล่องตัว DB-9 สัญญาณต่างๆ ของข้อต่อแบบ DB-9 บางเส้นจะตรงกับที่ใช้ใน DB-25 เครื่องคอมพิวเตอร์แบบไอบีเอ็มเอที และรุ่นใหม่ๆ มักจะใช้ข้อต่อแบบ DB-9 สำหรับรับส่งข้อมูลอนุกรมทั้งนั้น แต่อุปกรณ์ต่อพ่วงส่วนมากยังคงใช้ข้อต่อแบบ DB-25 อยู่ เราจึงต้องใช้สายเคเบิลที่เหมาะสมสำหรับทั้งสองด้านในการรับส่งข้อมูล

สายเคเบิลของการรับส่งข้อมูลอนุกรมแบ่งออกได้เป็นสองแบบ คือ สายตรงและสายสลับที่ต้องมีสายสองแบบนี้ก็เพราะการเชื่อมต่อส่งข้อมูลมีสองกรณี คือ คอมพิวเตอร์ต่อกับคอมพิวเตอร์ และคอมพิวเตอร์ต่อเข้ากับอุปกรณ์ต่างๆ เมื่อเราต่อคอมพิวเตอร์เข้ากับคอมพิวเตอร์เพื่อรับส่งข้อมูลกัน สายสัญญาณรับส่งข้อมูลต้องสลับไขว้กัน เพื่อให้สัญญาณส่งของตัวแรกไปเข้าสัญญาณรับของตัวที่สอง เราจึงเรียกสายเคเบิลแบบนี้ว่าสายสลับ ส่วนการต่อคอมพิวเตอร์เข้ากับอุปกรณ์ต่อพ่วงนั้นสายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของอุปกรณ์ต่อพ่วง เช่น โมเด็มและพลอตเตอร์ มักจะสลับสัญญาณรอรับไว้ภายในแล้ว สายเคเบิลจากเครื่องคอมพิวเตอร์จึงต่อเข้าแต่ละเส้นของอุปกรณ์ได้เลย เราจึงเรียกสายเคเบิลแบบนี้ว่าสายตรงกรณีที่วงจรของอุปกรณ์ต่อพ่วงไม่ได้สลับสายไว้ภายใน เราก็ต้องใช้สายสลับต่อระหว่างคอมพิวเตอร์กับอุปกรณ์นั้น ไม่จำเป็นต้องใช้สายตรงเสมอ

การต่อสายเคเบิลแบบสายตรงนั้นไม่ยุ่งยากเท่าใดนัก เนื่องจากสัญญาณแต่ละเส้นตามเบอร์ต่างๆ ของ DB-25 จะเชื่อมต่อเข้าหากันตรงๆ ทั้ง 8 เส้นหรือ 9 เส้น ตามสัญญาณที่ใช้อย่างที่กล่าวไว้ตอนต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลได้ การที่สัญญาณรับส่งข้อมูลและสัญญาณควบคุมต่อเข้าคู่ของมันตรงๆ ทำให้สายเคเบิลแบบนี้ทำขึ้นอย่างง่ายๆ ได้

มาตรฐานของโมเด็มตาม CCITT V-Series

มาตรฐานของโมเด็มที่เราใช้อยู่ทุกวันนี้เป็นไปตามที่ องค์การมาตรฐานสื่อสารสากลหรือ CCITT เป็นผู้กำหนดขึ้น โดยมีชื่อเรียกแต่ละมาตรฐานของโมเด็มขึ้นต้นด้วยอักษร "V" และตามด้วยตัวเลข เราจึงเรียกมาตรฐานเหล่านี้อีกชื่อหนึ่งว่า V-Series นอกจากมาตรฐานของโมเด็มแล้ว CCITT ยังเป็นผู้กำหนดมาตรฐานทางการสื่อสารอื่นๆ อีก เช่น มาตรฐานของการสื่อสารผ่านดาวเทียม มาตรฐานของโทรสาร (Facsimile) มาตรฐานการสื่อสารข้อมูลต่างๆ ทั้งในแบบดิจิตอลและอนาล็อก รวมถึงมาตรฐานเกี่ยวกับระบบโทรศัพท์อีกด้วย มาตรฐานที่ CCITT เป็นผู้กำหนดได้รับการยอมรับกันทั่วโลก การติดต่อสื่อสารระหว่างประเทศจึงดำเนินไปได้อย่างไม่มีปัญหา เนื่องจากทุกๆ คนต่างก็ทำตามมาตรฐานเดียวกัน

ก่อนอื่นขอทำความเข้าใจก่อนว่ามาตรฐานที่ขึ้นต้นด้วยตัวอักษร V นี้ไม่ใช่มาตรฐานของโมเด็มทั้งหมด บางมาตรฐานอาจหมายถึงการเชื่อมต่อแบบอื่นๆ ก็ได้ เช่น V.24 เป็นมาตรฐานการรับส่งข้อมูลแบบอนุกรมเทียบได้กับ RS-232C นั่นเอง และ V.35 หมายถึง การรับส่งข้อมูลแบบอนุกรมความเร็วสูง เป็นต้น ในที่นี้จะกล่าวถึงมาตรฐานของโมเด็มแบบต่างๆ ที่ใช้กันมากตาม CCITT V-Series ตั้งแต่ความเร็วต่ำไปจนถึงความเร็วสูง

เริ่มตั้งแต่มาตรฐาน V.21 เป็นมาตรฐานของโมเด็มความเร็ว 300 บิตต่อวินาที ใช้เทคนิคการผสมสัญญาณแบบ FSK (Frequency Shift Keying) รับส่งข้อมูลได้ในแบบ Full Duplex เป็นโมเด็มที่ใช้กับสายโทรศัพท์ ปัจจุบันมีใช้กันน้อย เนื่องจากความเร็วในการรับส่งข้อมูลต่ำ

- V.22 รับส่งข้อมูลความเร็ว 1200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิต ต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคการ FSK (Frequency Shift Keying) รับส่งข้อมูลในแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ ขึ้นอยู่กับโมเด็มว่าถูกออกแบบมาให้ต่อใช้กับสายตรงหรือไม่ จัดว่าเป็นโมเด็มความเร็วปานกลางที่ได้รับความนิยมอยู่ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- V.22 bis รับส่งข้อมูลด้วยความเร็ว 2400 บิตต่อวินาที หรือ ลดความเร็วลงมาที่ 1200 บิต ต่อวินาทีได้ การผสมสัญญาณใช้เทคนิคของโมเด็มความเร็วสูงคือ QAM รับส่งข้อมูลแบบ Full Duplex ใช้กับสายโทรศัพท์หรือสายตรงได้ V.22 bis เป็นมาตรฐานของโมเด็มความเร็วปานกลางที่เข้ามาแทนที่ Haft Duplex ซึ่งมาตรฐาน V.22 bis นี้กำลังได้รับความนิยมมาก เนื่องจากความเร็วสูงถึง 2400 บิตต่อวินาทีและราคาของโมเด็มไม่แพงจนเกินไป

- V.23 เป็นมาตรฐานที่คล้ายกับมาตรฐาน V.22 แต่รับส่งข้อมูลแบบ Haft Duplex คือมีความเร็ว 1200 บิตต่อวินาที หรือลดความเร็วลงมาที่ 600 บิตต่อวินาที ใช้เทคนิคผสมสัญญาณแบบ FSK ต่อใช้กับสายโทรศัพท์ก็ได้ มาตรฐาน V.23 นี้เราไม่ค่อยได้ใช้งานเท่าไรนัก เพราะว่าประสิทธิภาพของการรับส่งข้อมูลต่ำ และเป็นการติดต่อแบบ Haft Duplex จึงสู้มาตรฐานแบบ V.22 หรือ V.22 bis ไม่ได้

- V.26 เป็นมาตรฐานของโมเด็มสายตรง แบบใช้สาย 4 เส้น รับส่งข้อมูลในแบบ Full Duplex ใช้เทคนิคการผสมสัญญาณชนิด PSK มีความเร็วในการรับส่งข้อมูล 2400 บิตต่อวินาที จะนำมาต่อใช้กับสายโทรศัพท์ไม่ได้ มาตรฐาน V.26 เราจึงไม่ค่อยได้พบเห็นกันนัก ปัจจุบันก็มีใช้น้อยเนื่องจากความเร็วต่ำเกินไปสำหรับสายตรง ส่วนมากจะเลือกใช้มาตรฐานอื่นที่ความเร็วสูงกว่านี้

- V.26 bis เป็นมาตรฐานเหมือนกับ V.26 แต่สำหรับใช้กับสายโทรศัพท์แทน มีความเร็วในการรับส่งข้อมูลที่ 2400 บิตต่อวินาที หรือความเร็วลดลงมาที่ 1200 บิตต่อวินาที การรับส่งข้อมูลเป็นแบบ Haft Duplex ใช้เทคนิคการผสมสัญญาณแบบ PSK มาตรฐานนี้จึงสู้ V.26 bis ไม่ได้

- V.27 เป็นมาตรฐานสำหรับโมเด็มความเร็ว 4800 บิตต่อวินาทีที่ใช้กับสายตรงเท่านั้น เทคนิคของการผสมสัญญาณเป็นแบบ PSK รับส่งข้อมูลในแบบ Full Duplex ได้ ความเร็ว 4800 บิตต่อวินาที

- V.27 bis คล้ายกับมาตรฐานแบบ V.27 แต่ว่ารับส่งข้อมูลที่ 4800 บิตต่อวินาทีได้ ใช้สำหรับสายตรงแบบ 4 เส้น เท่านั้น การผสมสัญญาณก็เป็นแบบ PSK สามารถรับส่งข้อมูลได้ทั้งในแบบ Full Duplex และ Haft Duplex

- V.27 ter เป็นมาตรฐานโมเด็มความเร็ว 4800 บิตต่อวินาที หรือลดความเร็วลงมาที่ 2400 บิตต่อวินาทีได้ สำหรับใช้กับสายโทรศัพท์ การรับส่งข้อมูลเป็นแบบ Haft Duplex เท่านั้น เทคนิคการผสมสัญญาณชนิด PSK มาตรฐาน V.27 คล้ายกับ V.27 bis เพียงแต่ใช้กับสายโทรศัพท์แทนที่จะเป็นสายตรง

- V.29 จัดเป็นมาตรฐานของโมเด็มความเร็วสูงใช้กับสายตรงแบบ 4 เส้น เท่านั้น การรับส่งข้อมูลใช้ได้ทั้ง Full Duplex และ Haft Duplex สามารถรับส่งข้อมูลได้ตั้งแต่ 9600 บิตต่อวินาทีหรือลดความเร็วลงมาที่ 7200 บิตต่อวินาที และ 4800 บิตต่อวินาทีได้ ที่ความเร็ว 9600 บิตต่อวินาที จะใช้เทคนิคการผสมสัญญาณแบบ QAM ส่วนที่ความเร็ว 7200 และ 4800 บิตต่อวินาที ใช้การผสมสัญญาณแบบ PSK มาตรฐาน V.29 นี้มีใช้กันมากสำหรับการรับส่งข้อมูลผ่านสายตรงระหว่าง คอมพิวเตอร์กับคอมพิวเตอร์

- V.32 เป็นมาตรฐานโมเด็มความเร็วสูงสำหรับใช้กับสายโทรศัพท์ สามารถรับส่งข้อมูลได้ที่ความเร็ว 9600 บิตต่อวินาที ในแบบ Full Duplex หรือ ลดความเร็วลงมาที่ 4800 บิตต่อวินาทีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐาน V.32 นี้ยังใช้งานกับสายตรงแบบ 2 เส้นได้อีกด้วย เทคนิคการผสมสัญญาณเป็นแบบ QAM ทั้งที่ความเร็ว 9600 และ 4800 บิตต่อวินาที การรับส่งข้อมูลความเร็วสูงผ่านสาย 2 เส้นของ V.32 ใช้เทคนิค Echo Cancellation แทนที่จะใช้การแบ่งความถี่อย่างในโมเด็มความเร็วต่ำ V.32 นับเป็นมาตรฐานของโมเด็มความเร็วสูงรุ่นใหม่ที่เริ่มใช้กันไม่นานมานี้เอง มาตรฐานของโมเด็มที่รับส่งข้อมูลได้เร็วกว่า V.32 กำลังศึกษาความเป็นไปได้และรายละเอียดอยู่ จึงยังไม่ได้ประกาศออกมาใช้อย่างเป็นทางการในขณะนี้ เช่น มาตรฐานแบบ V.32 bis จะรับส่งข้อมูลที่มีความเร็ว 14400 บิตต่อวินาที ในแบบ Full Duplex และมาตรฐาน V.33 รับส่งข้อมูลที่ความเร็ว 14400 บิตต่อวินาที Full Duplex เช่นกัน มาตรฐานโมเด็มความเร็วรุ่นหลังจาก V.32 คงจะประกาศใช้โดย CCITT ภายในหนึ่งถึงสองปีนับจากนี้

มาตรฐานโมเด็ม V-Series ที่กล่าวมานี้ เป็นมาตรฐานที่เราพบเห็นได้ทั่วไป ซึ่งยังมีบางมาตรฐานไม่ได้นำมาพูดถึง เนื่องจากใช้งานพิเศษเฉพาะงานเท่านั้น ส่วนมาตรฐานของโมเด็มตามแบบของสหรัฐฯ หรือที่เราเรียกว่า Bell Standard ปัจจุบันค่อยๆ ลดความนิยมลง เนื่องจากประเทศต่างๆ ใช้มาตรฐานของ CCITT เป็นหลัก ในประเทศไทยก็ใช้มาตรฐานตาม CCITT เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

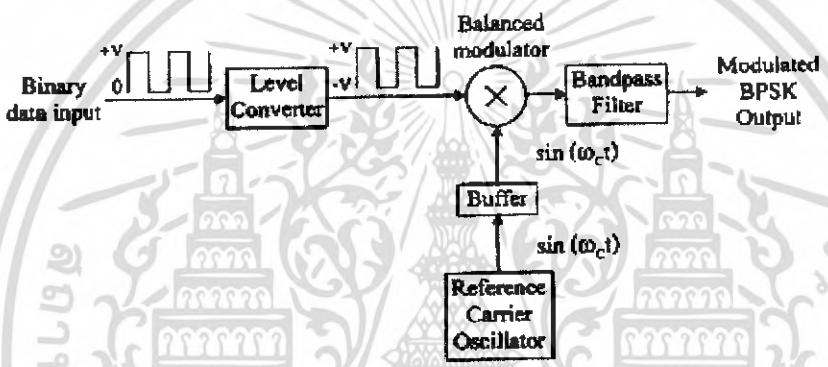
บทที่ 3

ทฤษฎีของการมอดูเลทและดีมอดูเลทสัญญาณ PSK

3.1 การมอดูเลท PSK

การมอดูเลท PSK (Phase shift keying) เป็นการมอดูเลททางดิจิตอล (digital modulation) อย่างหนึ่ง ซึ่งเป็นการนำเอาข้อมูลทางดิจิตอล (โดยส่วนใหญ่จะมีรูปแบบเป็นไบนารี คือมีเพียงสอง ลักษณะที่แตกต่างกัน) ที่เรียงตามกันมา(data stream)มามอดูเลททางเฟสกับคลื่นพาห์ไซนูซอยด์(sinusoidal carrier) ซึ่งเป็นการเลื่อนองค์ประกอบความถี่(frequency spectrum)ของสัญญาณเบสแบนด์ (baseband) (โดยปกติจะมีช่วงความถี่ต่ำกว่าความถี่ของคลื่นพาห์) ไปยังช่วงความถี่ที่อยู่รอบ ๆ ความถี่คลื่นพาห์

3.1.1 การมอดูเลท BPSK



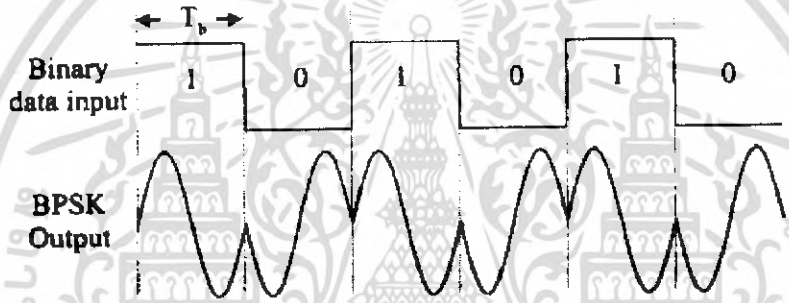
รูปที่ 3.1 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้ตัวมอดูเลเตอร์สมดุล

การนำสัญญาณไบนารีที่เรียงตามกันมาไปมอดูเลททางเฟสกับคลื่นพาห์ทีละ 1 บิทนั้น เรียกว่า การมอดูเลทพีเอสเคแบบไบนารี หรือ BPSK (binary phase shift keying) หรือ PRK (phase reversal keying) ซึ่งมีสองเฟสที่เอาต์พุต (ต่างเวลากัน) ซึ่งต่างกัน 180° หรือ π เรเดียน (radian) เพื่อใช้แสดงสถานะทางลอจิกของสัญญาณไบนารี เมื่อเฟสหนึ่งแทนลอจิก '1' และอีกเฟสแทนลอจิก '0' ก็เหมือนกับว่าสัญญาณไบนารีที่อินพุตของตัวมอดูเลเตอร์เปลี่ยนสถานะ เฟสของคลื่นพาห์ทางด้านเอาต์พุตก็จะเปลี่ยนแปลงเฟสตามไปด้วย รูปที่ 3.1เป็นวิธีหนึ่งที่ใช้ในการให้กำเนิดสัญญาณ BPSK ซึ่งแสดงเป็นบล็อกไดอะแกรมแบบง่าย ๆ ดังนี้ ตัวมอดูเลทแบบสมดุล (Balance modulator) ทำหน้าที่เหมือนกับสวิทช์เลือกการกลับเฟสของออสซิลเลเตอร์คลื่นพาห์อ้างอิง (Reference carrier oscillator) ซึ่งขึ้นอยู่กับเงื่อนไขสัญญาณไบนารีทางด้านอินพุตของมัน ทำให้คลื่นพาห์ถูกส่งไปสู่เอาต์พุตโดยมีเฟสตรงกันหรือตรงข้ามกับเฟสของตัวออสซิลเลเตอร์คลื่นพาห์อ้างอิง สัญญาณไบนารีที่แสดงไว้ในรูปนั้น เป็นสัญญาณดิจิตอลรูปแบบไม่กลับสู่ศูนย์ขั้วเดียว (unipolar – NRZ) ซึ่งมีระดับของแรงดันไฟฟ้าเป็น +V หรือ 0 ตาม

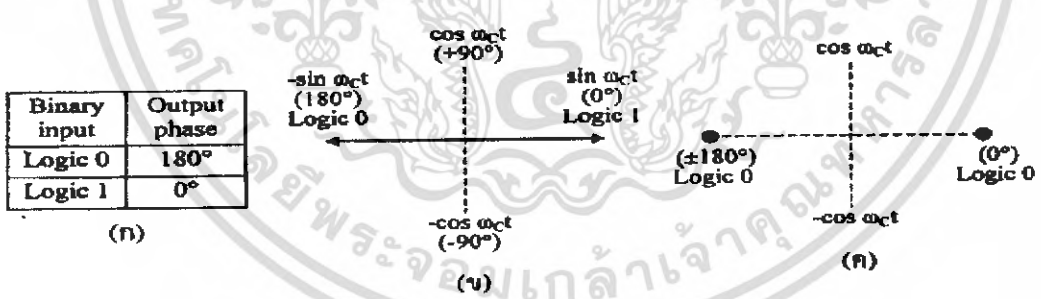
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานะทางลอจิกที่เป็น '1' หรือ '0' ตามลำดับ ดังนั้นก่อนที่จะนำสัญญาณดิจิตอลไปมอดูเลทผ่านตัวมอดูเลเตอร์สมดุล จะต้องทำการเปลี่ยนระดับสัญญาณเป็น +V หรือ –V ตามลอจิกที่เป็น 1' หรือ '0' ตามลำดับเสียก่อน โดยใช้ตัวแปลงระดับสัญญาณ (Level converter) ทำให้เอาท์พุตของตัวมอดูเลเตอร์สมดุลมีค่าเป็น +sin ($\omega_c t$) และ -sin ($\omega_c t$) หรือ sin ($\omega_c t \pm \pi$) ตามลอจิก '1' หรือ '0' ตามลำดับ (ω_c เป็นความถี่เชิงมุมของตัวออสซิลเลเตอร์คลื่นพาห์อ้างอิง) ซึ่งได้แสดงรูปสัญญาณ (อินพุต และเอาต์พุตของตัวมอดูเลเตอร์สมดุลย์) ไว้ในรูปที่ 3.2 T_b (bit time) ที่ได้แสดงไว้ในรูปนั้น หมายถึงเวลาที่ใช้ไปใน 1 บิท ข้อมูลส่านตัวกรองแถบความถี่ที่ผ่านในรูปที่3.1นั้นมีไว้สำหรับจำกัดความถี่ที่เอาต์พุตของตัวมอดูเลเตอร์สมดุลย์

ก เป็นการแสดงเงื่อนไขระหว่างข้อมูลไบนารี ที่อินพุตและสัญญาณที่เฟสเอาต์พุตภายหลังการมอดูเลททางเฟส รูป (ข) นั้นเป็นเฟสเซอร์ไดอะแกรมที่เอาต์พุต และรูป (ค) เป็นคอนสเตลเลชันไดอะแกรม (Constellation diagram) ของสัญญาณ BPSK



รูปที่ 3.2 คลื่นอินพุตและเอาต์พุตของการมอดูเลท BPSK



รูปที่ 3.3 คุณลักษณะของสัญญาณ BPSK (ก) ตารางความจริง; (ข) เฟสเซอร์ไดอะแกรม (phasor diagram); (ค) คอนสเตลเลชันไดอะแกรม (Constellation diagram)

จากรูปที่ 3.1ตัวมอดูเลเตอร์สมดุลย์นั้นก็คือตัวมอดูเลเตอร์ผลคูณ (Product modulator) โดยที่เอาต์พุตของมันเป็นผลคูณของ 2 สัญญาณที่อินพุตของมัน ซึ่งก็คือออสซิลเลเตอร์คลื่นพาห์อ้างอิงนั้นถูกคูณด้วยสัญญาณไบนารี คือถ้า +1 V แทนลอจิก '1' และ -1 V แทนลอจิก '0' ดังนั้นคลื่นพาห์ถูกคูณด้วย +1 หรือ -1 ผลที่ตามมาก็คือเอาต์พุตของตัวมอดูเลเตอร์เป็นได้ทั้ง +1 sin ($\omega_c t$) และ -1 sin ($\omega_c t$) ซึ่งเป็น

62808
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่มีเฟสตรง (In phase) กับเฟสของออสซิลเลเตอร์อ้างอิงหรือไม่ก็มีเฟสตรงข้าม (ต่างเฟสกัน 180 °) กับเฟสของออสซิลเลเตอร์อ้างอิง ในแต่ละครั้งที่ลอจิกทางด้านอินพุตนั้นเปลี่ยนสถานะ เฟสของเอาต์พุตของตัวมอดูเลเตอร์จะเปลี่ยนตามด้วย ดังนั้นอัตราการเปลี่ยนเฟสที่เอาต์พุต (baud) ก็เท่ากับอัตราการเปลี่ยนสถานะลอจิก (bps) ด้วย และแบนด์วิดท์ที่กว้างที่สุดที่เอาต์พุตเกิดขึ้นเมื่อสัญญาณไบนารีมี sequence ของลอจิก '0' และ '1' สลับกัน ซึ่งมีความถี่หลักข้อมูล (fundamental frequency) ของ sequence ของ '0' และ '1' ที่สลับไปมานั้นเท่ากับครึ่งหนึ่งของอัตราบิต (bit time) และโดยทางคณิตศาสตร์แล้ว เอาต์พุตของตัวมอดูเลท BPSK จะเป็น

$$\text{BPSK output} = \sin(\omega_c t) \times \sin(\omega_c t) \qquad (3.1)$$

เมื่อ ω_c คือความถี่เชิงมุมหลักมูลที่มากที่สุดของสัญญาณไบนารี (radian) และด้วยคุณสมบัติทางตรีโกณของการคูณกันของฟังก์ชันไซน์ เราสามารถเขียนสมการที่ (3.1) ได้เป็น

$$\text{BPSK output} = 0.5\,[\cos(\omega_c - \omega_c)t - \cos(\omega_c + \omega_c)t] \qquad (3.2)$$

โดยองค์ประกอบความถี่ทางด้านเอาต์พุตจากตัวมอดูเลเตอร์ นั้นโดยคร่าว ๆ แล้วก็เหมือนกับองค์ประกอบความถี่ของสัญญาณแถบข้างคู่ไร้คลื่นพาห์ (DS – DS) ซึ่งมีความถี่ด้านต่ำและด้านสูงที่แยกจากความถี่คลื่นพาห์โดยค่าที่เท่ากับครึ่งหนึ่งของอัตราบิท ดังนั้นแบนด์วิดท์ที่น้อยที่สุดที่ต้องการเพื่อผ่านสัญญาณ BPSK ในกรณีเลวร้ายที่สุดมีค่าเท่ากับอัตราบิท (f_b) ของสัญญาณไบ – นารีทางด้านอินพุต

3.2 การดีมอดูเลท PSK

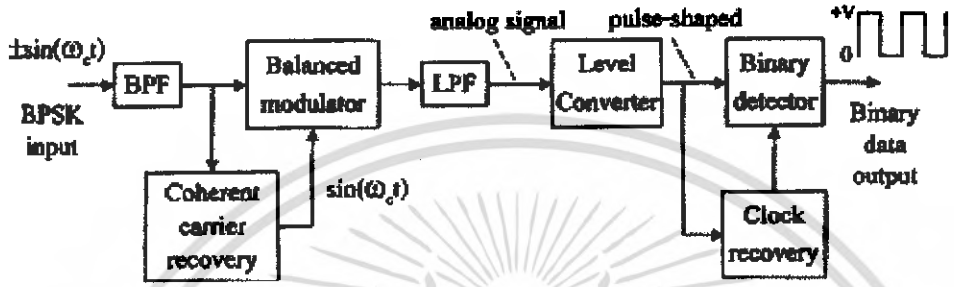
การดีมอดูเลทสัญญาณ PSK นั้นพอแบ่งออกเป็น 2 ประเภทใหญ่ ๆ คือ แบบโคฮีเรนท์ (coherent) และแบบนอนโคฮีเรนท์ (non - coherent) กล่าวคือเมื่อตัวรับนั้นใช้เฟสของคลื่นพาห์เพื่อเป็นการอ้างอิงในการดีเทกต์หรือดีมอดูเลทสัญญาณ PSK กระบวนการนั้นจะถูกเรียกว่า "การดีมอดูเลทแบบโคฮีเรนท์" แต่เมื่อตัวรับไม่ได้ข่าวสารการอ้างอิงทางเฟสดังกล่าวเพื่อใช้ในการดีมอดูเลท กระบวนการนี้จะถูกเรียกว่า "การดีมอดูเลทแบบนอนโคฮีเรนท์" ในการสื่อสารทางดิจิตอลนั้น คำว่า "การดีมอดูเลท" และ "การดีเทกต์" นั้นสามารถถูกใช้โดยสลับกันได้ แม้ว่าการดีมอดูเลทจะเป็นการเน้นถึงการกู้สัญญาณ และการดีเทกต์นั้นจะนำมาซึ่งกระบวนการของการตัดสินใจทางสัญลักษณ์ก็ตาม [4] ในการดีมอดูเลทแบบโคฮีเรนท์นั้นตัวรับถูกกล่าวได้ว่าเพื่อที่จะล็อกทางเฟส (phase locked) กับสัญญาณที่กำลังเข้ามา ส่วนในการดีมอดูเลทแบบนอนโคฮีเรนท์นั้นไม่ต้องอาศัยการรู้จักเฟสที่แน่นอนของสัญญาณที่กำลังเข้ามา ดังนั้นจึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ได้ต้องอาศัยการกู้เฟสของคลื่นพาห์ ซึ่งมีประโยชน์ในแง่ของการลดความซับซ้อนให้กับระบบ แต่มีข้อเสียคือเป็นการเพิ่ม BER (bit error rate) ให้กับระบบ (ดังที่ได้เกริ่นไว้ในบทนำ)

อย่างไรก็ตาม ในบทนี้จะขอกล่าวถึงรายละเอียดของการดีมอดูเลทางเฟสของทั้งสองประเภท เพียงอย่างละ 1 แบบคือ การดีมอดูเลทสัญญาณ BPSK

3.2.1 การดีมอดูเลทสัญญาณ BPSK



รูปที่ 3.4 บล็อกไดอะแกรมของตัวดีมอดูเลทสัญญาณ BPSK

การดีมอดูเลทสัญญาณ BPSK นั้นต้องอาศัยการดีมอดูเลทแบบโคฮีเรนท์ ดังนั้นตัวรับจำเป็นที่จะต้องรู้เฟสที่แน่นอนของสัญญาณที่กำลังเข้ามา เพื่อใช้เป็นประโยชน์ในการกู้ข้อมูลไบนารี รูปที่ 3.4 หลักการการทำงานของตัวดีมอดูเลทสัญญาณ BPSK ที่แสดงเป็นบล็อกไดอะแกรมซึ่งมีหลักการทำงานดังนี้วงจรกรองผ่านแถบความถี่ (BPF : Band pass filter) ทำหน้าที่กรองสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งสัญญาณ BPSK ($\pm\sin(\omega_c t)$) ผ่านช่องสัญญาณ (Channel) ออกไป ต่อมาสัญญาณที่ผ่าน BPF ได้ถูกแบ่งออกเป็นสองทาง ทางหนึ่งถูกใช้สำหรับกู้เฟส (และความถี่) ของคลื่นพาห์ที่ตัวส่งใช้ในการมอดูเลทผ่านวงจรกู้ทั้งความถี่และเฟสของคลื่นพาห์ (coherent carrier recovery) ส่วนอีกทางใช้นำไปมอดูเลทกับคลื่นพาห์ที่กู้ได้จากวงจรกู้คลื่นพาห์ ผ่านตัวมอดูเลเตอร์สมดุลย์ (Balance modulator) จากนั้นเอาต์พุตความถี่สูงของตัวมอดูเลเตอร์จะถูกกรองออกไปผ่านตัวกรองความถี่ต่ำ (LPF : :Low pass filter) ซึ่งสัญญาณที่ได้นี้จะเป็นข้อมูลไบนารีที่มอดูเลทมา แต่อย่างไรก็ตามสัญญาณดังกล่าวยังเป็นสัญญาณแอนาลอกหรือขนาดของสัญญาณมีความต่อเนื่องถึงแม้ว่าจะเป็นช่วงที่มีการเปลี่ยนแปลงก็ตาม ดังนั้นจึงจะต้องทำการแปลงระดับและรูปร่างของสัญญาณให้มีลักษณะเป็นพัลส์เพื่อให้ใช้ในการประมวลผลทางสัญญาณดิจิตอลต่อไป ซึ่งเป็นหน้าที่ของตัวแปรระดับสัญญาณ (Level converter) หลังจากที่ได้สัญญาณที่มีลักษณะเป็นพัลส์แล้ว สัญญาณจะถูกแบ่งออกเป็นสองทาง ทางหนึ่งนำไปใช้ในการกู้สัญญาณนาฬิกาของข้อมูลไบนารีผ่านวงจรกู้สัญญาณนาฬิกา (clock recovery) และอีกทางหนึ่งถูกนำไปเป็นอินพุตของตัวตรวจจับสัญญาณไบนารีที่กู้ได้จากสัญญาณนาฬิกา เอาต์พุตของตัวตรวจจับสัญญาณไบนารีจะเป็นข้อมูลไบนารีที่ได้มอดูเลทมาจากตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

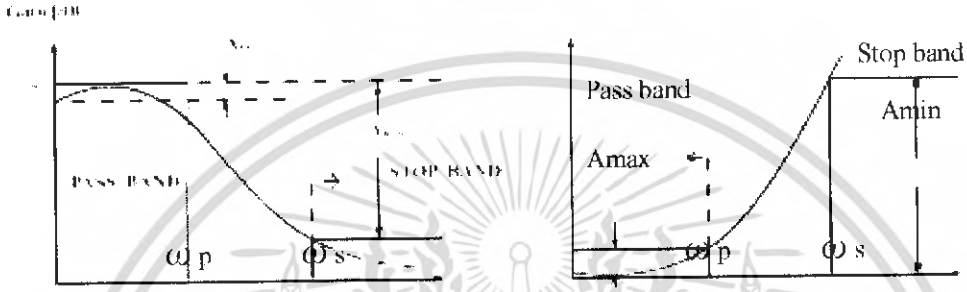
บทที่ 4

วงจรกรองความถี่ผ่านและวงจร Edge detector

หลักการเบื้องต้นของวงจรกรองความถี่ (Introductory Filter Concepts)

วงจรกรองความถี่ (Filter) คือวงจรที่ใช้ในการจัดรูปขององค์ประกอบของความถี่ (Frequency spectrum) ของสัญญาณไฟฟ้า วงจรกรองความถี่เป็นโครงข่ายที่จำเป็นของระบบสื่อสาร และ ระบบควบคุม

4.1 วงจรกรองความถี่ต่ำผ่าน (Low pass Filter)



รูปที่ 4.1 คุณสมบัติของ Low pass Filter ในการพิจารณาออกแบบ

วงจรกรองความถี่ต่ำผ่าน จะยอมให้ความถี่ต่ำผ่านออกไป โดยมีการสูญเสียเพียงเล็กน้อย และจะลดทอนสัญญาณที่มีความถี่สูง

พารามิเตอร์ที่สำคัญที่สุดในการพิจารณาออกแบบวงจรกรองความถี่ จะถูกกำหนดมาจากคุณสมบัติของระบบที่เราต้องการ พารามิเตอร์หรือคุณสมบัติที่สำคัญที่สุดในการออกแบบวงจรกรองความถี่คือ

- แถบความถี่ที่ยอมให้สัญญาณผ่าน (Pass Band Frequencies) : ωp สัญญาณที่มีความถี่ที่ยอมให้สัญญาณผ่าน จะต้องมีการสูญเสียไม่เกินค่าสูงสุดที่จะยินยอม : Amax

ωp และ Amax ของวงจรกรองความถี่ต่ำผ่านแสดงดังในรูปที่ 3.3

- แถบความถี่ที่หยุดสัญญาณ (Stop band Frequencies) : ωs สัญญาณที่มีความถี่ในแถบหยุดหรือกำจัดหรือลดทอนนี้จะต้องมีความสูญเสียอย่างน้อยที่สุดเท่ากับ Amin

ωs และ Amin ของ Low pass Filter แสดงในรูป 3.3 แถบความถี่ระหว่าง ωp และ ωs เรียกว่า Transition Band

และในการพิจารณาออกแบบวงจรกรองความถี่ บ่อยครั้งการใช้ค่าฟังชั่นของการสูญเสีย (Loss Function) จะทำให้มีความเข้าใจได้ดีกว่า ฟังชั่นของการขยาย หรือ

Gain = $\dfrac{Vo(s)}{Vin(s)}$: Forward Transfer function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Loss = $\frac{Vin(s)}{Vo(s)}$: Reverse Transfer function

และ Loss = 1 / Gain

สำหรับวงจรกรองความถี่ต่ำผ่าน แถบความถี่ที่ยอมให้สัญญาณผ่านคือ ความถี่ตั้งแต่ 0 Hz (dc) จนถึงความถี่คัทออฟ ω p โดยมีการสูญเสียไม่เกิน Amax ในช่วงของแถบความถี่ 0 Hz - ω p

ค่าความถี่ ω p อาจถูกเรียกว่า Pass band edge Frequency และสัญญาณที่มีความถี่มากกว่า ω s - ∞ จะต้องถูกลดทอน Amin เป็นอย่างต่ำที่สุด ค่าความถี่ ω s เรียกว่า Stop band edge Frequency

ดังนั้น ฟังชั่นของ Low pass Filter อันดับ 2 ที่มีความถี่คัทออฟ ω p และอัตราการขยาย = K จะเป็น

$$\text{Gain} = \frac{Kw_p^2}{s^2 + \frac{w_{ps}}{Q_p} + w_p^2}$$

$$\text{Loss} = \frac{s^2 + \frac{w_{ps}}{Q_p} + w_p^2}{Kw_p^2}$$

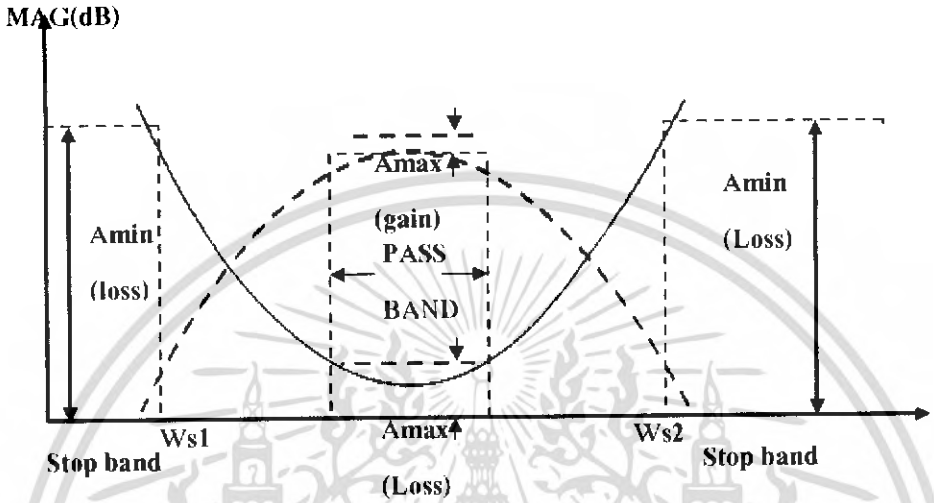
K = Pass band Filter

ω p = Cut off Frequency หรือ Pass band edge Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรกรองแถบความถี่ผ่าน(Band pass filter)

วงจรกรองแถบความถี่ผ่าน จะยอมให้สัญญาณที่มีความถี่อยู่ในแถบความถี่ที่ยอมให้ผ่านระหว่าง w_{p1} กับ w_{p2} โดยมีการสูญเสียไม่เกิน A_{max} และกำจัดสัญญาณที่มีความถี่มากกว่าหรือน้อยกว่าของแถบความถี่ที่หยุดสัญญาณ w_{s1} ,w_{s2} อย่างน้อยที่สุด Amin ดังแสดงในรูป 4.2



รูปที่ 4.2 คุณสมบัติของ Band pass filter ในการพิจารณาออกแบบ

ทรานสเฟอร์ฟังก์ชันทั่วไปของวงจรแบนด์พาสฟิลเตอร์ อันดับสองคือ

$$H(s)=\frac{K\frac{\omega_p}{Q_p}S}{S^2+\frac{\omega_p}{Q_p}S+\omega_p^2}$$

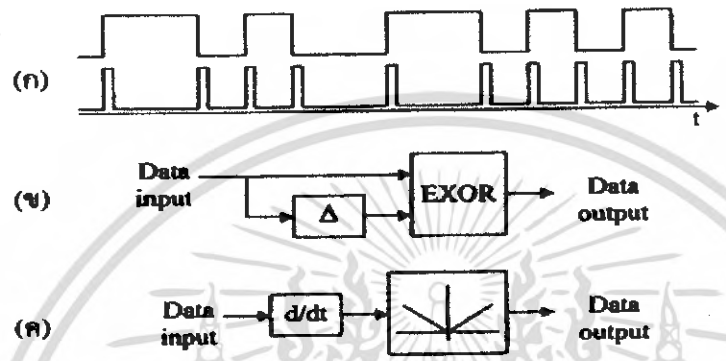
K=pass band gain

Wp=ความถี่ที่ gain มีค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ดีเทกต์ขอบ (Edge detection)

ดังที่ได้แสดงในรูปที่ 4.3 ตัวดีเทกเตอร์ขอบต้องการกรรมวิธีเพื่อรับรู้การเปลี่ยนแปลงของข้อมูล ทั้งขอบบวกและขอบลบ เกต EXOR (exclusive-or) กับอินพุตที่ถูกดีเลย์ Δ ข้างหนึ่งได้ทำการปฏิบัติหน้าที่นี้ ตัวดิฟเฟอเรนทิเอเตอร์ (Differentiator) ผลิตสัญญาณอิมพัลส์ (impulses) ที่สอดคล้องกันกับแต่ละการเปลี่ยนแปลง วงจรยกกำลังสองหรือ ตัวเรกติไฟเออร์ (rectifier) แบบเต็มคลื่น (full wave) เปลี่ยนอิมพัลส์ลบไปเป็นอิมพัลส์บวก



รูปที่ 4.3ลักษณะของ Output และ Block diagram ของวงจร Edge detection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

ระบบสังเคราะห์ความถี่เฟสล็อคลูป(phase lock loop synthesizer)เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของ เฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา

ซึ่งความจริงแล้ววงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดที่พอเหมาะ และให้ความถี่ตามที่เราต้องการ วิธีการสังเคราะห์ความถี่ที่มีความซับซ้อนขึ้นอยู่กับช่วงความถี่ (Frequency Range) ช่วงห่างระหว่างขั้น (Step Size) และช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน

วิธีการสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

1. วิธีสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ตามต้องการ โดยปกติจะใช้แร่บังคับความถี่หลายชุด

2. วิธีสังเคราะห์โดยอ้อม (Indirect synthesis) ซึ่งวิธีนี้จะใช้เฟสล็อคลูป (Phase Lock Loop) โดยอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิง แล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดันไปควบคุมออสซิลเลทของ VCO อีกครั้งหนึ่ง

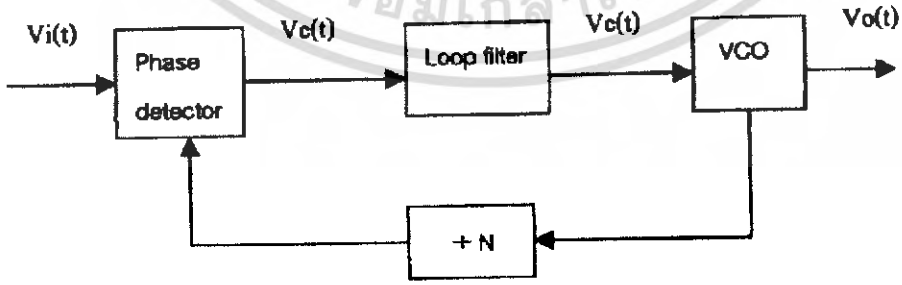
บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

1.ส่วนเปรียบเทียบเฟส (Phase Detector :PD)

2.ลูปฟิลเตอร์(Loop Filter:LF)

3.วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน(Voltage Control Oscillator:VCO)

4.วงจรหารความถี่ที่สามารถโปรแกรมได้(Programmable Divider)



รูปที่ 5.1 แสดงบล็อกไดอะแกรม วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะอธิบายได้ดังนี้

1. เฟสดีเทคเตอร์ (Phase detector) ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออเรอร์ (Phase error) เฟสเออเรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออเรอร์นี้ให้กลายเป็นระดับโวลต์เตจด้วยค่าคอนเวอร์ชั่นเกน K_d (volt / radian)

2. ลูปฟิลเตอร์ (Loop filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีเอซีโวลต์เตจร่วมมาด้วยสัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูง ซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

3. วงจรขยายสัญญาณ (Amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาท์พุทของวงจรนี้จะป้อนให้แก่วงจร VCO

4. วีซีโอ (VCO) จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลต์เตจอินพุทด้วยคอนเวนชั่นเกน K_o (radian / volt) ระดับโวลต์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าวๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่ของ VCO และทำให้เออเรอร์โวลต์เตจ Vc (t) และกรองผ่านลูปฟิลเตอร์ไปยังคอนโทรลอินพุทของ VCO รูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ VCO ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออเรอร์โวลต์เตจ ที่ผ่านลูปฟิลเตอร์ $V_d(t)$ ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_o = 2\pi f_o$ ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่ง ของ VCO ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูป และสัญญาณดังกล่าวมีความถี่อินพุท $\omega_o = 2\pi f_R$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูปจะทำให้ได้เออเรอร์โวลต์เตจไปขับ VCO ให้มีความถี่ซิงโครไนส์กับความถี่อินพุท ซึ่งแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

สมมุติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณราบคาบ (Peropdic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟสดีเทคเตอร์ จะเป็นแรงดันที่มีแอมปลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้จะป้อนไปยังวงจรลูปฟิลเตอร์ ซึ่งเป็นฟิลเตอร์ชนิดโลว์พาส กรองเอาเฉพาะความถี่ต่างๆ ตามที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

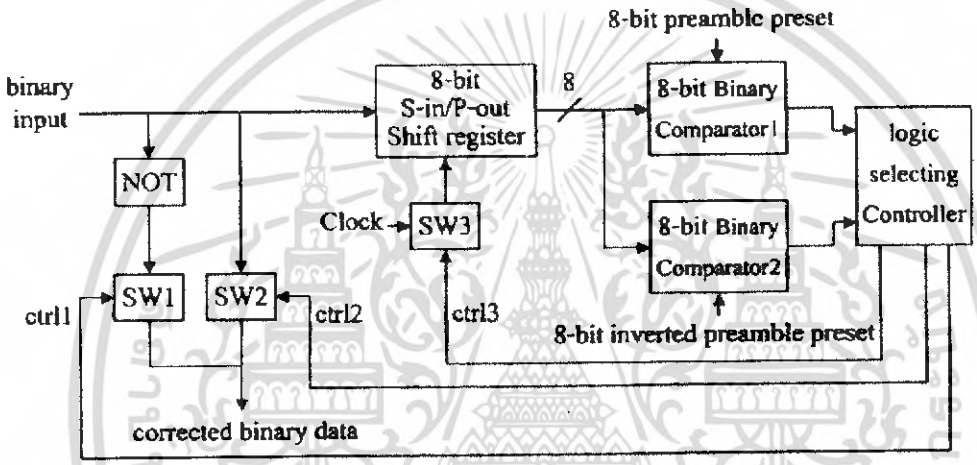
เมื่อลูปอยู่ในสภาวะล็อค (Lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณที่อินพุทพอดี อาจจะมีเฟสที่แตกต่างกันออกไป แต่เฟสที่แตกต่างกันนั้นจะมีค่าคงที่ (Constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทคเตอร์ จะจ่ายแรงดันคลาดเคลื่อน (Error voltage) ไปควบคุมการทำงานของ VCO เพื่อไม่ให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จะมีแอมปลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงไปตามสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง

จากที่กล่าวมาแล้ว ซึ่งไม่ว่าจะเป็นการกู้คลื่นพาห์ที่ใช้หลักการของลูปยกกำหลังสองหรือลูปคอสตาสอาจเกิดปัญหาเรื่องความกำกวมทางเฟส(phase ambiguity)เป็นปริมาณ 180°ระหว่างเฟสของคลื่นพาห์ที่กู้ได้กับเฟสของคลื่นพาห์ที่ตัวส่ง อันทำให้เกิดข้อมูลไบนารีที่ดีมอดูเลทได้มีสถานทางตรรก (ในแต่ละบิท) กลับกัน (เช่น ส่งมาเป็น '1' กลับรับได้เป็น '0' หรือกลับกัน)กับที่ได้มอดูเลทมาดังนั้นจึงต้องทำการตรวจสอบและแก้ไขข้อมูลไบนารีที่ได้จากการดีมอดูเลทให้ถูกต้องก่อนที่จะนำไปใช้งานต่อไป ซึ่งมีรายละเอียดดังต่อไปนี้



รูปที่ 6.1 บล็อกไดอะแกรมของการตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง

แนวความคิดหนึ่งที่ใช้ในการตรวจสอบและแก้ไขการกลับสถานะลอจิก(logic state) ของข้อมูลไบนารีที่ดีมอดูเลทได้จากข้อมูลไบนารีที่ได้มอดูเลทมา ได้ถูกแสดงไว้ในรูปที่ 5.1 ในกรณีนี้ ตัวรับได้สมมติว่ารู้จักข้อมูลเบื้องต้น(preamble data) อยู่ก่อนแล้ว และได้ตั้งค่า(data preset) ข้อมูลไบนารีไว้ 2 ชุด ซึ่งแต่ละชุดมีข้อมูลไบนารีที่ตรงข้ามกัน เพื่อใช้ในการเปรียบเทียบกับข้อมูลเริ่มต้นที่ตัวส่งจะต้องส่งมาก่อนการส่งข้อมูลที่ใช้ในการสื่อสารจริงๆ เนื่องจากข้อมูลที่ได้จากตัวดีมอดูเลเตอร์นั้นเป็นการเรียงกันมาของข้อมูลไบนารีทีละ 1 บิท หรืออาจเรียกได้ว่าเป็นข้อมูลแบบอนุกรม(serial) แต่การเปรียบเทียบข้อมูลตั้งสองชุดที่ได้ตั้งค่าไว้นั้นเป็นแบบขนาน เป็นการเปรียบข้อมูลทีละ 8 บิต ซึ่งผ่านตัวเปรียบเทียบข้อมูลไบนารี (Binary comparator) 2 ตัว ดังนั้นจึงจำเป็นจะต้องแปลงข้อมูลแบบอนุกรมให้เป็นแบบขนานเสียก่อน ซึ่งในกรณีนี้ใช้ตัวรีจีสเตอร์เลื่อน (Shift register) แบบข้อมูลเข้าเป็นแบบอนุกรมข้อมูลออกเป็นแบบขนาน จึงจะสามารถนำข้อมูลที่ได้จากการดีมอดูเลทไปเปรียบเทียบได้ ถ้าข้อมูลไบนารีของชุดใดมี

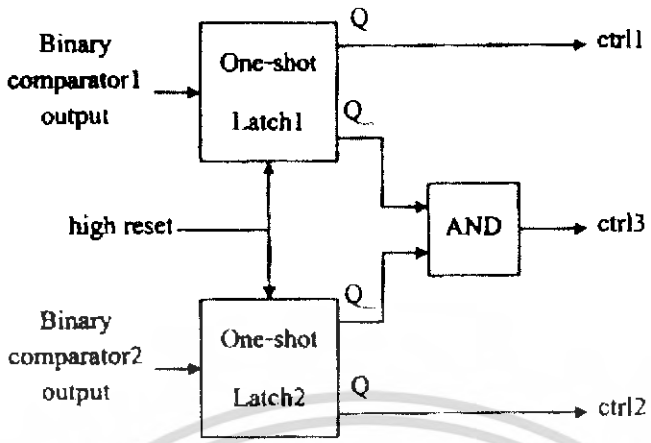
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าตรงอีกชุดจะไม่ตรงกับข้อมูลเริ่มต้นที่ตัวส่งได้มอดูเลทมาก็จะให้สัญญาณที่เป็นลอจิกค่าหนึ่งไปยังตัวควบคุมการเลือกสถานะลอจิก(Logic selecting controller)เพื่อใช้ในการตัดสินใจในการเลือเส้นทางของข้อมูล ผ่านสวิทช์ที่ควบคุมได้ SW1และ SW2 ที่ได้จากการมอดูเลทว่าจะใช้เส้นทางไหนเป็นเอาท์พุตของตัวดีมอดูเลเตอร์ที่จะนำไปใช้งานจริง ซึ่งมีสองเส้นทาง คือ เส้นทางที่ออกมาจากตัวดีมอดูเลเตอร์ตรงๆ หรืออีกเส้นทางหนึ่งที่ผ่านตัวกลับสัญญาณ (Inverter หรือ NOT) นอกจากนั้นจะเห็นได้ว่าไม่จำเป็นที่ต้องทำการเปรียบเทียบข้อมูลเริ่มต้นอีกต่อไปแล้ว (เพราะจะทำการเปรียบเพียงช่วงเริ่มต้นเพียงครั้งเดียวเท่านั้น) และเพื่อปิดโอกาสที่จะเกิดการเปรียบเทียบข้อมูลที่ใช้ในการสื่อสารที่อาจมีค่าตรงหรือตรงข้ามกับข้อมูลเริ่มต้นอีกก็ได้(เพราะถ้าเป็นเช่นนั้นอาจเกิดการเลือกเส้นทางของตัวดีมอดูเลเตอร์ใหม่ที่ต่างไปจากเส้นทางเดิม) ดังนั้นจึงจะต้องมีสัญญาณอีกสัญญาณหนึ่งที่ออกจากตัวควบคุมการเลือกสถานะลอจิกเพื่อใช้ในการตัดเส้นทางที่ได้ใช้ในการเปรียบเทียบข้อมูลเริ่มต้น ซึ่งกรณีนี้ใช้การตัดสัญญาณนาฬิกาที่ได้ใช้กับตัวรีจิสเตอร์เลื่อนแบบข้อมูลเข้าเป็นอนุกรมและข้อมูลออกเป็นขนาน ผ่านสวิทช์ที่ควบคุมได้ (SW3) อีกตัวหนึ่งทำให้ผลลัพธ์การเปรียบเทียบของตัวเปรียบเทียบข้อมูลไบนารีทั้ง 2 ตัวยังคงค้างอยู่เหมือนเดิมภายหลังที่เจอข้อมูลเริ่มต้นในครั้งแรกเท่านั้น ดังนั้นเอาต์พุตของบล็อกไดอะแกรมนี้จึงเป็นข้อมูลไบนารีที่ได้ถูกแก้ไขให้ถูกต้องแล้ว ซึ่งมีสถานะลอจิกในแต่ละบิตที่ตรงกับที่ได้มอดูเลทมา

เมื่อการสื่อสารสิ้นสุดลง หรือเมื่อขนาดของสัญญาณที่รับได้มีค่าน้อยเกินไปหรือแม้กระทั่งขาดหายไป เอาต์พุตของการเปรียบเทียบข้อมูลไบนารีทั้งสอง รวมถึงเอาต์พุตของตัวรีจิสเตอร์เลื่อนและเอาต์ของตัวควบคุมการเลือกสถานะลอจิก จะต้องถูกรีเซตก่อนที่จะทำการรับหรือดีมอดูเลทครั้งใหม่ ดังนั้นจึงจำเป็นที่จะต้องมีวงจรหนึ่งที่ทำหน้าที่รีเซตให้กับระบบเมื่อเกิดเหตุการณ์ดังกล่าวขึ้น และจะต้องทำการรีเซ็ตระบบทุกครั้งในขณะที่เริ่มการทำงานของตัวดีมอดูเลเตอร์(p o w e r o n r e s e t)

ตัวรีจิสเตอร์เลื่อน ตัวเปรียบเทียบข้อมูลไบนารี หรือตัวควบคุมการเลือกสถานะลอจิก อาจต้องการลอจิกควบคุมการรีเซตที่แตกต่างกันดังนั้นวงจรนี้จึงมี 2 เอาต์พุตที่ตรงข้ามกัน เพื่อทำการรีเซ็ตให้กับวงจรต่างๆ กล่าวคือเอาต์พุตหนึ่งจะเป็นลอจิกด้านสูง(high reset) ใช้กับวงจรที่ต้องการอินพุตควบคุมการรีเซตที่เป็นลอจิกด้านสูง และอีกเอาต์พุตจะเป็นลอจิกด้านต่ำ(low reset) ใช้กับวงจรที่ต้องการอินพุตควบคุมการรีเซตที่เป็นลอจิกด้านต่ำ ซึ่งมีเพียงตัวรีจิสเตอร์เลื่อนเท่านั้นที่ต้องการอินพุตควบคุมการรีเซตที่เป็นลอจิกด้านต่ำ นอกนั้นจะต้องการอินพุตที่เป็นลอจิกด้านสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 บล็อกไดอะแกรมหลักการทำงานของตัวควบคุมการเลือกสถานะทางลอจิก

หลักการทำงานของตัวควบคุมการเลือกสถานะลอจิก ได้ถูกแสดงเป็นบล็อกไดอะแกรมไว้ในรูปที่ 6.2 ซึ่งประกอบด้วยตัวค้างสถานะแบบครั้งเดียว(One shot latch) 2 ตัวและเกตแอน(AND) 1 ตัว อินพุตของตัวค้างสถานะแต่ละตัวนั้นได้มาจากเอาต์พุตของตัวเปรียบเทียบข้อมูลไบนารีซึ่งเอาต์พุตของแต่ละตัวจะให้ลอจิกที่ตรงข้ามกัน ขณะที่เกิดการเท่ากันกับข้อมูลเริ่มต้น ทำให้เอาต์พุต Q ของตัวค้างสถานะแต่ละตัวมีลอจิกที่ตรงข้ามกัน(ขณะที่ Q ของตัวหนึ่งเป็น1 Q ของอีกตัวจะเป็น 0) ซึ่งทำให้เกิดการเลือกเส้นทางเอาต์พุตของตัวดีมอดูเลเตอร์เพียงเส้นทางเดียว นอกจากนั้นเอาต์พุต Q_ ของตัวค้างสถานะแต่ละตัวจะมีลอจิกที่ตรงข้ามกับเอาต์ Q ของแต่ละตัวอีกด้วย และหลังจากที่เอาต์พุต Q ของทั้งคู่ผ่านเกตแอน(AND) ซึ่งจะให้เอาต์พุตเป็นลอจิก 0 เท่านั้น เพื่อใช้ในการตัดสัญญาณนาฬิกาของตัวรีจิสเตอร์เลื่อน(Shift register) ยกตัวอย่างเช่น เมื่อเกิดการเท่ากันของข้อมูลเริ่มต้นที่ตัวเปรียบเทียบไบนารี 1(Binary comparator1) ซึ่งก็จะไม่เกิดที่ตัวเปรียบเทียบไบนารี2 ทำให้เอาต์พุต Q ของตัวค้างสถานะ 1(Latch1) เป็นลอจิก 1 ซึ่งใช้ในการปิด (closed) สวิทช์ SW1 ขณะที่เอาต์พุท Q ของตัวค้างสถานะ 2 จะเป็นลอจิก 0 ซึ่งเป็นการเปิด(opened) สวิทช์ SW2 และเอาต์พุต Q ของตัวค้างสถานะ1 จะเป็น 0 ทำให้เอาต์พุตของเกตแอน(AND) เป็น 0 ด้วย ซึ่งเป็นการเปิดสวิทช์ SW3 ดังนั้นเส้นทางเอาต์พุตของตัวดีมอดูเลเตอร์ที่ถูกเลือกในขณะนี้จะเป็นเส้นทางที่ผ่านตัวกลับสัญญาณ (NOT) แล้วนั่นเอง และได้เกิดการตัดเส้นทางของสัญญาณนาฬิกาของตัวรีจิสเตอร์เลื่อนออกแล้วด้วย ซึ่งทำให้เอาต์พุตของมันค้างอยู่เหมือนเดิม หรือกล่าวได้ว่าจะไม่เกิดการเปรียบข้อมูลไบนารีขึ้นอีกจนกว่าระบบจะถูกรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

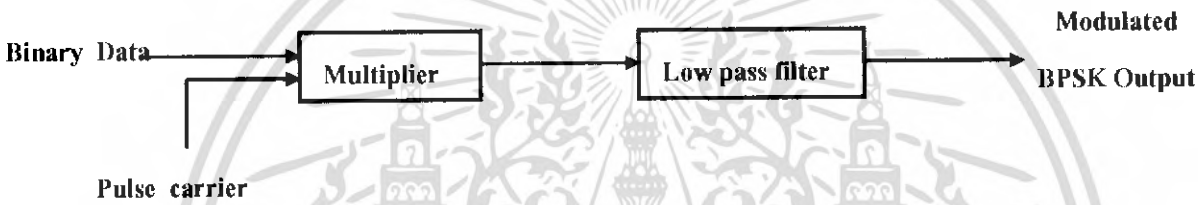
การออกแบบวงจรภาคส่งและวงจรภาครับ

เมื่อเราได้ศึกษาทฤษฎีของการสื่อสารข้อมูลและทฤษฎีการมอดูเลทและดีมอดูเลท BPSK แล้วก็สามารถออกแบบวงจรได้ โดยโครงงานนี้ได้แบ่งวงจรเป็นสองส่วนคือด้านรับและด้านส่ง ซึ่งจะกล่าวถึงรายละเอียดดังต่อไปนี้

7.1การออกแบบวงจรภาคส่ง

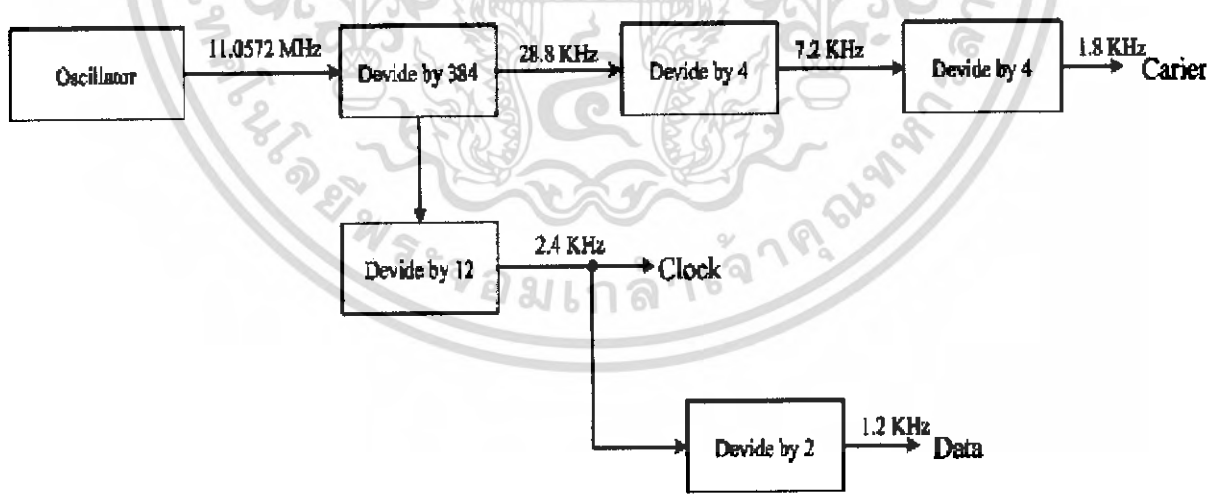
สร้างข้อมูลจำลองที่เป็นไบนารีและคลื่นพาห์ที่เป็นสัญญาณพัลส์และใช้ Exclusive-or เป็นตัว Multiplier ซึ่งต่างจากทางทฤษฎีที่ใช้ Balance Modulator และใช้ Sinusoid เป็นคลื่นพาห์ซึ่งวงจรต่างๆ ที่ใช้สร้างจาก IC ที่หาได้ง่ายและมีใช้กันทั่วไป

แสดงบล็อกไดอะแกรมของภาคส่งในทางปฏิบัติ



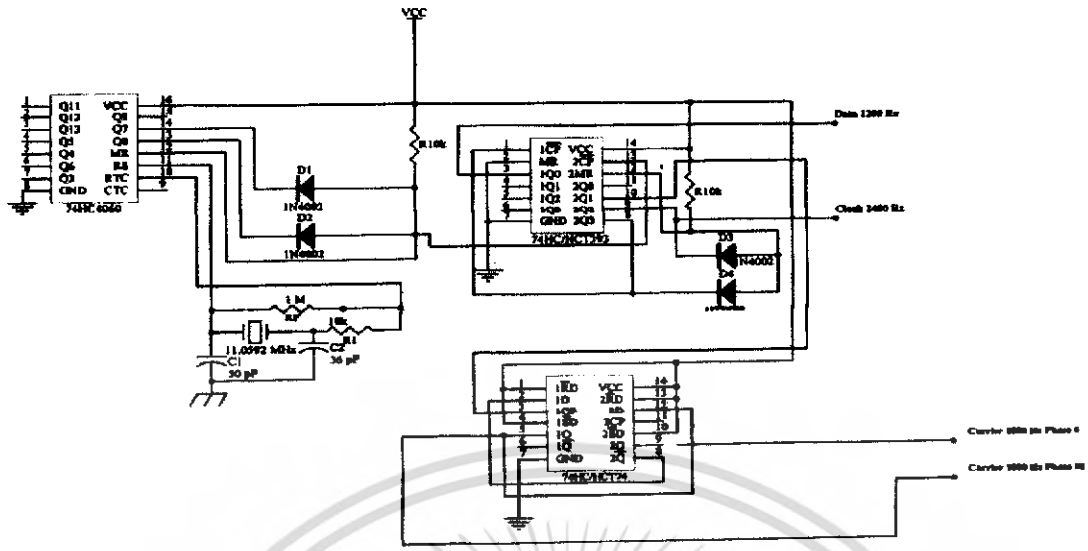
รูปที่ 7.1 แสดงบล็อกไดอะแกรมของภาคส่งในทางปฏิบัติ

7.1.1วงจรกำเนิดความถี่



รูปที่ 7.2 Block Diagram วงจรกำเนิดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3วงจรผลิตความถี่

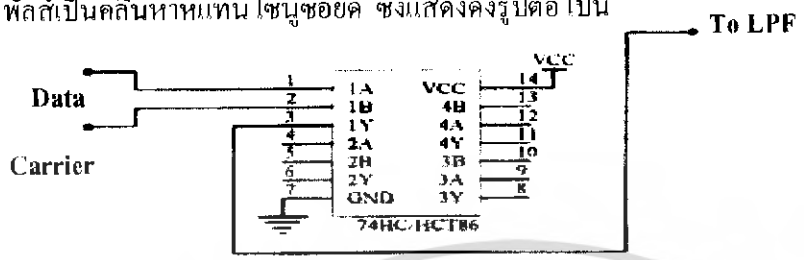
จากวงจรในรูปที่7.3มีตัว X-TAL OSC ผลิตความถี่ โดยที่ RF, R1 , C1 และ C2 จะทำให้เกิดการออสซิล เลท ป้อนเข้าขา RTCละขาRSของ IC HC 4060 ซึ่งเป็นขา OSC IN เราต้องการ O/P เป็นความถี่ 28.8 kHz ดังนั้นเราต้องให้ HC 4060 ทำการหาร 384 โดยการกำหนดให้เป็น 180 H ซึ่งเป็นเลขฐาน 16 จะมีค่าเท่ากับ 384 ในหน่ายเลขฐาน 10 นั่นคือขา 13 และ 14 ซึ่งเป็นขา Q7 และ Q8 ตามลำดับ เป็น 1 และเมื่อ Q3 และ Q4 เป็น 1 AND GATE จะทำงานและ O/P ของ AND GATE จะเข้าขา 12 ซึ่งเป็นขา Reset เราจะได้ O/P ของ HC 4060 ออกจากขา 13 คือขา Q3 มีความถี่ 28.8 kHz ตามต้องการ แล้วก็เอามาเข้าขา 13 ของ IC HC 393 ซึ่งเป็นขา CKB โดยการทำงานของ IC Q1 จะทำหน้าที่หาร 2 Q2 จะทำหน้าที่หาร 4 Q3 และ Q4 จะทำหน้าที่หาร 12 และเราต้องการความถี่ที่ออกจาก HC 393 ชุด B เป็น 2400 Hz โดย I/P เข้าขา 13 เป็นขา CKB O/P จะเลือกใช้ขา 9 เป็นขา Q3B จะหาร 12 จาก 28.8 kHz จะเท่ากับ 2400 Hz และ AND GATE ที่ต่อระหว่างขา 8 และ 9 ซึ่งเป็นขา Q4 และ Q3 ตามลำดับ จะ Reset ให้กับวงจร B โดยเข้าขา 12 ซึ่งเป็นขา Reset และนำ O/P 2400 Hz ที่ได้ไปเข้าขา 1 ของตัว

มันเองซึ่งเป็นขา CKA และจะเลือก O/P ออกที่ขา 3 เป็นขา Q1A และตัว Reset ที่ขา 2 จะใส่ GND ไป เพื่อเป็นการ free running ให้กับมัน ดังนั้น O/P ที่ได้จากขา Q1A จะเป็น 1200 Hz และจาก ชุด B ขา 10 ที่เป็นขา Q2B จะหาร 4 จาก 28.8 kHz เหลือ 7200 Hz นำ 7200 Hz ไปหาร 4 อีกครั้งจะได้เป็น 1800 Hz ซึ่งการนำไปใช้งานแต่ละความถี่ มีดังนี้ ความถี่ 1200 Hz จะใช้เป็น Data จำลอง ความถี่ 1800 Hz จะใช้เป็น carrier และความถี่ 2400 Hz จะใช้เป็น CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1.2วงจร Modulated BPSK

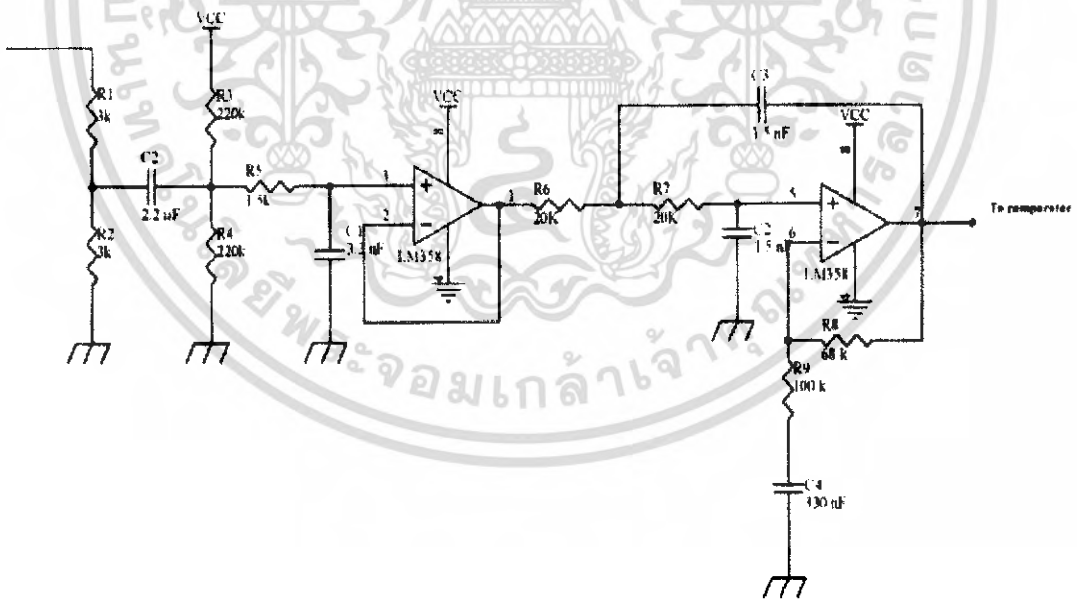
ทางทฤษฎีการมอดูเลท BPSK ใช้ Balance Modulator เป็นตัวมอดูเลท และใช้คลื่นพาห์ที่เป็นไซนูซอยด์ แต่ในทางปฏิบัติของโครงงานนี้ ใช้ Exclusive- or เป็นตัวมอดูเลทแทน Balance Modulator และใช้ พัลส์เป็นคลื่นหาห์แทนไซนูซอยด์ ซึ่งแสดงดังรูปต่อไปนี้



รูปที่ 7.4 วงจรมอดูเลท BPSK

7.1.3 วงจร Low pass filter

สัญญาณที่ผ่านการมอดูเลทผ่านวง Low pass filter เพื่อกำจัดสัญญาณความถี่สูงออกไปและให้ความถี่ผ่านเฉพาะช่วง 300-3300 Hz ซึ่งเป็นช่วงความถี่ของสายโทรศัพท์ ซึ่งการออกแบบวงจรจะเป็นแบบ Bessel



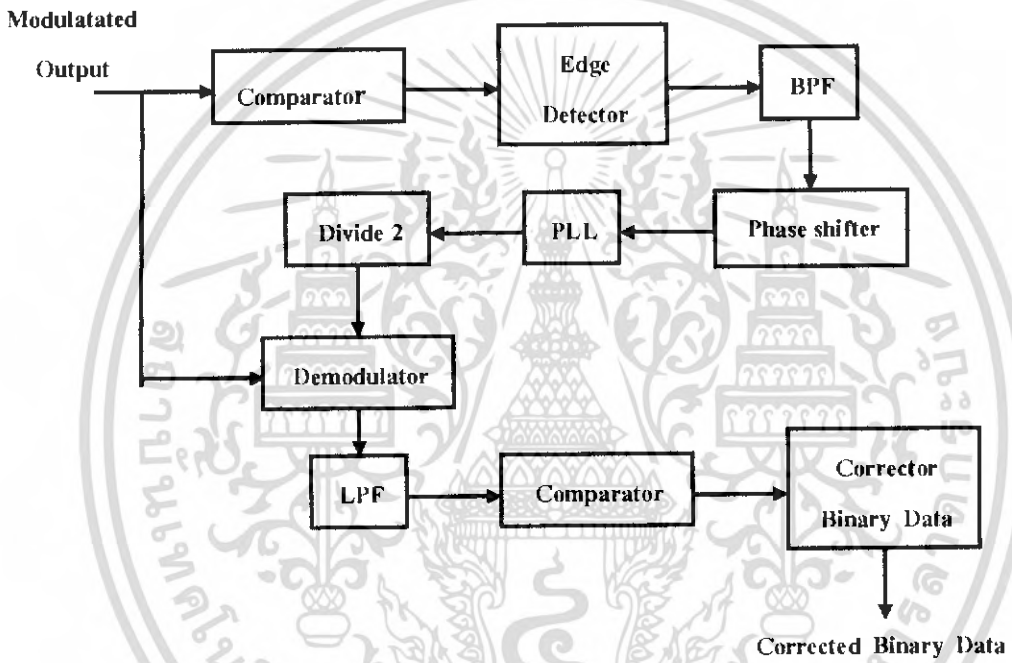
รูปที่ 7.5 วงจร Low pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 การออกแบบวงจรภาครับ

หลักการที่สำคัญของการดีมอดูเลทคือการกู้คืนสัญญาณคลื่นพาห์ซึ่งต้องมีเฟสและความถี่ตรงกับภาคส่ง ซึ่งใช้หลักการดีมอดูเลทแบบโคฮีเรนท์ ได้กล่าวถึงหลักการไว้ตอนต้นแล้ว โดยหลักการที่สำคัญที่ใช้ในการกู้คืนสัญญาณคลื่นพาห์ คือหลักการของเฟสล็อกลูป เมื่อได้คลื่นพาห์ที่มีเฟสและความถี่ตรงกับทางด้านส่ง ต่อไปก็เข้าวงจรดีมอดูเลท ซึ่งข้อมูลที่ดีมอดูเลทได้มี Jitter ต้องมีวงจร Low pass filter เพื่อกำจัดสัญญาณนี้ หลังจากนั้นผ่านวงจร Comparator ต่อไป ซึ่งจากการทดลองจะพบว่าเกิดความกำกวมทางเฟสของคลื่นพาห์ ข้อมูลที่ได้จึงต้องผ่านการแก้ไข ก่อนเป็นข้อมูลจริง ซึ่งมีวงจรดังต่อไปนี้

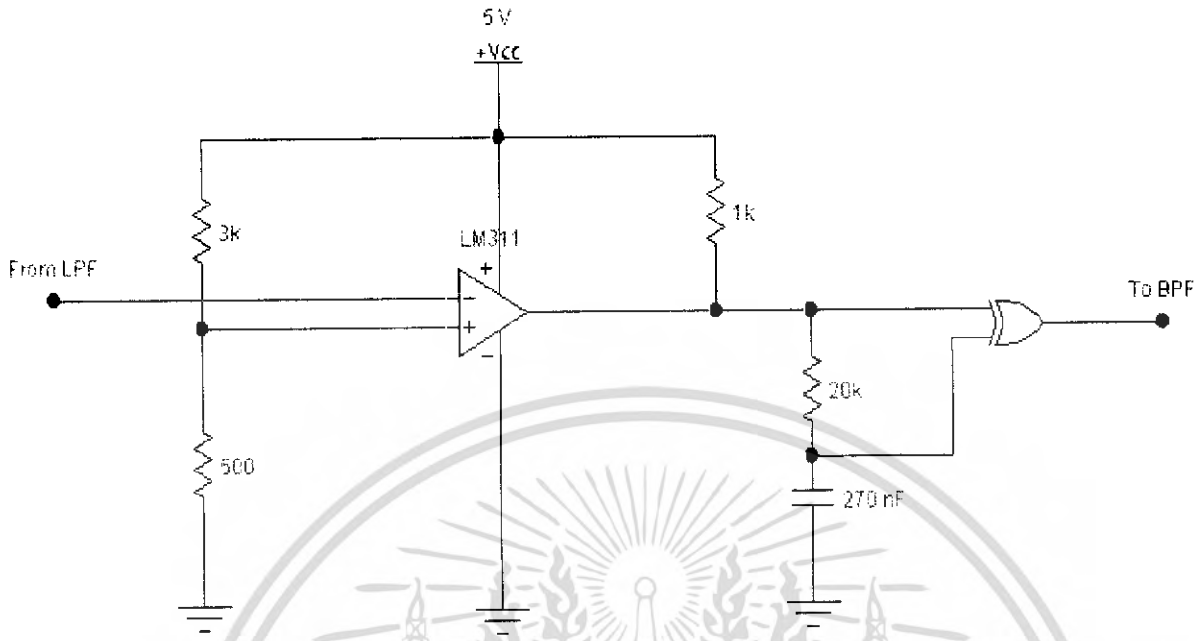
แสดงบล็อกไดอะแกรมของภาครับในทางปฏิบัติ



รูปที่ 7.6 แสดงบล็อกไดอะแกรมของภาครับในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.1 วงจร Comparator และ Edge Detector



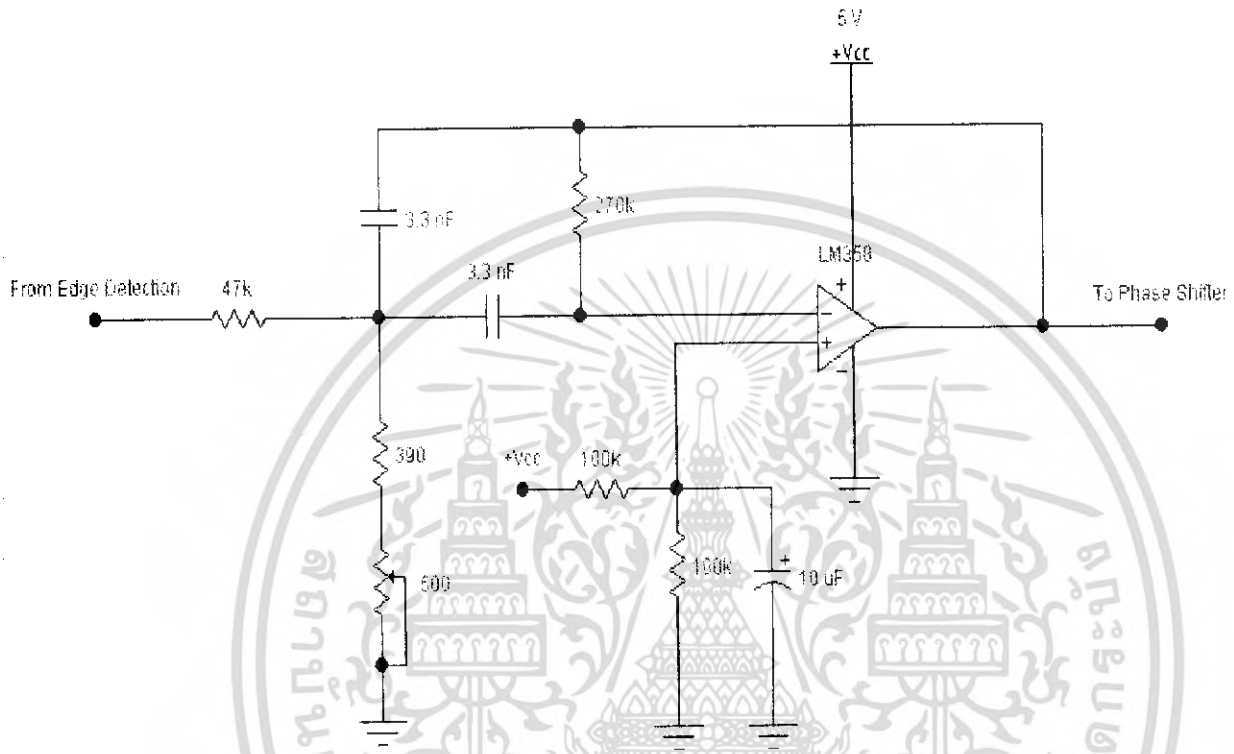
รูปที่ 7.7 วงจร Comparator และ Edge Detector

การทำงานของวงจรนี้คือ จะนำ O/P ของ LPF มาเปรียบเทียบกับแรงดัน 2.5 V โดยการเปรียบเทียบจะให้ comparator โดยใช้ IC LM 311 เป็นคอมพาราเตอร์ โดยจะนำ O/P ของ LPF เข้าขา 2 ของ LM 311 ซึ่งเป็นขา I/P ของ comparator และใช้แรงดัน 2.5 V ซึ่งได้จากการทำ Voltage Divider ของ R 3k 2 ตัว จาก Vcc ซึ่ง Vcc มีค่า +5 V ลดลงครึ่งหนึ่ง เหลือ 2.5 V เข้าขา 3 ของ LM 311 ซึ่งเป็นขา I/P ของ comparator และ O/P จะออกที่ขา 7 โดยมี R3 1k ทำหน้าที่ Pull-up ให้สัญญาณแรงขึ้น O/P ที่ได้ จะไปเข้าขา 1 ของ HC 86 เป็นขา I/P 1 ของ ex-or ตัวที่ 1 และ R4 และ C1 ที่ขา 1 ของ HC 86 จะทำหน้าที่กำหนดค่า time constance ซึ่งค่า LPF จะมีค่า 150 μS เราจึงกำหนดให้ค่า τ ในการคำนวน R4 และ C1 มีค่าเป็น 150 μS เลือกตัวหารคือ 3 จะได้ τ = 50μS เราจึงกำหนดให้ R4 เท่ากับ 20 kΩ จะได้ C1 เท่ากับ 270 nF และ O/P จากขา 3 ของ HC 86 เป็น O/P ของ ex-or ตัวที่ 1 จะไปเข้าขา 4 ซึ่งเป็น ขา I/P 1 ของ ex-or ตัวที่ 2 จะมี R5 และ C2 อยู่ที่ขา 4 ของ HC 86 จะทำให้ที่เหมือนกับ R4 และ C1 คือ กำหนดค่า τ ซึ่งเป็น $\frac{1}{3}$ ของค่า τ ที่ออกจาก comparator ซึ่งมีค่าเป็น 28 mS จะได้เป็น 9.33 mS กำหนด R4 คือ 1 MΩ จะได้ C2 เท่ากับ 10 nF จากค่า R และ C ที่คำนวนได้เป็นการกำหนดค่า τ ใช้ในการดีเทคขอบ (Edge Detection) เหมือนเป็นการ Double ความถี่เป็น 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.2 วงจร Bandpass filter

จะทำหน้าที่ในการกรองความถี่ที่ได้จากวงจร Edge detector เพื่อกำจัดสัญญาณรบกวนทิ้งไป และเพื่อทำให้วงจร PLL ทำงานได้ดียิ่งขึ้นเพราะความถี่ที่ได้จากวงจรฟิลเตอร์จะถูกส่งเข้าไปยังวงจร PLL ถ้าหากความถี่ที่ถูกส่งออกไปมีสัญญาณรบกวนอยู่ด้วยก็จะทำให้ PLL ล็อกความถี่ได้ไม่ดีเท่าที่ควร

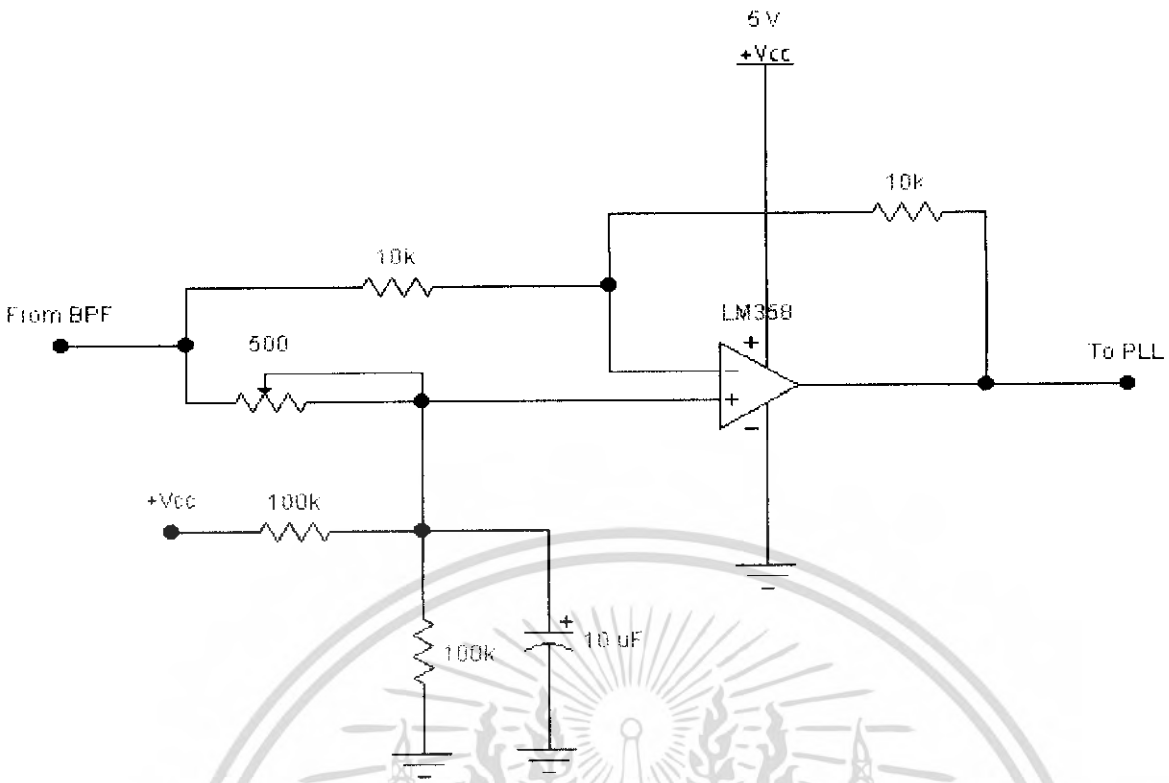


รูปที่7.8วงจร Bandpass filter

7.2.3 วงจรเลื่อนเฟส(Phase shifter)

เนื่องจากการกู้คลื่นพาห์สำหรับใช้ในการดีมอดูเลทนั้นสัญญาณที่กู้ได้ต้องมีเฟสและความถี่เท่ากับภาคส่งเท่านั้นจึงต้องมีวงจรเลื่อนเฟสเพื่อปรับเฟสของคลื่นพาห์ให้เท่ากับด้านส่งเพราะว่าสัญญาณที่ผ่านวงจร PLL มีเฟสเปลี่ยนถ้านำไปเข้าวงจรดีมอเลทโดยที่เฟสไม่ตรงจะทำให้ข้อมูลที่ดีมอดูเลทออกมามีความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

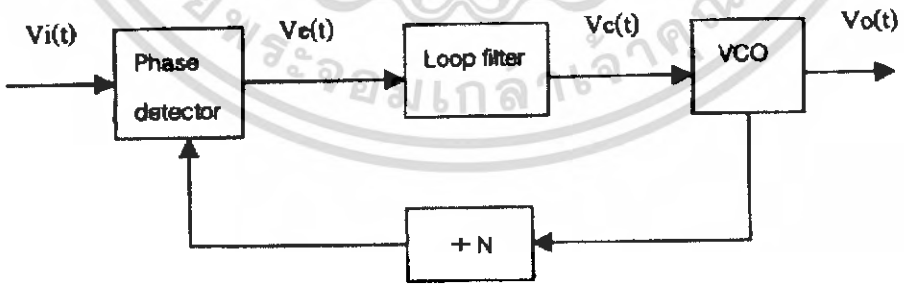


รูปที่ 7.9วงจรเลื่อนเฟส(Phase shifter)

7.2.4 วงจรเฟสล็อกลูป(Phase Lock Loop)

หลักการที่สำคัญของวงจรดีมอดูเลทคือการกู้คืนของคลื่นพาห์ ซึ่งวงจรเฟสล็อกลูปทำหน้าที่ในการล็อกความถี่ให้ได้ตามที่ระบบของเราต้องการ วงจรนี้ต้องการล็อกความถี่ 3.6 KHz Lock range 500-10 KHz

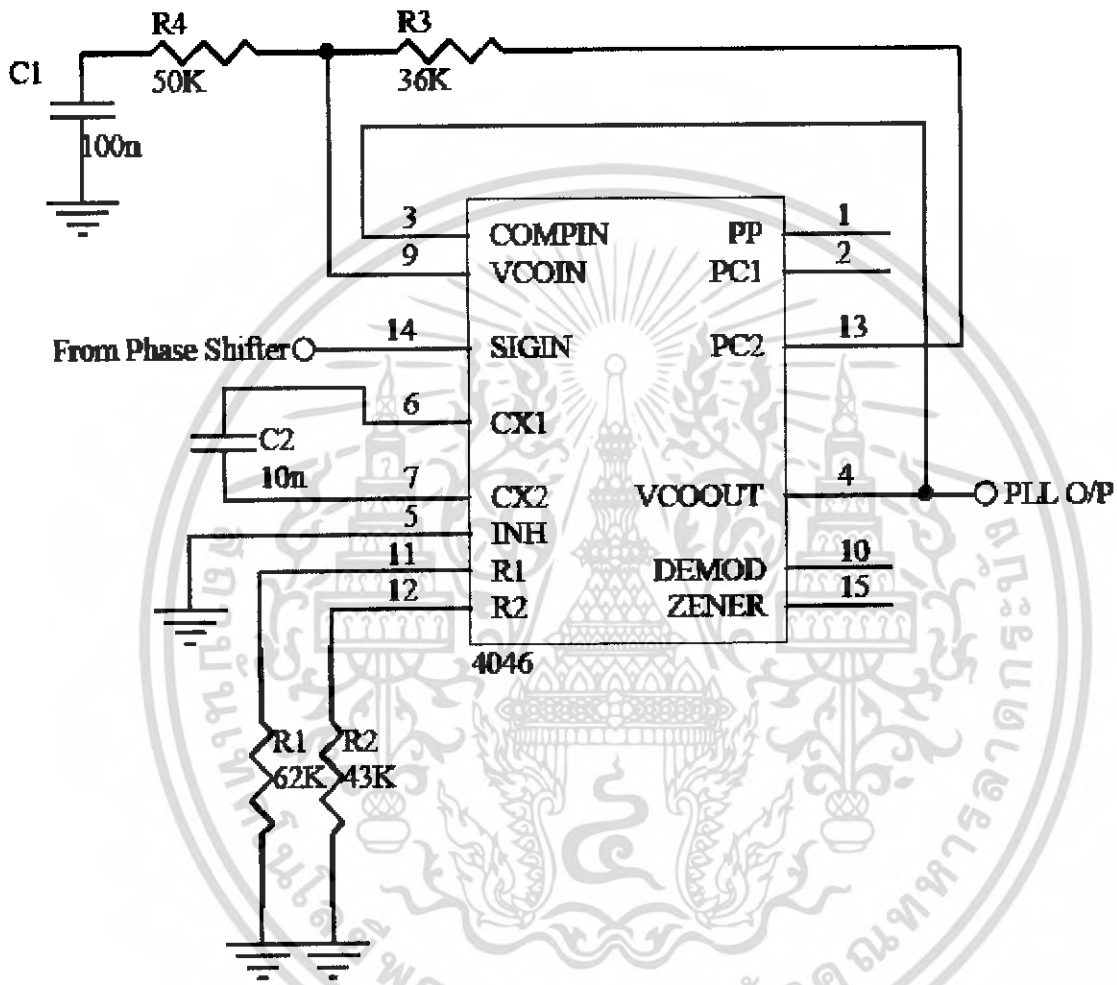
แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป



รูปที่ 7.10แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงวงจรเฟสล๊อกลูป

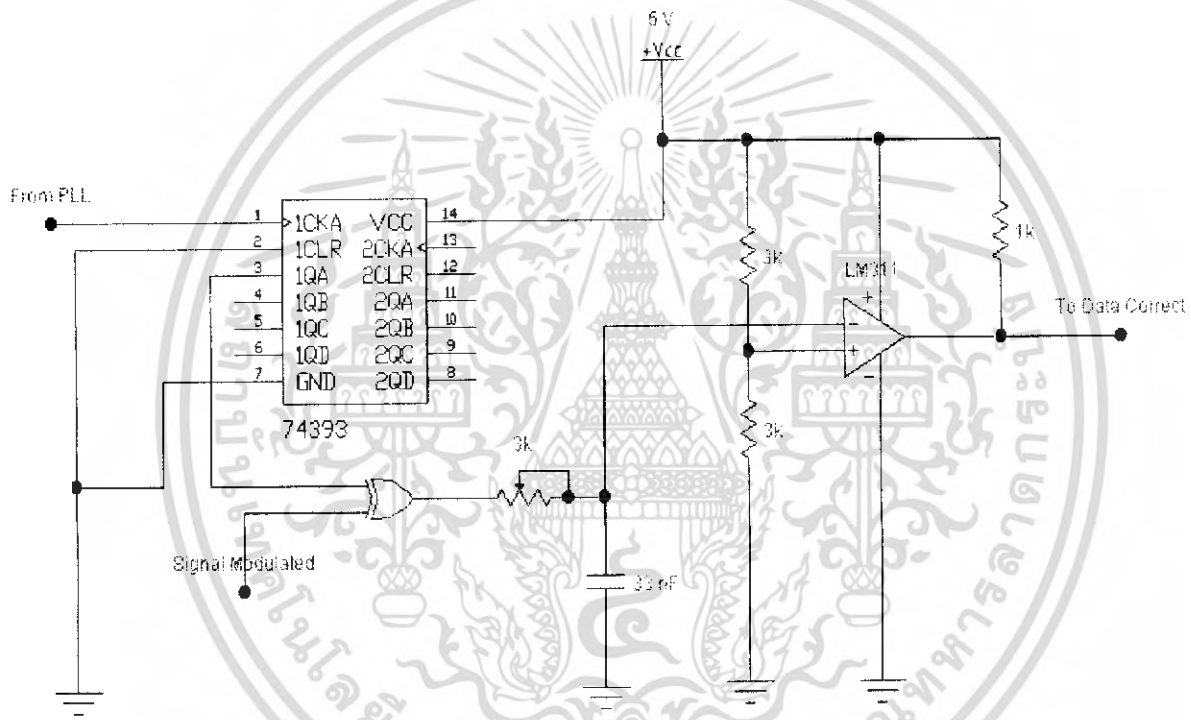


รูปที่ 7.11 แสดงวงจรเฟสล๊อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.5 วงจรดีมอดูเลท

สัญญาณจากเอาพุตต์ของเฟสล็อกลูปมีความถี่ 3.6 KHz ผ่านวงจรที่ทำหน้าที่หาร 2 เพื่อให้ได้ความถี่ 1.8 KHz หลังจากที่ความถี่ของคลื่นพาห์ที่กู้ได้เท่ากับความถี่ของคลื่นพาห์ด้านส่ง ทำการปรับเฟสให้เท่ากัน เพื่อทำการดีมอดูเลท โดยใช้ Exclusive –or เป็นตัวดีมอดูเลเตอร์ สัญญาณ Demodulated มีสัญญาณที่มี Jitter ต้องกำจัดให้หมดไปโดยใช้วงจร Low pass filter หลังจากนั้นก็ผ่านวงจร Comparator เพื่อให้ได้สัญญาณเป็นพัลส์ ก็จะได้สัญญาณ Demodulated

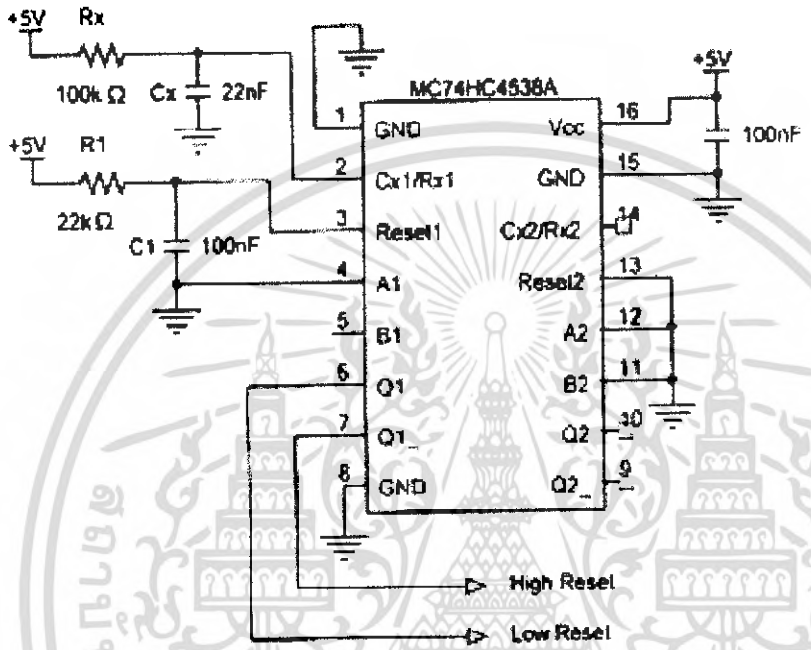


รูปที่ 7.12 วงจรดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.6 วงจรการรีเซ็ต(Resetting Circuit)ให้กับระบบ

วงจรนี้ทำหน้าที่กำหนดการรีเซ็ตให้กับระบบ วงจรนี้ใช้แหล่งจ่ายไฟ +5 โวลท์ และ 0 โวลท์ ใช้ชิป 74HC4538 ซึ่งเป็นวงจรเสถียรเดี่ยว (Monostable) และได้ต่อเป็นวงจรทริกซ้ำ(Retriggerable)วงจรนี้มี 2 เอาต์พุตที่ตรงข้ามกัน เพื่อเป็นสัญญาณที่ใช้ในการรีเซ็ตให้กับวงจรตรวจสอบและแก้ไขข้อมูลไบนารี

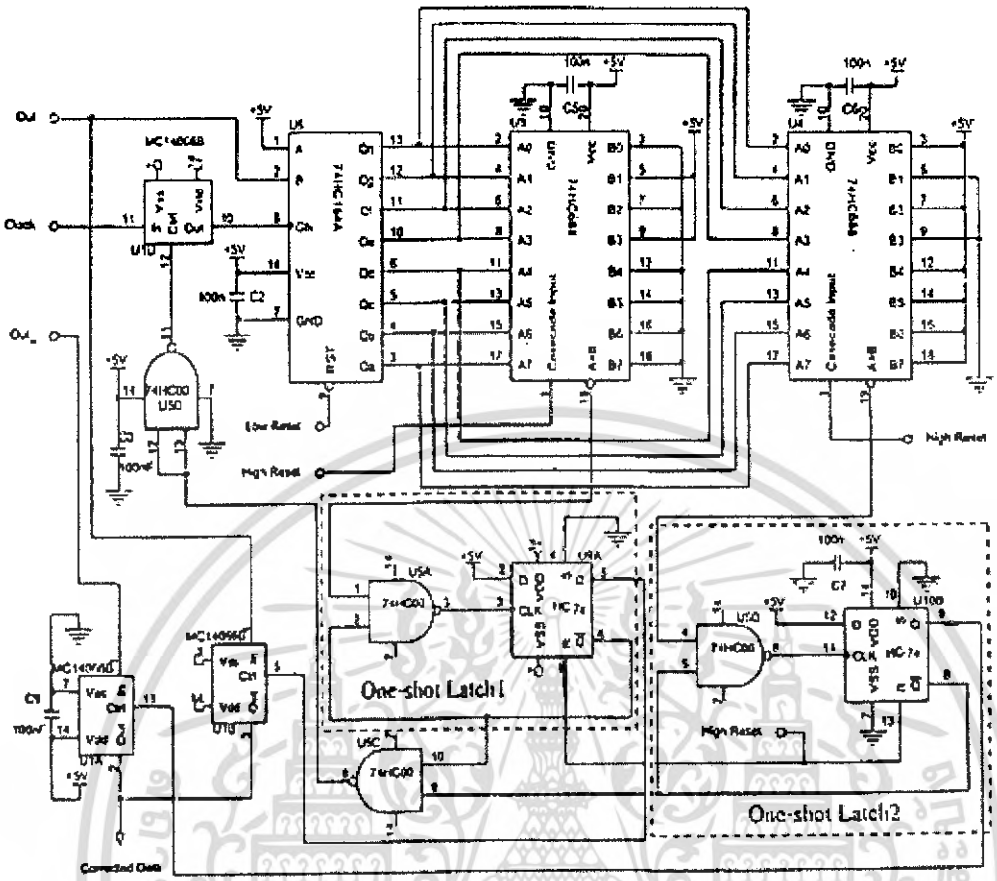


รูปที่ 7.13 วงจรการรีเซ็ต(Resetting Circuit)ให้กับระบบ

7.2.7 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี(ภายหลังการดีมอดูเลท)ให้ถูกต้อง

วงจรนี้ทำหน้าที่ตรวจสอบข้อมูลไบนารีภายหลังการดีมอดูเลท จากการกู้คืนพาห์ด้วยหลักการของลูปยกกำลังสอง อาจเกิดปัญหาเรื่องความกำกวมทางเฟส(Phase ambiguity)ระหว่างเฟสของคลื่นพาห์ที่กู้ได้ที่ตัวรับและเฟสของคลื่นพาห์ที่ใช้ในตัวส่งอันทำให้เกิดปัญหาเรื่องข้อมูลไบนารีที่ดีมอดูเลทมาได้(ในแต่ละบิท) นั้นจะมีสถานะทางลอจิกที่กลับกันกับที่ได้มอดูเลทมา ซึ่งวงจรนี้สามารถแก้ไขข้อมูลให้มีความถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.14 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี(ภายหลังการดีมอดูเลท)ให้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

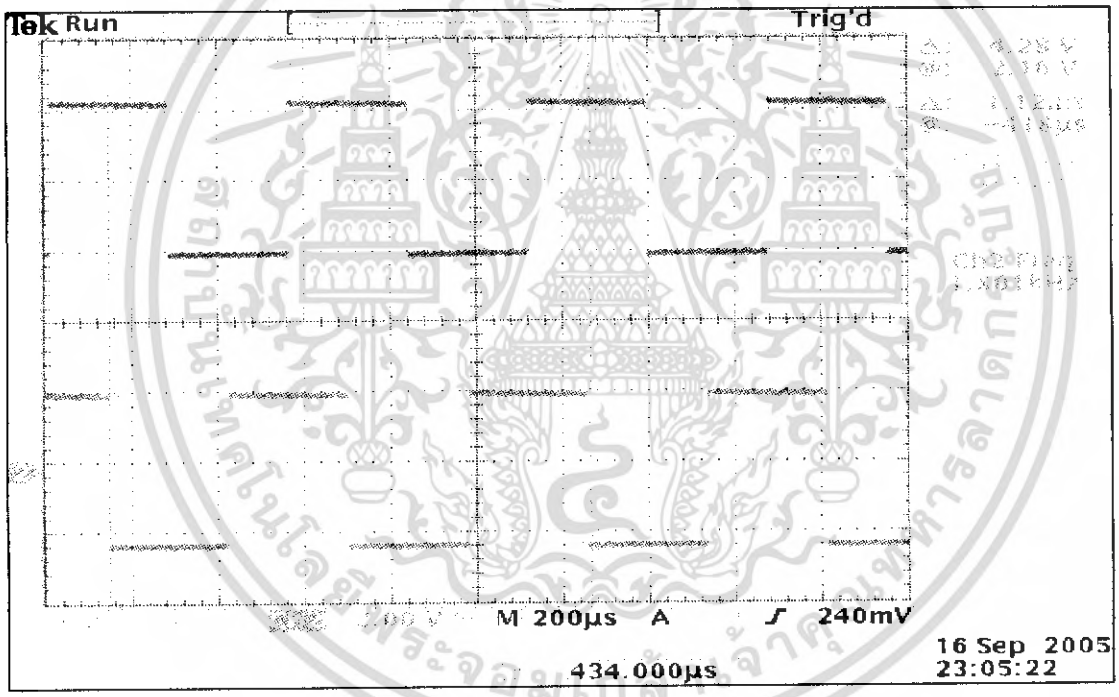
บทที่8

ผลการทดลอง

ในการทดลองรับส่งข้อมูลโดยใช้โปรแกรม Hyper terminal ซึ่งส่งข้อมูลออกทางพอร์ต COM1 ไปยังวงจรมอดูเลทชั่นและส่งข้อมูลต่อไปยังภาคดีมอดูเลทชั่นด้วยความเร็ว 2400 BPS แล้วรับข้อมูลด้วยพอร์ต COM2 โดยข้อมูลที่ส่งคือรหัส ASCII

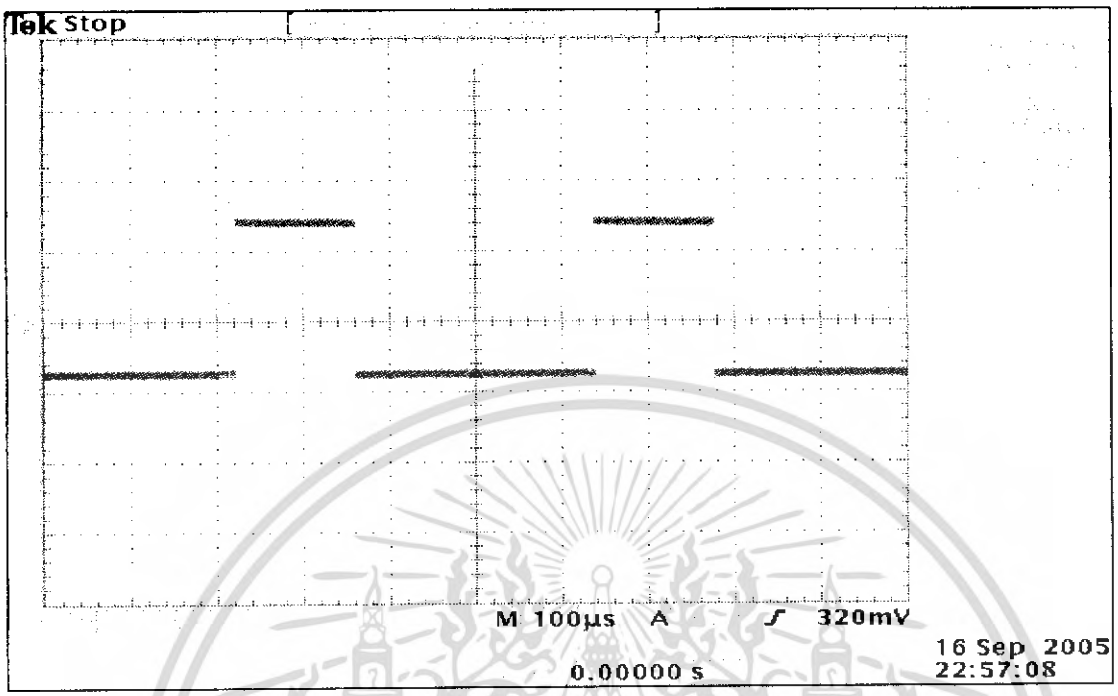
จากการทดลองพบว่าความผิดพลาดของข้อมูลที่รับได้ประมาณ 10% ในการส่งข้อมูลจำนวน 100 ตัวอักษร โดยความผิดพลาดอาจเกิดจากความผิดพลาดของวงจรเลื่อนเฟสหรือความผิดพลาดของอุปกรณ์ที่ใช้งาน

รูปที่ 8.1 รูปคลื่นของ Carrier ซึ่งจะมีเฟสต่างกัน 90° และมีความถี่ 1800 Hz

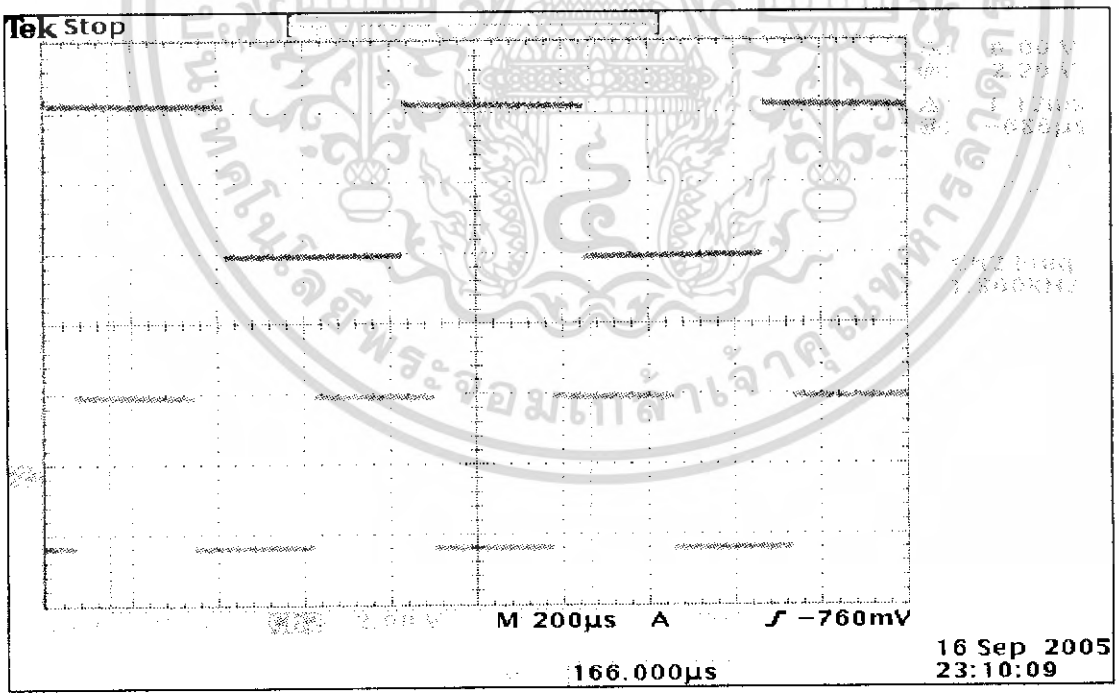


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8.2 รูปคลื่นของ Clock มีความถี่ 2400 Hz

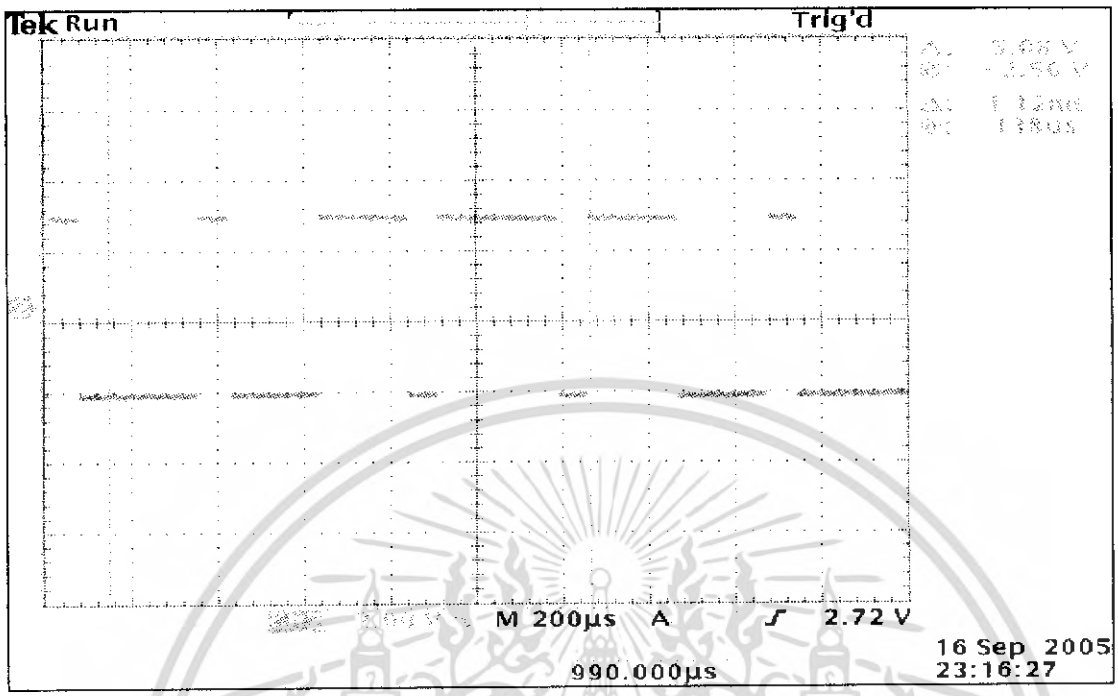


รูปที่ 8.3 เปรียบเทียบรูปคลื่นระหว่าง Data (รูปบน) และ Carrier (รูปล่าง)

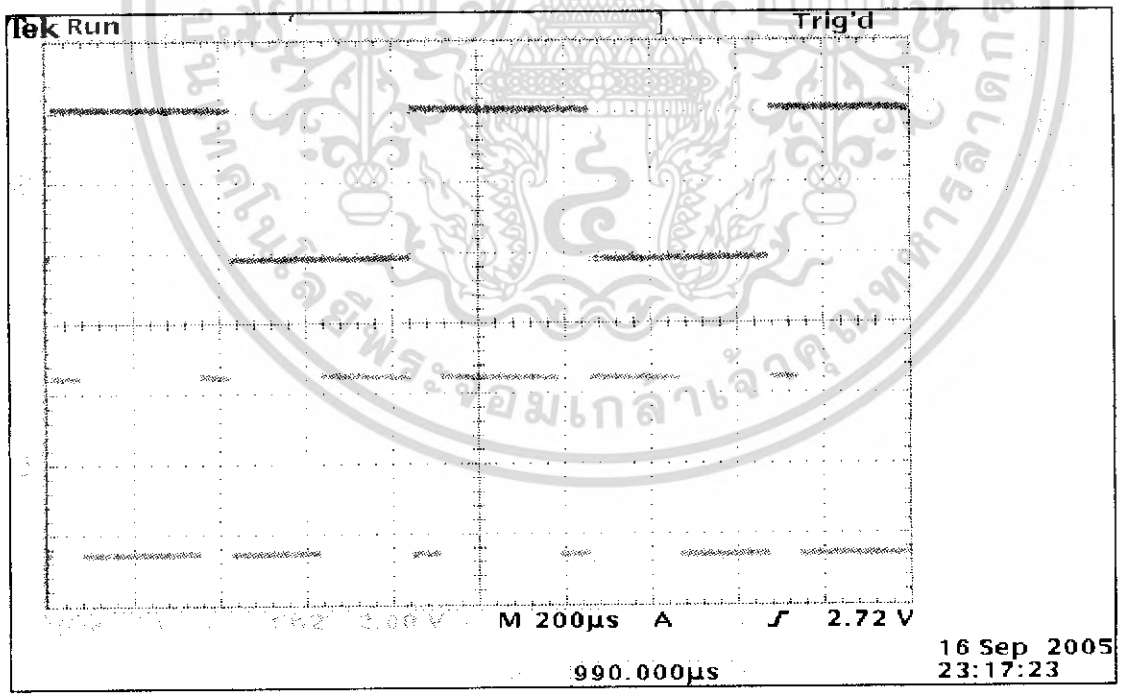


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8.4 รูปคลื่นของ Output ที่เกิดจากการ Modulate ใน Excusive-Or Gate

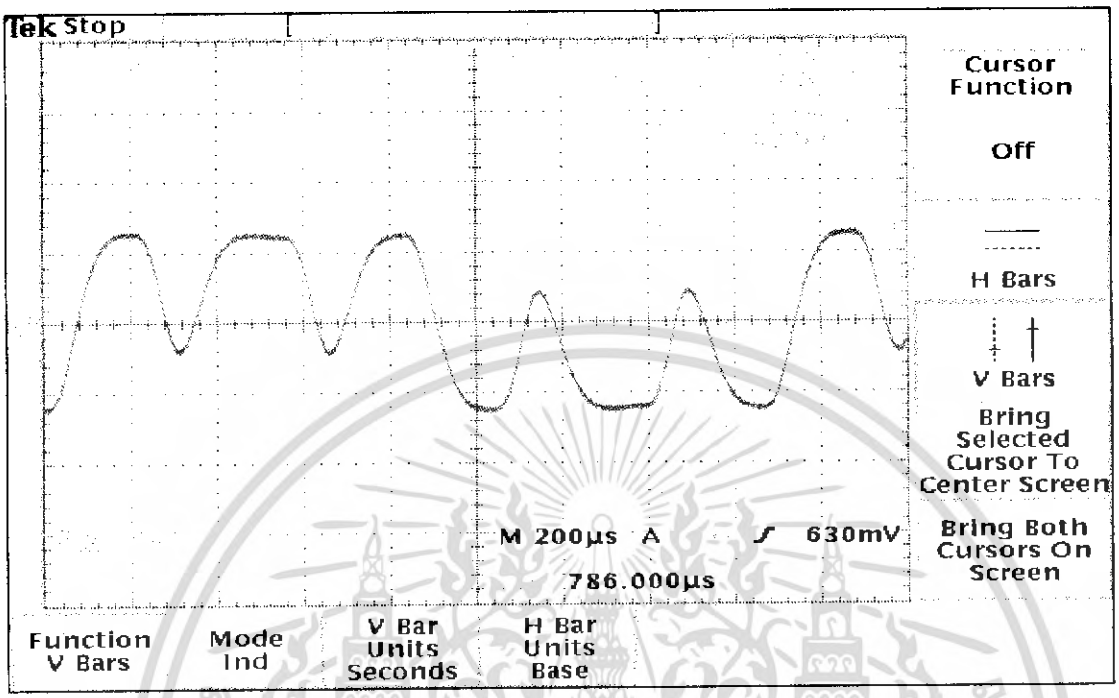


รูปที่ 8.5 เปรียบเทียบคลื่นระหว่าง Data (รูปบน) กับ Modulated (รูปล่าง)

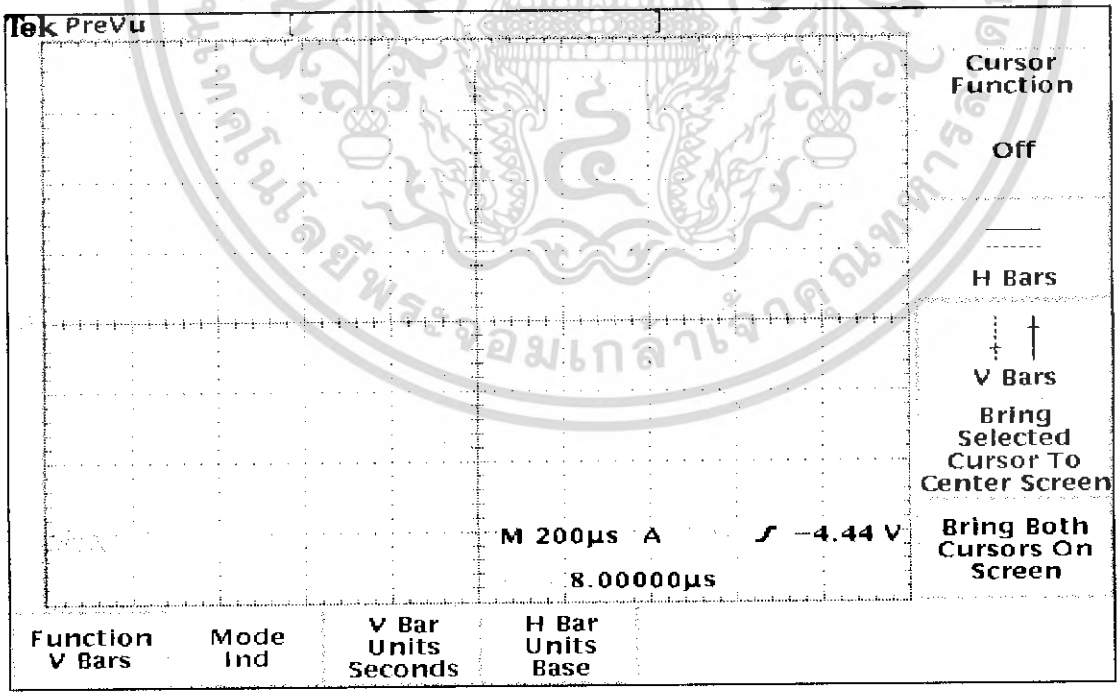


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่8.6 รูปคลื่น Output ของ Low Pass Filter

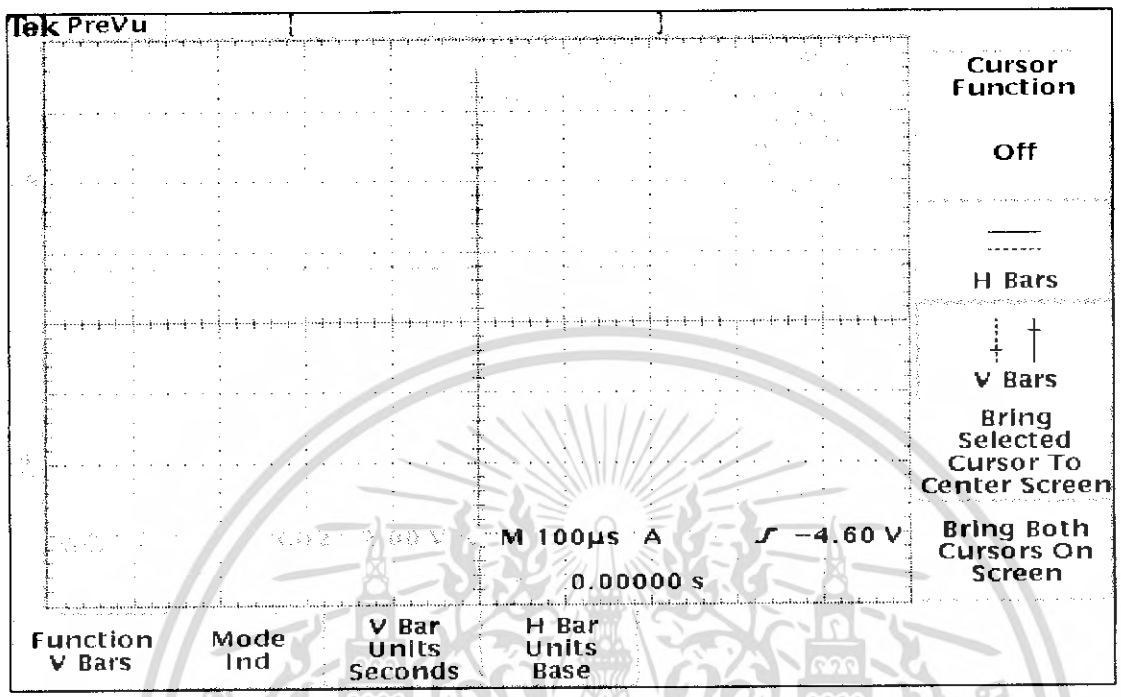


รูปที่ 8.7 รูปคลื่น Output ของ Comparator ที่เปรียบเทียบกับแรงดัน 2.5 V

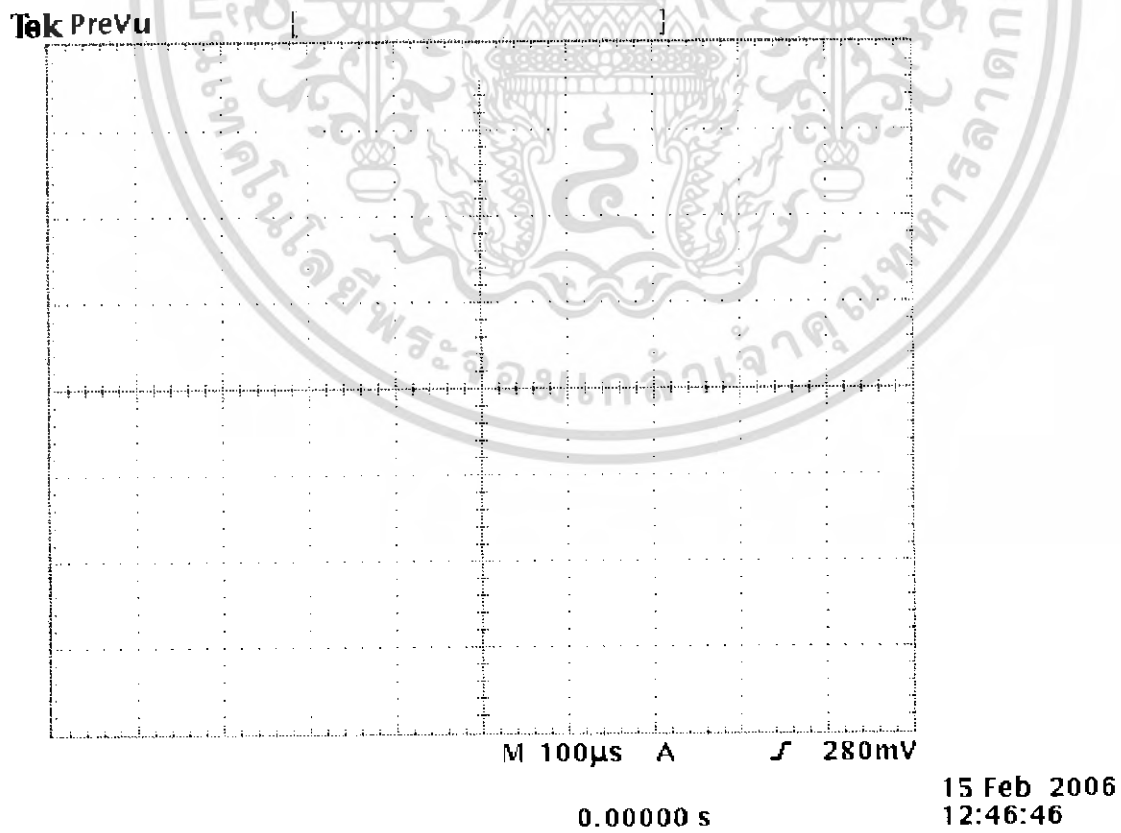


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8.8 เปรียบเทียบระหว่าง Comparator's Output (รูปบน) กับ Edge Detection's Output (รูปล่าง)

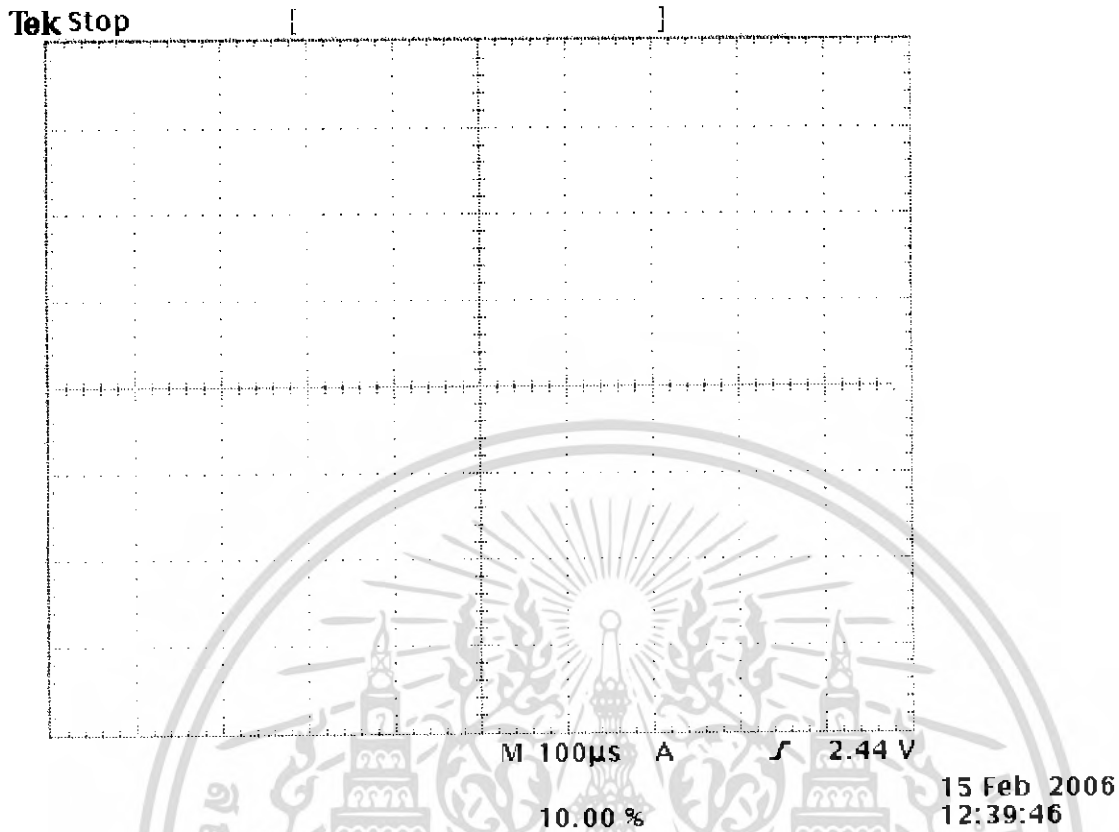


รูปที่ 8.9 รูปคลื่นของ Band Pass Filter

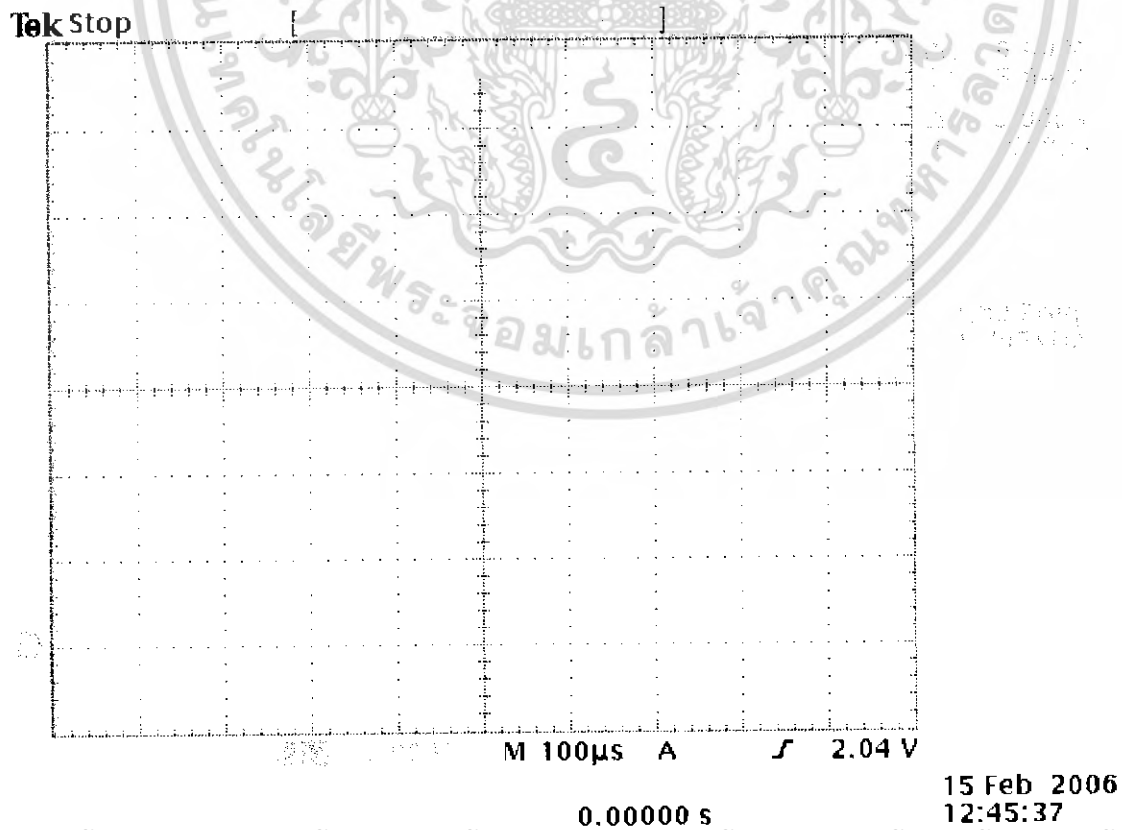


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8.10 รูปคลื่น Output ของ Phase Lock Loop มีความถี่ 3600 Hz

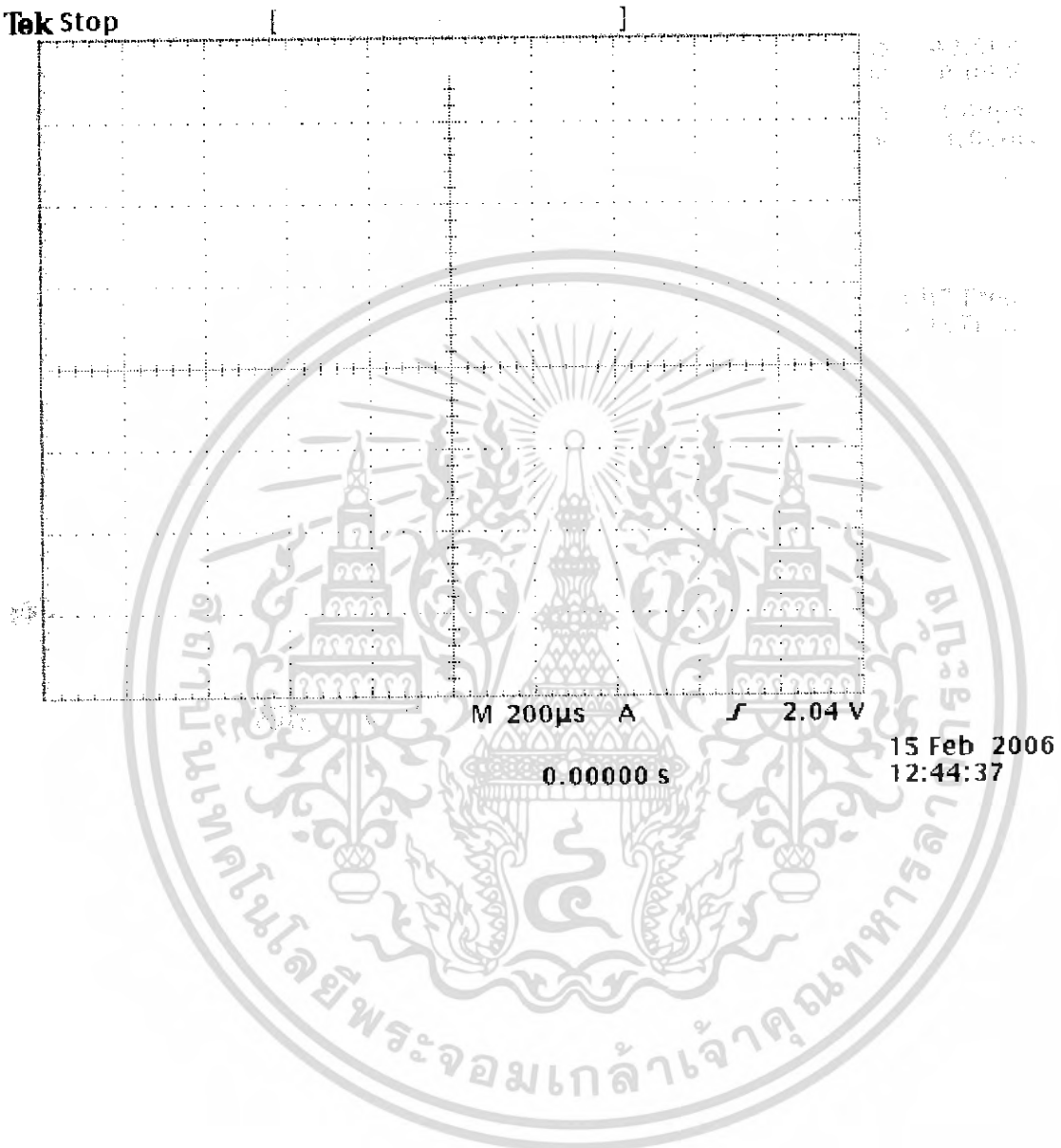


รูปที่ 8.11รูปคลื่น Carrier ที่มีความถี่ 1800 Hz ระหว่างภาคส่ง (รูปบน) กับ ภาครับ (รูปล่าง)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่8.12 รูปคลื่น Data จำลองที่มีความถี่ 1200 Hz ระหว่าง Data ก่อน Modulate (รูปบน) กับ Data หลัง Demodulate (รูปล่าง)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9

สรุปและวิจารณ์ผลการทดลอง

เริ่มจากการศึกษาทฤษฎีของ Digital Modulation เมื่อเข้าใจทฤษฎีแล้วก็ทำการออกแบบวงจรมอดูเลเตอร์ BPSK โดยในทางปฏิบัติจะต่างกับทางทฤษฎี โดยทางปฏิบัติใช้คลื่นพาห์ที่เป็นพัลส์ความถี่ 1.8 KHzแทนคลื่นพาห์ที่เป็นไซนูซอยด์ และใช้ Exclusive-or แทน IC Balance Modulator เมื่อทำการมอดูเลทสัญญาณที่ได้จากการมอดูเลทจะเป็นสัญญาณที่มีความถี่สูงและมีสัญญาณรบกวนต้องผ่านวงจรLow Pass Filterเพื่อทำการกรองสัญญาณ สัญญาณที่ได้ก็คือสัญญาณ Modulated ซึ่งData ที่ใช้มอดูเลทเป็นdata จำลองที่เราได้สร้างขึ้นมาแทนข้อมูลจริงมีความถี่ 1.2 KHz ส่วนที่ต้องพิจารณาเป็นพิเศษก็คือแบนด์วิดของสัญญาณ Modulated ซึ่งต้องไม่เกิน 3 KHz เพราะว่าระบบของเราใช้สายโทรศัพท์ในการรับส่งข้อมูล ซึ่งที่กล่าวมาก็คือภาคส่ง ต่อไปเป็นการออกแบบวงจรดีมอดูเลทส่วนแรกก็คือวงจร Comparator ทำหน้าที่ในการเปลี่ยนสัญญาณ Modulated ให้เป็นสัญญาณพัลส์หลังจากนั้นก็ผ่านวงจร Edge detector เพื่อทำการดีเทคท์ขอบของสัญญาณ จากการทดลองถ้าเรานำสัญญาณนี้ไปเข้า PLL ความถี่ที่ได้จากล็อกจะไม่ตรงกับที่ระบบต้องการ วิธีแก้ไขต้องมีวงจร Bandpass Filter เพื่อจำกัดช่วงความถี่ที่สามารถผ่านไปได้ ซึ่งสัญญาณที่ได้เมื่อนำไปเข้า PLL ก็สามารถล็อกสัญญาณได้ตรงกับความถี่ที่ระบบต้องการคือ 3.6 KHz หลังจากวงจร BandPass Filter ต้องมีวงจร Phase shifter เพื่อใช้ในการเลื่อนเฟสของคลื่นพาห์ทางด้านรับให้ตรงกับทางด้านส่ง ขั้นตอน Carrier Recovery เป็นขั้นตอนที่สำคัญที่สุดในการดีมอดูเลท เมื่อคลื่นพาห์ที่กู้คืนได้ต้องมีความถี่และเฟสตรงกับคลื่นพาห์ทางด้านส่งเท่านั้น ข้อมูลที่ดีมอดูเลทได้ก็จะเป็นข้อมูลที่ถูกต้อง หลังจากนั้นก็สามารถทำการดีมอดูเลทโดยใช้ Exclusive-or เป็นตัวดีมอดูเลเตอร์ เมื่อสร้างวงจรดีมอดูเลเตอร์เสร็จแล้ว การทดลองส่งข้อมูลใช้ข้อมูลจริงก็คือส่งรหัส ASCII ผ่าน RS-232 โดยใช้โปรแกรม Hyper terminal ผ่านCOM1ซึ่งเป็นด้านส่งและCOM2 ซึ่งเป็นด้านรับ จากการทดลองพบว่าเกิดความไม่แน่นอนของคลื่นพาห์ที่กู้ได้กับทางด้านส่งคือมีเฟสต่างกัน 180° ซึ่งเกิดจากหลักการของลูปยกกำลังสอง ทำให้ข้อมูลที่ดีมอดูเลทมีความผิดพลาด เราจำเป็นต้องมีการแก้ไขข้อมูลก่อนเป็นข้อมูลจริง วิธีการแก้ไขคือ สมมุติว่าตัวรับรู้จักข้อมูลเริ่มต้น (Preamble data) อยู่ก่อนแล้ว โดยหลักการก็คือตั้งค่าข้อมูลที่รู้ล่วงหน้าก่อนแล้ว 2 ขุดที่ตรงข้ามกัน โดยในที่นี้ได้ตั้งข้อมูลที่รู้ล่วงหน้าคือ 0AH ซึ่งก็คือปุ่ม Enterและที่ตรงข้ามกันก็คือ F5H นั่นก็คือก่อนการส่งข้อมูลจริงเราต้องส่งรหัส 0AH ก่อนทุกครั้ง ซึ่งถ้าในการส่งข้อมูลของเราเฟสของคลื่นพาห์ที่กู้ได้มีเฟสตรงกับคลื่นพาห์ทางด้านส่งหรือไม่ตรง ข้อมูลที่ออกมาก็จะมีความถูกต้อง เพราะระบบมีวงจรแก้ไขไว้คอยตรวจสอบ ซึ่งรายละเอียดการทำงานของวงจรได้กล่าวไว้แล้วตอนต้น ในการทดลองส่งข้อมูลด้วยความเร็ว 2400 BPS จำนวน 100 ตัวอักษรพบความผิดพลาดของข้อมูลที่ได้รับประมาณ 10% ซึ่งความผิดพลาดเกิดจากระบบที่ได้สร้างขึ้นมีความเร็วในการส่งข้อมูลเพียง 1800 BPSและความผิดพลาดของค่าอุปกรณ์ที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Tomasi, W. **Electronic Communication Systems**. 4 th Ed. New Jersery : Prentice-Hall, Inc. 2001.

[2] Webb, W. T. and Hanzo, L. **Modern Quadrature Amplitude Modulation.** London : Prentech Press,Ltd. 1995.

[3] Carlson, A. B. et. Al. **Communication Systems**. 4th Ed. New York : McGraw-Hill Companies , Inc. 2002.

[4] Sklar,B. **Digital communication**. 2nd Ed. New Jersery : Prentice-Hall, Inc. 2001.

[5] Young, P. H. **Electronic Communication Techniques**. 4 th Ed. New Jersery : Prentice-Hall, Inc. 1999.

[6] Gardner, F.M. **Phaselock Techniques**. 2 nd Ed. New York : John Wiley and Sons. 1979.

[7] Couch, L. W. **Digital and Analog Communication Systems**. 6 th Ed. New Jersery : Prentice-Hall, Inc. 2001.

[8] Xing, F. **Digital Modulation Techniques. Norwood**, MA. : Artech House, Inc. 2000.

[9] Gayakwad, R. A. **Op-Amp and Linear Integrated Circuits**. 3 rd Ed. New Jersery : Prentice-Hall, Inc. 1993.

[10] Razavi, B. **Monolithic Phase-Locked Loops and Clock Recovery Circuits**. New York : IEEE Press. 1996.

[12] ประพัศ ชุ่มชัยรัตน์ และคณะ "**การออกแบบวงจรลูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต.**" วารสารพระจอมเกล้าลาดกระบัง. พ.ศ. 2547

[13] Best, R.E. **Phase- Locked Loops : Design, Simulation , and Application.** 5 th Ed. New York: McGraw-Hill Companies, Inc. 2003.

[14] Proakis, J.G. **Digital Communication**. 4 th Ed. New York : McGraw-Hill Companies,Inc. 2001.

[15] Lancaster, D. **Lancaster's Active Filter Cookbook.** 2nd Ed. London : Newnes. 1996.

[16] Petty, C. et. at. "**Configuring and Applying the MC74HC4046A Phase-Locked Loop.**" Application Note : AN1410. Motorola 1995.

[17] Bingham, John A. C. **The Theory and Practice of Modem Design**. New York : John Wiley and Sons. 1988.

[18] Gray, Paul R., Meyer, Robert G. **Analysis and Design of Analog Integrated Circuits**. 3 rd Ed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

New York : John Wiley and Sons 1993.

[19] Grebene, Alan B. **Bipolar and MOS Analog Integrated Circuit Design**. New York : John Wiley And Sons. 1991

[20] Razavi, B. **Design of Analog CMOS Integrated Circuits**. New York : McGraw-Hill Companies, Inc.2001.

[21] Wolaver, Dan H. **Phase-Locked Loop Circuit Design**. New Jersey : Prentice-Hall, Inc.1991.

[22] Shockman, P. "**Phase Look Loop General Operations**." Application Note : AND8040. ON Semiconductor. 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ชีทข้อมูล (Data Sheets) ของชิปที่สำคัญๆ ที่ใช้ใน วงจรตัวดีมอดูเลทสัญญาณ BPSK

ชีทข้อมูลที่นำมาแสดงในภาคผนวกนี้ เป็นชีทข้อมูลของชิป หรือ ไอซี ที่สำคัญๆ ที่ใช้ในวงจรตัวดีมอดูเลทสัญญาณ BPSK ซึ่งมีรายการดังต่อไปนี้

1. 74HC4060 (14-Stage binary ripple counter with oscillator)
2. 74HC393 (Dual 4-bit binary ripple counter)
3. LM311 (Single Comparator)
4. MC74HC4046 (Phase-locked loop)
5. 74HC164 (8-bit Serial-Input/Parallel-Output shift register)
6. MC74HC688 (8-bit Equality Comparator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4060
14-stage binary ripple counter with oscillator

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14-stage binary ripple counter with oscillator — 74HC/HCT4060

FEATURES

- All active components on chip
- RC or crystal oscillator configuration
- Output capability: standard (except for R_{TC} and C_{TC})
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT4060 are high-speed Si-gate CMOS devices and are pin compatible with "4060" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT4060 are 14-stage ripple-carry counter/dividers and oscillators with three oscillator terminals (RS, R_{TC} and C_{TC}), ten buffered outputs (Q_3 to Q_9 and Q_{11} to Q_{13}) and an overriding asynchronous master reset (MR).
The oscillator configuration allows design of either RC or crystal oscillator circuits. The oscillator may be replaced by an external clock signal at input RS. In this case keep the other oscillator pins (R_{TC} and C_{TC}) floating.

The counter advances on the negative-going transition of RS. A HIGH level on MR resets the counter (Q_3 to Q_9 and Q_{11} to Q_{13} = LOW), independent of other input conditions.

In the HCT version, the MR input is TTL compatible, but the RS input has CMOS input switching levels and can be driven by a TTL output by using a pull-up resistor to V_{CC}.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	RS to Q_3		31	31	ns
	Q_n to Q_{n+1}		6	6	ns
t_{PHL}	MR to Q_n		17	18	ns
f_{max}	maximum clock frequency		87	88	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1, 2 and 3	40	40	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} − 1.5 V
3. For formula on dynamic power dissipation see next pages.

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	Q_{11} to Q_{13}	counter outputs
7, 5, 4, 6, 14, 13, 15	Q_3 to Q_9	counter outputs
8	GND	ground (0 V)
9	C_{TC}	external capacitor connection
10	R_{TC}	external resistor connection
11	RS	clock input/oscillator pin
12	MR	master reset
16	V_{CC}	positive supply voltage

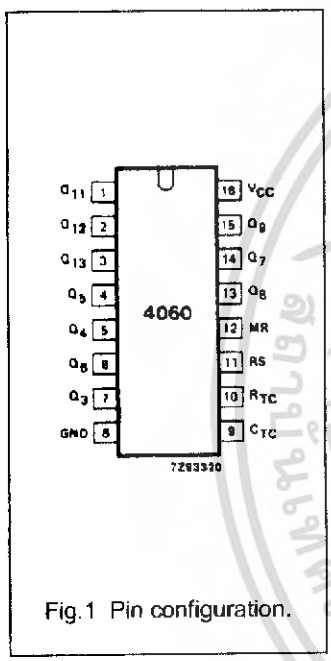


Fig.1 Pin configuration.

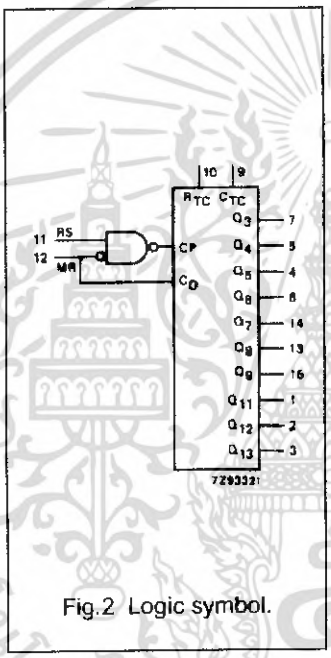


Fig.2 Logic symbol.

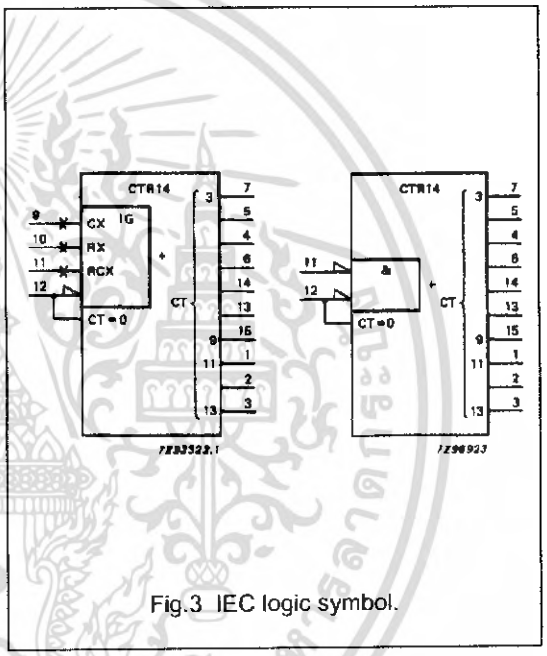


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC POWER DISSIPATION FOR 74HC

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	2.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 60 \times V_{CC}$
	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$
	6.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 3\,800 \times V_{CC}$

Note

1. GND = 0 V; T_{amb} = 25 °C

DYNAMIC POWER DISSIPATION FOR 74HCT

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$

Notes

1. GND = 0 V; T_{amb} = 25 °C
2. Where: f_o = output frequency in MHz
   f_{osc} = oscillator frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   C_t = timing capacitance in pF
   V_{CC} = supply voltage in V

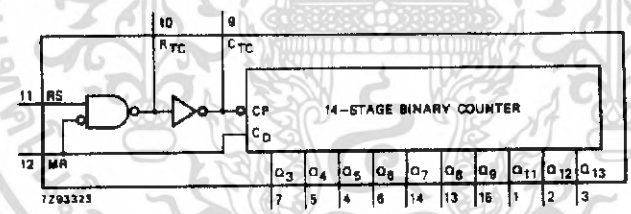


Fig.4 Functional diagram.

APPLICATIONS

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

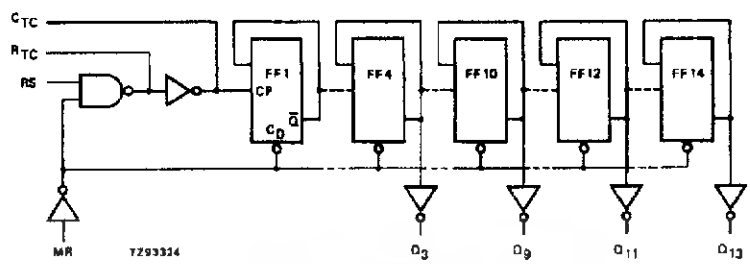


Fig.5 Logic diagram.

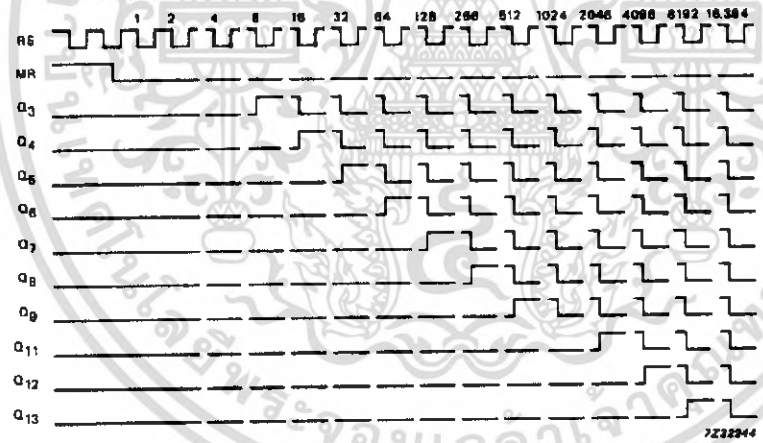


Fig.6 Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

Output capability: standard (except for R_{TC} and C_{TC})

I_{CC} category: MSI

Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C) 74HC +25 min.	+25 typ.	+25 max.	−40 to +85 min.	−40 to +85 max.	−40 to +125 min.	−40 to +125 max.	UNIT	TEST CONDITIONS V_{CC} (V)	V_I	OTHER
V_{IH}	HIGH level input voltage MR input	1.5 3.15 4.2	1.3 2.4 3.1		1.5 3.15 4.2		1.5 3.15 4.2		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage MR input		0.8 2.1 2.8	0.5 1.35 1.8		0.5 1.35 1.8		0.5 1.35 1.8	V	2.0 4.5 6.0		
V_{IH}	HIGH level input voltage RS input	1.7 3.6 4.8			1.7 3.6 4.8		1.7 3.6 4.8		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage RS input			0.3 0.9 1.2		0.3 0.9 1.2		0.3 0.9 1.2	V	2.0 4.5 6.0		
V_{OH}	HIGH level output voltage R_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=GND and MR=GND	$-I_O$ = 2.6 mA $-I_O$ = 3.3 mA
		3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 0.65 mA $-I_O$ = 0.85 mA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=GND and MR=GND	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage C_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{IH} and MR=V_{IL}	$-I_O$ = 3.2 mA $-I_O$ = 4.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA $-I_O$ = 5.2 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4		4.5 6.0	RS=V_{CC} and MR=GND	I_O = 2.6 mA I_O = 3.3 mA
			0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	RS=V_{CC} and MR=GND	I_O = 20 µA I_O = 20 µA I_O = 20 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HC								V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{OL}	LOW level output voltage C_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	RS=V_{IL} and MR=V_{IH}	I_O = 3.2 mA I_O = 4.2 mA
V_{OL}	LOW level output voltage except R_{TC} output		0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	V_{IH} or V_{IL}	I_O = 20 µA I_O = 20 µA I_O = 20 µA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	V_{IH} or V_{IL}	I_O = 4.0 mA I_O = 5.2 mA
$\pm I_I$	input leakage current			0.1		1.0		1.0	µA	6.0	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0	µA	6.0	V_{CC} or GND	I_O = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay RS to Q_3		99 36 29	300 60 51		375 75 64		450 90 77	ns	2.0 4.5 6.0	Fig.12
t_{PHL}/ t_{PLH}	propagation delay Q_n to Q_{n+1}		22 8 6	80 16 14		100 20 17		120 24 20	ns	2.0 4.5 6.0	Fig.14
t_{PHL}	propagation delay MR to Q_n		55 20 16	175 35 30		220 44 37		265 53 45	ns	2.0 4.5 6.0	Fig.13
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.12
t_W	clock pulse width RS; HIGH or LOW	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.12
t_W	master reset pulse width MR; HIGH	80 16 14	25 9 7		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.13
t_{rem}	removal time MR to RS	100 20 17	28 10 8		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.13
f_{max}	maximum clock pulse frequency	6.0 30 35	26 80 95		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

Output capability: standard (except for R_{TC} and C_{TC})

I_{CC} category: MSI

Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C)								UNIT	TEST CONDITIONS		
		74HCT									V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125						
		min.	typ.	max.	min.	max.	min.	max.					
V_{IH}	HIGH level input voltage	2.0			2.0		2.0			V	4.5 to 5.5		note 2
V_{IL}	LOW level input voltage			0.8		0.8		0.8		V	4.5 to 5.5		note 2
V_{OH}	HIGH level output voltage R_{TC} output	3.98			3.84		3.7			V	4.5	RS=GND and MR=GND	$-I_O$ = 2.6 mA
		3.98			3.84		3.7			V	4.5	RS = V_{CC} and MR = V_{CC}	$-I_O$ = 0.65 mA
		4.4	4.5		4.4		4.4			V	4.5	RS=GND and MR=GND	$-I_O$ = 20 µA
		4.4	4.5		4.4		4.4			V	4.5	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 µA
V_{OH}	HIGH level output voltage C_{TC} output	3.98			3.84		3.7			V	4.5	RS = V_{IH} and MR = V_{IL}	$-I_O$ = 3.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	4.4	4.5		4.4		4.4			V	4.5	V_{IH} or V_{IL}	$-I_O$ = 20 µA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98			3.84		3.7			V	4.5	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26		0.33		0.4		V	4.5	RS=V_{CC} and MR=GND	I_O = 2.6 mA
		0		0.1		0.1		0.1		V	4.5	RS=V_{CC} and MR=GND	I_O = 20 µA
V_{OL}	LOW level output voltage C_{TC} output			0.26		0.33		0.4		V	4.5	RS = V_{IL} and MR = V_{IH}	I_O = 3.2 mA
V_{OL}	LOW level output voltage except R_{TC} output	0		0.1		0.1		0.1		V	4.5	V_{IH} or V_{IL}	I_O = 20 µA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26		0.33		0.4		V	4.5	V_{IH} or V_{IL}	I_O = 4.0 mA
±I	input leakage current			0.1		1.0		1.0		µA	5.5	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0		µA	5.5	V_{CC} or GND	I_O = 0
ΔI_{CC}	additional quiescent supply current per input pin for unit load coefficient is 1 (note 1)		100	360		450		490		µA	4.5 to 5.5	V_{CC} − 2.1 V	other inputs at V_{CC} or GND; I_O = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

1. The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.
2. Only input MR (pin 12) has TTL input switching levels for the HCT versions.

INPUT	UNIT LOAD COEFFICIENT
MR	0.40

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay RS to Q_3		33	66		83		99	ns	4.5	Fig.12
t_{PHL}/ t_{PLH}	propagation delay Q_n to Q_{n+1}		8	16		20		24	ns	4.5	Fig.14
t_{PHL}	propagation delay MR to Q_n		21	44		55		66	ns	4.5	Fig.13
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.12
t_W	clock pulse width RS; HIGH or LOW	16	6		20		24		ns	4.5	Fig.12
t_W	master reset pulse width MR; HIGH	16	6		20		24		ns	4.5	Fig.13
t_{rem}	removal time MR to RS	26	13		33		39		ns	4.5	Fig.13
f_{max}	maximum clock pulse frequency	30	80		24		20		MHz	4.5	Fig.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

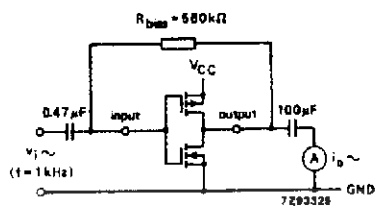


Fig.7 Test set-up for measuring forward transconductance $g_{fs} = di_o / dv_i$ at v_o is constant (see also graph Fig.8); MR = LOW.

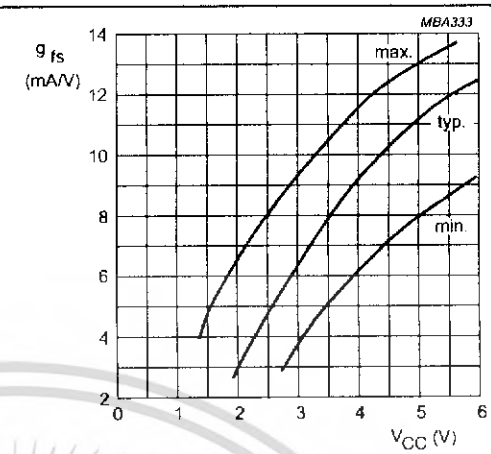


Fig.8 Typical forward transconductance g_{fs} as a function of the supply voltage V_{CC} at T_{amb} = 25 °C.

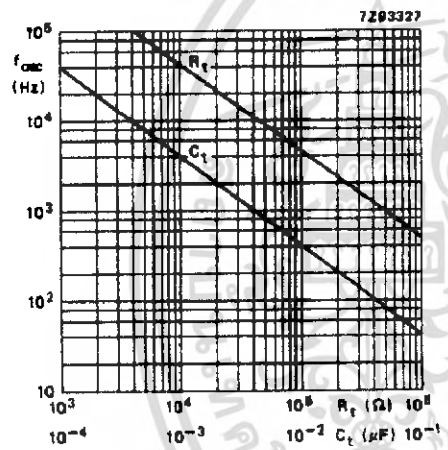


Fig.9 RC oscillator frequency as a function of R_t and C_t at V_{CC} = 2.0 to 6.0 V; T_{amb} = 25 °C. C_t curve at R_t = 100 kΩ; R2 = 200 kΩ. R_t curve at C_t = 1 nF; R2 = 2 × R_t.

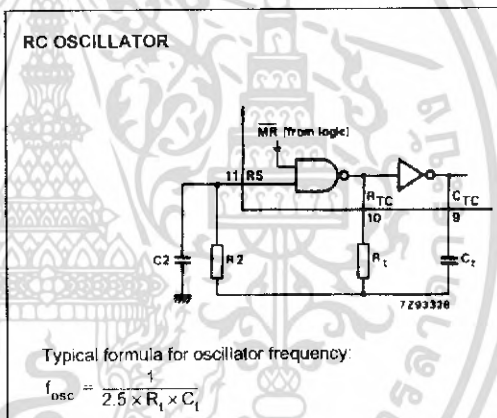


Fig.10 Example of a RC oscillator.

TIMING COMPONENT LIMITATIONS

The oscillator frequency is mainly determined by R_tC_t, provided R2 ≈ 2R_t and R2C2 << R_tC_t. The function of R2 is to minimize the influence of the forward voltage across the input protection diodes on the frequency. The stray capacitance C2 should be kept as small as possible. In consideration of accuracy, C_t must be larger than the inherent stray capacitance. R_t must be larger than the "ON" resistance in series with it, which typically is 280 Ω at V_{CC} = 2.0 V, 130 Ω at V_{CC} = 4.5 V and 100 Ω at V_{CC} = 6.0 V.

The recommended values for these components to maintain agreement with the typical oscillation formula are:

C_t > 50 pF, up to any practical value,

10 kΩ < R_t < 1 MΩ.

In order to avoid start-up problems, R_t ≥ 1 kΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CRYSTAL OSCILLATOR

In Fig.11, R2 is the power limiting resistor. For starting and maintaining oscillation a minimum transconductance is necessary, so R2 should not be too large. A practical value for R2 is 2.2 kΩ.

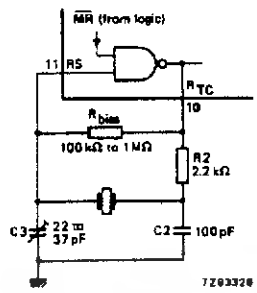
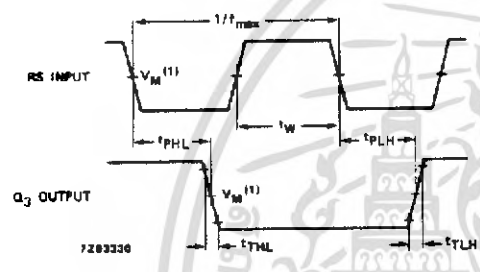


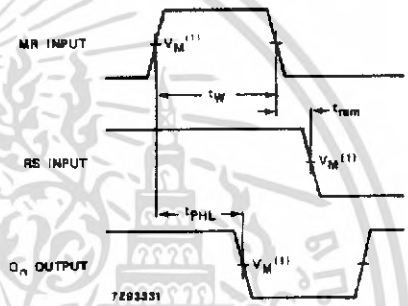
Fig.11 External components connection for a crystal oscillator.

AC WAVEFORMS



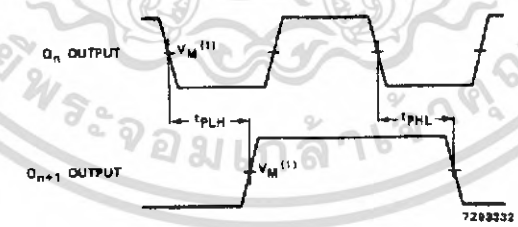
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.12 Waveforms showing the clock (RS) to output (Q_3) propagation delays, the clock pulse width, the output transition times and the maximum clock frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.13 Waveforms showing the master reset (MR) pulse width, the master reset to output (Q_n) propagation delays and the master reset to clock (RS) removal time.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.14 Waveforms showing the output (Q_n) to Q_{n+1} propagation delays.

PACKAGE OUTLINES

See *74HC/HCT/HCU/HCMOS Logic Package Outlines*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT393
Dual 4-bit binary ripple counter

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual 4-bit binary ripple counter | 74HC/HCT393

FEATURES

- Two 4-bit binary counters with individual clocks
- Divide-by any binary module up to 28 in one package
- Two master resets to clear each 4-bit counter individually
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT393 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT393 are 4-bit binary ripple counters with separate clocks (1$\overline{CP}$ and 2 $\overline{CP}$) and master reset (1MR and 2MR) inputs to each counter. The operation of each half of the "393" is the same as the "93" except no external clock connections are required.
The counters are triggered by a HIGH-to-LOW transition of the clock inputs. The counter outputs are internally connected to provide clock inputs to succeeding stages. The outputs of the ripple counter do not change synchronously and should not be used for high-speed address decoding.

The master resets are active-HIGH asynchronous inputs to each 4-bit counter identified by the "1" and "2" in the pin description.
A HIGH level on the nMR input overrides the clock and sets the outputs LOW.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	n$\overline{CP}$ to nQ_0		12	20	ns
	nQ to nQ_{n+1}		5	6	ns
	nMR to nQ_n		11	15	ns
f_{max}	maximum clock frequency		99	53	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per counter	notes 1 and 2	23	25	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 13	$1\overline{CP}$, $2\overline{CP}$	clock inputs (HIGH-to-LOW, edge-triggered)
2, 12	1MR, 2MR	asynchronous master reset inputs (active HIGH)
3, 4, 5, 6, 11, 10, 9, 8	$1Q_0$ to $1Q_3$, $2Q_0$ to $2Q_3$	flip-flop outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

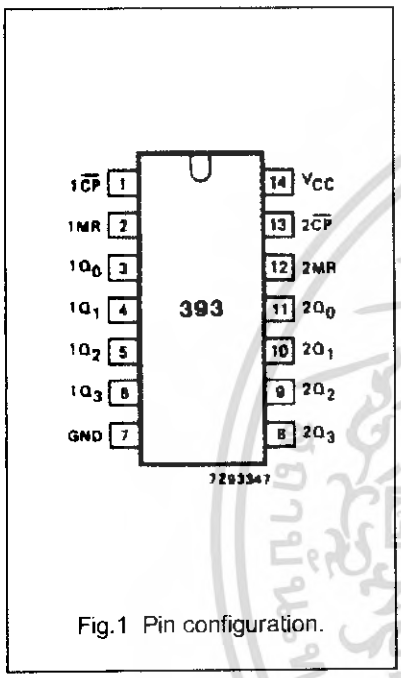


Fig.1 Pin configuration.

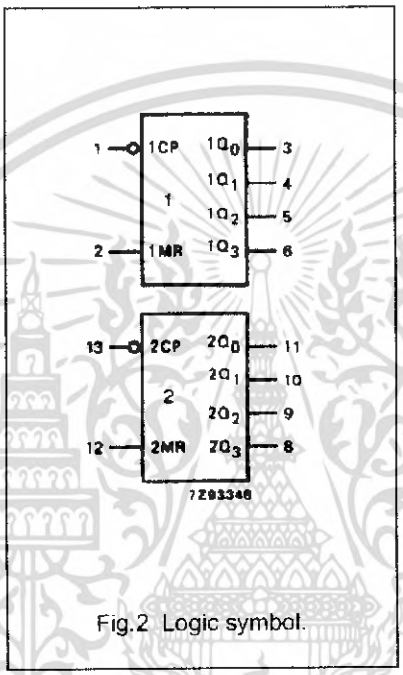


Fig.2 Logic symbol.

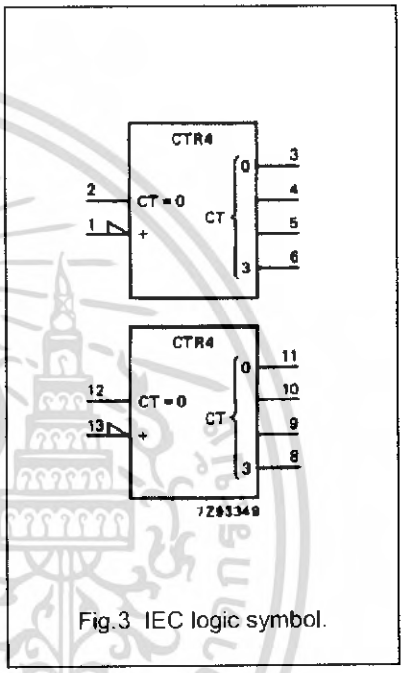


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

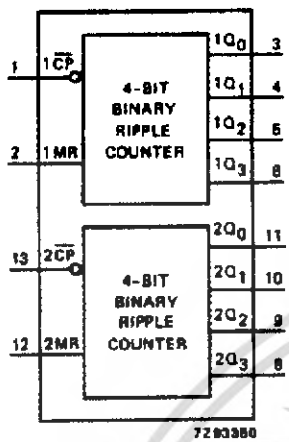


Fig.4 Functional diagram.

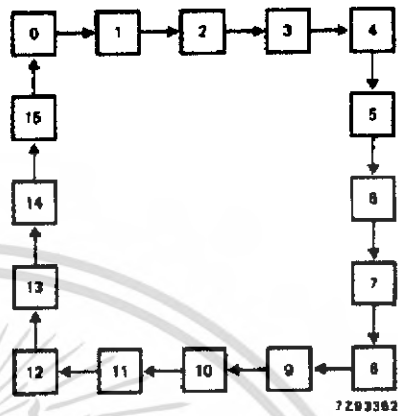


Fig.5 State diagram.

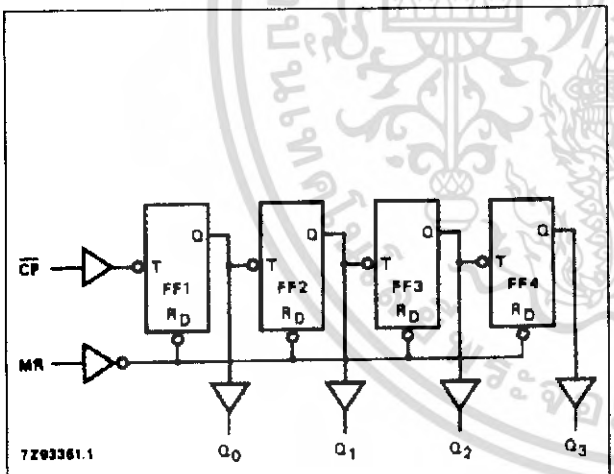


Fig.6 Logic diagram (one counter).

COUNT SEQUENCE FOR 1 COUNTER

COUNT	OUTPUTS			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

Notes

1. H = HIGH voltage level
   L = LOW voltage level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay $n\overline{CP}$ to nQ_0		41 15 12	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig.7
t_{PHL}/ t_{PLH}	propagation delay nQ_n to nQ_{n+1}		14 5 4	45 9 8		55 11 9		70 14 12	ns	2.0 4.5 6.0	Fig.7
t_{PHL}	propagation delay nMR to nQ_n		39 14 11	140 28 24		175 35 30		210 42 36	ns	2.0 4.5 6.0	Fig.8
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.7
t_W	clock pulse width HIGH or LOW	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.7
t_W	master reset pulse width; HIGH	80 16 14	19 7 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.8
t_{rem}	removal time nMR to $n\overline{CP}$	5 5 5	3 1 1		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.8
f_{max}	maximum clock pulse frequency	6 30 35	30 90 107		5 24 28		4 20 24		MHz	2.0 4.5 6.0	Fig.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
$1\overline{CP}$	0.4
$2\overline{CP}$	0.4
1MR	1.0
2MR	1.0

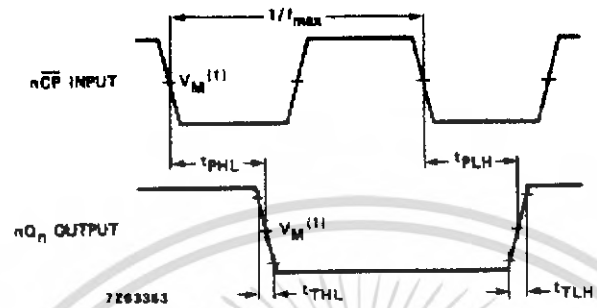
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C) 74HCT							UNIT	TEST CONDITIONS	
		+25			−40 to +85		−40 to +125			V_{CC} (V)	WAVEFORMS
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/t_{PLH}	propagation delay $n\overline{CP}$ to nQ_0		15	25		31		38	ns	4.5	Fig.7
t_{PHL}/t_{PLH}	propagation delay nQ_n to nQ_{n-1}		6	10		13		15	ns	4.5	Fig.7
t_{PHL}	propagation delay nMR to nQ_n		18	32		40		48	ns	4.5	Fig.8
t_{THL}/t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.7
t_W	clock pulse width HIGH or LOW	19	11		24		29		ns	4.5	Fig.7
t_W	master reset pulse width; HIGH	16	6		20		24		ns	4.5	Fig.8
t_{rem}	removal time nMR to $n\overline{CP}$	5	0		5		5		ns	4.5	Fig.8
f_{max}	maximum clock pulse frequency	27	48		22		18		MHz	4.5	Fig.7

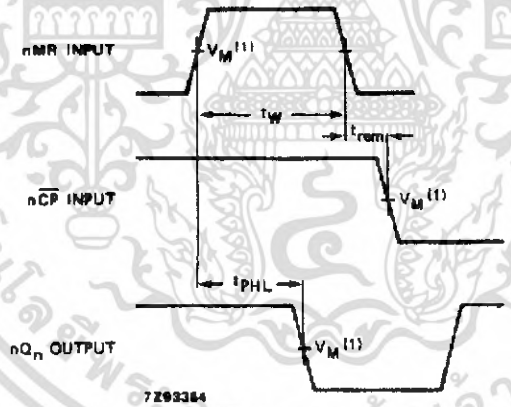
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the clock ($n\overline{CP}$) to output ($1Q_n$, $2Q_n$) propagation delays, the clock pulse width, the output transition times and the maximum clock frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V

Fig.8 Waveforms showing the master reset (nMR) pulse width, the master reset to output (Q_n) propagation delays and the master reset to clock ($n\overline{CP}$) removal time.

PACKAGE OUTLINES

See *74HC/HCT/HCU/HCMOS Logic Package Outlines*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

LM111/211/311/311B
Voltage comparator

Product data
Supersedes data of 1994 Aug 31
File under Integrated Circuits, IC11 Handbook

2001 Aug 03

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Voltage comparator

LM111/211/311/311B

DESCRIPTION

The LM111 series are voltage comparators that have input currents approximately a hundred times lower than devices like the µA710. They are designed to operate over a wider range of supply voltages; from standard ±15 V op amp supplies down to a single 3 V supply. Their output is compatible with RTL, DTL, and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50 V at currents as high as 50mA.

Both the inputs and the outputs of the LM111 series can be isolated from system ground, and the output can drive loads referred to ground, the positive supply, or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire-ORed.

Although slower than the µA710 (200 ns response time versus 40 ns), the devices are also much less prone to spurious oscillations. The LM111 series has the same pin configuration as the µA710 series.

PIN CONFIGURATION

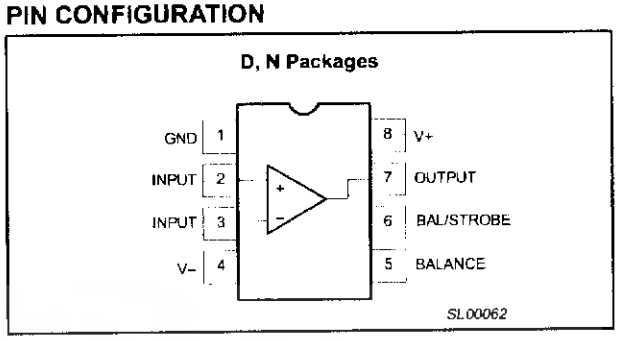


Figure 1. Pin Configuration

FEATURES

- Operates from single 3 V supply (LM311B)
- Maximum input bias current: 150 nA (LM311: 250 nA)
- Maximum offset current: 20 nA (LM311: 50 nA)
- Differential input voltage range: ±30 V
- Power consumption: 135 mW at ±15 V
- High sensitivity: 200 V/mV
- Zero crossing detector

APPLICATIONS

- Precision squarer
- Positive/negative peak detector
- Low voltage adjustable reference supply
- Switching power amplifier

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
8-Pin Plastic Small Outline Package (SO)	–55 °C to +125 °C	LM111D	SOT96-1
8-Pin Plastic Dual In-Line Package (DIP)	–55 °C to +125 °C	LM111N	SOT97-1
8-Pin Plastic Small Outline Package (SO)	–25 °C to +85 °C	LM211D	SOT96-1
8-Pin Plastic Dual In-Line Package (DIP)	–25 °C to +85 °C	LM211N	SOT97-1
8-Pin Plastic Small Outline Package (SO)	0 °C to +70 °C	LM311D	SOT96-1
8-Pin Plastic Dual In-Line Package (DIP)	0 °C to +70 °C	LM311N	SOT97-1
8-Pin Plastic Small Outline Package (SO)	0 °C to +70 °C	LM311BD	SOT96-1
8-Pin Plastic Dual In-Line Package (DIP)	0 °C to +70 °C	LM311BN	SOT97-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EQUIVALENT SCHEMATIC

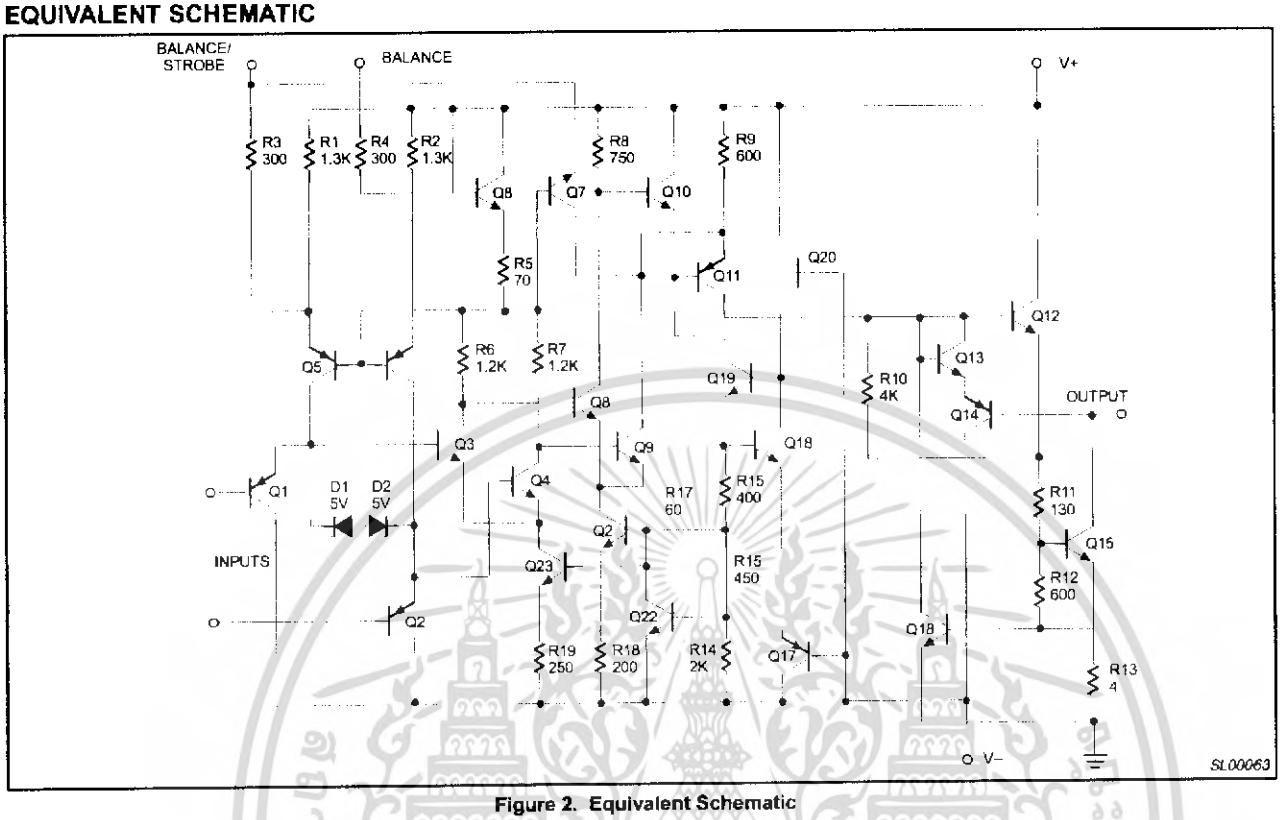


Figure 2. Equivalent Schematic

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_S	Total supply voltage	36	V
	Output to negative supply voltage: LM111/LM211 LM311/LM311B	 50 40	 V V
	Ground to negative supply voltage	30	V
	Differential input voltage	±30	V
V_{IN}	Input voltage[1]	±15	V
$P_{D\ MAX}$	Maximum power dissipation, T_{amb} = 25 °C (still-air)[2] N package D package	 1190 780	 mW mW
I	Output short-circuit duration	10	sec
T_{amb}	Operating ambient temperature range LM111 LM211 LM311/LM311B	 –55 to +125 –25 to +85 0 to +70	 °C °C °C
T_{stg}	Storage temperature range	–65 to +150	°C
T_{sld}	Lead soldering temperature (10 sec max)	230	°C

NOTES:

1. This rating applies for ±15 V supplies. The positive input voltage limit is 30 V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30 V below the positive supply, whichever is less.
2. Derate above 25 °C, at the following rates:
   N package at 9.5 mW/°C
   D package at 6.2 m/W°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS[1, 2, 3, 6]

Over temperature range unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	LM111/LM211			LM311			LM311B			UNIT
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage[3]	T_{amb} = 25 °C; $R_S \leq 50\ k\Omega$		0.7	3.0		2.0	7.5		2.0	7.5	mV
I_{OS}	Input offset current[3]	T_{amb} = 25 °C		4.0	10		6.0	50		6	25	nA
I_{BIAS}	Input bias current	T_{amb} = 25 °C		60	100		100	250		100	200	nA
A_V	Voltage gain	T_{amb} = 25 °C		200			200			200		V/mV
	Response time[4]	T_{amb} = 25 °C		200			200			500		ns
V_{SAT}	Saturation voltage	LM111/211 $V_{IN} \leq -5$mV; I_{OUT} = 50 mA LM311/B $V_{IN} \leq -10$ mV; I_{OUT} = 50 mA T_{amb} = 25 °C		0.75	1.5		0.75	1.5		0.75	1.5	V
$I_{BAL/STR}$	Strobe on current	T_{amb} = 25 °C		3.0			3.0			3.0		mA
$I_{LEAKAGE}$	Output leakage current[6]	LM111/211 $V_{IN} \geq 5$ mV; V_{OUT} = 35 V LM311/B $V_{IN} \geq 10$ mV; V_{OUT} = 35 V T_{amb} = 25 °C, I_{STROBE} = 3 mA (V– = V_{GND} = –5 V)		0.2	10		0.2	50		0.2	50	nA
V_{OS}	Input offset voltage[3]	$R_S \leq 50\ k\Omega$			4.0			10			10	mV
I_{OS}	Input offset current[3]				20			70			50	nA
I_{BIAS}	Input bias current				150			300			250	nA
V_{IN}	Input voltage range	V = ±15 V (Pin 7 may go to 5 V)	–14.5	13.8 to –14.7	13.0	–14.5	13.8 to –14.7	13.0	V– +0.5		V+ –1.5	V
V_{OL}	Saturation voltage[6]	V+ ≥ 4.5 V, V– = 0 V LM111/211 $V_{IN} \leq -6$ mV; $I_{SINK} \leq 8$ mA LM311/B $V_{IN} \leq -10$ mV; $I_{SINK} \leq 8$ mA		0.23	0.4		0.23	0.4		0.23	0.4	V
I_{OH}	Output leakage current	$V_{IN} \geq 5$ mV; V_{OUT} = 35 V		0.1	0.5							µA
I_{CC}	Positive supply current	T_{amb} = 25 °C		5.1	6.0		5.1	7.5		1.6	3.5	mA
I_{EE}	Negative supply voltage	T_{amb} = 25 °C		4.1	5.0		4.1	5.0				mA

NOTES:

1. This rating applies for ±15 V supplies. The positive input voltage limit is 30 V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30 V below the positive supply, whichever is less.
2. These specifications apply for V_S = ±15 V and 0 °C < T_{amb} < 70 °C unless otherwise specified. With the LM211, however, all temperature specifications are limited to –25 °C ≤ T_{amb} ≤ +85 °C, and for the LM111 is limited to –55 °C < T_{amb} < +125 °C. The offset voltage, offset current, and bias current specifications apply for any supply voltage from a single 5 V supply up to ±15 V supplies.
3. The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.
4. The response time specified is for a 100 mV input step with 5 mV over-drive.
5. Do not short the strobe pin to ground; it should be current driven at 3 mA to 5 mA.
6. LM311B, all parameters are at V+ = 3 V ±10%; V– = GND = 0 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

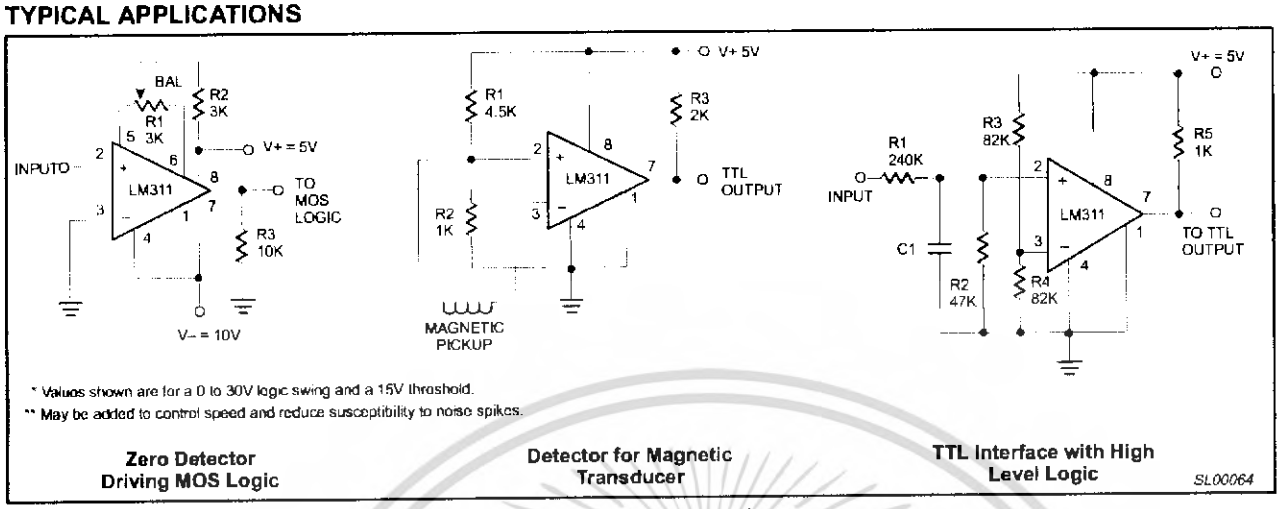
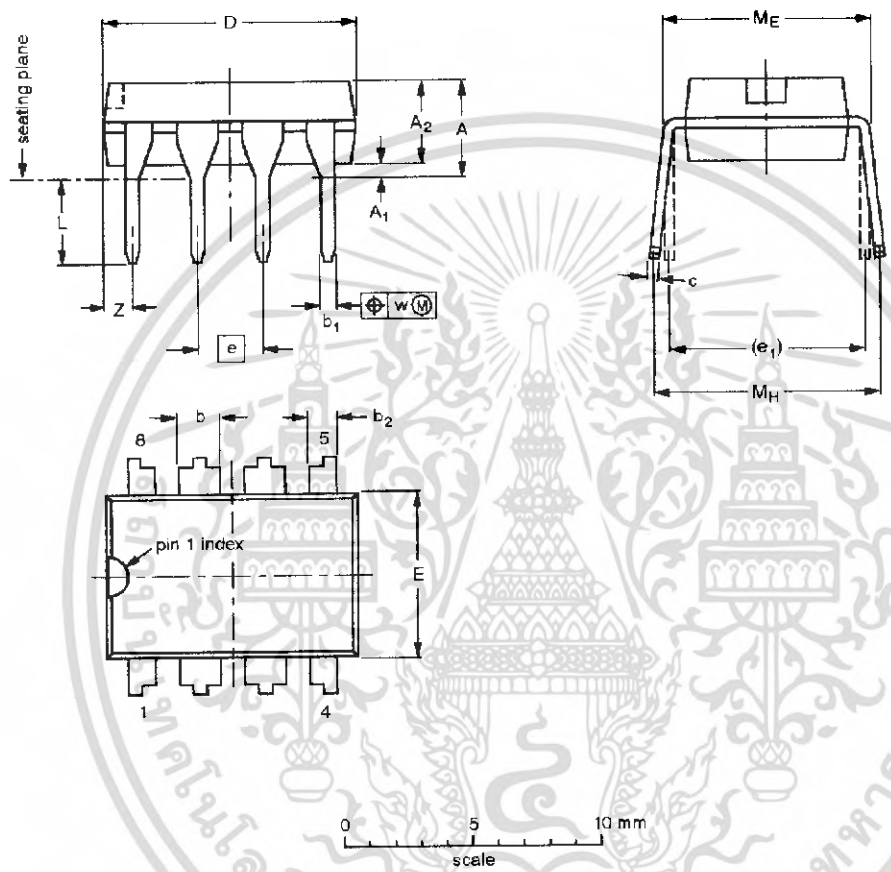


Figure 3. Typical Applications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP8: plastic dual in-line package; 8 leads (300 mil) **SOT97-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	b_2	c	$D^{(1)}$	$E^{(1)}$	e	e_1	L	M_E	M_H	w	$Z^{(1)}$ max.
mm	4.2	0.51	3.2	1.73 1.14	0.53 0.38	1.07 0.89	0.36 0.23	9.8 9.2	6.48 6.20	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	1.15
inches	0.17	0.020	0.13	0.068 0.045	0.021 0.015	0.042 0.035	0.014 0.009	0.39 0.36	0.26 0.24	0.10	0.30	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.045

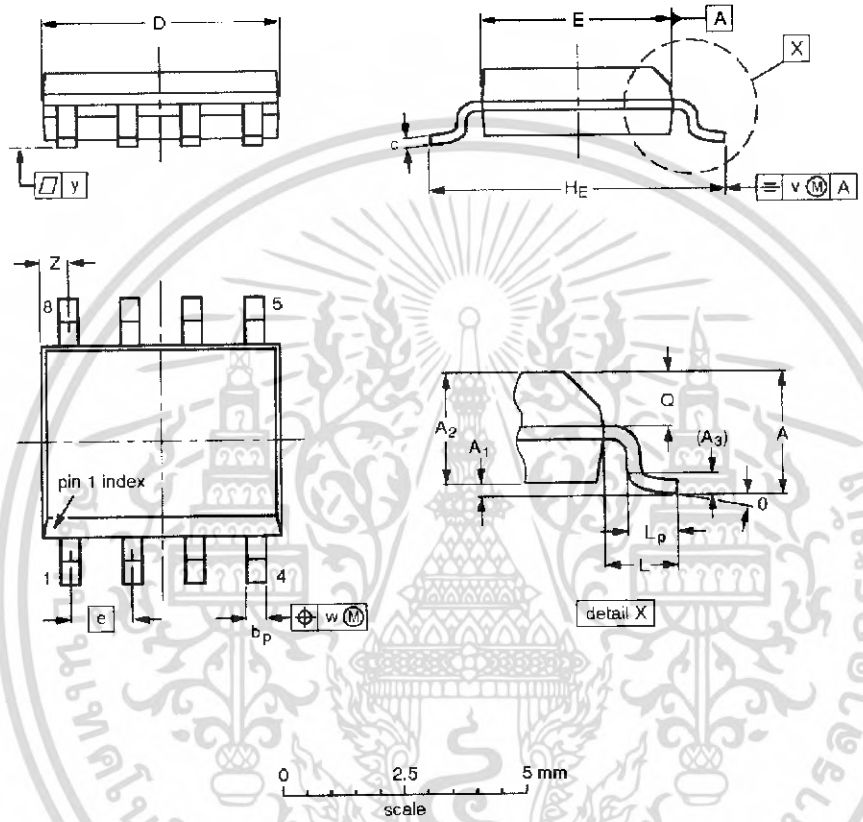
Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT97-1	050G01	MO-001	SC-504-8			~~95-02-04~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SO8: plastic small outline package; 8 leads; body width 3.9 mm **SOT96-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(2)}$	e	H_E	L	L_p	Q	v	w	y	$Z^{(1)}$	θ
mm	1.75	0.25 0.10	1.45 1.25	0.25	0.49 0.36	0.25 0.19	5.0 4.8	4.0 3.8	1.27	6.2 5.8	1.05	1.0 0.4	0.7 0.6	0.25	0.25	0.1	0.7 0.3	8° 0°
inches	0.069	0.010 0.004	0.057 0.049	0.01	0.019 0.014	0.0100 0.0075	0.20 0.19	0.16 0.15	0.050	0.244 0.228	0.041	0.039 0.016	0.028 0.024	0.01	0.01	0.004	0.028 0.012	

Notes

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT96-1	076E03	MS-012				~~97-05-22~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data sheet status

Data sheet status [1]	Product status [2]	Definitions
Objective data	Development	This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice.
Preliminary data	Qualification	This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product.
Product data	Production	This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Changes will be communicated according to the Customer Product/Process Change Notification (CPCN) procedure SNW-SQ-650A.

[1] Please consult the most recently issued data sheet before initiating or completing a design.

[2] The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL http://www.semiconductors.philips.com.

Definitions

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Disclaimers

Life support — These products are not designed for use in life support appliances, devices or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes, without notice, in the products, including circuits, standard cells, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

© Koninklijke Philips Electronics N.V. 2001
All rights reserved. Printed in U.S.A.

Date of release: 12-01

Document order number: 9397 750 09216

Contact information

For additional information please visit
http://www.semiconductors.philips.com. Fax: **+31 40 27 24825**

For sales offices addresses send e-mail to:
sales.addresses@www.semiconductors.philips.com.

Let's make things better.

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4046A

Phase-Locked Loop
High–Performance Silicon–Gate CMOS

The MC74HC4046A is similar in function to the MC14046 Metal gate CMOS device. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4046A phase–locked loop contains three phase comparators, a voltage controlled oscillator (VCO) and unity gain op–amp DEM_{OUT}. The comparators have two common signal inputs, $COMP_{IN}$, and SIG_{IN}. Input SIG_{IN} and $COMP_{IN}$ can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor to small voltage signals). The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{OUT}$ and maintains 90 degrees phase shift at the center frequency between SIG_{IN} and $COMP_{IN}$ signals (both at 50% duty cycle). Phase comparator 2 (with leading–edge sensing logic) provides digital error signals $PC2_{OUT}$ and PCP_{OUT} and maintains a 0 degree phase shift between SIG_{IN} and $COMP_{IN}$ signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} signal and the capacitor and resistors connected to pins C1A, C1B, R1 and R2. The unity gain op–amp output DEM_{OUT} with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input, when high, disables the VCO and all op–amps to minimize standby power consumption.

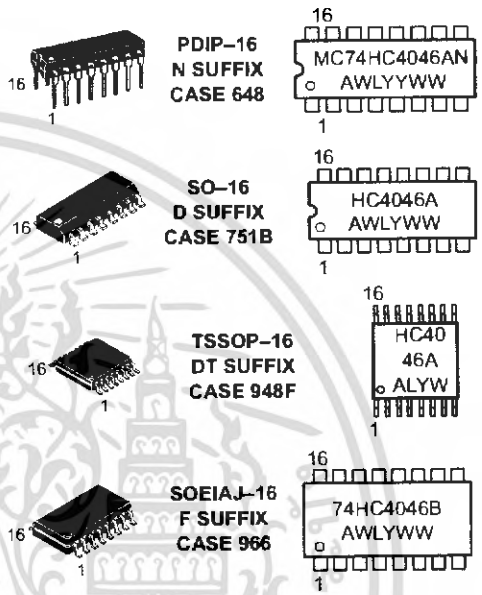
Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage to frequency conversion and motor speed control.

- Output Drive Capability: 10 LSTTL Loads
- Low Power Consumption Characteristic of CMOS Devices
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 3.0 to 6.0 V
- Low Input Current: 1.0 µA Maximum (except SIG_{IN} and $COMP_{IN}$)
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Low Quiescent Current: 80 µA Maximum (VCO disabled)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on all Inputs
- Chip Complexity: 279 FETs or 70 Equivalent Gates

ON Semiconductor

http://onsemi.com

MARKING DIAGRAMS



A = Assembly Location
WL = Wafer Lot
YY = Year
WW = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC74HC4046AN	PDIP–16	2000 / Box
MC74HC4046AD	SOIC–16	48 / Rail
MC74HC4046ADR2	SOIC–16	2500 / Reel
MC74HC4046AF	SOIC–EIAJ	See Note 1.
MC74HC4046AFEL	SOIC–EIAJ	See Note 1. NO TAG

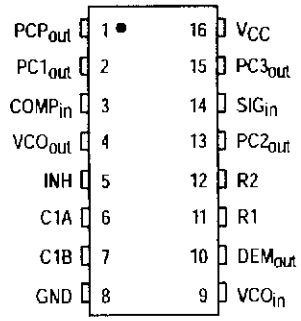
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

© Semiconductor Components Industries, LLC, 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin No.	Symbol	Name and Function
1	PCP_{OUT}	Phase Comparator Pulse Output
2	$PC1_{OUT}$	Phase Comparator 1 Output
3	$COMP_{IN}$	Comparator Input
4	VCO_{OUT}	VCO Output
5	INH	Inhibit Input
6	C1A	Capacitor C1 Connection A
7	C1B	Capacitor C1 Connection B
8	GND	Ground (0 V) V_{SS}
9	VCO_{IN}	VCO Input
10	DEM_{OUT}	Demodulator Output
11	R1	Resistor R1 Connection
12	R2	Resistor R2 Connection
13	$PC2_{OUT}$	Phase Comparator 2 Output
14	SIG_{IN}	Signal Input
15	$PC3_{OUT}$	Phase Comparator 3 Output
16	V_{CC}	Positive Supply Voltage

PIN ASSIGNMENT



MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air — Plastic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds — Plastic DIP and SOIC Package†	260	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the ON Semiconductor High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		3.0	6.0	V
V_{CC}	DC Supply Voltage (Referenced to GND) NON–VCO		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Pin 5)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage DC Coupled SIG_{IN}, $COMP_{IN}$	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage DC Coupled SIG_{IN}, $COMP_{IN}$	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
V_{OH}	Minimum High–Level Output Voltage PCP_{OUT}, PCn_{OUT}	V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 20$ μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	

(continued)

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS – continued (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{OL}	Maximum Low–Level Output Voltage Qa–Qh PCP_{OUT}, PCn_{OUT}	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current SIG_{IN}, $COMP_{IN}$	V_{in} = V_{CC} or GND	2.0 3.0 4.5 6.0	±3.0 ±7.0 ±18.0 ±30.0	±4.0 ±9.0 ±23.0 ±38.0	±5.0 ±11.0 ±27.0 ±45.0	μA
I_{OZ}	Maximum Three–State Leakage Current $PC2_{OUT}$	Output in High–Impedance State V_{in} = V_{IH} or V_{IL} V_{out} = V_{CC} or GND	6.0	±0.5	±5.0	±10	μA
I_{CC}	Maximum Quiescent Supply Current (per Package) (VCO disabled) Pins 3, 5 and 14 at V_{CC} Pin 9 at GND; Input Leakage at Pins 3 and 14 to be excluded	V_{in} = V_{CC} or GND $\|I_{out}\|$ = 0 μA	6.0	4.0	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the ON Semiconductor High–Speed CMOS Data Book (DL129/D).

[Phase Comparator Section]

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	V_{CC} Volts	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ to $PC1_{OUT}$ (Figure 1)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, SIG_{IN}/$COMP_{IN}$ to PCP_{OUT} (Figure 1)	2.0 4.5 6.0	340 68 58	425 85 72	510 102 87	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[Phase Comparator Section]

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

t_{PLH}, t_{PHL}	Maximum Propagation Delay, $SIG_{IN}/COMP_{IN}$ to $PC3_{OUT}$ (Figure 1)	2.0 4.5 6.0	270 54 46	340 68 58	405 81 69	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, $SIG_{IN}/COMP_{IN}$ Output Disable Time to $PC2_{OUT}$ (Figures 2 and 3)	2.0 4.5 6.0	200 40 34	250 50 43	300 60 51	ns
t_{PZH}, t_{PZL}	Maximum Propagation Delay, $SIG_{IN}/COMP_{IN}$ Output Enable Time to $PC2_{OUT}$ (Figures 2 and 3)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time (Figure 1)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns

[VCO Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage INH	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	3.0 4.5 6.0	2.1 3.15 4.2	2.1 3.15 4.2	2.1 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage INH	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	3.0 4.5 6.0	0.90 1.35 1.8	0.9 1.35 1.8	0.9 1.35 1.8	V
V_{OH}	Minimum High–Level Output Voltage VCO_{OUT}	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20$ μA	3.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V_{OL}	Maximum Low–Level Output Voltage VCO_{OUT}	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20$ μA	3.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current INH, VCO_{IN}	$V_{in} = V_{CC}$ or GND	6.0	0.1	1.0	1.0	μA
				Min / Max	Min / Max	Min / Max	
$V_{VCO_{IN}}$	Operating Voltage Range at VCO_{IN} over the range specified for R1; For linearity see Fig. 15A, Parallel value of R1 and R2 should be > 2.7 kΩ	INH = V_{IL}	3.0 4.5 6.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	0.1 / 1.0 0.1 / 2.5 0.1 / 4.0	V
R1	Resistor Range		3.0 4.5 6.0	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	kΩ
R2			3.0 4.5 6.0	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	3.0 / 300 3.0 / 300 3.0 / 300	
C1	Capacitor Range		3.0 4.5 6.0	40 / No Limit 40 40			pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[VCO Section]

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} Volts	Guaranteed Limit						Unit
			– 55 to 25°C		≤ 85°C		≤ 125°C		
			Min	Max	Min	Max	Min	Max	
Δf/T	Frequency Stability with Temperature Changes (Figure 13A, B, C)	3.0 4.5 6.0							%/K
fo	VCO Center Frequency (Duty Factor = 50%) (Figure 14A, B, C, D)	3.0 4.5 6.0	3 11 13						MHz
ΔfVCO	VCO Frequency Linearity	3.0 4.5 6.0	See Figures 15A, B, C						%
∂ VCO	Duty Factor at VCO_{OUT}	3.0 4.5 6.0	Typical 50%						%

[Demodulator Section]

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	V_{CC} Volts	Guaranteed Limit						Unit
				– 55 to 25°C		≤ 85°C		≤ 125°C		
				Min	Max	Min	Max	Min	Max	
RS	Resistor Range	At RS > 300 kΩ the Leakage Current can Influence $VDEM_{OUT}$	3.0 4.5 6.0	50 50 50	300 300 300					kΩ
V_{OFF}	Offset Voltage VCO_{IN} to $VDEM_{OUT}$	Vi = $VVCO_{IN}$ = 1/2 V_{CC}; Values taken over RS Range.	3.0 4.5 6.0	See Figure 12						mV
RD	Dynamic Output Resistance at DEM_{OUT}	$VDEM_{OUT}$ = 1/2 V_{CC}	3.0 4.5 6.0	Typical 25 Ω						Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

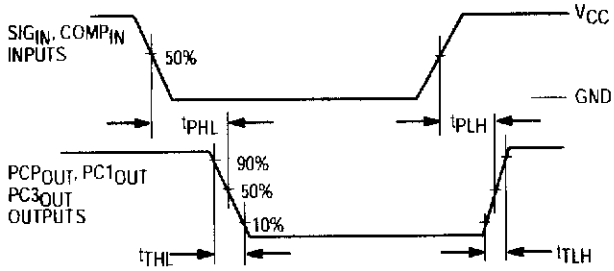


Figure 1.

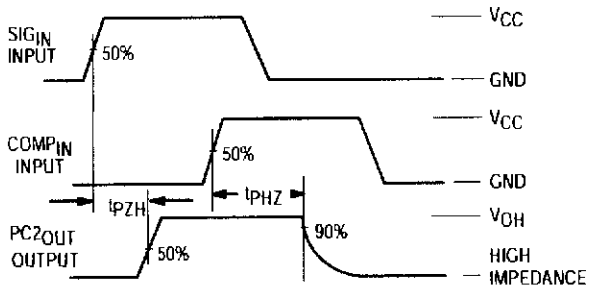


Figure 2.

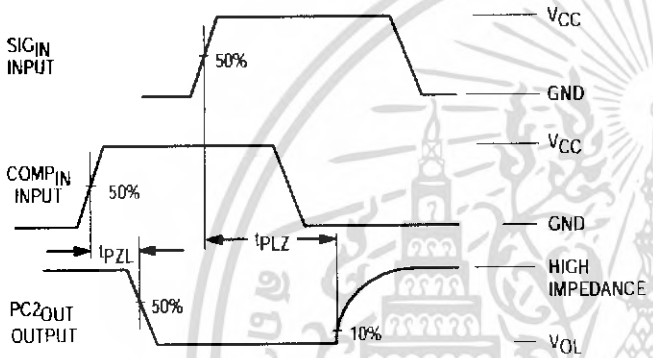


Figure 3.

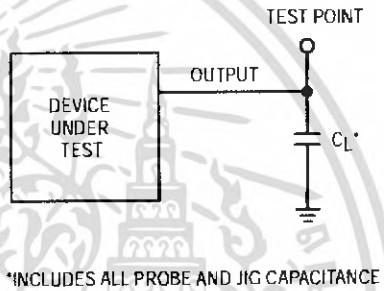


Figure 4. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED CIRCUIT DESCRIPTION

Voltage Controlled Oscillator/Demodulator Output

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and Capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves Figure 14). R2 can be used to set the offset frequency with 0 volts at VCO input. For example, if R2 is decreased, the offset frequency is increased. If R2 is omitted the VCO range is from 0 Hz. The effect of R2 is shown in Figure 24, typical performance curves. By increasing the value of R2 the lock range of the PLL is increased and the gain (volts/Hz) is decreased. Thus, for a narrow lock range, large swings on the VCO input will cause less frequency variation.

Internally, the resistors set a current in a current mirror, as shown in Figure 5. The mirrored current drives one side of the capacitor. Once the voltage across the capacitor charges up to V_{ref} of the comparators, the oscillator logic flips the capacitor which causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to VCO output (Pin 4).

The input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filters design. In order to make signals at the VCO input accessible without degrading the loop performance, the VCO input voltage is buffered through a unity gain Op amp to Demod Output. This Op-amp can drive loads of 50K ohms or more and provides no loading effects to the VCO input voltage (see Figure 12).

An inhibit input is provided to allow disabling of the VCO and all Op-amps (see Figure 5). This is useful if the internal VCO is not being used. A logic high on inhibit disables the VCO and all Op–amps, minimizing standby power consumption.

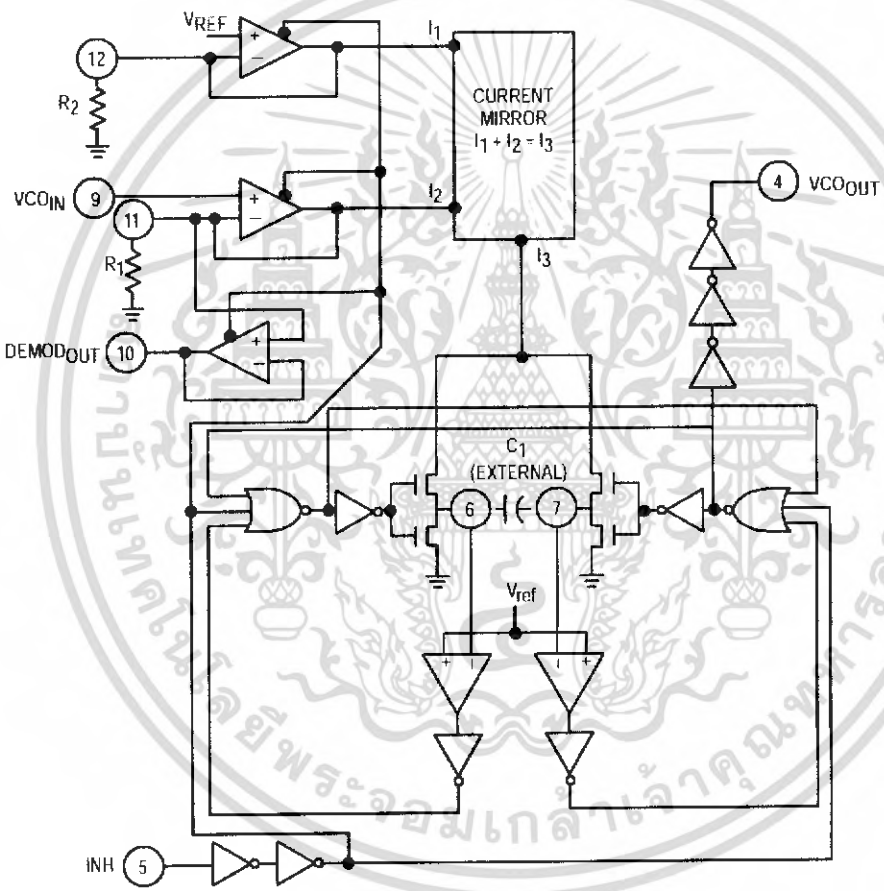


Figure 5. Logic Diagram for VCO

The output of the VCO is a standard high speed CMOS output with an equivalent LS–TTL fan out of 10. The VCO output is approximately a square wave. This output can either directly feed the $COMP_{IN}$ of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase Comparators

All three phase comparators have two inputs, SIG_{IN} and $COMP_{IN}$. The SIG_{IN} and $COMP_{IN}$ have a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled, standard 74HC input levels are required. Both input structures are shown in Figure 6. The outputs of these comparators are essentially standard 74HC outputs (comparator 2 is TRI STATEABLE). In normal operation V_{CC} and ground voltage levels are fed to the loop filter. This differs from some phase detectors which supply a current to the loop filter and should be considered in the design. (The MC14046 also provides a voltage).

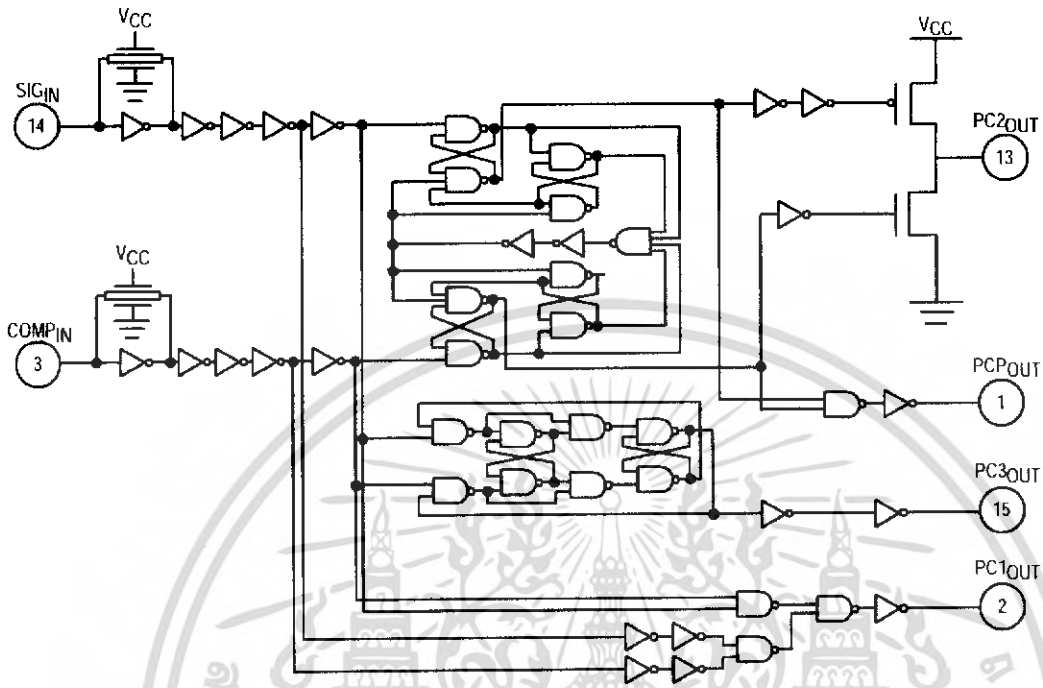


Figure 6. Logic Diagram for Phase Comparators

Phase Comparator 1

This comparator is a simple XOR gate similar to the 74HC86. Its operation is similar to an overdriven balanced modulator. To maximize lock range the input frequencies must have a 50% duty cycle. Typical input and output waveforms are shown in Figure 7. The output of the phase detector feeds the loop filter which averages the output voltage. The frequency range upon which the PLL will lock onto if initially out of lock is defined as the capture range. The capture range for phase detector 1 is dependent on the loop filter design. The capture range can be as large as the lock range, which is equal to the VCO frequency range.

To see how the detector operates, refer to Figure 7. When two square wave signals are applied to this comparator, an output waveform (whose duty cycle is dependent on the phase difference between the two signals) results. As the phase difference increases, the output duty cycle increases and the voltage after the loop filter increases. In order to achieve lock when the PLL input frequency increases, the VCO input voltage must increase and the phase difference between $COMP_{IN}$ and SIG_{IN} will increase. At an input frequency equal to f_{min}, the VCO input is at 0 V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max}, the VCO input must be V_{CC} and the phase detector inputs must be 180 degrees out of phase.

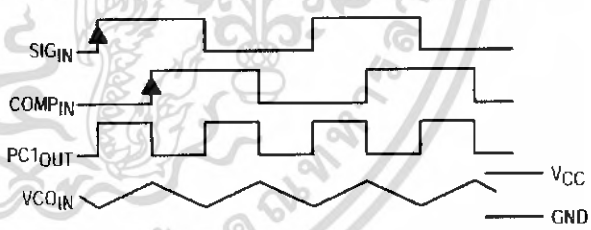


Figure 7. Typical Waveforms for PLL Using Phase Comparator 1

The XOR is more susceptible to locking onto harmonics of the SIG_{IN} than the digital phase detector 2. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and VCO range should be designed to prevent locking on to harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase Comparator 2

This detector is a digital memory network. It consists of four flip flops and some gating logic, a three state output and a phase pulse output as shown in Figure 6. This comparator acts only on the positive edges of the input signals and is independent of duty cycle.

Phase comparator 2 operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. Figure 8 shows some typical loop waveforms. First assume that SIG_{IN} is leading the $COMP_{IN}$. This means that the VCO's frequency must he increased to hring its leading edge into proper phase alignment. Thus the phase detector 2 output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the $COMP_{IN}$ is detected, the output goes TRI-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the SIG_{IN} then the phase detector will again charge up the VCO input for the time hetween the leading edges of both waveforms.

If the VCO leads the SIG_{IN} then when the leading edge of the VCO is seen; the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the SIG_{IN} is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of hoth waveforms coincidental.

When the PLL is out of lock, the VCO will he running either slower or faster than the SIG_{IN}. If it is running slower the phase detector will see more SIG_{IN} rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the SIG_{IN}, the output of the detector will he low most of the time and the VCO's output frequency will be decreased.

As one can see, when the PLL is locked, the output of phase comparator 2 will he disabled except for minor corrections at the leading edge of the waveforms. When PC_2 is TRI STATED, the PCP output is high. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the $COMP_{IN}$ and the SIG_{IN}. The lock range of the PLL is the same as the capture range. Minimal power was consumed in the loop filter since in lock the detector output is a high impedance. When no SIG_{IN} is present, the detector will see only VCO leading edges, so the comparator output will stay low, forcing the VCO to f_{min}.

Phase comparator 2 is more susceptible to noise, causing the PLL to unlock. If a noise pulse is seen on the SIG_{IN}, the comparator treats it as another positive edge of the SIG_{IN} and will cause the output to go high until the VCO leading edge is seen, potentially for an entire SIG_{IN} period. This would cause the VCO to speed up during that time. When using PC_1, the output of that phase detector would be disturbed for only the short duration of the noise spike and would cause less upset.

Phase Comparator 3

This is a positive edge-triggered sequential phase detector using an RS flip -flop as shown in Figure 6. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. It has some similar characteristics to the edge sensitive comparator. To see how this detector works, assume input pulses are applied to the SIG_{IN} and $COMP_{IN}$'s as shown in Figure 9. When the SIG_{IN} leads the $COMP_{IN}$, the flop is set. This will charge the loop filter and cause the VCO to speed up, bringing the comparator into phase with the SIG_{IN}. The phase angle between SIG_{IN} and $COMP_{IN}$ varies from 0° to 360° and is 180° at f_o. The voltage swing for PC_3 is greater than for PC_2 but consequently has more ripple in the signal to the VCO. When no SIG_{IN} is present the VCO will be forced to f_{max} as opposed to f_{min} when PC_2 is used.

The operating characteristics of all three phase comparators should be compared to the requirements of the system design and the appropriate one should be used.

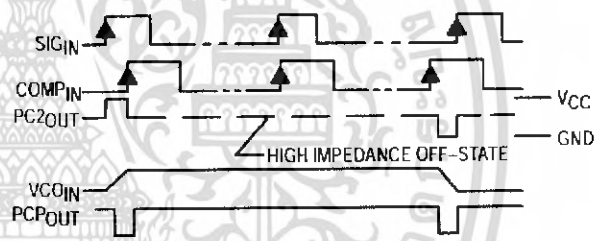


Figure 8. Typical Waveforms for PLL Using Phase Comparator 2

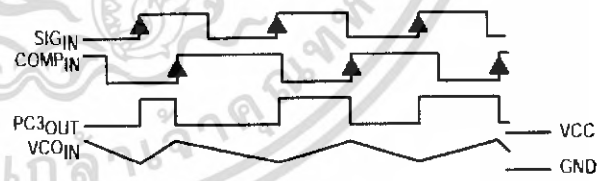


Figure 9. Typical Waveform for PLL Using Phase Comparator 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

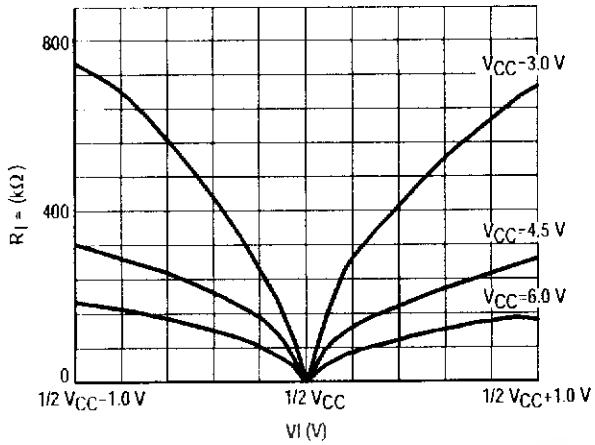


Figure 10. Input Resistance at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 1.0 V at Self–Bias Point

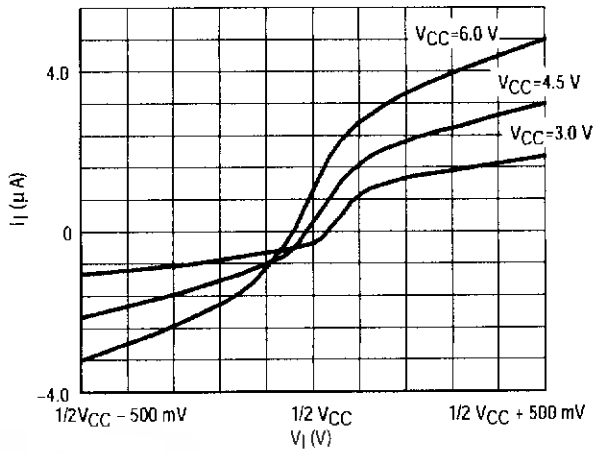


Figure 11. Input Current at SIG_{IN}, $COMP_{IN}$ with ΔV_I = 500 mV at Self–Bias Point

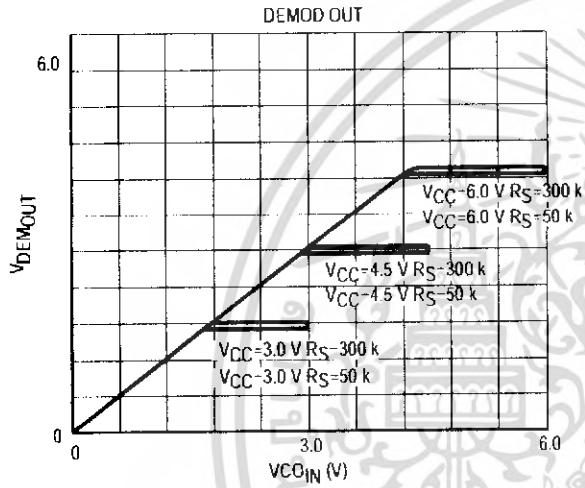


Figure 12. Offset Voltage at Demodulator Output as a Function of VCO_{IN} and R_S

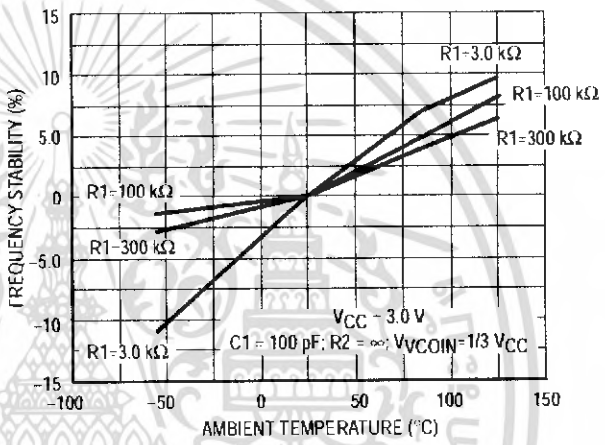


Figure 13A. Frequency Stability versus Ambient Temperature: V_{CC} = 3.0 V

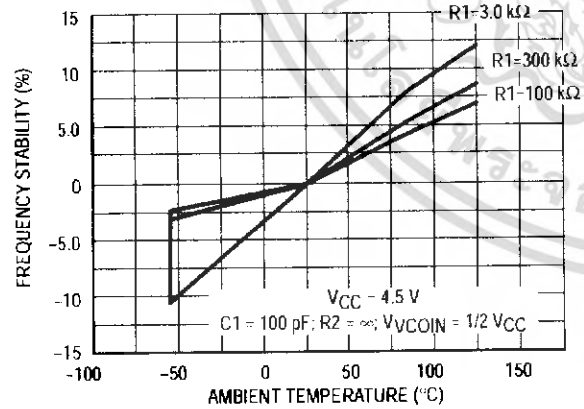


Figure 13B. Frequency Stability versus Ambient Temperature: V_{CC} = 4.5 V

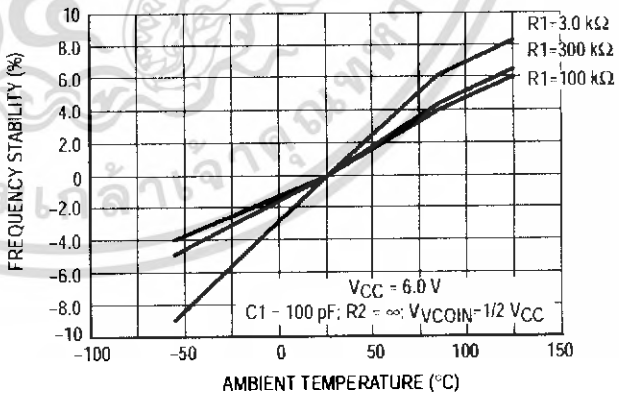


Figure 13C. Frequency Stability versus Ambient Temperature: V_{CC} = 6.0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

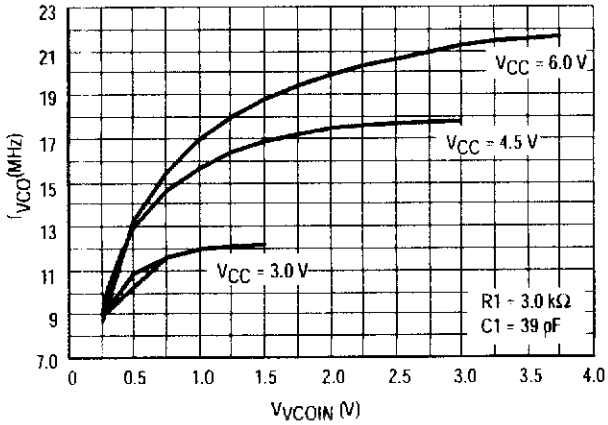


Figure 14A. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

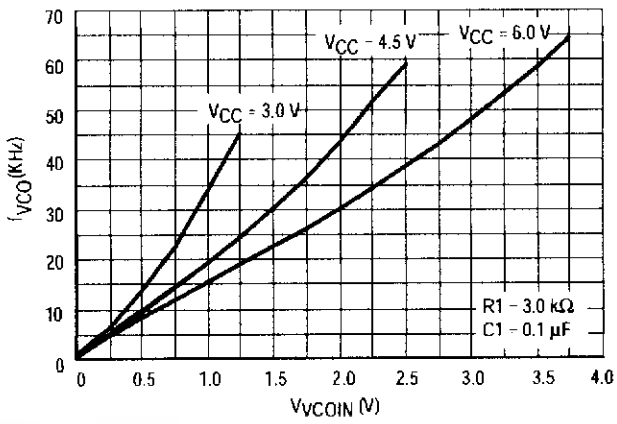


Figure 14B. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

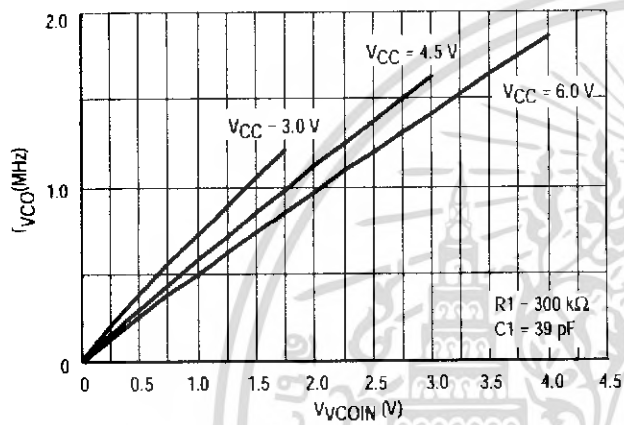


Figure 14C. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

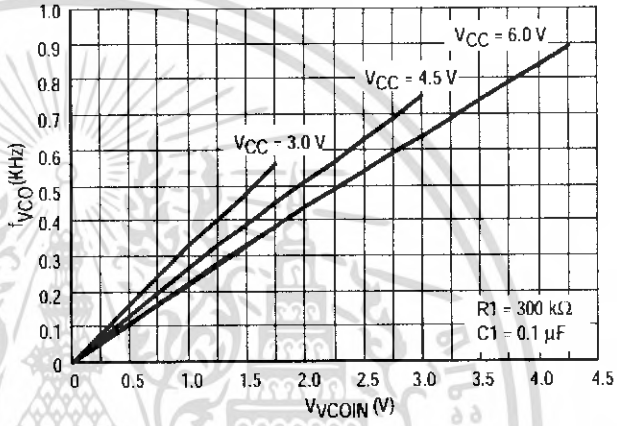


Figure 14D. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

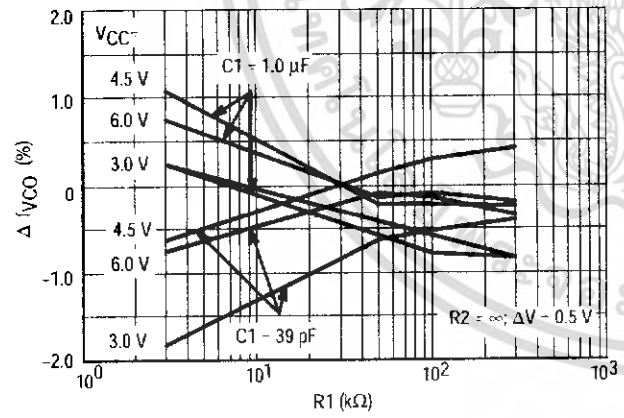


Figure 15A. Frequency Linearity versus R1, C1 and V_{CC}

ΔV = 0.5 V OVER THE V_{CC} RANGE:
FOR VCO LINEARITY

$f_0' = (f_1 + f_2) / 2$

LINEARITY = $(f_0' - f_0) / f_0'$ x 100%

Figure 15B. Definition of VCO Frequency Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

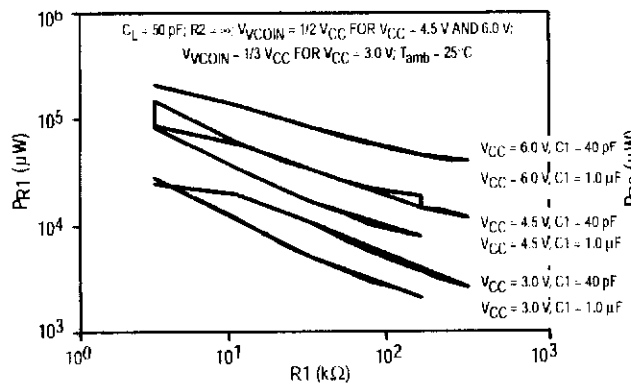


Figure 16. Power Dissipation versus R1

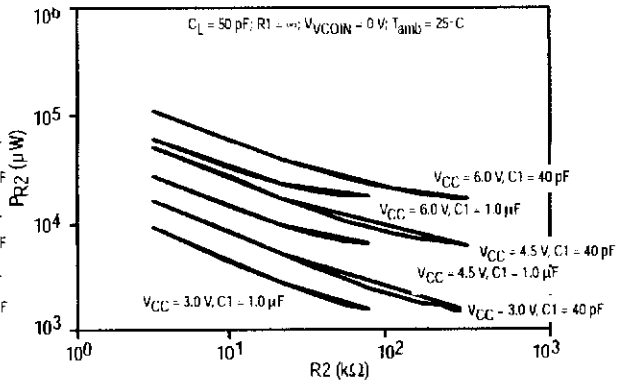


Figure 17. Power Dissipation versus R2

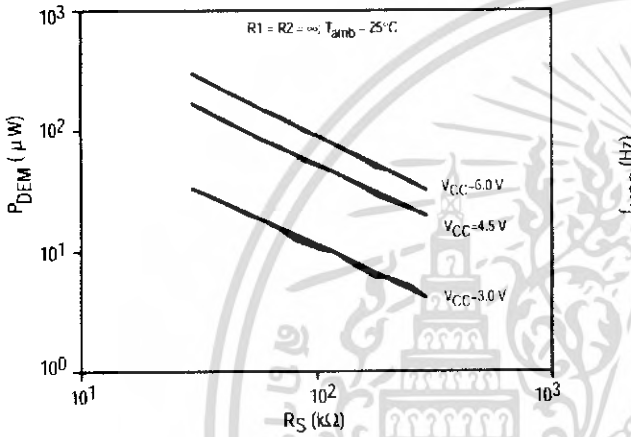


Figure 18. DC Power Dissipation of Demodulator versus R_S

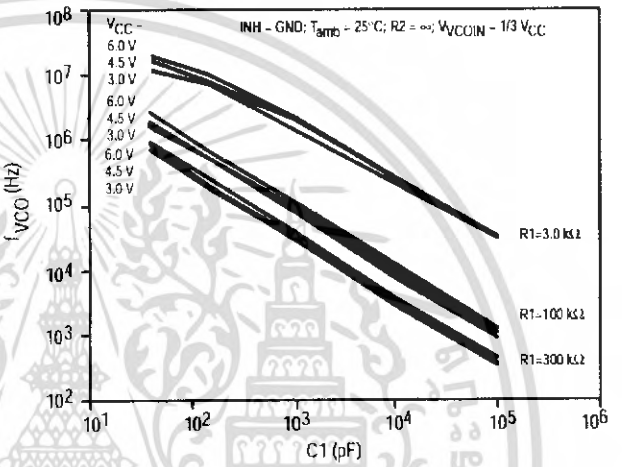


Figure 19. VCO Center Frequency versus C1

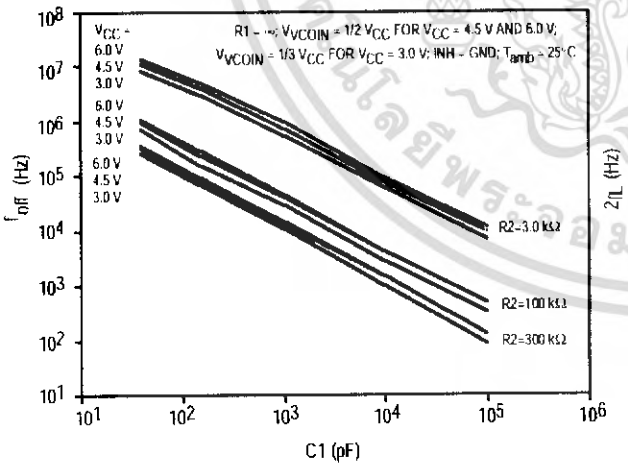


Figure 20. Frequency Offset versus C1

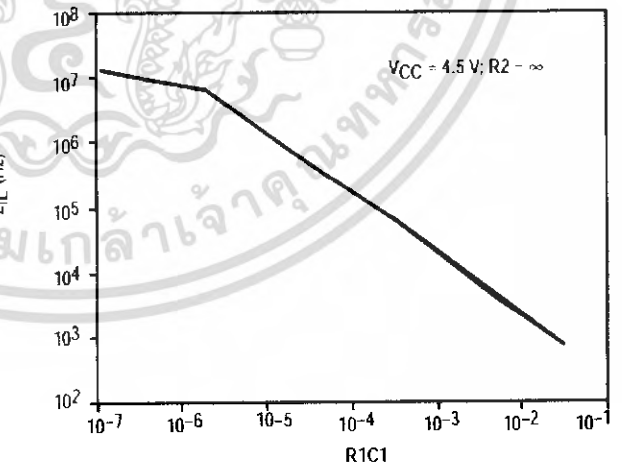


Figure 21. Typical Frequency Lock Range ($2f_L$) versus R_1C_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

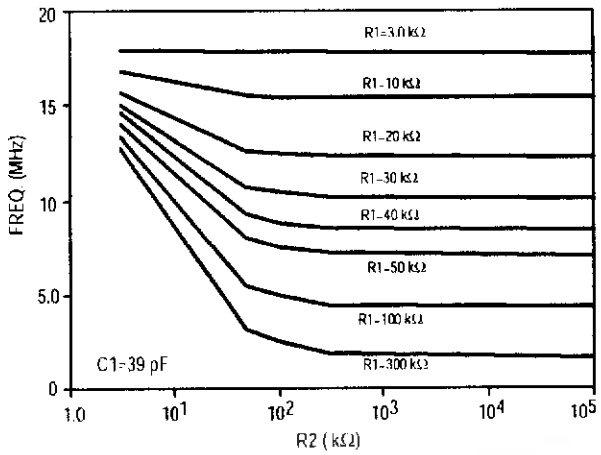


Figure 22. R2 versus f_{max}

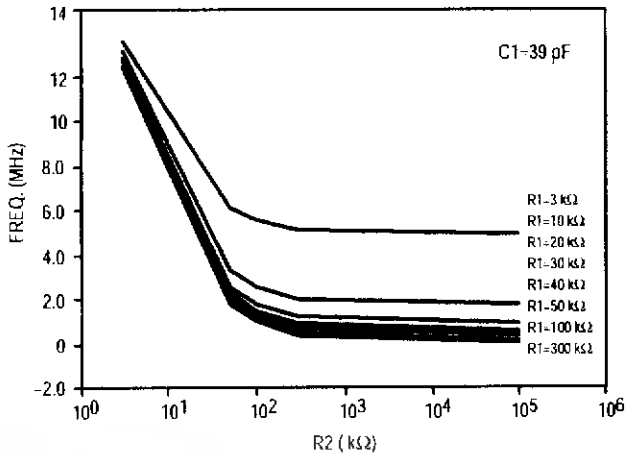


Figure 23. R2 versus f_{min}

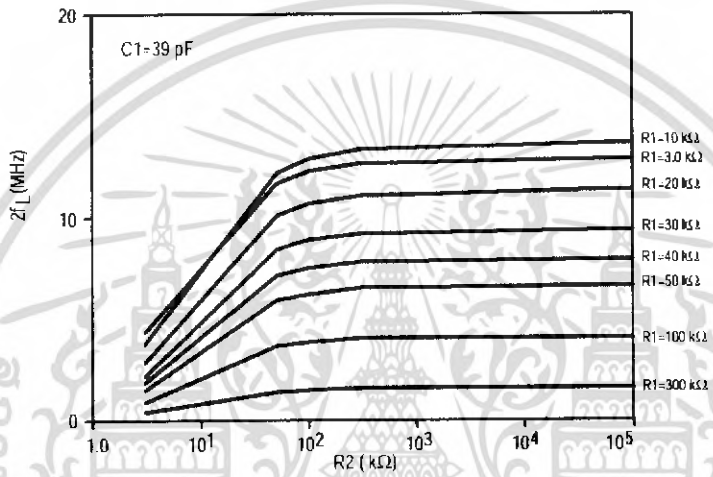


Figure 24. R2 versus Frequency Lock Range ($2f_L$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

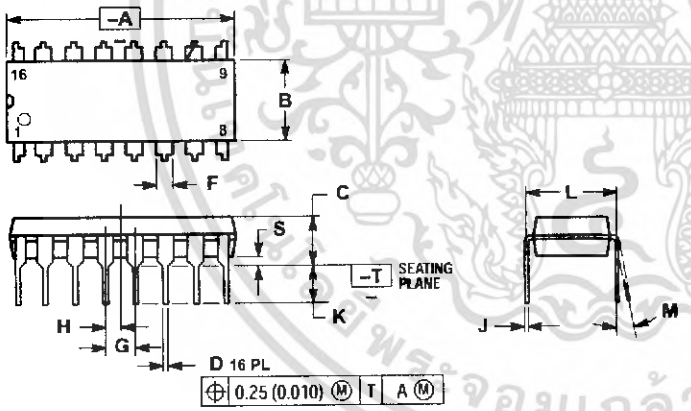
APPLICATION INFORMATION

The following information is a guide for approximate values of R1, R2, and C1. Figures 19, 20, and 21 should be used as references as indicated below, also the values of R1, R2, and C1 should not violate the Maximum values indicated in the DC ELECTRICAL CHARACTERISTICS tables.

Phase Comparator 1		Phase Comparator 2		Phase Comparator 3	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
• Given f0 • Use f0 with Figure 19 to determine R1 and C1. (see Figure 23 for characteristics of the VCO operation)	• Given f0 and fL • Calculate f_{min} f_{min} = f0–fL • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)	• Given f_{max} and f0 • Determine the value of R1 and C1 using Figure 19 and use Figure 21 to obtain 2fL and then use this to calculate f_{min}.	• Given f0 and fL • Calculate f_{min} f_{min} = f0–fL • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)	• Given f_{max} and f0 • Determine the value of R1 and C1 using Figure 19 and Figure 21 to obtain 2fL and then use this to calculate f_{min}.	• Given f0 and fL • Calculate f_{min}: f_{min} = f0–fL • Determine values of C1 and R2 from Figure 20. • Determine R1–C1 from Figure 21. • Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)

PACKAGE DIMENSIONS

PDIP–16
N SUFFIX
CASE 648–08
ISSUE R



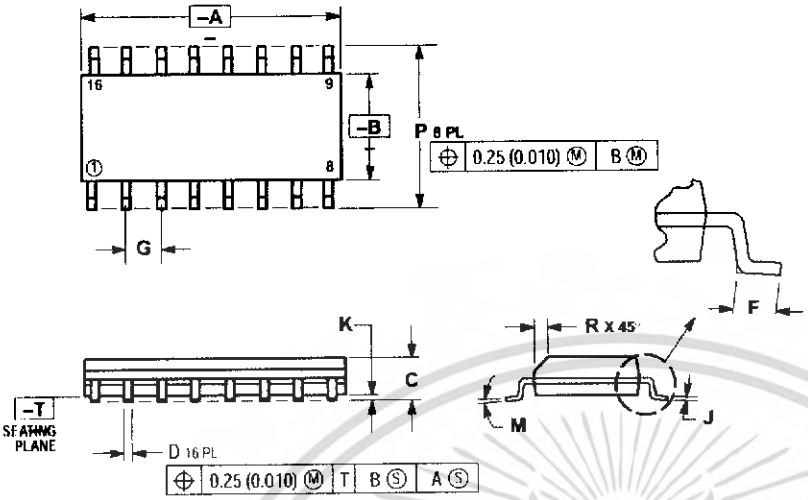
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.070	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

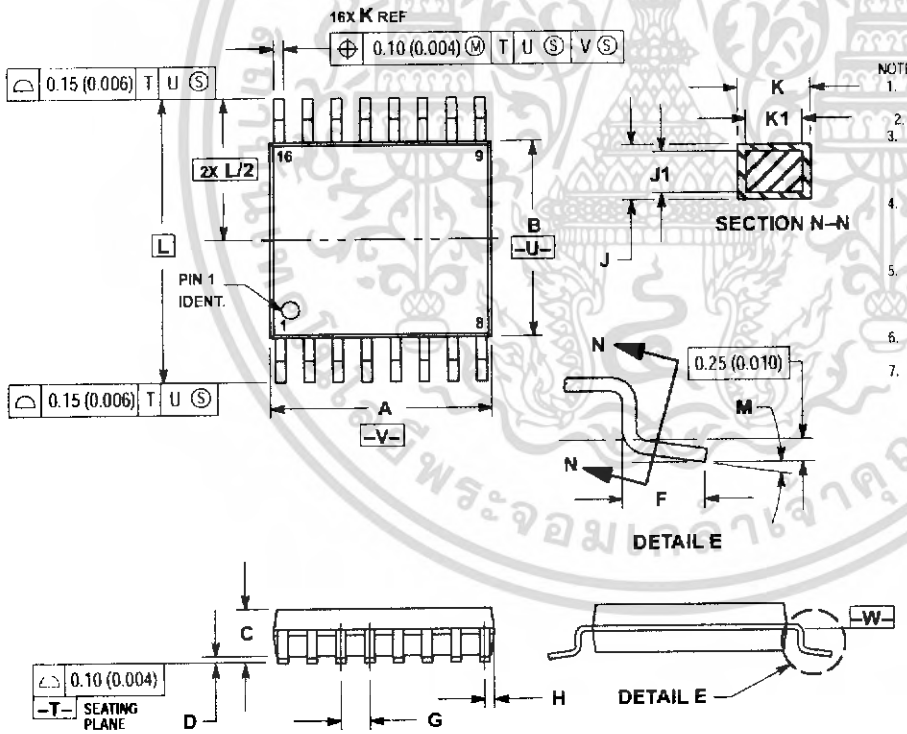
SOIC–16
D SUFFIX
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

TSSOP–16
DT SUFFIX
CASE 948F–01
ISSUE O



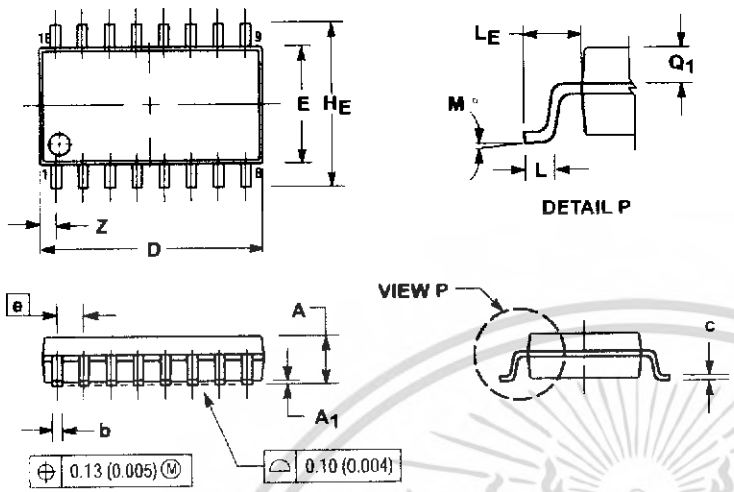
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE –W–.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.18	0.28	0.007	0.011
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

SOEIAJ–16
F SUFFIX
PLASTIC EIAJ SOIC PACKAGE
CASE 966–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A_1	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H_E	7.40	8.20	0.291	0.323
L	0.50	0.85	0.020	0.033
L_E	1.10	1.50	0.043	0.059
M	0 °	10 °	0 °	10 °
Q_1	0.70	0.90	0.028	0.035
Z	---	0.78	---	0.031

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (M–F 1:00pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (M–F 1:00pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (M–F 12:00pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, England, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5740–2745
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WWW.ALLDATASHEET.COM

Copyright © Each Manufacturing Company.

All Datasheets cannot be modified without permission.

This datasheet has been download from :

www.AllDataSheet.com

100% Free DataSheet Search Site.

Free Download.

No Register.

Fast Search System.

www.AllDataSheet.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC164

8-Bit Serial-Input/ Parallel-Output Shift Register

High–Performance Silicon–Gate CMOS

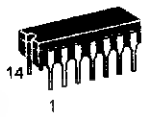
Do Not Use for New Designs

THIS DEVICE WILL BE SUPERCEDED BY MC54/74HC164A IN THE SECOND QUARTER OF 1996

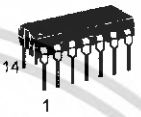
The MC54/74HC164 is identical in pinout to the LS164. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The MC54/74HC164 is an 8–bit, serial–input to parallel–output shift register. Two serial data inputs, A1 and A2, are provided so that one input may be used as a data enable. Data is entered on each rising edge of the clock. The active–low asynchronous Reset overrides the Clock and Serial Data inputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 244 FETs or 61 Equivalent Gates



J SUFFIX
CERAMIC PACKAGE
CASE 632–08



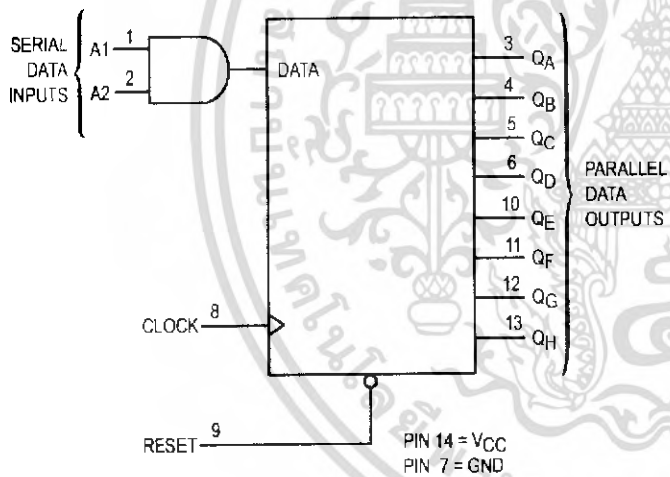
N SUFFIX
PLASTIC PACKAGE
CASE 646–06

D SUFFIX
SOIC PACKAGE
CASE 751A–03

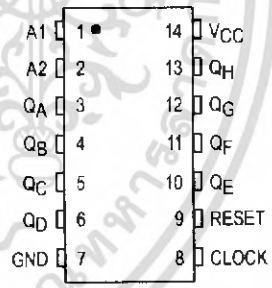
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXD	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs				Outputs
Reset	Clock	A1	A2	Q_A Q_B ... Q_H
L	X	X	X	L L ... L
H	↓	X	X	No Change
H	↑	H	D	D Q_{An} ... Q_{Gn}
H	↑	D	H	D Q_{An} ... Q_{Gn}

D = data input
Q_{An} – Q_{Gn} = data shifted from the preceding stage on a rising edge at the clock input.

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55 to 25°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 4)	2.0 4.5 6.0	175 35 30	220 44 37	265 53 45	ns
t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 2 and 4)	2.0 4.5 6.0	205 41 35	255 51 43	310 62 53	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	140	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{su}	Minimum Setup Time, A1 or A2 to Clock (Figure 3)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to A1 or A2 (Figure 3)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

A1, A2 (Pins 1, 2)

Serial Data Inputs. Data at these inputs determine the data to be entered into the first stage of the shift register. For a high level to be entered into the shift register, both A1 and A2 inputs must be high, thereby allowing one input to be used as a data–enable input. When only one serial input is used, the other must be connected to V_{CC}.

Clock (Pin 8)

Shift Register Clock. A positive–going transition on this pin shifts the data at each stage to the next stage. The shift register is completely static, allowing clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

Q_A – Q_H (Pins 3, 4, 5, 6, 10, 11, 12, 13)

Parallel Shift Register Outputs. The shifted data is presented at these outputs in true, or noninverted, form.

CONTROL INPUT

Reset (Pin 9)

Active–Low, Asynchronous Reset Input. A low voltage applied to this input resets all internal flip–flops and sets Outputs Q_A – Q_H to the low level state.

SWITCHING WAVEFORMS

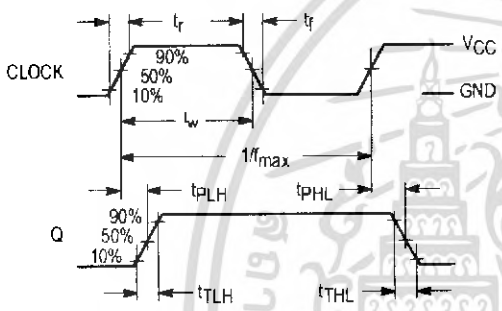


Figure 1.

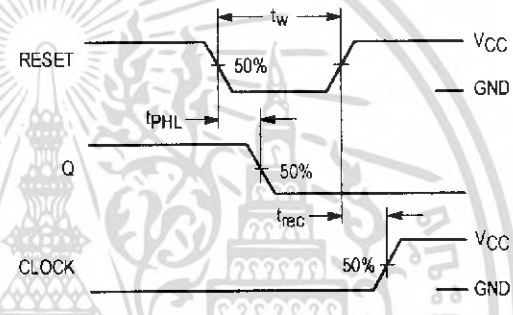


Figure 2.

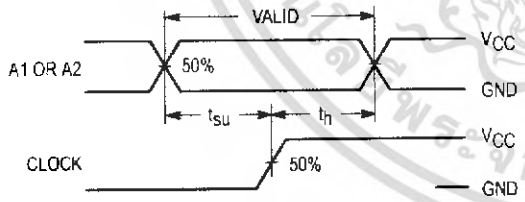
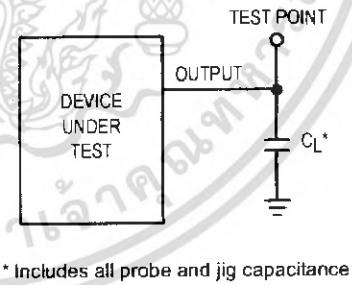


Figure 3.

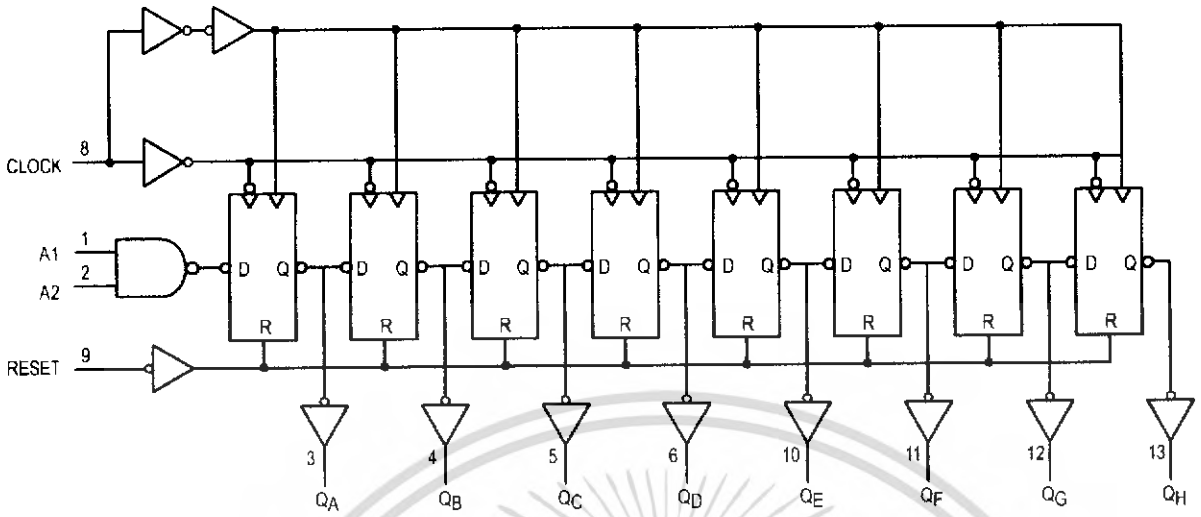


* Includes all probe and jig capacitance

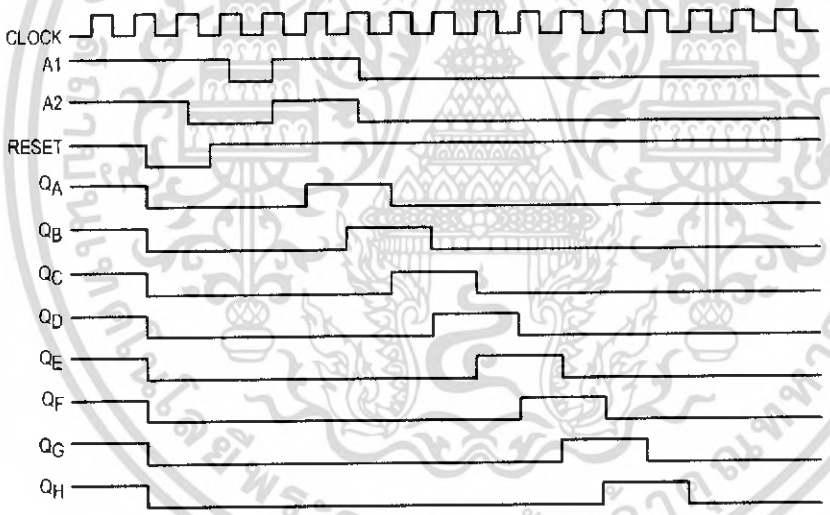
Figure 4. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



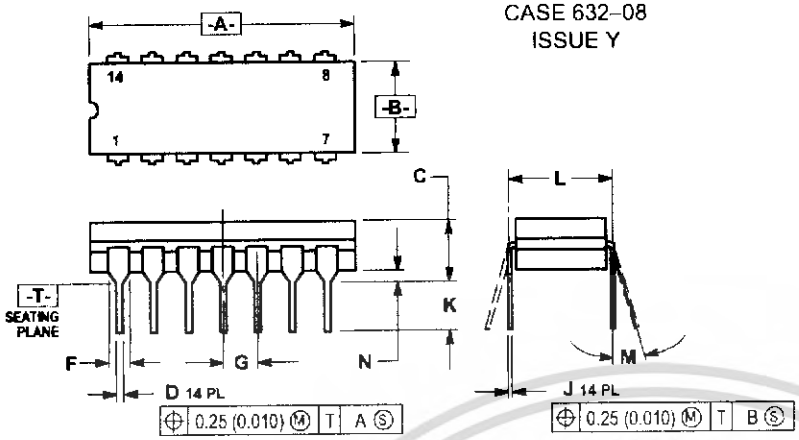
TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

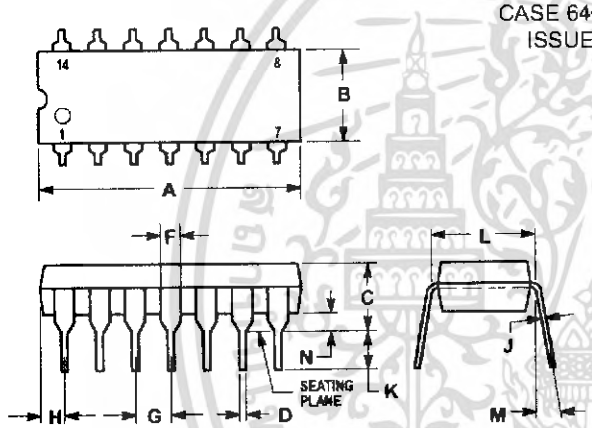
J SUFFIX
CERAMIC DIP PACKAGE
CASE 632–08
ISSUE Y



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMESNION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

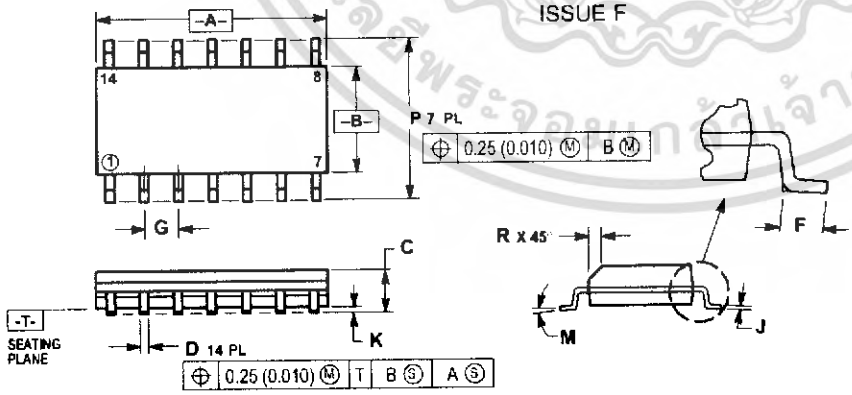
N SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447

MFAX: RMFAX0@email.sps.mot.com –TOUCHTONE (602) 244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, Toshikatsu Otsuki,
6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–3521–8315

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

MOTOROLA

◊ CODELINE

MC54/74HC164/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WWW.ALLDATASHEET.COM

Copyright © Each Manufacturing Company.

All Datasheets cannot be modified without permission.

This datasheet has been download from :

www.AllDataSheet.com

100% Free DataSheet Search Site.

Free Download.

No Register.

Fast Search System.

www.AllDataSheet.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC688

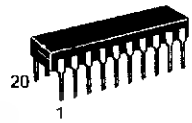
8-Bit Equality Comparator
High–Performance Silicon–Gate CMOS

The MC54/74HC688 is identical in pinout to the LS688. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC688 compares two 8–bit binary or BCD words and indicates whether or not they are equal. By using the Cascade Input, two or more of the devices may be cascaded to compare words of more than 8 bits.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 116 FETs or 29 Equivalent Gates

J SUFFIX
CERAMIC PACKAGE
CASE 732–03



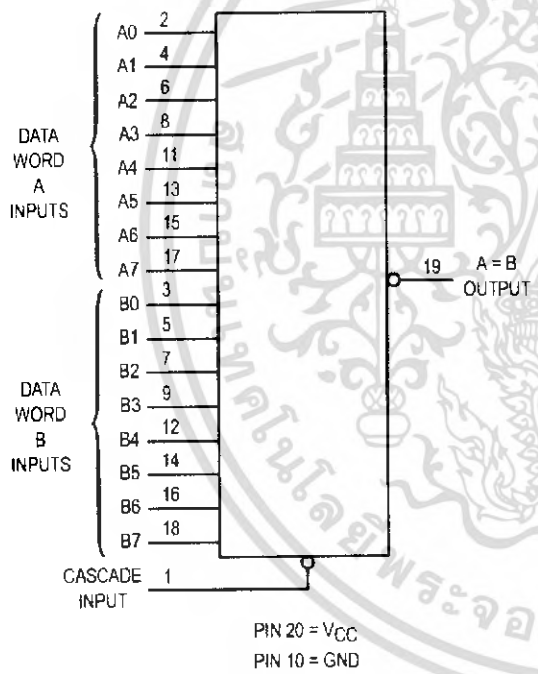
N SUFFIX
PLASTIC PACKAGE
CASE 738–03

DW SUFFIX
SOIC PACKAGE
CASE 751D–04

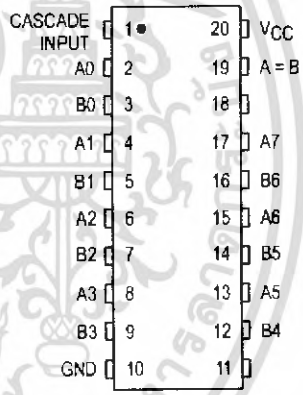
ORDERING INFORMATION

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXDW	SOIC

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs		Output
Data Words	Cascade	A = B
A = B	L	L
A > B	L	H
A < B	L	H
X	H	H

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	– 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	– 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

* Maximum Ratings are those values beyond which damage to the device may occur.
Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 2)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit – 55 to 25°C	Guaranteed Limit ≤ 85°C	Guaranteed Limit ≤ 125°C	Unit
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			– 55 to 25°C	≤ 85°C	≤ 125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output A = B (Figures 1 and 3)	2.0 4.5 6.0	210 42 36	265 53 45	315 63 54	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Cascade Input to Output A = B (Figures 2 and 3)	2.0 4.5 6.0	120 24 20	150 30 26	180 36 31	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 2 and 3)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).
2. Information on typical parametric values can be found in Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (Per Package)*	30	pF

* Used to determine the no–load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

SWITCHING WAVEFORMS

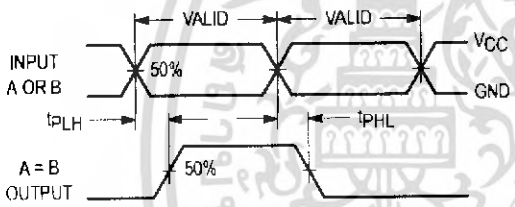


Figure 1.

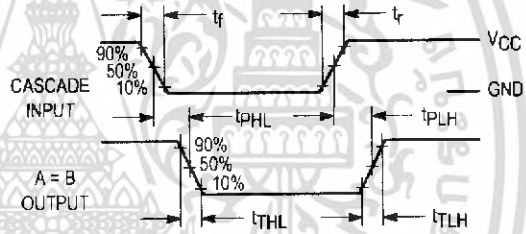
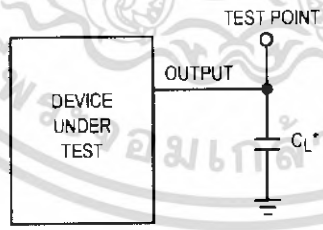


Figure 2.

TEST CIRCUITS



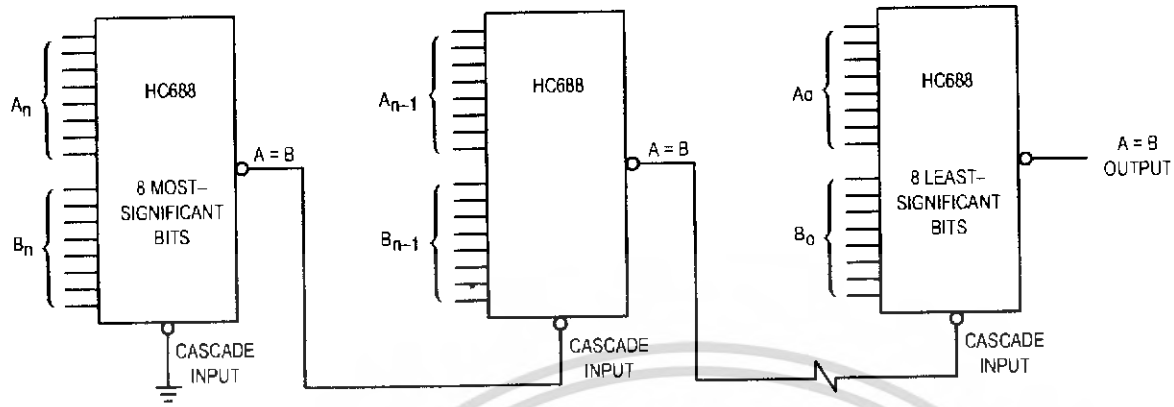
* Includes all probe and jig capacitance

Figure 3.

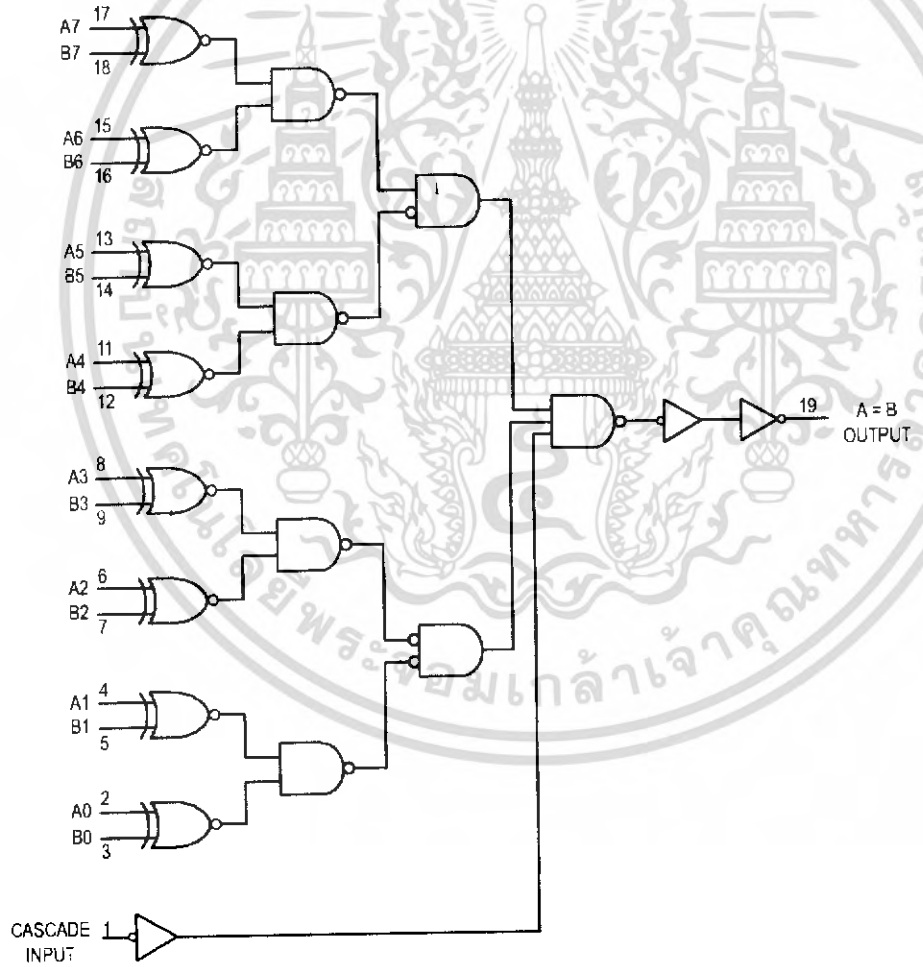
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION

Two or more HC688 8–bit Equality Comparators may be cascaded to compare binary or BCD numbers having more than 8 bits. One method of accomplishing this is shown here.



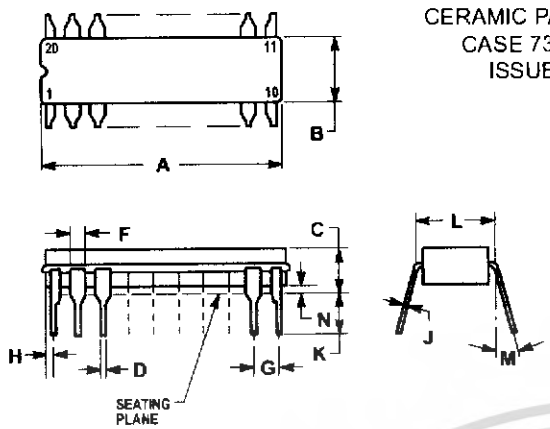
EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

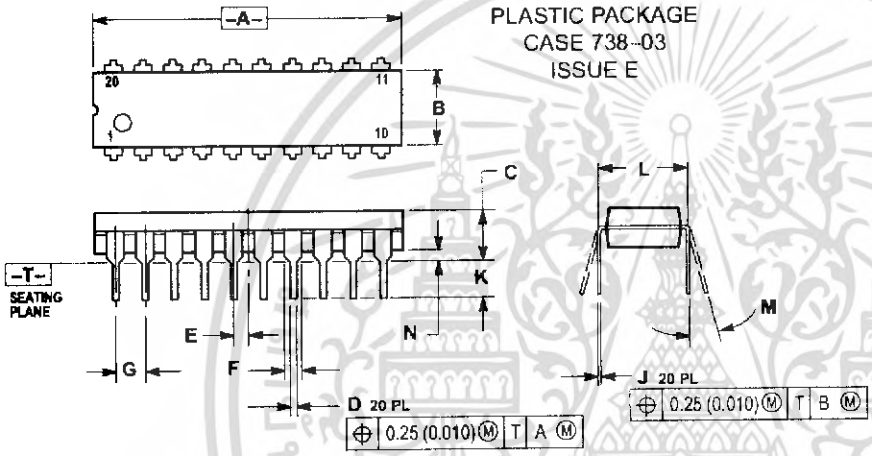
J SUFFIX
CERAMIC PACKAGE
CASE 732–03
ISSUE E



NOTES:
1. LEADS WITHIN 0.25 (0.010) DIAMETER, TRUE POSITION AT SEATING PLANE, AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSIONS A AND B INCLUDE MENISCUS.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	23.88	25.15	0.940	0.990
B	6.60	7.49	0.260	0.295
C	3.81	5.08	0.150	0.200
D	0.38	0.56	0.015	0.022
F	1.40	1.65	0.055	0.065
G	2.54 BSC		0.100 BSC	
H	0.51	1.27	0.020	0.050
J	0.20	0.30	0.008	0.012
K	3.18	4.06	0.125	0.160
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	0.25	1.02	0.010	0.040

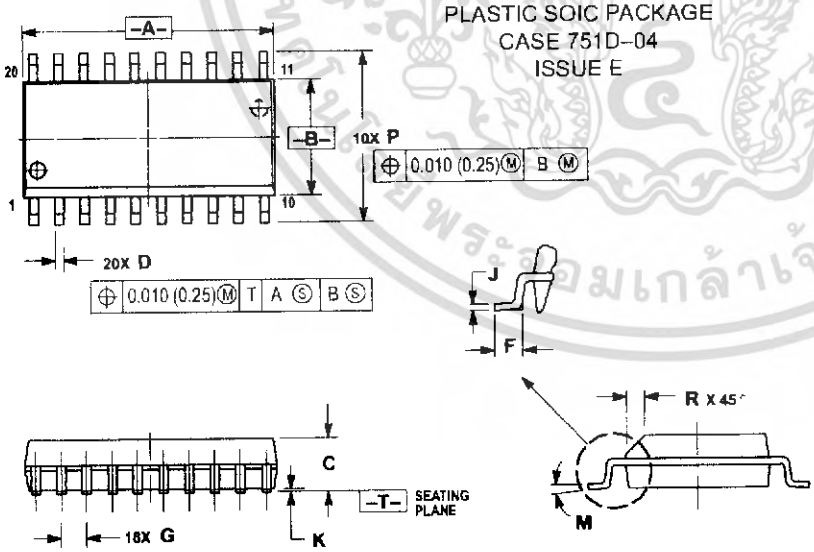
N SUFFIX
PLASTIC PACKAGE
CASE 738–03
ISSUE E



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	1.010	1.070	25.66	27.17
B	0.240	0.260	6.10	6.60
C	0.150	0.180	3.81	4.57
D	0.015	0.022	0.39	0.55
E	0.050 BSC		1.27 BSC	
F	0.050	0.070	1.27	1.77
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.140	2.80	3.55
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751D–04
ISSUE E



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.150 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	12.65	12.95	0.499	0.510
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447

MFAX: RMFAX0@email.sps.mot.com –TOUCHTONE (602) 244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, Toshikatsu Otsuki,
6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–3521–8315

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

MOTOROLA

◊ CODELINE

MC54/74HC688/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WWW.ALLDATASHEET.COM

Copyright © Each Manufacturing Company.

All Datasheets cannot be modified without permission.

This datasheet has been download from :

www.AllDataSheet.com

100% Free DataSheet Search Site.

Free Download.

No Register.

Fast Search System.

www.AllDataSheet.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้