สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเล่นซีดีเพลง

AUDIO CD PLAYER

โดย

นาย กฤษฎิ์ เตชะสุรคุณ

นาย ธนิต เหรียญตระกูล

เลขหมู่.....

เลขทะเบียน 62065

วัน,เดือน,ปี 27 ก.ค. 2549

b.....

i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่นซีดีเพลง

AUDIO CD PLAYER

โดย

นาย กฤษฎิ์ เตชะสุรคุณ

นาย ธนิต เหรียญตระกูล

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2547

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเล่นซีดีเพลง (AUDIO CD PLAYER)

ผู้จัดทำ

1. นาย กฤษฎิ์ เตชะสุรคุณ 44010012
2. นาย ธนิต เหรียญตระกูล 44010204

ลงชื่อ ---------- อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่นซีดีเพลง

นาย กฤษฎิ์ เตชะสุรคุณ
นาย ธนิต เหรียญตระกูล
รศ.ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2547

บทคัดย่อ

โครงงานนี้เป็นการประยุกต์ใช้ CD drive ทั่วไป มาควบคุมโดย MCS-51 ซึ่งประกอบด้วยส่วนมาสเตอร์ ส่วนสเลฟ และวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

ส่วนมาสเตอร์ และ สเลฟจะทำงานประสานกันโดยส่วนมาสเตอร์จะทำหน้าที่ติดต่อกับไดร์ฟ และส่วนสเลฟจะควบคุมการติดต่อกับผู้ใช้ ทั้งการรับค่าจากรีโมตและการแสดงผลทาง LCD

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะทำการแปลงจากสัญญาณ S/PDIF เป็น I2S BUS และ อนาล็อก ตามลำดับ โดยการทำงานของ CS8414 และ TDA1543 ร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Audio CD player

Mr. Krit Teachasurakhun

Mr. Tanit Reantragoon

Assoc. Prof. Dr. Manas Sangworasil (Advisor)

1st Semester, Educational year 2004

Abstract

This project presents a design to control CD-ROM drive as Audio CD Player. Typical functions, such as EJECT, PLAY, PAUSE, and Select track (include NEXT and BACK), is available without a connection with computer. To control activities in circuit, it uses two MCS-51 microcontrollers. First connects to keypad and LCD for receive command from user and display, respectively. Another uses to communicate to CD-ROM drive via IDE interface, by ATA and ATAPI protocol. Include Digital-to-Analog converter circuit, this model can convert S/PDIF signal to analog signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	I
Abstract	II
สารบัญ	III
สารบัญภาพ	VI
สารบัญตาราง	IX
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงานของเครื่องเล่นซีดี	2
2.1 A Fundamental Introduction to Compact Disk Player	2
2.2 สรุปเกี่ยวกับตัวระบบ	4
2.3 คุณสมบัติและหลักการทำงานของแผ่นซีดี	5
2.3.1 CD-ROM (Compact Discs Read Only Memory)	5
2.3.2 Digital-to-analog Converters	7
2.3.3 Multi-Bit Converter	7
2.3.4 Low -Bit- Converter	7
2.3.5 Oversampling, and Noise Shaping	10
2.4 มาตรฐาน Red book	11
บทที่ 3 โปรโตคอลที่ใช้ในการเชื่อมต่อกับซีดี-รอม	13
3.1 ATA	13
3.1.1 การเชื่อมต่อทางกายภาพ	13
3.1.2 ขาเชื่อมต่อสำหรับรับส่งข้อมูล	14
3.1.3 รีจิสเตอร์ภายใน	16
3.1.4 โปรโตคอลการส่งข้อมูล	18
3.1.4.1 โปรโตคอลการส่งคำสั่งที่ไม่มีการส่งข้อมูลกลับ	18
3.1.4.2 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO	18
3.1.4.3 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA	19
3.2 ATAPI	19
3.2.1 ATAPI Protocol	20
3.2.2 ATAPI PACKET Command	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 Status Register for Packet Command 22
3.2.3.1 ATAPI Device Control Register 22
3.2.3.2 ATAPI Error Register 22
3.2.3.3 ATAPI Feature Register 23
3.2.3.4 ATAPI Interrupt Reason Register 23
3.2.3.5 ATAPI Byte Count Register 24
3.2.3.6 ATAPI Drive Select Register 24
3.2.3.7 ATAPI Status Register 24
3.3 ขั้นตอนการส่งคำสั่ง PIO ที่มีข้อมูลเข้าสู่โฮสท์ 25
บทที่ 4 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 28
4.1 S/PDIF 28
4.1.1 ประวัติโดยย่อ 28
4.1.2 คุณสมบัติเฉพาะตัว 28
4.1.3 การอินเตอร์เฟส 29
4.1.4 การต่อสายแบบ 2 pin สำหรับอุปกรณ์ PC บางประเภท 30
4.1.5 Multi channel audio และ S/PDIF 30
4.1.6 รายละเอียดการต่อสายเคเบิ้ล 31
4.1.7 สิ่งที่ทำให้เสียงในสัญญาณดิจิตอลผิดเพี้ยน 31
4.1.8 สัญญาณ S/PDIF 32
4.1.9 รูปแบบการ Coding 32
4.1.10 Word and Block Formats 33
4.1.11 Channel status และ Subcode information 34
4.1.12 Electrical Interface 35
4.2 I_2S BUS 35
4.2.1 Serial data 36
4.2.2 Word select 38
4.3 CS8414 38
4.3.1 คุณลักษณะทั่วไป 39
4.3.2 LINE RECEIVER 39
4.3.3 AUDIO SERIAL PORT 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 TDA1543 Dual 16 bits DAC 43
4.4.1 คุณลักษณะทั่วไป 44
4.4.2 ลักษณะการทำงาน 44

บทที่ 5 การติดต่อในส่วนอื่น 47
5.1 การสื่อสารแบบอนุกรม 47
5.1.1 พอร์ตอนุกรม(UART) 47
5.1.2 MCS-51 และการรับส่งแบบอนุกรม 50
5.2.1 Serial Port Control Register 51
5.2.2 Mode of Operation 52
5.2.3 การกำหนดค่าเริ่มต้นให้รีจิสเตอร์ในการรับส่งข้อมูล 55
5.2.4 อัตราการส่งข้อมูลทางพอร์ทอนุกรม 56
5.2 การติดต่อกับผู้ใช้ผ่านรีโมทคอนโทรล 56
บทที่ 6 รายละเอียดการออกแบบ และการสร้าง 58
6.1 ขั้นตอนการทำงาน 58
6.1.1 ศึกษามาตรฐานในการเชื่อมต่อ 58
6.1.2 ออกแบบวงจร 58
6.1.3 การเขียนซอฟท์แวร์ควบคุม 60
6.1.4 การทดสอบเวลาของโปรโตคอลATAPI 61
6.1.5 การทดสอบโปรโตคอลรีโมท 65
6.1.6 การทดสอบ DAC 66
6.1.7 การทดสอบการใช้งานจริง 68
6.2 แนวทางการพัฒนา 69
ภาคผนวก ก. วงจร 70
ภาคผนวก ข. รหัสรีโมท SONY RM849 72
กิตติกรรมประกาศ 74
บรรณานุกรม 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

รูปที่ 2.1 แสดงส่วนประกอบภายในแผ่นซีดี 6

รูปที่ 2.2 แสดงลายแทร็กของแผ่นซีดี 6

รูปที่ 2.3 แสดงบล็อกไดอะแกรมของ PWM/MASH digital to analog converters 8

รูปที่ 2.4 แสดงบล็อกไดอะแกรมของ PDM digtal-to-analog converter 9

รูปที่ 2.5 แสดงการลักษณะการทำ Oversampling 10

รูปที่ 2.6 CD-DA frame (588 channel bits) 12

รูปที่ 3.1 แสดงการเชื่อมต่อระหว่างโฮสท์กับอุปกรณ์ 2 ตัว 13

รูปที่ 3.2 แสดงการเชื่อมต่อระหว่างโฮสท์กับอุปกรณ์ตัวเดียว 14

รูปที่ 3.3 ตัวเชื่อมต่อขนาด 40 ขา ตามมาตรฐาน ATA 14

รูปที่ 3.4 แสดงลักษณะของขั้วไฟเลี้ยงของเครื่องเล่นซีดี 16

รูปที่ 3.5 ATAPI Device Control Register 22

รูปที่ 3.6 ATAPI Error Register 22

รูปที่ 3.7 ATAPI Feature Register 23

รูปที่ 3.8 ATAPI Interrupt Reason Register 23

รูปที่ 3.9 ATAPI Byte Count Register 24

รูปที่ 3.10 ATAPI Drive Select Register 24

รูปที่ 3.11 ATAPI Status Register 24

รูปที่ 3.12 โฟลว์ชาร์ตขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลเข้าสู่ Host และขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลออกจาก Host 27

รูปที่ 4.1 การมอดดูเลชันแบบ BMC 33

รูปที่ 4.2 แสดงโครงสร้างของระบบ I^2S BUS 36

รูปที่ 4.3 Timing ของตัวส่งข้อมูลแบบ I^2S (Transmitter) 37

รูปที่ 4.4 Timing ของตัวรับข้อมูลแบบ I^2S (Receiver) 37

รูปที่ 4.5 Timing แบบมาตรฐานของการส่งข้อมูลแบบ I^2S BUS 38

รูปที่ 4.6 Block diagram ของ CS 8414 40

รูปที่ 4.7 มาตรฐานการเชื่อมต่ออุปกรณ์ต่างๆของ CS 8414 40

รูปที่ 4.8 Audio Serial Port Format 1-7 ของ CS 8414 43

รูปที่ 4.9 Special audio Serial Port Format 12 และ 13 ของ CS 8414 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 ขาต่างๆของ TDA 1543 44
รูปที่ 4.11 I^2S format 45
รูปที่ 4.12 Block diagram ของ TDA 1543 46
รูปที่ 4.13 สัญญาณ Input ของ TDA 1543 46
รูปที่ 5.1 การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม 47
รูปที่ 5.2 เวิร์ดข้อมูลขนาด 8 บิตกับ Start bit และStop bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม 48
รูปที่ 5.3 สัญญาณดาต้าอินพุตสโตรบ 49
รูปที่ 5.4 การรับส่งขอมูลระหว่างรีจิสเตอร์กับบัสภายใน 50
รูปที่ 5.5ไดอะแกรมเวลาในการส่งข้อมูล 53
รูปที่ 5.6 ไดอะแกรมเวลาการรับข้อมูล 53
รูปที่ 5.7 การส่งข้อมูลออกโดยใช้ ชิฟต์รีจิสเตอร์ ช่วย 54
รูปที่ 5.8 โปรโตคอลของรีโมตคอนโทรล SONY 57
รูปที่ 6.1 บล็อกไดอะแกรมคร่าวๆของวงจร 58
รูปที่ 6.2 รูปวงจร เฉพาะส่วนควบคุม 59
รูปที่ 6.3 บล็อกไดอะแกรมของ DAC 59
รูปที่ 6.4 โฟล์วชาร์ทของซอฟท์แวร์ใน MCS-51 60
รูปที่ 6.5 สัญญาณของคำสั่ง Read TOC 61
รูปที่ 6.6 สัญญาณของคำสั่ง Open tray 62
รูปที่ 6.7 สัญญาณของคำสั่ง Close tray 62
รูปที่ 6.8 สัญญาณของคำสั่ง Pause 63
รูปที่ 6.9 สัญญาณของคำสั่ง Resume 63
รูปที่ 6.10 สัญญาณของคำสั่ง Play 64
รูปที่ 6.11 สัญญาณของคำสั่ง Stop 64
รูปที่ 6.12 สัญญาณที่ได้จากปุ่ม “1 65
รูปที่ 6.13 สัญญาณที่ได้จากปุ่ม “2 65
รูปที่ 6.14 สัญญาณที่ได้จากปุ่ม “3 66
รูปที่ 6.15 สัญญาณ S/PDIF 66
รูปที่ 6.16 สัญญาณ SCK 67
รูปที่ 6.17 สัญญาณ SDATA 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.18 สัญญาณ WRDSEL เทียบกับ SDATA 6 8
รูปที่ 6.19 สัญญาณเอาท์พุทอนาล็อกจากตัวไดร์ฟและจาก DAC 6 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 2.1 แสดงรายละเอียดตามมาตรฐานของ “Red Book” 5
ตารางที่ 3.1 แสดงรายละเอียดและหน้าที่ของแต่ละขาตามมาตรฐาน IDE 15
ตารางที่ 3.2 แสดงแอดเดรสของรีจิสเตอร์ตามมาตรฐาน ATA 17
ตารางที่ 3.3 แสดงรายละเอียดเกี่ยวกับรีจิสเตอร์ต่างๆที่ใช้ใน ATAPI 21
ตารางที่ 4.1 ตารางเปรียบเทียบระหว่าง AES/EBU กับ S/PDIF 30
ตารางที่ 4.2 รูปแบบสัญญาณ sync 33
ตารางที่ 4.3 ความหมายในเวิร์ด 32 บิต 34
ตารางที่ 4.4 Channel status 35
ตารางที่ 4.5 ตารางของตัวส่งข้อมูลแบบ I^2S (Transmitter) ที่ data rate 2.5 MHz 37
ตารางที่ 4.6 ตารางของตัวรับข้อมูลแบบ I^2S (Receiver) ที่ data rate 2.5 MHz 38
ตารางที่ 4.7 Normal audio mode (M3 = 0) 41
ตารางที่ 4.8 Special audio mode (M3 = 1) 42
ตารางที่ 5.1 อัตราบอดโดยทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม 49
ตารางที่ 5.2 บิตต่างๆของรีจิสเตอร์SCON 51
ตารางที่ 5.3 แสดงโหมดต่างๆของการรับส่งแบบอนุกรม 51
ตารางที่ 5.4 แสดงค่าความถี่สัญญาณนาฬิกาที่ใช้ในการกำหนด Baud Rate ต่างๆ 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในโลกปัจจุบัน สื่อที่เป็นที่แพร่หลายอย่างหนึ่ง คือ CD ซึ่งสามารถเก็บข้อมูลได้สูงสุดถึง 700 MBต่อแผ่น และยังราคาถูกเมื่อเทียบราคาต่อbyte ในโครงงานนี้เราจะประยุกต์ใช้ CD drive ที่ใช้กับคอมพิวเตอร์ทั่วไป มาทำหน้าที่เป็นเครื่องเล่น audio CDโดยควบคุมด้วยไมโครคอนโทรลเลอร์MCS-51

เบื้องต้นก่อนที่เราจะควบคุม CD driveได้ ต้องศึกษามาตรฐานโปรโตคอลที่ใช้ติดต่อกับ CD device นั่นคือ ATAPI(Advanced Technology Attachment Packet Interface) ซึ่งเป็นโปรโตคอลที่เพิ่มขึ้นมาจาก ATA(Advanced Technology Attachment :IDE Interface for IBM-PC/AT & compatible computers)เพื่อสนับสนุนการควบคุม CD driveโดยเฉพาะ

เครื่องเล่น audio CD ในโครงงานนี้ ประกอบด้วย CD drive และส่วนควบคุม (ไมโครคอนโทรลเลอร์ MCS-51) ซึ่งส่วนควบคุมนี้จะแยกเป็นไมโครคอนโทรลเลอร์ 2ตัว ตัวแรกจะใช้ในการเชื่อมต่อควบคุม CD drive และอีกตัวสำหรับต่อกับ LCD และตรวจสอบคำสั่งจากรีโมท โดยทั้งสองส่วนนี้จะเชื่อมต่อกันผ่าน serial port

สาเหตุที่แยกส่วนควบคุมออกเป็นสองส่วน เพื่อประโยชน์ในการขยายพอร์ทในภายหลัง

จากที่กล่าวมา จึงสามารถแบ่งเนื้อหา ออกเป็นบทต่างๆดังนี้

- บทที่ 2 ความเป็นมาอย่างคร่าวๆ รวมถึงโครงสร้างและหลักการของ CD
- บทที่ 3 รายละเอียดของโปรโตคอล ATA และATAPI เพื่อใช้ในการติดต่อกับ CD drive
- บทที่ 4 ทฤษฎีที่เกี่ยวข้องและรายละเอียดของวงจร DAC
- บทที่ 5 การติดต่อระหว่างมาสเตอร์กับสเลฟ และการติดต่อกับผู้ใช้
- บทที่ 6 รายละเอียดฮาร์ดแวร์และซอฟท์แวร์, flowchart, ผลการทดสอบ และบทวิเคราะห์ เพื่อการแก้ไขปรับปรุง
- ภาคผนวก ลายวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานของเครื่องเล่นซีดี

2.1 A Fundamental Introduction to Compact Disk Player

ในทุกวันนี้เครื่องเล่นซีดีเป็นอุปกรณ์ที่มีผู้บริโภคใช้กันอยู่ทั่วทุกหนทุกแห่งและด้วยเทคโนโลยีและการออกแบบที่ล้ำยุคล้ำสมัยและในเรื่องของราคาทำให้ผู้บริโภคมีสิทธิเลือกความพึงพอใจของสินค้าซึ่งมีให้เลือกมากมาย (เอกสารฉบับนี้พยายามที่จะทำให้ผู้อ่านได้ทราบถึงพื้นฐานและหลักการทำงานในเครื่องเล่นซีดีทั่วๆไป และถ้าผู้อ่านมีความรู้ทางด้านการประมวลผลสัญญาณ (Signal Processing) ก็จะทำให้ผู้อ่านนั้นสามารถเข้าใจมากขึ้น

ความเสถียรของดิจิตอลโดเมน

ในสมัยก่อน โทมัส เอดิสัน (Thomas Edison) ได้สร้างเครื่องบันทึกเสียงขึ้นมาในปี 1877 จึงได้เกิดการเจริญเติบโตเป็นอย่างมากในสาขาที่เกี่ยวข้องกับการบันทึกเสียง และไม่ว่าจะเป็นกระบวนการขั้นตอนของเอดิสันหรือของคนอื่นๆก็มีหลักการพื้นฐานกระบวนการเหมือนกัน การนำสัญญาณออดิโอจากระบบทางกายภาพหรือทางไฟฟ้า เพื่อให้สามารถติดต่อกับสื่อกลางการบันทึกเสียงเป็นตัวอุปสรรคในการพัฒนาอยู่ หลังจากนั้นประมาณ 100 ปี อนาลอกออดิโอก็ได้มาถึงจุดอิ่มตัวและข้อบกพร่องที่เกี่ยวกับระบบอนาลอกก็มีให้เห็นมากขึ้น ดังนั้นเรื่องของราคาก็จะสูงขึ้นตามความสามารถในการที่จะแก้ไขจุดอ่อนจุดด้อยต่างๆในสัญญาณอนาลอกนั้นมีข้อบกพร่องต่างๆในตัว อย่างเช่น คลื่นแปลกปลอมปะปนอยู่กับสัญญาณต้นแบบดังนั้นในขณะที่ทำการเล่นก็จะไม่มีการแยกพวกสัญญาณ noise หรือสัญญาณ Distortion ออกไปจาก original signal ในระบบอนาลอกทุกๆระบบจะมีผลข้างเคียงด้วยกันทั้งนั้น ซึ่งได้แก่สัญญาณรบกวนของระบบซึ่งก็คือผลรวมของDistrotionรวมกับ noiseที่เกิดจากอุปกรณ์แต่ละตัวในวงจร และท้ายที่สุดอุปกรณ์อนาลอกก็ค่อยๆถูกลดบทบาทลงไป

ดังนั้นความจำเป็นที่จะต้องการรูปแบบออดิโอจึงมีปรากฏให้เห็นอย่างชัดเจนและเราก็ได้ตัวดิจิตอลออดิโอนี้มาช่วยแก้ไขจุดอ่อนจุดด้อยที่มีอยู่ในระบบของอนาลอกสิ่งสำคัญของสัญญาณดิจิตอลออดิโอคือมันสามารถแยก noiseกับDistortionออกจากสัญญาณอนาลอกออดิโอได้ คุณภาพของสัญญาณดิจิตอลออดิโอไม่ได้อยู่ที่กลไกการอ่านหรือตัวกลางในระบบ ส่วนตัวแปรเช่น Frequency response ,linearity และnoiseเป็นตัวแปรตอนแปลงจากดิจิตอลไปเป็นอนาลอกเท่านั้น (DAC) ส่วนปัจจัยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกี่ยวกับระบบดิจิตอลออดิโอประกอบด้วย Bandwidth ทางออดิโอที่ 5-22000 Hz,90+ dB dynamic range และ falt Response ตลอดย่านความถี่

ก่อนที่จะมีการรู้จักเครื่องเล่นซีดีในปี 1982 นั้น เทคโนโลยีและทฤษฎีที่เกี่ยวข้องได้มีมานานแล้ว โดยเริ่มตั้งแต่ปี 1841 นักคณิตศาสตร์ที่ชื่อออกัสติน-หลุยส์ โคชี่ (Augustin-Louis Cauchy) ได้นำเสนอทฤษฎีการแซมปลิง (Sampling Theorem) หลังจากนั้นประมาณ 80 ปี นายเจ.อาร์ คาร์สัน (J.R Carson) ได้ตีพิมพ์บทความที่เกี่ยวข้องการวิเคราะห์ทางคณิตศาสตร์เรื่อง Time Sampling in communications ในปี 1982 การบรรยายที่ American Institute of Electrical Engineersนาย แฮรี่ ไน-ควิสท์ (Herry Nyquist) ได้ทำการพิสูจน์ทฤษฎีในหัวข้อ “Certain Topics in Telegraph Transmission Theorem” ในปี1937 และในปี 1948 A.Reeve ได้นำเสนอเรื่อง Pulse Code Modulation (PCM) และ John Bordeen, William Shockley และ Water Braltain ได้ประดิษฐ์ BJT Transistor muj Bell Labs 2ปีต่อมาในปี1950 Richard W. Hamming ได้ตีพิมพ์บทความเกี่ยวกับเรื่อง error correction and detection codes. ในปี1958 C.H. Tawnes และ A.L. Shonvlow ได้ทำการประดิษฐ์ เลเซอร์ (Laser) ขึ้นมาในปีเดียวกัน I.S.Reed and G.Solomon ได้ตีพิมพ์บทความในเรื่องของ error correction and detection codes ที่ใช้ในเครื่องเล่นซีดี และก่อนหน้าที่เครื่องเล่นซีดีจะออกสู่ตลาดนั้น 15 ปี สถาบัน NHK Technical Research Institute ได้มีการทดลองในส่วนของ PMC Digital audio recoder ด้วยอัตราแซมปลิงที่30 kHz และความละเอียดอยู่ที่ 12 บิต 2 ปีต่อมา บริษัทโซนี่ก็ทำขึ้นมาเหมือนกันที่อัตราแซมปลิง 47.25 kHz และความละเอียดอยู่ที่ 13 บิต ส่วนอีกทางซีกโลกหนึ่งนักฟิสิกส์ชาวดัคซ์ Klaas Compaan ได้ใช้แผ่นแก้วในการเก็บรูปขาวดำโดยใช้การ mod ทางความถี่ ที่Philips Laboratories 4ปีให้หลังในปี1973วิศวกร Philips ได้เริ่มต้นทำการค้นคว้าประยุกต์งานเสียงในระบบที่เกี่ยวกับงานทางด้าน “Video” ดิสก์ต้นแบบใช้อัตราการแซมปลิงที่ 44 kHz และใช้ DAC 14 บิต แสดง S/N ได้ 80 dB และได้ไปแสดงผลงานในงาน Tokyo Audio Fair ในปี1977โดยมีบริษัทMitsubishi,Sony,Hitachi ได้ร่วมกันในงานดังกล่าวอีก1ปีต่อมา Philips ได้เข้าร่วมด้วยในเดือนมีนาคม 1979 Philips ได้เปิดตัวด้านเครื่องเล่นซีดีในยุโรป และSony ก็ตามมาทำร่วมกันกับPhilips หลังจากที่บริษัท Matsushita ได้ปฏิเสธไม่เข้าร่วม

พอในเดือนมิถุนายนปี 1980ได้มีการร่วมมือกันอย่างเป็นทางการแล้วได้เสนอมาตรของ CD และอีก 1 ปีต่อมาในปี 1981บริษัท Sharp ก็ประสบความสำเร็จกับการสร้าง semiconductor laser ในปี 1982 หลังจากที่ซีดีมีการพัฒนากันมานานหลายปี Sony กับ Philips ก็ได้เปิดตัวเครื่องเล่นแก่ท้องตลาดในยุโรปต่อมาไม่นานก็ได้มีการเปิดตัวในสหรัฐอเมริกา 12 ปี ต่อมา การพัฒนาทางด้านดิจิตอลออดิโอเป็นไปอย่างต่อเนื่องและรุดหน้าไปอย่างรวดเร็วจนความเป็นอนาลอกได้ถูกบดบังและค่อยๆหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 สรุปเกี่ยวกับตัวระบบ

สเปคของเครื่องเล่นซีดีและแผ่นซีดีจะถูกกำหนดตามมาตรฐานที่เรียกว่า "Red Book" ซึ่งกำหนดการร่วมมือกันของบริษัท Sony , Philips , และ Polygram รายละเอียดได้แสดงดังตารางข้างล่าง

เครื่องเล่นซีดีจะประกอบด้วยระบบย่อยๆ 2 ส่วนด้วยกัน คือ

1. ส่วนของประมวลผลสัญญาณทางออดิโอและ
2. ส่วนของระบบควบคุมและชุดเซอร์โว (servo)

โดยในส่วนของระบบควบคุม, เซอร์โว ,ดิสเพลย์ และกระบวนการปฏิบัติการต่างๆเครื่องเล่น รวมไปถึงส่วนของ spindle motor, auto-tracking, lens focus และก็ส่วนของ user interface ในส่วนของการประมวลผลสัญญาณออดิโอนั้น จะครอบคลุมส่วนต่างๆอื่นทั้งหมดของตัวเครื่องเล่น

บล็อกไดอะแกรมของเครื่องเล่นซีดีแสดงได้ดังตารางที่ 2.1

Disc	**Specification**
เวลาในการเล่นแผ่น	74 นาที 33 วินาที (MAX)
ความเร็วในการหมุนแผ่น	1.2 – 1.4 เมตร/วินาที
ระยะห่างระหว่างแทร็ก	1.6 ไมครอน
เส้นผ่าศูนย์กลาง	120 มิลลิเมตร
ความหนาของแผ่น	1.2 มิลลิเมตร
เส้นผ่าศูนย์กลางรูของแผ่น	15 มิลลิเมตร
พื้นที่ในการบันทึก	46 – 117 มิลลิเมตร
พื้นที่ของสัญญาณ	50 – 116 มิลลิเมตร
วัสดุที่ใช้ผลิตแผ่น	วัสดุใดก็ได้ที่ค่าดัชนีหักเหอยู่ที่1.5
ความยาวน้อยที่สุดของแต่ละพิทช์	0.833 ไมครอน
ความยาวมากที่สุดของแต่ละพิทช์	3.05 ไมครอน
ความลึกในแต่ละพิทช์	ประมาณ0.11 ไมครอน
ความกว้างในแต่ละพิทช์	ประมาณ0.5 ไมครอน
ระบบOptical	**Specification**
ความยาวคลื่น	λ = 780 นาโนเมตร(7800 อังสตรอม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความลึกการโฟกัส	+/- 2 ไมครอน
รูปแบบสัญญาณ	**Specification**
จำนวนของแชนแนล	2 แชนแนล
การควอนไตเซชั่น	16-บิต
ความถี่ในการแซมปลิ้ง	44.1 KHz
ความเร็วบิตของแชนแนล	4.3218 เมกะบิต/วินาที
ความเร็วบิตของข้อมูล	2.0338 เมกะบิต/วินาที
อัตราส่วนความเร็วบิตระหว่างข้อมูลกับแชนแนล	8:17
ระบบการมอดดูเลชั่น	8-14 มอดูเลชั่น(EFM)

ตารางที่ 2.1 แสดงรายละเอียดตามมาตรฐานของ “Red Book”

ตั้งแต่ได้มีการเปิดตัวเครื่องเล่นซีดีไปในปี 1982 ตลาดก็ได้มีการพัฒนาเครื่องเล่นเป็น 3 ยุค โดย

ยุคแรก เครื่องเล่นซีดีจะมีลักษณะพิเศษคือเป็น Multi bit DAC คู่กับ brickwall filter

ยุคที่ 2 เครื่องเล่นซีดีจะมีลักษณะพิเศษคือใช้ Multi bit DAC เหมือนในยุคแรก แต่ได้นำข้อดีของ Digital oversampling filter มาใช้ร่วมกับอนาลอกฟิลเตอร์

ยุคที่ 3 เครื่องเล่นซีดีจะมีลักษณะพิเศษคือ ใช้ส่วน low –bit ของ DAC ร่วมกับ oversampling filter

2.3 คุณสมบัติและหลักการทำงานของแผ่นซีดี

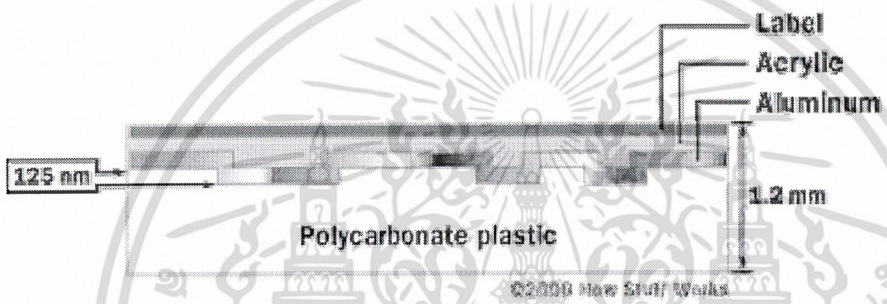
2.3.1 CD-ROM (Compact Discs Read Only Memory)

CD-ROM (Compact Discs Read Only Memory) เป็นอุปกรณ์บันทึกข้อมูลรูปแบบหนึ่ง โดยเฉพาะข้อมูลทางด้าน Multimedia เนื่องจาก Multimedia ต้องใช้สื่อเป็นจำนวนมาก เช่น ภาพ และเสียง สิ่งเหล่านี้จัดว่าเป็น ข้อมูลที่มีขนาดใหญ่ ถ้ามีการเก็บรูปภาพเป็นจำนวนมาก และเสียงที่มีความยาวนานๆ เช่น Music Video ที่มีความยาวประมาณ 3-4 นาที จะต้องใช้เนื้อที่ในการเก็บถึง 50 MB หรือบางไฟล์อาจจะเล็ก/ใหญ่ กว่าได้ ดังนั้นข้อมูลเหล่านี้โดยมาก จึงถูกเก็บไว้ใน CD-ROM ซึ่งมีความสามารถในการบันทึกข้อมูลได้มาก ซึ่งแผ่น CD-ROM จะมี 2 ขนาดความจุข้อมูล คือ 650 และ 700 เมกะไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

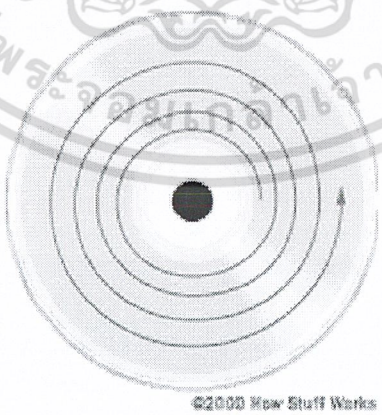
แผ่น CD เป็นแผ่นพลาสติกเคลือบ ลักษณะวงกลม มีช่องตรงกลาง ขนาด 4.8 นิ้ว (12 cm.) หนา 1.2 มิลลิเมตร ประกอบด้วย

- แผ่นพลาสติกทำจากสาร polycarbonate
- สารอลูมิเนียม (aluminum) ซึ่งฉีดลงบนแผ่นพลาสติก polycarbonate ให้มีลักษณะเป็นร่องๆ
- สารอคีลิค (acrylic) เคลือบบน Aluminium เพื่อป้องกันผิว
- เลเบล (Label) ซึ่งมักจะเป็นสีเคลือบบน Acrylic อีกที เพื่อแสดงตราการค้า หรือรูปภาพต่างๆ



รูปที่ 2.1 แสดงส่วนประกอบภายในแผ่นซีดี

แผ่น CD มี Track เพียง Track เดียว ไม่เหมือนกับแผ่นดิสก์ที่ประกอบด้วยTrack หลาย Track โดยจะหมุนจากซีดีด้านในออกสู่ด้านนอกทำให้แผ่น CDมีขนาดเล็กกว่า 12 cm. ได้ แผ่น CD ในปัจจุบันมีขนาดเล็ก เรียกว่า Mini CD-R มีความจุอย่างต่ำ 2 MB เป็นต้น



รูปที่ 2.2 แสดงลายแทร็กของแผ่นซีดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงของ Track จะมีระยะห่างกัน 1.6 ไมครอน (Micron) โดย Track จะถูกแบ่งเป็นท่อนเล็กๆ (Bump) เรียงกันเป็นแถว แต่ละท่อนมีความกว้าง 0.5 ไมครอน ยาว 0.83 ไมครอน และสูง 125 นาโนเมตร(nanometers) ถ้านำ Bump แต่ละท่อนมาต่อเรียงกัน จะได้ความยาว 3 กิโลเมตรต่อแผ่น CD 1 แผ่น

2.3.2 Digital-to-analog Converters

เครื่องเล่นรุ่นแรกที่สร้างโดย Sony , Philips และบริษัทอื่นๆจะใช้ 14 bit Converters ซึ่งในตอนนั้นได้มีการพัฒนาปรับปรุงอย่างกว้างขวางมากกว่าตัวอุปกรณ์ที่เป็นอนาลอก แต่ถึงกระนั้นทุกวันนี้ถือว่าคุณภาพต่ำเมื่อเทียบกับมาตรฐานของทุกวันนี้ ซึ่งตอนเปิดตัวแรกๆในปี 1982 ตอนนั้นConverter16บิตยังเป็นมาตรฐานอยู่ แต่พอมาปี1989 หลายๆโรงงานได้นิยมทำตัว converterออกมาเป็นแบบ18และ20บิต

2.3.3 Multi-Bit Converter

ถ้าพูดถึงตัว Multi-Bit Converter แล้วมันสามารถออกแบบได้หลายวิธีซึ่งที่ใช้กันบ่อยก็ได้แก่ ladder network converter, integrating converter และ dynamic element matching converter แต่ยิ่งมีบิตมาก ก็จะมีปัญหาเกี่ยวกับ error สูงเช่นกัน

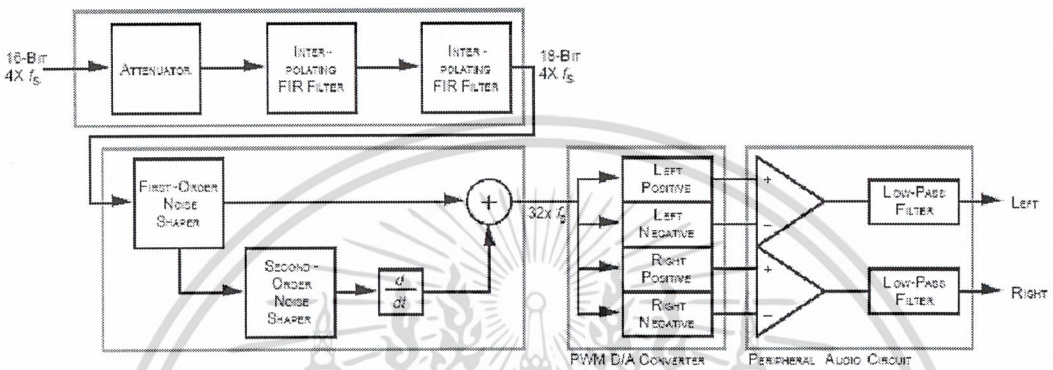
2.3.4 Low -Bit- Converter

ทำมาเพื่อแก้ปัญหาข้อบกพร่องต่างๆที่มีใน Multi-Bit Converter ซึ่งมีการพัฒนาและแข่งขันกันอยู่สองแห่ง แห่งแรก คือ บริษัท Matsushita และอีกแห่งบริษัท Sony โดยจะทำการ convert ข้อมูลทั้งหมดในแบบขนานที่ความถี่แซมปลิงวิธีการของทั้งคู่จะได้ความยาวข้อมูลที่สั้นกว่าและด้วยอัตราที่สูงกว่า ส่วนการconvert serial data จะอยู่ในกระบวนการทางดิจิตอลซึ่งทุกวันนี้มีความเป็นไปได้อย่างมากถ้าใช้เรื่องของ DSP เข้ามาเกี่ยวข้อง

วิธีการของบริษัท Matsushita จะใช้หลักการของ Pulse width Modulation (PWM) ในการออกแบบนี้ ความกว้างของสัญญาณพัลส์จะทำหน้าที่แทนข้อมูลค่าหนึ่งๆฉะนั้นในขั้นตอนของ PWM ก็จะมีความกว้างที่แน่นอน และมี Jitter น้อยซึ่งทำให้เกิดความแม่นยำสูงและความเป็นเชิงเส้นสูงที่เอาท์พุท ชื่อทางการค้าของกระบวนการที่เรียกว่า MASH (Multi-stage noise Shaping) โดยกระบวนการจะเริ่มที่ MASH Converter จะทำการ oversampling digital filter เป็นจำนวน 4ครั้งด้วยกันและตามด้วย first-order กับ second- order noise shaper ต่อขนานกันอยู่และเอาท์พุทที่ออกจาก noise shaper จะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนเข้าไปใน PWM converter ซึ่งเอาท์พุทจะได้จากการ low-pass filter แล้วบล็อกไดอะแกรมของระบบMASHแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 แสดงบล็อกไดอะแกรมของ PWM/MASH digital to analog converters

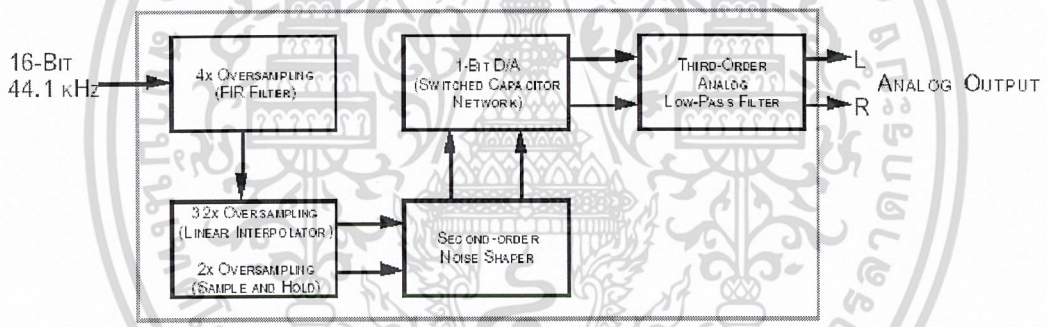
Digital finite impulse response (FIR) filter จะสร้างข้อมูล 18 บิต จาก 16 บิต อินพุทแซมปลิงหลังจากที่มีการคูณoversampling ไป4 ครั้งคราวนี้ The noise shaper จะแปลงข้อมูล 18 บิตนี้ไปเป็น 11-Step quantized format เพื่อ PWM หลังการคูณ 8ครั้ง oversampling ระบบ PWM จะถูกปฏิบัติการณ์ด้วย 768* original sampling frequency (33.868MHz)ถ้ามีการ convert ทีละบิตจากสัญญาณ 16 บิต จริงๆแล้วในการแสดงค่าแต่ละแอมปลิจูดต้องใช้ถึง 65,536 พัลส์ แต่การทำเช่นนี้จะต้องใช้ความเร็วเกินกว่า 2.98 GHz ซึ่งเร็วกว่าเทคโนโลยีทางด้าน Bipolar จะทำได้ ดังนั้นในการแปลง data 18 บิตไปเป็น 11-Step output ในการทำของ MASH converter สามารถเรียกได้ว่าเป็นแบบ"3.5-bit'converter

วิธีการที่สองในเทคนิค Low-Bit Conversion โดยบริษัท Philips ซึ่งใช้วิธี Pulse-Density Modulation(PDM) หรือ Bitstream Conversion ในเทคนิคนี้อัตราส่วนความหนาแน่นของสัญญาณพัลส์จะสัมพันธ์กับข้อมูล 16 บิต PDM Converter เป็นเทคโนโลยีแบบ 1 บิต สัญญาณที่ทำหน้าที่แทนนั้นอาจจะไม่ปรากฏให้เห็นชัดแบบทันทีทันใด ตัวอย่างง่ายๆที่จะแสดงให้เห็นเพื่อให้เข้าใจง่ายขึ้น เช่น ถ้าไฟเปิด ห้องก็จะสว่าง แต่ถ้าไฟปิดห้องก็จะมืด แต่ถ้าเกิดเป็นการปิด-เปิดกลับไปกลับมาอย่างเร็วๆ ก็จะมีความสว่างลางๆเกิดขึ้นมา ข้อมูลที่ได้จากการ Sampling จากชิปถอดรหัสถูกส่งไปทำการคูณกับค่าความถี่ Oversampling ด้วยค่าเท่ากับ 4 และที่ตรงนี้ฟิลเตอร์แบบนี้จะทำให้ได้คุณภาพของเอาท์พุทสูงเพราะมันเป็น phase-linear ส่วน First-order noise shaping จะถูกกระทำโดย accumulator ของตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คูณในฟิลเตอร์และส่งต่อมาที่Second filter ซึ่งจะประกอบด้วย Linear Interpolator และ Sample and Hold Circuit ณ ขั้นตอนนี้

สัญญาณดิจิตอลฟิลเตอร์ความถี่ 352 KHz ที่ -20 dB จะถูกเพิ่มเข้าไปในสัญญาณ sampling เพื่อลดความไม่เป็นเชิงเส้นที่จะเกิดจาก Error ของการ Quantization และที่จุดนี้ผลรวมทั้งหมดของการ Oversampling คือ 256 เท่า และจำนวนข้อมูลเพิ่มเป็น 17 บิต คราวนี้ข้อมูลจะป้อนเข้าไปยัง Second-Order noise shaper ด้วยความถี่ 11.2896 MHz noiseshaper จะทำการลดข้อมูลจาก 17 บิตข้อมูลให้เหลือ 1 บิต แต่เป็นแบบสตรีม (bitstream) โดยใช้หลักการซิกม่าเดลต้ามอดูเลชั่น ($\sum$-Δ Modulation) ในกระบวนการนี้ Quantization noise จะถูกสร้างขึ้นใหม่จากความถี่ออดิโอโดยมีค่าเป็นกำลังสองของ magnitude ส่วนบิตสตรีมจะถูกแปลงเป็นอนาลอกโดยใช้สวิทช์คาปาซิเตอร์ บล็อกไดอะแกรมของ PDM Converter แสดงได้ดังรูปที่ 2.4



รูปที่ 2.4 แสดงบล็อกไดอะแกรมของ PDM digtal-to-analog converter

และเพราะว่ามีแรงดันอ้างอิงเพียง 2 ค่าเท่านั้นใน PDM Converter และไม่มี Level Matching ไว้ในการปรับปรุงแก้ไขให้เที่ยงตรงดังนั้น Linearity error ที่ผสมมาจึงถูกกำจัดทิ้งไป

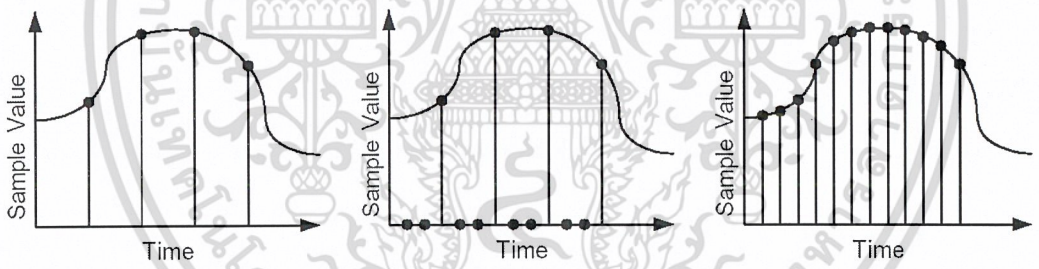
เมื่อเปรียบเทียบกันกับ THD และ Linearity error สำหรับ converter 16, 18, 20 และ 1 บิต ได้ผลน่าสนใจดังนี้ ในส่วนของ PWM,PDM Converter จะได้ค่าที่ < ± 1 dB ความเป็นเชิงเส้นของสัญญาณอินพุทจาก 100 ถึง -80 dB ซึ่งจะเท่ากันหลังจากผ่านช่วงเชิงเส้นไปแล้วและถ้าดูคุณสมบัติของเครื่องเล่นตามท้องตลาดถ้าเป็นแบบ converter 18, 20 บิต และใช้อัตราการคูณอยู่ที่ 4, 8, 16, 32 จะได้ผลมากขึ้นเป็น ± 4 dB ส่วน linearity error จะสูงถึง -75 dB ในการทดสอบ THD ด้วยค่า -60 dB ที่เป็นสัญญาณรูปซายน์ ที่ความถี่ 1 KHz จะมีการเกิดฮาร์โมนิคสูงถึงอันดับที่ 13 ที่ระดับสูงกว่า -110 dB จะมีเพียงแต่ PDM Converter เท่านั้นที่จะสามารถจัดการฮาร์โมนิคได้ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5 Oversampling, and Noise Shaping

Oversampling ถ้าจะให้นิยามง่ายๆก็คือ การใช้ค่าความถี่ในการแซมปลิ้งให้สูงกว่าที่ได้กำหนดไว้ ในทฤษฎีไนควิสท์ (Nyquist Theorem) ซึ่งการใช้ Oversampling จะทำให้เกิดผลดีคือเราจะได้อัตราส่วนสัญญาณของสัญญาณต่อสัญญาณรบกวน (Signal-to-noise ratio) สูงขึ้นและการลดลงของ Quantization noise ในย่านความถี่ออดิโอและจะสามารถลดลงได้อีกมากมายถ้าเกิดได้มีการใช้ Oversampling ควบคู่กับ Noise-Shapers

การทำ Oversampling จะดีถ้าเกิดใช้หลักการทาง digital signal processing (DSP) เพราะในการจะทำการทดลองไม่ว่าจะเกี่ยวกับการปรับแต่งหรือวิธีอื่นใดก็จะกระทำการได้ง่ายอันเนื่องมาจากในการทำการทดลองใน DSP จะมีความเที่ยงตรงสูงและทำกระบวนการซ้ำไปซ้ำมาได้และผลที่ได้ก็ยังมีการ distortion และ noise น้อยซึ่งถ้าเราใช้วิธีการทางอนาลอกนั้นทำไม่ได้ ในกระบวนการทำ Oversampling สามารถทำได้ง่ายด้วยการแทรกบิต “0 ลงไประหว่างช่วงของสัญญาณ sampling ซึ่งจะได้ผลของการ sampling ออกมาใหม่ได้ดังรูปที่ 2.5



รูปที่ 2.5 แสดงการลักษณะการทำ Oversampling

a) คือสัญญาณที่ทำการ sampling ในตอนแรก

b) คือสัญญาณที่ทำการแทรกบิต “0 ลงไปในแต่ละการ sampling

c) คือสัญญาณที่ทำการ Interpolatesampling ออกมาแล้ว

แต่จากผลของการทำ Oversampling ก็จะทำให้เกิดความยาวของ data word เพิ่มมากขึ้นและเพราะว่าความถี่ในการ sampling เพิ่มมากขึ้นสัญญาณรบกวนในส่วนของออดิโอก็จะเพิ่มมากขึ้นด้วย เราจึงต้องใช้เครื่องมือตัวหนึ่งเข้ามาจัดการกับส่วนเกินที่ว่านี้ซึ่งนั่นก็คือ Noise-Shaping

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise-Shaping เป็นเครื่องมือที่นำมาใช้แก้ปัญหาที่ได้กล่าวมาแล้วในเรื่องของการทำ Oversampling โดยเรานำ Noise-Shaping มาเป็นตัวลดขนาดความยาวของ data word ซึ่งเกิดมามากเกินไป เมื่อขนาดของ data word ลดลงสัญญาณรบกวนที่อยู่ในช่วงของสัญญาณออดิโอก็จะถูกตัดออกไปด้วย และจากที่ได้กล่าวมาแล้วในช่วงต้นเกี่ยวกับเรื่องของ Noise-Shaper ซึ่ง Noise-Shaper ก็คือการแก้ไขดัดแปลงย่านความถี่ของสัญญาณ error ซึ่งทำได้โดยการตัดส่วนของ quantization error ออกไปจากย่านความถี่ออดิโอ Noise-Shaping จะทำการลดค่า quantization error ออกไปโดยการใช้เทคนิคเนกาตีฟ ฟีดแบ็ก (Negative Feedback)

2.4 มาตรฐาน Red book

เป็นมาตรฐานที่ใช้สำหรับ Audio CD โดยเฉพาะ ซึ่งจะแบ่งออกเป็น 3 พื้นที่ ได้แก่

- Lead-in Area
- Program Area
- Lead-out Area

Lead-in Area เป็นส่วนเริ่มต้นการแบ่งส่วน จะเก็บ TOC (Table of Contents)ไว้, Program Area จะเก็บตำแหน่งเริ่มต้นและสิ้นสุดของเพลง รวมถึงตัวเพลงด้วย ส่วน Lead-out จะเป็นส่วนที่ทำให้รู้ว่าสิ้นสุดข้อมูลที่ตรงไหน

Lead-in Area จะกินเนื้อที่ 4,500 sectors (9MB) ส่วน Lead-out Area จะกินเนื้อที่ 6,750 sectors (13.5 MB หรือ 1.5 นาที) ที่ส่วนแรก และในกรณีที่CD เป็น Multisecession disc จะใช้เนื้อที่สำหรับ subsequent session 2,250 sectors (4.5 MB หรือ 0.5 นาที)

ใน Lead-out Area จะไม่มีข้อมูล (ข้อมูลทางดิจิตอลเป็น '0) เพื่อให้ CD playerรู้ว่าสิ้นสุดข้อมูล

Sector เป็นหน่วยการบันทึกที่เล็กที่สุดใน CD โดยขนาดของsectorจะขึ้นอยู่กับmodeในการบันทึกข้อมูล (ปกติ 1 sector จะเท่ากับ 2,048 byte)

ดังนั้น ขนาดของCD 1 แผ่นจะเท่ากับ 650 MB (75 sector x 60 วินาที x 74 นาที)

ในแต่ละsector จะมี ECC(Error Correction Code)อยู่ด้วย

TOC: Table of Contents

ประกอบด้วย ความยาวส่วนข้อมูล, จำนวนtrack, ตำแหน่งเริ่มtrack, ชื่อของดิสก์

จำนวนtrack สูงสุดที่มีได้ใน CD 1 แผ่น คือ 99 track และระยะเวลาระหว่าง trackจะเว้นอย่างน้อย 2 วินาที(150 sectors)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดการข้อมูลในAudio CDนั้น จะทำในหน่วย frame เพื่อให้ได้อัตราการอ่านที่คงที่ และปริมาณข้อมูลที่แน่นอนในแต่ละ track โดยแต่ละframe ประกอบด้วย user data(24 byte), Synchronization data, Control data, และ Error correction data

การเรียงตัวของ frame จะไม่แน่ชัดนักในหน่วยของกายภาพ ดังนั้นหากมีรอยขีดข่วนเล็กๆบนแผ่นซีดี จะทำให้ข้อมูลเสียหายหลาย frame ไม่ใช่แค่ frameเดียว แต่จะสร้างความเสียหายให้แต่ละframeเพียงเล็กน้อย จึงสามารถฟื้นฟูข้อมูลได้ ไม่มีผลต่อเสียงเพลง

Track ต่างๆ จะประกอบด้วยหลายsector ซึ่งในsectorหนึ่งจะมีส่วนของเพลง 1.75 วินาที นอกนั้นจะเป็นส่วน error detection and correction และส่วน control ซึ่งบอกตำแหน่งของเพลง

Sync. (24 Bits)	Control Data (1 Byte)	Symbol Data (12 bytes)	Parity (4 Bytes)	Symbol Data (12 Bytes)	Parity (4 Bytes)

รูปที่ 2.6 CD-DA frame (588 channel bits)

สาเหตุที่มาตรฐาน Red book ใช้กับ Audio CDเท่านั้น แต่ไม่เหมาะกับการเก็บข้อมูลทั่วไปในคอมพิวเตอร์คือ

- การอ่านข้อมูลเรียงเป็นลำดับอนุกรม(serial order) เมื่อการอ่านต้องใช้ random access จึงมีปัญหา
- ข้อจำกัดในการบอกตำแหน่งซึ่งแต่ละframe มีเพียง 24 byte จึงไม่เพียงพอ
- การจำกัดจำนวนtrackสูงสุดเพียง 99 track เป็นจำนวนที่น้อยไป สำหรับเก็บข้อมูลทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
โปรโตคอลที่ใช้ในการเชื่อมต่อกับซีดี-รอม

ซีดี-รอมที่ผลิตขึ้นมาใช้กับเครื่องคอมพิวเตอร์ในปัจจุบันนั้นมีการเชื่อมต่อ เป็นไปตามมาตรฐาน ATAPI ซึ่งเป็นมาตรฐานที่เพิ่มเติมมาจากมาตรฐาน ATA ซึ่งเป็นมาตรฐานในการเชื่อมต่อฮาร์ดดิสก์เข้ากับเครื่องคอมพิวเตอร์ โดยการเชื่อมต่ออุปกรณ์ตามมาตรฐานATAPI จะเหมือนกับมาตรฐาน ATA ทั้งหมด จะมีส่วนที่แตกต่างกันก็คือการส่งคำสั่งเข้าไปยังตัวอุปกรณ์จะต้องส่งเป็นชุดคำสั่ง

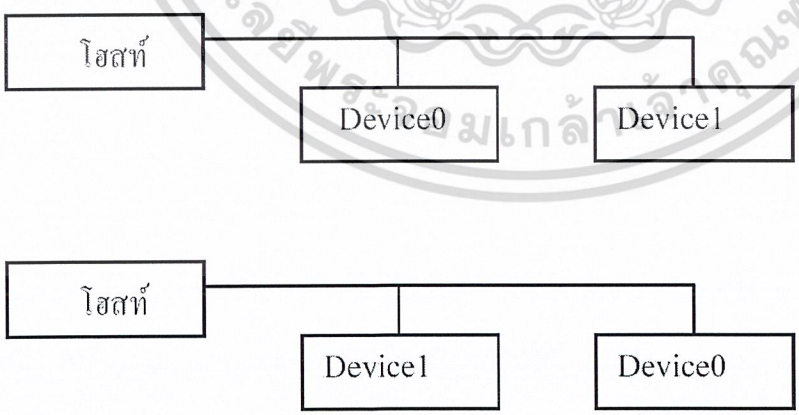
3.1 ATA

3.1.1 การเชื่อมต่อทางกายภาพ

ตามมาตรฐาน ATA สามารถนำอุปกรณ์มาเชื่อมต่อกันได้ 1-2 ตัว โดยอุปกรณ์นั้นๆต้องเชื่อมต่อกับส่วนที่ทำหน้าที่ควบคุมมัน หรือที่เรียกว่าโฮสท์อะแดปเตอร์ (host adapter) และถ้าอุปกรณ์ที่เชื่อมต่อมี 2 ตัว อุปกรณ์ทั้งสองจะต้องต่อเชื่อมกันแบบ daisy chain configuration ซึ่งอุปกรณ์ตัวหนึ่งจะถูกกำหนดเป็น Device0 และอีกตัวหนึ่งเป็น Device1

การกำหนดว่าอุปกรณ์ตัวใดเป็น Device0 หรือ Device1 นั้นอาจทำได้หลายวิธี

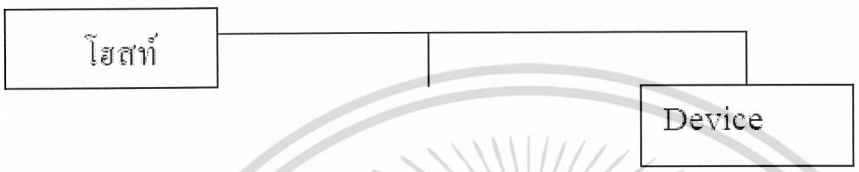
- สวิทช์หรือจัมเปอร์ (jumper) บนอุปกรณ์
- การใช้ขา Cable Select (CSEL)



รูปที่ 3.1 แสดงการเชื่อมต่อระหว่างโฮสท์กับอุปกรณ์ 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเชื่อมต่ออุปกรณ์ 2 ตัวนั้นตำแหน่งในการต่อสายไฟจะไม่มีผลต่อการเชื่อมต่อ ถ้ามีอุปกรณ์ที่เชื่อมต่อแบบ ATA เพียงตัวเดียว แล้วโฮสท์กับอุปกรณ์ควรจะอยู่ที่ปลายทั้ง 2 ด้านของสายไฟ



รูปที่ 3.2 แสดงการเชื่อมต่อระหว่างโฮสท์กับอุปกรณ์ตัวเดียว

3.1.2 ขาเชื่อมต่อสำหรับรับส่งข้อมูล

ตามมาตรฐาน ATA ขาเชื่อมต่อระหว่างอุปกรณ์และโฮสท์เป็นตัวเชื่อมต่อขนาด 40 ขา ซึ่งมีการจัดวางตำแหน่งตามรูปที่ 3.3

(ก) แผนผังขาทางด้านของตัวอุปกรณ์ (ข) แผนผังขาทางด้านของสายเคเบิล

รูปที่ 3.3 ตัวเชื่อมต่อขนาด 40 ขา ตามมาตรฐาน ATA

รายละเอียดหน้าที่ของขาแต่ละขาแสดงได้ตามตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่	ชื่อขา	หน้าที่	ขาที่	ชื่อขา	หน้าที่
1	- RESET	Reset	21	N/C	Not Connect
2	GND	Ground	22	GND	Ground
3	DD7	Data 7	23	- IOW	Write Strobe
4	DD8	Data 8	24	GND	Ground
5	DD6	Data 6	25	- IOR	Read Strobe
6	DD9	Data 9	26	GND	Ground
7	DD5	Data 5	27	IORDY	I/O Ready
8	DD10	Data 10	28	ALE	Address Latch
9	DD4	Data 4	29	N/C	Not Connect
10	DD11	Data 11	30	GND	Ground
11	DD3	Data 3	31	IRQR	Interrupt Req.
12	DD12	Data 12	32	- IOCS	Chip Select
13	DD2	Data 2	33	DA 1	Address 1
14	DD13	Data 13	34	N/C	Not Connect
15	DD1	Data 1	35	DA 0	Address
16	DD14	Data 14	36	DA 2	Address
17	DD0	Data 0	37	- CS0	(1F0 – 1F7)
18	DD15	Data 15	38	- CS1	(3F6 – 3F7)
19	GND	Ground	39	- ACTIVE	LED Driver
20	KEY	Key	40	GND	Ground

ตารางที่ 3.1 แสดงรายละเอียดและหน้าที่ของแต่ละขาตามมาตรฐาน IDE

จากจำนวนขาทั้งหมด 40 ขา เป็นส่วนของขาส่งข้อมูลขนาด 16 บิตอยู่ 16 ขา ส่วนที่ทำหน้าที่กำหนดตำแหน่งรีจิสเตอร์ที่จะเขียนอีก 5 ขา ส่วนที่ใช้ควบคุมการส่งข้อมูลในแบบ DMA 2 ขา ขารีเซท1 ขา และส่วนที่เหลือเป็นขาสำหรับควบคุมการทำงานต่างๆของตัวอุปกรณ์ เช่น สัญญาณอ่าน-เขียน สัญญาณอินเตอร์รัพท์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของไฟเลี้ยงอุปกรณ์ที่เป็นไปตามมารถฐาน ATA นั้นจะเป็นตัวเชื่อมต่อขนาด 4 ขา ดังรูปที่ 3.4 โดยจะมีไฟเลี้ยงขนาดสองชุด ชุดหนึ่งจ่ายไฟตรง 12 V อีกชุดหนึ่งจ่ายไฟตรง 5 V

4	3	2	1
+5VDC	+5V return	+12V return	+12VDC

รูปที่ 3.4 แสดงลักษณะของขั้วไฟเลี้ยงของเครื่องเล่นซีดี

3.1.3 รีจิสเตอร์ภายใน

ตามมาตรฐาน ATA นั้น การสั่งงานเพื่อควบคุมการทำงานของอุปกรณ์จะต้องกระทำผ่านรีจิสเตอร์ ต่างๆ ภายในตัวอุปกรณ์นั้นๆ โดยการกำหนดรีจิสเตอร์ที่จะใช้งานนั้นจะกำหนดผ่านสายสัญญาณทั้ง 5 แล้ว การเขียนหรืออ่านรีจิสเตอร์ในตำแหน่งเดียวกันนั้นยังเป็นการอ้างถึงรีจิสเตอร์คนละตัวกันด้วย

รีจิสเตอร์ทั้งหมดสามารถแบ่งออกได้เป็นสองส่วนใหญ่ๆคือ

-รีจิสเตอร์ Command Block จะถูกใช้เพื่อส่งคำสั่งไปยังอุปกรณ์หรือส่งสถานะของอุปกรณ์กลับมายังโฮสท์

- รีจิสเตอร์ Control Block จะถูกใช้เพื่อให้อุปกรณ์เข้าควบคุม และส่งค่าสถานะสำรอง (alternate status)

ตำแหน่งของรีจิสเตอร์ต่างๆตามมาตรฐาน ATA เป็นไปตามตาราง 3.2

รีจิสเตอร์แต่ละตัวมีขนาด 16 บิต และมีหน้าที่การทำงานที่ต่างกันไป ต่อไปจะขอกล่าวถึงหน้าที่การทำงานของรีจิสเตอร์บางตัวที่สำคัญ

-รีจิสเตอร์ข้อมูล (Data Register) เป็นตำแหน่งของรีจิสเตอร์ที่ทำหน้าที่ส่งข้อมูลจากตัวอุปกรณ์ออกไปยังโฮสท์ และรับข้อมูลจากโฮสท์เข้ามา

- รีจิสเตอร์ Error เก็บสถานะของการทำงานคำสั่งล่าสุด ใช้สำหรับตรวจสอบความผิดพลาดในการทำงาน

- รีจิสเตอร์ Device/Head ใช้กำหนดตัวอุปกรณ์ที่จะใช้งานเนื่องจากการต่ออุปกรณ์ตามมาตรฐาน ATA สามารถต่อได้ 2 ตัว จึงต้องมีการเลือกอุปกรณ์ที่ใช้งานด้วย

- รีจิสเตอร์สถานะ (Status Register) เก็บสถานะปัจจุบันของตัวอุปกรณ์

- รีจิสเตอร์คำสั่ง (Command Register) เป็นตำแหน่งรีจิสเตอร์ที่ใช้เขียนคำสั่งเข้ามาเพื่อควบคุมการทำงานของตัวอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รีจิสเตอร์ที่กล่าวมาข้างต้น บางตัวจะมีการกำหนดหน้าที่การทำงานเป็นบิตๆ โดยแต่ละบิตแยกกันอย่างอิสระ

แอดเดรส					หน้าที่	
CS0-	CS1-	DA2	DA1	DA0	READ(DIOR-)	WRITE(DIOW-)
N	N	x	x	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
รีจิสเตอร์ Control Block						
N	A	0	X	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
N	A	1	0	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
N	A	1	1	0	Alternate Status	Device Control
N	A	1	1	1	ไม่ใช้	ไม่ใช้
รีจิสเตอร์ Command Block						
A	N	0	0	0	Data	Data
A	N	0	0	1	Error	Error
A	N	0	1	0	Sector Count	Sector Count
A	N	0	1	1	Sector Number	Sector Number
A	N	1	0	0	Cylinder Low	Cylinder Low
A	N	1	0	1	Cylinder High	Cylinder High
A	N	1	1	0	Device/Head	Device/Head
A	N	1	1	1	Status	Status
A	A	x	x	X	Invalid address	Invalid address

A=signal asserted , N=signal negated , x=don't care

ตารางที่ 3.2 แสดงแอดเดรสของรีจิสเตอร์ตามมาตรฐาน ATA

62065
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 โปรโตคอลการส่งข้อมูล

การควบคุมอุปกรณ์ตามมาตรฐาน ATA นั้นต้องส่งข้อมูลเข้าไปยังรีจิสเตอร์ต่างๆของตัวอุปกรณ์นั้นๆ โดยการส่งข้อมูลเข้าไปยังรีจิสเตอร์ภายในนั้นจำเป็นจะต้องมีลำดับในการเขียนรีจิสเตอร์ต่างๆ อย่างถูกต้องจึงจะสามารถส่งคำสั่งได้อย่างถูกต้อง

โปรโตคอลในการส่งคำสั่งเพื่อควบคุมการทำงานของอุปกรณ์ สามารถแบ่งออกไดเป็นประเภทต่างๆตามข้อมูลที่อ่านออกมาจากตัวอุปกรณ์ซึ่งสามารถแบ่งออกได้เป็น 3 ประเภท

- คำสั่งที่ไม่มีการส่งข้อมูลกลับจากตัวอุปกรณ์
- คำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO
- คำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA

โปรโตคอลทั้งสามจะมีส่วนที่คล้ายกันและต่างกันในบางส่วน ซึ่งจะขอกล่าวแยกเป็นชนิดๆ ดังนี้

3.1.4.1 โปรโตคอลการส่งคำสั่งที่ไม่มีการส่งข้อมูลกลับ

ลำดับการส่งคำสั่งที่ไม่มีการส่งข้อมูลจากตัวอุปกรณ์กลับมายังโฮสท์เป็นไปดังนี้

1. โฮสท์ต้องเช็คค่าบิต BSY ภายในรีจิสเตอร์สถานะ (Status Register) จนกว่าบิต BSY จะเท่ากับ 0
2. เขียนรีจิสเตอร์ Device/Head เพื่อเลือกอุปกรณ์ที่ต้องการควบคุม
3. ตรวจสอบค่าภายในรีจิสเตอร์สถานะ (Status Register) โดยรอจนกว่าบิต BSY จะเท่ากับ 0 และบิต DRDY จะเท่ากับ 1
4. เขียนพารามิเตอร์ต่างๆที่แต่ละคำสั่งต้องการลงในรีจิสเตอร์ต่างๆ ตามความต้องการของแต่ละคำสั่ง
5. เขียนคำสั่งที่ต้องการลงในรีจิสเตอร์คำสั่ง (Command Register)
6. เมื่ออุปกรณ์ได้รับการเขียนรีจิสเตอร์คำสั่ง ตัวอุปกรณ์จะเซ็ทบิต BSY เป็น 1 และปฏิบัติตามคำสั่งที่สั่ง
7. เมื่อทำงานตามคำสั่งนั้นๆเสร็จสิ้นอุปกรณ์จะเคลียร์ค่าบิต BSY และส่งสัญญาณอินเทอร์รัพท์กลับมายังโฮสท์
8. ในกรณีที่เกิดความผิดพลาดในการส่งข้อมูลจะรายงานความผิดพลาดในรีจิสเตอร์ Error

3.1.4.2 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO

การส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO นี้จะมีส่วนที่เหมือนกับการส่งข้อมูลที่ไม่มีการส่งข้อมูลกลับตั้งแต่ลำดับที่ 1 ถึงลำดับที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. โฮสท์ต้องเช็คค่าบิต BSY ภายในรีจิสเตอร์สถานะ (Status Register) จนกว่าบิต BSY จะเท่ากับ 0

2. เขียนรีจิสเตอร์ Device/Head เพื่อเลือกอุปกรณ์ที่ต้องการควบคุม

3. ตรวจสอบค่าภายในรีจิสเตอร์สถานะ (Status Register) โดยรอจนกว่าบิต BSY จะเท่ากับ 0 และบิต DRDY จะเท่ากับ 1

4. เขียนพารามิเตอร์ต่างๆที่แต่ละคำสั่งต้องการลงในรีจิสเตอร์ต่างๆ ตามความต้องการของแต่ละคำสั่ง

5. เขียนคำสั่งที่ต้องการลงในรีจิสเตอร์คำสั่ง (Command Register)

6. อุปกรณ์จะเซ็ตบิต BSY และปฏิบัติตามคำสั่งที่ส่งเข้าไป และเตรียมส่งข้อมูลชุดแรกไปยังโฮสท์

7. เมื่อพร้อมที่จะส่งข้อมูลออกมา อุปกรณ์จะเซ็ตบิต DRQ เคลียร์บิต BSY และส่งสัญญาณอินเทอร์รัพท์กลับมายังโฮสท์

8. โฮสท์อ่านข้อมูลจากตัวอุปกรณ์

9. เซ็ตบิต DRQ ภายในรีจิสเตอร์สถานะ ถ้าบิต DRQ เท่ากับ 1 หมายถึงยังมีข้อมูลเวิร์ดถัดไปที่จะส่งออกมายังโฮสท์ แต่ถ้าหมดข้อมูลที่จะส่งแล้วบิต DRQ จะเท่ากับ 0 และบิต BSY จะเท่ากับ 0

3.1.4.3 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA

การส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA นี้จะคล้ายกับการส่งข้อมูลที่ส่งข้อมูลที่ไม่มีการส่งข้อมูลกลับตั้งแต่ลำดับ 1ถึง 5 เช่นเดียวกับการส่งข้อมูลกลับแบบ PIO แต่หลังจากนั้นการส่งข้อมูลจากตัวโฮสต์จะเป็นไปตามมาตรฐานการส่งข้อมูลแบบ DMA ซึ่งในงานนี้ไม่ได้ใช้โปรโตคอลนี้จึงไม่ขอกล่าวละเอียด

3.2 ATAPI

มาตรฐาน ATAPI เป็นมาตรฐานที่อยู่บนมาตรฐาน ATA อีกทีหนึ่ง จากเดิมที่การควบคุมอุปกรณ์ในมาตรฐาน ATA เพียงเวิร์ดเดียวในการสั่งงาน ในมาตรฐาน ATAPI นี้จะเปลี่ยนรูปแบบการส่งคำสั่งจากเวิร์ดเดียวเป็นแพ็คเกตขอคำสั่งแทน เพื่อความยืดหยุ่นในการสั่งงานอุปกรณ์ แต่ถึงอย่างไรก็ตามมาตรฐานATAPI เป็นมาตรฐานที่อยู่บนมาตรฐาน ATA ดังนั้นการเชื่อมต่อขาเชื่อมต่อ (Connector) และลำดับการส่งสัญญาณจะเหมือนกับมาตรฐาน ATA ทั้งหมด ส่วนที่แตกต่างไปบ้างคือ รีจิสเตอร์ภายในอุปกรณ์ที่มีการเปลี่ยนแปลงหน้าที่การทำงานไปบางส่วน และส่วนที่แตกต่างกันกับมาตรฐาน ATA อย่างชัดเจนข้อหนึ่ง คือโปรโตคอลที่ใช้ส่งคำสั่งควบคุมอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 ATAPI Protocol

ATAPI Device จะถูกสั่งด้วยวิธีการ 2 วิธีด้วยกัน คือ

1. คำสั่งพื้นฐานของมาตรฐาน ATA
2. คำสั่งแบบเป็นแพ็คเก็ต (Packet Command)

ทั้งสอง 2 วิธีอุปกรณ์จะคอยรับคำสั่งจาก Host เพื่อปฏิบัติตามและจะแจ้งสถานะของตัวอุปกรณ์ให้กับ Host เมื่อทำคำสั่งเสร็จ แต่ถ้ามีอุปกรณ์มากกว่า 1 ตัว ต่อพ่วงกันอยู่ คำสั่งจะถูกเขียนไปสู่ทุกตัวและจะมีเฉพาะคำสั่งเลือกอุปกรณ์เท่านั้นที่จะทำ โดยที่ Device 1 จะแจ้งสถานะของตัวมันสู่ Device 0 ผ่านทางบิต PDIAG

"The Protocol" ของ ATAPI ก็คือการใช้คำสั่ง ATA แบบใหม่ที่เรียกว่า "ATAPI Packet Command"

โปรโตคอลของ ATA ทั้งหมดจะถูกส่งเป็นแบบ Packet Command แต่เมื่อมีการส่งคำสั่งออกไปแล้วจะมีกฎใหม่ๆเพิ่มเข้ามา

1. บิต DRQ ที่อยู่ใน Status Register จะถูกนำมาใช้ร่วมกับ Interrupt Reason Register เพื่อกำหนด Interrupt Type
2. คำสั่งของการจัดการกับตัวอุปกรณ์จะถูกส่งเป็น Packet ผ่าน Data Register
3. ค่าคำสั่งที่ส่งไปโดย Packet Command จะเหมือนกับของ Task File
4. Byte Count จะถูกใช้เพื่อกำหนดปริมาณข้อมูลที่ Host จะถ่ายโอนไปในแต่ละ DRQ Interrupt
5. The ATAPI Feature Register จะถูกใช้เพื่อบอกเมื่อ DMA ถูกใช้ ด้วยการใช้ออปโคด (Opcode) ที่ต่างกัน
6. สถานะสุดท้ายที่จะชี้บอกกับตัว Host จะส่งเป็น interrupt หลังจากข้อมูลสุดท้ายได้ถูกถ่ายโอนไป

โปรโตคอลที่ว่ามานี้จะถูกเพิ่มเข้ามาเมื่อมีการส่ง Packet Command ออกไปแล้วเท่านั้นจนกระทั่ง Host ได้อ่าน Completion Status หลังจาก Host ได้ทำการอ่าน Completion Status แล้ว Task File Register และProtocol ต่างๆจะกลับเข้าสู่รูปแบบมาตรฐานของ ATA

3.2.2 ATAPI PACKET Command

ATAPI Packet Command จะคล้ายกับคำสั่งของ ATA ปกติ โดยการเริ่มต้นด้วย The Task Register และการเซ็ต Drive Selection Bit และการเขียนไบต์คำสั่งเข้าไปใน Command Register ด้วยคำสั่ง ATA ปกติ บิต DRQ จะถูกสร้างขึ้นมาเพื่อบอกว่าข้อมูลสำหรับคำสั่งควรจะถูกส่งเข้าไปหรือออกมาจากตัวอุปกรณ์ แต่ถ้าเป็นรูปแบบ Packet Command บิต DRQ จะถูกสร้างมาเพื่อบอกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Command Packet Data ควรจะถูกเขียนเข้าไปในตัวอุปกรณ์ในการส่งแบบ ATA Packet Command สามารถที่จะส่งคำสั่งออกไปได้โดยไม่ต้องสนใจสถานะของบิต DRDY Status

Addresses					Function	
CS0-	CS1-	DA2	DA1	DA0	Read (DIOR-)	Write (DIOW-)
					Control Block Register	
0	1	0	0	0	Floppy Status A	Unused
0	1	0	0	1	Floppy Status B	Unused
0	1	0	1	0	Unused	Floppy Digital Output Register
0	1	0	1	1	Floppy ID / Tape control	Reserved
0	1	1	0	0	Floppy Controllers Status	Reserved
0	1	1	0	1	Floppy Data Register	
0	1	1	1	0	Alternate ATAPI Status	Device Control
0	1	1	1	1	Obsolete	Not Used
					Command Block Register	
1	0	0	0	0	Data Register	
1	0	0	0	1	ATAPI Error Register	ATAPI Feature
1	0	0	1	0	ATAPI Interrupt Reason Register	Unused
1	0	0	1	1	Reserved for SAM TAG Byte	
1	0	1	0	0	ATAPI Byte Count Register (bits 0 – 7)	
1	0	1	0	1	ATAPI Byte Count Register (bits 8 – 15)	
1	0	1	1	0	Drive Select	
1	0	1	1	1	ATAPI Status	ATA Command

*หมายเหตุ : ส่วนที่แรเงาสีเทาอ่อนไม่ได้ใช้ในโครงงานนี้

ตารางที่ 3.3 แสดงรายละเอียดเกี่ยวกับรีจิสเตอร์ต่างๆที่ใช้ใน ATAPI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 Status Register for Packet Command

การติดต่อเข้าไปหรือออกมาจากตัวอุปกรณ์จะกระทำผ่าน I/O Register ซึ่งจะทำผ่านรีจิสเตอร์ที่ถูกเลือกโดยการในใส่สัญญาณจาก Host (CS0-, CS1-, DA2, DA1, DA0, DIOR-, DIOW-) ซึ่งจะแสดงได้ดังตารางที่ 3.3

ใน ATAPI Register จะอ้างอิงด้วยการใช้ขนาด 8 บิตทุกตัว ยกเว้น Data Register จะใช้ขนาดในการติดต่อเป็น 16 บิต เราจะทำการอธิบายหน้าที่ต่างๆของรีจิสเตอร์แต่ละส่วนดังนี้

3.2.3.1 ATAPI Device Control Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved				1	SRST	nIEN	0

รูปที่ 3.5 ATAPI Device Control Register

บิต 4 – 7 : สงวนไว้เผื่อใช้ในอนาคต

บิต 3 : เป็น 1 เสมอ

บิต 2 : SRST บิตนี้คือ Software Reset ซึ่งขั้นตอนในการรีเซ็ตจะทำเป็นขั้นตอนซึ่งจะได้อธิบายไว้ในตอนต่อไป

บิต 1 : nIEN บิตนี้จะเป็นตัว Enable/Disable ของ Interrupt ที่จะมีถึง Host

เมื่อ nIEN = 0 : ขา INTRQ จะอยู่ในสถานะ Tri-State Buffer

เมื่อ nIEN = 1 : ขา INTRQ จะอยู่ในสถานะ High Impedance

บิต 0 : เป็น 0 เสมอ

3.2.3.2 ATAPI Error Register

D7	D6	D5	D4	D3	D2	D1	D0
Sense Key				MCR	ABRT	EOM	ILI

รูปที่ 3.6 ATAPI Error Register

บิต 4 – 7 : Sense Key ซึ่งจะได้กล่าวต่อไป

บิต 3 : MCR (Media Change Requested) ถูกใช้ตามมาตรฐาน ATA

บิต 2 : ABRT(Aborted Command) ถูกใช้ตามมาตรฐาน ATA

บิต 1 : EOM (End of Media Detected)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 0 : ILI (Illegal Length Indication)

3.2.3.3 ATAPI Feature Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved						Overlap	DMA

รูปที่ 3.7 ATAPI Feature Register

บิต 2 – 7 : สงวนไว้เผื่อใช้ในอนาคต

บิต 1 : Overlap (Optional)

บิต 0 : DMA (Optional) บางคำสั่งจะถ่ายโอนข้อมูลผ่านการเชื่อมต่อแบบDMA แต่บิตนี้จะไม่ใช้ในการคำสั่งแบบแพ็คเก็ต (Command Packet)

3.2.3.4 ATAPI Interrupt Reason Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved					RELEASE	IO	CoD

รูปที่ 3.8 ATAPI Interrupt Reason Register

บิต 3 – 7 : สงวนไว้เผื่อใช้ในอนาคต

บิต 2 : RELEASE เป็นตัวบอกว่าอุปกรณ์ได้มีการปล่อย ATA bus ก่อนที่คำสั่งจะทำเสร็จ

บิต 1 : IO เป็นรีจิสเตอร์ที่ชี้บอกถึงทิศทางในการโอนถ่ายข้อมูลว่าข้อมูลเข้าไปใน Host หรือออกจาก Host โดย ถ้า IO = 1 แสดงว่าข้อมูลไหลเข้าไปใน Host

IO = 0 แสดงว่าข้อมูลไหลออกจาก Host

บิต 0 : CoD (Command or Data)

โดยถ้า CoD = 1 แสดงว่าข้อมูลที่โอนถ่ายกันเป็น คำสั่ง (Command)

CoD = 0 แสดงว่าข้อมูลที่โอนถ่ายกันเป็นข้อมูล (Data)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3.5 ATAPI Byte Count Register

D7	D6	D5	D4	D3	D2	D1	D0
Byte Count (bits 0 – 7)							
Byte Count (bits 8 – 15)							

รูปที่ 3.9 ATAPI Byte Count Register

Byte Count จะใช้ใน PIO Mode เท่านั้น การกระทำคำสั่งจะทำการเซ็ตก่อนที่จะมีการส่งคำสั่งแพ็คเก็ตออกไป (Command Packet) ในรีจิสเตอร์นี้จะประกอบไปด้วยขนาดของคำสั่งทั้งหมดที่จะมีการโอนถ่ายเพียงหนึ่งกลุ่มข้อมูลเท่านั้น เช่น คำสั่ง Mode Select/Sense สำหรับคำสั่งที่ต้องการ DRQ Interrupt หลายๆครั้ง เช่น คำสั่ง Read / Write จะทำโดยการเซ็ตขนาดที่ต้องการ เมื่อมีการส่งข้อมูล ตัวอุปกรณ์จะทำการเซ็ต Byte Count Register ให้มีขนาดเท่ากับจำนวนข้อมูลที่ Host จะทำการโอนถ่ายและจะทำการปล่อย DRQ Interrupt ข้อมูลภายในของรีจิสเตอร์จะไม่เปลี่ยนจนกว่าเวิร์ดข้อมูลแรกจะส่งเข้าไปหรือออกจาก Data Register เมื่อเริ่มมีการส่งข้อมูล ตัวอุปกรณ์จะทำการเปลี่ยนขนาดของ byte count

3.2.3.6 ATAPI Drive Select Register

D7	D6	D5	D4	D3	D2	D1	D0
1	Reserved	1	DRV	Reserved for SAM LUN			

รูปที่ 3.10 ATAPI Drive Select Register

บิต 4 : เป็นการเลือกตัวอุปกรณ์ว่าจะเป็นไดรฟ์ไหน

โดยถ้า DRV = 0 : แสดงว่าต้องการติดต่อกับ Device 0

DRV = 1 : แสดงว่าต้องการติดต่อกับ Device 1

3.2.3.7 ATAPI Status Register

D7	D6	D5	D4	D3	D2	D1	D0
BSY	DRDY	DMA/DF	SERVICE/DSC	DRQ	CORR	Reserved	CHECK

รูปที่ 3.11 ATAPI Status Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 7 : BSY (Busy) บิตนี้จะถูกเซ็ตเมื่อตัวอุปกรณ์มีการเข้าถึงข้อมูลภายใน Command Block

บิต 6 : DRDY เป็นบิตที่บอกว่าตัวอุปกรณ์มีการตอบสนองต่อคำสั่ง ATA

บิต 5 : DMA READY / DF บิตนี้จะเป็นตัวบอกว่าตัวอุปกรณ์นั้นพร้อมที่จะทำการโอนถ่ายข้อมูลในโหมด DMA บิตนี้จะถูกสงวนไว้ใช้ในอนาคตเพื่อเพิ่มความสามารถในการ Overlap

บิต 4 : SERVICE / DSC บิตนี้จะเป็นตัวบอกว่าตัวอุปกรณ์กำลังร้องขอ Service หรือ Interrupt และจะไม่เคลียร์บิตนี้จนกว่าจะได้รับคำสั่ง Service Command

บิต 3 : DRQ (Data Request) เป็นบิตที่บอกว่าตัวอุปกรณ์พร้อมที่โอนถ่ายข้อมูลระหว่าง Host กับตัวอุปกรณ์ ข้อมูลใน ATAPI Interrupt Reason จะมีการเปลี่ยนแปลงในระหว่างที่มี Packet Command และเมื่อ DRQ = 1

บิต 2 : CORR บิตนี้จะเป็นตัวบอกว่ามีการเกิด Correctable Error

บิต 1 : สงวนไว้เผื่อใช้ในอนาคต

บิต 0 : CHECK จะเป็นตัวบอกว่ามีการเกิด Error ขึ้นในระหว่างที่มีการประมวลผลของคำสั่งก่อนหน้านี้

3.3 ขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลเข้าสู่ Host

ขั้นตอนเหล่านี้จะประกอบด้วยคำสั่งเช่น คำสั่ง Inquiry, Read และอื่นๆ

1. Host จะต้องคอยเช็คค่า BSY = 0, DRQ = 0 แล้วก็เขียนพารามิเตอร์ต่างๆลงใน Feature, Byte Count และ Drive/Head Register
2. Host จะทำการเขียน Packet Command Code (A0H) เข้าไปใน Command Register
3. ตัวอุปกรณ์จะทำการเซ็ต BSY และทำการเตรียมรับคำสั่ง Packet Command
4. เมื่อตัวอุปกรณ์พร้อมที่จะรับคำสั่ง Packet Command ตัวอุปกรณ์จะทำการเซ็ตบิต CoD และเคลียร์บิต IO ส่วนบิต DRQ จะทำการเซ็ตขึ้นมาทันทีหรือก่อนที่บิต BSY จะเคลียร์ลง
5. หลังจากเจอสัญญาณ DRQ แล้ว Host ก็จะทำการเขียนคำสั่งจำนวน 12 ไบต์ลงใน Data Register
6. หลังจากนั้นตัวอุปกรณ์จะทำการเคลียร์ DRQ (เมื่อคำสั่งไบต์ที่ 12 ได้เขียนไปแล้ว) และจะทำการเซ็ตบิต BSY และจะทำการอ่าน Feature และ Byte Count ที่สั่งมาจาก Host และตัวอุปกรณ์จะทำการรอรับข้อมูลที่จะทำการโอนถ่ายมา
7. เมื่อมีข้อมูลเข้ามาตัวอุปกรณ์จะทำการใส่จำนวนไบต์ข้อมูลลงใน Byte Count Register และจะทำการเซ็ต IO และเคลียร์ CoD และจะทำการเซ็ต DRQ และเคลียร์ BSY และเซ็ต INTRQ
8. หลังจากเจอสัญญาณ INTRQ แล้ว Host จะทำการอ่าน DRQ เพื่อจะได้กำหนดคำสั่งต่อไป

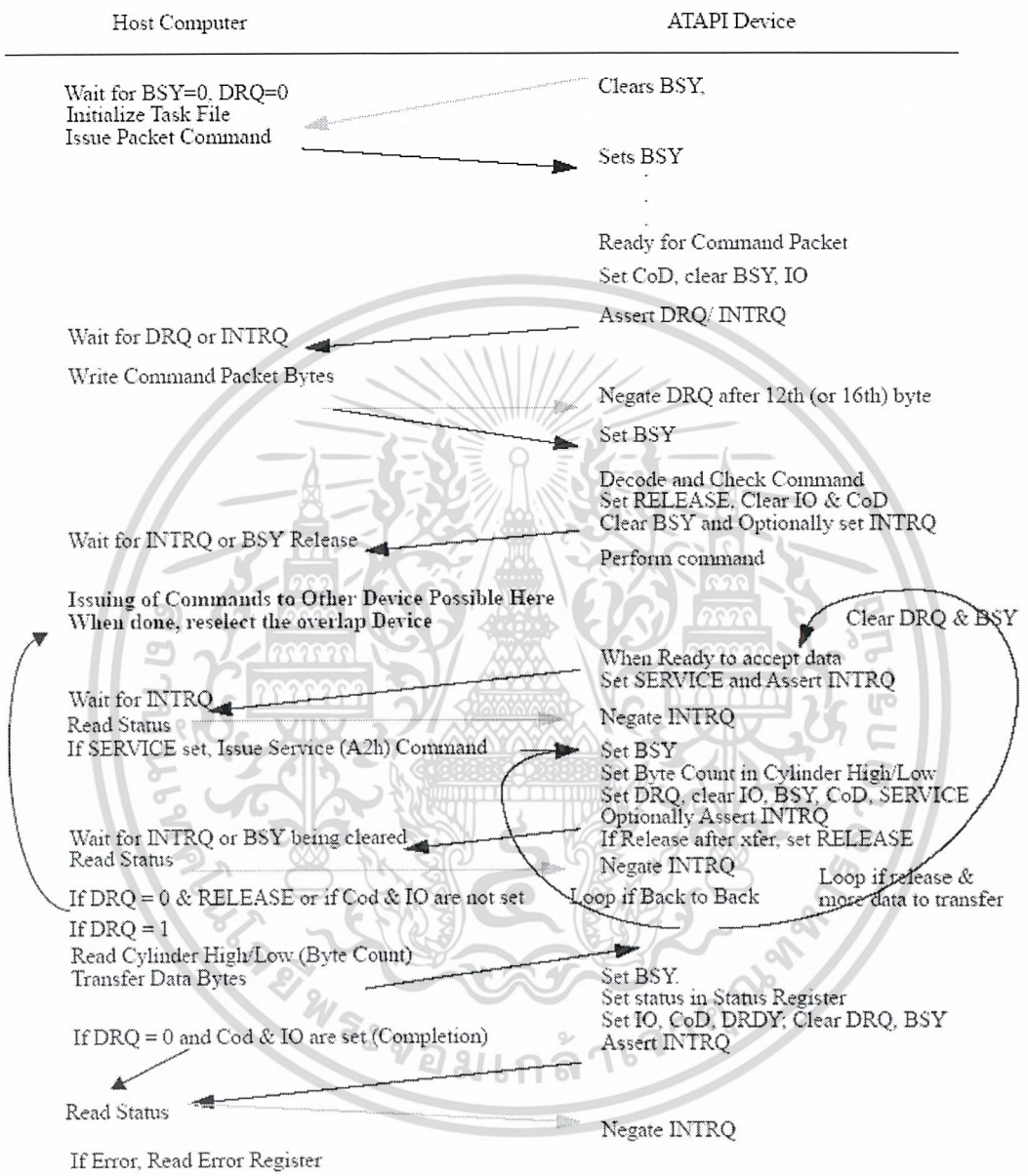
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า DRQ=0 ตัวอุปกรณ์จะทำการยุติคำสั่ง

ถ้า DRQ =1 แล้ว Host จะทำการอ่านค่าข้อมูล (จำนวนไบต์ใน Byte Count Register) ผ่านทาง Data Register

9. ตัวอุปกรณ์จะเคลียร์ DRQ (ถ้ามีความต้องการจะโอนถ่ายข้อมูลอีก BSY จะเท่ากับ 1 และให้ปฏิบัติตามตั้งแต่ ข้อ 7. ลงมา
10. เมื่อตัวอุปกรณ์พร้อมที่จะแสดงสถานะของตัวเอง ตัวอุปกรณ์จะทำการใส่ค่า Completion Status เข้าไปใน Status Register, และจะทำการเซ็ต CoD, IO, DRDY และเคลียร์ BSY, DRQ และปล่อยสัญญาณ INTRQ
11. หลังจากเจอสัญญาณ INTRQ&DRQ =0 Host จะทำการอ่าน Status Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 โฟลว์ชาร์ตขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลเข้าสู่ Host
และขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลออกจาก Host

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

วงจรแปลงดิจิตอลเป็นอนาล็อกในโครงงานนี้เริ่มต้นจาก นำสัญญาณดิจิตอลจากซีดีไดรฟ์ ซึ่งเป็นสัญญาณในมาตรฐาน S/P DIF เข้าสู่ไอซี CS8414 เพื่อเปลี่ยนเป็นสัญญาณ I2S แล้วเปลี่ยนเป็นสัญญาณอนาล็อกด้วย TDA1543 ในขั้นสุดท้าย ในส่วนของรายละเอียดต่างๆจะขอกล่าวในหัวข้อถัดไป
SPDIF: Sony-Philips Digital Interface Format

4.1 S/PDIF

4.1.1 ประวัติโดยย่อ

ตั้งแต่ช่วงต้นยุค 80 Digital audio เริ่มเป็นที่รู้จักจาก เครื่องเล่น CD ในช่วงเริ่มแรกสัญญาณเหล่านี้จะอยู่ในอุปกรณ์ และถูกแปลงเป็นอนาล็อกก่อนส่งออกมาจากตัวเครื่อง แนวทางใหม่คือการทำให้สัญญาณอยู่ใน Digital domainให้นานที่สุด เพราะเป็นวิธีเดียวที่จะคงคุณภาพของสัญญาณไว้ได้ เพื่อการติดต่อกันระหว่างดีไวซ์ใน Digital domain จึงมี interface หลายรูปแบบออกมา ซึ่งหนึ่งในมาตรฐานที่เป็นที่เป็นนิยมทั่วโลก คือ IEC958 1989-03(consumer part) จาก EBU มาตรฐานนี้เทียบได้กับ EIAJ CP-340 1987-9 ในญี่ปุ่น

4.1.2 คุณสมบัติเฉพาะตัว

มาตรฐาน IEC958 “Digital audio interface” จาก EBU(European Broadcasting Union) มีรายละเอียดดังนี้

- Audio format: linear 16 bit เป็นหลัก (สามารถขยายได้ถึง 24 bit)
- ความถี่แซมปลิงของ audio (F_s)ที่ใช้ได้
  - จาก CD 44.1 kHz
  - จาก DAT 48 kHz
  - จาก DSR 32 kHz
- การสื่อสารทางเดียว (จากตัวส่งไปยังตัวรับ)
- ข้อมูลการควบคุม:
  - V (validity) bit:
  - U (user) bit:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- C (Channel status) bit:
- P (Parity) bit:

- รูปแบบ coding: biphase mark นอกเหนือจาก header (preamble) สำหรับ sync
- Bandwidth: 100 kHz ถึง 6 MHz (no DC)
- Bitrate ของสัญญาณ : 2.8 MHz(F_s=44.1 kHz), 2 MHz(F_s=32 kHz), 3.1 MHz(F_s=48 kHz)
- สายสัญญาณ : 75 Ω ±5%(I<10m) หรือ 75 Ω ±35%(I<10m)
- ตัวขับสายสัญญาณ
  - Z_{out} : 75 Ω ±20% (100 kHz ถึง 6MHz)
  - V_{out} :0.4 ~ 0.6 V_{pp}, <0.05 V_{dc} (terminateด้วย 75 Ω)
- ตัวรับสายสัญญาณ
  - Z_{in} : 75 Ω ±5%
  - V_{in} :0.2 ~ 0.6 V_{pp}

4.1.3 การอินเตอร์เฟส

มาตรฐาน IEC958 (International Electrotechnical Commission) เป็นมาตรฐานใหม่ที่เข้ามาแทนที่มาตรฐาน AES/EBU (Audio Engineering Society/European Broadcasting Union) ซึ่งมาตรฐาน S/PDIFก็เป็นมาตรฐานฉบับ "ผู้บริโภค"ของ IEC958 เมื่อเทียบกันระหว่างสองมาตรฐานแล้ว จะเห็นได้ว่าค่อนข้างใกล้เคียงกันมาก จะต่างกันก็ตรงส่วน subcode information กับ connector ในรูปแบบสำหรับมืออาชีพจะใช้อักขระแบบ ASCII สำหรับระบุผู้ส่งและผู้รับ แต่รูปแบบสำหรับการธุรกิจจะใช้เป็น SCMS แทน ดังที่เปรียบเทียบในตารางที่ 4.1

หมายเหตุ: AES/EBUจะมีสาย 75 โอห์ม แบบ BNC อยู่เช่นกัน ซึ่งจะมีคุณสมบัติทางไฟฟ้าใกล้เคียงกับสายไฟ 75 โอห์ม แบบโคแอกเชียลของ S/PDIF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	AES/EBU	S/PDIF
Cabling	110 ohm shielded TP	75 ohm coaxial or fiber
Connector	3-pin XLR	RCA (or BNC)
Signal level	3~10 V	0.5~1 V
Modulation	Biphase-mark-code	Biphase-mark-code
Subcode information	ASCII ID text	SCMS copy protection info
Max. Resolution	24 bits	20 bits (24 bit optional)

ตารางที่ 4.1 ตารางเปรียบเทียบระหว่าง AES/EBU กับ S/PDIF

คุณสมบัติทางไฟฟ้าของ AES/EBU จะเป็นไปตามข้อกำหนด RS-422 ดังนั้นจึงเป็นไปตามพื้นฐานชิปตัวรับและตัวส่งของ RS422 การต่อสายโคแอ็กเชียลของ S/PDIF จะไม่เฉพาะเจาะจงกับมาตรฐานใด (แต่ signal level และ Bandwidth ค่อนข้างจะเหมือนกับข้อบังคับของ video signal บางจำพวก

ทั้ง S/PDIF และ AES/EBU สามารถส่งข้อมูล 24 bit ได้ ในมาตรฐาน AES/EBU ส่วน 4 บิตสุดท้ายจะถูกจองไว้สำหรับใช้งาน ดังนั้นถ้ามีการส่งข้อมูลในช่วงดังกล่าว อาจทำให้ผิดมาตรฐานได้ แต่ถ้าเป็น S/PDIF จะไม่มีการจองบิตไว้ จึงสามารถส่งข้อมูลไปหมดทั้ง 24 bitได้ โดยปกติแล้วอุปกรณ์จะใช้แค่16บิต หรือ20บิตเท่านั้น ในขณะที่อุปกรณ์จำนวนมากใช้มากกว่า 16 บิตในการประมวลผลภายในจึงไม่ใช่เรื่องแปลกที่เอาท์พุทจะถูกจำกัดที่ 16 บิต

4.1.4 การต่อสายแบบ 2 pin สำหรับอุปกรณ์ PC บางประเภท

CD drive และ Soundcard (SB32, AWE32, etc.) จะมีขั้วต่อเอาท์พุท 2 pin อยู่ที่ท้ายของไดรฟ์และบางครั้งเรามักเรียกการอินเตอร์เฟสนี้ว่า S/PDIF แต่สัญญาณไฟฟ้าที่ออกมาจากไดรฟ์ไม่เป็นไปตามมาตรฐานเสียทีเดียว นั่นคือ รูปแบบข้อมูลจะตรงตามมาตรฐาน แต่ระดับสัญญาณจะเป็น TTL (5 V_{pp}) แทนที่จะเป็น 1 V_{pp} เพื่อที่จะง่ายต่อการติดต่อกับอุปกรณ์ดิจิตอลอื่นในคอมพิวเตอร์ (ทำให้สามารถหลีกเลี่ยงการใช้ตัวขับเอาท์พุทและวงจรขยายที่อินพุท) ดังนั้นก่อนที่ต่อกับอุปกรณ์ S/PDIF จึงต้องต่อคั่นด้วยวงจรอิเล็กทรอนิกส์บางอย่างเพื่อจะแปลงสัญญาณให้เป็นไปตามมาตรฐาน

4.1.5 Multi channel audio และ S/PDIF

มาตรฐาน IEC958นั้นเคยมีชื่อว่า IEC60958ในปี1998 IEC60958(S/PDIF) สามารถรองรับสัญญาณเพลงทั่วไปและ IEC61937 DataStream ได้ DataStream แบบ IEC61937 สามารถบรรจุเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประเภท multichannel อย่างเช่น MPEG2, AC3 หรือ DTSได้ เมื่อดาต้าสตรีม IEC61937 ถูกส่งออกมา บิตต่างๆที่ปกติจะเป็น audio sampleจะถูกแทนด้วยบิตข้อมูลจากดาต้อสตรีม และ ส่วนหัวของสัญญาณ S/PDIF ในส่วนข้อมูลสถานะของ channel นั้นจะประกอบไปด้วยข้อมูลบิตเดียว ที่จะบอกว่าข้อมูลใน S/PDIF frameจะเป็น digital audio หรือ dataอื่นๆ (DTS, AC3, MPEG audio ฯลฯ) บิตนี้จะบอกให้อุปกรณ์ digital audio ธรรมดาที่ไม่ได้ลองเล่นข้อมูลนี้ในเมื่อมันเป็น audio sample

อุปกรณ์ที่สามารถจัดการได้กับทั้ง Audioทั่วไปและIEC61937 ต้องทำแค่พิจารณา header bits ว่าต้องทำอย่างไรกับข้อมูลที่ได้รับ

4.1.6 รายละเอียดการต่อสายเคเบิ้ล

S/PDIF (IEC-958) ใช้สายโคแอ็กเชียล 75 โอห์มและขั้วต่อแบบ RCA สายโคแอ็กเชียลชนิดนี้ราคาไม่แพง เพราะเป็นสายแบบเดียวกับที่ใช้ในการส่งสัญญาณ video โดยปกติแล้วการเชื่อมต่อด้วยสายโคแอ็กเชียล 75 โอห์มคุณภาพดีจะสามารถไปได้ไกลอย่างน้อย 10-15 เมตร

การอินเตอร์เฟส AES/EBU ใช้การเชื่อมต่อสมมาตรที่รู้จักกันดี โดยการแยกหม้อแปลงและ output impedance 110 โอห์ม ระดับสัญญาณที่ใช้จะสูงกว่าในฉบับผู้บริโภค (3~10 volt) เพราะสัญญาณเพลงดิจิตอล AES/EBU จะถูกส่งที่ความถี่สูงแบบ video (ราวๆ 6 MHz) และควรจะถูกควบคุมแตกต่างจากสายมาตรฐาน analog audio โดยทั่วไปแล้วจะใช้ สาย XLR-3 microphoneกัน ซึ่งมีอิมพีแดนซ์หลากหลาย (ปกติ 30~90 โอห์ม) และมีคุณภาพการส่งสัญญาณดิจิตอลที่แย่ ผลก็คือสัญญาณไปไม่ถึงและการลดความยาวสายเป็นผลต่อการไม่เข้ากันของอิมพีแดนซ์ (VSWR) ระหว่างอุปกรณ์ AES/EBU 110 โอห์ม การส่งสัญญาณ AES/EBU จะใช้ได้กับความยาวสาย 20-30 เมตร(กรณีที่สายมีคุณภาพดี)

S/PDIF จะมีการเชื่อมต่อด้วยสายนำแสงเช่นกัน มักจะเรียกว่า Toslink เนื่องจากใช้กับ Toslink optical component สื่อการส่งสัญญาณเป็นสาย plastic fiber 1mm และส่งโดยใช้แสงในช่วงความถี่ที่มองเห็นได้ (LED สีแดง) สัญญาณแสงจะมีรูปแบบข้อมูลเช่นเดียวกันกับการส่งผ่านสายไฟฟ้า เพียงแต่ใช้การติด/ดับของแสงแทน เพราะการลดทอนของสัญญาณแสงในสาย Toslink fiberoptic มีสูง จึงทำให้การส่งโดยใช้เทคนิคนี้ทำได้ไกลเพียง 10 เมตร (ในบางอุปกรณ์ได้แค่ 2-3 เมตร)

4.1.7 สิ่งที่ทำให้เสียงในสัญญาณดิจิตอลผิดเพี้ยน

สิ่งที่ส่งผลให้เสียงจาก Digital interface ผิดเพี้ยนไป มี 2 อย่าง คือ

1) Jitter (clock phase noise)

คือ ความผิดพลาดที่เกิดขึ้นจากการที่คลื่นเลื่อนไปจากฐานเวลาเดิม(เฟสเปลี่ยนแต่ความถี่คงเดิม) เป็นปัญหาที่ส่งผลเฉพาะเสียงของสัญญาณที่ไปยัง DAC โดยตรงเท่านั้น ถ้าพิจารณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของคอมพิวเตอร์ จะเห็นว่าคอมพิวเตอร์จะ reclock สัญญาณทุกอย่าง เช่นเดียวกับ CD-recorder, DAT tape และดีไวซ์ประเภทเดียวกัน ดังนั้น DAC สมัยใหม่โดยปกติแล้วจะมีบัฟเฟอร์เล็กๆและวงจร reclock ดังนั้นในปัจจุบัน jitter จึงไม่ใช่ปัญหาใหญ่

2) Errors

นี่ส่งผลต่อการเปลี่ยนแปลงที่มีความสำคัญเป็นอย่างมากในเสียง มักเป็นเสียง "ปุ"ดังๆ แต่บางครั้งก็ส่งผลเพียงเล็กน้อย การสูญหายของข้อมูลหรือความผิดพลาด อาจทำให้เป็นสิ่งที่บ่งถึงการเชื่อมโยงที่เสียหายซึ่งอาจจะขาดหายเป็นช่วงๆ

4.1.8 สัญญาณ S/PDIF

สัญญาณของดิจิตอลเอาท์พุทจาก CD player ส่วนมากจะเป็น sine-wave สมบูรณ์ มีแอมพลิจูดประมาณ 500 mV_{μ} และความถี่ 3 MHz

จากแต่ละsample ข้อมูล 32 bit จะถูกส่งไป 2 ครั้ง ซึ่งผลของบิตเรทที่ได้เป็นดังนี้

2.8224 Mbit/s (44.1 kHz sampling rate, CD, DAT)

3.072 Mbit/s (48 kHz sampling rate, DAT)

2.048 Mbit/s (32 kHz sampling rate, for satellite purposes)

เอาท์พุทอิมพีแดนซ์มีค่าเท่ากับสายโคแอ็กเชียลธรรมดาที่ใช้งานกับพวก Video ระดับอินพุทต่ำสุดของ S/PDIF คือ 200 mV_{μ} ซึ่งอนุโลมสำหรับการสูญเสียในสายเล็กน้อย ไม่จำเป็นที่จะต้องใช้สายคุณภาพพิเศษ เพียงแค่เป็นสายโคแอ็กเชียล 75 โอห์มก็สามารถใช้งานได้ (สายสำหรับงาน video ใช้กับ S/PDIF ได้เป็นอย่างดี)

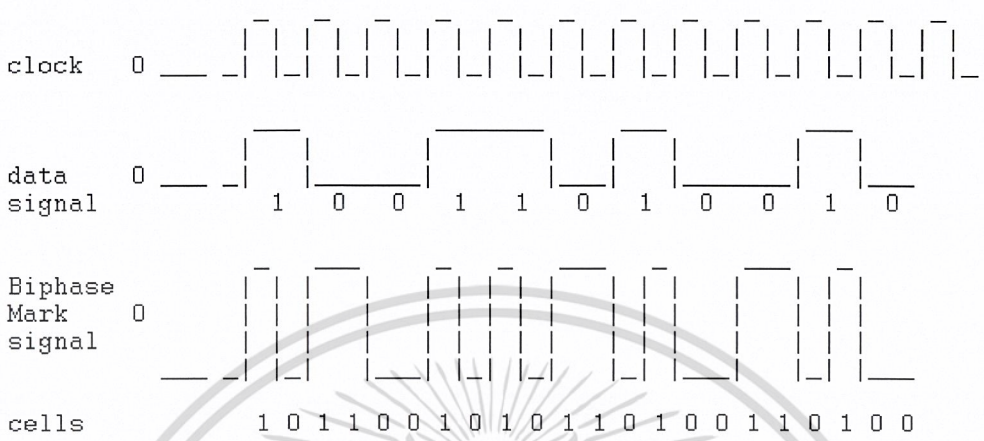
4.1.9 รูปแบบการ Coding

สัญญาณดิจิตอลจะถูกเข้ารหัสโดยใช้ Biphase-mark-code(BMC) ซึ่งเป็นการมอดดูเลชั่นชนิดหนึ่ง ในระบบนี้ ค่า "1 จะเป็นสัญญาณ 01 หรือ 10 ครบลูกคลื่น ส่วนค่า "0 จะเป็นค่าเดิมจนครบหนึ่งบิตข้อมูล ดังแสดงในรูปที่ 4.1

ความถี่ของสัญญาณClockจะเป็นสองเท่าของบิตเรท ดาต้าทุกๆบิตจะถูกแสดงในรูปของสถานะลอจิกทั้งสอง พร้อมไปกับรูปแบบของ cell ความยาวของ cell (หรือ time- slot) จะเท่ากับความยาวของดาต้าบิต ระดับลอจิกจะเริ่มจากค่าตรงข้ามกับบิตก่อนหน้า

ค่า 4 บิตแรก จาก 32 บิต(Bit 0 ถึง 3) จะเป็น preamble ที่จัดการเกี่ยวกับการ synchronization sync-pattern นี้จะไม่มีดาต้าใดๆอยู่ แต่จะกินจำนวนเท่ากับ 4 ดาต้าบิต มันไม่ใช้ BMC ดังนั้น bit pattern ซึ่งรวมถึงที่เป็น "0 หรือ "1 เกินกว่า 2 cell สามารถเกิดขึ้นได้ (ในความเป็นจริง มักจะเป็นเช่นนั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 การมอดดูเลชันแบบ BMC

Sync-pattern มี 3 รูปแบบ ดังแสดงในตารางที่ 4.2 แต่มันสามารถปรากฏในรูปแบบแตกต่างกัน ขึ้นอยู่กับเซลสุดท้ายของ 32-bit word ก่อนหน้านี้

Preamble	cell-order (last cell ‘0)	cell-order (last cell ‘1)
“B”	11101000	00010111
“M”	11100010	00011101
“W”	11100100	00011011

ตารางที่ 4.2 รูปแบบสัญญาณ sync

Preamble B: บ่งบอกว่าเวิร์ดนี้มีข้อมูลของ channel A (ซ้าย) ที่เป็นจุดเริ่มต้นของ data block

Preamble M: บ่งบอกว่าเวิร์ดนี้มีข้อมูลของ channel A โดยที่ไม่ได้เป็นจุดเริ่มต้นของ data block

Preamble W: บ่งบอกว่าเวิร์ดนี้มีข้อมูลของ channel B (ขวา, สำหรับ stereo) เมื่อใช้มากกว่า 2 channel ก็อาจจะเป็น channel อื่น (นอกเหนือจาก A)

4.1.10 Word and Block Formats

ทุก sample จะถูกส่งออกมาเป็น เวิร์ด 32 บิต(subframe) บิตเหล่านั้นมีความหมายดังตารางที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ความหมาย
0-3	Preamble
4-7	Auxiallary-audio-databits
8-27	Sample (ใช้ได้ทั้งหมด 24 บิต ในCD-player ใช้เพียง 16 บิต คือ ตั้งแต่บิต 13 (LSB) ถึง 27 (MSB) ส่วนบิตที่ 4 ถึง 12 จะเป็น “0)
28	Validity (ถ้าเป็น “1 ส่วน sample จะไม่ถูกใช้โดยตัวรับ ในCD-player ใช้ “Error flag” เพื่อเซตค่าบิตนี้เป็น “1)
29	Subcode-data
30	Channel-status-information
31	Parity (ไม่รวมบิตที่ 0 ถึง 3)

ตารางที่ 4.3 ความหมายในเวิร์ด 32 บิต

จำนวนของซับเฟรมที่ใช้จะขึ้นอยู่กับจำนวนของ channel ที่ถูกส่งไป ในเครื่อง CD-player ใช้ channel A และ B (ซ้าย/ขวา) ดังนั้นในแต่ละเฟรมจะประกอบด้วย สองซับเฟรม หนึ่ง block จะมี 192 frame และจะเริ่มด้วย Preamble “B” ยกตัวอย่างเช่น

“M” Ch.1 “W” Ch.2 “B” Ch.1 “W” Ch.2 “M” Ch.1 “W” Ch.2 “M” ..

Block start

4.1.11 Channel status และ Subcode information

ในแต่ละบล็อกจะมี Channel status และ subcode info อยู่ 384 บิต channel-status bit ในทั้งสองซับเฟรมจะเท่ากัน ดังนั้นจะมี channel status จริงเพียง 192 บิต ซึ่งมีรายละเอียดดังแสดงในตารางที่ 4.4

ในส่วน Subcode-bits จะสามารถใช้งานได้โดยผู้ผลิต ซึ่งจะใช้เป็นบล็อก 1176 บิต ก่อนที่ sync-word จำนวน 16 บิตจะถูกส่งออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ความหมาย
0-3	controlbits Bit 0 : 0 (เป็น 1 ระหว่างการส่งแบบ 4 channel) Bit 1 : 0 = Digital audio, 1 = Non-audio (ต้องเป็น 0 สำหรับข้อกำหนดเก่า)
4-7	0 (reserved)
9-15	category-code 0 = common 2-channel format 1 = 2-channel CD-format (เซ็ตโดย CD-player ขณะส่ง subcode) 2 = 2-channel PCM-encoder-decoder format ค่าอื่นๆ = ไม่ใช้
19-191	0 (reserved)

ตารางที่ 4.4 Channel status

4.1.12 Electrical Interface

การเชื่อมต่อของสัญญาณ S/PDIF จะเป็นสายโคแอ็กเชียล 75 โอห์ม หรือจะเป็นสายออปติกไฟเบอร์ (Toslink) ก็ได้ โดยปกติ โมเดลสำหรับผู้บริโภคมักจะใช้สายโคแอ็กเชียล และพวกอุปกรณ์สำหรับมืออาชีพมักจะใช้สายออปติก สัญญาณไฟฟ้าในสายโคแอ็กเชียลจะอยู่ที่ประมาณ 500 mVtt

4.2 I^2S BUS

ระบบสัญญาณ digital audio มากมายหลายแบบ ได้นำมาใช้ในตลาดของผู้บริโภคมากขึ้น เช่น compact disc, เทป digital audio, digital sound processor, digital TV-sound โดยสัญญาณdigital audio ในระบบเหล่านี้มักจะถูกประมวลผลใน IC แบบVLSI เช่น

- A/D และ D/A Converters
- digital signal processors
- digital filters
- digital input/output interfaces
- error conrrection for compact disc and digital recording

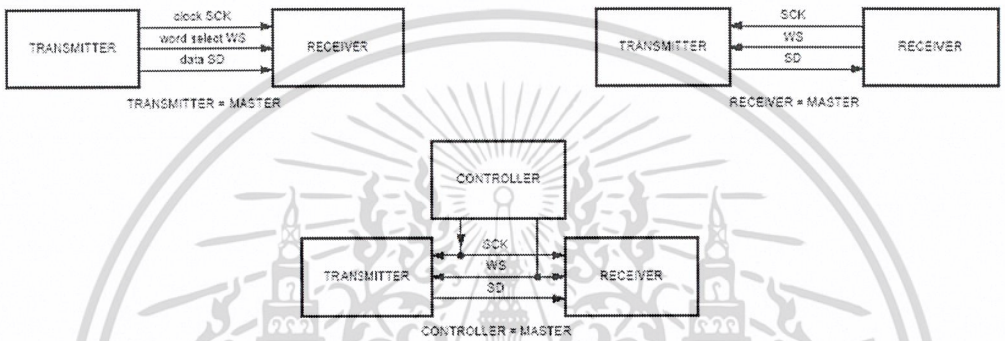
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I^2S BUS มีสัญญาณ 3 เส้น คือ

1.continuos serial clock (SCK)

2.word select (WS)

3.serial data(SD)



รูปที่ 4.2 แสดงโครงสร้างของระบบ I^2S BUS

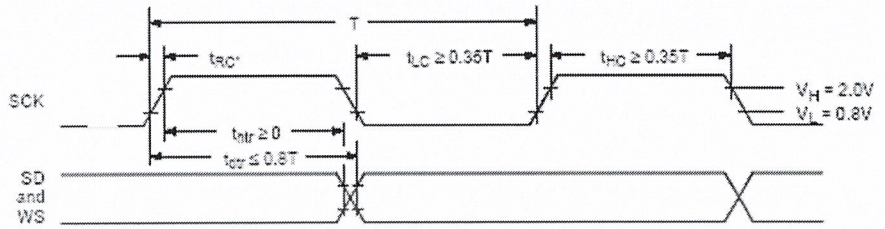
4.2.1 Serial data

Serial data เป็นข้อมูลที่ถูกส่งในรูปแบบของ two's complement โดยจะส่งบิตMSB ออกมาก่อน เพราะว่าตัวส่ง (transmitter) และตัวรับ (receiver) อาจมี ความยาวของบิตข้อมูล (word length) ที่ต่างกัน โดยตัวส่งไม่จำเป็นต้องทราบจำนวนบิตที่ตัวรับสามารถรับได้ แต่ตัวรับจำเป็นต้องทราบจำนวนบิตทั้งหมดที่ตัวส่งจะส่งมา

เมื่อสัญญาณที่จะส่งมีความยาวของบิตข้อมูลมากกว่าความยาวบิตข้อมูลที่รับได้ของตัวส่ง ข้อมูลจะ ถูกตัด (LSBจะถูกทำให้เป็น 0) สำหรับข้อมูลที่ส่งมา ถ้าตัวรับรับจำนวนบิตที่มากกว่าความยาวของบิตข้อมูล บิตข้อมูลที่อยู่หลัง LSB จะถูกตัดทิ้งไป แต่ถ้าตัวรับรับจำนวนบิตข้อมูลที่น้อยกว่าความยาวของบิตข้อมูล บิตที่เหลือจะถูก set เป็น 0 โดยบิต MSB จะถูก fix ตำแหน่งไว้ แต่ทว่าตำแหน่งของบิต LSB จะขึ้นอยู่กับความยาวของบิตข้อมูล ตัวส่งจะส่งบิต MSB ใน clock ถัดไปหลังจาก WS มีการเปลี่ยนแปลงจาก high เป็น low และlow เป็น high

Serial data ที่ส่งโดยตัวส่งจะต้อง synchronize ในแต่ละการเปลี่ยนแปลง (high เป็น low และ low เป็น high) ของ serial clock serial data ต้องถูกส่งไปยังตัวรับที่ขอบขาขึ้น (low เป็น high) ของแต่ละสัญญาณ serial clock และบางครั้งต้องมีการกำหนดไว้ว่า ข้อมูลที่ส่งจะต้องถูก synchronize ที่ขอบขาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 Timing ของตัวส่งข้อมูลแบบ I^2S (Transmitter)

โดยที่ T = 1 คาบของสัญญาณ clock

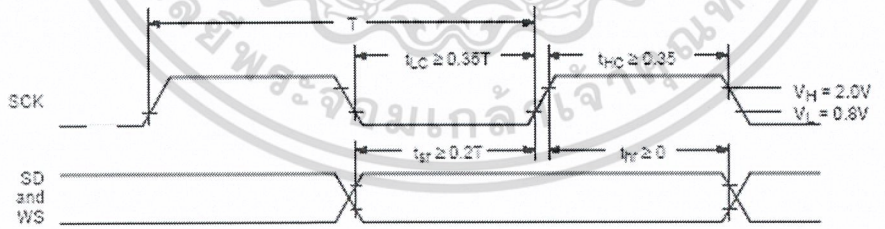
T_{tr} = เวลาของคาบน้อยสุดของ transmitter

$T > T_{tr}$

t_{RC} เป็นเวลาที่สัมพันธ์ของ transmitter ใน slave mode

	MIN	TYP	MAX	CONDITION
clock period T	360	400	440	T_{tr} = 360
clock HIGH t_{HC}	160			min > 0.35T = 140 (at typical data rate)
clock LOW t_{LC}	160			min > 0.35T = 140 (at typical data rate)
delay t_{dtr}			300	max < 0.80T = 320 (at typical data rate)
hold time t_{htr}	100			min > 0
clock rise-time t_{RC}			60	max > 0.15T_{tr} = 54 (only relevant in slave mode)

ตารางที่ 4.5 ตารางของตัวส่งข้อมูลแบบ I^2S (Transmitter) ที่ data rate 2.5 MHz



รูปที่ 4.4 Timing ของตัวรับข้อมูลแบบ I^2S (Receiver)

โดยที่ T = 1 คาบของสัญญาณ clock

T_r = เวลาของคาบน้อยสุดของ transmitter

$T > T_{tr}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	MIN	TYP	MAX	CONDITION
clock period T	360	400	440	T_{tr} = 360
clock HIGH t_{HC}	110			min < 0.35T = 126
clock LOW t_{LC}	110			min < 0.35T = 126
set-up time t_{sr}	60			min < 0.20T = 72
hold time t_{htr}	0			min < 0

ตารางที่ 4.6 ตารางของตัวรับข้อมูลแบบ I^2S (Receiver) ที่ data rate 2.5 MHz

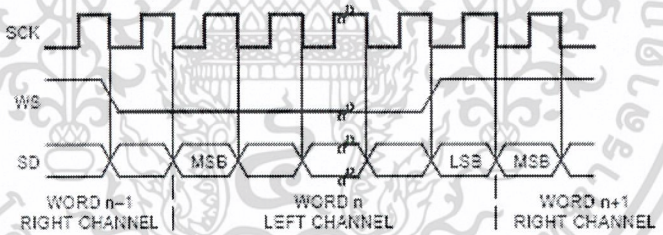
4.2.2 Word select

สัญญาณ WS ใช้บ่งบอก channel สัญญาณที่จะส่ง

WS = 0 : channel 1 (left)

WS = 1 : channel 2 (right)

WS จะสามารถเปลี่ยนได้ในแต่ละขอบขาขึ้น หรือขอบขาลงของ serial clock แต่ในตัวรับสัญญาณนี้จะถูก latch ที่ขอบขาขึ้นของสัญญาณ clock โดยสัญญาณ WS จะเปลี่ยนก่อนที่บิต MSB จะถูกส่งมา 1 คาบของ clock



รูปที่ 4.5 Timing แบบมาตรฐานของการส่งข้อมูลแบบ I^2S BUS

4.3 CS 8414

ในโครงงานนี้จะใช้ชิป CS 8414 ในการแปลงสัญญาณจาก S/PDIF เป็น I^2S หัวข้อต่อไปนี้จะเป็นรายละเอียดการใช้งานของชิปดังกล่าว และเนื่องจากชิปนี้มีรายละเอียดปลีกย่อยจำนวนมาก ในรายงานนี้จะขอกล่าวถึงเฉพาะในหัวข้อที่ใช้งานเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 คุณลักษณะทั่วไป

- Sample Rate > 100 KHz
- Supports : AES/EBU, IEC 958, S/P DIF,&EIAJ CP340/1201
- มีการรายงาน error ที่ครอบคลุม
- มี RS 422 line receiver ในตัวชิพ

CS8414 เป็นmonolithic CMOS ซึ่งจะรับและถอดรหัสสัญญาณเสียงของข้อมูล digital ตามรูปแบบมาตรฐานของ AES/EBU, IEC 958, S/PDIF และ EIAJ โดยตัวชิพจะบรรจุ RS-422 line receiver, Phase-locked loops (PLL) ซึ่งจะคอย recover สัญญาณ clock และสัญญาณให้ synchronize กัน และจะมีตัว de-multiplex สัญญาณ audio และข้อมูล digital

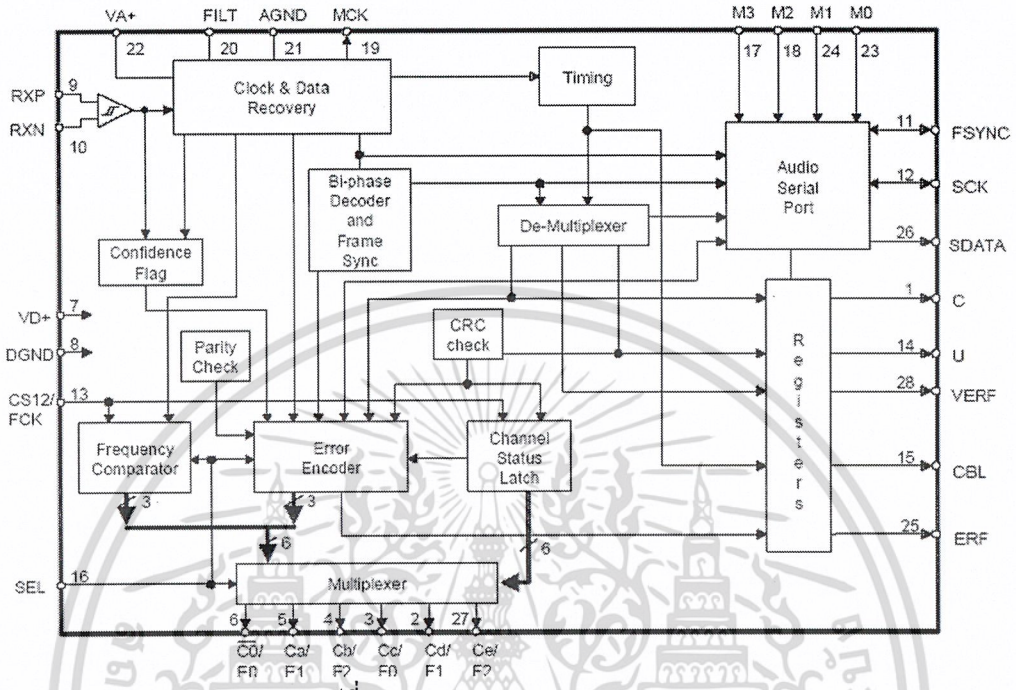
4.3.2 LINE RECEIVER

RS 422 สามารถถอดรหัสสัญญาณ input แบบ differential ได้ดีเท่ากับสัญญาณ input แบบ single end โดย line receiver บรรจุ differential input schmitt trigger ที่ 500 mV ของ hyteresis โดย hyteresis จะป้องกันสัญญาณ noise จากจุดผิดพลาดของ phase detector

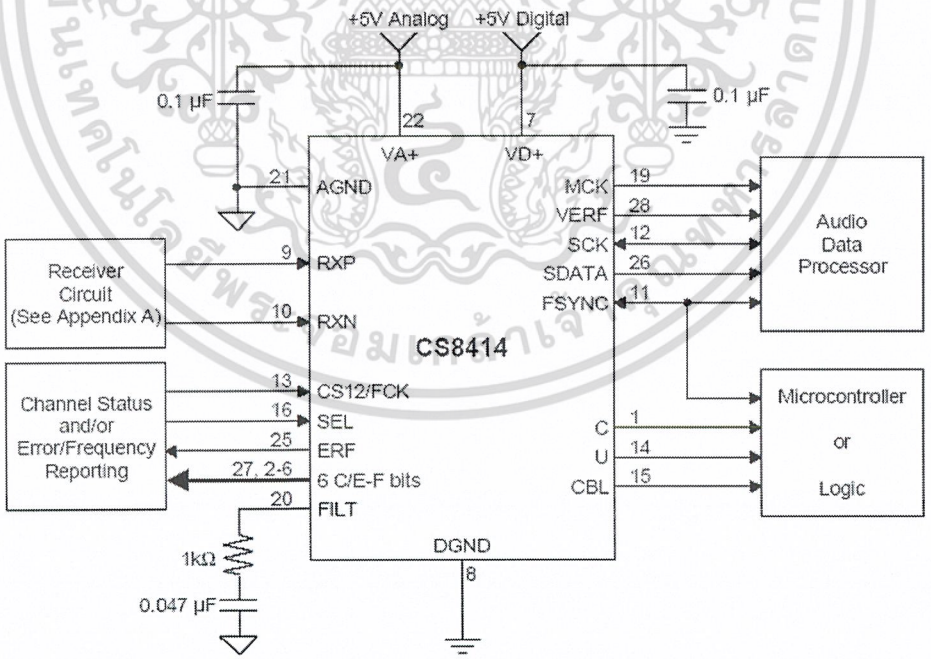
4.3.3 AUDIO SERIAL PORT

Audio serial port ถูกนำไปใช้เป็น output ของสัญญาณ audio ซึ่งประกอบด้วยขา 3 ขา คือ ขา SCK, FYNSC และ SDATA ขาสัญญาณเหล่านี้ถูกควบคุมผ่านขาควบคุม 4 ขา คือM0,M1,M2,M3โดย ถ้า M3 = 0 จะเป็นการเลือกใช้ normal serial format 8 format แต่ถ้า M3 = 1 จะเป็นการเลือกใช้ 6 special format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 Block diagram ของ CS 8414



รูปที่ 4.7 มาตรฐานการเชื่อมต่ออุปกรณ์ต่างๆของ CS 8414

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Normal mode (M3 = 0)

เมื่อ M3 = 0 จะเป็นการเลือกใช้ normal serial format ซึ่งมีให้เลือก 8 format โดยจะเลือกใช้ไหน จะเลือกผ่านขา M0,M1 และ M2 ดูได้จากตาราง โดย

- (in/out) จะหมายถึงว่า FSYNC และ SCK จะเป็น input หรือ output จาก CS 8414
- (L/R) จะเป็นการบ่งบอกว่า FSYNC เป็นของ channel ไหน (ซ้ายหรือขวา)

ถ้าเกิด error ขึ้น (ERF = 1) ในขณะที่ใช้ 1ใน format เหล่านี้ ค่า audio data ที่ถูกต้องก่อนหน้านี้จะถูกนำมาเป็น output ในระหว่างที่ ERF ยังคงเป็น 1 audio data ก็ยังคงเป็น data เดิม ถ้า CS8414 ไม่ถูก lock output ทั้งหมดจะเป็น 0 ในบาง mode FYNSC และ SCK จะเป็น output และในบาง mode จะเป็น input จากตาราง LSBJ ย่อมาจาก LSB justified หมายถึง LSB จะเป็นจุดสิ้นสุดของสัญญาณ audio 1 frame และ MSB จะมีค่าตามความยาวของข้อมูล โดย output ของ CS8414 จะทำการสร้าง 32 SCK/audio sample(64 SCK/stereo sample) input ก็เช่นกัน และเมื่อ FSYNC และ SCK เป็น input 1 stereo sample จะเป็น double buffered สำหรับ mode ซึ่ง output มี 24 bits/audio data จะมีบิตพิเศษรวมอยู่ด้วย

M2	M1	M0	Format
0	0	0	0 - Out, L/R, 16-24 Bits
0	0	1	1 - In, L/R, 16-24 Bits
0	1	0	2 - Out, L/R, I^2S Compatible
0	1	1	3 - In, L/R, I^2S Compatible
1	0	0	4 - Out, WSYNC, 16-24 Bits
1	0	1	5 - Out, L/R, 16 Bits LSBJ
1	1	0	6 - Out, L/R, 18 Bits LSBJ
1	1	1	7 - Out, L/R, MSB Last

ตารางที่ 4.7 Normal audio mode (M3 = 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

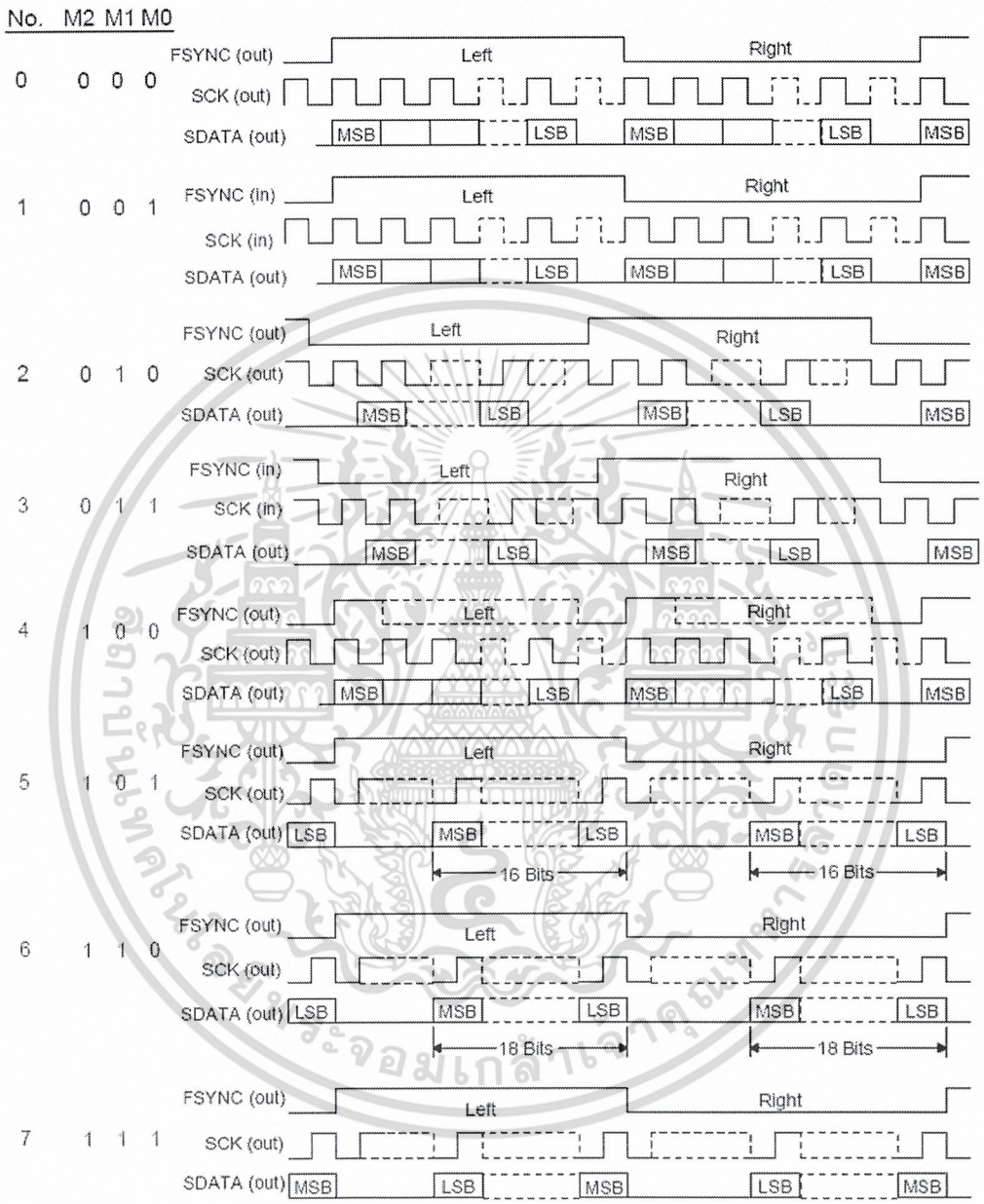
Special mode (M3 = 1)

เมื่อ M3 เป็น 1 จะเป็นการเลือกใช้ special audio mode ดูจากตาราง ซึ่งจะควบคุมผ่าน M0,M1,M2 โดยใน format 8,9,10 สัญญาณ SCK, FSYNC และ SDATA จะมีลักษณะเหมือน format 0,1,2 ตามลำดับ อย่างไรก็ตาม การฟื้นฟูของข้อมูลที่เป็น output จะมีอยู่เสมอ ถ้า ERF เป็น 1(ใน mode 0-2 ค่าของข้อมูลก่อนหน้านี้จะเป็น output) ซึ่งถ้าไม่มี input เข้ามาที่ขา RXP,RXN output จะเป็น 0 ทั้งหมด ใน format 11 จะเหมือน format 0 แต่มีข้อแตกต่าง คือ SCK จะเป็น input และ FSYNC จะเป็น output และสัญญาณ FSYNC และ SDATA จะ synchonized กับSCK ที่เข้ามา ใน format 12 จะเหมือนกับ format 7 แต่มีข้อแตกต่าง คือ SDATA จะเป็น data ที่รับมาจากสายส่งรวมทั้งจากขา C,U,V และ P ใน format 13 SDATA จะเป็นค่า biphase encode data จากสายส่ง และ SCK จะมีความปกติเป็น 2 เท่า โดย 2 frame ที่ถูก delay ของข้อมูลจาก input ไปยัง output จะถูกละทิ้งในบิตเพียงไม่กี่บิตของแต่ละคาบใน format 12 และ format 13 ส่วน format 14 ไม่มีใช้ คือ สำรองไว้สำหรับอนาคต และ format 15 จะเป็นการ reset ตัว CS8414 ในขณะที่กำลัง reset output ทั้งหมดจะไม่ทำงาน ยกเว้นขา MCK และ CS8414 จะกลับมาทำงานปกติหลังจาก reset ไปแล้ว 1 state clock

M2	M1	M0	Format
0	0	0	8 - Format 0 - No repeat on error
0	0	1	9 - Format 1 - No repeat on error
0	1	0	10 - Format 2 - No repeat on error
0	1	1	11 - Format 0 - Async. SCK input
1	0	0	12 - Received NRZ Data
1	0	1	13 - Received Bi-phase Data
1	1	0	14 - Reserved
1	1	1	15 - CS8414 Reset

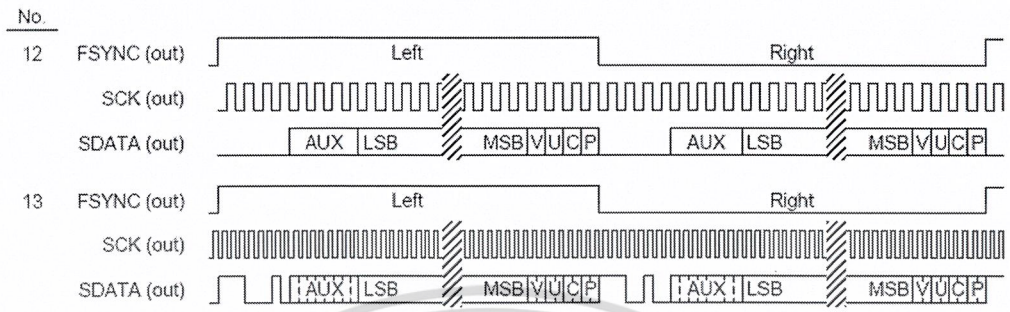
ตารางที่ 4.8 Special audio mode (M3 = 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 Audio Serial Port Format 1-7 ของ CS 8414

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 Special audio Serial Port Format 12 และ 13 ของ CS 8414

4.4 TDA 1543 Dual 16 bit DAC

โครงงานนี้ใช้ TDA1543 เพื่อแปลงสัญญาณดิจิตอลเป็นอนาล็อก โดยรับมาจาก CS8414 อีกทีในรูปของ I^2S ในที่นี้จะขอกล่าวถึงเฉพาะรายละเอียดที่ใช้เท่านั้น

4.4.1 คุณลักษณะทั่วไป

TDA 1543 เป็น IC ที่ใช้แปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC)ซึ่งถูกออกแบบออกมาเพื่อใช้สำหรับอุปกรณ์ประเภท HI-FI Digital Audio Compact Disc Player, เทปcassette, สัญญาณเสียง digital ใน TV และสัญญาณ digital ใน amplifiers

SYMBOL	PIN	DESCRIPTION
BCK	1	bit clock input
WS	2	word select input
DATA	3	data input
GND	4	ground
V_{DD}	5	+5 V supply voltage
AOL	6	left channel voltage output
V_{ref}	7	reference voltage output
AOR	8	right channel output

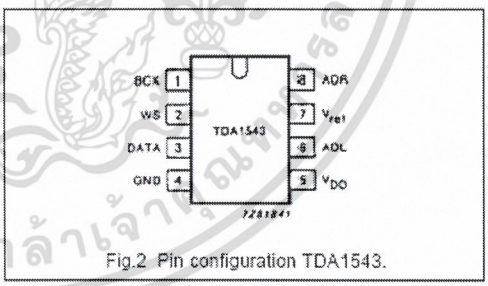


Fig.2 Pin configuration TDA1543.

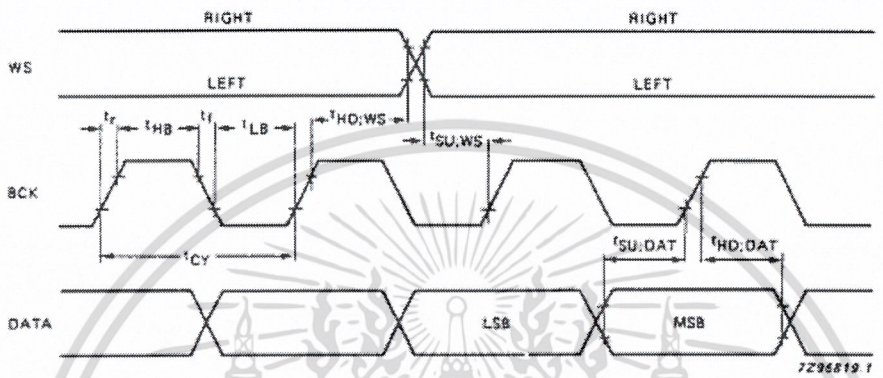
รูปที่ 4.10 ขาต่างๆของ TDA 1543

4.4.2 ลักษณะการทำงาน

TDA 1543 จะรับค่า input ในรูปแบบ serial data format ในแต่ละช่วงความยาวของบิตข้อมูลทั้งด้านซ้ายและด้านขวา จะมีเวลาซึ่ง multiplex กัน โดยบิต MSB(บิต 1)จะส่งออกมาเป็นบิตแรกเสมอ สัญญาณ input แบบ I^2S จะมีความยืดหยุ่น ทำให้ง่ายต่อการ interface กับชิพประมวลผลสัญญาณ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

interpolation, filter, วงจรตรวจสอบความผิดพลาดและวงจรประมวลผลสัญญาณเสียง audio signal processor circuit(ASP)



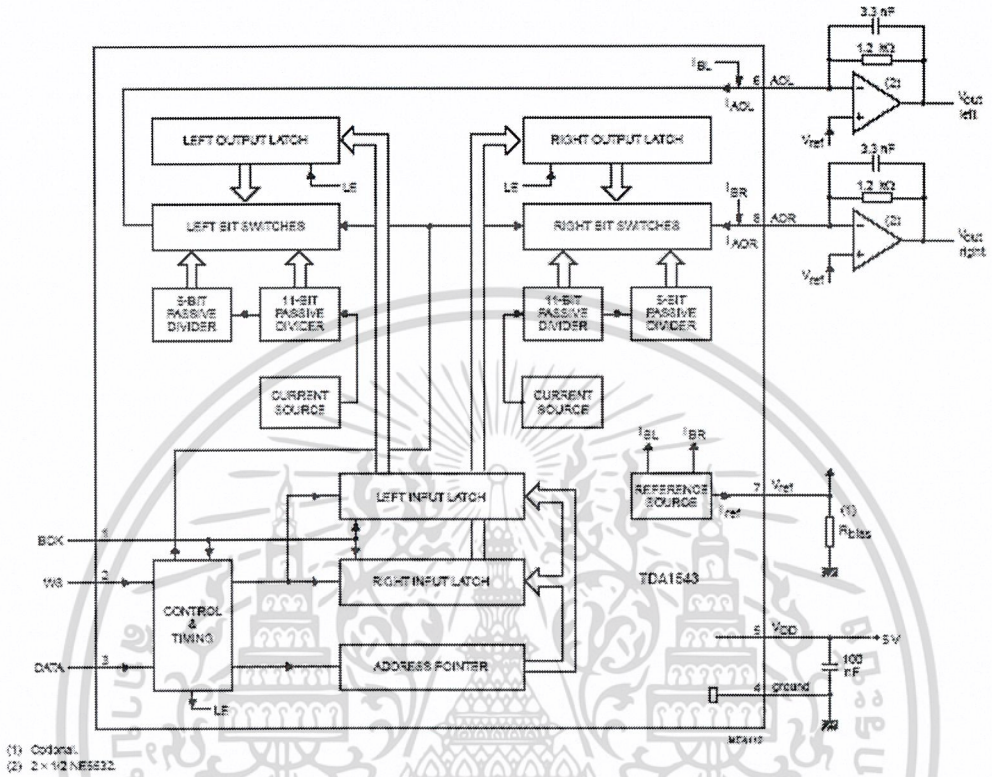
รูปที่ 4.11 I^2S format

TDA 1543 จะมีระบบ 4x oversampling ซึ่งจะทำให้ bit rate ของสัญญาณ input มีค่าmaximum ที่สูงขึ้น และอัตราการเปลี่ยนแปลงของกระแสเร็วขึ้น โดยการปรับกระแสนั้นจะถูกจัดวางไว้ที่ output current เพื่อที่จะ bais ให้กับ OP1, OP2 ในวงจรเพื่อให้ได้ค่าที่ maximum dynamic range

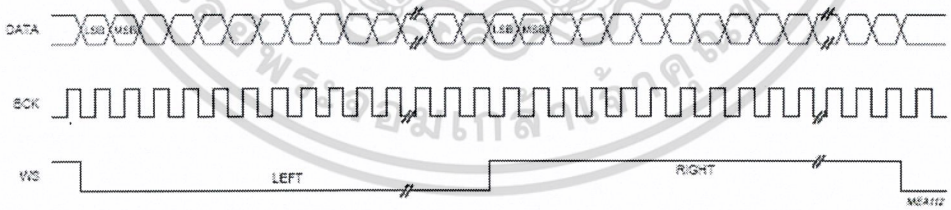
ในสัญญาณ(WS) ถ้า WS เป็น low จะหมายความว่า input data ที่เข้ามาจะถูกแทนใน left input register เพื่อประมวลผลต่อไป และในทำนองเดียวกัน ถ้า WS เป็น high จะหมายความว่า input data ที่เข้ามาจะถูกแทนใน right input register และข้อมูลในแต่ละ input register จะถูกทำหน้าที่เป็น latch พร้อมกัน ของ output register ซึ่งสามารถ control ได้จาก bit swicth (WS)

กระแส output ของDACจะเป็นแบบ sink current โดยกระแส I_{ref} ที่ขา V_{ref} ที่output จะถูกปรับโดยตัวต้านทาน หรือแหล่งจ่ายกระแส โดยกระแส จะถูกขยายโดย gain A_{ibais} เพื่อใช้กระแส bias (I_{BR},I_{BL}) ซึ่งถูกนำไปใช้ในการเพิ่มกระแสoutput

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 Block diagram ของ TDA 1543



รูปที่ 4.13 สัญญาณ Input ของ TDA 1543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การติดต่อในส่วนอื่น

ในบทนี้จะกล่าวถึงการเชื่อมต่อปลีกย่อยอื่นๆ ซึ่งได้แก่ การสื่อสารแบบอนุกรม และการติดต่อผ่านรีโมทคอนโทรล

เนื่องจากในโครงงานนี้ ใช้ไมโครคอนโทรลเลอร์สองตัวในการควบคุม ดังนั้นจึงต้องใช้การสื่อสารแบบอนุกรม เพื่อเชื่อมต่อไมโครคอนโทรลเลอร์ทั้งสองตัวเข้าด้วยกัน และในส่วนของการติดต่อกับผู้ใช้จะใช้ รีโมท โปรโตคอลของ SONY

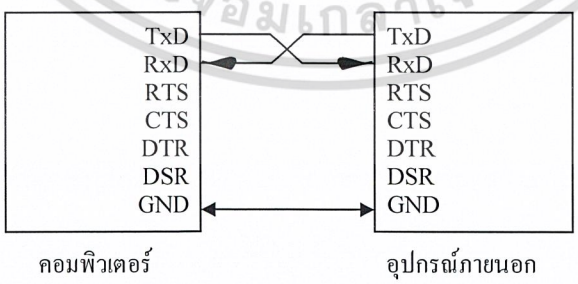
5.1 การสื่อสารแบบอนุกรม

5.1.1 พอร์ตอนุกรม (UART)

การสื่อสารแบบอนุกรมนั้นถึงแม้ว่าจะมีอัตราการส่งช้ากว่าแบบขนาน เพราะต้องส่งข้อมูลทีละบิต แต่เนื่องจากใช้สายส่งต่ำสุดเพียง 2 เส้น(ข้อมูล 1เส้น กราวน์ 1เส้น) จึงทำให้ค่าใช้จ่ายต่ำกว่า(ใช้สายส่งน้อยกว่า) และสามารถส่งได้ไกลกว่าเพราะใช้ความถี่ต่ำกว่า

UARTย่อมาจากคำว่า Universal Asynchronous Receiver Transmitter ซึ่งหมายถึงอุปกรณ์ที่ทำหน้าที่รับและส่งข้อมูลแบบอะซิงโครนัส ถือว่าเป็นหัวใจสำคัญของการสื่อสารอนุกรม

การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม ในรูปแบบต่างๆ แสดงในรูปที่ 5.1



รูปที่ 5.1 การต่ออุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์ผ่านทางพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่หลักของ UART คือการแปลงข้อมูลที่อยู่ในรูปแบบขนานจากซีพียู ให้อยู่ในรูปแบบอนุกรมแบบอะซิงโครนัส แล้วทำการส่งออกไป และแปลงสัญญาณอนุกรมแบบอะซิงโครนัสที่ป้อนเข้ามายัง UARTให้เป็นแบบขนานก่อนที่จะส่งสู่ซีพียู ซึ่งนอกจาก UART จะส่งข้อมูลไปยังซีพียูแล้ว ยังแจ้งรายละเอียดอื่นๆของข้อมูลให้คอมพิวเตอร์ รับทราบด้วย อาทิ อัตราเร็วในการรับส่งข้อมูลหรือบอดเรต, รูปแบบการส่งข้อมูล,ความผิดพลาดที่เกิดขึ้นระหว่างการส่งข้อมูล เช่น ผิดพลาดจากพาริตี้,เฟรมข้อมูล, โอเวอร์รัน เป็นต้น

ในการส่งข้อมูลขนาด 8บิตแบบอนุกรมนี้จะต้องมีบิตสตาร์ต (Start Bit)และบิตสตอป(Stop Bit) เพิ่มขึ้นมา ซึ่งจะทำให้ข้อมูลที่ถูกส่งไปจริงๆนั้นมีขนาด 10 บิต ในรูปที่ แสดงเวิร์ดข้อมูลที่มีบิตข้อมูล 8 บิต บิตสตาร์ต 1 บิต และบิตสตอป 1บิต โดยที่บิตสตาร์ตมีค่า 0 บอก UARTที่รับข้อมูลให้รู้ว่ามีข้อมูลกำลังเข้ามา และบิตสตอปที่มีค่า 1 จะบอก UART ที่รับข้อมูลให้รู้ว่าการส่งข้อมูลได้เสร็จสิ้นลงแล้ว

Stop bit	D7	D6	D5	D4	D3	D2	D1	D0	Start bit

รูปที่ 5.2 เวิร์ดข้อมูลขนาด 8 บิตกับ Start bit และStop bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

เราเรียกความเร็วในการส่งข้อมูลของ UART ว่าอัตราบอด (Baud Rate) มีหน่วยเป็นจำนวนบิตต่อวินาที ซึ่งจะบอกจำนวนบิตที่รับส่งในเวลา 1 วินาที เช่น การส่งข้อมูลด้วยอัตรา 1200 บอด ก็คือการส่งข้อมูลตัวอักขระขนาด 10 บิต ได้ 120 ตัวอักขระใน 1 วินาที ซึ่งตารางที่ 5.1 แสดงอัตราบอดของ UART ที่ใช้กันโดยทั่วไป

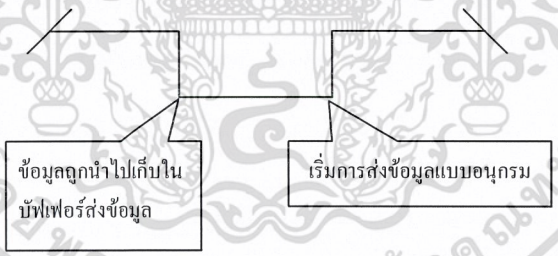
การส่งข้อมูลด้วยอัตรา 110บอดนั้นจะมีรูปแบบแตกต่างจากอัตราบอดอื่น ซึ่งในอัตรานี้จะต้องใช้บิตสตาร์ต 1 บิต และบิตสตอป 2 บิต ดังนั้นจึงทำให้ต้องส่งข้อมูลที่มีขนาด 11 บิต

ส่วนที่มีหน้าที่ส่งข้อมูลของ UART แยกออกได้เป็น 2 ส่วน ซึ่งได้แก่ บัฟเฟอร์ส่งข้อมูล (Transmitter data output buffer) กับรีจิสเตอร์ส่งข้อมูล (Transmit register) โดยบิตข้อมูล 8บิตจะถูกนำไปเก็บในบัฟเฟอร์ส่งข้อมูล เมื่อสัญญาณควบคุมดาต้าอินพุตสโตรบ (Data input strobe) เปลี่ยนค่าจาก 1 เป็น0 และการส่งข้อมูลแบบอนุกรมจะเริ่มขึ้นเมื่อสัญญาณควบคุมนี้เปลี่ยนจาก 0 เป็น 1 ดังรูปที่ 5.3 หลังจากนั้น รีจิสเตอร์ส่งข้อมูลจะทำหน้าที่เลื่อนข้อมูลส่งออกไปยังเส้นส่งข้อมูลอนุกรม โดยเริ่มจากบิตสตาร์ต ถัดมาเป็นบิตข้อมูล D0 ถึงD7 และบิตสตอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราบอด	ไบต์ /วินาที
110	10
150	15
300	30
600	60
1200	120
2400	240
4800	480
9600	960
19200	1920
38400	3840

ตารางที่ 5.1 อัตราบอดโดยทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม



รูปที่ 5.3 สัญญาณดาต้าอินพุตสโตรบ

ส่วนที่ทำหน้าที่รับข้อมูลของ UART จะมีการทำงานที่ตรงกันข้ามกับส่วนที่ทำหน้าที่ส่งข้อมูล ข้อมูลที่เข้าทางเส้นรับข้อมูลอนุกรม (เข้า) จะถูกเลื่อนเข้าไปเก็บในรีจิสเตอร์รับข้อมูล โดยการเลื่อนค่า 10 หรือ 11 ครั้ง การทำงานจะเริ่มเมื่อมีบิตสตาร์ตเข้ามา และเมื่อข้อมูลทั้งหมดถูกเลื่อนเข้าไปเก็บในรีจิสเตอร์รับข้อมูลแล้ว (Receive register) แล้ว ข้อมูลในรีจิสเตอร์รับข้อมูล จะถูกนำไปเก็บในบัฟเฟอร์รับข้อมูล (Received –data output buffer) เมื่อมีสัญญาณควบคุมดาต้าเอาต์พุตสโตรบ

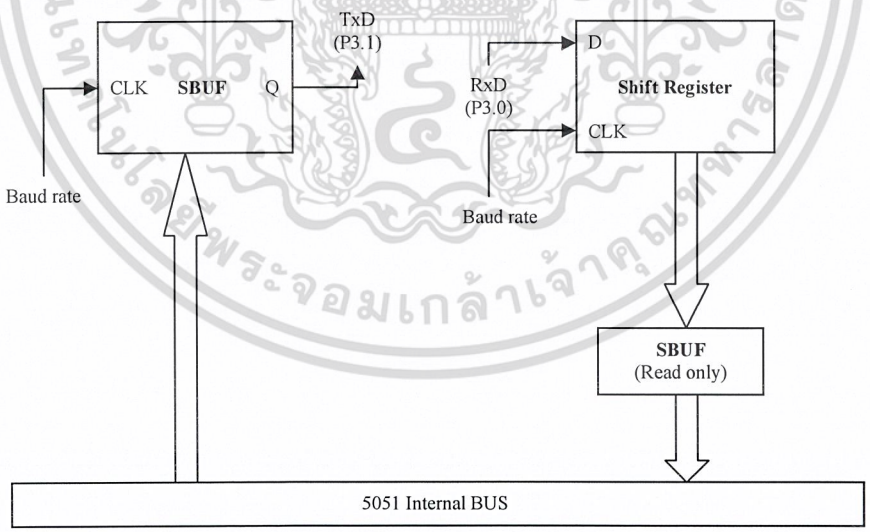
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.2 MCS-51 และการรับส่งแบบอนุกรม

การรับส่งแบบอนุกรมกับไมโครคอลโทรลเลอร์ MCS-51 ภายในชิพ mcs51 จะมี UART อยู่ในตัวซึ่งเป็นข้อดีของไมโครคอลโทรลเลอร์ พอร์ทอนุกรมของไมโครคอลโทรลเลอร์จะใช้ขา TXD และขา RXD ซึ่งขาTXDคือพอร์ท3.1(P3.1)ของMCS-51 และ ขา RXDคือพอร์ท3.0(P3.0)ของMCS-51 พอร์ทอนุกรมของMCS-51นั้นสามารถทำงานแบบ FULL-DEPLEX ได้โดยในการรับและส่งข้อมูลจะมีบัฟเฟอร์สำหรับเก็บข้อมูลให้ใช้

รีจิตเตอร์ที่สำคัญในการรับส่งข้อมูลคือ SBUF และ SCON ซึ่งเป็นรีจิสเตอร์ที่อยู่ใน Special Funtion Register โดยรีจิสเตอร์ Serial Port Buffer (SBUF) จะอยู่ในตำแหน่ง 99H ถ้าเขียนข้อมูลลงไปในตำแหน่งนี้จะเป็นการส่งข้อมูลออกทางพอร์ตอนุกรม โดยใน SBUF จะประกอบด้วยบัฟเฟอร์2ตัว สำหรับรับและส่งข้อมูล ดังในรูปที่5.4

สำหรับ Serial Port Control Register (SCON) ซึ่งอยู่ในตำแหน่งที่ 98H จะเป็นรีจีสเตอร์ที่สามารถเข้าถึงข้อมูลระดับบิตได้ รีจิสเตอร์นี้จะทำหน้าที่ควบคุมและบอกสถานะต่างๆ ของการรับส่งข้อมูลแบบอนุกรมสำหรับความเร็วของการส่งข้อมูล(Baud Rate) สามารถหาได้จากการหารสัญญาณนาฬิกา ที่ใช้กับ MCS-51



รูปที่ 5.4 การรับส่งขอมูลระหว่างรีจิสเตอร์กับบัสภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2.1 Serial Port Control Register

MCS-51 มีโหมดการทำงานของพอร์ทอนุกรมหลายโหมด ซึ่งสามารถโปรแกรมโหมดการทำงานได้โดยการเขียนข้อมูลไปยังรีจิสเตอร์ SCON ความหมายของแต่ละบิต แสดงได้ดังตารางที่ 5.2 และ 5.3

บิต	ชื่อ	ตำแหน่ง	ความหมาย
SCON.7	SM0	9FH	บิตเลือกการทำงานบิต 0
SCON.6	SM1	9EH	บิตเลือกการทำงานบิต 1
SCON.5	SM2	9DH	บิตเลือกการทำงานบิต 2
SCON.4	REN	9CH	บิตแฟลกกำหนดยอมให้มีการรับข้อมูล
SCON.3	TB8	9BH	ค่าของบิต 9 สำหรับการส่งข้อมูลในโหมด 2 และ 3สามารถ set และ clear ได้โดยซอฟท์แวร์
SCON.2	RB8	9AH	ค่าของบิต9เมื่อรับข้อมูลเข้ามา
SCON.1	TI	99H	บิตแฟลกแสดงการอินเทอร์รัพท์ ภายหลังการส่งข้อมูลออกไป โดยจะ set เมื่อส่งข้อมูลออกไปหมดแล้ว และสามารถเคลียร์ได้ด้วยซอฟท์แวร์
SCON.0	RI	98H	บิตแฟลกแสดงการอินเทอร์รัพท์ ภายหลังการรับข้อมูลเข้ามา สามารถเคลียร์ได้ด้วยซอฟท์แวร์

ตาราง 5.2 บิตต่างๆของรีจิสเตอร์SCON

SM0	SM1	MODE	ความหมาย	BAUD RATE
0	0	0	Shift-Register	เปลี่ยนแปลงไม่ได้ (Oscillator Frquency/12)
0	1	1	8-bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก TIMER
1	0	2	9-bit UART	เปลี่ยนแปลงไม่ได้ (Oscillator Frquency/12 หรือ /64)
	1	3	9-bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก TIMER

ตาราง5.3 แสดงโหมดต่างๆของการรับส่งแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนจะใช้พอร์ทอนุกรม จะต้องมีโปรแกรมให้กับ SCON เสียก่อน เพื่อกำหนดโหมดการทำงาน และลักษณะต่างๆเช่น

SCON = 0x52 ;

เป็นการกำหนดให้พอร์ทอนุกรมทำงานในโหมด 1 และอีนาเบิล ให้มีการรับข้อมูลพร้อมกับกำหนด TI ให้เป็น 1

ในการส่งข้อมูลทุกโหมดสามารถทำงานได้โดย เขียนข้อมูลไปยัง SBUF เมื่อข้อมูลถูกส่งไปแล้ว บิต TI จะถูกเซทเป็น "1 ในการส่งข้อมูล จะต้องคอยตรวจสอบบิต TI เพราะว่าถ้าบิต TI ยังไม่เป็น"1 แสดงว่าข้อมูลยังส่งไปไม่หมด ถ้าหากมีการเขียนข้อมูลไบท์ต่อไปไปยัง SBUF จะมีข้อผิดพลาดขึ้น สำหรับในการรับข้อมูล บิต REN จะต้องเป็น "1 ยกเว้นโหมด 0 เพื่ออนุญาตให้มีการรับข้อมูลได้ เมื่อข้อมูลได้รับ เข้ามาเรียบร้อยแล้ว บิต RI จะถูกเซทให้เป็น "1

4.1.2.2 Mode of Operation

ใน MCS-51 การสื่อสารทางพอร์ทอนุกรมจะมีอยู่ 4 โหมด ซึ่งจะกำหนดได้ที่บิต SM0 และ SM1 ใน SCON โดยจะมี 3 โหมด เป็นการสื่อสารแบบ Asynchronous โดยลักษณะของข้อมูลที่ส่งจะมีบิตเริ่มต้น(Start bit) และบิตจบ(Stop bit) คล้ายกับการสื่อสารแบบ RS-232 ในระบบคอมพิวเตอร์ อีกโหมดหนึ่ง จะใช้เป็นพอร์ทอนุกรมในลักษณะชิพรีจิสเตอร์

1. 8-Bit Shift Register(โหมด 0)

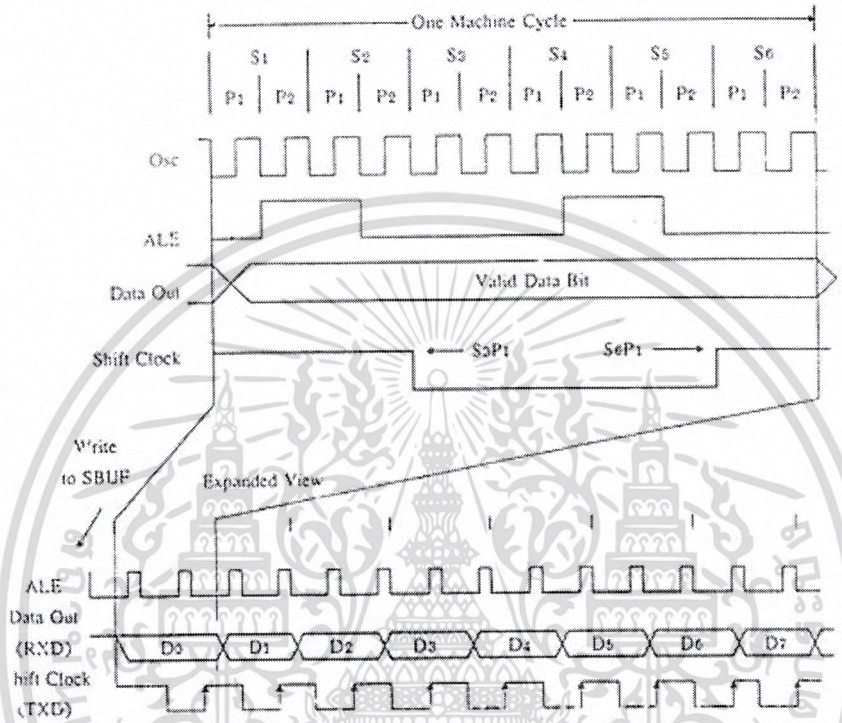
การทำงานในโหมดนี้จะใช้ขา RXD ในการรับส่งข้อมูล โดยต่อกับ Shift Register ภายนอกส่วนขา TXD จะเป็น Output Shift Clock เพื่อกระตุ้นรีจิสเตอร์ภายนอกให้เลื่อนบิต ถ้ามีการส่งข้อมูลหรือรับข้อมูล 8 บิตจะเริ่มที่บิตต่ำสุดก่อน โดยจะมีค่า Baud Rate เท่ากับ 1/12 ของความถี่ที่ใช้บนชิพ

ในการส่งข้อมูลจะทำโดย เขียนข้อมูลไปที่รีจิสเตอร์ SBUF ข้อมูลจะถูกส่งออกมาทางขา RXD โดยจะสอดคล้องกับสัญญาณที่ออกมาทางขา TXD ดังแสดงในรูปที่ 5.5

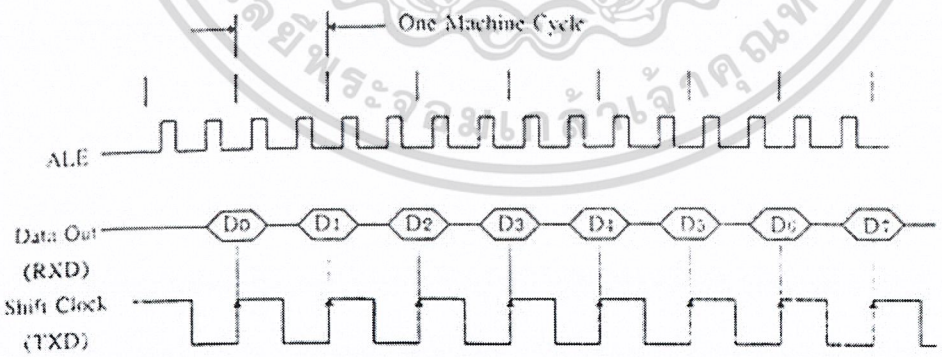
สำหรับการรับส่งข้อมูลจะรับได้เมื่อ set ขา Receiver Enable Bit (REN) เป็น "1 และเคลียร์ขา Receiver Interrupt Bit (RI) เป็น"0 ข้อมูลจะเข้าสู่ MCS-51 เมื่อ Clock Shift ถูกส่งออกไปทาง TXD ที่ขอบขาขึ้นของ Clock Shift บิตต่ำจะถูกส่งเข้ามาก่อนดังรูป 5.6

ในการประยุกต์การใช้งานโหมดนี้ จะต้องมีไอซีชิพท์รีจิสเตอร์มาต่อภายนอก เช่น ถ้าหากต้องการส่งข้อมูลออกมาทางพอร์ทอนุกรมอาจต่อวงจรได้ดังรูป 5.7 โดยใช้ไอซี Serial –to-Parallel Shift Register โดยข้อมูลออกทาง RXD และใช้ TXD เป็น Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

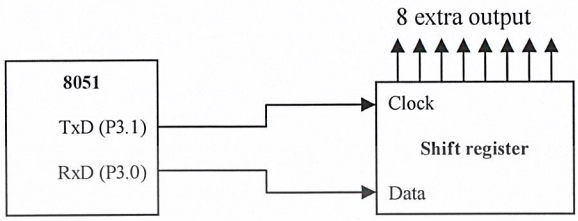


รูปที่ 5.5 ไดอะแกรมเวลาในการส่งข้อมูล



รูปที่ 5.6 ไดอะแกรมเวลาการรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 การส่งข้อมูลออกโดยใช้ ชิฟต์รีจิสเตอร์ ช่วย

2. 8-Bit with Variable Baud Rate(Mode 1)

ในโหมดนี้ จะเป็นการรับส่งข้อมูลแบบ 10 บิต ซึ่งประกอบด้วยบิตเริ่มต้น (เป็น “0) ข้อมูล บิต และ บิตจบ(เป็น”1) นอกจากนี้ยังสามารถกำหนดค่า Baud Rate ได้โดยค่า Baud Rateนี้จะแปรตามตัวจับเวลาตัวที่1 ในโหมดนี้ จะส่งข้อมูลออกทาง TXD และรับค่าทาง RXD ถ้าเป็นการรับข้อมูลเข้า ตัว Stop Bit จะเข้ามายังบิต RB8 ใน SCON

ถ้า Baud Rate ที่ใช้ในการรับส่งข้อมูลจะกำหนดโดย Timer 1 หลังจากโปรแกรมไปใน Timer 1 แล้วสามารถเลือกค่า Baud Rate ได้อีก2ค่า คือ ค่าจาก Timer 1 Over Flow หาร 32 กับค่า Timer 1 Overflow หาร 16

การส่งข้อมูลทำได้โดย การเขียนข้อมูล 8 บิต ไปที่ SBUF โดย บิตที่ 9(Stop Bit)ให้เขียนลงใน TB8 ใน SCON จากนั้นข้อมูลจะถูกส่งออกมาทางขา TXD โดยส่ง Start Bit ออกมาก่อนตามด้วยข้อมูล 8 บิตและจบด้วย Stop Bit เมื่อข้อมูลถูกส่งออกมาหมดแล้วบิต Interupt Flag(TI) จะเป็น”1 ดังนั้นในการเขียนข้อมูลใหม่ลงไปจะต้องตรวจสอบบิตนี้ก่อน

ในการรับข้อมูล จะเริ่มมีการเปลี่ยนแปลงลอจิก จาก 0ไป1 ทางขา RXD หมายความว่าเริ่มรับบิตเริ่มต้น จากนั้นข้อมูลอีก 8 บิตจะถูกเก็บไว้ใน SBUF และ Stop Bit จะถูกเก็บไว้ในบิต RB8 ของรีจิสเตอร์ SCON เมื่อข้อมูลเข้าครบแล้วบิต Interrupt flag (RI) จะถูกเซ็ทเป็น”1 แล้วเมื่ออ่านข้อมูลไปแล้วจะต้องเคลียร์บิตนี้ด้วย

3. 9-Bit UART with Fixed Bard Rate(Mode 2)

การทำงานโหมดนี้ ไม่สามารถกำหนดค่าใน Baud Rate ได้ ซึ่งค่า Baud Rate จะมี2 ค่าคือ 1/64 และ 1/32 ของสัญญาณนาฬิกาบนชิพ การรับส่งข้อมูลจะเป็นชุดบิตข้อมูล 9 บิต บิตเริ่มต้น บิตหยุด รวมเป็น11 บิต โดยข้อมูล 9 บิต จะเป็น จำนวนข้อมูล 8 บิต และบิตที่โปรแกรมได้อีก 1 บิต โดยบิตนี้จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตที่ 9 ซึ่งจะใช้เป็น Parity Bit ในการส่งข้อมูลจะต้องเขียนไปที่บิต TB8 ในรีจิสเตอร์ SCON สำหรับการรับข้อมูลบิตที่ 9 จะถูกเก็บในบิต RB8

4. **9-Bit UART with Variable Baud Rate(Mode 3)**

การทำงานในโหมดนี้ จะคล้ายกับโหมด2 แต่สามารถกำหนดค่า Baud Rate ได้ โดยการโปรแกรมที่ Timer 1 หลังจากโปรแกรมแล้ว ยังสามารถเลือกได้อีก 2 ค่าคือ ความถี่การ Overflow ของ Timer 1 หารด้วย 16 และหารด้วย 32

5.2.3 การกำหนดค่าเริ่มต้นให้รีจิสเตอร์ในการรับส่งข้อมูล

การรับข้อมูล ถ้าจะให้ MCS-51 รับข้อมูล ทางพอร์ทอนุกรม จะต้องใช้โปรแกรมไปที่บิต REN ใน Register SCON ให้เป็น ลอจิก “1 เสียก่อน ซึ่งทำได้2วิธีคือ

```
REN = 1;
```

หรือ

```
MOV  SCON,#xxx1xxxxB
```

ซึ่งเป็นการย้ายข้อมูลที่ทำให้บิต REN เป็น1 สำหรับค่า xหมายความว่าอะไรก็ได้ ขึ้นอยู่กับค่าโหมดต่างๆ

แฟลกอินเทอร์รัปท์ เมื่อมีการรับส่งข้อมูลเสร็จสิ้นจะมีผลต่อแฟลกอินเทอร์รัปท์ (RI และTI) ในรีจิสเตอร์ SCON ซึ่งบิตเหล่านี้จะถูกเซ็ทโดยHardware แต่ต้อง เคลียร์ ด้วย ซอฟแวร์

บิต RI ถ้าถูกเซท หมายความว่าบัฟเฟอร์ ที่ใช้รับข้อมูลเต็มให้อ่านได้แล้ว และบิตนี้สามารถใช้อินเทอรัปท์ MCS-51ได้ด้วย แต่ถ้าเขียนโปรแกรมจะต้องใช้วิธีตรวจเช็คว่าถ้าเป็น บิต”1 หมายความว่าให้อ่านข้อมูลมาเก็บในรีจิสเตอร์ ตัวอื่นได้และต้องเคลียร์ RI ด้วยเพื่อที่จะรับข้อมูลถัดไป ซึ่งเขียนโปรแกรมได้ดังนี้

```
JNB   RI,$
CLR   RI
MOV   A,SBUF
```

บิต TI เมื่อส่งข้อมูลออกไปแล้ว บิตนี้จะถูกเซ็ทเป็นการบอกว่าข้อมูลว่างแล้วให้ส่งข้อมูลใหม่เข้ามาได้ซึ่งสามารถใช้บิตนี้ อินเทอร์รัพท์ MCS-51 ได้เช่นกัน แต่ถ้าเขียนโปรแกรมคอยตรวจเช็คอาจเขียนได้ดังนี้

```
JNB   TI,$
CLR   TI
MOV   SBUF,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 อัตราการส่งข้อมูลทางพอร์ทอนุกรม

จากการศึกษาการรับส่งข้อมูลในโหมดต่างๆ พบว่า ในโหมด 0 และโหมด 2 ไม่สามารถกำหนด Baud Rate ได้ส่วน สำหรับ โหมด1 และ โหมด 3 สามารถกำหนดค่า Baud Rate ได้โดยการโปรแกรมลงใน Timer 1 ในการโปรแกรมแต่ละครั้ง จะมี SMOD สองค่าเช่นกัน

การใช้ Timer1 กำหนด Baud Rate Clock

การกำหนดค่าลงใน Timer 1 ทำได้โดยการโปรแกรมไปที่ TMOD ให้ทำงานแบบ 8-Bit Auto Reload Mode(Mode 2 ของ TMOD) โดยการเขียนลงไปดังนี้

MOV TMOD,#0010xxxxB

โดยค่า x หมายถึงอะไรก็ได้เพราะบิตที่เหลือไม่เกี่ยวกับ Timer 1

ให้ใส่ค่าTH1ลงไปดังตารางที่ 5.4 โดยใช้คำสั่ง

MOV TH1,#xxH

ค่าBaud Rate	Crystal	SMOD โหมด	ค่าในTH1	ค่า Baud Rate ที่ได้จริง
9600	12.000	1	F9H	8923
2400	12.000	0	F3H	2404
1200	12.000	0	E6H	1202
19200	11.059	1	FDH	19200
9600	11.059	0	FDH	9600
2400	11.059	0	F4H	2400
1200	11.059	0	E8H	1200

ตารางที่ 5.4 แสดงค่าความถี่สัญญาณนาฬิกาที่ใช้ในการกำหนด Baud Rate ต่างๆ

5.2 การติดต่อกับผู้ใช้ผ่านรีโมทคอนโทรล

ในโครงงานนี้เราใช้รีโมตคอนโทรล ของ SONY ซึ่งในแต่ละรุ่นจะมีจำนวนบิตที่ใช้ในการส่งคำสั่งไม่เท่ากัน รุ่นที่ใช้คือ RM 849 ซึ่งใช้คำสั่ง 12 bit

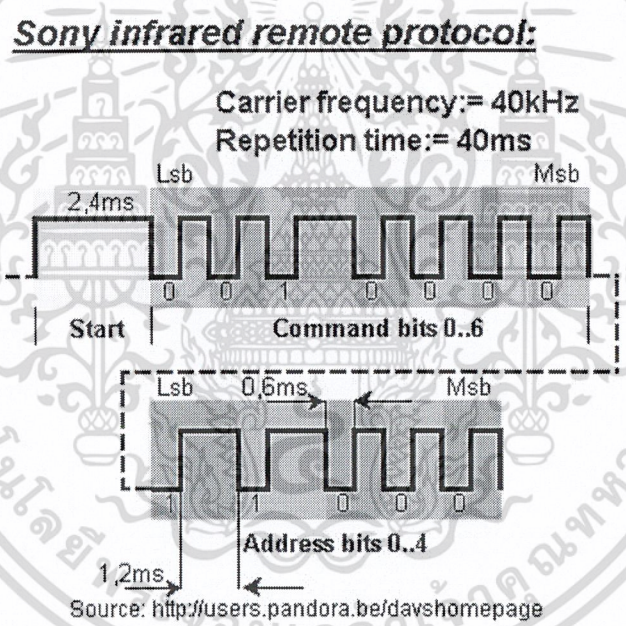
<u>โปรโตคอล</u>

โปรโตคอลของ SONY จะเป็นการสร้างรหัสโดยขึ้นกับความกว้างพัลส์ (Pulse width) จากการส่งด้วยสัญญาณพาหะความถี่ 40 kHz รายละเอียดของความกว้างพัลส์ต่างๆมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อเริ่มต้นส่งสัญญาณ จะส่งพัลส์ความกว้าง 4T (เป็น Header) จากนั้นจะส่งบิตคำสั่ง 7 bit แล้ว 5 bit โดยจะเว้นช่วงระหว่างพัลส์เป็นเวลา T
- ถ้าเป็นบิต '1 จะเป็นพัลส์กว้าง 2T, ถ้าเป็นบิต '0 จะเป็นพัลส์กว้าง T
- T = 600 μ s
- สัญญาณจะถูกส่งซ้ำไปเรื่อยๆถ้าปุ่มยังถูกกดอยู่ โดยระยะเวลาระหว่างcodeเป็น 40ms
- ส่ง LSB ก่อนแล้วจบด้วย MSB

ในทุกปุ่มจะมีส่วน Address bits เหมือนกันทุกปุ่ม (ถ้าเป็นรุ่นเดียวกันจะมีส่วนนี้เหมือนกัน) แต่จะส่วน Command bits จะแตกต่างกันออกไป



รูปที่ 5.8 โปรโตคอลของรีโมตคอนโทรล SONY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
รายละเอียดการออกแบบ และการสร้าง

6.1 ขั้นตอนการทำงาน

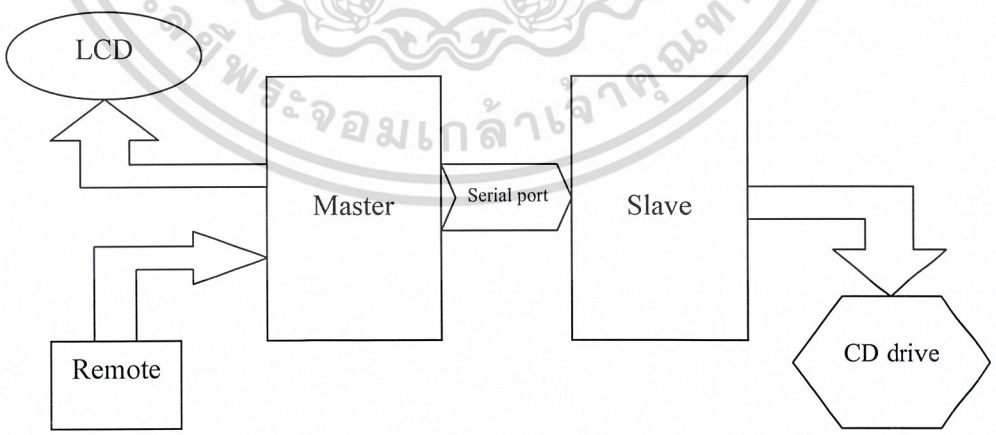
6.1.1 ศึกษามาตรฐานการเชื่อมต่อและทฤษฎีที่เกี่ยวข้อง

ในการควบคุม CD drive จะใช้ Interface แบบ IDE (ดูรูป3.3) และมาตรฐานการเชื่อมต่อ (Protocol) คือ ATA และ ATAPI ซึ่งอธิบายโดยสรุปในบทที่ 3

6.1.2 ออกแบบวงจร

ใช้ MCS-51 ในการควบคุมการติดต่อกับ CD drive, การแสดงผล (LCD) และการรับคำสั่งจากผู้ใช้ (รีโมทคอนโทรล) โดยแบ่งหน้าที่ให้ไมโครคอนโทรลเลอร์ 2 ตัวแทนที่จะใช้การขยายพอร์ท เพื่อลดความยุ่งยาก และลดค่าใช้จ่าย (ไมโครคอนโทรลเลอร์เบอร์ที่มีพอร์ทเพียงพอใช้งาน มีราคาสูงกว่า) ไมโครคอนโทรลเลอร์ที่ควบคุมการติดต่อกับ CD drive ในที่นี้ขอเรียกว่า Slave และอีกตัวที่ควบคุม LCD และตรวจสอบคำสั่งจากรีโมทจะเรียกว่า Master

การทำงานของวงจรแสดงดังรูปที่ 6.1 เริ่มต้นจาก Master จะรับค่ามาจากรีโมท พร้อมทั้งแสดงผลทางหน้าจอ เช่น คำสั่งที่ทำในขณะนั้น หรือ Trackปัจจุบัน จากนั้นMaster จะส่งคำสั่งจากผู้ใช้ไปยัง Slave ผ่านพอร์ทอนุกรม แล้ว Slave ก็จะทำตามคำสั่งที่กำหนดไว้



รูปที่ 6.1 บล็อกไดอะแกรมโดยย่อของวงจร

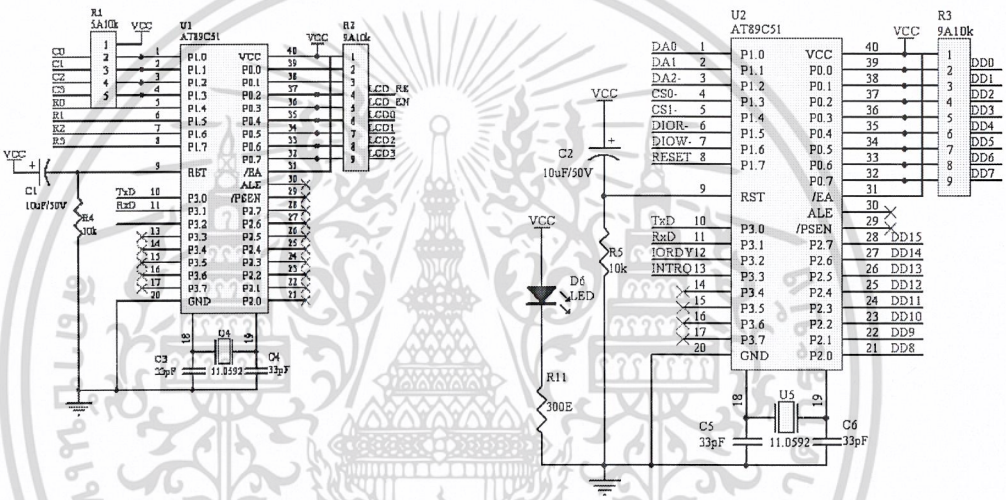
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน มาสเตอร์ มีการใช้พอร์ท ดังนี้

- Port 0 ใช้ควบคุมการแสดงผลทาง LCD
- Port 3 ใช้ serial port เพื่อติดต่อกับส่วน สเลฟ และใช้ตรวจคำสั่งจากรีโมท

ส่วน สเลฟ มีการใช้พอร์ท ดังนี้

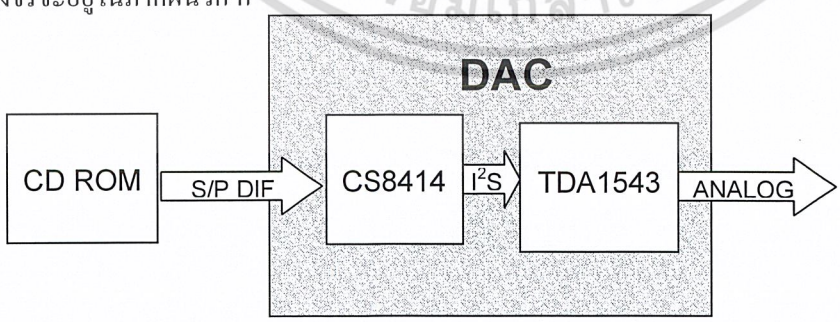
- Port 0 และ Port 2 ใช้เป็นขา data ไบต์ต่ำและไบต์สูง ตามลำดับ
- Port 1 เป็นขา address ทั้ง 5ขา และขาสโตรบ(DIOR- และ DIOW-)



ก) ส่วนมาสเตอร์ ข) ส่วนสเลฟ

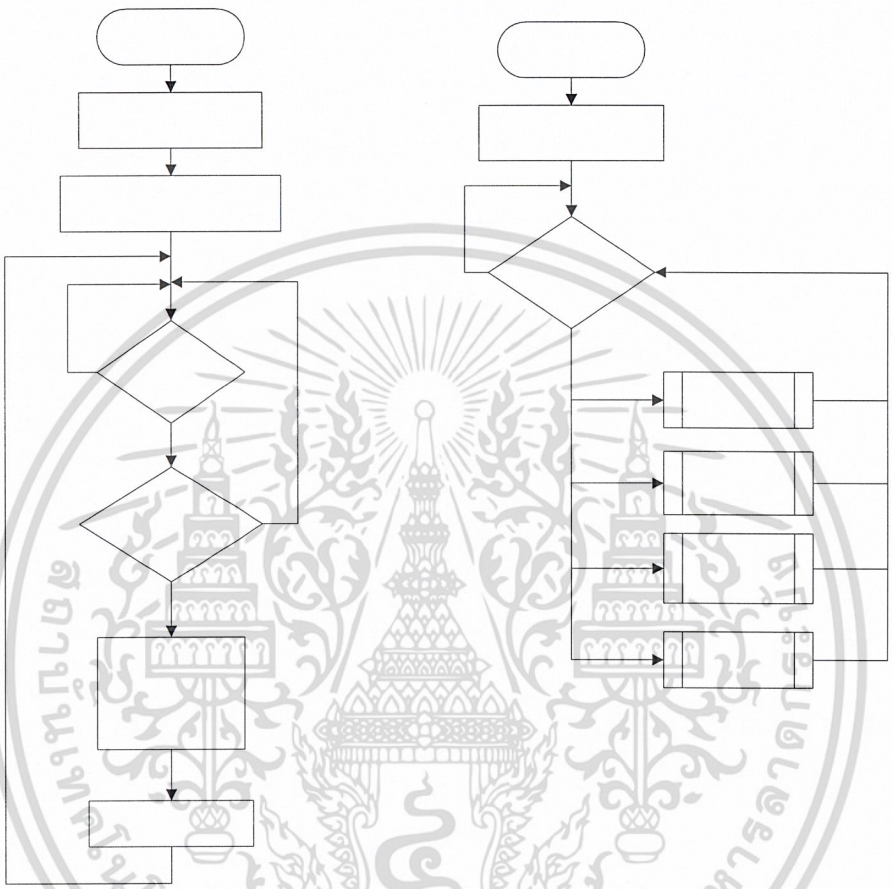
รูปที่ 6.2 รูปวงจร เฉพาะส่วนควบคุม

ในส่วนของ DAC จะแบ่งการทำงานออกเป็นสองช่วง คือ แปลงสัญญาณ S/PDIF ไปเป็น I^2S และ แปลงสัญญาณ I^2S เป็นอนาล็อก โดยใช้ CS8414 และ TDA1543 ตามลำดับ ดังรูปที่ 6.3 โดยรูปวงจรจะอยู่ในภาคผนวก ก



รูปที่ 6.3 บล็อกไดอะแกรมของ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) ส่วนมาสเตอร์ ข) ส่วนสเลฟ

รูปที่ 6.4 โฟล์วชาร์ทของซอฟท์แวร์ใน MCS-51

6.1.3 การเขียนซอฟท์แวร์ควบคุม

ขั้นตอนของซอฟท์แวร์แสดงเป็นโฟล์วชาร์ทดังรูปที่5.3

เริ่มต้นจาก ส่วนสเลฟจะเซ็ตค่าและแสดงหน้าจอเริ่มต้น จากนั้นก็จะทำการตรวจสอบ ปุ่มรีโมทที่ผู้ใช้กดเข้ามา ถ้ามีการกดปุ่มก็จะแสดงถึงคำสั่งที่ปุ่มนั้นกำหนดไว้ และส่งคำสั่งดังกล่าวไปยังส่วนสเลฟเพื่อให้ติดต่อCD drive อีกทีหนึ่ง

เซ็ทค่

แสดงหน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

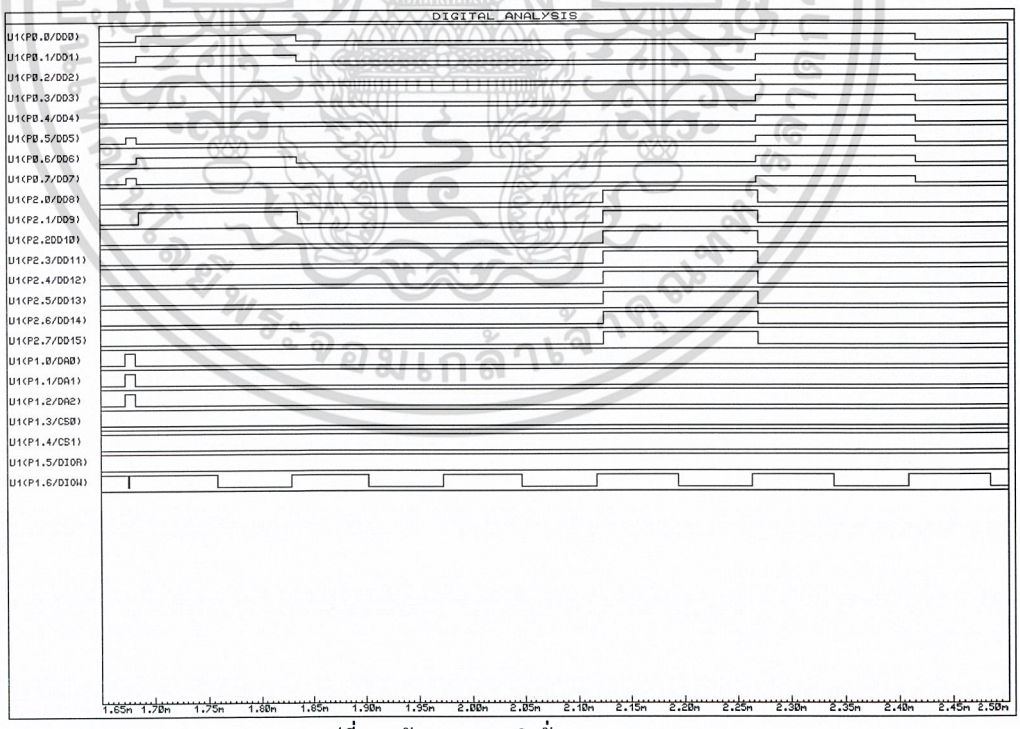
ส่วนสเลฟ ซึ่งรอรับคำสั่งทาง serial port อยู่แล้ว เมื่อได้รับคำสั่ง ก็จะแยกทำไปตามกรณี เช่น ถ้าเป็นปุ่ม Play ก็จะทำการ read TOC ก่อน จากนั้นก็สั่ง Play MSF

คำสั่ง read TOC จะถูกใช้เพื่อการหา address เริ่มต้นของแต่ละเพลง เพื่อใช้ในการเลือกเพลงไปก่อนหรือหลังเพลงที่เล่นอยู่ จากนั้นจะใช้คำสั่ง Play MSF ถ้าต้องการหยุดเพลงชั่วคราวจะใช้คำสั่ง Pause และใช้ Resumeเพื่อเล่นเพลงต่อ ส่วนการเปิด/ปิดถาด จะใช้ Load/Unload ซึ่งเปลี่ยนพารามิเตอร์ไปเพียงบิตเดียว(การหยุดเพลง หรือ stop ก็ใช้ codeเดียวกัน

6.1.4 การทดสอบเวลาของโปรโตคอล ATAPI

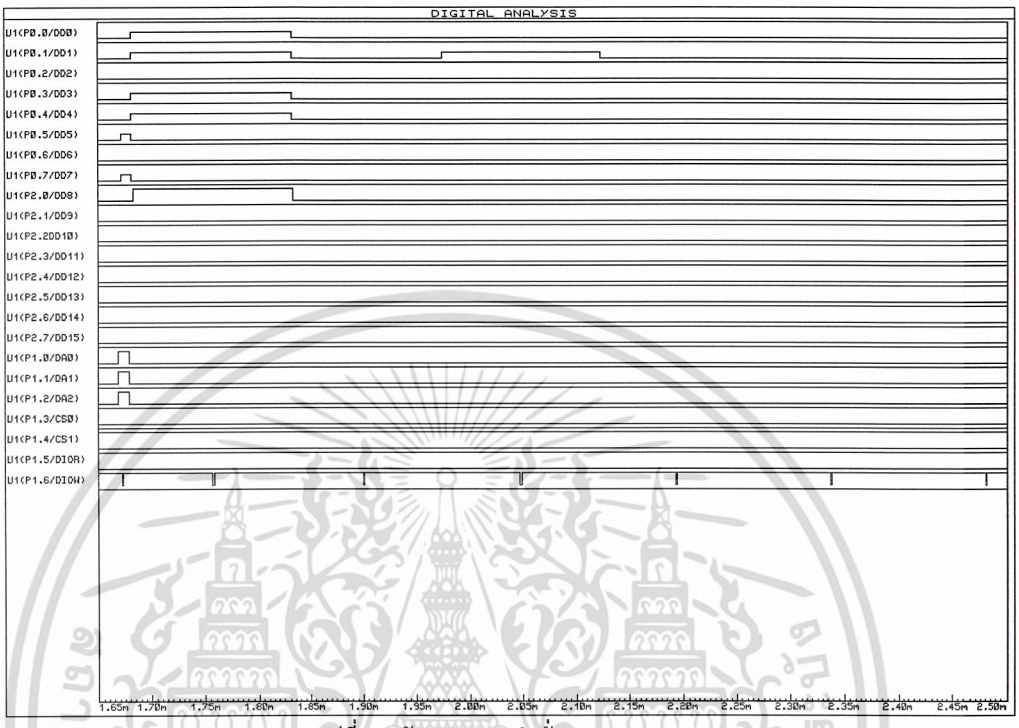
ก่อนที่จะนำซอฟท์แวร์ไปทดสอบกับตัววงจรจริง ได้ทำการจำลองสัญญาณผ่านโปรแกรม Proteus 6 ก่อนเพื่อทดสอบว่าระยะเวลาตาม timing diagram ของ Protocol ซึ่งได้กราฟสัญญาณมาดังรูปที่5.4 ถึง รูปที่ 6.10 ซึ่งแสดงให้เห็นว่าตรงตามข้อกำหนดขั้นต่ำของโปรโตคอล

จากรูปที่ 6.4 – 6.10 จะเห็นว่ามีการสโตรบสัญญาณทั้งหมด 7 ครั้ง ครั้งแรกคือตอนที่เขียน Operation code ‘A0H’ เพื่อให้ device รู้ว่าจะเริ่มส่ง Packet command (เปลี่ยนจากโปรโตคอล ATA ไปใช้ ATAPI) โดยจะส่งต่ออีก 6 ครั้ง ครั้งละ 2 ไบต์ (ใช้ขาdata ทั้ง 16 บิต)

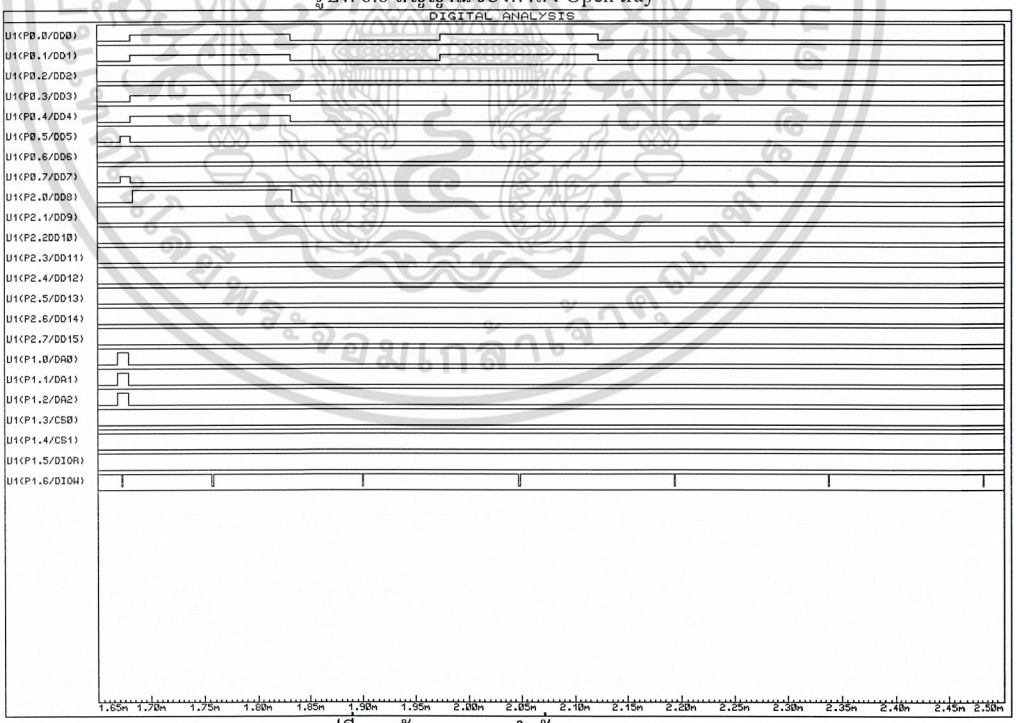


รูปที่ 6.5 สัญญาณของคำสั่ง Read TOC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

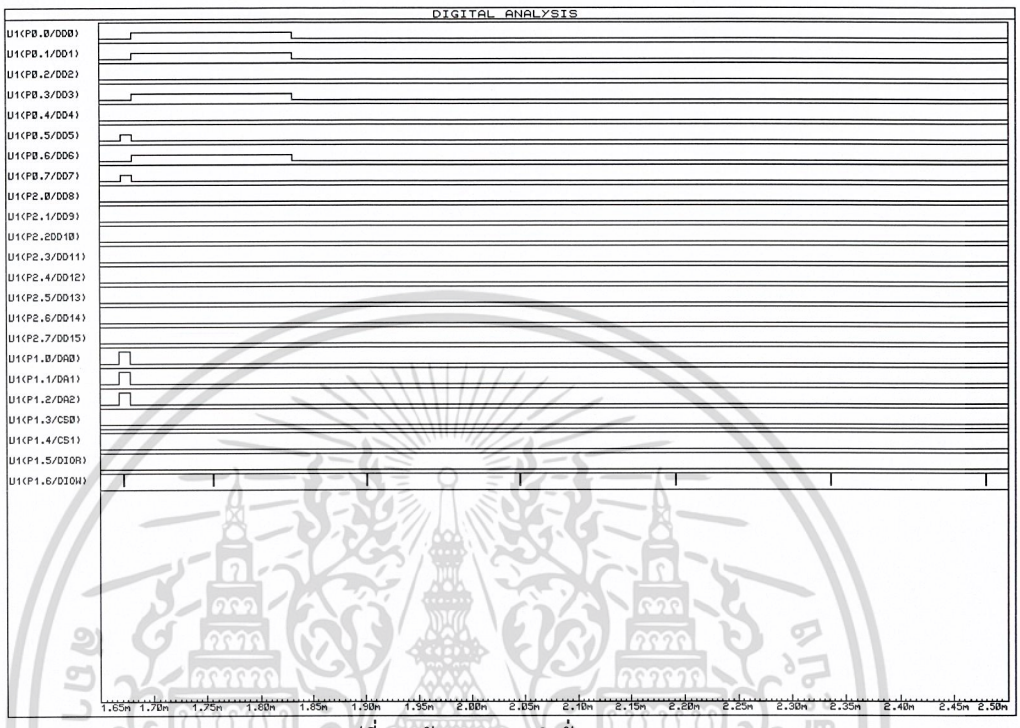


รูปที่ 6.6 สัญญาณของคำสั่ง Open tray

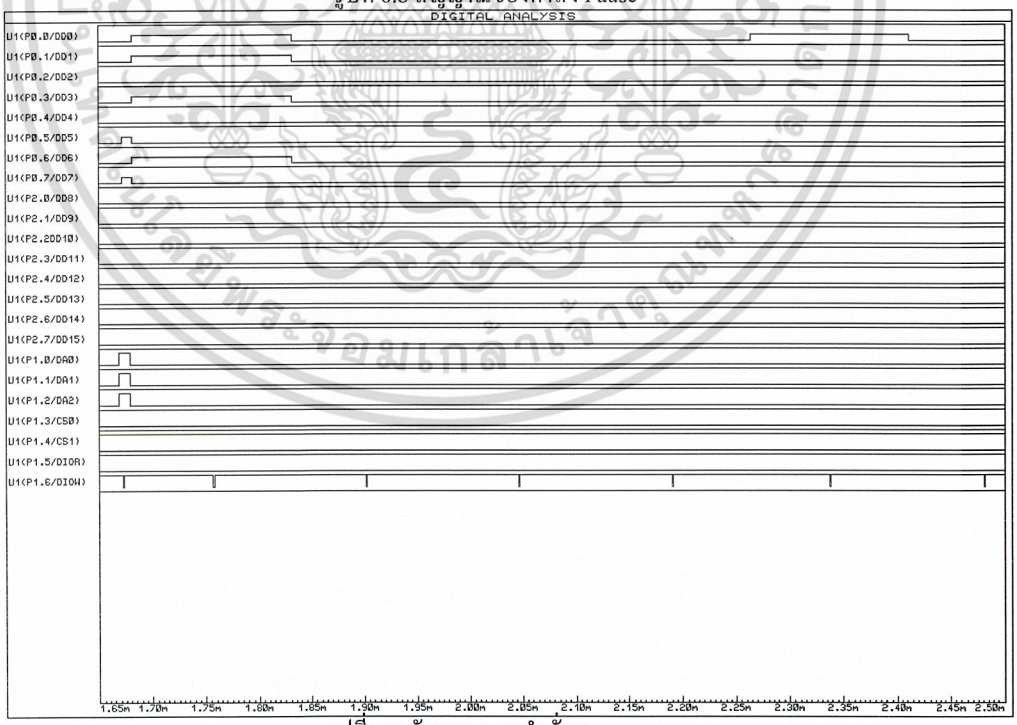


รูปที่ 6.7 สัญญาณของคำสั่ง Close tray

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

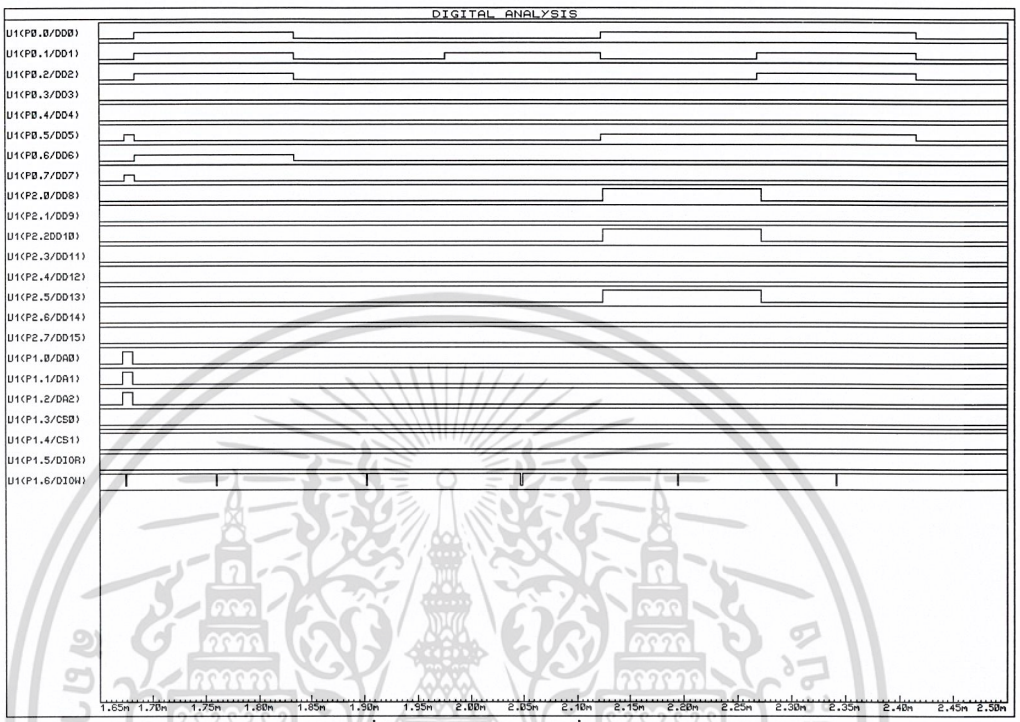


รูปที่ 6.8 สัญญาณของคำสั่ง Pause

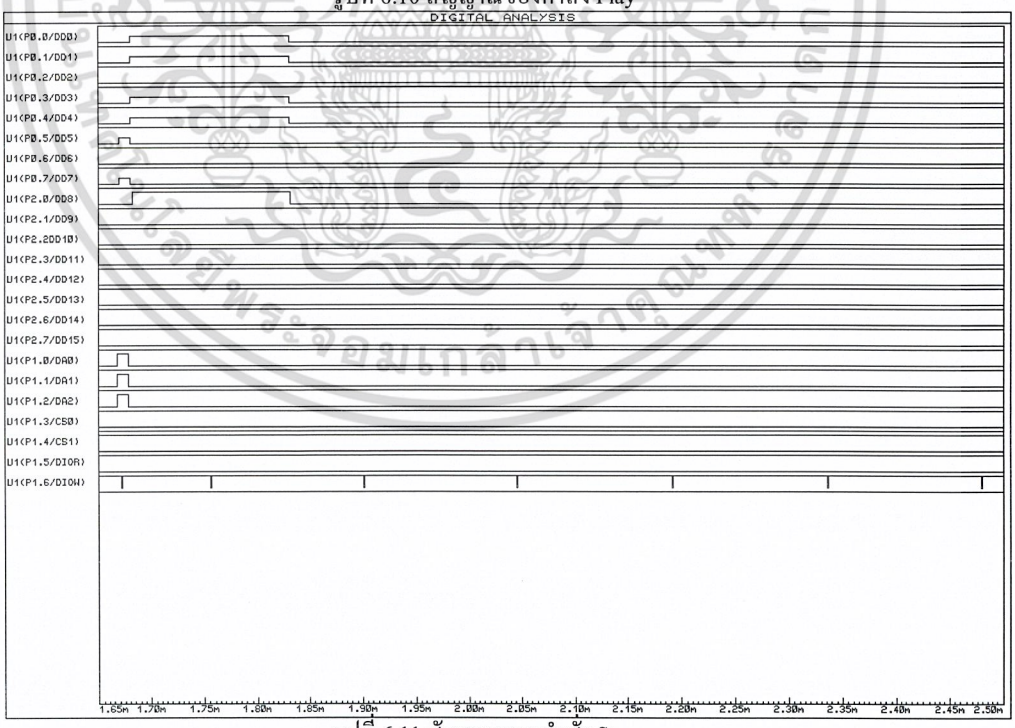


รูปที่ 6.9 สัญญาณของคำสั่ง Resume

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 สัญญาณของคำสั่ง Play



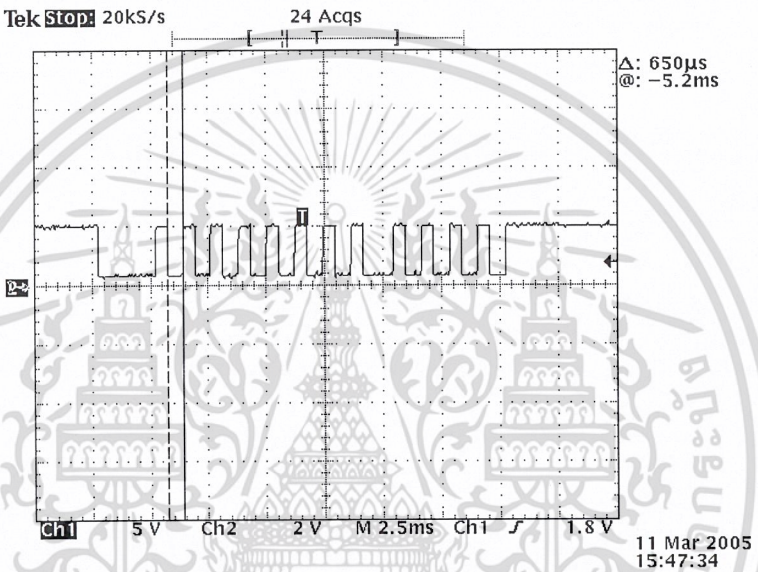
รูปที่ 6.11 สัญญาณของคำสั่ง Stop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

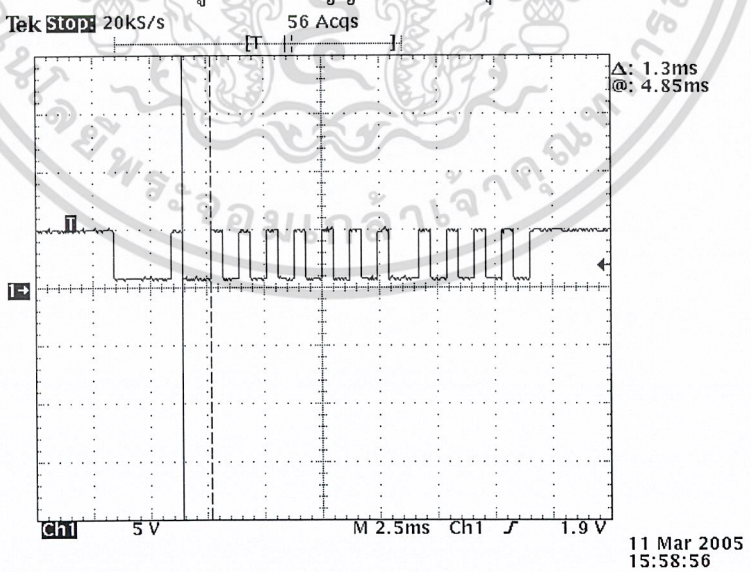
6.1.5 การทดสอบโปรโตคอลรีโมท

ทำการวัดค่าสัญญาณที่รับได้ที่โมดูลอินฟาเรด เพื่อดูค่าคาบเวลาของคลื่น และ Code ของแต่ละปุ่ม ในรูปที่ 6.11 ถึง 6.13 จะเป็นการแสดงค่าเวลาความกว้างพัลส์ต่างๆ ได้แก่ พัลส์ของสัญญาณบิต 0, บิต 1 และพัลส์เริ่มต้น ตามลำดับ

ในส่วนของค่า Code ต่างๆจะแสดงไว้ในภาคผนวก ข.

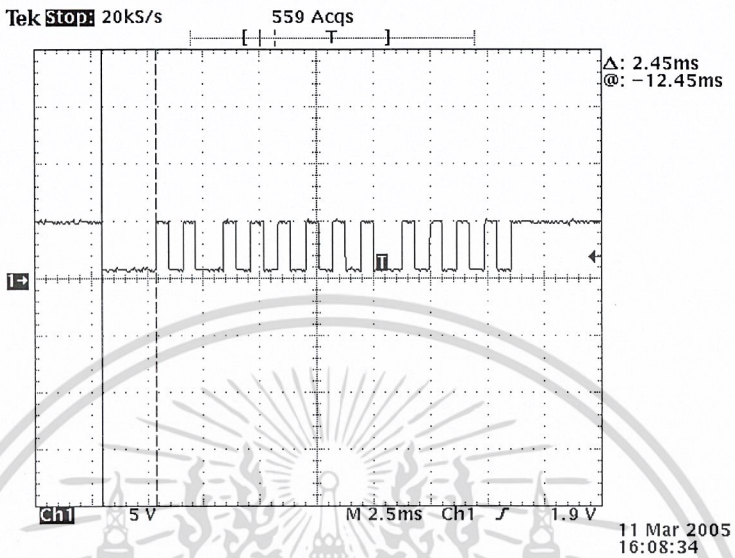


รูปที่ 6.12 สัญญาณที่ได้จากปุ่ม “1



รูปที่ 6.13 สัญญาณที่ได้จากปุ่ม “2

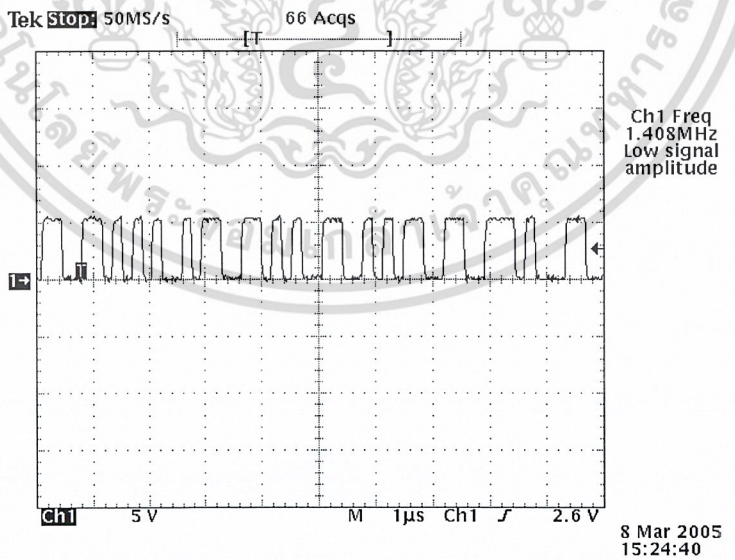
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 สัญญาณที่ได้จากปุ่ม “3

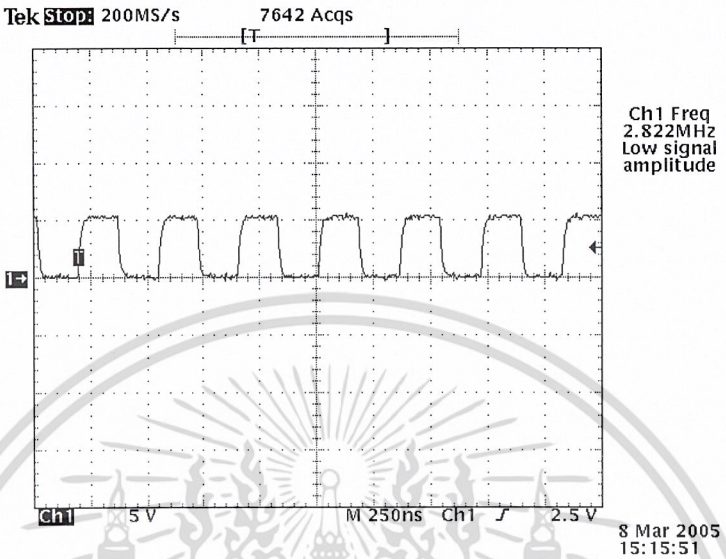
6.1.6 การทดสอบ DAC

ทำการวัดสัญญาณในจุดต่างๆของวงจร DAC เริ่มต้นจากวัดสัญญาณ S/PDIF จากไดร์ฟ (รูปที่ 6.14) จากนั้นวัดในส่วนสัญญาณ I^2S ได้ผลดังในรูปที่ 6.15 ถึง 6.17 แสดงถึงสัญญาณ SCK, SDATA และ WRDSEL ตามลำดับ ในที่สุดจะได้สัญญาณอนาล็อกออกมา (รูปที่ 6.18) นำมาเทียบกับสัญญาณอนาล็อกทางด้านหน้าของไดร์ฟ

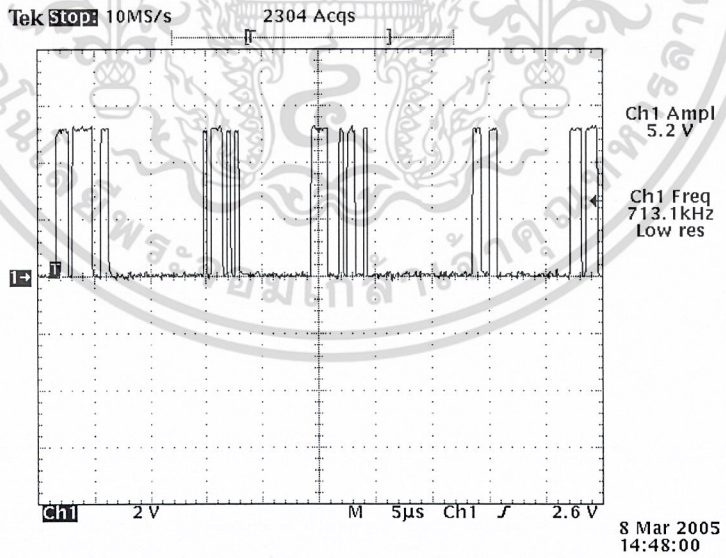


รูปที่ 6.15 สัญญาณ S/PDIF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

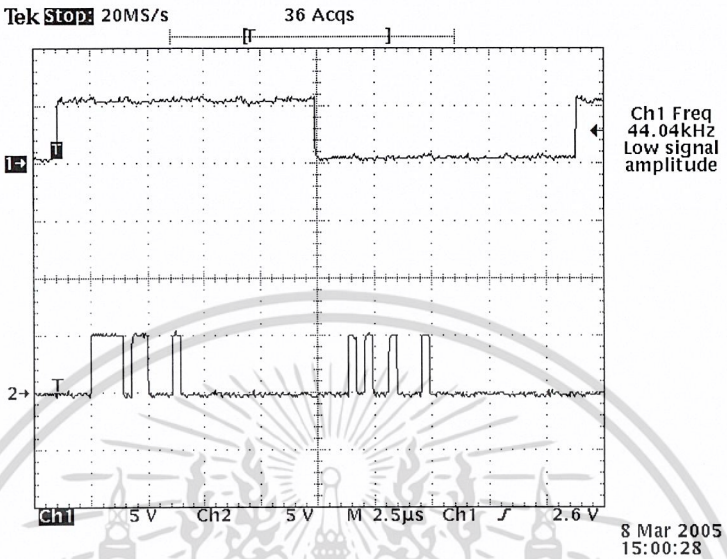


รูปที่ 6.16 สัญญาณ SCK

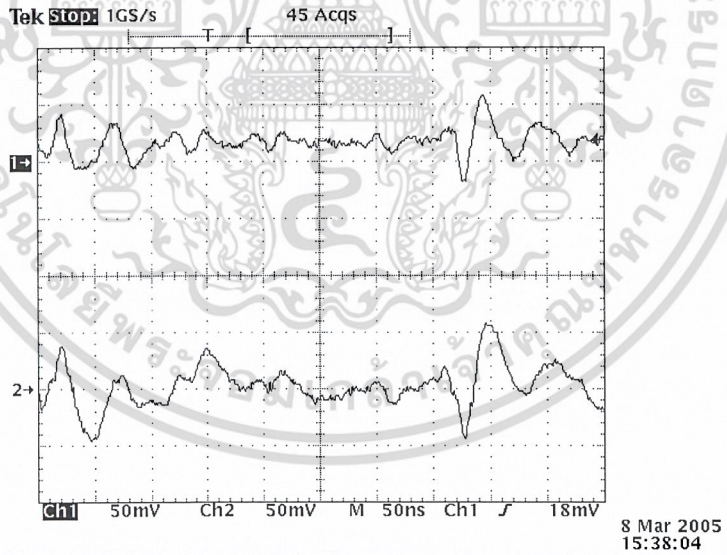


รูปที่ 6.17 สัญญาณ SDATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.18 สัญญาณ WRDSEL เทียบกับ SDATA



รูปที่ 6.19 สัญญาณเอาท์พุทอนาล็อกจากตัวไดร์ฟและจาก DAC

6.1.7 การทดสอบการใช้งานจริง

จากการทดสอบต่อวงจรเข้ากับ CD drive หลายรุ่นหลายยี่ห้อพบว่าใช้งานได้ดี แต่จะมีปัญหาเล็กน้อยในช่วงเริ่มจ่ายไฟให้กับ CD drive และตัววงจร เพราะเวลาที่ใช้การstartup ของแต่ละ drive ไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากัน การส่งคำสั่งของส่วน Master จึงไม่เกิดผลในทันที จึงแก้ปัญหาโดยหน่วงเวลาแล้วแสดงผลเป็นจอเริ่มต้นระยะหนึ่ง ก่อนจะเริ่มรับคำสั่งจากผู้ใช้ได้

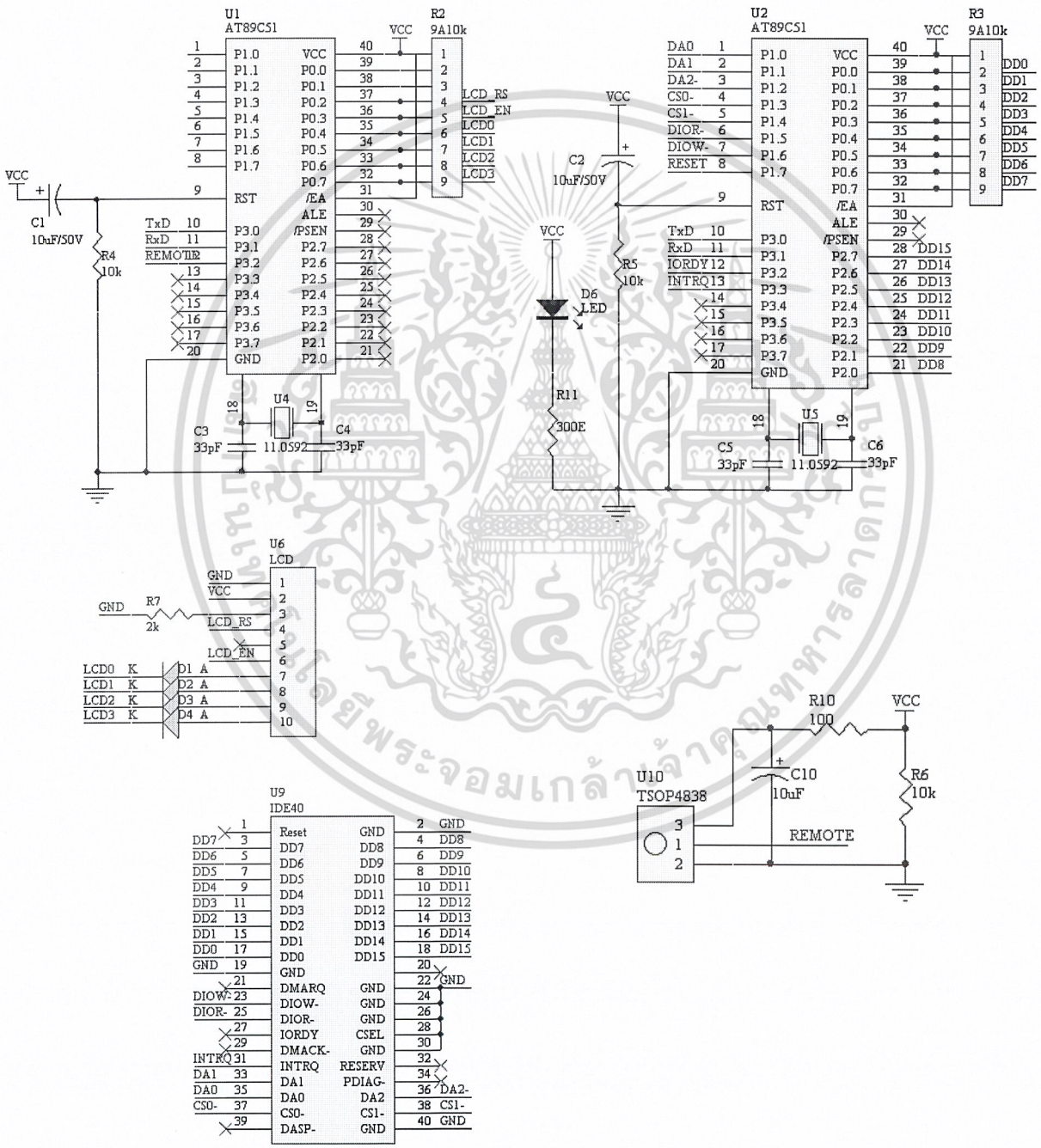
6.2 แนวทางการพัฒนา

เพิ่มความสามารถโดยการเพิ่มเติมวงจรต่างๆ เช่น การเพิ่ม Decoder ของ VCD หรือ MP3 และเพิ่มขีดความสามารถด้านคุณภาพของเสียงโดยการเพิ่มส่วนประกอบเข้าไป เช่น Amplifier

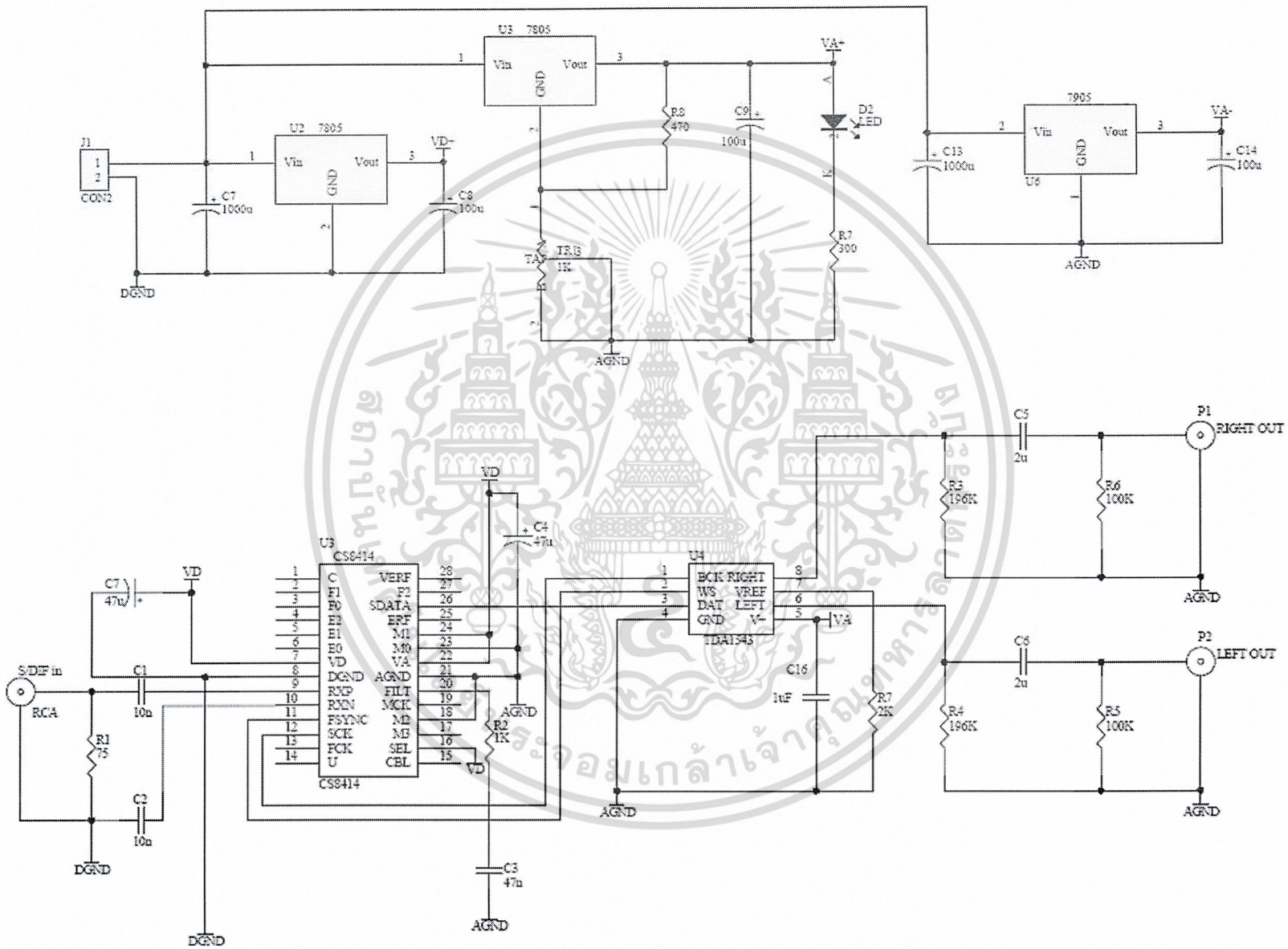
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

วงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


U3 7805
Vin
Vout
GND
U2 7805
7905
U6
J1
CON2
C7 1000u
C8 100u
C9 100u
C13 1000u
C14 100u
R8 470
D2 LED
R7 300
TRIM 1K
VA+
VA-
VD-
DGND
AGND
U3 CS8414
U4 TDA1543
C4 47u
C7 47u
C1 10n
C2 10n
C3 47n
R1 75
R2 1K
C5 2u
C6 2u
R3 196K
R4 196K
R5 100K
R6 100K
C16 1uF
R7 2K
P1 RIGHT OUT
P2 LEFT OUT
S/DIF in
RCA
VD
VA

ภาคผนวก ข

รหัสรีโมท SONY RM849

ปุ่ม	Code	
	HEX	BIN
MUTE	094	00001 0010100
POWER	095	00001 0010101
DISPLAY	0BA	00001 0111010
TEXT-MIX	0BF	00001 0111111
TV	0B8	00001 0111000
1	080	00001 0000000
2	081	00001 0000001
3	082	00001 0000010
4	083	00001 0000011
5	084	00001 0000100
6	085	00001 0000101
7	086	00001 0000110
8	087	00001 0000111
9	088	00001 0001000
0	089	00001 0001001
1-	08C	00001 0001100
2-	08D	00001 0001101
SLEEP	0B6	00001 0110110
SELECT	0FC	00001 1111100
+	0F4	00001 1110100
-	0F5	00001 1110101
A/B	097	00001 0010111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปุ่ม	Code	
	HEX	BIN
PIC MODE	096	00001 0010110
TIME	0AB	00001 0101011
VOLUME +	092	00001 0010010
VOLUME -	093	00001 0010011
PROGRAM +	090	00001 0010000
PROGRAM -	091	00001 0010001
TV/VIDEO	0A5	00001 0100101

หมายเหตุ: - code ในตาราง รวมส่วนของ Address bits และ Command bits เข้าด้วยกัน โดย Address bits จะเป็นบิตสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณอาจารย์ที่ปรึกษาที่คอยให้คำปรึกษาและคำแนะนำในการทำโครงงาน ขอขอบคุณพี่ๆภาคอิเล็กทรอนิกส์ในการให้คำปรึกษาในการปฏิบัติงานต่างๆ สอนหลายๆสิ่ง และให้กำลังใจ ขอขอบคุณเพื่อนๆในห้องโปรเจ็คที่ร่วมแบ่งปันความรู้ ช่วยเหลือ และแก้ไขในข้อบกพร่อง และสุดท้ายขอขอบคุณเหล่าคณาจารย์ที่สอนวิชาความรู้ต่างๆ ทำให้โครงงานสำเร็จลุล่วงไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Grant Erickson, "A fundamental introduction to compact disc player", http://www.tc.umn.edu/~erick205/Papers/paper.html.
2. SAMSUNG Technology, "CD-ROM Technology", http://www.samsungodd.com/eng/Information/ODDTech/ODDTech.asp?FunctionValue=view&no=8&type_no=3, CD Format Book.
3. Chip's CD Media Resource Center, "CD-ROM", http://www.chipchapin.com/CDMedia/cdrom1.php3.
4. Peter T. McLean, "Information Technology-AT Attachment-3 Interface(ATA-3)", American National Standard of Accreditted Standards Committee X3, X3T13 2008D.
5. Tom Hanan, "ATA Packet Interface for CD-ROMs", Small Form Factor Committee Specification, SFF-8020i.
6. De Vleeschauwer David, "SONY infrared remote protocol", Davshomepage http://users.pandora.be/davshomepage/
7. Hifi-remote.com, "SONY infrared (IR) remote control codes", http://www.hifi-remote.com/sony/
8. ePanorama.net, "S/PDIF Interface", http://www.epanorama.net/documents/audio/spdif.html
9. Cirrus Logic, Inc., "CS8414 96 kHz Digital Audio Receiver", http://www.cirrus.com/en/pubs/proDatasheet/8413-4.pdf
10. Philips Semiconductors, "TDA1543 Dual 16-bit DAC (economy version)", http://www.alldatasheet.net/datasheet-pdf/view/PHILIPS/TDA1543.html

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้