

ระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่
SECURITY SYSTEM TO MOBILE PHONE



เลขหมู่.....62061
เลขทะเบียน.....
วัน,เดือน,ปี 27 ก.ค. 2549

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่
SECURITY SYSTEM TO MOBILE PHONE



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2547

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่

ผู้จัดทำ

1. นายกริช คณาเดิม 45015184

2. นายธีรยุทธ ถนัดคำ 45015235



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่

SECURITY SYSTEM TO MOBILE PHONE

นายกริช คณาเดิม 45015184

นายธีรยุทธ ถนัดคำ 45015235

โครงการได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการสอบได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่

นาย กริช ฅณาเดิม

นาย ชีรยุทธ ถนัดคำ

อาจารย์ ชินภัทร นันทจิวงกรชัย

ปีการศึกษา 2547

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการนำเสนอ ระบบรักษาความปลอดภัยภายในบ้าน โดยการประมวลผลสัญญาณภาพจากกล้องวีดีโอวงจรปิด ที่จับภาพผู้ที่บุกรุก แล้วแจ้งเตือนไปยังเจ้าของบ้านผ่านข้อความทางโทรศัพท์เคลื่อนที่

ในส่วนของการประมวลผลสัญญาณภาพ จะใช้พื้นฐานของสัญญาณวีดีโอที่เป็นสัญญาณอนาล็อกจากกล้องวงจรปิด แปลงให้อยู่ในรูปของสัญญาณทางดิจิทัลแล้วเก็บลงในหน่วยความจำ ก่อนนำไปประมวลผลข้อมูลภาพโดยไมโครคอนโทรลเลอร์ MCS-51

ในส่วนของการส่งข้อความแจ้งเตือน จะใช้ไมโครคอนโทรลเลอร์ MCS-51 โดยการเขียนชุดคำสั่งของ GSM AT Command ในการควบคุมการส่งข้อความ ไปยังโทรศัพท์เคลื่อนที่ของเจ้าของบ้าน เพื่อแจ้งเตือนให้ทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SECURITY SYSTEM TO MOBILE PHONE

Krich Kanaderm

Teerayoot Thanadka

Chinnapat Nantajivakornchai Advisor

2004

ABSTRACT

This project presents the indoor security system. Using security video camera for capturing the picture and send to microcontroller to processing the captured image for detection of intruder. If the intruder was found in image data, the system will send an alert to house owner's mobile phone.

First, the analog video signal from security video camera is converted into digital form and store in video memory. The micro controller (MCS-51) does the image processing of image data to find the change in an image which is the indication of an intruder.

Second, after an intruder found in image data, the house owner will be alert through his mobile phone. The microcontroller (MCS-51) sends the GSM AT Command for controlling the message sending to the mobile phone.

กิตติกรรมประกาศ

โครงการนี้สำเร็จลุล่วงไปได้ด้วยดี ขอขอบพระคุณ อาจารย์ชินภัทร นันทจิวงกรชัย เป็นอย่างสูง ที่ให้ความรู้ คำปรึกษา และคำแนะนำต่างๆ ในโครงการ รวมทั้งอุปกรณ์ต่างๆ และสถานที่ทำโครงการนี้ ขอขอบคุณ บิดา-มารดาที่ให้อำลัใจ คำปรึกษา คำแนะนำ และความช่วยเหลือต่างๆ ตลอดมา อีกทั้งขอขอบคุณเพื่อนๆทุกคน และผู้เกี่ยวข้อง ที่ให้ความช่วยเหลือในด้านต่างๆเป็นอย่างดี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

ABSTRACT

กิตติกรรมประกาศ

สารบัญ

บทที่ 1 บทนำ

1

บทที่ 2 ทฤษฎีสัญญาณโทรศัพท์

3

2.1 องค์ประกอบของภาพ

3

2.2 การสแกน

4

2.3 สัญญาณภาพรวม

10

2.3.1 สัญญาณภาพขาวดำ

12

2.3.2 สัญญาณแปลงสี

13

2.3.3 สัญญาณเชิงโครโม

13

2.3.4 สัญญาณอีควอไลซ์

13

บทที่ 3 การแปลงสัญญาณอนาล็อกเป็นดิจิทัล

17

3.1 วิธีการแปลงสัญญาณอนาล็อกเป็นดิจิทัล

17

3.1.1 Counting Converter

17

3.1.2 Successive Approximation

19

3.1.3 Dual-Slope ADC

20

3.1.4 Flash Converter

23

บทที่ 4 GSM AT Command กับ โทรศัพท์มือถือ

24

4.1 ตัวอย่างคำสั่ง GSM AT Command

24

4.2 หลักการส่งรับ SMS

24

4.3 โหมดของการรับส่งข้อมูล

25

4.4 การส่งข้อความ SMS ในพีดียูโหมด

25

บทที่ 5 หลักการออกแบบและการทำงานของวงจร

27

5.1 หลักการออกแบบวงจร

27

5.2 หลักการทำงานของวงจร

27

5.2.1 การทำงานของวงจรแยกซิงค์

27

5.2.2 การทำงานของวงจรหน่วงสัญญาณซิงค์

27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
5.2.3 การทำงานของวงจรเลือกตำแหน่งภาพ	28
5.2.4 การทำงานของวงจรแปลงอนาล็อกเป็นดิจิตอล	29
5.2.5 การทำงานของวงจรหน่วยความจำภาพและไมโครคอนโทรลเลอร์	29
5.2.6 การทำงานของไมโครคอนโทรลเลอร์	30
5.2.7 ทำงานของวงจรส่ง SMS	30
บทที่ 6 ผลการทดลอง	34
6.1 การทดลองวัดสัญญาณต่างๆ	34
6.2 การทดลองจำลองการใช้งานจริง	43
6.3 การทดลองขนาดวัตถุที่มีการแจ้งเตือน	46
บทที่ 7 สรุปและวิจารณ์ผลการทดลอง	47
ภาคผนวก	
เอกสารอ้างอิง	



บทที่ 1

บทนำ

จากสภาพเศรษฐกิจและสังคมในปัจจุบัน ทำให้มีการก่ออาชญากรรมเป็นจำนวนมาก รวมถึงการลักทรัพย์ การที่จะป้องกันไม่ให้เกิดความเสียหายกับทรัพย์สินจึงเป็นสิ่งจำเป็น และการที่มีระบบโทรทัศน์วงจรปิดเข้ามาใช้งานถึงสิ่งที่ช่วยป้องกันได้อีกทางหนึ่ง แต่ยังคงขาดความสมบูรณ์ คือ การบันทึกภาพได้เพียงอย่างเดียว

จากแนวทางข้างต้นเราจะเห็นได้ว่ายังไม่มีความสมบูรณ์ เนื่องจากขาดการติดตามอย่างรวดเร็ว ดังนั้น โครงการระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่ จึงได้นำเทคโนโลยีด้านการสื่อสารกับเทคโนโลยีด้านการประมวลผลทางภาพมาใช้งานรวมกัน โดยโครงการนี้จะนำเอาภาพจากกล้องวงจรปิด (Video Camera) มาแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog Digital Converter) แล้วนำสัญญาณที่ได้ไปเก็บไว้ในหน่วยความจำ (Memory Ram) แล้วนำค่าที่ได้ในหน่วยความจำไปประมวลผลโดยใช้ไมโครคอนโทรลเลอร์เพื่อหาการเปลี่ยนแปลงของภาพ ถ้าภาพนั้นมีการเปลี่ยนแปลงหรือมีคนเข้ามาในห้อง ไมโครคอนโทรลเลอร์ก็จะทำการควบคุม การส่งข้อความเตือนไปยังโทรศัพท์เคลื่อนที่ ของเจ้าของระบบรักษาความปลอดภัย ทำให้ลดการเกิดความเสียหายเนื่องมาจากอาชญากรรม ด้านการลักทรัพย์

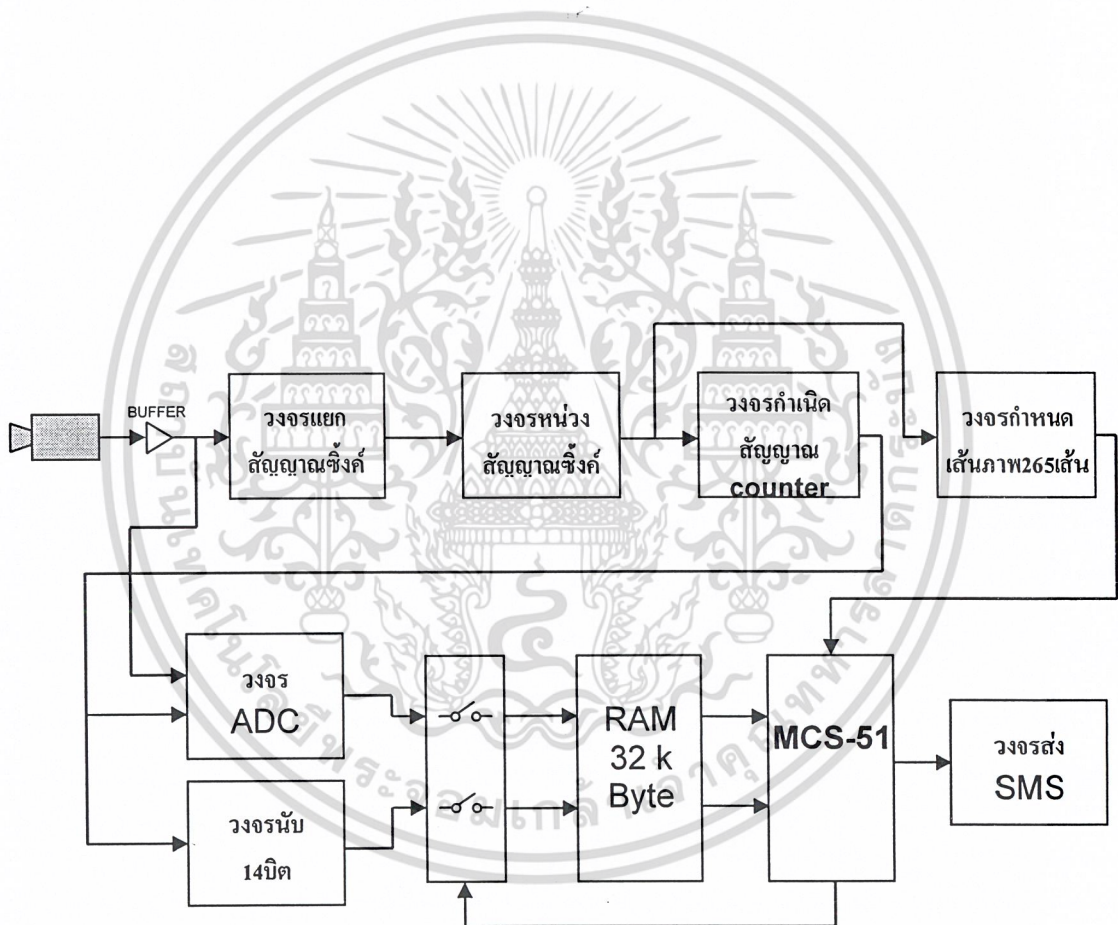
วัตถุประสงค์ของโครงการ

1. เพื่อศึกษาและประยุกต์ใช้งานสัญญาณภาพรวมในงานด้านการประมวลผลภาพ
2. เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิทัล
3. เพื่อศึกษาและประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ในงานด้านการประมวลผลภาพ
4. เพื่อศึกษาและประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในการควบคุมโทรศัพท์มือถือ
5. เพื่อศึกษาคำสั่งการควบคุมมือถือ

ขอบเขตของโครงการ

ในส่วนของการศึกษาที่หนึ่ง เป็นการศึกษาถึงการเปลี่ยนสัญญาณภาพที่เป็นอนาลอกให้เป็นสัญญาณทางดิจิทัลเพื่อเก็บข้อมูลภาพนั้นลงในหน่วยความจำ (Memory Ram) แล้วนำข้อมูลในหน่วยความจำมาประมวลเพื่อหาค่าของการเปลี่ยนแปลงของภาพ

ในส่วนของการศึกษาที่สอง จะเป็นการศึกษาถึงการใช้งานไมโครคอนโทรลเลอร์ในการควบคุมการส่งข้อความไปยังโทรศัพท์มือถือ



รูปที่ 1.1 BLOCK DIAGRAM ของวงจรระบบรักษาความปลอดภัยผ่านโทรศัพท์เคลื่อนที่

บทที่ 2

ทฤษฎีสัญญาณโทรทัศน์

2.1 องค์ประกอบของภาพ

หากเราตัดภาพจากหนังสือพิมพ์มาสักหนึ่งภาพ แล้วขยายให้ใหญ่ขึ้น จะพบว่าภาพมีองค์ประกอบจากจุดสีขาวและสีดำมากมาย มาเรียงประกอบกันเป็นภาพ จุดเหล่านี้เองที่เรียกว่าองค์ประกอบของภาพ

ทำนองเดียวกัน ภาพที่เกิดทางจอโทรทัศน์ก็นำหลักการดังกล่าวมาใช้ ภาพที่เกิดขึ้นบนจอโทรทัศน์ประกอบด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก แต่ละเส้นนั้นมีส่วนที่ดำสนิท ส่วนที่จางและส่วนที่สว่างรวมกันอยู่ เส้นเหล่านี้เราได้มาจากการกวาดของลำแสง หรือ การสแกน (Scan) ความแตกต่างของเส้นที่มีการกวาดของลำแสง เราเรียกว่าองค์ประกอบของภาพ

ระบบการสแกน 525 เส้นเราจะแบ่งส่วนทางแนวดิ่งได้ 700 เส้น ดังนั้นจึงกล่าวได้ว่าหากจะหาจำนวนขององค์ประกอบภาพในระบบการสแกน 525 เส้นแล้ว จะได้เท่ากับ 525×700 เท่ากับ 367500 พิกเซล ยิ่งทำให้ภาพมีจำนวนเส้นมากเท่าไรรายละเอียดของภาพยิ่งมากขึ้นเท่านั้น

โทรทัศน์ที่มีจำนวนเส้นภาพมากขึ้นย่อมได้รายละเอียดมากขึ้นเท่านั้นแต่นั่นแหละการออกแบบทำได้ยากตามไปด้วยเนื่องจากแบนวิธของความถี่จะต้องกว้างขึ้นด้วย

$$f_{\max} = \frac{1}{2} K n^2 f_p b/h \ Y/X$$

เมื่อ $f_{\max}$ คือ ความถี่สูงสุด

K คือ ค่าคงที่ประมาณ 0.64 ถึง 0.7

n คือ จำนวนเส้นสแกน

f_p คือ จำนวนภาพต่อวินาที

b/h คือ อัตราส่วนแอสเป็คท์ซึ่งโดยทั่วไปใช้ 4:3

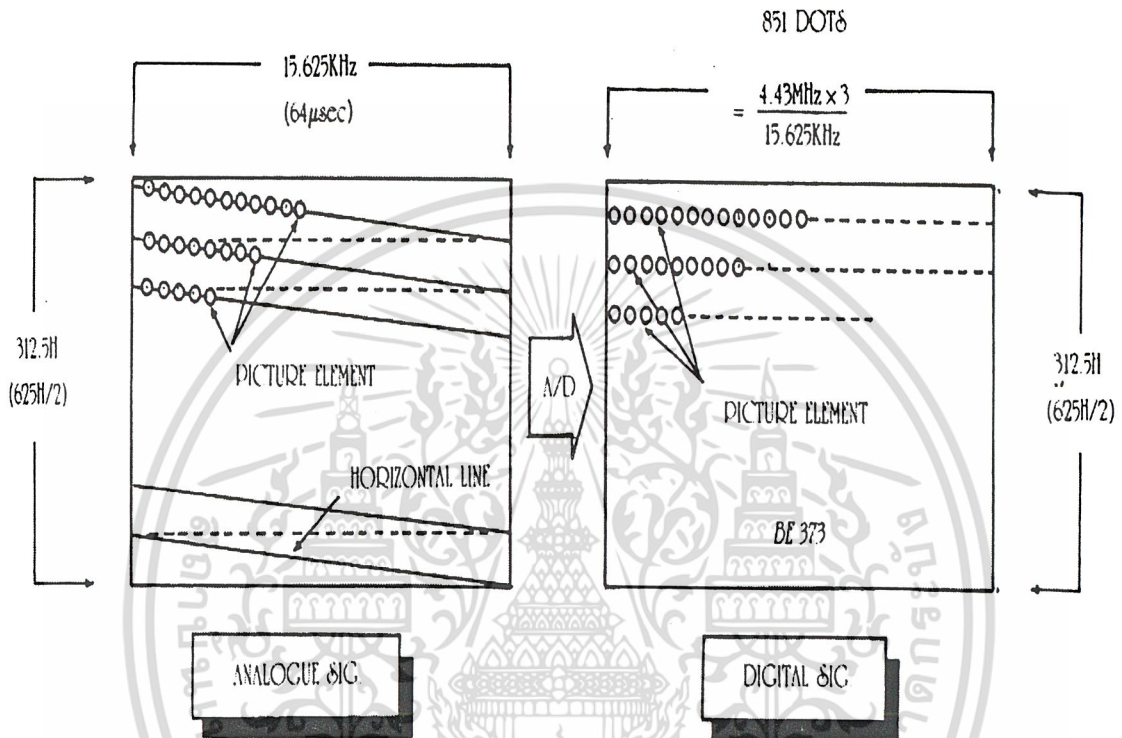
Y/X คือ ค่าแอฟเฟ็คตีฟแกลเตอร์ มีค่า 0.95/0.84

จากสูตรนี้จะพบว่าถ้าจำนวนเส้นสแกนเพิ่มมากขึ้น ความถี่จะเพิ่มตามขึ้นมาด้วย จากที่กล่าวไว้ระบบ 525 เส้น นั้นมีองค์ประกอบภาพ 367,500 พิกเซล แต่ในความเป็นจริงเราไม่สามารถจะเห็นได้ครบทุกพิกเซล เนื่องจากมีบางส่วนหายไประหว่างการสแกน จากการทดลองจะพบว่าภาพที่พอดูได้จะมีองค์ประกอบไม่ต่ำกว่า 200,000 พิกเซล

ระบบที่ใช้ในประเทศไทย ปัจจุบันเราใช้ระบบการสแกน 625 เส้น 25 ภาพต่อวินาที จึงทำให้แบนวิธต้องกว้าง 7 MHz ในระบบ 525 เส้น กว้างเพียง 6 MHz เท่านั้น อย่างไรก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

องค์ประกอบภาพจะมีความละเอียดมากขึ้น โดยสามารถหาค่าองค์ประกอบภาพได้จากค่าจำนวนเส้นสแกน 625 เส้น คูณกับจำนวนจุดหรือองค์ประกอบในแนวตั้ง 851 เส้น ได้เท่ากับ 531,875 พิกเซล



รูปที่ 2.1 องค์ประกอบของภาพที่ยุคปัจจุบันมีการเอาแต่พิกเซลไปใช้งานแล้ว

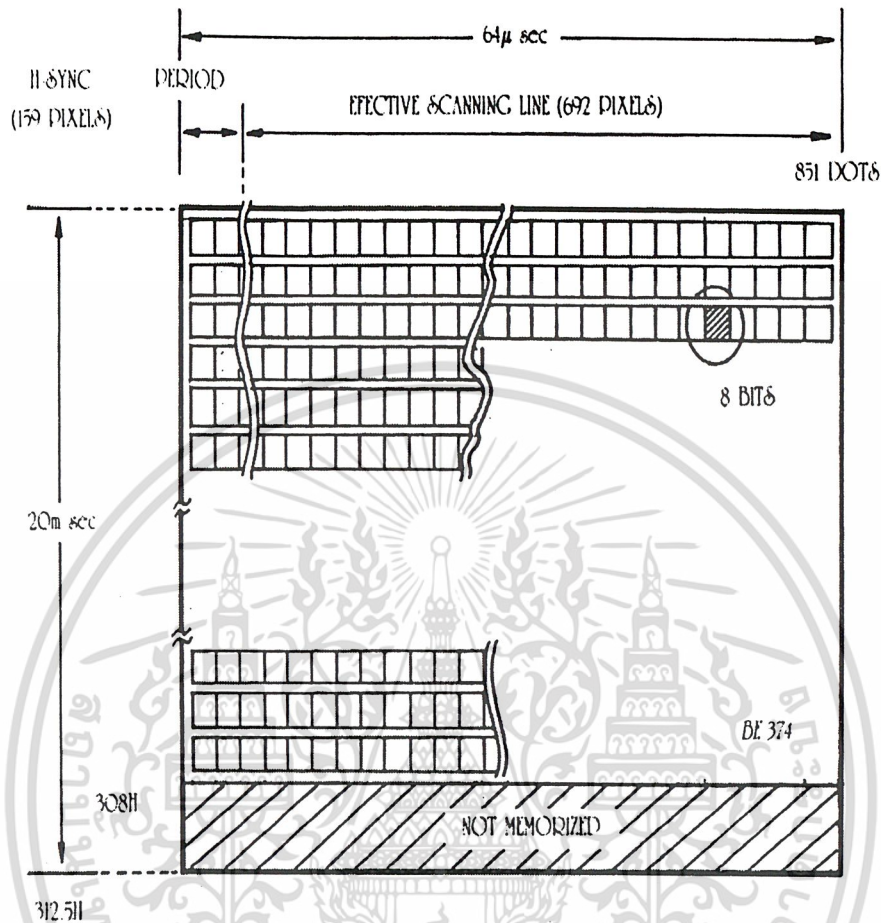
2.2 การสแกน

จากองค์ประกอบภาพที่ได้กล่าวมาตอนต้น เครื่องรับภาพแล้วเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าส่งเป็นจุดขาวดำมา เครื่องรับจะรับเอาสัญญาณเหล่านี้มาเรียงกันใหม่ โดยการกวาดเป็นเส้นภาพขึ้นที่หน้าจอ วิธีการนี้เราเรียกว่า การสแกน(Scanning) โดยตัวที่มีหน้าที่สำคัญคือ จอภาพหรือหลอดภาพนั่นเอง หลอดภาพมีโครงสร้างกับหลอดสุญญากาศทั่วไปที่ปล่อยอิเล็กตรอนจากขั้วแคโทด แล้วจะมีการดึงลำอิเล็กตรอนให้วิ่งเข้าไปกระทบกับขั้วแอโนดหรือหน้าจอ ตรงหน้านั้นจะมีการฉาบสารเรืองแสงไว้เพื่อให้เกิดการเรืองแสงของจอ

การสแกนมี 2 วิธี

- 1 การสแกนแบบก้าวหน้า (Progressive Scanning)
- 2 การสแกนแบบสลับเส้น (Interlaced Scanning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

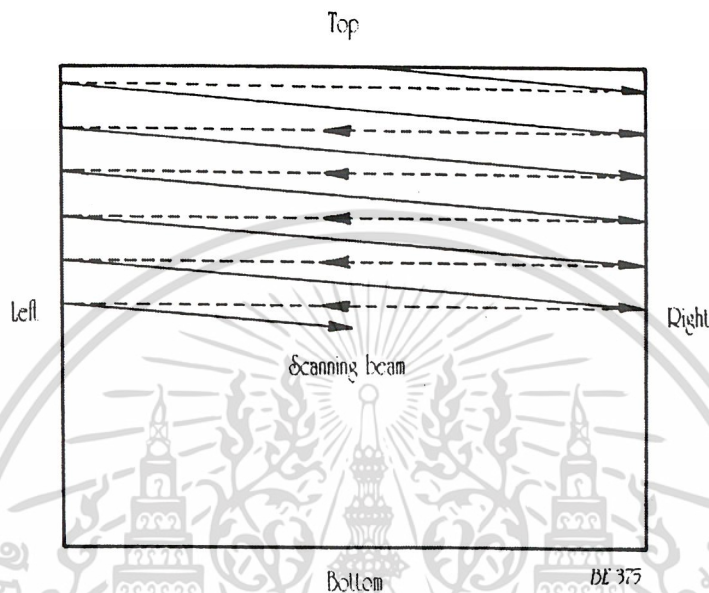


รูปที่ 2.2 แสดงวิธีเอาพิกเจอร์อีลิเมนต์ไปเก็บในหน่วยความจำระบบดิจิทัล

การที่จะทำให้การสแกนมีความต่อเนื่องขององค์ประกอบภาพ ดังที่ได้กล่าวมาแล้ว จะต้องคำนึงถึงหลัก 3 ประการคือ

- 1 ถ้าอิลีกตรอนที่กวาดไปทางแนวนอน (Horizontal Scanning) ในแต่ละครั้ง จะต้องครอบคลุมองค์ประกอบภาพทั้งหมดของเส้นนั้นๆ
- 2 ในแต่ละเส้นของการสแกนถ้าอิลีกตรอน ถ้าแสงจะต้องกวาดกลับด้วยความเร็วสูงไปยังทางด้านซ้าย เพื่อเริ่มต้นเส้นภาพทางแนวนอนลำดับต่อไป เวลาของการสับกลับเราเรียกว่า “รีเทรซ” (Retrace) หรือฟลายแบ็ก (Flyback) ในกรณีดังกล่าวจะต้องไม่มีข้อมูลภาพใดๆ เพราะว่ทั้งกล้องถ่ายและหลอดภาพจะเกิดการเบลนค์เอาท์ (Blank Out) ในขณะนั้น

3 ในขณะที่เส้นสแกนสลับกลับมาเพื่อเริ่มต้นทางซ้ายใหม่ ตำแหน่งทางแนวตั้งต่ำกว่าตำแหน่งเดิมเพื่อให้การสแกนเส้นต่อไปไม่ทับกัน ทั้งนี้โดยการควบคุมของสัญญาณทางแนวตั้ง (Vertical Scanning)

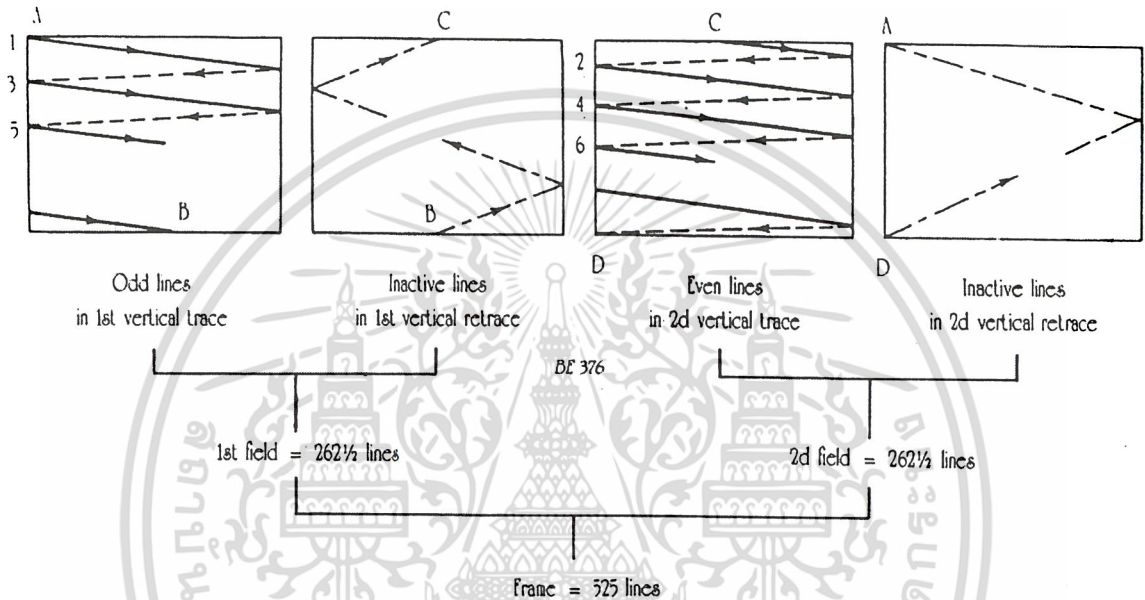


รูปที่ 2.3 แสดงวิธีเบื้องต้นของการสแกน

การสแกนที่ใช้ในเครื่องรับโทรทัศน์ถึงแม้เราจะพบว่าหากให้มีการเรียงภาพเกินกว่า 16 ภาพต่อวินาที แล้ว สายตาจะเห็นเป็นภาพที่ต่อเนื่อง จากการทดลองสแกนเส้นภาพเราพบว่าแม้ภาพที่เกิดขึ้น 24 ภาพต่อวินาทีแล้วก็ตาม ยังมีการกระพริบ (Flicker) เกิดขึ้น เนื่องจากว่าในขณะที่การสแกนเริ่มจากขอบบนลงมาด้านล่าง (ซึ่งคล้ายกับการเขียนหนังสือที่เริ่มจากซ้ายไปขวา แล้ววนลงล่าง) เมื่อเส้นสแกนลงมาถึงขอบด้านล่างแสงทางด้านบนในความรู้สึกมนุษย์เริ่มมีลดลงกว่าด้านล่าง เวลาที่ลำแสงสแกนวกกลับไปด้านบน ด้านล่างก็จะเกิดปัญหาเช่นเดียวกัน ความรู้สึกต่อกรณีนี้ก็จะเกิดแสงกระพริบหรือวูบวาบขึ้น (Flicker) จึงต้องใช้การสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก (Interlaced Scanning) โดยครั้งแรกจะสแกนฟิลด์คี่ (Odd line Trace) และครั้งต่อไปจะสแกนฟิลด์คู่ (Even line Trace) เป็นการสแกนแบบเส้นเว้นเส้นนั้นหมายความว่า การได้ภาพ 1 ภาพ หรือที่เรียกว่าภาพ 1 เฟรม (Frame) ต้องใช้การสแกนแนวตั้งถึง 2 ครั้งหรือ 2 ฟิลด์ (Field)

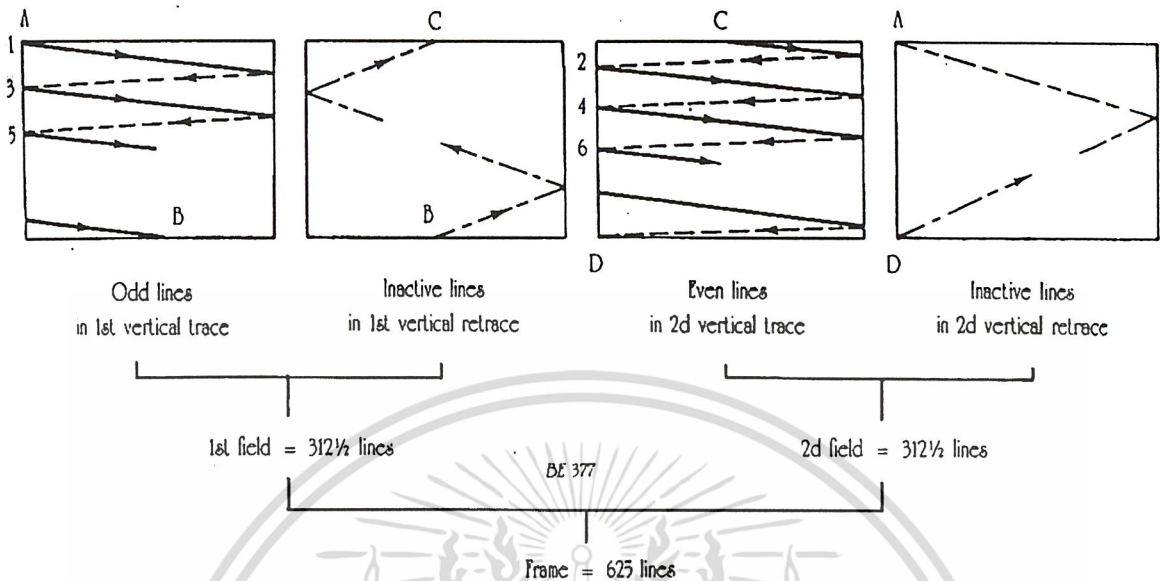
ตามมาตรฐาน เอฟซีซี (FCC) ใช้เส้นสแกน 525 เส้นต่อ 1 ภาพ และใช้ภาพ 30 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 262.5 เส้น ภาพหนึ่งแต่ละภาพซึ่งเป็นองค์ประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน 1/30 วินาที ความถี่ที่ใช้ในการหักเหลำอิเล็กตรอนในแนวนอนจึงเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้มาจากจำนวนเส้นภาพ คูณกับจำนวนเส้นภาพในแต่ละเฟรม จึงได้ 525×30 เท่ากับ 15,750 เฮิร์ตซ์ ส่วนความถี่บังคับการหักเหในแนวตั้งใน 1 ฟิลด์ จะใช้เวลาเพียง $1/60$ วินาทีเท่านั้น ความถี่จึงเท่ากับ 60 เฮิร์ตซ์



รูปที่ 2.4 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก

ตามมาตรฐาน ซีซีไออาร์ (CCIR) ใช้เส้นสแกน 625 เส้นต่อ 1 ภาพ และใช้ภาพ 25 ภาพต่อวินาที ดังนั้นใน 1 ฟิลด์จะมีเส้นสแกน 312.5 เส้น ภาพหนึ่งแต่ละภาพซึ่งเป็นองค์ประกอบขององค์ประกอบภาพจะเกิดขึ้นภายใน $1/25$ วินาที ความถี่ที่ใช้ในการหักเหเล็กน้อยในแนวนอนจึงได้มาจากจำนวนเส้นภาพ คูณกับจำนวนเส้นภาพในแต่ละเฟรม จึงได้ 625×25 เท่ากับ 15,625 เฮิร์ตซ์ ความถี่บังคับการหักเหในแนวตั้งในจึงเท่ากับ 50 เฮิร์ตซ์



รูปที่ 2.5 รายละเอียดของการสแกนแบบสลับเส้นหรือการสแกนแบบสอดแทรก ในระบบ CCIR

จากรูปที่ 2.4 และรูปที่ 2.5 ได้แสดงวิธีการสแกนแบบสอดแทรกของระบบโทรทัศน์ทั้ง 2 ระบบใหญ่ที่ใช้กันอยู่ในปัจจุบัน โดยเริ่มต้นการสแกนสมมุติว่าการสแกนในกรณีนี้เริ่มจากการสแกนจากเฟรมที่เป็นเส้นสแกนที่ 1 โดยเริ่มต้นจาก A ซึ่งอยู่ทางด้านซ้ายแล้วกวาดไปทางขวานับเป็นเส้นสแกนเส้นที่ 1 แล้วจึงสแกนเส้นที่ 3, 5, 7, 9 และต่อๆ ไป จนกระทั่งได้เส้นสแกน 262.5 เส้น ในระบบเอฟซีซี หรือ 312.5 เส้นในระบบซีซีไออาร์ ซึ่งก็คือสแกนมาถึงจุด B ดังทั้ง 2 ภาพก่อนหน้านี้ ณ จุดนี้การสแกนจะถูกความถี่หักเหทางแนวตั้งซึ่งเราเรียกว่า เวอร์ติคอลลีเทรซ (Vertical Retrace) หรือสัญญาณฟลายแบ็ค (Flyback) ดึงกลับไปยังตำแหน่งจุด C เพื่อเริ่มการสแกนแนวคู่ต่อไป

เวลาของการรีเทรซ (Retrace Time) ทั้งการรีเทรซทางเวอร์ติคอลลีเทรซและฮอริซอนทัลเป็นเวลานับๆ ถึงอย่างก็ตามเราไม่ต้องการให้เส้นสแกนที่เป็นช่วงของการสลับกลับนี้เข้ามารบกวนทำให้เกิดสัญญาณภาพ ในส่วนนี้จึงต้องทำการลบเส้นสลับกลับ ก่อนที่จะถึงจุดที่นั่น เรามาดูรายละเอียดของการสลับกลับอีกนัยว่าในส่วนของการกวาดลำแสงหรือการสแกนในแนวนอน (Horizontal) เวลาการรีเทรซจะประมาณ 10-16 เปอร์เซ็นต์ของเวลาทั้งหมด ในระบบเอฟซีซี เราใช้เวลาในการสแกนเท่ากับ 63.5 ไมโครเซ็ค ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.35 ไมโครเซ็ค ส่วนในระบบซีซีไออาร์ เราใช้เวลาในการสแกนเท่ากับ 64 ไมโครเซ็ค ดังนั้นเวลาของการรีเทรซจึงเท่ากับ 6.4 ไมโครเซ็ค ในส่วนของความถี่ที่หักเหในแนวตั้ง (Vertical) เราใช้เวลารีเทรซ ไม่เกิน 5-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปอร์เซ็นต์ อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 เปอร์เซ็นต์ ของเวลา 1/50 หรือ 1/60 ของวินาที ดังนั้นเวลาของการรีเทรชจึงเท่ากับ 600 ไมโครเซ็ค และ 500 ไมโครเซ็ค ตามลำดับ นั้นหมายความว่าในช่วงของการรีเทรชทางแนวตั้งกินเวลานานกว่าการสแกนทางแนวนอนประมาณ 8-10 เส้นภาพ

จากหลักการดังกล่าวเราสามารถสรุปกฎเกณฑ์บางอย่างได้ว่า ตามความเป็นจริงแล้วในเส้นภาพ 525 เส้นหรือ 625 เส้นนั้น เรามีอาจเห็นได้ครบทุกเส้น อย่างน้อยๆ ในกรณีที่เกิดเวอร์ติคอลลีเทรชจะกินเวลาของการสแกนทางแนวนอน (Line) ไปด้วย แต่จะกินไปถึงเส้นนั้นขึ้นอยู่กับสัญญาณบังคับการฟลายแบ็ค ซึ่งในเครื่องรับโทรทัศน์นั้นเราเรียกว่า สัญญาณเบลลงกิ่ง

ตัวอย่าง ในระบบโทรทัศน์ เรากำหนดการสแกนภาพด้วยระบบ 625 เส้นภาพ และกำหนดว่าการสแกนนั้นให้มีเวอร์ติคอลลีเทรช เท่ากับ 3 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวตั้ง ดังนั้นจงหาเส้นภาพที่หายไปจากจอภาพในระบบสแกนแบบนี้

เวลาการสแกนทางแนวตั้ง	1/50	วินาที
ค่า 3 เปอร์เซ็นต์ของการรีเทรช	$3/(50 \times 100)$	วินาที
เวลาของการรีเทรช	600	ไมโครเซ็ค
เวลาของการสแกนภาพ	1/15,625	วินาที
ดังนั้นการรีเทรชจะกินเส้นภาพไป	600/64	
คือประมาณ	10	เส้น

ตัวอย่าง ในระบบโทรทัศน์ซีซีโออาร์ หากว่าค่าการรีเทรชทางเวอร์ติคอลลีเทรชใช้เวลามากที่สุดตามที่มาตรฐานในปัจจุบันกำหนดไว้ คือเวลาประมาณ 5 เปอร์เซ็นต์ ของเวลาทั้งหมดของการสแกนทางแนวเวอร์ติคอลลีเทรช จงหาจำนวนเส้นภาพที่ปรากฏบนหน้าจอจริงบนหน้าจอว่ามีกี่ภาพ

เวลาการสแกนทางแนวตั้ง	1/50	วินาที
ค่า 5 เปอร์เซ็นต์	$5/(50 \times 100)$	วินาที
เวลาของการรีเทรช	600	ไมโครเซ็ค
เวลาของการสแกนภาพ	1/15,625	วินาที
ดังนั้นการรีเทรชจะกินเส้นภาพไป	1000/64	
คือประมาณ	16	เส้น
จำนวนเส้นภาพที่ปรากฏเท่ากับ	625-16	เส้น
คือประมาณ	609	เส้น

จากหลักการดังกล่าวนี้เอง ที่ไขประตูปู่สู่โทรทัศน์ระบบดิจิทัลทำไมเวลาที่เขานำเอาสัญญาณภาพเข้าสู่หน่วยความจำของระบบดิจิทัล เขาจึงเอาเส้นภาพไปเก็บเพียงครึ่งละ 308 เส้นภาพเท่านั้น (แทนที่จะเอาทั้ง 312.5 เส้นภาพ) เพราะจากมาตรฐานโทรทัศน์ปัจจุบันที่กำหนดมาตรฐานสัญญาณในการรีเทรชทางแนวตั้งเท่ากับ 3 เปอร์เซ็นต์ เราจึงได้เส้นภาพประมาณ 625-10 เมื่อแบ่งเฟรมแล้วจะได้ค่าเส้นภาพประมาณ 308 เส้นภาพ

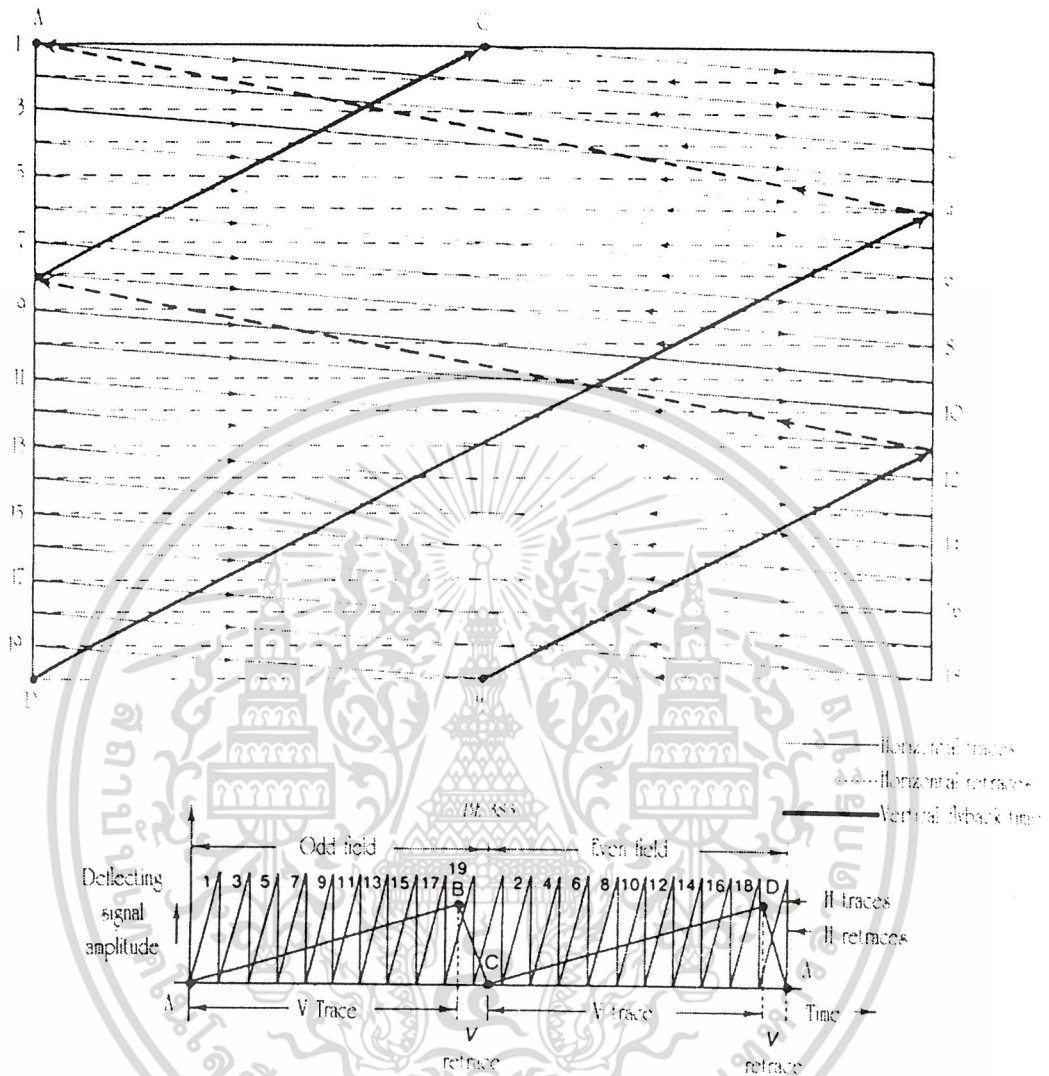
2.3 สัญญาณภาพรวม

หากจะถามว่าเครื่องส่งสัญญาณอะไรมาให้อุปกรณ์รับบ้าง หากตอบกันง่าย ๆ ก็ต้องตอบว่าส่งสัญญาณภาพรวม (Composite Video Signal) ซึ่งการที่เราจะทำให้เครื่องรับโทรทัศน์บรรลุวัตถุประสงค์ได้นั้นต้องให้สถานีโทรทัศน์ส่งสัญญาณภาพต่างๆดังนี้

- 1 สัญญาณเสียง
- 2 สัญญาณภาพ
- 3 สัญญาณแบลงกิ้ง
- 4 สัญญาณซิงโครไนซ์
- 5 สัญญาณอีควอไลซ์

ในส่วนของระบบสัญญาณเราจะใช้คลื่นพาห์ (Carrier) เฉพาะ เพราะทราบกันเบื้องต้นแล้วว่า ระบบเสียงในโทรทัศน์เป็นระบบ เอฟเอ็ม ส่วนสัญญาณภาพและอื่นๆที่เหลือนั้นเราส่งเป็นสัญญาณภาพรวมหรือ คอมโพสิท วิดีโอ ซิกแนล (Composite Video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราต้องส่งสัญญาณทั้ง 5 ตัว ออกอากาศแพร่คลื่นออกอากาศแพร่คลื่นออกไปเพื่อวัตถุประสงค์ดังนี้

- 1) สัญญาณภาพและสัญญาณเสียง เป็นสัญญาณที่ส่งไปเพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
- 2) สัญญาณแบลงกิ้ง เป็นสัญญาณที่ส่งมาเพื่อให้ลบเส้นสับกลับทั้งในแนวตั้งและแนวนอน
- 3) สัญญาณซิงโครไนซ์ เป็นสัญญาณที่ส่งมาเพื่อช่วยให้อุปกรณ์หักเหทางแนวตั้งและแนวนอน เพื่อให้เครื่องรับโทรทัศน์ทำงานสอดคล้องกัน



รูปที่ 2.6 หลักการเบื้องต้นการสแกน

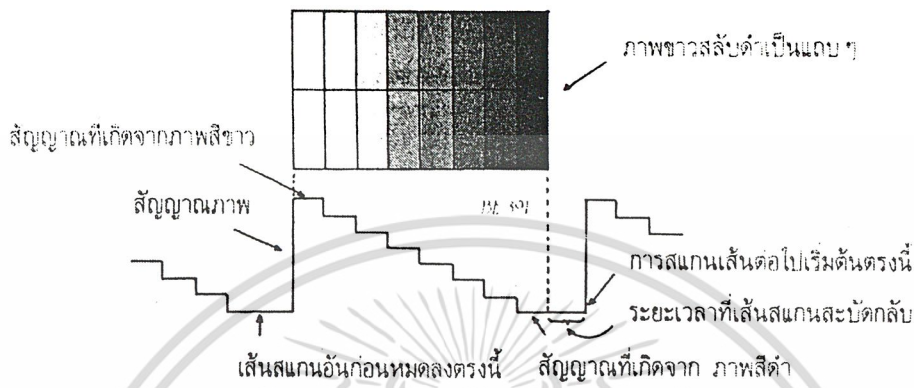
4) สัญญาณอีควอไลซ์ เป็นสัญญาณที่ช่วยให้สัญญาณซิงโครไนซ์ทั้งแนวตั้งและแนวนอนยังคงรูปอยู่ได้ แม้ว่าจะเป็นการสแกนแบบสลับเส้นก็ตาม

2.3.1 สัญญาณภาพขาวดำ

สมมุติว่าเราจะดูระดับสัญญาณขาว-ดำ กรณีที่เรากล่าวถึงสัญญาณขาว-ดำ หรือสัญญาณโมโนโครมได้ดีที่สุดต้องกล่าวว่าภาพที่เป็นสีขาวคือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ ภาพที่ไม่มีแสงเลยภาพจำลองที่ดีที่สุดของกรณีนี้ก็คือ แถบภาพที่มีความแตกต่างของระดับขาวดำที่น้อย ซึ่งเรียกว่าระดับเกรย์สเกลนั่นเอง



รูปที่ 2.7 แสดงสัญญาณขาว-ดำ โดยเกรย์ สเกล

จากรูปที่ 2.7 จะแสดงให้เห็นระดับของเกรย์สเกล ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา นั่นหมายความว่าระดับความแรงของสัญญาณภาพมากที่สุดจึงให้ความสว่างที่หน้าจอสว่างมากที่สุด และเมื่อระดับสัญญาณสีขาวลดลงเป็นสีม่วง ,เทา และ ดำ ระดับสัญญาณจะลดลงมาเรื่อยๆ นั่นหมายความว่าเมื่อสัญญาณมีความแรงน้อยลงความสว่างก็จะน้อยลงตามไปด้วย อันที่จริงแล้วภาพแต่ละภาพเป็นสัญญาณความถี่ทางไฟฟ้าที่มีความสูงต่ำไม่เท่ากัน โดยความถี่สูงสุดไม่เกิน 4 เมกะเฮิร์ตซ์ในระบบซีซีไออาร์ ภาพที่เกิดจากความถี่สูงย่อมมีความละเอียดกว่าความถี่ต่ำ (มีจำนวนจุดดำมากกว่า)

2.3.2 สัญญาณเบลงกิ้ง

ทราบแล้วว่า เมื่อมีการสแกนลำอิเล็กตรอนที่ทำหน้าที่จอสจะเกิดเส้นรีเทรช หรือ เส้นสลับกลับ ซึ่งเป็นเส้นภาพที่เราต้องการ เครื่องส่งจึงต้องส่งสัญญาณเบลงกิ้ง (Blanking) เพื่อบังคับให้เครื่องรับสามารถลบเส้นสลับกลับได้ สัญญาณเบลงกิ้งส่วนหนึ่งเครื่องรับจะต้องสร้างขึ้นเหมือนการสร้างสัญญาณซิงโครไนซ์แต่มันจะสัมพันธ์กับเครื่องส่งได้อย่างไร จึงต้องมีการส่งสัญญาณ เบลงกิ้งมาจากเครื่องส่งเพื่อลบเส้นสลับกลับในเครื่องรับ สัญญาณเบลงกิ้งมีอยู่ 2 อย่างคือ เวิร์ดคอลลเบลงกิ้ง กับซอร์ชอนตอลเบลงกิ้ง

2.3.3 สัญญาณซิงโครไนซ์

เป็นสัญญาณเพื่อให้การสแกนเป็นไปอย่างถูกต้อง ทั้งการสแกนแนวตั้งและแนวนอน โดยสัญญาณซิงโครไนซ์หรือสัญญาณซิงค์มีอยู่ 2 สัญญาณ คือ

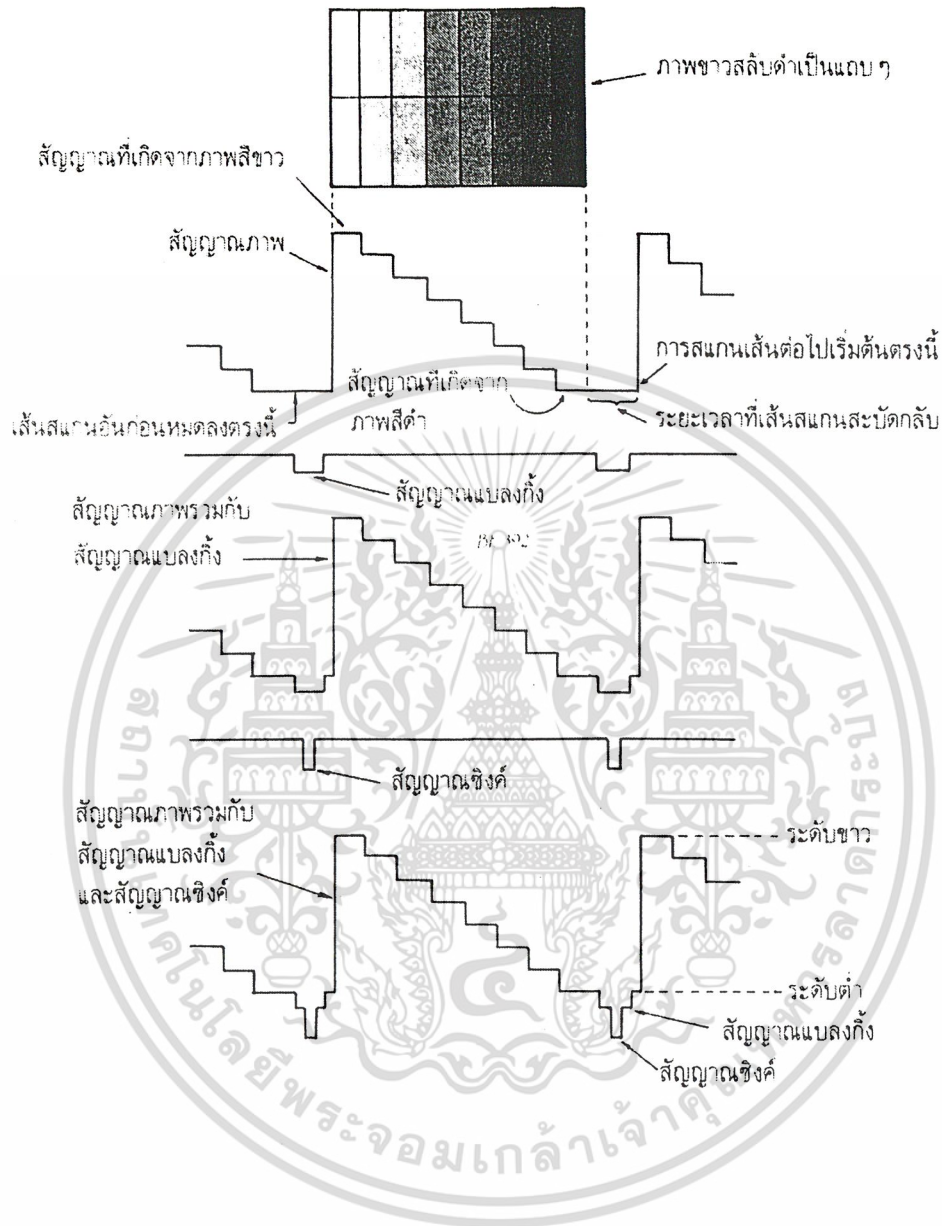
1) ฮอริซอนตอล ซิงโครไนซ์ (Horizontal Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวนอน ซึ่งมีความถี่ 15,625 เฮิรตซ์ (ในระบบ CCIR) หรือ 15,750 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีสัญญาณส่วนนี้ส่งมาจะทำให้ภาพเกิดการลំได้

2) เวอร์ติคัล ซิงโครไนซ์ (Vertical Synchronize) เป็นสัญญาณซิงโครไนซ์ทางแนวตั้ง ซึ่งมีความถี่ 50 เฮิรตซ์ (ในระบบ CCIR) หรือ 60 เฮิรตซ์ (ในระบบ FCC) ถ้าไม่มีการส่งสัญญาณส่วนนี้มาจะทำให้ภาพเลื่อน

เนื่องจากสัญญาณซิงโครไนซ์กับสัญญาณแบล็กกิ้งไม่ว่าจะเป็นแนวตั้งหรือแนวนอน จะมีความถี่เท่ากัน เวลาส่งจึงต้องมีการกำหนดตำแหน่งของการส่งให้ถูกต้อง มิฉะนั้นแล้วจะเกิดการกวนกันได้ในทางปฏิบัติจึงให้สัญญาณซิงค์พัลส์มีขนาดกว้างน้อยกว่าแบล็กกิ้งพัลส์ แล้วใช้วิธีการส่งแบบผสม กล่าวคือส่งซิงค์พัลส์ กับการส่งแบล็กกิ้งพัลส์ไปด้วยกัน ให้แบล็กกิ้งเป็นฐานของสัญญาณซิงค์พัลส์ เมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับเกรย์สเกลระดับของแบล็กกิ้ง จะอยู่ที่ระดับต่ำกว่าค่า ส่วนซิงค์จะเป็นระดับต่ำกว่าระดับค่ามากกว่าลงไปอีก สัญญาณเหล่านี้จึงไม่มีการส่งผลกระทบต่ออารมณ์เห็น (หรือไม่กวนสัญญาณภาพ)

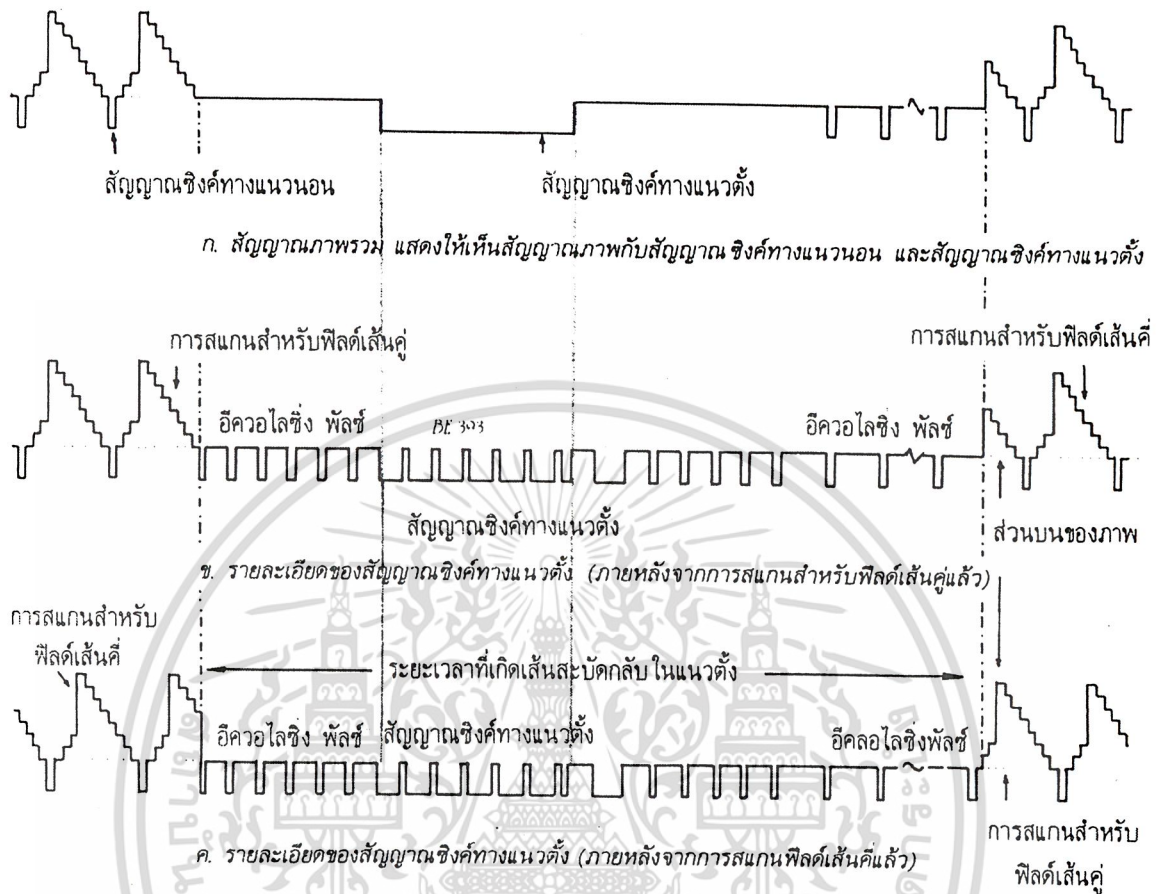
2.3.4 สัญญาณอีควอไลซิง

เป็นสัญญาณบังคับรูปร่างของ สัญญาณซิงโครไนซ์ทางแนวตั้ง เพื่อให้สามารถคงรูปถูกต้อง แล้วยังช่วยให้การสแกนแบบสลับเส้นเป็นไปได้อย่างถูกต้องด้วย สามารถขึ้นเส้นคู่และเส้นคี่ในตำแหน่งที่ถูกต้องได้ ทั้งยังส่งผลทางอ้อมให้สัญญาณซิงโครไนซ์ทางแนวนอนไม่ขาดช่วงหายไป ในระหว่างการส่งสัญญาณทางแนวตั้งด้วย สัญญาณตัวนี้มีขนาดของพัลส์รวมเท่ากับเวอร์ติคัล ซิงโครไนซ์ พัลส์ สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็กๆ ในระบบ 525 เส้น และถูกแบ่งเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงไว้ในรูปที่ 2.9

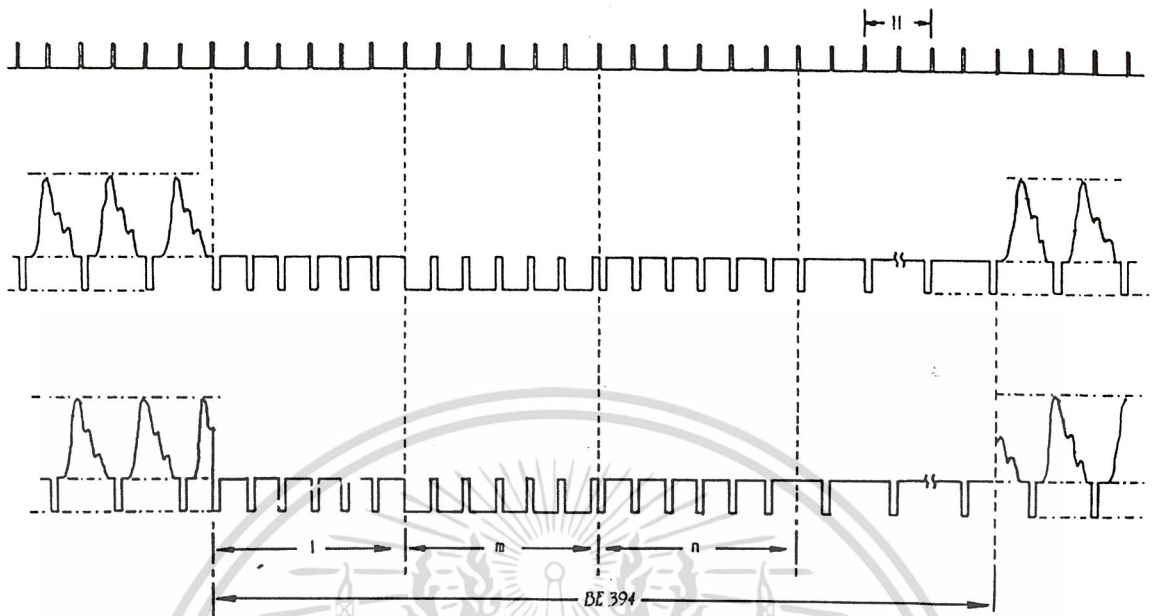


รูปที่ 2.8 แสดงลักษณะของสัญญาณภาพรวมเบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



รูปที่ 2.10 แสดงระดับพัลส์ในฟิล์มของการซิงโครไนซ์ของระบบโทรทัศน์

บทที่ 3

การแปลงสัญญาณอนาล็อกเป็นดิจิทัล

สัญญาณที่ใช้ในอุปกรณ์อิเล็กทรอนิกส์มี 2 ชนิดคือ สัญญาณอนาล็อกและสัญญาณดิจิทัล สัญญาณอนาล็อกจะใช้ในอุปกรณ์ทั่วไปและใช้ในการควบคุมแบบเก่า

ในปัจจุบันมีไมโครโปรเซสเซอร์และไมโครคอนโทรลเลอร์เข้ามาช่วยในการควบคุมอุปกรณ์ต่างๆ มากมายซึ่งทำให้การควบคุมนั้นทำได้ง่าย และรวดเร็วยิ่งขึ้น แต่ในการควบคุมนั้นเราจำเป็นต้องใช้ สัญญาณดิจิทัลในการติดต่อกับไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์แต่ในความเป็นจริงนั้น เราใช้สัญญาณอนาล็อกในการควบคุม ดังนั้นเราจึงจำเป็นต้องมีการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล แล้วจึงนำสัญญาณนั้นเข้ามาสู่ไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์เพื่อใช้ควบคุมระบบต่อไป

แม้ว่าสัญญาณอนาล็อกนั้นมีความแน่นอนและแม่นยำสูงแต่สัญญาณอนาล็อกนั้นก็ควบคุมได้ยาก เนื่องจากในสภาพแวดล้อม มีสัญญาณรบกวนอยู่มาก และการที่จะทำให้การควบคุมแบบอนาล็อกมีความสามารถควบคุมเท่ากับการควบคุมแบบดิจิทัลนั้น ทำได้ยากเนื่องจากวงจรควบคุมแบบอนาล็อกจะต้องมีความซับซ้อนสูง

อย่างไรก็ตามสัญญาณดิจิทัลก็ไม่สามารถทดแทนความละเอียดของสัญญาณอนาล็อกได้อย่างสมบูรณ์แต่ทำให้การควบคุมนั้นทำได้ง่ายและสะดวกยิ่งขึ้น

3.1 วิธีการแปลงสัญญาณอนาล็อกเป็นดิจิทัล

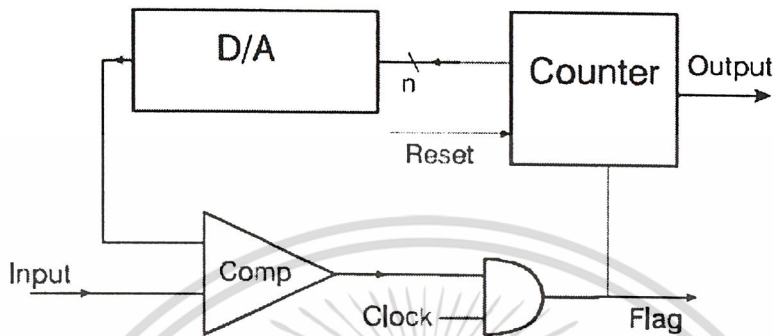
3.1.1 Counting Converter

Counting Converter เป็นวิธีที่ง่ายที่สุดของการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิทัล โดยใช้อัลกอริทึม การนับค่าเพิ่มขึ้นเรื่อยๆ แล้วนำผลที่ได้จากการนับไปเปรียบเทียบกับค่าที่ต้องการที่ตั้งไว้ ลักษณะการทำงานเป็นดังรูปที่ 3.1

จากวงจร Counter เป็นอุปกรณ์นับค่าที่เพิ่มขึ้นทีละหนึ่ง แล้วส่งค่าที่ได้ให้ D/A มีขา Reset รับสัญญาณ Reset เมื่อต้องการให้เริ่มนับใหม่ D/A เมื่อรับค่าที่นับเพิ่มขึ้นทีละหนึ่งจากตัวนับ ก็แปลงค่าให้เป็นสัญญาณ อนาล็อกที่มีค่าความต่างศักย์ค่าๆ หนึ่ง แล้วส่งต่อเข้าไปที่อุปกรณ์ตัวเปรียบเทียบ(Comparator)

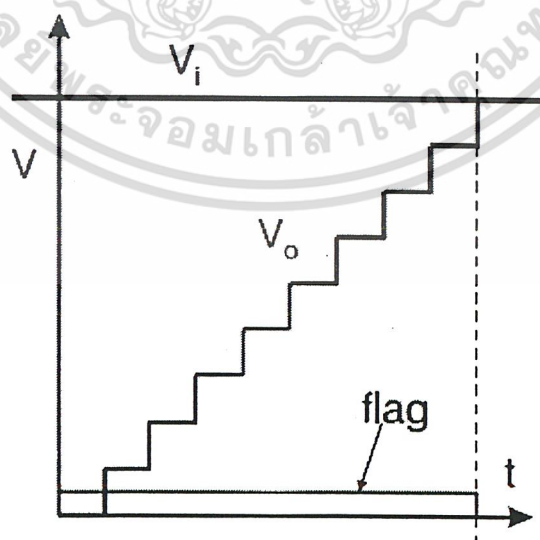
Comparator จะเป็นอุปกรณ์ตัวเปรียบเทียบค่าความต่างศักย์ ของอินพุต และค่าจากที่ตัวนับ

ถ้าหากทั้งสองสัญญาณมีค่าเท่ากันส่งค่าความต่างศักย์ 0 โวลต์ออกมา(ลอจิก 0) ถ้าไม่เท่ากันก็จะส่งความต่างศักย์ที่ไม่ใช่ 0 โวลต์ออกมา(ลอจิก 1) ซึ่งค่าความต่างศักย์ที่ออกมา จะนำมาเข้าลอจิกเกต



รูปที่ 3.1 Counting Converter

"AND" กับ สัญญาณนาฬิกา จะได้ค่าลอจิกออกมา ถ้าผลลัพธ์ออกมาเป็นสัญญาณนาฬิกาแสดงว่ายังไม่ได้ผลลัพธ์เท่าที่ต้องการ สัญญาณนาฬิกาก็จะไปทำให้ตัวนับนับเพิ่มขึ้นต่อไป และเมื่อได้ค่าผลลัพธ์ดิจิทัลที่ต้องการแล้ว ค่าที่ได้จาก ตัวเปรียบเทียบจะให้ค่าความต่างศักย์เป็น 0 (ลอจิก 0) ซึ่งเมื่อนำมาเข้าลอจิกเกต "และ" กับสัญญาณนาฬิกาแล้ว ก็จะทำให้ลอจิก 0 ซึ่งทำให้ตัวนับไม่นับเพิ่มอีก ก็จะได้ค่าดิจิทัลจากตัวนับที่ต้องการ จากคำอธิบายข้างต้นจะได้กราฟดังรูปที่ 3.2



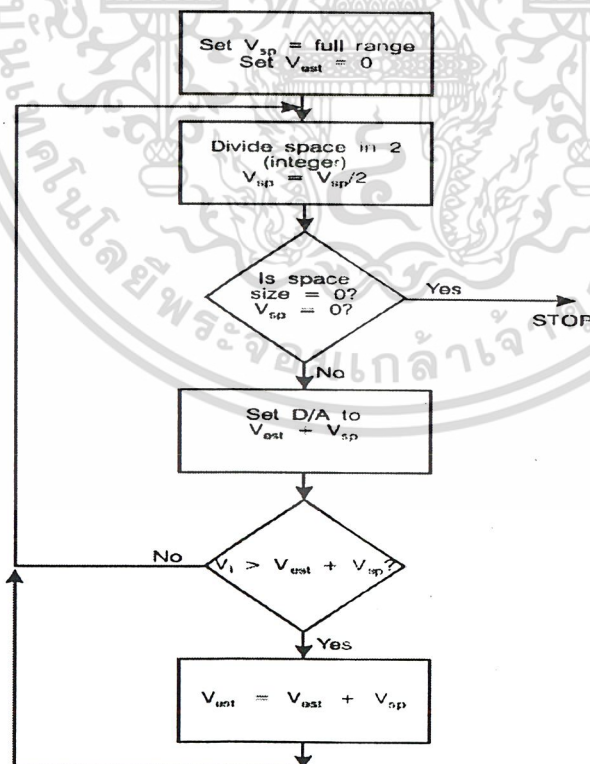
รูปที่ 3.2 เาท์พุทของวงจร Counting Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวิธีนี้ คือ การนับต้องเริ่มนับที่ 0 เสมอ และนับเพิ่มขึ้นเรื่อยๆ ทำให้ช้า เอาท์พุทที่ได้จะมี delay จึงไม่ค่อยนิยมใช้เท่าที่ควร จึงได้เปลี่ยนตัวนับเป็นแบบนับลงได้ด้วย ซึ่งจะอ้างอิงระดับจากระดับเก่า ทำให้ไม่จำเป็นต้องนับ 0 ใหม่ เมื่อมีการเปลี่ยนอินพุตใหม่ แต่ให้อ้างอิงกับผลลัพธ์เดิม ทำให้ได้ผลลัพธ์เร็วขึ้น

3.1.2 Successive Approximation

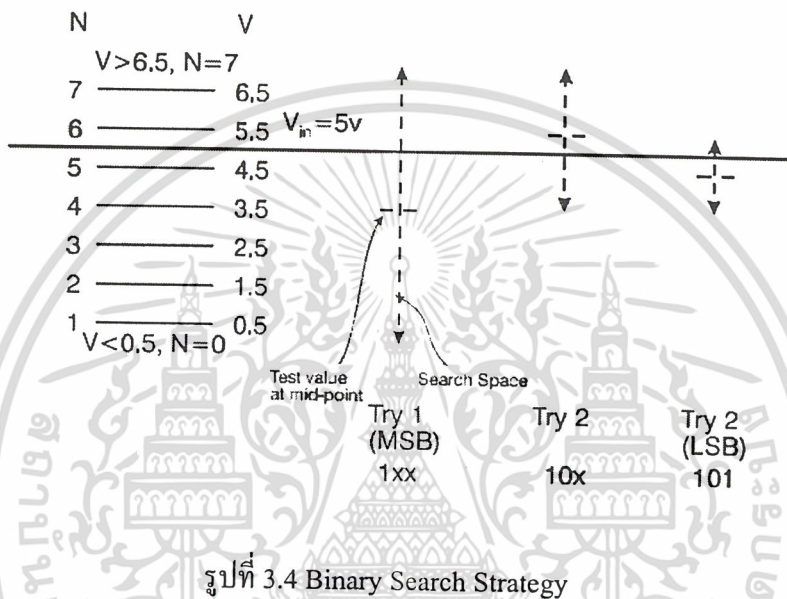
ใช้หลักการของ "binary search" ในการหาคำตอบ โดยนำค่าผลลัพธ์มาเปรียบเทียบกับค่ากึ่งกลางของช่วง เพื่อให้ทราบว่า คำนับๆ มากกว่า หรือน้อยกว่า โดยจะปรับช่วงให้แคบลงมาเรื่อยๆ แล้วเปรียบเทียบผลลัพธ์กับค่ากึ่งกลางของช่วงไปเรื่อยๆ จนได้ผลลัพธ์ที่ต้องการ เช่น เลขที่เป็นคำตอบคือ 3 จากช่วงของคำตอบที่ 0-7 ครั้งแรกเอาค่า $(0+7)/2 = 4$ มาเปรียบเทียบ ได้ผลว่า คำตอบที่ต้องการอยู่ในช่วงที่น้อยกว่า 4 ครั้งที่ 2 ก็เลือกค่า $(0+4)/2 = 2$ มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการอยู่ในช่วงที่มากกว่า 2 แต่น้อยกว่า 4 ครั้งที่ 3 ก็เลือกค่า $(2+4)/2 = 3$ มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการ จากหลักการที่กล่าวมาอาจเขียน flow chart ได้ดังรูปที่ 3.3



รูปที่ 3.3 flow chart Successive Approximation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

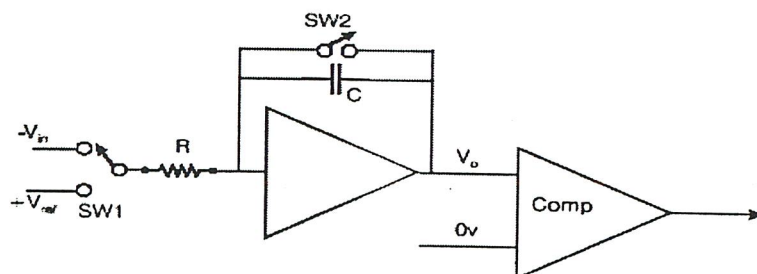
ข้อดีของวิธีนี้ คือ เวลาที่ใช้ในการหาคำตอบ n รอบแน่นอน (สำหรับ n bit converter ซึ่งอ้างอิงได้ 2^n ระดับ และระดับ V_{in} ที่คงที่) ซึ่งใช้เวลาน้อยกว่าแบบ "Counting Algorithm" แต่มีข้อเสีย คือถ้า V_{in} เปลี่ยนทันทีทันใด ขณะที่กำลังทำ binary search อยู่ นั่น คำตอบที่ได้จะผิดพลาด ตัวอย่างเช่น เปลี่ยน V_{in} จาก 5 Volt เป็น 2 Volt



ช่วงของ V_{in} คือ 1-7 ใช้ $n=3$ (เพราะว่า $2^3=8$) ครั้งแรก ใช้ 4 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง lower ได้ 1xx ครั้งที่ 2 ใช้ 2 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง upper ได้ 10x ครั้งที่ 3 ใช้ 3 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า ผลลัพธ์ที่ได้จะผิดพลาด ได้ 100

3.1.3 Dual-Slope ADC

ใช้หลักการของวงจร Integrator ทำงานร่วมกับตัว Comparater ดังรูปที่ 3.5



รูปที่ 3.5 Simple Dual Slope A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Voltage มี 2 ตัว คือ ค่าความต่างศักย์อินพุตที่ต้องการแปลงเป็นดิจิทัล ($-V_{in}$) และความต่างศักย์ที่คงที่ค่าหนึ่ง (V_{ref}) และมีสวิตช์ SW1 ซึ่งทำหน้าที่เลือกค่าสัญญาณ จากวงจรตอนเริ่มต้นสวิตช์ SW2 ทำหน้าที่คายประจุของตัวเก็บประจุ C แล้วจึงเปิด SW2 ออก เมื่อสวิตช์ SW1 สับมาที่ $-V_{in}$ จากวงจร Integrator จะพิสูจน์สมการได้ดังนี้

$$I = C \frac{dV_0}{dt}$$

$$-V_{in} + iR \cdot V_0 + V_0 = 0$$

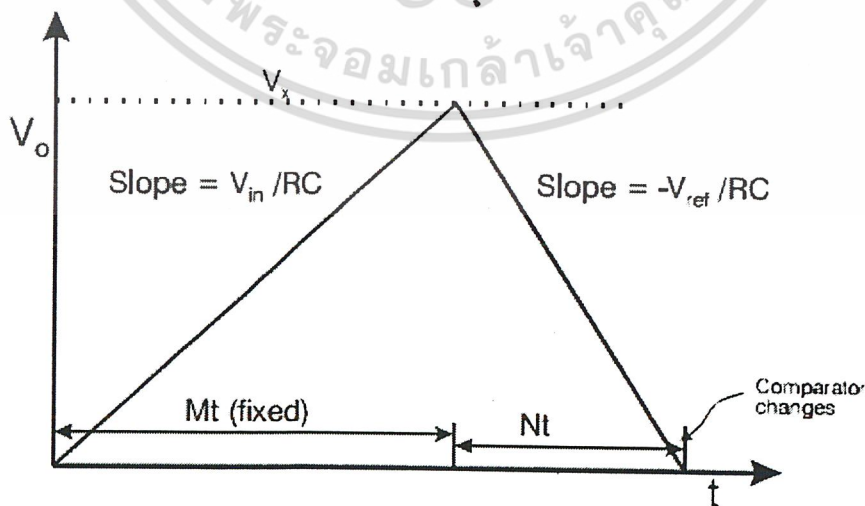
$$-V_{in} + RC \frac{dV_0}{dt} = 0$$

$$V_{in} = RC \frac{dV_0}{dt}$$

$$\int dV_0 = \int \frac{V_{in}}{RC} dt$$

$$V_0 = \frac{V_{in}(t)}{RC}$$

slope มีค่าเท่ากับ V_{in}/RC ค่า t ที่ใช้มีค่าคงที่ t_m เมื่อ t เพิ่มขึ้นจนถึง t_m ให้ SW1 สับไปที่ V_{ref} จะได้สมการ $V_0 = V_{ref}/RC$ slope มีค่า V_{ref}/RC สมมติ ช่วงเวลาตั้งแต่ความต่างศักย์ที่ t_m จนความต่างศักย์เป็น 0 มีค่าเท่ากับ t_n ได้ดังแสดงในรูปที่ 3.6

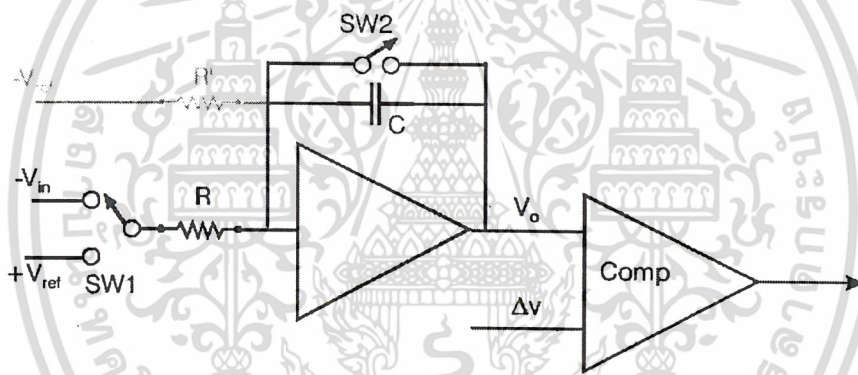


รูปที่ 3.6 Dual Slope A/C Converter Output and Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

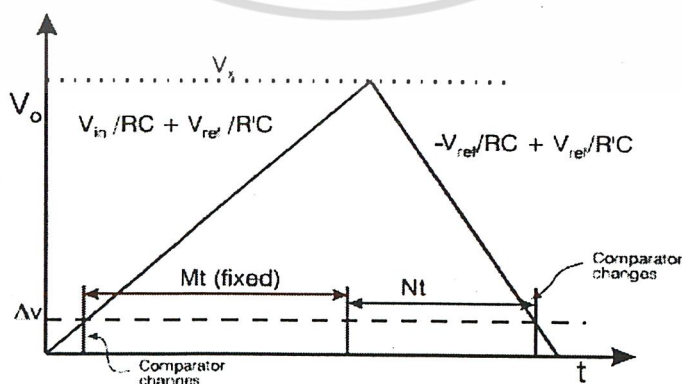
จากหลักของสามเหลี่ยมคล้าย จะได้สมการ $V_{in} = V_{ref} * t_n / t_m$ เนื่องจาก V_{ref} และ t_n มีค่าคงที่ สัญญาณอนาล็อกขึ้นกับค่า t_n เพราะการควบคุมการเปลี่ยนสัญญาณดิจิทัล ที่ขึ้นกับค่า t_n การแปลงเป็นสัญญาณดิจิทัลจะทำโดยจับคู่ค่า t_n กับเอาต์พุตค่าๆ หนึ่ง ตามความเหมาะสมสำหรับ V_{ref} นั้นๆเหมือนการเทียบค่าในตาราง

ความเร็วของการแปลงสัญญาณแบบนี้ ขึ้นอยู่กับ V_{in} และ Slope ของวงจร integrater โดยธรรมชาติแล้ว ลักษณะของตัวเปรียบเทียบเองนั้น จะไม่เป็นอุดมคติ ก็จะมีผลต่างของความต่างศักย์อยู่ V โวลต์ แม้ว่าจะต่ออินพุตทั้งสองลงกราวด์แล้วก็ตาม ซึ่งถ้า V_{ref} ที่ใช้อยู่มีค่าน้อยกว่าค่าผลต่างของความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ ความชันก็จะน้อย ทำให้เวลา t_m ใช้เวลานานมากกว่าที่จะพ้นค่าความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ เราจึงต้องนำค่าความต่างศักย์มาเพิ่มให้กับ V_{ref} เพื่อหาผลลัพธ์ ดังรูป 3.7



รูปที่ 3.7 Dual Slope A/D Converter - Full Circuit

จากวงจรดังกล่าวทำให้ได้กราฟดังรูปที่ 3.8

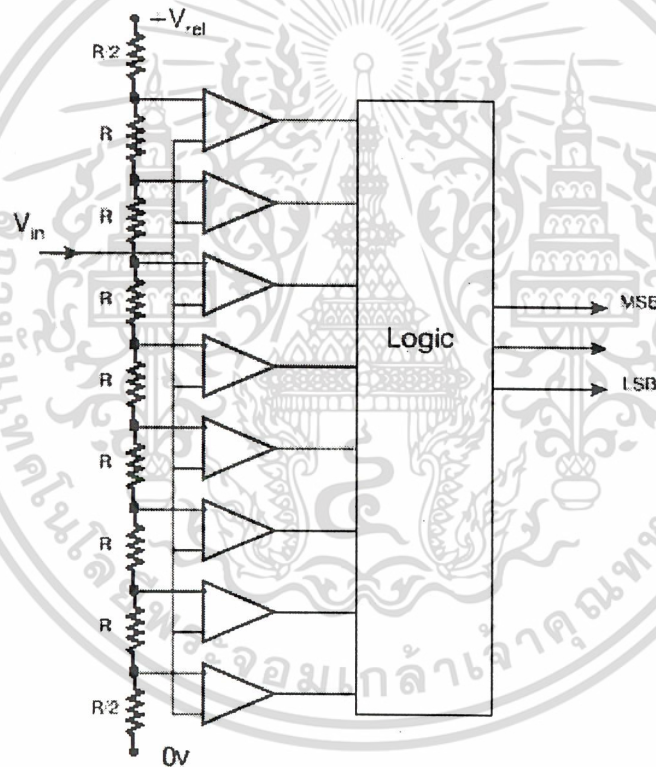


รูปที่ 3.8 Dual Slope A/D Converter - Full Circuit Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 Flash Converter

หลักการของ Flash Converter คือการใช้การแบ่งแรงดันเป็น Voltage หลายๆ ค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic จากรูปที่ 3.9 มี Voltage เปรียบเทียบ 8 bit ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไปเปรียบเทียบกับ V_{in} แล้วมากกว่าก็จะปล่อยลอจิกออกมา ถ้ามากกว่าก็จะให้ลอจิก 1 ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก 0 วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ



รูปที่ 3.9 A "Flash" Converter

บทที่ 4

GSM AT Command กับโทรศัพท์มือถือ

การสื่อสารกับอุปกรณ์สื่อสารต่างๆ เช่น โมเด็มหรืออุปกรณ์ DTE (Data Terminal Equipment) นั้นสามารถใช้ชุดคำสั่งที่เป็นมาตรฐานที่เรียกว่า AT Command ในการติดต่อเพื่อโต้ตอบตั้งค่าหรือสั่งงานอุปกรณ์เหล่านั้น ให้ทำงานตามที่ต้องการโดยใช้ชุดคำสั่งพื้นฐานจะถูกกำหนดไว้ใน Hayes AT Command ซึ่งบริษัท Hayes เป็นผู้คิดค้นชุดคำสั่งนี้เพื่อใช้กับโมเด็มของตนและต่อมาได้กลายเป็นมาตรฐานสำหรับผู้ผลิตรายอื่นๆ โดยอาจจะมีชุดคำสั่งขยาย (Extended AT Command) เพื่อใช้เป็นการเฉพาะสำหรับผู้ผลิตรายนั้นๆ ก็ได้

การติดต่อกับมือถือก็เช่นกัน เราสามารถใช้ชุดคำสั่งที่กำหนดไว้ใน GSM AT Command ซึ่งมีคำสั่งเพิ่มเติม ที่เหมาะสมสำหรับการใช้งาน และควบคุมมือถือและเนื่องจากมีรายละเอียดค่อนข้างมาก โดยในรายงานนี้จะยกตัวอย่างการใช้ AT Command บางคำสั่ง

4.1 ตัวอย่างคำสั่ง GSM AT Command

คำสั่งพื้นฐาน เช่น

AT – เป็นการเช็คความพร้อมของมือถือ

ATDT 014473908 – สั่งให้โทรศัพท์ต่อไปยังหมายเลข 014473908

ATH – เป็นการวางสาย

AT+CSMS – เป็นเช็คว่ามีมือถือสนับสนุน SMS หรือไม่

AT+CMGF – เป็นการเลือกโหมดการส่ง

AT+CMGS – เป็นการส่ง SMS

4.2 หลักการส่งรับ SMS

องค์การ ETSI (European Telecommunications Standards Institute) เป็นองค์กรอิสระที่ไม่แสวงหาผลกำไรทำหน้าที่กำหนดมาตรฐานทางด้านโทรคมนาคมได้กำหนดมาตรฐานการส่ง SMS ไว้ในคู่มือ GSM 03.40 และ GSM 03.38 สามารถส่งได้สูงถึง 160 ตัวอักษร โดยแต่ละตัวอักษรใช้รหัส 7 บิต นอกจากนั้นยังมีการใช้ตัวอักษรชนิดอื่นๆ เช่น ขนาด 8 บิต หรือ 16 บิต ซึ่งมีวัตถุประสงค์เพื่อการใช้งานที่แตกต่างกันออกไป

4.3 โหมดของการรับส่งข้อมูล

การรับส่งข้อมูล SMS มีอยู่ด้วยกัน 2 โหมด คือ เท็กซ์โหมด (Text Mode) และพีดียูโหมด (PDU : Protocol Description Unit Mode) การส่งข้อความในเท็กซ์โหมดนั้นจะเป็นการนำข้อความที่ต้องการส่งมาเข้ารหัสก่อน แล้วค่อยส่งข้อมูลในพีดียูโหมดอีกที แต่อย่างไรก็ตามมือถือบางรุ่นไม่สนับสนุนการใช้งานในเท็กซ์โหมด ซึ่งการเข้ารหัส (ส่ง) และ ถอดรหัส (รับ) สำหรับในเท็กซ์โหมดนี้มีหลายแบบด้วยกัน เช่น “PCCP473” , “PCDN” , “8859-1” , “IRA” และ “GSM” เมื่อเราเชื่อมต่อกับมือถือเพื่อจะอ่านข้อความ เราสามารถตั้งค่าการเข้ารหัส/ถอดรหัสได้ โดยคำสั่ง AT+CSGS แต่ถ้าเราอ่านข้อความจากจอมือถือจะเลือกการถอดรหัสที่เหมาะสมให้เองอัตโนมัติ

การเชื่อมต่อกับมือถือเพื่อรับส่งข้อความสามารถเลือกใช้ได้ทั้ง 2 โหมดแต่จะเห็นได้ว่าการเลือกใช้เท็กซ์โหมดจะมีข้อจำกัดทั้งจากที่มือถือบางรุ่น อาจไม่สนับสนุนและยังถูกจำกัดด้วยวิธีการเข้าและถอดรหัส ซึ่งมีเพียงไม่กี่แบบตามที่กล่าวมาข้างต้น ซึ่งในบางกรณีอาจไม่สะดวกนักแต่ถ้าเลือกโหมดพีดียูโหมด จะสามารถเลือกหรือ สร้างการเข้ารหัสและถอดรหัส ได้ทุกรูปแบบตามต้องการโดยไม่มีข้อจำกัด

4.4 การส่งข้อความ SMS ในพีดียูโหมด

ตัวอย่างการส่งข้อความ SMS “hellohello” โดยใช้มือถือ Sony Ericsson โดยใช้โหมดพีดียูไปให้ผู้รับหมายเลข “+66 092056208”

AT+CMGF=0 เลือกโหมดพีดียู

AT+CSMS=0 เซ็ตว่ามือถือสนับสนุนการส่ง SMS หรือไม่

AT+CMGS=22 ต้องการส่งทั้งหมด 22 Byte (ไม่รวมเลข 00 ที่อยู่ข้างหน้าสุด)

>0011000A9166295026800000AA0AE8329BFD4697D9EC37 เมื่อพิมพ์ข้อความครบแล้วกด Ctrl+Z ส่วนประกอบของข้อมูลที่ส่งอธิบายในตารางด้านล่างนี้

กลุ่มตัวเลข 8 บิต(Octet)	รายละเอียด
00	ความยาวของ SMSC Information “00” หมายถึงให้ใช้ SMSC Information ที่เก็บอยู่ ภายในเครื่อง (ปกติเครื่องที่สามารถส่ง SMS ได้มีข้อมูล SMSC ภายในเครื่องอยู่แล้ว)
11	First octet of the SMS-SUBMIT message.
00	TP-Message-Reference. “00” คือ ให้เครื่องตั้งหมายเลขอ้างอิงข้อความขึ้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0A	Address-Length. ความยาวของเลขหมายผู้รับ (10 ตัว)
91	Type-of-Address. (91 indicates international format of the phone number)
66 29 50 26 80	หมายเลขโทรศัพท์ของผู้รับ (แบบ Semi Octets) หมายเลข ที่แท้จริงคือ “+66 092056208”
00	TP-PID. (Protocol identifier) เป็น “00”
00	TP-DCS. (Data coding scheme) เป็น “00”
AA	TP-Validity-Period “AA” หมายถึง ช่วงเวลาหมดอายุของข้อความ 4 วัน ถ้าภายในช่วงเวลานี้ ยังส่งไม่ถึงปลายทางข้อความจะถูกยกเลิกอัตโนมัติ
กลุ่มตัวเลข 8 บิต(Octet)	รายละเอียด
0A	TP-User-Data-Length. จำนวนตัวอักษรของข้อความที่ส่ง (10 ตัว)
E8329BFD4697D9EC37	TP-User-Data. เป็นข้อมูลในส่วน of ข้อความตัวอักษรแบบ 7 บิต “hellohello” ที่ผ่านการแปลง (เข้ารหัส) เป็นข้อมูลแบบ 8 บิต แล้วโดยมีวิธีการตามหัวข้อการแปลงตัวอักษรชนิด 7 บิต เป็น ข้อมูล 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

หลักการออกแบบและการทำงานของวงจร

5.1 หลักการออกแบบวงจร

หลักการออกแบบวงจรจะต้อง นำสัญญาณภาพที่เป็นสัญญาณอนาล็อก ไปแปลงเป็นสัญญาณทางดิจิทัลแล้วเก็บลงในหน่วยความจำก่อนที่จะนำภาพ หรือข้อมูลที่อยู่ในหน่วยความจำ ไปประมวลผลโดยไม่โครคอนโทรลเลอร์ เพื่อหาค่าความแตกต่างหรือการเปลี่ยนแปลงของภาพ ถ้าภาพในเฟรมแรกกับเฟรมที่สองไม่มีการเปลี่ยนแปลง ก็หมายความว่าไม่มีค่าผลต่างเกิดขึ้น วงจรก็จะเก็บภาพในเฟรมถัดไปแล้วนำมาประมวลผล ถ้าเฟรมถัดไปนั้นมีคนเข้ามานั้นหมายความว่า จะเกิดความแตกต่างของภาพในเฟรมก่อนหน้านั้นกับเฟรมถัดไปทำให้เกิดค่าผลต่างค่าหนึ่ง ซึ่งจะทำให้ไมโครคอนโทรลเลอร์ส่งข้อความมาเตือนเจ้าของบ้าน

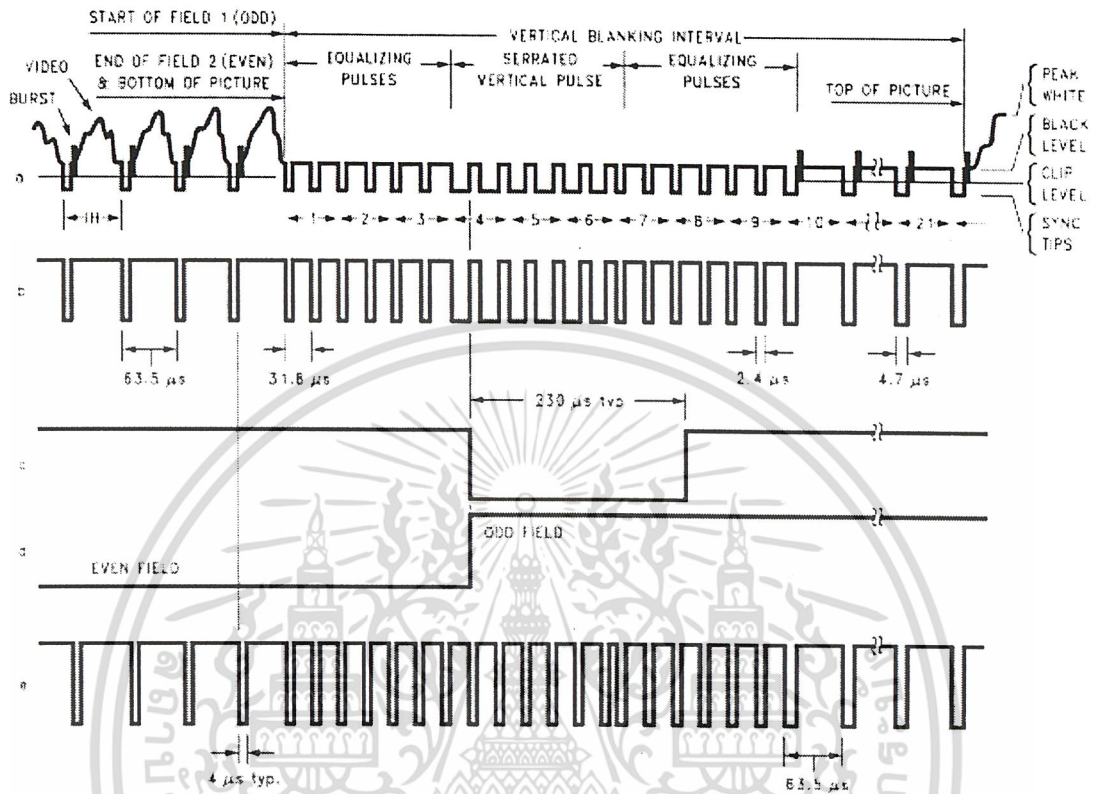
5.2 หลักการทำงานของวงจร

5.2.1 การทำงานของวงจรแยกซิงค์

การทำงานของวงจรแยกซิงค์ จะทำการแยกสัญญาณต่างๆ ออกจากสัญญาณภาพ โดยใช้ IC เบอร์ LM 1881 Video Sync Separator ซึ่งจะได้สัญญาณคอมโพสิตซิงค์ (Composite sync 15,625Hz) , สัญญาณเวอร์ติคัลซิงค์ (Vertical sync 50 Hz) , สัญญาณพิวส์คู่/พิวส์คี่ Odd/Even 25 Hz , Burst/Back 15,625Hz โดยสัญญาณที่จะนำไปใช้คือ สัญญาณ Composite sync หรือ Horizontal sync และสัญญาณ Odd/Even ซึ่งเป็นสัญญาณ TTL ที่สามารถนำไปใช้งานได้เลย

5.2.2 การทำงานของวงจรหน่วงสัญญาณซิงค์

ในช่วงเริ่มต้นไมโครคอนโทรลเลอร์จะส่งลอจิก 0 ออกมาที่ P1.7 และผ่าน Not Gate ทำให้ IC02 (74HC74) ทำงาน เอาท์พุท Q จะส่งลอจิก 1 ออกมาเมื่อมีขอบขาขึ้นของสัญญาณ O/E ซึ่งเป็นช่วงต้นของสัญญาณภาพ เมื่อเอาท์พุท Q ของ IC02 เป็นลอจิก 1 วงจรหน่วงสัญญาณซิงค์โดย IC04 และ IC05 จะเริ่มทำงานโดยจะนับลูกคลื่นของสัญญาณซิงค์ เพื่อให้ผ่านช่วงที่ไม่มีสัญญาณภาพไปเมื่อถึงค่าที่ตั้งไว้ ที่ขา 2 ของ IC06 จะเป็นลอจิก 1 ซึ่งเป็นเหมือนสวิตช์เปิดให้สัญญาณซิงค์ผ่านได้ ในช่วงที่มีสัญญาณภาพโดยสัญญาณซิงค์ที่ได้นี้(จากขา 3 ของ IC06) จะนำไปใช้งานต่อไป



รูปที่ 5.1 (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp

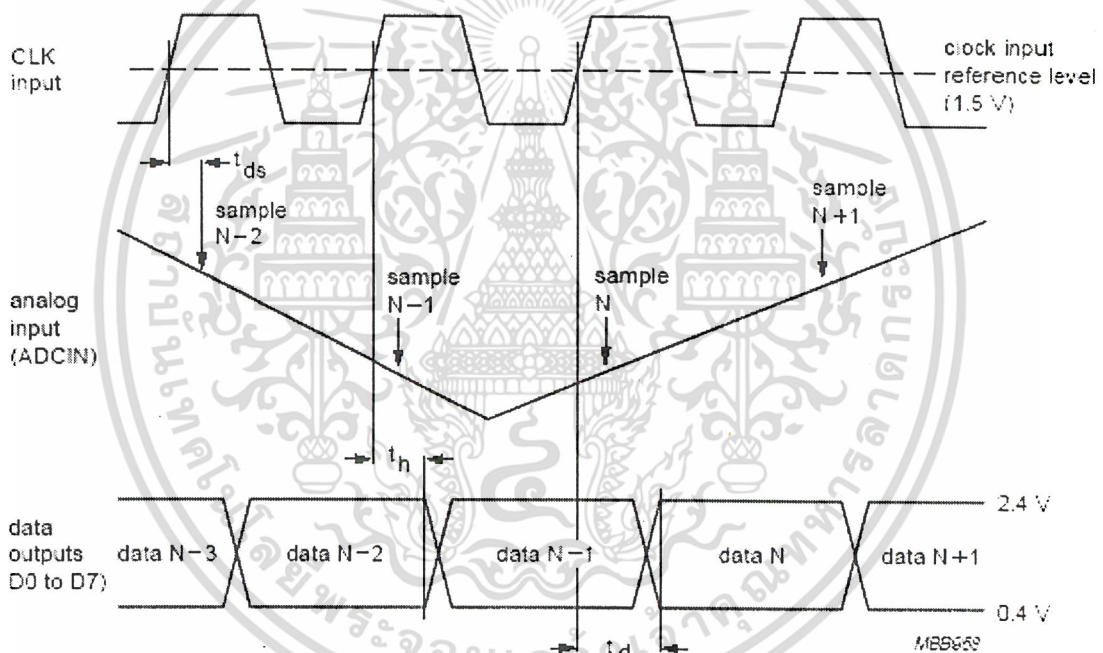
5.2.3 การทำงานของวงจรเลือกตำแหน่งภาพ

การเลือกตำแหน่งภาพจะใช้สัญญาณ Horizontal sync ที่ผ่านวงจรหน่วงสัญญาณซิงค์ แล้วนำมารวมกับ สัญญาณ Clock 8MHz แล้วหารเปิดเพื่อความเที่ยงตรงของตำแหน่งแรกของเส้นภาพ จะได้สัญญาณเลือกตำแหน่งภาพที่เอาต์พุตQC(ขา 5 ของ IC11) จะได้สัญญาณเลือกตำแหน่งภาพ 1 MHz สัญญาณเลือกตำแหน่งภาพ 1 MHz นี้จะนำไป counter ชีตำแหน่ง address ใน RAM เพื่อเก็บข้อมูลความสว่างของแต่ละ pixel โดยมี IC13 – IC16 เป็นตัว counter ชีตำแหน่ง address และมี IC17 – IC20 เป็นสวิตช์เลือกระหว่างวงจรเลือกตำแหน่งภาพกับไมโครคอนโทรลเลอร์ ในส่วนของ IC08 – IC09 เป็นวงจรเลือกเส้นภาพ 256 เส้น เมื่อวงจรนับถึงเส้นที่ 256 เอาต์พุต And Gate ที่ขา 11 ของ IC06 จะเป็นลอจิก 1 เพื่อส่งสัญญาณไปบอกไมโครคอนโทรลเลอร์ว่าสิ้นสุดการเก็บภาพแล้ว

และจากการทำงานของวงจรเลือกตำแหน่งภาพนี้จะทำให้ได้ภาพที่มีขนาด 64pixel X 256 line = 16 kByte

5.2.4 การทำงานของวงจรแปลงอนาลอกเป็นดิจิตอล

วงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล จะใช้ IC TDA 8708 ซึ่งเป็นไอซี Video Analog Input Interface ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิต โดยใช้สัญญาณนาฬิกา จากสัญญาณเลือกตำแหน่งภาพ 1MHz สุ่มสัญญาณ ข้อมูลที่ได้จะเป็นค่าความสว่างของแต่ละ pixel และจะถูกนำไปเก็บในหน่วยความจำต่อไป



รูปที่ 5.2 Timing diagram for data output.

5.2.5 การทำงานของวงจรหน่วยความจำภาพและไมโครคอนโทรลเลอร์

การเก็บภาพจะใช้ หน่วยความจำขนาด 32kByte เก็บภาพขนาด 16kByte สองภาพ โดยภาพแรกจะเก็บในตำแหน่ง 0000H – 3FFFH และภาพที่สองจะเก็บในตำแหน่ง 4000H – 7FFFH ในการแบ่งภาพที่หนึ่งกับภาพที่สองจะ ใช้สัญญาณจาก P1.1 ต่อกับขา A14 เพื่อเลือกที่จะเก็บภาพในตำแหน่งที่หนึ่งหรือตำแหน่งที่สองโดยจะสลับกันไป

5.2.6 การทำงานของไมโครคอนโทรลเลอร์

ในช่วงการเก็บภาพ ไมโครคอนโทรลเลอร์ควบคุม ให้อุปกรณ์เลือกตำแหน่งภาพติดต่อกับหน่วยความจำเพื่อเก็บข้อมูลภาพลงในหน่วยความจำ โดยจะมีสัญญาณจากเอาต์พุต And Gate ที่ขา 11 ของ IC06 เป็นตัวบอกว่าสิ้นสุดการเก็บภาพแล้ว ไมโครคอนโทรลเลอร์จะควบคุมให้อุปกรณ์เลือกตำแหน่งภาพหยุดทำงานและสวิตช์เลือกโดยไอซี 74HC244 ให้ไมโครคอนโทรลเลอร์ติดต่อกับหน่วยความจำ เพื่อทำการประมวลผล จากนั้นไมโครคอนโทรลเลอร์จะนำข้อมูลภาพที่หนึ่งกับภาพที่สองในหน่วยความจำ มาประมวลผลเพื่อหาค่าผลต่าง ถ้าภาพที่หนึ่งกับภาพที่สอง ไม่มีการเปลี่ยนแปลงจะไม่มีค่าผลต่างเกิดขึ้น แต่ถ้าภาพที่หนึ่งกับภาพที่สองมีการเปลี่ยนแปลงหรือวัตถุมีขนาดใหญ่กว่าที่เรากำหนดไว้ ไมโครคอนโทรลเลอร์จะมีการแสดงผลให้ทราบ

5.2.7 ทำงานของวงจรส่ง SMS

การทำงานของวงจรจะอาศัยการทำงานของ 89C2051 เป็นหลักโดยหลักการมีคร่าวๆ คือ เมื่อ 89C2051 ได้ Input จากวงจรเปรียบเทียบภาพที่ทำการเปรียบเทียบเบื้องต้นให้ทำการส่งภาพ 89C2051ก็จะทำการส่ง AT Command 3 คำสั่งคือ

- AT+CMGF=0 เพื่อทำการเลือกโหมดการส่ง SMS เป็นแบบ PDU Mode
- AT+CSMS=0 เพื่อเช็คว่ามีมือถือสนับสนุน SMS หรือไม่
- AT+CMGS เพื่อส่ง SMS ที่ข้อความที่เป็นแบบ PDU

โดยจะรับค่า 0 จาก P3.2 เมื่อค่าเป็น 0 จะทำการส่ง SMS ไปยังเบอร์ที่กำหนดไว้ใน Source ของ MCS-51

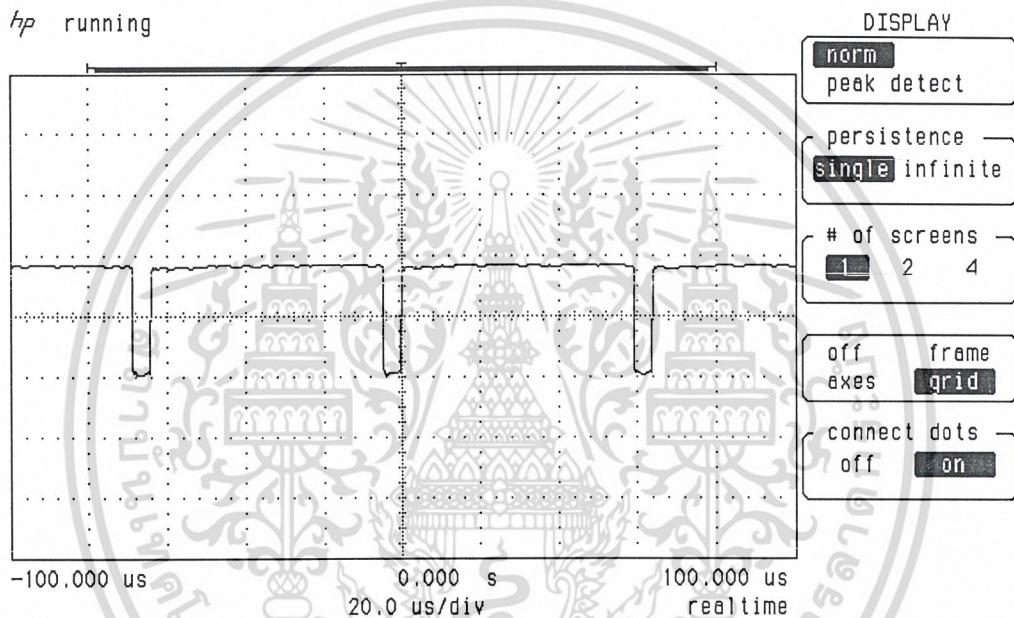


Title		
Size	Number	Revision
B		
Date	8 Aug 2005	Sheet of
File	Dispositi_image1102_NEWING.dwg	Drawn By:

บทที่ 6

ผลการทดลอง

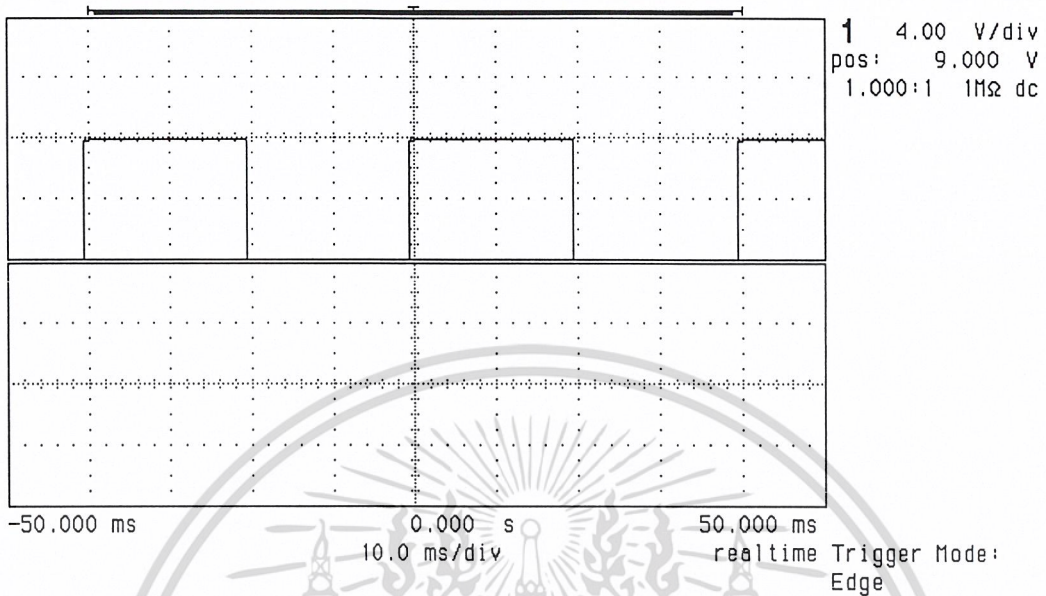
6.1 การทดลองวัดสัญญาณต่างๆ



รูปที่ 6.1 สัญญาณ Composite sync ที่ขา 1 ของ IC LM 1881

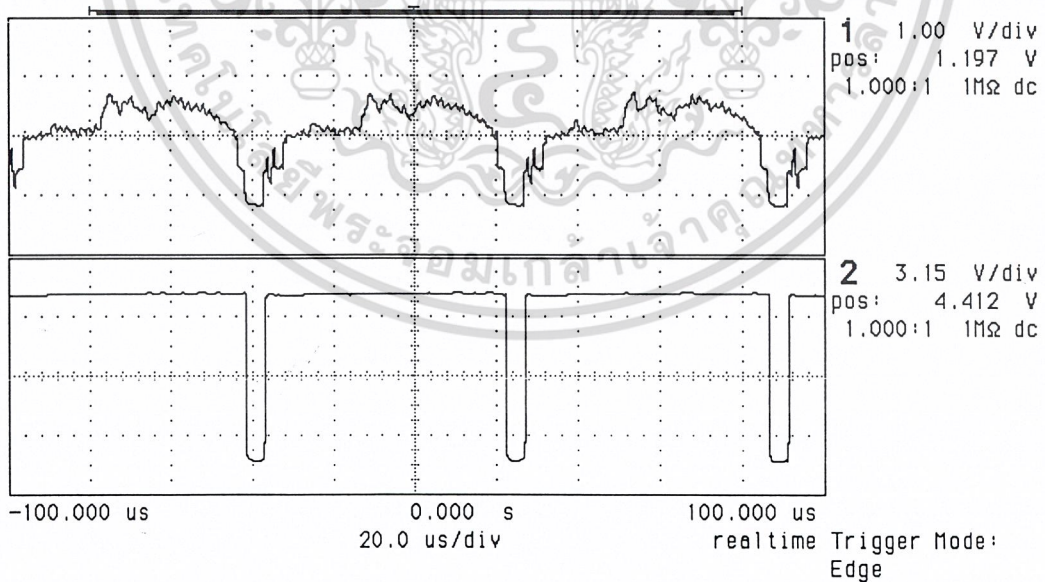
จากรูปที่ 6.1 เป็นสัญญาณ Composite sync ที่วัดได้จากขา 1 ของ IC เบอร์ LM 1881 ที่ทำการแยกออกมาจากสัญญาณภาพรวม ซึ่งมีความถี่อยู่ประมาณ 15,625 Hz ในรูปที่ 6.2 จะเป็นสัญญาณ ODD/EVEN จาก ขา 7 ของ IC เบอร์ LM 1881 จะมีความถี่อยู่ประมาณ 25Hz และรูปที่ 6.3 จะเป็นสัญญาณภาพรวม

hp stopped



รูปที่ 6.2 สัญญาณ ODD/EVEN จาก ขา 7 ของ IC เบอร์ LM 1881

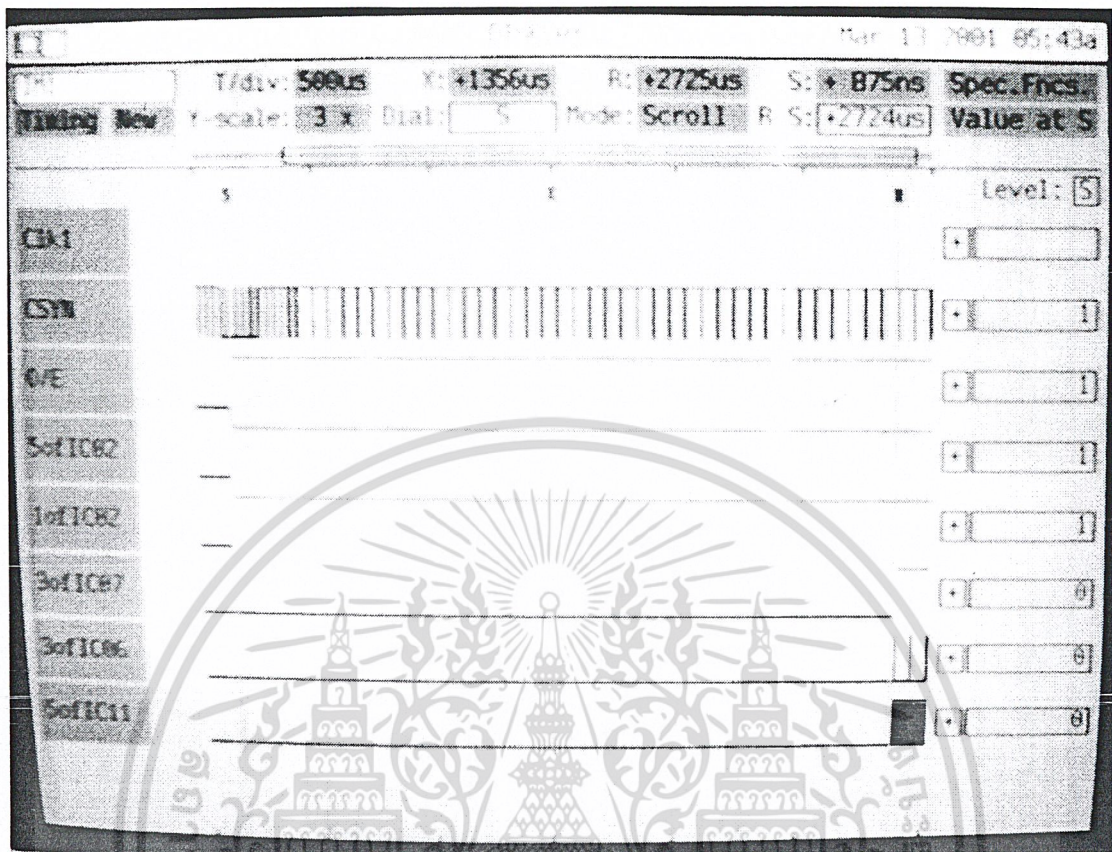
hp running



1 1.598 V

รูปที่ 6.3 สัญญาณภาพรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

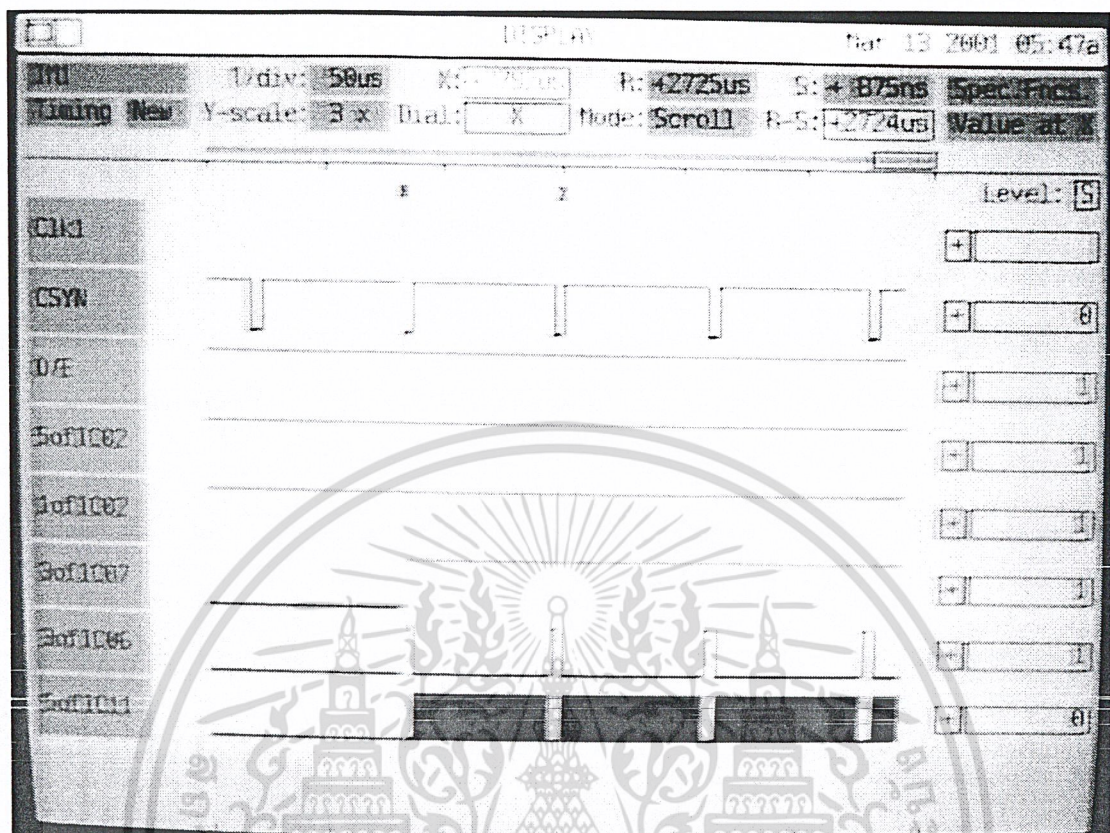


รูปที่ 6.4 สัญญาณที่ได้จากขาต่างๆจากวงจรหน่วยสัญญาณซิงค์

จากรูปที่ 6.4 เป็นสัญญาณที่วัดได้จากขาต่างๆ จากวงจรหน่วยสัญญาณซิงค์และวงจรสร้างสัญญาณเพื่อนำไป counter ซึ่งตำแหน่ง address ในหน่วยความจำ โดยที่

- CSYN คือ สัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์ที่ขา 1 ของ IC01 LM1881
- O/E คือ สัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์ที่ขา 7 ของ IC01 LM1881
- สัญญาณที่ขา 5 ของ IC02 คือ สัญญาณที่นำไปควบคุมวงจรหน่วยสัญญาณซิงค์และวงจรสร้างสัญญาณเพื่อนำไป counter ซึ่งตำแหน่ง address ในหน่วยความจำ
- สัญญาณที่ขา 1 ของ IC02 คือ สัญญาณควบคุมการเปิดปิดวงจรหน่วยสัญญาณซิงค์ที่มาจากไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

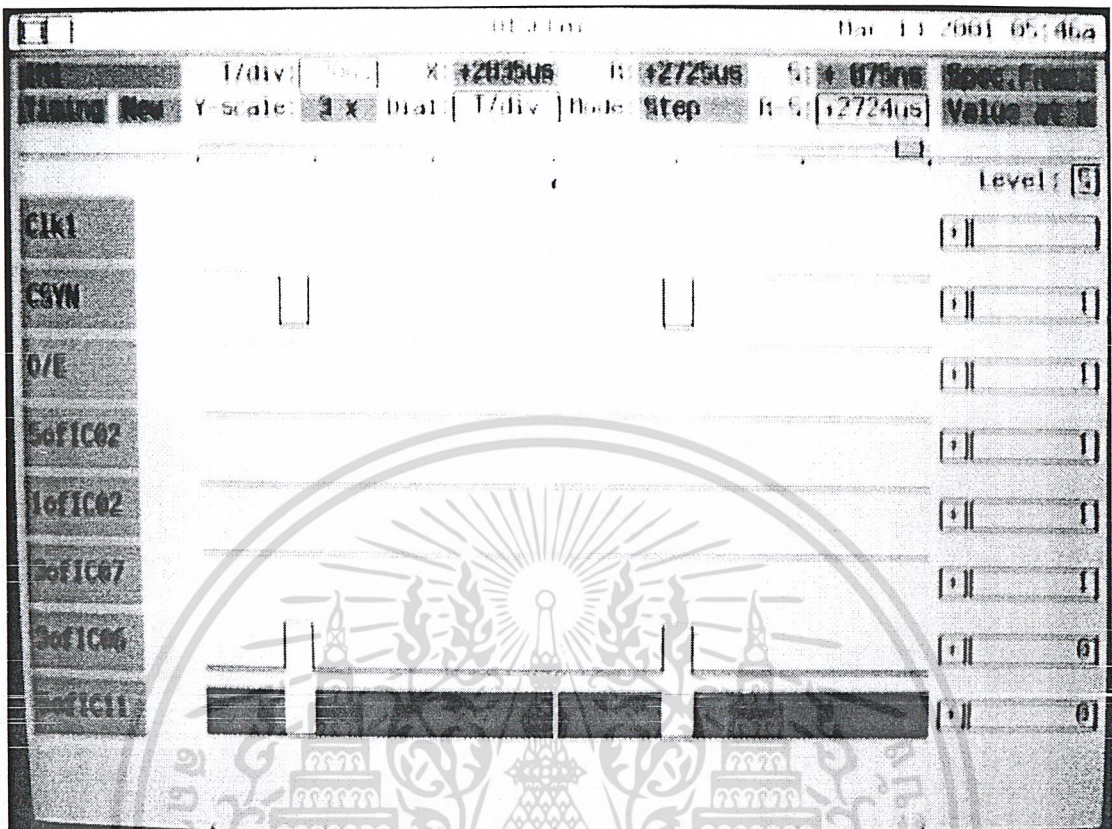


รูปที่ 6.5 แสดงภาพขยายสัญญาณที่ได้จากขาต่างๆจากวงจรหน่วยสัญญาณซิงค์

จากรูปที่ 6.5 เป็นภาพขยายสัญญาณที่วัดได้จากขาต่างๆ จากวงจรหน่วยสัญญาณซิงค์และวงจรสร้างสัญญาณเพื่อนำไป counter ซึ่งตำแหน่ง address ในหน่วยความจำโดยที่

- สัญญาณที่ขา 3 ของ IC07 คือ สัญญาณควบคุมการเปิดเพื่อเริ่มต้นสัญญาณ counter ที่นำไปชี้ตำแหน่ง address ในหน่วยความจำ
- สัญญาณที่ขา 3 ของ IC06 คือ สัญญาณซิงค์ที่ถูกหน่วยก่อนนำไปเข้าวงจรกำหนดเส้นภาพและวงจรสร้างสัญญาณ counter
- สัญญาณที่ขา 5 ของ IC11 คือ สัญญาณ counter ที่นำไป counter เพื่อชี้ตำแหน่ง address ในหน่วยความจำและกลุ่มสัญญาณในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



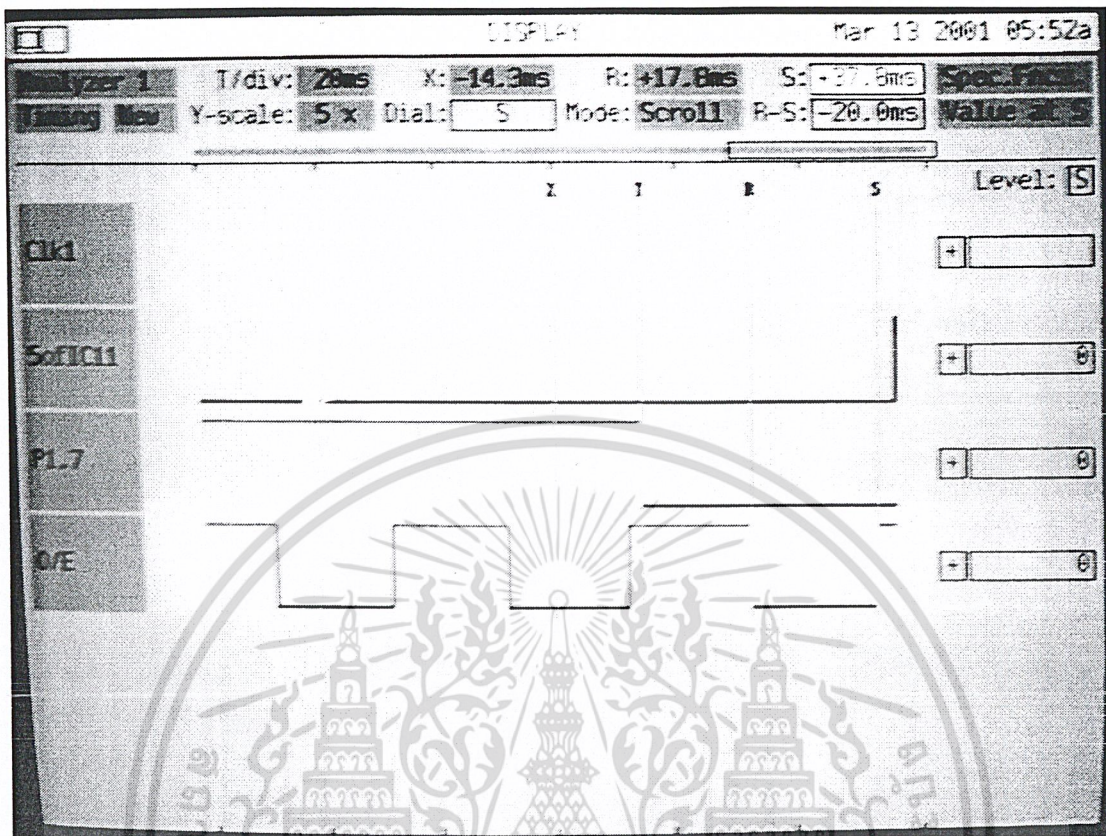
รูปที่ 6.6 แสดงสัญญาณซิงค์ที่นำไปเข้าวงจรสร้างสัญญาณ counter

โดยที่

- CSYN คือ สัญญาณซิงค์จากวงจรแยกสัญญาณซิงค์ที่ขา 1 ของ IC01 LM1881
- สัญญาณที่ขา 3 ของ IC06 คือ สัญญาณซิงค์ที่ถูกล็อกอินเวอร์ตสัญญาณและถูกหน่วงก่อน

นำไปเข้าวงจรสร้างสัญญาณ counter

- สัญญาณที่ขา 5 ของ IC11 คือ สัญญาณ counter ที่สร้างขึ้นจากคริสตอลและสัญญาณซิงค์



รูปที่ 6.6 แสดงสัญญาณควบคุมจากไมโครคอนโทรลเลอร์

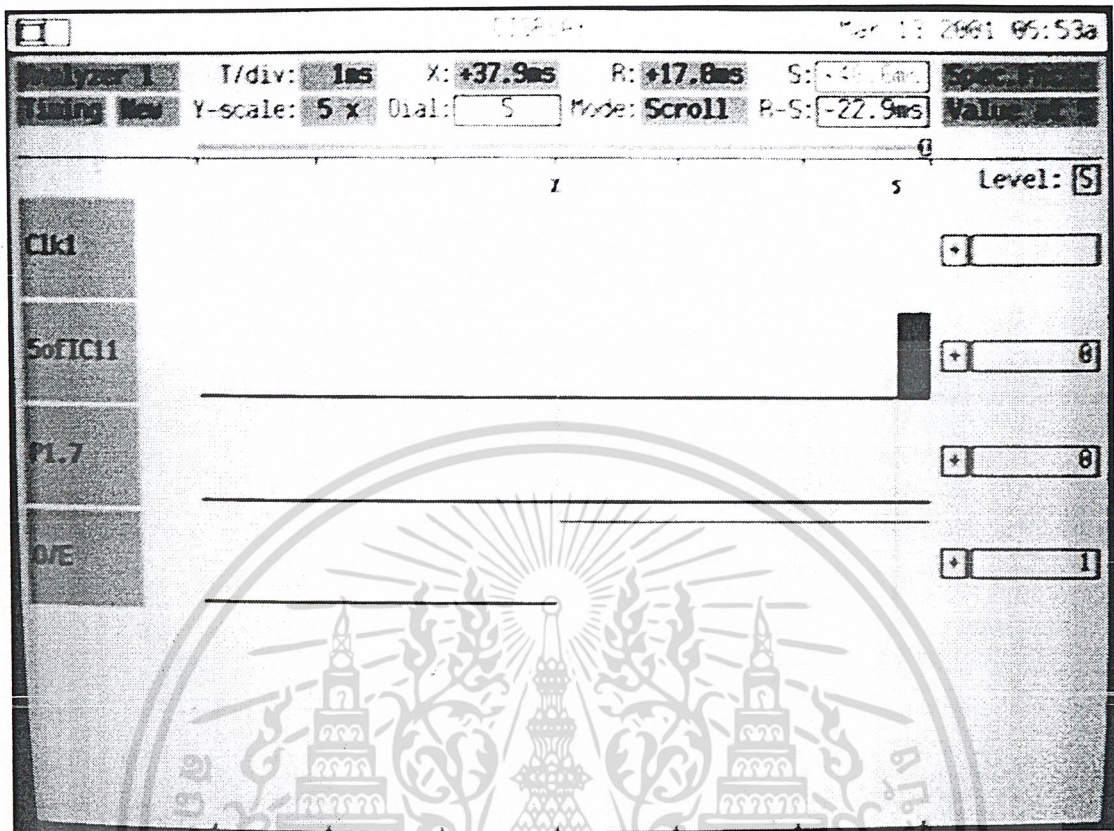
จากรูปที่ 6.6 เป็นรูปที่แสดงสัญญาณการควบคุมการทำงานของวงจรเก็บข้อมูลภาพที่มา
จากขาของ

- P1.7 คือขา 8 ของไมโครคอนโทรลเลอร์ (IC23) ที่การควบคุมการทำงานของวงจรเก็บข้อมูลภาพโดยเมื่อ ขา 8 ของไมโครคอนโทรลเลอร์นี้เป็นลอจิกศูนย์ "0" จะเริ่มการทำงานของวงจรเก็บข้อมูลภาพ

- O/E คือสัญญาณ ODD/EVEN โดยที่วงจรเก็บข้อมูลภาพจะเริ่มต้นการทำงาน สัญญาณ ODD/EVEN จะต้องเป็นขอบขาขึ้น (Active LOW to HIGH) ในช่วงที่ P1.7 ของไมโครคอนโทรลเลอร์ เป็นลอจิกศูนย์ "0"

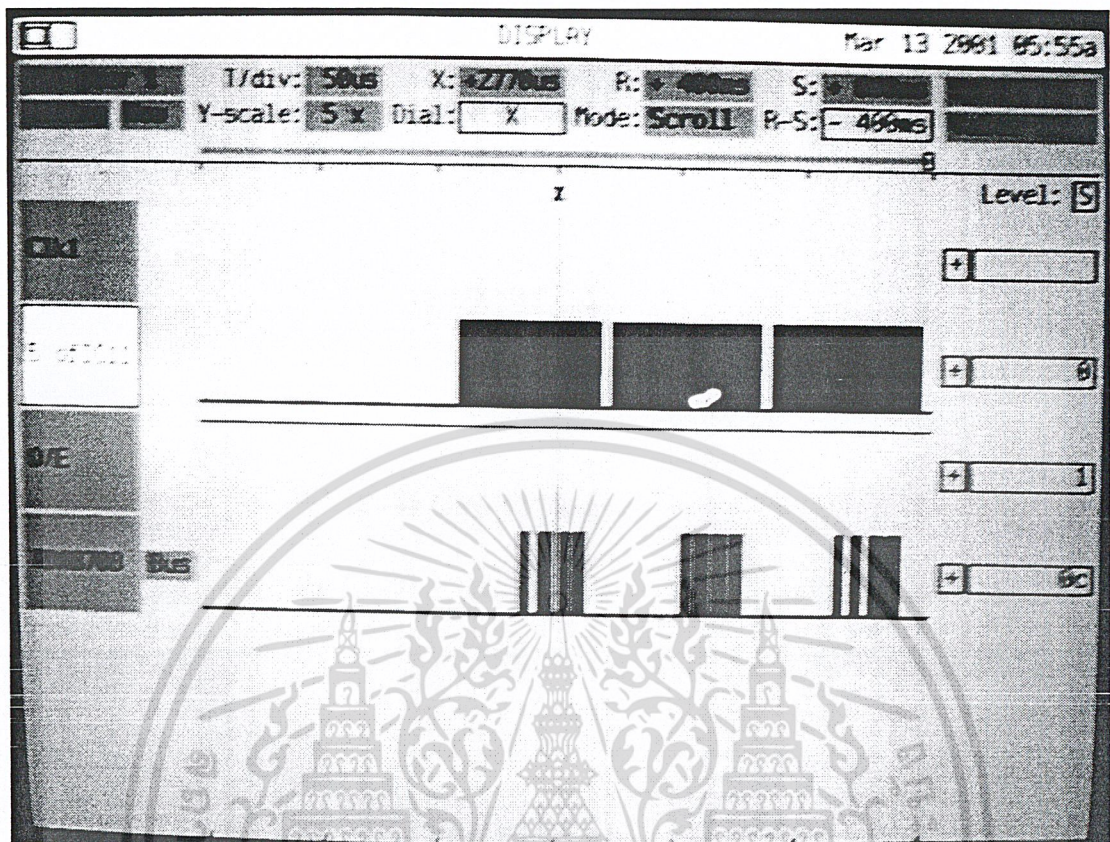
- สัญญาณที่ขา 5 ของ IC11 คือ สัญญาณ counter ที่เริ่ม counter หลังจากสัญญาณ ODD / EVEN เป็นขอบขาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.7 แสดงสัญญาณ counter ที่ถูกหน่วงไปหลังจากสัญญาณ ODD/EVEN เป็นขอบขาขึ้น

จากรูปที่ 6.7 แสดงสัญญาณ counter ที่ถูกหน่วงไปหลังจากสัญญาณ ODD/EVEN เป็นขอบขาขึ้นเนื่องจากในช่วงต้นของสัญญาณภาพรวมจะไม่มีสัญญาณภาพทำให้ไม่มีข้อมูลภาพที่เป็นดิจิทัลไปเก็บในหน่วยความจำ

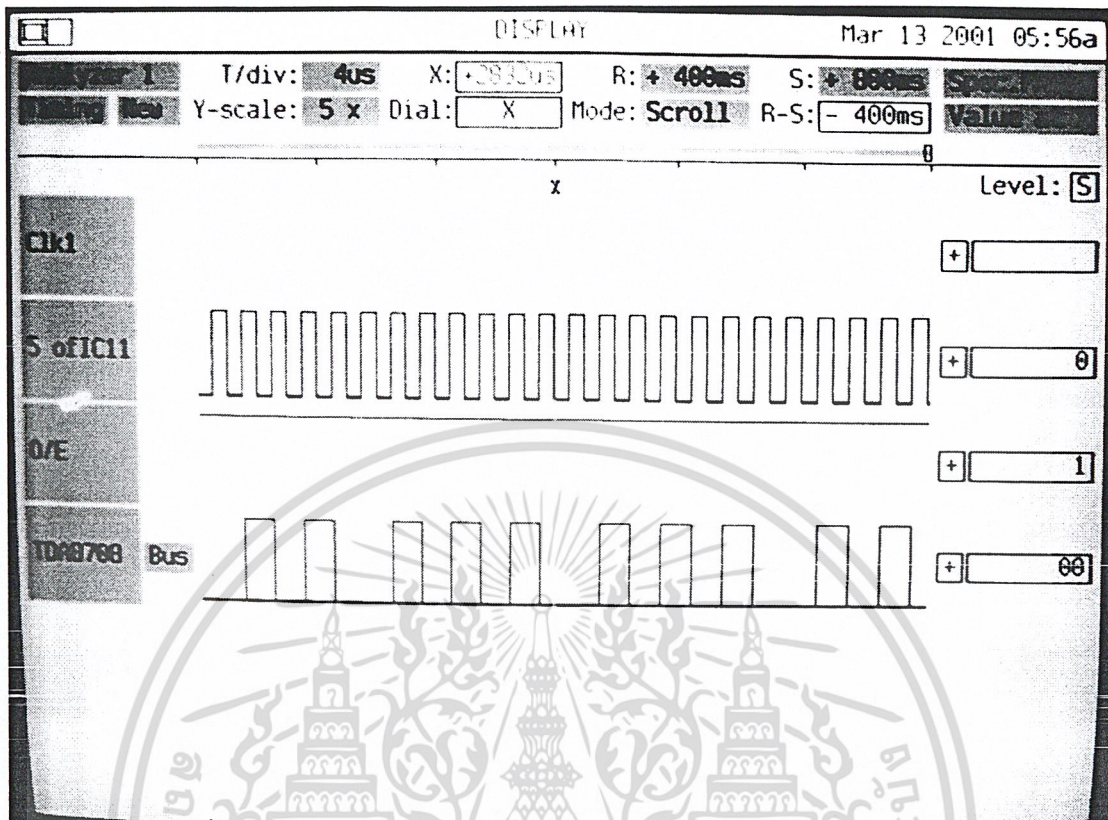


รูปที่ 6.8 แสดงสัญญาณที่แปลงจากอนาล็อกเป็นดิจิทัล

จากรูปที่ 6.8 แสดงสัญญาณจากวงจรแปลงสัญญาณจากอนาล็อกเป็นดิจิทัลโดยใช้ IC เบอร์ TDA8708 (IC22) โดยที่

- 5 of IC11 คือ สัญญาณที่ได้จากวงจรสร้างสัญญาณ counter ที่นำไปสู่ในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล
- TDA8708 คือ สัญญาณดิจิทัลที่ได้จากการแปลงสัญญาณภาพที่เป็นอนาล็อก ซึ่งแสดงอยู่ในรูปข้อมูลเลขฐาน 16

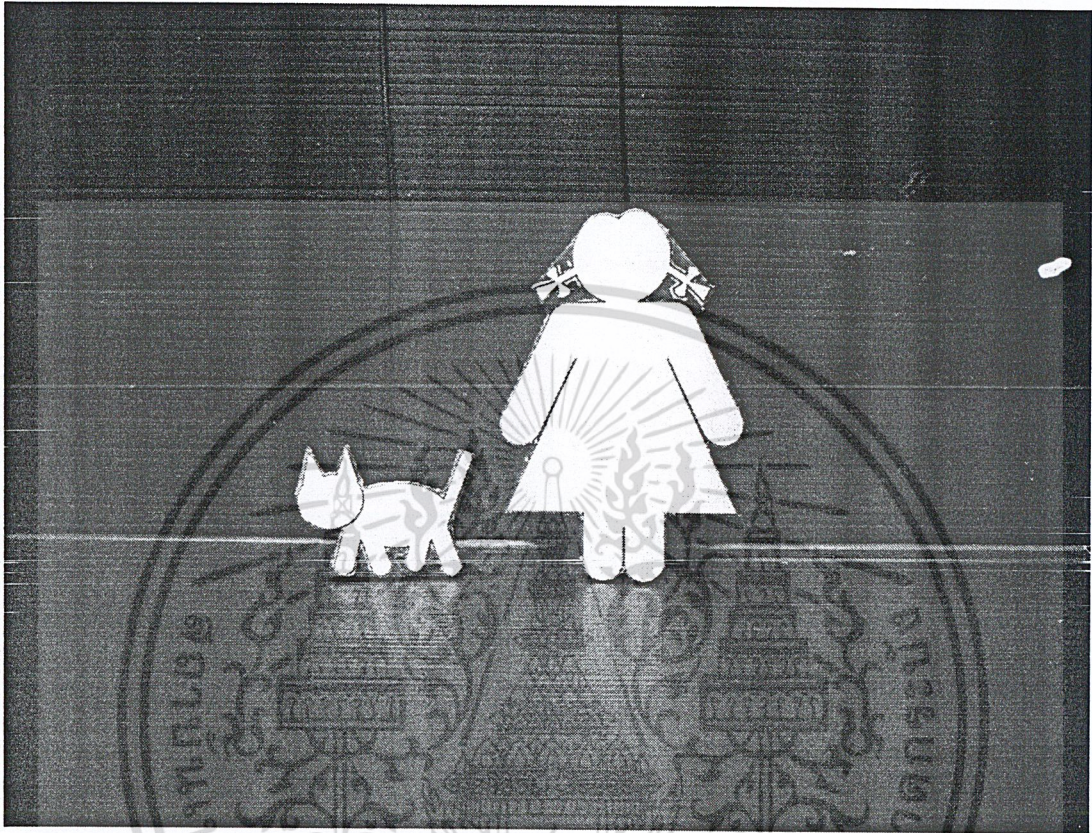
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 แสดงภาพขยายสัญญาณที่แปลงจากอนาล็อกเป็นดิจิทัล

จากรูปที่ 6.8 แสดงภาพขยายสัญญาณที่ได้จากวงจรแปลงสัญญาณจากอนาล็อกเป็นดิจิทัล โดยใช้ IC เบอร์ TDA8708 (IC22) เทียบกับสัญญาณ counter ที่นำมาสุ่มในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

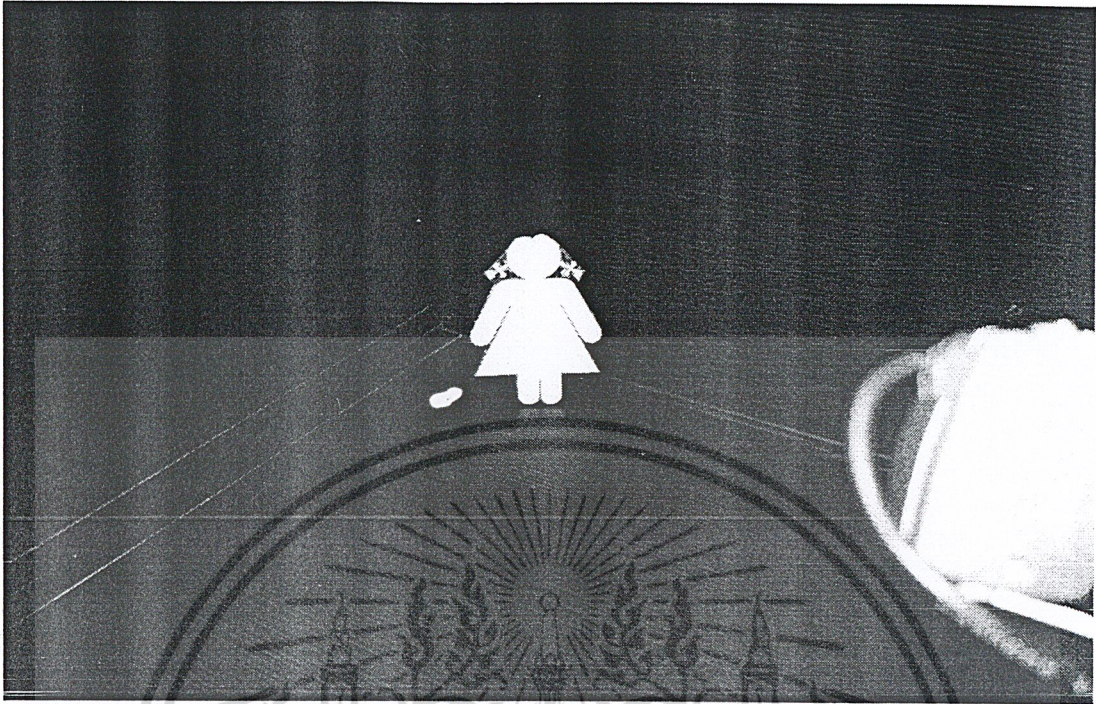
6.2 การทดลองจำลองการใช้งานจริง



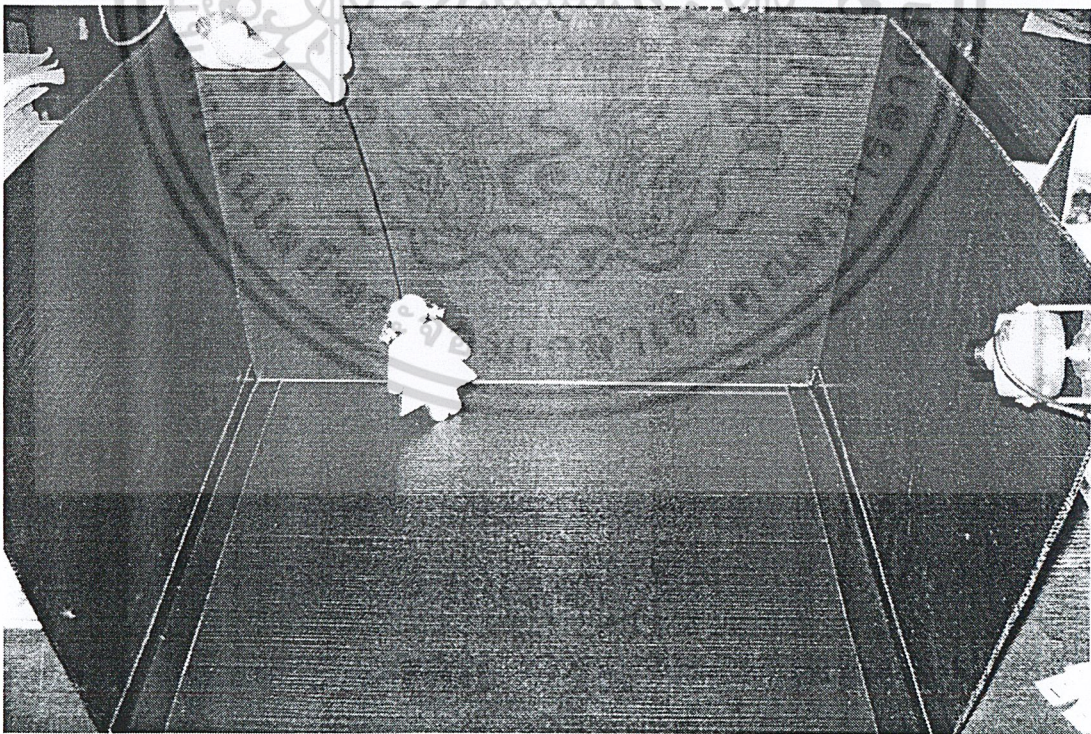
รูปที่ 6.10 แสดงขนาดของวัตถุที่จำลองการใช้งานจริง

จากรูปที่ 6.10 แสดงการเปรียบเทียบขนาดต่างๆ ของวัตถุที่นำมาทดลองจำลองการใช้งานจริงโดยวัตถุที่ใช้จะมีขนาดต่างกัน โดยในการทดลองจากรูปที่ 6.12 วัตถุที่มีขนาดใหญ่ที่เข้ามาในห้องหรือมีการเคลื่อนไหว การตรวจจับภาพจะได้ค่าผลต่างของเฟรมแรกกับเฟรมที่สองที่มีค่ามากและมากพอที่จะเป็นคนที่มีการส่งข้อความเตือนไปยังโทรศัพท์เครื่องที่เราตั้งค่าไว้

จากรูปที่ 6.14 แสดงการทดลองกับวัตถุที่มีขนาดเล็กที่เข้ามาในห้องหรือมีการเคลื่อนไหว การตรวจจับภาพจะได้ค่าผลต่างของเฟรมแรกกับเฟรมที่สองที่มีค่ามากและมากพอที่จะเป็นคนที่ในกรณีนี้ จะไม่มีการส่งข้อความเตือนไปยังโทรศัพท์เครื่องที่เราตั้งค่าไว้

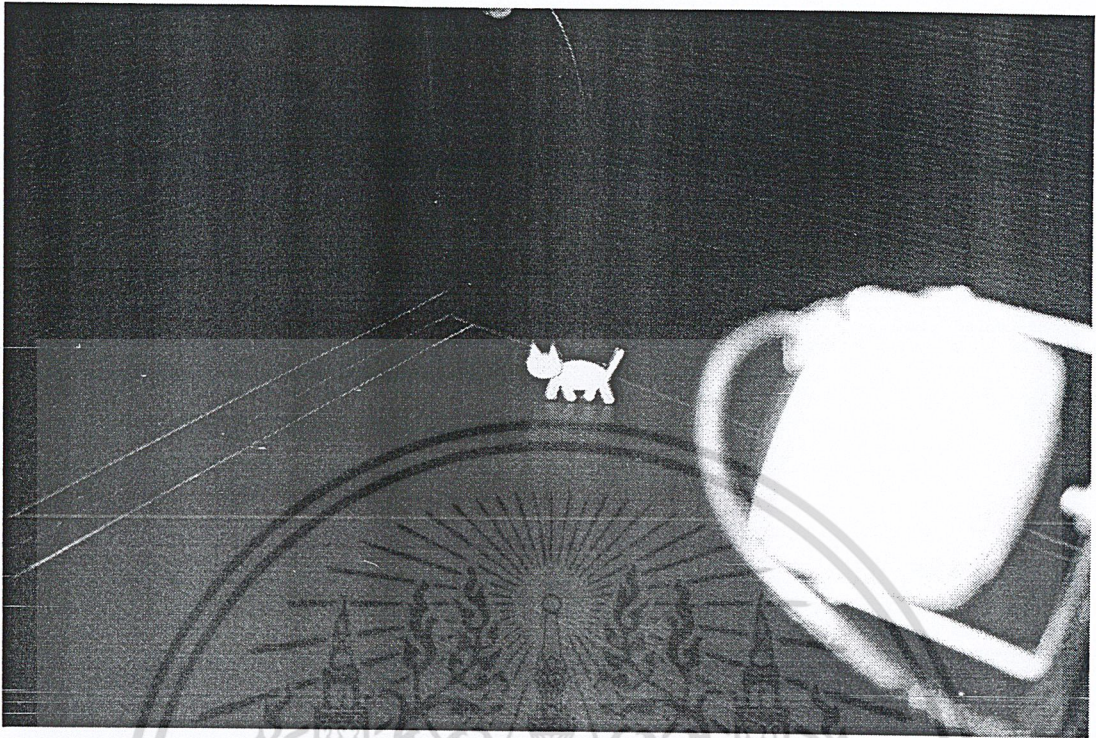


รูปที่ 6.11 แสดงการทดลองขนาดของวัตถุที่ใช้แทนคน

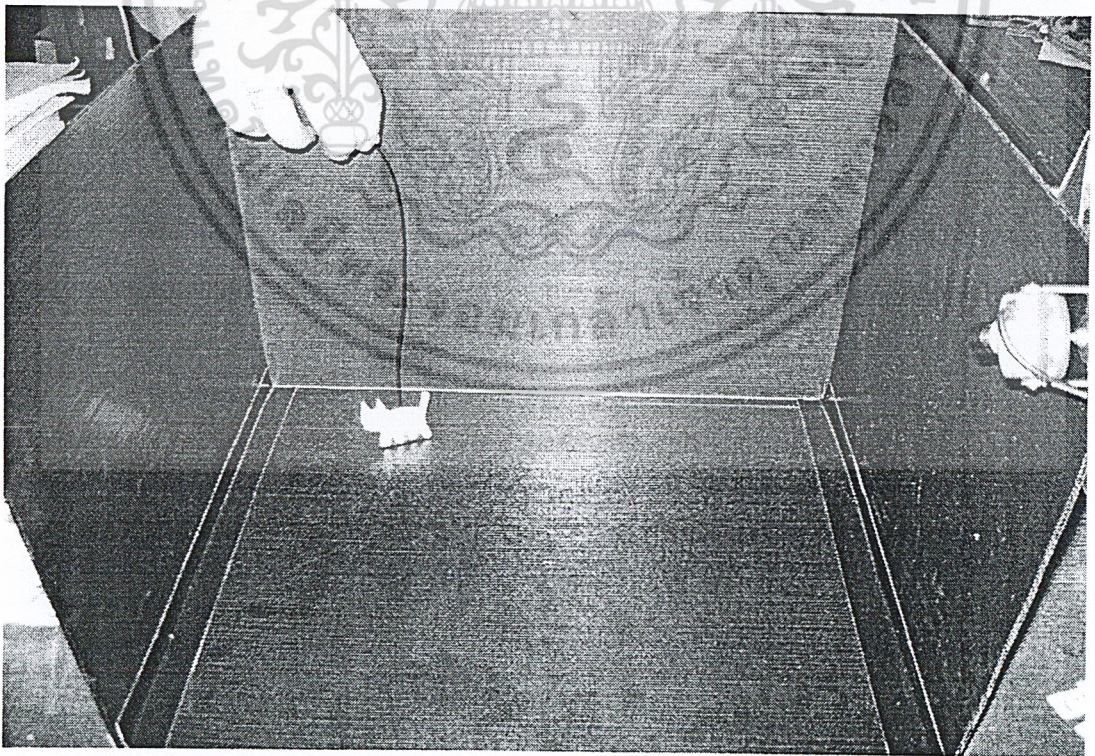


รูปที่ 6.12 แสดงการทดลองในกล่องที่ใช้แทนห้องจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



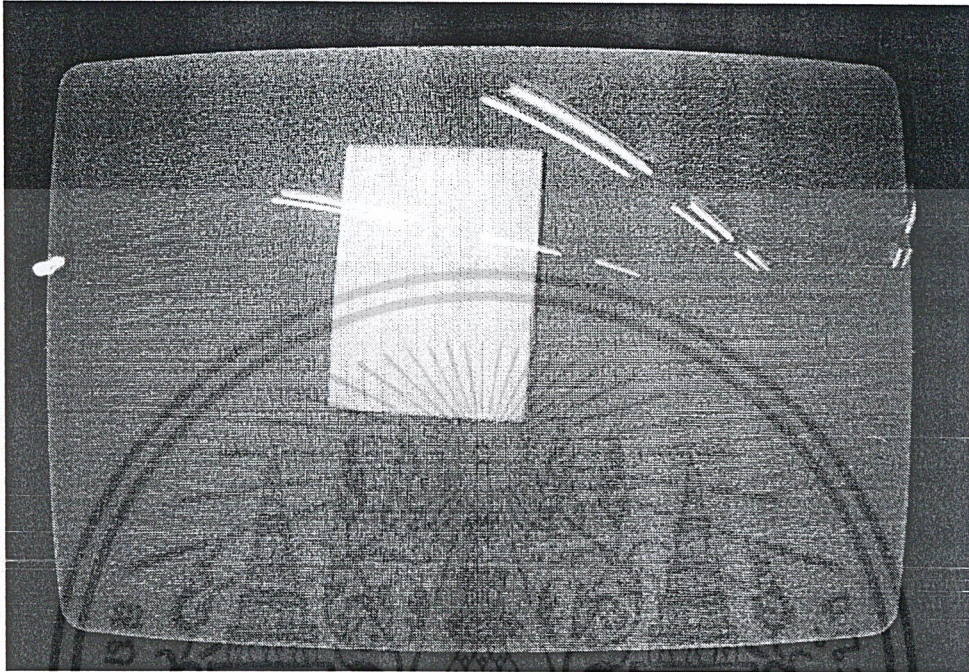
รูปที่ 6.13 แสดงการทดลองขนาดของวัตถุที่ใช้แทนสัตว์เลี้ยง



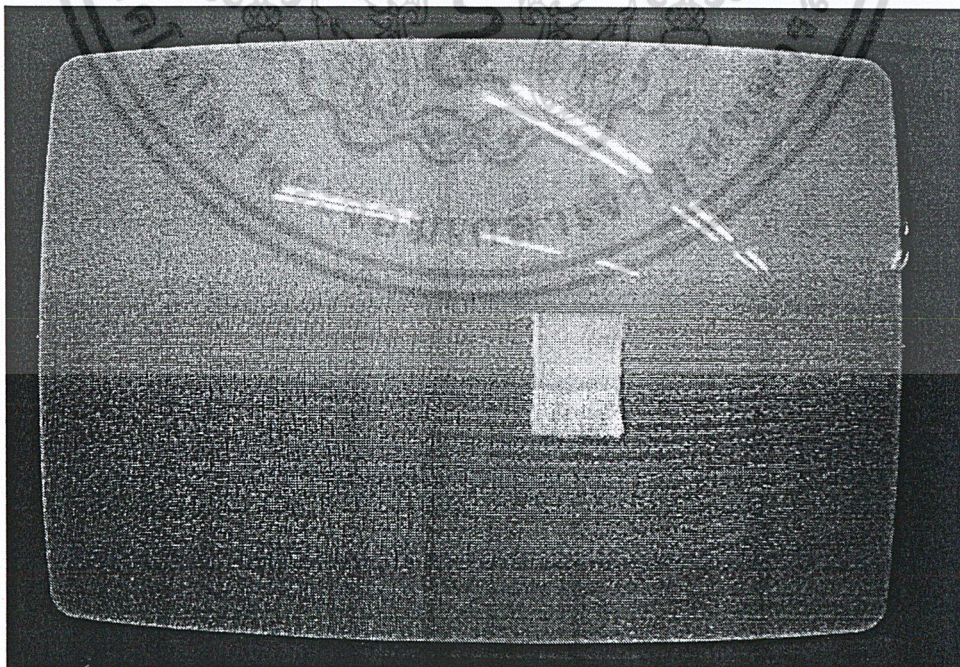
รูปที่ 6.14 แสดงการทดลองในกล่องของวัตถุที่ใช้แทนสัตว์เลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การทดลองขนาดวัตถุที่มีการแข็งเตือน



รูปที่ 6.15 ภาพแสดงขนาดวัตถุที่จะมีการแข็งเตือน



รูปที่ 6.16 ภาพแสดงวัตถุขนาดเล็กที่จะไม่มีการแข็งเตือน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

สรุปและวิจารณ์ผลการทดลอง

จากการทดลองที่ 6.1 ในการวัดสัญญาณข้อมูลภาพที่แปลงจากสัญญาณอนาล็อกให้เป็นดิจิทัลจากวงจร ADC (TDA8708) จะพบว่า ระดับความเข้มของสีหรือความสว่างของภาพที่มากจะให้ค่าข้อมูล (binary) ที่สูงตาม และในทางกลับกันที่ระดับความเข้มของสีหรือความสว่างของภาพที่น้อยจะให้ค่าข้อมูลที่ต่ำ เช่น ในห้องที่มีแสงน้อย ซึ่งในการทดลองนี้จะทดลองในห้องที่มีแสงสว่างในระดับที่พอดี ไม่สว่างจ้ามากหรือน้อยเกินไป

ในการทดลองที่ 6.2 เป็นการทดลองจำลองการใช้งานจริงโดยผลการทดลองขึ้นอยู่กับความเข้มและความสว่างของวัตถุที่นำมาทดลองในฉาก โดยวัตถุที่มีความสว่าง จะให้ผลการทดลองที่ค่อนข้างแน่นอน และในส่วนของคุณค่าของวัตถุ ผลการทดลองที่ได้ค่อนข้างจะเป็นไปตามค่าที่ตั้งไว้ในโปรแกรมที่ออกแบบไว้

การนำไปใช้งานจริงในส่วนของการตั้งค่ากำหนดขนาดของวัตถุที่มีการเคลื่อนที่ จะต้องดูขนาดของห้องที่จะนำไปใช้งานจริงซึ่งในจุดนี้ การเปลี่ยนแปลงค่าจะต้องกำหนดในส่วนของโปรแกรม ซึ่งอาจจะทำให้ยุ่งยากในการที่จะเปลี่ยนไปใช้งานในห้องอื่นที่มีขนาดไม่เท่าเดิม

นอกจากนี้ในการทดลอง อาจจะมีข้อผิดพลาดจากสภาวะแวดล้อม ที่มีความสว่างมากหรือน้อยเกินไป ซึ่งข้อจำกัดบางอย่างเหล่านี้มีผลมาจากการใช้กล้องวงจรปิดที่มีคุณภาพแตกต่างกัน และการใช้เลือกงานของกล้องแบบต่างๆ ในสภาวะแวดล้อมที่แตกต่างกัน

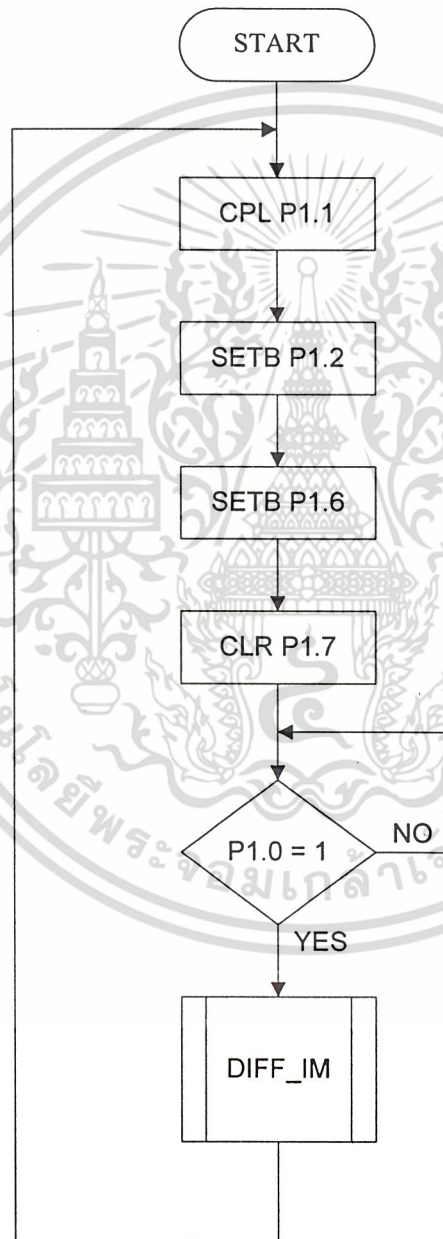
ในส่วนของการส่ง SMS จะใช้โทรศัพท์เคลื่อนที่ Sony Ericsson รุ่น K508i เป็นตัวส่งข้อความไปยังโทรศัพท์ของผู้ที่จะรับข้อความเตือนซึ่งให้การทดลองเป็นที่น่าพอใจ

ในส่วนของการกำหนดเบอร์โทรศัพท์ของผู้ที่จะรับข้อความเตือน จะต้องกำหนดในส่วนของการเขียนโปรแกรมซึ่งในจุดนี้จะเป็นการลำบากถ้าเราต้องการเปลี่ยนเบอร์โทรศัพท์ในกรณีที่มีการติดตั้งจริง

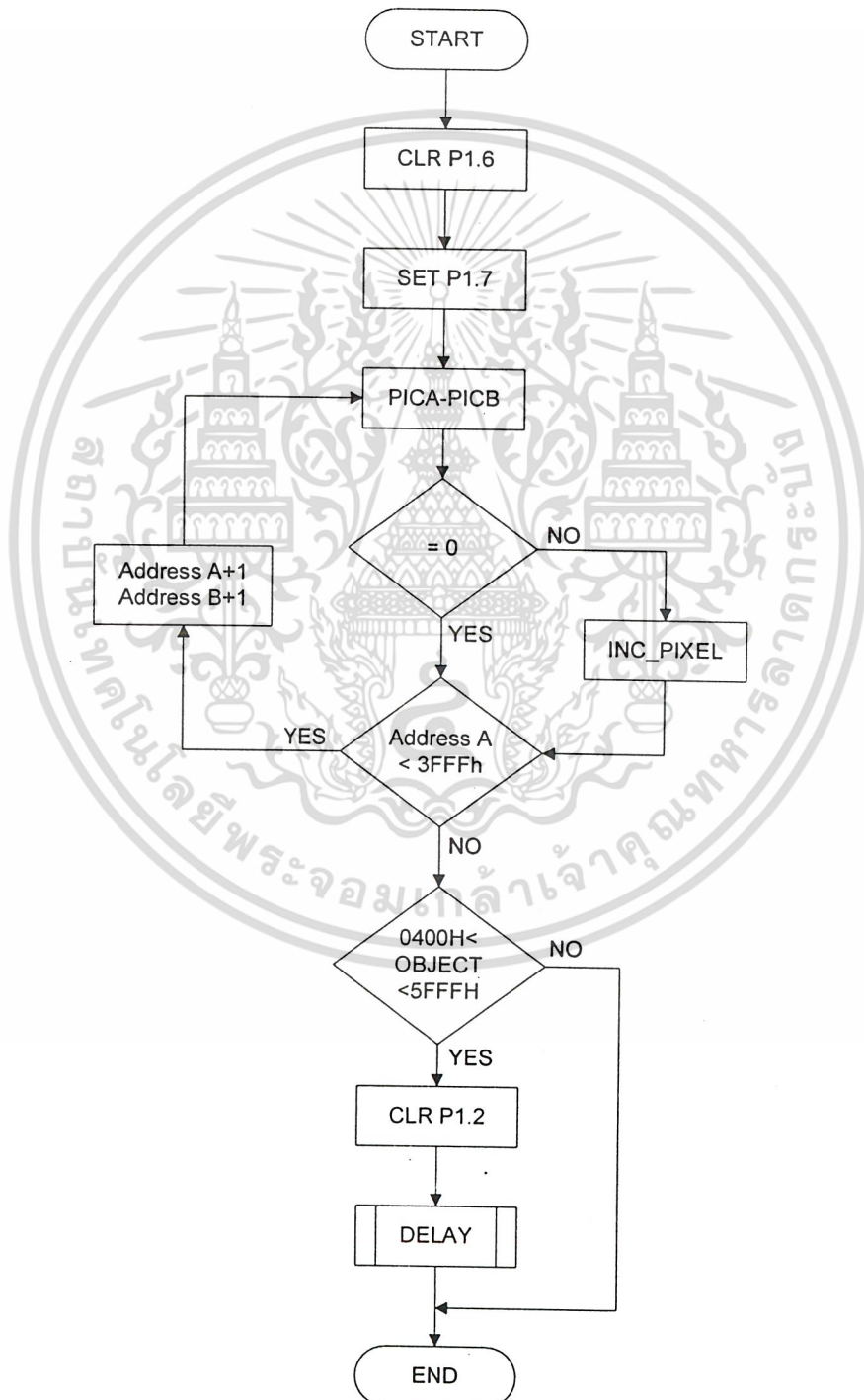


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโปรแกรมของวงจรเก็บภาพ
และการประมวลผลข้อมูลภาพ (โปรแกรมหลัก)

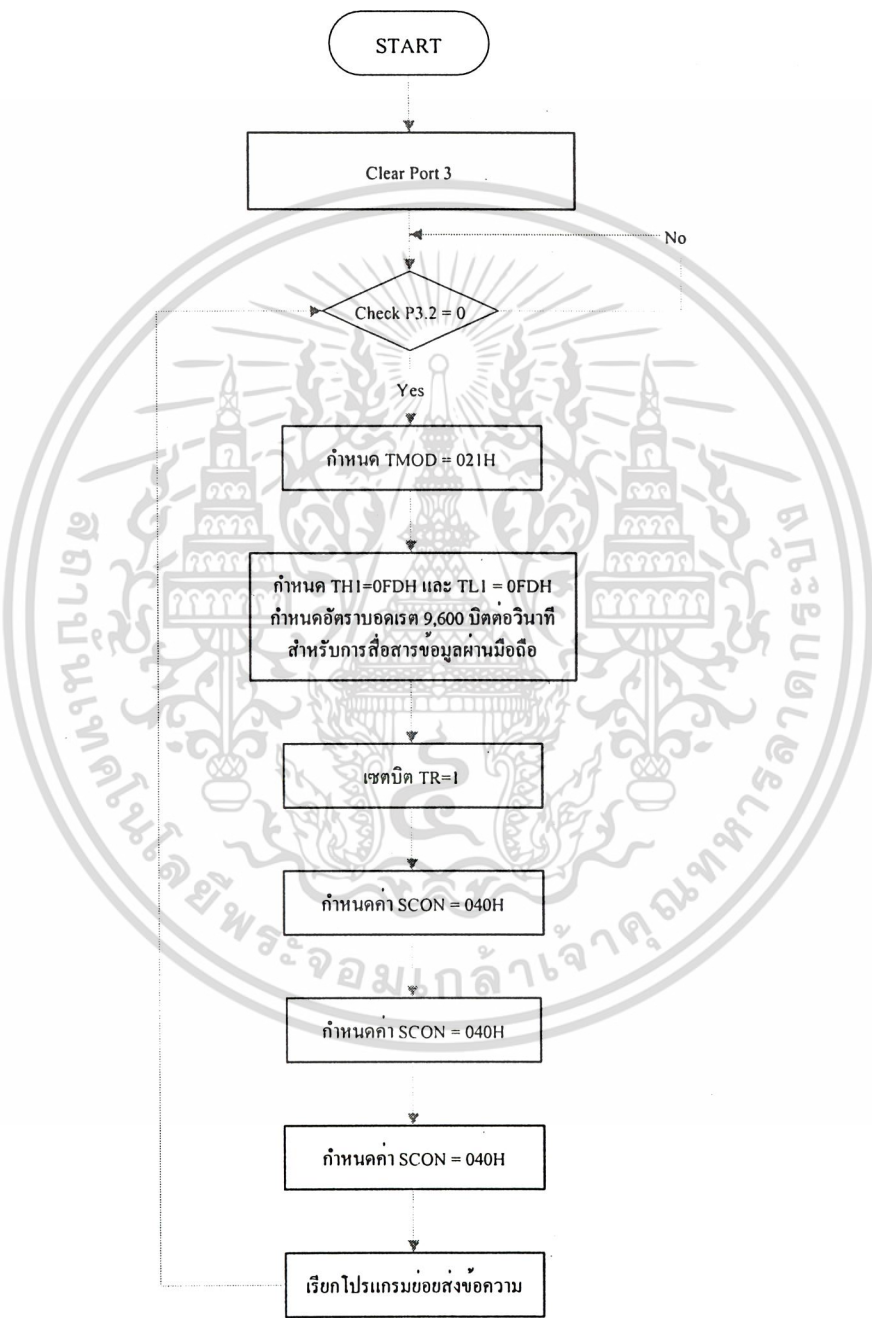


การออกแบบโปรแกรมของวงจรเก็บภาพ และการประมวลผลข้อมูลภาพ (โปรแกรมย่อย)



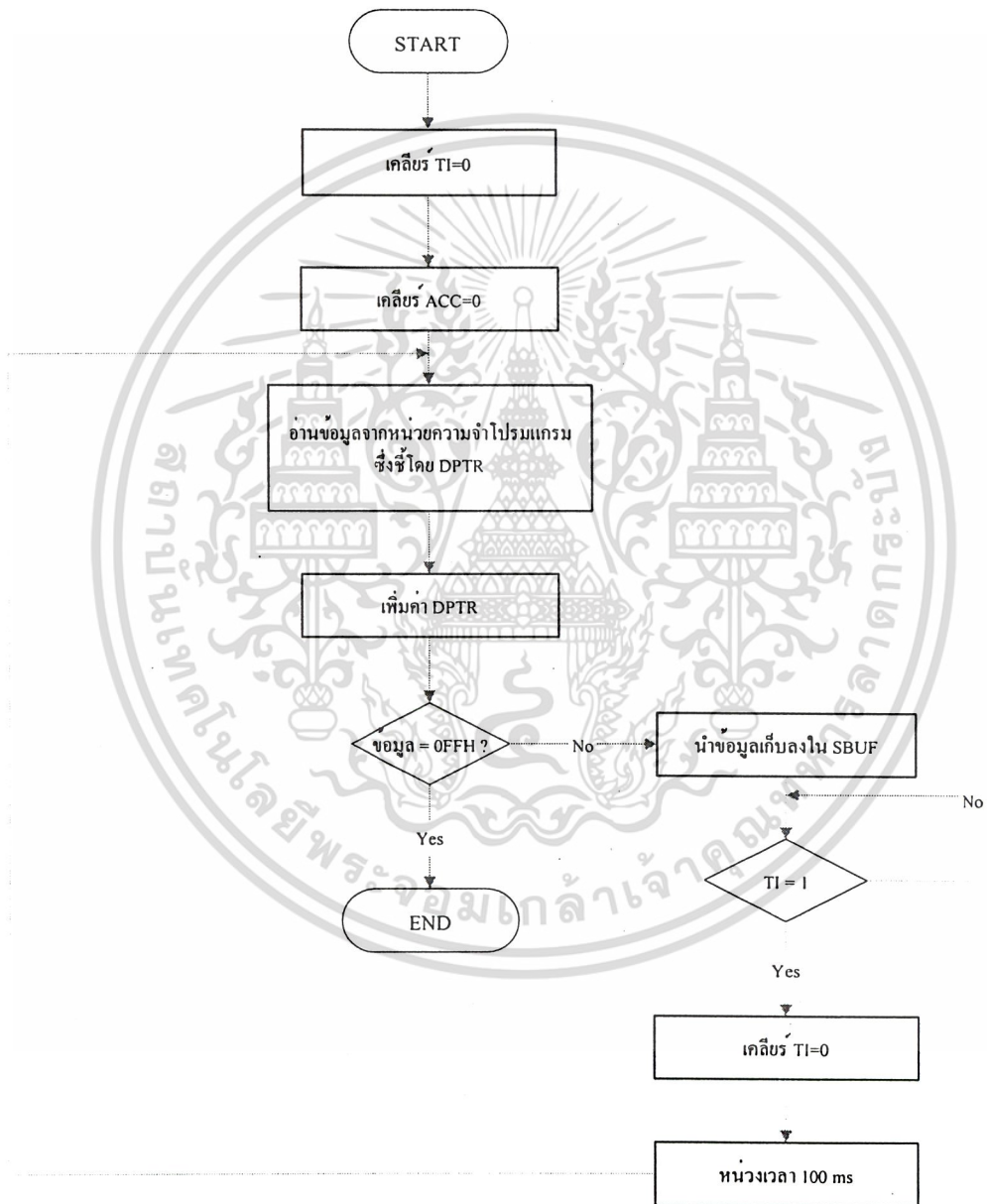
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโปรแกรมของภาคส่ง SMS (โปรแกรมหลัก)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโปรแกรมของภาคส่ง SMS (โปรแกรมย่อย)



โปรแกรมของวงจรเก็บภาพ และการประมวลผลข้อมูลภาพ

```
*****  
;  
;PROGRAM :PROCESS IMAGE  
;DESCRIPTION:CONTROL SWITCH & PROCESS IMAGE  
;FOR :MCS-51  
;FILENAME :IMAGE.ASM  
;CREATE BY :TEERAYOOT THANADKA  
*****  
;  
*****  
;DEFINE USER REGISTER  
*****  
;  
PIC_A1 EQU 20H  
PIC_A2 EQU 21H  
PIC_B1 EQU 22H  
PIC_B2 EQU 23H  
ADS_A1 EQU 00H  
ADS_A2 EQU 00H  
ADS_B1 EQU 40H  
ADS_B2 EQU 00H  
OBJECT1 EQU 04H ;TEST AT 03H  
OBJECT2 EQU 00H  
  
*****  
;  
;MAIN PROGRAM.  
*****  
;  
  
ORG 0000H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

MAIN:      CPL    P1.1

           SETB   P1.2

           SETB   P1.6

           CLR    P1.7

           MOV    24H,#00

           MOV    25H,#00

END256LINE: JNB    P1.0,END256LINE

           ACALL  DIFF_IM

           SJMP   MAIN

```

```

;*****
;
;FIND DIFFERENCE VALUE OF IMAGE
;*****

```

```

DIFF_IM:   CLR    P1.6

           SETB   P1.7

           MOV    PIC_A1,#ADS_A1

           MOV    PIC_A2,#ADS_A2

           MOV    PIC_B1,#ADS_B1

           MOV    PIC_B2,#ADS_B2

```

```

;*****
;
;IMAGE_A SUB IMAGE_B
;*****

```

```

SUB_IM:    CLR    A

           MOV    R0,#00

           MOV    DPH,PIC_A1

           MOV    DPL,PIC_A2

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOVX A,@DPTR
MOV R0,A
MOV DPH,PIC_B1
MOV DPL,PIC_B2
MOVX A,@DPTR
SUBB A,R0
JNZ INC_PIX
```

```
,*****
;CHECK: END OF IMAGE
,*****
```

```
END_IM: CLR A
CLR C
MOV A,PIC_A1
SUBB A,#3FH
JNC L0
SJMP INC_ADS
L0: MOV A,PIC_A2
SUBB A,#0FFH
JNC COMPARE
SJMP INC_ADS
```

```
,*****
;INCREAS ADDRESS VALUE
,*****
```

```
INC_ADS: CLR A
CLR C
MOV A,PIC_A2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

ADD    A,#01
MOV    PIC_A2,A
MOV    A,PIC_A1
ADDC   A,#00
MOV    PIC_A1,A
CLR    C
MOV    A,PIC_B2
ADD    A,#01
MOV    PIC_B2,A
MOV    A,PIC_B1
ADDC   A,#00
MOV    PIC_B1,A
SJMP   SUB_IM

```

```

;*****
;

```

```

;INCREAS DIFFERENCE VALUE
;

```

```

;*****
;

```

```

INC_PIX:    CLR    A
            CLR    C
            MOV    A,25H
            ADD    A,#01
            MOV    25H,A
            MOV    A,24H
            ADDC   A,#00
            MOV    24H,A
            SJMP   END_IM

```

```

;*****
;

```

```

;CHECK OBJECT

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

,*****

```
COMPARE:  CLR  A
           CLR  C
           MOV  A,24H
           PUSH ACC
           SUBB A,#OBJECT1
           JNC  L1
           POP  ACC
           SJMP NO_DIFF
L1:        POP  ACC
           SUBB A,#5FH
           JC   SEND_SMS
           SJMP NO_DIFF
SEND_SMS:  CLR  P1.2
           ACALL DELAY_3M
           ACALL DELAY_3M
           CLR  A
NO_DIFF:  RET
```

```
DELAY:    MOV  R1,#0FFH
DEL0:     DJNZ R1,DEL0
          RET
```

```
DELAY_3M: MOV  R5,#04H
DEL1:     MOV  R6,#0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
DEL2:      MOV    R7,#0FFH
DEL3:      NOP
           DJNZ   R7,DEL3
           DJNZ   R6,DEL2
           DJNZ   R5,DEL1
           RET
```

```
DELAY_4S:  MOV    R5,#04H           ; IS'T 4SEC
DEL11:     MOV    R6,#0FFH
DEL22:     MOV    R7,#0FFH
DEL33:     NOP
           DJNZ   R7,DEL33
           DJNZ   R6,DEL22
           DJNZ   R5,DEL11
           RET
```

END



โปรแกรมของภาคส่ง SMS

```
-----  
; Main Program.  
-----  
  
ORG 0000H ; Reset Vector  
  
MAIN: MOV P3,#00011111B ; Clear Port3  
  
CHECK: JB P3.2,$  
JB P3.2,CHECK  
ACALL SEND  
JNB P3.2,$  
ACALL CHECK  
  
SEND: MOV TMOD,#021H ; T1 8Bit Auto, T0 16Bit  
MOV TH1,#0FDH ; 9600 bps Timer1 Default  
MOV TL1,#0FDH  
SETB TR1 ; Start Timer1  
MOV SCON,#040H ; Mode1 RX Disable  
MOV DPTR,#SERIAL_TEXT ; Set Pointer Serial TX  
ACALL TX_TEXT ; TX Text to Serial Port  
RET  
  
-----  
; TX Serial Text from ROM Pointer  
-----  
  
TX_TEXT: CLR TI ; Clear TI  
  
TX_LOOP: CLR A ; Clear ACC.  
MOVC A,@A+DPTR ; Get Data from ROM with  
Pointer  
  
INC DPTR  
CJNE A,#00FH,TX1  
ACALL DELAY_1s
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

                ACALL      TX2

TX1:            CJNE      A,#0FFH,TX_CHAR    ; Check 0FFH End of Text
Char.

                RET                                ; End => Return

TX_CHAR:        MOV       SBUF,A              ; Send Data to SBUF

                JNB       TI,$                ; Wait until TX already
(TI=1)

TX2:            CLR       TI                  ; Clear TI

                AJMP      TX_LOOP             ; Jump to TX_LOOP

;-----
; Dummy Delay time 100m
;-----

DELAY_200ms:    MOV       R7,#100            ; Do 100 times
DELAY_200ms_1:  MOV       R6,#0E6H          ; Each loop = 1 ms
DELAY_200ms_2:  NOP
                NOP
                DJNZ      R6,DELAY_200ms_2
                DJNZ      R7,DELAY_200ms_1
                RET

DELAY_1s:        MOV       R5,#3             ; Do 100 times
DELAY_1s_1:      ACALL     DELAY_200ms
                DJNZ      R5,DELAY_1s_1
                RET

;-----
; Define Constant < Store in Flash EEPROM Program Memory >
;-----

SERIAL_TEXT:    DB        'AT+CMGF=0',00DH,00AH,00FH
                DB        'AT+CMGS=26',00DH,00AH,00FH

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB

'0011000A9166810590320000AA0EC677DD4D0689EBF2333B2C0F01',01AH

,OFFH

END



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM1881, LM1881-X Video Sync Separator

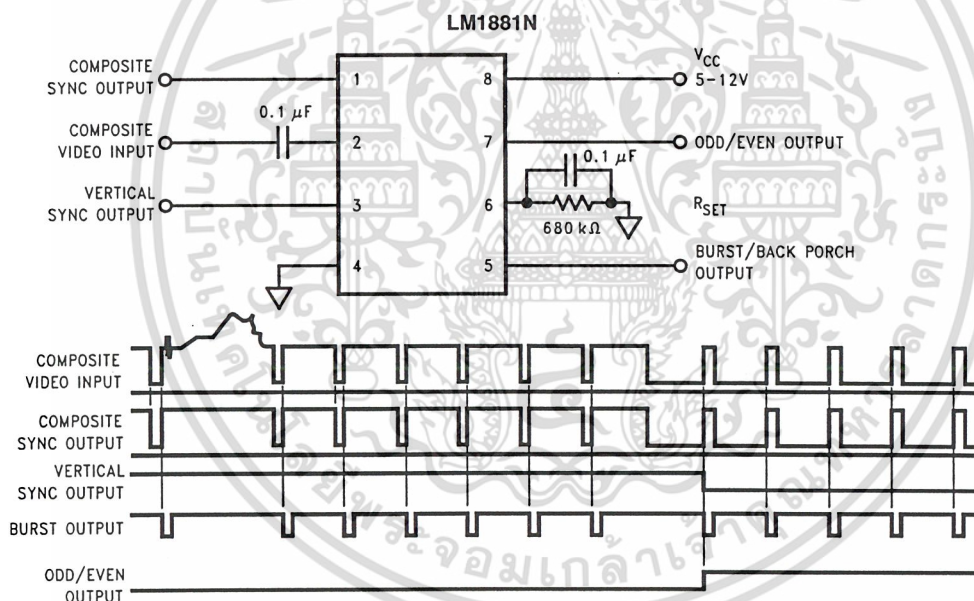
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL* and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 k Ω input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)
- -40°C to +85°C operation (LM1881-X)

Connection Diagram



Order Number LM1881M or LM1881N (0°C to +70°C)
Order Number LM1881M-X or LM1881N-X (-40°C to +85°C)
See NS Package Number M08A or N08E

00915001

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 V _{P-P} (V _{CC} = 5V) 6 V _{P-P} (V _{CC} ≥ 8V)
Output Sink Currents; Pins, 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA

Package Dissipation (Note 2)	1100 mW
Storage Temperature Range	-65°C to +150°C
ESD Susceptibility (Note 3)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Electrical Characteristics LM1881

V_{CC} = 5V; R_{SET} = 680 kΩ; T_A = 0°C to +70°C by correlation with 100% electrical testing at T_A=25°C

Parameter	Conditions		Min	Typ (Note 4)	Max	Units
Supply Current	Outputs at Logic 1	V _{CC} = 5V		5.2	10	mA
		V _{CC} = 12V		5.5	12	
DC Input Voltage	Pin 2		1.3	1.5	1.8	V
Input Threshold Voltage	(Note 5)		55	70	85	mV
Input Discharge Current	Pin 2; V _{IN} = 2V		6	11	16	μA
Input Clamp Charge Current	Pin 2; V _{IN} = 1V		0.2	0.8		mA
R _{SET} Pin Reference Voltage	Pin 6; (Note 6)		1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	I _{OUT} = 40 μA; Logic 1	V _{CC} = 5V	4.0	4.5		V
		V _{CC} = 12V	11.0			
	I _{OUT} = 1.6 mA; Logic 1	V _{CC} = 5V	2.4	3.6		V
		V _{CC} = 12V	10.0			
Burst Gate & Odd/Even Outputs	I _{OUT} = 40 μA; Logic 1	V _{CC} = 5V	4.0	4.5		V
		V _{CC} = 12V	11.0			
Composite Sync. Output	I _{OUT} = -1.6 mA; Logic 0; Pin 1			0.2	0.8	V
Vertical Sync. Output	I _{OUT} = -1.6 mA; Logic 0; Pin 3			0.2	0.8	V
Burst Gate Output	I _{OUT} = -1.6 mA; Logic 0; Pin 5			0.2	0.8	V
Odd/Even Output	I _{OUT} = -1.6 mA; Logic 0; Pin 7			0.2	0.8	V
Vertical Sync Width			190	230	300	μs
Burst Gate Width	2.7 kΩ from Pin 5 to V _{CC}		2.5	4	4.7	μs
Vertical Default Time	(Note 7)		32	65	90	μs

Electrical Characteristics LM1881-X

$V_{CC} = 5V$; $R_{SET} = 680\text{ k}\Omega$; $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ by correlation with 100% electrical testing at $T_A = 25^\circ\text{C}$

Parameter	Conditions	Min	Typ	Max	Units
Supply Current	Outputs at Logic 1 $V_{CC} = 5V$ $V_{CC} = 12V$		5.2 5.5	10 12	mA
DC Input Voltage	Pin 2	1.3	1.5	1.8	V
Input Threshold Voltage		55	70	85	mV
Input Discharge Current	Pin 2; $V_{IN} = 2V$	6	11	16	μA
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.2	0.8		mA
R_{SET} Pin Reference Voltage	Pin 6;	1.10	1.22	1.35	V
Composite Sync. & Vertical Outputs	$I_{OUT} = 40\text{ }\mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.0	4.5	V
		$V_{CC} = 12V$	11.0		V
	$I_{OUT} = 1.6\text{ mA}$; Logic 1	$V_{CC} = 5V$	2.4	3.6	V
		$V_{CC} = 12V$	10.0		V
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40\text{ }\mu\text{A}$; Logic 1	$V_{CC} = 5V$	4.0	4.5	V
		$V_{CC} = 12V$	11.0		V
Composite Sync. Output	$I_{OUT} = -1.6\text{ mA}$; Logic 0; Pin 1		0.2	0.8	V
Vertical Sync. Output	$I_{OUT} = -1.6\text{ mA}$; Logic 0; Pin 3		0.2	0.8	V
Burst Gate Output	$I_{OUT} = -1.6\text{ mA}$; Logic 0; Pin 5		0.2	0.8	V
Odd/Even Output	$I_{OUT} = -1.6\text{ mA}$; Logic 0; Pin 7		0.2	0.8	V
Vertical Sync Width		140	230	588	μs
Burst Gate Width	$2.7\text{ k}\Omega$ from Pin 5 to V_{CC}	2.2	4	4.7	μs
Vertical Default Time		32	65	90	μs

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. For guaranteed specifications and test conditions, see the Electrical Characteristics. The guaranteed specifications apply only for the test conditions listed.

Note 2: For operation in ambient temperatures above 25°C , the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110°C/W , junction to ambient.

Note 3: ESD susceptibility test uses the "human body model, 100 pF discharged through a $1.5\text{ k}\Omega$ resistor".

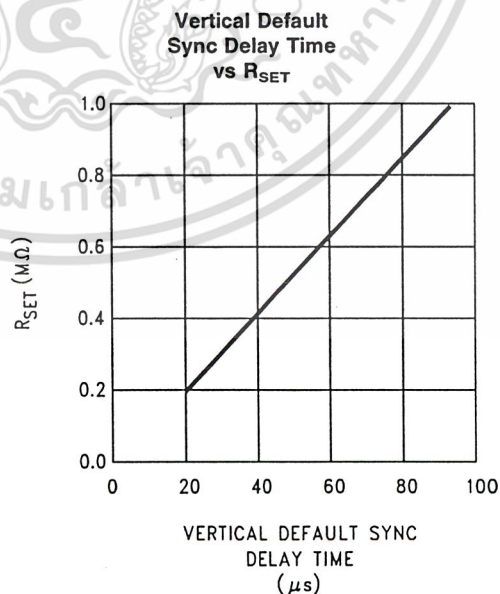
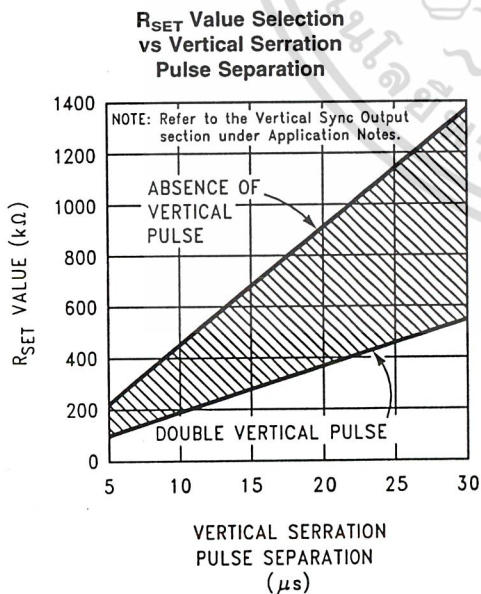
Note 4: Typicals are at $T_J = 25^\circ\text{C}$ and represent the most likely parametric norm.

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

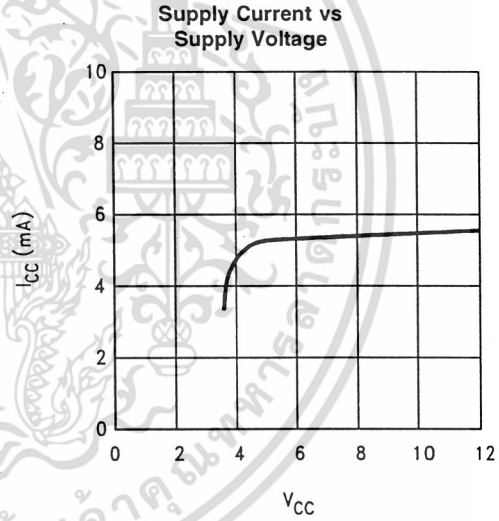
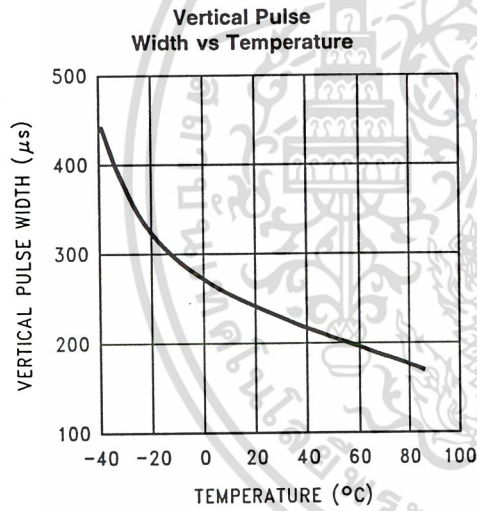
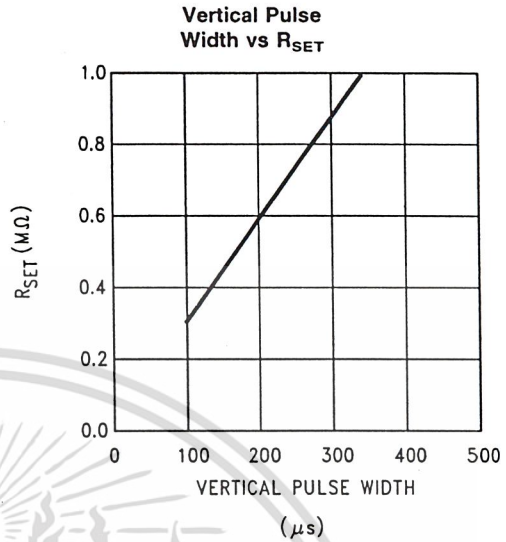
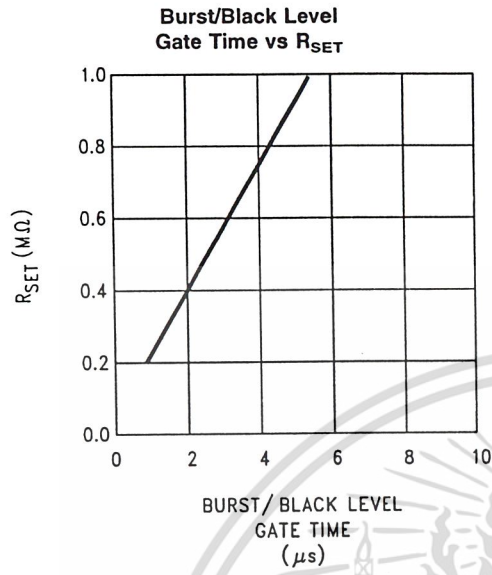
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5 and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

Typical Performance Characteristics



Typical Performance Characteristics (Continued)



Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components besides a power supply decoupling capacitor at pin 8 and a set current decoupling capacitor at pin 6, are the composite input coupling capacitor at pin 2 and one resistor at pin 6 that sets internal current levels. The resistor on pin 6 (i.e. R_{set}) allows the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C; composite sync including both horizontal and vertical scan timing information; a verti-

cal sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to Figure 1(a-e) which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

DATA SHEET



TDA8708A Video analog input interface

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

June 1994

Philips Semiconductors



PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video analog input interface

TDA8708A

FEATURES

- 8-bit resolution
- Sampling rate up to 32 MHz
- Binary or two's complement 3-state TTL outputs
- TTL-compatible digital inputs and outputs
- Internal reference voltage regulator
- Power dissipation of 365 mW (typical)
- Input selector circuit (one out of three video inputs)
- Clamp and Automatic Gain Control (AGC) functions for CVBS and Y signals
- No sample-and-hold circuit required.
- The TDA8708A has white peak control in modes 1 and 2 whereas the TDA8708B has control in mode 1 only.

APPLICATIONS

- Video signal decoding
- Scrambled TV (encoding and decoding)
- Digital picture processing
- Frame grabbing.

GENERAL DESCRIPTION

The TDA8708A is an analog input interface for video signal processing. It includes a video amplifier with clamp and gain control, an 8-bit analog-to-digital converter (ADC) with a sampling rate of 32 MHz and an input selector.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V _{CCA}	analog supply voltage	4.5	5.0	5.5	V
V _{CCD}	digital supply voltage	4.5	5.0	5.5	V
V _{CCO}	TTL output supply voltage	4.2	5.0	5.5	V
I _{CCA}	analog supply current	–	37	45	mA
I _{CCD}	digital supply current	–	24	30	mA
I _{CCO}	TTL output supply current	–	12	16	mA
ILE	DC integral linearity error	–	–	±1	LSB
DLE	DC differential linearity error	–	–	±0.5	LSB
f _{clk(max)}	maximum clock frequency	30	32	–	MHz
B	maximum –3 dB bandwidth (AGC amplifier)	12	18	–	MHz
P _{tot}	total power dissipation	–	365	500	mW

ORDERING INFORMATION

TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA8708A	28	DIP	plastic	SOT117-1
TDA8708AT	28	SO28L	plastic	SOT136-1

Video analog input interface

TDA8708A

BLOCK DIAGRAM

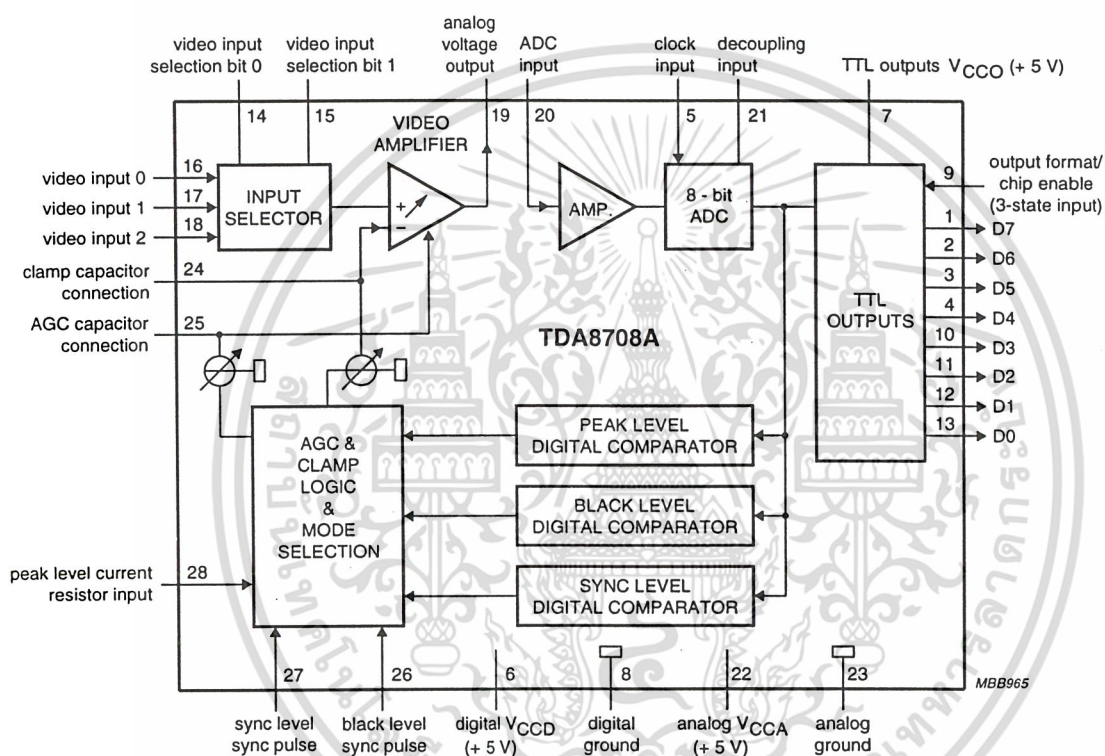


Fig.1 Block diagram.

Video analog input interface

TDA8708A

PINNING

SYMBOL	PIN	DESCRIPTION
D7	1	data output; bit 7 (MSB)
D6	2	data output; bit 6
D5	3	data output; bit 5
D4	4	data output; bit 4
CLK	5	clock input
V _{CCD}	6	digital supply voltage (+5 V)
V _{CCO}	7	TTL outputs supply voltage (+5 V)
DGND	8	digital ground
OF	9	output format/chip enable (3-state input)
D3	10	data output; bit 3
D2	11	data output; bit 2
D1	12	data output; bit 1
D0	13	data output; bit 0 (LSB)
I0	14	video input selection bit 0
I1	15	video input selection bit 1
VIN0	16	video input 0
VIN1	17	video input 1
VIN2	18	video input 2
ANOUT	19	analog voltage output
ADCIN	20	analog-to-digital converter input
DEC	21	decoupling input
V _{CCA}	22	analog supply voltage (+5 V)
AGND	23	analog ground
CLAMP	24	clamp capacitor connection
AGC	25	AGC capacitor connection
GATE B	26	black level synchronization pulse
GATE A	27	sync level synchronization pulse
RPEAK	28	peak level current resistor input

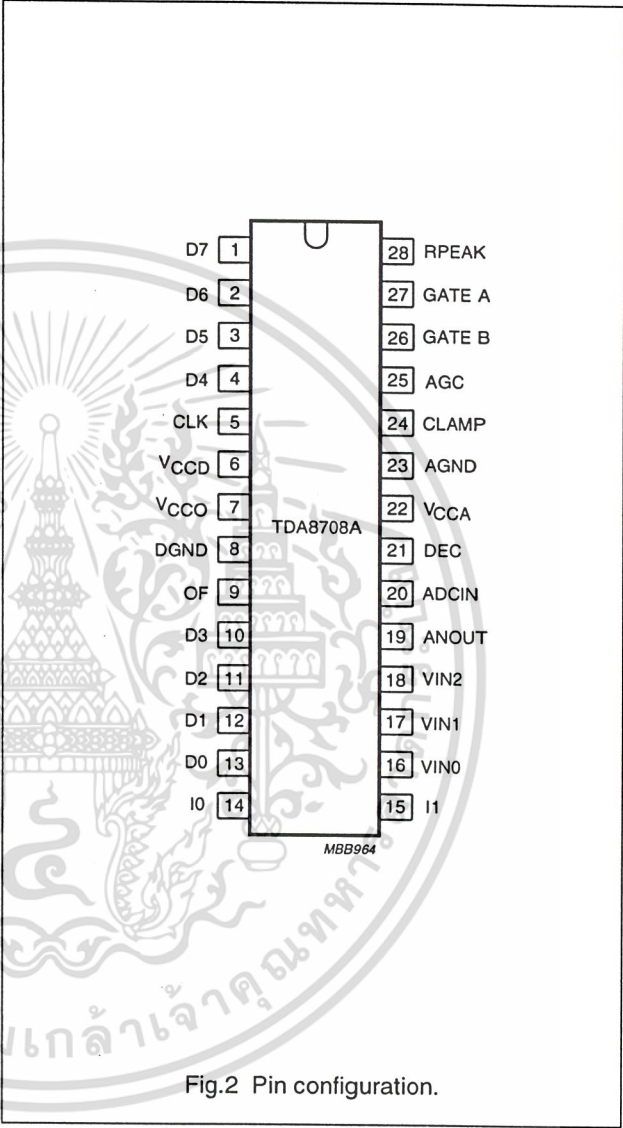


Fig.2 Pin configuration.

Video analog input interface

TDA8708A

FUNCTIONAL DESCRIPTION

The TDA8708A provides a simple interface for decoding video signals.

The TDA8708A operates in configuration mode 1 (see Fig.4) when the video signals are weak (i.e. when the gain of the AGC amplifier has not yet reached its optimum value). This enables a fast recovery of the synchronization pulses in the decoder circuit. When the pulses at the GATE A and GATE B inputs become distinct (GATE A and GATE B pulses are synchronization pulses occurring during the sync period and rear porch respectively) the TDA8708A automatically switches to configuration mode 2 (see Fig.5).

When the TDA8708A is in configuration mode 1, the gain of the AGC amplifier will be roughly adjusted (sync level to a digital output level of 0 and the peak level to a digital output level of 255).

In configuration mode 2 the digital output of the ADC is compared to internal digital reference levels. The resultant outputs control the charge or discharge current of a capacitor connected to the AGC pin. The voltage across this capacitor controls the gain of the video amplifier. This is the gain control loop.

The sync level comparator is active during a positive-going pulse at the GATE A input. This means that the sync pulse of the composite video signal is used as an amplitude reference. The bottom of the sync pulse is adjusted to obtain a digital output of logic 0 at the converter output. As the black level is at digital level 64, the sync pulse will have a digital amplitude of 64 LSBs.

The peak-white control loop is always active. If the video signal tends to exceed the digital code of 248, the gain will be limited to avoid any over-range of the converter.

The use of nominal signals will prevent the output from exceeding a digital code of 213 and the peak-white control loop will be non-active.

The clamp level control is accomplished by using the same techniques as used for the gain control. The black-level digital comparator is active during a positive-going pulse at the GATE B input. The clamp capacitor will be charged or discharged to adjust the digital output to code 64.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V _{CCA}	analog supply voltage	-0.3	+7.0	V
V _{CCD}	digital supply voltage	-0.3	+7.0	V
V _{CCO}	output supply voltage	-0.3	+7.0	V
ΔV _{CC}	supply voltage difference between V _{CCA} and V _{CCD}	-1.0	+1.0	V
	supply voltage difference between V _{CCO} and V _{CCD}	-1.0	+1.0	V
	supply voltage difference between V _{CCA} and V _{CCO}	-1.0	+1.0	V
V _I	input voltage	-0.3	V _{CCA}	V
I _O	output current	0	+10	mA
T _{stg}	storage temperature	-55	+150	°C
T _{amb}	operating ambient temperature	0	+70	°C
T _j	junction temperature	0	+125	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
R _{th j-a}	thermal resistance from junction to ambient in free air		
	SOT117-1	55	K/W
	SOT136-1	70	K/W

Video analog input interface

TDA8708A

CHARACTERISTICS

$V_{CCA} = V_{22}$ to $V_{23} = 4.5$ to 5.5 V; $V_{CCD} = V_6$ to $V_8 = 4.5$ to 5.5 V; $V_{CCO} = V_7$ to $V_8 = 4.2$ to 5.5 V; AGND and DGND shorted together; V_{CCA} to $V_{CCD} = -0.5$ to $+0.5$ V; V_{CCO} to $V_{CCD} = -0.5$ to $+0.5$ V; V_{CCA} to $V_{CCO} = -0.5$ to $+0.5$ V; $T_{amb} = 0$ to $+70$ °C; typical readings taken at $V_{CCA} = V_{CCD} = V_{CCO} = 5$ V and $T_{amb} = 25$ °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies						
V _{CCA}	analog supply voltage		4.5	5.0	5.5	V
V _{CCD}	digital supply voltage		4.5	5.0	5.5	V
V _{CCO}	TTL output supply voltage		4.2	5.0	5.5	V
I _{CCA}	analog supply current		–	37	45	mA
I _{CCD}	digital supply current		–	24	30	mA
I _{CCO}	TTL output supply current	TTL load (see Fig.8)	–	12	16	mA
Video amplifier inputs						
VIN(0 TO 2) INPUTS						
V _{I(p-p)}	input voltage (peak-to-peak value)	AGC load with external capacitor; note 1	0.6	–	1.5	V
Z _i	input impedance	f _i = 6 MHz	10	20	–	kΩ
C _i	input capacitance	f _i = 6 MHz	–	1	–	pF
I0 AND I1 TTL INPUTS (SEE TABLE 1)						
V _{IL}	LOW level input voltage		0	–	0.8	V
V _{IH}	HIGH level input voltage		2.0	–	V _{CCD}	V
I _{IL}	LOW level input current	V _I = 0.4 V	–400	–	–	μA
I _{IH}	HIGH level input current	V _I = 2.7 V	–	–	20	μA
GATE A AND GATE B TTL INPUTS (SEE FIGS 4 AND 5)						
V _{IL}	LOW level input voltage		0	–	0.8	V
V _{IH}	HIGH level input voltage		2.0	–	V _{CCD}	V
I _{IL}	LOW level input current	V _I = 0.4 V	–400	–	–	μA
I _{IH}	HIGH level input current	V _I = 2.7 V	–	–	20	μA
t _w	pulse width	see Fig.5	2	–	–	μs
RPEAK INPUT (PIN 28)						
I _{28(min)}	minimum peak level current	R ₂₈ = 0 Ω	–	80	150	μA
AGC INPUT (PIN 25)						
V _{25(min)}	AGC voltage for minimum gain		–	2.8	–	V
V _{25(max)}	AGC voltage for maximum gain		–	4.0	–	V
	AGC output current		see Table 2			
CLAMP INPUT (PIN 24)						
V ₂₄	clamp voltage for code 128 output		–	3.5	–	V
I ₂₄	clamp output current		see Table 3			

Video analog input interface

TDA8708A

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Video amplifier outputs						
ANOUT OUTPUT (PIN 19)						
V _{19(p-p)}	AC output voltage (peak-to-peak value)	V _{VIN} = 1.33 V (p-p); V ₂₅ = 3.6 V	–	1.33	–	V
I ₁₉	internal current source	R _L = ∞	2.0	2.5	–	mA
I _{O(p-p)}	output current driven by the load	V _{ANOUT} = 1.33 V (p-p); note 2	–	–	1.0	mA
V ₁₉	DC output voltage for black level	note 3	–	V _{CCA} – 2.24	–	V
Z ₁₉	output impedance		–	20	–	Ω
Video amplifier dynamic characteristics						
α _{ct}	crosstalk between VIN inputs	V _{CCA} = 4.75 to 5.25 V	–	–50	–45	dB
G _{diff}	differential gain	V _{VIN} = 1.33 V (p-p); V ₂₅ = 3.6 V	–	2	–	%
Φ _{diff}	differential phase	V _{VIN} = 1.33 V (p-p); V ₂₅ = 3.6 V	–	0.8	–	deg
B	–3 dB bandwidth		12	–	–	MHz
S/N	signal-to-noise ratio	note 4	60	–	–	dB
SVRR1	supply voltage ripple rejection	note 5	–	45	–	dB
ΔG	gain range	see Fig.10	–4.5	–	+6.0	dB
G _{stab}	gain stability as a function of supply voltage and temperature	see Fig.10	–	–	5	%
Analog-to-digital converter inputs						
CLK INPUT (PIN 5)						
V _{IL}	LOW level input voltage		0	–	0.8	V
V _{IH}	HIGH level input voltage		2.0	–	V _{CCD}	V
I _{IL}	LOW level input current	V _{clk} = 0.4 V	–400	–	–	μA
I _{IH}	HIGH level input current	V _{clk} = 2.7 V	–	–	100	μA
Z _i	input impedance	f _{clk} = 10 MHz	–	4	–	kΩ
C _i	input capacitance	f _{clk} = 10 MHz	–	4.5	–	pF
OF INPUT (3-STATE; SEE TABLE 4)						
V _{IL}	LOW level input voltage		0	–	0.2	V
V _{IH}	HIGH level input voltage		2.6	–	V _{CCD}	V
V _g	input voltage in high impedance state		–	1.15	–	V
I _{IL}	LOW level input current		–370	–300	–	μA
I _{IH}	HIGH level input current		–	300	450	μA

Video analog input interface

TDA8708A

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
ADCIN INPUT (PIN 20; SEE TABLE 5)						
V ₂₀	input voltage	digital output = 00	–	V _{CCA} – 2.42	–	V
V ₂₀	input voltage	digital output = 255	–	V _{CCA} – 1.41	–	V
V _{20(p-p)}	input voltage amplitude (peak-to-peak value)		–	1.0	–	V
I ₂₀	input current		–	1.0	10	μA
Z _{il}	input impedance	f _i = 6 MHz	–	50	–	MΩ
C _i	input capacitance	f _i = 6 MHz	–	1	–	pF
Analog-to-digital converter outputs						
DIGITAL OUTPUTS D0 TO D7						
V _{OL}	LOW level output voltage	I _{OL} = 2 mA	0	–	0.6	V
V _{OH}	HIGH level output voltage	I _{OL} = –0.4 mA	2.4	–	V _{CCD}	V
I _{OZ}	output current in 3-state mode	0.4 V < V _O < V _{CCD}	–20	–	+20	μA
Switching characteristics						
f _{clk(max)}	maximum clock input frequency	see Fig.6; note 6	30	32	–	MHz
Analog signal processing (f _{clk} = 32 MHz; see Fig.8)						
G _{diff}	differential gain	V ₂₀ = 1.0 V (p-p); see Fig.3; note 7	–	2	–	%
φ _{diff}	differential phase	see Fig.3; note 7	–	2	–	deg
f ₁	fundamental harmonics (full-scale)	f _i = 4.43 MHz; note 7	–	–	0	dB
f _{all}	harmonics (full-scale); all components	f _i = 4.43 MHz; note 7	–	–55	–	dB
SVRR2	supply voltage ripple rejection	note 8	–	1	5	%/V
Transfer function (see Fig.8)						
ILE	DC integral linearity error		–	–	±1	LSB
DLE	DC differential linearity error		–	–	±0.5	LSB
ILE	AC integral linearity error	note 9	–	–	±2	LSB
Timing (f _{clk} = 32 MHz; see Figs 6, 7 and 8)						
DIGITAL OUTPUTS (C _L = 15 pF; I _{OL} = 2 mA; R _L = 2 kΩ)						
t _{ds}	sampling delay time		–	2	–	ns
t _h	output hold time		6	8	–	ns
t _d	output delay time		–	16	20	ns
t _{dEZ}	3-state delay time; output enable		–	19	25	ns
t _{dDZ}	3-state delay time; output disable		–	14	20	ns

Video analog input interface

TDA8708A

Notes

- 0 dB is obtained at the AGC amplifier when applying $V_{i(p-p)} = 1.33$ V.
- The output current at pin 19 should not exceed 1 mA. The load impedance R_L should be referenced to V_{CCA} and defined as:
 - AC impedance ≥ 1 k Ω and the DC impedance > 2.7 k Ω .
 - The load impedance should be coupled directly to the output of the amplifier so that the DC voltage supplied by the clamp is not disturbed.
- Control mode 2 is selected.
- Signal-to-noise ratio measured with 5 MHz bandwidth:

$$\frac{S}{N} = 20 \log \frac{V_{ANOUTC(p-p)}}{V_{ANOUTY(RMS\ noise)}} \text{ at } B = 5 \text{ MHz.}$$
- The voltage ratio is expressed as:

$$SVRR1 = 20 \log \frac{\Delta V_{CCA}}{V_{CCA}} \times \frac{G}{\Delta G} \text{ for } V_I = 1 \text{ V (p-p), gain at 100 kHz} = 1 \text{ and 1 V supply variation.}$$
- It is recommended that the rise and fall times of the clock are ≥ 2 ns. In addition, a 'good layout' for the digital and analog grounds is recommended.
- These measurements are realized on analog signals after a digital-to-analog conversion (TDA8702 is used).
- The supply voltage rejection is the relative variation of the analog signal (full-scale signal at input) for 1 V of supply variation:

$$SVRR2 = \frac{\Delta(V_{I(00)} - V_{I(FF)}) + (V_{I(00)} - V_{I(FF)})}{\Delta V_{CCA}}$$
- Full-scale sine wave ($f_i = 4.4$ MHz; $f_{clk} = 27$ MHz).

Video analog input interface

TDA8708A

Table 1 Video input selection (CVBS).

I1	I0	SELECTED INPUT
0	0	VIN0
0	1	VIN1
1	0	VIN2
1	1	VIN2

Table 2 AGC output current.

GATE A	GATE B	DIGITAL OUTPUT	I _{AGC}	MODE ⁽²⁾
1	1	output < 255	−2.5 μA	1
		output > 255	I _{AGCM}	1
0	X ⁽¹⁾	output < 248	0 μA	2
		output > 248	I _{AGCM}	2
1	0	output < 0	+2.5 μA	2
		0 < output < 248	−2.5 μA	2
		output > 248	I _{AGCM}	2

- Note**
- X = don't care.
 - Mode 2 can only be initialized with successive pulses on GATE A and GATE B (see Fig.5).

Table 5 Output coding and input voltage (typical values).

STEP	V _{ADCIN}	BINARY OUTPUTS								TWO'S COMPLEMENT							
		D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
Underflow	−	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	V _{CCA} − 2.41 V	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	−	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
.	−	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	−	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
254	−	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0
255	V _{CCA} − 1.41 V	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Overflow	−	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1

Table 3 CLAMP output current.

GATE A	GATE B	DIGITAL OUTPUT	I _{CLAMP}	MODE
1	1	output < 0	I _{CLAMP} PM	1
		output > 0	−2.5 μA	1
X ⁽¹⁾	0	X ⁽¹⁾	0 μA	2
0	1	output < 64	+50 μA	2
		64 < output	−50 μA	2

- Note**
- X = don't care.

Table 4 OF input coding.

OF	D0 TO D7
0	active, two's complement
1	high impedance
open circuit ⁽¹⁾	active, binary

- Note**
- Use C ≥ 10 pF to DGND.

CD74HC161, CD74HCT161, CD74HC163, CD74HCT163

High Speed CMOS Logic Presettable Counters

Features

- CD74HC161, CD74HCT161 4-Bit Binary Counter, Asynchronous Reset
- CD74HC163, CD74HCT163 4-Bit Binary Counter, Synchronous Reset
- Synchronous Counting and Loading
- Two Count Enable Inputs for n-Bit Cascading
- Look-Ahead Carry for High-Speed Counting
- Fanout (Over Temperature Range)
 - Standard Outputs 10 LSTTL Loads
 - Bus Driver Outputs 15 LSTTL Loads
- Wide Operating Temperature Range ... -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
 - 2V to 6V Operation
 - High Noise Immunity: $N_{IL} = 30\%$, $N_{IH} = 30\%$ of V_{CC} at $V_{CC} = 5V$
- HCT Types
 - 4.5V to 5.5V Operation
 - Direct LSTTL Input Logic Compatibility, $V_{IL} = 0.8V$ (Max), $V_{IH} = 2V$ (Min)
 - CMOS Input Compatibility, $I_L \leq 1\mu A$ at V_{OL} , V_{OH}

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CD74HC161E	-55 to 125	16 Ld PDIP	E16.3
CD74HC161M	-55 to 125	16 Ld SOIC	M16.15
CD74HC163E	-55 to 125	16 Ld PDIP	E16.3
CD74HC163M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT161E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT161M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT163E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT163M	-55 to 125	16 Ld SOIC	M16.15

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local sales office or Harris customer service for ordering information.

Description

The Harris CD74HC161, CD74HCT161, CD74HC163 and CD74HCT163 are presettable synchronous counters that feature look-ahead carry logic for use in high-speed counting applications. The CD74HC161 and CD74HCT161 are asynchronous reset decade and binary counters, respectively; the CD74HC163 and CD74HCT163 devices decade and binary counters, respectively and are reset synchronously with the clock. Counting and parallel presetting are both accomplished synchronously with the negative-to-positive transition of the clock.

A low level on the synchronous parallel enable input, SPE, disables counting operation and allows data at the P0 to P3 inputs to be loaded into the counter (provided that the setup and hold requirements for SPE are met).

All counters are reset with a low level on the Master Reset input, MR. In the CD74HC163 and CD74HCT163 counters (synchronous reset types), the requirements for setup and hold time with respect to the clock must be met.

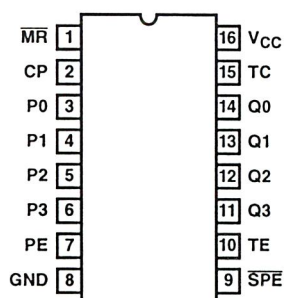
Two count enables, PE and TE, in each counter are provided for n-bit cascading. In all counters reset action occurs regardless of the level of the $\overline{SPE}$, PE and TE inputs (and the clock input, CP, in the CD74HC161 and CD74HCT161 types).

If a decade counter is preset to an illegal state or assumes an illegal state when power is applied, it will return to the normal sequence in one count as shown in state diagram.

The look-ahead carry feature simplifies serial cascading of the counters. Both count enable inputs (PE and TE) must be high to count. The TE input is gated with the Q outputs of all four stages so that at the maximum count the terminal count (TC) output goes high for one clock period. This TC pulse is used to enable the next cascaded stage.

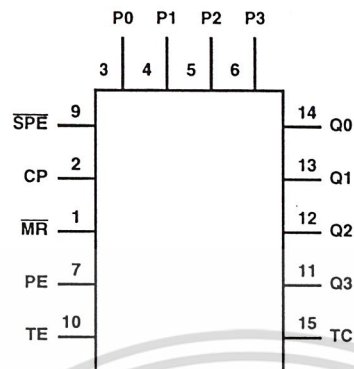
Pinout

CD74HC161, CD74HCT161, CD74HC163, CD74HCT163
(PDIP, SOIC)
TOP VIEW



CD74HC161, CD74HCT161, CD74HC163, CD74HCT163

Functional Diagram



MODE SELECT - FUNCTION TABLE FOR CD74HC/HCT161

OPERATING MODE	INPUTS						OUTPUTS	
	MR	CP	PE	TE	SPE	P _n	Q _n	TC
Reset (Clear)	L	X	X	X	X	X	L	L
Parallel Load	H	↑	X	X	l	l	L	L
	H	↑	X	X	l	h	H	(Note 3)
Count	H	↑	h	h	h (Note 5)	X	Count	(Note 3)
Inhibit	H	X	l (Note 4)	X	h (Note 5)	X	q _n	(Note 3)
	H	X	X	l (Note 4)	h (Note 5)	X	q _n	L

MODE SELECT - FUNCTION TABLE FOR CD74HC/HCT163

OPERATING MODE	INPUTS						OUTPUTS	
	MR	CP	PE	TE	SPE	P _n	Q _n	TC
Reset (Clear)	l	↑	X	X	X	X	L	L
Parallel Load	h (Note 5)	↑	X	X	l	l	L	L
	h (Note 5)	↑	X	X	l	h	H	(Note 3)
Count	h (Note 5)	↑	h	h	h (Note 5)	X	Count	(Note 3)
Inhibit	h (Note 5)	X	l (Note 4)	X	h (Note 5)	X	q _n	(Note 3)
	h (Note 5)	X	X	l (Note 4)	h (Note 5)	X	q _n	L

NOTE: H = High voltage level steady state; L = Low voltage level steady state; h = High voltage level one setup time prior to the Low-to-High clock transition; l = Low voltage level one setup time prior to the Low-to-High clock transition; X = Don't Care; q = Lower case letters indicate the state of the referenced output prior to the Low-to-High clock transition; ↑ = Low-to-High clock transition.

- The TC output is High when TE is High and the counter is at Terminal Count (HHHH for CD74HC/HCT161 and CD74HC/HCT163).
- The High-to-Low transition of PE or TE on the CD74HC/HCT161 and the CD74HC/HCT163 should only occur while CP is HIGH for conventional operation.
- The Low-to-High transition of SPE on the CD74HC/HCT161 and SPE or MR on the CD74HC/HCT163 should only occur while CP is HIGH for conventional operation.

MM74HC393 Dual 4-Bit Binary Counter

General Description

The MM74HC393 counter circuits contain independent ripple carry counters and utilize advanced silicon-gate CMOS technology. The MM74HC393 contains two 4-bit ripple carry binary counters, which can be cascaded to create a single divide-by-256 counter.

Each of the two 4-bit counters is incremented on the HIGH-to-LOW transition (negative edge) of the clock input, and each has an independent clear input. When clear is set HIGH all four bits of each counter are set to a low level. This enables count truncation and allows the implementation of divide-by-N counter configurations.

Each of the counters outputs can drive 10 low power Schottky TTL equivalent loads. This counter is functionally

as well as pin equivalent to the 74LS393. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

- Typical operating frequency: 50 MHz
- Typical propagation delay: 13 ns (Ck to Q_A)
- Wide operating supply voltage range: 2–6V
- Low input current: $<1 \mu A$
- Low quiescent supply current: 80 μA maximum (74HC Series)
- Fanout of 10 LS-TTL loads

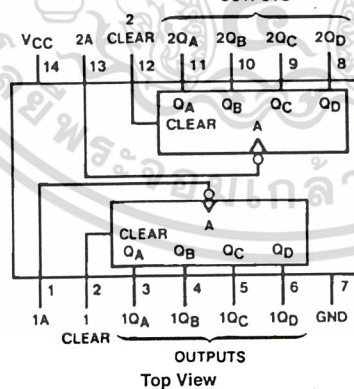
Ordering Code:

Order Number	Package Number	Package Description
MM74HC393M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow
MM74HC393SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC393MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC393N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

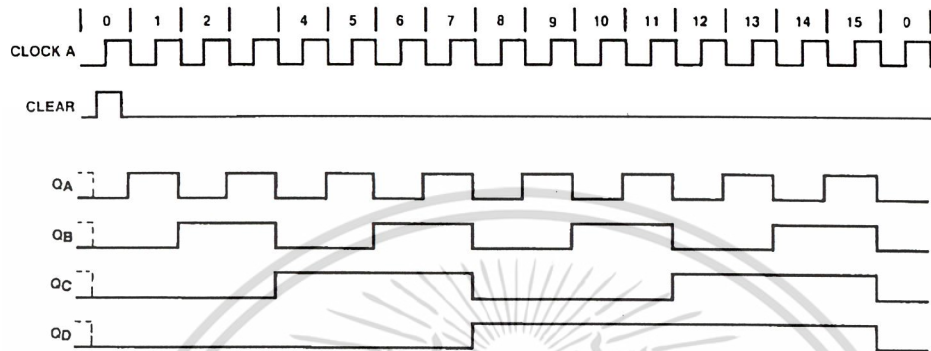
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP
OUTPUTS



Logic Timing Waveforms



K6T1008C2E Family

CMOS SRAM

128Kx8 bit Low Power CMOS Static RAM

FEATURES

- Process Technology: TFT
- Organization: 128Kx8
- Power Supply Voltage: 4.5~5.5V
- Low Data Retention Voltage: 2V(Min)
- Three state output and TTL Compatible
- Package Type: 32-DIP-600, 32-SOP-525, 32-TSOP1-0820F/R

GENERAL DESCRIPTION

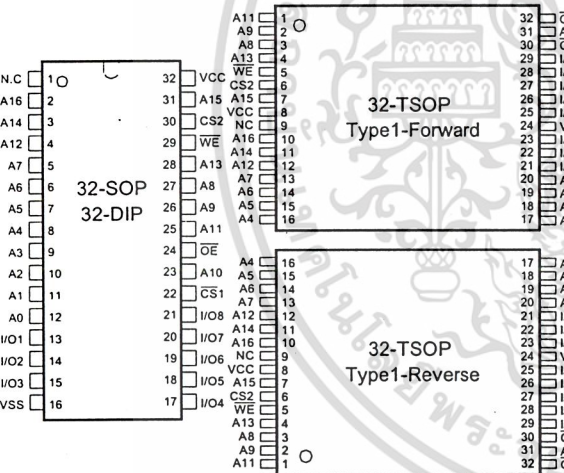
The K6T1008C2E families are fabricated by SAMSUNG's advanced CMOS process technology. The families support various operating temperature ranges and have various package types for user flexibility of system design. The families also support low data retention voltage for battery back-up operation with low data retention current.

PRODUCT FAMILY

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation		PKG Type
				Standby (Isb1, Max)	Operating (Icc2, Max)	
K6T1008C2E-L	Commercial(0~70°C)	4.5~5.5V	55 ¹⁾ /70ns	50µA	50mA	32-DIP-600, 32-SOP-525 32-TSOP1-0820F/R
K6T1008C2E-B				10µA		
K6T1008C2E-P	Industrial(-40~85°C)			50µA		32-SOP -525 32-TSOP1-0820F/R
K6T1008C2E-F				15µA		

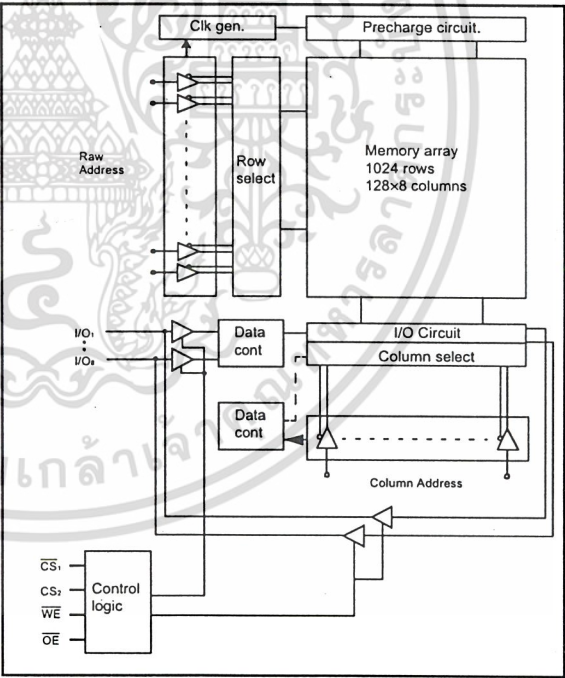
1. The parameters are tested with 50pF test load

PIN DESCRIPTION



Name	Function
CS1, CS2	Chip Select Input
OE	Output Enable Input
WE	Write Enable Input
I/O1~I/O8	Data Inputs/Outputs
A0~A16	Address Inputs
Vcc	Power
Vss	Ground
N.C.	No Connection

FUNCTIONAL BLOCK DIAGRAM



SAMSUNG ELECTRONICS CO., LTD. reserves the right to change products and specifications without notice.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRODUCT LIST

Commercial Temperature Products(0~70°C)		Industrial Temperature Products(-40~85°C)	
Part Name	Function	Part Name	Function
K6T1008C2E-DL55	32-DIP, 55ns, Low Power	K6T1008C2E-GP55	32-SOP, 55ns, Low Power
K6T1008C2E-DL70	32-DIP, 70ns, Low Power	K6T1008C2E-GP70	32-SOP, 70ns, Low Power
K6T1008C2E-DB55	32-DIP, 55ns, Low Low Power	K6T1008C2E-GF55	32-SOP, 55ns, Low Low Power
K6T1008C2E-DB70	32-DIP, 70ns, Low Low Power	K6T1008C2E-GF70	32-SOP, 70ns, Low Low Power
K6T1008C2E-GL55	32-SOP, 55ns, Low Power	K6T1008C2E-TF55	32-TSOP F, 55ns, Low Low Power
K6T1008C2E-GL70	32-SOP, 70ns, Low Power	K6T1008C2E-TF70	32-TSOP F, 70ns, Low Low Power
K6T1008C2E-GB55	32-SOP, 55ns, Low Low Power	K6T1008C2E-RF55	32-TSOP R, 55ns, Low Low Power
K6T1008C2E-GB70	32-SOP, 70ns, Low Low Power	K6T1008C2E-RF70	32-TSOP R, 70ns, Low Low Power
K6T1008C2E-TB55	32-TSOP F, 55ns, Low Low Power		
K6T1008C2E-TB70	32-TSOP F, 70ns, Low Low Power		
K6T1008C2E-RB55	32-TSOP R, 55ns, Low Low Power		
K6T1008C2E-RB70	32-TSOP R, 70ns, Low Low Power		

FUNCTIONAL DESCRIPTION

CS ₁	CS ₂	OE	WE	I/O	Mode	Power
H	X ¹⁾	X ¹⁾	X ¹⁾	High-Z	Deselected	Standby
X ¹⁾	L	X ¹⁾	X ¹⁾	High-Z	Deselected	Standby
L	H	H	H	High-Z	Output Disabled	Active
L	H	L	H	Dout	Read	Active
L	H	X ¹⁾	L	Din	Write	Active

1. X means don't care (Must be in high or low states)

ABSOLUTE MAXIMUM RATINGS¹⁾

Item	Symbol	Ratings	Unit	Remark
Voltage on any pin relative to Vss	V _{IN} ,V _{OUT}	-0.5 to 7.0	V	-
Voltage on Vcc supply relative to Vss	V _{CC}	-0.5 to 7.0	V	-
Power Dissipation	P _D	1.0	W	-
Storage temperature	T _{STG}	-65 to 150	°C	-
Operating Temperature	T _A	0 to 70	°C	K6T1008C2E-L/-B
		-40 to 85	°C	K6T1008C2E-P/-F

1. Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Functional operation should be restricted to recommended operating condition. Exposure to absolute maximum rating conditions for extended periods may affect reliability.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED DC OPERATING CONDITIONS¹⁾

Item	Symbol	Product	Min	Typ	Max	Unit
Supply voltage	Vcc	K6T1008C2E Family	4.5	5.0	5.5	V
Ground	Vss	All Family	0	0	0	V
Input high voltage	V _{IH}	K6T1008C2E Family	2.2	-	Vcc+0.5 ²⁾	V
Input low voltage	V _{IL}	K6T1008C2E Family	-0.5 ³⁾	-	0.8	V

- Note:
- 1. Commercial Product: TA=0 to 70°C
Industrial Product: TA=-40 to 85°C, otherwise specified.
 - 2. Overshoot: Vcc+3.0V in case of pulse width≤30ns.
 - 3. Undershoot: -3.0V in case of pulse width≤30ns.
 - 4. Overshoot and undershoot are sampled, not 100% tested.

CAPACITANCE¹⁾ (f=1MHz, TA=25°C)

Item	Symbol	Test Condition	Min	Max	Unit
Input capacitance	C _{IN}	V _{IN} =0V	-	6	pF
Input/Output capacitance	C _{IO}	V _{IO} =0V	-	8	pF

1. Capacitance is sampled, not 100% tested

DC AND OPERATING CHARACTERISTICS

Item	Symbol	Test Conditions	Min	Typ	Max	Unit
Input leakage current	I _{LI}	V _{IN} =V _{SS} to V _{CC}	-1	-	1	μA
Output leakage current	I _{LO}	$\overline{CS_1}$ =V _{IH} or CS ₂ =V _{IL} or $\overline{OE}$ =V _{IH} or $\overline{WE}$ =V _{IL} , V _{IO} =V _{SS} to V _{CC}	-1	-	1	μA
Operating power supply current	I _{CC}	I _{IO} =0mA, $\overline{CS_1}$ =V _{IL} , CS ₂ =V _{IH} , V _{IN} =V _{IH} or V _{IL} , Read	-	-	10	mA
Average operating current	I _{CC1}	Cycle time=1μs, 100% duty, I _{IO} =0mA, $\overline{CS_1}$ ≤0.2V, CS ₂ ≥V _{CC} -0.2V, V _{IN} ≤0.2V or V _{IN} ≥V _{CC} -0.2V	-	-	7	mA
	I _{CC2}	Cycle time=Min, 100% duty, I _{IO} =0mA, $\overline{CS_1}$ =V _{IL} , CS ₂ =V _{IH} , V _{IN} =V _{IH} or V _{IL}	-	-	50	mA
Output low voltage	V _{OL}	I _{OL} =2.1mA	-	-	0.4	V
Output high voltage	V _{OH}	I _{OH} =-1.0mA	2.4	-	-	V
Standby Current(TTL)	I _{SB}	$\overline{CS_1}$ =V _{IH} , CS ₂ =V _{IL} , Other inputs=V _{IH} or V _{IL}	-	-	3	mA
Standby Current(CMOS)	I _{SB1}	$\overline{CS_1}$ ≥V _{CC} -0.2V, CS ₂ ≥V _{CC} -0.2V or CS ₂ ≤0.2V, Other inputs=0~V _{CC}	-	-	50 ¹⁾	μA

1. 50μA for Low power product, in case of Low Low power products are comercial=10μA, industrial=15μA.

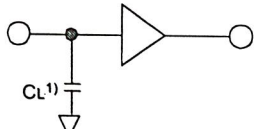
K6T1008C2E Family

CMOS SRAM

AC OPERATING CONDITIONS

TEST CONDITIONS (Test Load and Input/Output Reference)

Input pulse level: 0.8 to 2.4V
Input rising and falling time: 5ns
Input and output reference voltage: 1.5V
Output load (see right): $C_L = 100\text{pF} + 1\text{TTL}$
 $C_L = 50\text{pF} + 1\text{TTL}$



1. Including scope and jig capacitance

AC CHARACTERISTICS (Vcc=4.5~5.5V, Commercial Product: TA=0 to 70°C, Industrial Product: TA=-40 to 85°C)

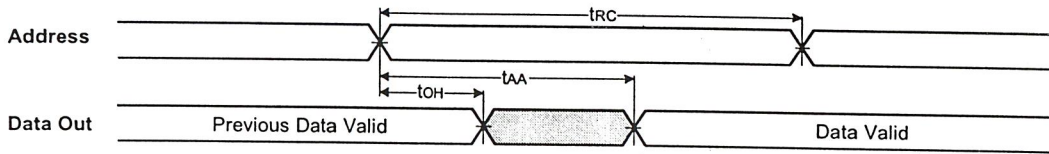
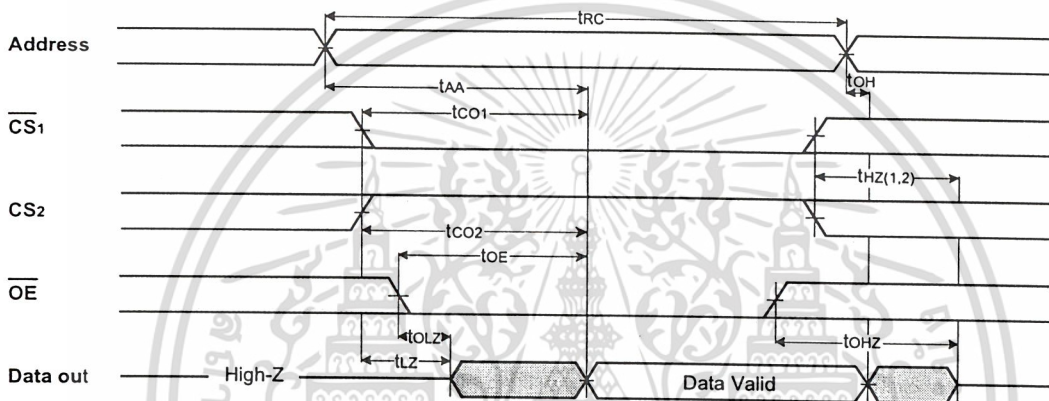
Parameter List		Symbol	Speed Bins				Units
			55ns		70ns		
			Min	Max	Min	Max	
Read	Read Cycle Time	trc	55	-	70	-	ns
	Address Access Time	tAA	-	55	-	70	ns
	Chip Select to Output	tco	-	55	-	70	ns
	Output Enable to Valid Output	toE	-	25	-	35	ns
	Chip Select to Low-Z Output	tLZ	10	-	10	-	ns
	Output Enable to Low-Z Output	toLZ	5	-	5	-	ns
	Chip Disable to High-Z Output	tHZ	0	20	0	25	ns
	Output Disable to High-Z Output	toHZ	0	20	0	25	ns
	Output Hold from Address Change	toH	10	-	10	-	ns
Write	Write Cycle Time	twc	55	-	70	-	ns
	Chip Select to End of Write	tcw	45	-	60	-	ns
	Address Set-up Time	tAS	0	-	0	-	ns
	Address Valid to End of Write	tAW	45	-	60	-	ns
	Write Pulse Width	tWP	40	-	50	-	ns
	Write Recovery Time	tWR	0	-	0	-	ns
	Write to Output High-Z	tWHZ	0	20	0	25	ns
	Data to Write Time Overlap	tdW	20	-	25	-	ns
	Data Hold from Write Time	tDH	0	-	0	-	ns
	End Write to Output Low-Z	tOW	5	-	5	-	ns

DATA RETENTION CHARACTERISTICS

Item	Symbol	Test Condition		Min	Typ	Max	Unit
Vcc for data retention	VDR	$\overline{CS}_1 \geq V_{cc} - 0.2V^{(1)}$		2.0	-	5.5	V
Data retention current	IDR	$V_{cc} = 3.0V, \overline{CS}_1 \geq V_{cc} - 0.2V^{(1)}$	K6T1008C2E-L	-	-	20	μA
			K6T1008C2E-B	-	-	10	
			K6T1008C2E-P	-	-	25	
			K6T1008C2F-F	-	-	10	
Data retention set-up time	tSDR	See data retention waveform		0	-	-	ms
Recovery time	tRDR			5	-	-	

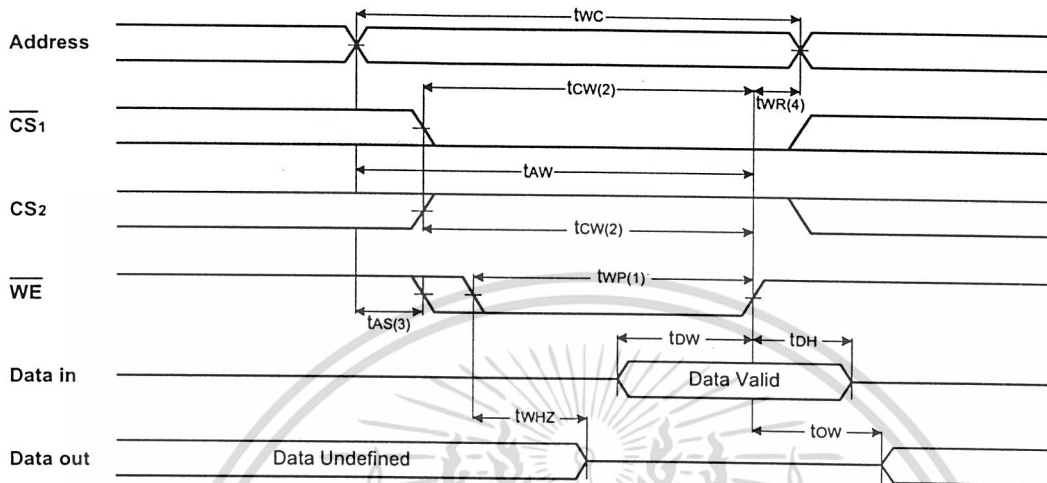
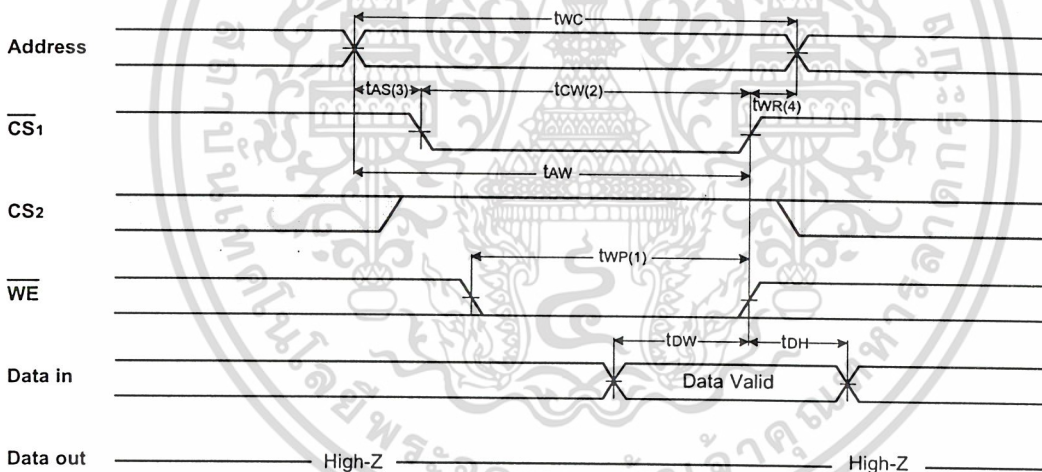
1. $\overline{CS}_1 \geq V_{cc} - 0.2V, CS_2 \geq V_{cc} - 0.2V$ ($\overline{CS}_1$ controlled) or $CS_2 \leq 0.2V$ (CS_2 controlled)

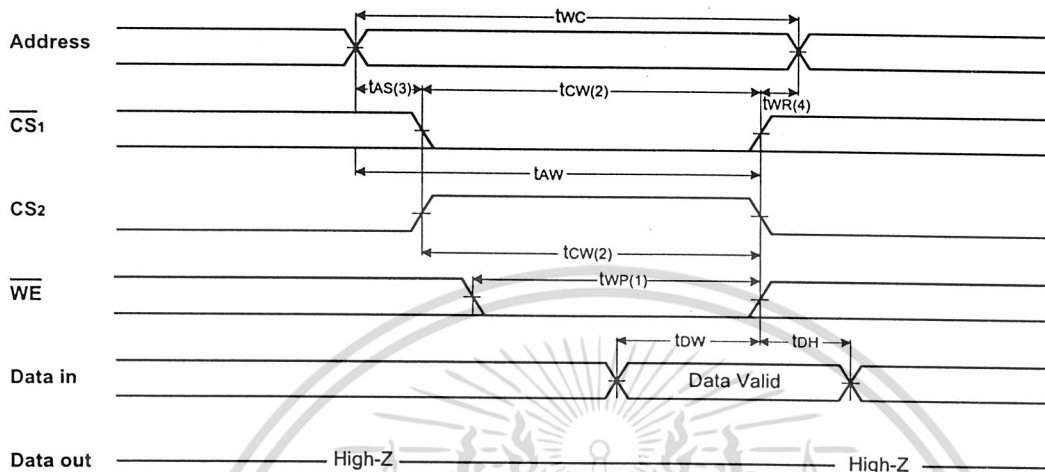
TIMMING DIAGRAMS

TIMING WAVEFORM OF READ CYCLE(1) (Address Controlled, $\overline{CS1}=\overline{OE}=V_{IL}$, $CS2=\overline{WE}=V_{IH}$)TIMING WAVEFORM OF READ CYCLE(2) ($\overline{WE}=V_{IH}$)

NOTES (READ CYCLE)

1. t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referenced to output voltage levels.
2. At any given temperature and voltage condition, $t_{HZ}(\text{Max.})$ is less than $t_{LZ}(\text{Min.})$ both for a given device and from device to device interconnection.

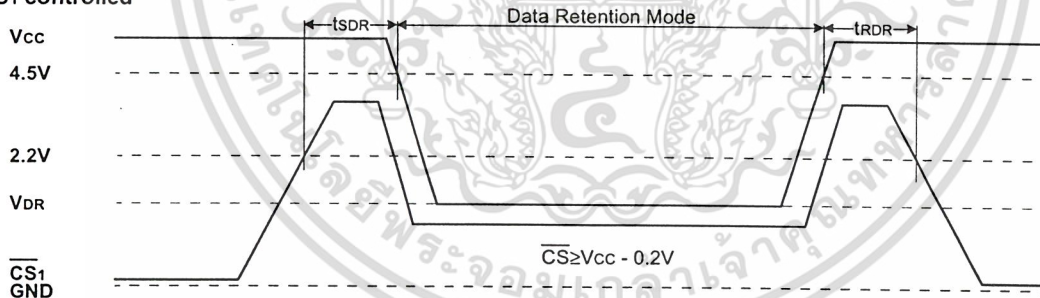
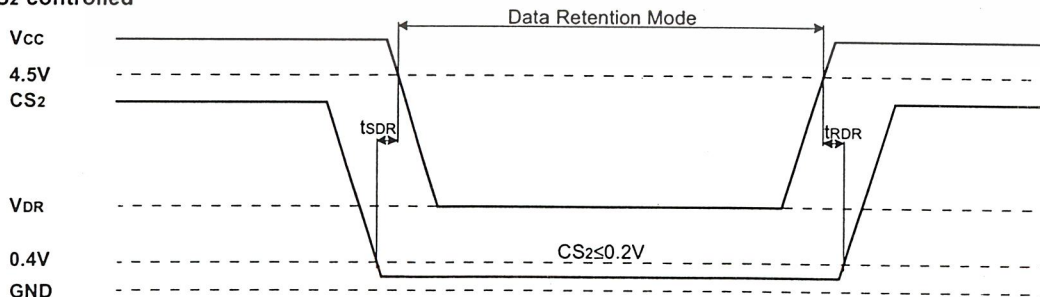
TIMING WAVEFORM OF WRITE CYCLE(1) ($\overline{WE}$ Controlled)TIMING WAVEFORM OF WRITE CYCLE(2) ($\overline{CS_1}$ Controlled)

TIMING WAVEFORM OF WRITE CYCLE(3) (CS₂ Controlled)

NOTES (WRITE CYCLE)

1. A write occurs during the overlap of a low CS₁, a high CS₂ and a low WE. A write begins at the latest transition among CS₁ going low, CS₂ going high and WE going low. A write ends at the earliest transition among CS₁ going high, CS₂ going low and WE going high, t_{wp} is measured from the beginning of write to the end of write.
2. t_{cw} is measured from the CS₁ going low or CS₂ going high to the end of write.
3. t_{as} is measured from the address valid to the beginning of write.
4. t_{wr} is measured from the end of write to the address change. t_{wr1} applied in case a write ends as CS₁ or WE going high t_{wr2} applied in case a write ends as CS₂ going to low.

DATA RETENTION WAVE FORM

CS₁ controlledCS₂ controlled

เอกสารอ้างอิง

1. เจน สงสมพันธุ์, นิคม อนันต์ทิพย์, “เทคโนโลยีโทรทัศน์”, สถาบันอิเล็กทรอนิกส์
กรุงเทพฯ, หน้า 23-50, 2535
2. ปรัชญนันท์ นิลสุข, “ทฤษฎีและปฏิบัติเครื่องรับโทรทัศน์เบื้องต้น”, บริษัท สำนักพิมพ์
ดวงกลม, 256 หน้า, 2541



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้