สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การเชื่อมต่อข้อมูลของไมโครโปรเซสเซอร์ผ่าน AC Line

# (Microprocessor Data Link Via AC Line)

โดย

นายไชยวัฒน์ วัชรอำไพวัณย์

นายณัฐวิทย์ ฤทธิโชค

เลขหมู่.....
เลขทะเบียน 62040
วัน,เดือน,ปี 27 ก.ค. 2549
b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การเชื่อมต่อข้อมูลของไมโครโปรเซสเซอร์ผ่าน AC Line

# (Microprocessor Data Link Via AC Line)


โดย

นายไชยวัฒน์ วัชรอำไพวัณย์ รหัสนักศึกษา 44010124

นายณัฐวิทย์ ฤทธิโชค รหัสนักศึกษา 44010160

อาจารย์ที่ปรึกษา

ผศ. พลผดุง ผดุงกุล


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชา อิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การชื่อมต่อข้อมูลของไมโครโปรเซสเซอร์ผ่าน AC Line

ผู้จัดทำ

1. นายไชยวัฒน์ วัชรอำไพวัณย์
2. นายณัฐวิทย์ ฤทธิโชค

..... อาจารย์ที่ปรึกษา

( ผศ. พลผดุง ผดุงกุล )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การเชื่อมต่อข้อมูลของไมโครโปรเซสเซอร์ผ่าน AC Line

Microprocessor Data Link Via AC Line

จัดทำโดย

1.นายไชยวัฒน์ วัชรอำไพวัณย์

2.นายณัฐวิทย์ ฤทธิโชค

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

( ผศ. พลผดุง ผดุงกุล )

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การเชื่อมต่อข้อมูลของไมโครโปรเซสเซอร์ผ่าน AC Line

ไชยวัฒน์ วัชรอำไพวัณย์
ณัฐวิทย์ ฤทธิโชค
ผศ.พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2547

**บทคัดย่อ**

โครงงานนี้เป็นการส่งผ่านข้อมูลผ่านสายไฟฟ้าที่ใช้ภายในบ้าน ซึ่งเป็นการส่งผ่านข้อมูลโดยใช้ไมโครคอนโทรลเลอร์

การทำงานจะใช้สัญญาณดิจิตอลจากไมโครโปรเซสเซอร์นำไปมอดูเลทแบบ FSK จากนั้นผ่าน Transformer เพื่อปรับสัญญาณแล้วส่งผ่านสายไฟบ้านผ่านไปยังวงจรภาครับใช้Transformer และ Comparator นำสัญญาณไปดีมอดูเลท แล้วส่งไปยังไมโครโปรเซสเซอร์เพื่อนำไปใช้งานต่อไป

ประโยชน์ของโครงงานนี้คือ สามารถเคลื่อนย้ายอุปกรณ์ในการควบคุมได้สะดวกและไม่ต้องเสียเวลาเดินสายไฟที่เป็นตัวกลางในการส่งข้อมูลเพราะมีการเดินสายไฟบ้านใช้อยู่แล้ว ซึ่งช่วยประหยัดค่าใช้จ่ายเรื่องสายส่งได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Microprocessor Data Link Via AC Line**

Chaiwat Watcharaumpiwan
Nuttawit Rittichok
Asst.Prof.Polpadung Padungkul
2004

**ABSTRACT**

This project present a data transfer through AC LINE by sending digital signal from microprocessor. This process utilizes digital signal from microprocessor to modulate the signal using of FSK technigue. Later,taking the signal to transformer in order to adjust and then sending through an AC LINE.As for the receiver there are a transfer and a comparator for demodulating the signal which is used in microprocessor.

The benefits of this project are that user can move the controller conveniently and to it uses only the AC LINE.It can be concluded that this project will help the user save the expense by the sending through a wire.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| ชื่อเรื่อง | หน้า |
|---|---|
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 2 |
| 2.1 ข้อมูล (Data) | 2 |
| 2.2 สัญญาณ (Signal) | 3 |
| 2.3 ข้อมูลและสัญญาณ (Data and Signal) | 3 |
| 2.4 การส่งผ่าน (Transmission) | 3 |
| 2.5 การส่งผ่านข้อมูลดิจิตอล (Digital Transmission) | 4 |
| 2.5.1 การสื่อสารแบบอนุกรม | 5 |
| 2.5.2 การใช้บิตตรวจข้อผิดพลาด | 7 |
| 2.5.3 ทิศทางของการสื่อสารข้อมูล | 8 |
| 2.6 Frequency Shift Keying ( FSK ) | 8 |
| 2.6.1 การมอดูเลตสัญญาณดิจิตอลเอฟเอสเค (Frequency Shift Keying Modulation) | 8 |
| 2.6.2 แบนด์วิดธ์ของสัญญาณที่มอดูเลตแบบ เอฟเอสเค (FSK Bandwidth) | 10 |
| 2.6.3 การดีมอดูเลต FSK (Frequency Shift Keying Demodulation) | 12 |
| 2.6.4 พื้นฐานเฟสล็อกลูป (Phase Lock Loop: PLL) | 12 |
| 2.7 สายไฟ AC | 14 |
| 2.7.1 ลักษณะทั่วไปของสายไฟฟ้า (AC Line) | 14 |
| 2.7.2 ชนิดของสายไฟหุ้มฉนวน | 14 |
| 2.7.3 สภาพแวดล้อมของสายไฟฟ้า | 15 |
| 2.7.4มาตรฐานที่ต้องคำนึงถึง (Standards for Power Line Carrier Communication) | 16 |
| 2.8 AC COUPLING | 16 |
| 2.9 TUNED AMPLIFIER | 17 |
| 2.9.1วงจรขยายสัญญาณแบบซิงเกิลจูน | 19 |
| 2.9.2 การคับปลิ้งด้วยหม้อแปลงไฟฟ้า | 20 |
| 2.9.3วงจรขยายสัญญาณแบบดับเบิ้ลจูน( Double tune) | 21 |
| 2.10 วงจรฟิลเตอร์ผ่านแถบความถี่( Band-pass Filter) | 22 |
| 2.10.1ฟิลเตอร์เป็นชนิดผ่านแถบความถี่กว้าง(wide-band-pass filter) | 22 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.2ฟิลเตอร์ผ่านแถบความถี่แคบ( narrow-band-pass filter) 25
2.11 Comparater แบบ Adaptive Reference 28
บทที่ 3 การออกแบบ 30
3.1 การออกแบบวงจรทางภาคส่ง 30
3.1.1 การออกแบบวงจรรับค่าอินพุทจากผู้ใช้ 31
3.1.2 การออกแบบวงจร FSK MODULATOR 31
3.1.3 การออกแบบวงจรTuned Amplifier ทางภาคส่ง 32
3.2 การออกแบบวงจรทางภาครับ 34
3.2.1การออกแบบวงจรTuned Amplifier ทางภาครับ 35
3.2.2 การออกแบบวงจรขยายความต่าง(Differenciated Amplifier) 35
3.2.3 การออกแบบวงจร FSK DEMODULATOR 36
3.2.4 การออกแบบวงจรประมวลและแสดงผล 38
บทที่ 4 การทดลองและผลการทดลอง 39
บทที่ 5 วิเคราะห์และสรุปผลการทดลอง 44
ภาคผนวก 46
บรรณานุกรม 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


| ชื่อเรื่อง | หน้า |
|---|---|
| รูปที่ 2.1 แสดงการสื่อสารแบบอนุกรม | 5 |
| รูปที่ 2.2 ลักษณะของสัญญาที่ใช้ในการสื่อสารแบบอะซิงโครนัส | 5 |
| รูปที่ 2.3 ลักษณะของสัญญาที่ใช้ในการสื่อสารแบบซิงโครนัส | 6 |
| รูปที่ 2.4 วงจรเสมือนการสร้างสัญญาณFSK | 9 |
| รูปที่ 2.5 สัญญาณเอฟเอสเค | 10 |
| รูปที่ 2.6 Frequency spectrum ของ FSK signal | 10 |
| รูปที่ 2.7 การเบี่ยงเบนความถี่ | 11 |
| รูปที่ 2.8 บล็อกไดอะแกรมของเฟสล็อกลูป | 13 |
| รูปที่2.9 (a) แสดงให้เห็นสัญญาณที่มีทั้ง AC และ DC<br>(b) แสดงให้เห็นสัญญาณหลังจากผ่านAC Coupling สัญญาณDCจะถูกเอาออกไป | 16 |
| รูปที่2.10 (a) แสดงสัญญาณที่สโคปแสดงออกมาได้<br>ซึ่งDC LEVEL คือระดับค่าเฉลี่ยของสัญญาณนั่นเอง<br>(b) แสดงสัญญาณที่AC Coupling เอาระดับ DC ออกจากสัญญาณ<br>ทำให้ระดับค่าเฉลี่ยของสัญญาณเป็นศูนย์<br>(c) แสดงสัญญาณที่ drop หรือ sag ที่อาจจะเกิดจาก AC Coupling ได้ | 17 |
| รูปที่ 2.11 รูปวงจร Tuned Amplifier และ Frequency Response | 18 |
| รูปที่2.12 วงจรขยายสัญญาณแบบซิงเกิลจูน<br>( ก) วงจรขยายสัญญาณและวงจรเรโซแนนซ์ LC วงจร $R_1C_1$<br>ดับเบิ้ลสัญญาณไฟสลับแต่กันไม่ให้สัญญาณไฟตรงผ่านไปได้<br>( ข ) การตอบสนองต่อสัญญาณที่ความถี่ต่างๆ ของวงจรขยายสัญญาณ<br>ซึ่งมีลักษณะเหมือนกับเรโซแนนซ์ของวงจรจูน | 19 |
| รูปที่2.13 วงจรขยายสัญญาณชนิดคับปลิ้งด้วยหม้อแปลง | 20 |
| รูปที่ 2.14 ( ก ) วงจรขยายสัญญาณแบบดับเบิ้ลจูน<br>( ข ) รูปแบบการตอบสนองต่อความถี่ของสัญญาณของวงจรขยายสัญญาณแบบ<br>ดับเบิลจูนที่ค่าความถี่วิกฤติของการคับปลิ้งระหว่าง Lp และ Ls | 21 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ชื่อเรื่อง | หน้า |
|---|---|
| รูปที่ 2.15 ผลตอบสนองความถี่ของฟิลเตอร์ผ่านแถบความถี่<br>(ก) ผ่านแถบกว้าง<br>(ข) ผ่านแถบต่ำ<br>(ค) ผ่านแถบสูง<br>(ง) วงจรฟิลเตอร์ผ่านแถบความถี่ | 24 |
| รูปที่2.16 วงจรฟิลเตอร์ผ่านแถบความถี่แคบ<br>(ก) ผลตอบสนองความถี่<br>(ข) วงจร | 27 |
| รูปที่ 2.17 วงจรcomparator แบบ Adaptive Reference | 28 |
| รูปที่ 3.1 แผนผังลำดับการทำงานของวงจรรับส่งข้อมูลผ่านสายไฟฟ้าของตัวส่ง | 30 |
| รูปที่ 3.2 วงจรไมโครคอนโทลเลอร์ทางภาคส่ง | 31 |
| รูปที่ 3.3 วงจรFSK Modulator | 31 |
| รูปที่ 3.44วงจร Tuned Amplifier ทางภาคส่ง | 32 |
| รูปที่ 3.5 แผนผังลำดับการทำงานของวงจรรับส่งข้อมูลผ่านสายไฟฟ้าของตัวรับ | 34 |
| รูปที่ 3.6 วงจร Tuned Amplifier ทางภาครับ | 35 |
| รูปที่ 3.7วงจร Differenciated Amplifier | 35 |
| รูปที่ 3.8 โครงสร้างภายในของ FSK Demodulation | 36 |
| รูปที่ 3.9 วงจร FSK Demodulator | 38 |
| รูปที่ 3.10 วงจรประมวลและแสดงผล | 38 |
| รูปที่ 4.1 สัญญาณจากการมอดูเลตFSK | 39 |
| รูปที่ 4.2 สัญญาณเอาท์จากTuned amplifierตัวส่ง เมื่อทำการส่งสัญญาณที่มีค่าความถี่ 150KHz | 40 |
| รูปที่ 4.3 สัญญาณเอาท์พุทจากTuned Amp ที่ยังไม่สามารถจูนรับได้ | 41 |
| รูปที่ 4.4 สัญญาณเอาท์พุทจากTuned Ampตัวรับเมื่อทำการจูนแล้ว | 42 |
| รูปที่ 4.5 แสดงชิ้นงาน | 43 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1 บทนำ

ในปัจจุบันมีการส่งข้อมูลได้หลายรูปแบบหลากหลายทาง โดยทั่วไปแล้วในแทบจะทุกที่ที่มีไฟฟ้าใช้ จะมีสายไฟฟ้า(AC Line) อยู่เป็นส่วนประกอบหนึ่งในสถานที่นั้น ซึ่งถ้าเราสามารถส่งข้อมูลผ่านทางสายไฟฟ้านี้ได้ จะทำให้การส่งข้อมูลถึงกันมีความสะดวกมากขึ้นในการส่งข้อมูลในสถานที่ต่างๆและยังสามารถประหยัดสายข้อมูลที่จะใช้ส่งข้อมูลถึงกัน ทำให้ไม่จำเป็นต้องมีสายข้อมูลเพิ่มขึ้นมาให้ยุ่งยาก

ในการส่งข้อมูลผ่านสายไฟฟ้า(AC Line) จะประกอบด้วยส่วนการทำงานหลักๆดังนี้

- FSK MODULATORทำหน้าที่ในการแปลงสัญญาณจากอนาลอกเป็นดิจิตอล เพื่อลดสัญญาณรบกวนเนื่องจาก noise ต่างๆจากภายนอก และยังทำให้สัญญาณที่รับได้มีคุณภาพมากกว่าที่จะส่งเป็นสัญญาณ Analog โดย IC XR2206 เป็นอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณเป็นรูปแบบ FSK เพื่อนำสัญญาณออกไปสู่วงจร TUNED AMPLIFIER ต่อไป
- TUNED AMPLIFIER ทำหน้าที่ส่งสัญญาณไปในสายไฟฟ้าโดยใช้ขดลวดหม้อแปลงและคาปาซิเตอร์เป็นวงจรคับปลิ้งโดย induce จากขด Primary ไปยังขดลวด Secondary และยังทำหน้าที่ขยายสัญญาณที่ต้องการให้มีค่าสูงกว่าค่าสัญญาณรบกวน
- FSK DEMODULATOR ทำหน้าที่ในการแปลงสัญญาความถี่ในรูปแบบสัญญาณอนาลอกแปลงกลับไปเป็นสัญญาณรูปแบบดิจิตอล โดย IC XR2211 เป็นอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณจาก FSK กลับมาเป็นสัญญาณดิจิตอลที่ใส่เข้ามาทาง FSK MODULATOR
- MCS-51 ส่วนนี้ทำหน้าที่หลายอย่าง โดยหน้าที่แรกคือทำการรับ-ส่งสัญญาณที่เป็นรูปแบบดิจิตอลจากวงจรFSK ซึ่งสัญญาณดิจิตอลจะเป็นข้อมูลแบบ Asynchronous และส่งสัญญาณเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2 ทฤษฎีและหลักการ

ในการส่งข้อมูลจากต้นทางไปยังปลายทางมีคุณสมบัติของสัญญาณข้อมูลอย่างหนึ่งที่น่าสนใจ คือ การเคลื่อนที่ของข้อมูลและขบวนการจัดการกับข้อมูล เพื่อให้มั่นใจได้ว่าข้อมูลที่ส่งไปและรับมา สามารถที่จะเข้าใจกันได้สำหรับการศึกษาทั้งหมดนี้ มีจุดสำคัญที่เราจะเข้าไปเกี่ยวข้องด้วยกันคือปริมาณชนิดอนาลอกและชนิดดิจิตอล

ปริมาณชนิดอนาลอกและชนิดดิจิตอลเป็นปริมาณที่สอดคล้องกับปริมาณที่มีค่าแบบต่อเนื่องและไม่ต่อเนื่อง ตามลำดับ ศัพท์ 2 คำนี้จะถูกนำมาใช้กันเสมอในการสื่อสารข้อมูลอย่างน้อยที่สุดก็นำมาใช้ในเรื่อง 3 เรื่อง ดังต่อไปนี้คือ

- ข้อมูล (Data)
- สัญญาณ (Signal)
- การส่งผ่าน (Transmission)

## 2.1 ข้อมูล (Data)

ข้อมูลแบบอนาลอกนั้นเป็นข้อมูลที่เกิดขึ้นแล้วมีค่าต่อเนื่องในช่วงเวลาที่พิจารณา เป็นต้นว่าเสียงหรือภาพจะเป็นข้อมูลที่มีการแปรเปลี่ยนรูปแบบของความเข้มอย่างต่อเนื่อง อุณหภูมิและความดันก็เป็นปริมาณที่ต่อเนื่องที่จัดได้ว่าให้ข้อมูลแบบอนาลอก แต่สำหรับข้อมูลแบบดิจิตอลนั้นเป็นข้อมูลที่มีค่าเฉพาะ ที่กระโดดไปเป็นค่าที่ไม่ต่อเนื่อง เช่น ค่าเลขจำนวนเต็มเป็นต้น

ตัวอย่างที่เป็นที่รู้จักกันอย่างแพร่หลายมากที่สุด สำหรับข้อมูลอนาลอกก็คือข้อมูลเสียงซึ่งข้อมูลของระบบในการสื่อสารบางระบบ จะถูกออกแบบไว้สำหรับข้อมูลเลขฐานสอง ซึ่งจำนวนของรหัสที่แทนตัวอักษรจะใช้ลำดับของบิต ตัวอย่างของรหัสที่เก่าแก่มากที่สุดอันหนึ่งคือ รหัสของมอร์ส ปัจจุบันรหัสที่ใช้กันอย่างแพร่หลายที่สุดชนิดหนึ่งคือรหัส ASCII (American Standard Code for Information Interchanger) ASCII นอกจากจะได้รับความนิยมในอเมริกาแล้วยังได้รับความนิยมในที่ต่างๆ ด้วย ตัวอักขระแต่ละตัวของรหัสนี้แทนได้ด้วยเลขฐานสอง 7 หลัก ซึ่งเลขฐานสอง 7 หลัก สามารถแทนอักขระที่ไม่ซ้ำกันได้ทั้งหมดถึง 128 ตัว ซึ่งมีจำนวนเกินตัวอักขระที่ใช้กันอยู่ ดังนั้นรหัสเลขฐานสองบางตัวจึงถูกนำมาแทนตัวอักขระสำหรับการควบคุม และตัวอักขระสำหรับการควบคุมส่วนหนึ่งก็ใช้ในการควบคุมสำหรับการพิมพ์ และรหัสเลขฐานสองที่แทนตัวอักขระส่วนที่เหลือบางตัวก็จะใช้ในระบบการสื่อสาร โดยทั่วไปแล้ว การเข้ารหัสในการเก็บและการส่งผ่านข้อมูลจะใช้จำนวนเลขไบนารี่ 8 บิตต่อ 1 ตัวอักษร โดยบิตที่ 8 ก็คือพาริตี้บิต ที่ใช้สำหรับตรวจสอบความผิดพลาดบิตที่ 8 นี้ จะถูกกำหนดขึ้นเพื่อที่จะให้จำนวนของบิต 1 มีค่าเป็นจำนวนคู่เมื่อใช้การตรวจพาริตี้แบบคู่ และให้จำนวนของบิต 1 มีค่าเป็นจำนวนคี่เมื่อใช้การตรวจพาริตี้แบบคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.2 สัญญาณ (Signal)**

ในระบบของการสื่อสาร ข้อมูลจะเคลื่อนที่จากจุดหนึ่งไปยังอีกจุดหนึ่ง ในรูปแบบของสัญญาณไฟฟ้าซึ่งสัญญาณอนาลอกก็คือ คลื่นแม่เหล็กไฟฟ้าที่มีการเปลี่ยนแปลงอย่างต่อเนื่องและสัญญาณดังกล่าวนี้เองที่จะถูกส่งผ่านเข้าไปในตัวกลางชนิดต่างๆ ทั้งนี้ขึ้นอยู่กับสเปคตรัมของสัญญาณ ตัวกลางอาจเป็นสาย เช่น สายคู่บิดเกลียว สายโคแอคเชียล สายใยนำแสง หรืออาจจะเป็นตัวกลางแบบไร้สายเช่น ชั้นบรรยากาศหรือสุญญากาศ ส่วนสัญญาณดิจิตอลนั้นอาจเป็นขบวนของพัลส์โวลท์เตจ ที่ใช้ระดับของพัลส์ที่ส่งไปเป็นตัวแทนข้อมูล เช่น ใช้ระดับโวลท์เตจคงที่ค่าบวกแทนค่าไบนารี่ 1 และระดับโวลท์เตจลบ แทนค่าไบนารี่ 0

ซึ่งจะเห็นได้ว่า แบนด์วิดธ์ที่กว้างนั้นก็จะทำให้เกิดสัญญาณที่มีความผิดพลาดน้อย สำหรับข้อมูลที่มีอัตรา $x$ บิต ต่อวินาทีสามารถที่จะส่งได้โดยใช้สายส่งที่มีแบนด์วิดธ์ $x$ Hz ด้วยคุณภาพดีพอสมควร แต่จะดีมากถ้าแบนด์วิดธ์เพิ่มขึ้นเป็น $2x$ Hz

**2.3 ข้อมูลและสัญญาณ (Data and Signal)**

จากที่ได้กล่าวมาแล้ว เรากำลังสนใจสัญญาณ ที่ใช้แทนข้อมูลอนาลอกและข้อมูลดิจิตอลในสถานการณ์โดยทั่วไปแล้วข้อมูลอนาลอกจะเป็นฟังก์ชั่นเกี่ยวกับเวลา และมีสเปคตรัมที่จำกัดอยู่ค่าหนึ่ง ซึ่งเราสามารถแทนข้อมูลอนาลอกดังกล่าวได้ด้วยสัญญาณคลื่นแม่เหล็กไฟฟ้าที่มีค่าสเปคตรัมเดียวกัน และข้อมูลดิจิตอลนั้นสามารถแทนได้ด้วยสัญญาณดิจิตอล ที่มีค่าระดับโวลท์เตจที่แตกต่างกันสองระดับเพื่อแทนค่าเลขฐานสอง 0 และ 1

**2.4 การส่งผ่าน (Transmission)**

ความแตกต่างระหว่างสัญญาณดิจิตอลและอนาลอกนั้นควรพิจารณาให้ชัดเจนขึ้นอีกทั้งสัญญาณอนาลอกและสัญญาณดิจิตอลนั้นจะถูกนำส่งตัวกลางที่เหมาะสมและขบวนการในการดัดแปลงสัญญาณเพื่อให้เหมาะสมกับตัวกลางการส่งผ่านก็เป็นหน้าที่ของระบบส่งผ่าน (Transmission System) การส่งผ่านในรูปแบบของอนาลอกเป็นวิธีการส่งผ่านสัญญาณอนาลอกไปโดยไม่มีการเปลี่ยนแปลงสาระข้อมูล ไม่ว่าจะเป็นกรณีใดๆสัญญาณอนาลอกจะเกิดการลดทอนหลังจากที่เดินทางผ่านเข้าไปในตัวกลาง ดังนั้นเพื่อให้สัญญาณสามารถเดินทางไปถึงปลายทางได้ระยะทางไกลๆ ระบบของการส่งผ่านแบบอนาลอกก็จะมีตัวเพิ่มความแรงเชิงสัญญาณ และยังเป็นการเพิ่มพลังงานให้กับสัญญาณรบกวนอีกด้วย และยิ่งมีการใช้ตัวขยายหลายๆตัวแบบอนุกรมเพื่อให้ได้ระบบในการส่งสัญญาณได้ไกลๆยิ่งทำให้สัญญาณผิดเพี้ยนไปยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับข้อมูลแบบอนาลอก เช่น เสียง ความผิดพลาดเพียงส่วนเล็กน้อยสามารถยอมให้เกิดขึ้นได้เพราะว่าข้อมูลยังสามารถเข้าใจได้ แต่สำหรับข้อมูลดิจิตอลการต่อตัวขยายแบบอนุกรมจะทำให้เกิดการผิดพลาด

**2.5 การส่งผ่านข้อมูลดิจิตอล (Digital Transmission)**

การส่งผ่านข้อมูลด้วยวิธีการนี้จะเกี่ยวข้องกับเนื้อหาของสัญญาณ สัญญาณดิจิตอลจะถูกส่งไปได้ในระยะทางที่จำกัดก่อนที่การลดทอนจะทำอันตรายต่อองค์ประกอบของข้อมูล ดังนั้นเพื่อให้การส่งสามารถที่จะส่งไปได้ในระยะทางไกลๆ เราจึงใช้ตัวทวนสัญญาณ (Repeater) เพื่อกู้สัญญาณดั้งเดิมกลับคืนมา โดยที่ตัวทวนสัญญาณเมื่อได้รับสัญญาณดิจิตอลมาแล้ว ก็จะทำการกู้รูปแบบของ 1 และ 0 กลับคืนมาอีกครั้ง และส่งต่อออกไปใหม่ ซึ่งทำให้สามารถเอาชนะการลดทอนลงไปได้

ด้วยเทคนิคอย่างเดียวกันกับที่ได้กล่าวมาแล้ว อาจนำมาใช้ได้กับสัญญาณอนาลอก ที่ใช้เป็นตัวส่งถ่ายข้อมูลดิจิตอล ณ ตำแหน่งในพื้นที่ๆเหมาะสม ระบบของการส่งผ่านก็จะใช้เครื่องทวนสัญญาณแทนที่จะเป็นตัวขยายสัญญาณ ตัวทวนสัญญาณจะกู้สัญญาณดิจิตอลกลับคืนมาจาสัญญาณอนาลอกและก็สร้างสัญญาณอนาลอกใหม่ขึ้นมาทำให้ไม่เกิดการสะสมของสัญญาณรบกวนต่อๆไป

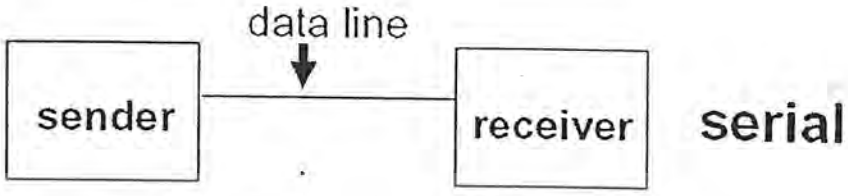
ในปัจจุบันมีแนวโน้มที่จะหันมาใช้การสื่อสารระบบดิจิตอลแทนระบบอนาลอก แม้ว่าจะมีการลงทุนใช้ระบบอนาลอกมาก่อนอย่างมากก็ตาม เหตุผลที่สำคัญคือ

- ดิจิตอลเทคโนโลยี การพัฒนาเทคโนโลยีของวงจรดิจิตอล LSI และ VLSI ทำให้ราคาและขนาดของวงจรดิจิตอลลดลง ในขณะที่เครื่องมือทางอนาลอกไม่ได้ลดลงเลย
- คุณภาพของข้อมูล สำหรับขบวนการทางดิจิตอล การใช้ตัวทวนสัญญาณแทนที่จะใช้ตัวขยายสัญญาณทำให้อิทธิพลของสัญญาณรบกวนไม่ถูกสะสม ทำให้เราสามารถส่งข้อมูลไปได้ระยะทางไกลๆ แม้ว่าคุณภาพของสายจะไม่ดีก็ตาม
- ความจุของการใช้งานมีมาก มันเป็นเรื่องที่สิ้นเปลืองมากในการที่จะต้องการสร้างทางเดิน การส่งผ่านข้อมูลที่มีแบนด์วิดธ์กว้างมากๆเช่น ช่องสัญญาณดาวเทียมและเส้น ใยนำแสง ดังนั้นการนำเอาขบวนการในการมัลติเพลกซ์เข้ามาใช้งานดูจะเป็นประ โยชน์อย่างมากในเรื่องของความจุซึ่งขบวนการมัลติเพลกซ์ทางด้านเวลา ดูจะเป็น วิธีการที่ง่ายและราคาถูกกว่า ขบวนการมัลติเพลกซ์ทางด้านความถี่
- ความปลอดภัยและความเป็นส่วนตัว เทคนิคการย่อข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิตอลและพร้อมที่จะนำมาใช้กับข้อมูลอนาลอกที่ถูกดิจิตอลไว้แล้ว
- การรวมกันเข้าเป็นหนึ่งเดียวกัน ด้วยขบวนการทางข้อมูลพร้อมที่จะนำเข้ามาใช้กับข้อมูลดิจิตอล สัญญาณจะมีรูปแบบที่เหมือนกัน และสามารถดำเนินการได้ในลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกัน ซึ่งมันก็จะทำให้ประหยัดและสะดวกในการรวมเสียง ภาพและข้อมูลดิจิตอล เข้าไว้ด้วยกัน

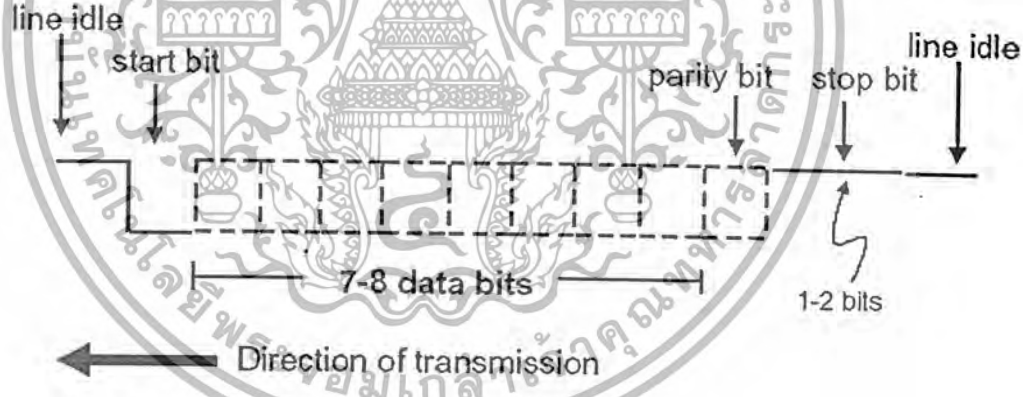
2.5.1 การสื่อสารแบบอนุกรม




รูปที่ 2.1 แสดงการสื่อสารแบบอนุกรม

การส่งผ่านข้อมูลแบบอนุกรมเป็นรูปแบบการส่งผ่านข้อมูลทีละบิตเรียงกันไปโดยผ่านสายนำสัญญาณเพียงเส้นเดียว การที่เราจะแยกข้อมูลออกมาได้จากสัญญาณที่ส่งมาจะต้องทำการหาจุดเริ่มต้นของข้อมูลและจุดสิ้นสุดของข้อมูล โดยมีการกำหนดโปรโตคอล (Protocols) ของการสื่อสารขึ้นมีรูปแบบการส่งอยู่ 2 รูปแบบ การสื่อสารแบบอะซิงโครนัส (Asynchronous Transmission) และการสื่อสารแบบซิงโครนัส (Synchronous Transmission)

1 การสื่อสารแบบอะซิงโครนัส(Asynchronous Transmission)




รูปที่ 2.2 ลักษณะของสัญญาที่ใช้ในการสื่อสารแบบอะซิงโครนัส

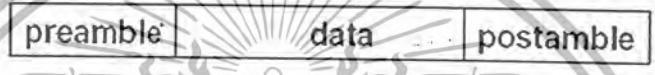
การสื่อสารแบบอะซิงโครนัส หรือเรียกอีกอย่างหนึ่งว่าเป็น การสื่อสารแบบระบุจุดเริ่มต้นและจุดสิ้นสุด (Start-Stop Transmission) ลักษณะของสัญญาณที่ใช้ในการติดต่อสื่อสารกันจะประกอบไปด้วย บิตเริ่มต้น (start bit) บิตของข้อมูลที่สื่อสาร (transmission data) จำนวน 8 บิต บิตตรวจข้อผิดพลาด (parity bit) และบิตสิ้นสุด (stop bit) สำหรับบิตตรวจสอบข้อผิดพลาดจะใช้หรือไม่ใช้ก็ได้ ดังนั้นสัญญาณจึงต้องประกอบด้วยส่วนประกอบอย่างน้อย 3 ส่วน

จะเห็นว่าขณะที่ไม่มีข้อมูลส่งออกมาสถานะของการส่งจะเป็นแบบว่าง(Idle)ซึ่งจะมีระดับของสัญญาณเป็น 1 ตลอดเวลา เพื่อความแน่ใจว่าปลายทาง หรือฝ่ายรับยังคงติดต่อกับต้นทาง หรือฝ่ายส่งอยู่ เมื่อเริ่มจะส่งข้อมูลสัญญาณของอะซิงโครนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา ซึ่งบิตนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราเรียกว่าบิตเริ่มต้น ตามหลังของบิตเริ่มต้นจะเป็นบิตข้อมูลสำหรับ 1 ตัวอักษร ตามหลังบิตข้อมูลก็จะเป็นบิตตรวจข้อผิดพลาด แล้วจะตามด้วยบิตสิ้นสุด ถ้าไม่ใช่บิตตรวจข้อผิดพลาด ตามหลังบิตข้อมูลก็จะเป็นบิตสิ้นสุดเลย หลังจากนั้นถ้าไม่มีข้อมูลส่งออกมาสัญญาณจะกลับไปอยู่ที่สถานะแบบว่างอีก เพื่อรอการส่งข้อมูลต่อไปจะเห็นว่าการสื่อสารแบบอะซิงโครนัสนี้ มีลักษณะเป็นไปทีละตัวอักษร และสัญญาณที่ส่งออกมา มีบางส่วนเป็นบิตเริ่มต้น บิตสิ้นสุด และบิตตรวจข้อผิดพลาด ทำให้ความเร็วในการส่งข้อมูลต่อวินาทีน้อยลงไป เนื่องจากต้อง สูญเสียช่องทางการสื่อสารให้กับบิตเริ่มต้น บิตสิ้นสุด และบิตตรวจข้อผิดพลาด (ถ้ามีใช้) ตลอดเวลา การสื่อสาร แบบอะซิงโครนัสนี้มักใช้ในการติดต่อระหว่างคอมพิวเตอร์กับอุปกรณ์รอบข้าง

2 การสื่อสารแบบซิงโครนัส (Synchronous Transmission)




รูปที่ 2.3 ลักษณะของสัญญาที่ใช้ในการสื่อสารแบบซิงโครนัส

การสื่อสารแบบซิงโครนัส จะทำการจัดกลุ่มของข้อมูลเป็นกลุ่มๆและทำการส่งข้อมูลทั้งกลุ่มไปพร้อมกันในทีเดียว เราเรียกกลุ่มของข้อมูลนี้ว่า บล็อกของข้อมูล(Block of Data)ซึ่งตัวอักษรตัวแรก และตัวถัดไปที่อยู่ในบล็อกเดียวกันจะไม่มีอะไรมาคั่นเหมือนอย่างแบบอะซิงโครนัสที่ต้องใช้บิตเริ่มต้น และบิตสิ้นสุดคั่นทุกๆ ตัวอักษร แต่จะมีข้อมูลเริ่มต้นซึ่งเป็นลักษณะของบิตพิเศษที่ส่งมาเพื่อให้รู้ว่านั้นคือ จุดเริ่มต้นของกลุ่มตัวอักษรที่กำลังส่งเรียงกันเข้ามา เช่น อักขระซิง (SYN character) โดยที่อักขระซิงมีรูปแบบบิต คือ 00010110 ตัวอย่างของการส่งแสดงได้ จากรูปเมื่อลายทางตรวจพบอักขระซิง หรือ 00010110 แล้วจะทราบได้ทันทีว่าบิตที่ตามมาคือบิตตัวอักษรแต่ละตัว แต่การใช้อักขระซิงเพียงตัวเดียวอาจเกิดข้อผิดพลาดได้ เช่น ถ้าเราส่งตัวอักษร b และตัวอักษร a ติดต่อกันไป ซึ่งตัวอักษร b มีรูปแบบบิตคือ 01100010 และตัวอักษร a มีรูปแบบบิตคือ 01100001 การส่งจะเห็นว่าเครื่องปลายทางจะตรวจพบอักขระซิงระหว่างบิตของตัวอักษร b และตัวอักษร a ทำให้เข้าใจว่าบิตต่อไปจะเป็นบิตของกลุ่มข้อมูล ซึ่งจะทำให้การรับข้อมูลนั้นเกิดผิดพลาดขึ้นได้ ดังนั้นจึงแก้ปัญหาด้วยการใช้อักขระซิง 2 ตัวต่อกันเป็นลักษณะของบิตพิเศษที่บอกให้ทราบว่าเป็นจุดเริ่มต้นบิตของกลุ่มข้อมูล ตัวอย่างของการใช้อักขระซิง 2 ตัวในการสื่อสารแบบซิงโครนัส และการตัดแถวของบิตข้อมูลออกเป็นกลุ่มทีละ 8 บิต เพื่อแทนข้อมูลแสดงได้ การสื่อสารแบบซิงโครนัสนี้มักใช้ในการติดต่อระหว่างคอมพิวเตอร์

ประสิทธิภาพของการส่งผ่านข้อมูลแบบอะซิงโครนัส และแบบซิงโครนัส

การส่งผ่านข้อมูลแบบซิงโครนัสนั้นส่วนมากแล้ว ตลอดทางของสายส่งจะใช้ส่งผ่านข้อมูลเต็มตลอดทั้งสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งผ่านข้อมูลแบบอะซิงโครนัสนั้นสายส่งจะขาดความต่อเนื่องของสัญญาณข้อมูลที่ส่งผ่าน หรือถ้ามีสัญญาณข้อมูลที่ส่งผ่านต่อเนื่องกันเต็มตลอดทั้งสายแล้ว ก็จะสูญเสียช่องทางในการส่งไปกับการส่งบิตเริ่มต้น และบิตสิ้นสุดของแต่ละตัวอักษร

ตัวอย่างเช่น กรณีที่ส่งผ่านข้อมูลที่อยู่ในรูปของรหัส ASCII ซึ่งตัวอักษรหนึ่งตัวถูกแทนด้วย 8 บิต ถ้ามีการส่งกลุ่มของข้อมูล 240 ตัวอักษร ในกรณีการส่งผ่านข้อมูลแบบซิงโครนัสมีการใช้ตัวอักขระซิง 3 ตัว และการส่งผ่าน ข้อมูลแบบอะซิงโครนัสไม่มีการใช้บิตตรวจข้อผิดพลาด ดังนั้นเราสามารถคำนวณหาอัตราส่วนระหว่างการส่งข้อมูลได้ ดังนี้

บิตทั้งหมดของตัวอักษรที่ส่งจะได้240 ตัวอักษร x 8 บิต/ตัวอักษร = 1920 บิต

แบบซิงโครนัส

บิตของตัวอักขระซิงที่ใช้จะได้ SYN 3 ตัว เท่ากับ 3 x 8บิต = 24 บิต ผลรวมของบิตที่ต้องส่งทั้งหมด = 1920 + 24 = 1944 บิตอัตราส่วนระหว่างการส่งข้อมูลที่ต้องส่งจริง กับจำนวนบิตทั้งหมดที่จำเป็นต้องส่งคือ1920 หารด้วย 1944 จะได้ประมาณ 99 %

แบบอะซิงโครนัส

บิตเริ่มต้น และบิตสิ้นสุดที่ใช้จะได้ 2 x 240 = 480 บิต

ผลรวมของบิตที่ต้องส่งทั้งหมด = 1920 + 480 = 2400 บิต อัตราส่วนระหว่างการส่งข้อมูลที่ต้องส่งจริง กับจำนวนบิตทั้งหมดที่จำเป็นต้องส่งคือ1920 หารด้วย 2400 จะได้ประมาณ 80 %

2.5.2การใช้บิตตรวจข้อผิดพลาด

บิตตรวจข้อผิดพลาด หรือพาริตี้บิต จะเป็นบิตที่ใช้เพื่อทำหน้าที่ตรวจสอบความถูกต้องของข้อมูลที่ส่ง ซึ่งมีอยู่ 2 แบบด้วยกันคือ การตรวจสอบจำนวนคี่ (odd parity) และการตรวจสอบจำนวนคู่ (even parity)

1 การตรวจสอบจำนวนคี่ (Odd parity) หมายถึง บิตตรวจสอบจะต้องนับบิตที่มีค่าของ 1 สำหรับกลุ่มของบิตที่จะส่งและต้องการตรวจสอบอยู่เป็นจำนวนคี่ เช่น ถ้านับบิตที่มีค่าของ 1 ในกลุ่มของบิตที่จะส่ง และต้องการ ตรวจสอบได้เป็นจำนวนคู่ บิตตรวจสอบนี้จะต้องมีค่าเป็น 1 เพื่อที่จะรวมเป็นจำนวนคี่ แต่ถ้าจำนวนนับได้เป็นจำนวนคี่ บิตตรวจสอบก็จะมีค่าเป็น 0

ตัวอย่าง ถ้าข้อมูลที่ต้องการส่งมี 7 บิต คือ 0110011 บิตตรวจสอบจำนวนคี่จะต้องมีค่าเป็น 1 เพราะนับบิตที่มีค่าของ 1 ได้เท่ากับ 4 ตัว ซึ่งเป็นเลขคู่ เมื่อรวมกับบิตตรวจสอบจำนวนคี่ที่มีค่าเป็น 1 ก็จะนับได้เป็น 5 ตัวซึ่งเป็นเลขคี่และการส่งข้อมูลพร้อมบิตตรวจสอบไปจะได้เป็น10110011

2 การตรวจสอบจำนวนคู่ (Even parity) หมายถึง บิตตรวจสอบจะต้องนับบิตที่มีค่าของ 1 สำหรับกลุ่มของบิตที่จะส่งและต้องการตรวจสอบอยู่เป็นจำนวนคู่ เช่น ถ้านับบิตที่มีค่าของ 1 ในกลุ่มของบิตที่จะส่งและต้องการ ตรวจสอบได้เป็นจำนวนคู่ บิตตรวจสอบนี้จะต้องมีค่าเป็น 0 เพื่อที่จะรวมเป็นจำนวนคู่ แต่ถ้าจำนวนนับได้เป็นจำนวนคี่ บิตตรวจสอบก็จะมีค่าเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง สมมุติว่าถ้าข้อมูลที่ต้องการส่งมี 7 บิต คือ 0110011 บิตตรวจสอบจำนวนคู่จะต้องมีค่าเป็น 0 เพราะนับบิตที่มีค่าของ 1 ได้เท่ากับ 4 ตัว ซึ่งเป็นเลขคู่ การส่งข้อมูลพร้อมบิตตรวจสอบไปจะได้เป็น 00110011 การตรวจสอบความถูกต้องทำได้โดย ระหว่างต้นทางและปลายทางจะต้องตกลงกันว่าจะใช้ตัวตรวจข้อผิดพลาดชนิดใด ถ้าใช้ตัวตรวจข้อผิดพลาดแบบจำนวนคี่แล้วเมื่อปลายทางรับข้อมูลจะตรวจสอบจำนวนบิตที่มีค่าเป็น 1 ว่าเป็นจำนวนคี่หรือไม่ ถ้าไม่เป็นจำนวนคี่แสดงว่าข้อมูลเกิดความผิดพลาดขึ้น ปลายทางจะต้องแจ้งให้ต้นทางทราบ อาจจะให้ต้นทางส่งข้อมูลมาใหม่อีกครั้ง ส่วนการใช้ตัวตรวจข้อผิดพลาดแบบจำนวนคู่ก็จะใช้หลักการคล้ายๆ กัน

2.5.3ทิศทางของการสื่อสารข้อมูล

สามารถแบ่งทิศทางการสื่อสารของข้อมูลได้เป็น 3 แบบ คือ

1. แบบทิศทางเดียว (Simplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลจะถูกส่งจากทิศทางหนึ่งไปยังอีกทิศทางโดยไม่สามารถส่งข้อมูลย้อนกลับมาได้ เช่น ระบบวิทยุหรือโทรทัศน์

2. แบบกึ่งสองทิศทาง (Half Duplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลสามารถส่งกลับกันได้ 2 ทิศทาง แต่จะไม่สามารถส่งพร้อมกันได้ โดยต้องผลัดกันส่งครั้งละทิศทางเท่านั้น เช่น วิทยุสื่อสารแบบผลัดกันพูด

3. แบบสองทิศทาง (Full Duplex) เป็นทิศทางการสื่อสารข้อมูลแบบที่ข้อมูลสามารถส่งพร้อมๆกันได้ทั้ง 2 ทิศทาง ในเวลาเดียวกัน เช่น ระบบโทรศัพท์

**2.6 Frequency Shift Keying (FSK)**

2.6.1 การมอดูเลตสัญญาณดิจิตอลเอฟเอสเค (Frequency Shift Keying Modulation)

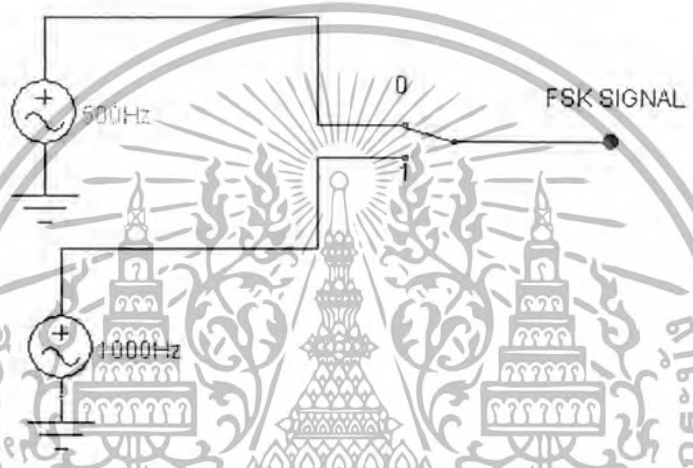
ตัวกำเนิดสัญญาณ FSK มีหลักการทำงานคือ เมื่อข้อมูลสัญญาณดิจิตอลที่เข้ามาเป็นแบบไบนารี่ซึ่งมีการเปลี่ยนแปลงระดับลอจิกระหว่าง 1 กับ 0 จะทำให้ความถี่ของคลื่นพาห์มีการเปลี่ยนแปลงระหว่างสองความถี่ คือความถี่ที่ลอจิก "1" หรือความถี่มาร์ค (Mark Frequency, $f_m$) และความถี่ที่ลอจิก "0" หรือความถี่สเปซ (Space Frequency, $f_s$)

การเปลี่ยนแปลงความถี่แต่ละครั้งจะเกิดขึ้นเมื่อมีการเปลี่ยนแปลงของสถานะของลอจิกของสัญญาณข้อมูลทางด้านอินพุทจากลอจิก 1 เป็นลอจิก 0 (หรือในทางกลับกันคือการเปลี่ยนสถานะจากลอจิก 0 เป็นลอจิก 1) นั่นคือการเปลี่ยนแปลงของสัญญาณทางด้านเอาท์พุทจะเท่ากับอัตราการเปลี่ยนแปลงทางด้านอินพุท ในดิจิตอลมอดูเลชั่นนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทจะเรียกว่า "อัตราบิต" (Bit rate) มีหน่วยเป็นบิตต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงทางด้านเอาท์พุทจะเรียกว่า"อัตราบอด" (Baud rate) ดังนั้นการส่งการส่งข้อมูลด้วยวิธีการแบบ FSK อัตราบิตจะเท่ากับอัตราบอดเสมอ Bit rate จำนวนบิตข้อมูลดิจิตอลที่เป็น 0 หรือ 1ที่ส่งใน 1 วินาที ในแต่ละช่องสัญญาณ Baud rate เป็นหน่วยวัดจำนวนชุดข้อมูลที่ถูกส่งเข้าไปในสาย ซึ่งใน 1 ชุดอาจจะมีจำนวนกี่บิตก็ได้ ในบางครั้ง Bit rate อาจจะเท่ากับ Baud rate ก็ได้ เช่น ถ้าเป็นการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอดูเลตโดยที่ข้อมูลเป็นแบบไบนารี่ คือ 1 แทนข้อมูล 1 และ 0 แทนข้อมูล 0 การทำงานของตัวกำเนิดสัญญาณดิจิตอลเปลี่ยนแปลงความถี่มีหลักการทำงานดังนี้โดยมีแหล่งกำเนิดสัญญาณหรือออสซิลเลเตอร์ (Oscillator) 2ชุด ( $f_1$ และ $f_0$ ) และมีสัญญาณข้อมูลดิจิตอลแบบไบนารี่เข้ามาทางด้านอินพุทเพื่อควบคุมตัวกำเนิดสัญญาณเอฟเอสเค ซึ่งการทำงานของตัวกำเนิดสัญญาณดิจิตอลเปลี่ยนแปลงความถี่จะมีลักษณะคล้ายสวิตช์เลื่อนแบบ 2 ตำแหน่ง จะเลื่อนไปตามสัญญาณควบคุม ดังนั้นสัญญาณดิจิตอลที่เข้ามาเป็นสัญญาณที่มาควบคุมการเลื่อนตำ แหน่งของสวิตช์ที่จะให้สัญญาณ $f_1$ หรือ $f_0$ ออกมาทางด้านเอาท์พุท

หลักการทำงานของสัญญาณเอฟเอสเค




รูปที่ 2.4 วงจรเสมือนการสร้างสัญญาณFSK

สัญญาณดิจิตอลเปลี่ยนแปลงความถี่ที่ได้จะมีสมการดังนี้คือ

$$v(t) = A\cos(\omega_c \pm \Delta\omega)t$$

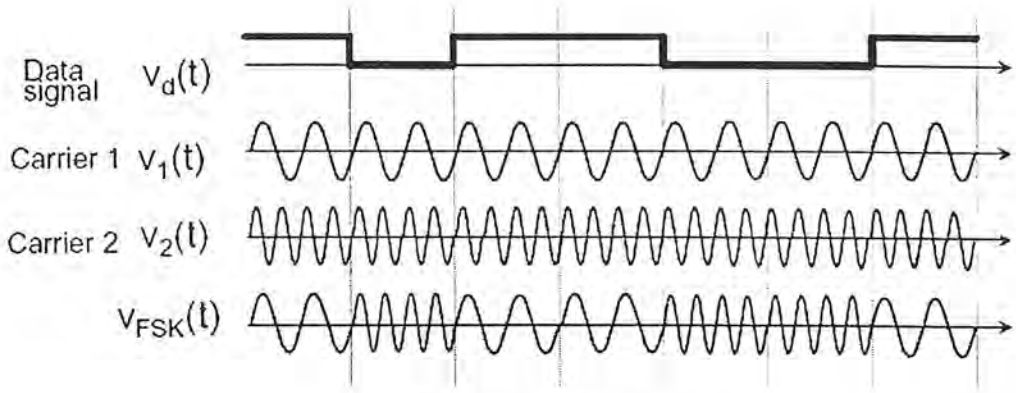
โดย $A$ = ขนาดของสัญญาณเอฟเอสเค

$\omega_c$ = ความถี่คลื่นพาห์

$\Delta\omega$ = ความถี่เบี่ยงเบน

เครื่องหมาย + และ – จะเปลี่ยนแปลงอย่างใดอย่าหนึ่งตามสัญญาณดิจิตอล และจะเห็นว่าสัญญาณดิจิตอลเปลี่ยนแปลงความถี่ จะมีขนาดของสัญญาณคงที่แต่มีความถี่ที่เปลี่ยนแปลงไปตาม $\omega_c + \Delta\omega$ หรือ $\omega_c - \Delta\omega$ สัญญาณดิจิตอลเปลี่ยนแปลงความถี่จะมีลักษณะเฟสที่ไม่ต่อเนื่อง (Phase Discontinuous) ตรงบริเวณนี้ตรงกับตำแหน่งการเปลี่ยนแปลงสถานะลอจิกของสัญญาณดิจิตอล เนื่องจากการใช้แหล่งกำเนิดของสัญญาณแยกกัน 2 ชุด ( $f_1$ และ $f_0$) และสัญญาณดิจิตอลเปลี่ยนแปลงความถี่ที่ได้นี้จะมีรูปคลื่นมากกว่า1 คาบเวลาต่อสัญญาณดิจิตอล 1 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.5 สัญญาณเอฟเอสเค

สัญญาณรูปคลื่นดังแสดงดังรูปข้างบนแสดงถึงการเปลี่ยนแปลงความถี่ในกรณีที่มี Data input เป็น 1 สัญญาณ FSK output ที่ออกมาจะได้สัญญาณ Carrier 1 ในกรณีที่มี Data input เป็น0 สัญญาณ FSK output ที่ออกมาจะได้สัญญาณ Carrier 2

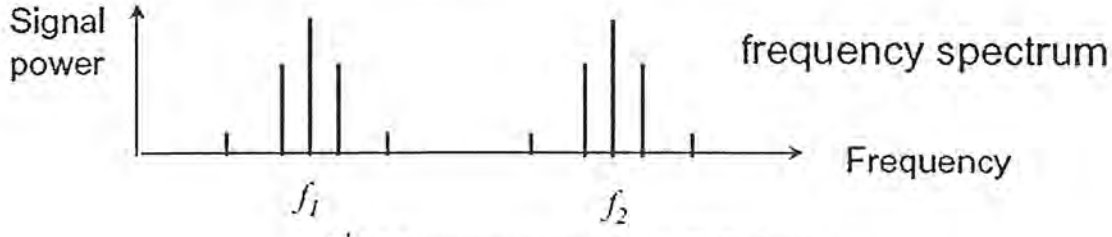
2.6.2 แบนด์วิดธ์ของสัญญาณที่มอดูเลตแบบ เอฟเอสเค (FSK Bandwidth)

ในระบบที่สื่อสารข้อมูลด้วยอนาล็อกหรือสัญญาณความถี่นั้นแบนด์วิดธ์เป็นสิ่งต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของเอฟเอสเคอยู่บนพื้นฐานเดียวกันกับวิธีการของเอฟเอ็ม ดังนั้นการอธิบายถึงสูตรต่างๆ ก็ใช้หลักการของเอฟเอ็มทุกประการ นั่นคือหลักการของ VCO (Voltage Control Oscillator) จะเห็นอัตราการเปลี่ยนแปลงเร็วที่สุดของสัญญาณอินพุทเกิดขึ้นเร็วที่สุดเมื่อสัญญาณไบนารี่มีลักษณะเป็น 1 และ 0 สลับกัน วิ่งก็คือสัญญาณ Square Wave นั่นเอง

สัญญาณในช่วง T1 ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของบิตเรท ดังนั้น ถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้วสัญญาณความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลตแบบเอฟเอสเค จะเท่ากับครึ่งหนึ่งของบิตเรทคือ

$$f_{a\,max} = \frac{Bitrate}{2}$$

เมื่อ $f_{a\,max}$ = เท่ากับความถี่สูงสุดของสัญญาณดิจิตอลที่นำมามอดูเลต ความถี่กลาง(Center Frequency = $f_0$) ของวีซีโอจะอยู่ในตำแหน่งกลางระหว่างความถี่มาร์คกับความถี่สเปช

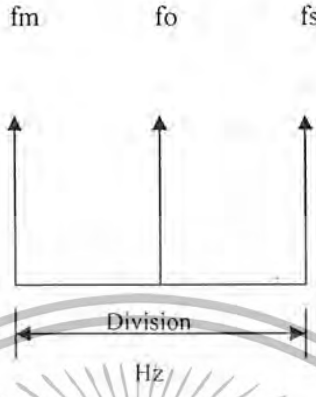



รูปที่2.6 Frequency spectrum ของ FSK signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency spectrum ของ FSK signal

Spectrum ของ FSK signal จะอยู่ในช่วงของความถี่สัญญาณ Carrier โดย f1 เป็น Spectrum ของความถี่ทางด้านต่ำ ส่วนf2เป็น Spectrum ของความถี่ทางด้านสูง




รูปที่ 2.7 การเบี่ยงเบนความถี่

ลอจิก 1 ด้านอินพุทจะเลื่อนความถี่วีซีโอจาก $f_0$ ไปเป็น $f_s$ จะเห็นว่าการเปลี่ยนแปลงข้อมูลไบนารี่ด้านอินพุทจาก 1 ไป 0 หรือจาก 0 ไป 1 จะทำให้ความถี่เอาท์พุทของวีซีโอเลื่อนหรือเบี่ยงเบนไปมาระหว่าง $f_m$ กับ $f_s$ เนื่องจากได้กล่าวมาแล้วว่า เอฟเอสเคคือการมอดูเลตแบบเอฟเอ็ม ดังนั้นดัชนีการมอดูเลต (Modulate index: mi) ในเอฟเอสเคทำได้จากเอฟเอ็มคือ

$$mi = \frac{f}{f_a}$$

เมื่อ mi คือ ดัชนีการมอดูเลต

$f$ คือ การเบี่ยงเบนความถี่ใดๆจากความถี่กลาง

$f_a$ คือ ความถี่ของสัญญาณที่นำมามอดูเลต

mi ที่ยอมรับมีค่าได้สูงสุดคือ 1 mi ทำให้แบนด์วิดธ์กว้างที่สุดซึ่งเกิดขึ้นเมื่อการเบี่ยงเบนของความถี่ที่ถูกมอดูเลตแล้วและความถี่ของสัญญาณที่นำมามอดูเลตมีค่าสูงสุดในเอฟเอสเคมอดูเลตค่า $f$ เป็นการเบี่ยงเบนความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณถูกมอดูเลตแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง $f_0$ กับ $f_m$ หรือ $f_0$ กับ $f_s$ ซึ่งก็คือครึ่งหนึ่งของความแตกต่างระหว่าง $f_m$ กับ $f_s$ นั่นคือ $f = \frac{(f_s - f_m)}{2}$ การเบี่ยงเบนความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมปลิจูดของสัญญาณที่นำมามอดูเลต เมื่อสถานะของลอจิกเป็น 1 จะให้แรงดันตามสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น 5 โวลท์ หรือถ้าเป็นลอจิก 0 ก็จะได้แรงดันเป็น 0 โวลท์ ดังนั้นความถี่เบี่ยงเบนของเอฟเอสเค จะเบี่ยงเบนความถี่คงที่ และอยู่ในระดับการเบี่ยงเบนความถี่สูงสุดเสมอ $f_a$ เป็นความถี่หลักของข้อมูลไบนารี่ด้านอินพุท ซึ่งจะทำให้แบนด์วิดธ์กว้างที่สุดเมื่อ $f_a = \frac{Bitrate}{2}$ เท่านั้นเพราะฉะนั้นเราสามารถหาค่า mi ได้จาก

$$\text{mi} = \frac{(f_s - f_m)}{2} \times \frac{f_b}{2}$$

$$= \frac{(f_s - f_m)}{f_b}$$

เมื่อ $(f_s - f_m)$ คือ ความถี่เบี่ยงเบนสูงสุด

$f_b$ คือ อัตราการเข้ารหัสของไบนารี่อินพุท

ในการส่งสัญญาณเอฟเอ็มทั่วๆไปความกว้างแบนด์วิดธ์จะแปรผันโดยตรงกับค่า Mi ซึ่งเช่นเดียวกับเอฟเอสเค ที่ต้องมีค่าไม่ต่ำกว่า 1 เพื่อให้เป็นเอฟเอ็มแบนด์แคบ (Narrow Band FM)

2.6.3 การดีมอดูเลต FSK (Frequency Shift Keying Demodulation)

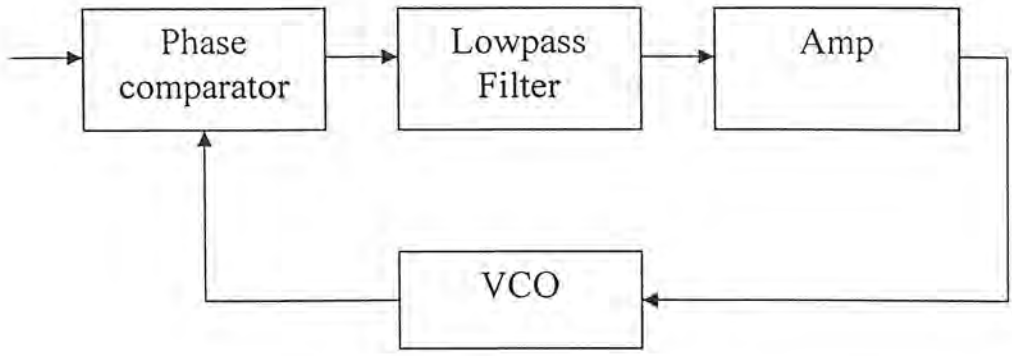
วงจรที่ใช้โดยทั่วไปของการดีมอดูเลตไบนารีเอฟเอสเค คือ วงจรเฟสล็อกลูป (Phase Lock Loop) ซึ่งระบบเฟสล็อกลูปเอฟเอสเคดีมอดูเลเตอร์ (PLL – FSK demodulator) สัญญาณอินพุทของเฟสล็อกลูปจะมีการเปลี่ยนแปลงระหว่างมาร์ค (mark) และสเปซ (space) ซึ่งค่าโวลท์เตจกระแสตรงผิดพลาดที่เอาท์พุทซึ่งเกิดจากการเปรียบเทียบเฟสจากความถี่ที่ชิฟไปเพราะที่อินพุทมีเพียงสองความถี่เท่านั้น จึงทำให้ค่าโวลท์เตจผิดพลาดสองสถานะที่เอาท์พุทซึ่ง ก็คือ ลอจิก 1 และลอจิก 0 ดังนั้นเอาท์พุทของระบบเอฟเอสเคจะมีระดับตามเอฟเอสเคอินพุท ซึ่งโดยทั่วไปความถี่ของเฟสล็อกลูปจะมีค่าเท่ากับความถี่กลางของเอฟเอสเคมอดูเลเตอร์

2.6.4 พื้นฐานเฟสล็อกลูป (Phase Lock Loop: PLL)

เฟสล็อกลูปคือระบบที่มีการป้อนกลับ ประกอบด้วยวงจรเปรียบเทียบเฟส(Phase Comparator: PD) วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) วงจรขยาย (Amplifier) ซึ่งอยู่ทางด้านที่สัญญาณทางเดินไปข้างหน้า และออสซิลเลเตอร์ควบคุมแรงดัน (Voltage Control Oscillator: VCO) อยู่ทางด้านป้อนกลับ

แสดงบล็อกไดอะแกรมของระบบเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.8 บล็อกไดอะแกรมของเฟสล็อกลูป

เฟสดีเทคเตอร์

เฟสดีเทคเตอร์ ทำหน้าที่เปรียบเทียบเฟสของสัญญาณอินพุท ซึ่งจะมีสองค่าของเฟสที่ต่างกันเรียกว่าความต่างเฟส (Phase Error) ซึ่งจะมีค่าน้อยที่สุดเป็นศูนย์ จะมีค่ามากที่สุดเป็น $\pi$ /2 เฟสดีเทคเตอร์จะทำการเปลี่ยนค่าความต่างเฟสนี้ให้กลายเป็นแรงดันด้วยค่า $Kd$ (Gain Convertion) ซึ่งมีหน่วยเป็นเฟสต่อเรเดียน

ลูปฟิลเตอร์

ลูปฟิลเตอร์ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซี (DC) ที่มีแรงดันเอซี (AC) มาด้วย สัญญาณความถี่ที่ได้ เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่จะยิ่งสูงดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงความต่างเฟสออกมา ทำให้ระบบสามารถแคปเจอร์สัญญาณได้ช่วงหนึ่ง และช่วยให้สามารถรักษาการล็อกไว้ได้อีกด้วย

วีซีโอ (Voltage Control Oscillator)

วีซีโอทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมแรงดันอินพุทด้วยค่า $Kd$ เท่ากับ $Ko$ มีหน่วยเป็นเรเดียนต่อโวลท์ ระดับแรงดันนี้ได้มาจากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ออกมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน ส่วนของวงจรขยายสัญญาณซึ่งจะต่อเข้าไประหว่างลูปฟิลเตอร์กับวีซีโอ เพื่อเพิ่มพิสัยการล็อกของระบบ รวมทั้งเป็นการดัดแปลงการทำงานของเฟสล็อกลูปให้ทำงานได้ตามต้องการ

ขณะที่ยังไม่มีสัญญาณเข้าระบบ แรงดันควบคุม $Vd(t)$ จะเท่ากับศูนย์ วีซีโอจะทำงานโดยตั้งความถี่ไว้ที่ $f_0$ ซึ่งเรียกความถี่ที่ทำงานเสรี (Free Running Frequency) ถ้าขยายสัญญาณอินพุทเข้าไปในระบบ วงจรเปรียบเทียบเฟสจะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุทกับวีซีโอและผลิตแรงดันคลาดเคลื่อน $Ve(t)$ ซึ่งสัมพันธ์กับความแตกต่างของเฟสและความถี่ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกกรองและขยายส่งไปควบคุมวีซีโอ ในการทำงานเช่นนี้ แรงดันควบคุมจะไปบังคับความถี่วีซีโอให้เปลี่ยนในทิศทางที่จะลดความถี่ที่แตกต่างระหว่าง $f_0$ และสัญญาณที่เข้า ถ้าความถี่ของสัญญาณที่เข้ามาใกล้เคียงกับ $f_0$ จากการป้อนกลับของเฟสล็อกลูปที่เกิดขึ้นพร้อมๆกันกับสัญญาณที่เข้ามาขณะที่ทำการล็อกนั้น ความถี่วีซีโอจะเท่ากับสัญญาณอินพุทแต่เฟสยังต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่วีซีโอจากค่าปรับความถี่ที่ทำงานอิสระให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อกลูปจะยังคงรักษาสภาพการล็อก การที่ระบบสามารถปรับตัวได้เองทำให้เฟสล็อกลูปสามารถติดตามการล็อกกับสัญญาณที่เข้ามา เรียกว่าพิสัยล็อก (Lock Range)ของระบบ ซึ่งจะมีค่าขึ้นอยู่กับแรงดันคลาดเคลื่อน โดยจะไม่ขึ้นกับขอบแถบความถี่ (Band Edge) ของวงจรกรอง ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่เฟสล็อกลูปสามารถทำการล็อกอย่างแท้จริงกับสัญญาณอินพุท ช่วงความถี่หลังนี้เรียกว่า พิสัยแคปเจอร์ (Capture Range) ของระบบทั้งหมด โดยมีผลเกี่ยวกับความคม (Selectivity)ของวงจรเฟสล็อกลูปและยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณรบกวนทางด้านเอาท์พุทที่มารบกวนได้เป็นอย่างดี

**2.7 สายไฟ AC**

2.7.1 ลักษณะทั่วไปของสายไฟฟ้า (AC Line)

สายไฟฟ้ามี2แบบด้วยกันคือ สายแข็ง( solid wire) และสายตีเกลียว ( stranded wire) วัตถุที่นำมาทำเป็นสายไฟมีทั้งอะลูมิเนียมและทองแดง สายไฟที่ทำด้วยอะลูมิเนียมมักจะทำเป็นสายไฟแรงสูงในระบบสายส่งและเป็นสายเปลือยมากกว่าที่จะทำเป็นสายไฟแรงต่ำ สายไฟที่ทำด้วยทองแดงมีใช้ในงานไฟฟ้าทั่วไป และสายไฟแบ่งออกได้ 2 ชนิดด้วยกัน คือ สายเปลือย ( bare wire) และสายหุ้มฉนวน ( isulated wire) สายไฟที่ทำด้วยทองแดงจะต้องมีทองแดงไม่น้อยกว่า 98% และสายไฟที่ทำด้วยอะลูมิเนียมจะต้องมีอะลูมิเนียมไม่น้อยกว่า 99.3 %

2.7.2 ชนิดของสายไฟหุ้มฉนวน

ฉนวนที่ใช้หุ้มสายแต่ละชนิดไม่เหมือนกัน ดังนั้นสายไฟแต่ละชนิดจึงแบ่งตามชนิดของฉนวนที่นำมาหุ้มเพื่อให้เหมาะสมในแต่ละสภาพที่นำไปใช้งาน

ชนิด IV สายไฟชนิดนี้ตัวนำทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไปทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์และใช้เป็นสายเมนจากวัตต์โอมห์มิเตอร์เข้าบ้านได้

ชนิดของ VCT ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งเครื่องจักรกลต่างๆ ทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

ชนิด VAF ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัยทั่วไปทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิด TW ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งในบ้านพักอาศัย สำนักงาน และงานอุตสาหกรรมทั่วไปทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

ชนิด THW ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้งานเดียวกับกรณี TW แต่ทนอุณหภูมิได้ 75องศา ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

ชนิด NYY ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งใต้พื้นดิน ทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 750 โวลต์

ชนิด VFF ตัวนำไฟฟ้าทำด้วยทองแดงชนิดงอได้ ( fliexible copper wire) หุ้มด้วยฉนวน PVC ใช้กับเครื่องใช้ไฟฟ้าที่เคลื่อนที่ได้ทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าได้ 250 โวลต์

ชนิด AV ตัวนำไฟฟ้าทำด้วยทองแดงหุ้มฉนวน PVC ใช้ติดตั้งกับงานไฟฟ้ารถยนต์ทนอุณหภูมิได้ 60องศา ใช้กับแรงดันไฟฟ้าต่ำๆ

2.7.3 สภาพแวดล้อมของสายไฟฟ้า

สายส่งของระบบไฟฟ้าถูกออกแบบมาเพื่อใช้ในการส่งสัญญาณไฟฟ้า(50-60 Hz) เท่านั้น โดยไม่ได้คำนึงถึงการนำมาส่งสัญญาณสื่อสารความถี่สูง ดังนั้นปัญหาสำคัญอาจจะเกิดขึ้นกับการส่งสัญญาณสื่อสาร ดังนี้

การลดทอนของสัญญาณสื่อสารอันเนื่องมาจากการเปลี่ยนแปลงอิมพีแดนซ์ของสายไฟฟ้า ซึ่งอิมพีแดนซ์จะเปลี่ยนแปลงเนื่องมาจากอุปกรณ์ที่ต่อเข้ากับระบบไฟฟ้า ทำให้สัญญาณสื่อสารถูกลดทอนได้ อีกประการหนึ่งคือที่จุดเชื่อมต่อของสายไฟฟ้ามีอิมพีแดนซ์ไม่เท่ากัน สัญญาณสื่อสารบางส่วนจะสะท้อนกลับทำให้เกิดการลดทอนได้เช่นกัน

สัญญาณรบกวนต่างๆในระบบไฟฟ้า เช่น อิมพัลซ์ น้อยส์ ( Impulse noise) , ไวท์น้อยส์ ( White noise) , คอนตินิวอัส เวฟ ซอส( Continuous wave source) โดยที่อิมพัลซ์น้อยส์เกิดจากการต่อโหลดประเภทอินดัคทีฟเข้ากับระบบไฟฟ้าจะเกิดสัญญารอิมพลซ์ขึ้นมีหน้าคลื่นชันเป็นสัญญาณรบกวนที่ป้องกันได้ยาก ถ้าหากในระบบมีโหลดประเภทคาปาซิทีฟ ที่สามารถเกิดเรโซแนนซ์กับความถี่ของอิมพัลซ์น้อยส์พอดี จะเกิดสัญญาณรบกวนที่เรียกว่า คอนตินิวอัส เวฟ ซอส ซึ่งจะรบกวนสัญญาณสื่อสารตลอดเวลาโดยที่ไม่สามารถคาดเดาได้ว่าสัญญาณรบกวนนี้มีความถี่เท่าใด และยังมีสัญญาณรบกวนอีกอย่างหนึ่งที่มีการกระจายของพลังงานทุกความถี่ เรียกว่า ไวท์ น้อยส์

ผลกระทบจากการติดตั้งสายไฟฟ้าหลายเส้นทาง เนื่องจากระบบไฟฟ้ากำลังจะมีการส่งสัญญาณไฟฟ้าไปตามสายไฟฟ้าหลายเส้นทางและความยาวของสายไฟฟ้าก็ต่างกัน สัญญาณสื่อสารที่ถูกส่งไปในสายไฟฟ้าเส้นต่างๆ จะมีเฟสต่างกันหากมาบรรจบกันสัญญาณจะถูกลดทอนได้ หรืออาจหักล้างกันจนสัญญาณหายไปที่จุดบรรจบนั้นมีสัญญาณสื่อสารจากสองเส้นทางที่มีเฟสต่างกัน 180 องศาพอดี อิมพิแดนซ์ภายในสายไฟมีค่าประมาณ 10-100 โอห์ม ขนาดของตัวเก็บประจุภายในสายไฟประมาณ 10-100 พิโคฟารัดต่อ1000ฟุต ขนาดความต้านทานในสายประมาณ0.1-1 โอห์มต่อ1000ฟุต ความต้านทานในสายยังมีความไม่แน่นอนขึ้นอยู่กับจำนวนการต่ออุปกรณ์ไฟฟ้าอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.4 มาตรฐานที่ต้องคำนึงถึง(Standards for Power Line Carrier Communication)

มาตรฐาน EN50065-1 เป็นมาตรฐานที่เกี่ยวข้องกับการสื่อสารบนสายไฟฟ้ากำลังมีข้อกำหนดดังนี้

การเลือกความถี่ของคลื่นพาห์

มาตรฐาน EN50065-1 ได้กำหนดความถี่กลางของการส่งสัญญาณสื่อสารบนสายไฟฟ้ากำลังภายในที่อยู่อาศัยไว้ที่ 95-150 กิโลเฮิตรซ์

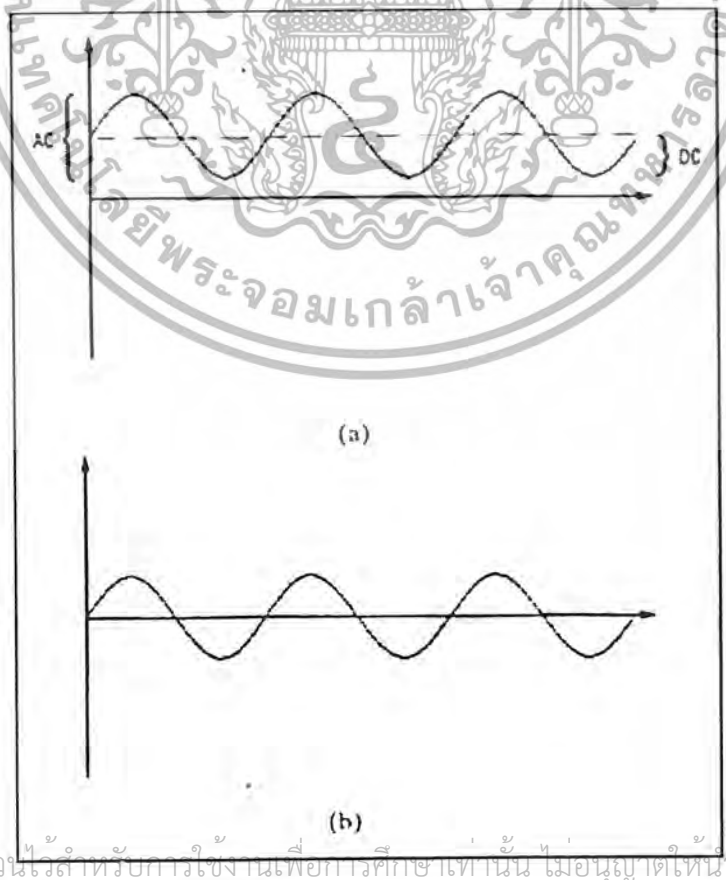
ค่าแรงดันเอาท์พุทของเครื่องส่ง

ค่าแรงดันของเครื่องส่งที่ใช้ภายในที่อยู่อาศัยถูกกำหนดไว้ไม่เกิน 122dBμV หรือ 3.56Vpp ส่วนการใช้งานในสถานที่พิเศษเช่น โรงงานอุตสาหกรรม ถูกกำหนดไว้ไม่เกิน 140dμV หรือ 23.8Vpp การออกแบบจึงควรออกแบบตามเงื่อนไขของมาตรฐานดังกล่าวนี้

## 2.8 AC COUPLING

ใช้หลักการของหม้อแปลง โดยใช้ขดลวดของหม้อแปลงและคาปาซิสเตอร์เป็นวงจรคับปลิ้งในการส่งสัญญาณในสายไฟฟ้าโดย Induce จากขด primary ไปยังขด Secondary

อุปกรณ์ต่างๆในวงจรคับปลิ้งนี้นอกจากจะทำหน้าที่รับสัญญาณแล้ว ภายในวงจรยังมีการป้องกันไฟฟ้าแรงสูงคือคาปาซิสเตอร์ ซึ่งทำหน้าที่ตัดแรงดันสูงจากสายส่งกำลังส่วนป้องกันสัญญาณ 50Hz คือหม้อแปลงเนื่องจากแกนแม่เหล็กเป็นเฟอร์ไรท์จึงตัดสัญญาณ 50 Hz ได้

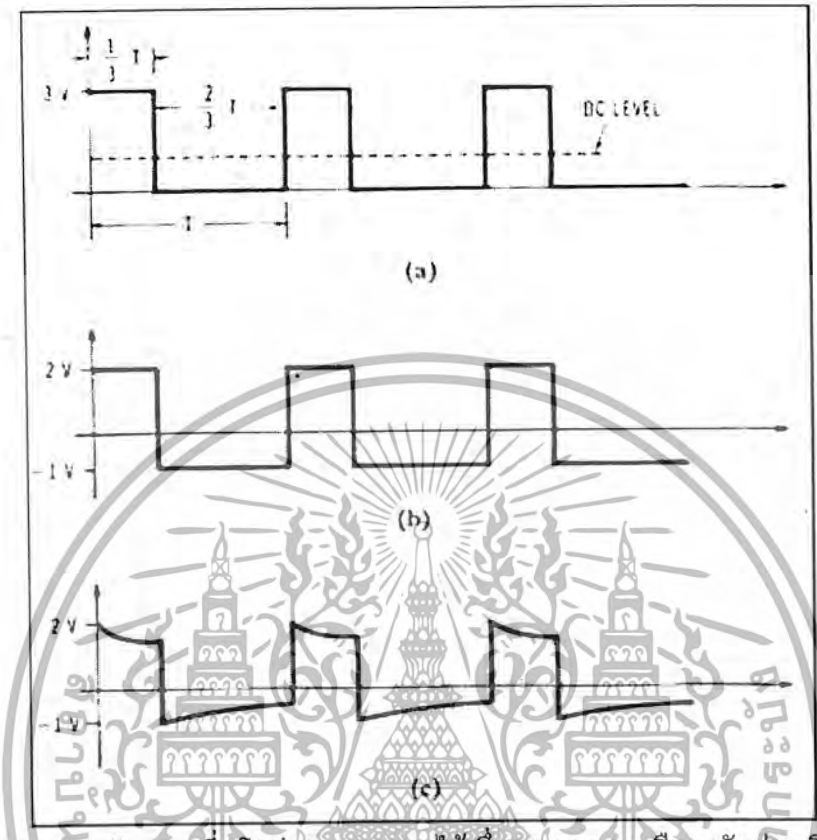



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


รูปที่2.9 (a) แสดงให้เห็นสัญญาณที่มีทั้ง AC และ DC

(b) แสดงให้เห็นสัญญาณหลังจากผ่านAC Coupling สัญญาณDCจะถูกเอาออกไป




รูปที่2.10 (a) แสดงสัญญาณที่สโคปแสดงออกมาได้ ซึ่งDC LEVEL คือระดับค่าเฉลี่ยของสัญญาณนั่นเอง

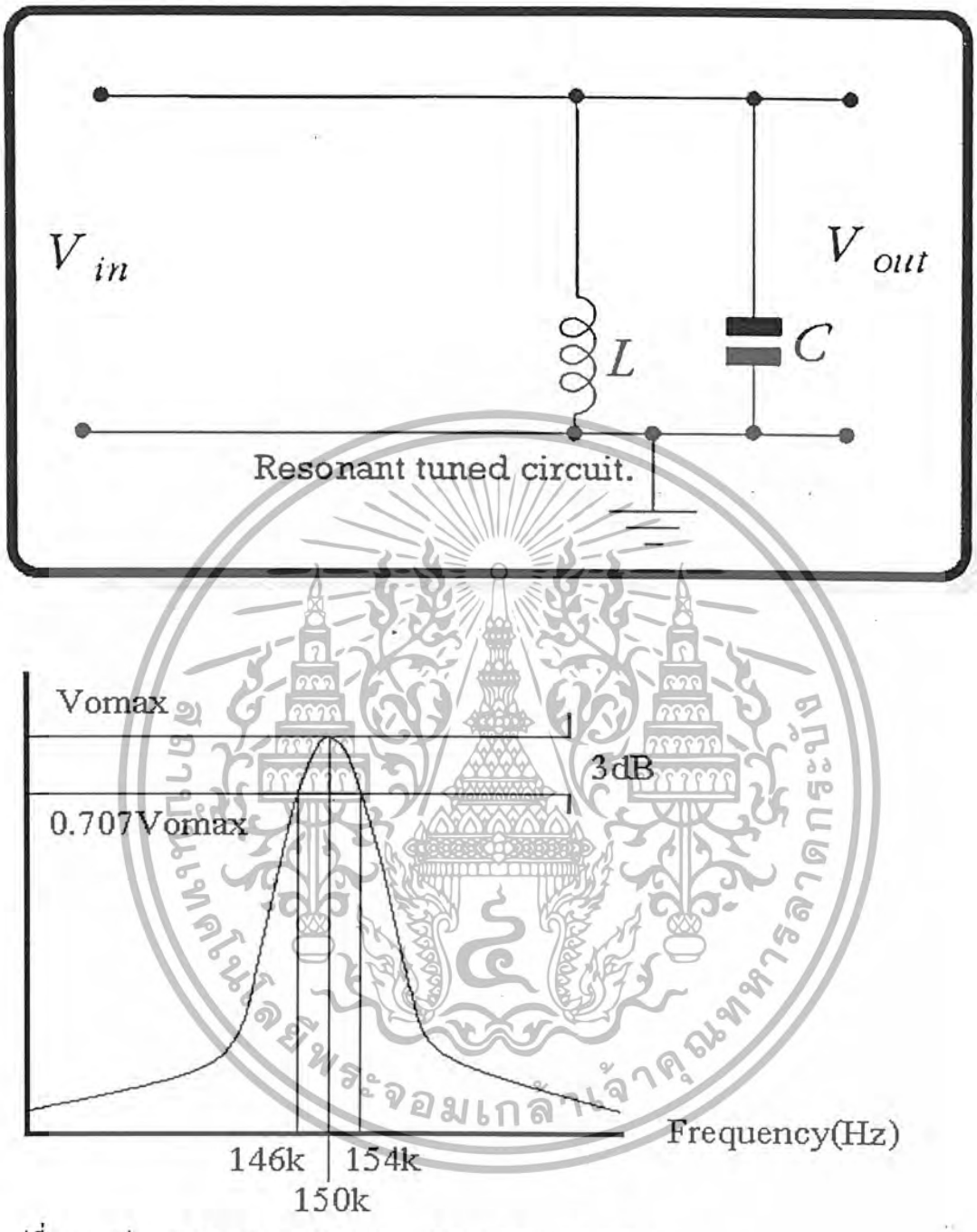
(b) แสดงสัญญาณที่AC Coupling เอาระดับ DC ออกจากสัญญาณ ทำให้ระดับค่าเฉลี่ยของสัญญาณเป็นศูนย์

(c) แสดงสัญญาณที่ drop หรือ sag ที่อาจจะเกิดจาก AC Coupling ได้

## 2.9 TUNED AMPLIFIER

ในวงจรขยายค่าของอัตราการขยายจะแปรผันโดยตรงกับค่าของอิมพีแดนซ์ในวงจรเอาท์พุทเสมอ ในวงจรขยายความถี่ต่ำ( wide band) โหลดของวงจรมักเป็นความต้านทานซึ่งจะมีค่าคงที่ตลอดทุกช่วงความถี่ ถ้าเราเปลี่ยนโหลดของวงจรขยายเป็นวงจรขนานของ LC หรือวงจนแท้งค์แล้วค่าอัตราการขยายของวงจรจะมีค่าสูงสุดที่ความถี่เรโซแนนซ์ของ LC ทังนี้เพราะอิมพิแดนซ์ของวงจรขนาน LC จะมีค่าสูงสุดที่ความถี่เรโซแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62040




รูปที่ 2.11 รูปวงจร Tuned Amplifier และ Frequency Response

จากวงจรพื้นฐานของวงจรขนาน R-L-C จะพบว่าอิมพีแดนซ์จะมีค่าสูงสุดที่ความถี่เรโซแนนซ์ Fr ดังในรูปศักดาเอาท์พุทคร่อมวงจรจูนก็จะเป็นฟังชั่นความถี่เช่นเดียวกับวงจรจูนนั้น หรือกล่าวอีกนัยนึงว่าการตอบสนองความถี่ของวงจรจูนนั้นจะเป็นฟังก์ชั่นของค่าอิมพีแดนซ์ R-L-C ดังนั้นค่าของอัตราขยายแรงดันของวงจร Tuned Amplifier ก็จะมีค่าสูงสุดที่ความถี่เรโซแนนซ์ของ LC และอัตราการขยายของวงจรก็จะลดลงที่คงามถี่สูงกว่าและต่ำกว่าความถี่เรโซแนนซ์ดังในรูป

ในกรณีของ LC ในอุดมคติจะได้ความถี่เรโซแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Fr = \frac{1}{2\P\sqrt{LC}} \quad Hz$$

$$BW = \frac{Fr}{Qloader} \quad Hz$$

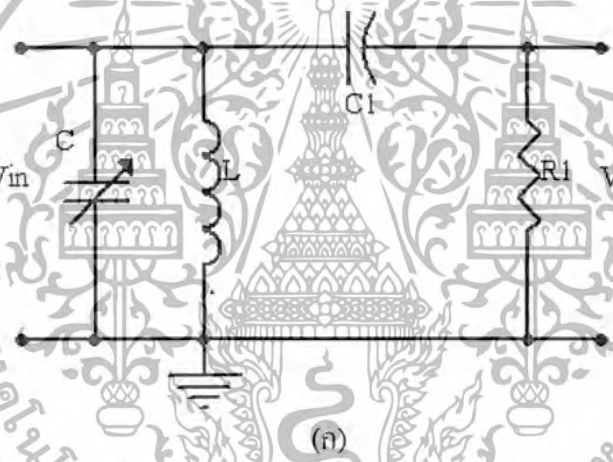
$$= \frac{1}{2\P RpC} \quad Hz$$

ซึ่ง $Qloader = Rp/Xl = Rp/Xc = Rp\sqrt{L/C}$

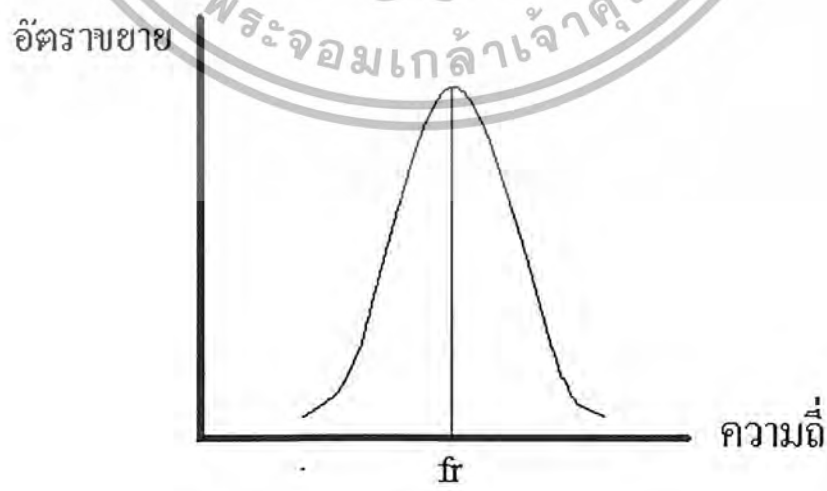
โดยที่ Rp คือความต้านทานรวมทั้งหมดที่ต่อขนานกับ LC ในอุดมคติ ( เช่น Source Resistance,Load)

ในความเป็นจริงจะมีความต้านทาน Rs ค่าหนึ่งต่ออนุกรมกับ L ซึ่ง Rs นี้คือค่าความต้านทานของขดลวดที่ใช้พันคอยล์นั้น Rนี้จะเป็น Effective Resistance ของขดลวดซึ่งจะมีค่าสูงขึ้นเนื่องจากเมื่อความถี่สูงขึ้นเนื่องจาก skin effect

2.9.1วงจรขยายสัญญาณแบบซิงเกิลจูน




(ก)




(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่2.12 วงจรขยายสัญญาณแบบชิงเกิลจูน

( ก ) วงจรขยายสัญญาณและวงจรเรโซแนนซ์ LC วงจร R1C1 คับเปิ้ลสัญญาณไฟสลับแต่กันไม่ให้สัญญาณไฟตรงผ่านไปได้

( ข ) การตอบสนองต่อสัญญาณที่ความถี่ต่างๆ ของวงจรขยายสัญญาณซึ่งมีลักษณะเหมือนกับเรโซแนนซ์ของวงจรจูน

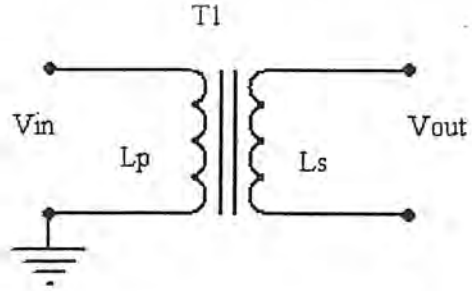
วงจรดังรูปที่ 2.12 ( ก ) แสดงถึงการใช้วงจรเรโซแนนซ์ LC แบบขนาน เพื่อทำให้มีอิมพิแดนซ์สูงเหมาะต่อการตอบสนองต่อสัญญาณไฟสลับ การประยุกต์ใช้งานวงจรเรโซแนนซ์ในลักษณะนี้ก็เพื่อเพิ่มประสิทธิภาพให้แก่วงจรขยายสัญญาณในการปรับหรือจูนความถี่ของสัญญาณให้ได้ค่าตามที่ต้องการ สำหรับค่าความต้านทานไฟฟ้าต่อสัญญาณไฟตรงของคอยล์ L มีค่าน้อยมากไม่ต้องคำนึงถึง ดังนั้นแรงดันไฟฟ้า V+ จึงป้อนเข้าสู่วงจรขยายสัญญาณได้อย่างเต็มที่ วงจรคับปลิ้ง R1C1 นอกจากจะมีคุณสมบัติในการคัปปลิ้งสัญญาณ FSK แล้วยังเป็นตัวกันแรงดัน V+ ได้อีกด้วย วงจรดังกล่าวสามารถพิจารณาได้ว่าเป็นวงจรขยายสัญญาณแบบอิมพิแดนซ์คับปลิ้ง แต่คุณสมบัติหลักจริงๆ แล้วคือวงจรจูนสำหรับโหลดที่เอ้าท์พุท

การตอบสนองเรโซแนนซ์

ความสัมพันธ์ระหว่างอัตราขยายและความถี่ของสัญญาณดังรูปที่ 2.12 ( ข ) แสดงถึงการตอบสนองต่อสัญญาณความถี่ จะเห็นว่ามีลักษณะเหมือนกับการตอบสนองเรโซแนนซ์ของวงจรจูน วงจร LC มีลักษณะเป็นวงจนเรโซแนนซ์แบบขนาน เนื่องจากแหล่งจ่ายสัญญาณต่ออยู่ข้างนอกวงจรจูน สำหรับวงจรเรโนนซ์แบบขนาน Z จะมีค่าสูงสุดที่ความถี่ fr และลดลงจนมีค่าต่ำๆ ในช่วงความถี่ที่อยู่ห่างความถี่เรโซแนนซ์ออกไป

อัตราการขยาย สัญญาณของวงจรขยายจะเป็นอัตราส่วนกับค่า ZL ดังนั้นจึงทำให้ลักษณะการตอบสนองต่อสัญญาณของวงจรขยายเหมือนกับการตอบสนองเรโซแนนซ์ ซึ่งวงจรขยายสัญญาณแบบนี้จะมีอัตราขยายสัญญาณ ณ ช่วงความถี่เรโซแนนซ์เท่านั้น

2.9.2 การคับปลิ้งด้วยหม้อแปลงไฟฟ้า

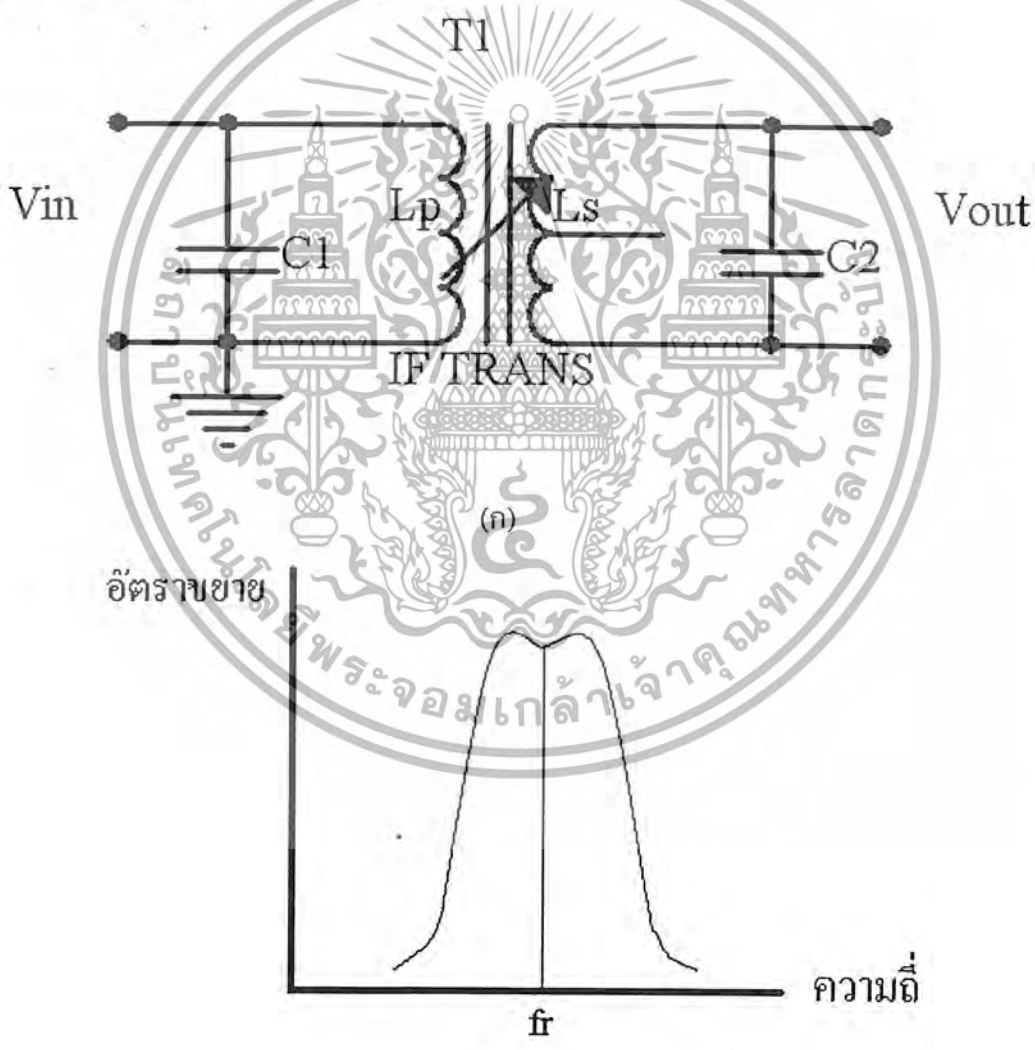



รูปที่2.13 วงจรขยายสัญญาณชนิดคับปลิ้งด้วยหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.13 วงจรขยายสัญญาณชนิดคับปลิ้งด้วยหม้อแปลง โหลดอิมพิแดนซ์ทางด้านขดลวดปฐมภูมิคือ Lp ซึ่งมีความต้านทานต่อกระแสไฟตรงค่อนข้างต่ำ มีผลทำให้แรงดันไฟฟ้า V+ จึงป้อนเข้าสู่วงจรขยายสัญญาณได้อย่างเต็มที่ สำหรับสัญญาณไฟสลับของกระแสไฟฟ้าที่ไหลใน Lp จะถูกเหนี่ยวนำข้ามไปยัง Ls ตามคุณสมบัติของหม้อแปลงไฟฟ้า เนื่องจาก Ls เป็นขดลวดที่แยกอยู่เดี่ยวๆ ดั้งนั้นองค์ประกอบของสัญญาณไฟตรงจึงถูกกันไม่ให้ข้ามมายังด้าน Ls ได้ ซึ่งจะเห็นได้ว่าไม่ต้องต่อตัวคาปาซิเตอร์เพิ่มเติม นอกจากนี้แรงดันไฟฟ้าสลับทางด้านขดทุติยภูมิก็ไม่จำเป็นต้องต่อสัญญาณลงกราวนด์ นั่นคือ ปลายด้านหนึ่งของ Ls ไม่จำเป็นที่จะต้องต่อลงกราวนด์ หม้อแปลงไฟฟ้าที่ใช้ในการคับเปิ้ลสัญญาณไฟฟ้าระหว่างวงจรขยายสัญญาณ 2 วงจรนั้นเรียกว่า “ Interstage transformer”

2.9.3วงจรขยายสัญญาณแบบดับเบิ้ลจูน( Double tune)




รูปที่ 2.14 ( ก ) วงจรขยายสัญญาณแบบดับเบิ้ลจูน

( ข ) รูปแบบการตอบสนองต่อความถี่ของสัญญาณของวงจรขยายสัญญาณแบบดับเบิลจูนที่ค่าความถี่วิกฤติของการคับปลิ้งระหว่าง Lp และ Ls

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่2.14 (ก) แสดงถึงวงจรขยายสัญญาณชนิดที่มีหม้อแปลงไฟฟ้าเป็นตัวคับปลิ้งสัญญาณ ทั้งทางด้านปฐมภูมิและทุติยภูมิมีลักษณะเป็นวงจรจูน คือ Lp และ C1 ต่อร่วมกันเป็นวงจรเรโซแนนซ์ในลักษณะเดียวกันกับ Ls และ C2 โดยโครงสร้างภายในของขดลวดทั้งคู่จะมีจูนนิ่งสลัค ( Tuning slug) สำหรับใช้ปรับความถี่เรโซแนนซ์ให้มีค่าตรงกัน โดย T1จะเป็นตัวปรับความถี่ของสัญญาณ

การตอบสนองเรโซแนนซ์

วงจรจูนด้านปฐมภูมิประกอบด้วย Lp และ C1 ถือว่าเป็นโหลดอิมพีแดนซ์ของวงจรขยายสัญญาณ แต่ขดลวดทางด้านทุติยภูมิก็ส่งผลกระทบมายังขดลวดปฐมภูมิด้วยเนื่องจากเกิดการคับปลิ้งร่วม( Mutual Coupling) ซึ่งผลลัพธ์ก่อให้เกิดผลดีคือ ทำให้การตอบสนองเรโซแนนซ์มีย่านความถี่ที่กว้างขึ้น และรูปร่างกราฟแสดงความสัมพันธ์ระหว่างอัตราขยายสัญญาณกับความถี่ชันขึ้นทั้ง 2 ด้าน ทำให้การปรับเลือกความถี่ทำได้แน่นอนกว่า วงจรแบบซิงเกิลจูน ดังแสดงในรูป2.14(ข)

**2.10 วงจรฟิลเตอร์ผ่านแถบความถี่( Band-pass Filter)**

ฟิลเตอร์ผ่านแถบมีแถบผ่านระหว่างความถี่คัทออฟ 2 ความถี่ คือ fL และ fH โดยที่ fH > fL ความถี่ที่ต่ำกว่า fL และสูงกว่า fH จะถูกลดทอน เขียนฟังก์ชั่นถ่ายโอนทั่วไปของฟิลเตอร์ผ่านแถบดังนี้

$$H_{BP}(s) = \frac{K_{PB}(\omega_c/Q)s}{s^2+(\omega_c/Q)s+\omega^2_c} \qquad (2.10.0)$$

โดยที่ $K_{PB}$ คืออัตราขยายแถบผ่านและ $\omega_c$ คือความถี่กึ่งกลางมีหน่วย rad/s

ฟิลเตอร์แถบผ่านมี 2 ชนิดคือ ผ่านแถบกว้าง( wide band pass) และผ่านแถบแคบ( narrow band pass) การจำแนกชนิดของฟิลเตอร์ดังกล่าวอาศัยหลักเกณฑ์ของค่า Q ถ้า $Q \leq 10$ ฟิลเตอร์เป็นชนิดผ่านแถบกว้าง แต่ถ้า $Q>10$ ฟิลเตอร์เป็นชนิดผ่านแถบแคบ นั่นคือ Q เป็นตัววัดความสามารถกรเลือกความถี่ของฟิลเตอร์ จะได้ความสัมพันธ์ของ Q ต่อแบนท์วิดท์ 3dB และความถี่กึ่งกลาง $f_c$ ดังนี้

$$Q = \omega_c/BW = f_c/(f_H - f_L) \qquad (2.10.1)$$

กรณีฟิลเตอร์ชนิดผ่านแถบกว้าง

$$f_c = \sqrt{f_H f_L} \qquad (2.10.2)$$

โดยที่ $f_L$ คือความคัทออฟด้านต่ำหน่วย Hz

ส่วนกรณีฟิลเตอร์ชนิดผ่านแถบแคบจะได้เอาท์พุทสูงสุดที่ความถี่กึ่งกลาง $f_c$

2.10.1ฟิลเตอร์เป็นชนิดผ่านแถบความถี่กว้าง(wide-band-pass filter)

รูปที่2.15 (ก) แสดงให้เห็นผลตอบสนองความถี่ของฟิลเตอร์ผ่านแถบกว้างเมื่อ $f_H > f_L$ และใช้ฟังก์ถ่ายโอนตามสมการ( 2.10.0) ซึ่งอาจทำให้อัตราขยายแถบกลางไม่ราบเรียบตลอดความกว้างของแบนวิดท์ ในทางกลับกันสามารถใช้ฟิลเตอร์ 2 ชุดคือฟิลเตอร์ผ่านความถี่ต่ำและฟิลเตอร์ผ่านความถี่สูงมีตอบสนองความถี่ดังรูปที่ 2.15(ข) มาต่อแบบคาสเคด ซึ่งก็คือนำผลตอบสนองความถี่ดังกล่าวมาคูณกัน โดยที่อันดับของฟิลเตอร์ผ่านแถบความถี่จะขึ้นกับอันดับของฟิลเตอร์ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ต่ำและฟิลเตอร์ผ่านความถี่สูงเช่น ถ้าใช้ฟิลเตอร์ผ่านความถี่ต่ำอันดับหนึ่งและฟิลเตอร์ผ่านความถี่สูงอันดับสอง จะได้ฟิลเตอร์ผ่านแถบความถี่อันดับสามเป็นต้น ข้อดีของการสร้างฟิลเตอร์ผ่านแถบความถี่จากการนำฟิลเตอร์ผ่านความถี่ต่ำและฟิลเตอร์ผ่านความถี่สูงมาต่อแบบคาสแคดคือ สามารถเลือกค่าอัตราการลดลงและเพิ่มขึ้นและอัตราขยายแถบกลางได้อย่างอิสระไม่ขึ้นต่อกัน แต่จะต้องใช้ออปแอมป์ ตัวต้านทาน ตัวเก็บประจุมากขึ้น

วงจรฟิลเตอร์ผ่านแถบความถี่ดังรูป2.15 (ง) ประกอบด้วยฟิลเตอร์ผ่านความถี่สูงอันดับหนึ่งและฟิลเตอร์ผ่านความถี่ต่ำอันดับหนึ่ง ดังนั้นจะได้ผลตอบสนองความถี่ของวงจรฟิลเตอร์ผ่านแถบความถี่กว้างเท่ากับ $\pm$20 dB/decade ขนาดของอัตราขยายแรงดันเท่ากับผลคูณของขนาดของอัตราขยายแรงดันของฟิลเตอร์ผ่านความถี่ต่ำและฟิลเตอร์ผ่านความถี่สูง เขียนฟังก์ชั่นถ่ายโอนของฟิลเตอร์ผ่านแถบความถี่กว้างจากฟังก์ชั่นถ่ายโอนของฟิลเตอร์ผ่านความถี่ต่ำอันดับหนึ่งตามสมการ

$$\left(H(s) = \frac{K\omega^2_0}{s^2 + (\omega_0/Q)s + \omega^2_0}\right)$$ เมื่อค่าKคืออัตราขยายดีซี (A)

และฟิลเตอร์ผ่านความถี่สูงอันดับหนึ่งตามสมการ

$$\left(H(s) = \{1+\frac{R_F}{R1}\}\frac{s}{s+1/RC}\right)$$ (B)

คือ

จากสมการ (A)

$$H_{LP}(s) = \frac{K}{1+sRC}$$

และจากสมการ (B)

$$H_{HP}(s) = \frac{sK}{s+1/RC}$$

จะได้

$$H(s) = H_{LP}(s)H_{HP}(s) = \frac{K}{1+sRC} \times \frac{sK}{s+1/RC}$$

$$= \frac{K_L}{(s/\omega_H+1)} \times \frac{sK_H}{s+\omega_L} = \frac{K_L K_H \omega_H s}{(s+\omega_H)(s+\omega_L)}$$

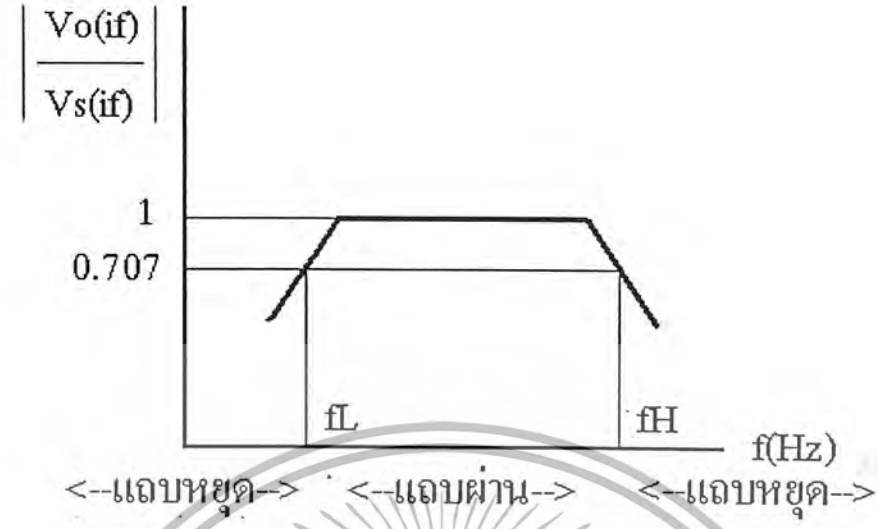
$$= \frac{K_{PB}\,\omega_H\, s}{(s+\omega_H)(s+\omega_L)} \qquad (2.10.3)$$

หรือเขียนฟังก์ชั่นถ่ายโอนของฟิลเตอร์ผ่านแถบความถี่กว้างจากฟังก์ชั่นถ่ายโอนของฟิลเตอร์ผ่านความถี่ต่ำอันดับสองตามสมการ $\left(H(s) = \frac{K\omega^2_0}{s^2 + (\omega_0/Q)s + \omega^2_0}\right)$ เมื่อค่าKคืออัตราขยายดีซี )

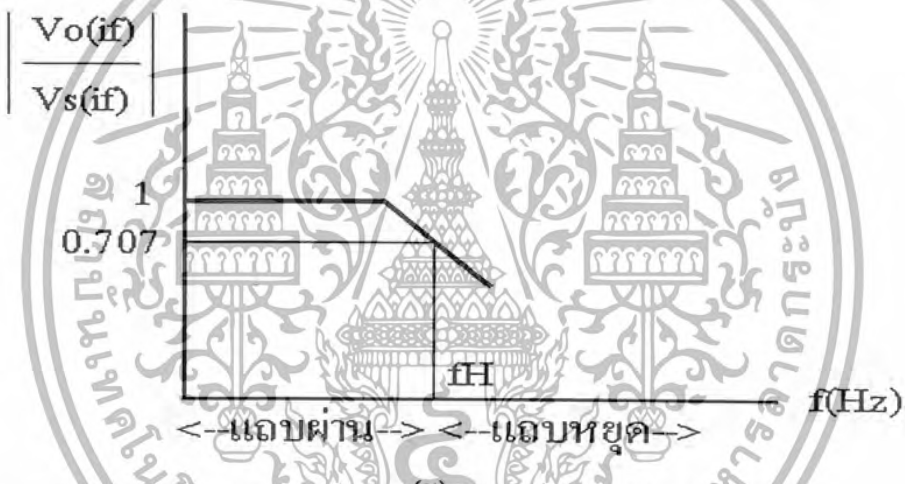
และฟิลเตอร์ผ่านความถี่สูงอันดับสอง คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_{LP}(s) = \frac{K_L \omega^2_0}{s^2 + (\omega_0 / Q)s + \omega^2_0} = \frac{K_L \omega^2_H}{s^2 + (\omega_H / Q)s + \omega^2_H}$$



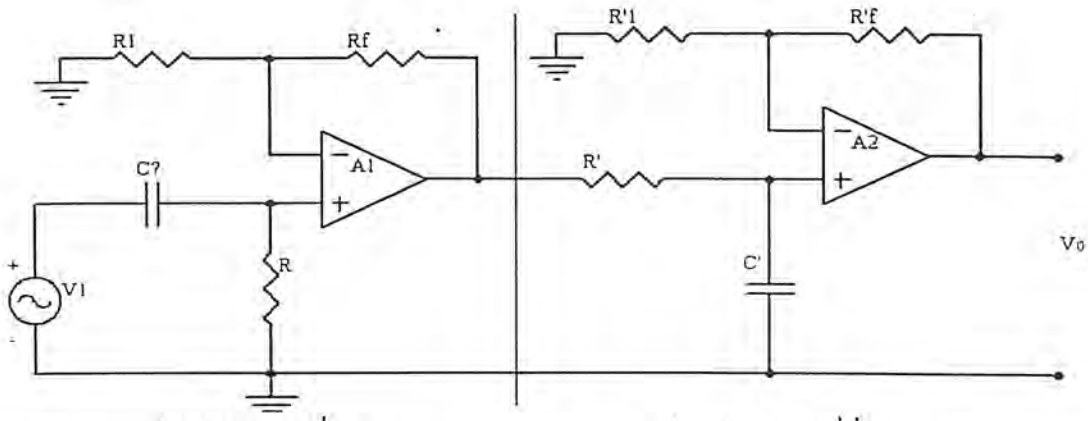

(ก)




(ข)

(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(ง)

รูปที่ (2.15) วงจรฟิลเตอร์ผ่านแถบความถี่

ผลตอบสนองความถี่ของฟิลเตอร์ (ก) ผ่านแถบกว้าง (ข) ผ่านแถบต่ำ (ค) ผ่านแถบสูง (ง)วงจรฟิลเตอร์ผ่านแถบความถี่

$$H_{HP}(s) = \frac{K_H s^2}{s^2 + (\omega_0 /Q)s + \omega^2_0} = \frac{K_H s^2}{s^2 + (\omega_L /Q)s + \omega^2_L}$$

จะได้

$$H(s) = H_{LP}(s)H_{HP}(s) = \frac{K_L \omega^2_H}{s^2 + (\omega_H /Q)s + \omega^2_H} \times \frac{K_H s^2}{s^2 + (\omega_L /Q)s + \omega^2_L}$$

$$= \frac{K_{PB}\, \omega^2_H s^2}{[s^2 + (\omega_H /Q)s + \omega^2_H][s^2 + (\omega_L /Q)s + \omega^2_L]} \quad (2.10.3)$$

โดยที่ $K_{PB}$ คืออัตราขยายแถบผ่านทั้งหมด ซึ่งเท่ากับอัตราขยายผ่านความถี่สูง $K_H$ คูณกับอัตราการขยายความถี่ต่ำ $K_L$

2.10.2ฟิลเตอร์ผ่านแถบความถี่แคบ( narrow-band-pass filter)

รูปที่2.16 (ก) แสดงให้เห็นผลตอบสนองความถี่ของฟิลเตอร์ผ่านแถบความถี่แคบซึ่งผลตอบสนองความถี่ดังกล่าวได้จากการกำหนดให้ Q ของฟิลเตอร์มีค่าสูงๆ ดังรูปที่ 2.16(ข) ประกอบไปด้วยออปแอมป์เพียงตัวเดียวทำงานในรูปแบบวงจรขยายกลับสัญญาณ แต่เนื่องจากมีการป้อนกลับสัญญาณ 2 ส่วนจึงเรียกว่า ฟิลเตร์ป้อนกลับหลายส่วน (multiple feedback filter) สำหรับกรณีออกแบบให้ฟิลเตอร์ดังกล่าวมีค่า Q ต่ำ ก็จะกลายเป็นฟิลเตอร์ผ่านแถบความถี่กว้าง โดยทั่วไปการออกแบบฟิลเตอร์ผ่านแถบความถี่แคบจะต้องกำหนดค่าของ $f_c$ และ Q หรือ $f_c$ และ BWพิจารณาวงจรตามรูปที่2.16 (ข)

กระแสไหลผ่าน R2 เท่ากับ

$$I_2(s) = \frac{V_0(s)}{R_2} \quad (a1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่โนด ก เทียบกราวด์คือ

$$V_a(s) = \frac{-I_2}{C_2 s} = -\frac{V_0(s)}{R_2 C_2 s} \qquad (a2)$$

กระแสไหลผ่าน $C_1$ เท่ากับ

$$I_3 = [V_0(s) - V_a(s)]\, C_1 s$$

แทน Va(s)

$$I_3 = \left\{ \frac{V_0(s)}{R_2 C_2 s} + V_0(s) \right\} C_1 s = V_0(s) \left\{ \frac{C_1 s}{R_2 C_2} + C_1 \right\} \qquad (a3)$$

กระแสที่อินพุท

$$I_1 = \frac{V_s(s) - V_a(s)}{R_1} = \frac{V_s(s)}{R_1} - \frac{V_a(s)}{R_1}$$

แทน $V_a(s)$

$$I_1 = \frac{V_s(s)}{R_1} - \frac{V_a(s)}{R_1 R_2 C_2 s} \qquad (a4)$$

เขียนKCL ที่โนด ก

$$I_1 - I_2 + I_3 = 0$$

$$I_1 = I_2 - I_3 \qquad (a5)$$

แทนสมการ(a1) (a3) และ (a4) ในสมการ (a5)

$$\frac{V_s(s)}{R_1} + \frac{V_0(s)}{R_1 R_2 C_2 s} = -\frac{V_0(s)}{R_2} - V_0(s)\left\{ C_1 s + \frac{C_1}{R_2 C_2} \right\}$$

$$\frac{V_0(s)}{R_1 R_2 C_2 s} + \frac{V_0(s)}{R_2} + V_0(s)\left\{ C_1 s + \frac{C_1}{R_2 C_2} \right\} = -\frac{V_s(s)}{R_1}$$

$$V_0(s)\left\{ \frac{1}{R_1 R_2 C_2 s} + \frac{1}{R_2} + \left\{ C_1 s + \frac{C_1}{R_2 C_2} \right\} \right\} = -\frac{V_s(s)}{R_1}$$

$$V_0(s)\left\{ 1 + R_1 C_2 s + \frac{R_1 R_2 C_2 s}{R_1 R_2 C_2 s}\left\{ C_1 s + \frac{C_1}{R_2 C_2} \right\} \right\} = -\frac{V_s(s)}{R_1}$$

$$V_0(s)\{ R_1 R_2 C_1 C_2 s^2 + (R_1 C_2 + R_1 C_1)\, s + 1 \} = -V_s(s)\, R_2 C_2 s$$

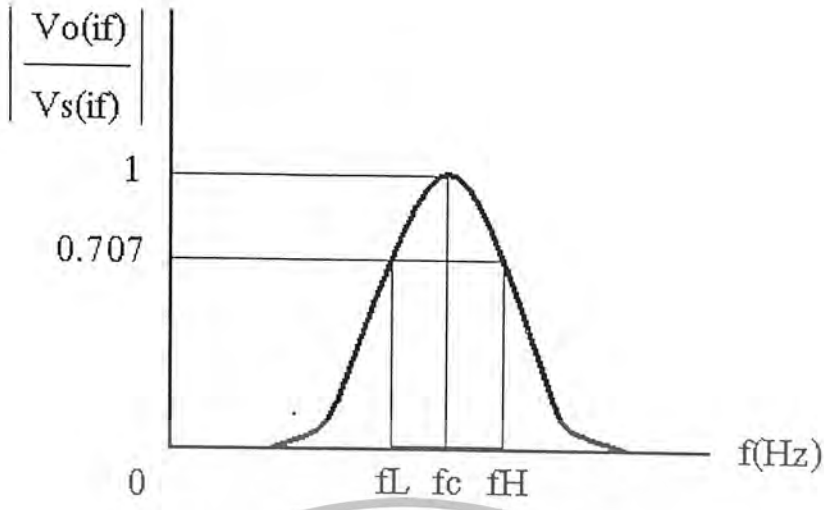
$$\frac{V_0(s)}{V_s(s)} = \frac{-R_2 C_2 s}{\{ R_1 R_2 C_1 C_2 s^2 + (R_1 C_2 + R_1 C_1)\, s + 1 \}}$$

$$= \frac{\dfrac{-R_2 C_2 s}{R_1 R_2 C_1 C_2}}{s^2 + \dfrac{(R_1 C_2 + R_1 C_1)}{R_1 R_2 C_1 C_2} s + \dfrac{1}{R_1 R_2 C_1 C_2}}$$

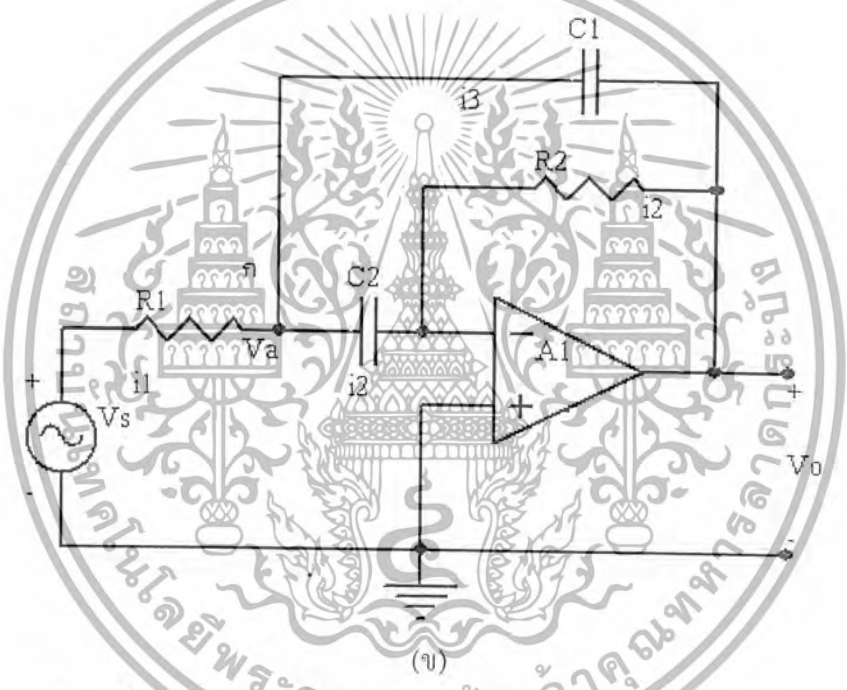
จะได้

$$H_{BP}(s) = \frac{V_0(s)}{V_s(s)} = \frac{\dfrac{-s}{R_1 C_1}}{s^2 + \dfrac{1}{R_2}\left( \dfrac{1}{C_1} + \dfrac{1}{C_2} \right) s + \dfrac{1}{R_1 R_2 C_1 C_2}} \qquad (a6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(ก)




(ข)

รูปที่2.16 วงจรฟิลเตอร์ผ่านแถบความถี่แคบ

(ก) ผลตอบสนองความถี่ (ข) วงจร

เปรียบเทียบสมการ(a6)กับสมการ (2.10.0) จะได้

$$\omega^2_C = \frac{1}{R_1R_2\,C_1C_2}$$

$$\omega_C = \frac{1}{\sqrt{R_1R_2\,C_1C_2}}$$

ถ้ากำหนดให้ $C_1 = C_2 = C$

$$\omega_C = \frac{1}{C\sqrt{R_1R_2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{2}{R_2C} = \frac{\omega_C}{Q}$$

$$Q = \frac{R_2C\omega_C}{2} = \frac{R_2C}{2}\frac{1}{C\sqrt{R_1R_2}} \qquad (a7)$$

และ $$\frac{1}{R_1C_1} = K_{PB}\frac{\omega_C}{Q}$$

$$K_{PB}\frac{\omega_C}{Q} = \frac{1}{R_1C_1} \qquad (a8)$$

คำนวณหา $R_1$, $R_2$ และ$K_{PB}$

จากสมการ (a8)

$$R_1 = \frac{Q}{K_{PB}C\,\omega_C} = \frac{Q}{2\pi f_C C K_{PB}} \qquad (a9)$$

จากสมการ (a7)

$$R_2 = \frac{2Q}{C\,\omega_C} = \frac{Q}{\pi f_C C} \qquad (a10)$$

จากสมการ (a8)

$$K_{PB} = \frac{Q}{R_1C\omega_C} = \frac{\frac{R_2}{2}\frac{1}{\sqrt{R_1R_2}}}{R_1C\left(\frac{1}{C\sqrt{R_1R_2}}\right)} = \frac{R_2}{2R_1} \qquad (a11)$$

หรือจากสมการ (a7)

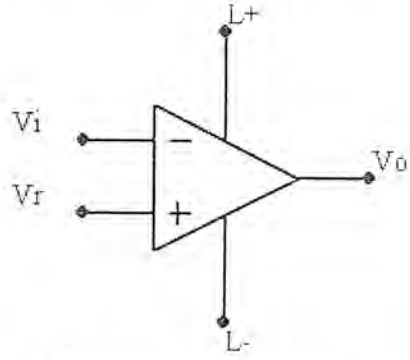
$$Q^2 = \frac{1}{4}\frac{R_2}{R_1}$$

นั่นคือ

$$K_{PB} = 2\,Q^2$$

**2.11Comparater แบบ Adaptive Reference**

วงจรเปรียบเทียบ(comparator)มีสัญญาณเข้าสองสัญญาณ สัญญาณหนึ่งเรียกว่า $V_i$ อีกสัญญาณหนึ่งมักเป็นแรงดันอ้างอิงคงตัว $V_R$ ส่วนแรงดันขาออก($V_0$)จะขึ้นกับแรงดันขาเข้า $V_i$ เมื่อเทียบกับ $V_R$ ดังแสดงในรูป




รูปที่2.17 วงจรcomparator แบบ Adaptive Reference

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถสรุปความสัมพันธ์ระหว่าง $V_0$ และ $V_I$ ได้ดังนี้

$V_I > V_R$ $V_0 = L^-$

$V_I = V_R$ - $V_0 = 0$

$V_I > V_R$ $V_0 = L^-$

โดยที่ $L^-$ และ $L^-$ คือระดับแรงดันขาออกที่ใช้บอกผลของการเปรียบเทียบ

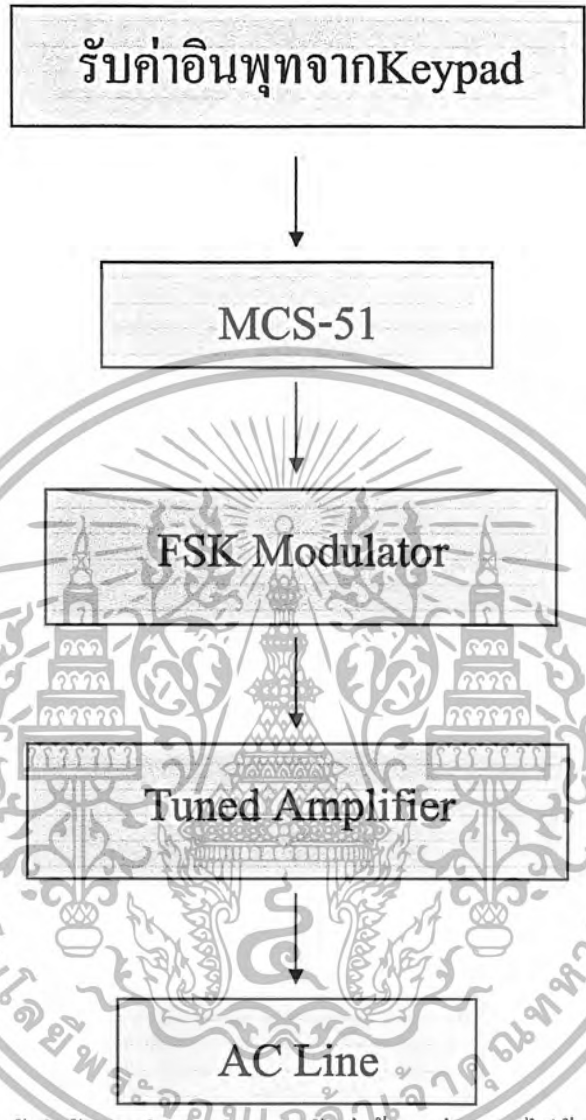
วงจรเปรียบเทียบทำหน้าที่จัดสัญญาณรูปคลื่นจนแทบไม่เหลือเค้าเดิม เช่น แรงดัน $V_I$ แปรผันกับเวลาอย่างช้าๆจะเปลี่ยนมาเป็นแรงดัน $V_0$ ที่เปลี่ยนระดับอย่างฉับพลันทุกครั้งที่ $V_I$ แปรมาถึงค่า $V_R$

ได้มีการผลิตวงจรประมวลผล โดยมุ่งหวังให้ใช้เป็นวงจรเปรียบเทียบโดยเฉพาะ (บางครั้งอาจใช้เป็นวงจรกันชน(buffer)ก็ได้) ระดับของแรงดันออกของวงจรประมวลเหล่านี้จะขึ้นอยู่กับแหล่งจ่ายไฟตรง ถ้าเราต้องการให้ได้ระดับคงตัวเราอาจใช้ซีเนอร์ไดโอดต่ออยู่ที่ขั้วออก หรือต่ออยู่ในวงจรป้อนกลับก็ได้แต่ข้อเสียประการหนึ่งของการใช้ซีเนอร์ไดโอดก็คือ ผลตอบสนองชั่วครู่ (transient) จะไม่ดีนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3 การออกแบบ

## 3.1 การออกแบบวงจรทางภาคส่ง




รูปที่ 3.1 แผนผังลำดับการทำงานของวงจรรับส่งข้อมูลผ่านสายไฟฟ้าของตัวส่ง

- คุณสมบัติวงจรในตัวส่ง

1. ส่วนรับข้อมูลจากKeypad มาประมวลผลแล้วทำการส่งข้อมูลต่อไป คือ MCS-51

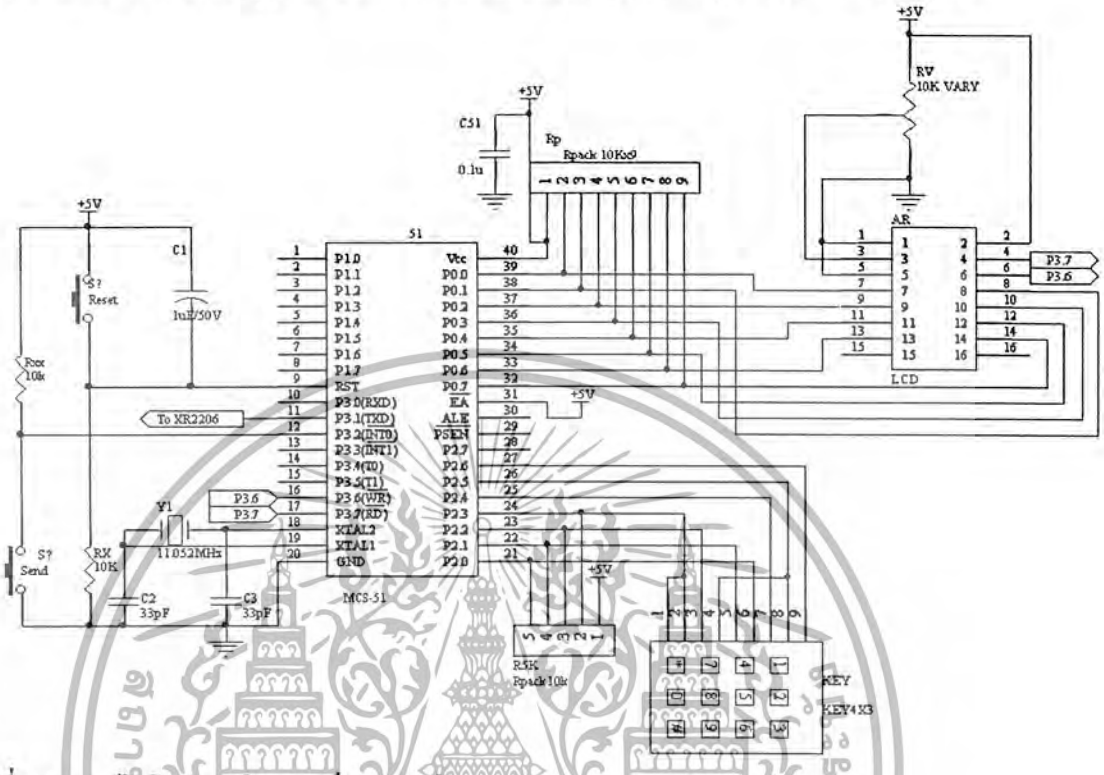
2. ส่วนที่นำข้อมูลที่ได้มาจาก MCS-51มาทำการมอดูเลทในรูปแบบFSK โดยไอซีเบอร์ XR-2206 เป็นหัวใจสำคัญในการมอดูเลทสัญญาณดิจิตอล ให้เป็นสัญญาณFSK

3.ขยายสัญญาณเฉพาะช่วงความถี่ที่ต้องการก่อนทำการส่งข้อมูลออกไปในสายไฟฟ้า โดยวงจรTuned Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.1 การออกแบบวงจรรับค่าอินพุทจากผู้ใช้

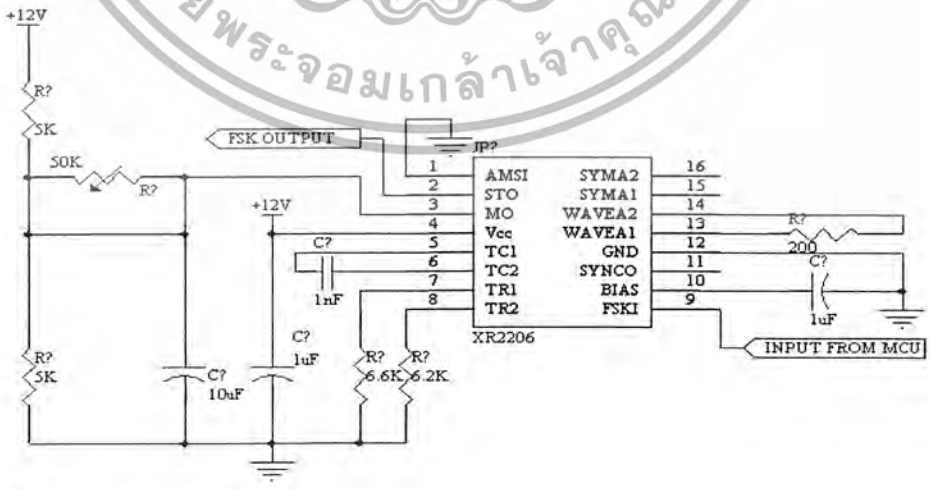
ในการออกแบบวงจรรับค่าอินพุทจากผู้ใช้นั้น ได้นำไมโครคอนโทลเลอร์MCS-51 มาช่วยในการทำงาน โดยนำค่าจากKeypadมาทำการประมวลผลแล้วทำการส่งข้อมูลออกทางพอร์ทอนุกรม




รูปที่ 3.2 วงจรไมโครคอนโทลเลอร์ทางภาคส่ง

### 3.1.2 การออกแบบวงจร FSK Modulator

ในการออกแบบ FSK Modulator ได้นำ IC เบอร์ XR2206 ซึ่งเป็นโมโนลิธิค ฟังก์ชั่นเจนเนอร์เรเตอร์ ทำเนิดรูปคลื่นเอาท์พุท ได้ทั้งคลื่นซายน์ คลื่นสามเหลี่ยม และคลื่นสี่เหลี่ยม หรือ แรมป์ (ramp) โดยมีย่านความถี่ตั้งแต่ 0.01KHz ถึง 1MHz




รูปที่ 3.3วงจรFSK Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้เราจะใช้ XR2206 เป็นตัวกำเนิดคลื่นซายน์ในลักษณะ FSK Generator โดยใช้ไทม์มิง รีจิสเตอร์ R1 และ R2 ที่ต่อระหว่างขา 7 และขา 8 กับกราวน์ตามลำดับ โดยที่สัญญาณดิจิตอลที่ป้อนมายังขา 9 ของไอซี เป็นตัวกำหนดสัญญาณเอาท์พุท(ขา2) ถ้าขา 9 อยู่ในสถานะวงจรเปิด หรือมี Vin>2V แล้ว R1 จะเป็นตัวกำหนดไทม์มิงร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 และขา 6 หรือในทางกลับกัน ถ้าขา 9 มีVin<1V แล้ว R2จะเป็นตัวกำหนดไทม์มิงร่วมกับตัวเก็บประจุที่ต่อระหว่างขา 5 และขา 6 เช่นเดียวกัน จึงทำให้ความถี่เอาท์พุทอยู่ในช่วงระหว่าง fm(mark frequency) กับfs(space frequency) โดยทั้ง fm กับ fs จะเป็นอิสระต่อกัน และสามารถเปลี่ยนแปลงความถี่ได้โดยการเลือกค่า R1 และ R2 ตามสมการข้างล่างนี้

$$fm = \frac{1}{R1xC}$$

$$fs = \frac{1}{R2xC}$$

ตัวเก็บประจุระหว่างขา 5 กับขา 6 จะอยู่ในช่วง 1000pF -100μF และตัวต้านทาน R1และ R2 จะอยู่ในช่วงระหว่าง 4KΩ -200kΩ

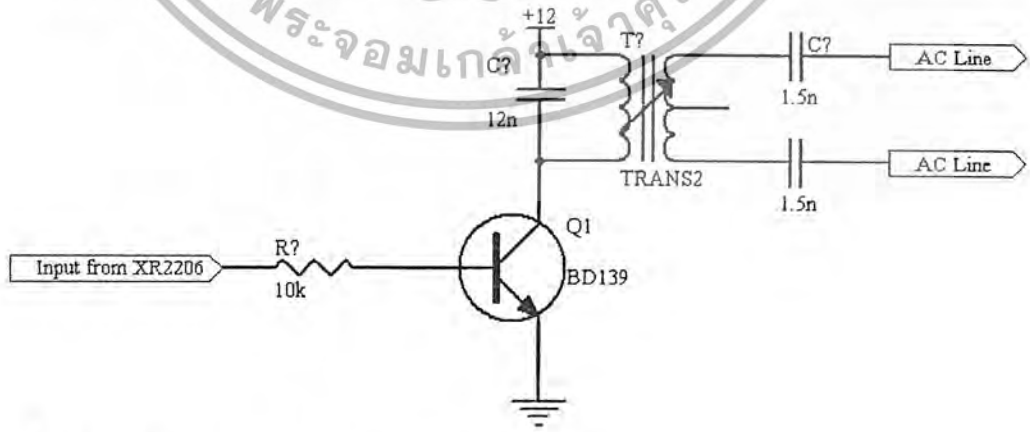
ในการออกแบบจากสมการเราจะกำหนดค่า C = 1nF หาค่า R1 และ R2 เมื่อเรากำหนด

fm =154KHz และ fs = 146KHz

$$R1 = \frac{1}{fmxC} = \frac{1}{154k \times 1n} = 6.5k\Omega$$

$$R2 = \frac{1}{fsxC} = \frac{1}{146k \times 1n} = 6.8k\Omega$$

**3.1.3 การออกแบบวงจร Tuned Amplifier ทางภาคส่ง**




รูปที่ 3.4 วงจร Tuned Ampilfier ทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ถูกมอดูเลทแล้วจะถูกส่งเข้าสู่ขาเบสของทรานซิสเตอร์ BD139 ซึ่งเป็นทรานซิสเตอร์แบบ NPN ซึ่งจะทำให้ระดับแรงดันที่ขาคอลเลคเตอร์เปลี่ยนไปตามความถี่ที่ได้รับจากขาเบส ขาคอลเลคเตอร์นี้ถูกต่อเข้ากับวงจร Tuned Amplifier โดยใช้ IF Coil ที่ด้านปฐมภูมิต่อขนานกับตัวเก็บประจุ ซึ่งคำนวณได้โดย เริ่มจากการนำ IF Coil ไปทำการวัดค่าความเหนี่ยวนำ (Inductance) ดังนี้

$L_{min}$ =0.10mH

$L_{max}$ =0.11mH

$C_{min}$ =10.23nF

$C_{max}$ =11.257nF

คำนวณค่า C ได้จาก

$$\omega = \frac{1}{\sqrt{LC}}$$

จาก f = 150 kHz

$$\omega = 2\pi \times 150K$$

$$= 942.5\ K\ Rad$$

ดังนั้นในการออกแบบเราเลือกใช้ค่า C = 12nF

ส่วนในด้านทุติยภูมิของ IF Coil จะเป็นส่วนที่ติดต่อกับด้านไฟฟ้ากระแสสลับ (AC Line) โดยก่อนเข้าสู่สายไฟบ้านจะต้องผ่านตัวเก็บประจุเพื่อแยกระหว่างความถี่สูงกับความถี่ต่ำออกจากกัน ค่าตัวเก็บประจุที่ใช้คำนวณนี้ได้จากค่าความเหนี่ยวนำในด้านทุติยภูมิโดย

$$\omega = \frac{1}{\sqrt{2LC}}$$

จากการวัดพบว่า

$L_{min}$ = 0.33mH

$L_{max}$ = 0.55mH

คำนวนได้ค่า

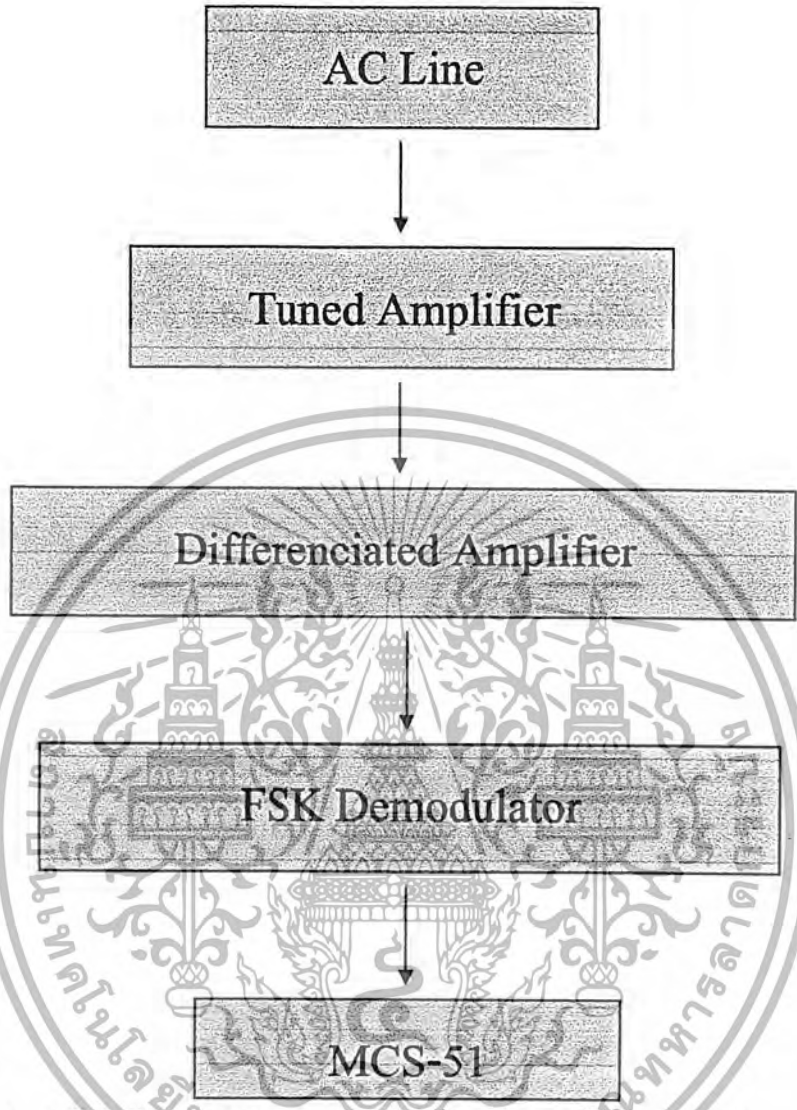
$2C_{min}$ = 2.046nF

$2C_{max}$ = 3.41nF

ในวงจรเลือกใช้ค่า C= 1.5nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.2 การออกแบบวงจรทางภาครับ**




รูปที่ 3.5 แผนผังลำดับการทำงานของวงจรรับส่งข้อมูลผ่านสายไฟฟ้าของตัวรับ

**- คุณสมบัติวงจรในตัวรับ**

1. Tuned Amplifier เป็นส่วนที่เลือกรับเฉพาะช่วงความถี่ ที่ต้องการ

2. Differenciated Amplifier ขยายสัญญาณที่ได้ให้มีขนาดพอที่จะสามารถตรวจสอบระดับลอจิก "0" และระดับลอจิก "1"

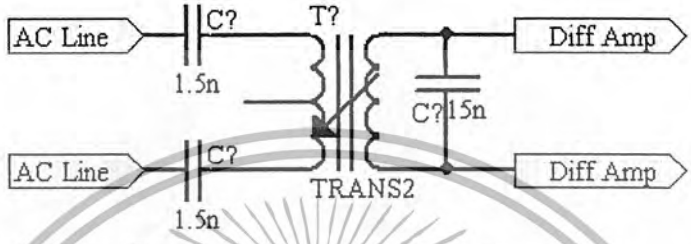
3. FSK Demodulator แปลงสัญญาณในรูปแบบ FSK ให้เป็นสัญญาณดิจิตอล จากการต่อใช้งานไอซีเบอร์ XR-2211

4. MCS-51 ทำการประมวลผล และแสดงผลติดต่อผู้ใช้ ผ่าน LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

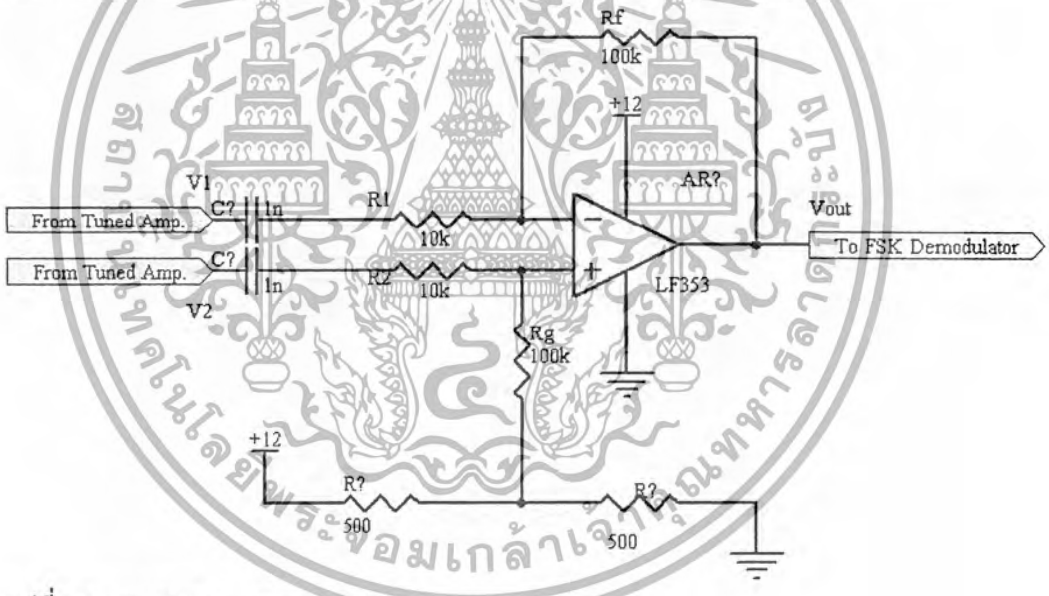
**3.2.1 การออกแบบวงจร Tuned Amplifier ทางภาครับ**

ในส่วนแรกจะทำการแยกสัญญาณความถี่สูงออกจากสัญญาณความถี่ต่ำด้วยตัวเก็บประจุ จากนั้นนำสัญญาณที่ได้ผ่านวงจร Tuned Amplifier โดยใช้ IF Coil ร่วมกับตัวเก็บประจุเพื่อให้วงจรภาครับได้ลักษณะสัญญาณที่ดีที่สุด สำหรับการคำนวนค่าตัวเก็บประจุที่ใช้ในการแยกสัญญาณไฟฟ้ากระแสสลับ 50 Hz และตัวเก็บประจุที่ใช้ในวงจร Tuned Amplifier สามารถคำนวนได้ในลักษณะเดียวกับวงจรทางภาคส่ง แต่ในการทดลองเราเลือกใช้ค่าตัวเก็บประจุที่ต่อขนานกับ IF Coil เท่ากับ 15nF




รูปที่ 3.6 วงจร Tuned Amplifier ทางภาครับ

**3.2.2 การออกแบบวงจรขยายความต่าง (Differenciated Amplifier)**




รูปที่ 3.7 วงจรDifferenciated Amplifier

นำสัญญาณที่ได้จากวงจร Tuned Amplifier ผ่านเข้าสู่วงจรขยายความต่าง (Differenciated Amplifier) โดยใช้ LF353 ต่อให้มีอัตราการขยายมีค่าเป็น 10

จาก $\frac{R_f}{R1} = \frac{R_g}{R2}$

ดังนั้น

$$Vout = -\frac{R_f}{R1}(V2 - V1)$$

โดยให้อัตราขยายมีค่าเป็น 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้

Vout=-10(V2-V1)

ในการออกแบบเราเลือกใช้ R1=R2=10kΩ Rf = Rg = 100kΩ

คำนวณค่า C จาก

$$1/(C \times 10k) = 2\pi f$$

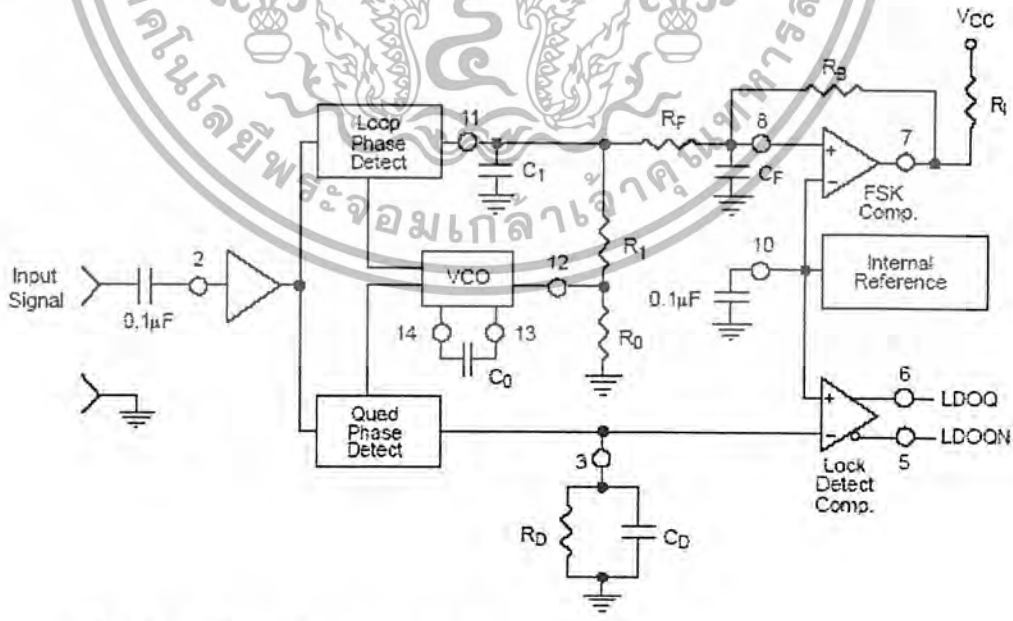
ซึ่งในที่นี้เลือกใช้ค่า C = 1nF จะได้ความถี่ cut-off ที่ประมาณ15kHz

**3.2.3 การออกแบบวงจร FSK DEMODULATOR**

ในการออกแบบ FSK Demodulator ได้นำไอซี เบอร์ XR2211 ซึ่งเป็นโมโนลิธิคเฟสล็อคลูป โดยมีย่านความถี่ในการใช้งานตั้งแต่ 0.01Hz ถึง 300Hz โครงสร้างภายในของIC XR2211 มาประยุกต์เป็น FSK Dmodulator จะเป็นดังรูปที่3.10 ส่วนประกอบหลักของ PLL ใน XR2211 ประกอบด้วย 2 ส่วนคือ

1. Signal Pre-Amp มีหน้าที่ จำกัดขนาดของสัญญาณอินพุท ให้อยู่ในค่าประมาณ 2 mV และ ขยายสัญญาณอีกครั้งหนึ่งเพื่อให้เป็นสัญญาณระดับสูง
2. VCO(Voltage Control Oscillator) มีเฟสดีเทคเตอร์เป็นภาคแรก โดยเอาท์พุทจะได้เป็นความถี่ผลบวก และความถี่ผลต่างคือ 2F และ 0 ตามลำดับ เมื่อเฟสดีเทคอยู่ในสถานะผลบวก ก็จะได้ DC Error Voltage ออกไปยัง VCO เพื่อควบคุม การผลิตความถี่ออกมาค่าหนึ่ง ในภาวะปกติความถี่ฟรีรันนิ่ง (fo)จะSet โดยค่าความต้านทาน Ro และคาปาซิสเตอร์ Co ซึ่งสามารถหาค่า fo ได้จากสมการข้างล่างนี้

$$f_o = \frac{1}{R_o \times C_o}$$



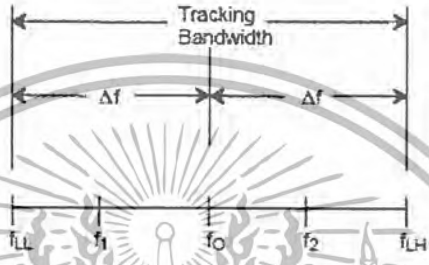

รูปที่ 3.8โครงสร้างภายใน FSK Demodulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจร FSK Demodulator การออกแบบอุปกรณ์ที่ต่อภายนอก โดย Ro,Co จะเป็นตัวกำหนด Free Running Frequency หรือ Centor Frequency(fo) ของเฟสล็อคลูป(Phase Lock Loop) , R1 จะเป็นตัวกำหนดแบนด์วิท , C1 จะเป็นตัวกำหนด Damping Factor หรือ Filter Time Constant , Cf และ Rf เป็นตัวกำหนดค่า Data FSK Output ค่าความต้านทาน $R_B$ที่ ต่อระหว่างขา 7 กับขา 8 เป็นตัวป้อนกลับเพื่อให้ Transition Time ของเอาท์พุท FSK เร็วขึ้น ดังนั้นจึงได้ค่าอุปกรณ์ต่างๆดังนี้

การออกแบบตามการคำนวนใน Data sheet

1.คำนวนค่าความถี่ศูนย์กลาง($f_0$)ของ PLL จาก




ความถี่มาร์คและสเปซกำหนดไว้คือ 146kHz/154kHz

$$F_0 = \frac{fm+fs}{2} = 150kHz$$

ขั้นที่ 2เลือกค่า Co = 181pF

ขั้นที่ 3 คำนวณหาค่า Ro

จาก $Ro = 1/fo \times Co$

$= 1/150k \times 181p$

$\approx 5k\Omega$

ขั้นที่ 4 คำนวณหาค่า R1

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

$$= 5k \times \frac{150k}{10k} \approx 200k\Omega$$

ขั้นที่ 5 คำนวณหาค่า C1

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

$\varsigma = 0.5$

$$= \frac{1250.181p}{200kx\,(0.5)^2}$$

$\approx 24pF$

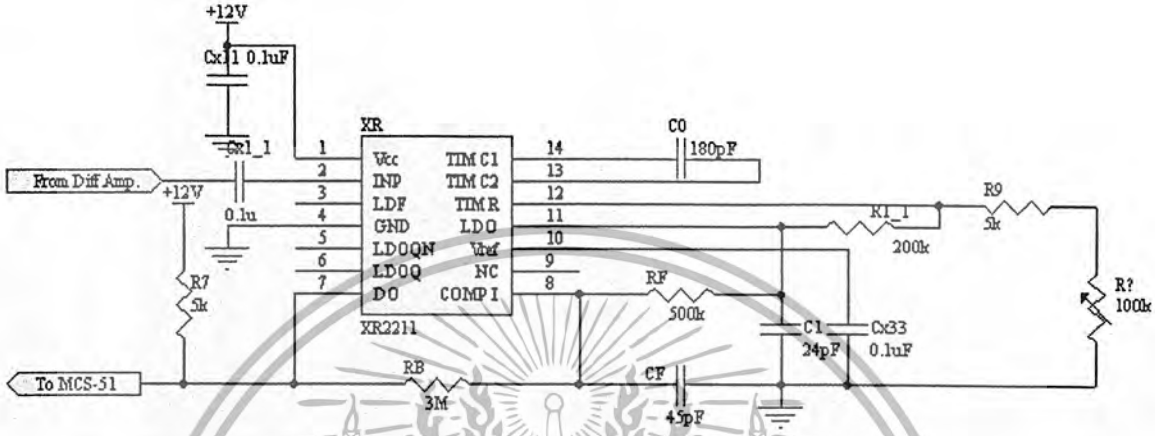
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 6 เลือกใช้ค่า Rf = 570kΩ

ขั้นที่ 7 คำนวณหาค่า Rb =3MΩ ควรมีค่าประมาณ 5 เท่าของ Rf

ขั้นที่ 8 คำนวณหาค่า Cf

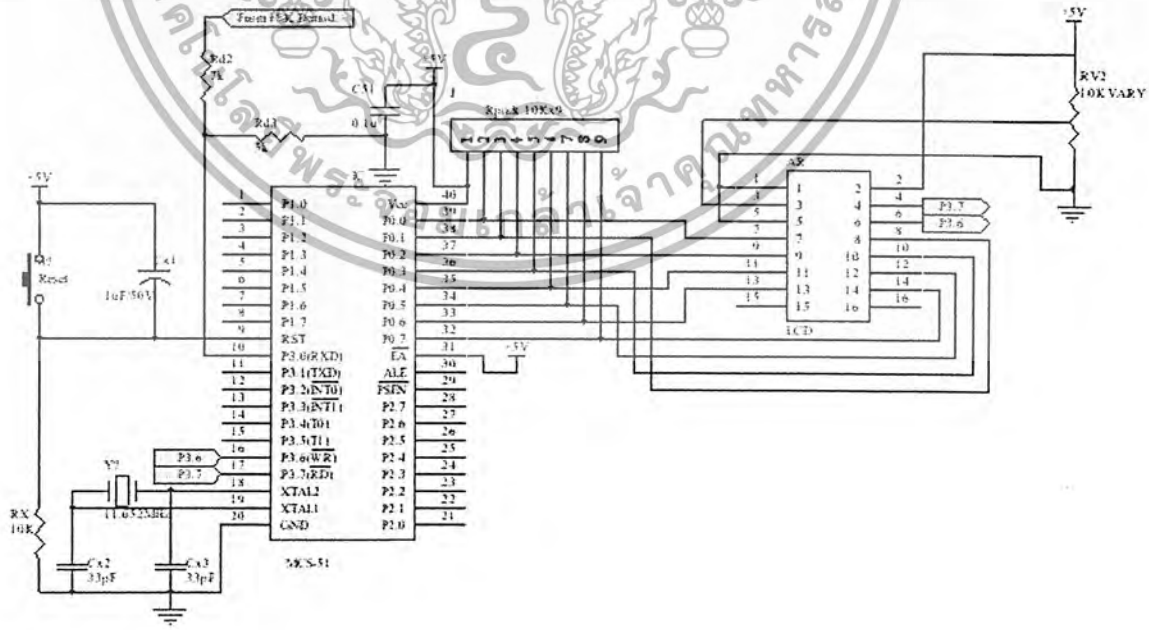
$$Cf = 3/Baudrate = 3/1200 \approx 45pF$$




รูปที่ 3.9 วงจร FSK Demodulator

**3.2.4 การออกแบบวงจรประมวลและแสดงผล**

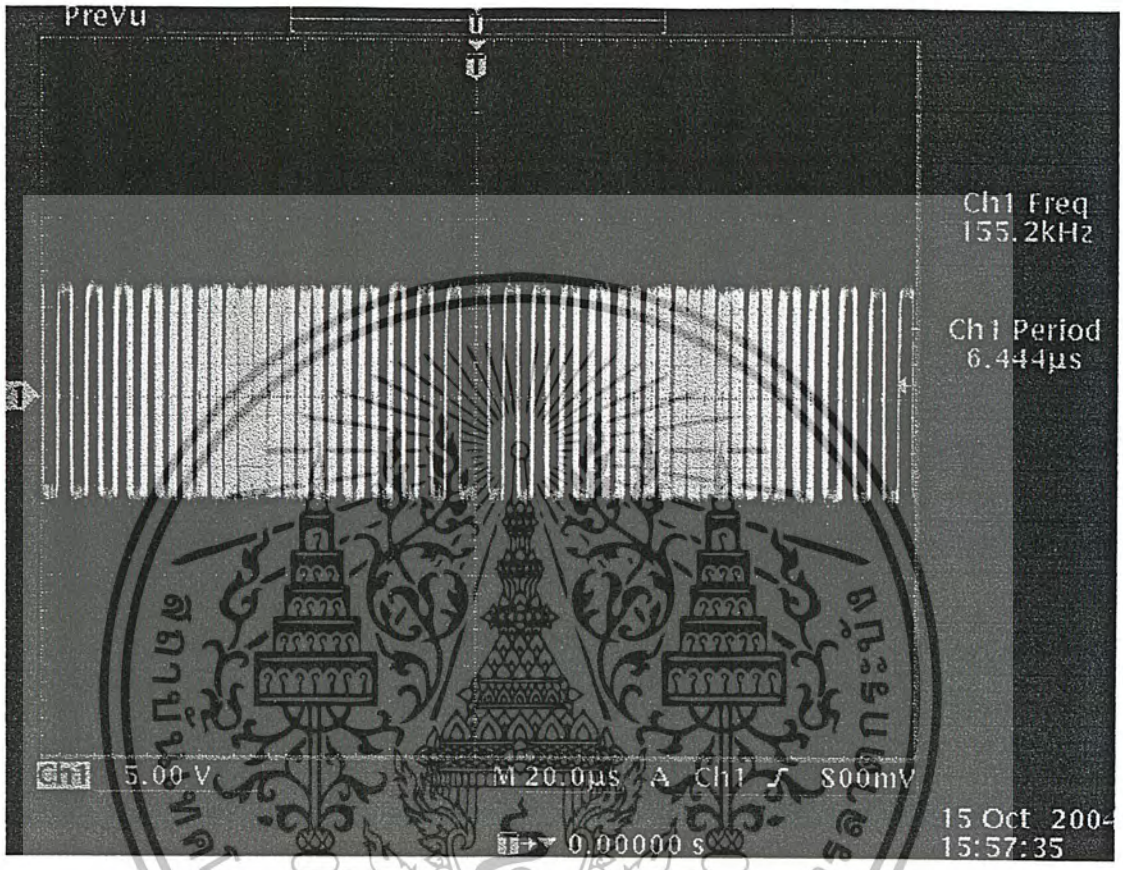
ในการออกแบบวงจรรับค่าอินพุทจากผู้ใช้นั้น ได้นำไมโครคอนโทลเลอร์MCS-51 มาช่วยในการทำงาน โดยนำค่าจากFSK Demodulatorมาทำการประมวลผลแล้วทำการแสดงผลติดต่อผู้ใช้ผ่านLCD




รูปที่ 3.10 วงจรประมวลและแสดงผล

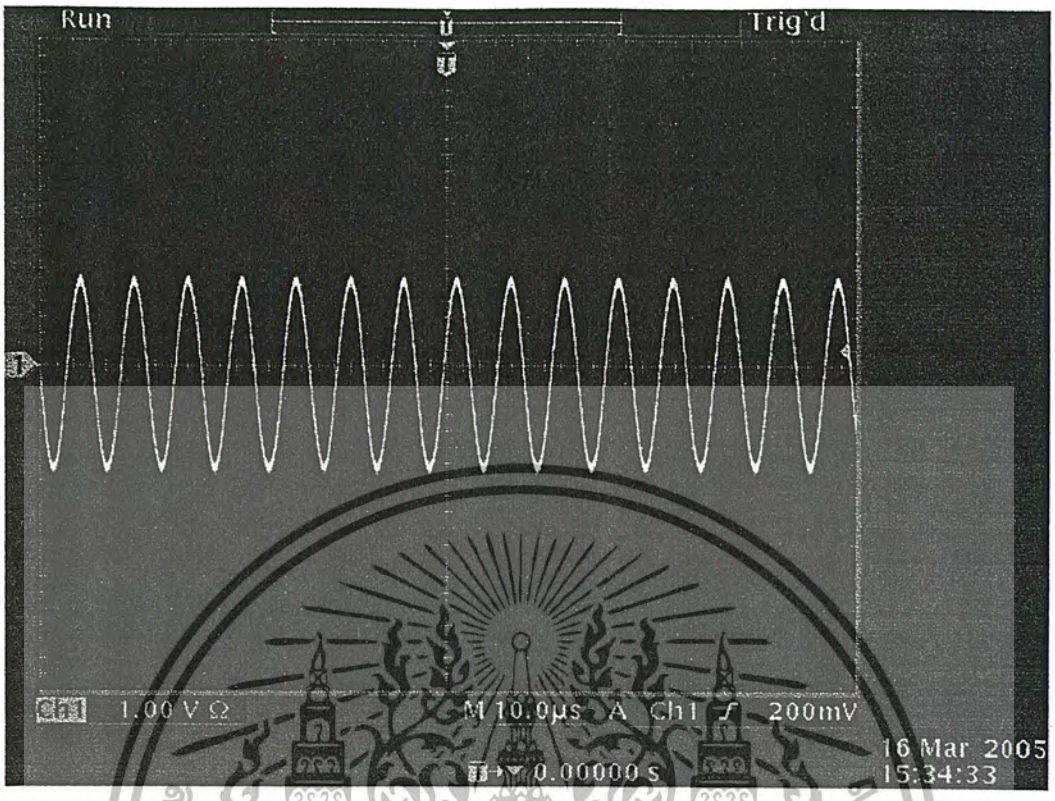
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่4 การทดลองและผลการทดลอง



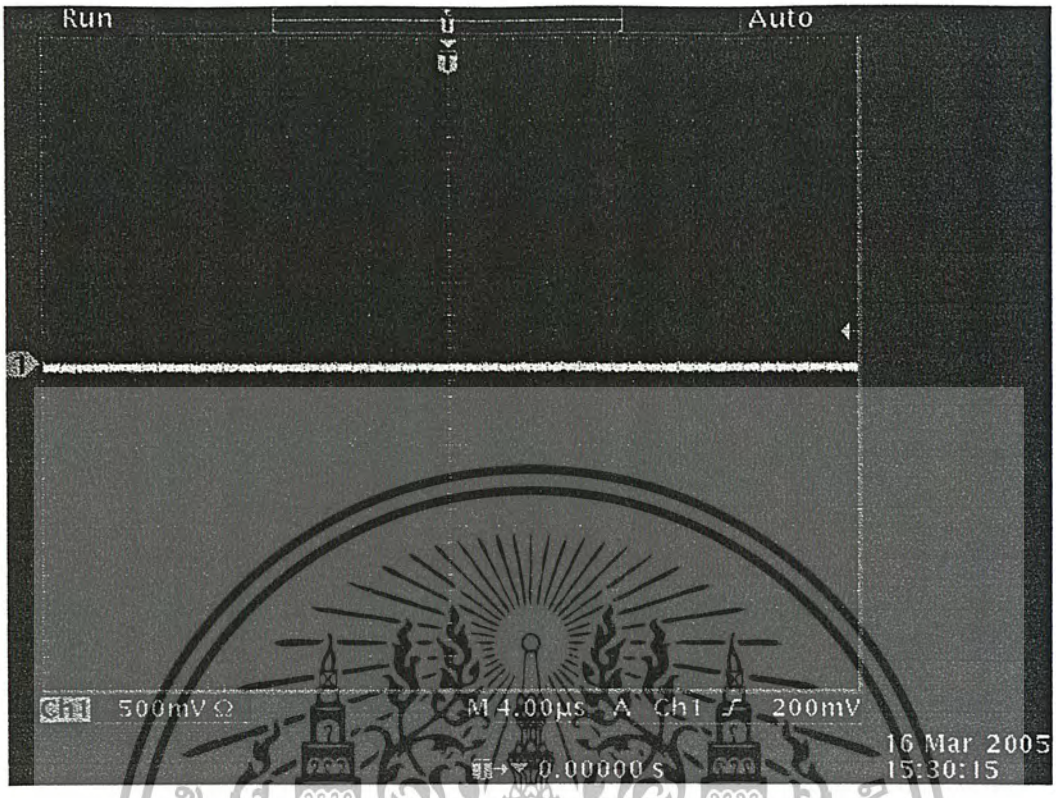

รูปที่ 4.1 สัญญาณเอาท์พุทจากการมอดูเลตFSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



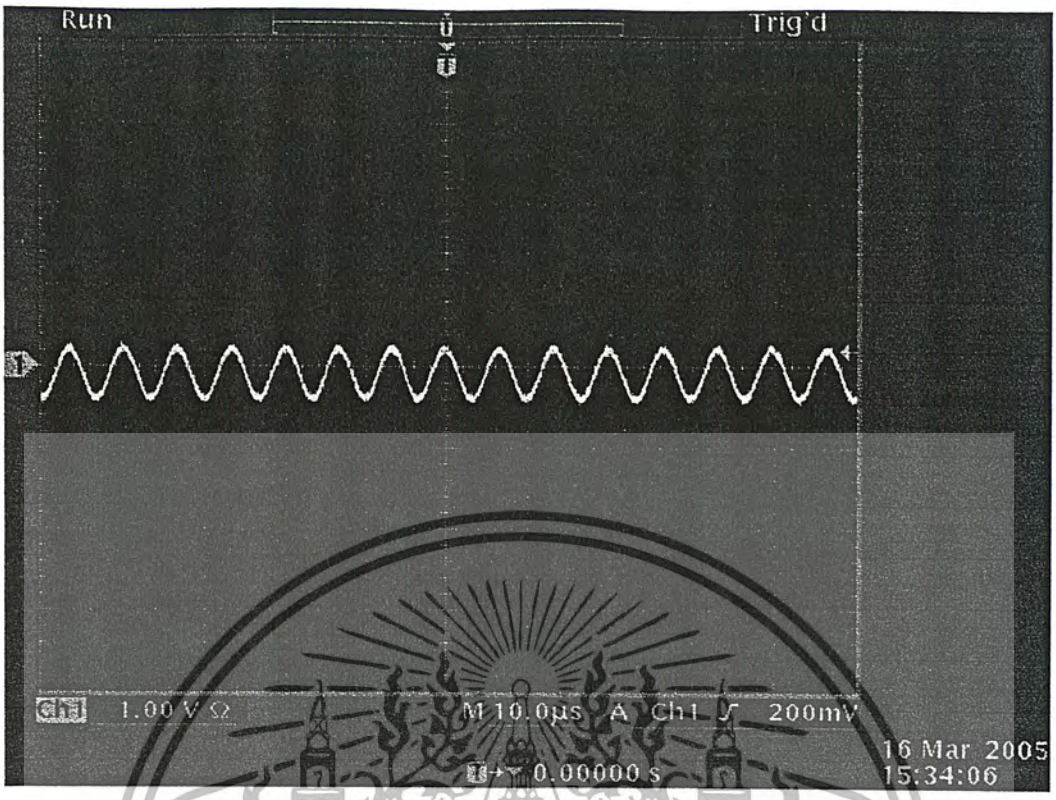

รูปที่ 4.2 สัญญาณเอาท์พุทจากTuned amplifierตัวส่ง เมื่อทำการส่งสัญญาณที่มีค่าความถี่ 150KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



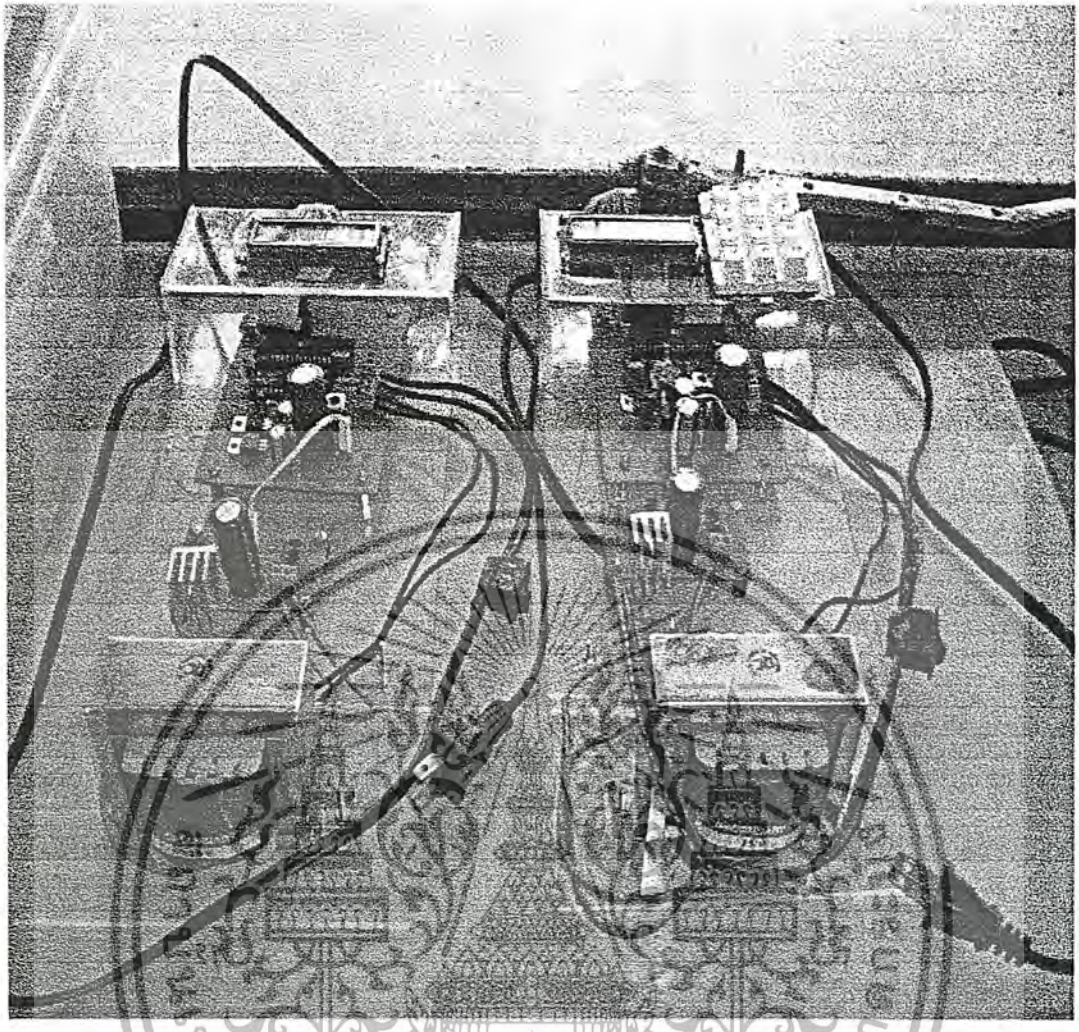

รูปที่ 4.3 สัญญาณเอาท์พุทจากTuned Amp ที่ยังไม่สามารถจูนรับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.4 สัญญาณเอาท์พุทจากTuned Ampตัวรับเมื่อทำการจูนที่ความถี่150kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5 วิเคราะห์และสรุปผลการทดลอง

## วิเคราะห์ผลการทดลอง

- จากการทดลองเห็นได้ชัดว่า สัญญาณที่สามารถทำการดีมอดูเลทได้ดีนั้นจะต้องมีการกำจัดสัญญาณรบกวน และสัญญาณในช่วงความถี่ที่ไม่ต้องการออกไปอย่างแม่นยำ
- ส่วนอุปกรณ์ที่ใช้ในโครงงานจะไม่สามารถใช้ค่าอุปกรณ์ที่ได้จากการคำนวน เพราะอุปกรณ์แต่ละตัวมีความคลาดเคลื่อน ดังนั้นจึงต้องปรับแต่งค่าอุปกรณ์ที่เหมาะสมจากการทดลองจริง ซึ่งจะมีค่าใกล้เคียงกับค่าที่เราคำนวนไว้

## สรุปผลการทดลอง

ในการเลือกความถี่คลื่นพาหะ ควรเลือกให้เหมาะสำหรับการส่งผ่านข้อมูลไปในสายไฟฟ้า คือให้สูงกว่าความถี่ในสายไฟ 50 Hz มากๆ โครงงานนี้เลือกใช้คลื่นพาหะประมาณ150 KHz ส่วนช่วง Bandwidth ในการส่งไม่ควรมีค่ามากจนเกินไปเพราะอาจทำให้เกิดสัญญาณรบกวนจากฮาโมนิกได้ และถ้าเลือกค่า Bandwidth น้อยเกินไปอาจทำให้ไม่สามารถตรวจจับสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

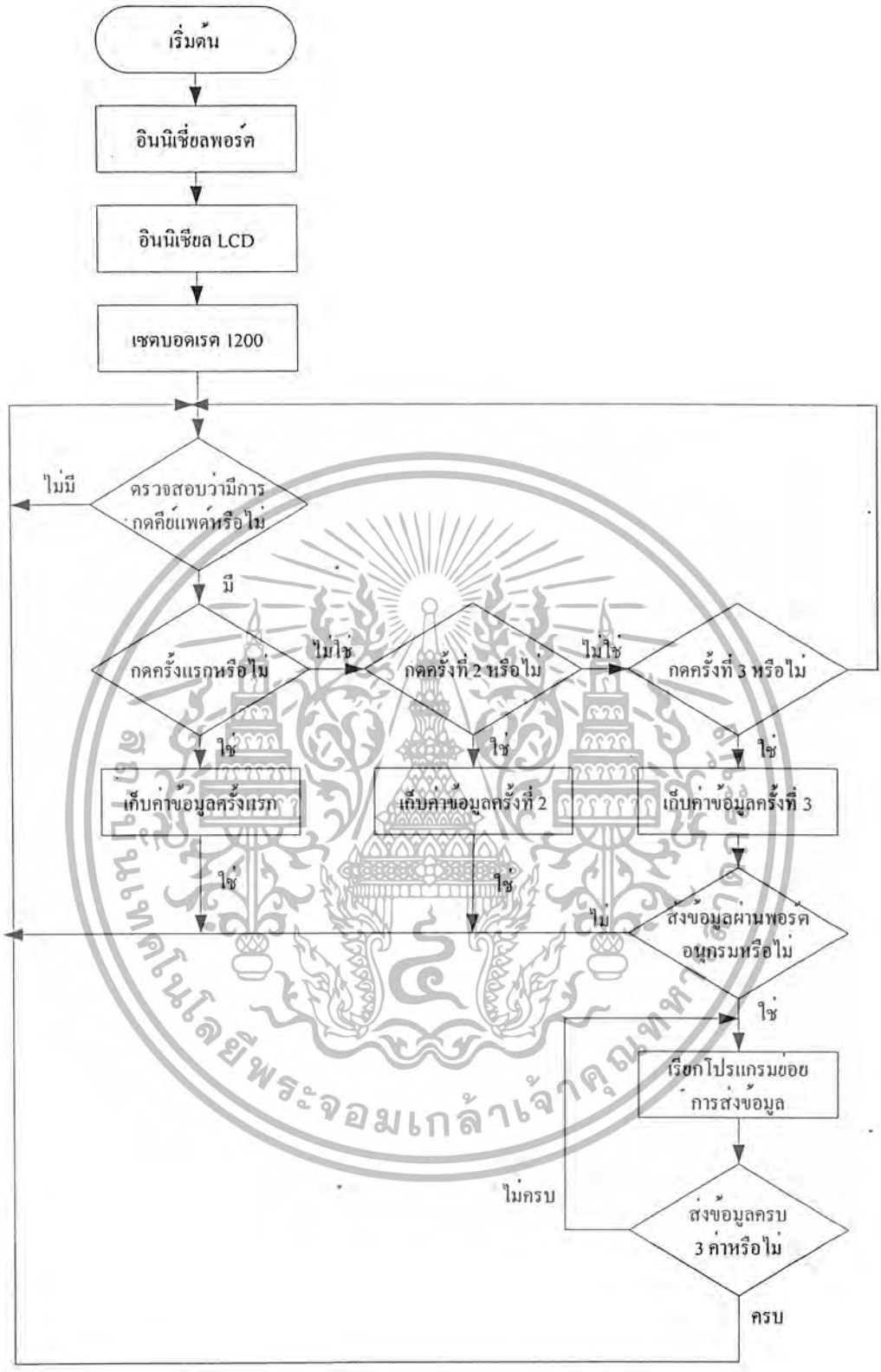
**การพัฒนาต่อ**

- พัฒนาอัตราบอท(baud rate)ของการส่งข้อมูล
- พัฒนาจำนวนของข้อมูลต่อการส่ง 1 ครั้ง
- พัฒนาระยะทางของการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**Flowchart ตัวส่ง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อยการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1:  ;-------------------------------------------------------------------------
    --
2:  ; Define Port&Pin Name
3:  ;-------------------------------------------------------------------------
    --
4:  LCD_EN          BIT     P3.6    ; LCD Module Enable (Active High : Level)
5:  LCD_RS          BIT     P3.7    ; LCD Module Register Select
6:
7:  KPAD_ROW0       BIT     P2.0    ; Keypad Input Row 0
8:  KPAD_ROW1       BIT     P2.1    ; Keypad Input Row 1
9:  KPAD_ROW2       BIT     P2.2    ; Keypad Input Row 2
10: KPAD_ROW3       BIT     P2.3    ; Keypad Input Row 3
11: KPAD_COL2       BIT     P2.4    ; Keypad Output Column 2
12: KPAD_COL1       BIT     P2.5    ; Keypad Output Column 1
13: KPAD_COL0       BIT     P2.6    ; Keypad Output Column 0
14:
15: ;-------------------------------------------------------------------------
    --
16: ; Define User Register
17: ;-------------------------------------------------------------------------
    --
18:
19: LCD_ADDR        EQU     030H    ; For keep LCD Address
20: LCD_DATA        EQU     031H    ; For keep LCD Data
21: KPAD_DATA       EQU     032H    ; For keep Keypad Data
22: DATA_1          EQU     033H    ; For keep begin data input
23: DATA_2          EQU     034H    ; For keep begin data input
24: DATA_3          EQU     035H    ; For keep begin data input
25:
26: ;-------------------------------------------------------------------------
    --
27: ; Main Program.
28: ;-------------------------------------------------------------------------
    --
29:
30:             ORG     0000H           ; Reset Vector
31:             AJMP    MAIN
32:
33:             ORG 0003H
34:             AJMP    INT_SEND
35:
36:
37: MAIN:       MOV     PCON,#00H       ;SMOD=0
38:             MOV     SCON,#40H       ;Serial(MODE1),REN=0 can't recieve
39:             MOV     TMOD,#20H       ;Timer(Mode2)
40:             MOV     TH1,#0E8H       ;1200 baud @ 11.059 MHz
41:             SETB    IT0             ;edge level INT0
42:             SETB    TR1             ;Start timer1
43:             MOV     IE,#81H         ;EA=1,ES=0,EX0=1
44:
45:             MOV     P0,#00000000B   ; Clear Databus
46:             CLR     LCD_EN          ; Clear LCD Enable
47:             CLR     LCD_RS          ; Clear LCD RS
48:             MOV     P2,#11111111B   ; Clear status keypad and 1-Wire
49:             ACALL   INIT_LCD        ; Call LCD Initial subroutine
50:             MOV     DPTR,#TITLE_BEGIN1
51:             ACALL   WRLINE_LCD
52:             ACALL   DELAY_1s
53:             ACALL   DELAY_1s
54:             ACALL   LCD_CLR
55:             MOV     DPTR,#TITLE_BEGIN2
56:             ACALL   WRLINE_LCD
57:             ACALL   DELAY_1s
58:             ACALL   DELAY_1s
59:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
60:                 ACALL   LCD_CLR
61:  FIRST:         MOV     LCD_ADDR,#000H  ; Set Address 00H
62:                 ACALL   SET_ADDR_LCD
63:                 MOV     R5,#0
64:
65:
66:  LOOP:          ACALL   GET_KPAD        ; Get Keypad Data
67:                 MOV     A,KPAD_DATA     ;
68:                 JZ      LOOP            ; Check Keypad Pressed?
69:
70:  SHOW:          INC     R5
71:                 MOV     DPTR,#TITLE     ; Index Pointer ROM to Show LCD
72:                 ACALL   WRITE_LEI       ; 00H-07H (Increase automatic)
73:                 MOV     R0,KPAD_DATA    ; KEEP DATA KEYPAD
74:
75:  CHPUSH:        ACALL   GET_KPAD
76:                 CLR     C
77:                 MOV     A,R0
78:                 SUBB    A,KPAD_DATA
79:                 JZ      CHPUSH
80:
81:
82:                 ;ACALL  DELAY_1s        ; Delay
83:                 ACALL   DELAY_100ms
84:                 ;ACALL  DELAY_1s
85:
86:                 CJNE    R5,#1,CNEXT1
87:                 MOV     DATA_1,R0
88:                 AJMP    LOOP
89:
90:  CNEXT1:        CJNE    R5,#2,CNEXT2
91:                 MOV     DATA_2,R0
92:                 AJMP    LOOP
93:
94:  CNEXT2:        CJNE    R5,#3,LOOP
95:                 MOV     DATA_3,R0
96:
97:                 ACALL   LCD_CLR
98:
99:                 ;MOV    LCD_ADDR,#000H  ; Set Address 00H
100:                ;ACALL  SET_ADDR_LCD
101:                MOV     DPTR,#PWORD
102:                ACALL   WRLINE_LCD
103:                ACALL   DELAY_1s
104:                ACALL   LCD_CLR
105:
106:                MOV     DPTR,#TITLE
107:                ACALL   WR_PWORD
108:                ACALL   DELAY_1s
109:                ACALL   LCD_CLR
110:
111:                MOV     DPTR,#ASK
112:                ACALL   WRLINE_LCD
113:                ACALL   DELAY_1s
114:                ACALL   LCD_CLR
115:
116:                MOV     R5,#0
117:
118: CONFIRM:        ACALL   GET_KPAD
119:                MOV     A,KPAD_DATA
120:                CJNE    A,#00001010B,CH_NOT
121:                MOV     DPTR,#OK
122:                ACALL   WRLINE_LCD
123:                ACALL   DELAY_1s
124:                ACALL   OK_SEND
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
125:                    ACALL   LCD_CLR
126:                    AJMP    LOOP
127:
128: CH_NOT:            CJNE    A,#00001100B,CONFIRM
129:                    MOV     DPTR,#CANCEL
130:                    ACALL   WRLINE_LCD
131:                    ACALL   DELAY_1s
132:                    ACALL   LCD_CLR
133:                    AJMP    LOOP
134:
135:
136: NEXT:               AJMP    LOOP
137:
138:
139: ;-------------------------------------------------------------------------
     --
140: ; INTERUPT PROGRAM
141: ;-------------------------------------------------------------------------
     --
142: INT_SEND:          MOV     A,R0
143:                    MOV     R1,A
144:                    MOV     R3,#0
145:                    MOV     R4,#0
146:                    MOV     A,#00001111B
147:                    ANL     A,R1
148:                    MOV     R1,A
149:                    MOV     A,#01000000B    ;Header is 010 at 3 bit of first da
     ta
150:                    ORL     A,R1            ;OUTPUT=#010xxxxxB
151:                    MOV     R1,A
152:
153:                    CLR     C
154:                    MOV     R2,#0
155:                    MOV     A,R1
156: CHECK:              RRC     A
157:                    JC      PAR
158:                    INC     R2
159:                    CJNE    R2,#8,CHECK
160: SETBIT:            MOV     A,R3
161:                    MOV     B,#2
162:                    DIV     AB
163:                    MOV     R3,B
164:                    MOV     A,R1
165:                    CJNE    R3,#0,ADDBIT
166:
167: SEND:               MOV     SBUF,A
168: WAIT:               JNB     TI,WAIT
169:                    CLR     TI
170:                    ACALL   DELAY_10ms
171:                    INC     R4
172:                    CJNE    R4,#3,SEND
173:                    ACALL   DELAY_1s
174:                    RET
175:
176:
177: ;-------------------------------------------------------------------------
     --
178: PARITY BIT
179: ;-------------------------------------------------------------------------
     --
180: PAR:                INC     R3
181:                    INC     R2
182:                    CJNE    R2,#8,CHECK
183:                    AJMP    SETBIT
184:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
185: ADDBIT:          SETB    ACC.4
186:                  AJMP    SEND
187:
188: ;-------------------------------------------------------------------------
     --
189: ; Keypad Scan key Subroutine
190: ;-------------------------------------------------------------------------
     --
191: GET_KPAD:        MOV     P2,#0FFH          ; Pull P2 to High
192:                  MOV     KPAD_DATA,#0      ; Clear Keypad Data
193:
194: CHK_COL0:        CLR     KPAD_COL0         ; Begin Scan Column 0
195:                  MOV     A,P2              ; Get Port2 Value
196:                  ANL     A,#00FH           ; Get only lower 4 bit
197:                  CJNE    A,#00FH,COL0_DETECT ; Check All rows '1'?
198:                  AJMP    CHK_COL1          ; All rows '1' => check next column
199:
200: COL0_DETECT:     MOV     KPAD_DATA,#00000001B    ; Initial KPAD_DATA = 1
201:                  AJMP    GET_ROW           ; Jump to get row value
202:
203: CHK_COL1:        SETB    KPAD_COL0         ; Stop Scan Column 0
204:                  CLR     KPAD_COL1         ; Begin Scan Column 1
205:                  MOV     A,P2              ; Get Port2 Value
206:                  ANL     A,#00FH           ; Get only lower 4 bit
207:                  CJNE    A,#00FH,COL1_DETECT ; Check All rows '1'?
208:                  AJMP    CHK_COL2          ; All rows '1' => check next column
209:
210: COL1_DETECT:     MOV     KPAD_DATA,#00000010B    ; Initial KPAD_DATA = 2
211:                  AJMP    GET_ROW           ; Jump to get row value
212:
213: CHK_COL2:        SETB    KPAD_COL1         ; Stop Scan Column 1
214:                  CLR     KPAD_COL2         ; Begin Scan Column 2
215:                  MOV     A,P2              ; Get Port2 Value
216:                  ANL     A,#00FH           ; Get only lower 4 bit
217:                  CJNE    A,#00FH,COL2_DETECT ; Check All rows '1'?
218:                  RET                       ; All rows '1' => return
219:
220: COL2_DETECT:     MOV     KPAD_DATA,#00000011B    ; Initial KPAD_DATA = 2
221:
222: GET_ROW:         CLR     KPAD_COL0         ; Enable all Column to find Crosspo
     int
223:                  CLR     KPAD_COL1         ;
224:                  CLR     KPAD_COL2         ;
225:
226:                  JB      KPAD_ROW0,CHK_ROW1 ; Check Row 0 Detect?
227:                  RET                       ; Row 0 Detect => return
228:
229: CHK_ROW1:        JB      KPAD_ROW1,CHK_ROW2 ; Check Row 2 Detect?
230:                  MOV     A,KPAD_DATA       ; Add 3 with KPAD_DATA
231:                  ADD     A,#00000011B              ;
232:                  MOV     KPAD_DATA,A       ;
233:                  RET                       ; Return
234:
235: CHK_ROW2:        JB      KPAD_ROW2,CHK_ROW3 ; Check Row 2 Detect?
236:                  MOV     A,KPAD_DATA       ; Add 6 with KPAD_DATA
237:                  ADD     A,#00000110B              ;
238:                  MOV     KPAD_DATA,A       ;
239:                  RET                       ; Return
240:
241: CHK_ROW3:        MOV     A,KPAD_DATA       ; Add 9 with KPAD_DATA
242:                  ADD     A,#00001001B              ;
243:                  MOV     KPAD_DATA,A       ;
244:                  RET                       ; Return
245:
246: ;-------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
246: --
247: ; LCD Initialize
248: ;-------------------------------------------------------------------------
     --
249: INIT_LCD:        ACALL   DELAY_100ms     ; Delay
250:                  CLR     LCD_RS          ; Clear LCD_RS Pin
251:
252:                  MOV     P0,#00111000B   ; 8bit Mode
253:                  ACALL   LCD_CLK         ; Pulse LCD Clock
254:                  ACALL   DELAY_10ms      ; Delay
255:
256:                  MOV     P0,#00111000B   ; 8bit Mode
257:                  ACALL   LCD_CLK         ; Pulse LCD Clock
258:
259:                  ACALL   LCD_OFF         ; Display Off
260:
261:                  ACALL   LCD_CLR         ; Clear Display
262:
263:                  MOV     P0,#00000110B   ; Entry Mode
264:                  ACALL   LCD_CLK         ; Pulse LCD Clock
265:
266:                  ACALL   LCD_HOME        ; Return Home Display
267:
268: ;-------------------------------------------------------------------------
     --
269: ; LCD Clear Display
270: ;-------------------------------------------------------------------------
     --
271: LCD_CLR:         CLR     LCD_RS          ; Clear LCD_RS Pin
272:                  MOV     P0,#00000001B   ; Display Clear
273:                  ACALL   LCD_CLK         ; Pulse LCD Clock
274:                  RET
275:
276: ;-------------------------------------------------------------------------
     --
277: ; LCD Return Home
278: ;-------------------------------------------------------------------------
     --
279: LCD_HOME:        CLR     LCD_RS          ; Clear LCD_RS Pin
280:                  MOV     P0,#00000010B   ; Return Home
281:                  ACALL   LCD_CLK         ; Pulse LCD Clock
282:                  RET
283:
284: ;-------------------------------------------------------------------------
     --
285: ; LCD Display Off
286: ;-------------------------------------------------------------------------
     --
287: LCD_OFF:         CLR     LCD_RS          ; Clear LCD_RS Pin
288:                  MOV     P0,#00001000B   ; Display Off
289:                  ACALL   LCD_CLK         ; Pulse LCD Clock
290:                  RET
291:
292: ;-------------------------------------------------------------------------
     --
293: ; LCD Clk
294: ;-------------------------------------------------------------------------
     --
295: LCD_CLK:         SETB    LCD_EN          ; Pulse Clock to LCD_EN
296:                  ACALL   LCD_DELAY
297:                  CLR     LCD_EN
298:                  ACALL   LCD_DELAY
299:                  RET
300:
301: ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
301: --
302: ; LCD Display On
303: ;-------------------------------------------------------------------------
     --
304: LCD_ON:          CLR     LCD_RS          ; Clear LCD_RS Pin
305:                  MOV     P0,#00001100B   ; Display On
306:                  ACALL   LCD_CLK         ; Pulse LCD Clock
307:                  RET
308:
309: ;-------------------------------------------------------------------------
     --
310: ; LCD Cursor On
311: ;-------------------------------------------------------------------------
     --
312: LCD_BLINK:       CLR     LCD_RS          ; Clear LCD_RS Pin
313:                  MOV     P0,#00001111B   ; Display Cursor and Blink
314:                  ACALL   LCD_CLK         ; Pulse LCD Clock
315:                  RET
316:
317: ;-------------------------------------------------------------------------
     --
318: ; LCD Left Shift Display
319: ;-------------------------------------------------------------------------
     --
320: LCD_LSHF:        CLR     LCD_RS          ; Clear LCD_RS Pin
321:                  MOV     P0,#00011000B   ; Left Shift Display
322:                  ACALL   LCD_CLK         ; Pulse LCD Clock
323:                  RET
324:
325: ;-------------------------------------------------------------------------
     --
326: ; LCD Right Shift Display
327: ;-------------------------------------------------------------------------
     --
328: LCD_RSHF:        CLR     LCD_RS          ; Clear LCD_RS Pin
329:                  MOV     P0,#00011100B   ; Right Shift Display
330:                  ACALL   LCD_CLK         ; Pulse LCD Clock
331:                  RET
332:
333: ;-------------------------------------------------------------------------
     --
334: ; Set LCD Address
335: ; I/P:       LCD_ADDR
336: ;-------------------------------------------------------------------------
     --
337: SET_ADDR_LCD:    CLR     LCD_RS          ; Clear LCD_RS Pin
338:                  MOV     A,LCD_ADDR      ; Move LCD_ADDR to ACC.
339:                  SETB    ACC.7           ; Set bit ACC.7
340:                  MOV     P0,A            ; Move to DATABUS
341:                  ACALL   LCD_CLK         ; Pulse LCD Clock
342:                  RET
343:
344: ;-------------------------------------------------------------------------
     --
345: ; Write Character to show LCD
346: ; I/P:       LCD_DATA
347: ;-------------------------------------------------------------------------
     --
348: WRCHAR_LCD:      SETB    LCD_RS          ; Set LCD_RS Pin
349:                  MOV     P0,LCD_DATA     ; Move LCD_DATA to DATABUS
350:                  ACALL   LCD_CLK         ; Pulse LCD Clock
351:                  ACALL   LCD_ON          ; Display On
352:                  RET
353:
354: ;-------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
354: --
355: ; Write Line of 8 Character from ROM
356: ; I/P:      DPTR : Locate ROM Address    ***WRITE MANY STRING***
357: ;-------------------------------------------------------------------------
     --
358: WRLINE_LCD:      MOV     R0,#0            ; Clear loop counter
359: WRLINE_LCD_1:    SETB    LCD_RS           ; Set LCD_RS Pin
360:                  CLR     A                ; Clear ACC.
361:                  MOVC    A,@A+DPTR        ; Move data from @DPTR to ACC.
362:                  MOV     P0,A             ; Move ACC. to DATABUS
363:                  ACALL   LCD_CLK          ; Pulse LCD Clock
364:                  INC     DPTR             ; Increase Pointer
365:                  INC     R0               ; Increase loop counter
366:                  CJNE    R0,#11,WRLINE_LCD_1 ; Do until 8 times
367:                  ACALL   LCD_ON           ; Display On
368:                  RET
369:
370: ;-------------------------------------------------------------------------
     --
371: ; Write Line of 8 Character from ROM
372: ; I/P:      DPTR : Locate ROM Address     ***WRITE 1 STRING***
373: ;-------------------------------------------------------------------------
     --
374: WRITE_LEI:       SETB    LCD_RS           ; Set LCD_RS Pin
375:                  CLR     A                ; Clear ACC.
376:                  MOV     A,KPAD_DATA
377:                  MOVC    A,@A+DPTR        ; Move data from @DPTR to ACC.
378:                  MOV     P0,A             ; Move ACC. to DATABUS
379:                  ACALL   LCD_CLK          ; Pulse LCD Clock
380:                  ACALL   LCD_ON           ; Display On
381:                  RET
382:
383: ;-------------------------------------------------------------------------
     --
384: ;Write Password 3 bits
385: ;-------------------------------------------------------------------------
     --
386: WR_PWORD:        SETB    LCD_RS           ; Set LCD_RS Pin
387:                  CLR     A                ; Clear ACC.
388:                  ;MOVC   A,@A+DPTR        ; Move data from @DPTR to ACC.
389:                  MOV     A,DATA_1
390:                  MOVC    A,@A+DPTR        ; Move data from @DPTR to ACC.
391:                  MOV     P0,A             ; Move ACC. to DATABUS
392:                  ACALL   LCD_CLK          ; Pulse LCD Clock
393:
394:                  SETB    LCD_RS           ; Set LCD_RS Pin
395:                  CLR     A                ; Clear ACC.
396:                  MOV     A,DATA_2
397:                  MOVC    A,@A+DPTR        ; Move data from @DPTR to ACC.
398:                  MOV     P0,A             ; Move ACC. to DATABUS
399:                  ACALL   LCD_CLK
400:
401:                  SETB    LCD_RS           ; Set LCD_RS Pin
402:                  CLR     A                ; Clear ACC.
403:                  MOV     A,DATA_3
404:                  MOVC    A,@A+DPTR        ; Move data from @DPTR to ACC.
405:                  MOV     P0,A             ; Move ACC. to DATABUS
406:                  ACALL   LCD_CLK
407:
408:                  ACALL   LCD_ON           ; Display On
409:                  RET
410:
411: ;-------------------------------------------------------------------------
     --
412: ;Send Data Serial
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
413: ;-------------------------------------------------------------------------
     --
414: OK_SEND:          MOV     R0,DATA_1
415:                   ACALL   INT_SEND
416:                   ACALL   DELAY_1s
417:                   ACALL   DELAY_1s
418:                   ACALL   DELAY_1s
419:
420:                   MOV     R0,DATA_2
421:                   ACALL   INT_SEND
422:                   ACALL   DELAY_1s
423:                   ACALL   DELAY_1s
424:                   ACALL   DELAY_1s
425:
426:                   MOV     R0,DATA_3
427:                   ACALL   INT_SEND
428:                   ACALL   DELAY_1s
429:                   ACALL   DELAY_1s
430:                   ACALL   DELAY_1s
431:
432:                   RET
433: ;-------------------------------------------------------------------------
     --
434: ; Dummy Delay time LCD_DELAY, 10m, 100m, 1s
435: ;-------------------------------------------------------------------------
     --
436: LCD_DELAY:        MOV     R7,#002         ; Do 2 times
437: LCD_DELAY_1:      MOV     R6,#0E6H        ; Each loop = 1 ms
438: LCD_DELAY_2:      NOP
439:                   NOP
440:                   DJNZ    R6,LCD_DELAY_2
441:                   DJNZ    R7,LCD_DELAY_1
442:                   RET
443:
444: DELAY_10ms:       MOV     R7,#010         ; Do 10 times
445: DELAY_10ms_1:     MOV     R6,#0E6H        ; Each loop = 1 ms
446: DELAY_10ms_2:     NOP
447:                   NOP
448:                   DJNZ    R6,DELAY_10ms_2
449:                   DJNZ    R7,DELAY_10ms_1
450:                   RET
451:
452: DELAY_100ms:      MOV     R7,#100         ; Do 100 times
453: DELAY_100ms_1:    MOV     R6,#0E6H        ; Each loop = 1 ms
454: DELAY_100ms_2:    NOP
455:                   NOP
456:                   DJNZ    R6,DELAY_100ms_2
457:                   DJNZ    R7,DELAY_100ms_1
458:                   RET
459:
460: DELAY_1s:         MOV     R5,#100         ; Do 100 times
461: DELAY_1s_1:       ACALL   DELAY_10ms
462:                   DJNZ    R5,DELAY_1s_1
463:                   RET
464:
465: ;-------------------------------------------------------------------------
     --
466: ;Define Constant < Store in Flash EEPROM Program Memory >
467: ;-------------------------------------------------------------------------
     --
468: ;                    0123456789123
469: TITLE_BEGIN1:     DB      'AC-LINE.'
470: TITLE_BEGIN2:     DB      'Ready...'
471: TITLE:           DB      ' 123456789*0# '
472: ASK:              DB      'Y Or Not'
```

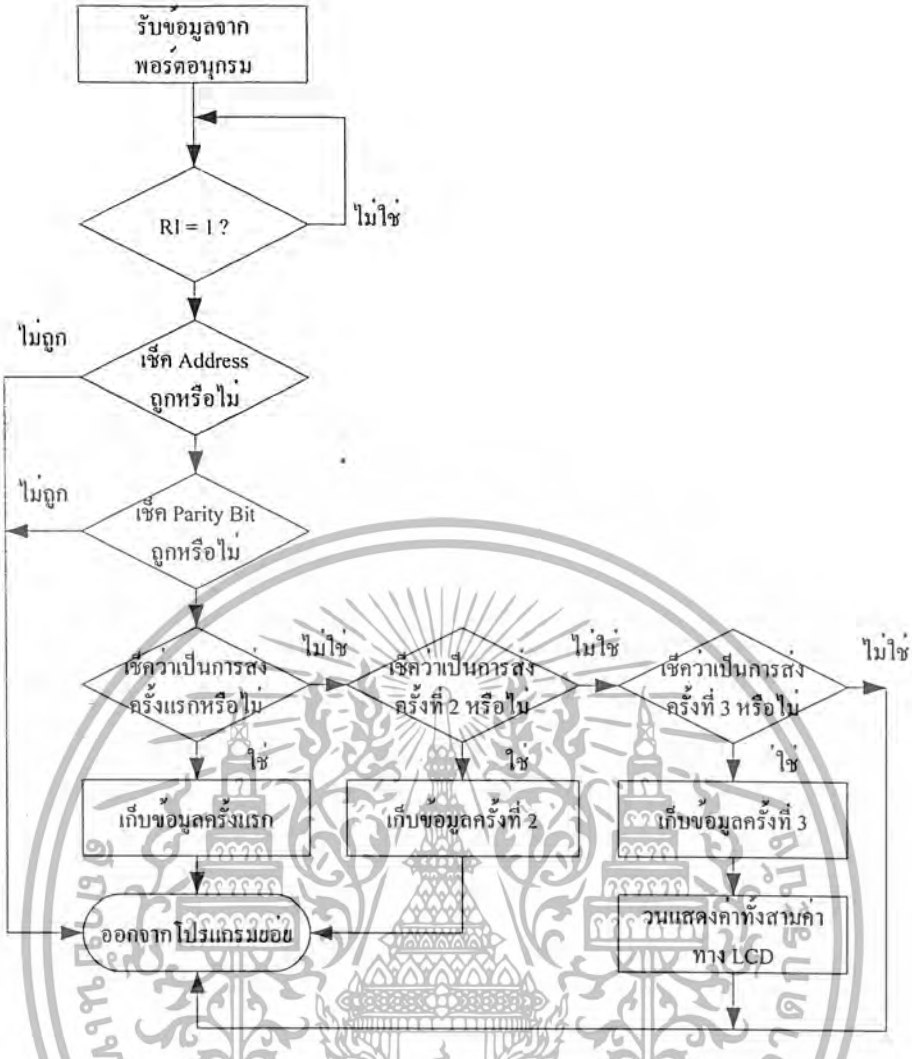
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
473: PWORD:          DB      'Command '
474: OK:             DB      'Sending.'
475: CANCEL:         DB      'Cancel. '
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Flowchartตัวรับ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




โปรแกรมอินเทอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1:  ;-------------------------------------------------------------------------
    --
2:  ; Define Port&Pin Name
3:  ;-------------------------------------------------------------------------
    --
4:  LCD_EN          BIT     P3.6    ; LCD Module Enable (Active High : Level)
5:  LCD_RS          BIT     P3.7    ; LCD Module Register Select
6:  ;-------------------------------------------------------------------------
    --
7:  ; Define User Register
8:  ;-------------------------------------------------------------------------
    --
9:  LCD_ADDR        EQU     030H    ; For keep LCD Address
10: LCD_DATA        EQU     031H    ; For keep LCD Data
11: KPAD_DATA1      EQU     032H    ; For keep Keypad Data
12: KPAD_DATA2      EQU     033H    ; For keep Keypad Data
13: KPAD_DATA3      EQU     034H    ; For keep Keypad Data
14:
15: ;-------------------------------------------------------------------------
    --
16: ; Main Program.
17: ;-------------------------------------------------------------------------
    --
18:                 ORG 0000H
19:                 AJMP    MAIN
20:
21:                 ORG 0023H
22:                 AJMP    INT_R
23:
24: MAIN:           MOV     PCON,#00H       ;SMOD=0
25:                 MOV     SCON,#50H       ;Serial(MODE1),REN=1 can recieve
26:                 MOV     TMOD,#20H       ;Timer(Mode2)
27:                 MOV     TH1,#0E8H       ;1200 baud @ 11.059 MHz
28:                 SETB    TR1             ;Start timer1
29:                 MOV     IE,#90H         ;EA=1,ES=1,EX0=0
30:                 MOV     P0,#00000000B   ; Clear Databus
31:                 CLR     LCD_EN          ; Clear LCD Enable
32:                 CLR     LCD_RS          ; Clear LCD RS
33:                 MOV     P2,#01010101B   ; TEST
34:                 ACALL   INIT_LCD        ; Call LCD Initial subroutine
35:                 MOV     DPTR,#TITLE2
36:                 ACALL   WRLINE_LCD
37:                 ACALL   DELAY_1s
38:                 ACALL   DELAY_1s
39:                 ACALL   LCD_CLR
40:                 MOV     DPTR,#TITLE3
41:                 ACALL   WRLINE_LCD
42:                 MOV     R1,#0
43:                 SJMP    $
44:
45:
46: INT_R:          MOV     A,SBUF
47: WAIT:           JNB     RI,WAIT
48:                 CLR     EA
49:                 MOV     R0,A
50:                 MOV     A,#11100000B
51:                 ANL     A,R0                    ;OUTPUT=#xxxP0000B
52:                 CJNE    A,#01000000B,OUT        ;CHECK CODE 010
53:                 MOV     A,R0
54:                 MOV     R2,#0
55:                 MOV     R3,#0
56:                 CLR     C
57: CHECK:          RRC     A
58:                 JC      PAR
59:                 INC     R2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
60:                     CJNE    R2,#8,CHECK
61:  CHECK2:            MOV     A,R3
62:                     MOV     B,#2
63:                     DIV     AB
64:                     MOV     R3,B
65:                     CJNE    R3,#0,OUT
66:                     ACALL   LCD_CLR
67:                     INC     R1
68:                     MOV     A,#00001111B
69:                     ANL     A,R0                    ;OUTPUT=#0000xxxxB
70:                     CJNE    R1,#1,NEXT1
71:                     MOV     KPAD_DATA1,A                ;DATA=#0000xxxxB
72:                     MOV     LCD_DATA,A
73:                     AJMP    SHOW
74:
75:  NEXT1:             CJNE    R1,#2,NEXT2
76:                     MOV     KPAD_DATA2,A
77:                     MOV     LCD_DATA,A
78:                     AJMP    SHOW
79:
80:  NEXT2:             CJNE    R1,#3,OUT
81:                     MOV     KPAD_DATA3,A
82:                     MOV     LCD_DATA,A
83:
84:  SHOW:              MOV     LCD_ADDR,#000H  ; Set Address 00H
85:                     ACALL   LCD_CLR
86:                     ACALL   SET_ADDR_LCD    ;
87:                     MOV     DPTR,#TITLE     ; Index Pointer ROM to Show LCD
88:                     MOV     A,LCD_DATA
89:                     ACALL   WRITE_LEI       ; 00H-07H (Increase automatic)
90:                     ACALL   DELAY_1s        ; Delay For Sender
91:                     ACALL   DELAY_1s
92:                     ACALL   DELAY_1s
93:
94:                     CJNE    R1,#3,OUT
95:                     MOV     R1,#0
96:                     ACALL   LCD_CLR
97:
98:                     MOV     DPTR,#TITLE5
99:                     ACALL   WRLINE_LCD
100:                    ACALL   DELAY_1s
101:                    ACALL   LCD_CLR
102:
103:                    MOV     DPTR,#TITLE
104:                    ACALL   WRPASS
105:                    ACALL   DELAY_1s
106:                    ACALL   DELAY_1s
107:                    ACALL   LCD_CLR
108:
109:                    MOV     DPTR,#NEXT_C
110:                    ACALL   WRLINE_LCD
111:                    ACALL   DELAY_1s
112:
113:                    CLR     RI
114:                    SETB    EA
115:                    RETI
116:
117:
118:
119: OUT:                CLR     RI
120:                    SETB    EA
121:                    RETI
122:
123: ;-----------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
124: ;PARITY
125: ;-------------------------------------------------------------------------
     --
126: PAR:            INC     R3
127:                 INC     R2
128:                 CJNE    R2,#8,CHECK
129:                 LJMP    CHECK2
130:
131: ;-------------------------------------------------------------------------
     --
132: ; LCD Initialize
133: ;-------------------------------------------------------------------------
     --
134: INIT_LCD:       ACALL   DELAY_100ms     ; Delay
135:                 CLR     LCD_RS          ; Clear LCD_RS Pin
136:
137:                 MOV     P0,#00111000B   ; 8bit Mode
138:                 ACALL   LCD_CLK         ; Pulse LCD Clock
139:                 ACALL   DELAY_10ms      ; Delay
140:
141:                 MOV     P0,#00111000B   ; 8bit Mode
142:                 ACALL   LCD_CLK         ; Pulse LCD Clock
143:
144:                 ACALL   LCD_OFF         ; Display Off
145:
146:                 ACALL   LCD_CLR         ; Clear Display
147:
148:                 MOV     P0,#00000110B   ; Entry Mode
149:                 ACALL   LCD_CLK         ; Pulse LCD Clock
150:
151:                 ACALL   LCD_HOME        ; Return Home Display
152:
153: ;-------------------------------------------------------------------------
     --
154: ; LCD Clear Display
155: ;-------------------------------------------------------------------------
     --
156: LCD_CLR:        CLR     LCD_RS          ; Clear LCD_RS Pin
157:                 MOV     P0,#00000001B   ; Display Clear
158:                 ACALL   LCD_CLK         ; Pulse LCD Clock
159:                 RET
160:
161: ;-------------------------------------------------------------------------
     --
162: ; LCD Return Home
163: ;-------------------------------------------------------------------------
     --
164: LCD_HOME:       CLR     LCD_RS          ; Clear LCD_RS Pin
165:                 MOV     P0,#00000010B   ; Return Home
166:                 ACALL   LCD_CLK         ; Pulse LCD Clock
167:                 RET
168:
169: ;-------------------------------------------------------------------------
     --
170: ; LCD Display Off
171: ;-------------------------------------------------------------------------
     --
172: LCD_OFF:        CLR     LCD_RS          ; Clear LCD_RS Pin
173:                 MOV     P0,#00001000B   ; Display Off
174:                 ACALL   LCD_CLK         ; Pulse LCD Clock
175:                 RET
176:
177: ;-------------------------------------------------------------------------
     --
178: ; LCD Clk
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
179: ;-------------------------------------------------------------------------
     --
180: LCD_CLK:        SETB    LCD_EN          ; Pulse Clock to LCD_EN
181:                 ACALL   LCD_DELAY
182:                 CLR     LCD_EN
183:                 ACALL   LCD_DELAY
184:                 RET
185:
186: ;-------------------------------------------------------------------------
     --
187: ; LCD Display On
188: ;-------------------------------------------------------------------------
     --
189: LCD_ON:         CLR     LCD_RS          ; Clear LCD_RS Pin
190:                 MOV     P0,#00001100B   ; Display On
191:                 ACALL   LCD_CLK         ; Pulse LCD Clock
192:                 RET
193:
194: ;-------------------------------------------------------------------------
     --
195: ; LCD Cursor On
196: ;-------------------------------------------------------------------------
     --
197: LCD_BLINK:      CLR     LCD_RS          ; Clear LCD_RS Pin
198:                 MOV     P0,#00001111B   ; Display Cursor and Blink
199:                 ACALL   LCD_CLK         ; Pulse LCD Clock
200:                 RET
201:
202: ;-------------------------------------------------------------------------
     --
203: ; LCD Left Shift Display
204: ;-------------------------------------------------------------------------
     --
205: LCD_LSHF:       CLR     LCD_RS          ; Clear LCD_RS Pin
206:                 MOV     P0,#00011000B   ; Left Shift Display
207:                 ACALL   LCD_CLK         ; Pulse LCD Clock
208:                 RET
209:
210: ;-------------------------------------------------------------------------
     --
211: ; LCD Right Shift Display
212: ;-------------------------------------------------------------------------
     --
213: LCD_RSHF:       CLR     LCD_RS          ; Clear LCD_RS Pin
214:                 MOV     P0,#00011100B   ; Right Shift Display
215:                 ACALL   LCD_CLK         ; Pulse LCD Clock
216:                 RET
217:
218: ;-------------------------------------------------------------------------
     --
219: ; Set LCD Address
220: ; I/P:      LCD_ADDR
221: ;-------------------------------------------------------------------------
     --
222: SET_ADDR_LCD:   CLR     LCD_RS          ; Clear LCD_RS Pin
223:                 MOV     A,LCD_ADDR      ; Move LCD_ADDR to ACC.
224:                 SETB    ACC.7           ; Set bit ACC.7
225:                 MOV     P0,A            ; Move to DATABUS
226:                 ACALL   LCD_CLK         ; Pulse LCD Clock
227:                 RET
228:
229: ;-------------------------------------------------------------------------
     --
230: ; Write Character to show LCD
231: ; I/P:      LCD_DATA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
232: ;-------------------------------------------------------------------------
     --
233: WRCHAR_LCD:      SETB    LCD_RS          ; Set LCD_RS Pin
234:                  MOV     P0,LCD_DATA     ; Move LCD_DATA to DATABUS
235:                  ACALL   LCD_CLK         ; Pulse LCD Clock
236:                  ACALL   LCD_ON          ; Display On
237:                  RET
238:
239: ;-------------------------------------------------------------------------
     --
240: ; Write Line of 8 Character from ROM
241: ; I/P:       DPTR : Locate ROM Address
242: ;-------------------------------------------------------------------------
     --
243: WRLINE_LCD:      MOV     R0,#0           ; Clear loop counter
244: WRLINE_LCD_1:    SETB    LCD_RS          ; Set LCD_RS Pin
245:                  CLR     A               ; Clear ACC.
246:                  MOVC    A,@A+DPTR       ; Move data from @DPTR to ACC.
247:                  MOV     P0,A            ; Move ACC. to DATABUS
248:                  ACALL   LCD_CLK         ; Pulse LCD Clock
249:                  INC     DPTR.           ; Increase Pointer
250:                  INC     R0              ; Increase loop counter
251:                  CJNE    R0,#12,WRLINE_LCD_1 ; Do until 12 times
252:                  ACALL   LCD_ON          ; Display On
253:                  RET
254:
255: ;-------------------------------------------------------------------------
     --
256: ; Write Line of 8 Character from ROM
257: ; I/P:       DPTR : Locate ROM Address     FOR TEST******************
258: ;-------------------------------------------------------------------------
     --
259: WRITE_LEI:      SETB    LCD_RS          ; Set LCD_RS Pin
260:                  CLR     A               ; Clear ACC.
261:                  MOV     A,LCD_DATA
262:                  MOVC    A,@A+DPTR       ; Move data from @DPTR to ACC.
263:                  MOV     P0,A            ; Move ACC. to DATABUS
264:                  ACALL   LCD_CLK         ; Pulse LCD Clock
265:                  ;INC       DPTR         ; Increase Pointer
266:                  ;INC       R0           ; Increase loop counter
267:                  ;CJNE   R0,#8,WRLINE_LCD_1 ; Do until 8 times
268:                  ACALL   LCD_ON          ; Display On
269:                  RET
270: ;-------------------------------------------------------------------------
     --
271: ;Write Password
272: ;-------------------------------------------------------------------------
     --
273: WRPASS:          SETB    LCD_RS          ; Set LCD_RS Pin
274:                  CLR     A               ; Clear ACC.
275:                  ;MOVC   A,@A+DPTR       ; Move data from @DPTR to ACC.
276:                  MOV     A,KPAD_DATA1
277:                  MOVC    A,@A+DPTR       ; Move data from @DPTR to ACC.
278:                  MOV     P0,A            ; Move ACC. to DATABUS
279:                  ACALL   LCD_CLK         ; Pulse LCD Clock
280:
281:                  SETB    LCD_RS          ; Set LCD_RS Pin
282:                  CLR     A               ; Clear ACC.
283:                  MOV     A,KPAD_DATA2
284:                  MOVC    A,@A+DPTR       ; Move data from @DPTR to ACC.
285:                  MOV     P0,A            ; Move ACC. to DATABUS
286:                  ACALL   LCD_CLK
287:
288:                  SETB    LCD_RS          ; Set LCD_RS Pin
289:                  CLR     A               ; Clear ACC.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
290:                    MOV     A,KPAD_DATA3
291:                    MOVC    A,@A+DPTR       ; Move data from @DPTR to ACC.
292:                    MOV     P0,A            ; Move ACC. to DATABUS
293:                    ACALL   LCD_CLK
294:
295:                    ACALL   LCD_ON          ; Display On
296:
297:                    RET
298:
299:
300: ;-------------------------------------------------------------------------
     --
301: ; Dummy Delay time LCD_DELAY, 10m, 100m, 1s
302: ;-------------------------------------------------------------------------
     --
303: LCD_DELAY:        MOV     R7,#002         ; Do 2 times
304: LCD_DELAY_1:      MOV     R6,#0E6H        ; Each loop = 1 ms
305: LCD_DELAY_2:      NOP
306:                    NOP
307:                    DJNZ    R6,LCD_DELAY_2
308:                    DJNZ    R7,LCD_DELAY_1
309:                    RET
310:
311: DELAY_10ms:        MOV     R7,#010         ; Do 10 times
312: DELAY_10ms_1:      MOV     R6,#0E6H        ; Each loop = 1 ms
313: DELAY_10ms_2:      NOP
314:                    NOP
315:                    DJNZ    R6,DELAY_10ms_2
316:                    DJNZ    R7,DELAY_10ms_1
317:                    RET
318:
319: DELAY_100ms:       MOV     R7,#100         ; Do 100 times
320: DELAY_100ms_1:     MOV     R6,#0E6H        ; Each loop = 1 ms
321: DELAY_100ms_2:     NOP
322:                    NOP
323:                    DJNZ    R6,DELAY_100ms_2
324:                    DJNZ    R7,DELAY_100ms_1
325:                    RET
326:
327: DELAY_1s:          MOV     R5,#100         ; Do 100 times
328: DELAY_1s_1:        ACALL   DELAY_10ms
329:                    DJNZ    R5,DELAY_1s_1
330:                    RET
331:
332: ;-------------------------------------------------------------------------
     --
333: ;Define Constant < Store in Flash EEPROM Program Memory >
334: ;-------------------------------------------------------------------------
     --
335: ;                   0123456789123
336: TITLE:             DB      ' 123456789*0# '
337: TITLE2:            DB      'Start Up... '
338: TITLE3:            DB      'Wait Command'
339: TITLE4:            DB      'Command     '
340: TITLE5:            DB      'Command is  '
341: NEXT_C:            DB      'Next...     '
342:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

สักรียา ชิตวงศ์ วิศวกรรมอิเล็กทรอนิกส์(Electronic Engineering) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2544

รองศาสตราจารย์ สมยศ จุณณะปิยะ การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2546

ชัยวัฒน์ ประกอบผล การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ กรุงเทพมหานคร สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น)พิมพ์ครั้งที่ 3 2542

ชัยวัฒน์ ลิ้มพรจิตรวิไล, วรพจน์ กรแก้ววัฒนกุล เรียนรู้และปฏิบัติการ MCS-51 Flash Microcontroller กรุงเทพมหานคร บริษัทอินโนเวตีฟ เอ็กเพอริเมนต์จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

## FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

## APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

## ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2206M | 16 Lead 300 Mil CDIP | -55°C to +125°C |
| XR-2206P | 16 Lead 300 Mil PDIP | -40°C to +85°C |
| XR-2206CP | 16 Lead 300 Mil PDIP | 0°C to +70°C |
| XR-2206D | 16 Lead 300 Mil JEDEC SOIC | 0°C to +70°C |



©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

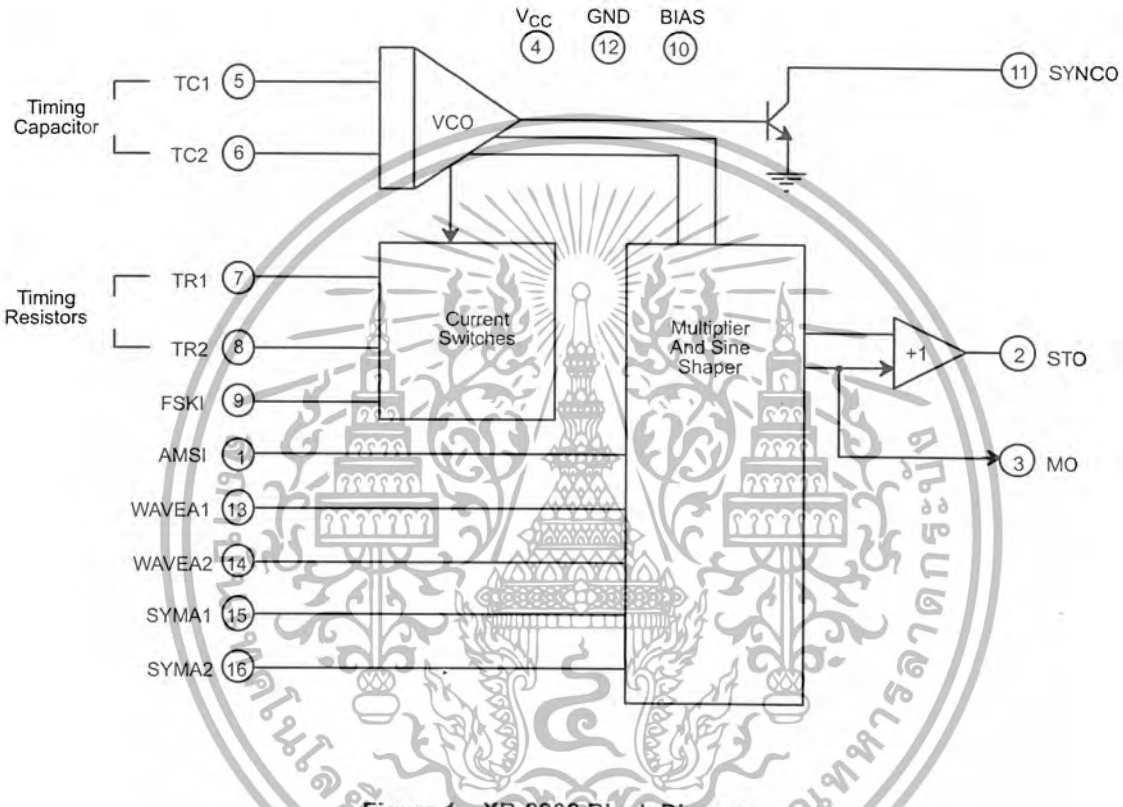
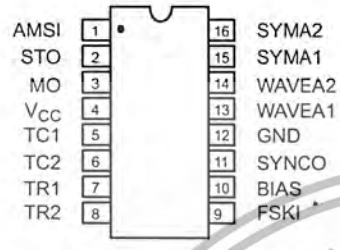


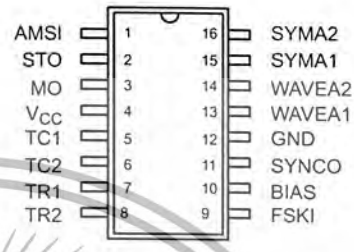

Figure 1. XR-2206 Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




16 Lead PDIP, CDIP (0.300")




16 Lead SOIC (Jedec, 0.300")

## PIN DESCRIPTION

| Pin # | Symbol | Type | Description |
|---|---|---|---|
| 1 | AMSI | I | Amplitude Modulating Signal Input. |
| 2 | STO | O | Sine or Triangle Wave Output. |
| 3 | MO | O | Multiplier Output. |
| 4 | $V_{CC}$ | | Positive Power Supply. |
| 5 | TC1 | I | Timing Capacitor Input. |
| 6 | TC2 | I | Timing Capacitor Input. |
| 7 | TR1 | O | Timing Resistor 1 Output. |
| 8 | TR2 | O | Timing Resistor 2 Output. |
| 9 | FSKI | I | Frequency Shift Keying Input. |
| 10 | BIAS | O | Internal Voltage Reference. |
| 11 | SYNCO | O | Sync Output. This output is a open collector and needs a pull up resistor to $V_{CC}$. |
| 12 | GND | | Ground pin. |
| 13 | WAVEA1 | I | Wave Form Adjust Input 1. |
| 14 | WAVEA2 | I | Wave Form Adjust Input 2. |
| 15 | SYMA1 | I | Wave Symetry Adjust 1. |
| 16 | SYMA2 | I | Wave Symetry Adjust 2. |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, $T_A$ = 25°C, C = 0.01µF, $R_1$ = 100kΩ, $R_2$ = 10kΩ, $R_3$ = 25kΩ**
Unless Otherwise Specified. $S_1$ open for triangle, closed for sine wave.

| Parameters | XR-2206M/P | | | XR-2206CP/D | | | Units | Conditions |
|---|---|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. | | |
| **General Characteristics** | | | | | | | | |
| Single Supply Voltage | 10 | | 26 | 10 | | 26 | V | |
| Split-Supply Voltage | ±5 | | ±13 | ±5 | | ±13 | V | |
| Supply Current | | 12 | 17 | | 14 | 20 | mA | $R_1 \geq 10k\Omega$ |
| **Oscillator Section** | | | | | | | | |
| Max. Operating Frequency | 0.5 | 1 | | 0.5 | 1 | | MHz | C = 1000pF, $R_1$ = 1kΩ |
| Lowest Practical Frequency | | 0.01 | | | 0.01 | | Hz | C = 50µF, $R_1$ = 2MΩ |
| Frequency Accuracy | | ±1 | ±4 | | ±2 | | % of $f_o$ | $f_o = 1/R_1C$ |
| Temperature Stability Frequency | | ±10 | ±50 | | ±20 | | ppm/°C | 0°C ≤ $T_A$ ≤ 70°C<br>$R_1 = R_2$ = 20kΩ |
| Sine Wave Amplitude Stability[2] | | 4800 | | | 4800 | | ppm/°C | |
| Supply Sensitivity | | 0.01 | 0.1 | | 0.01 | | %/V | $V_{LOW}$ = 10V, $V_{HIGH}$ = 20V,<br>$R_1 = R_2$ = 20kΩ |
| Sweep Range | 1000:1 | 2000:1 | | | 2000:1 | | $f_H = f_L$ | $f_H$ @ $R_1$ = 1kΩ<br>$f_L$ @ $R_1$ = 2MΩ |
| **Sweep Linearity** | | | | | | | | |
| 10:1 Sweep | | 2 | | | 2 | | % | $f_L$ = 1kHz, $f_H$ = 10kHz |
| 1000:1 Sweep | | 8 | | | 8 | | % | $f_L$ = 100Hz, $f_H$ = 100kHz |
| FM Distortion | | 0.1 | | | 0.1 | | % | ±10% Deviation |
| **Recommended Timing Components** | | | | | | | | |
| Timing Capacitor: C | 0.001 | | 100 | 0.001 | | 100 | µF | *Figure 5* |
| Timing Resistors: $R_1$ & $R_2$ | 1 | | 2000 | 1 | | 2000 | kΩ | |
| **Triangle Sine Wave Output[1]** | | | | | | | | *Figure 3* |
| Triangle Amplitude | | 160 | | | 160 | | mV/kΩ | *Figure 2*, $S_1$ Open |
| Sine Wave Amplitude | 40 | 60 | 80 | | 60 | | mV/kΩ | *Figure 2*, $S_1$ Closed |
| Max. Output Swing | | 6 | | | 6 | | Vp-p | |
| Output Impedance | | 600 | | | 600 | | Ω | |
| Triangle Linearity | | 1 | | | 1 | | % | |
| Amplitude Stability | | 0.5 | | | 0.5 | | dB | For 1000:1 Sweep |
| **Sine Wave Distortion** | | | | | | | | |
| Without Adjustment | | 2.5 | | | 2.5 | | % | $R_1$ = 30kΩ |
| With Adjustment | | 0.4 | 1.0 | | 0.5 | 1.5 | % | See *Figure 7* and *Figure 8* |

***Notes***
*[1] Output amplitude is directly proportional to the resistance, $R_3$, on Pin 3. See Figure 3.*
*[2] For maximum amplitude stability, $R_3$ should be a positive temperature coefficient resistor.*
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS (CONT'D)

| Parameters | XR-2206M/P | | | XR-2206CP/D | | | Units | Conditions |
|---|---|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. | | |
| **Amplitude Modulation** | | | | | | | | |
| Input Impedance | 50 | 100 | | 50 | 100 | | kΩ | |
| Modulation Range | | 100 | | | 100 | | % | |
| Carrier Suppression | | 55 | | | 55 | | dB | |
| Linearity | | 2 | | | 2 | | % | For 95% modulation |
| **Square-Wave Output** | | | | | | | | |
| Amplitude | | 12 | | | 12 | | Vp-p | Measured at Pin 11. |
| Rise Time | | 250 | | | 250 | | ns | $C_L$ = 10pF |
| Fall Time | | 50 | | | 50 | | ns | $C_L$ = 10pF |
| Saturation Voltage | | 0.2 | **0.4** | | 0.2 | 0.6 | V | $I_L$ = 2mA |
| Leakage Current | | 0.1 | **20** | | 0.1 | 100 | µA | $V_{CC}$ = 26V |
| FSK Keying Level (Pin 9) | 0.8 | 1.4 | **2.4** | 0.8 | 1.4 | 2.4 | V | See section on circuit controls |
| Reference Bypass Voltage | 2.9 | 3.1 | **3.3** | 2.5 | 3 | 3.5 | V | Measured at Pin 10. |

***Notes***
*[1] Output amplitude is directly proportional to the resistance, $R_3$, on Pin 3. See Figure 3.*
*[2] For maximum amplitude stability, $R_3$ should be a positive temperature coefficient resistor.*
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

**Specifications are subject to change without notice**

## ABSOLUTE MAXIMUM RATINGS

Power Supply ..... 26V
Power Dissipation ..... 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current ..... 6mA
Storage Temperature ..... -65°C to +150°C

## SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

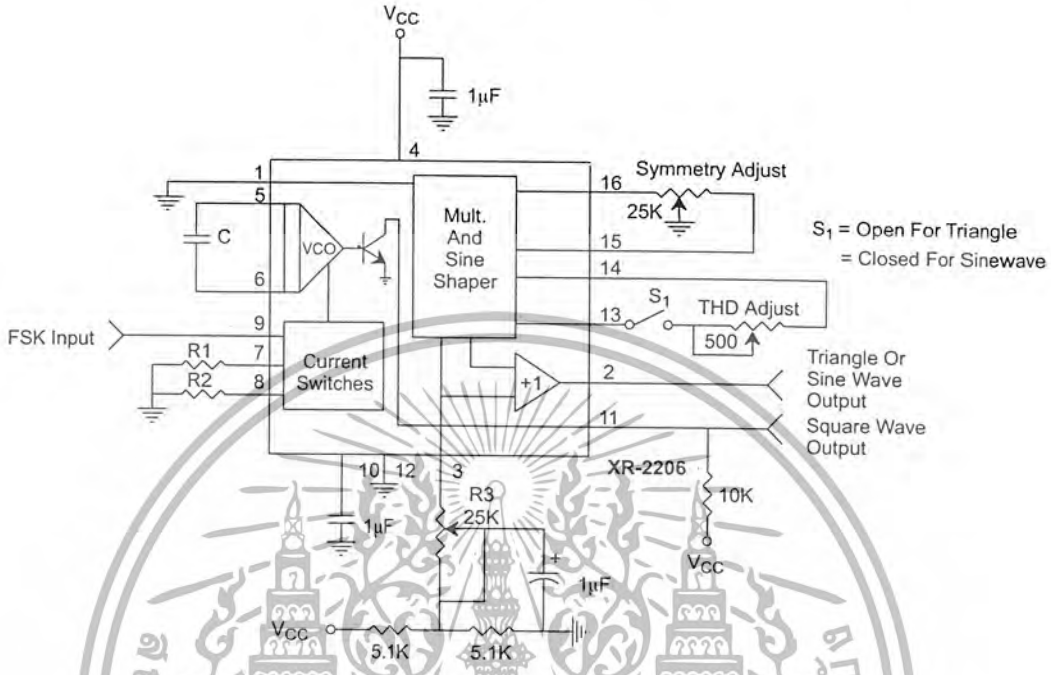



Figure 2. Basic Test Circuit

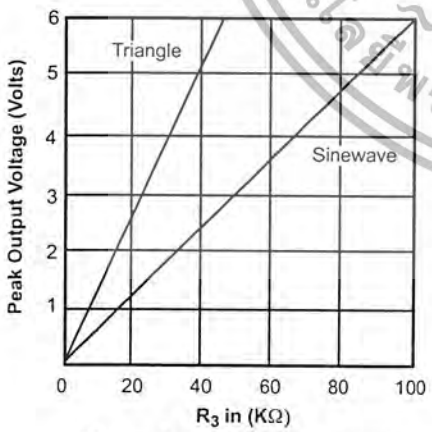



Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

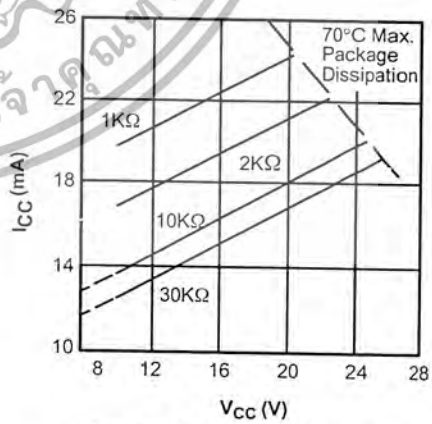



Figure 4. Supply Current vs Supply Voltage, Timing, R



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

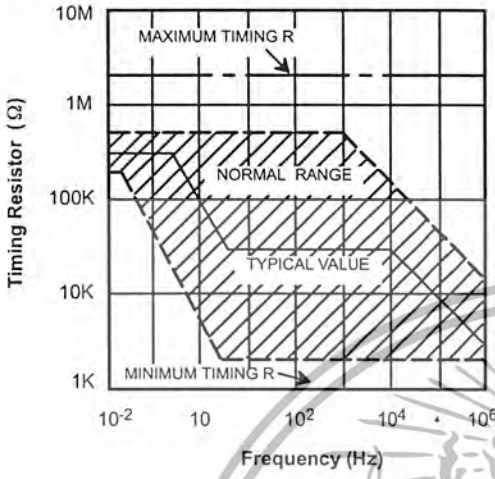



Figure 5. R versus Oscillation Frequency.

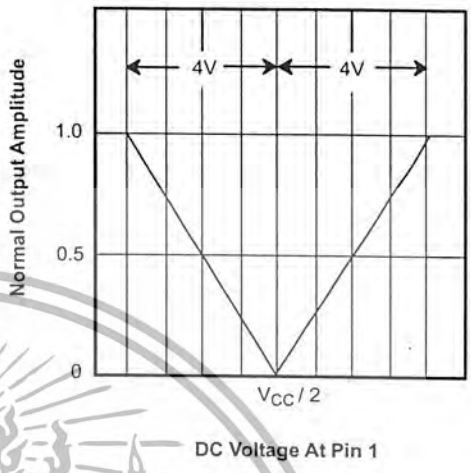



Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

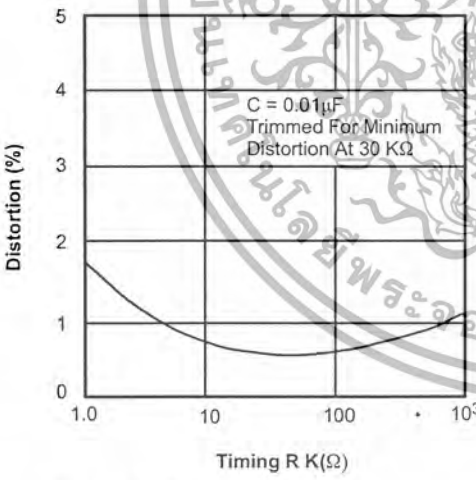



Figure 7. Trimmed Distortion versus Timing Resistor.

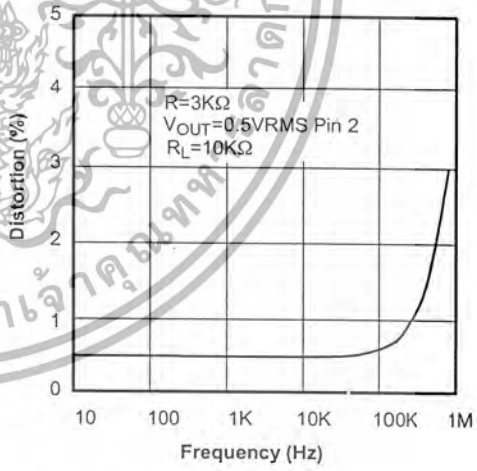



Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

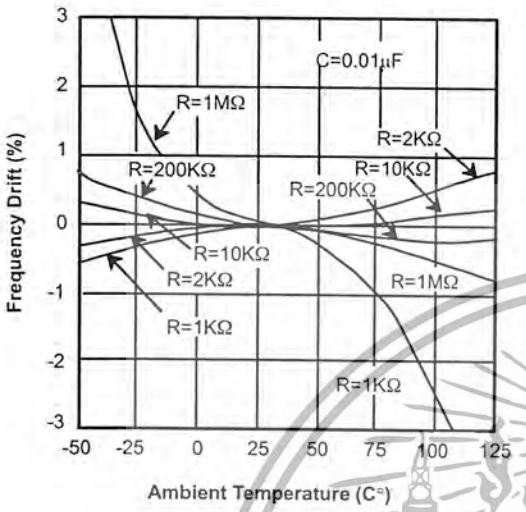



Figure 9. Frequency Drift versus Temperature.

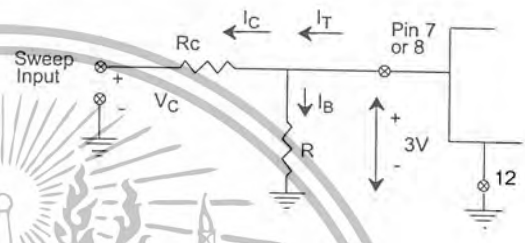



Figure 10. Circuit Connection for Frequency Sweep.

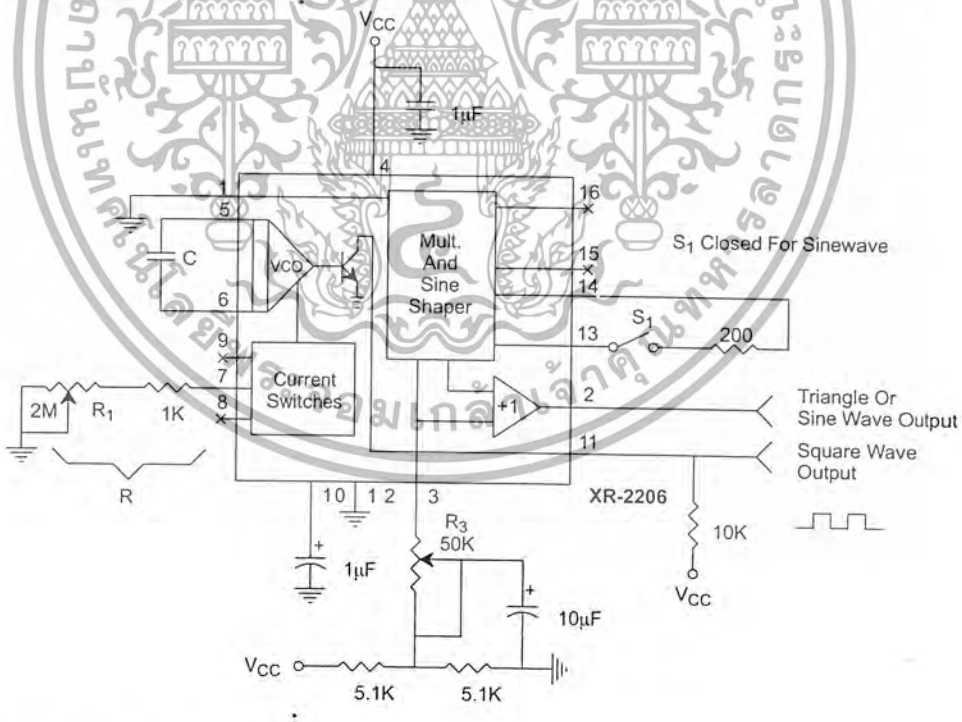



Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of $R_3$)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

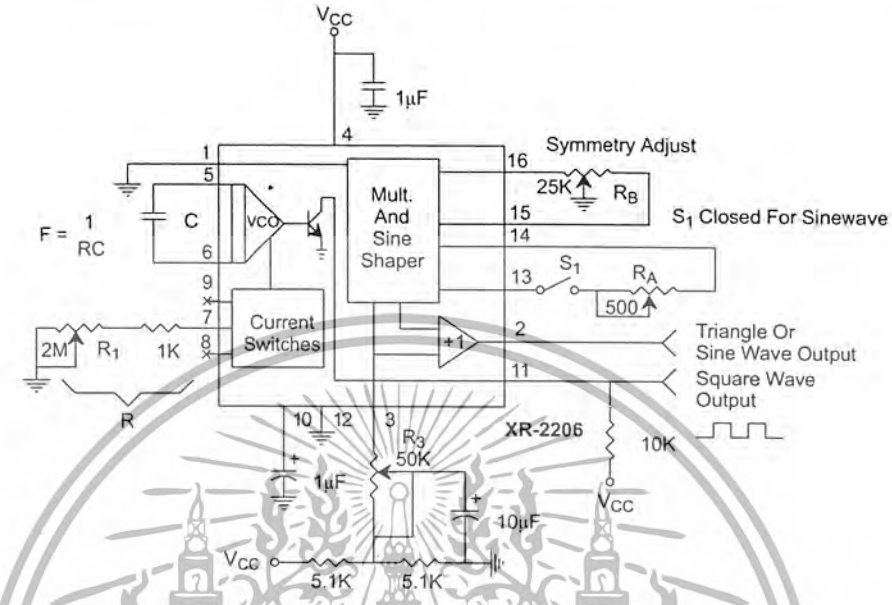



**Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. ($R_3$ Determines Output Swing - See *Figure 3*)**

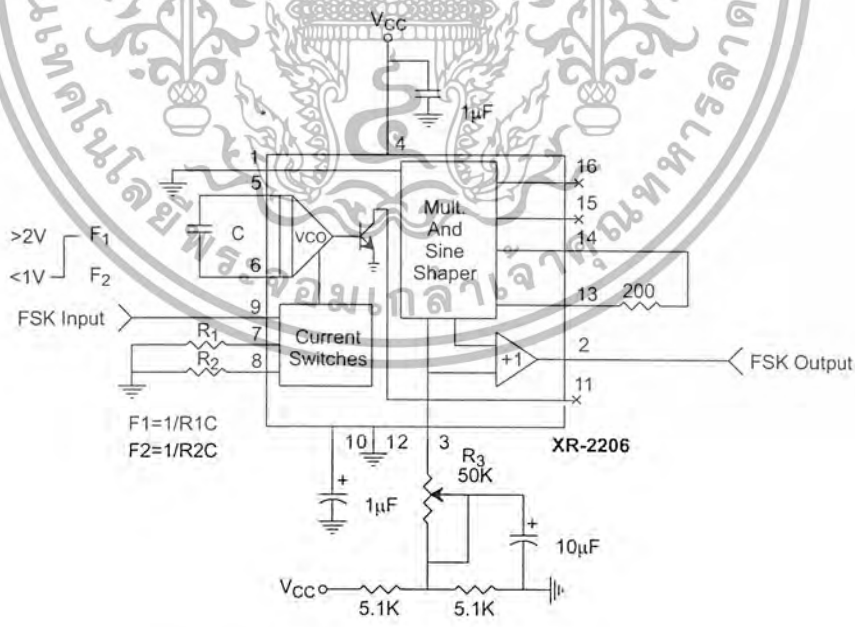



**Figure 13. Sinusoidal FSK Generator**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

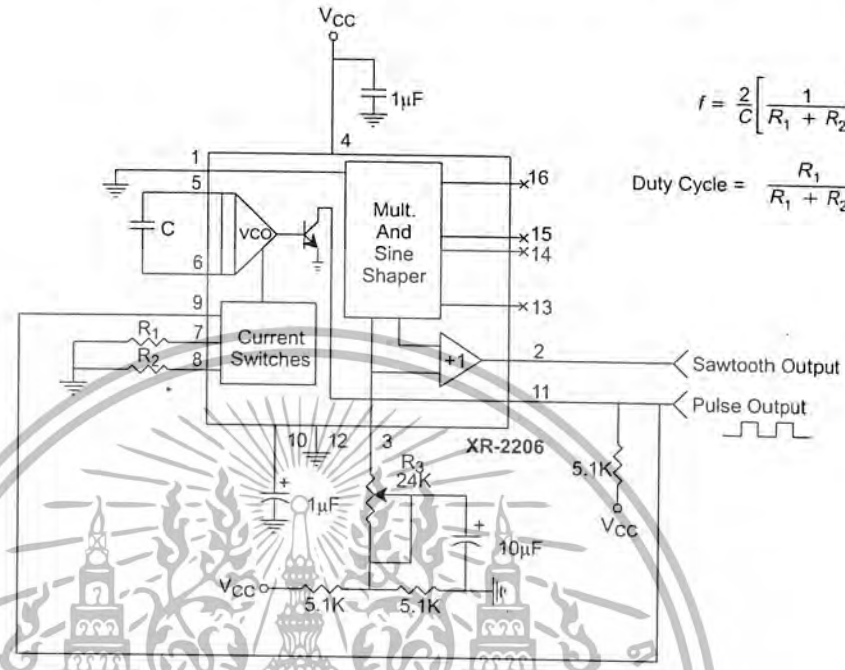



**Figure 14. Circuit for Pulse and Ramp Generation.**

### Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, $R_1$ and $R_2$, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only $R_1$ is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only $R_2$ is activated. Thus, the output frequency can be keyed between two levels. $f_1$ and $f_2$, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to $V^-$.

### Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

## APPLICATIONS INFORMATION

### Sine Wave Generation

### Without External Adjustment

*Figure 11* shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, $R_1$ at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with $V^-$. For split-supply operation, $R_3$ can be directly connected to ground.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**With External Adjustment:**

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, $R_A$, adjusts the sine-shaping resistor, and $R_B$ provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set $R_B$ at midpoint and adjust $R_A$ for minimum distortion.
2. With $R_A$ set as above, adjust $R_B$ to further reduce distortion.

**Triangle Wave Generation**

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., $S_1$ open). Amplitude of the triangle is approximately twice the sine wave output.

**FSK Generation**

*Figure 13* shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, $R_1$ and $R_2$; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with $V^-$.

**Pulse and Ramp Generation**

*Figure 14* shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of $R_1$ and $R_2$. The values of $R_1$ and $R_2$ should be in the range of 1kΩ to 2MΩ.

## PRINCIPLES OF OPERATION

**Description of Controls**

**Frequency of Operation:**

The frequency of oscillation, $f_o$, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from 1000pF to 100μF.

**Frequency Sweep and Modulation:**

Frequency of oscillation is proportional to the total timing current, $I_T$, drawn from Pin 7 or 8;

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, $V_C$, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_c}\left(1 - \frac{V_c}{3}\right)\right) Hz$$

where $V_C$ is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_c = -\frac{0.32}{R_c C}\ \ Hz/V$$

***CAUTION:*** *For safety operation of the circuit, $I_T$ should be limited to ≤ 3mA.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, $R_3$, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of $R_3$; for triangle, the peak amplitude is approximately 160mV peak per kΩ of $R_3$. Thus, for example, $R_3$ = 50kΩ would produce approximately 13V sinusoidal output amplitude.

### Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

***CAUTION:*** *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of $V_{CC}$.*

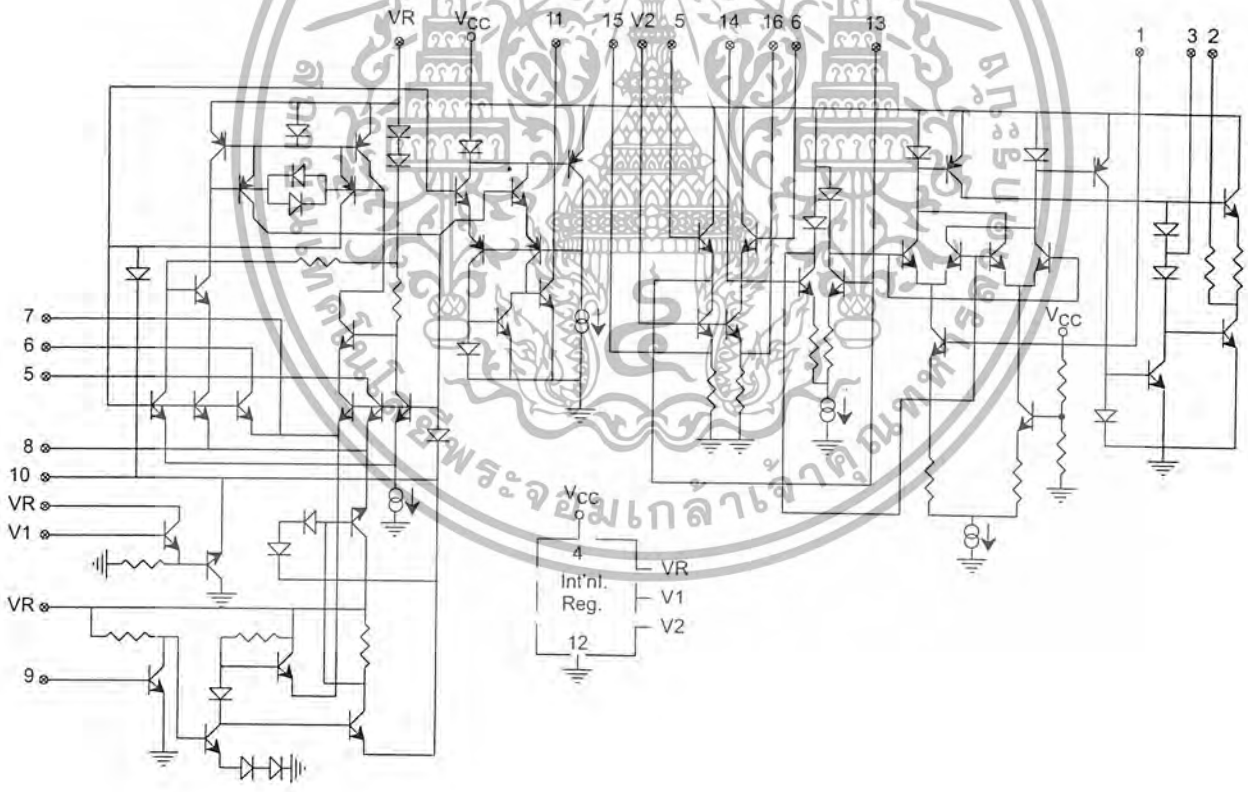



**Figure 15. Equivalent Schematic Diagram**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2211

## FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

### FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

### APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

### GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

### ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2211M | 14 Pin CDIP (0.300") | -55°C to +125°C |
| XR-2211N | 14 Pin CDIP (0.300") | -40°C to +85°C |
| XR-2211P | 14 Pin PDIP (0.300") | -40°C to +85°C |
| XR-2211ID | 14 Lead SOIC (Jedec, 0.150") | -40°C to +85°C |



©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

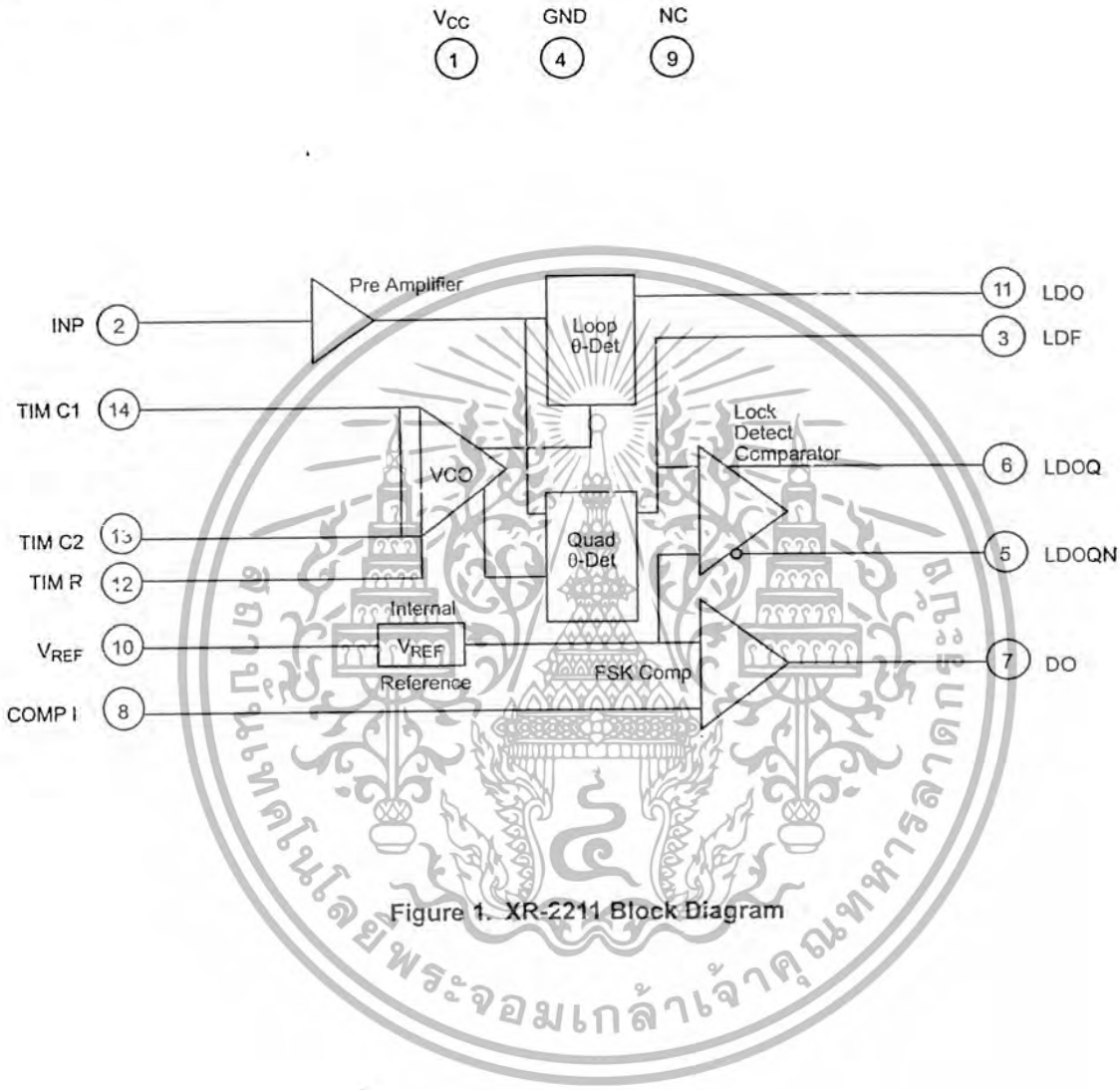
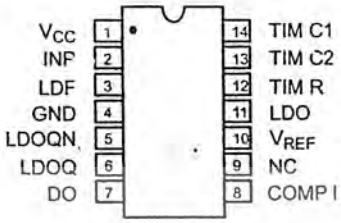



Figure 1. XR-2211 Block Diagram

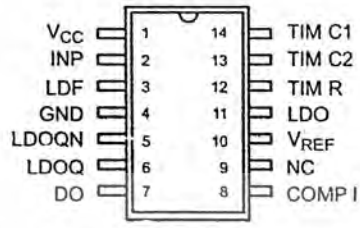


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN CONFIGURATION




14 Lead CDIP, PDIP (0.300")




14 Lead SOIC (Jedec, 0.150")

## PIN DESCRIPTION

| Pin # | Symbol | Type | Description |
|---|---|---|---|
| 1 | $V_{CC}$ | | **Positive Power Supply.** |
| 2 | INP | I | **Receive Analog Input.** |
| 3 | LDF | O | **Lock Detect Filter.** |
| 4 | GND | | **Ground Pin.** |
| 5 | LDOQN | O | **Lock Detect Output Not.** This output will be low if the VCO is in the capture range. |
| 6 | LDOQ | O | **Lock Detect Output.** This output will be high if the VCO is in the capture range. |
| 7 | DO | O | **Data Output.** Decoded FSK output. |
| 8 | COMP I | I | **FSK Comparator Input.** |
| 9 | NC | | **Not Connected.** |
| 10 | $V_{REF}$ | O | **Internal Voltage Reference.** The value of $V_{REF}$ is $V_{CC}/2$ - 650mV. |
| 11 | LDO | O | **Loop Detect Output.** This output provides the result of the quadrature phase detection. |
| 12 | TIM R | I | **Timing Resistor Input.** This pin connects to the timing resistor of the VCO. |
| 13 | TIM C2 | I | **Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14. |
| 14 | TIM C1 | I | **Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13. |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS

**Test Conditions: $V_{CC}$ = 12V, $T_A$ = +25°C, $R_O$ = 30KΩ, $C_O$ = 0.033μF, unless otherwise specified.**

| Parameter | Min. | Typ. | Max. | Unit | Conditions |
|---|---|---|---|---|---|
| **General** | | | | | |
| Supply Voltage | **4.5** | | **20** | V | |
| Supply Current | | 4 | **7** | mA | $R_0 \geq 10K\Omega$. See *Figure 4.* |
| **Oscillator Section** | | | | | |
| Frequency Accuracy | | ±1 | ±3 | % | Deviation from $f_O = 1/R_0 C_0$ |
| Frequency Stability | | | | | |
| Temperature | | ±20 | ±50 | ppm/°C | See *Figure 8.* |
| Power Supply | | 0.05 | 0.5 | %/V | $V_{CC}$ = 12 ±1V. See *Figure 7.* |
| | | 0.2 | | %/V | $V_{CC}$ = ± 5V. See *Figure 7.* |
| Upper Frequency Limit | 100 | 300 | | kHz | $R_0$ = 8.2KΩ, $C_0$ = 400pF |
| Lowest Practical Operating Frequency | | | 0.01 | Hz | $R_0$ = 2MΩ, $C_0$ = 50μF |
| Timing Resistor, $R_0$ - See *Figure 5* | | | | | |
| Operating Range | 5 | | 2000 | KΩ | |
| Recommended Range | 5 | | | KΩ | See *Figure 7* and *Figure 8.* |
| **Loop Phase Dectector Section** | | | | | |
| Peak Output Current | ±150 | ±200 | ±300 | μA | Measured at Pin 11 |
| Output Offset Current | | 1 | | μA | |
| Output impedance | | 1 | | MΩ | |
| Maximum Swing | ±4 | ± 5 | | V | Referenced to Pin 10 |
| **Quadrature Phase Detector** | | | | | Measured at Pin 3 |
| Peak Output Current | 100 | 300 | | μA | |
| Output Impedance | | 1 | | MΩ | |
| Maximum Swing | | 11 | | $V_{PP}$ | |
| **Input Preampt Section** | | | | | Measured at Pin 2 |
| Input Impedance | | 20 | | KΩ | |
| Input Signal | | | | | |
| Voltage Required to Cause Limiting | | 2 | 10 | mV rms | |

***Notes***

*Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.*

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS (CONT'D)

**Test Conditions:** $V_{CC}$ = 12V, $T_A$ = +25°C, $R_O$ = 30KΩ, $C_O$ = 0.033µF, unless otherwise specified.

| Parameter | Min. | Typ. | Max. | Unit | Conditions |
|---|---|---|---|---|---|
| **Voltage Comparator Section** | | | | | |
| Input Impedance | | 2 | | MΩ | Measured at Pins 3 and 8 |
| Input Bias Current | | 100 | | nA | |
| Voltage Gain | 55 | 70 | | dB | $R_L$ = 5.1KΩ |
| Output Voltage Low | | 300 | 500 | mV | $I_C$ = 3mA |
| Output Leakage Current | | 0.01 | 10 | µA | $V_O$ = 20V |
| **Internal Reference** | | | | | |
| Voltage Level | 4.9 | 5.3 | 5.7 | V | Measured at Pin 10 |
| Output Impedance | | 100 | | Ω | AC Small Signal |
| Maximum Source Current | | 80 | | µA | |

***Notes***
*Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.*
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

**Specifications are subject to change without notice**

## ABSOLUTE MAXIMUM RATINGS

Power Supply ..... 20V
Input Signal Level ..... 3V rms
Power Dissipation ..... 900mW

Package Power Dissipation Ratings
CDIP ..... 750mW
Derate Above $T_A$ = 25°C ..... 8mW/°C
PDIP ..... 800mW
Derate Above $T_A$ = 25°C ..... 60mW/°C
SOIC ..... 390mW
Derate Above $T_A$ = 25°C ..... 5mW/°C

## SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current ($f_O$) set by a resistor ($R_0$) to ground and its driving current with a resistor ($R_1$) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are $f_{IN}$+ $f_{VCO}$ (2 times $f_{IN}$ when in lock) and $f_{IN}$ - $f_{VCO}$ (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times $f_{IN}$ component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PRINCIPLES OF OPERATION

**Signal Input (Pin 2):** Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

**Quadrature Phase Detector Output (Pin 3):** This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of $R_D$ and $C_D$ (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

**Lock Detect Output, Q (Pin 6):** The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, $R_L$, to $V_{CC}$ for proper operation. At "low" state, it can sink up to 5mA of load current.

**Lock Detect Complement, (Pin 5):** The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

**FSK Data Output (Pin 7):** This output is an open collector logic stage which requires a pull-up resistor, $R_L$, to $V_{CC}$ for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

**FSK Comparator Input (Pin 8):** This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by $R_F$ and $C_F$ (see *Figure 3.*) The threshold voltage of the comparator is set by the internal reference voltage, $V_{REF}$, available at pin 10.

**Reference Voltage, $V_{REF}$ (Pin 10):** This pin is internally biased at the reference voltage level, $V_{REF}$: $V_{REF} = V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1µF capacitor for proper operation of the circuit.

**Loop Phase Detector Output (Pin 11):** This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by $R_1$ and $C_1$ connected to pin 11 (see *Figure 3.*) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to $V_{REF}$. The peak to peak voltage swing available at the phase detector output is equal to $2 \times V_{REF}$.

**VCO Control Input (Pin 12):** VCO free-running frequency is determined by external timing resistor, $R_0$, connected from this terminal to ground. The VCO free-running frequency, $f_O$, is:

$$f_o = \frac{1}{R_0 \cdot C_0} \; Hz$$

where $C_0$ is the timing capacitor across pins 13 and 14. For optimum temperature stability, $R_0$ must be in the range of 10KΩ to 100KΩ (see *Figure 9.*)

This terminal is a low impedance point, and is internally biased at a DC level equal to $V_{REF}$. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

**VCO Timing Capacitor (Pins 13 and 14):** VCO frequency is inversely proportional to the external timing capacitor, $C_0$, connected across these terminals (see *Figure 6.*) $C_0$ must be non-polar, and in the range of 200pF to 10µF.

**VCO Frequency Adjustment:** VCO can be fine-tuned by connecting a potentiometer, $R_X$, in series with $R_0$ at pin 12 (see *Figure 10.*)

**VCO Free-Running Frequency, $f_O$:** XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting $R_0$, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO $f_O$ value is accurately referenced to the mark and space frequencies.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

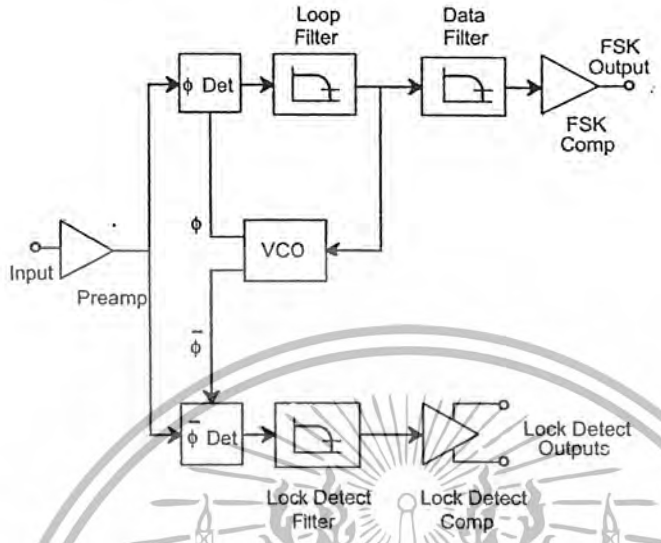



**Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211**

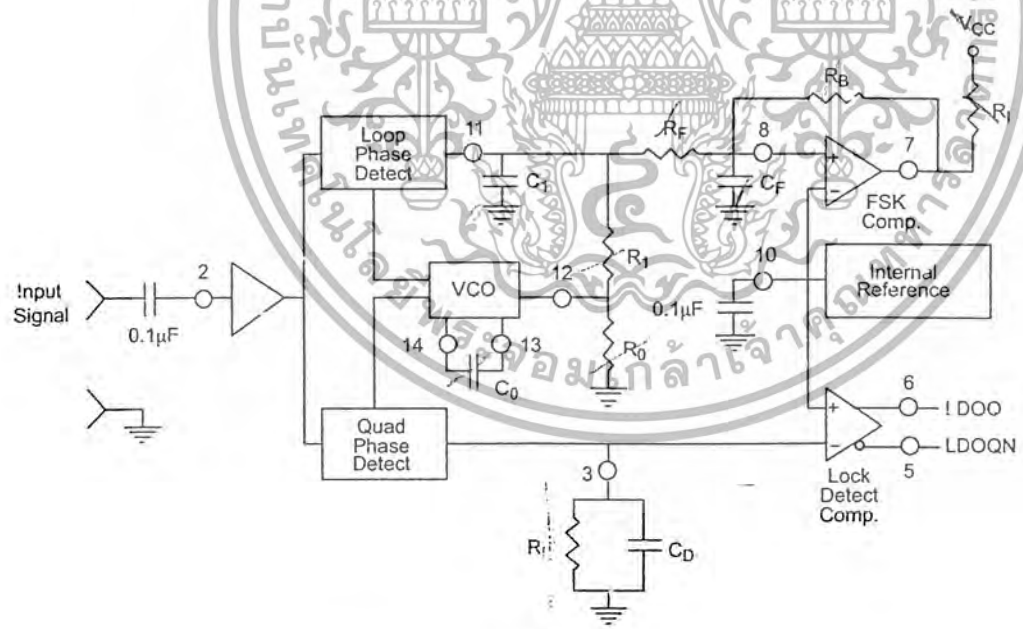



**Figure 3. Generalized Circuit Connection for FSK and Tone Detection**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, $f_O$:

$$f_O = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, $V_{REF}$ (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if $R_F$ is ∞ or $C_F$ reactance is ∞, then $R_{PP} = R1$

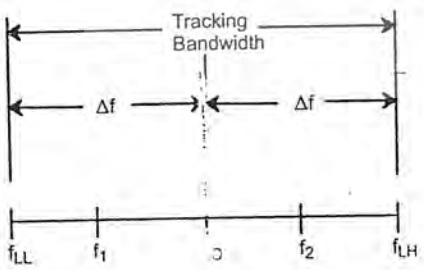
4. Loop Damping, ς:

$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

***Note:*** *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DESIGN EQUATIONS

(All resistance in Ω, all frequency in Hz and all capacitance in farads, unless otherwise specified)

(See *Figure 3* for definition of components)

1. VCO Center Frequency, $f_O$:

$$f_o = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage, $V_{REF}$ (measured at pin 10):

$$V_{REF} = \left(\frac{V_{CC}}{2}\right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant, τ:

$$\tau = C_1 \cdot R_{PP} \text{ (seconds)}$$

where:

$$R_{PP} = \left(\frac{R_1 \cdot R_F}{R_1 + R_F}\right)$$

if $R_F$ is ∞ or $C_F$ reactance is ∞, then $R_{PP} = R1$

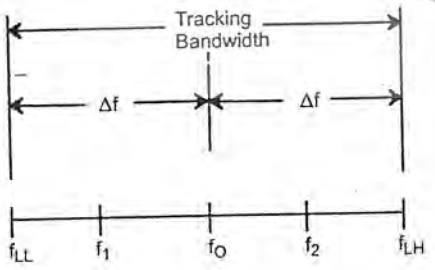
4. Loop Damping, ς:

$$\zeta = \sqrt{\left(\frac{1250 \cdot C_0}{R_1 \cdot C_1}\right)}$$

***Note:*** *For derivation/explanation of this equation, please see TAN-011.*

5. Loop-tracking bandwidth, $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. FSK Data filter time constant, tF:

$$\tau_F = \frac{R_B \cdot R_F}{(R_B + R_F)} \cdot C_F \ (seconds)$$

7. Loop phase detector conversion gain, Kd: (Kd is the differential DC voltage across pin 10 and pin11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[\frac{volt}{radian}\right].$$

***Note:*** *For derivation/explanation of this equation, please see TAN-011.*

8. VCO conversion gain, Ko: (Ko is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_0 = \frac{-2\pi}{V_{REF} \cdot C_0 \cdot R_1} = \left(\frac{radian/second}{volt}\right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + SR_1 \cdot C_1} \text{ at } 0 \text{ Hz.} \qquad S = j\omega \text{ and } \omega = 0$$

10. Total loop gain. $K_T$:

$$K_T = K_O \cdot K_d \cdot F(s) = \left\{\frac{R_F}{5,000 \cdot C_0 \cdot (R_1 + R_F)}\right\}\left[\frac{1}{seconds}\right]$$

11. Peak detector current $I_A$:

$$I_A = \frac{V_{REF}}{20,000} \ (V_{REF} \text{ in volts and } I_A \text{ in amps})$$

***Note:*** *For derivation/explanation of this equation, please see TAN-011.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATIONS INFORMATION

### FSK Decoding

*Figure 10* shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: $R_0$ and $C_0$ set the PLL center frequency, $R_1$ sets the system bandwidth, and $C_1$ sets the loop filter time constant and the loop damping factor. $C_F$ and $R_F$ form a one-pole post-detection filter for the FSK data output. The resistor $R_B$ from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

### Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: $R_0$, $R_1$, $C_0$, $C_1$ and $C_F$. For a given set of FSK mark and space frequencies, $f_0$ and $f_1$, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, $f_0$:

$$f_o = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor $R_0$, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is $R_0$ = 20KΩ. The final value of $R_0$ is normally fine-tuned with the series potentiometer, $R_X$.

$$R_o = R_o + \frac{R_x}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*:

$$C_o = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the input line. *Figure 4* illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor, Rx, connected from pin 2 to ground. The value of Rx is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN}\ minimum\ (peak) = V_a - V_b = \Delta V \pm 2.8mV\ offset = V_{REF}\frac{20,000}{(20,000 + R_X)}\ \ or\ R_X = 20,000\left(\frac{V_{REF}}{\Delta V} - 1\right)$$

$V_{iN}$ minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

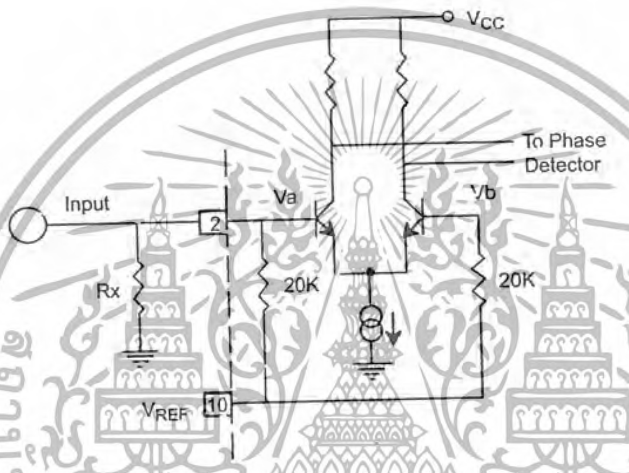



**Figure 4. Desensitizing Input Stage**

g) Calculate Data Filter Capacitance, $C_F$:

$$R_{sum} = \frac{(R_F + R_1)\cdot R_B}{(R_1 + R_F + R_B)}$$

$$C_F = \frac{0.25}{(R_{sum}\cdot Baud\ Rate)} \qquad Baud\ rate\ in\ \frac{1}{seconds}$$

***Note:*** *All values except $R_0$ can be rounded to nearest standard value.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

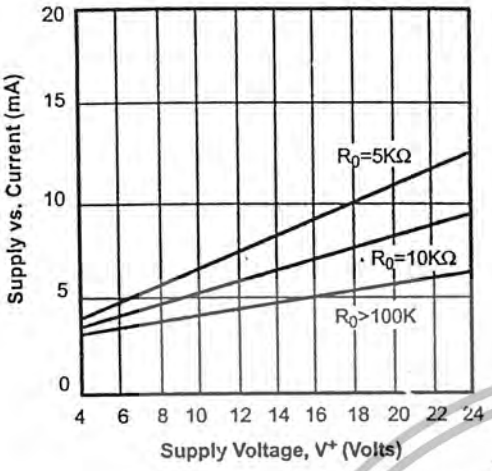



Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

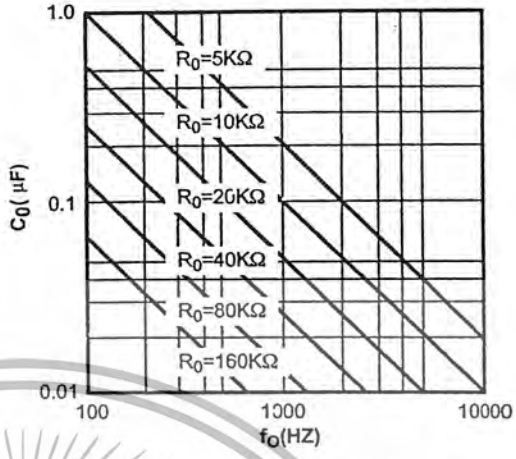



Figure 6. VCO Frequency vs. Timing Resistor

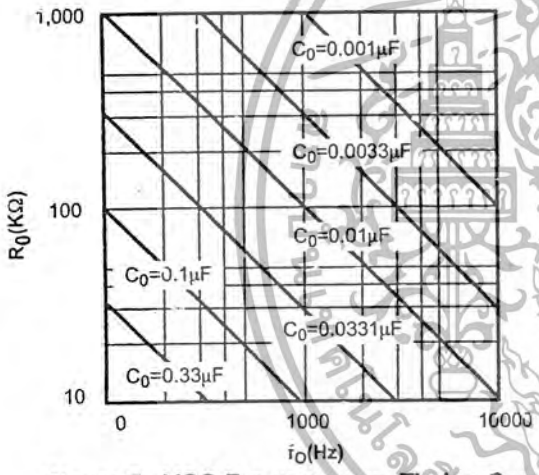



Figure 7. VCO Frequency vs. Timing Capacitor

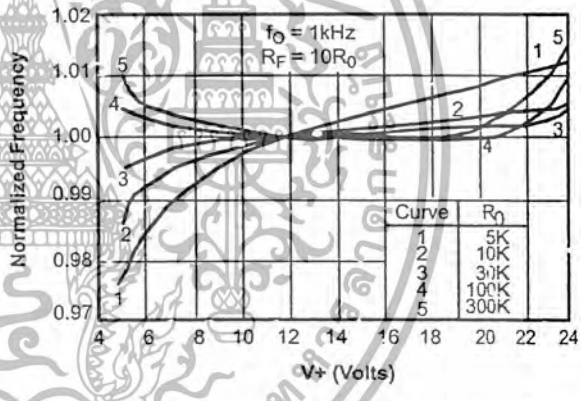



Figure 8. Typical $f_O$ vs. Power Supply Characteristics

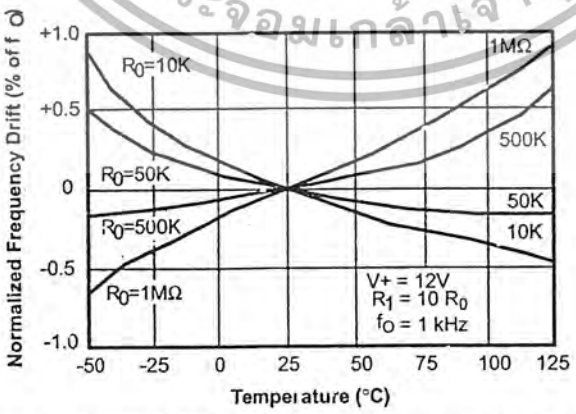



Figure 9. Typical Center Frequency Drift vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

***Design Example:***

**1200 Baud FSK demodulator with mark and space frequencies of 1200/2200.**

Step 1: Calculate $f_O$: from design instructions

(*a*) $f_o = \sqrt{1200 \cdot 2200} = 1624$

Step 2: Calculate $R_0$ : $R_0$ =10K with a potentiometer of 10K. (See design instructions (b))

(*b*) $R_T = 10 + \left(\frac{10}{2}\right) = 15K$

Step 3: Calculate $C_0$ from design instructions

(*c*) $C_o = \frac{1}{15000 \cdot 1624} = 39nF$

Step 4: Calculate $R_1$ : from design instructions

(*d*) $R_1 = \frac{20000 \cdot 1624 \cdot 2}{(2200 - 1200)} = 51,000$

Step 5: Calculate $C_1$ : from design instructions

(*e*) $C_1 = \frac{1250 \cdot 39nF}{51000 \cdot 0.5^2} = 3.9nF$

Step 6: Calculate $R_F$ : $R_F$ should be at least five times $R_1$, $R_F$ = 51,000·5 = 255 KΩ

Step 7: Calculate $R_B$ : $R_B$ should be at least five times $R_F$, $R_B$ = 255,000·5 = 1.2 MΩ

Step 8: Calculate $R_{SUM}$ :

$$R_{SUM} = \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)} = 240K\Omega$$

Step 9: Calculate $C_F$ :

$$C_F = \frac{0.25}{(R_{SUM} \cdot Baud\ Rate)} = 1nF$$

***Note:*** *All values except $R_0$ can be rounded to nearest standard value.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

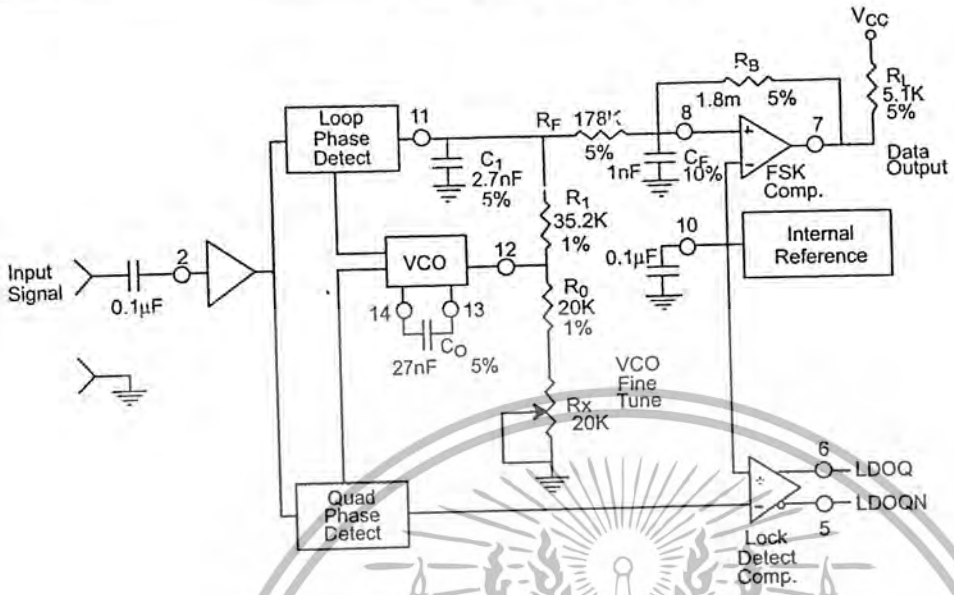



**Figure 10. Circuit Connection for FSK Decoding of Caller Identification Signals (Bell 202 Format)**

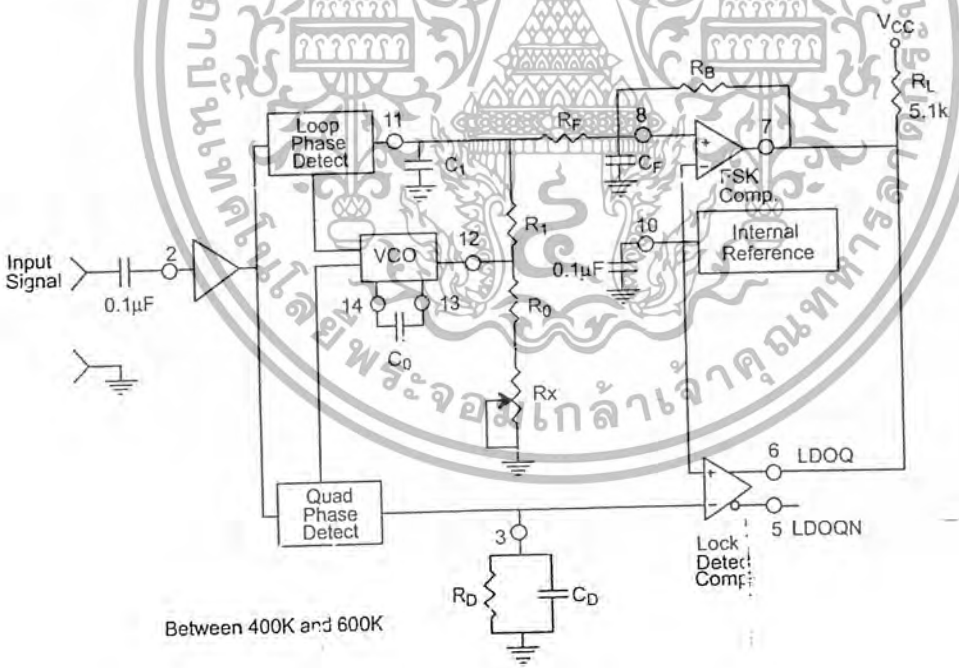



**Figure 11. External Connectors for FSK Demodulation with Carrier Detect Capability**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

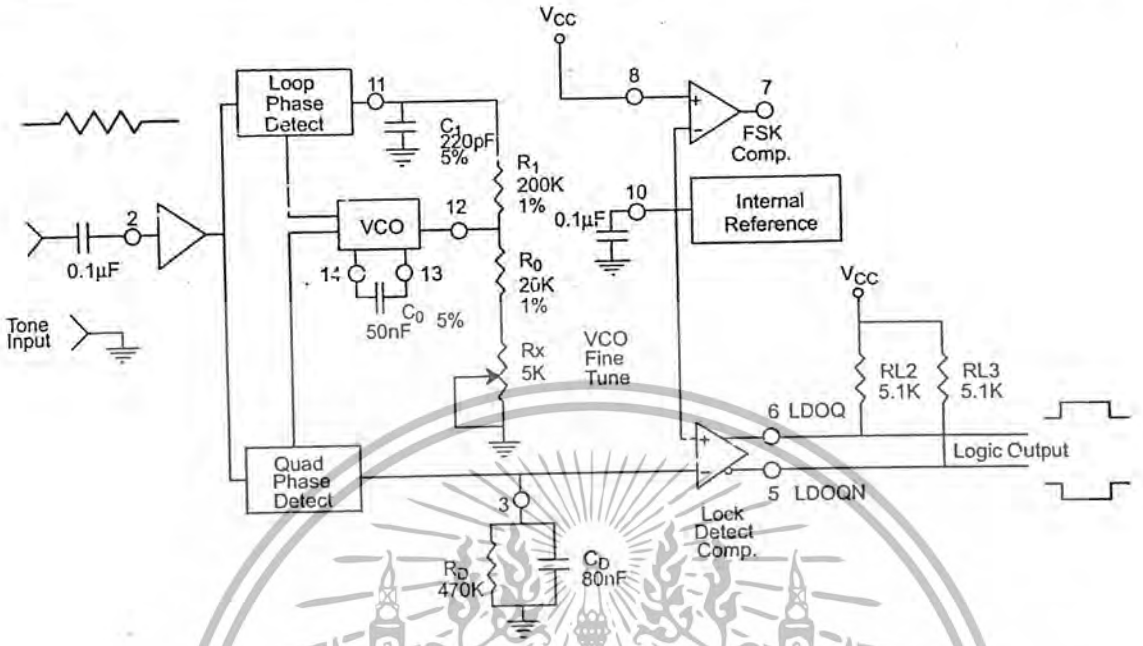



**Figure 12. Circuit Connection for Tone Detection**

### FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in *Figure 11*. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

***Note:*** *Data Output is "Low" When No Carrier is Present.*

The minimum value of the lock detect filter capacitance $C_D$ is inversely proportional to the capture range, $\pm\Delta fc$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by $C_1$. For most applications, $\Delta fc > \Delta f/2$. For $R_D = 470K\Omega$, the approximate minimum value of $C_D$ can be determined by:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F \text{ and } f \text{ in Hz.}$$

C in µF and f in Hz.

With values of $C_D$ that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of $C_D$ will slow the response time of the lock detect output. For Caller I.D. applications choose $C_D = 0.1\mu F$.

### Tone Detection

*Figure 12* shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors $R_{L2}$ and $R_{L3}$, as shown in *Figure 12*.

With reference to *Figure 3* and *Figure 12*, the functions of the external circuit components can be explained as follows: $R_0$ and $C_0$ set VCO center frequency; $R_1$ sets the detection bandwidth; $C_1$ sets the low pass-loop filter time constant and the loop damping factor.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Design Instructions:**

The circuit of *Figure 12* can be optimized for any tone detection application by the choice of the 5 key circuit components: $R_0$, $R_1$, $C_0$, $C_1$ and $C_D$. For a given input, the tone frequency, $f_S$, these parameters are calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Choose value of timing resistor $R_0$ to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0$ = 20KΩ. The final value of $R_0$ is normally fine-tuned with the series potentiometer, $R_X$.

b) Calculate value of $C_0$ from design equation (1) or from *Figure 7* $f_S = f_O$:

$$C_o = \frac{1}{R_0 \cdot fs}$$

c) Calculate $R_1$ to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

***Note:*** *The total detection bandwidth covers the frequency range of* $f_O \pm \Delta f$

d) Calculate value of $C_1$ for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$

Increasing $C_1$ improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor $C_D$. To avoid chatter at the logic output, with $R_D$ = 470KΩ, $C_D$ must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing $C_D$ slows down the logic output response time.

**Design Examples:**

Tone detector with a detection band of ± 100Hz:

a) Choose value of timing resistor $R_0$ to be in the range of 10KΩ to 50KΩ. This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is $R_0$ = 20 KΩ. The final value of $R_0$ is normally fine-tuned with the series potentiometer, $R_X$.

b) Calculate value of $C_0$ from design equation (1) or from *Figure 6* $f_S = f_O$:

$$C_0 = \frac{1}{R_0 \cdot f_S} = \frac{1}{20,000 \cdot 1,000} = 50nF$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

c) Calculate $R_1$ to set the bandwidth $\pm\Delta f$ (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_o \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

***Note:*** *The total detection bandwidth covers the frequency range of $f_O \pm \Delta f$*

d) Calculate value of $C_0$ for a given loop damping factor:

Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25pF$$

Increasing $C_1$ improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of the filter capacitor $C_D$ . To avoid chatter at the logic output, with $R_D$ = 470KΩ, $C_D$ must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing $C_D$ slows down the logic output response time.

f) Fine tune center frequency with 5KΩ potentiometer, $R_X$.

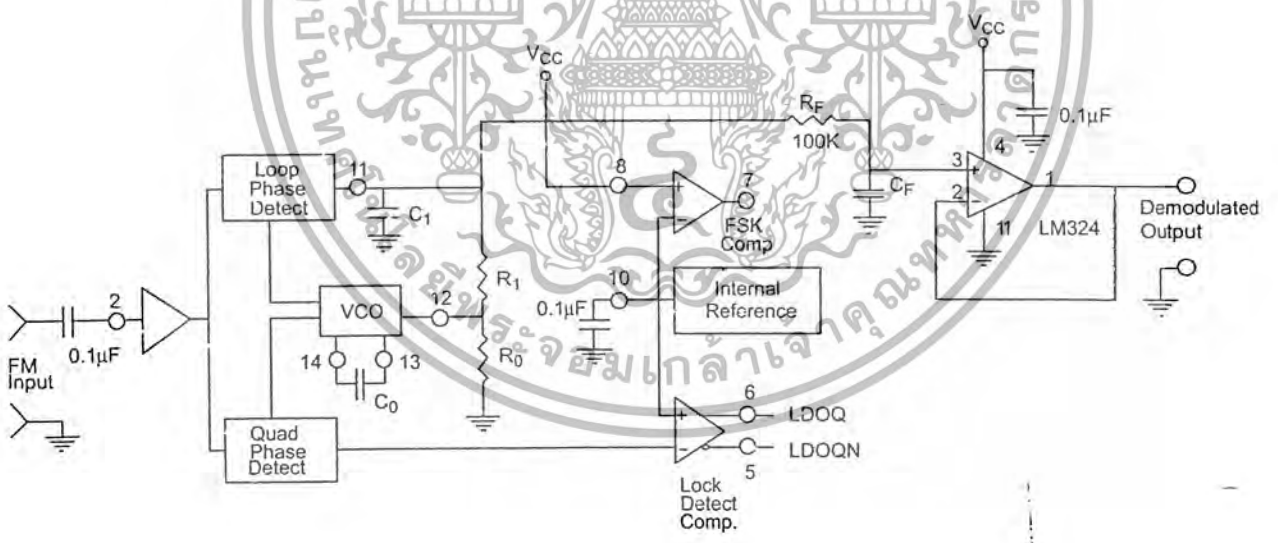



**Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp.**
**(See Section on Design Equation for Component Values.)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Linear FM Detection

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in *Figure 13*. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of $R_F$ and $C_F$, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in *Figure 13*.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_1 \cdot V_{REF}}{100 \cdot R_0}$$

where VR is the internal reference voltage ($V_{REF} = V_{CC}/2 - 650mV$). For the choice of external components $R_1$, $R_0$, $C_D$, $C_1$ and $C_F$, see the section on design equations.

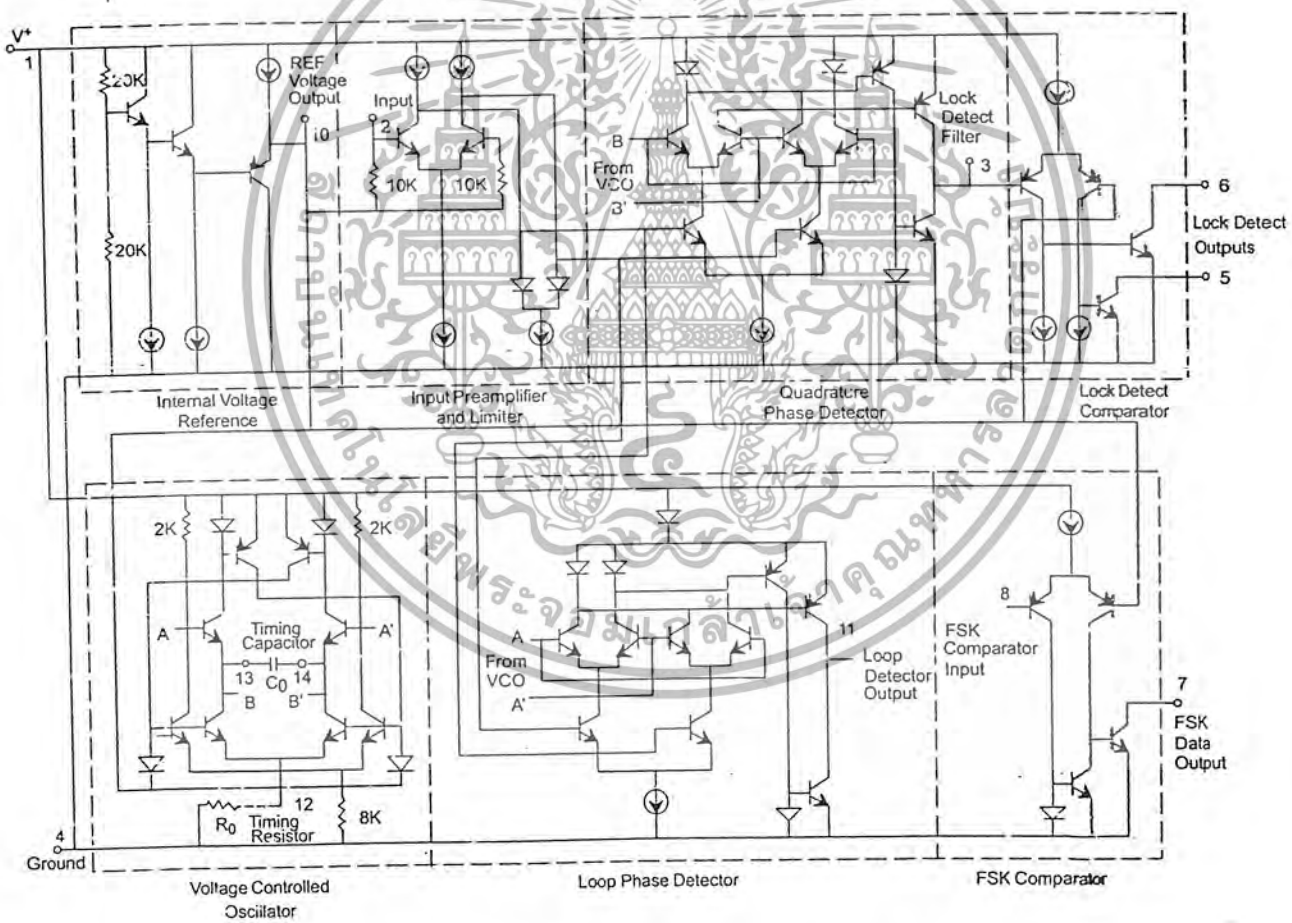



**Figure 14. Equivalent Schematic Diagram**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้