สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การแสดงผลสัญญาณ QPSK ผ่านจอคอมพิวเตอร์

QPSK Demonstration on Computer display

T 067932

โดย

นายพยุงศักดิ์ ปานเทพ

นายอาคม มาบุญธรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....

เลขทะเบียน 61932

วัน,เดือน,ปี 25 ก.ค. 2549

.b.....

.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK Demonstration on Computer display

BY

Mr. Payungsak Panthap

Mr. Arkom Maboontham

A PROJECT SUBMITTED IN PARTIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบเสนอปริญญานิพนธ์

หัวข้อปริญญานิพนธ์	การแสดงผลสัญญาณ QPSK ผ่านจอคอมพิวเตอร์	
ชื่อนักศึกษา	นายพยุงศักดิ์ ปานเทพ	รหัสประจำตัว 44015659
	นายอาคม มาบุญธรรม	รหัสประจำตัว 44015678
อาจารย์ที่ปรึกษา	รศ.ดร.กนก เจนจิระพงศ์เวช	
	รศ.ชวลิต เบญจางคประเสริฐ	
ระดับการศึกษา	ปริญญาตรีวิศวกรรมศาสตรบัณฑิต	
	สาขาวิศวกรรมสารสนเทศ	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2546	

ปริญญานิพนธ์ฉบับนี้ได้รับความเห็นชอบจากอาจารย์ที่ปรึกษาเป็นที่เรียบร้อยแล้ว

.....

(รศ.ดร.กนก เจนจิระพงศ์เวช)

.....

(รศ.ชวลิต เบญจางคประเสริฐ)

อาจารย์ที่ปรึกษาปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การแสดงผลสัญญาณ QPSK ผ่านจอคอมพิวเตอร์		
ชื่อนักศึกษา	นายพยุงศักดิ์	ปานเทพ	รหัสประจำตัว 44015659
	นายอาคม	มาบุญธรรม	รหัสประจำตัว 44015678
อาจารย์ที่ปรึกษา	รศ.ดร.กนก	เจนจิระพงศ์เวช	
อาจารย์ที่ปรึกษาร่วม	รศ.ชวลิต	เบญจางคประเสริฐ	
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต		
	สาขาวิศวกรรมสารสนเทศ		
ภาควิชา	วิศวกรรมสารสนเทศ		
ปีการศึกษา	2546		

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

โครงงานนี้เสนอการสร้างสัญญาณดิจิตอล โดยใช้หลักการของการมอดูเลตแบบ QPSK (Quadrature Phase Shift Keying) ซึ่งสามารถแสดงผลการมอดูเลตทางจอคอมพิวเตอร์ผ่านทางพอตร์อนุกรม (RS-232) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT TITLE	QPSK Demonstration on Computer display		
STUDENT	Mr. PAYUNGSAK	PANTHAP	No. 44015659
	Mr. ARKOM	MABOONTHAM	No. 44015678
ADVISOR	Assoc.Prof.Dr. KANOK	JANCHITRAPONGVEJ	
	Assoc.Prof. CHAWALIT	BENJANGKAPRASERT	
COURSE	Bachelor of Information Engineering		
DEPARTMENT	Information Engineering		
YEAR	2003		

ABSTRACT

This project presents digital modulated in QPSK (Quadrature Phase Shift Keying) syatem. The modulated signaling can demonstrated on computer display.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงมาได้เป็นอย่างดีก็ต้องขอขอบคุณหลาย ๆ ฝ่ายที่ช่วยในการสนับสนุนจนสามารถสำเร็จ ขอขอบคุณ รศ.ดร.กนก เจนจิระพงศ์เวช, รศ.ชวลิต เบญจางคประเสริฐ ที่ให้คำแนะนำ คำปรึกษา ตลอดจนแนวทางการแก้ปัญหาต่าง ๆ ที่เกิดขึ้น ทางคณะผู้จัดทำได้รู้สึกซาบซึ้งในความอนุเคราะห์ที่ดีเยี่ยมจากท่าน ขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ อ.กฤดากร กล่อมการ ที่คอยให้คำแนะนำและคำปรึกษาในเรื่องของวงจรต่าง ๆ จนวงจรสำเร็จลุล่วงไปด้วยดี

ขอขอบคุณอาจารย์ทุกท่าน และภาควิชาวิศวกรรมสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ตั้งใจประสิทธิประสาทวิชาความรู้ รวมทั้งโอกาสในการทำปริญญานิพนธ์นี้ขึ้นมา

ขอขอบคุณ เพื่อน ๆ นักศึกษาห้อง 3F/2 และ 3F/3 ทุกคนที่ร่วมทุกข์ร่วมสุขและเป็นกำลังใจในการทำปริญญานิพนธ์นี้ตลอดมา และผู้ที่เกี่ยวข้องกับโครงงานนี้ทุกท่านที่มิได้เอ่ยนามในที่นี้สำหรับเครื่องมือ อุปกรณ์ต่าง ๆ

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา ที่ได้ให้การสนับสนุนในด้านการศึกษา อีกทั้งสิ่งดี ๆ ทุก ๆ อย่างที่มีให้กันมาโดยตลอด รวมทั้งญาติพี่น้องทุกท่านที่คอยเป็นขวัญและกำลังใจด้วยดีเสมอมา

คุณค่าและประโยชน์อันพึงมีจากปริญญานิพนธ์ฉบับนี้ ทางคณะผู้จัดทำขอมอบแด่ผู้มีพระคุณทุกท่านไว้ ณ โอกาสนี้

นายพยุงศักดิ์ ปานเทพ
นายอาคม มาบุญธรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	V
สารบัญตาราง	VI
บทที่ 1 บทนำ	
1.1 ที่มา และแนวคิด	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ผลที่คาดว่าจะได้รับ	1
1.4 วิธีการดำเนินงาน	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 ควอดราเจอร์ เฟสชิฟ คีอิง (Quadrature Phase-Shift Keying ; QPSK)	3
2.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)	6
2.3 วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator)	8
2.4 แอคทีฟ ฟิลเตอร์ (Active Filter)	9
2.5 เฟสล็อคลูป (Phase Lock Loop)	12
2.5.1 หลักการของเฟสล็อคลูป	13
2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	15
2.6.1 การแซมปลิ้งสัญญาณ	15
2.6.2 Sampling and hold และ Aperture time error	16
2.6.3 วงจรแซมปลิ้งแอนด์โฮล (S/H)	18
2.7 ทฤษฎีการติดต่อกับคอมพิวเตอร์	19
2.8 พอร์ตอนุกรม (RS-232)	21
2.8.1 มาตรฐานพอร์ตอนุกรมแบบ RS-232	21
2.8.2 คอนเน็กเตอร์สำหรับพอร์ต RS-232 และการเชื่อมต่อ	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 3 การออกแบบวงจร

3.1 การออกแบบวงจรในการมอดูเลตแบบ QPSK 25

3.1.1 ชุดกำเนิดข้อมูลขนาดความเร็ว 1 Kbps 26

3.1.2 วงจรแยกสัญญาณดิจิตอล 27

3.1.3 วงจรแปลง 1 บิต เป็น 2 ระดับ 27

3.1.4 วงจรบาลานซ์มอดูเลเตอร์ 28

3.1.5 วงจรกรองช่วงความถี่ 29

3.1.6 วงจรกรองความถี่ผ่านเฉพาะช่วง 33

3.1.7 วงจรเลื่อนเฟส 90 องศา 34

3.1.8 วงจรกำเนิดสัญญาณพาหะ 8 KHz 35

3.1.9 วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal) 36

3.1.10 วงจรรวมสัญญาณ (SUMMING AMP) 37

3.2 การออกแบบวงจรในการดีมอดูเลตแบบ QPSK 38

3.2.1 วงจรกรองช่วงความถี่คลื่นพาหะ 40

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณนำร่อง (Pilot Signal) 40

3.2.3 วงจรกู้สัญญาณนาฬิกา 41

3.2.4 วงจรกู้สัญญาณพาหะ 41

3.2.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา 42

3.2.6 วงจรบาลานซ์ดีมอดูเลเตอร์ 43

3.2.7 วงจรกรองความถี่ต่ำผ่าน 44

3.2.8 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต 44

3.2.9 วงจรรวมสัญญาณดิจิตอล 45

3.3 การออกแบบวงจรในการเชื่อมต่อกับคอมพิวเตอร์ 46

3.3.1 วงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 47

3.3.2 วงจรกำเนิดสัญญาณนาฬิกา 47

3.3.3 วงจรลดทอนสัญญาณ 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

3.3.4 วงจรยกระดับสัญญาณ 49

3.3.5 วงจรเชื่อมต่ออินเตอร์เฟส 49

3.4 การออกแบบโปรแกรมในการแสดงผลของสัญญาณ 50

3.4.1 หลักการทำงานของโปรแกรม 51

บทที่ 4 การทดลองและผลการทดลอง

4.1 สัญญาณภาคส่งที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบกับ
โปรแกรมออสซิลโลสโคป 52

4.1.1 วงจรกำเนิดสัญญาณนาฬิกา 1 KHz 52

4.1.2 วงจรกำเนิดสัญญาณข้อมูล NRZ 1 Kbps 53

4.1.3 วงจรแยกบิตสัญญาณข้อมูล 54

4.1.4 วงจรเปลี่ยนข้อมูล 1 บิตเป็น 2 ระดับ 56

4.1.5 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz 58

4.1.6 วงจรกำเนิดสัญญาณนำร่อง 4 KHz 59

4.1.7 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz 61

4.1.8 วงจรมอดูเลตแบบแยกคลื่นพาหะ 62

4.1.9 วงจรรวมสัญญาณ 64

4.2 สัญญาณภาคส่งที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบ
หลายช่องสัญญาณ 65

4.2.1 ภาควงจรกำเนิดสัญญาณนาฬิกา 1 KHz กับข้อมูลไบนารี NRZ 65

4.2.2 วงจรแยกบิตสัญญาณข้อมูล 66

4.2.3 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz 67

4.2.4 วงจรกำเนิดสัญญาณนำร่อง 4 KHz 68

4.2.5 วงจรกำเนิดสัญญาณเลื่อนเฟส 90 องศา 69

4.2.6 วงจรมอดูเลตแบบแยกคลื่นพาหะ 71

4.2.7 วงจรรวมสัญญาณ 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

4.3 สัญญาณภาครับที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบ 2 ช่องสัญญาณ 75

4.3.1 ภาคกรองความถี่นำร่องและวงจรกู้สัญญาณนาฬิกา 75

4.3.2 นำสัญญาณนาฬิกาเป็นสัญญาณอ้างอิงในการกู้สัญญาณพาหะ 76

4.3.3 วงจรภาคดีมอดูเลต 78

4.3.4 ภาควงจรกรองความถี่ต่ำผ่านและวงจรเปรียบเทียบสัญญาณ 80

4.3.5 ภาควงจรรวมสัญญาณดิจิตอล 83

บทที่ 5 สรุปผลการทดลอง

บรรณานุกรม

ภาคผนวก ก. วงจรอิเล็กทรอนิกส์

ภาคผนวก ข. ลายวงจรอิเล็กทรอนิกส์

ภาคผนวก ค. Source Code โปรแกรม Visual Basic และ โปรแกรม MCS-51

ภาคผนวก ง. Datasheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1.1 โครงสร้างโดยรวมทั้งหมดของโครงงาน 2
รูปที่ 2.1 บล็อกไดอะแกรมภาคส่ง QPSK 3
รูปที่ 2.2 QPSK มอดูเลเตอร์ 4
รูปที่ 2.3 บล็อกไดอะแกรมภาครับ QPSK 5
รูปที่ 2.4 วงจรบาลานซ์มอดูเลเตอร์ 8
รูปที่ 2.5 Frequency Response ของวงจร Filter 11
รูปที่ 2.6 บล็อกไดอะแกรมของวงจรเฟสล็อคลูป 13
รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป 14
รูปที่ 2.8 ระบบเปลี่ยนปริมาณทางธรรมชาติเป็นปริมาณดิจิตอล 15
รูปที่ 2.9 การสุ่มสัญญาณ 17
รูปที่ 2.10 วงจรพื้นฐานของ S/H 18
รูปที่ 2.11 รูปคลื่นเอาท์พุทของ S/H 18
รูปที่ 2.12 แสดงบล็อกไดอะแกรมของระบบคอมพิวเตอร์ 19
รูปที่ 2.13 แสดงการอินเตอร์เฟสคอมพิวเตอร์ 20
รูปที่ 2.14 รูปแบบของข้อมูลอนุกรม 21
รูปที่ 2.15 คอนเน็กเตอร์อนุกรม 9 ขา 22
รูปที่ 2.16 (ก) เป็นการเชื่อมต่อแบบ Null modem 24
รูปที่ 2.16 (ข) เป็นการเชื่อมต่อแบบ Null modem 24
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง 25
รูปที่ 3.2 บล็อกไดอะแกรมของ PLL1 และ PLL 2 26
รูปที่ 3.3 วงจรกำเนิดข้อมูลขนาดความเร็ว 1 Kbps 26
รูปที่ 3.4 วงจรแยกสัญญาณดิจิตอล 27
รูปที่ 3.5 วงจรแปลง 1 บิต เป็น 2 ระดับ 28
รูปที่ 3.6 วงจรบาลานซ์มอดูเลเตอร์ 28
รูปที่ 3.7 การกำหนดค่าพารามิเตอร์ให้กับวงจร 30
รูปที่ 3.8 แสดงลักษณะการเชื่อมต่อของวงจร 31
รูปที่ 3.9 แสดงการกำหนดค่าของ C1 และ C2 จากวงจร 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

หน้า

รูปที่ 3.10 การกำหนดค่า R1 32
รูปที่ 3.11 การกำหนดค่า R2 32
รูปที่ 3.12 การกำหนดค่า R3 32
รูปที่ 3.13 แสดงอัตราการขยายที่ได้จากการออกแบบ 33
รูปที่ 3.14 วงจรกรองความถี่ผ่าน 8 KHz 33
รูปที่ 3.15 วงจรกรองความถี่ผ่าน 4 KHz 34
รูปที่ 3.16 วงจรเลื่อนเฟส 90 องศา 34
รูปที่ 3.17 วงจรกำเนิดสัญญาณพาหะ 8 KHz 36
รูปที่ 3.18 วงจรกำเนิดสัญญาณนำร่อง 4 KHz 37
รูปที่ 3.19 วงจรรวมสัญญาณ 38
รูปที่ 3.20 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาครับ 39
รูปที่ 3.21 แสดงแผนผังการทำงานของ PLL 1 39
รูปที่ 3.22 แสดงแผนผังการทำงานของ PLL 2 39
รูปที่ 3.23 วงจรกรองช่วงความถี่คลื่นพาหะ 40
รูปที่ 3.24 วงจรกรองช่วงความถี่สัญญาณนำร่อง 40
รูปที่ 3.25 วงจรกู้สัญญาณนาฬิกา 41
รูปที่ 3.26 วงจรกู้สัญญาณคลื่นพาหะ 42
รูปที่ 3.27 วงจรเลื่อนเฟสสัญญาณ 90 องศา 43
รูปที่ 3.28 วงจรบาลานซ์ดีมอดูเลเตอร์ 43
รูปที่ 3.29 วงจรกรองความถี่ต่ำผ่าน 1.2 KHz 44
รูปที่ 3.30 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต 45
รูปที่ 3.31 วงจรรวมสัญญาณดิจิตอล 46
รูปที่ 3.32 บล็อกไดอะแกรมแสดงการทำงานของวงจร A/D 46
รูปที่ 3.33 ลักษณะของ ADC 0820 47
รูปที่ 3.34 วงจรกำเนิดสัญญาณนาฬิกา 10MHz 48
รูปที่ 3.35 วงจรลดทอนสัญญาณ 48
รูปที่ 3.36 วงจรยกระดับแรงดัน 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

หน้า

รูปที่ 3.37 วงจรอินเตอร์เฟสโดยใช้ DS89C420 ผ่านพอร์ตอนุกรม 50
รูปที่ 3.38 แสดง Flow chart ของโปรแกรมการแสดงผลของสัญญาณ 50
รูปที่ 4.1 วัดสัญญาณนาฬิกา 1 KHz ด้วยดิจิตอลออสซิลโลสโคป 52
รูปที่ 4.2 วัดสัญญาณนาฬิกา 1 KHz ด้วยโปรแกรมออสซิลโลสโคป 53
รูปที่ 4.3 วัดสัญญาณข้อมูล NRZ 1 Kbps ด้วยดิจิตอลออสซิลโลสโคป 53
รูปที่ 4.4 วัดสัญญาณข้อมูล NRZ 1 Kbps ด้วยโปรแกรมออสซิลโลสโคป 54
รูปที่ 4.5 วัดสัญญาณข้อมูลช่อง I ด้วยดิจิตอลออสซิลโลสโคป 54
รูปที่ 4.6 วัดสัญญาณช่อง I ด้วยโปรแกรมออสซิลโลสโคป 55
รูปที่ 4.7 วัดสัญญาณข้อมูลช่อง Q ด้วยดิจิตอลออสซิลโลสโคป 55
รูปที่ 4.8 วัดสัญญาณช่อง Q ด้วยโปรแกรมออสซิลโลสโคป 56
รูปที่ 4.9 วัดสัญญาณช่อง I ด้วยดิจิตอลออสซิลโลสโคป 56
รูปที่ 4.10 วัดสัญญาณช่อง I ด้วยโปรแกรมออสซิลโลสโคป 57
รูปที่ 4.11 วัดสัญญาณช่อง Q ด้วยดิจิตอลออสซิลโลสโคป 57
รูปที่ 4.12 วัดสัญญาณช่อง Q ด้วยโปรแกรมออสซิลโลสโคป 58
รูปที่ 4.13 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยดิจิตอลออสซิลโลสโคป 58
รูปที่ 4.14 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยโปรแกรมออสซิลโลสโคป 59
รูปที่ 4.15 วัดสัญญาณนำร่อง 4 KHz (PLL) ด้วยดิจิตอลออสซิลโลสโคป 59
รูปที่ 4.16 วัดสัญญาณนำร่อง 4 KHz (PLL) ด้วยโปรแกรมออสซิลโลสโคป 60
รูปที่ 4.17 วัดสัญญาณนำร่อง 4 KHz ที่ผ่านวงจรกรองความถี่ช่วงผ่าน 4 KHz
แล้วเป็นสัญญาณร่องด้วยดิจิตอลออสซิลโลสโคป 60
รูปที่ 4.18 วัดสัญญาณนำร่อง 4 KHz ที่ผ่านวงจรกรองความถี่ช่วงผ่าน 4 KHz
แล้วเป็นสัญญาณนำร่องด้วยโปรแกรมออสซิลโลสโคป 61
รูปที่ 4.19 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยดิจิตอลออสซิลโลสโคป 61
รูปที่ 4.20 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยโปรแกรมออสซิลโลสโคป 62
รูปที่ 4.21 วัดสัญญาณมอดูเลตช่อง I ด้วยดิจิตอลออสซิลโลสโคป 62
รูปที่ 4.22 วัดสัญญาณมอดูเลตช่อง I ด้วยโปรแกรมออสซิลโลสโคป 63
รูปที่ 4.23 วัดสัญญาณมอดูเลตช่อง Q ด้วยโปรแกรมออสซิลโลสโคป 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

หน้า

รูปที่ 4.24 วัดสัญญาณมอดูเลตช่อง Q ด้วยโปรแกรมออสซิลโลสโคป 64

รูปที่ 4.25 วัดสัญญาณ QPSK ด้วยดิจิตอลออสซิลโลสโคป 64

รูปที่ 4.26 วัดสัญญาณ QPSK ด้วยโปรแกรมออสซิลโลสโคป 65

รูปที่ 4.27 สัญญาณนาฬิกาเปรียบเทียบกับสัญญาณข้อมูล NRZ 65

รูปที่ 4.28 สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I ช่อง Q 66

รูปที่ 4.29 สัญญาณคลื่นพาหะที่ได้จากการป้อนสัญญาณนาฬิกาขนาด 1 KHz
มาเข้าวงจรคูณ 8 ได้สัญญาณ 8 KHz แล้วนำสัญญาณไปเข้าวงจรกรองช่วงความถี่ 67

รูปที่ 4.30 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง 68

รูปที่ 4.31 สัญญาณคลื่นพาหะที่ได้จากการเลื่อนเฟส 90 องศา 69

รูปที่ 4.32 สัญญาณคลื่นพาหะที่ได้จากการเลื่อนเฟส 90 องศา X-Y MODE 70

รูปที่ 4.33 (ก) เปรียบเทียบสัญญาณ I channel กับ I' 71

รูปที่ 4.33 (ข) เปรียบเทียบสัญญาณ Q กับ Q' 72

รูปที่ 4.33 (ค) เปรียบเทียบสัญญาณ I channel และ Q channel 72

รูปที่ 4.34 สัญญาณ QPSK 73

รูปที่ 4.35 เปรียบเทียบสัญญาณ QPSK กับ สัญญาณพาหะใน X-Y MODE 74

รูปที่ 4.36 เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาหะ 8 KHz 74

รูปที่ 4.37 เปรียบเทียบสัญญาณนาฬิกาทางด้านภาคส่งและภาครับ 75

รูปที่ 4.38 (ก) สัญญาณพาหะที่กู้ได้แล้วผ่านวงจรเลื่อนเฟส 90 องศา 76

รูปที่ 4.38 (ข) สัญญาณพาหะที่กู้ได้เปรียบเทียบกับสัญญาณพาหะที่ผ่าน
วงจรเลื่อนเฟส 90 องศา 77

รูปที่ 4.39 (ก) สัญญาณที่ได้จากวงจรดีมอดูเลตที่ช่อง I เปรียบเทียบกับ
สัญญาณข้อมูลทางช่อง I 78

รูปที่ 4.39 (ข) สัญญาณที่ได้จากวงจรดีมอดูเลตที่ช่อง Q เปรียบเทียบกับ
สัญญาณข้อมูลทางช่อง Q 79

รูปที่ 4.40 (ก) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง I ภาครับ
เปรียบเทียบกับภาคส่ง 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

หน้า

รูปที่ 4.40 (ข) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Q ภาครับ เปรียบเทียบกับภาคส่ง 81
รูปที่ 4.40 (ค) สัญญาณช่อง I ภาครับ เปรียบเทียบกับสัญญาณช่อง Q ภาครับ 82
รูปที่ 4.41 สัญญาณข้อมูลทางภาคส่งเปรียบเทียบกับสัญญาณข้อมูลทางภาครับ 83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่าง ๆ 6

ตารางที่ 2.2 สรุปข้อแตกต่างของ FSK, PSK, และ QAM 7

ตารางที่ 2.3 การจัดขาของคอนเน็กเตอร์พอร์ตอนุกรมตามมาตรฐาน RS-232 แบบ DB-9 23

ตารางที่ 3.1 การแปลง 1บิตเป็น 2 ระดับ 27

ตารางที่ 3.2 การแปลงสัญญาณ 2 ระดับ เป็น 1 บิต 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มา และแนวคิด

ปัจจุบันระบบการสื่อสารดิจิตอลแบบ QPSK ได้มีการนำมาใช้ประโยชน์ทางการสื่อสารกันอย่างแพร่หลาย อาทิเช่น ระบบ Cable Modem ระบบการสื่อสารผ่านดาวเทียม ระบบโทรศัพท์เคลื่อนที่แบบ CDMA เป็นต้น ซึ่งในระบบการสื่อสารข้อมูลนั้น ขณะที่เราทำการรับ-ส่งสัญญาณ เราจำเป็นจะต้องมีการตรวจเช็คสัญญาณอยู่เสมอ เมื่อเกิดความผิดพลาดของสัญญาณเกิดขึ้น เราจะต้องทราบถึงจุดเสียของสัญญาณ เพื่อสามารถแก้ไขปัญหาความผิดพลาดของระบบได้ตรงจุดและรวดเร็ว ดังนั้นในโครงงานนี้จึงได้มีแนวคิดเพื่อการศึกษาการมอดูเลตและดีมอดูเลตแบบ QPSK ที่มีโปรแกรมสามารถแสดงผลของสัญญาณแต่ละจุดได้

1.2 วัตถุประสงค์

1. เพื่อการศึกษาค้นคว้าการมอดูเลตและดีมอดูเลต แบบ QPSK
2. เพื่อพัฒนาโปรแกรมให้สามารถแสดงผลของสัญญาณ ในการมอดูเลตและการดีมอดูเลต แบบ QPSK ได้ง่ายขึ้นผ่านทางคอมพิวเตอร์
3. เพื่อสามารถแก้ไขความบกพร่องของสัญญาณขณะทำการส่งได้ตรงจุดและรวดเร็ว

1.3 ขอบเขตของโครงงาน

1. มีวงจรที่สามารถทำการมอดูเลตและดีมอดูเลตสัญญาณแบบ QPSK ส่งไปตามคลื่นพาหะ
2. มีโปรแกรมที่สามารถแสดงผลของสัญญาณ จากจุดต่างๆ ในลักษณะของรูปคลื่นได้

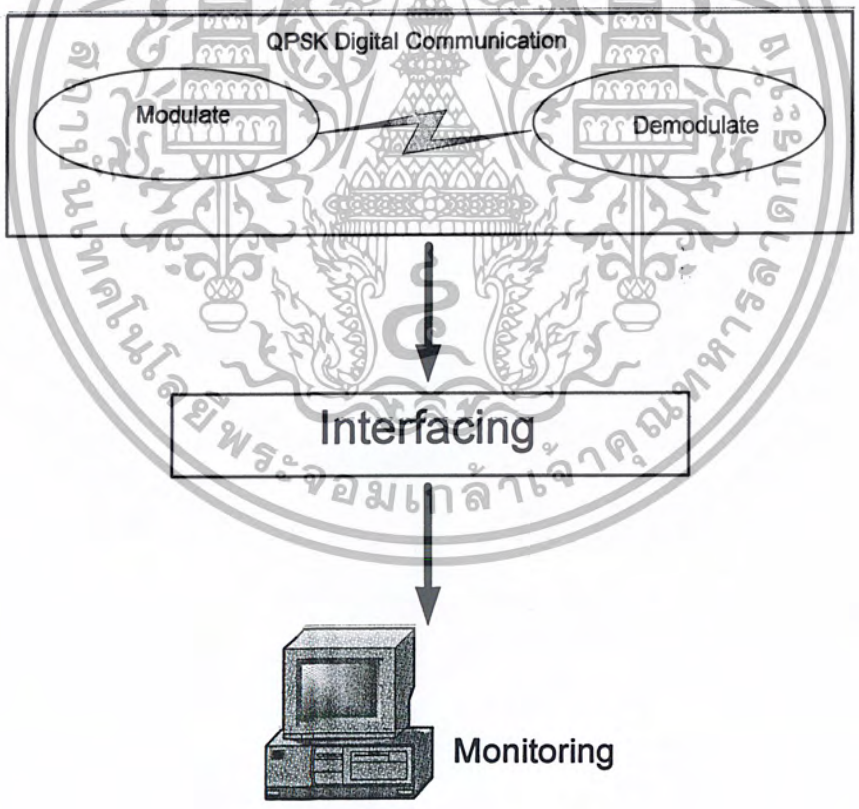
1.4 ผลที่คาดว่าจะได้รับ

1. ได้รับความรู้จากการศึกษาค้นคว้า การมอดูเลตและการดีมอดูเลตแบบ QPSK
2. โปรแกรมสามารถแสดงผลของสัญญาณ ณ จุดต่างๆ ที่สำคัญ จากการวัดของสัญญาณได้
3. สามารถนำไปประยุกต์ใช้งานกับเทคโนโลยีต่างๆ ในอนาคตได้ เช่น ในระบบการสื่อสารผ่านดาวเทียม ระบบโทรศัพท์เคลื่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 วิธีการดำเนินงาน

1. ด้านการมอดูเลตและดีมอดูเลตแบบ QPSK
   - ศึกษาเกี่ยวกับการทำงานพื้นฐาน
   - ศึกษาเกี่ยวกับการออกแบบวงจร
2. ด้านการติดต่อกับคอมพิวเตอร์
   - ศึกษาเกี่ยวกับกระบวนการในการติดต่อกันเพื่อรับส่งข้อมูลของคอมพิวเตอร์
3. โปรแกรม
   - ศึกษาการใช้งานของโปรแกรมที่จะใช้เขียน
   - เขียนโปรแกรมการแสดงผลของสัญญาณบนคอมพิวเตอร์
4. ทดลองผลการดำเนินงาน



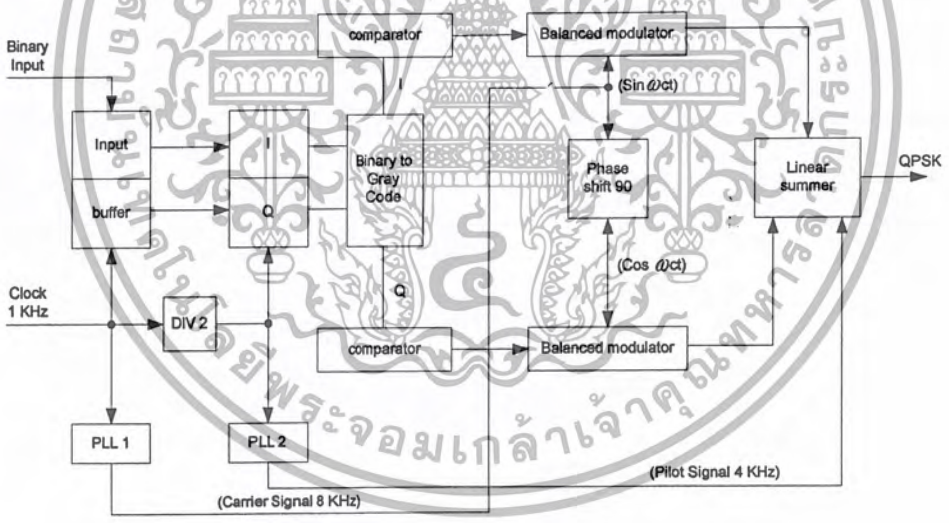
รูปที่ 1.1 โครงสร้างโดยรวมทั้งหมดของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 ควอดดราเจอร์ เฟสชิฟ คีอิง (Quadrature Phase-shift Keying ; QPSK)

ในการมอดูเลตแบบ QPSK สัญญาณ 2 บิตจะถูกส่งไปพร้อม ๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็น 2 ช่อง (I และ Q) แต่ละช่องประกอบด้วย 2 บิต ซึ่งถูกส่งไปพร้อม ๆ กัน โดยจะมีรหัส 4คู่ด้วยกันคือ 00, 01, 10 และ 11 คู่รหัสทั้ง 4 คู่นี้จะเทียบกับอินนิเชียล เฟส (initial phase) 4 เฟสของสัญญาณ QPSK จะเห็นว่าถ้าเปรียบเทียบรหัสสองเฟสข้างเคียง หนึ่งในสองบิตจะเหมือนกันในทุก ๆ กรณี แต่จะมีหนึ่งบิตที่เกิดผิดพลาด ดังนั้นก่อนที่จะนำสัญญาณแต่ละช่อง ไปเข้าวงจรมอดูเลต ควรจะเข้ารหัสไบนารีเป็นรหัสเกรย์ (Gray code) เพื่อป้องกันและลดการผิดพลาดในการส่งข้อมูล



รูปที่ 2.1 บล็อกไดอะแกรมภาคส่ง QPSK

จากบล็อกไดอะแกรม รูปที่ 2.1 สัญญาณดิจิตอลที่ส่งจะถูกแยกออกทางช่องสัญญาณ I และช่องสัญญาณ Q โดยวงจรแปลงจากอนุกรมเป็นขนาน (Serial to Parallel) แต่ละด้านจะถูกมอดูเลตแบบไบนารี เฟสชิฟ คีอิง (Binary Phase Shift Keying ; BPSK) โดยบาลานซ์มอดูเลเตอร์ คลื่นพาหะที่ใช้ในการมอดูเลตของช่องสัญญาณ I จะใช้จากเอาท์พุทของออสซิลเลเตอร์ (Oscillator) โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q จะถูกเลื่อนเฟสไป 90° ด้วยวงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Phase Shift 90 degree) หลังจากผ่าน Phase Shifter สัญญาณมอดูเลต BPSK สัญญาณ I และ Q ทั้งสองจะถูกรวมกันโดยวงจรรวม (Linear Summing) ก็จะได้สัญญาณ QPSK ออกมา

Binary Input		Gary Code		Output Phase
Q	I	Q	I	
0	0	0	0	-135
0	1	0	1	-45
1	0	1	1	+45
1	1	1	0	+135

(a) ตารางการทำงาน

(b) เฟสเซอร์ไดอะแกรม (c) คอนเทลเลชั่นไดอะแกรม

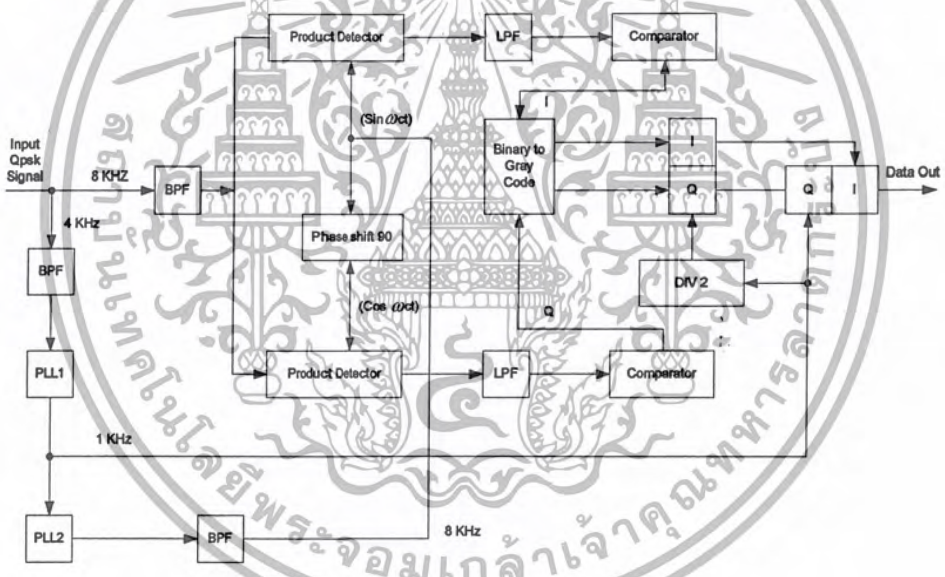
รูปที่ 2.2 QPSK มอดูเลเตอร์

เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ I และ Q และสัญญาณ BPSK สำหรับ 0 และ 1 โดยใช้เฟสเซอร์ไดอะแกรมรูป 2.2 (b) ถ้าเฟสเริ่มแรกของสัญญาณเอาท์พุทจากออสซิลเลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ I จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิงส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการเลื่อนเฟส 90° จากสัญญาณเอาท์พุทของออสซิลเลเตอร์ สัญญาณที่มอดูเลตแบบ BPSK ในช่องสัญญาณ I และ Q จะอยู่ในเฟสเดียวกันกับคลื่นพาหะสำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาหะเท่ากับ 180° สำหรับรหัส 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรวมสัญญาณ BPSK ที่ได้รับการมอดูเลตในช่องสัญญาณ I และช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ Q เป็น "1" และรหัสในช่องสัญญาณ I เป็น "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับหรัส 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส +135° กับคลื่นพาหะของช่องสัญญาณ I สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ −135° สัญญาณสำหรับรหัส 01 จะต่างเฟส −45° และสัญญาณสำหรับรหัส 11 จะต่างเฟส +45° กับคลื่นพาหะของช่องสัญญาณ I รหัสสัญญาณเหล่านี้เรียกว่า "Gray Code"

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่าหนึ่งในสองบิตจะเหมือนกัน หลักการของการดีมอดูเลตสัญญาณ QPSK แสดงได้ดังรูปที่ 2.3 ซึ่งเป็นแบบโคฮีเรนท์ (coherent detection)



รูปที่ 2.3 บล็อกไดอะแกรมภาครับ QPSK

รูปที่ 2.3 เป็นวงจรดีมอดูเลตโดยการดีเทคแบบโคฮีเรนท์ วงจรประกอบด้วยสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่ได้รับจะถูกแบ่งออกเป็นช่องสัญญาณ 2 ช่อง ซึ่งถูกดีเทคแบบโคฮีเรนท์แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้าวงจรบาลานซ์มอดูเลชั่น จากนั้นสัญญาณจะผ่านวงจรกรองความถี่ต่ำ (Low Pass Fitter) เพื่อตัดฮาร์โมนิคสูง ๆ ออก หลังจากนั้นก็ผ่านไปยังวงจรแปลงขนานเป็นอนุกรม (Parallel to Serial) เพื่อจัดรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) มักจะใช้เปรียบเทียบการมอดูเลตแบบดิจิตอล เป็นอัตราส่วนของอัตราเร็วในการสื่อสารกับแถบความถี่ที่น้อยที่สุด สำหรับการมอดูเลตที่ต้องการความละเอียดประสิทธิภาพของแถบความถี่แต่ละเฮิร์ทซเขียนสมการได้เป็น

$$BW \quad efficiency \quad = \quad \frac{Transmission \quad rate \quad (bps)}{Minimum \quad bandwidth \quad (Hz)}$$

$$= \quad \frac{bits/\text{second}}{hertz}$$

$$= \quad \frac{bits/\text{second}}{cycles/\text{second}}$$

$$= \quad \frac{bits}{hertz}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK, QPSK, 8PSK และ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดูเลตในรูปแบบต่าง ๆ

ตารางที่ 2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลตต่าง ๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าเปรียบเทียบการส่งข้อมูล 10 Mbps

$$BPSK;BW \quad efficiency = \frac{10Mbps}{10MHz} = \frac{1bps}{Hz} = \frac{1bit}{cycle}$$

$$QPSK;BW \quad efficiency = \frac{10Mbps}{5MHz} = \frac{2bps}{Hz} = \frac{2bit}{cycle}$$

$$8PSK;BW \quad efficiency = \frac{10Mbps}{3.33MHz} = \frac{3bps}{Hz} = \frac{3bit}{cycle}$$

$$QAM;BW \quad efficiency = \frac{10Mbps}{2.5MHz} = \frac{4bps}{Hz} = \frac{4bit}{cycle}$$

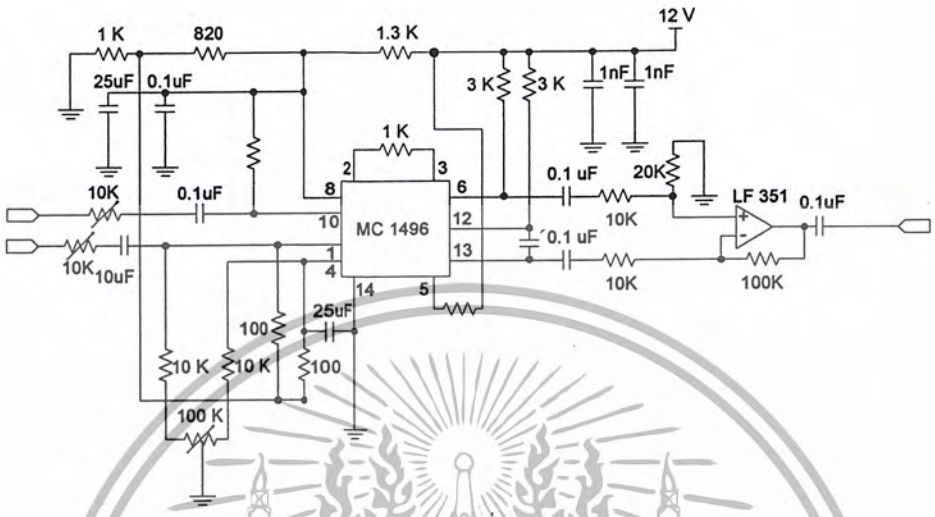
ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16QAM มีประสิทธิภาพสูงสุด และ QPSK ต้องการเพียง ½ ของแถบความถี่ที่ใช้ใน BPSK ในอัตราการส่งที่เท่ากันและสรุปข้อแตกต่างได้ในตารางที่ 2.2

ตารางที่ 2.2 สรุปข้อแตกต่างของ FSK,PSK,และ QAM

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรบาลานซ์มอดูเลเตอร์ (Balance Modulator)



รูปที่ 2.4 วงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์หรือเรียกย่อ ๆ ว่า BM นี้จะทำหน้าที่ผสมสัญญาณเบสแบนด์กับสัญญาณพาหะ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณพาหะจะถูกกำจัดออกไป ในการออกแบบวงจร BM นี้จะใช้ IC MC 1496 ทำหน้าที่เป็นตัวบาลานซ์มอดูเลเตอร์ โดยในวงจรจะมี VR 10 kOhm เป็นตัวปรับสมดุลย์ การกำจัดพาหะขึ้นอยู่กับระดับสัญญาณพาหะที่ป้อนระดับสัญญาณพาหะที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV_{p-p} ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 2.4

การทำงานของวงจรบาลานซ์มอดูเลเตอร์เหมือนกับวงจรคูณสัญญาณสมมุติให้สัญญาณแรกคือ พาหะ

$$f_o = \sin w_o t$$

และอีกสัญญาณคือ เบสแบนด์

$$f_m = \sin w_m t$$

และจะได้ output :

$$Vo = A_o \sin w_o t * A_m \sin w_m t$$

$$Vo = (A_o A_m / 2)[\cos(w_o - w_m)t + \cos(w_o + w_m)t]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC MC 1496, MC 1596 ตัวนี้จะทำหน้าที่เป็นบาลานต์มอดูเลเตอร์ / ดีมอดูเลเตอร์ ซึ่งเอาท์พุทเกิดจากการคูณของสัญญาณเบสแบนด์กับพาหะ นอกจากทำเป็นวงจรบาลานซ์มอดูเลเตอร์แล้วยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator, Symchronous delection, FM delection ฯลฯ

2.4 แอคทีฟ ฟิลเตอร์ (Active Filter)

Active Filter ทำหน้าที่กรองความถี่สัญญาณเป็นวงจรที่ประกอบด้วยภาคขยาย เช่น ทรานซีสเตอร์ (Transister) หรือ ไอซี (IC) และ Network เลือกความถี่ (Frequency Selective Network) จำพวกตัวความต้านทานตัวเก็บประจุของวงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่เอาท์พุท

โดยทั่วไปแล้ววงจรกรองความถี่แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. วงจรกรองความถี่ชนิดอนาลอก (Analog) หรือ ชนิดดิจิตอล (Digital)
2. วงจรกรองความถี่ประเภทแอคทีฟ (Active) หรือ พาสซีฟ (Passive)
3. วงจรกรองความถี่ย่างความถี่เสียง (Audio Frequency) หรือ ย่านความถี่วิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณอนาลอก ส่วน Digital Filter ใช้งานกับสัญญาณดิจิตอล โดยอาศัยเทคนิคทางอนาลอกมาช่วย ถ้าคำนึงถึงชิ้นส่วน (Element) ที่นำมาประกอบกันเป็นวงจรกรองความถี่แบ่งออกเป็นพาสซีฟและแอคทีฟ ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ ค่าความต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์ หรือ ไอซี ในรูป Op-Amp ตัวความต้านทานและตัวเก็บประจุทำงานร่วมกัน ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจรกรองความถี่ทำงาน ยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ IC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ไม่มีปัญหาโหลดดิ้ง (Loading) จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูงและ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการโหลดดิ้งกับเอาท์พุทและอินพุทของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม

3. ราคาถูกกว่าเนื่องจาก Active Filter มีราคาถูกว่า Passive Filter เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำ (Low Pass Filter)
- กรองความถี่สูง (High Pass Filter)
- กรองช่วงความถี่ (Band Pass Filter)
- กำหนดช่วงความถี่ผ่าน (Band Reject หรือ Band Stop Filter)
- ความถี่ผ่านตลอด (All Pass filter)

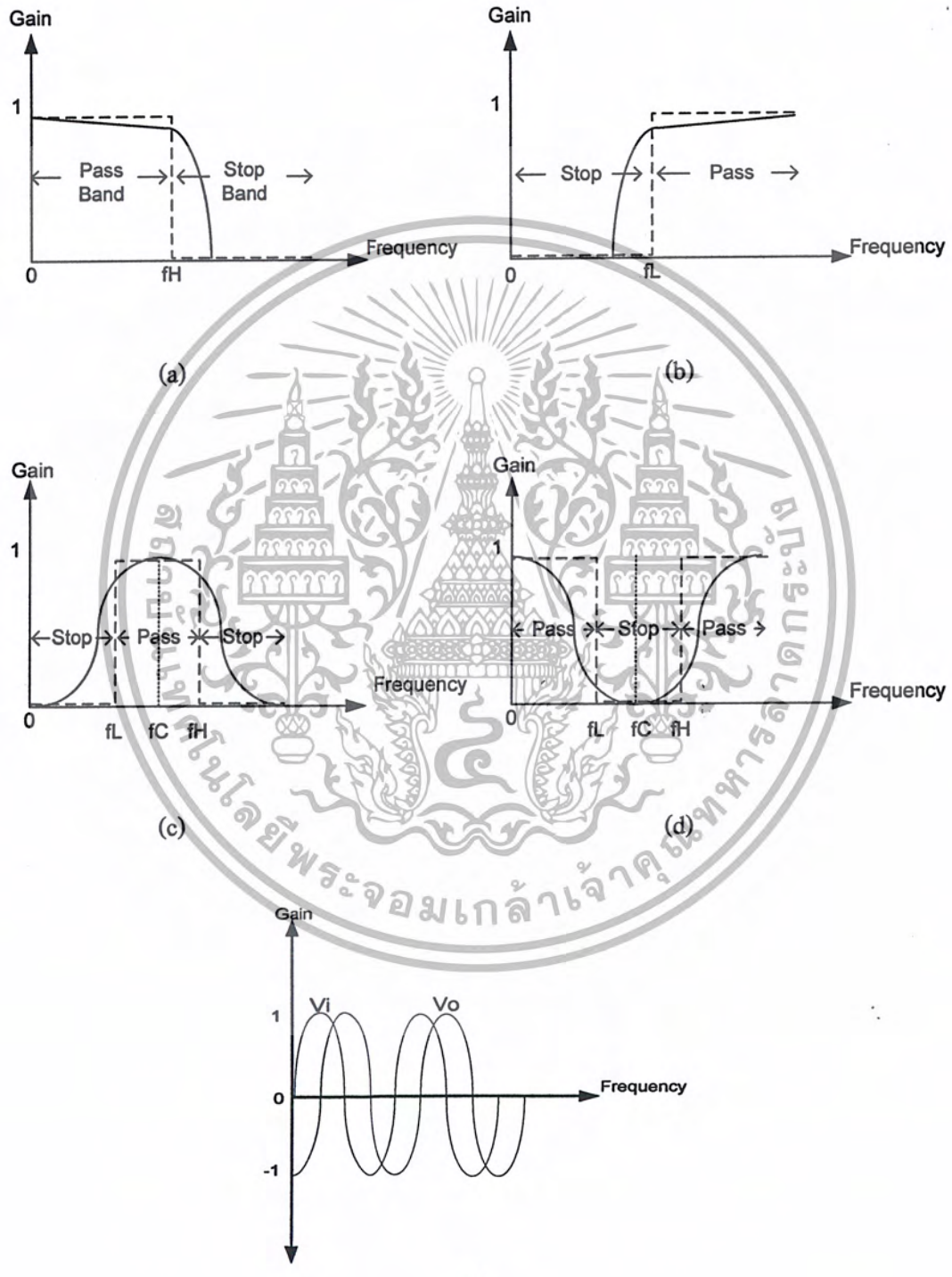
วงจรกรองความถี่เหล่านี้อาศัยตัวต้านทานและตัวเก็บประจุเป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูง ๆ จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และอัตราการขยายวงจรกรองความถี่ดีขึ้น

Frequency Response ของวงจรกรองความถี่ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎี ส่วนเส้นตอบสนองในทางปฏิบัติแสดงด้วยเส้นทึบ

รูปที่ 2.5 (a) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำขนาดของอัตราขยาย (Gain) คงที่ จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ความของแบนด์วิดธ์ (Bandwidth) จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นอัตราขยายจะลดลง -3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรืออัตราขยายของวงจรก็ลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณอินพุทที่เพิ่มขึ้น ช่วงของความถี่ระหว่าง 0 - f_H Hz เรียกว่า ช่วงผ่าน (Pass Band) ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไปเกิดการลดทอนของสัญญาณลงทุกขณะเรียกว่า ช่วงหยุด (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประแสดงให้เห็นว่าวงจรกรองความถี่เป็นอุดมคติจะมีความสูญเสีย (Loss) เป็นศูนย์ตลอดช่วงและมีความสูญเสียเป็นอนันต์ในช่วงหยุด แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับการตอบสนองที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่นตัวความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้านทานและตัวเก็บประจุที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุดและใช้ Op-Amp ชนิดความเร็วสูง



รูปที่ 2.5 Frequency Response ของวงจร Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของวงจรกรองความถี่ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้เส้นตอบสนองประมาณใกล้เคียงทางทฤษฎีได้แก่ รูปแบบบัทเตอร์เวิร์ธ (Butterworth Filter) ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุด ในลักษณะค่อนข้างราบเรียบบางโอกาสจึงเรียกว่า Flat Filter ส่วน Chebyshev Filter มีคุณลักษณะช่วงผ่านเป็น Ripple และช่วงหยุดเป็น Flat ส่วน Caur Filter ให้ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็นเส้นตอบสนองของวงจรกรองความถี่สูง เมื่อให้ f เป็นความถี่ใด ๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง ช่วงหยุดจะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงของช่วงผ่านอยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดงการตอบสนองความถี่ของวงจรกรองส่วนความถี่ของวงจรกรองส่วนความถี่ ช่วงผ่านอยู่ระหว่างสองความถี่ Cutoff ได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่แกนลดลง 3 dB และช่วง ช่วงหยุดมีสองช่วงที่ $0 < f < f_L$ กับ $f > f_L$ โดยที่ $f_H > f_L$ ค่าแบนด์วิดธ์ของ Band Pass Filter เท่ากับ $f_H - f_L$ และความถี่ตรองกลาง (Center Frequency) อยู่ที่ความถี่ f_o ปรากฏที่ตำแหน่งกึ่งกลางช่วง (Pass Band Gain) พอดี

รูปที่ 2.5 (d) แสดงการตอบสนองของกำหนดช่วงผ่านมี Curve คุณลักษณะตรงข้ามกับกรองช่วงผ่าน กล่าวคือช่วง ช่วงหยุด อยู่ระหว่างความถี่ Cutoff สองจุด คือ f_H กับ f_L และมีช่วงช่วงผ่านสองช่วงอยู่ระหว่างความถี่ $f > f_H 0 < f > f_L$ อาจเรียก Band Stop Filter หรือ Band Elimination Filter ก็ได้ค่าแบนด์วิดธ์ของช่วงหยุด เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงหยุดเป็นความถี่ความถี่กึ่งกลาง หรือ f_o

รูปที่ 2.5 (e) แสดงการเลื่อนเฟส (Phase Shift) ระหว่างแรงดันอินพุท (Vin) กับ แรงดันเอาท์พุท (Vo) ของความถี่ผ่านตลอดมีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่า ๆ กัน กล่าวคือ ให้แรงดันเอาท์พุทเท่าแรงดันอินพุทในทุกความถี่ โดยปรากฏการเลื่อนเฟสขึ้นระหว่างแรงดันเอาท์พุท กับแรงดันอินพุท ในบางความถี่แต่ความถี่สูงสุดซึ่งแรงดันเอาท์พุท กับแรงดันอินพุท ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่างแรงดันเอาท์พุทกับแรงดันอินพุท จะมีค่าสูงสุด

2.5 เฟสล็อคลูป (Phase Lock Loop)

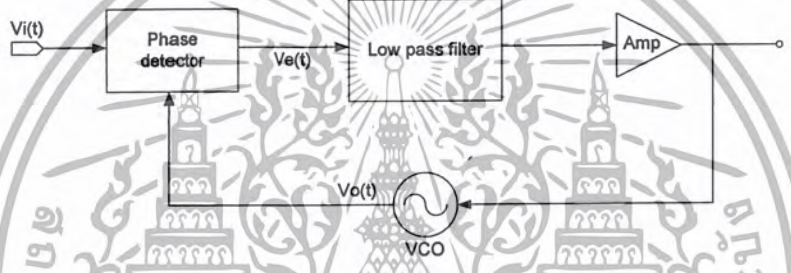
เฟสล็อคลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อคหรือทำการเข้าจังหวะ (Synchronies) กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิสเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามาดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลเตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุม ออสซิลเลเตอร์จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามาอาทิเช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาท์พุทที่ได้จากเฟสดีเทคเตอร์ผ่าน วงจรกรองความถี่ต่ำจะเป็นสัญญาณที่ถูกทำการดีมอดูเลตนั่นเอง

2.5.1 หลักการของเฟสล็อคลูป

หลักการเบื้องต้นของเฟสล็อคลูปก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนดังบล็อกไดอะแกรมในรูปที่ 2.6 คือ เฟสดีเทคเตอร์ (Phase Detector), กรองความถี่ต่ำ (Low pass filter) และ ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator ; VCO)



รูปที่ 2.6 บล็อกไดอะแกรมของวงจรเฟสล็อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่า Free-running เท่ากับ fo เมื่ออินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่านกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิ้งค์ เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์และ Vd ก็เท่ากับศูนย์ด้วย

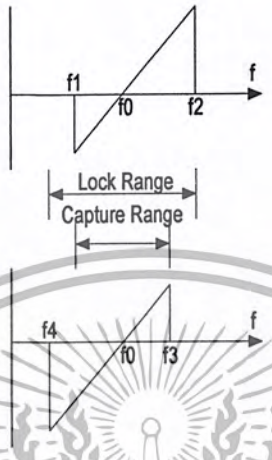
ในเรื่องของเฟสล็อคลูปมีคำที่มักเข้าใจสับสนกันบ่อย ๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่งเฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล็อคลูปลดลง

Capture Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของวงจรกรองความถี่ต่ำ คือ จะลดลงหากแบนด์วิดธ์แคบและโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เข้าใจค่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.7 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป ดังรูป



รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป

จากส่วนบนของรูปที่ 2.7 สมมุติว่าสัญญาณที่เข้ามามีความถี่ค่อย ๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ Vd เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้เฟสล็อคลูปเริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCO ให้เท่ากับ fs แต่ในที่นี้เราสมมุติว่า fs เปลี่ยนไปเรื่อย ๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd เริ่มเป็นบวก และมากขึ้นเรื่อย ๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล็อค และ Vd เท่ากับศูนย์

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.7 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อย ๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จำทำให้ fs หยุดการล็อคของเฟสล็อคลูป และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

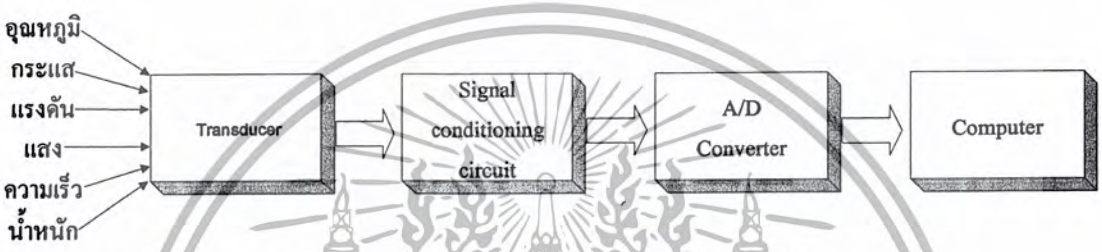
Lock Range = f2 – f4

Capture Range = f3 – f1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ในการวัดปริมาณต่างๆทางธรรมชาติ ปริมาณเหล่านั้นจะต้องถูกเปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าเสียก่อน โดยมีอุปกรณ์ที่เรียกว่าทรานดิวเซอร์ (Transducer) เช่น ตัววัดอุณหภูมิจะทำหน้าที่เปลี่ยนอุณหภูมิให้เป็นแรงดันไฟฟ้า การวัดน้ำหนักทำได้โดยใช้ load cell เปลี่ยนค่าน้ำหนักให้เป็นแรงดันไฟฟ้า เป็นต้น จากนั้นจะนำเอาท์พุทที่ได้ต่อให้กับวงจร ADC เพื่อเปลี่ยนให้เป็นสัญญาณดิจิตอล เพื่อนำไปประมวลผลโดยระบบจะเป็นดังรูป



รูปที่ 2.8 ระบบเปลี่ยนปริมาณทางธรรมชาติเป็นปริมาณดิจิตอล

จากรูปจะเห็นว่าระหว่างเอาท์พุทของทรานดิวเซอร์กับอินพุทของวงจร ADC จะมีวงจร signal conditioning วงจรนี้จะมีหรือไม่ก็ได้ขึ้นอยู่กับระบบที่ออกแบบขึ้น ถ้าหากเอาท์พุทที่ได้จากทรานดิวเซอร์มีสัญญาณอ่อนเกินไป อาจใช้วงจรนี้ขยายสัญญาณให้แรงขึ้น หรือถ้าหากสัญญาณที่ได้จากเอาท์พุทของทรานดิวเซอร์มีรูปร่างไม่เหมาะสม อาจใช้วงจรนี้แต่งรูปสัญญาณให้ดูดีขึ้น

2.6.1 การแซมปลิ้งสัญญาณ

ในการแปลงสัญญาณอนาลอกเป็นรหัสดิจิตอลนั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งเวลาดังกล่าวขึ้นอยู่กับหลายๆแฟคเตอร์ เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิตอลบิต) เทคนิคของการเปลี่ยนแปลงสัญญาณ และความเร็วในการทำงานของอุปกรณ์ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ ช่วงเวลาในการแปลงสัญญาณบางครั้งเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนของการวัดและผลก็คือความผิดพลาด (Error) ต่อค่าที่วัดได้

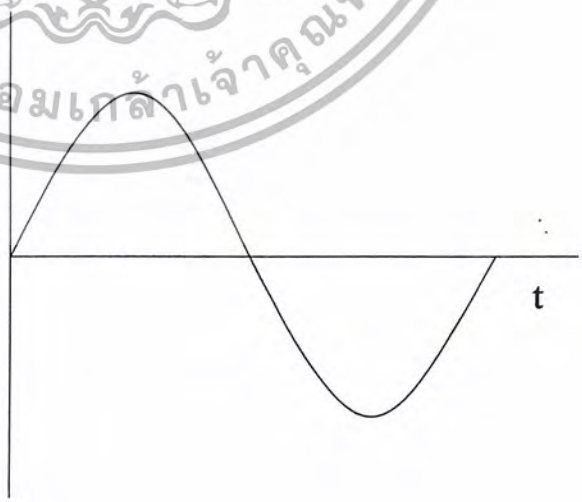
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2 Sampling and hold และ Aperture time error

วงจร Sampling and hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sampling & Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ Sampling and hold และ Aperture time ขึ้นอยู่กับแบนด์วิดธ์ และ Switching time ของอุปกรณ์แอคทีฟที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่ายและราคาถูกกว่าการสร้าง ADC ความเร็วสูง

ในการสุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆคงที่ตามรูปที่ 2.9 การสุ่มจะเป็นการตัดต่อสัญญาณอนาลอก ในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆ กับสัญญาณอนาลอก ซึ่งจะได้เป็นสัญญาณที่มอทดูเลทระหว่างขบวนพัลส์สัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกขี่มาบนขบวนพัลส์ ดังแสดงในรูปที่ 2.9ค ถ้าหากสัญญาณอนาลอกที่ถูกสุ่ม ถูกสุ่มจนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาซึ่งจะได้ลักษณะของเอาท์พุทแสดงในรูปที่ 2.9ง

มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าไร จึงจะไม่ทำให้ข้อมูลสูญเสียไป เมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบคือขึ้นอยู่กับสัญญาณอนาลอก ซึ่งทฤษฎีของการสุ่มตัวอย่างกล่าวไว้ว่า "ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคไม่เกิน f_c จะถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป"



ก. สัญญาณอนาลอกอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

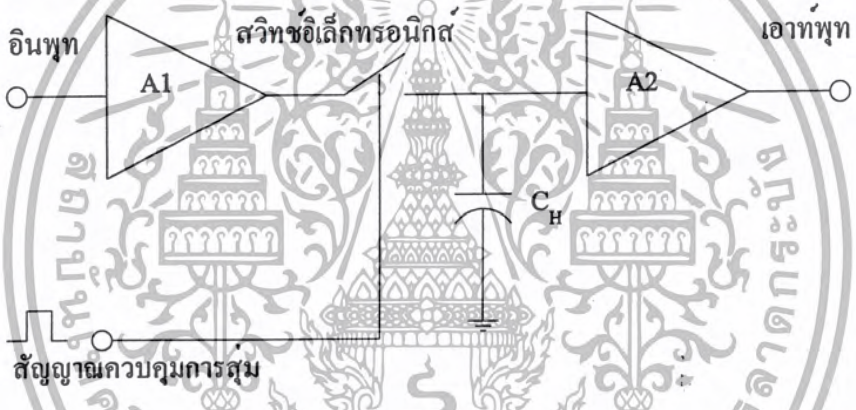
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รูปที่ 2.9 การสุ่มสัญญาณ

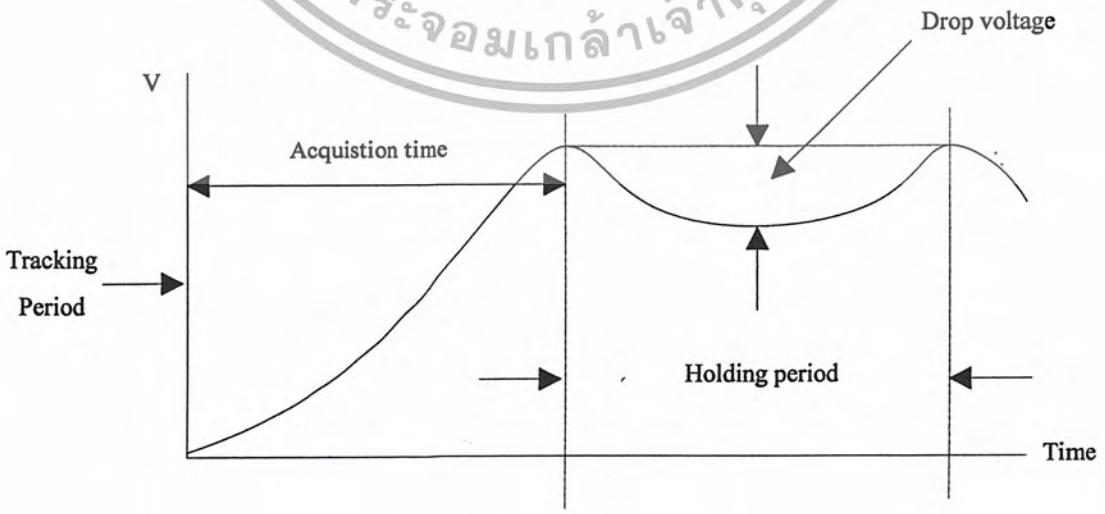
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
61932

2.6.3 วงจรแซมปลิ้งแอนด์โฮล (S/H)

ความจริงแล้ววงจร S/H มิได้มีใช้เฉพาะกับ ADC เท่านั้นแต่ก็ยังใช้กันในระบบ Data distribution , Sampling scope , DVM , Reconstruction filter และอนาลอกคอมพิวเตอร์เป็นต้น วงจร S/H โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory)ซึ่งใช้อุปกรณ์ร่วมที่สำคัญคือตัวเก็บประจุในรูปที่ 2.10 แสดงวงจรพื้นฐานของ S/H อิเล็กทรอนิคสวิทช์จะต่อกับสัญญาณแรงดันเข้าตัวเก็บประจุซึ่งสวิทช์นี้ควบคุมจาก Sampling pulse ช่วงการตัดต่อสวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่ Sampling มานั้นเรียกว่า Aperture time ของ S/H จากลักษณะการทำงานดังกล่าววงจร S/H จะมีจุดต่อสัญญาณเข้าออก 3 จุดด้วยกันคือ สัญญาณอนาลอกอินพุท, สัญญาณ Sampling และเอาท์พุท



รูปที่ 2.10 วงจรพื้นฐานของ S/H



รูปที่ 2.11 รูปคลื่นเอาท์พุทของ S/H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ทฤษฎีการติดต่อกับคอมพิวเตอร์

โครงสร้างโดยทั่วไปของระบบคอมพิวเตอร์

รูปที่ 2.12 แสดงบล็อกไดอะแกรมของระบบคอมพิวเตอร์

ระบบคอมพิวเตอร์ จะประกอบด้วยส่วนประกอบใหญ่ ดังต่อไปนี้

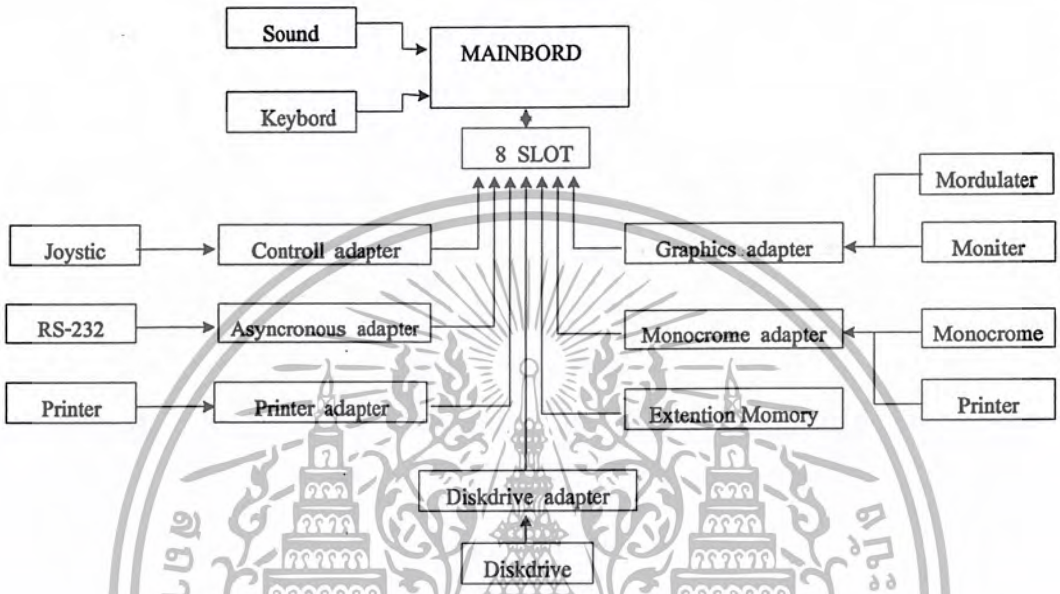
- หน่วยความจำ (Memory Unit)
- หน่วยประมวลผลกลาง(Central Processing Unit)
- หน่วยรับส่งข้อมูล (Input/Output Unit)

ซึ่งได้แสดงดังบล็อกไดอะแกรม ดังรูป จะเห็นว่าแต่ละส่วนทำงานเกี่ยวโยงสัมพันธ์กัน โดยมีการติดต่อเชื่อมโยงจากส่วนหนึ่งไปยังอีกส่วนหนึ่ง แสดงให้เห็นว่ามีการเคลื่อนย้ายข้อมูลนั้น บางส่วนจะเป็นแบบทิศทางเดียว บางส่วนจะเป็นแบบสองทิศทาง

ในการพิจารณาการอินเตอร์เฟสจะพิจารณาถึงการทำงานเพียงบางส่วนของส่วนใหญ่ ๆ ของเครื่องคอมพิวเตอร์ คือการรับและส่งข้อมูลจากส่วนหนึ่งไปยังอีกส่วนหนึ่ง ซึ่งจะเกี่ยวข้องกับการทำงานด้านอื่น ๆ ที่มีกระบวนการกระทำทางคณิตศาสตร์และทางลอจิกเกิดจากการทำงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยประมวลผลกลางร่วมกับอุปกรณ์อื่น ๆ บนแผ่นวงจรเดียวกัน เช่น ติดต่อกับหน่วยความจำรอม (ROM : Read Only Memory) , แรม (RAM, Random Access Memory)หน่วยแสดงผล , จอภาพ (Monitor) หรืออุปกรณ์ภายนอกต่างๆ ที่มาทำการ อินเตอร์เฟส ดังรูป



รูปที่ 2.13 แสดงการอินเตอร์เฟสคอมพิวเตอร์

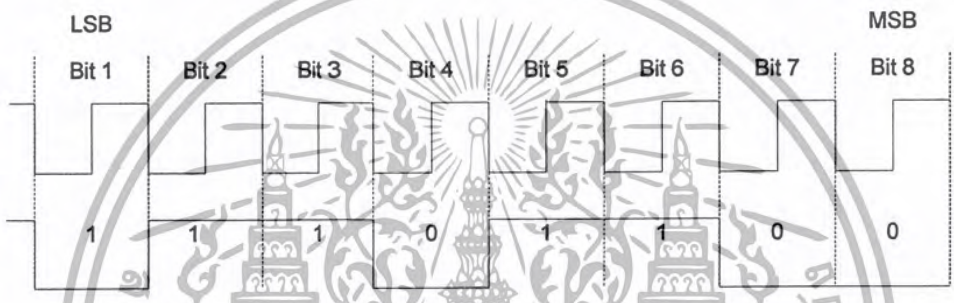
ข้อมูลที่จะโอนย้ายทุกข้อมูลจะต้องมีแหล่งส่งข้อมูลและแหล่งรับข้อมูล ซึ่งในขบวนการต่าง ๆ จะมีหลักสำคัญอยู่ว่าข้อมูลนั้นจะเป็นตำแหน่ง (Address) หรือข้อมูล (Data) จะส่งจากจุดไหนไปยังจุดไหน เช่นส่งจากหน่วยประมวลผลกลางไปยังหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุท และจะส่งเมื่อใด ขบวนการเหล่านี้ โดยทั่ว ๆ ไปจะต้องมีสัญญาณตรวจสอบความพร้อมของอุปกรณ์ที่จะส่งหรือรับข้อมูลก่อนเสมอ ซึ่งจุดส่งข้อมูลและจุดรับข้อมูลจะต้องมีสัญญาณการตรวจสอบความพร้อมเสมอเพื่อให้ข้อมูลมีการใช้งานอย่างเป็นระเบียบ สำหรับการรับและการส่งข้อมูลไปยังอุปกรณ์ภายนอกโดยข้อมูลที่โอนย้ายไปมานั้นจะอยู่ในลักษณะของเลขฐานสอง ตัวเลขแต่ละตัวจะแทนเป็นบิต อาจจะเป็นแบบ 8 บิต หรือ 16 บิต ก็ขึ้นอยู่กับระบบการรับส่งข้อมูลของระบบนั้น ๆ วงจรอินเตอร์เฟสนี้ โดยปกติจะมีหน้าที่สำคัญ 4 ประการ

- บัฟเฟอร์ (Buffer)
- ถอดรหัสข้อมูล(Data Decoding)
- ถอดรหัสคำสั่ง(Command decoding)
- ควบคุมและกำหนดเวลา (Timing Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 พอร์ตอนุกรม (RS-232)

การสื่อสารแบบอนุกรมนั้นจะแบ่งออกได้เป็น 2 แบบคือการสื่อสารอนุกรมแบบซิงโครนัส และการสื่อสารอนุกรมแบบอะซิงโครนัส การสื่อสารแบบซิงโครนัสจะมีสัญญาณนาฬิการ่วมอยู่กับการรับและส่งสัญญาณด้วย ตัวอย่างการส่งข้อมูลแบบซิงโครนัสก็คือคีย์บอร์ดของคอมพิวเตอร์ ซึ่งสายเส้นหนึ่งจะเป็นสายของสัญญาณนาฬิกา ส่วนสายอีกเส้นจะเป็นสายของข้อมูล ดังนั้นการติดต่อกันแบบซิงโครนัสนี้จะต้องใช้สายในการเชื่อมต่ออย่างน้อยที่สุด 3 เส้นคือ สัญญาณนาฬิกา, ข้อมูลและกราวด์ รูปที่ 2.14 แสดงให้เห็นถึงไทมิ่งไดอะแกรมของการส่งข้อมูลแบบซิงโครนัส



รูปที่ 2.14 รูปแบบของข้อมูลอนุกรม

2.8.1 มาตรฐานพอร์ตอนุกรมแบบ RS-232

มาตรฐานการเชื่อมต่อแบบอนุกรม RS-232 เป็นมาตรฐานอุตสาหกรรมที่ออกแบบมาเพื่อใช้ในการส่งข้อมูลอนุกรมแบบอะซิงโครนัส 2 ทิศทาง โดยมาตรฐาน RS-232 ในอดีตนั้นถูกออกแบบมาเพื่อการส่งผ่านข้อมูลจากคอมพิวเตอร์ไปยังโมเด็มเพียงอย่างเดียว เพื่อที่จะนำข้อมูลจากโมเด็มนี้สื่อสารผ่านสายโทรศัพท์ไปยังคอมพิวเตอร์อีกชุดซึ่งอยู่ห่างไกลกัน โดยคณะกรรมการที่เรียกว่า สมาคมอุตสาหกรรมอิเล็กทรอนิกส์ (Electronic Industries Association : EIA) ได้วางมาตรฐานที่มีชื่อเรียกกันว่า EIA RS-232 มาตรฐานนี้ในช่วงแรกจะใช้คอนเน็กเตอร์เป็นแบบ DB-25 โดยกำหนดความยาวสูงสุดของสายสัญญาณได้ที่ 50 ฟุต มีระดับสัญญาณตั้งแต่ -3 ถึง -12V แสดงว่ามีข้อมูล (Mark) และ +3 ถึง +12V แสดงว่าเป็นช่องว่าง (Space)

มาตรฐาน RS-232 ได้กำหนดรูปแบบของอุปกรณ์เชื่อมต่อข้อมูล (Data Terminal Equipment : DTE) กับวงจรข้อมูลปลายทาง (Data Circuit Terminating : DCE) ไว้ว่า อุปกรณ์ DTE จะต้องเป็นอุปกรณ์ที่มีการประมวลผลในตัวเช่น ไมโครคอนโทรลเลอร์หรือไมโครคอมพิวเตอร์ ซึ่งมีความสามารถในการสร้างข้อมูลแบบอนุกรมได้ ส่วนอุปกรณ์ DCE จะทำหน้าที่เป็นเพียงตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่ส่งมาจาก DTE เท่านั้น โดยการรับส่งข้อมูลระหว่างอุปกรณ์ทั้งสองจะกระทำผ่านมาตรฐาน RS-232

ข้อแตกต่างของอุปกรณ์ DTE และอุปกรณ์ DCE อย่างหนึ่งที่เห็นได้ชัดคือ คอนเน็กเตอร์ของ DTE จะเป็นตัวผู้ ส่วนคอนเน็กเตอร์ของ DCE จะเป็นตัวเมีย ซึ่งพอร์ตอนุกรมของคอมพิวเตอร์ที่ใช้กันอยู่ทั่วไปจะเป็นแบบ DET ส่วนคอนเน็กเตอร์ที่อยู่ที่โมเด็มจะเป็นแบบ DCE

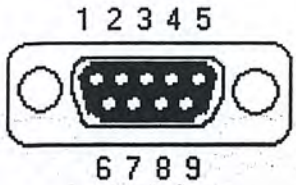
สำหรับการใช้งานบนคอมพิวเตอร์ พอร์ตอนุกรม RS-232 มักถูกใช้เชื่อมต่อกับโมเด็มหรือเมาส์ โดยสามารถรับส่งข้อมูลได้ที่ความยาวของสายสัญญาณสูงสุดถึง 20 เมตร

2.8.2 คอนเน็กเตอร์สำหรับพอร์ต RS-232 และการเชื่อมต่อ

ตามมาตรฐานการเชื่อมต่อแบบ RS-232 จะใช้คอนเน็กเตอร์แบบ DB-9 ซึ่งคอนเน็กเตอร์ซึ่งมีขาต่อใช้งาน 9 เส้น โดยแสดงรูปร่างและตำแหน่งขาในรูปที่ 2.15

สำหรับการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกแสดงดังในรูปที่ 2.16 ลูกศรในรูปแสดงถึงทิศทางของข้อมูล ในรูปที่ 2.32 (ก) เป็นการเชื่อมต่อแบบ Null modem หรือการเชื่อมต่อโดยตรงโดยไม่ต้องผ่านโมเด็ม โดยมีการตรวจสอบหรือแฮนด์เช็กเต็มรูปแบบ ส่วนในรูปที่ 2.16 (ข) เป็นการเชื่อมต่อแบบ Null modem ในลักษณะที่ใช้สายสัญญาณเพียง 3 เส้น โดยเส้นหนึ่งสำหรับส่งข้อมูล อีกเส้นสำหรับรับข้อมูล และเส้นสุดท้ายเป็นกราวด์ สำหรับรายละเอียดหน้าที่การทำงานในแต่ละขาของพอร์ตอนุกรม RS-232 มีดังนี้

- Data Carrier Detect : DCD หรืออาจเรียกว่า Carrier Detect : CD ขานี้จะแอกทีฟเมื่อมีการส่งสัญญาณพาห์จากอุปกรณ์สื่อสารข้อมูลเช่น โมเด็ม สำหรับการใช้งานปกติ ขานี้จะไม่ได้ถูกใช้งานมากนัก
- Receive Data : RD หรือ RxD ขานี้ใช้เพื่อรับสัญญาณอนุกรมเข้ามายังคอมพิวเตอร์ โดยนำข้อมูลที่อ่านได้เก็บไว้ในรีจีสเตอร์ บัฟเฟอร์



รูปที่ 2.15 คอนเน็กเตอร์อนุกรม 9 ขาหรือแบบ DB9 (มองจากด้านหลังคอมพิวเตอร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 การจัดขาของคอนเน็กเตอร์พอร์ตอนุกรมตามมาตรฐาน RS-232 แบบ DB-9

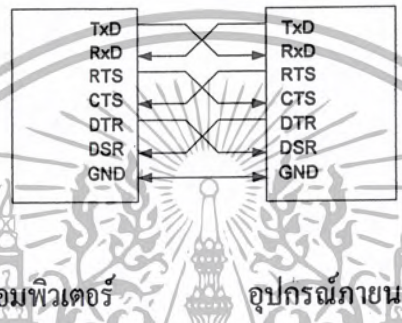
คอนเน็กเตอร์ DB-9	ชื่อของสายสัญญาณ	ชนิดของสายสัญญาณ
1	Data Carrier Detect : DCD	อินพุท
2	Receive Data : RxD	อินพุท
3	Transmitted Data : TxD	เอาต์พุท
4	Data Terminal Ready : DTR	เอาต์พุท
5	Signal Ground : GND	-
6	Data Set Ready : DSR	อินพุท
7	Request To Send : RTS	เอาต์พุท
8	Clear To Send : CTS	อินพุท
9	Ring Indicator : RI	อินพุท

- Transmitted Data : TD หรือ TxD ใช้ส่งข้อมูลออกจากคอมพิวเตอร์ โดยนำข้อมูลที่เก็บอยู่ในบัฟเฟอร์สำหรับส่งข้อมูลส่งออกไป
- Data Terminal Ready : DTR เป็นขาสัญญาณที่ส่งออกจากคอมพิวเตอร์เพื่อให้อุปกรณ์ปลายทางรับรู้ว่า ต้องการติดต่อด้วย โดยขา DTR นี้ต้องเชื่อมต่อกับขา DSR ของอุปกรณ์ปลายทาง และขา DTR ของอุปกรณ์ปลายทางต้องเชื่อมต่อกับขา DSR ของคอมพิวเตอร์ ถ้าใช้การเชื่อมต่อเป็นแบบ Null modem ซึ่งในสายในการเชื่อมต่อเพียง 3 เส้น จะต้องต่อขา DTR และ DSR ของตัวมันเองเข้าด้วยกันและต้องต่อกับขา DCD ด้วยในกรณีที่โปรแกรมสื่อสารที่ใช้มีการตรวจจับสัญญาณพาห์
- Signal Ground : GND กราวด์ระบบ
- Data Set Ready : DSR ขานี้จะใช้คู่กับขา DTR เพื่อตรวจสอบการเชื่อมต่อกันระหว่างคอมพิวเตอร์กับอุปกรณ์ปลายทาง ซึ่งขา DSR นี้จะเป็นขาสำหรับรับข้อมูลจากภายนอกซึ่งถูกส่งมาจากขา DTR
- Request To Send : RTS เป็นขาสำหรับส่งสัญญาณร้องขาให้ทางอุปกรณ์ปลายทางส่งข้อมูลกลับมายังคอมพิวเตอร์ โดยขาที่รับสัญญาณ RTS ก็คือขา CTS ในกรณีที่ใช้การเชื่อมต่อแบบ Null modem 3 สาย จะต้องเชื่อมต่อขา RTS และ CTS ของตัวมันเองเข้าด้วยกัน เพื่อจะให้การรับและส่งข้อมูลสามารถเกิดขึ้นได้ตลอดเวลา

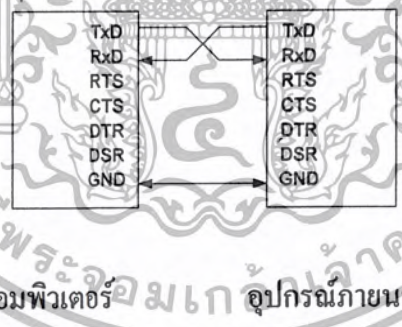
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Clear To Send : CTS ขานี้จะคอยรับสัญญาณจากขา RTS เมื่อรับสัญญาณได้ ข้อมูลที่ขา TxD จะถูกส่งออกไป ดังนั้นขานี้จึงถูกใช้เพื่อตรวจสอบอุปกรณ์ต่อพวงว่าพร้อมที่จะรับข้อมูลหรือไม่

- Ring Indicator : RI ใช้แสดงสถานะสัญญาณเรียกจากสายโทรศัพท์ ปกติในการสื่อสารโดยทั่วไปสายนี้จะไม่ถูกใช้งาน จะใช้งานก็ต่อเมื่อมีการเชื่อมต่อกับโมเด็มและโปรแกรมมีการตรวจสอบสัญญาณนี้เท่านั้น



รูปที่ 2.16 (ก) เป็นการเชื่อมต่อแบบ Null modem หรือการเชื่อมต่อโดยตรงโดยไม่ต้องผ่านโมเด็ม



รูปที่ 2.16 (ข) เป็นการเชื่อมต่อแบบ Null modem

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ

การออกแบบเราจะพิจารณาแยกออกเป็น 3 ส่วนใหญ่ๆ ดังนี้

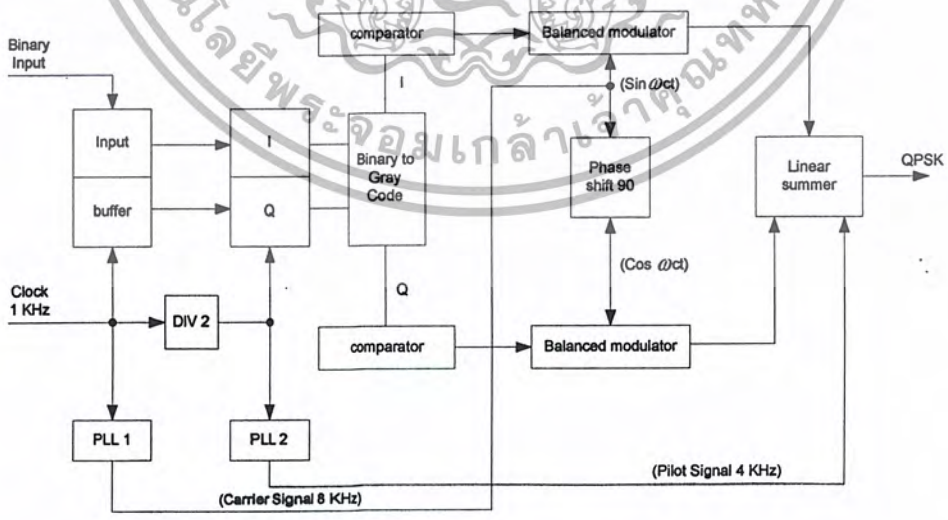
1. การออกแบบวงจรในการมอดูเลตและการดีมอดูเลตแบบ QPSK หัวข้อที่ 3.1-3.2
2. การออกแบบวงจรในการเชื่อมต่อกับคอมพิวเตอร์ หัวข้อที่ 3.3
3. การออกแบบโปรแกรมในการแสดงผลของสัญญาณ หัวข้อที่ 3.4

ซึ่งรายละเอียดจะสามารถอธิบายได้ดังต่อไปนี้

3.1 การออกแบบวงจรในการมอดูเลตแบบ QPSK

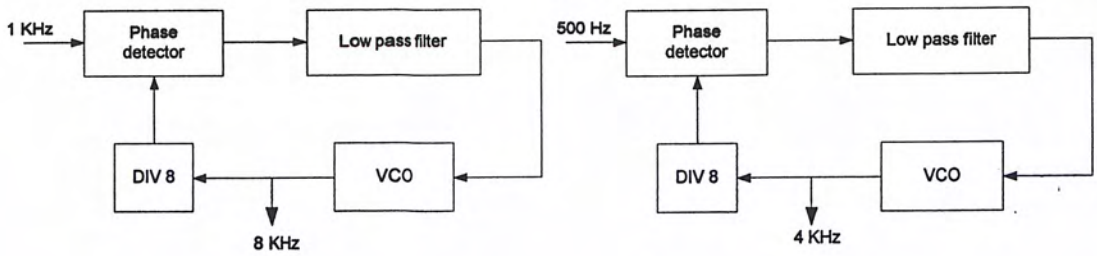
ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วน เพื่อความสะดวกในการ Synchronized ซึ่งสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้ Clock 1 KHz และใช้หลักการของ PLL ให้ได้ความถี่ที่คงที่แล้วทำการส่งไปยังภาครับ

ในส่วนของวงจรกำเนิดสัญญาณเรานำ Clock 1 KHz มาสร้างเป็นสัญญาณพาหะ 8 KHz และทำเป็นสัญญาณนำร่องเท่ากับ 4 KHz รายละเอียดแต่ละบล็อกไดอะแกรมสามารถดูการออกแบบได้ในบทที่ 3



รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

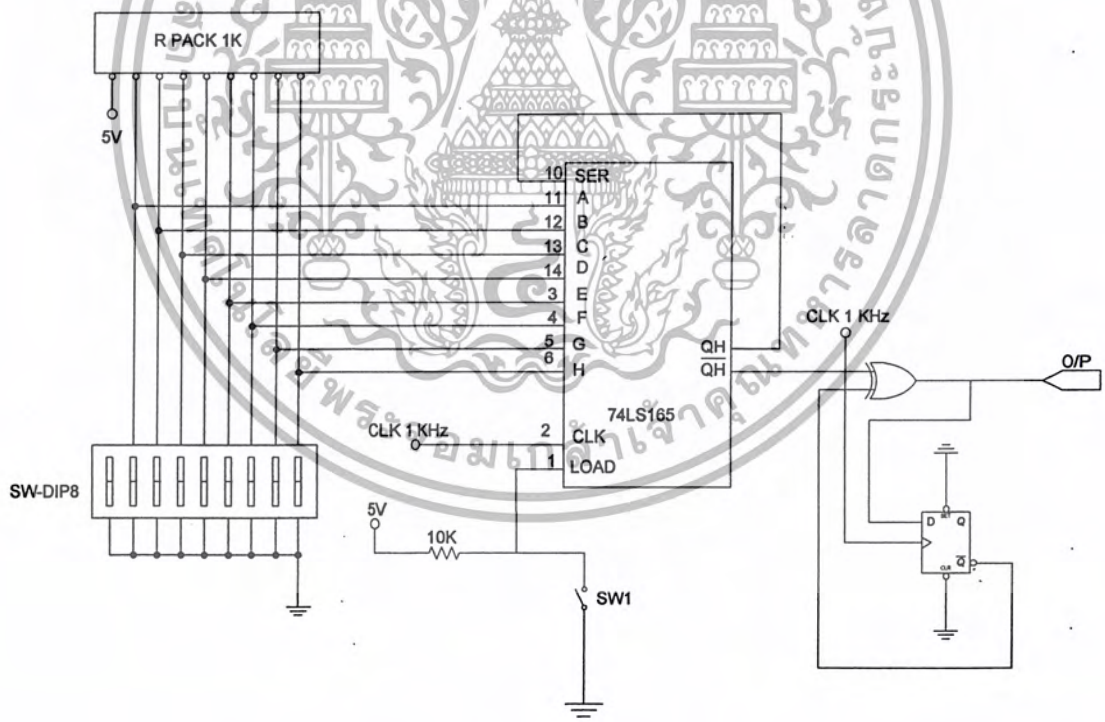


PLL 1 PLL 2

รูปที่ 3.2 บล็อกไดอะแกรมของ PLL1 และ PLL 2

3.1.1 ชุดกำเนิดข้อมูลขนาดความเร็ว 1 kbps

เราใช้ IC 74LS165 ซึ่งทำงานเป็น Parallel – Load 8 Bit Register ข้อมูลที่จะโหลดเข้ามาทดสอบความสามารถกำหนดได้ โดยการปรับสวิทช์สัญญาณนาฬิกาที่ใช้เลื่อนข้อมูล 1 KHz

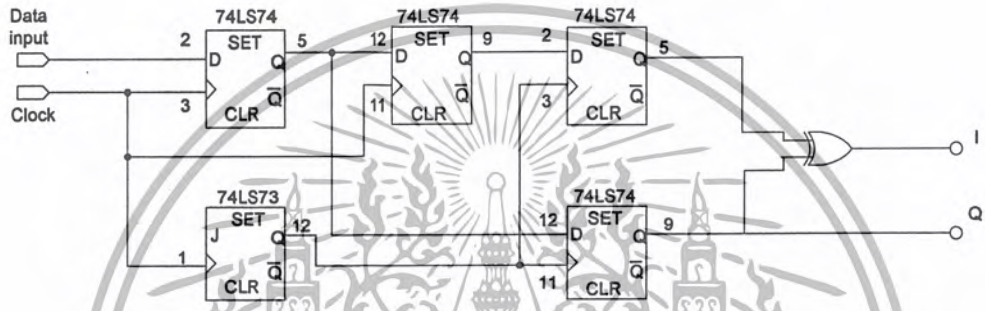


รูปที่ 3.3 วงจรกำเนิดข้อมูลขนาดความเร็ว 1 Kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุทเป็น 2 ชุด ชุดละ 1 บิต พร้อมใช้วงจรหน่วงเวลา 2 บิต เพื่อควบคุมให้อินพุทเข้ามาครบ 2 บิตเสียก่อน และจึงทำการแยกสัญญาณ จากรูปที่ 3.4 จะใช้ D ฟลิบฟลอบและ JK ฟลิบฟลอบทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ก็คือวงจรหน่วงเวลา 2 บิต หรือวงจรหาร 2 นั้นเอง ช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรอาศัยหลักการของวงจรอนุกรมและขนานนั้นเอง



รูปที่ 3.4 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากส่วนนี้มีอยู่ 2 ส่วน คือ Inphase และ Quadrature Phase อาจเรียกง่าย ๆ ว่า บิตบน บิตล่าง ก็ได้ ข้อมูลที่ได้จะแบ่งเป็นข้างละบิตแล้วนำข้อมูลนี้เป็นวงจรแปลง 1 บิต เป็น 2 ระดับต่อไป

3.1.3 วงจรแปลง 1 บิต เป็น 2 ระดับ

ด้วยสาเหตุที่ว่าวงจรบาลานซ์มอดูเลเตอร์นั้น สัญญาณดิจิตอลที่จะทำการมอดูเลตจะต้องเป็นสัญญาณที่มีขนาดไม่เกิน 300 mV_{P-P} ดังนั้นความเปลี่ยนแปลงอันเกิดจากสัญญาณบิตมีโอกาสเป็นไปได้ $2^1 = 2$ ระดับ การเปลี่ยนแปลงของสัญญาณ ดังตารางที่ 3.1

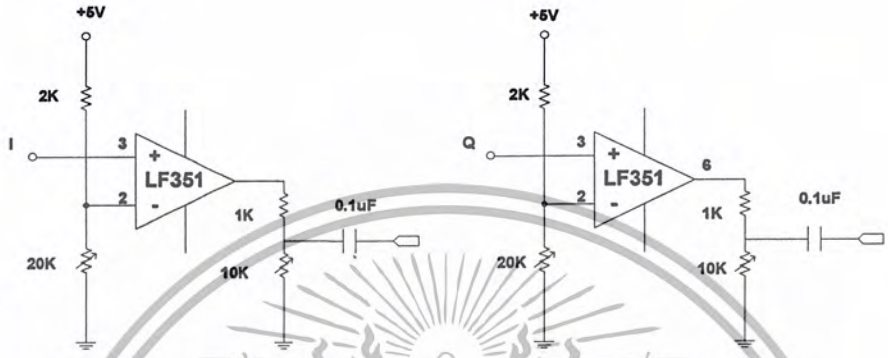
ตารางที่ 3.1 การแปลง 1บิตเป็น 2 ระดับ

I	Output
0	-150
1	+150

Q	Output
0	-150
1	+150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

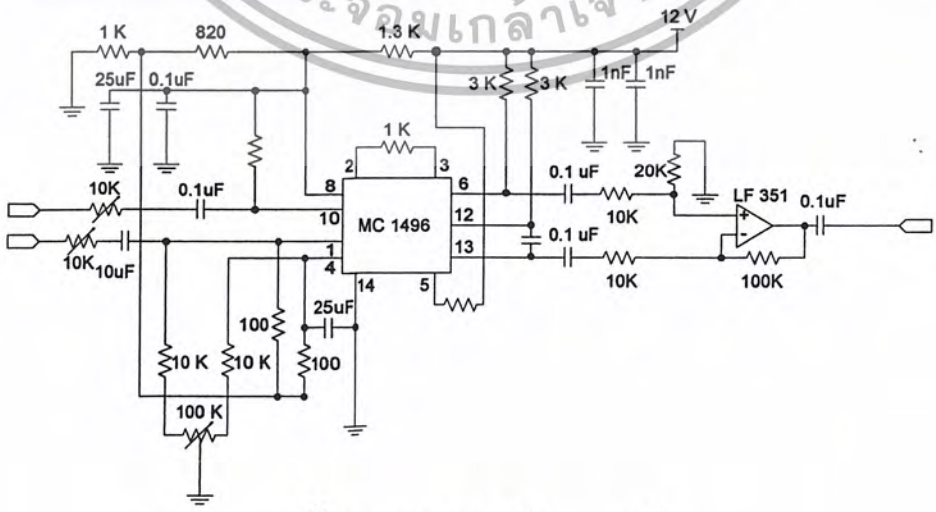
ในส่วนของวงจรใช้วงจร Op-Amp เป็นตัวเปรียบเทียบระดับแรงดันสัญญาณจะทำหน้าที่แปลงให้เป็น 2 ระดับดังข้อกำหนดตารางที่ 3.1 จะได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 1 บิต เป็น 2 ระดับดังรูปที่ 3.5



รูปที่ 3.5 วงจรแปลง 1 บิต เป็น 2 ระดับ

3.1.4 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้จะทำหน้าที่คูณกันระหว่างสัญญาณพาหะกับสัญญาณ 2 ระดับ ซึ่งจะมี 2 ส่วนกล่าวคือ จะมีทั้ง Inphase กับ Quadrature Phase วงจรบาลานซ์มอดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณกับสัญญาณ 2 ระดับที่ได้จากวงจรสัญญาณดิจิตอลกับสัญญาณพาหะ และส่วน Quadrature Phase จะได้มาจากวงจรกำเนิดสัญญาณพาหะผ่านวงจรเลื่อนเฟส 90 องศา คูณกับสัญญาณ 2 ระดับ รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการดังแสดงดังรูปที่ 3.6



รูปที่ 3.6 วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรคำนึงในส่วนวงจรนี้คือ ข้อกำหนดจาก Data Sheet ของ IC MC 1496, MC 1596ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมาม็อดูเลตควรมีค่าประมาณ 300 mV (ms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (rms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

3.1.5 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่ เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ที่อยู่ในช่วง Low frequency cutoff (f_L) กับ High frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

วงจร BPF สามารถแบ่งได้ 2 ชนิด คือ wide band pass filter และ narrow band pass filter โดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า Q < 10 เราเรียกว่าวงจร wide band pass filter และถ้าค่า Q > 10 เรียกว่า narrow band pass filter เราสามารถหาค่า Q ได้จากสมการ

โดยที่ f_0 คือ ความถี่กึ่งกลาง

Bw คือ แบนด์วิดธ์

สำหรับ wide band filter นั้น เราสามารถหาความกึ่งกลางได้จากสมการ

$$Q = \frac{f_o}{Bw} = \frac{f_o}{f_H - f_L} \quad \text{..... (3.1)}$$

$f_o = \sqrt{f_H f_L}$ คือ ความถี่กึ่งกลาง

วงจรกรองความถี่ชนิดนี้จะมีค่าแรงดันสูงสุด (V_{max}) อยู่ที่ความถี่หนึ่งซึ่งเราเรียกว่าความถี่รีโซแนนซ์ (w_r) และจุดที่เอาท์พุทโวลเต็จมีค่า 0.707 V_{max} นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ w_r เราเรียกว่า High cutoff frequency : w_l ช่วงระหว่างความถี่ w_h และ w_l เราเรียกว่าแบนด์วิดธ์ (Bw)

$$B = w_h - w_l \quad \text{..... (3.2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองช่วงความถี่ แบ่งได้เป็น 2 อย่าง คือ วงจร narrow band filter วงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดธ์น้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B < 0.1\ w_r$) และวงจร wide band filter จะมีค่าแบนด์วิดธ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดธ์เราเรียกว่า quality factor : Q

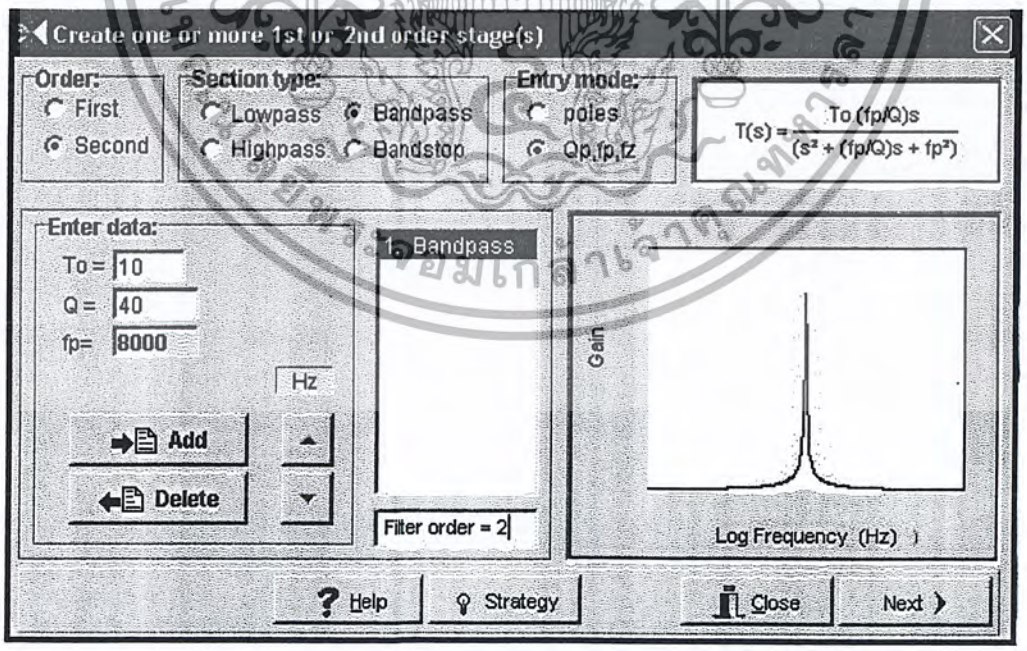
$$Q = \frac{w_r}{B} \qquad \text{..... (3.3)}$$

$$B = \frac{w_r}{Q} \qquad \text{..... (3.4)}$$

นั้นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

การออกแบบวงจรกรองความถี่ผ่านเฉพาะช่วงและวงจรกรองความถี่ต่ำผ่านด้วยโปรแกรม Filter Pro 3.2

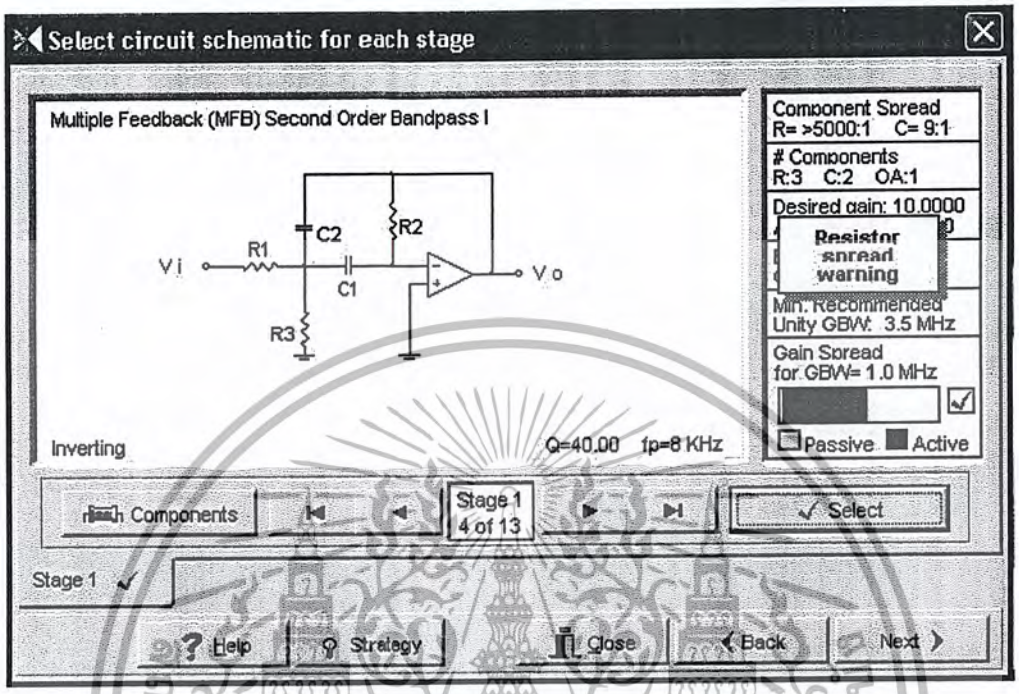
1. กำหนดค่า To, Q, fP ตามที่เราต้องการ



รูปที่ 3.7 การกำหนดค่าพารามิเตอร์ให้กับวงจร

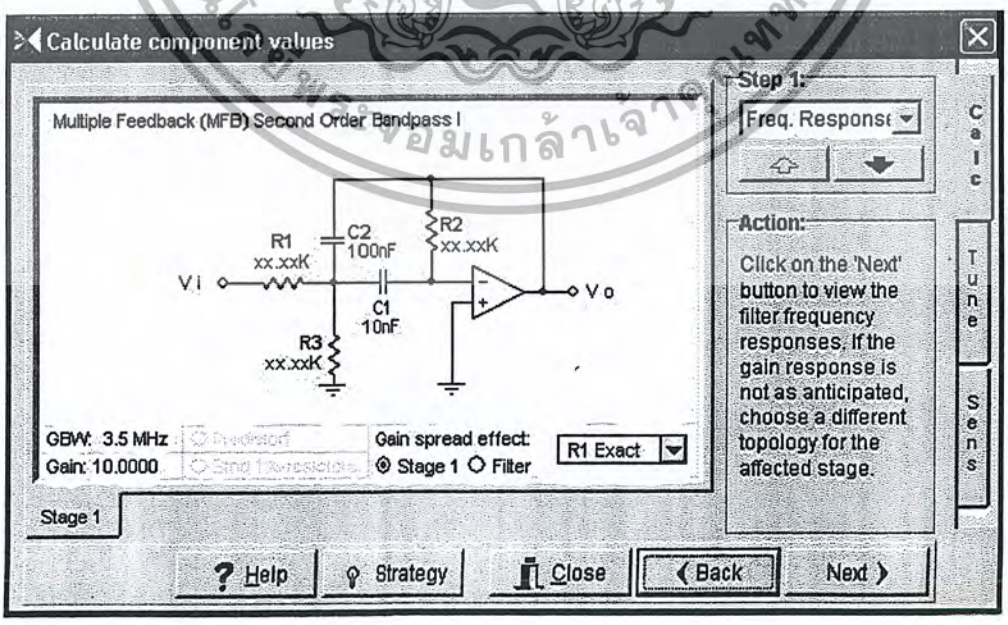
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. กำหนดลักษณะการเชื่อมต่อของวงจรแล้วกด Next



รูปที่ 3.8 แสดงลักษณะการเชื่อมต่อของวงจร

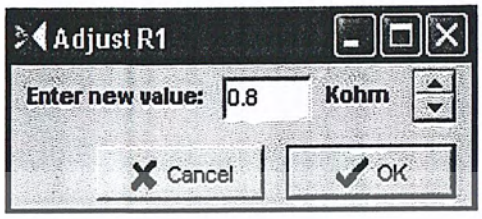
3. โปรแกรมจะกำหนดค่า C1 และ C2 มาให้



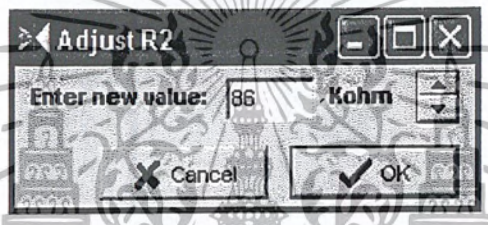
รูปที่ 3.9 แสดงการกำหนดค่าของ C1 และ C2 จากวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

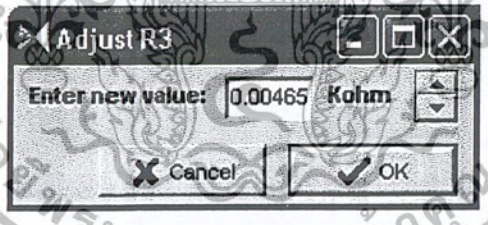
4. คลิกที่ R1, R2, R3 เพื่อกำหนดค่าความต้านทาน โดยการสุ่มหาค่า R ทุกตัวที่ทำให้ได้ค่าต่างๆ ตามคุณสมบัติที่เราต้องการ



รูปที่ 3.10 การกำหนดค่า R1



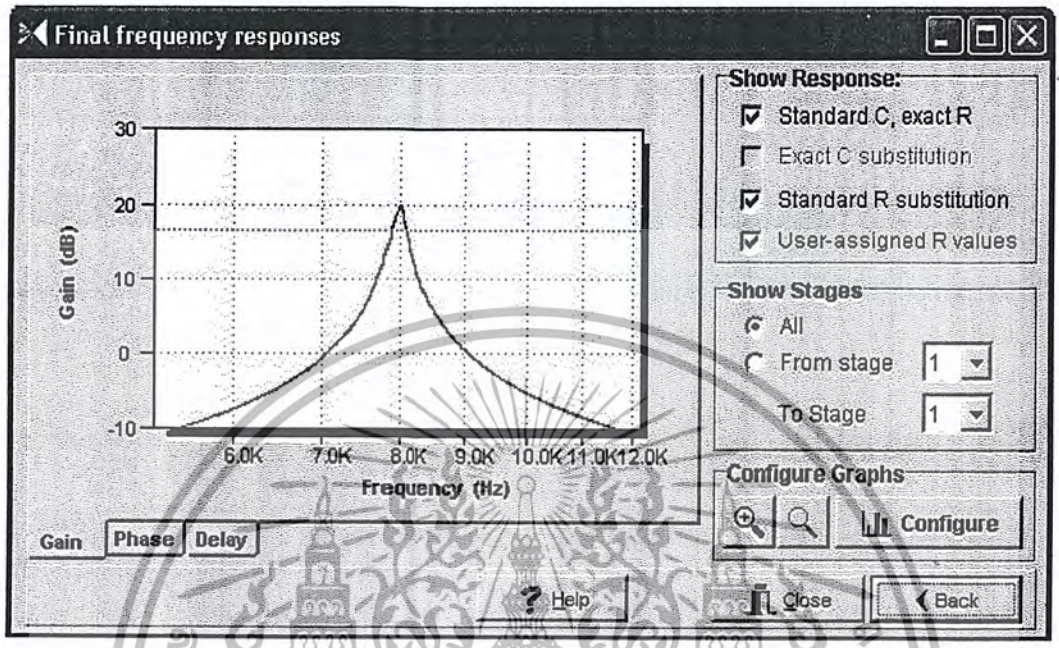
รูปที่ 3.11 การกำหนดค่า R2



รูปที่ 3.12 การกำหนดค่า R3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. แสดงลักษณะของกราฟที่ได้ ตามคุณสมบัติที่เรากำหนด

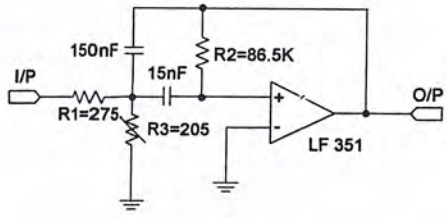


รูปที่ 3.13 แสดงอัตราการขยายที่ได้จากการออกแบบ

จากการออกแบบวงจรด้วยโปรแกรม Filter Pro 3.2 เราจะได้วงจรที่แสดงได้ดังหัวข้อต่อไปนี้

3.1.6 วงจรกรองความถี่ผ่านเฉพาะช่วง

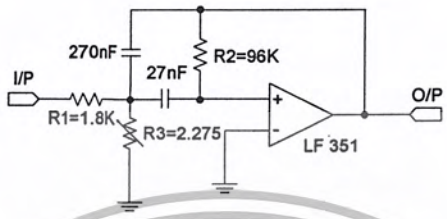
วงจรกรองความถี่ผ่านเฉพาะช่วงนั้นทำได้โดย ขั้นแรกจะต้องกำหนด ค่าของช่วงกว้างความถี่ *Bw* ที่ใช้งานคำนวณค่า Q ของวงจรเสียก่อน



รูปที่ 3.14 วงจรกรองความถี่ผ่าน 8 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

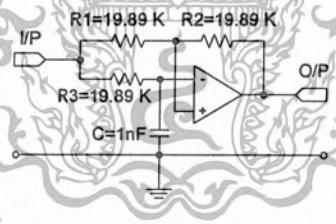
จากวงจรเห็นว่าเราใช้ Op-Amp เพียงตัวเดียวโดยต่อแบบ multiple feedback ส่วนอีกวงจรเป็นวงจรกรองความถี่ย่านผ่าน ใช้สำหรับกรองความถี่ของสัญญาณนำร่อง เราใช้วงจร narrow band pass filter แสดงดังรูปที่ 3.15



รูปที่ 3.15 วงจรกรองความถี่ผ่าน 4 KHz

3.1.7 วงจรเลื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุท หรือเป็นการหน่วงเวลาสัญญาณอินพุทให้ช้าลง ซึ่งสามารถเขียนวงจรและกราฟแสดงผลการตอบสนองต่อความถี่ดังรูปที่ 3.16



รูปที่ 3.16 วงจรเลื่อนเฟส 90 องศา

จากรูปที่ 3.16 เมื่อ กำหนดให้ค่าของ $R_I = R_P$ จะได้สมการ output voltage (Vo) ดังต่อไปนี้

$$Vo = -Vin + (-jXc)\ \frac{Vin(2)}{R - jXc} \quad \text{..... (3.9)}$$

โดยที่ $-j = 1/j$ ..... (3.10)

$$Xc = 1/2\pi fc \quad \text{..... (3.11)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f = ความถี่ที่จะใช้ในการ Shift

แทนค่าของ – j และ Xc จะได้สมการใหม่ดังนี้

$$Vo = \frac{Vi(-1+2)}{j2\pi fRC+1} \quad \text{..... (3.12)}$$

$$\frac{Vo}{Vin} = \frac{1-j2\pi fRC}{1+j2\pi fRC} \quad \text{..... (3.13)}$$

สามารถคำนวณหาค่าของมุมวงจรเลื่อนเฟส ได้จากสมการ

$$\phi = -2\tan^{-1}(2\pi fRC) \quad \text{..... (3.14)}$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ Phase $(\phi) = -90°$ สามารถหาค่าอุปกรณ์ ได้โดยกำหนดค่าตัวเก็บประจุและค่าของความถี่ที่ต้องการจากสมการที่ 3.15

$$R = \frac{1}{2\pi fRC} \quad \text{..... (3.15)}$$

กำหนดค่า = 8 KHz กำหนดค่า C = 1 nF

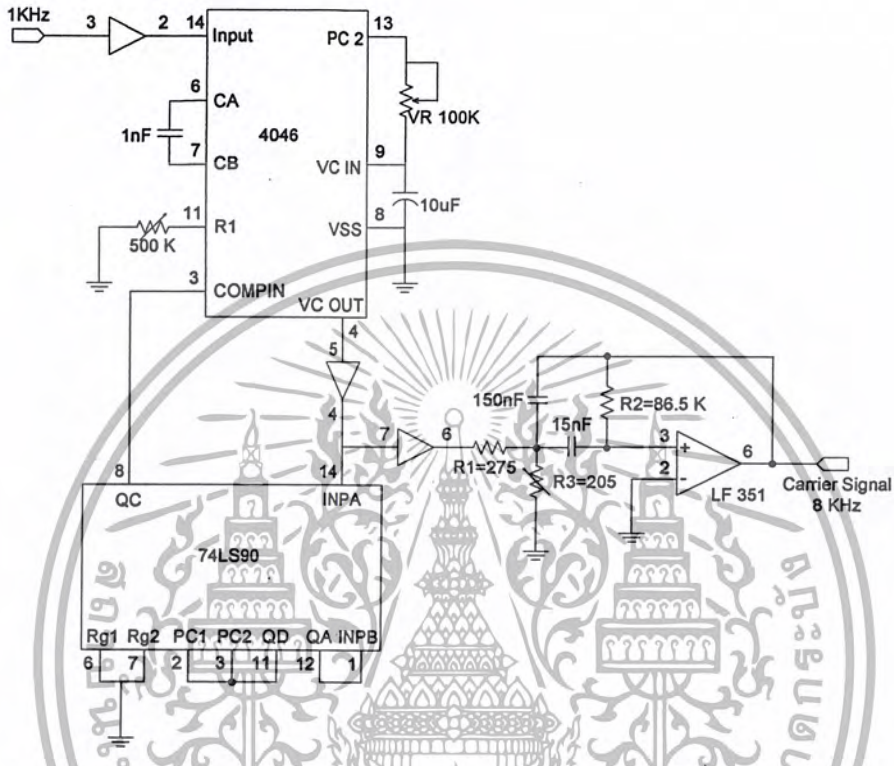
$$R = \frac{1}{2\pi \times 8\times 10^{3} \times 100\times 10^{-12}} = 19.89k\Omega$$

3.1.8 วงจรกำเนิดสัญญาณพาหะ 8 KHz

วงจรส่วนนี้ทำหน้าที่กำเนิดสัญญาณ Sine wave ความถี่ 8 KHz เพื่อใช้เป็นสัญญาณพาหะเพื่อนำไปคูณกับสัญญาณ 2 ระดับ ที่วงจรบาลานซ์มอดูเลเตอร์ และอีกส่วนจะนำไปเลื่อนเฟส 90° เป็นสัญญาณ Cosine เนื่องจากระบบการส่งสัญญาณแบบดิจิตอลนี้ มีหัวใจสำคัญ คือ การซิงโครไนซ์เซชั่น (Sychronization) ที่ทำให้จังหวะการทำงานภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำ ดังนั้นเราจึงนำสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในส่วนนี้ส่งข้อมูลความเร็ว 1 kbps จึงมีสัญญาณนาฬิกา 1 KHz มาอ้างอิงในการทำการสร้างวงจร โดยใช้วงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Phase lock loop) ช่วยในการล็อคสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น เราจึงนำสัญญาณนาฬิกาที่ 1 KHz ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 1×8 = 8 KHz พอดี



รูปที่ 3.17 วงจรกำเนิดสัญญาณพาหะ 8 KHz

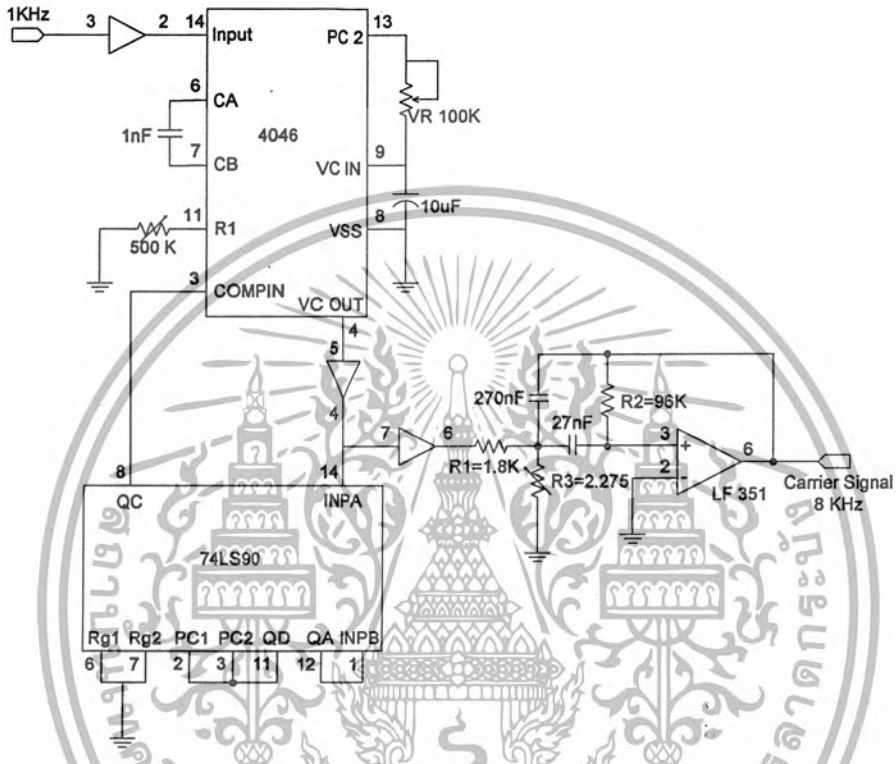
เมื่อสัญญาณนาฬิกาผ่าน วงจรเฟสล็อคลูปแล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ไม่สามารถนำไปเป็นสัญญาณพาหะได้เพราะสัญญาณรูปสี่เหลี่ยมประกอบไปด้วย ฮาร์โมนิกมากมายไม่เหมาะสมในการนำไปมอดูเลต ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) ทำการกรองเอาความถี่ฮาร์โมนิกที่ 1 เป็น Sine wave มีความถี่เท่าสัญญาณสี่เหลี่ยมมาใช้งาน

3.1.9 วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal)

สาเหตุที่ต้องทำสัญญาณนำร่อง เพราะว่าในภาครับนั้นเราต้องการสัญญาณนาฬิกาและสัญญาณคลื่นพาหะที่มีเฟสและความถี่เท่ากันกับภาคส่ง เพื่อการซิงโครไนเซชั่นที่ดีที่สุด โดยการเลือกความถี่ 4 KHz จะอยู่ทางด้านไซด์แบนด์ต่ำ (Lower Side Band) ของสเปคตรัม การมอดูเลตในโครงการนี้ สาเหตุที่เลือกความถี่ 4 KHz เพราะว่าอยู่ห่างจากความถี่พาหะ 4 KHz และสะดวกในการออกแบบวงจรคูณความถี่ คือ จะใช้วงจรหาร 8 ต่อกับวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรเราใช้เหมือนกัน วงจรกำเนิดสัญญาณพาหะเกือบทุกอย่าง ต่างกันตรงสัญญาณเข้ามาเรานำสัญญาณนาฬิกาที่ผ่านวงจรหาร 2 มาใช้เป็น อินพุทและใช้วงจรหารความถี่เท่ากับ 15 แทนก็จะได้สัญญาณความถี่ 4 KHz



รูปที่ 3.18 วงจรกำเนิดสัญญาณนำร่อง 4 KHz

3.1.10 วงจรรวมสัญญาณ (SUMMING AMP)

วงจรรวมสัญญาณ ใช้สำหรับการรวมสัญญาณหลาย ๆ ชุดเข้าด้วยกัน เพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดัน ที่เอาท์พุทเราสามารถหาได้จาก

$$Vo = \frac{R_P V1}{R1} + \frac{R_P V2}{R2} \qquad \text{..... (3.16)}$$

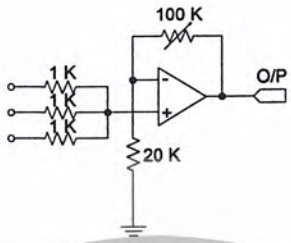
โดยที่ V_1 คือ สัญญาณเอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ด้าน I

V_2 คือ สัญญาณเอาท์พุทจากวงจรสัญญาณนำร่อง

V_3 คือ สัญญาณเอาท์พุทจากวงจรบาลานซ์มอดูเลเตอร์ทางด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรเราเลือกใช้ R_f = 1 k Ohm R_1 และ R_2 ใช้ VR 100 kOhm เพื่อที่สามารถปรับอัตราขยายได้



รูปที่ 3.19 วงจรรวมสัญญาณ

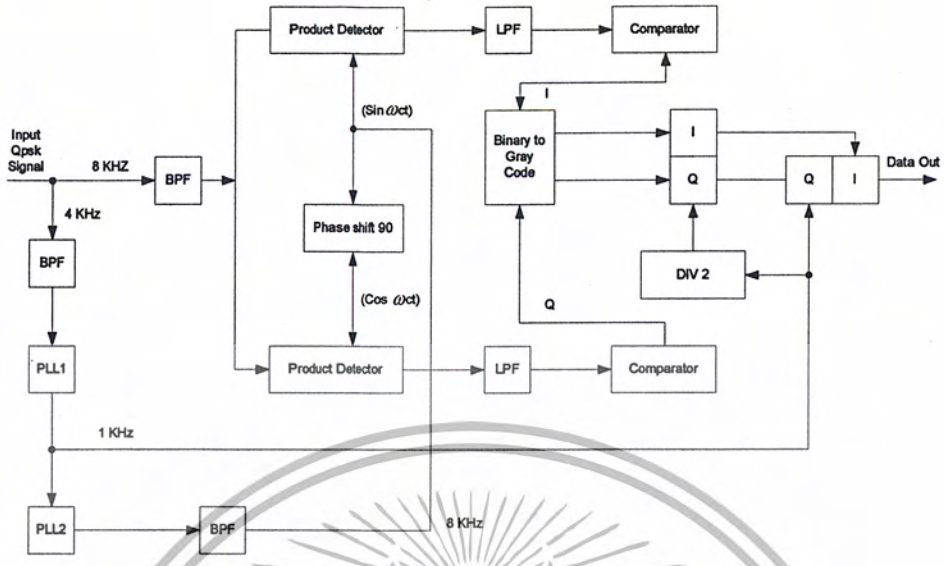
3.2 การออกแบบวงจรในการดีมอดูเลตแบบ QPSK

ในการออกแบบ และ ทดลองทางด้านภาครับนั้นเพื่อที่จะให้สัมพันธ์กับสัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณที่ส่งมานั้นมีความถี่นำร่อง 4 KHz รวมส่งกับสัญญาณมอดูเลต ดังนั้นต้องมีวงจรกรองความถี่ผ่าน 2 วงจร กล่าวคือ

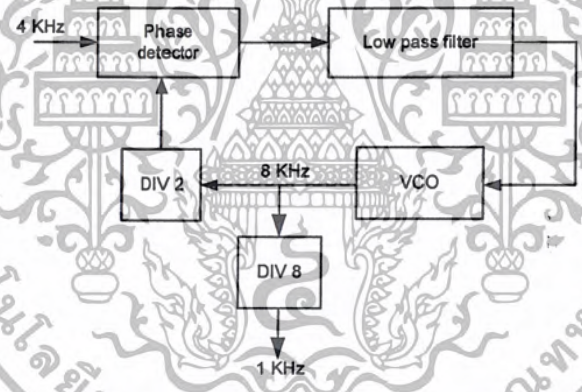
1. วงจรกรองความถี่สัญญาณนำร่อง 4 KHz (Pilot signal) สัญญาณนี้มีความสำคัญมากในการกู้สัญญาณคลื่นพาหะ และ สัญญาณนาฬิกา

2. วงจรกรองช่วงความถี่ 8 KHz ซึ่งเป็นวงจรกรองช่วงความถี่ที่ได้จากการมอดูเลตระหว่างสัญญาณข้อมูลและสัญญาณคลื่นพาหะของทางภาคส่ง สัญญาณที่ได้จะถูกส่งไปยัง วงจรดีมอดูเลต เพื่อดีเทคสัญญาณที่ต้องการออกมา สัญญาณความถี่ที่ใช้ในการดีมอดูเลต ในภาคนี้คือ 8 KHz ซึ่งจะเท่ากับสัญญาณคลื่นพาหะของทางภาคส่ง แต่ในวงจรดีมอดูเลต นี้ จะต้องมีการดีมอดูเลต ถึง สองส่วน คือส่วนแรกจะใช้ความถี่เท่ากับสัญญาณคลื่นพาหะโดยตรง ซึ่งจะมาจากการกู้สัญญาณคลื่นพาหะและ อีกส่วนหนึ่งต้องนำสัญญาณที่กู้มาได้มาเลื่อนเฟส 90 องศา ก่อนถึงจะนำมาดีมอดูเลต สัญญาณที่ได้ จะถูกส่งไป ยังวงจรกรองความถี่ต่ำแล้วมาเปรียบเทียบสัญญาณ โดยใช้ วงจรเปรียบเทียบสัญญาณ จะได้สัญญาณ I และ Q แล้วเข้ารหัสสัญญาณเกรย์เป็นรหัสไบนารี (Gray code to binary code) ได้สัญญาณ I กับ Q จากนั้นทำการเปลี่ยนข้อมูลแบบขนานเป็นอนุกรมก็จะได้สัญญาณเอาท์พุท ออกมา ดังแสดงตามแผนผังการทำงานดังนี้

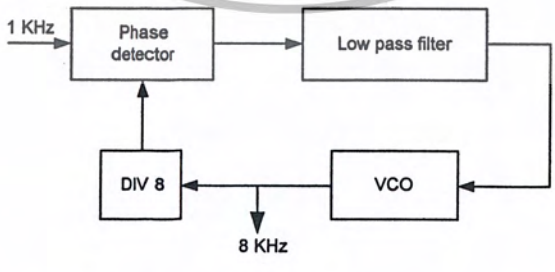
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาครับ



รูปที่ 3.21 แสดงแผนผังการทำงานของ PLL 1

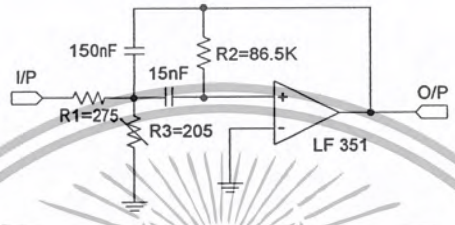


รูปที่ 3.22 แสดงแผนผังการทำงานของ PLL 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรกรองช่วงความถี่คลื่นพาหะ

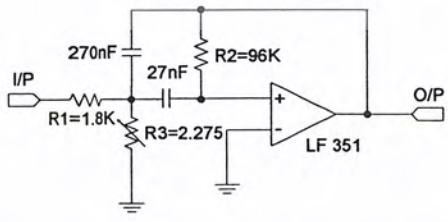
สัญญาณ QPSK จะส่งมายังภาครับ ดังนั้น จำเป็นจะต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลตในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ในช่วงความถี่ที่ต้องการเท่านั้น อีกทั้งยังเป็นวงจรกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้ เราจะใช้วงจรกรองความถี่ของสัญญาณมอดูเลตช่วง 8 KHz



รูปที่ 3.23 วงจรกรองช่วงความถี่คลื่นพาหะ

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณนำร่อง (Pilot Signal)

ในการออกแบบวงจรกรองช่วงความถี่สัญญาณนำร่องนี้ จะใช้วงจรกรองความถี่ที่ 4 KHz ในการออกแบบวงจรนั้นควรที่จะออกแบบให้ดีเป็นอย่างมาก เนื่องจากถ้าออกแบบไม่ดี จะทำให้สัญญาณที่ได้ผิดเพี้ยนไปจากเดิม ทำให้ทางภาครับและทางภาคส่ง ไม่สัมพันธ์กัน ซึ่งการสัมพันธ์กันเป็นหัวใจหลักในการส่งข้อมูลแบบ QPSK และที่สำคัญสัญญาณนำร่องที่ได้ต้องนำไปเป็นสัญญาณอ้างอิงในการสร้างสัญญาณนาฬิกาและสัญญาณพาหะ ยังกล่าวได้เลยอีกว่าเมื่อสัญญาณนำร่องไม่สัมพันธ์กันแล้วสัญญาณนาฬิกาและสัญญาณพาหะก็จะไม่สัมพันธ์กันด้วย ซึ่งถ้าไม่เกิดการสัมพันธ์กันระหว่างภาคส่ง และภาครับแล้วนั้น การรับข้อมูลที่ได้จะผิดพลาดทันทีหรือกล่าวอีกนัยหนึ่งคือ ภาครับทำงานไม่ได้เลย



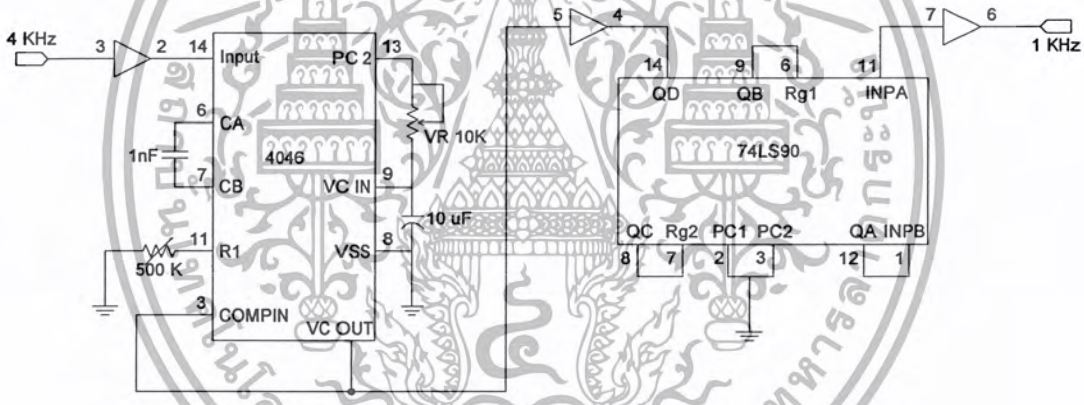
รูปที่ 3.24 วงจรกรองช่วงความถี่สัญญาณนำร่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรกู้สัญญาณนาฬิกา

เมื่อสัญญาณนำร่อง 4 KHz ผ่านวงจรกรองความถี่แล้วจะถูกส่งไปยังวงจรกู้สัญญาณนาฬิกาเนื่องจากการที่ภาคส่งนั้น สัญญาณนำร่อง ได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อคลูป ทำการล็อคสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้นจากนั้นใช้วงจรกรองความถี่ช่วยทำสัญญาณสี่เหลี่ยม กลายเป็นสัญญาณไซน์ และที่ภาครับเมื่อรับสัญญาณนำร่อง ได้แล้วจะใช้เฟสล็อคลูปทำการล็อคความถี่เอาไว้พร้อมกับแปลงสัญญาณรูปไซน์ ให้เป็นสัญญาณสี่เหลี่ยม จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของ สัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นได้ว่า การสร้างสัญญาณนำร่องของทางภาคส่ง และสัญญาณนาฬิกาของภาครับนั้นจะอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วย รวมทั้งการใช้วงจรเฟสล็อคลูป ซึ่งมีวงจรผลิตความถี่ และ วงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นการทำให้เกิด การสัมพันธ์กันระหว่างภาคส่งและภาครับ

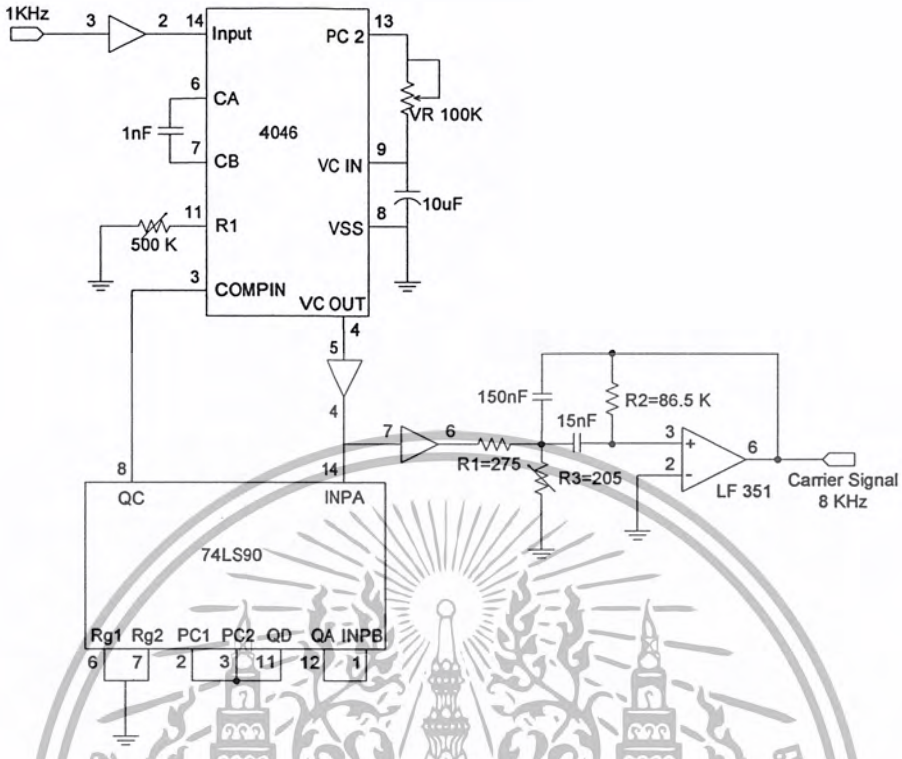


รูปที่ 3.25 วงจรกู้สัญญาณนาฬิกา

3.2.4 วงจรกู้สัญญาณพาหะ

วงจรกู้สัญญาณพาหะนั้นก็ใช้หลักการและวิธีการเหมือนกันทุกประการกับวงจรกำเนิดสัญญาณพาหะของทางภาคส่ง กล่าวคือจะอาศัยสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา มาใช้เป็นสัญญาณอ้างอิง แล้วคูณความถี่เป็น 8 เท่า โดยใช้วงจรเฟสล็อคลูป จากนั้นก็จะผ่านวงจรกรองความถี่ ทำการคัดเลือกเฉพาะสัญญาณรูปไซน์เพื่อนำไปเป็นสัญญาณพาหะสำหรับใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ต่อไปนี้ ดังแสดงดังรูปที่ 3.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

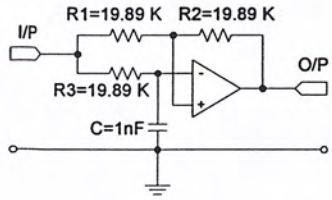


รูปที่ 3.26 วงจรกู้สัญญาณคลื่นพาหะ

3.2.5 วงจรเลื่อนเฟสสัญญาณ 90 องศา

เนื่องจากสัญญาณมอดูเลตที่รับมานั้น จะประกอบไปด้วยสัญญาณดิจิตอลที่ถูกแยกออกเป็นสองส่วนคือ ส่วนช่องสัญญาณ I และ ช่องสัญญาณ Q สัญญาณข้อมูล 1 บิต ที่ถูกแยกออกมานั้น จะกลายเป็นของสัญญาณ 2 ระดับแล้วมอดูเลตมา กับ สัญญาณพาหะ โดยวงจรบาลานซ์มอดูเลเตอร์ และนำมารวมกันระหว่างสัญญาณมอดูเลตทางด้านช่อง I ที่ใช้สัญญาณคลื่นรูปไซน์เป็นสัญญาณพาหะ และสัญญาณมอดูเลตทางด้าน ช่อง Q ที่ใช้สัญญาณคลื่นรูปโคไซน์ เป็นสัญญาณพาหะในทำนองเดียวกัน ณ ที่ภาครับนี้สัญญาณพาหะก็ต้องมี 2 ชุด ด้วยโดยจะใช้สัญญาณคลื่นรูปไซน์ ที่ได้มาจากวงจรกู้สัญญาณพาหะ เพื่อนำมาใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของช่องสัญญาณ I และจะใช้สัญญาณคลื่นรูปโคไซน์ ที่ได้มาจากวงจรกู้สัญญาณพาหะแล้วผ่านวงจรเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์ของทางช่องสัญญาณ Q สำหรับวงจรเลื่อนเฟสสัญญาณ 90 องศา นั้น ก็จะใช้วงจรกรองทุกความถี่ผ่าน ชนิด V_O ล้าหลัง V_{in} อยู่ 90 องศา ซึ่งวงจรที่ใช้วงจรรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

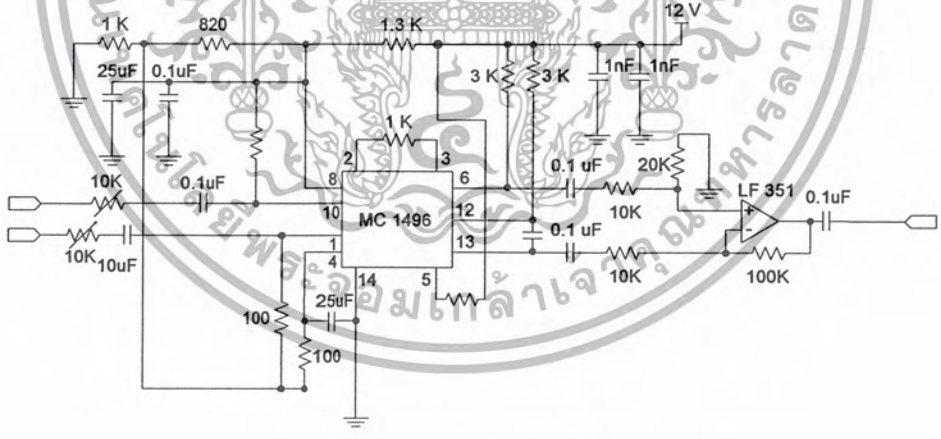


รูปที่ 3.27 วงจรเลื่อนเฟสสัญญาณ 90 องศา

3.2.6 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรบาลานซ์ดีมอดูเลเตอร์ที่ใช้ในภาครับนี้ จะเป็นวงจรที่คล้ายกับวงจรบาลานซ์มอดูเลเตอร์ที่ใช้ในทางภาคส่ง กล่าวคือ ใช้ ไอซี เบอร์ MC1496 ซึ่งเป็นไอซีที่ใช้ในการคูณสัญญาณโดยตรง แต่ในการออกแบบนั้นมีข้อจำกัดอยู่ว่า สัญญาณพาหะที่นำมาคูณนั้นต้องไม่เกิน 300 mv Vp-p และสัญญาณที่นำมามอดูเลตต้องมีค่าประมาณ 500 mv V_{p-p} แต่ในทางการออกแบบนั้นจะต้องใช้ตัวต้านทานแบบปรับค่าได้ ก่อนที่จะนำไปคูณหรือดีมอดูเลต

สัญญาณที่ออกจากวงจรดีมอดูเลตแล้วนั้น จะได้สัญญาณที่ต่ำมาก ดังนั้นจึงต้องนำสัญญาณที่ได้ไปผ่านวงจรขยายก่อนถึงจะนำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป



รูปที่ 3.28 วงจรบาลานซ์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรกรองความถี่ต่ำผ่าน

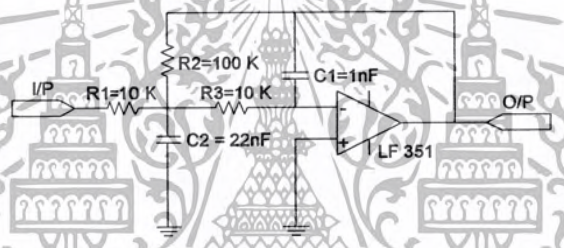
สิ่งที่ต้องพิจารณา สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่าน ก็คือ ค่าความถี่ คัดออฟ Wc ที่ต้องการใช้งานที่ค่าความถี่นี้อัตราขยายจะมีค่าเป็น 0.707 ของอัตราขยายที่ความถี่ต่ำ ความถี่คัดออฟสามารถหาได้จากสมการ

$$\omega c = 1/RC \quad \text{..... (3.16)}$$

$$R = 1/\omega c = 1/2\pi fc \quad \text{..... (3.17)}$$

ขั้นตอนในการออกแบบวงจรกรองความถี่ต่ำผ่าน มีขั้นตอนในการทำคือ

1. เลือกความถี่คัดออฟที่เราต้องการ fc
2. เลือกค่าตัวเก็บประจุ C ปกติควรมีค่าอยู่ในช่วง 0.001-0.1 uF
3. คำนวณค่า R จากในสมการที่ ..... (3.17)



รูปที่ 3.29 วงจรกรองความถี่ต่ำผ่าน 1.2 KHz

3.2.8 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต

เมื่อทำการกรองเฉพาะความถี่ต่ำที่ต้องการได้แล้ว ต่อไปต้องนำสัญญาณนั้นมาทำการแยกระดับสัญญาณต่าง ๆ เป็น 2 ระดับเหมือนกันกับสัญญาณก่อนเข้าบาลานซ์มอดูเลเตอร์ทางด้านส่ง ระดับสัญญาณที่ได้ดังแสดงตารางที่ 3.2

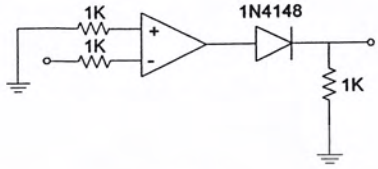
ตารางที่ 3.2 ค่าสัญญาณ 2 ระดับ เป็น 1 บิต

I	Output
0	-150
1	+150

Q	Output
0	-150
1	+150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของการทำระดับสัญญาณ 2 ระดับเป็น ระดับ 0 กับ 1 นั้นเราต้องใช้วงจรเปรียบเทียบสัญญาณ จำทำการจัดระดับสัญญาณเป็น 1 ที่ระดับ +5 โวลท์ และทำการจัดระดับสัญญาณเป็น 0 ที่ระดับ -5 หรือต่ำกว่า 5 โวลท์ ดังรูปที่ 3.30



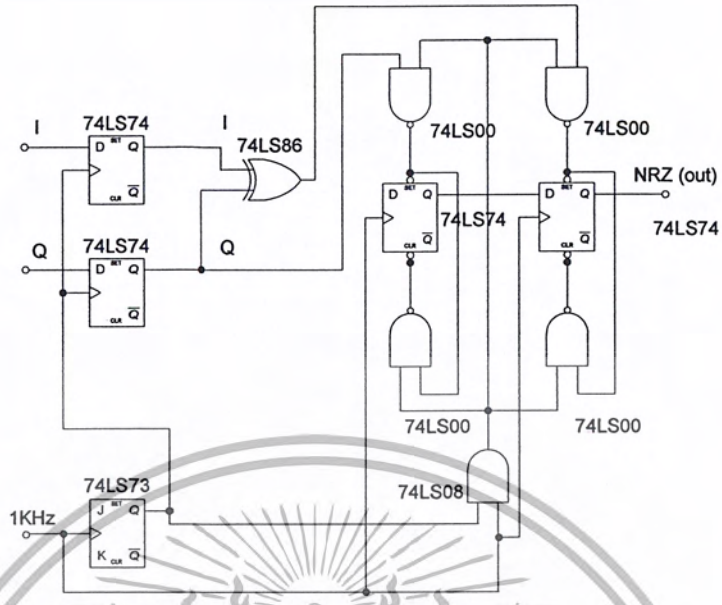
รูปที่ 3.30 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต

3.2.9 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะ การทำงานที่ตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลทางภาคส่ง เพื่อที่จะรวมสัญญาณดิจิตอลทางด้านช่อง I และช่อง Q จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยการควบคุมจังหวะการทำงานของฟลิปฟลอบ จากสัญญาณนาฬิกาที่ได้จากการกู้สัญญาณนาฬิกา 1 KHz แต่ต้องแปลงรหัสเกรย์ เป็นรหัสไบนารีก่อน โดยใช้เอ็กคลูซีฟออร์เกท

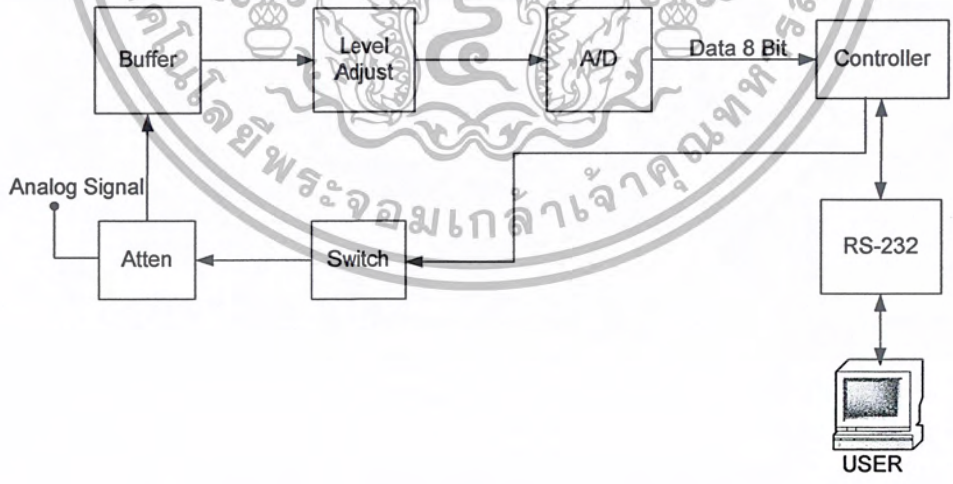
ส่วนวงจรหน่วงเวลา 2 บิต นั้นเป็นตัวควบคุมจังหวะการทำงานของขา Present และขา Clear ของ D ฟลิบฟลอบ ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND Gate ในการบังคับ ดี ฟลิบฟลอบ หลักการดังกล่าวเป็นหลักการของวงจรแปลงข้อมูลจากขนานไปเป็นอนุกรม วงจรนี้ได้ทำการทดลองเป็นดังรูปที่ 3.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 วงจรรวมสัญญาณดิจิตอล

3.3 การออกแบบวงจรในการเชื่อมต่อกับคอมพิวเตอร์



รูปที่ 3.32 บล็อกไดอะแกรมแสดงการทำงานของวงจร A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 วงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ในโครงงานนี้ใช้ ADC0820 8-bit เป็นตัวรับจากอุปกรณ์ตรวจจับแล้วทำการเปลี่ยนจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งมีคุณลักษณะเช่น มี Conversion Time เท่ากับ 2.5μF สามารถใช้ได้ถึง 400 KHz มีความผิดพลาดและพลังงานต่ำ

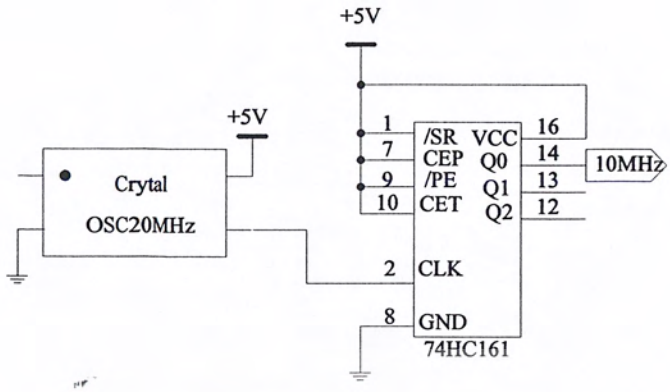
รูปที่ 3.33 ลักษณะของ ADC 0820

ลักษณะพื้นฐาน ADC0820 8-bit เป็นเบอร์ที่มีความเร็วสูงทำงานด้วยวิธี track/hold ใช้เทคนิคของวิธีการประมาณค่าสัญญาณ (Successive Approximation) ซึ่งง่ายต่อการ interface มีความเร็วในการแปลงสัญญาณ 2.5 μs ADC0820 ต้องใช้ไฟ +5V และแรงดัน reference 1.23 สำหรับการแปลงสัญญาณจาก 0-2 V_{REF}

3.3.2 วงจรกำเนิดสัญญาณนาฬิกา

วงจรนี้จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาสำหรับใช้ในการอ้างอิงความถี่ในการแซมปิ้งของไอซี ADC 0820 โดยมีโมดูลออสซิลเลเตอร์ที่เป็นตัวผลิตความถี่ออกมาเป็นสัญญาณนาฬิกามีความถี่ 20 MHz แล้วเอามาทำการหารความถี่ลงให้เหลือ 10 MHz ด้วยไอซี 74HC161 แล้วส่งไปยังขา 12 ของไอซี ADC 0820

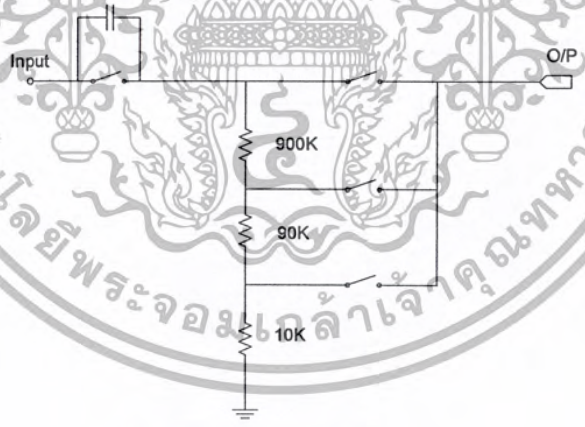
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.34 วงจรกำเนิดสัญญาณนาฬิกา 10MHz

3.3.3 วงจรลดทอนสัญญาณ

วงจรนี้จะทำหน้าที่ในการลดทอนสัญญาณ เนื่องจากสัญญาณที่รับเข้ามาจะมีขนาดของสัญญาณแตกต่างกัน ดังนั้นเราจึงต้องทำการลดระดับของสัญญาณให้เหมาะสม ก่อนที่ส่งไปยังวงจรยกระดับแรงดันต่อไป ซึ่งมีการลดทอนอยู่ 3 ระดับ คือ 1/1, 1/10, 1/100

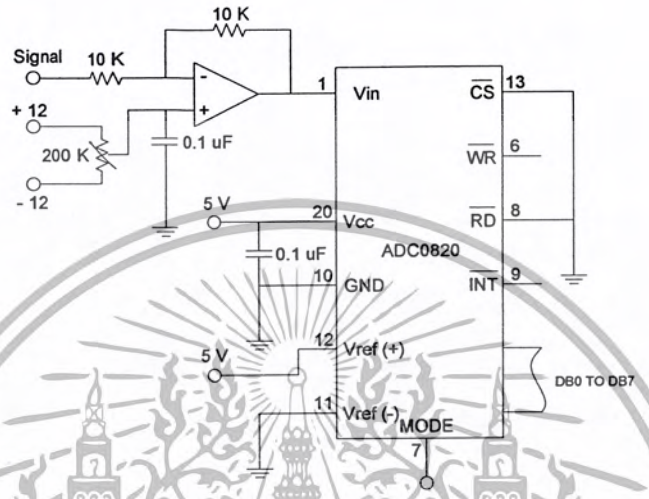


รูปที่ 3.35 วงจรลดทอนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 วงจรยกระดับสัญญาณ

วงจรยกระดับสัญญาณนี้จะทำหน้าที่ยกระดับแรงดันให้ได้แรงดันที่ไม่เกิน 5 V แล้วส่งต่อไปยัง ขา 1 ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

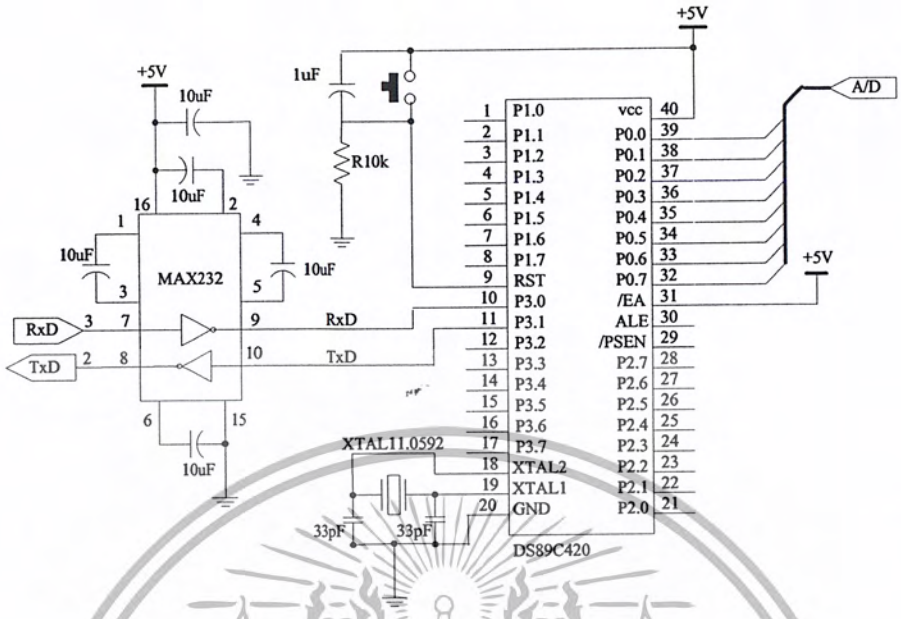


รูปที่ 3.36 วงจรยกระดับแรงดัน

3.3.5 วงจรเชื่อมต่ออินเตอร์เฟส

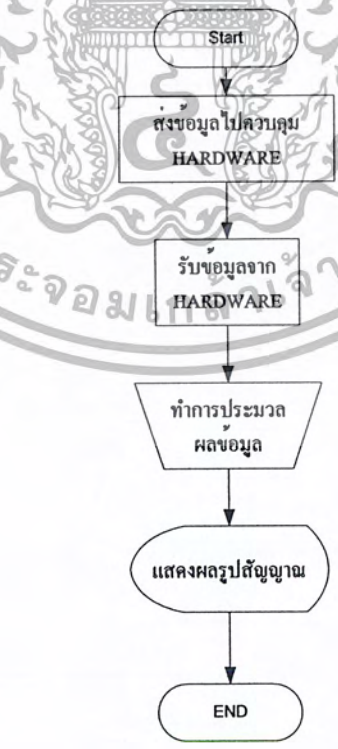
วงจรในการเชื่อมต่ออินเตอร์เฟสนี้เราจะใช้ไอซี DS89C420 เป็นตัวที่แปลงข้อมูลแบบขนานให้เป็นอนุกรม แล้วส่งข้อมูลที่ได้ไปแสดงผลยังจอคอมพิวเตอร์ ซึ่งเป็นข้อมูลที่ส่งเข้ามาจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้นเอง โดยไอซี DS89C420 นี้จะมีลักษณะที่คล้ายกับ MCS51 มาก ต่างกันตรงที่ไอซีตัวนี้จะใช้เวลาในการประมวลผลคำสั่งเร็วกว่า MCS51 ถึง 12 เท่าด้วยกัน กล่าวคือ MCS51ทั่วๆไปจะใช้ สัญญาณนาฬิกาจำนวน 12 ลูกต่อแมตชีนไซเกิล แต่ไอซี DS89C420 จะใช้สัญญาณนาฬิกาจำนวน 1 ลูกต่อ 1 แมตชีนไซเกิลเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.37 วงจรอินเตอร์เฟสโดยใช้ DS89C420 ผ่านพอร์ตอนุกรม

3.4 การออกแบบโปรแกรมในการแสดงผลของสัญญาณ



รูปที่ 3.38 แสดง Flow chart ของโปรแกรมการแสดงผลของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 หลักการทำงานของโปรแกรม

เมื่อโปรแกรมเริ่มทำงาน โปรแกรมก็จะทำการกำหนดค่าพารามิเตอร์ต่างๆ จากนั้นก็จะส่งข้อมูลไปยัง Hardware เพื่อบอกสถานะว่า ขณะนี้โปรแกรมพร้อมที่จะรับข้อมูลแล้ว เมื่อ Hardware ทราบว่าโปรแกรมพร้อมที่จะรับข้อมูลแล้วก็จะทำการส่งข้อมูล ไปให้คอมพิวเตอร์เพื่อนำข้อมูลที่ได้นำไปประมวลผล และโปรแกรมก็จะทำการประมวลผลเพื่อแสดงรูปของสัญญาณต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

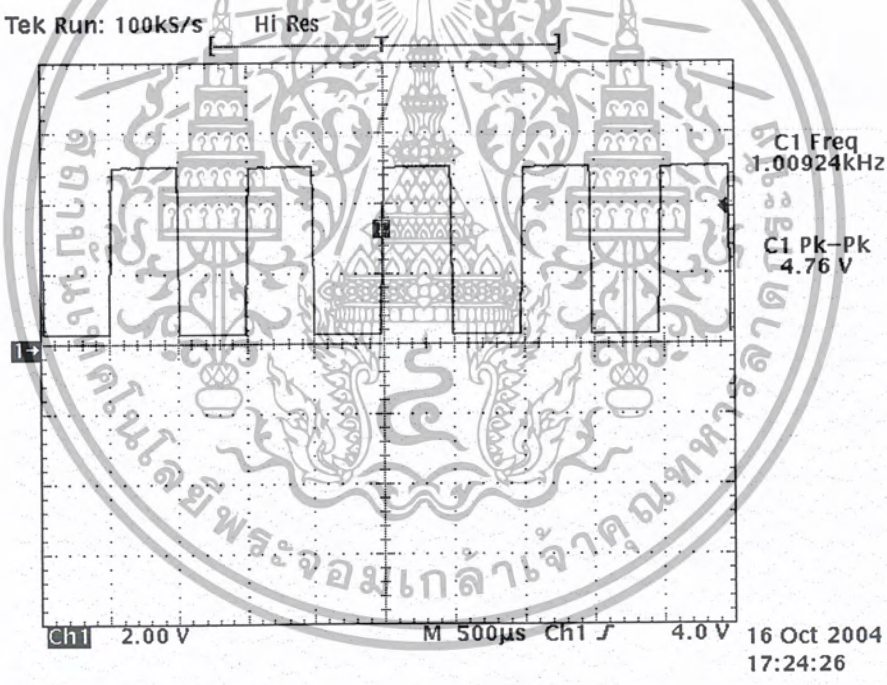
บทที่ 4

ผลการทดลอง

4.1 สัญญาณภาคส่งที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบกับโปรแกรมออสซิลโลสโคป

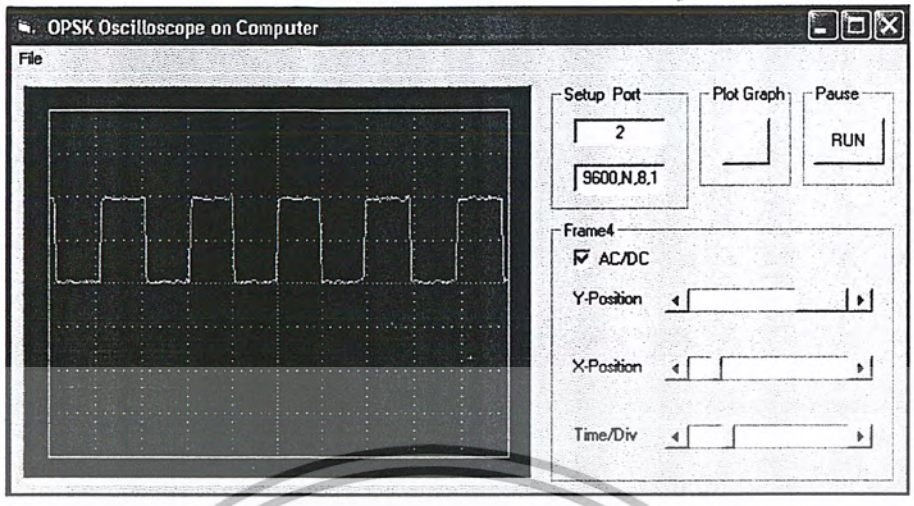
ในการทดลองส่งข้อมูลแบบ QPSK จากภาคส่งแล้วนำออสซิลโลสโคป (Oscilloscope) วัดตามจุดต่าง ๆ ได้ดังนี้

4.1.1 วงจรกำเนิดสัญญาณนาฬิกา 1 KHz



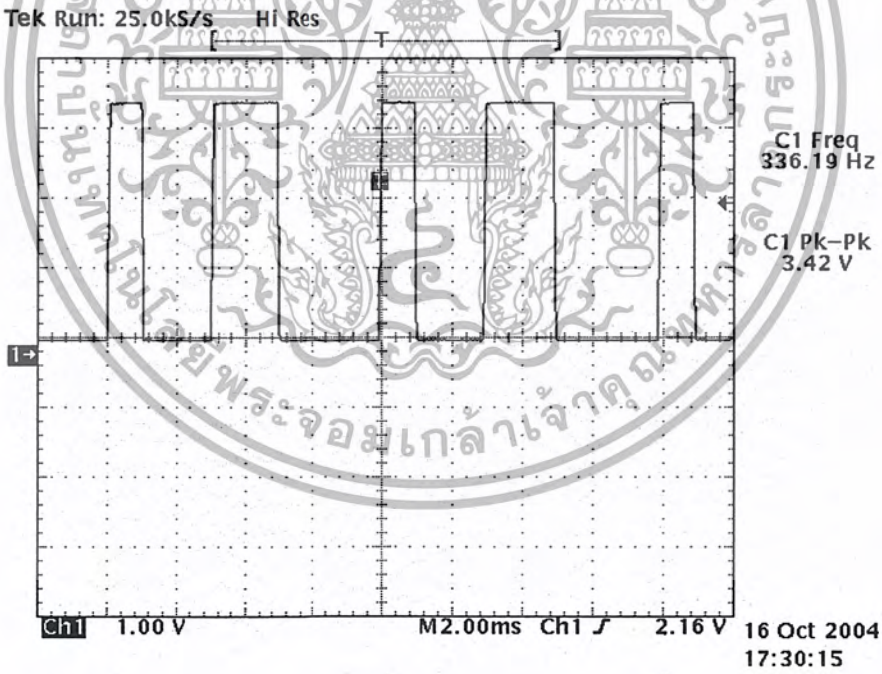
รูปที่ 4.1 วัดสัญญาณนาฬิกา 1 KHz ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



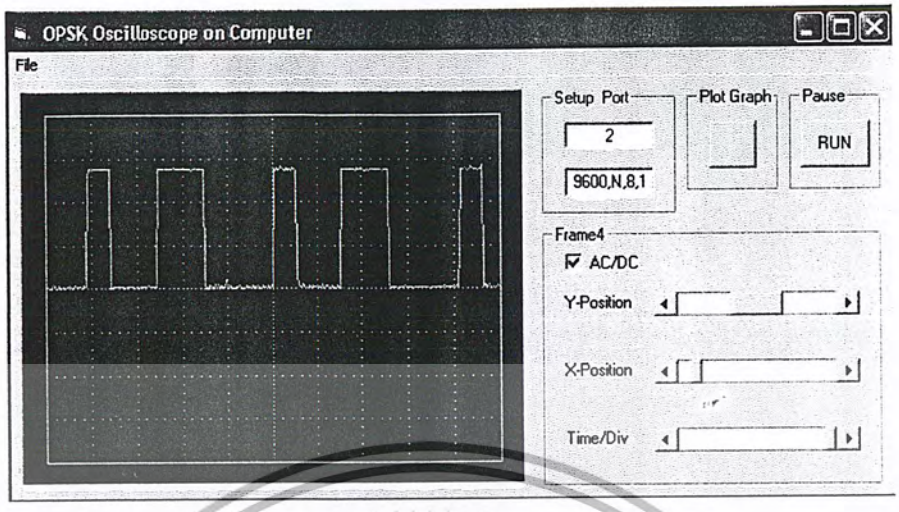
รูปที่ 4.2 วัดสัญญาณนาฬิกา 1 KHz ด้วยโปรแกรมออสซิลโลสโคป

4.1.2 วงจรกำเนิดสัญญาณข้อมูล NRZ 1 Kbps



รูปที่ 4.3 วัดสัญญาณข้อมูล NRZ 1 Kbps ด้วยดิจิตอลออสซิลโลสโคป

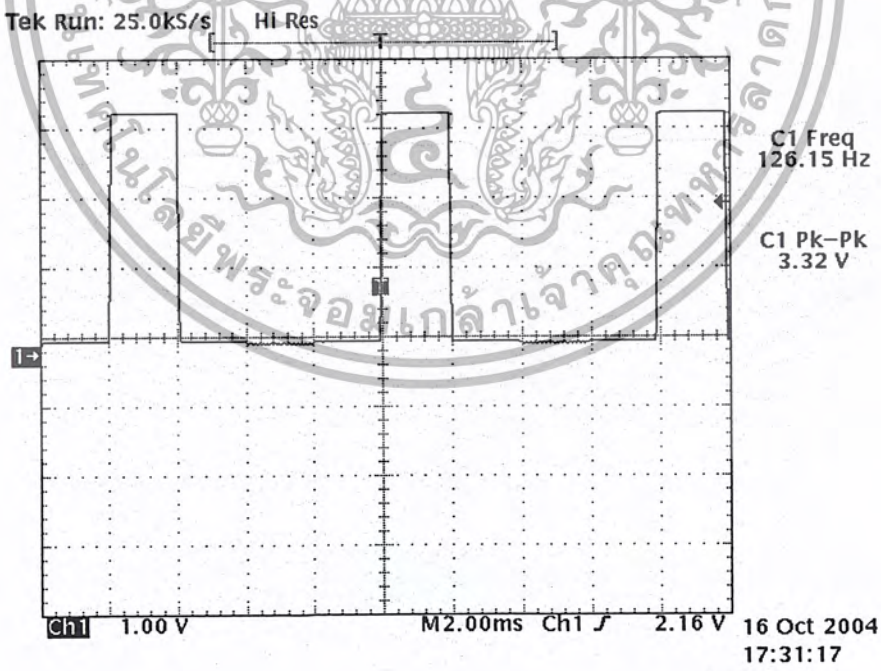
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วัดสัญญาณข้อมูล NRZ 1 Kbps ด้วยโปรแกรมออสซิลโลสโคป

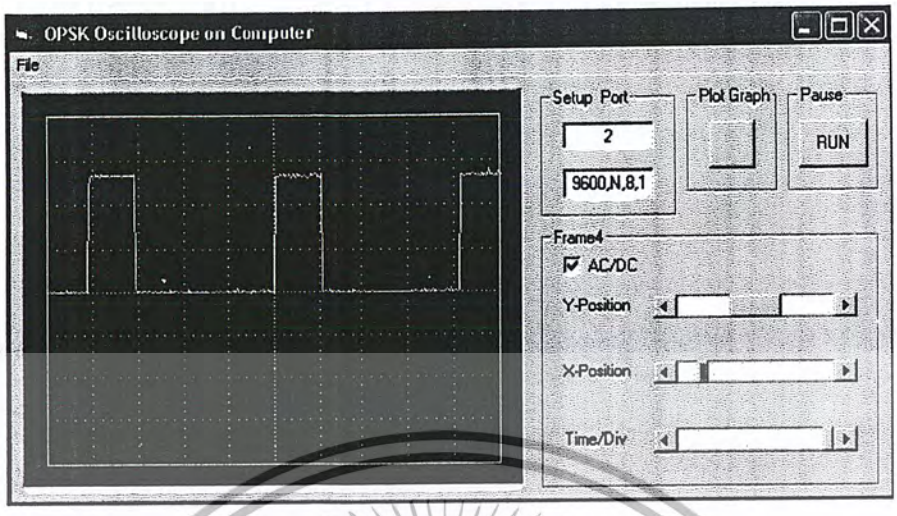
4.1.3 วงจรแยกบิตสัญญาณข้อมูล

เนื่องจากในการส่งข้อมูล QPSK ข้อมูลที่จะส่งเป็นแบบอนุกรม ดังนั้นจึงต้องทำการแยกให้อยู่ในรูปของข้อมูลที่ขนานกันโดยแบ่งเป็นสองช่องคือ ช่อง I และช่อง Q

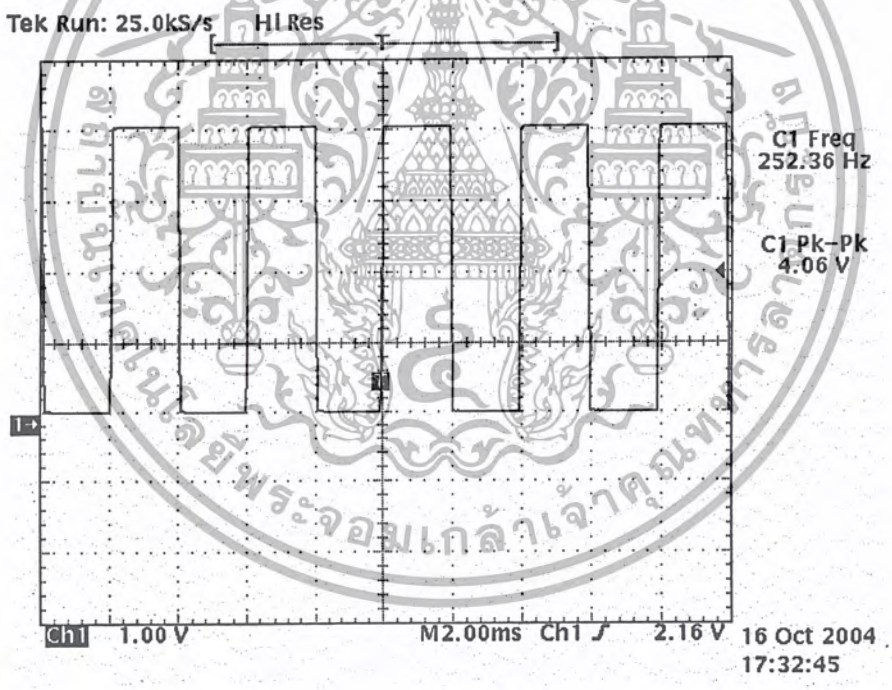


รูปที่ 4.5 วัดสัญญาณข้อมูลช่อง I ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

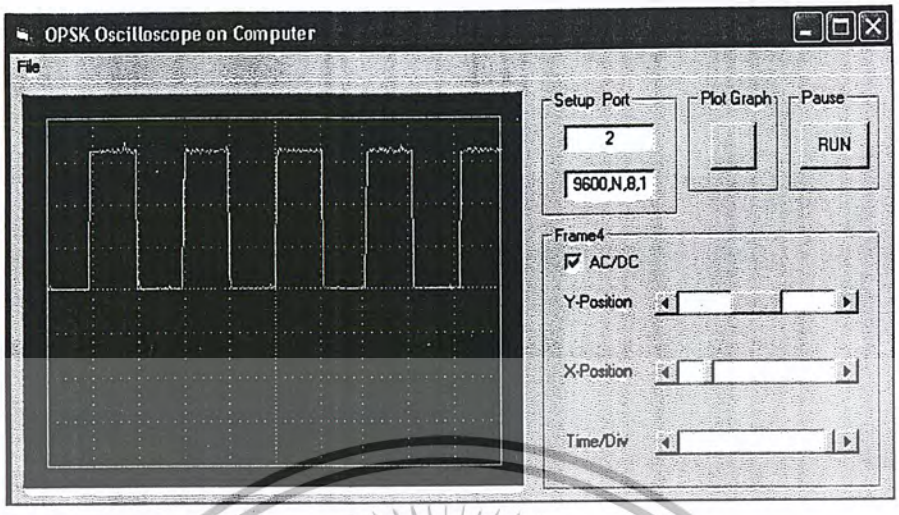


รูปที่ 4.6 วัดสัญญาณช่อง I ด้วยโปรแกรมออสซิลโลสโคป



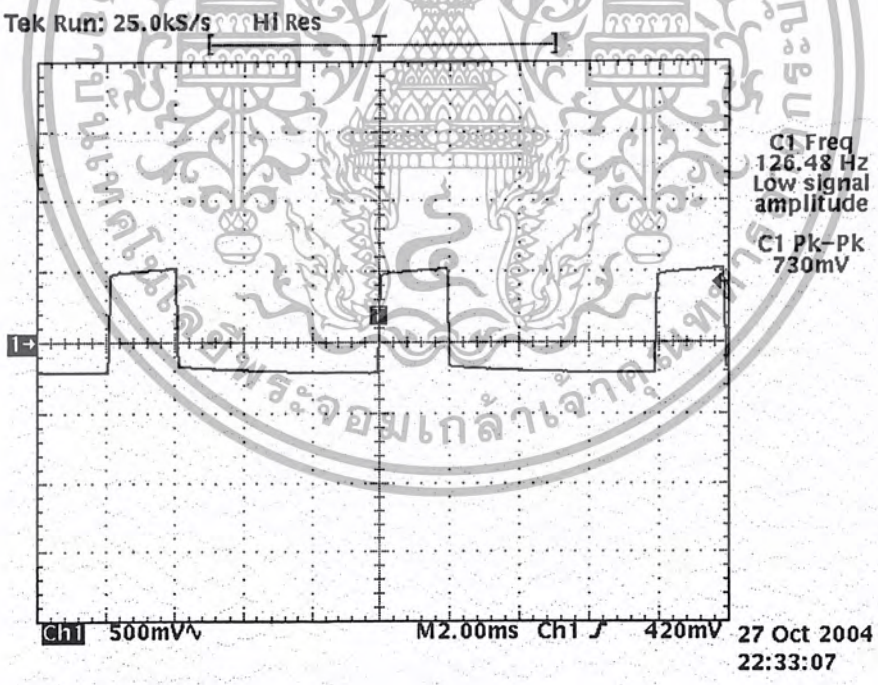
รูปที่ 4.7 วัดสัญญาณข้อมูลช่อง Q ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



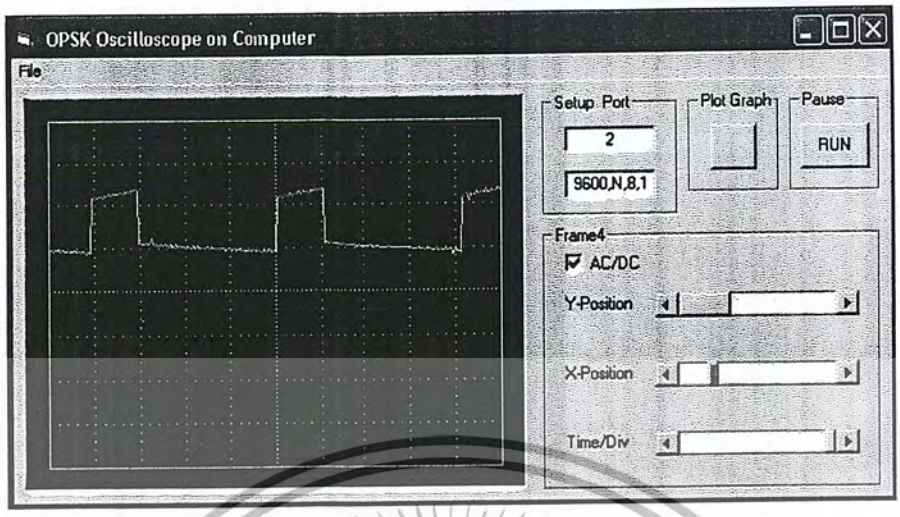
รูปที่ 4.8 วัดสัญญาณช่อง Q ด้วยโปรแกรมออสซิลโลสโคป

4.1.4 วงจรเปลี่ยนข้อมูล 1 บิตเป็น 2 ระดับ

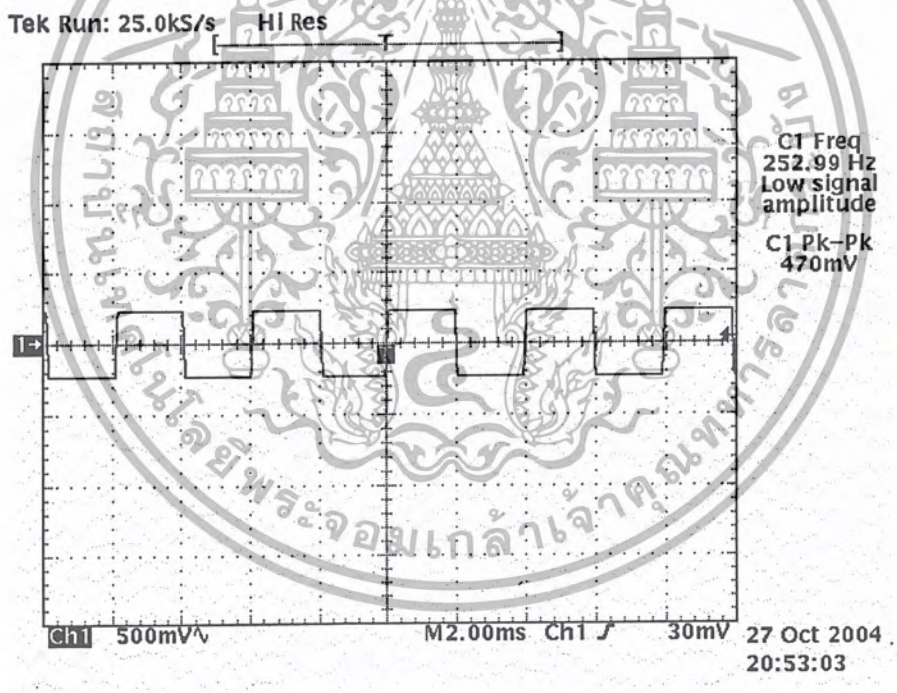


รูปที่ 4.9 วัดสัญญาณช่อง I ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

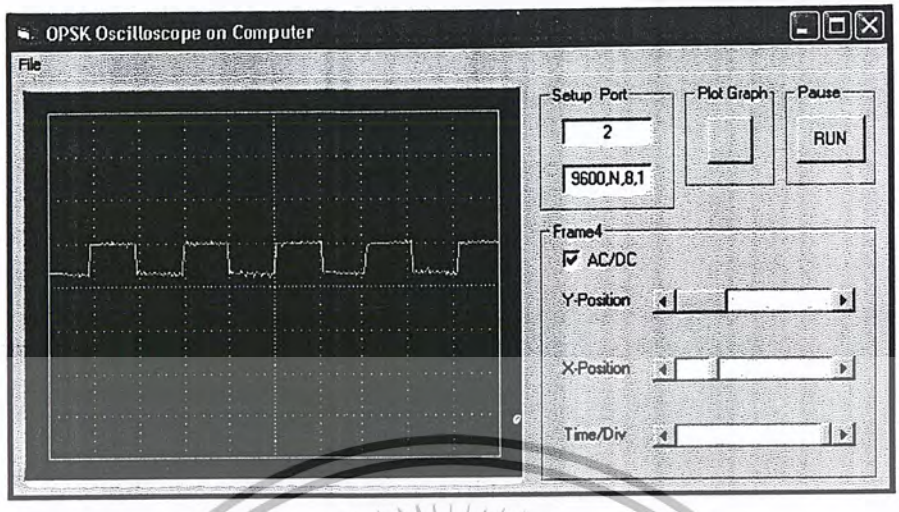


รูปที่ 4.10 วัดสัญญาณช่อง I ด้วยโปรแกรมออสซิลโลสโคป



รูปที่ 4.11 วัดสัญญาณช่อง Q ด้วยดิจิตอลออสซิลโลสโคป

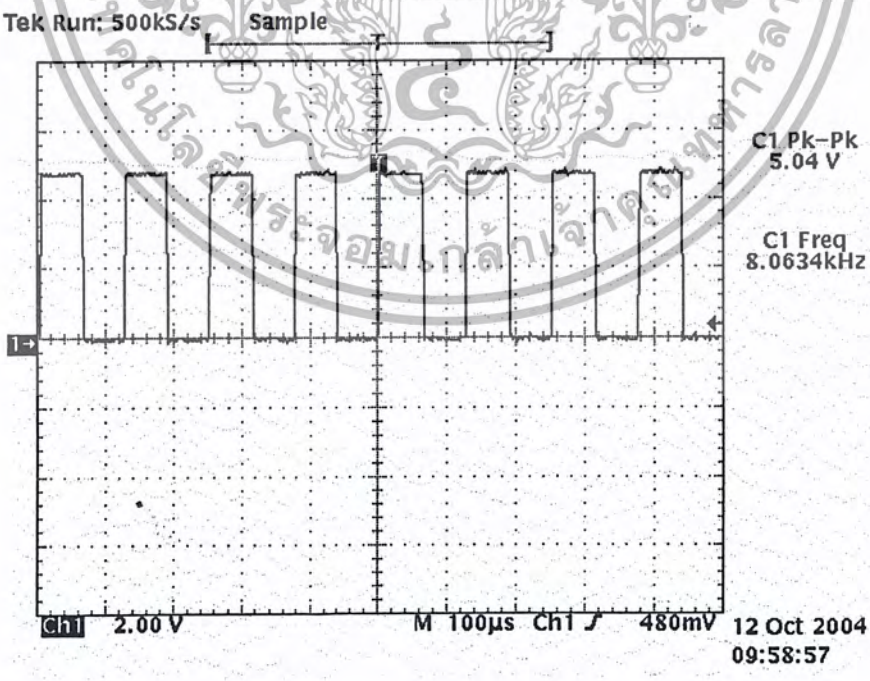
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 วัดสัญญาณช่อง Q ด้วยโปรแกรมออสซิลโลสโคป

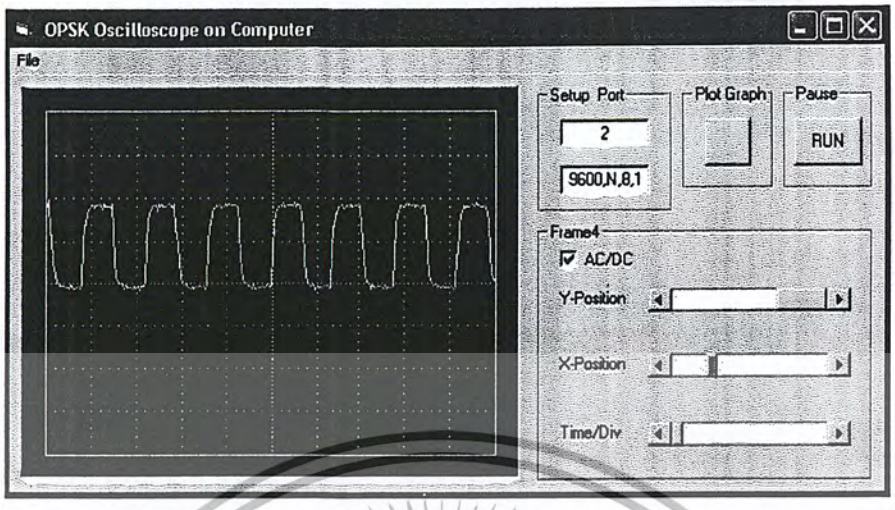
4.1.5 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz

ในการกำเนิดสัญญาณพาหะ จะใช้สัญญาณนาฬิกา 1 KHz มาเข้าวงจรเฟสล็อคลูป เพื่อคูณความถี่ไป 8 เท่า แล้วจึงนำสัญญาณนี้ไปเข้าวงจรกรองช่วงความถี่ เพื่อให้ได้สัญญาณพาหะ 8 KHz ก่อน แล้วจึงนำไปเลื่อนเฟสอีก 90 องศา



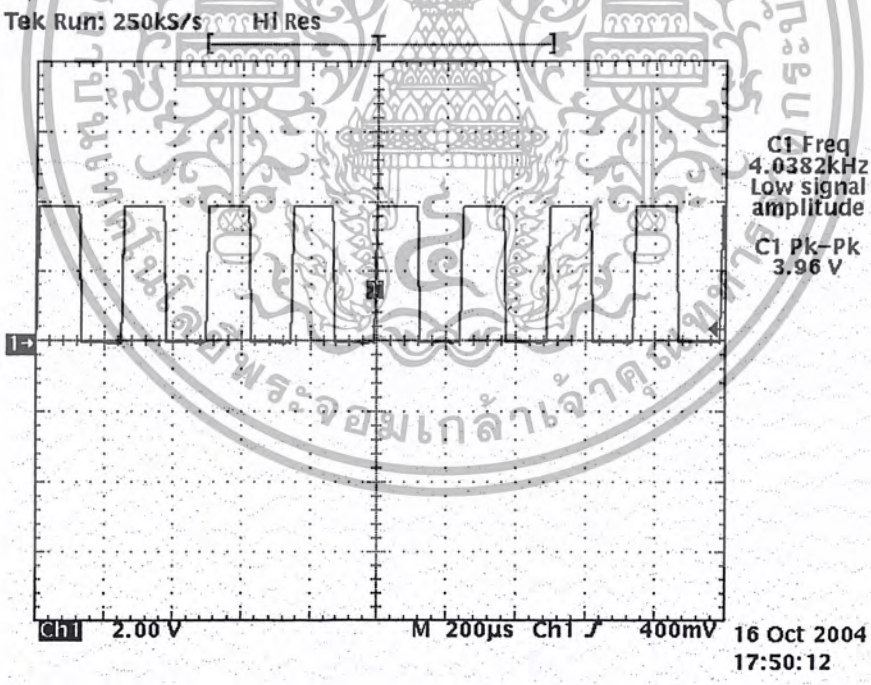
รูปที่ 4.13 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



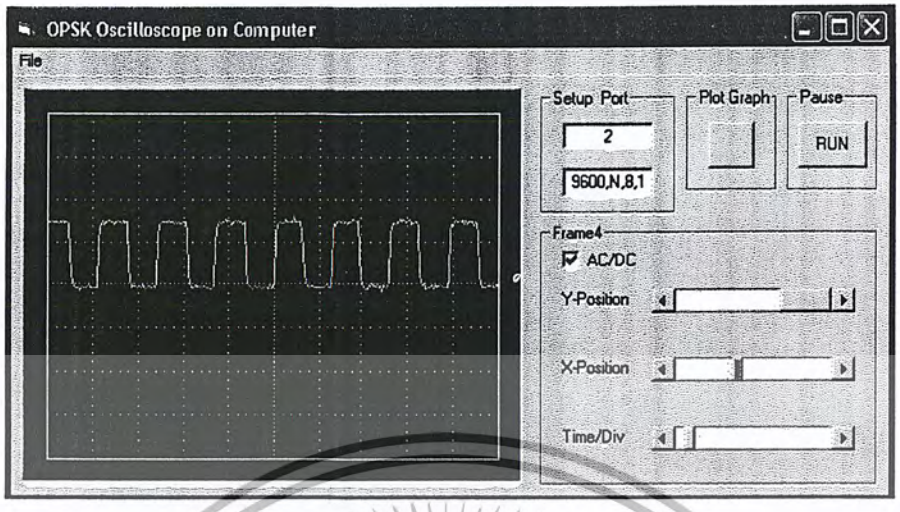
รูปที่ 4.14 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยโปรแกรมออสซิลโลสโคป

4.1.6 วงจรกำเนิดสัญญาณนำร่อง 4 KHz

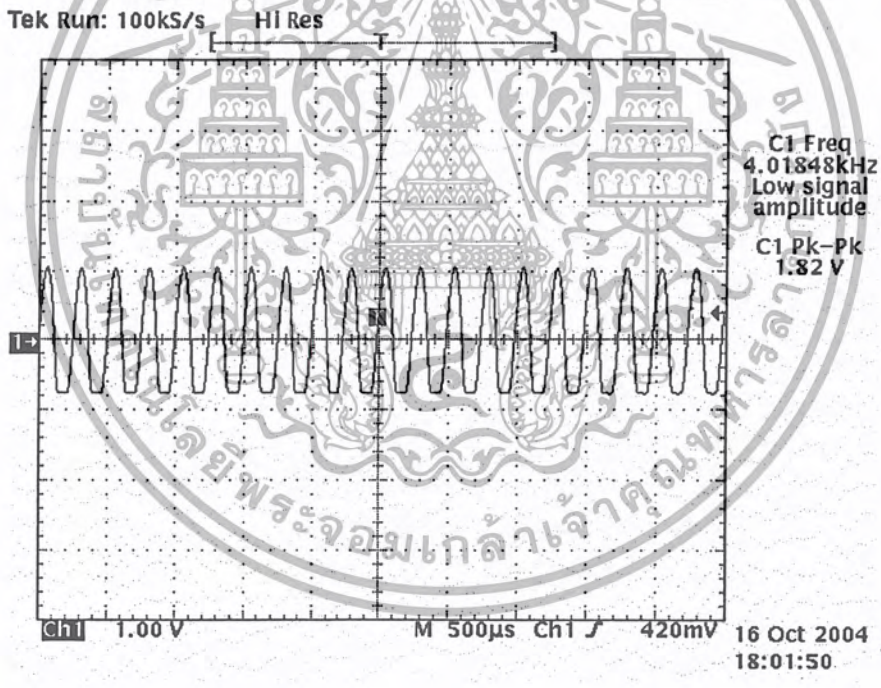


รูปที่ 4.15 วัดสัญญาณนำร่อง 4 KHz (PLL) ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

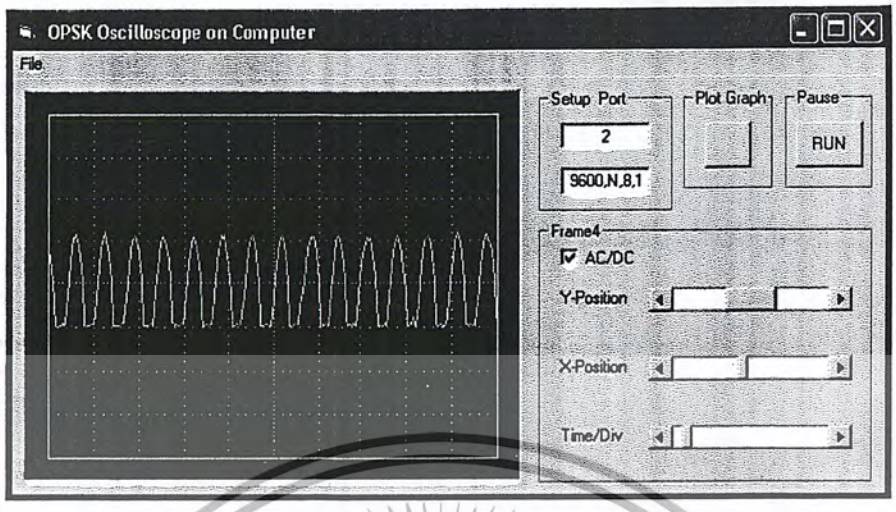


รูปที่ 4.16 วัดสัญญาณนำร่อง 4 KHz (PLL) ด้วยโปรแกรมออสซิลโลสโคป



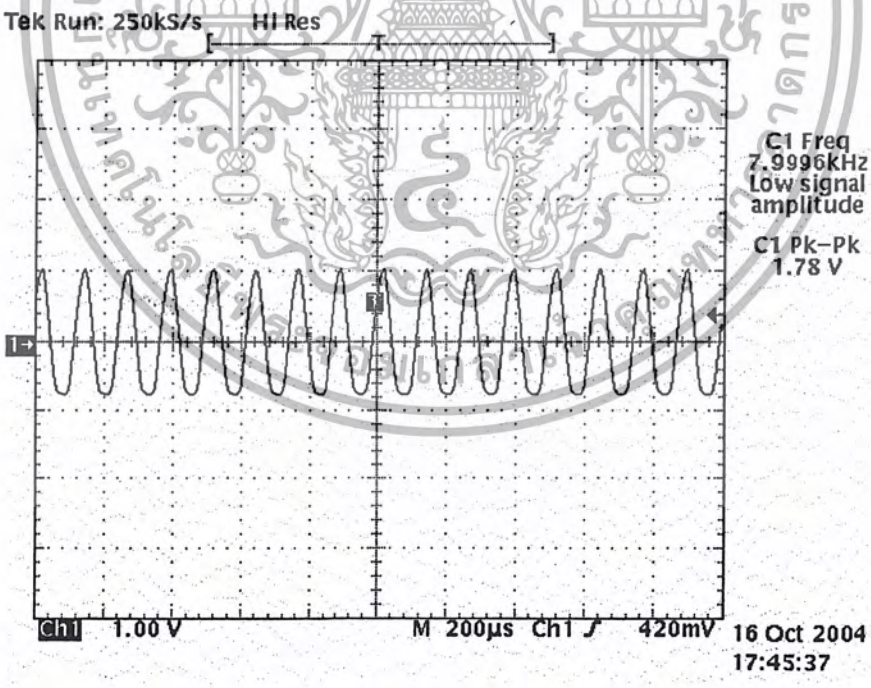
รูปที่ 4.17 วัดสัญญาณนำร่อง 4 KHz ที่ผ่านวงจรกรองความถี่ช่วงผ่าน 4 KHz แล้วเป็นสัญญาณร่อง ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



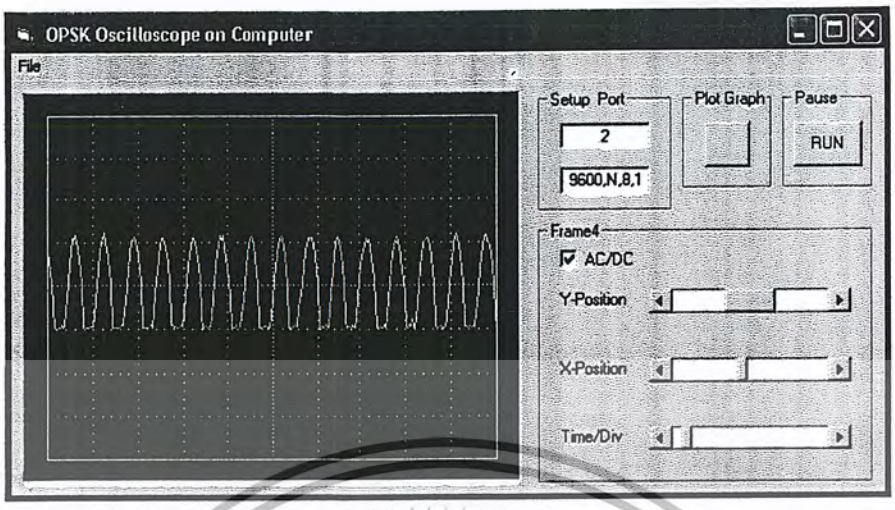
รูปที่ 4.18 วัดสัญญาณนำร่อง 4 KHz ที่ผ่านวงจรกรองความถี่ช่วงผ่าน 4 KHz แล้วเป็นสัญญาณนำร่องด้วยโปรแกรมออสซิลโลสโคป

4.1.7 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz



รูปที่ 4.19 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยดิจิตอลออสซิลโลสโคป

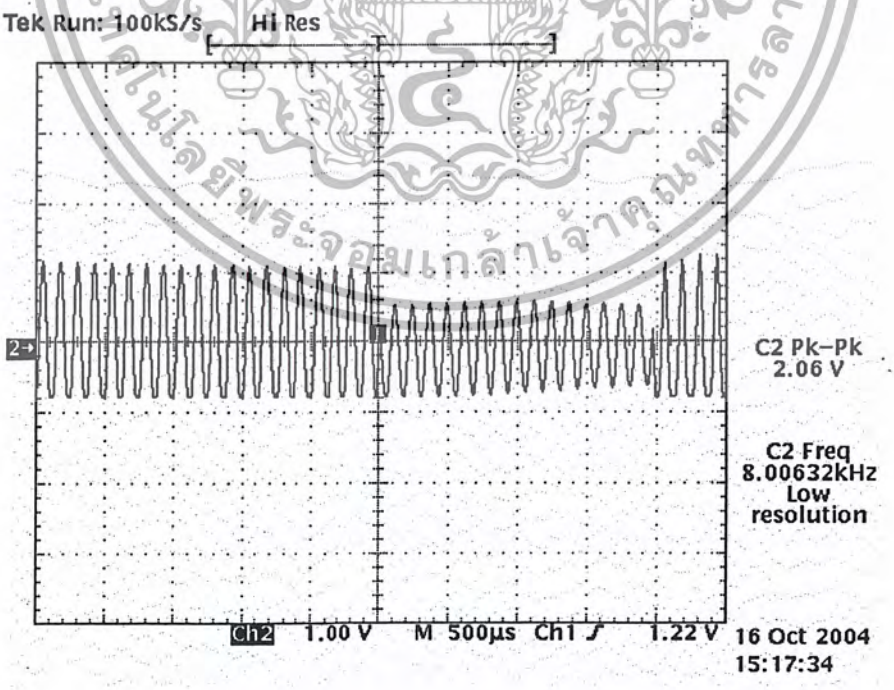
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 วัดสัญญาณพาหะความถี่ 8 KHz ด้วยโปรแกรมออสซิลโลสโคป

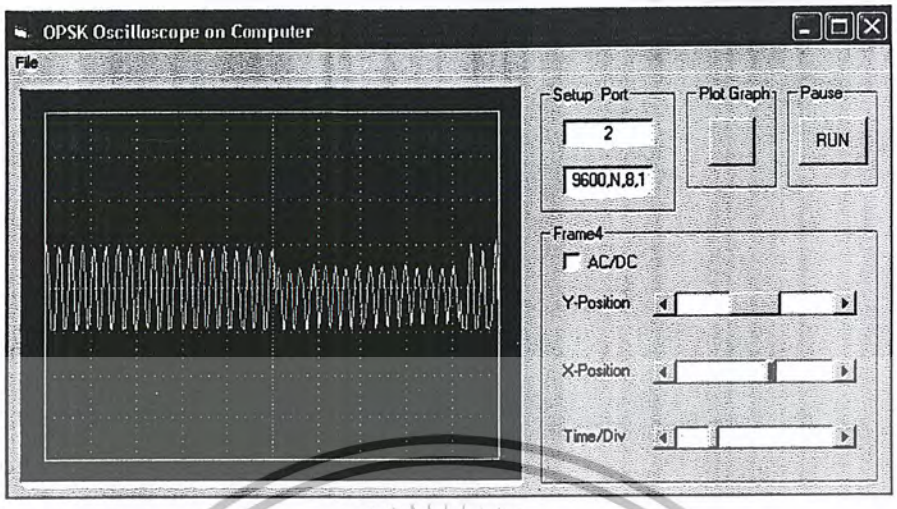
4.1.8 วงจรมอดูเลตแบบแยกคลื่นพาหะ

จะแบ่งเป็น 2 วงจรคือ นำสัญญาณ "I" มามอดูเลตกับสัญญาณคลื่นพาหะ และนำสัญญาณ "Q" มามอดูเลตกับสัญญาณคลื่นที่เลื่อนเฟส 90 องศา จะเรียกสัญญาณทั้งคู่ว่าสัญญาณช่อง I (I channel) สัญญาณช่อง Q (Q channel) ตามลำดับ

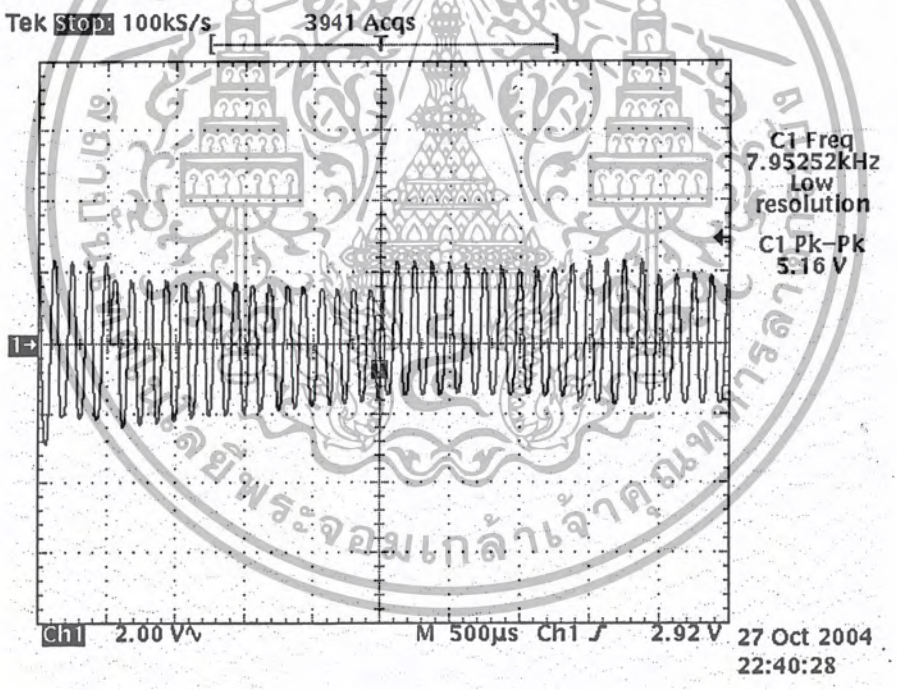


รูปที่ 4.21 วัดสัญญาณมอดูเลตช่อง I ด้วยดิจิตอลออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

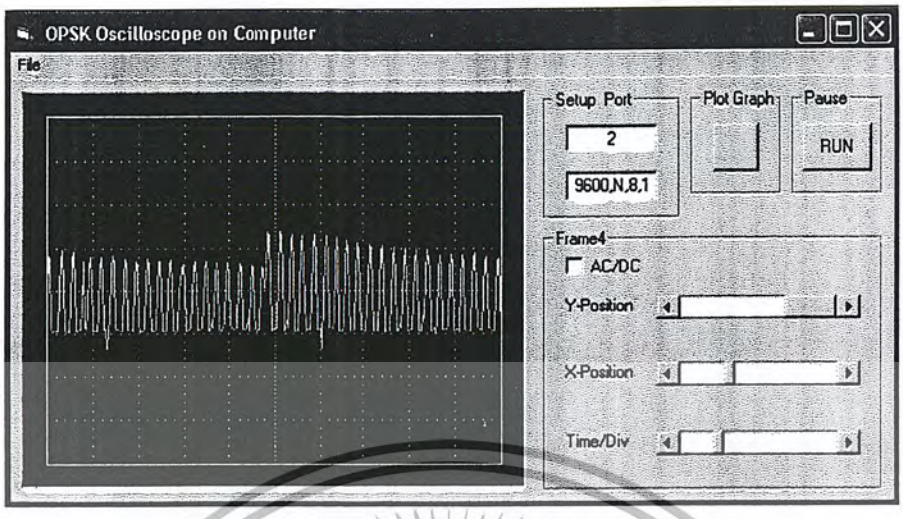


รูปที่ 4.22 วัดสัญญาณมอดูเลตช่อง I ด้วยโปรแกรมออสซิลโลสโคป



รูปที่ 4.23 วัดสัญญาณมอดูเลตช่อง Q ด้วยดิจิตอลออสซิลโลสโคป

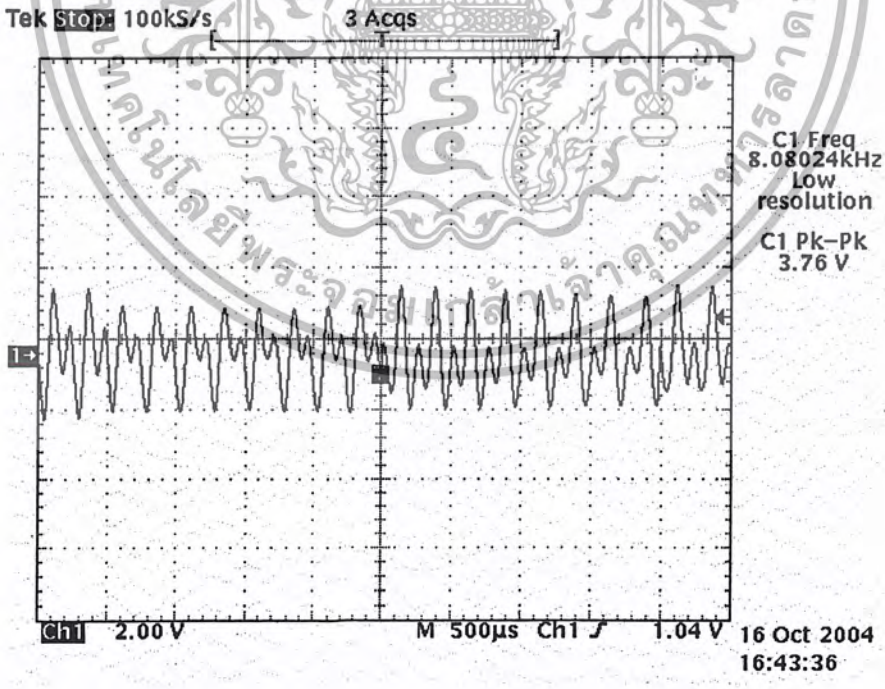
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 วัดสัญญาณมอดูเลตช่อง Q ด้วยโปรแกรมออสซิลโลสโคป

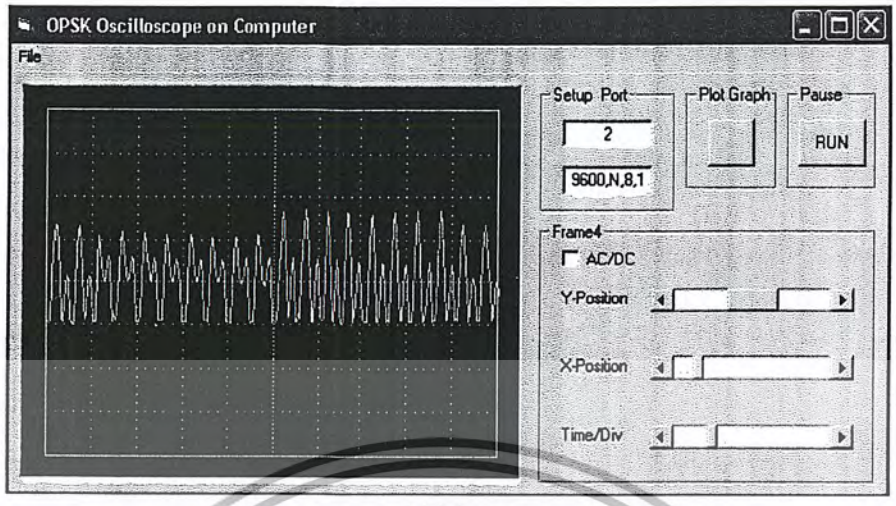
4.1.9 วงจรรวมสัญญาณ

ในการส่งสัญญาณ QPSK จะทำการส่งข้อมูลที่เป็นผลรวมของ I channel, Q channel , และสัญญาณนำร่อง 4KHz



รูปที่ 4.25 วัดสัญญาณ QPSK ด้วยดิจิตอลออสซิลโลสโคป

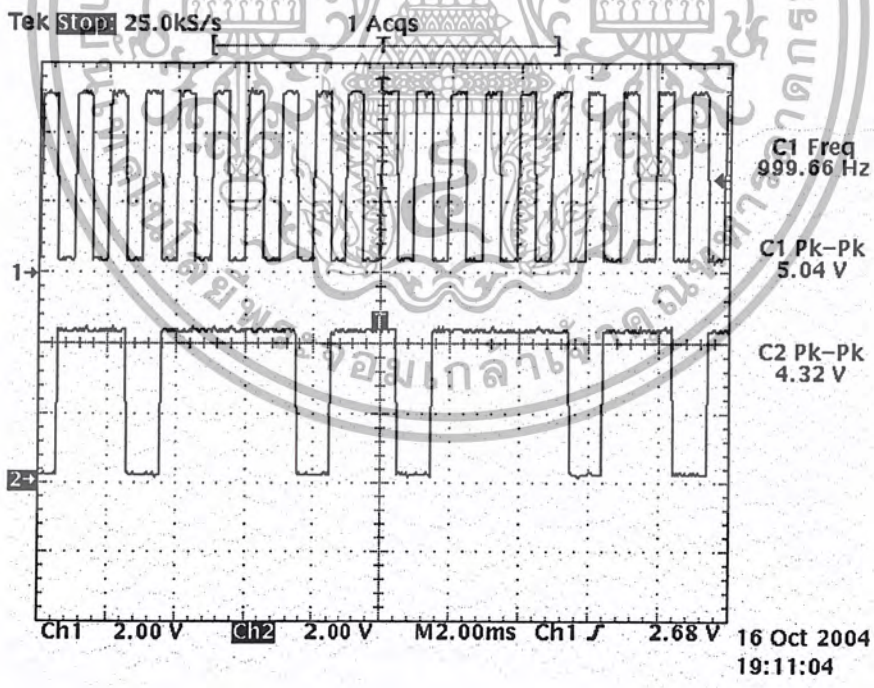
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 วัดสัญญาณ QPSK ด้วยโปรแกรมออสซิลโลสโคป

4.2 สัญญาณภาคส่งที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบ 2 ช่องสัญญาณ

4.2.1 ภาควงจรกำเนิดสัญญาณนาฬิกา 1 KHz กับข้อมูลไบนารี NRZ



รูปที่ 4.27 สัญญาณนาฬิกาเปรียบเทียบกับสัญญาณข้อมูล NRZ

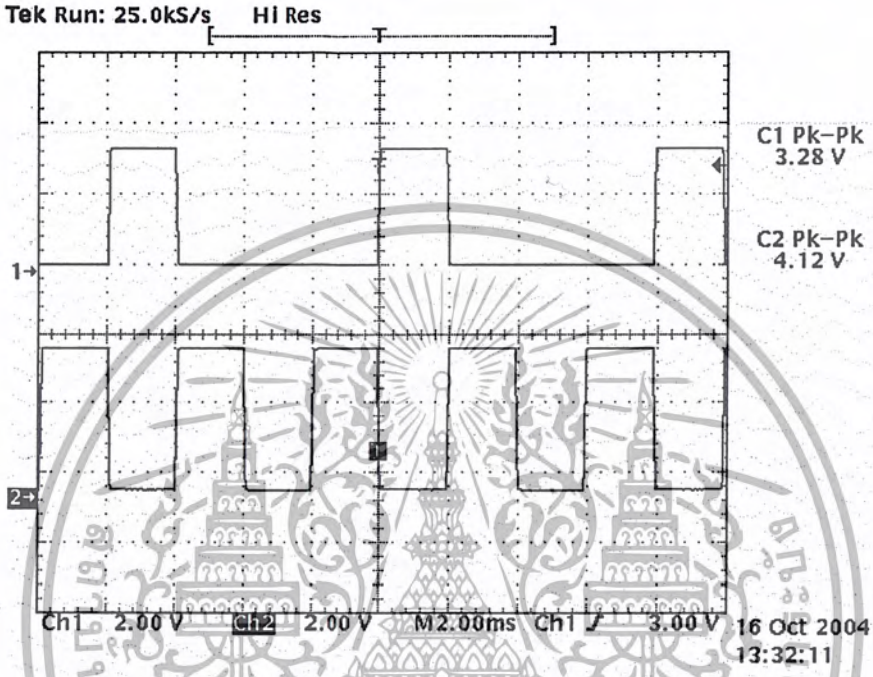
CH1 สัญญาณนาฬิกา

CH2 สัญญาณข้อมูล NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรแยกบิตสัญญาณข้อมูล

เนื่องจากในการส่งข้อมูล QPSK ข้อมูลที่จะส่งเป็นแบบอนุกรม ดังนั้นจึงต้องทำการแยกให้อยู่ในรูปของข้อมูลที่ขนานกันโดยแบ่งเป็นสองช่องคือ ช่อง I และช่อง Q



รูปที่ 4.28 สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I ช่อง Q

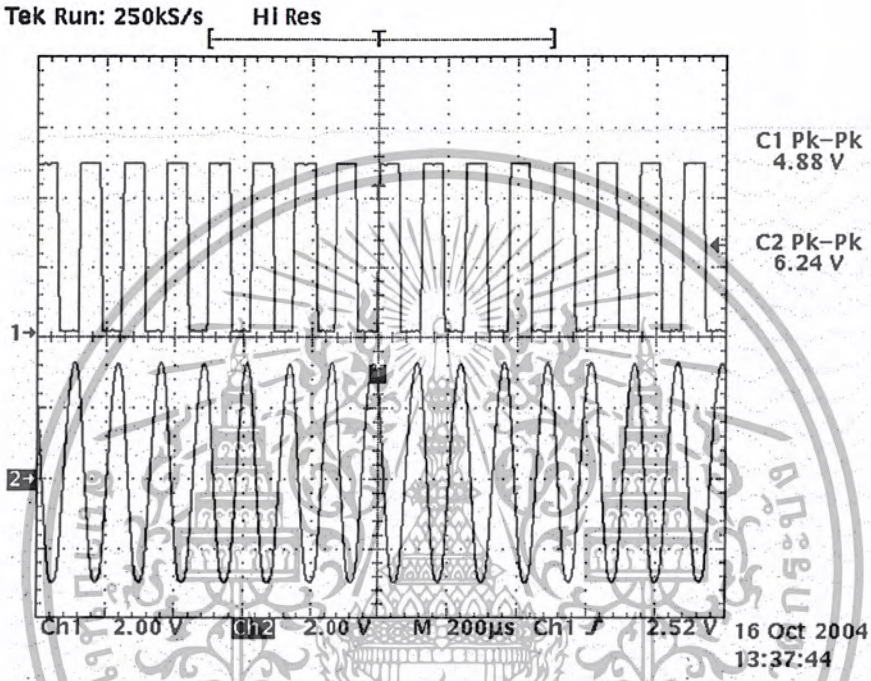
CH 1 สัญญาณช่อง I

CH 2 สัญญาณช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรกำเนิดสัญญาณพาหะความถี่ 8 KHz

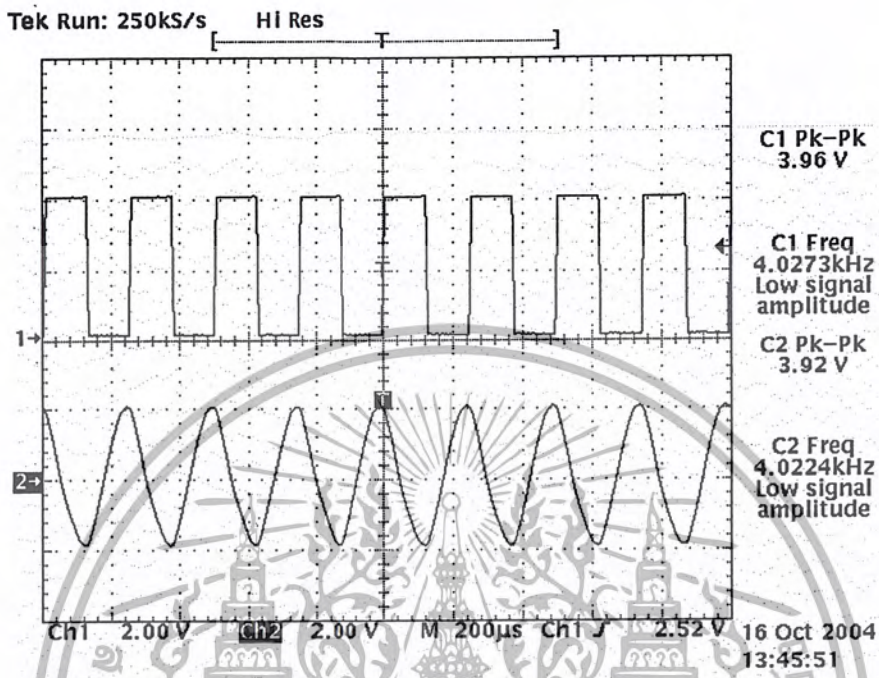
ในการกำเนิดสัญญาณพาห์ จะใช้สัญญาณนาฬิกา 1 KHz มาเข้าวงจรเฟสล็อคลูป เพื่อคูณความถี่ไป 8 เท่า แล้วจึงนำสัญญาณนี้ไปเข้าวงจรกรองช่วงความถี่ เพื่อให้ได้สัญญาณพาหะ 8 KHz ก่อน แล้วจึงนำไปเลื่อนเฟสอีก 90 องศา



รูปที่ 4.29 สัญญาณคลื่นพาหะที่ได้จากการป้อนสัญญาณนาฬิกาขนาด 1 KHz มาเข้าวงจรคูณ 8 ได้สัญญาณ 8 KHz แล้วนำสัญญาณ ไปเข้าวงจรกรองช่วงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรกำเนิดสัญญาณนำร่อง 4 KHz



รูปที่ 4.30 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง

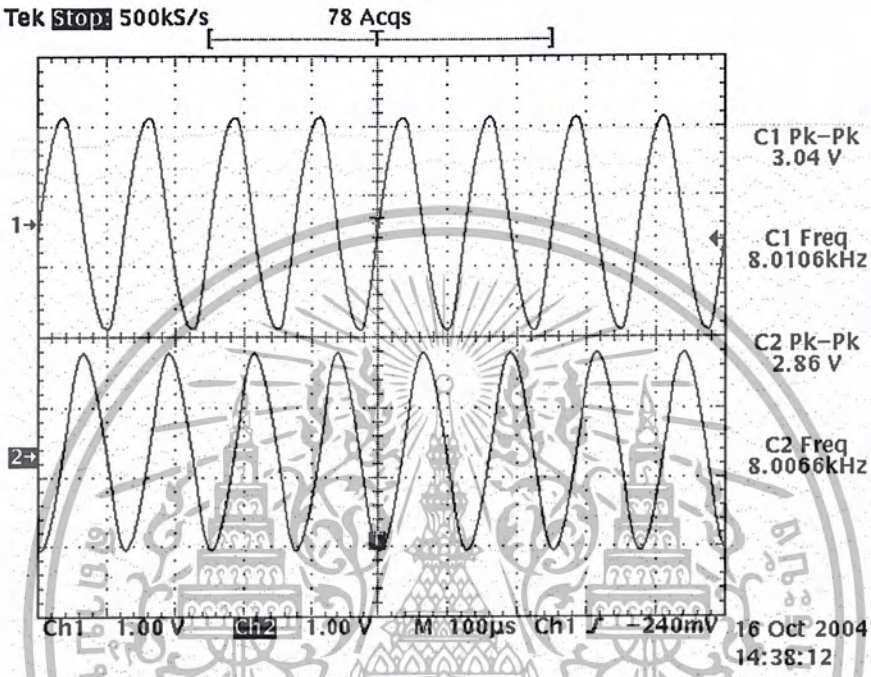
CH1 สัญญาณจากวงจร PLL 1 ที่ 4 KHz

CH2 สัญญาณที่ผ่านวงจรกรองความถี่แล้วเป็นสัญญาณนำร่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วงจรกำเนิดสัญญาณเลื่อนเฟส 90 องศา

ได้จากการนำสัญญาณพาหะความถี่ 8 KHz นำมาเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรมอดูเลตต่อไป

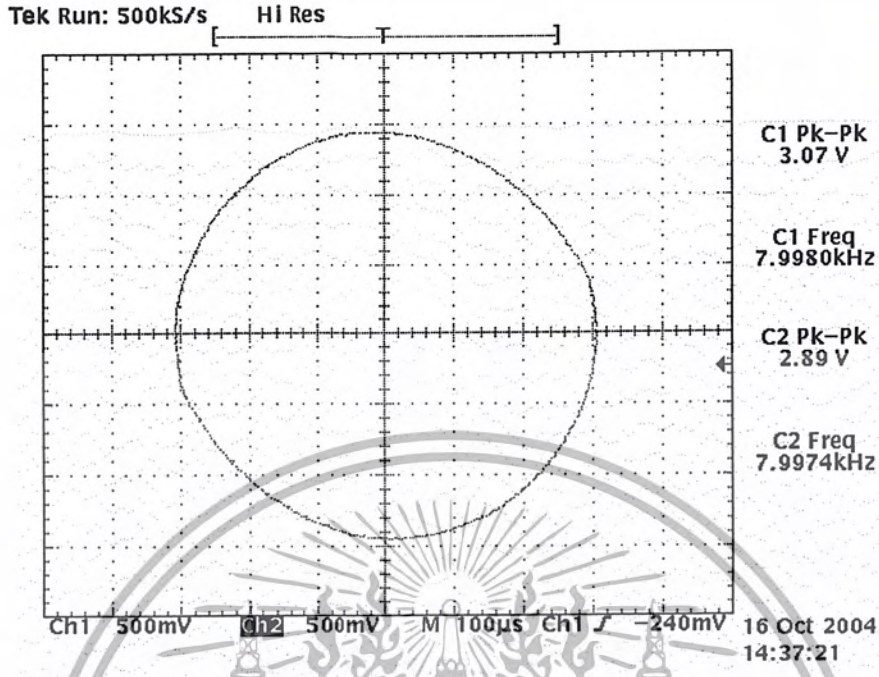


รูปที่ 4.31 สัญญาณคลื่นพาหะที่ได้จากการเลื่อนเฟส 90 องศา

CH1 สัญญาณคลื่นพาหะ

CH2 สัญญาณคลื่นพาหะที่เลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

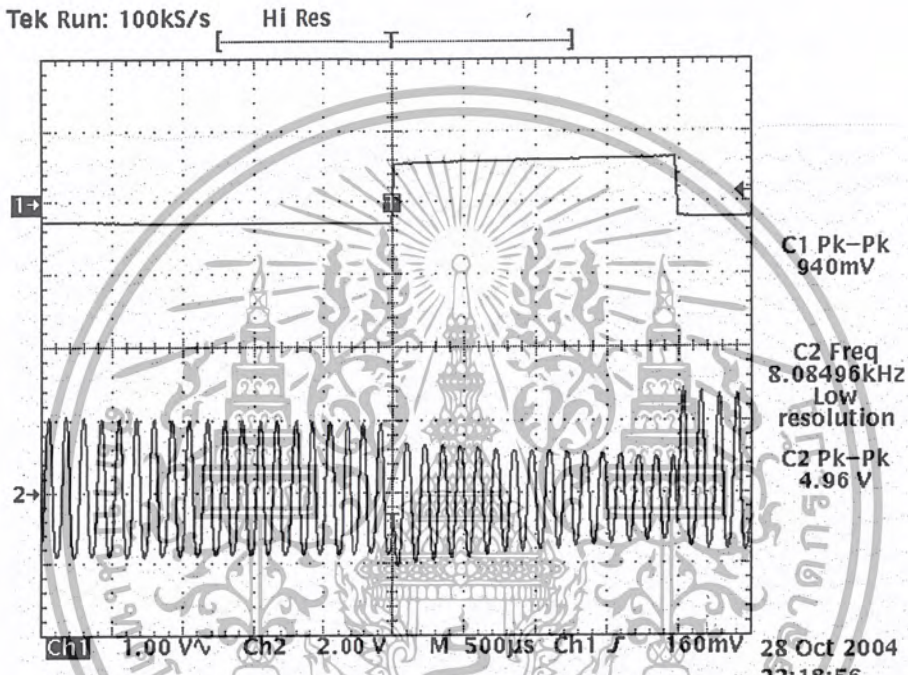


รูปที่ 4.32 สัญญาณคลื่นพาหะที่ได้จากการเลื่อนเฟส 90 องศา X-Y MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 วงจรมอดูเลตแบบแยกคลื่นพาหะ

วงจรมอดูเลตจะแยกเป็น 2 ช่องสัญญาณคือ นำสัญญาณ Bipolar ช่อง I มามอดูเลตกับสัญญาณคลื่นพาหะ และนำสัญญาณ Bipolar ช่อง Q มามอดูเลตกับสัญญาณคลื่นพาหะที่เลื่อนเฟส 90 องศา ซึ่งจะเรียกสัญญาณทั้งคู่ว่าสัญญาณช่อง I (I channel) และสัญญาณช่อง Q (Q channel) ตามลำดับ

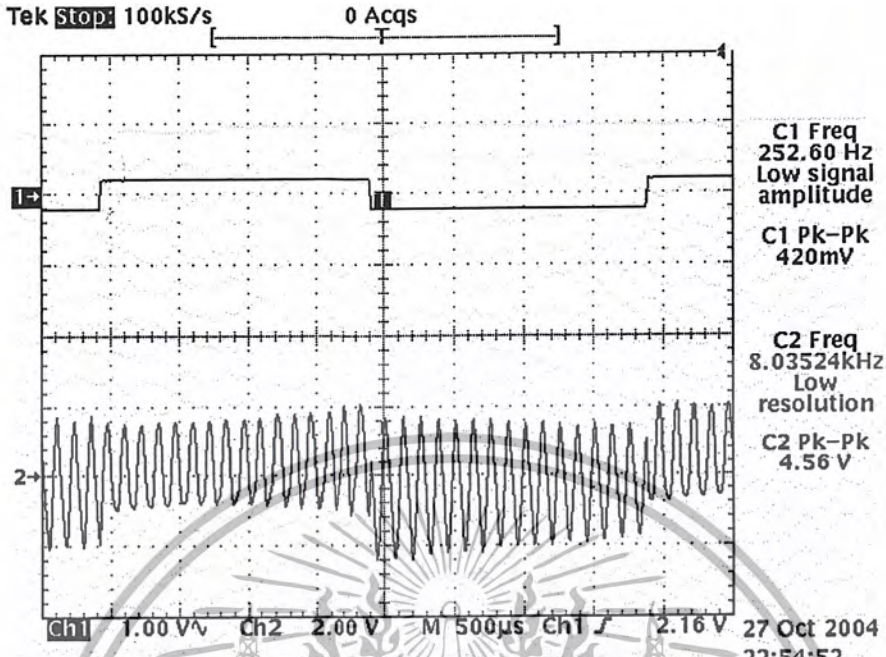


รูปที่ 4.33 (ก) เปรียบเทียบสัญญาณ I channel กับ I'

CH 1 สัญญาณ bipolar ช่อง I channel

CH 2 สัญญาณที่ผ่านการมอดูเลตทาง I' channel

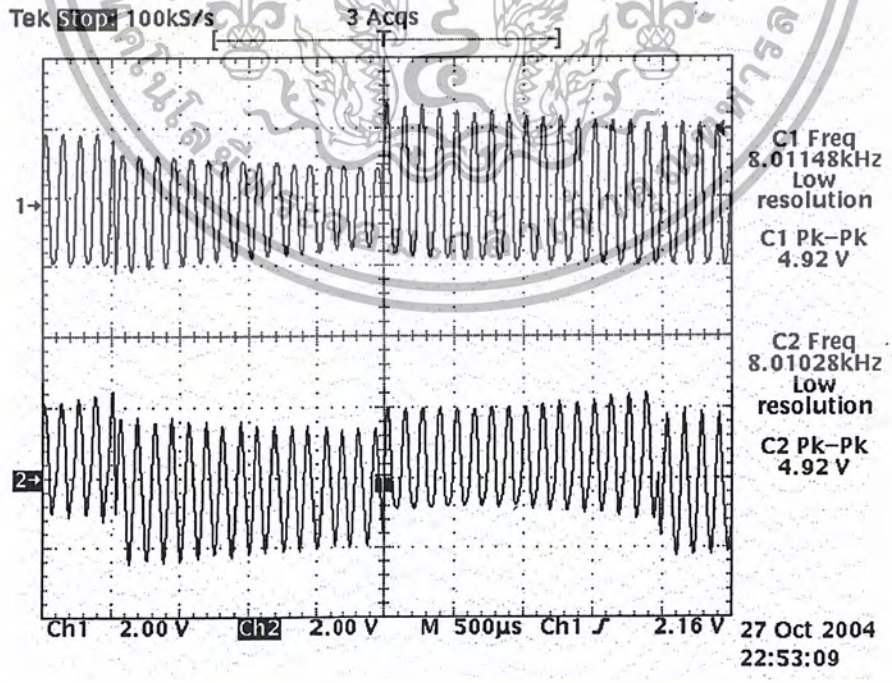
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 (ข) เปรียบเทียบสัญญาณ Q กับ Q'

CH 1 สัญญาณ Q channel

CH 2 สัญญาณ Q' channel

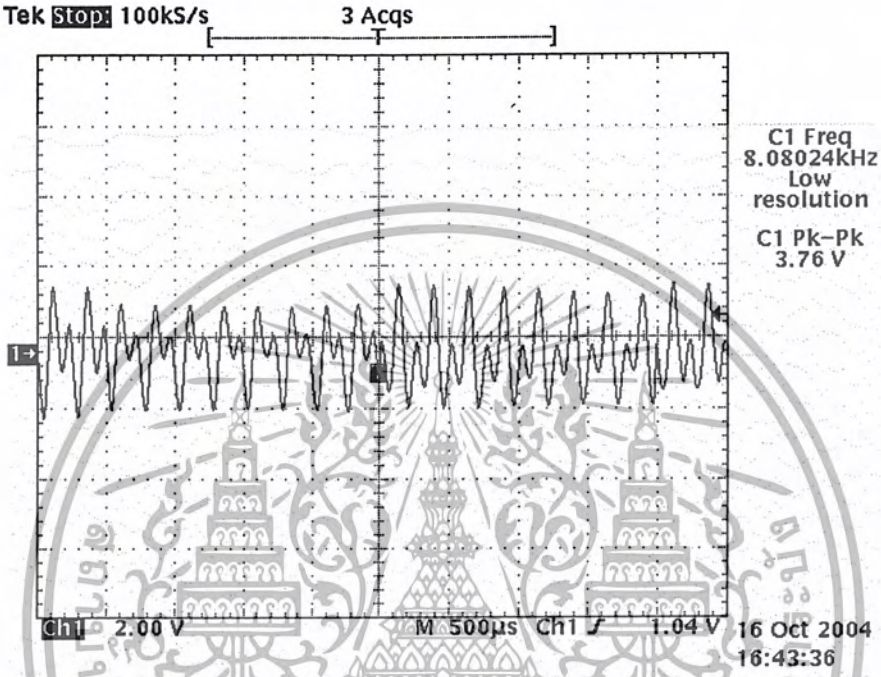


รูปที่ 4.33 (ค) เปรียบเทียบสัญญาณ I channel และ Q channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

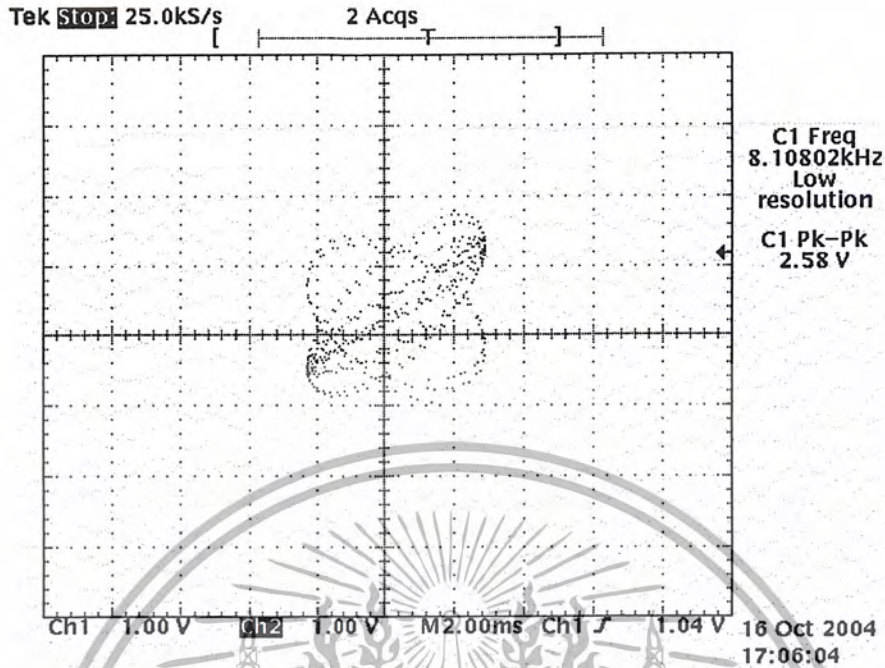
4.2.7 วงจรรวมสัญญาณ

ในการส่งสัญญาณ QPSK จะทำการส่งข้อมูลที่เป็นผลรวมของ I channel, Q channel, และสัญญาณนำร่อง 4 KHz

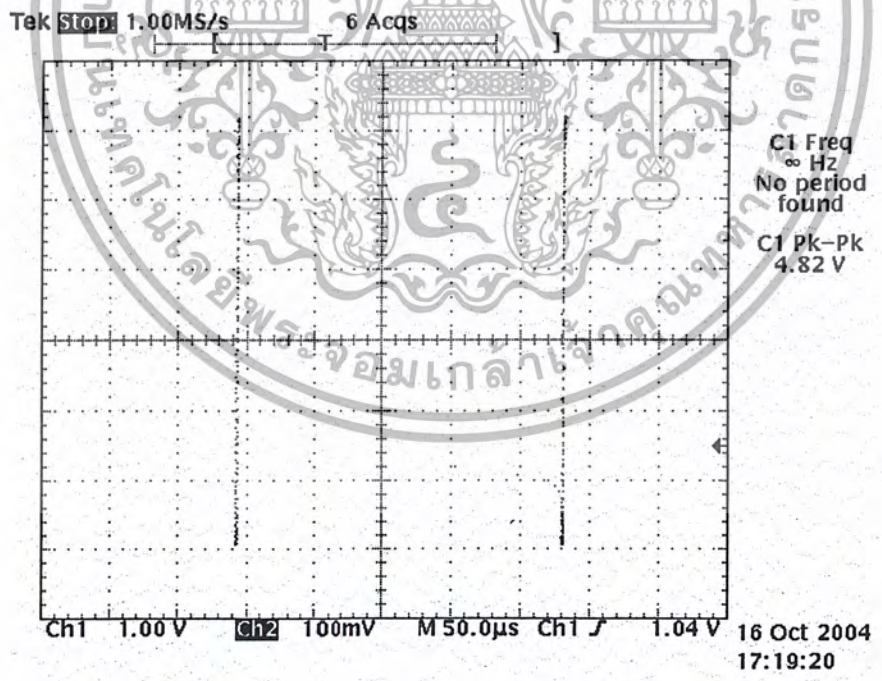


รูปที่ 4.34 สัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.35 เปรียบเทียบสัญญาณ QPSK กับ สัญญาณพาหะใน X-Y MODE



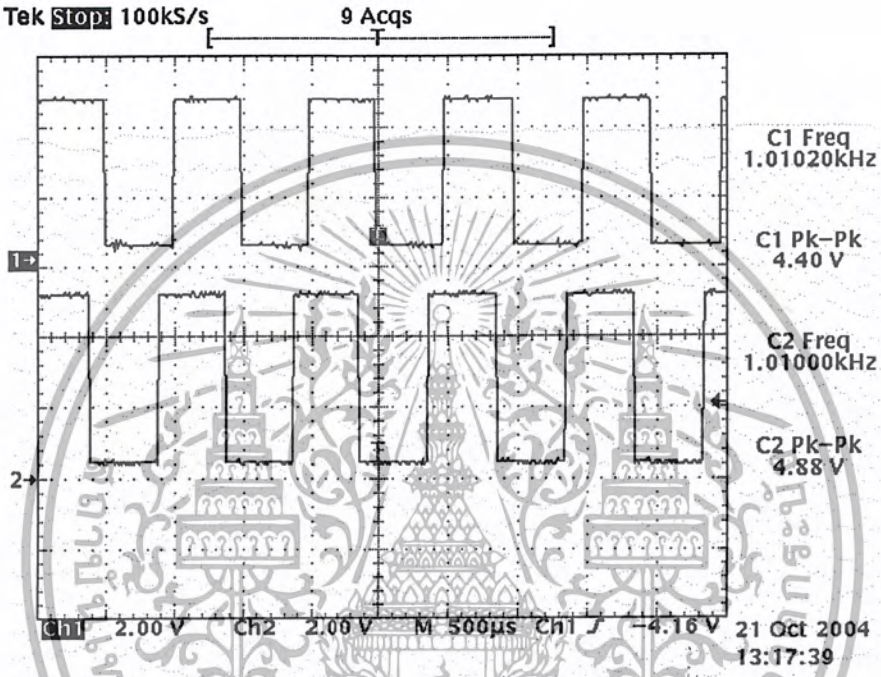
รูปที่ 4.36 เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาหะ 8 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 สัญญาณภาครับที่วัดด้วยดิจิตอลออสซิลโลสโคปเปรียบเทียบ 2 ช่องสัญญาณ

4.3.1 ภาคกรองความถี่นำร่องและวงจรกู้สัญญาณนาฬิกา

สัญญาณที่รับได้ที่ภาครับจะถูกกรองความถี่ด้วยวงจรกรองความถี่ช่วงผ่าน 4 KHz แล้วนำมาสร้างสัญญาณนาฬิกา



รูปที่ 4.37 เปรียบเทียบสัญญาณนาฬิกาทางด้านภาคส่งและภาครับ

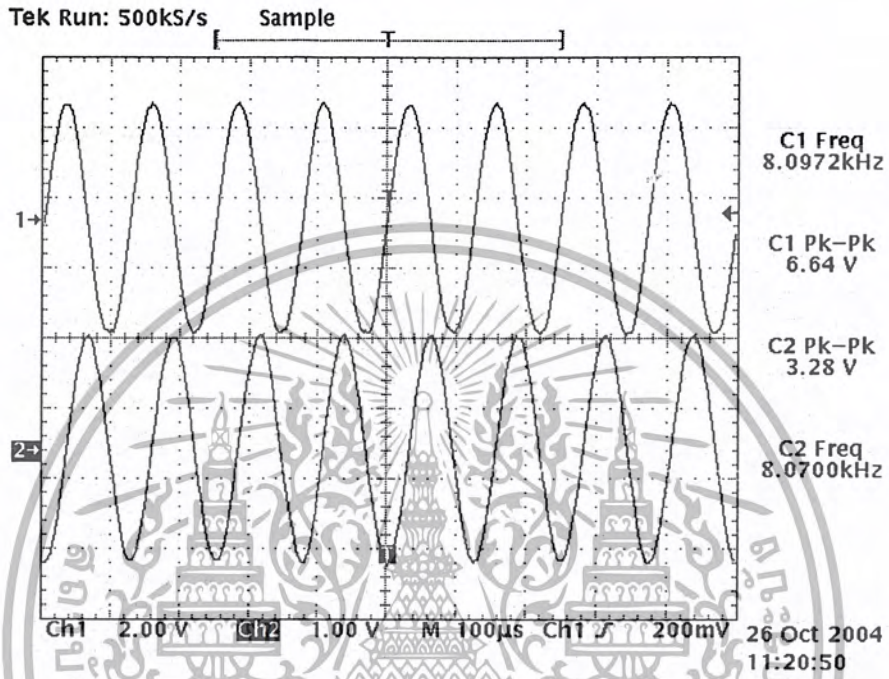
CH 1 สัญญาณนาฬิกาทางด้านภาคส่ง

CH 2 สัญญาณนาฬิกาทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 นำสัญญาณนาฬิกาเป็นสัญญาณอ้างอิงในการกู้สัญญาณพาหะ

นำสัญญาณที่กู้ได้มาเป็นสัญญาณอ้างอิงในการสร้างสัญญาณพาหะเมื่อได้สัญญาณพาหะแล้วนำสัญญาณที่ได้ไปผ่านวงจรเลื่อนเฟส 90 องศา

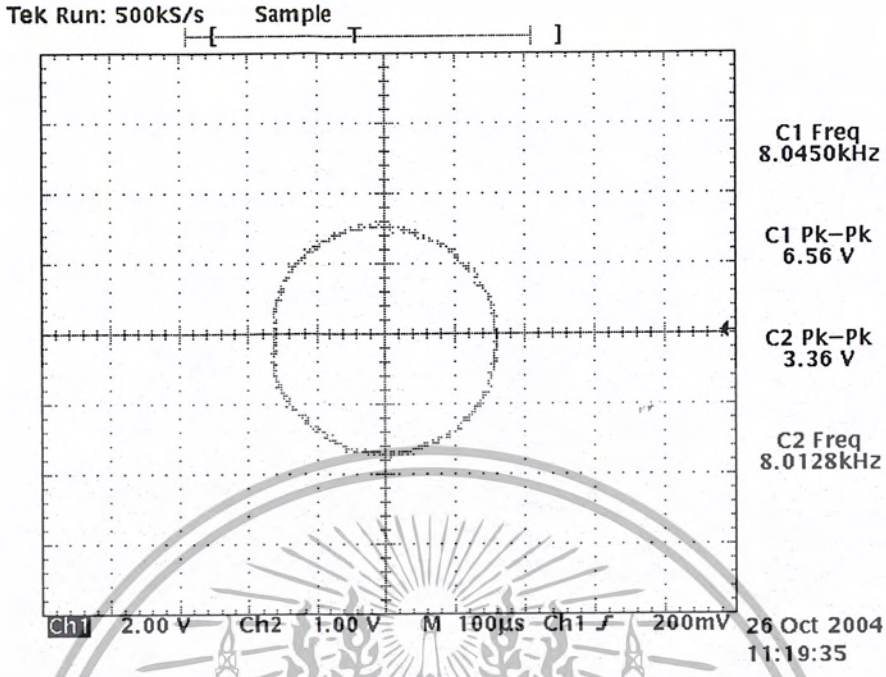


รูปที่ 4.38 (ก) สัญญาณพาหะที่กู้ได้แล้วผ่านวงจรเลื่อนเฟส 90 องศา

CH 1 สัญญาณพาหะก่อนผ่านวงจรเลื่อนเฟส 90 องศา

CH 2 สัญญาณพาหะที่ผ่านวงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

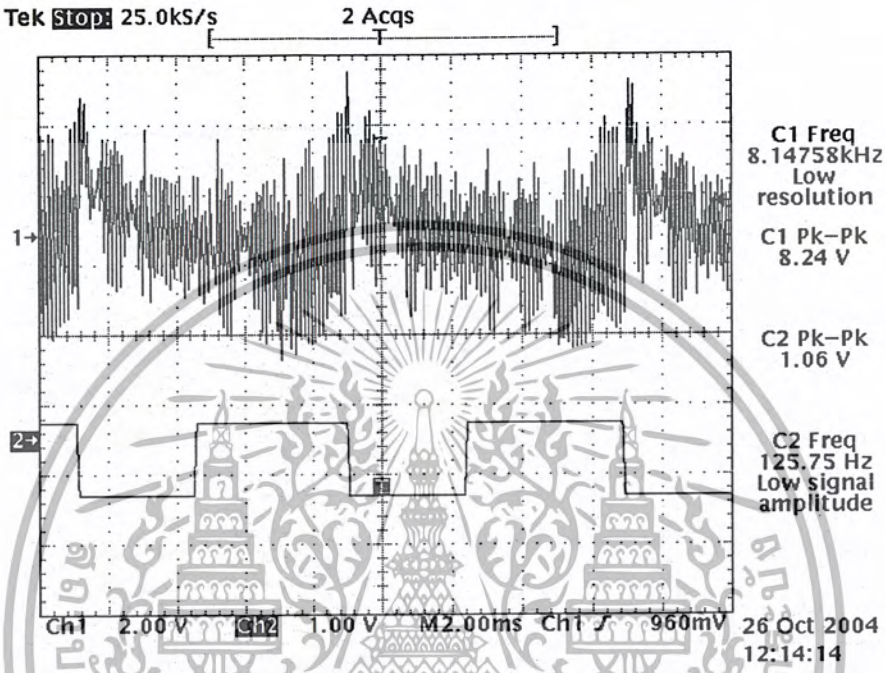


รูปที่ 4.38 (ข) สัญญาณพาหะที่กู้ได้เปรียบเทียบกับสัญญาณพาหะที่ผ่านวงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 วงจรภาคดีมอดูเลต

คือการนำเอาสัญญาณพาหะที่กู้ได้ มาคูณกับสัญญาณข้อมูลที่รับได้ เพื่อดีเทคสัญญาณข้อมูลออกมา

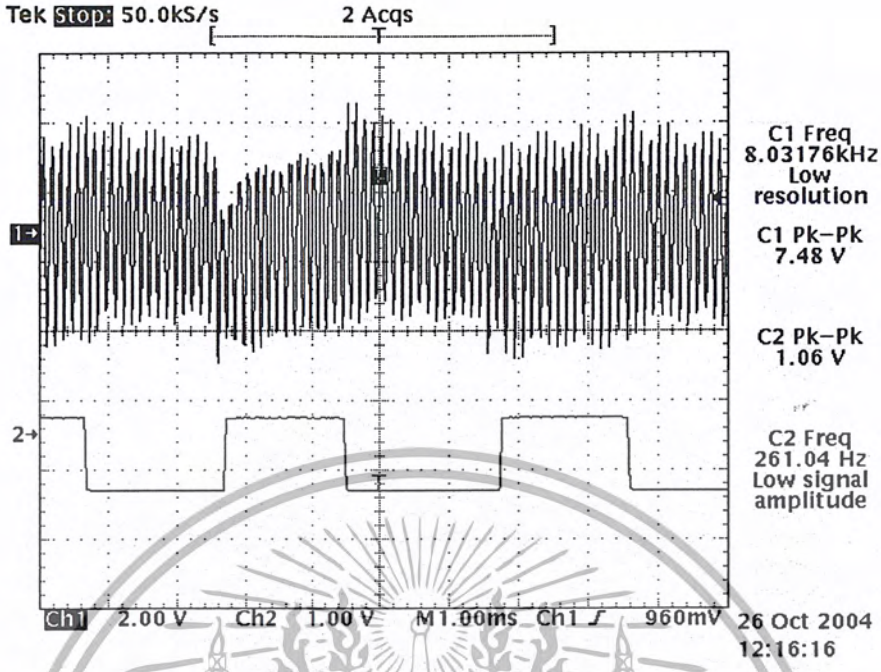


รูปที่ 4.39 (ก) สัญญาณที่ได้จากวงจรดีมอดูเลตที่ช่อง I เปรียบเทียบกับสัญญาณข้อมูลทางช่อง I

CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลตช่อง I

CH 2 สัญญาณข้อมูลที่ดีเทคได้ทางช่อง I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 (ข) สัญญาณที่ได้จากวงจรดีมอดูเลตที่ช่อง Q เปรียบเทียบกับสัญญาณข้อมูลทางช่อง Q

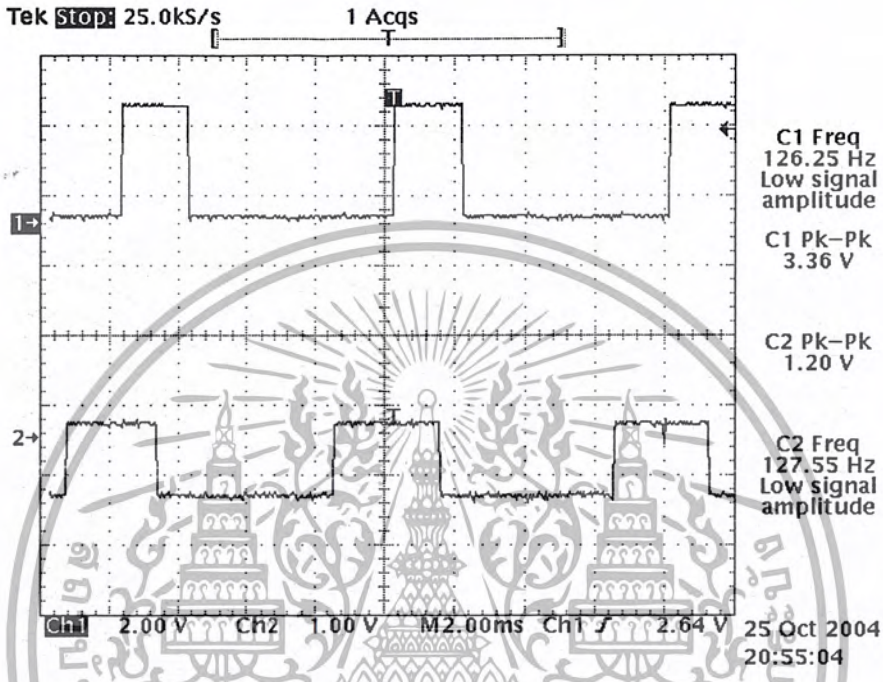
CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลตช่อง Q

CH 2 สัญญาณข้อมูลที่ดีเทคได้ทางช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 ภาควงจรกรองความถี่ต่ำผ่านและวงจรเปรียบเทียบสัญญาณ

สัญญาณที่ผ่านวงจรดีมอดูเลตจะถูกส่งไปยังวงจรกรองความถี่ต่ำผ่านก่อนแล้วเข้าวงจรเปรียบเทียบสัญญาณต่อไป

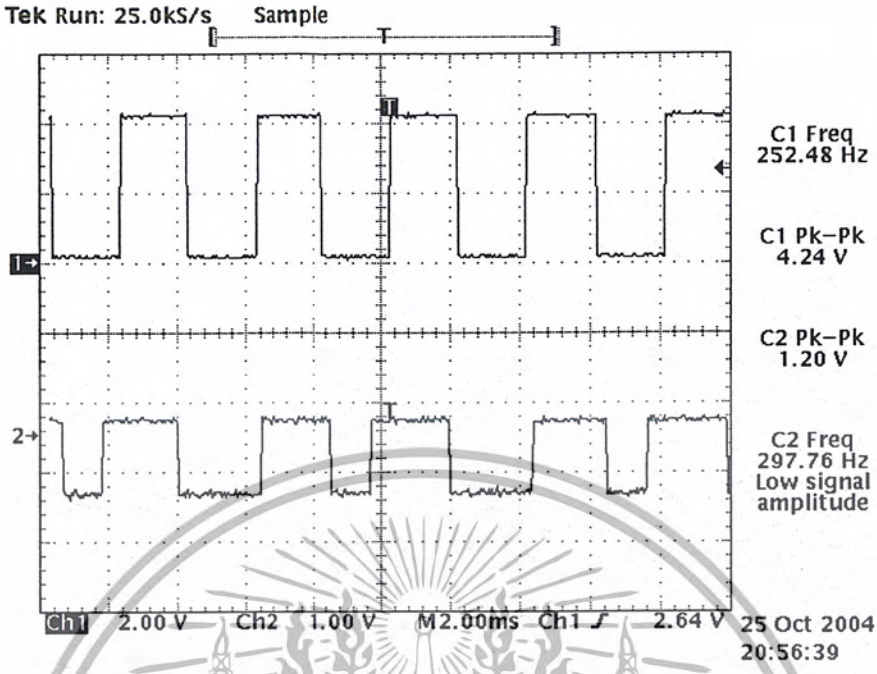


รูปที่ 4.40 (ก) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง I ภาครับ เปรียบเทียบกับภาคส่ง

CH 1 สัญญาณช่อง I ทางภาคส่ง

CH 2 สัญญาณช่อง I ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

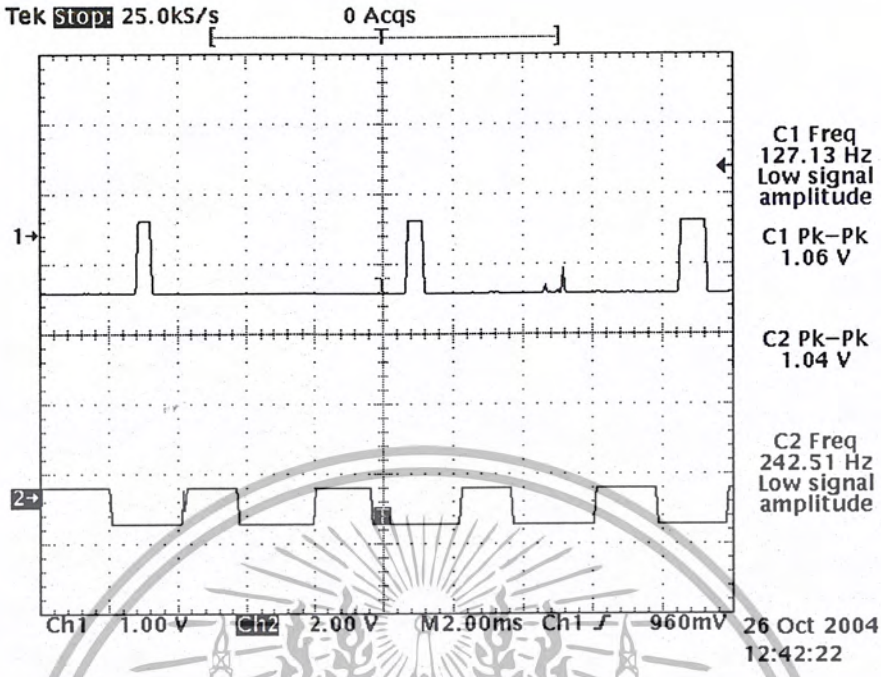


รูปที่ 4.40 (ข) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Q ภาครับ เปรียบเทียบกับภาคส่ง

CH 1 สัญญาณช่อง Q ทางภาคส่ง

CH 2 สัญญาณช่อง Q ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.40 (ค) สัญญาณช่อง I ภาครับ เปรียบเทียบกับสัญญาณช่อง Q ภาครับ

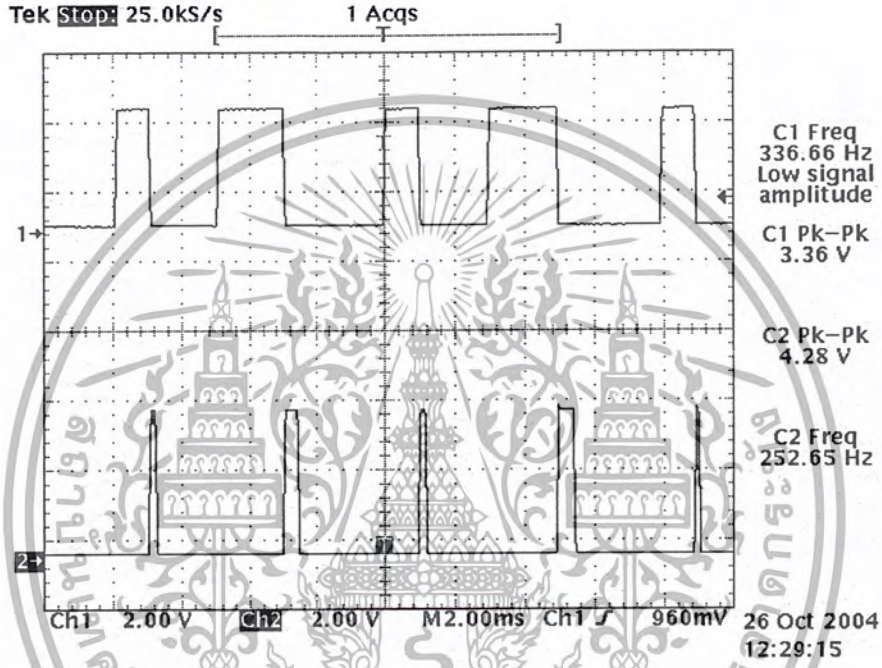
CH 1 สัญญาณช่อง I ทางภาครับ

CH 2 สัญญาณช่อง Q ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5 ภาควงจรรวมสัญญาณดิจิตอล

สัญญาณข้อมูลที่ได้ทำการส่งจากภาคมอดูเลตนั้นเป็นสัญญาณ unipolar ดังนั้นทางด้านภาครับเราจึงนำสัญญาณที่ได้ผ่านการดีมอดูเลตก็จะเข้าสู่วงจรรวมสัญญาณที่แปลงสัญญาณข้อมูลขนานไปเป็นสัญญาณข้อมูลแบบอนุกรมซึ่งสามารถเปรียบเทียบเทียบสัญญาณ unipolar ทางด้านภาคส่งกับสัญญาณ unipolar ทางด้านภาครับได้ดังรูป



รูปที่ 4.41 สัญญาณข้อมูลทางภาคส่งเปรียบเทียบกับสัญญาณข้อมูลทางภาครับ

CH 1 สัญญาณข้อมูล Unilar NRZ ทางภาคส่ง

CH 2 สัญญาณข้อมูล Unilar NRZ ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

5.1 เครื่องส่ง

ในการทดสอบเครื่องส่ง QPSK ในขั้นตอนแรกได้ทำการทดสอบแยกแต่ละวงจรก่อนแล้วจึงนำมาประกอบเข้าด้วยกัน โดยสรุปผลแต่ละวงจรได้ดังนี้

5.1.1 วงจรกำเนิดสัญญาณนาฬิกา

วงจรนี้มีความสำคัญมาก เนื่องจากต้องนำสัญญาณนาฬิกามาใช้ในการเลื่อนข้อมูล และนำมาสร้างสัญญาณพาหะ รวมทั้งนำสัญญาณความถี่ 4 KHz มาสร้างสัญญาณนำร่อง โดยวงจรที่ใช้เป็นวงจรที่ได้จาก IC XR-2206 ที่ทำหน้าที่ในการกำเนิดความถี่ 1 KHz

5.1.2 วงจรกำเนิดข้อมูลไบนารี

เนื่องจากข้อมูลที่ใช้ส่งเป็นข้อมูลอนุกรม ซึ่งในการส่งข้อมูลได้กำหนดให้ไหลในลักษณะวนรอบซ้ำกันทุกๆ 8 บิต ซึ่งเอาท์พุทที่ได้เป็นที่น่าพอใจ แต่การส่งข้อมูลในลักษณะนี้จะพบว่า ในการเปรียบเทียบข้อมูลระหว่างภาคส่งกับภาครับไม่สามารถจัดลำดับก่อนหลังของข้อมูลได้

5.1.3 วงจรแยกสัญญาณข้อมูล

ในส่วนของวงจรแยกข้อมูล ในการทดลองจะพบปัญหาในการต่อวงจร เนื่องจากความไม่เข้าใจในตัวอุปกรณ์ จึงควรศึกษาให้ดีก่อนต่อวงจร รวมทั้งควรลดความยุ่งยากในการออกแบบวงจร

5.1.4 วงจรปรับระดับสัญญาณ

วงจรนี้มีปัญหาบ้าง เนื่องจากในการปรับระดับสัญญาณ ถ้าปรับระดับสัญญาณให้มีแอมปลิจูดสูงเกินไป ก็ไม่สามารถนำไปมอดูเลตได้

5.1.5 วงจรกำเนิดสัญญาณคลื่นพาหะ 8 KHz และวงจรเลื่อนเฟส 90 องศา

วงจรกำเนิดสัญญาณความถี่ 8 KHz จะได้จากสัญญาณ CLK 1 KHz มาทำการทวีคูณไปอีก 8 เท่า โดยวงจรเฟสล็อคลูป แล้วนำไปเข้าวงจรกรองความถี่ ในส่วนนี้มีปัญหาในการออกแบบวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.6 วงจรกำเนิดสัญญาณนำร่องความถี่ 4 KHz

วงจรกำเนิดสัญญาณความถี่ 4 KHz จะได้จากสัญญาณ CLK 500Hz มาทำการทวีคูณไปอีก 8 เท่า โดยวงจรเฟสล็อคลูป แล้วนำไปเข้าวงจรกรองความถี่ ในส่วนนี้ก็มีปัญหาในการออกแบบวงจรกรองความถี่เช่นกันแต่สามารถแก้ไขปัญหาได้

5.1.7 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้เป็นวงจรที่มีปัญหาอีกวงจรหนึ่งเนื่องจาก วงจรนี้ใช้อินพุทค่อนข้างต่ำมาก ซึ่งในการทดลองพบปัญหาในการทำให้สัญญาณ Carrier กับ สัญญาณข้อมูล NRZ ไม่บาลานซ์กัน จึงทำให้สัญญาณจาการมอดูเลตไม่ดีเท่าที่ควร

5.1.8 วงจรรวมสัญญาณ

วงจรนี้ไม่ค่อยมีความยุ่งยาก ผลที่ได้น่าพอใจมาก

สรุปภาคส่ง

เมื่อทำการรวมวงจรและทดสอบการส่งข้อมูลนั้น พบว่า วงจรไม่สามารถทำงานได้ดี ปัญหาส่วนมากที่เกิดจะเกิดจากวงจรบาลานซ์ เนื่องจากการไม่บาลานซ์กันระหว่าง Carrier กับ NRZ แต่ก็สามารถแก้ไขไปได้ด้วยดี

5.2 เครื่องรับ

5.2.1 วงจรกรองช่วงความถี่นำร่อง

ในส่วนของวงจรนี้มีส่วนสำคัญมากในภาครับเนื่องจากเป็นสิ่งที่ทำให้ภาครับและภาคส่งสัมพันธ์กัน ในการทดลองแล้วส่วนใหญ่เจอปัญหาตรงที่วงจรที่ออกแบบไม่ดีพอทำให้สัญญาณเอาท์พุทที่ได้ผิดเพี้ยนไปแต่เมื่อแก้ปัญหาโดยสร้างวงจรที่ประสิทธิภาพสูงคือ เพิ่มกำลัง (Order) ของวงจรให้สูงขึ้น

5.2.2 วงจรกรองช่วงความถี่พาหะ

เป็นวงจรกรองเอาความถี่สัญญาณที่มอดูเลตทางภาคส่ง ปัญหาที่เจอส่วนใหญ่คล้ายวงจรกรองช่วงความถี่นำร่อง และการแก้ปัญหาก็ทำนองเดียวกัน ซึ่งต้องสร้างวงจรที่ประสิทธิภาพสูงคือ เพิ่มกำลัง (Order) ของวงจรให้สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 วงจรกู้สัญญาณนาฬิกา

เป็นวงจรกรองช่วงความถี่นำร่องไม่มีปัญหาแล้ว ในส่วนวงจรนี้ก็จะเจอปัญหาไม่มากนัก ส่วนใหญ่ปัญหาที่เจอก็คือ สัญญาณนาฬิกาไม่สัมพันธ์กับทางภาคส่ง ดังนั้น ต้องปรับตัวต้านทานที่วงจรให้สัญญาณสัมพันธ์กัน ผลที่ได้น่าพอใจ

5.2.4 วงจรกู้สัญญาณพาหะ

ใช้วงจรเหมือนกับทางภาคส่ง เมื่อสัญญาณนาฬิกาสัมพันธ์กันแล้ว ก็จะทำให้สัญญาณพาหะก็สัมพันธ์กันด้วย

5.2.5 วงจรดีมอดูเลเตอร์

ใช้วงจรเดียวกับวงจรบาลาซ์มอดูเลต ปัญหาที่เจอก็คือต้องปรับสัญญาณก่อนเข้าวงจรให้ตรองตามข้อกำหนด

5.2.6 วงจรกรองความถี่ต่ำ

ในการทดลองใช้ไอซีเบอร์ LF351 ซึ่งเป็นไอซีที่มีวงจรกรองความถี่ต่ำแบบเชฟบีเชฟกำลังสอง (Second-order Chebyshev filter) แต่ในการใช้งานจริงได้ออกแบบให้มีกำลังสี่ (Fourth-order) เพื่อจะได้สัญญาณเอาท์พุทที่ดีขึ้น

5.2.7 วงจรเปรียบเทียบสัญญาณ

วงจรที่ออกแบบไม่ค่อยยากมากผลที่ได้น่าพอใจมาก

5.2.8 วงจรรวมสัญญาณดิจิตอล

วงจรนี้ไม่ค่อยมีความยุ่งยาก ผลที่ค่อนข้างพอใจมาก

สรุปภาครับ

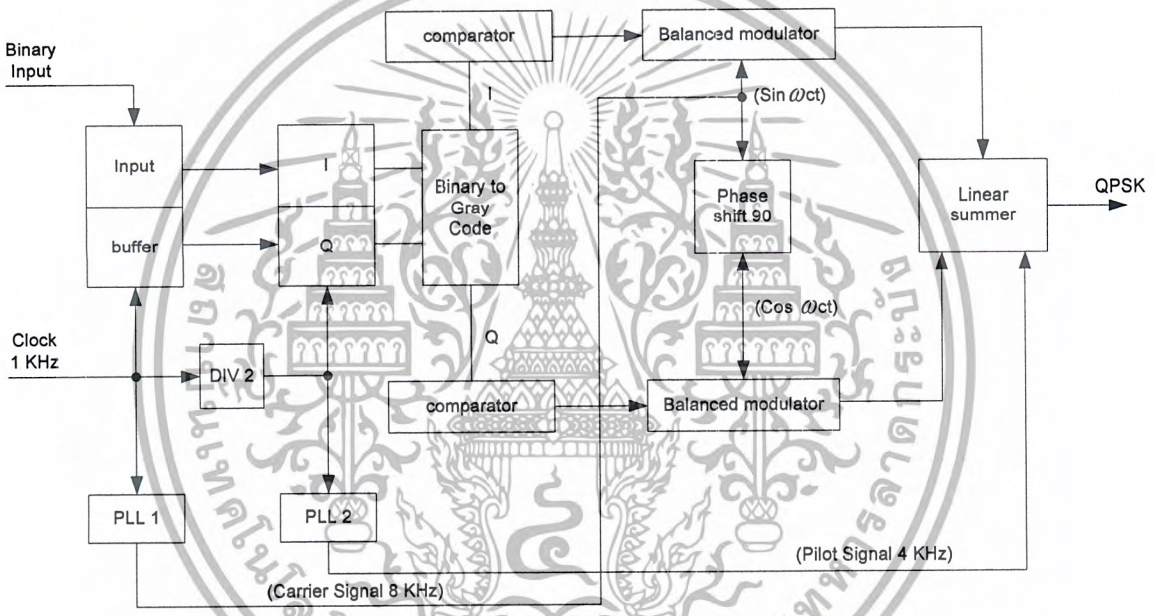
ปัญหาที่พบคือสัญญาณที่ได้ทำการดีมอดูเลตไม่สามารถที่จะกู้คืนข้อมูลได้เป็นที่น่าพอใจนัก ฉะนั้นจึงควรออกแบบภาครับให้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

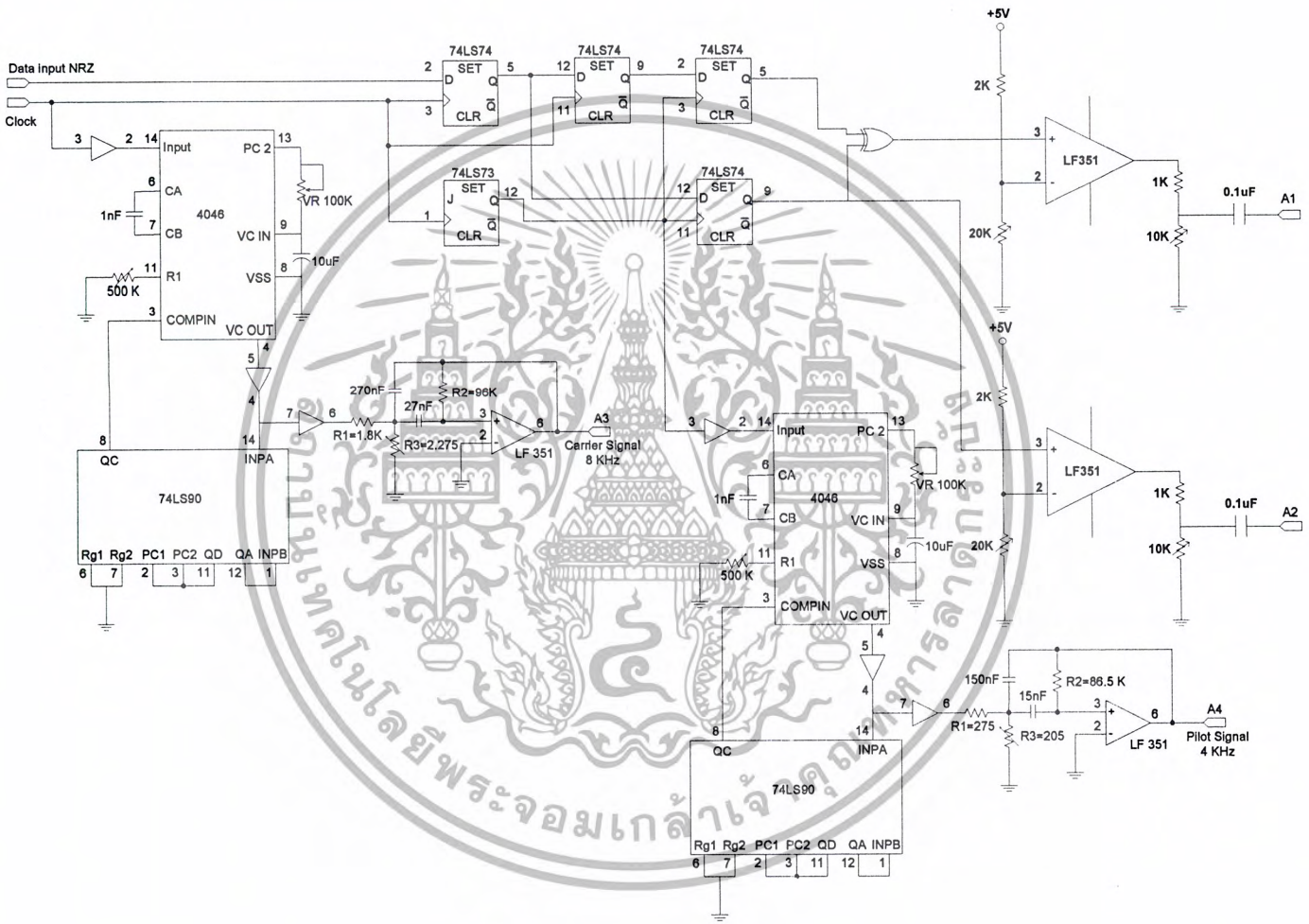
ภาคผนวก ก.

วงจรอิเล็กทรอนิกส์

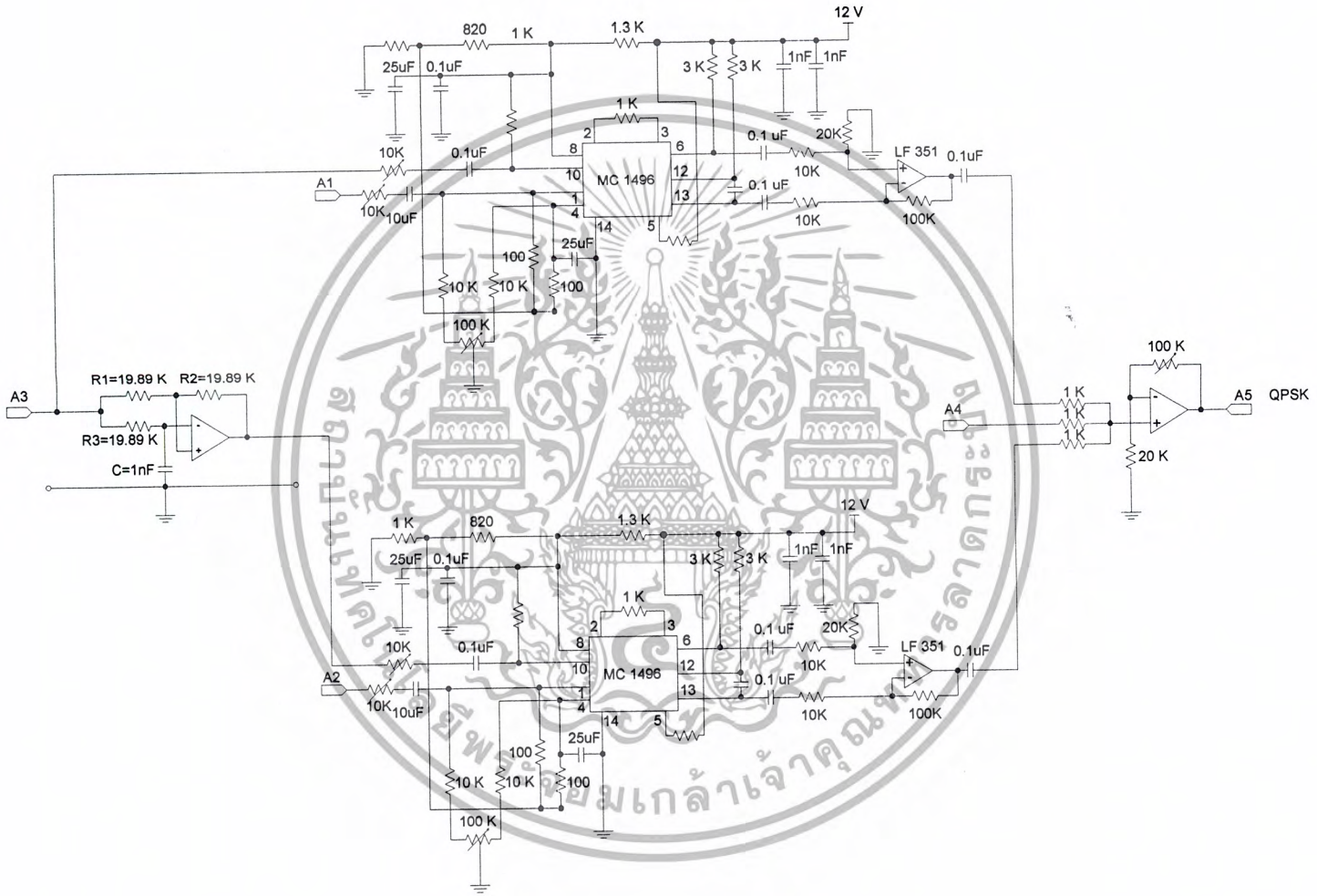
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



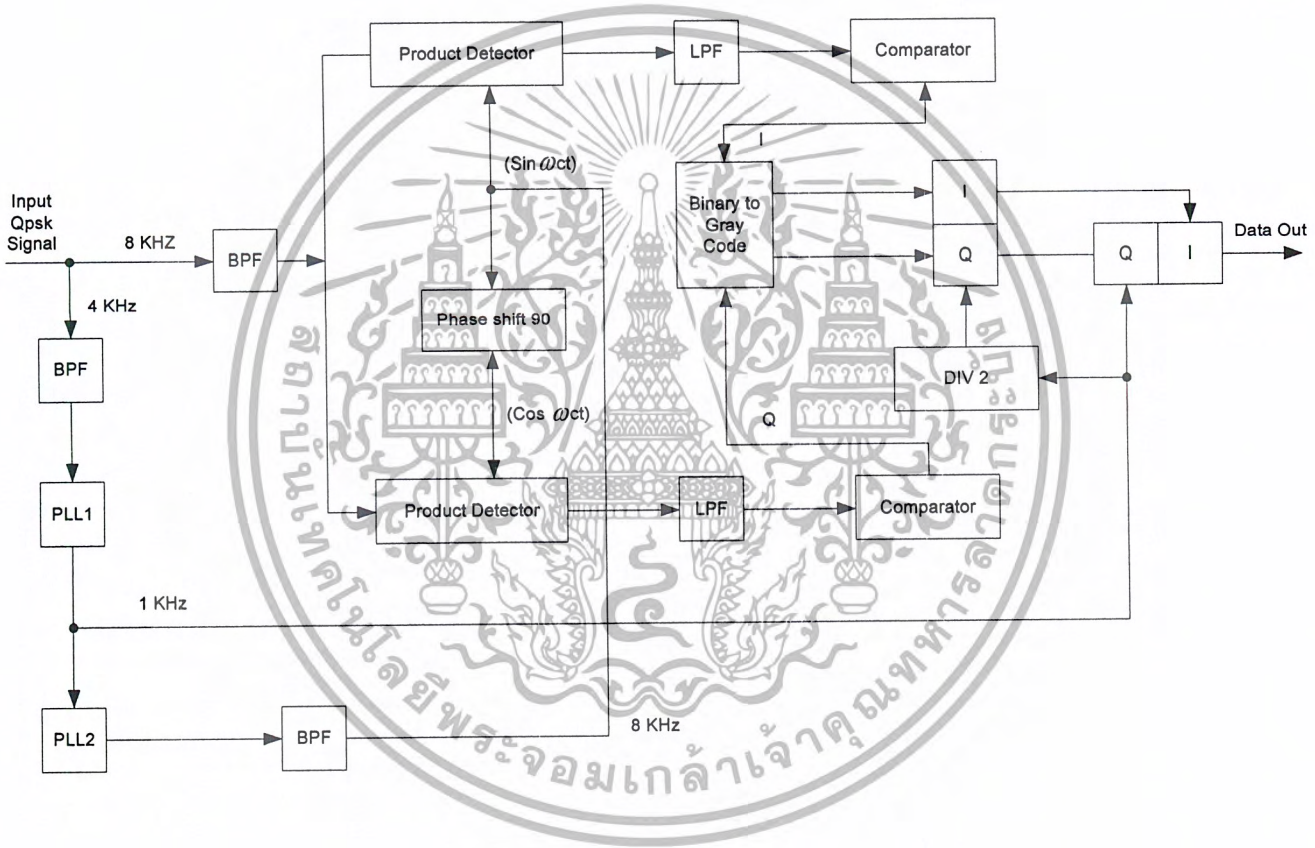
รูปบล็อกไดอะแกรม ภาคส่ง QPSK



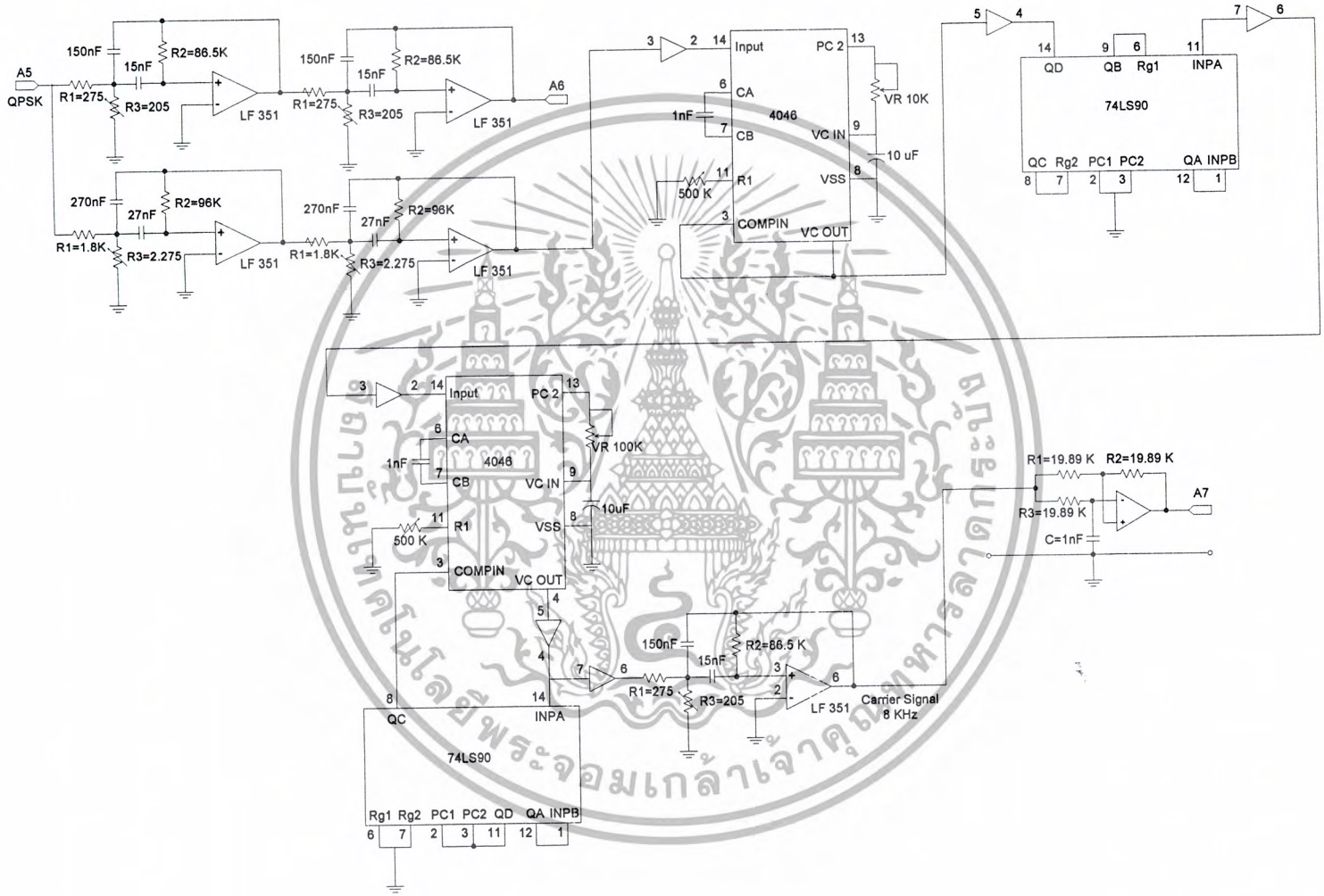
รูปวงจรภาคส่ง QPSK ส่วนที่ 1



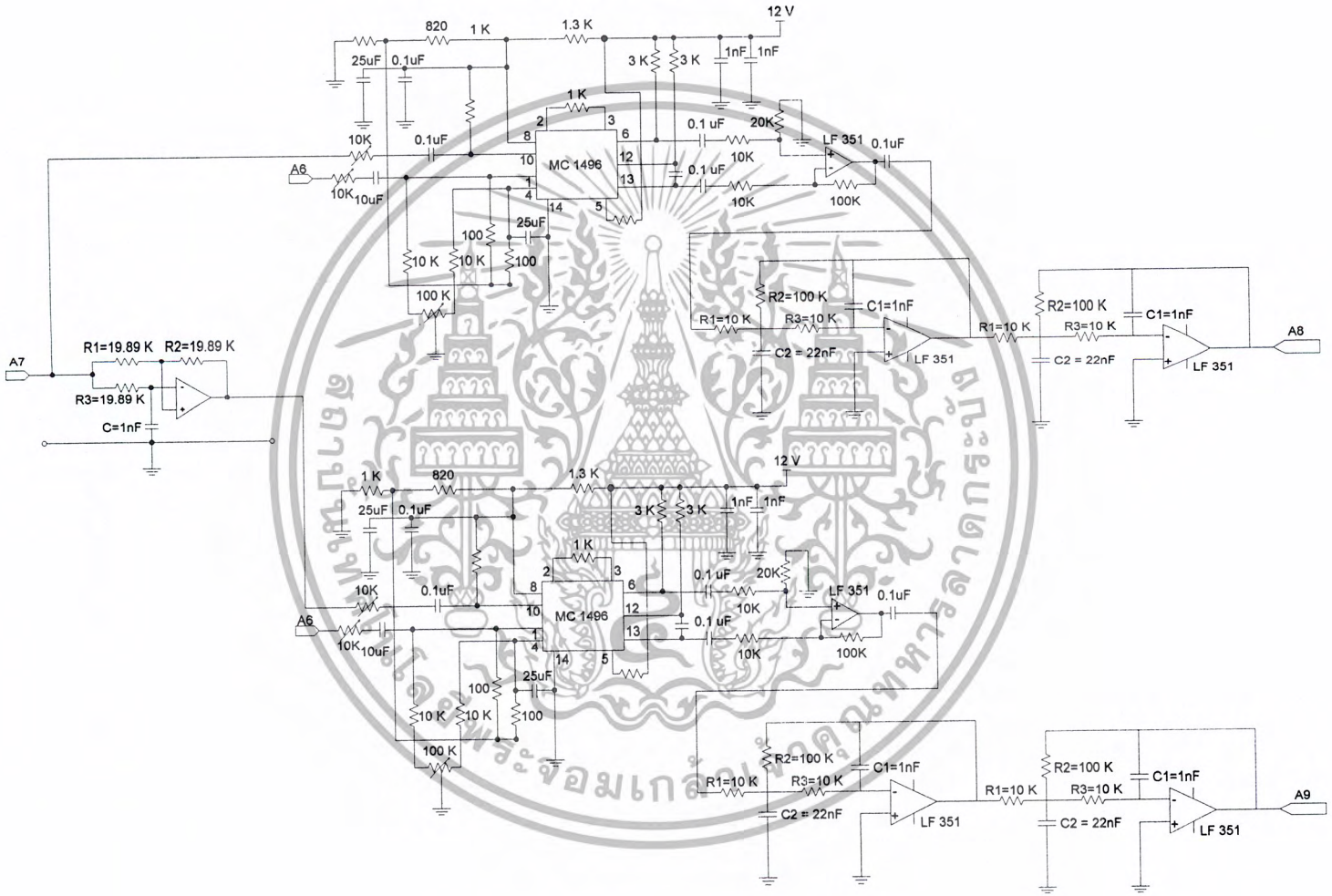
รูปวงจรภาคส่ง QPSK ส่วนที่ 2



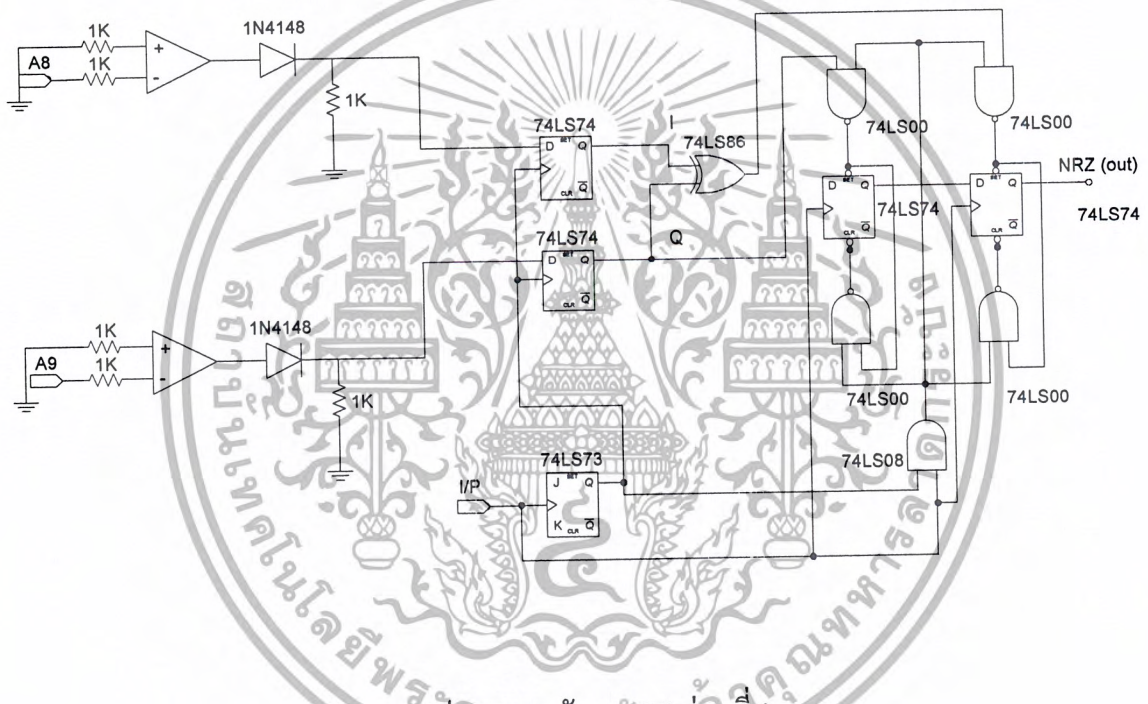
รูปบล็อกไดอะแกรมภาครับ QPSK



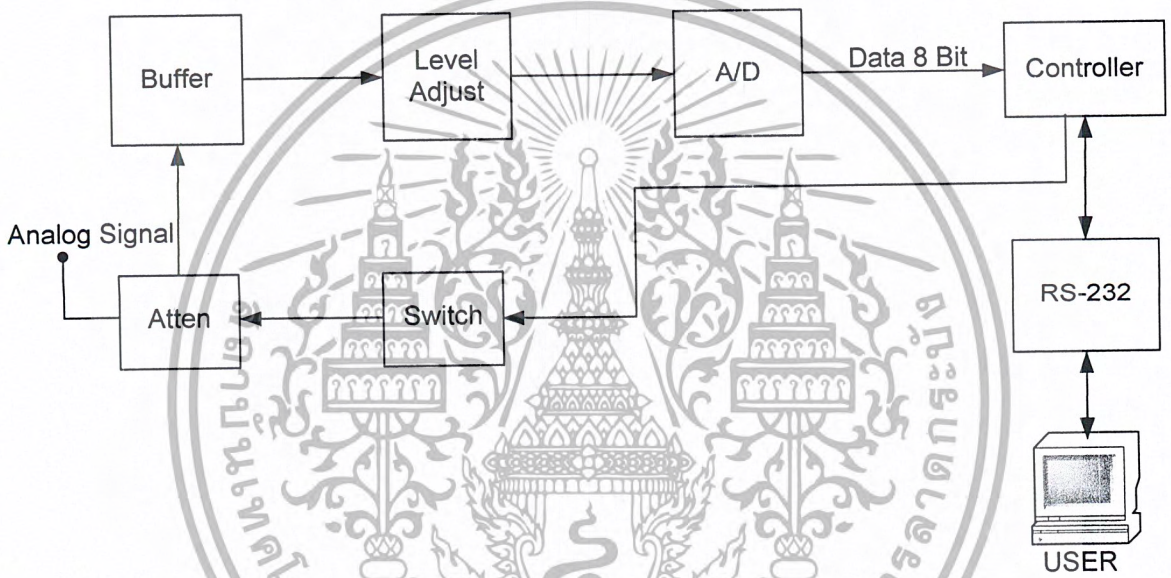
รูปวงจรภาครับ QPSK ส่วนที่ 1



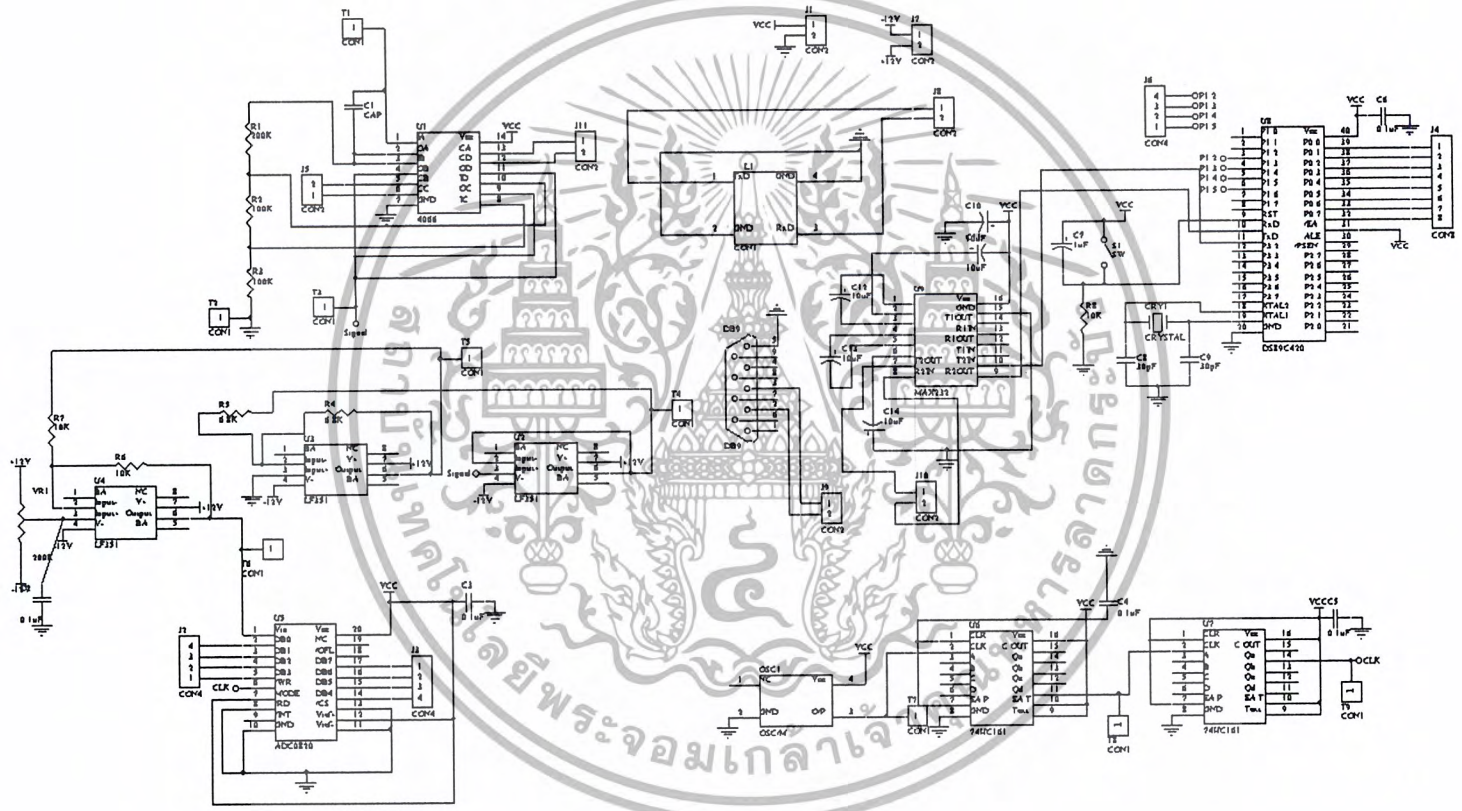
รูปวงจรภาครับ QPSK ส่วนที่ 2



รูปวงจรภาครับ QPSK ส่วนที่ 3



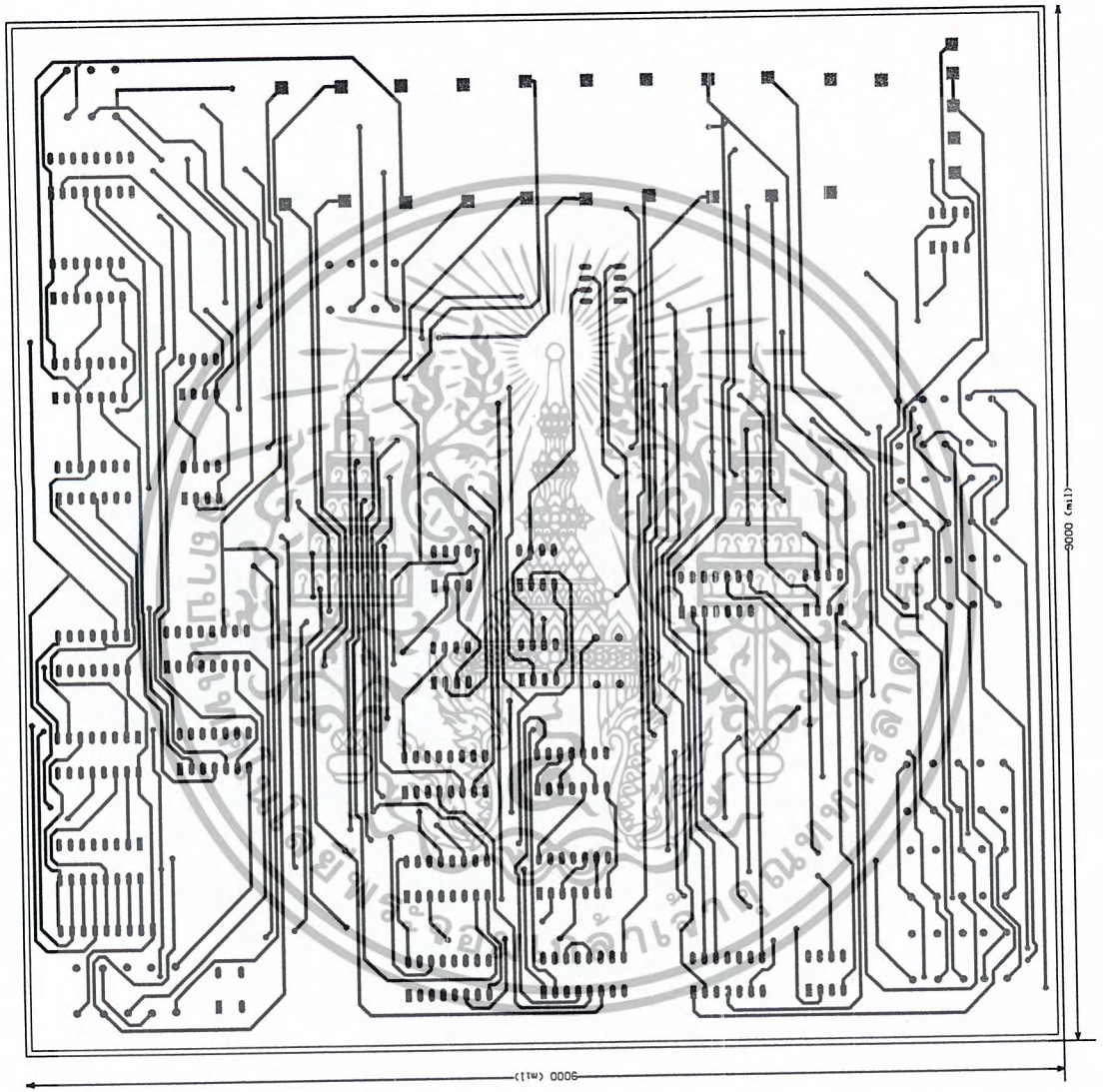
รูปบล็อกไดอะแกรมของ A/D



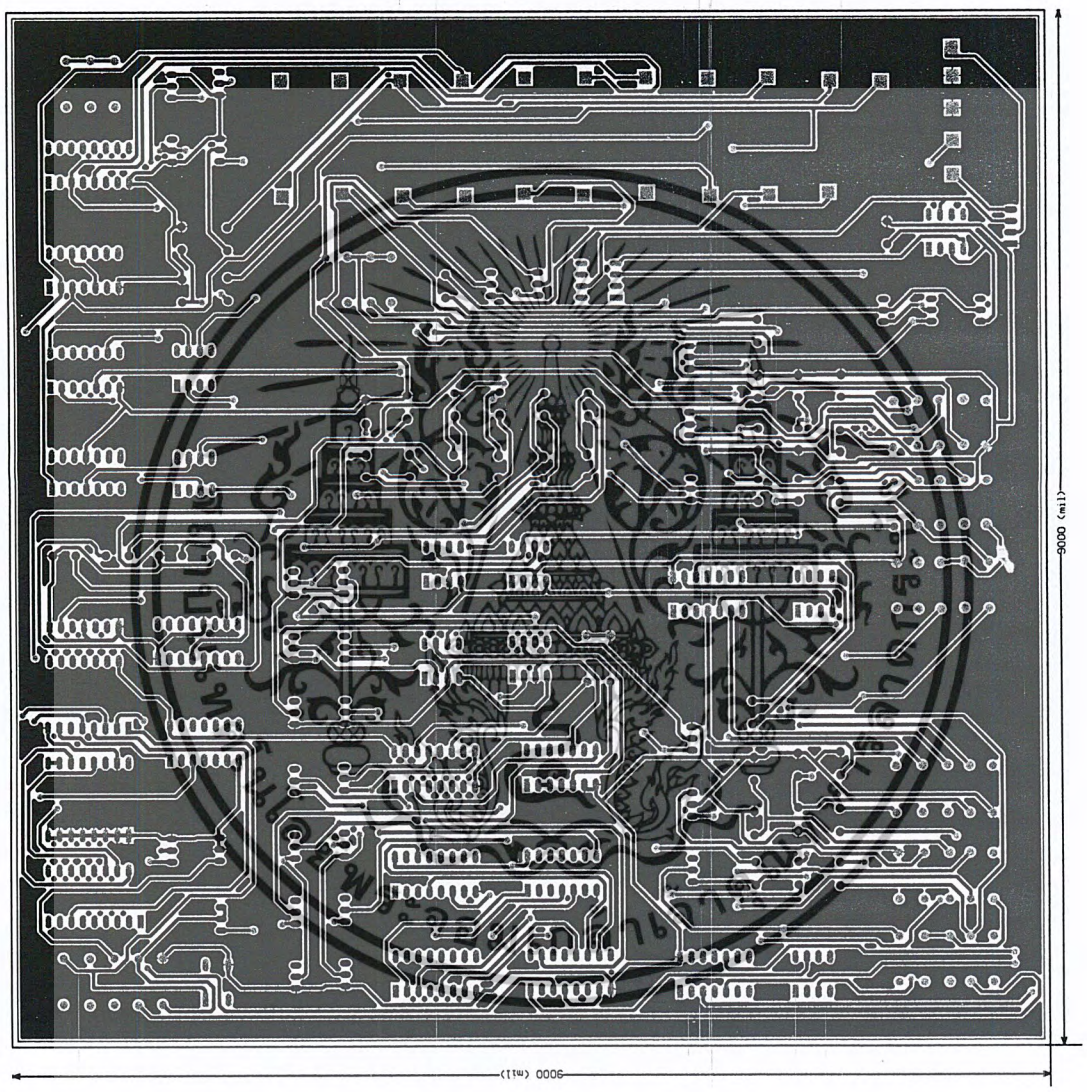
รูปวงจรของ A/D

ภาคผนวก ข.
ลายวงจรอิเล็กทรอนิกส์

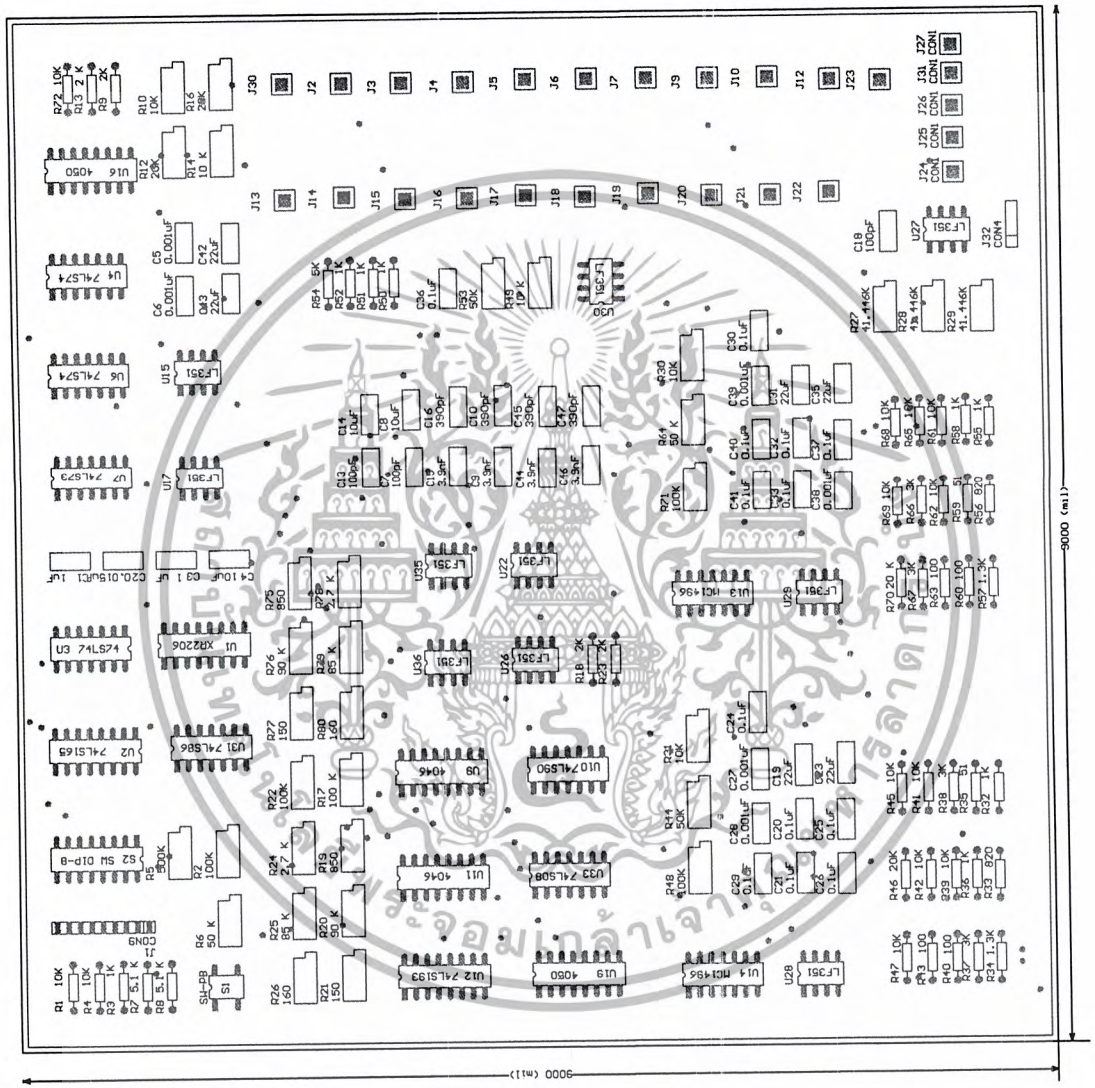
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



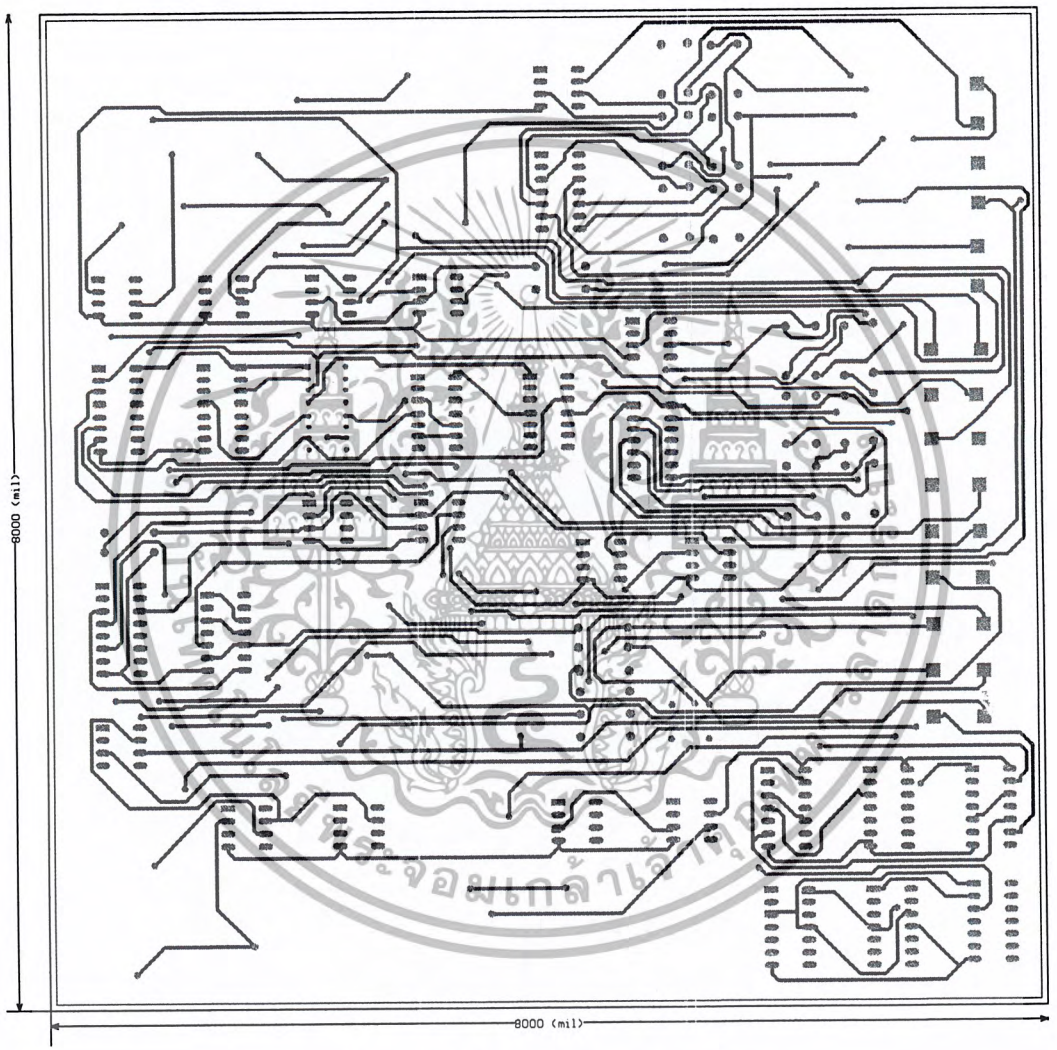
รูปลายวงจรด้านบนของภาคส่ง QPSK



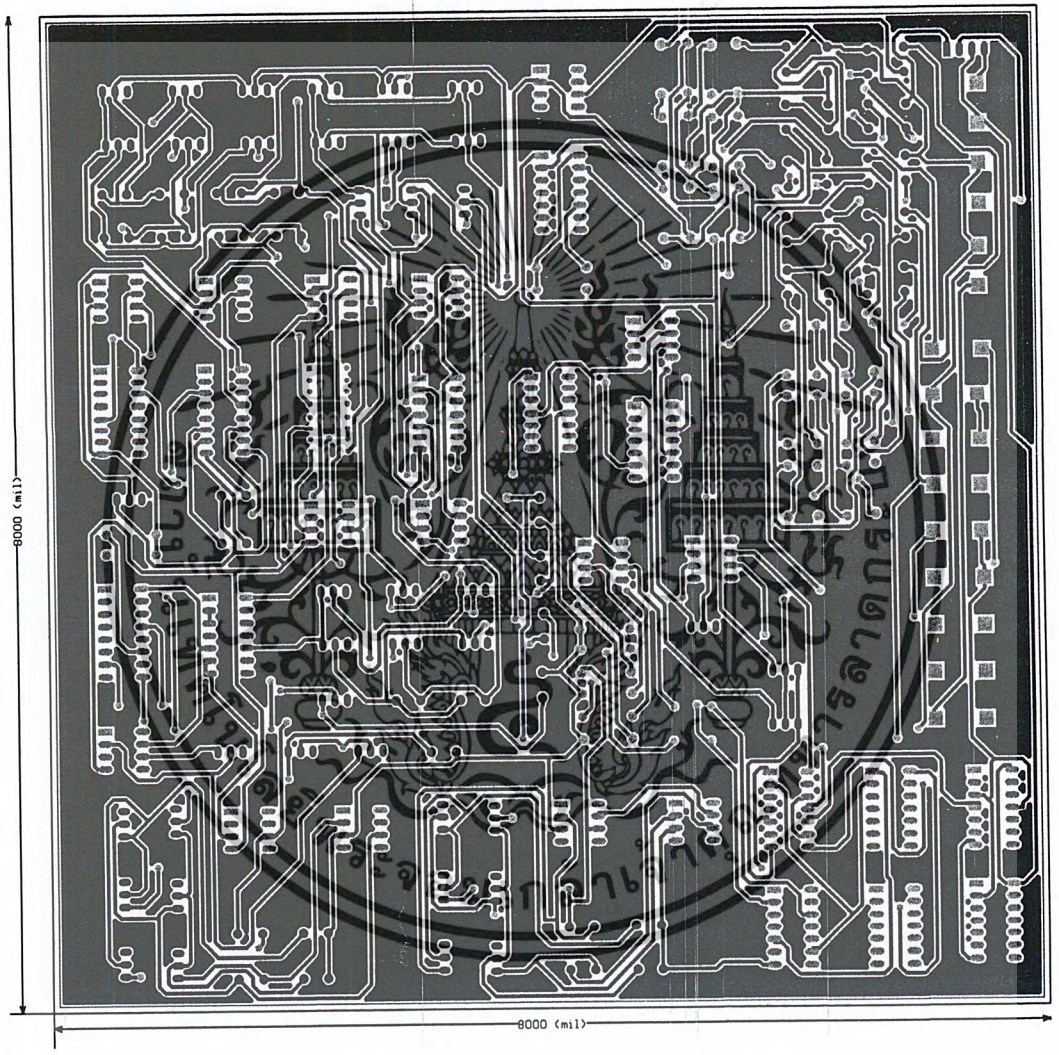
รูปลายวงจรด้านล่างของภาคส่ง QPSK



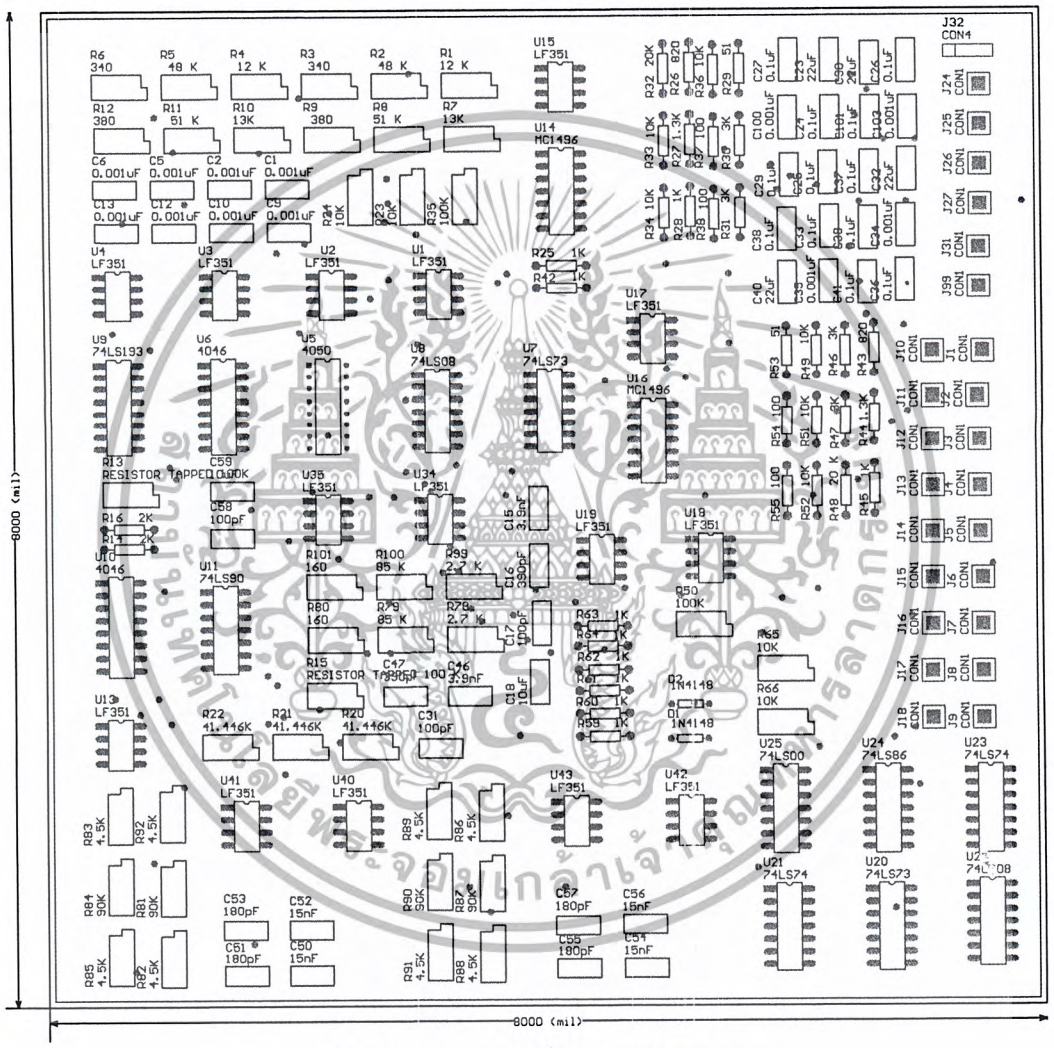
รูปการจัดวางอุปกรณ์ของภาคส่ง QPSK



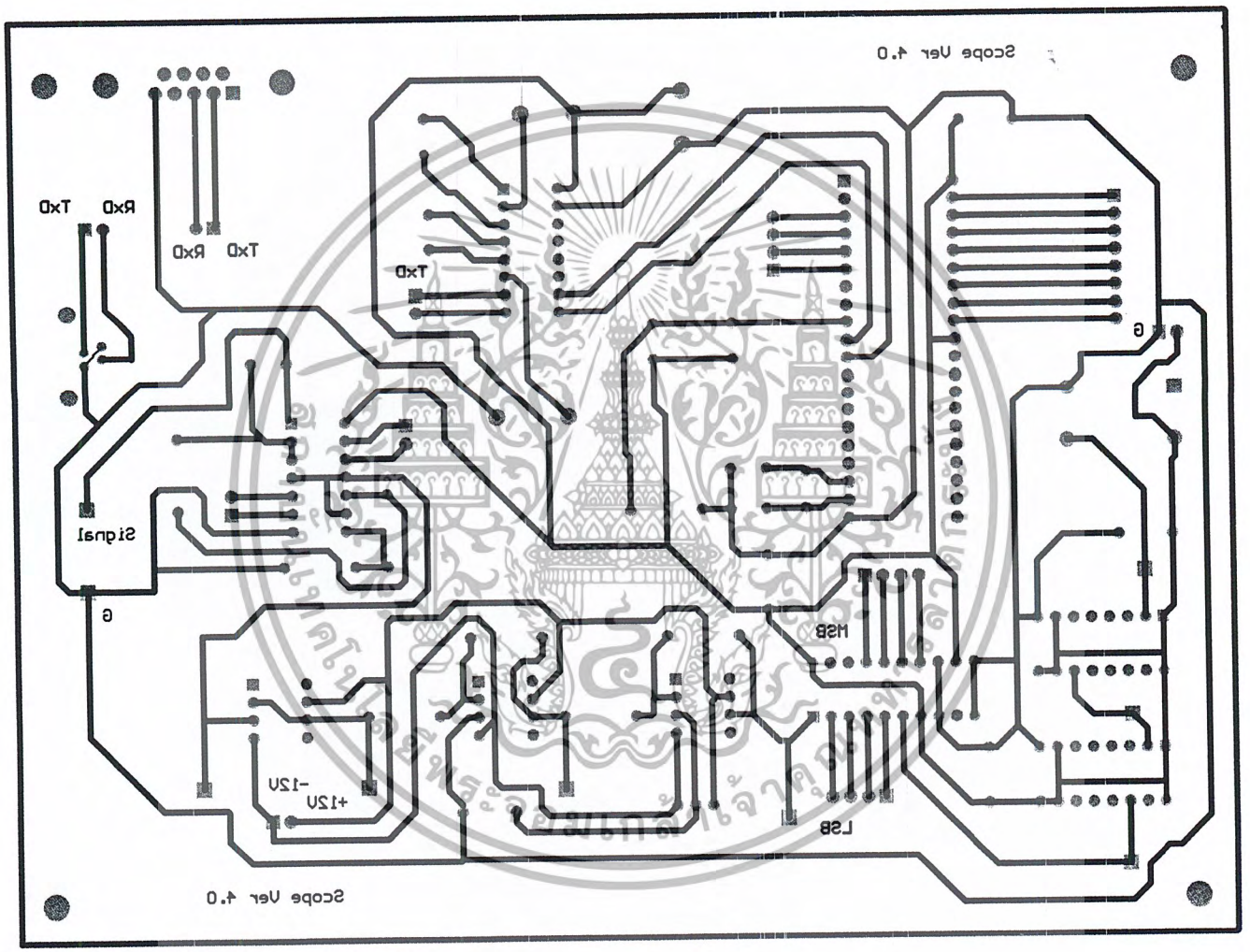
รูปลายวงจรด้านบนของภาครับ QPSK



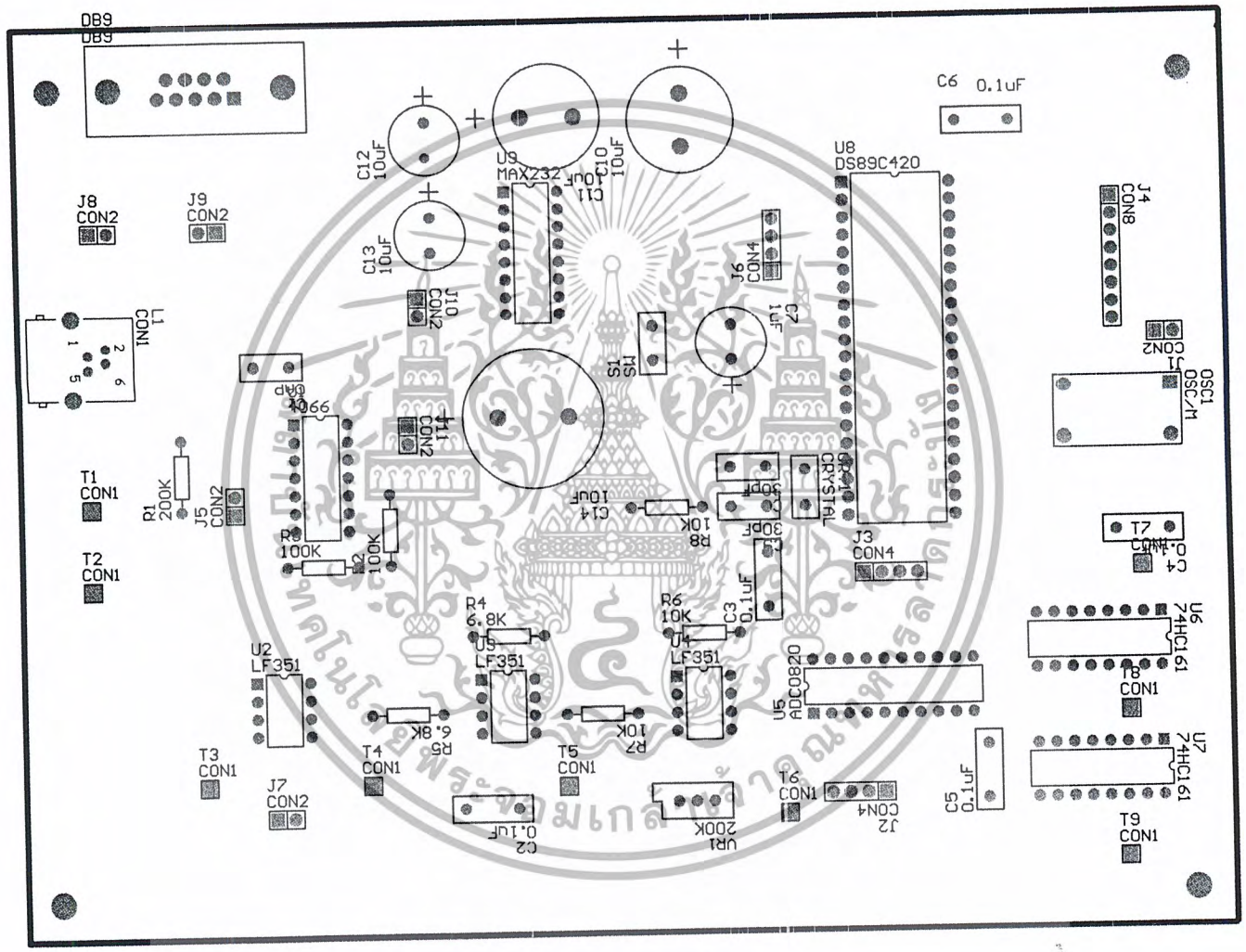
รูปลายวงจรด้านล่างของภาครับ QPSK



รูปการจัดวางอุปกรณ์ของภาครับ QPSK



รูปลายวงจร A/D ด้านบน



รูปการจัดวางอุปกรณ์ของ A/D

ภาคผนวก ค.

Source Code โปรแกรม Visual Basic และ โปรแกรม MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Dim zeta, loop_x As Integer
Dim selec_program As Byte

Private Sub Check1_Click()
Call setting_v
End Sub

'############### sub program set the paramiter of port by click ##############
Private Sub Command1_Click()
Static buffer As Variant
Static number1, number2 As Byte
'If KeyCode = 13 Then
   For number1 = 1 To 5
      If Val(sent_data(number1).Text) <= 255 Then
         number2 = Val(sent_data(number1).Text)
         buffer = "I" 'Chr$(number2)
         MSComm1.Output = buffer
       'Else
         'MSComm1.Output = "255"
       End If
   Next
   sent_data(1).SetFocus
   sent_data(1).Text = ""
End Sub

'############### sub program set the paramiter of port ##############
Private Sub Command2_Click()
Form1.MSComm1.PortOpen = False
MSComm1.Settings = Text2.Text
MSComm1.CommPort = Val(Text1.Text)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Form1.MSComm1.PortOpen = True
End Sub

Private Sub Command3_Click()
If Command3.Caption = "PAUSE" Then
    Command3.Caption = "Please wait"
End If
If Command3.Caption = "RUN" Then
    Command3.Caption = "PAUSE"
     time_receives_1.Enabled = True
End If
End Sub

Private Sub exit_Click()
End
End Sub

'################ sub program load basic paramiter ################
Private Sub Form_Load()
MSComm1.Settings = "9600,N,8,1"
MSComm1.CommPort = 1
If Not MSComm1.PortOpen Then
    MSComm1.PortOpen = True
Else
    MsgBox ("Port already Open"), , "comport Error"
End If
monitor_1.Scale (-16, 144)-(336, -144)
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Private Sub HScroll1_Change()
If time_receives_1.Enabled = False Then
   Static div_x As Integer
   monitor_1.Cls

   '################ program show screen ##############
   Static data_x, data_y As Single
   monitor_1.Line (0, 128)-(0, -128)
   monitor_1.Line (320, 128)-(320, -128)
   monitor_1.Line (0, -128)-(320, -128)
   monitor_1.Line (0, 128)-(320, 128)
'monitor_1.Line (50, -40)-(50, 40)
'monitor_1.Line (0, 0)-(100, 0)
   For data_x = -0 To 320 Step 3.2
       monitor_1.PSet (data_x, 0)
   Next
   For data_y = -128 To 128 Step 3.2
       monitor_1.PSet (160, data_y)
Next
For data_y = -128 To 128 Step 32
   For data_x = 0 To 320 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
For data_x = 0 To 320 Step 32
   For data_y = -128 To 128 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
'################ program write graphs on screen ###############
   data_x = 0
   For div_x = 0 To 320 Step HScroll2.Value
      data_x = data_x + 1
      monitor_1.Line (div_x, (data_signal(data_x + HScroll1.Value) - 128))-(div_x +
HScroll2.Value, (data_signal(data_x + 1 + HScroll1.Value) - 128))
      'monitor_1.PSet (data_x, data_signal(data_x))
   Next
   loop_x = 0
End If
End Sub

Private Sub HScroll2_Change()
If time_receives_1.Enabled = False Then
HScroll1.Max = HScroll2.Value * 10
Static div_x As Integer
   monitor_1.Cls
   '################ program show screen ###############
   Static data_x, data_y As Single
   monitor_1.Line (0, 128)-(0, -128)
   monitor_1.Line (320, 128)-(320, -128)
   monitor_1.Line (0, -128)-(320, -128)
   monitor_1.Line (0, 128)-(320, 128)
 'monitor_1.Line (50, -40)-(50, 40)
 'monitor_1.Line (0, 0)-(100, 0)
   For data_x = -0 To 320 Step 3.2
      monitor_1.PSet (data_x, 0)
   Next
   For data_y = -128 To 128 Step 3.2
      monitor_1.PSet (160, data_y)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Next
For data_y = -128 To 128 Step 32
   For data_x = 0 To 320 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
For data_x = 0 To 320 Step 32
   For data_y = -128 To 128 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
'############### program write graphs on screen ###############
   data_x = 0
   For div_x = 0 To 320 Step HScroll2.Value
      data_x = data_x + 1
      monitor_1.Line (div_x, (data_signal(data_x + HScroll1.Value) - 128))-(div_x +
HScroll2.Value, (data_signal(data_x + 1 + HScroll1.Value) - 128))
      'monitor_1.PSet (data_x, data_signal(data_x))
   Next
   loop_x = 0
End If
End Sub

Private Sub HScroll3_Change()
Static buffer As Variant
Static number2 As Byte
buffer = Chr$(HScroll3.Value)
MSComm1.Output = buffer
MSComm1.InBufferCount = 0
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Private Sub HScroll4_Change()
Call setting_v
End Sub

'############### sub program make sin wave signal ##############
Private Sub make_sin_1_Timer()
Static number1 As Single
Static number2 As Byte
zeta = zeta + 0.01
If zeta > 320 Then
   zeta = 0
End If
number1 = Sin(zeta)
   number2 = (64 * number1) + 128
'If number1 <> 0 Then
   'number2 = 128 * number1
'Else
   'number2 = 0
'End If
buffer = Chr$(number2)
MSComm1.Output = buffer
End Sub

Private Sub open_Click()
If Command3.Caption = "PAUSE" Then
   Command3.Caption = "Please wait"
   selec_program = 1
End If
If Command3.Caption = "RUN" Then
   Dialog_open.Show modal
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
End If
End Sub

Private Sub save_Click()
If Command3.Caption = "PAUSE" Then
   Command3.Caption = "Please wait"
   selec_program = 2
End If
If Command3.Caption = "RUN" Then
   Dialog_save.Show modal
End If
End Sub

Private Sub sent_data_KeyDown(Index As Integer, KeyCode As Integer, Shift As Integer)
Static buffer As Variant
Static number1, number2 As Byte
If KeyCode = 13 Then
   If sent_data(Index).Text = "" Then sent_data(Index).Text = "0"
   If Val(sent_data(Index).Text) > 255 Then sent_data(Index).Text = "255"
   If Index < 5 Then
      sent_data(Index + 1).Text = ""
      sent_data(Index + 1).SetFocus
   Else
   For number1 = 1 To 5
      If Val(sent_data(number1).Text) <= 255 Then
         number2 = Val(sent_data(number1).Text)
         buffer = "I" 'Chr$(number2)
         MSComm1.Output = buffer
      'Else
         'MSComm1.Output = "255"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      End If
    Next
      sent_data(1).SetFocus
      sent_data(1).Text = ""
    End If
  End If
End Sub

Private Sub time_receives_1_Timer()
'################ program check value of data ###############
'If MSComm1.InBufferCount < 100 Then
   'Call receives
   If MSComm1.InBufferCount > 1023 Then
   loop_x = loop_x + 1
   'commdata5 = MSComm1.Input
   data_signal = MSComm1.Input
   'Receive_data.Caption = commdata5(0)
   Label1.Caption = MSComm1.InBufferCount
   'data_signal(loop_x) = commdata5(0) - 128
'End If
'Else
   monitor_1.Cls
   '################ program show screen ###############
 Static div_x As Integer
 Static data_x, data_y As Single
 monitor_1.Line (0, 128)-(0, -128)
 monitor_1.Line (320, 128)-(320, -128)
 monitor_1.Line (0, -128)-(320, -128)
 monitor_1.Line (0, 128)-(320, 128)
 'monitor_1.Line (50, -40)-(50, 40)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
'monitor_1.Line (0, 0)-(100, 0)
For data_x = -0 To 320 Step 3.2
      monitor_1.PSet (data_x, 0)
Next
For data_y = -128 To 128 Step 3.2
      monitor_1.PSet (160, data_y)
Next
For data_y = -128 To 128 Step 32
   For data_x = 0 To 320 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
For data_x = 0 To 320 Step 32
   For data_y = -128 To 128 Step 6.4
   monitor_1.PSet (data_x, data_y)
   Next
Next
'################ program write graphs on screen ################
   data_x = 0
   For div_x = 0 To 320 Step HScroll2.Value
      data_x = data_x + 1
      monitor_1.Line (div_x, (data_signal(data_x + HScroll1.Value) - 128))-(div_x +
HScroll2.Value, (data_signal(data_x + 1 + HScroll1.Value) - 128))
      'monitor_1.PSet (data_x, data_signal(data_x))
   Next
   loop_x = 0
   If Command3.Caption = "Please wait" Then
      time_receives_1.Enabled = False
      Command3.Caption = "RUN"
      Select Case selec_program
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      Case 1
         Dialog_open.Show modal
      Case 2
         Dialog_save.Show modal
      End Select
      selec_program = 0
   End If
End If
End Sub

'################ sub program receive data from mcs ###############
Private Sub receives()
If MSComm1.InBufferCount > 1 Then
   loop_x = loop_x + 1
   commdata5 = MSComm1.Input
   Receive_data.Caption = commdata5(0)
   Label1.Caption = MSComm1.InBufferCount
   data_signal(loop_x) = commdata5(0) - 128
End If
End Sub

Private Sub setting_v()
Static buffer As Variant
Static number2 As Byte
If Check1.Value = 0 Then
   Select Case HScroll4.Value
   Case 1
      buffer = Chr$(129)
   Case 2
      buffer = Chr$(130)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Case 3
      buffer = Chr$(132)
    End Select
  Else
    Select Case HScroll4.Value
    Case 1
      buffer = Chr$(137)
    Case 2
      buffer = Chr$(138)
    Case 3
      buffer = Chr$(140)
    End Select
  End If
  MSComm1.Output = buffer
  MSComm1.InBufferCount = 0
  End Sub

  Private Sub open_data()
  End Sub

  Private Sub save_data()
  End Sub
```

ฟังก์ชั่น Open

```
Option Explicit

Private Sub CancelButton_Click()
Unload Me
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Private Sub Dir1_Change()
File1.Path = Dir1
End Sub

Private Sub Drive1_Change()
Dir1 = Drive1
End Sub

Private Sub File1_Click()
Label1.Caption = "path is " + File1.Path + "\" + File1
End Sub

Private Sub OKButton_Click()
'Open File1.Path + "\" + File1 For Input As 1
'Line Input #1, d
Static aa$
Dim loop_a As Integer
Open File1.Path + "\" + File1 For Input As #1
For loop_a = 0 To 1023
   Input #1, aa$
   data_signal(loop_a) = Val(aa$)
Next
Close
Dialog_open.Visible = False
'#####################################
If Form1.time_receives_1.Enabled = False Then
   Static div_x As Integer
   Form1.monitor_1.Cls
   '############### program show screen ##############
   Static data_x, data_y As Single
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Form1.monitor_1.Line (0, 128)-(0, -128)
    Form1.monitor_1.Line (320, 128)-(320, -128)
    Form1.monitor_1.Line (0, -128)-(320, -128)
    Form1.monitor_1.Line (0, 128)-(320, 128)
'monitor_1.Line (50, -40)-(50, 40)
'monitor_1.Line (0, 0)-(100, 0)
    For data_x = -0 To 320 Step 3.2
        Form1.monitor_1.PSet (data_x, 0)
    Next
    For data_y = -128 To 128 Step 3.2
        Form1.monitor_1.PSet (160, data_y)
Next
For data_y = -128 To 128 Step 32
    For data_x = 0 To 320 Step 6.4
    Form1.monitor_1.PSet (data_x, data_y)
    Next
Next
For data_x = 0 To 320 Step 32
    For data_y = -128 To 128 Step 6.4
    Form1.monitor_1.PSet (data_x, data_y)
    Next
Next
'################ program write graphs on screen ##############
    data_x = 0
    For div_x = 0 To 320 Step Form1.HScroll2.Value
        data_x = data_x + 1
        Form1.monitor_1.Line (div_x, (data_signal(data_x + Form1.HScroll1.Value) - 128))-(div_x
+ Form1.HScroll2.Value, (data_signal(data_x + 1 + Form1.HScroll1.Value) - 128))
        'monitor_1.PSet (data_x, data_signal(data_x))
    Next
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  'loop_x = 0
End If
End Sub
```

ฟังก์ชั่น Save

```
Option Explicit

Private Sub CancelButton_Click()
Unload Me
End Sub

Private Sub Dir1_Change()
File1.Path = Dir1
End Sub

Private Sub Drive1_Change()
Dir1 = Drive1
End Sub

Private Sub File1_Click()
Label1.Caption = "path is " + File1.Path + "\" + File1
End Sub

Private Sub OKButton_Click()
Dim loop_a As Integer
'If File1 = "" Then
   Open File1.Path + "\" + File1 For Output As #1
'Else
'  Open File1.Path + "\" + Text1.Text For Output As #1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
'End If
For loop_a = 0 To 1023
   Print #1, Str(data_signal(loop_a))
Next
Close
Dialog_save.Visible = False
'#####################################
If Form1.time_receives_1.Enabled = False Then
   Static div_x As Integer
   Form1.monitor_1.Cls
   '############### program show screen ###############
   Static data_x, data_y As Single
   Form1.monitor_1.Line (0, 128)-(0, -128)
   Form1.monitor_1.Line (320, 128)-(320, -128)
   Form1.monitor_1.Line (0, -128)-(320, -128)
   Form1.monitor_1.Line (0, 128)-(320, 128)
'monitor_1.Line (50, -40)-(50, 40)
'monitor_1.Line (0, 0)-(100, 0)
   For data_x = -0 To 320 Step 3.2
      Form1.monitor_1.PSet (data_x, 0)
   Next
   For data_y = -128 To 128 Step 3.2
      Form1.monitor_1.PSet (160, data_y)
Next
For data_y = -128 To 128 Step 32
   For data_x = 0 To 320 Step 6.4
   Form1.monitor_1.PSet (data_x, data_y)
   Next
Next
For data_x = 0 To 320 Step 32
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    For data_y = -128 To 128 Step 6.4
    Form1.monitor_1.PSet (data_x, data_y)
    Next
  Next
'################ program write graphs on screen ##############
    data_x = 0
    For div_x = 0 To 320 Step Form1.HScroll2.Value
      data_x = data_x + 1
      Form1.monitor_1.Line (div_x, (data_signal(data_x + Form1.HScroll1.Value) - 128))-(div_x
+ Form1.HScroll2.Value, (data_signal(data_x + 1 + Form1.HScroll1.Value) - 128))
      'monitor_1.PSet (data_x, data_signal(data_x))
    Next
    'loop_x = 0
  End If
  End Sub

  Private Sub Timer1_Timer(Index As Integer)
  Label1.Caption = "path is " + File1.Path + "\" + File1
  End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;###############OSC Scope Program##############


;###############Define Variable#################
PMR         EQU   0C4H          ;PMR Register
CKCON       EQU   08EH          ;CKCON Register
TIME_DIV    EQU   00H           ;Memory ADDR of Time Division Variable
INPUT_CTRL  EQU   01H           ;Volt DIV , AC/DC
SERIAL_BUF  EQU   02H           ;Serial Port Input Buffer
;#########################################
            ORG   0000H
            LJMP  MAIN          ;Jump To Main Program

            ORG   0023H
            LJMP  INT_SERV      ;Jump To Interrupt Service of Serial Port

            ORG   0100H
MAIN:       MOV SP,#030H        ;First ADDR of Stack
            MOV PMR,#00001001B  ;ENABLE SRAM MEMORY
            MOV CKCON,#00000000B ;STRETCH CYCLES 0 FOR MOVX
            MOV IE,#10010000B   ;ENABLE
            MOV TMOD,#00100000B ;ตั้งค่าใน TMOD Register ให้เริ่มค่าใหม่อัตโนมัติ
            MOV TL1,#0FDH       ;ตั้งค่าอัตรารับส่งข้อมูล9600bit/sec
            MOV TH1,#0FDH
            MOV SCON,#01010000B
            MOV P1,#00H
            MOV TIME_DIV,#00H
            MOV INPUT_CTRL,#00H
            MOV SERIAL_BUF,#00H
            SETB TR1            ;สั่งtimer1ทำงาน
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
REPEAT:       MOV P1,INPUT_CTRL
              MOV DPTR,#0000H          ;Set DPTR To #0000H
              ACALL STOREDATA
              MOV DPTR,#0000H          ;Set DPTR To #0000H
              ACALL SENDDATA
              SJMP REPEAT
              RET

STOREDATA:    ACALL DELAY              ;Call Delay For Adjust Time/DIV
              MOV A,P0                 ;Load P0 To Accumulator
              MOVX @DPTR,A             ;Load Accumulator To External Memory
              INC DPTR                 ;Increase External Data Pointer
              MOV A,DPH
              CJNE A,#04H,STOREDATA    ;Store Data Until DPTR Reach #03FFH
              RET

SENDDATA:     MOVX A,@DPTR
              MOV SBUF,A               ;ส่ง Data เข้าคอมทาง Serial Port
              JNB TI,$                 ;เปรียบเทียบเงื่อนไขเป็นจริงเมื่อ Buffer Send เรียบร้อยแล้ว
              CLR TI                   ;เคลียร์ค่าของ TI(Transmit Interrupt) bit ใน SCON Register
              INC DPTR                 ;Increase External Data Pointer
              MOV A,DPH
              CJNE A,#04H,SENDDATA     ;Store Until DPTR Reach #03FFH
              RET

GET_TIME_DIV:     MOV A,SERIAL_BUF
                  ANL A,#01111111B
                  MOV TIME_DIV,A       ;Load Accumulator To TIME_DIV
                  ACALL CLR_MEM
                  RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GET_INPUT_CTRL:   MOV A,SERIAL_BUF
                  ANL A,#00001111B
                  RL A
                  RL A
                  ANL A,#00111100B
                  MOV INPUT_CTRL,A          ;Load Accumulator To TIME_DIV
                  ACALL CLR_MEM
                  RET

DELAY:            MOV B,TIME_DIV
                  INC B
SUB_DELAY:        NOP
                  NOP
                  NOP
                  NOP
                  NOP
                  DJNZ B,$
                  RET

CLR_MEM:          MOV DPTR,#0000H           ;Set DPTR To #0000H
CLR_MEM_LP:       MOV A,#00H
                  MOVX @DPTR,A              ;Load Accumulator To External Memory
                  INC DPTR                  ;Increase External Data Pointer
                  MOV A,DPH
                  CJNE A,#04H,CLR_MEM_LP    ;Store Data Until DPTR Reach #03FFH
                  RET

INT_SERV:         JBC RI,RECIEVE_DATA
                  SJMP SERV_EXIT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
RECIEVE_DATA:    CLR RI                ;เคลียร์ค่าของ RI(Receive Interrupt) bit ใน
SCON Register
                 MOV SERIAL_BUF,SBUF   ;เก็บค่าจาก Buffer ไปเก็บไว้ใน MEM 02H
                 MOV A,SERIAL_BUF
                 JNB ACC.7,CALL_GET_TIME
                 SJMP CALL_GET_CTRL
CALL_GET_TIME:   ACALL GET_TIME_DIV
                 SJMP SERV_EXIT
CALL_GET_CTRL:   ACALL GET_INPUT_CTRL
SERV_EXIT:       RETI
                 END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

Datasheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS SEMICONDUCTOR MAXIM

DS89C420
Ultra-High-Speed Microcontroller

www.maxim-ic.com

GENERAL DESCRIPTION

The DS89C420 offers the highest performance available in 8051-compatible microcontrollers. It features a redesigned processor core that executes every 8051 instruction (depending on the instruction type) up to 12 times faster than the original for the same crystal speed. Typical applications see a speed improvement of 10 times using the same code and crystal. The DS89C420 offers a maximum crystal speed of 33MHz, achieving execution rates up to 33 million instructions per second (MIPS).

APPLICATIONS

Data Logging
Vending
Automotive Test Equipment
Motor Control
Magstripe Reader/Scanner
Consumer Electronics
Gaming Equipment
Appliances (Washers, Microwaves, etc.)
Telephones
HVAC
Building Security and Door Access Control
Building Energy Control and Management
Uninterruptible Power Supplies
Programmable Logic Controllers
Industrial Control and Automation

ORDERING INFORMATION

PART	TEMP RANGE	MAX CLOCK SPEED (MHz)	PIN-PACKAGE
DS89C420-MNG	-40°C to +85°C	25	40 PDIP
DS89C420-QNG	-40°C to +85°C	25	44 PLCC
DS89C420-ENG	-40°C to +85°C	25	44 TQFP
DS89C420-MCL	0°C to +70°C	33	40 PDIP
DS89C420-QCL	0°C to +70°C	33	44 PLCC
DS89C420-ECL	0°C to +70°C	33	44 TQFP
DS89C420-MNL	-40°C to +85°C	33	40 PDIP
DS89C420-QNL	-40°C to +85°C	33	44 PLCC
DS89C420-ENL	-40°C to +85°C	33	44 TQFP

Pin Configurations appear at end of data sheet.

FEATURES

- **80C52 Compatible**
  8051 Pin- and Instruction-Set Compatible
  Four Bidirectional I/O Ports
  Three 16-Bit Timer Counters
  256 Bytes Scratchpad RAM
- **On-Chip Memory**
  16kB Flash Memory
  In-System Programmable through Serial Port
  1kB SRAM for MOVX
- **ROMSIZE Feature**
  Selects Internal Program Memory Size from 0 to 16k
  Allows Access to Entire External Memory Map
  Dynamically Adjustable by Software
- **High-Speed Architecture**
  1 Clock-Per-Machine Cycle
  DC to 33MHz Operation
  Single-Cycle Instruction in 30ns
  Optional Variable Length MOVX to Access Fast/Slow Peripherals
  Dual Data Pointers with Auto Increment/Decrement and Toggle Select
  Supports Four Paged Modes
- **Power Management Mode**
  Programmable Clock Divider
  Automatic Hardware and Software Exit
- **Two Full-Duplex Serial Ports**
- **Programmable Watchdog Timer**
- **13 Interrupt Sources (Six External)**
- **Five Levels of Interrupt Priority**
- **Power-Fail Reset**
- **Early Warning Power-Fail Interrupt**

Note: *Some revisions of this device may incorporate deviations from published specifications known as errata. Multiple revisions of any device may be simultaneously available through various sales channels. For information about device errata, click here: www.maxim-ic.com/errata.*

REV: 102203

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

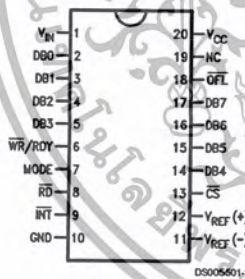
■ Resolution	8 Bits
■ Conversion Time	2.5 µs Max (RD Mode)
	1.5 µs Max (WR-RD Mode)
■ Low Power	75 mW Max
■ Total Unadjusted Error	±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply — 5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

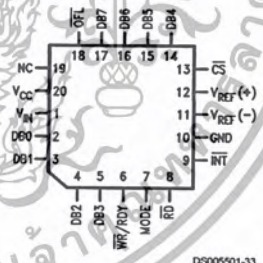
Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages



Top View

Molded Chip Carrier Package



TRI-STATE® is a registered trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1496B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See ON Semiconductor Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

ON Semiconductor™

http://onsemi.com

SO–14
D SUFFIX
CASE 751A

PDIP–14
P SUFFIX
CASE 646

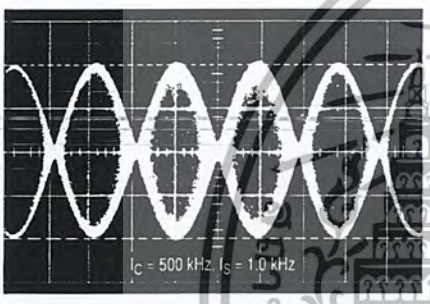


Figure 1. Suppressed Carrier Output Waveform

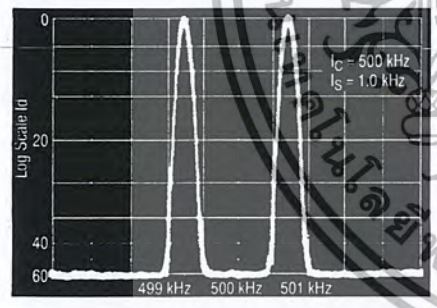


Figure 2. Suppressed Carrier Spectrum

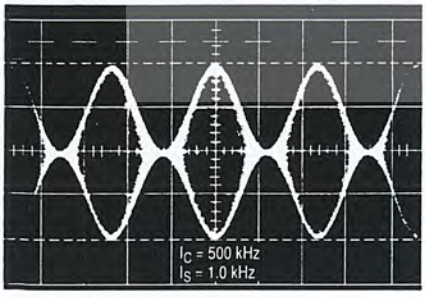
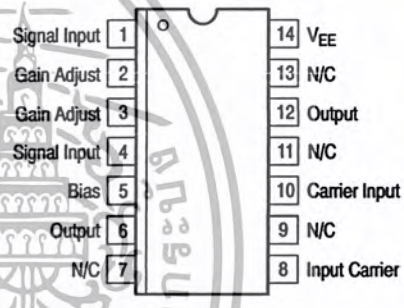


Figure 3. Amplitude Modulation Output Waveform

PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 11 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 11 of this data sheet.

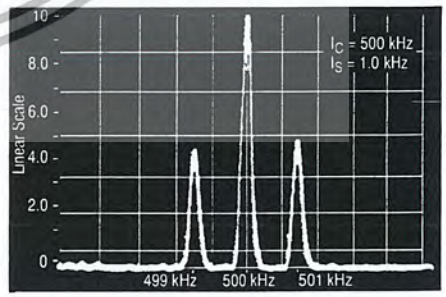


Figure 4. Amplitude–Modulation Spectrum

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

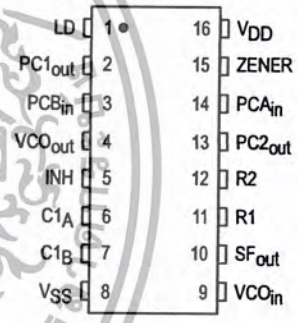
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

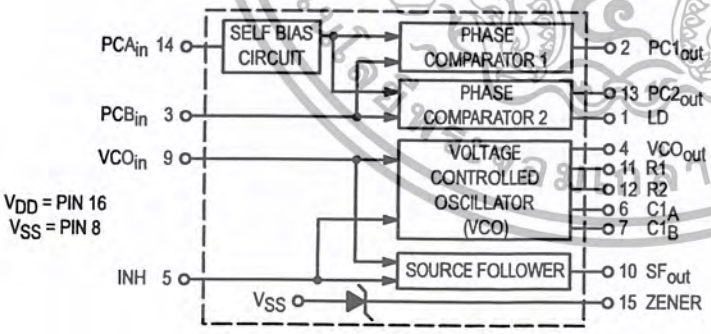
MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

T_A = – 55° to 125°C for all packages.

PIN ASSIGNMENT



BLOCK DIAGRAM



© Motorola, Inc. 1997

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14049B
MC14050B

Hex Buffer

The MC14049B Hex Inverter/Buffer and MC14050B Noninverting Hex Buffer are constructed with MOS P–Channel and N–Channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic level conversion using only one supply voltage, V_{DD}.

The input–signal high level (V_{IH}) can exceed the V_{DD} supply voltage for logic level conversions. Two TTL/DTL loads can be driven when the devices are used as a CMOS–to–TTL/DTL converter (V_{DD} = 5.0 V, $V_{OL} \leq$ 0.4 V, $I_{OL} \geq$ 3.2 mA).

Note that pins 13 and 16 are not connected internally on these devices; consequently connections to these terminals will not affect circuit operation.

- High Source and Sink Currents
- High–to–Low Level Converter
- Supply Voltage Range = 3.0 V to 18 V
- V_{IN} can exceed V_{DD}
- Meets JEDEC B Specifications
- Improved ESD Protection On All Inputs

L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBD	SOIC

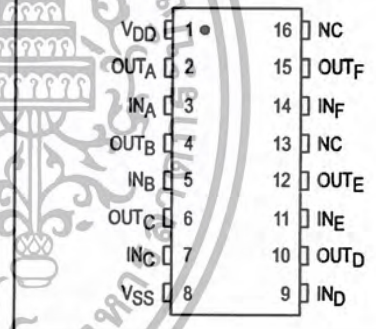
T_A = – 55° to 125°C for all packages.

MAXIMUM RATINGS[1] (Voltages Referenced to V_{SS})

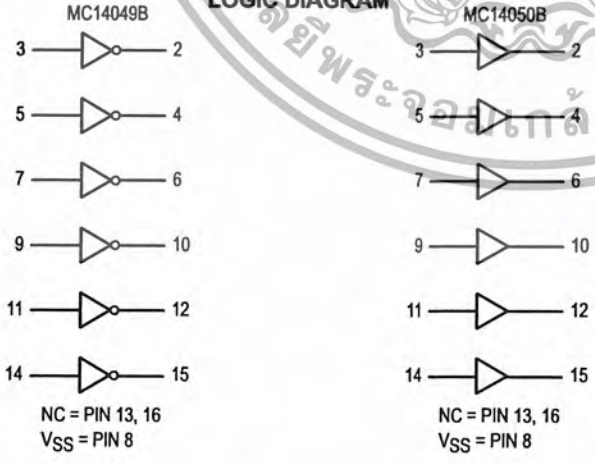
Characteristic	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 18.0	Vdc
Input Voltage (DC or Transient)	V_{IN}	– 0.5 to + 18.0	Vdc
Output Voltage (DC or Transient)	V_{out}	– 0.5 to V_{DD} + 0.5	Vdc
Input Current (DC or Transient), per Pin	I_{in}	± 10	mA
Output Current (DC or Transient), per Pin	I_{out}	+ 45	mA
Power Dissipation, per Package[2] (Plastic/Ceramic) (SOIC)	P_D	825 740	mW
Storage Temperature	T_{stg}	– 65 to + 150	°C
Lead Temperature (8 – Second Soldering)	T_L	260	°C

[1]Maximum Ratings are those values beyond which damage to the device may occur.
[2]Temperature Derating: See Figure 3.

PIN ASSIGNMENT



LOGIC DIAGRAM



REV 3
1/94

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

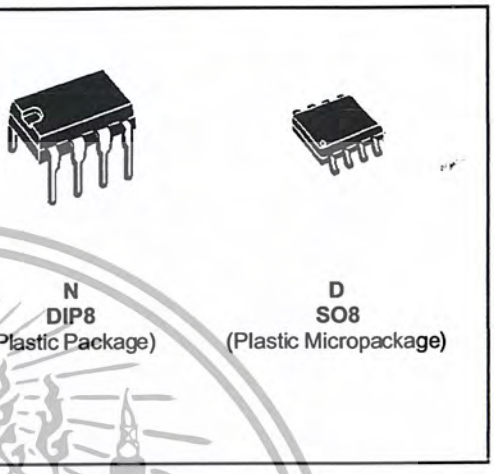
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

LF151
LF251 - LF351

WIDE BANDWIDTH SINGLE J-FET OPERATIONAL AMPLIFIERS

- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)



N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

DESCRIPTION

These circuits are high speed J–FET input single operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

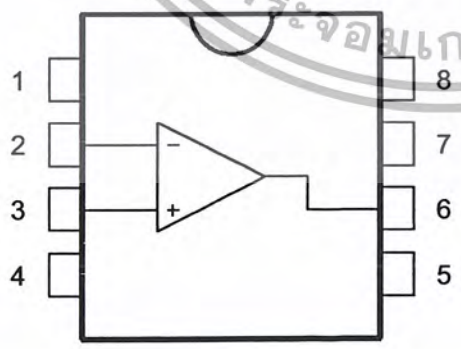
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODES

Part Number	Temperature	Package N	Package D
LF351	0°C, +70°C	•	•
LF251	–40°C, +105°C	•	•
LF151	–55°C, +125°C	•	•

151-01.TBL

PIN CONNECTIONS (top view)



1 - Offset Null 1
2 - Inverting input
3 - Non-inverting input
4 - V_{CC}^-
5 - Offset Null 2
6 - Output
7 - V_{CC}^+
8 - N.C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1992

CD4066BM/CD4066BC Quad Bilateral Switch

General Description

The CD4066BM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

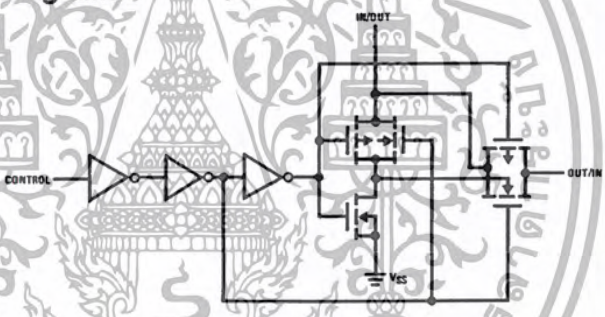
Features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} (typ.)
- Wide range of digital and analog switching — ±7.5 V_{PEAK}
- "ON" resistance for 15V operation — 80Ω
- Matched "ON" resistance over 15V signal input — ΔR_{ON} = 5Ω (typ.)
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio — 65 dB (typ.) @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree linearity — 0.1% distortion (typ.)
  - High degree linearity @ f_{is} = 1 kHz, V_{is} = 5 V_{p-p},
  - High degree linearity $V_{DD} - V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" switch leakage — 0.1 nA (typ.) @ $V_{DD} - V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance — 10^{12}Ω (typ.)
- Low crosstalk between switches — −50 dB (typ.) @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" — 40 MHz (typ.)

Applications

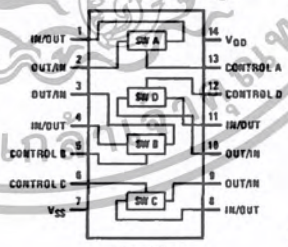
- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

Schematic and Connection Diagrams



Order Number CD4066B

Dual-In-Line Package



TL/F/5665–1

Top View

©1995 National Semiconductor Corporation TL/F/5665

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

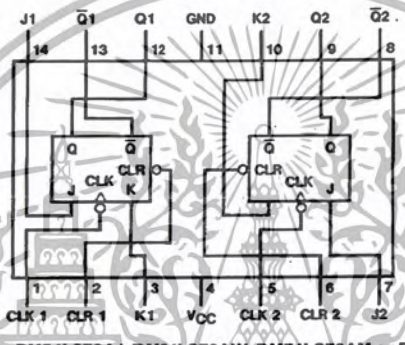
DM54LS73A/DM74LS73A Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flops with Clear and Complementary Outputs

General Description

This device contains two independent negative-edge-triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flops on the falling edge of the clock pulse. The clock triggering occurs at a voltage level and is not directly related to the transition time of the negative going edge of the clock pulse. The data on the J and K inputs is allowed to change while the clock is high or low without affecting the outputs as long as setup and hold times are not violated. A low logic level on the clear input will reset the outputs regardless of the levels of the other inputs.

Connection Diagram

Dual-In-Line Package



TL/F/6372–1

Order Number DM54LS73AJ, DM54LS73AW, DM74LS73AM or DM74LS73AN
See NS Package Number J14A, M14A, N14A or W14B

Function Table

Inputs				Outputs	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	
H	H	X	X	Q_0	$\bar{Q}_0$

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

↓ = Negative going edge of pulse.

Q_0 = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS74/DM54LS74A/DM74LS74A Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

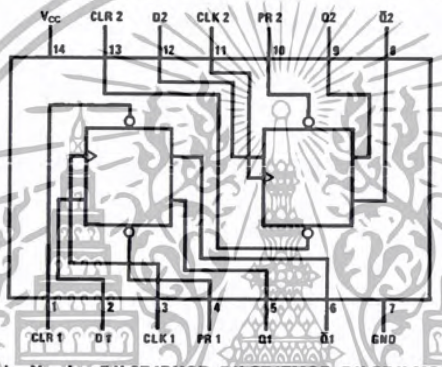
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is low or high without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Features

- Alternate military/aerospace device (54LS74) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6373–1

Order Number 54LS74DMQB, 54LS74FMQB, 54LS74LMQB, DM54LS74AJ, DM54LS74AW, DM74LS74AM or DM74LS74AN
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H = High Logic Level

X = Either Low or High Logic Level

L = Low Logic Level

↑ = Positive-going Transition

* = This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (high) level.

Q_0 = The output logic level of Q before the indicated input conditions were established.

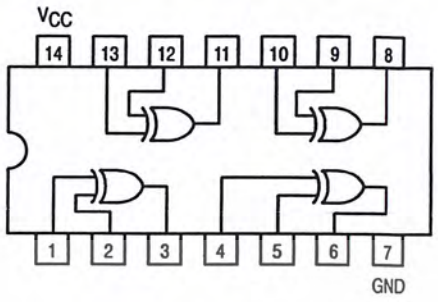
©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN74LS86

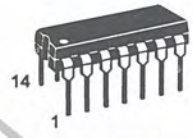
Quad 2-Input Exclusive OR Gate



ON Semiconductor™

http://onsemi.com

LOW POWER SCHOTTKY



PLASTIC N SUFFIX CASE 646

SOIC D SUFFIX CASE 751A

SOEIAJ M SUFFIX CASE 965

TRUTH TABLE

IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

ORDERING INFORMATION

Device	Package	Shipping
SN74LS86N	14 Pin DIP	2000 Units/Box
SN74LS86D	SOIC–14	55 Units/Rail
SN74LS86DR2	SOIC–14	2500/Tape & Reel
SN74LS86M	SOEIAJ–14	See Note 1
SN74LS86MEL	SOEIAJ–14	See Note 1

1. For ordering information on the EIAJ version of the SOIC package, please contact your local ON Semiconductor representative.

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

DM74LS90/DM74LS93
Decade and Binary Counters

General Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the 'LS90 and divide-by-eight for the 'LS93.

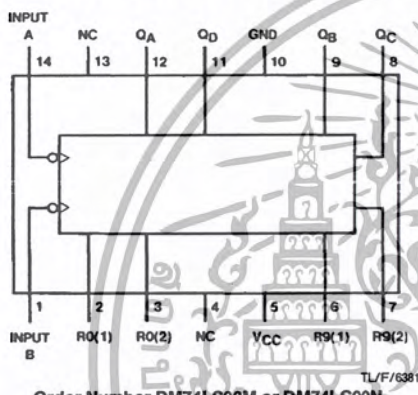
All of these counters have a gated zero reset and the LS90 also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade or four bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate truth table. A symmetrical divide-by-ten count can be obtained from the 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

Features

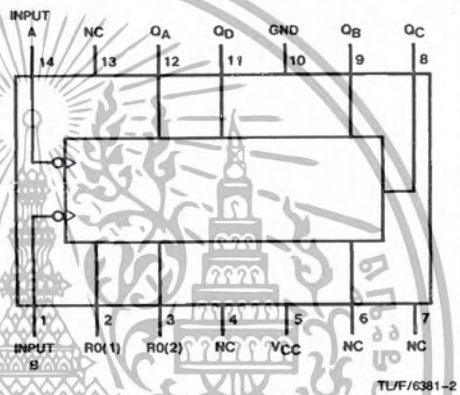
- Typical power dissipation 45 mW
- Count frequency 42 MHz

Connection Diagrams (Dual-In-Line Packages)



TL/F/6381–1

Order Number DM74LS90M or DM74LS90N
See NS Package Number M14A or N14A



TL/F/6381–2

Order Number DM74LS93M or DM74LS93N
See NS Package Number M14A or N14A

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS165
8-Bit Parallel In/Serial Output Shift Registers

General Description

This device is an 8-bit serial shift register which shifts data in the direction of Q_A toward Q_H when clocked. Parallel-in access is made available by eight individual direct data inputs, which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

Clocking is accomplished through a 2-input NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs HIGH inhibits clocking, and holding either clock input LOW with the load input HIGH enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is HIGH. Parallel loading is inhibited as long as the load input is HIGH. Data at the parallel inputs are loaded directly into the register on a HIGH-to-LOW transition of the shift/load input, regardless of the logic levels on the clock, clock inhibit, or serial inputs.

Features

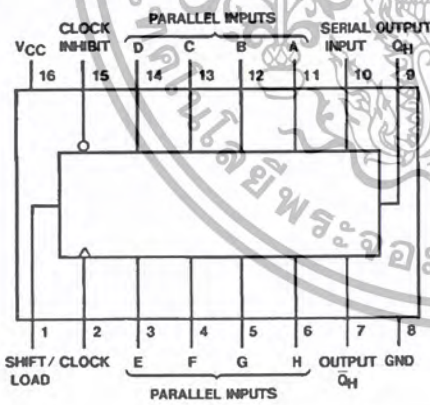
- Complementary outputs
- Direct overriding (data) inputs
- Gated clock inputs
- Parallel-to-serial data conversion
- Typical frequency 35 MHz
- Typical power dissipation 105 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS165M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS165WM	M16B	16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS165N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs					Internal Outputs		Output
Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
a...h = The level of steady-state input at inputs A through H, respectively.
Q_{A0}, Q_{B0}, Q_{H0} = The level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = The level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1989

54LS193/DM54LS193/DM74LS193 Synchronous 4-Bit Up/Down Binary Counters with Dual Clock

General Description

This circuit is a synchronous up/down 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs change together when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

The outputs of the four master-slave flip-flops are triggered by a low-to-high level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is held high.

The counter is fully programmable; that is, each output may be preset to either level by entering the desired data at the inputs while the load input is low. The output will change independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which, when taken to a high level, forces all outputs to the low level, independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements of clock drivers, etc., required for long words.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up and down counting functions. The borrow output produces a pulse equal in width to the count down input when the counter underflows.

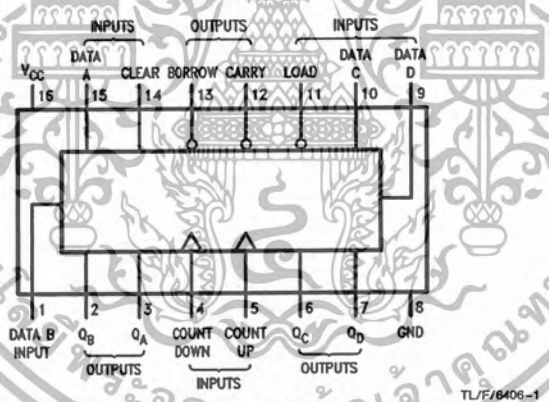
Similarly, the carry output produces a pulse equal in width to the count down input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count down and count up inputs respectively of the succeeding counter.

Features

- Fully independent clear input
- Synchronous operation
- Cascading circuitry provided internally
- Individual preset each flip-flop
- Alternate Military/Aerospace device (54LS193) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6406–1

Order Number 54LS193DMQB, 54LS193FMQB, 54LS193LMQB, DM54LS193J, DM54LS193W, DM74LS193M or DM74LS193N
See NS Package Number E20A, J16A, M16A, N16E or W16A

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้