สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองแบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด

Distributed Arithmetic Adaptive Filter Using Least Mean Square Algorithm

โดย

นาย จารุวัตร เจริญลาภกิจ

นางสาว จุฑามาศ ทองทวีผล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน..... 62108
วัน,เดือน,ปี..... 31 ก.ค. 2549

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

ภาควิชา
วิศวกรรมโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด

Distributed Arithmetic Adaptive Filter Using Least Mean Square Algorithm

โดย

นาย จารุวัตร เจริญลาภกิจ 44010065

นางสาว จุฑามาศ ทองทวีผล 44010079

อาจารย์ที่ปรึกษา

อ. ศรวัฒน์ ชิวปรีชา

อ. สมปอง วิเศษพานิชกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2547

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **วงจรกรองแบบปรับตัวได้ ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด**

Distributed Arithmetic Adaptive Filter Using LMS Algorithm

ผู้จัดทำ

1. นายจารุวัตร เจริญลาภกิจ 44010068

2. นางสาวจุฑามาศ ทองทวีผล 44010079

(_____) อาจารย์ที่ปรึกษา

อาจารย์สมปอง วิเศษพานิชกิจ

(_____) อาจารย์ที่ปรึกษา

อาจารย์ศรวัฒน์ ชิวปรีชา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบปรับตัวได้ ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด

Distributed Arithmetic Adaptive Filter Using Least Mean Square Algorithm

โดย นายจารุวัตร เจริญลาภกิจ 44010068

นางสาวจุฑามาศ ทองทวีผล 44010079

อาจารย์ที่ปรึกษา อาจารย์สมปอง วิเศษพานิชกิจ

อาจารย์ศรวัฒน์ ชิวปรีชา

บทคัดย่อ

วงจรกรองแบบปรับตัวได้มีคุณสมบัติในการปรับค่าสัมประสิทธิ์ได้อย่างอัตโนมัติ ทำให้สามารถประยุกต์ใช้กับอุปกรณ์ได้หลายอย่าง ยกตัวอย่างเช่น การประยุกต์ในการจำลองคุณลักษณะของระบบที่ไม่ทราบ, การพัฒนาเป็นอิควอไลเซอร์แบบปรับตัวได้, การกำจัดสัญญาณรบกวนและการพัฒนาอุปกรณ์เพิ่มประสิทธิภาพสาย สำหรับในโครงงานนี้จะนำเสนอการออกแบบและการสร้างวงจรกรองแบบปรับตัวได้โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด นอกจากนี้ได้นำโปรแกรมแมทแลบมาใช้ในการแสดงผลจำลองการทำงานของวงจร และใช้เทคนิคของโครงสร้างเลขคณิตกระจาย สำหรับในส่วนของการสร้างเป็นฮาร์ดแวร์

ABSTRACT

Adaptive filter can change the coefficient automatically, so we can apply to use it with many applications such as System Identification, Adaptive Equalization, Noise Cancellation and Adaptive Line Enhancer. This project is concerned about designing and implementation of adaptive filter by using LMS (Least Mean Squares) algorithm. MATLAB program is used to simulate to show the simulation results and using distributed arithmetic technique for hardware implementation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของปริญญานิพนธ์	1
1.2 วัตถุประสงค์ของปริญญานิพนธ์	2
1.3 ขอบเขตของปริญญานิพนธ์	2
1.4 เนื้อหาของปริญญานิพนธ์	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 การประมวลผลสัญญาณ	3
2.1.1 ส่วนประกอบในระบบประมวลผลสัญญาณดิจิตอล	4
2.2 วงจรกรองความถี่แบบดิจิตอล	5
2.2.1 โครงสร้างของวงจรกรองความถี่แบบดิจิตอล	6
2.2.2 วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด	7
2.3 วงจรกรองความถี่แบบปรับตัวได้	8
2.3.1 โครงสร้างพื้นฐานของวงจรกรองความถี่แบบปรับตัวได้	9
2.3.2 กรรมวิธีการพัฒนาอัลกอริทึมของวงจรกรองความถี่แบบปรับตัวได้	10
2.3.3 การวัดประสิทธิภาพในระบบปรับตัว	11
2.3.4 การประยุกต์ใช้งานวงจรกรองแบบปรับตัวได้	12
2.4 วงจรกรองความถี่ปรับตัวได้แบบเอฟไอาร์	15
2.5 หลักการเบื้องต้นของโครงสร้างเลขคณิตกระจาย	17
2.5.1 ทฤษฎีเลขคณิตกระจาย	17
2.6 วงจรกรองความถี่แบบปรับตัวได้ที่ใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด โดยใช้โครงสร้างเลขคณิตกระจาย	22
บทที่ 3 การออกแบบและการสร้าง	25
3.1 การใช้ภาษาวีเอชดีแอลออกแบบการทำงานของวงจรกรองความถี่แบบปรับตัวได้ โดยใช้โครงสร้างเลขคณิตกระจายและ LMS อัลกอริทึม	25
บทที่ 4 การทดลองและผลการทดลอง	33
4.1 ผลการทดลองการจำลองการทำงานโดยโปรแกรมแมทแลบ	33
4.1.1 ค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด	34
4.1.2 สัญญาณเอาท์พุทที่กรองได้ เมื่อสัญญาณอินพุทคือการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ	35
4.2 ผลการทดลองการออกแบบวงจรโดยใช้ภาษาวีเอชดีแอล	44
4.2.1 วงจร Parallel In Serial Out และ Serial In Serial Out	44
4.2.2 วงจรบวก/ลบ	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.2.3 วงจรหารความถี่	46
4.2.4 วงจรบัฟเฟอร์	47
4.2.5 วงจรควบคุม	48
4.2.6 วงจรสเกลลิ่งแอดคิวมูเลเตอร์	49
4.2.7 วงจรกลับบิทเครื่องหมาย	50
4.2.8 วงจรส่วนเก็บค่าและเรียกค่าข้อมูล	51
4.2.9 วงจรบวก	52
4.2.10 วงจรปรับน้ำหนัก	53
4.2.11 วงจรลบ	54
4.3 การนำโปรแกรมที่ออกแบบโดยภาษา VHDL ไปสร้างเป็นวงจรกรองความถี่แบบปรับตัวได้	57
4.3.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ	58
4.3.2 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม	59
4.3.3 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทคือการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ	60
4.3.4 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทคือการคูณกันของสัญญาณรูปไซน์ 2 สัญญาณ	68
บทที่ 5 บทวิจารณ์และบทสรุป	70
5.1 สรุปผลการทำงานของวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8	70
5.2 ปัญหาที่พบระหว่างการทำโครงงาน	71
5.3 การประยุกต์ใช้งาน	72
ภาคผนวก	
บรรณานุกรม	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 ส่วนประกอบในระบบประมวลผลสัญญาณดิจิตอล 4

รูปที่ 2.2 บล็อกไดอะแกรมของวงจรกรองเชิงเลข 6

รูปที่2.3 แสดงองค์ประกอบพื้นฐานทั้งสามที่ใช้เป็นส่วนประกอบของตัวกรองดิจิตอล 6

รูปที่ 2.4 แสดงโครงสร้างวงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด 8

รูปที่ 2.5 โครงสร้างพื้นฐานของวงจรกรองความถี่แบบปรับตัวได้ 9

รูปที่ 2.6 แสดงการประยุกต์ใช้ตัวกรองปรับตัวได้ในการจำลองคุณลักษณะ
ของระบบที่ไม่ทราบ 12

รูปที่ 2.7 แสดงการใช้อิควอไลเซอร์แบบปรับตัวได้ในระบบส่งสัญญาณ 13

รูปที่ 2.8 แสดงโครงสร้างระบบกำจัดสัญญาณรบกวนโดยใช้ตัวกรองปรับตัวได้ 14

รูปที่ 2.9 แสดงอุปกรณ์เพิ่มประสิทธิภาพสาย 14

รูปที่ 2.10 แสดงค่าที่เก็บไว้ภายในตารางเปิดดู เมื่อใช้วงจรกรองความถี่ อันดับที่ 4 22

รูปที่ 3.1 แสดงโครงสร้างของการออกแบบวงจร PISO 25

รูปที่ 3.2 แสดงโครงสร้างของการออกแบบวงจร PISO และ SISO 26

รูปที่ 3.3 แสดงโครงสร้างของการออกแบบวงจรส่วนเก็บค่าและเรียกค่าข้อมูล (RAM) 26

รูปที่ 3.4 แสดงโครงสร้างของการออกแบบวงจรสเกลลิ่ง แอคคิวมูเลเตอร์ 27

รูปที่ 3.5 แสดงโครงสร้างของการออกแบบวงจรโครงสร้างเลขคณิตกระจาย 28

รูปที่ 3.6 แสดงโครงสร้างของการออกแบบวงจรหาผลต่าง 28

รูปที่ 3.7 แสดงโครงสร้างของการออกแบบวงจรเลื่อนบิทข้อมูล 28

รูปที่ 3.8 แสดงโครงสร้างของการออกแบบวงจรสเกลค่า 29

รูปที่ 3.9 แสดงโครงสร้างของการออกแบบวงจรPISO และ SISO เพื่อชี้ตำแหน่งของแอดเดรส 30

รูปที่ 3.10 แสดงโครงสร้างของการออกแบบวงจรบวก 30

รูปที่ 3.11 แสดงโครงสร้างของการออกแบบวงจร Update ค่าผลคูณย่อย 31

รูปที่ 3.12 แสดงโครงสร้างของวงจรกรองสัญญาณแบบปรับตัวได้ โดยใช้โครงสร้างเลขคณิตกระจาย 32

รูปที่ 4.1 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8
สัมประสิทธิ์การลู่เข้า 0.25 33

รูปที่ 4.2 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8
สัมประสิทธิ์การลู่เข้า 0.125 33

รูปที่ 4.3 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8
สัมประสิทธิ์การลู่เข้า 0.0625 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.4 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.03125 34

รูปที่ 4.5 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.015625 34

รูปที่ 4.6 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0078125 35

รูปที่ 4.7 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 100 Hz 36

รูปที่ 4.8 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 100 Hz 37

รูปที่ 4.9 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 100 Hz 38

รูปที่ 4.10 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 500 Hz 39

รูปที่ 4.11 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 500 Hz 40

รูปที่ 4.12 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 500 Hz 41

รูปที่ 4.13 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 1 kHz 42

รูปที่ 4.14 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 1 kHz 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.15 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 1 kHz 44

รูปที่ 4.16 แสดงสัญลักษณ์ของวงจรParallel In Serial Out (PISO) และ Serial In Serial Out (SISO) 45

รูปที่ 4.17 แสดงผลการจำลองการทำงานของวงจร Parallel In Serial Out (PISO) และ Serial In Serial Out (SISO) 45

รูปที่ 4.18 แสดงสัญลักษณ์ของวงจรบวก/ลบ(Add/Sub) 46

รูปที่ 4.19 แสดงผลการจำลองการทำงานของวงจรบวก/ลบ(Add/Sub) 46

รูปที่ 4.20 แสดงสัญลักษณ์ของวงจรหารความถี่ 47

รูปที่ 4.21 แสดงผลการจำลองการทำงานของวงจรวงจรหารความถี่ 47

รูปที่ 4.22 แสดงสัญลักษณ์ของวงจรบัฟเฟอร์ 48

รูปที่ 4.23 แสดงผลการจำลองการทำงานของวงจรบัฟเฟอร์ 48

รูปที่ 4.24 แสดงสัญลักษณ์ของวงจรสร้างสัญญาณควบคุม 49

รูปที่ 4.25 แสดงผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม 49

รูปที่ 4.26 แสดงสัญลักษณ์ของวงจรสเกลลิ่งแอคคิวมูเลเตอร์ 50

รูปที่ 4.27 แสดงผลการจำลองการทำงานของวงจรสเกลลิ่งแอคคิวมูเลเตอร์ 50

รูปที่ 4.28 แสดงสัญลักษณ์ของวงจรกลับบิทเครื่องหมาย 51

รูปที่ 4.29 แสดงผลการจำลองการทำงานของวงจรกลับบิทเครื่องหมาย 51

รูปที่ 4.30 แสดงสัญลักษณ์ของวงจรส่วนเก็บค่าและเรียกค่าข้อมูล 52

รูปที่ 4.31 แสดงผลการจำลองการทำงานของวงจรส่วนเก็บค่าและเรียกค่าข้อมูล 52

รูปที่ 4.32 แสดงสัญลักษณ์ของวงจรบวก 53

รูปที่ 4.33 แสดงผลการจำลองการทำงานของวงจรบวก 53

รูปที่ 4.34 แสดงสัญลักษณ์ของวงจรปรับน้ำหนัก 54

รูปที่ 4.35 แสดงผลการจำลองการทำงานของวงจรปรับน้ำหนัก 54

รูปที่ 4.36 แสดงสัญลักษณ์ของวงจรลบ 55

รูปที่ 4.37 แสดงผลการจำลองการทำงานของวงจรลบ 55

รูปที่ 4.38 แสดงสัญลักษณ์ของวงจรกรองความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย 56

รูปที่ 4.39 แสดงผลการจำลองการทำงานของวงจรความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย 57

รูปที่ 4.40 วงจรแปลงสัญญาณเชิงอนาล็อกเป็นสัญญาณดิจิตอล 58

รูปที่ 4.41 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาล็อก 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.42 การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น 59

รูปที่ 4.43 วงจรรวมสำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น 59

รูปที่ 4.44 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625 60

รูปที่ 4.45 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 500 Hz สัมประสิทธิ์การลู่เข้า 0.0625 60

รูปที่ 4.46 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625 61

รูปที่ 4.47 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 5 kHz สัมประสิทธิ์การลู่เข้า 0.0625 61

รูปที่ 4.48 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์บวกกัน และสัญญาณที่ต้องการมีความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625 62

รูปที่ 4.49 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์บวกกัน และสัญญาณที่ต้องการมีความถี่ 500 Hz สัมประสิทธิ์การลู่เข้า 0.0625 62

รูปที่ 4.50 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์บวกกัน และสัญญาณที่ต้องการมีความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625 63

รูปที่ 4.51 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์บวกกัน และสัญญาณที่ต้องการมีความถี่ 2 kHz สัมประสิทธิ์การลู่เข้า 0.0625 63

รูปที่ 4.52 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์คูณกัน และสัญญาณที่ต้องการมีความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625 64

รูปที่ 4.53 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์คูณกัน และสัญญาณที่ต้องการมีความถี่ 500 Hz สัมประสิทธิ์การลู่เข้า 0.0625 64

รูปที่ 4.54 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปไซน์คูณกัน และสัญญาณที่ต้องการมีความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.55 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุท
เป็นสัญญาณรูปไซน์คูณกัน และสัญญาณที่ต้องการมีความถี่ 5 kHz สัมประสิทธิ์การลู่เข้า
0.0625 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงขั้นตอนการคูณเลขส่วนเติมเต็มสอง 19

ตารางที่ 2.2 แสดงค่าผลคูณย่อยที่เก็บไว้ในตารางเปิดดูที่กำหนดโดยข้อมูลอินพุท 21

ตารางที่ 5.1 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม 67

ตารางที่ 5.2 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ 67

ตารางที่ 5.3 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของปริญญานิพนธ์

ในปัจจุบันเทคโนโลยีทางด้านการสื่อสารและคอมพิวเตอร์ได้ก้าวหน้าไปอย่างรวดเร็วและบทบาทสำคัญของความก้าวหน้าเหล่านั้นก็มาจากการเปลี่ยนแปลงของเทคโนโลยีหลายอย่างที่เคยทำด้วยวงจรอนาล็อกมาเป็นวงจรดิจิตอล เนื่องจากในการประมวลผลสัญญาณดิจิตอลนั้น มีข้อดีเหนือกว่าการใช้วงจรในระบบอนาล็อกมาก เช่น ให้ความถูกต้องแม่นยำมากกว่า สามารถควบคุมได้ง่าย รวมทั้งในการออกแบบหรือเปลี่ยนแปลงแก้ไขก็สามารถทำได้ง่ายกว่าวงจรอนาล็อก และในปัจจุบันได้มีการนำเอาการประมวลผลสัญญาณดิจิตอลมาประยุกต์ใช้งานกันอย่างแพร่หลาย ทั้งในด้านการประมวลผลสัญญาณเสียง การประมวลผลสัญญาณแบบหลายมิติ การวิเคราะห์สัญญาณคลื่นสมอง (EEG) และสัญญาณคลื่นหัวใจ (ECG) การกำจัดสัญญาณรบกวนในระบบการสื่อสาร เป็นต้น

ในระบบการสื่อสารสิ่งที่สำคัญที่สุดก็คือการทำให้การรับส่งข้อมูลระหว่างต้นทางและปลายทางเป็นไปอย่างถูกต้อง โดยสัญญาณจากด้านส่งที่จะส่งผ่านไปยังด้านรับนั้นจะต้องเป็นสัญญาณเดียวกัน ซึ่งหมายความว่าในขั้นตอนการส่งสัญญาณนั้นจะต้องไม่มีสัญญาณรบกวนเกิดขึ้นเลย แต่ในทางปฏิบัติพบว่ามักจะถูกรบกวนจนทำให้คุณภาพของสัญญาณที่ไปถึงปลายทางลดลง ดังนั้นการที่จะนำสัญญาณนั้นไปใช้งานจะต้องทำการกรองสัญญาณรบกวนทิ้งก่อน โดยธรรมชาติของสัญญาณรบกวนมักจะมีค่าความถี่และขนาดไม่แน่นอน ดังนั้นในการกรองสัญญาณรบกวนออกจากสัญญาณที่เราต้องการจึงต้องมีการสร้างวงจรกรองความถี่ที่สามารถปรับตัวได้ ซึ่งวงจรกรองความถี่แบบปรับตัวได้นี้ ก็ได้นำเอาหลักการประมวลผลสัญญาณดิจิตอลมาประยุกต์ใช้งานเช่นกัน เนื่องจากถ้าเราสร้างวงจรกรองความถี่ในระบบอนาล็อกจะต้องทราบถึงคุณสมบัติของระบบว่าต้องการวงจรกรองสัญญาณที่มีคุณสมบัติอย่างไร ตอบสนองความถี่ในย่านใด และต้องมีการคำนวณและนำมาประกอบกันเป็นวงจร หลังจากนั้นจะต้องมีการทดสอบความถูกต้องว่าเป็นไปตามที่ออกแบบไว้หรือไม่ ถ้าพบว่าวงจรมีความผิดพลาดหรือไม่เป็นไปตามที่ต้องการแล้ว ก็จะต้องมีการคำนวณและสร้างใหม่ ซึ่งมีความยุ่งยากและใช้เวลามาก

โครงงานนี้จึงนำเสนอการออกแบบวงจรกรองแบบปรับตัวได้(Adaptive filter) ที่ใช้โครงสร้างเลขคณิตกระจาย (Distributed Arithmetic, DA) โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด (LMS Algorithm) ซึ่งมีการใช้งานอย่างแพร่หลายในด้านการประมวลผลสัญญาณดิจิตอล ในการสร้างนั้นจะต้องทำการเลือกค่าสัมประสิทธิ์การลู่เข้า (step size) ให้เหมาะสมกับการใช้งาน โดยทำการซิมูเลชั่นด้วยโปรแกรมแมทแลบ (MATLAB) ก่อนนำไปเขียนโปรแกรมภาษาวีเอชดีแอล (VHDL :Very High Speed Integrated Circuit Hardware Description Language)ในส่วนของการสร้างเป็นฮาร์ดแวร์ จะใช้หลักการเบื้องต้นของโครงสร้างเลขคณิตกระจายที่นำมาใช้งานด้านการประมวลผลสัญญาณเชิงเลข คือการแปลงฟังก์ชันถ่ายโอน (Transfer function) ซึ่งเป็นสมการที่อยู่ในรูปผลบวกของผลคูณ ให้กระจายออกเป็นระดับบิท และเก็บค่าผลคูณย่อยไว้ในตารางเปิดดู (Look up table) ทำให้วงจรที่ได้ปราศจากตัวคูณ จากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำการบรรยายพฤติกรรมการทำงานด้วยภาษาวีเอชดีแอล วงจรที่ได้ออกแบบจะถูกสังเคราะห์และโปรแกรมลงในอุปกรณ์เอฟพีจีเอ (FPGA : Field Programmable Gate Array) สำหรับทดสอบการทำงาน

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อศึกษาและประยุกต์การใช้งานระบบประมวลผลสัญญาณเชิงเลข

1.2.2 เพื่อศึกษาหลักการและประยุกต์ใช้งานวงจรกรองความถี่แบบปรับตัวได้

1.2.3 เพื่อศึกษาหลักการของอัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด

1.2.4 เพื่อศึกษาหลักการของโครงสร้างเลขคณิตกระจายเพื่อประยุกต์ใช้กับวงจรกรองสัญญาณ

1.2.5 เพื่อศึกษาและประยุกต์ใช้งานภาษาวีเอชดีแอลในระบบการประมวลผลสัญญาณเชิงเลข

1.3 ขอบเขตของปริญญานิพนธ์

โครงงานฉบับนี้เป็นการออกแบบและสร้างวงจรกรองความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด ในการออกแบบนั้นจะต้องทำการเลือกค่าสัมประสิทธิ์การลู่เข้า (step size) ให้เหมาะสมกับการใช้งาน โดยทำการซิมูเลชั่นด้วยโปรแกรมแมทแลบ (MATLAB) ก่อนนำไปเขียนบรรยายพฤติกรรมการทำงานของวงจรด้วยโปรแกรมภาษาวีเอชดีแอล (VHDL :Very High Speed Integrated Circuit Hardware Description Language) วงจรที่ได้ออกแบบจะถูกสังเคราะห์และโปรแกรมลงในอุปกรณ์เอฟพีจีเอ (FPGA : Field Programmable Gate Array) สำหรับทดสอบการทำงาน

1.4 เนื้อหาของปริญญานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีที่นำมาใช้ในการออกแบบและการสร้างวงจรกรองความถี่แบบปรับตัวได้ ซึ่งประกอบด้วยพื้นฐานของวงจรกรองความถี่แบบดิจิตอล วงจรกรองความถี่แบบผลตอบสนองอิมพัลส์จำกัด พื้นฐานตัวกรองความถี่แบบปรับตัวได้และการนำโครงสร้างเลขคณิตกระจายมาประยุกต์ใช้กับวงจรกรองสัญญาณ

บทที่ 3 กล่าวถึงการออกแบบและการสร้างวงจรกรองความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด

บทที่ 4 กล่าวถึงการทดลองและผลการทดลองของวงจรกรองความถี่แบบปรับตัวได้ ที่ได้จากการจำลองการทำงานโดยโปรแกรมแมทแลบ และการออกแบบวงจรต่างๆด้วยภาษาวีเอชดีแอล พร้อมผลจำลองการทำงาน

บทที่ 5 บทวิจารณ์และบทสรุป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีและหลักการ

2.1 การประมวลผลสัญญาณ

การประมวลผลสัญญาณ คือ การนำเอาสัญญาณมาเข้าระบบการประมวลผลที่ข้างในประกอบขึ้นด้วย ระบบอุปกรณ์ที่ทำการปฏิบัติการทางคณิตศาสตร์ เช่น การบวกสัญญาณ การคูณ การหาร การถอดรากที่สอง หรือการอินทิเกรตสัญญาณ แต่เดิมนั้นเรานิยมใช้ระบบการประมวลผลสัญญาณในรูปแบบระบบการประมวลผลสัญญาณเชิงอุปมาน ซึ่งสัญญาณเข้าและออกจะเป็นสัญญาณต่อเนื่องหรือเชิงอุปมาน ข้อดีของระบบการประมวลผลแบบนี้ก็คือ ราคาถูก การออกแบบทำได้ง่าย แต่ข้อจำกัดของระบบการประมวลผลสัญญาณเชิงอุปมานก็คือ ประสิทธิภาพและความแม่นยำในการประมวลผล คุณสมบัติของตัวอุปกรณ์ก็ยังแปรค่าตามสภาวะแวดล้อม เช่น อุณหภูมิ อายุการใช้งาน ความชื้น ทำให้ความเชื่อถือของระบบมีได้แค่ในระดับหนึ่งเท่านั้น

ผลจากการพัฒนาทางเทคโนโลยีการออกแบบและผลิตวงจรรวม ทำให้กลอุปกรณ์ดิจิตอลเช่น คอมพิวเตอร์ ไมโครคอมพิวเตอร์ อุปกรณ์ลอจิก เกต หรืออุปกรณ์สนับสนุนต่างๆมีราคาถูกลงและมีประสิทธิภาพดีขึ้นมาก ทำให้ความสนใจในการนำเอาระบบการประมวลผลสัญญาณดิจิตอลมีเพิ่มมากขึ้น ข้อดีของระบบการประมวลผลสัญญาณดิจิตอล คือระบบมีประสิทธิภาพและมีความแม่นยำสูง สามารถออกแบบและแก้ไขได้โดยง่าย โดยทั่วไปการศึกษา ออกแบบและพัฒนาระบบการประมวลผลสัญญาณดิจิตอล จะแบ่งเป็น 2 หัวข้อใหญ่ๆ คือ

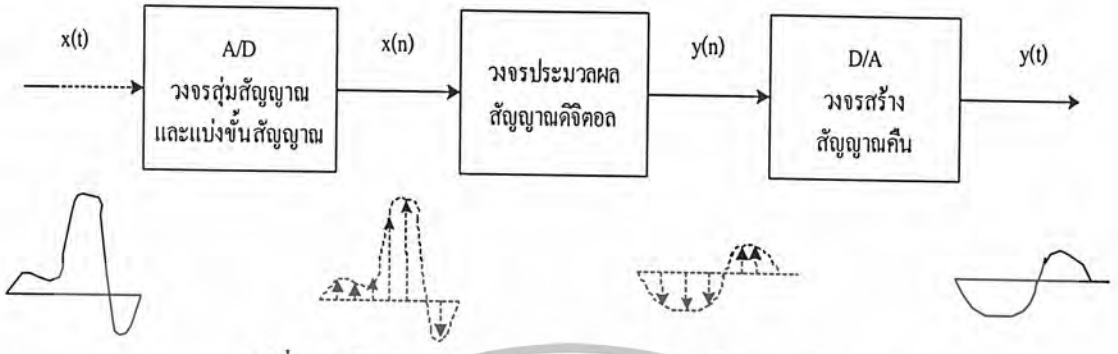
1. วงจรกรองความถี่แบบดิจิตอล (Digital filtering) วงจรกรองความถี่แบบดิจิตอลมีหลายประเภทด้วยกัน แต่มีวงจรกรองอยู่ 2 ชนิด ซึ่งเป็นวงจรกรองเชิงเส้นที่เป็นพื้นฐานของวงจรกรองความถี่แบบดิจิตอลแบบอื่นๆ คือ วงจรกรองความถี่แบบไม่มีการป้อนกลับ (non-recursive filter) และวงจรกรองความถี่แบบป้อนกลับ (recursive filter)

2. การแปลงเชิงเลข (Digital transform) การแปลงเชิงเลขโดยเฉพาะการแปลงฟูริเยอร์เต็มหน่วย (Discrete Fourier Transform หรือ DFT) ที่ทำการประมวลผลโดยใช้ขั้นตอนที่เรียกว่า การแปลงฟาสท์ฟูริเยอร์ (Fast Fourier Transform หรือ FFT) มีส่วนทำให้การประมวลผลสัญญาณเชิงเลขได้รับความนิยมมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 ส่วนประกอบในระบบประมวลผลสัญญาณดิจิตอล

ระบบประมวลผลสัญญาณโดยส่วนใหญ่ แสดงดังรูปที่ 2.1



รูปที่ 2.1 ส่วนประกอบในระบบประมวลผลสัญญาณดิจิตอล

ส่วนประกอบต่างๆ ของระบบประมวลผลสัญญาณดิจิตอล มีดังนี้

1. วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งสามารถแบ่งได้เป็น 2 กระบวนการย่อย ดังนี้

- วงจรสุ่มสัญญาณ (Sampler) สัญญาณขาเข้าของวงจรนี้เป็นสัญญาณแบบอนาล็อก x(t) ส่วนสัญญาณขาออกเป็นสัญญาณไม่ต่อเนื่อง x(n) พารามิเตอร์วงจรสุ่มสัญญาณนี้ก็คือ ค่าอัตราการสุ่ม (Sampling Rate) หรือ ความถี่ในการสุ่ม ใช้สัญลักษณ์แทนว่า f_s ค่านี้เป็นตัวกำหนดว่า วงจรสุ่มจะสุ่มสัญญาณด้วยอัตรากี่ครั้งต่อวินาที หรือกี่เฮิร์ต (Hz)

- วงจรแบ่งขั้นสัญญาณ (Quantizer) สัญญาณ x(n) ที่ได้จากวงจรสุ่มสัญญาณถือว่ามีความละเอียดเต็มที่ในทางขนาด ซึ่งในทางปฏิบัติเมื่อนำไปใช้งานจะต้องลดความละเอียดของ x(n) ลง ให้สามารถแทนได้ด้วยสัญญาณดิจิตอลที่มีบิตจำกัด กระบวนการลดความละเอียดนี้เรียกว่า การแบ่งขั้นของสัญญาณ (Quantization) ความละเอียดที่ได้จากการแบ่งขั้นสัญญาณขึ้นกับจำนวนบิตที่จะใช้

วงจรสุ่มสัญญาณรวมกับวงจรแบ่งขั้นสัญญาณ ในทางปฏิบัติก็คือ ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล (A/D converter) นั่นเอง ซึ่งจะรวมสองกระบวนการนี้อยู่ในวงจรเดียวกัน และโดยทั่วไปเราจะใช้ตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลในรูปของวงจรรวมสำเร็จรูป (IC)

2. วงจรประมวลผลสัญญาณ ส่วนนี้เป็นหัวใจหลัก ซึ่งจะทำหน้าที่ประมวลผลสัญญาณ x(n) เพื่อกระทำผลบางอย่างกับสัญญาณ เช่น เป็นวงจรกรองความถี่บางย่านออก และให้ผลลัพธ์ของการประมวลผลเป็นสัญญาณขาออก y(n) วงจรประมวลผลสัญญาณนี้ ถ้าจะพิจารณากันอย่างง่ายๆ ก็คือตัวคำนวณนั่นเอง กล่าวได้ว่า มันกระทำการคำนวณหาสัญญาณขาออกจากสัญญาณขาเข้า โดยมองเห็นสัญญาณขาเข้าในลักษณะลำดับของค่า

3. วงจรสร้างสัญญาณคืน (Signal reconstruction) ใช้ในระบบที่สัญญาณขาออกสุดท้ายเป็นสัญญาณต่อเนื่อง (การประมวลผลสัญญาณบางอย่าง ต้องการสัญญาณขาออกเป็นไม่ต่อเนื่อง ก็ไม่จำเป็นต้องมีส่วนที่ 3) โดยทำหน้าที่แปลงสัญญาณไม่ต่อเนื่อง y(n) ให้กลับเป็นสัญญาณต่อเนื่อง y(t) ซึ่งจะเป็นสัญญาณขาออกสุดท้ายของระบบ วงจรประเภทนี้ก็คือ ตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A converter) นั่นเอง ซึ่งก็มีอยู่ในรูปแบบของวงจรรวมสำเร็จรูปเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรกรองความถี่แบบดิจิตอล

วงจรกรองความถี่แบบดิจิตอล คือ กระบวนการที่ไปดัดแปลงสเปกตรัมของสัญญาณ ให้มีสเปกตรัมเป็นไปตามข้อกำหนดที่ต้องการ ซึ่งอาจเป็นการเพิ่มค่าหรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนดให้ หรือทำการตัดสัญญาณที่ไม่ต้องการในช่วงความถี่ที่กำหนดออกไป ซึ่งทำให้สามารถแยกสัญญาณในช่วงความถี่ที่ต้องการได้ ในการวิเคราะห์และสังเคราะห์วงจรนั้น ต้องใช้เครื่องมือพื้นฐานทางคณิตศาสตร์เข้าช่วย ดังนั้นเราจึงนิยมเรียกว่า วงจรกรองความถี่เชิงเลข

การที่วงจรกรองความถี่เชิงเลขมีการนำมาประยุกต์ใช้งานกันอย่างกว้างขวางนั้น อาจมาจากข้อได้เปรียบหลายประการดังนี้

1. ผลตอบสนองความถี่ของวงจรกรองความถี่ สามารถออกแบบให้มีความใกล้เคียงกับผลตอบสนองความถี่ที่กำหนดให้ หรือผลตอบสนองความถี่ที่ต้องการได้ นอกจากนี้การออกแบบวงจรกรองความถี่ให้มีผลตอบสนองเชิงเส้นทำได้ง่าย

2. คุณสมบัติของวงจรกรองความถี่ที่ออกแบบและสร้างแล้วจะไม่ขยับเลื่อนไปตามสภาพแวดล้อม หรือตามอุณหภูมิ หรือระยะเวลาในการใช้งาน นอกจากนี้ยังสามารถใช้งานในย่านความถี่ต่ำได้เป็นอย่างดี

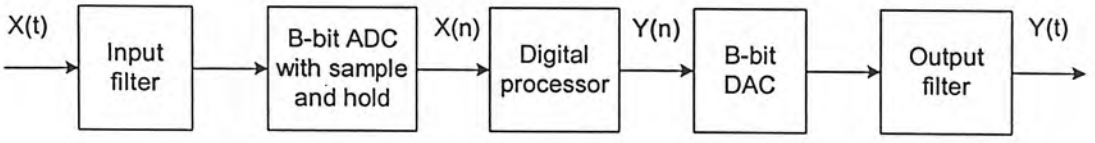
3. การประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบปรับความถี่ได้ (Adaptive Filter) ทำได้ง่าย

4. ผู้ออกแบบสามารถออกแบบโดยคำนึงถึงความของคำ (word length) ของตัวเลขฐานสองที่ต้องการใช้ และยังสามารถออกแบบให้มีผลตอบสนองความถี่ที่ต้องการได้

5. ในปัจจุบัน ถ้าพิจารณาในแง่มุมของเสถียรภาพของวงจรกรองความถี่ ความเชื่อถือได้ ราคา หรือขนาดของวงจรกรองความถี่เชิงเลข สิ่งเหล่านี้กำลังได้รับการพัฒนา และปรับปรุง ซึ่งมีแนวโน้มว่าจะให้ผลลัพธ์ที่ดีกว่าของวงจรกรองความถี่แบบอนาล็อก (Analog Filter) หรือเรียกว่าวงจรกรองความถี่แบบอุปมาน

วงจรกรองความถี่เชิงเลขสามารถเขียนอธิบายในรูปของบล็อกไดอะแกรมได้ดังรูปที่ 2.2 โดยสัญญาณอินพุทซึ่งเป็นสัญญาณอนาลอกจะถูกสุ่ม (sampled) ด้วยช่วงเวลาที่คงที่ค่าหนึ่งและสัญญาณที่ถูกสุ่มนี้จะถูกเปลี่ยนให้อยู่ในรูปเลขฐานสอง โดยการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลหรือสัญญาณเชิงเลข (analog to digital converter) หลังจากนั้นเลขฐานสองที่แทนสัญญาณอนาลอกที่เข้ามาทางอินพุทจะถูกกรองโดยวงจรกรองความถี่เชิงเลข การกรองจะเป็นการคำนวณทางตัวเลข ซึ่งจะอาศัยวงจรที่ใช้ในระบบคอมพิวเตอร์ ได้แก่ ตัวบวก ตัวคูณ รีจีสเตอร์ และอุปกรณ์หน่วยความจำต่างๆ ต่อมาค่าเอาท์พุทที่ได้จากวงจรกรองความถี่เชิงเลขนี้จะถูกแปลงกลับเป็นสัญญาณอนาลอกอีกทีหนึ่งเป็นสัญญาณเอาท์พุทที่จะนำไปใช้งานได้

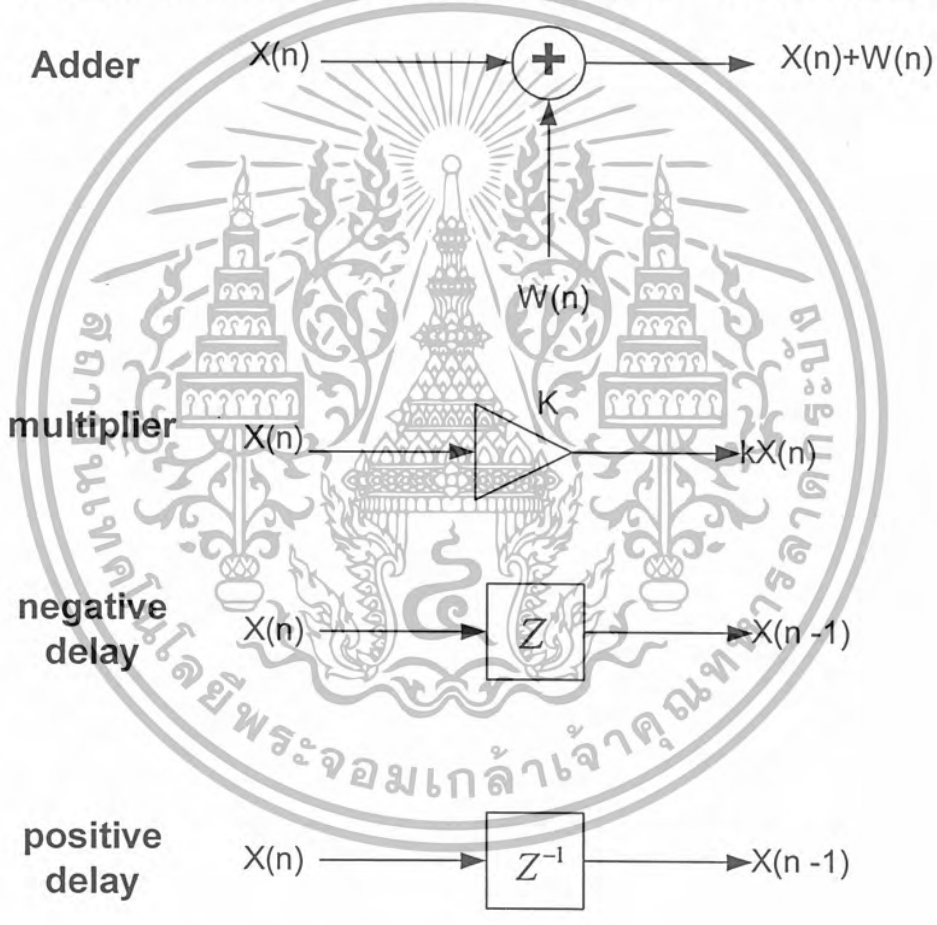
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 บล็อกไดอะแกรมของวงจรกรองเชิงเลข

2.2.1 โครงสร้างของวงจรกรองความถี่แบบดิจิตอล

วงจรกรองความถี่ดิจิตอล ประกอบไปด้วยส่วนสำคัญ 3 ส่วนคือ การบวก (Adder) การคูณ (Multiplier) และการหน่วง (Unit Delay) เวลาดังแสดงในรูปที่ 2.3 การบวกและการคูณจะใช้แนวความคิดมาจากตัวเลขในหน่วยคอมพิวเตอร์ ส่วนการหน่วงจะทำให้การถึงข้อมูลในอนาคตมีค่าอย่างต่อเนื่อง



รูปที่2.3 แสดงองค์ประกอบพื้นฐานทั้งสามที่ใช้เป็นส่วนประกอบของตัวกรองดิจิตอล

การหน่วงเวลานั้นแบ่งเป็น 2 ส่วน คือ บวก (positive) และลบ (negative) โดยการหน่วงแบบบวกนี้เป็นอุปกรณ์ที่ทำหน้าที่บันทึกความจำของรีจีสเตอร์ (register) จะเก็บค่าได้ตามระยะเวลาที่กำหนดสำหรับการคำนวณครั้งต่อไป การหน่วงแบบบวกจะแทนค่าด้วย z^{-1} และสามารถอธิบายความสัมพันธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ด้วยการแปลงแซด การหน่วงแบบลบใช้แทนค่าต่อไปในระดับสัญญาณ แทนค่าด้วย z จะมีชนิดและการใช้งานที่เหมาะสม อย่างไรก็ตามการใช้งานไม่สามารถใช้งานได้เสมอไป

2.2.2 วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด หรือ FIR Filter

FIR (Finite Impulse Response) filter เป็นวงจรกรองความถี่ที่มีผลตอบสนองอิมพัลส์จำกัดนั่นคือ หากเราป้อนสัญญาณอิมพัลส์ให้กับวงจรนี้แล้ว สัญญาณตอบสนองจะมีค่าจำกัด โดยสัญญาณเอาท์พุทของระบบจะขึ้นอยู่กับสัญญาณอินพุทเท่านั้นจึงเรียกว่า วงจรกรองความถี่แบบไม่มีการป้อนกลับ (non-recursive filter) หรือไม่ป้อนกลับเชิงเลขซึ่งสามารถเขียนสมการได้ดังนี้

$$y(n) = \sum_{k=-\infty}^{\infty} b_k x(n-k) \tag{2.1}$$

โดยที่ b_k เป็นค่าคงที่ใดๆ ที่แทนค่าสัมประสิทธิ์ (coefficient) ของวงจรกรองความถี่และในทางปฏิบัติค่าของ b จะมีค่าคงที่แต่ไม่ถึงกับมีค่าอนันต์ ขึ้นกับอันดับของวงจรกรองความถี่ที่ต้องการใช้ได้

$$y(n) = \sum_{k=0}^{N-1} b_k x(n-k) \tag{2.2}$$

และจะได้สมการคอนโวลูชัน (convolution) เป็น

$$y(n) = \sum_{m=0}^{N-1} h(m)x(n-m) \tag{2.3}$$

เราจะนำมาเปลี่ยนตัวแปรจะได้เป็น

$$y(n) = \sum_{m=n}^{n-N+1} h(n-m)x(m) \tag{2.4}$$

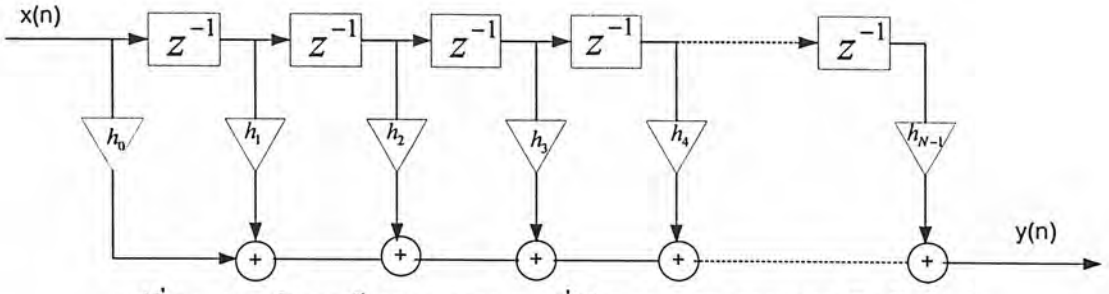
เมื่อ x(n) เป็นอินพุทและ h(n) เป็นผลตอบสนองอิมพัลส์ลำดับที่ N (length-N impulse response) เมื่อนำมาประยุกต์ใช้งานกับการแปลงเซต จะได้ฟังก์ชันถ่ายโอน

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-1} \tag{2.5}$$

แทนค่า $z = e^{j\omega}$ จะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข

$$H(e^{j\omega}) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n} \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงโครงสร้างวงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด

2.3 วงจรกรองความถี่แบบปรับตัวได้ (Adaptive Filter)

วงจรกรองความถี่ทั่วๆไป เป็นวงจรกรองความถี่แบบสัมประสิทธิ์คงที่ หรือแบบไม่แปรตามเวลา สำหรับวงจรกรองความถี่แบบปรับตัวได้จะเป็นวงจรกรองความถี่แบบที่มีสัมประสิทธิ์ปรับเปลี่ยนตลอดเวลา โดยมีลักษณะการปรับค่าสัมประสิทธิ์โดยอัตโนมัติ โดยใช้เงื่อนไขทางสถิติของสัญญาณและของโมเดลของสิ่งแวดล้อมที่สร้างขึ้นในการหาค่าสัมประสิทธิ์ ตัวกรองแบบปรับตัวได้นี้ทำให้ขอบเขตของการประยุกต์ใช้การประมวลผลสัญญาณดิจิตอลขยายวงออกไปกว้างมาก ตัวกรองความถี่แบบปรับตัวได้นี้จะมีประโยชน์อย่างมากในสภาวะที่เราไม่สามารถใช้ตัวกรองความถี่ดิจิตอลแบบธรรมดาได้หรือใช้ได้แต่ให้ผลไม่ดีนัก ซึ่งจะให้ผลที่ดีขึ้นถ้าใช้ตัวกรองความถี่แบบปรับตัวได้ ยกตัวอย่างเช่น

1. เมื่อสัญญาณรบกวนและสัญญาณที่ต้องการอยู่ในย่านความถี่เดียวกัน ซึ่งถ้าเราใช้ตัวกรองความถี่ที่มีค่าสัมประสิทธิ์คงที่ และต้องการให้สัญญาณรบกวนส่วนใหญ่หมดไป ก็จะทำให้สัญญาณที่ต้องการหายไปด้วย

2. เมื่อไม่รู้ลักษณะที่แน่นอนของสัญญาณรบกวน เช่น ไม่รู้ว่าสัญญาณรบกวนอยู่ในย่านความถี่ใดหรือเข้ามาในทิศทางใดในกรณีของสายอากาศแบบอะเรย์ เป็นต้น

3. เมื่อสัญญาณที่ต้องการมีความผิดเพี้ยน ไม่รู้ลักษณะที่แน่นอน เช่น กรณีของโมเดมหรือโทรศัพท์มือถือ ที่มีการส่งสัญญาณผ่านช่องสัญญาณ สัญญาณที่ตัวรับได้รับจะถูกทำให้ผิดเพี้ยนไปด้วยฟังก์ชันถ่ายโอนของสัญญาณที่ไม่รู้ค่าแน่นอนและอาจมีค่าแปรตามเวลาด้วย เพราะฉะนั้นจึงต้องใช้ตัวกรองเพื่อทำการกรองเอาความผิดพลาดนี้ออกไป

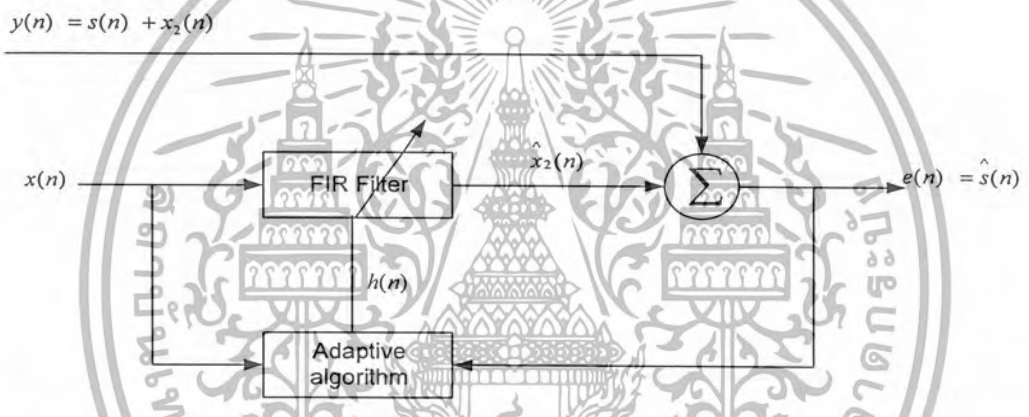
การออกแบบตามแนวความคิดที่ว่า จะบรรจุกลุ่มตัวแปร (Parameter) ที่ปรับค่าได้และค่านั้นจะถูกกำหนดโดยอัตโนมัติขึ้นอยู่กับการประเมินค่าคุณสมบัติทางสถิติของสัญญาณที่เกี่ยวข้อง ดังนั้นทฤษฎีของวงจรกรองปรับตัวได้จะมีความสัมพันธ์ใกล้ชิดกับทฤษฎีวงจรกรองความถี่ดิจิตอลทั่วไป ในการออกแบบต้องการจะจัดกลุ่มของตัวแปรที่ดีที่สุดจากความรู้เกี่ยวกับคุณสมบัติของสัญญาณที่เกี่ยวข้อง ให้เหมาะสมกับบรรทัดฐานและความต้องการ ปัญหาหลักของวงจรกรองปรับตัวได้คือการหาอัลกอริทึม (Algorithm) ที่จะปรับค่าตัวแปรได้ดีในสถานการณ์ที่ความรู้เกี่ยวกับคุณสมบัติของสัญญาณ โดยทั่วไปนั้นวงจรกรองปรับตัวได้จะทำงานโดยใช้กระบวนการทำงานซ้ำๆ (Iterative) ในการกรองและปรับค่าตัวแปรไปในเวลาเดียวกัน วงจรกรองความถี่แบบปรับตัวได้มีสองลักษณะคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรกรองปรับตัวได้แบบลูปเปิด (Open Loop) จะทำการเรียนรู้สถิติของสัญญาณที่เกี่ยวข้องและนำผลที่ได้ป้อนให้แก่อัลกอริทึมโดยไม่มีการป้อนกลับ (Non-Recursive) การกระทำลักษณะนี้เพื่อจะให้ได้การกรองที่ดีจะต้องการกลุ่มตัวแปรจำนวนมาก ทำให้ต้องสร้างฮาร์ดแวร์ที่ซับซ้อนซึ่งมีราคาแพง วงจรกรองพวกนี้ได้แก่ วงจรกรองปรับตัวได้แบบผลตอบสนองอิมพัลส์จำกัด

2. วงจรกรองปรับตัวได้แบบลูปปิด (Close Loop) จะทำการเรียนรู้สถิติของสัญญาณที่เกี่ยวข้องและปรับปรุงกลุ่มของค่าตัวแปรปัจจุบันจากสัญญาณที่เข้ามาใหม่และสัญญาณเอาท์พุทที่ได้จากการทำงานรอบที่แล้ว การทำงานเช่นนี้จะเป็นลักษณะของการป้อนกลับ (Recursive) มีข้อดีคือต้องการกลุ่มตัวแปรน้อย ทำให้สามารถใช้ฮาร์ดแวร์ที่มีความซับซ้อนไม่มากนักได้ วงจรกรองความถี่พวกนี้ได้แก่ วงจรกรองปรับตัวได้แบบผลตอบสนองอิมพัลส์ไม่จำกัด

2.3.1 โครงสร้างพื้นฐานของวงจรกรองความถี่แบบปรับตัวได้



รูปที่ 2.5 โครงสร้างพื้นฐานของวงจรกรองความถี่แบบปรับตัวได้

สามารถอธิบายโครงสร้างพื้นพื้นฐานของวงจรกรองความถี่แบบปรับตัวได้ จากรูปที่ 2.5 ได้ ดังนี้

1. เราสามารถวัดสัญญาณมาได้ 2 สัญญาณ คือ x(n) และ y(n) โดยที่ y(n) เป็นสัญญาณที่ผสมกันระหว่าง s(n) และ $x_2(n)$ วัตถุประสงค์ของตัวกรองก็คือ ต้องการแยก s(n) ออกจาก $x_2(n)$ โดยไม่จำเป็นต้องรู้ย่านความถี่หรือลักษณะทางสถิติของสัญญาณทั้งสองล่วงหน้า

2. เงื่อนไขที่จำเป็น คือ s(n) ต้องไม่มีความสัมพันธ์กับ $x_2(n)$ ในทางสถิติ (statistical independent) หรือสัมพันธ์กันน้อยมาก เช่น เป็นสัญญาณเสียงที่มีแหล่งกำเนิด 2 แหล่ง ที่ไม่เกี่ยวข้องกัน ส่วน x(n) ซึ่งเป็นสัญญาณอีกสัญญาณหนึ่งที่วัดได้นั้น ต้องมีความสัมพันธ์กับ $x_2(n)$

3. เราจะนำ x(n) ผ่านตัวกรอง FIR ที่สร้างขึ้นซึ่งมีสัมประสิทธิ์ h(n) และอันดับเท่ากับ N ให้สัญญาณขาออกของตัวกรอง คือ $\hat{x}_2(n)$ ถ้าหากว่าเราสามารถปรับสัมประสิทธิ์ h(n) ให้มีค่าใกล้เคียงกับสัมประสิทธิ์ที่เป็นโมเดลระหว่าง x(n) กับ $x_2(n)$ ได้ $\hat{x}_2(n)$ ก็จะเป็นสัญญาณที่ใกล้เคียงกับ $x_2(n)$ และเมื่อนำ $\hat{x}_2(n)$ ลบออกจาก y(n) สัญญาณที่เหลืออยู่ซึ่งจะเรียกว่า สัญญาณความคลาดเคลื่อน e(n) ก็จะมีค่าใกล้เคียงกับ s(n) นั่นคือเราสามารถแยก $x_2(n)$ ออกจาก s(n) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวที่จะคำนวณหาสัมประสิทธิ์ h(n) ก็คือ อัลกอริทึมปรับตัวได้ ซึ่งรับค่า e(n) และ x(n) จากนั้นคำนวณ h(n) ป้อนให้กับตัวกรอง FIR และจะปรับค่า h(n) ไปเรื่อยๆ ทุกๆขั้นเวลา จนกระทั่ง h(n) ลู่เข้าสู่ค่าที่ถูกต้อง อัลกอริทึมในการปรับตัว (Adaptive Algorithm) มีด้วยกันหลากหลายวิธี เพื่อใช้ในการคำนวณหาค่าสัมประสิทธิ์นี้ การศึกษาถึงอัลกอริทึมเหล่านี้รวมอยู่ในสาขาของการประมวลผลสัญญาณดิจิตอลขั้นสูง ซึ่งบางครั้งก็เรียกว่า การประมวลผลสัญญาณทางสถิติ (statistical signal processing) หรือการประมวลผลสัญญาณแบบปรับตัวได้ (Adaptive signal processing) หรือทฤษฎีการประมาณค่า (estimation theory)

2.3.2 กรรมวิธีการพัฒนาอัลกอริทึมของวงจรกรองความถี่แบบปรับตัวได้

ในการพัฒนาแต่ละอัลกอริทึมจะพบว่าแต่ละอัลกอริทึมมีคุณลักษณะเฉพาะตัว จึงมีความสำคัญมากในการที่จะทำความเข้าใจในความสามารถและขีดจำกัดเพื่อให้การเลือกใช้งานมีประสิทธิภาพ

1. กรรมวิธีการประมาณแบบสตอแคสติก เกรเดียนท์ (Stochastic Gradient Approach) เป็นกรรมวิธีที่วัดค่าความผิดพลาดโดยใช้ค่าเฉลี่ยผลต่างกำลังสองและพยายามลดค่าเฉลี่ยผลต่างกำลังสองโดยการทำการหาค่าจุดต่ำสุดบนเออร์เรอร์เพอร์ฟอร์มานซ์เซอร์เฟส (Error Performance Surface) ซึ่งค่าต่ำสุดจะให้ค่าสัมประสิทธิ์ที่ทำให้ค่าเฉลี่ยผลต่างกำลังสองมีค่าต่ำสุด การหาอัลกอริทึมเพื่อใช้ในการปรับค่าสัมประสิทธิ์จะทำการแก้สมการของวีนเนอร์และฮอร์ฟ (Weiner-Hopf Equation) อัลกอริทึมในกลุ่มนี้ที่นิยมใช้คือลีสต์มีนสแควร์ (Least Mean Square) หรือเรียกอีกอย่างว่าแอลเอ็มเอสอัลกอริทึม (LMS Algorithm)

2. กรรมวิธีการประมาณแบบลีสต์สแควร์ (Least Square Estimation) กรรมวิธีนี้ใช้การลดคอสต์ ฟังก์ชัน (Cost Function) โดยอาจใช้วิธีการของรีเคอซีฟ ลีสต์สแควร์ (Recursive Least Square) ซึ่งสามารถแบ่งออกเป็น 3 อัลกอริทึมดังนี้

- รีเคอร์ซีฟ ลีสต์สแควร์ อัลกอริทึมมาตรฐาน (Standard RLS Algorithm)
- รีเคอร์ซีฟ ลีสต์สแควร์ อัลกอริทึมโดยการถอดราก (Square Root RLS Algorithm)
- รีเคอร์ซีฟ ลีสต์สแควร์ อัลกอริทึมแบบเร็ว (Fast RLS Algorithm)

ตัวกรองวีนเนอร์จะใช้ค่าสัมประสิทธิ์ h(n) ที่ดีที่สุด ทุกๆค่าเวลา n แต่ปัญหาของตัวกรองวีนเนอร์ก็คือ ค่า h(n) มีการคำนวณที่ยุ่งยากและจำเป็นต้องรู้ค่าพารามิเตอร์ทางสถิติของสัญญาณอินพุทและเอาท์พุทด้วย ซึ่งในทางปฏิบัติมักจะไม่ทราบค่าที่แน่นอน ด้วยเหตุผลนี้ทำให้ตัวกรองวีนเนอร์แทบจะไม่มีการนำมาใช้งานในทางปฏิบัติ

อย่างไรก็ตามตัวกรองวีนเนอร์นี้มีประโยชน์มากในแง่ทฤษฎี เพราะมันคือเป้าหมายที่ตัวกรองปรับตัวได้แบบอื่นๆต้องการไปถึง อัลกอริทึมปรับตัวได้ที่นิยมได้แก่ LMS, RLS และ Kalman ล้วนแล้วแต่มีผลตอบสนองที่พิสูจน์ได้ว่าลู่เข้าสู่ผลตอบสนองของตัวกรองวีนเนอร์ทั้งสิ้น กล่าวคือ อัลกอริทึมเหล่านี้ไม่ได้ให้ผลตอบสนองที่เหมือนกับผลตอบสนองของตัวกรองวีนเนอร์ทุกๆขั้นเวลา แต่ถ้าถูกใช้ในสภาวะที่ลักษณะทางสถิติของสัญญาณอินพุทเปลี่ยนแปลงไม่เร็วนัก เมื่อเวลาผ่านไปสักระยะหนึ่ง มันจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถให้ผลตอบสนองที่ลู่เข้าสู่ผลตอบสนองของตัวกรองวีนเนอร์ได้ ลักษณะสำคัญของการคำนวณสัมประสิทธิ์ด้วยอัลกอริทึมเหล่านี้ที่ปรับปรุงจากตัวกรองวีเนอร์ คือ

1. ไม่จำเป็นต้องรู้ค่าทางสถิติของสัญญาณอินพุท
2. มีการคำนวณที่สามารถปรับไปใช้การคำนวณแบบเวลาจริงได้

2.3.3 การวัดประสิทธิภาพในระบบปรับตัว

ในระบบปรับตัวทุกระบบมีความจำเป็นที่จะต้องทำการวัดประสิทธิภาพ โดยทำการเปรียบเทียบระหว่างอัลกอริทึมต่างๆในตัวกรองปรับตัวก็เช่นกัน นอกจากจะต้องทำการเปรียบเทียบสัมประสิทธิ์ของตัวกรองแล้วยังต้องทำการเปรียบเทียบประสิทธิภาพของอัลกอริทึมอีก เพื่อช่วยในการตัดสินใจเลือกใช้อัลกอริทึมที่ให้การตอบสนองที่ดี การวัดประสิทธิภาพของอัลกอริทึมมีหลายวิธีดังจะกล่าวต่อไปนี้

1. ความเร็วในการลู่เข้า (Convergence Rate)

อัตราการลู่เข้าของระบบปรับตัวเป็นคุณสมบัติที่สำคัญมากซึ่งจะต้องทำการวัดเพื่อให้ได้ตามความต้องการของงานที่จะนำไปใช้ซึ่งโดยทั่วไปแล้วความเร็วในการลู่เข้านั้นสามารถเปรียบเทียบประสิทธิภาพของอัลกอริทึมได้ อย่างไรก็ตามการเลือกใช้อัลกอริทึมไม่จำเป็นต้องใช้อัลกอริทึมที่มีความเร็วสูงสุดเนื่องจากการเพิ่มความเร็ว ราคาในการสร้างและความซับซ้อนของวงจรก็จะสูงขึ้นเช่น การเลือกใช้จึงขึ้นอยู่กับความจำเป็นในการใช้งานมากกว่า

2. ค่าความผิดพลาดเฉลี่ยกำลังสอง (Mean Square Error)

จะวัดในลักษณะของค่าความผิดพลาดเฉลี่ยกำลังสองที่น้อยที่สุด (Minimum(Mean Square Error : MMSE) ซึ่งใช้ในการวัดความสามารถในการทำงานของระบบในการลดสัญญาณรบกวน (Eliminating Noise) ทำนายสัญญาณ (Signal prediction) หรือแยกแยะระบบ (System Identifying) แล้วแต่ว่าเป็นระบบอะไร โดยทั่วไปแล้วค่าความผิดพลาดเฉลี่ยกำลังสองขึ้นกับหลายปัจจัย เช่น โครงสร้างของตัวกรอง ความไวของสัมประสิทธิ์ ตลอดจนสัญญาณรบกวนทั่วไป

3. ความถูกต้องในการประมาณค่าตัวแปร (Parameter Estimation Accuracy)

ความถูกต้องในการประมาณค่าตัวแปรเป็นปัจจัยที่มีความสำคัญมากเมื่อมีการนำระบบปรับตัวไปใช้ในการหาคุณลักษณะของระบบที่ไม่ทราบ (System Identifying) ซึ่งความถูกต้องในการประมาณค่าตัวแปรมีมาก จะทำให้ได้แบบจำลองของระบบที่ต้องการใกล้เคียงความจริงมากขึ้น

4. ความซับซ้อนในการประมวลผล (Computation Complexity)

ความซับซ้อนในการประมวลผลมีความสำคัญมากในการนำระบบปรับตัวไปใช้งานจริง โดยทั่วไปต้องการความซับซ้อนในการประมวลผลที่ต่ำ ทำให้การสร้างมีราคาถูก นอกจากนั้นหากนำไปโปรแกรมลงในตัวประมวลผลสัญญาณสำเร็จรูปแล้วนั้นก็ต้องคำนึงถึงความสามารถในการทำงานของตัวประมวลผลเปรียบเทียบกับความซับซ้อนในการประมวลผลของอัลกอริทึมด้วย

5. เสถียรภาพ (Stability)

ความมีเสถียรภาพของระบบมีความสำคัญมากในการใช้งานตัวกรองปรับตัวได้โดยเฉพาะตัวกรองแบบไอไออาร์ เนื่องจากอาจเกิดการเลื่อนของโพลออกนอกวงกลมหนึ่งหน่วย ทำให้เกิดการออสซิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลตและทำให้ค่าลู่ออก (Diverge) จนไม่สามารถทำงานได้ การออกแบบจึงต้องคำนึงถึงเสถียรภาพของตัวกรองด้วย

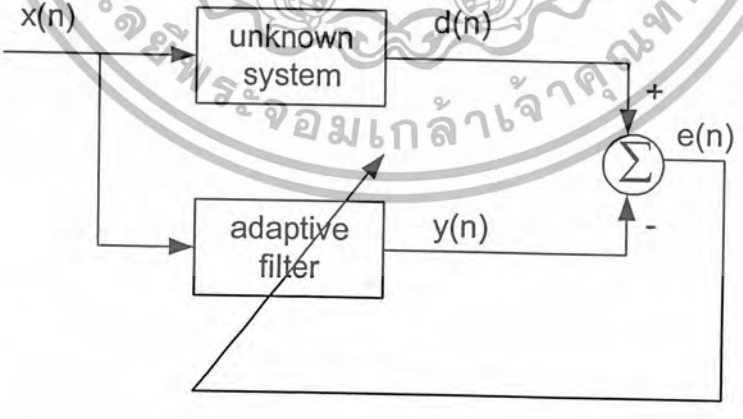
6. ความคงทนของระบบ (Robustness)

เนื่องจากค่าอินพุทของตัวกรองปรับตัวได้มักมีค่าต่างๆที่ไม่แน่นอนจึงมีความจำเป็นที่ตัวกรองจะต้องมีความทนต่อความแปรปรวนของสัญญาณ โดยทั่วไปความคงทนของระบบเป็นค่าที่ยากต่อการวัดในการทดลอง โดยทั่วไปจึงไม่ทำการวัดคุณลักษณะนี้

2.3.4 การประยุกต์ใช้งานวงจรกรองปรับตัวได้

ตัวกรองปรับตัวได้มีคุณสมบัติในการปรับตัวได้อย่างอัตโนมัติทำให้ถูกนำมาประยุกต์ใช้อุปกรณ์หลายๆอย่าง ต่อไปจะทำการอธิบายตัวอย่างการนำตัวกรองปรับตัวได้ไปประยุกต์ใช้งาน

1. การประยุกต์ในการจำลองคุณลักษณะของระบบที่ไม่ทราบ (System Identification) สมมติว่ามีระบบที่ไม่เป็นที่รู้จักและต้องการพิจารณาผลตอบสนองของระบบนั้นต่อสัญญาณที่ป้อนให้กับระบบ โดยสมมติว่าระบบนี้ไม่เปลี่ยนแปลงไปตามเวลาและมีคุณสมบัติเชิงเส้น และต้องการที่จะพัฒนาแบบจำลอง (Model) สำหรับระบบนี้โดยใช้ตัวกรองปรับตัวได้ เพื่อที่จะสร้างสัญญาณเอาท์พุทให้เหมือนกับเอาท์พุทของระบบที่ไม่เป็นที่รู้จัก โดยการป้อนอินพุทที่เหมือนกันให้แก่ระบบทั้งสองและทำการเปรียบเทียบเอาท์พุททั้งสอง เพื่อสร้องสัญญาณผิดพลาด ซึ่งเป็นความแตกต่างระหว่างสัญญาณทั้งสอง อาจกล่าวได้ว่าการทำงานของตัวกรองปรับตัวได้เป็นการพยายามปรับผลตอบสนองให้เหมือนกับผลตอบสนองของระบบที่ไม่เป็นที่รู้จัก เพื่อที่จะทำให้สัญญาณผิดพลาดมีน้อยที่สุดคือ ค่าความผิดพลาดเฉลี่ยกำลังสอง และสำหรับในกรณีที่สัญญาณอินพุทของระบบที่ไม่เป็นที่รู้จักนั้นคงที่และระบบที่ไม่เป็นที่รู้จักไม่เปลี่ยนแปลงไปตามเวลาจะทำให้ค่าความผิดพลาดลดลงสู่ศูนย์ (Convergence) ในขณะนั้นเองกล่าวได้ว่าตัวกรองปรับตัวทำการจำลองคุณลักษณะของระบบที่ไม่ทราบได้แล้ว ดังรูปที่ 2.6



รูปที่ 2.6 แสดงการประยุกต์ใช้ตัวกรองปรับตัวในการจำลองคุณลักษณะของระบบที่ไม่ทราบ

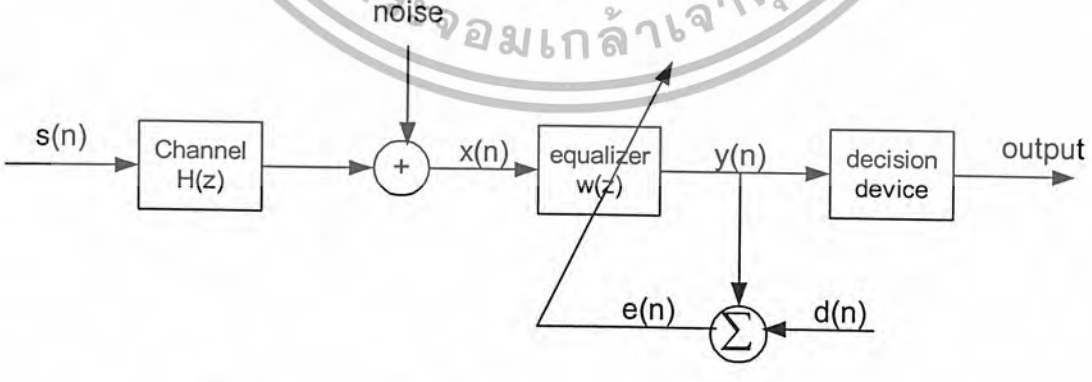
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การพัฒนาอิควอไลเซอร์แบบปรับตัวได้ (Adaptive Equalization) ระบบการส่งข้อมูลทั่วไปจะพยายามใช้ประโยชน์จากช่องสัญญาณที่มีอยู่ให้มีประสิทธิภาพที่สุด โดยออกแบบระบบการส่งข้อมูลด้วยอัตราสูงที่สุดเท่าที่จะเป็นไปได้ ภายใต้ความน่าเชื่อถือที่กำหนด ซึ่งปกติถูกวัดอยู่ในรูปของอัตราการผิดพลาดหรือความน่าจะเป็นเฉลี่ยของการผิดพลาดหรือความน่าจะเป็นเฉลี่ยของการผิดพลาดของสัญลักษณ์ (Average probability of symbol error) การส่งข้อมูลดิจิตอลผ่านช่องทางการสื่อสารแบบเชิงเส้นถูกจำกัดด้วยองค์ประกอบสองอย่าง

1. การแทรกซ้อนระหว่างสัญลักษณ์ เกิดเป็นการแทรกซ้อนของสัญญาณที่ถูกส่ง ซึ่งเป็นผลมาจากการเบี่ยงเบนของการตอบสนองความถี่ในช่องทาง

2. การรบกวนจากเทอร์มอลน้อยส์ เกิดจากสัญญาณรบกวนซึ่งเกิดจากอุณหภูมิ ซึ่งโดยทั่วไปมักเกิดในอุปกรณ์ต่างๆของระบบสื่อสารสำหรับช่องทางสื่อสารที่จำกัด เช่น โทรศัพท์ปกติจะพบว่าการแทรกซ้อนระหว่างสัญลักษณ์เป็นองค์ประกอบสำคัญที่ใช้พิจารณาในการกำหนดอัตราส่งของข้อมูล

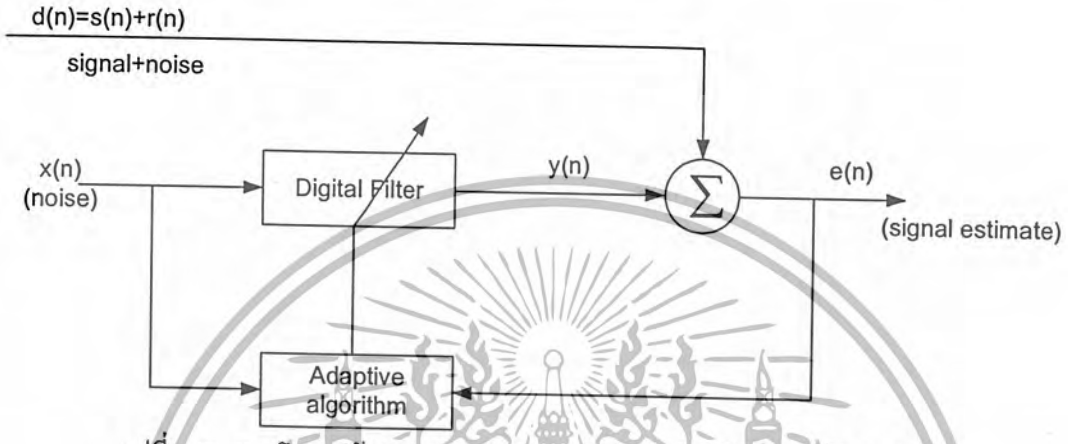
เพื่อที่จะแก้ปัญหาการแทรกซ้อนระหว่างสัญลักษณ์ต้องมีตัวกรองโดยถ้าคุณลักษณะของช่องสัญญาณเป็นที่รู้อย่างแน่นอนแล้ว จะสามารถออกแบบตัวกรองทั้งภาคส่งและภาครับได้ ซึ่งจะลดผลของการแทรกซ้อนระหว่างสัญลักษณ์ลงได้และยังช่วยลดสัญญาณรบกวนที่เพิ่มขึ้นมา แต่อย่างไรก็ตามในทางปฏิบัติเราพบว่าคุณลักษณะของช่องสัญญาณสื่อสารนั้นเป็นแบบสุ่มฉะนั้นในการใช้ตัวกรองภาคส่งและภาครับที่ออกแบบ โดยคุณลักษณะของช่องสัญญาณเฉลี่ยจะไม่เพียงพอที่จะลดการแทรกซ้อนระหว่างสัญลักษณ์ จึงจำเป็นที่จะต้องมีอิควอไลเซอร์แบบปรับตัวได้ ดังรูปที่ 2.7 ซึ่งจะลดการแทรกซ้อนระหว่งสัญลักษณ์ จึงจำเป็นที่จะต้องมีอิควอไลเซอร์แบบปรับตัวได้ ซึ่งจะลดการแทรกซ้อนระหว่างสัญลักษณ์ได้ดีขึ้น โดยพื้นฐานสำหรับการอิควอไลซ์ของระบบการส่งข้อมูลที่มีอยู่ คือการเพิ่มขนาดสัญญาณที่บางย่าน (Pre-Equalization) ที่ภาคส่งและการลดขนาดสัญญาณที่บางย่าน (Post-Equalization) ที่ภาครับ



รูปที่ 2.7 แสดงการใช้อิควอไลเซอร์แบบปรับตัวได้ในระบบส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

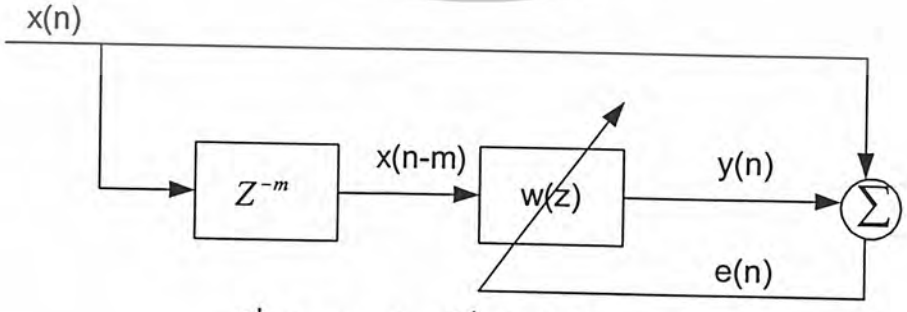
3. การกำจัดสัญญาณรบกวน (Noise Cancellation) การนำตัวกรองปรับตัวได้มาประยุกต์ใช้ในการกำจัดสัญญาณรบกวนนั้น โดยใช้สัญญาณรบกวนที่มีความสัมพันธ์กับสัญญาณรบกวนที่ปนมาในสัญญาณที่ต้องการ ในการกำจัดสัญญาณรบกวนโดยการป้อนสัญญาณและโครงสร้างของระบบกำจัดสัญญาณรบกวนเป็นไปตามรูปที่ 2.8



รูปที่ 2.8 แสดงโครงสร้างระบบกำจัดสัญญาณรบกวนโดยใช้ตัวกรองปรับตัวได้

จากรูปป้อนสัญญารบกวน $x(n)$ ซึ่งมีความสัมพันธ์กับสัญญาณรบกวน r(n) ให้แก่ระบบจะได้เอาท์พุทของตัวกรองปรับตัว y(n) แล้วจึงนำไปหักล้างกับสัญญาณรบกวน r(n) ซึ่งปะปนอยู่กับสัญญาณที่ต้องการ s(n) ทำให้ได้สัญญาณที่ต้องการ e(n) ซึ่งเป็นสัญญาณที่มีสัญญาณรบกวนน้อยลงและสัญญาณนี้จะถูกป้อนให้กับตัวกรองเพื่อใช้ในการเปรียบเทียบในการปรับค่าสัมประสิทธิ์อีกทีหนึ่ง

4. การพัฒนาอุปกรณ์เพิ่มประสิทธิภาพสาย (Adaptive Line Enhancer) อุปกรณ์เพิ่มประสิทธิภาพสาย ดังรูปที่ 2.9 เป็นอุปกรณ์ที่สามารถใช้แยกสัญญาณแบนด์แคบซึ่งฝังอยู่ในสัญญาณแบนด์กว้าง ซึ่งขึ้นกับการใช้งานสัญญาณที่ต้องการแยกออกอาจเป็นสัญญาณที่สนใจหรือสัญญาณรบกวนที่ไม่ต้องการ ตัวอย่างของการใช้งานเช่น การลดสัญญาณรบกวนความถี่ 50-60 Hz ออกจากสัญญาณของอุปกรณ์ทางการแพทย์



รูปที่ 2.9 แสดงอุปกรณ์เพิ่มประสิทธิภาพสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรกรองความถี่ปรับตัวได้แบบเอฟไอาร์ (Adaptive FIR Filter)

ในการศึกษาวงจรกรองแบบปรับตัวได้นั้น โดยทั่วไปมักจะเริ่มจากการศึกษาวงจรกรองปรับตัวได้แบบเอฟไอาร์เสียก่อน เนื่องจากตัวกรองปรับตัวแบบเอฟไอาร์มีคุณสมบัติบางประการที่ดีกว่า กล่าวคือ เสถียรภาพของระบบที่ดีกว่าเนื่องจากสัมประสิทธิ์ของตัวกรองที่มีค่าจำกัด อัลกอริทึมที่ใช้ในการปรับตัวก็ง่ายกว่า นอกจากนั้นแล้วประสิทธิภาพของตัวกรองก็สามารถมองได้ในลักษณะของการลู่เข้าและเสถียรภาพ ต่อไปจะแสดงการหาอัลกอริทึมสำหรับวงจรกรองปรับตัวได้แบบเอฟไอาร์ โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุดหรืออัลกอริทึมแบบแอลเอ็มเอส ซึ่งเป็นอัลกอริทึมที่ง่ายที่สุดเมื่อเทียบกับตัวอื่นๆและมีการใช้งานอย่างกว้างขวาง

ตัวกรองแบบเอฟไอาร์ ซึ่งมีสัญญาณอินพุทเป็น $x(n)$ มีสมการทั่วไปคือ

$$y(n) = \sum_{ki=0}^{N-1} h(n)x(n-k) \tag{2.10}$$

ให้สัญญาณที่ต้องการเป็น d(n) แล้วสัญญาณความผิดพลาดสามารถนิยามโดย

$$e(n) = d(n) - y(n) \tag{2.11}$$

สำหรับความต้องการ โดยทั่วไปของตัวกรองปรับตัว การเลือกสัมประสิทธิ์ $h_0(n), h_1(n), \ldots, h_k(n)$ นั้นจะอยู่บนพื้นฐานของการลดสัญญาณความผิดพลาดให้น้อยที่สุด โดยยึดเอาค่าเฉลี่ยกำลังสองในการเปรียบเทียบ

โดยทั่วไปนั้นแอลเอ็มเอสอัลกอริทึมจะใช้วิธีการปรับสัมประสิทธิ์แบบสตีปเปสต์ เดสเซนท์ (Steepest Descent) ซึ่งก็คือ

$$\bar{h}(n+1) = \bar{h}(n) - \mu\nabla e^2(n) \tag{2.12}$$

เมื่อ $\bar{h}(n) = [h_1(n) - h_2(n) \ldots h_{N-1}(n)]^T$ เป็นเมตริกซ์สัมประสิทธิ์ μ จะเป็นค่าสัมประสิทธิ์การลู่เข้า (step size)และ ∇ เป็นค่าเกรเดียนท์เวคเตอร์ซึ่งกำหนดโดย

$$\nabla = \left[\frac{\partial}{\partial h_0} \quad \frac{\partial}{\partial h_1} \quad \cdots \quad \frac{\partial}{\partial h_{N-1}} \right]^T \tag{2.13}$$

ดังนั้นเกรเดียนท์ตัวที่ k ของเกรเดียนท์เวคเตอร์ $\nabla e^2(n)$ คือ

$$\frac{\partial e^2(n)}{\partial h_k} = 2e(n)\frac{\partial e(n)}{\partial h_k} \tag{2.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า e(n) = d(n)-y(n) ลงในสมการข้างต้นจะได้เป็น

$$\frac{\partial e^2(n)}{\partial h_k} = -2e(n)\frac{\partial y(n)}{\partial h_k} \tag{2.15}$$

แทนค่า $y(n) = \sum_{k=1}^{N-1} h_k(n)x(n-k)$ ลงในสมการข้างต้นจะได้เป็น

$$\frac{\partial e^2(n)}{\partial h_k} = -2e(n)x(n-k) \tag{2.16}$$

ดังนั้นจากสมการข้างต้นจะพบว่า

$$\nabla e^2(n) = -2e(n)\bar{x}(n) \tag{2.17}$$

เมื่อ $\bar{x}(n) = [x(n)\ \ x(n-1)\ \ \ldots\ \ x(n-N+1)(n)]^T$ หลังจากทำการแทนค่าแล้วจะได้สมการปรับสัมประสิทธิ์เป็น

$$\bar{h}(n+1) = \bar{h}(n) + 2\mu e(n)\bar{x}(n) \tag{2.18}$$

จากสมการทั้งหมดเราจะได้อัลกอริทึมโดยสรุปเป็น

อินพุท : เวคเตอร์สัมประสิทธิ์ $\bar{h}(n) = [h_0(n)\ \ h_1(n)\ \ \ldots\ \ h_{N-1}(n)]^T$

อินพุทเวคเตอร์ $\bar{x}(n) = [x(n)\ \ x(n-1)\ \ \ldots\ \ x(n-N+1)(n)]^T$

สัญญาณที่ต้องการ d(n)

เอาท์พุท : ฟิลเตอร์เอาท์พุท y(n)

เวคเตอร์สัมประสิทธิ์ที่ปรับแล้ว $\bar{h}(n+1)$

1. การกรองสัญญาณ

$$y(n) = \bar{h}^T(n)\bar{x}(n)$$

2. การประมาณค่าความผิดพลาด

$$e(n) = d(n) - y(n)$$

3. การปรับสัมประสิทธิ์

$$\bar{h}(n+1) = \bar{h}(n) + 2\mu e(n)\bar{x}(n)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.5 หลักการเบื้องต้นของโครงสร้างเลขคณิตกระจาย

โครงสร้างเลขคณิตกระจาย (Distributed Arithmetic) หรือเรียกอย่างย่อๆว่า "DA" เป็นการจัดรูปแบบทางคณิตศาสตร์ของสมการที่อยู่ในรูปของผลบวกของผลคูณ (Sum of Product) ของเลขฐานสิบให้กระจายออกเป็นบิทหรือในรูปแบบของเลขฐานสอง เพื่อให้การคำนวณทางคณิตศาสตร์สามารถแปลงเป็นวงจรดิจิตอลอิเล็กทรอนิกส์ได้ โดยจะปรากฏอยู่ในงานทางด้านการประมวลผลสัญญาณเชิงเลข หลักการเบื้องต้นของโครงสร้างเลขคณิตกระจายที่นำมาใช้งานด้านการประมวลผลสัญญาณเชิงเลข คือ การแปลงฟังก์ชันถ่ายโอน (Transfer Function) ซึ่งเป็นสมการที่อยู่ในรูปผลบวกของผลคูณระหว่างสัญญาณอินพุทกับค่าสัมประสิทธิ์ของวงจรกรอง โดยในการคูณกันระหว่างค่าสัมประสิทธิ์ของวงจรกรองกับสัญญาณอินพุท จะใช้การคูณเลขฐานสองแบบส่วนเติมเต็มสอง (2's complement) และการคูณจะใช้แบบเปิดตาราง (Look-up table) โดยค่าผลบวกของผลคูณระหว่างค่าสัมประสิทธิ์ของวงจรกรองกับสัญญาณอินพุทจะถูกเก็บไว้ในหน่วยความจำ EPROM และจะใช้สัญญาณอินพุทเป็นแอดเดรสของ EPROM โดยตรง ทั้งค่าสัมประสิทธิ์ของวงจรกรองและสัญญาณอินพุทจะถูกแทนด้วยเลขส่วนเติมเต็มสอง ดังนั้นโครงสร้างเลขคณิตกระจายจึงมีทฤษฎีพื้นฐานอยู่บนการคูณแบบเลขส่วนเติมเต็มสอง (2's complement Multiplication)

2.5.1 ทฤษฎีเลขคณิตกระจาย

จากที่ได้กล่าวมาแล้วว่า โครงสร้างเลขคณิตกระจายมีพื้นฐานอยู่บนการคูณแบบเลขส่วนเติมเต็มสอง ดังนั้นในหัวข้อนี้จะได้อธิบายถึงหลักการของการคูณเลขส่วนเติมเต็มสอง

ในระบบเลขส่วนเติมเต็มสองจะใช้บิทที่มีนัยสำคัญสูงสุด (MSB) เป็นบิทแสดงเครื่องหมาย โดยถ้าเป็นบวกแทนด้วย "0" และถ้าเป็นลบแทนด้วย "1" ถ้าให้ X แทนด้วยเลขฐานสองขนาด L+1 บิท ดังนั้นรูปแบบของเลขส่วนเติมเต็มสองจะเขียนได้ดังนี้

$$\overline{X} = X_0.X_1X_2X_3X_4 \tag{2.20}$$

ค่าของ $\overline{X}$ ในรูปเลขฐานสิบสามารถหาได้ดังนี้

$$X = X_0 + \sum_{i=1}^{L} X_i 2^{-i} \tag{2.21}$$

จากนั้นพิจารณาผลคูณต่อไปนี้

$$Y = Xm \tag{2.22}$$

ให้ $\overline{Y}, \overline{X}$, และ $\overline{m}$ เป็นเลขส่วนเติมเต็มสองของ Y , X และ m ตามลำดับ จากนั้นพิจารณาจากสมการที่ (2.21) และสมการที่ (2.22) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62108

$$Y = Y_0 + \sum_{i=1}^{L} Y_i 2^{-i} \\ = X_0 m + \sum_{i=1}^{L} X_i m 2^{-i} \quad (2.23)$$

ดังนั้น

$$\overline{Y} = \text{ส่วนเติมเต็มสองของ} \left(X_0 m + 2^{-1} X_1 m + 2^{-2} X_2 m + 2^{-3} X_3 m + \ldots + 2^{-L} X_L m \right) \\ = \text{ส่วนเติมเต็มสองของ} \left(X_0 m + 2^{-1}(X_1 m + \ldots 2^{-1}(X_{L-1} m + 2^{-1}(X_L m))) \right) \quad (2.24)$$

ต่อไปพิจารณาส่วนเติมเต็มสองของ $2^{-1}U$ โดย $\overline{U} = U_0.U_1U_2\ldots U_M$

สำหรับ $U_0 = 0$

ส่วนเติมเต็มสองของ $(2^{-1}U) = 2^{-1}U$

สำหรับ $U_0 = 1$

ส่วนเติมเต็มสองของ $(2^{-1}U) = 2 - \left|2^{-1}U\right| = 1 + 2^{-1}\left(2 - |U|\right) = 1 + 2^{-1}\overline{U}$

ดังนั้นสรุปได้ว่า

$$\text{ส่วนเติมเต็มสองของ } \left(2^{-1}U\right) = \begin{cases} 2^{-1}U & , U_0 = 0 \\ 1 + 2^{-1}\overline{U} & , U_0 = 1 \end{cases} \quad (2.25)$$

สมการที่(2.25)นี้แสดงให้เห็นได้ว่า ส่วนเติมเต็มสองของ $2^{-1}U$ เป็นการเลื่อนข้อมูลของ ไปทางขวา 1บิท โดย $2_2^{-1}\overline{U}$ แสดงถึงการเลื่อนข้อมูลของ ไปทางขวา 1 บิท แบบเลขส่วนเติมเต็มสอง ซึ่งสัญญลักษณ์ 2_2^{-1} (ซึ่งโดยทั่วไปนิยมเขียนเป็น 2^{-1}) เป็นการแสดงว่าในกรณีที่ $\overline{U}$ เป็นเลขบวก ซึ่งบิทเครื่องหมายจะเป็นเลขศูนย์ โดยหลังจากเลื่อนข้อมูลไปทางขวา 1 บิทแล้ว บิทที่มาแทนบิทเครื่องหมายก็ยังคงเป็นเลขศูนย์ ส่วนในกรณีที่ $\overline{U}$ เป็นเลขลบ หลังจากเลื่อนข้อมูลไปทางขวา 1 บิทแล้ว บิทที่มาแทนบิทเครื่องหมายจะเป็นเลขหนึ่ง (จาก $1 + 2^{-1}\overline{U}$) ซึ่งในการสร้างเพื่อใช้งานจริงจำเป็นจะต้องมีวงจรที่ใช้ในการตรวจสอบบิทเครื่องหมาย (Sign digit) ทุกครั้งที่มีการเลื่อนข้อมูล

พิจารณาสมการที่ (2.24) และสมการที่ (2.25) จะได้ว่า

$$\overline{Y} = -X_0\overline{m} + 2^{-1}X_1\overline{m} + 2^{-2}X_2\overline{m} + \ldots + 2^{-L}X_L\overline{m} \\ = -X_0\overline{m} + 2^{-1}(X_1\overline{m} + \ldots + 2^{-1}(X_{L-1}\overline{m} + 2^{-1}(X_L\overline{m}))) \quad (2.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากสมการที่ (2.26) จะเห็นได้ว่าผลคูณจากสมการที่ (2.22) สามารถหาได้โดยการใช้หลักการเลื่อนและบวก (Shift and add) โดยผลลัพธ์ที่ได้จากการคูณแบบเลขส่วนเติมเต็มสองสามารถหาได้ตามขั้นตอนดังนี้

1. เคลียร์ค่าข้อมูลในแอคคิวมูเลเตอร์
2. บวก $X_L \overline{m}$ กับค่าที่อยู่ในแอคคิวมูเลเตอร์
3. เลื่อนค่าที่อยู่ในแอคคิวมูเลเตอร์รีจีสเตอร์ไปทางขวา 1 บิท
4. ทำซ้ำข้อ 2 และ 3 สำหรับค่า $X_{L-1},...,X_1$
5. ลบค่า $X_0 \overline{m}$ ออกจากค่าที่อยู่ในแอคคิวมูเลเตอร์รีจีสเตอร์ (ลบแบบเลขส่านเติมเต็มสอง)

ตัวอย่างการทำงานตามอัลกอริทึมนี้

Y = Xm = 0.8125(-0.390625) โดยสมมติให้ใช้แอคคิวมูเลเตอร์รีจีสเตอร์ขนาด 12 บิท

$$m = -0.390625$$

$$\therefore \overline{m} = 2 - |m|$$

$$= 2 - 0.390625$$

$$= 1.609375$$

$$\therefore \overline{m} = 1.1001111$$

$$X = 0.8125$$

$$\overline{X} = 0.1101 = X_0.X_1X_2X_3X_4$$

โดยมีขั้นตอนการทำงานดังตารางต่อไปนี้

ตารางที่ 2.1 แสดงขั้นตอนการคูณเลขส่วนเติมเต็มสอง

การดำเนินการ	ข้อมูลในแอคคิวมูเลเตอร์รีจิสเตอร์
เคลียร์ ACC	0.000 0000 0000
$ACC + X_4\overline{m}$	1.100 1110 0000
เลื่อนข้อมูลใน ACCไปทางขวา 1 บิท	1.110 0111 0000
$ACC + X_3\overline{m}$	1.110 0111 0000
เลื่อนข้อมูลใน ACCไปทางขวา 1 บิท	1.111 00111000
$ACC + X_2\overline{m}$	1.100 0001 1000
เลื่อนข้อมูลใน ACCไปทางขวา 1 บิท	1.110 0000 1100
$ACC + X_1\overline{m}$	1.010 1110 1100
เลื่อนข้อมูลใน ACCไปทางขวา 1 บิท	1.101 0111 0110
$ACC - X_0\overline{m}$	1.101 0111 0110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\therefore \overline{Y} = 1.101\ 0111\ 0110 \quad = Y_0.Y_1Y_2...Y_{11}$$

แปลงเป็นเลขฐานสิบ จะได้

$$\begin{aligned} Y &= -Y_0 + \sum_{i=1}^{11} Y_i 2^{-i} \\ &= -1 + \left(2^{-1} + 2^{-3} + 2^{-5}2^{-6} + 2^{-7} + 2^{-9} + 2^{-10}\right) \\ &= -0.3173828125 \end{aligned}$$

ที่ผ่านมาเป็นหลักการคูณแบบเลขส่วนเติมเต็มสอง ส่วนทฤษฎีเลขคณิตกระจายก็อาศัยหลักการดังกล่าวมาใช้ โดยทำการกระจายสมการที่อยู่ในรูปผลคูณให้แตกออกมาอยู่ในระดับบิท (Bit level) พิจารณาผลบวกของผลคูณต่อไปนี้

$$Y = \sum_{i=0}^{N} m_i X_i \tag{2.27}$$

โดย m_i เป็นค่าสัมประสิทธิ์ซึ่งมีค่าคงที่

X_i เป็นข้อมูลอินพุท

ถ้า X_i แต่ละค่าเป็นเลขส่วนเติมเต็มสอง โดย $|X_i|$ มีค่าน้อยกว่า 1 สามารถแสดง X_i แต่ละค่าได้ดังนี้

$$X_i = -X_{i0} + \sum_{j=1}^{L} X_{ij} 2^{-j} \tag{2.28}$$

โดย X_{ij} = บิทต่างๆของข้อมูล มีค่าเป็น 0 หรือ 1

X_{i0} = บิทแสดงเครื่องหมาย

X_{iL} = บิทที่มีนัยสำคัญต่ำสุด (LSB)

L+1 = จำนวนบิทที่แทนข้อมูลอินพุท

แทนค่า X_i ในสมการที่ (2.28) ลงในสมการที่ (2.27) จะได้

$$Y = \sum_{i=0}^{N} m_i \left[-X_{i0} + \sum_{j=1}^{L} X_{ij} 2^{-j} \right] \tag{2.29}$$

จัดเทอมของผลบวกใหม่จะได้

$$\begin{aligned} Y &= -X_{i0} \sum_{i=0}^{N} m_i + \sum_{j=1}^{L} X_{ij} 2^{-j} \sum_{i=0}^{N} m_i \\ &= -\sum_{i=0}^{N} X_{i0} m_i + \sum_{i=0}^{N} \sum_{j=1}^{L} X_{ij} m_i 2^{-j} \end{aligned} \tag{2.30}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการกระจายให้เป็นระดับบิทได้ดังนี้

$$\begin{aligned} Y = &-(X_{00}m_0 + X_{10}m_1 + X_{20}m_2 + \ldots + X_{N0}m_N) \\ &+2^{-1}(X_{01}m_0 + X_{11}m_1 + X_{21}m_2 + \ldots + X_{N1}m_N) \\ &+2^{-2}(X_{02}m_0 + X_{12}m_1 + X_{22}m_2 + \ldots + X_{N2}m_N) \\ &+\ldots+2^{-L}(X_{0L}m_0 + X_{1L}m_1 + X_{2L}m_2 + \ldots + X_{NL}m_N) \end{aligned} \quad (2.31)$$

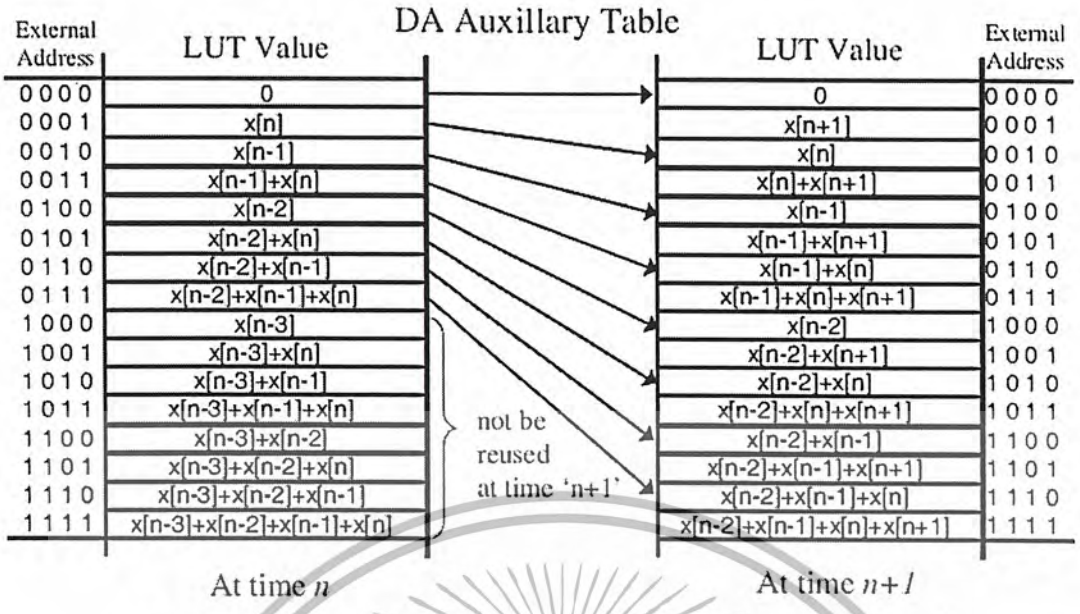
สมการที่ (2.31) นี้ถูกกระจายให้อยู่ในรูปผลบวกของผลคูณระหว่างสัมประสิทธิ์กับข้อมูลอินพุทในระดับบิท ซึ่งเป็นนิยามของการคำนวณแบบเลขคณิตกระจาย และเมื่อเปรียบเทียบสมการที่ (2.31) กับสมการที่ (2.26) จะเห็นว่าการคำนวณหาค่า Y ก็ใช้เลขคณิตกระจายนั่นเอง เพียงแต่นำค่าผลคูณย่อย (Partial product) ที่คำนวณไว้ล่วงหน้าแล้วสำหรับแต่ละค่าที่สอดคล้องกับแต่ละบิทของข้อมูลอินพุทไปเก็บไว้ในตารางเปิดดู ซึ่งเป็นหน่วยความจำ EPROM และใช้ข้อมูลอินพุทเป็นแอดเดรสของหน่วยความจำ เพื่อนำค่าในตารางเปิดดูมาผ่านขั้นตอนการคำนวณตามบูทอัลกอริทึม ซึ่งค่าในตารางเปิดดูจะแสดงดังตารางที่ 2.2

ตารางที่ 2.2 แสดงค่าผลคูณย่อยที่เก็บไว้ในตารางเปิดดูที่กำหนดโดยข้อมูลอินพุท

Bit pattern ของข้อมูลอินพุท X_{Nj} ..... X_{2j} X_{1j} X_{0j}	ผลคูณย่อยที่เก็บไว้ในตารางเปิดดู
0 ..... 0 0 0	0
0 ..... 0 0 1	m_0
0 ..... 0 1 0	m_1
0 ..... 0 1 1	$m_1 + m_0$
0 ..... 1 0 0	m_2
0 ..... 1 0 1	$m_2 + m_0$
0 ..... 1 1 0	$m_2 + m_1$
0 ..... 1 1 1	$m_2 + m_1 + m_0$
⋮	⋮
1 ..... 1 1 1	$m_N + m_{N-1} + \ldots + m_2 + m_1 + m_0$

ยกตัวอย่างเช่น การออกแบบวงจรกรองอันดับที่ 4 ค่าที่เก็บไว้ในตารางเปิดดูก็จะมีทั้งหมด 16 ค่า หรือ 2^N ค่าโดยที่ N คือจำนวนอันดับของวงจรกรองความถี่ ค่าที่จะเก็บอยู่ในตารางเปิดดูจะแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงค่าที่เก็บไว้ภายในตารางเปิดดู เมื่อใช้วงจรกรองความถี่ อันดับที่ 4

2.6 วงจรกรองความถี่แบบปรับตัวได้ที่ใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด โดยใช้โครงสร้างเลขคณิตกระจาย (LMS Adaptive filter using Distributed Arithmetic)

หลักการ โครงสร้างเลขคณิตกระจาย ถูกนำมาใช้การคำนวณหาค่าสัมประสิทธิ์ย่อย (inner of constant vector) ซึ่งค่าที่คำนวณได้จะถูกเก็บไว้ภายในวงจรส่วนเก็บค่าและเรียกค่าข้อมูล(RAM)เพื่อใช้ในการปรับค่าสัมประสิทธิ์ของวงจรกรองแบบปรับตัวได้

ให้ $\bar{x}(n)$ คืออินพุทเวคเตอร์และ $\bar{h}(n)$ คือเวคเตอร์สัมประสิทธิ์ซึ่งแทนด้วย

$$\bar{x}(n) = [x(n), x(n-1), \ldots, x(n-N+1)]^T$$
$$\bar{h}(n) = [h_0(n), h_1(n), \ldots, h_{N-1}(n)]^T$$

สัญญาณเอาท์พุทของวงจรกรองความถี่แบบเอฟไออาร์ คือ

$$\bar{y}(n) = \bar{x}^T(n)\bar{h}(n) = F^T A^T(n)\bar{h}(n) \qquad (2.32)$$

นิยามแอดเดรส เมตริกซ์ (A(n)) และ สเกลลิ่ง เวคเตอร์(F) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A(n)=\begin{bmatrix} b_0(n) & \cdots & b_0(n-N+1) \\ b_1(n) & \cdots & b_1(n-N+1) \\ \vdots & \ddots & \vdots \\ b_{B-1}(n) & \cdots & b_{B-1}(n-N+1) \end{bmatrix}^T$$

และ

$$F=\left[-2^0,2^{-1},...,2^{-(B-1)}\right]^T$$

โดย B = จำนวนบิทของสัญญาณอินพุท

N = อันดับของวงจรกรองความถี่

ความสัมพันธ์ระหว่างสัญญาณอินพุทกับแอดเดรส เมตริกซ์ A(n) คือ

$$\bar{x}(n)=\left[b_0(n),b_1(n),...,b_{B-1}(n)\right]F \qquad (2.33)$$

นิยามแอดเดรส เวคเตอร์ แทนด้วย

$$A_{wi}(n)=\left[b_i(n),b_i(n-1),...,b_i(n-N+1)\right]^T \quad ; i=0,1,...,B-1$$

สมการปรับสัมประสิทธิ์ของอัลกอริทึมแบบค่าเฉลี่ยกำลังสองน้อยสุด แทนด้วย

$$\bar{h}(n+1)=\bar{h}(n)+2\mu e(n)\bar{x}(n) \qquad (2.34)$$

จากสมการที่ 2.34 คูณทั้งสองข้างของสมการด้วย $A^T(n)$ จะได้

$$A^T(n)\,\bar{h}(n+1)=A^T(n)\left[\bar{h}(n)+2\mu e(n)\bar{x}(n)\right] \qquad (2.35)$$

แทน $\bar{x}(n)=A(n)F$ ลงในสมการที่ 2.35 จะได้

$$A^T(n)\,\bar{h}(n+1)=A^T(n)\left[\bar{h}(n)+2\mu e(n)A(n)F\right] \qquad (2.36)$$

สัญญาณความผิดพลาด e(n) สามารถนิยามโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e(n) = d(n) - y(n) \tag{2.37}$$

กำหนดให้

$$\begin{aligned} P(n) &= A^T(n)\bar{h}(n) \\ &= \left[p_0(n),\ldots,p_{B-1}(n)\right]^T \end{aligned} \tag{2.38}$$

และ

$$\begin{aligned} P(n+1) &= A^T(n)\bar{h}(n+1) \\ &= \left[p_0(n+1),\ldots,p_{B-1}(n+1)\right]^T \end{aligned} \tag{2.39}$$

i^{th} element ของ P(n) และ P(n+1) เป็นค่าผลคูณย่อย ที่สัมพันธ์กับแอดเดรส เวคเตอร์ $A_{vi}(n)$ ซึ่งก็คือ i^{th} คอลัมน์เวคเตอร์ ของ เมตริกซ์ A(n)

ดังนั้นค่า P(n) และ P(n+1) จะสอดคล้องกับค่าของ $\bar{h}(n)$ และ $\bar{h}(n+1)$ ตามลำดับ ค่าผลคูณย่อยที่เก็บอยู่ในหน่วยความจำทั้งหมดจะมีเท่ากับ 2^N โดย N^{th} คือ อันดับของวงจรกรองความถี่

แทนค่าสมการที่ 2.38และ 2.39 ลงในสมการที่ 2.36 จะได้

$$P(n+1) = P(n) + 2\mu e(n)A^T(n)A(n)F \tag{2.40}$$

โดยการใช้สมการที่ 2.32 จะได้สัญญาณเอาท์พุท $\bar{y}(n)$ คือ

$$\bar{y}(n) = F^T P(n) \tag{2.41}$$

และจากสมการที่ 2.40 ถ้าสมมติว่าสัญญาณอินพุท คือ white noise with zero mean ดังนั้นค่า expectation values ของ $A^T(n)A(n)F$ คือ

$$E\left[A^T(n)A(n)F\right] = 0.25NF \tag{2.42}$$

จากนั้นแทนค่า $A^T(n)A(n)F$ ลงในสมการที่ 2.40 ด้วยสมการที่ 2.42 ดังนั้นสมการที่ 2.40 ซึ่งเป็นสมการที่ใช้ในการปรับค่าสัมประสิทธิ์จะกลายเป็น

$$P(n+1) = P(n) + 0.5\mu Ne(n)F \tag{2.43}$$

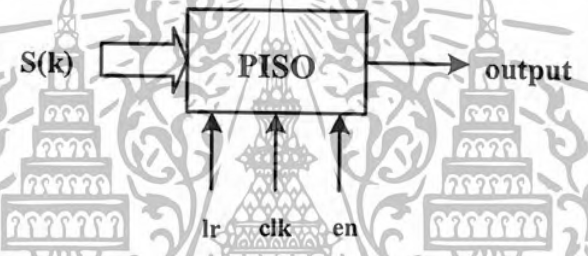
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

3.1 การใช้ภาษาวีเอชดีแอลออกแบบการทำงานของวงจรกรองความถี่แบบปรับตัวได้ โดยใช้โครงสร้างเลขคณิตกระจายและ LMS (Least Mean Square) อัลกอริทึม

ในการออกแบบการทำงานของวงจรโดยใช้ภาษาวีเอชดีแอล สามารถแบ่งเป็นขั้นตอนต่างๆดังนี้

1. สัญญาณอินพุท (Input) s(k) ซึ่งเป็นสัญญาณที่ทำการแปลงเป็นเลขจำนวนส่วนเติมเต็มสองจะถูกโหลดเข้าวงจร PISO (Parallel In Serial Out) โดยในการโหลดข้อมูลนั้นจะถูกควบคุมโดยขาสัญญาณ lr และเมื่อทำการโหลดข้อมูลเข้ามาแล้ววงจร PISO จะทำการเก็บข้อมูลที่เข้ามาไว้2ชุด เพื่อที่จะนำมาชี้แอดเดรสของแรมในรอบหลัง ซึ่งแต่ละชุดจะทำงานได้นั้นขึ้นอยู่กับขาสัญญาณ en จากนั้นเลื่อนข้อมูลออกที่ละบิท โดยในการเลื่อนของบิทนั้นจะใช้สัญญาณนาฬิกา (clock) ในการเลื่อนสัญญาณซึ่งถูกควบคุมด้วยขาสัญญาณ clk ดังรูปที่ 3.1

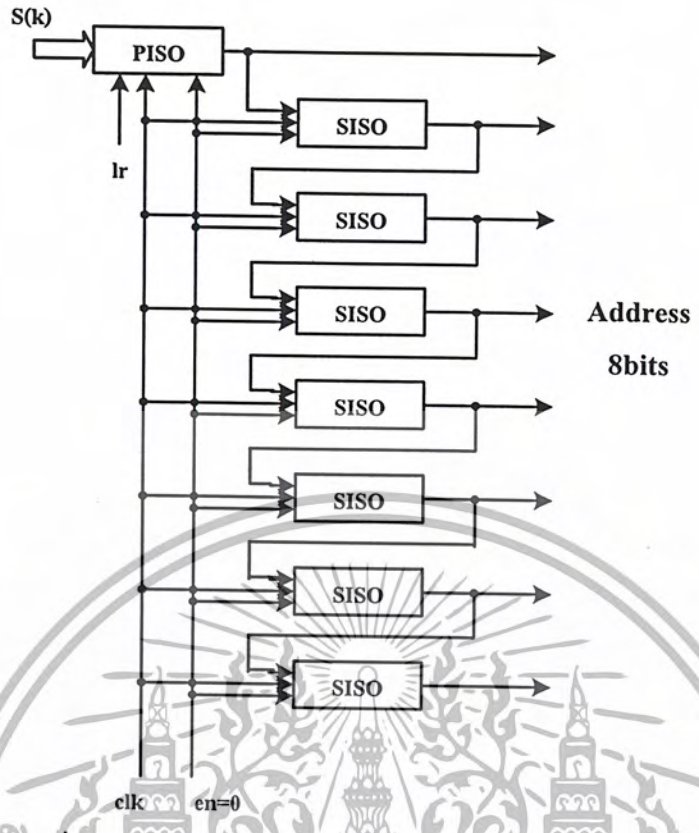


รูปที่ 3.1 แสดงโครงสร้างของการออกแบบวงจร PISO

2. สัญญาณที่ถูกเลื่อนออกมาจากวงจร PISO นั้นจะถูกนำไปป้อนเป็นสัญญาณอินพุทให้กับวงจร SISO (Serial In Serial Out) ป้อนเก็บไว้2ชุด ซึ่งแต่ละชุดจะทำงานได้นั้นขึ้นอยู่กับขาสัญญาณ en เช่นเดียวกับวงจร PISO และทำการเคลียร์ค่าในวงจรรีจีสเตอร์แอคคิวมูเลเตอร์ (ACC) โดยขาสัญญาณ clacc ดังรูปที่ 3.2

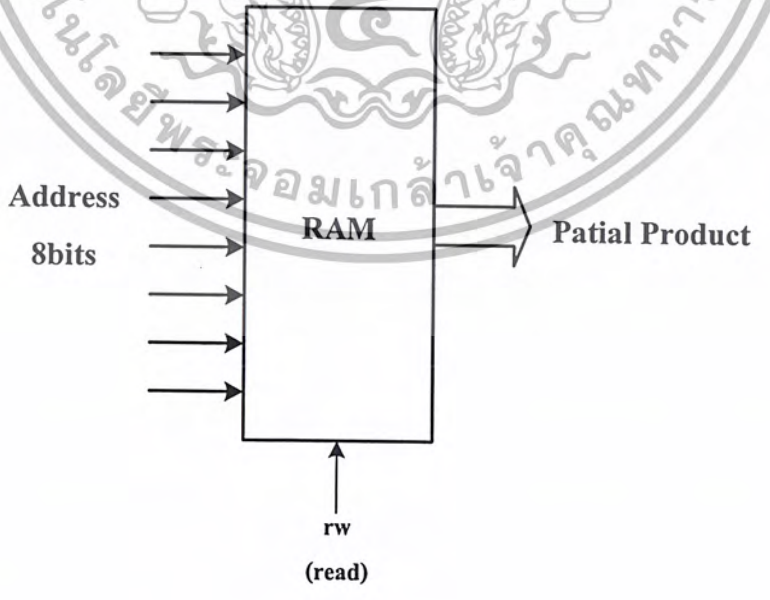
3. ข้อมูลที่ถูกเลื่อนออกมาจาก PISO และ SISO จะถูกควบคุมด้วยขาสัญญาณ clk ตัวเดียวกัน ดังนั้นข้อมูลของ PISO และ SISO จะถูกเลื่อนออกมาพร้อมกัน ดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงโครงสร้างของการออกแบบวงจร PISO และ SISO

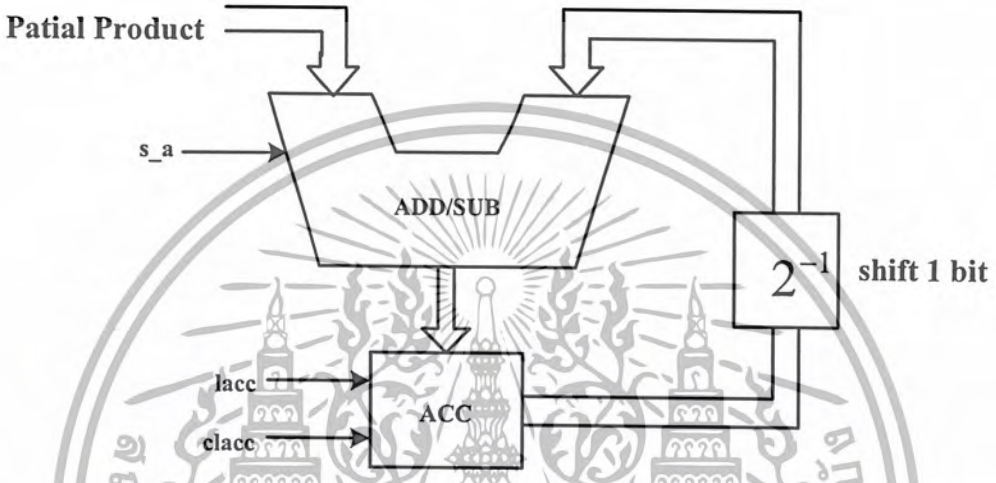
4. ข้อมูลที่ถูกเลื่อนออกมานั้นจะถูกนำไปชี้ตำแหน่งข้อมูล (Address) ของส่วนเก็บค่าและเรียกค่าข้อมูล (RAM) เพื่อทำการอ่านค่าของผลคูณย่อย (Partial Product) ที่อยู่ใน RAM ออกมา ดังรูปที่ 3.3



รูปที่ 3.3 แสดงโครงสร้างของการออกแบบวงจรส่วนเก็บค่าและเรียกค่าข้อมูล (RAM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

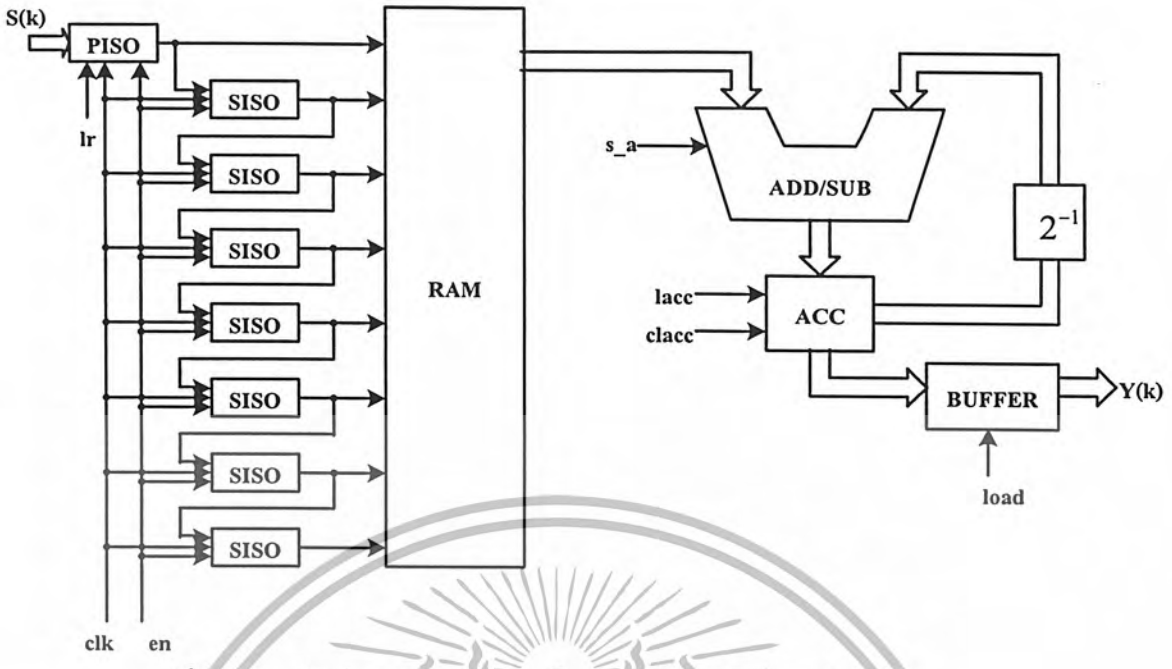
5. ผลคูณย่อยที่ออกมาจาก RAM นั้นจะมาเข้าวงจรสเกลลิ่ง แอคคิวมูเลเตอร์ (Scaling Accumulator) ซึ่งทำหน้าที่ในการหาผลรวมและผลต่างของเลขส่วนเติมเต็มสอง (2's complement) แทนการคูณโดยตรง ซึ่งภายในวงจรสเกลลิ่ง แอคคิวมูเลเตอร์ประกอบด้วยวงจรหาผลรวมและผลต่าง (ADD_SUB) ที่ถูกควบคุมโดยขาสัญญาณ s_a และ รีจีสเตอร์แอคคิวมูเลเตอร์ ข้อมูลในวงจรรีจีสเตอร์แอคคิวมูเลเตอร์ จะถูกนำออกมาโดยขาสัญญาณ lacc ซึ่งถูกเลื่อนไป1บิทก่อนที่จะมาหาผลรวมหรือผลต่างกับผลคูณย่อยที่ออกมาจาก RAM ดังรูปที่ 3.4



รูปที่ 3.4 แสดงโครงสร้างของการออกแบบวงจรสเกลลิ่ง แอคคิวมูเลเตอร์

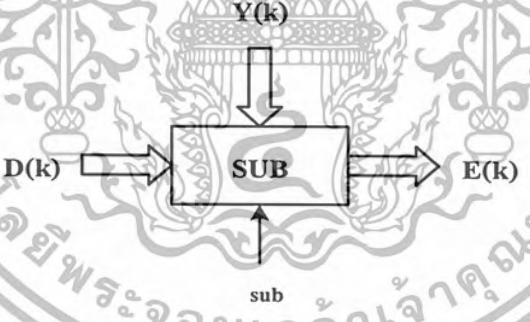
6. การทำงานจะวนซ้ำตั้งแต่ขั้นตอนที่ 2-5 จนครบ8 รอบ ซึ่งการทำงานในลักษณะนี้จะเป็นส่วนของการใช้โครงสร้างเลขคณิตกระจายในการออกแบบการทำงานของวงจร เมื่อทำงานวนจนครบ 8 รอบแล้ว วงจรหาผลรวมและผลต่างจะทำหน้าที่เป็นวงจรหาผลต่าง และจะได้สัญญาณเอาท์พุท (Output) y(k) ออกมา ซึ่งจะถูกเก็บไว้ในวงจรบัฟเฟอร์ (Buffer) สัญญาณเอาท์พุท y(k) จะถูกนำออกมาโดยขาสัญญาณ load ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงโครงสร้างของการออกแบบวงจรโครงสร้างเลขคณิตกระจาย

7. นำสัญญาณที่ต้องการ (Desire Signal) d(k) มาหาผลต่างกับสัญญาณเอาท์พุท y(k) โดยมีขาสัญญาณ sub เป็นตัวควบคุมการหาผลต่างของข้อมูลเพื่อให้ได้สัญญาณความผิดพลาด (Error Signal) e(k) ออกมา ดังรูปที่ 3.6

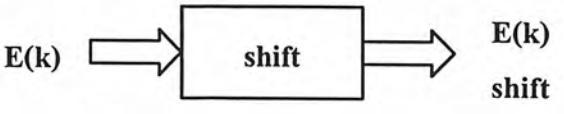


รูปที่ 3.6 แสดงโครงสร้างของการออกแบบวงจรหาผลต่าง

8. เมื่อได้สัญญาณความผิดพลาด e(k) แล้วจะทำการเลื่อนบิทตามสมการ $0.5\mu N$ ดังรูปที่ 3.7

โดยที่ μ คือค่าสเตปไซส์ (Step Size) ที่ต้องกำหนดให้เหมาะสม

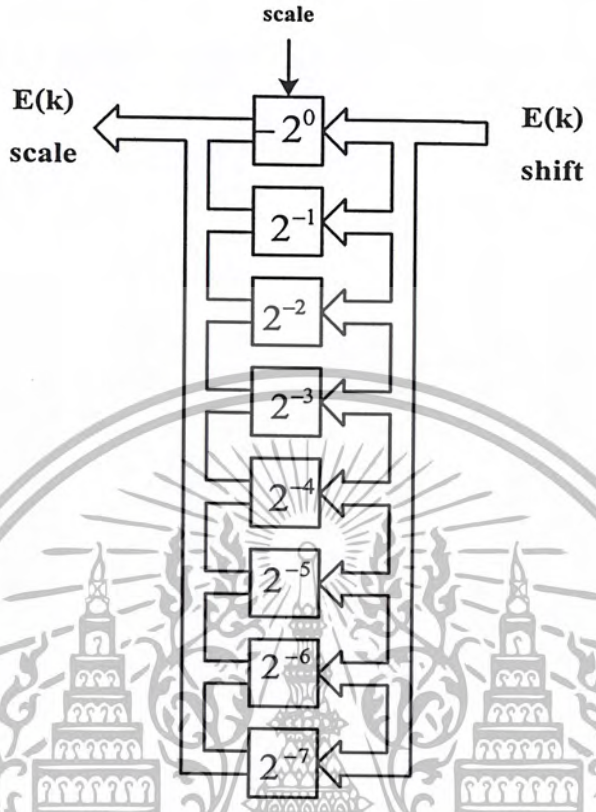
N คือจำนวนอันดับ (Order) ของตัวกรอง



รูปที่ 3.7 แสดงโครงสร้างของการออกแบบวงจรเลื่อนบิทข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

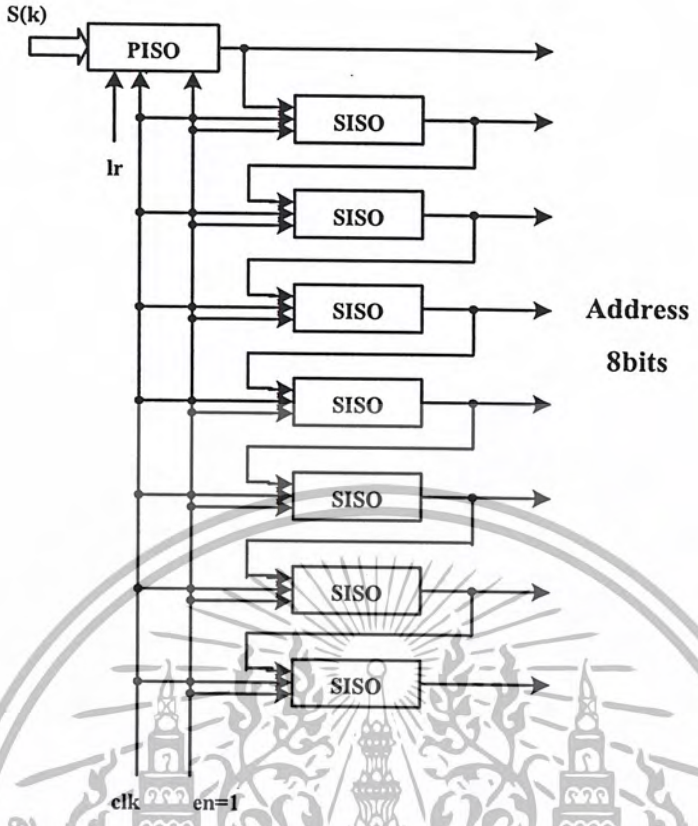
9. ทำการสเกล (scale) ค่าโดยมีขาสัญญาณ scale เป็นตัวควบคุมตามสเกลลิ่ง เวคเตอร์ (F) (Scaling vector) ดังรูปที่ 3.8



รูปที่ 3.8 แสดง โครงสร้างของการออกแบบวงจรสเกลค่า

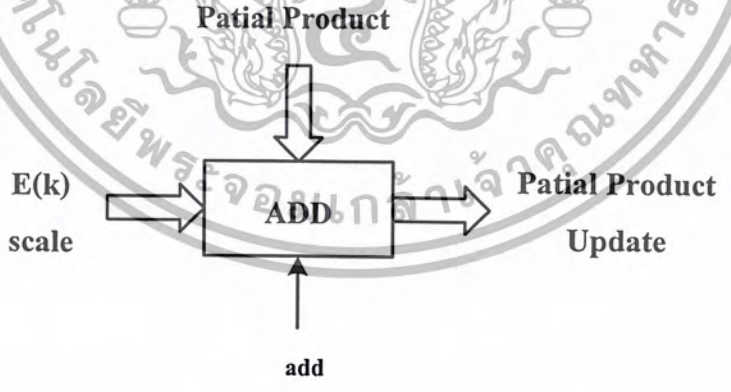
10. ข้อมูลที่เก็บไว้ใน PISO และ SISO อีกชุดหนึ่งซึ่งจะมีข้อมูลชุดเดียวกับชุดแรกที่ใช้ในการชี้ตำแหน่งของ RAMในขั้นตอนที่4 จะถูกนำออกมาเพื่อชี้ตำแหน่งของแรมอีกครั้งหนึ่ง ควบคุมโดยขาสัญญาณ en ดังรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงโครงสร้างของการออกแบบวงจรPISO และ SISO เพื่อชี้ตำแหน่งของแอดเดรส

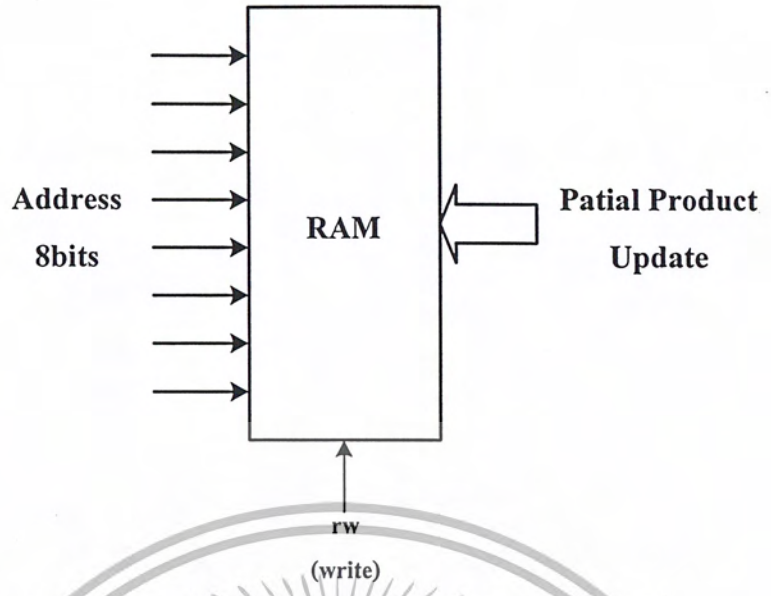
11. ข้อมูลที่ออกมาจาก RAMในรอบหลังนั้นจะมาทำการหาผลรวมกับข้อมูลที่ถูกสเกลค่าเรียบร้อยแล้ว ควบคุมโดยขาสัญญาณ add ดังรูปที่ 3.10



รูปที่ 3.10 แสดงโครงสร้างของการออกแบบวงจรบวก

12. RAM จะถูกสั่งให้เขียนข้อมูล ควบคุมโดยขาสัญญาณ r_w เพื่อเก็บค่าที่ทำการหาผลรวมเรียบร้อยแล้ว ซึ่งค่าที่เก็บนั้นเป็นค่าผลคูณย่อยค่าใหม่ ดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

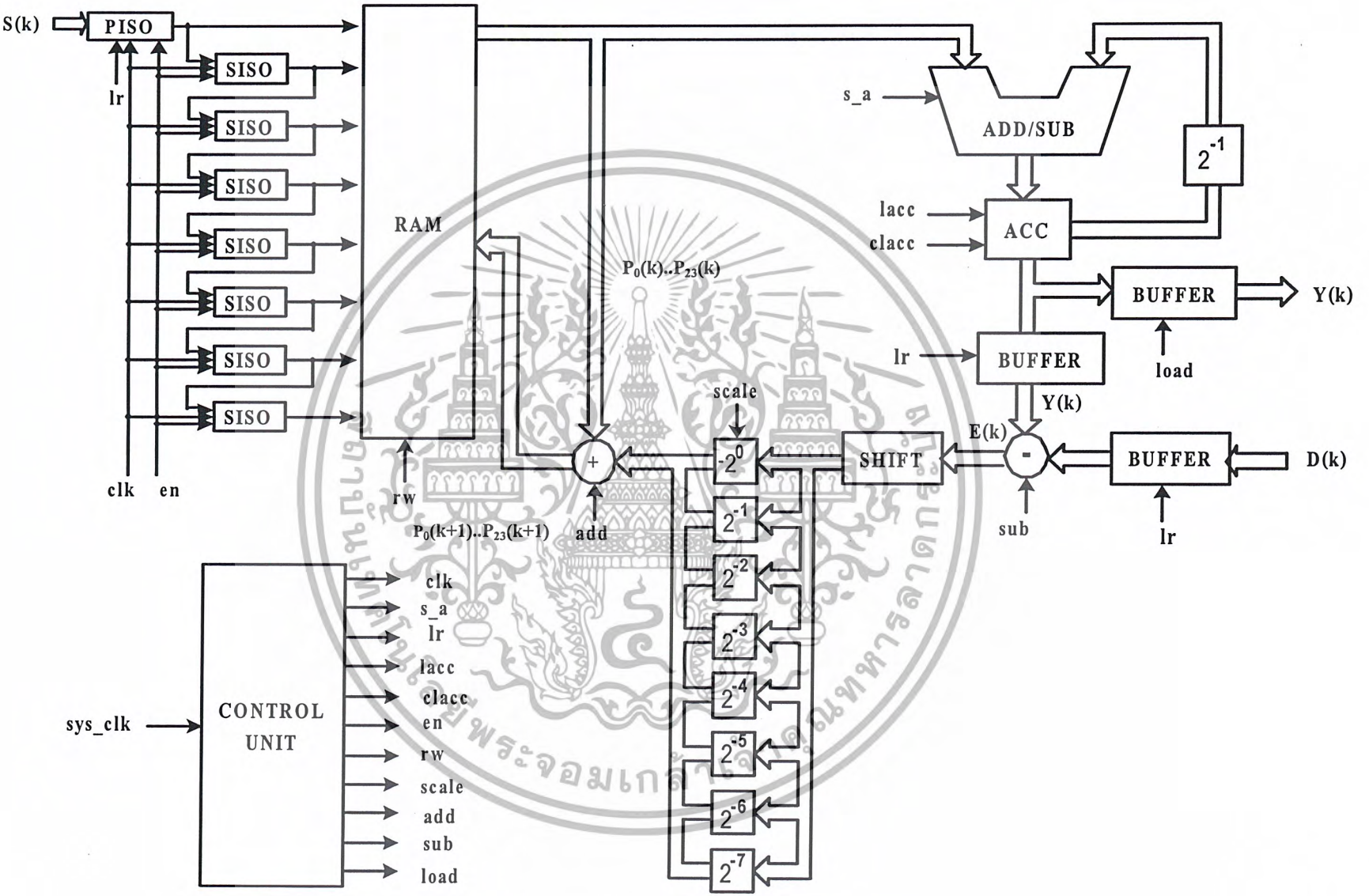


รูปที่ 3.11 แสดงโครงสร้างของการออกแบบวงจร Update ค่าผลคูณย่อย

13. การทำงานจะวนซ้ำตั้งแต่ขั้นตอนที่ 9-12 จนครบ 8 รอบ

14. การทำงานจะวนซ้ำตั้งแต่ขั้นตอนที่ 1-13 ซ้ำไปเรื่อยๆจนสามารถแยก (Track) สัญญาณที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



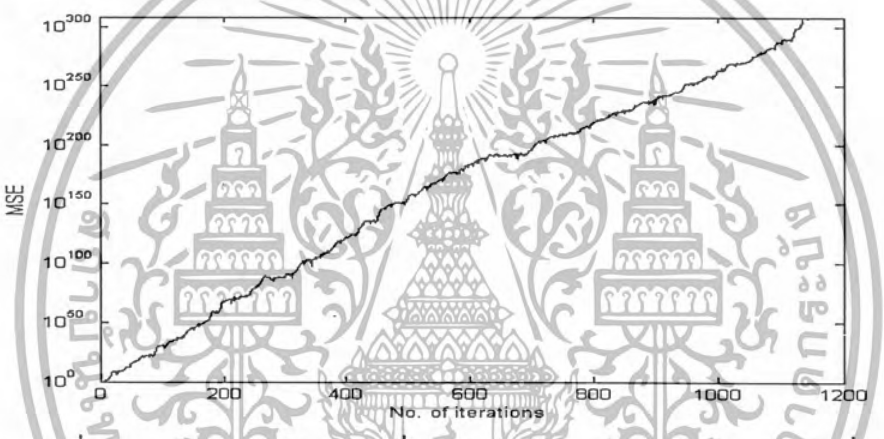
รูปที่ 3.12 แสดงโครงสร้างของวงจรกรองสัญญาณแบบปรับตัวได้ โดยใช้โครงสร้างเลขคณิตกระจาย

บทที่ 4
การทดลองและผลการทดลอง

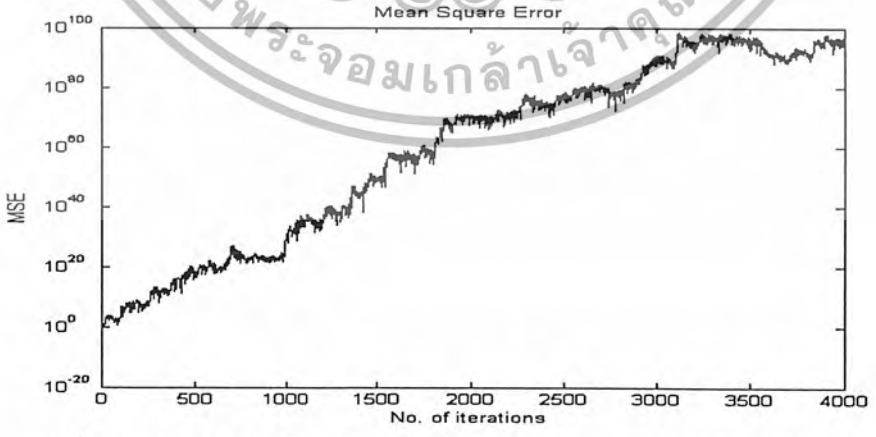
4.1 ผลการทดลองการจำลองการทำงานโดยโปรแกรมแมทแลบ

ในการทดลองที่ 4.1.1 เป็นการซิมูเลชั่นโดยโปรแกรมแมทแลบ เพื่อพิจารณาความเร็วของการลู่เข้าของสัญญาณ โดยเปรียบเทียบจากค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด (Mean Square Error : MSE) ของแต่ละค่าสัมประสิทธิ์การลู่เข้า (step size) และพิจารณาหาค่าสัมประสิทธิ์การลู่เข้า ที่เหมาะสมที่สุด เพื่อที่จะนำไปใช้ในการสร้างเป็นฮาร์ดแวร์ โดยในการทดลองจะทำการเปลี่ยนสัมประสิทธิ์การลู่เข้าเป็น 0.25, 0.125, 0.0625, 0.03125, 0.015625 และ 0.0078125

4.1.1 ค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด (Mean Square Error : MSE)

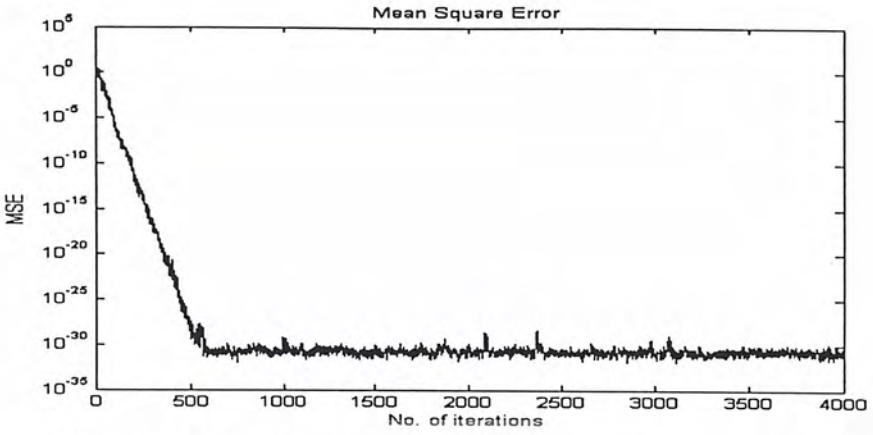


รูปที่ 4.1 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.25

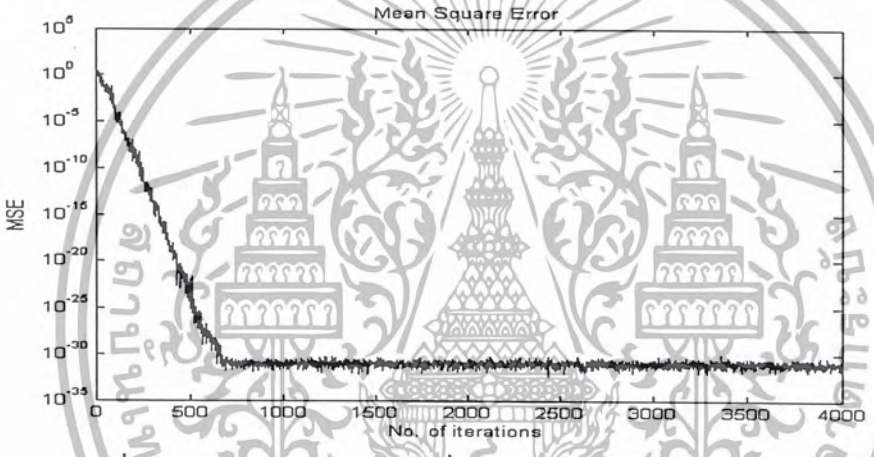


รูปที่ 4.2 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.125

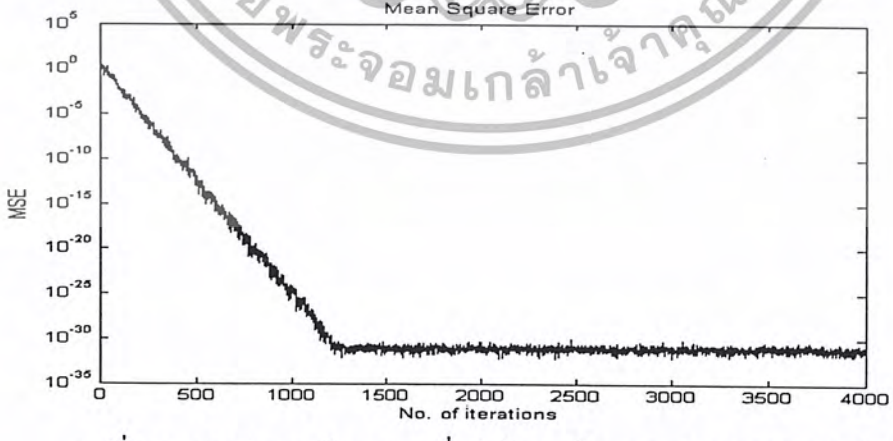
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625

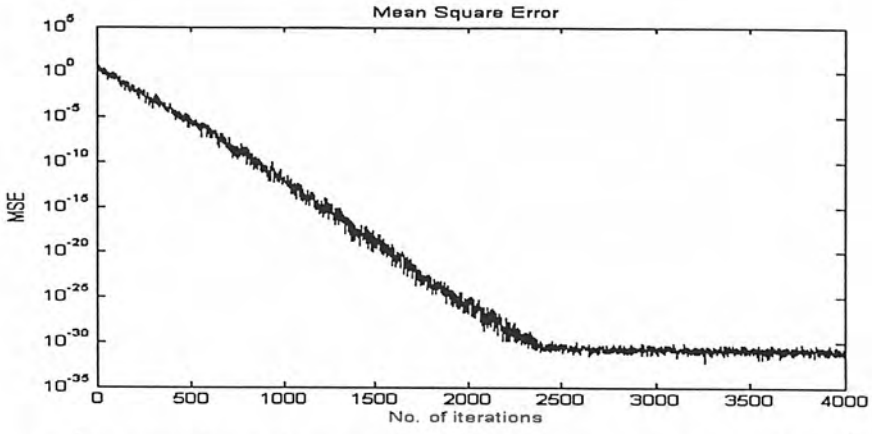


รูปที่ 4.4 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.03125



รูปที่ 4.5 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.015625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



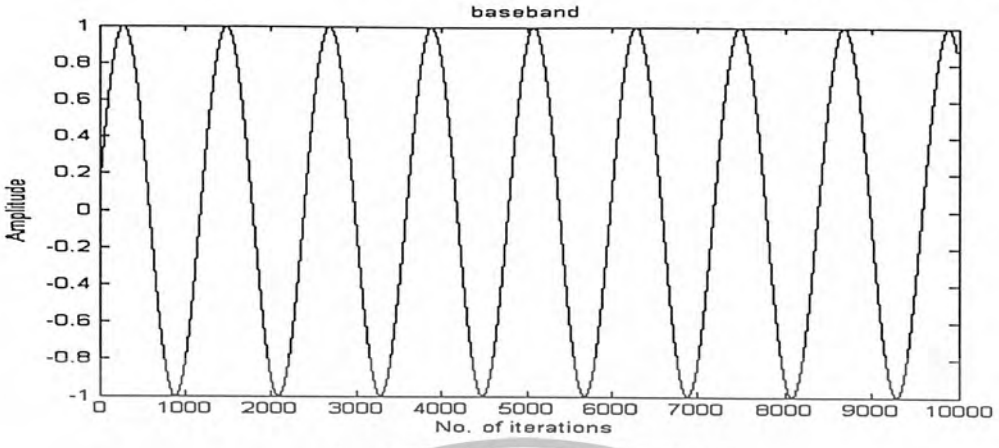
รูปที่ 4.6 แสดงค่าความผิดพลาดเฉลี่ยกำลังสองน้อยสุด ของวงจรกรองอันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0078125

จากรูปที่ 4.1 ถึง 4.6 เป็นผลจากการซิมูเลชั่นด้วยโปรแกรมแมทแลบ จะสังเกตเห็นว่าถ้าใช้ค่าสัมประสิทธิ์การลู่เข้าต่างกัน การลู่เข้าของสัญญาณก็จะมีความเร็วไม่เท่ากัน โดยที่ค่าสัมประสิทธิ์การลู่เข้าค่ามากจะมีความเร็วในการลู่เข้ามากกว่าการเลือกใช้ค่าสัมประสิทธิ์การลู่เข้าที่มีค่าน้อย แต่ถ้าเลือกใช้ค่าสัมประสิทธิ์การลู่เข้าที่มีค่ามากเกินไปก็จะทำให้ไม่สามารถลู่เข้าสู่ค่าที่ถูกต้องได้

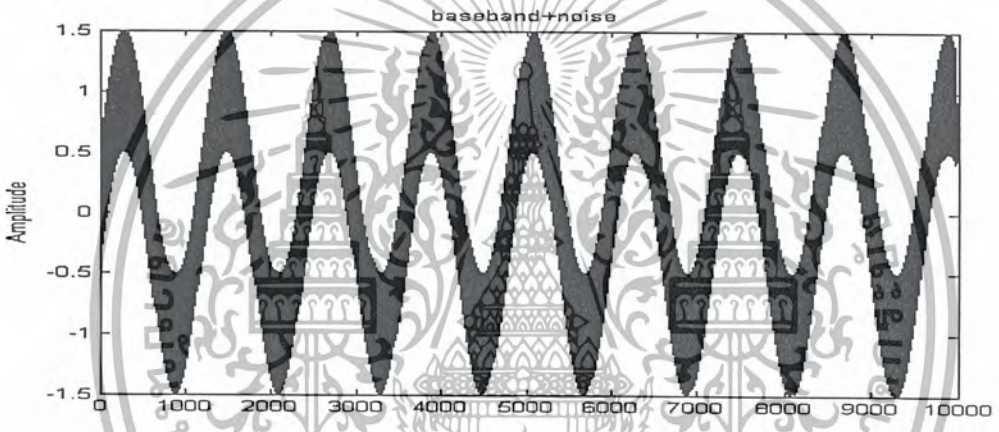
ในการทดลองที่ 4.1.2 จะนำค่าสัมประสิทธิ์การลู่เข้าที่มีความเร็วในการลู่เข้าเร็วที่สุด 3 อันดับแรก คือ 0.0625 0.03125 และ 0.015625 ตามลำดับ มาใช้ในการซิมูเลชั่นเพื่อพิจารณาลักษณะของสัญญาณเอาท์พุทที่ได้จากวงจรกรองแบบปรับตัวได้ เมื่อทำการกำหนดสัญญาณอินพุทเป็นสัญญาณรูปไซน์ความถี่ 5 kHz ขนาด 0.5 โวลท์ รวมอยู่กับสัญญาณรูปไซน์ซึ่งเป็นสัญญาณที่ต้องการ โดยทำการปรับความถี่ของสัญญาณที่ต้องการเป็น 100 Hz, 500 Hz และ 1kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

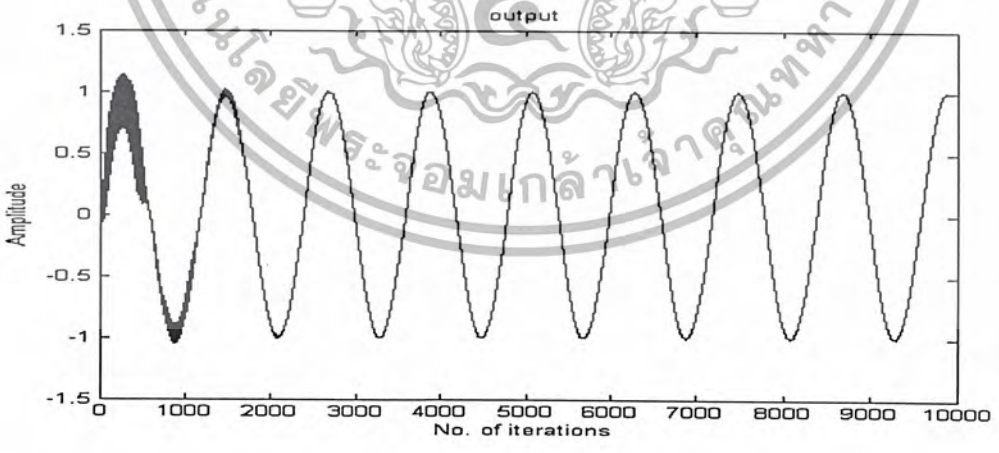
4.1.2 สัญญาณเอาท์พุทที่กรองได้ เมื่อสัญญาณอินพุทคือการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ



ก) สัญญาณที่ต้องการ (desire signal)



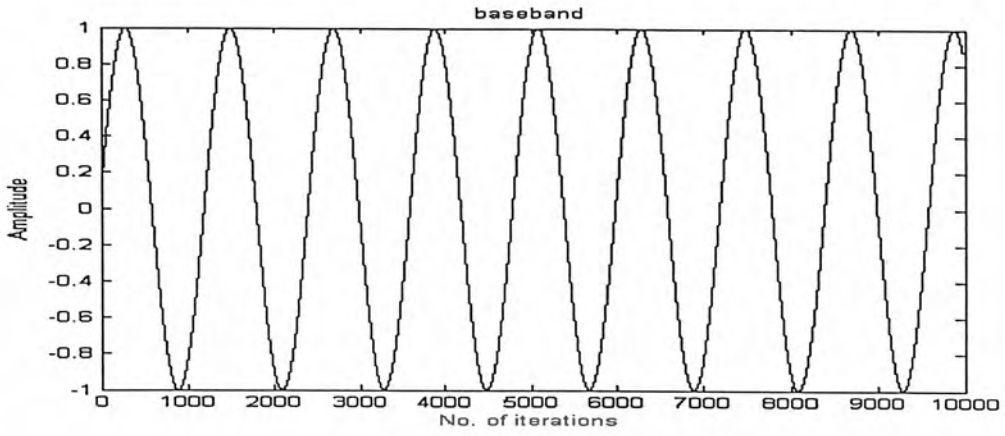
ข) สัญญาณอินพุท



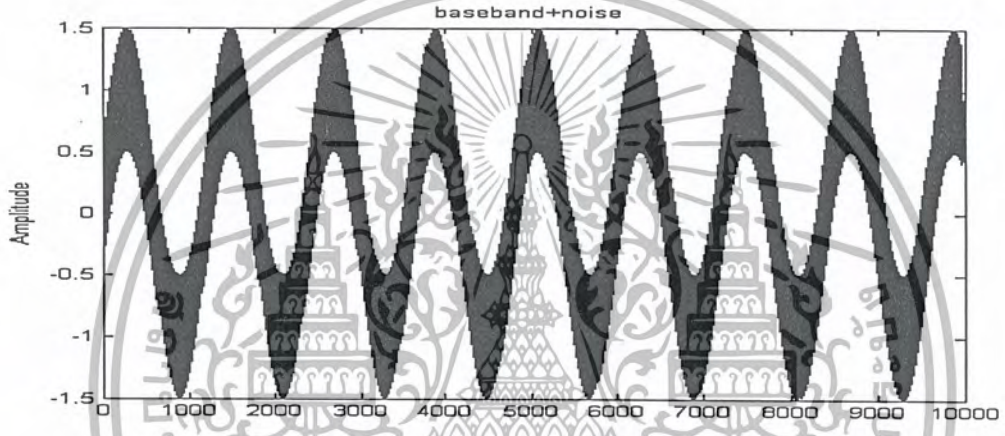
ค) สัญญาณที่กรองได้

รูปที่ 4.7 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 100 Hz

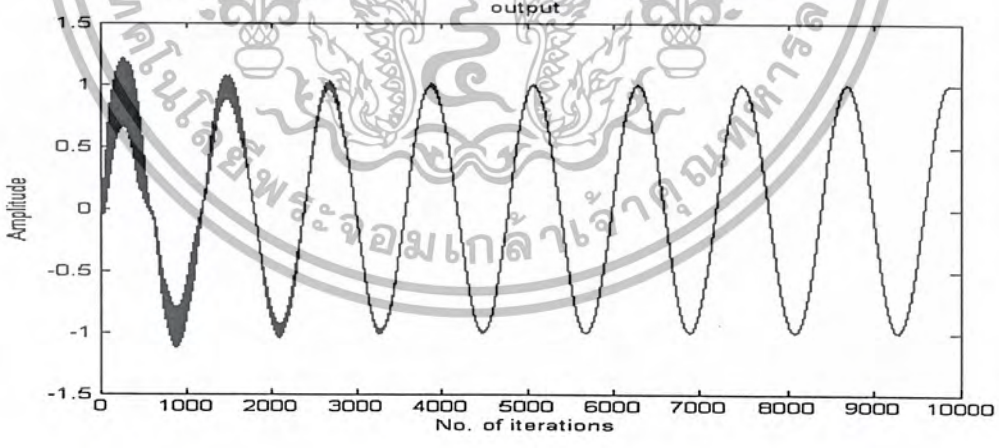
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



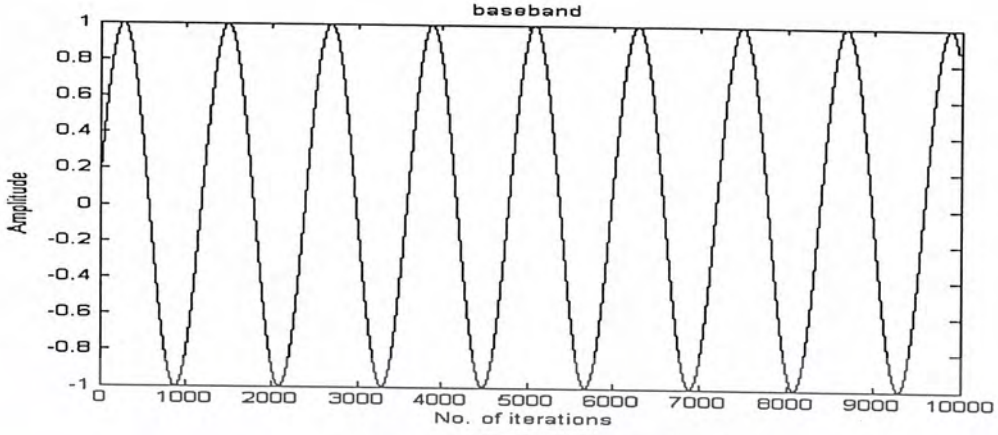
ข) สัญญาณอินพุท



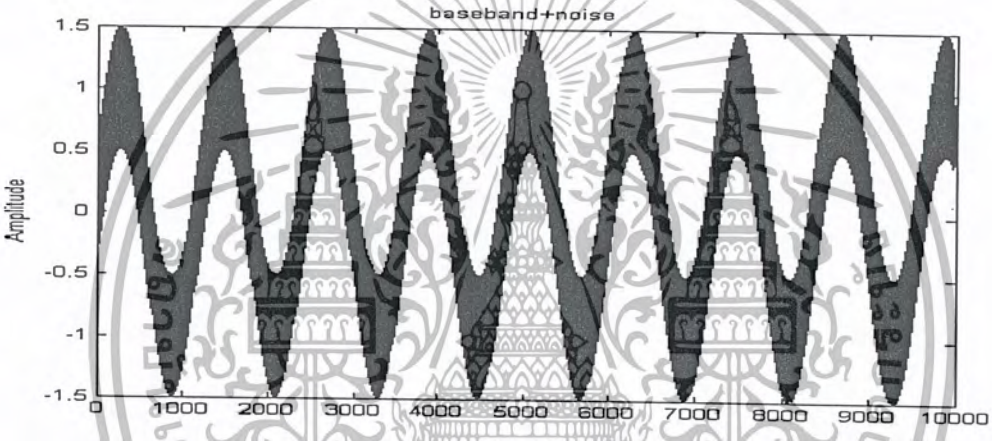
ค) สัญญาณที่กรองได้

รูปที่ 4.8 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 100 Hz

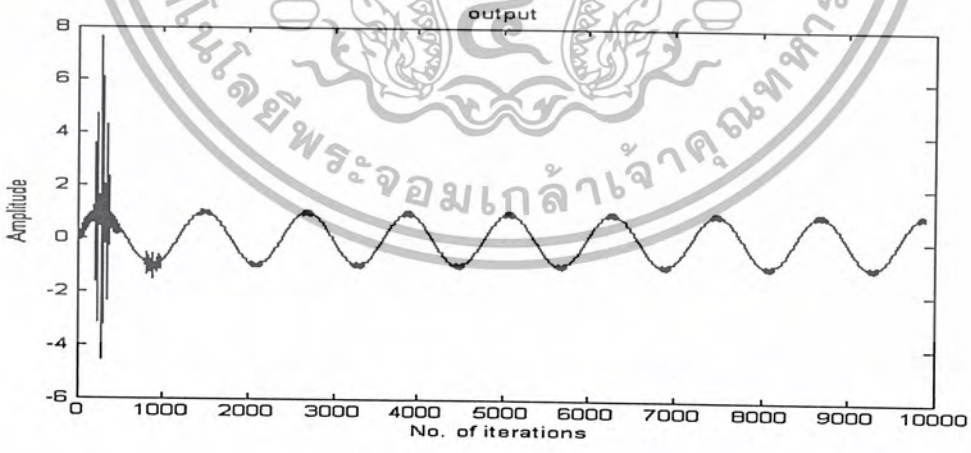
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



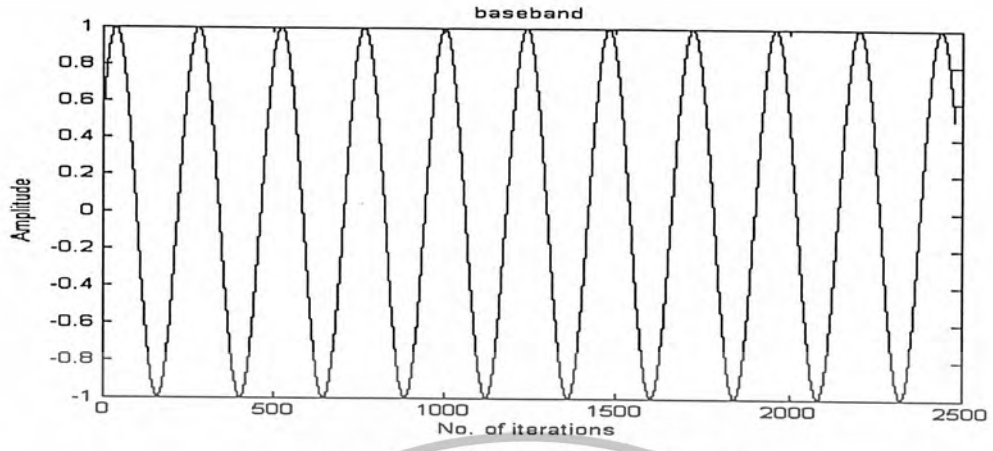
ข) สัญญาณอินพุท



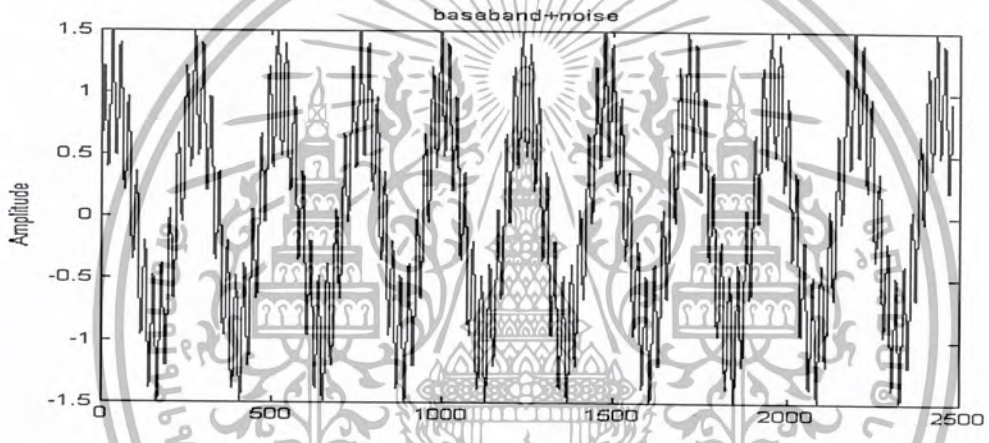
ค) สัญญาณที่กรองได้

รูปที่ 4.9 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 100 Hz

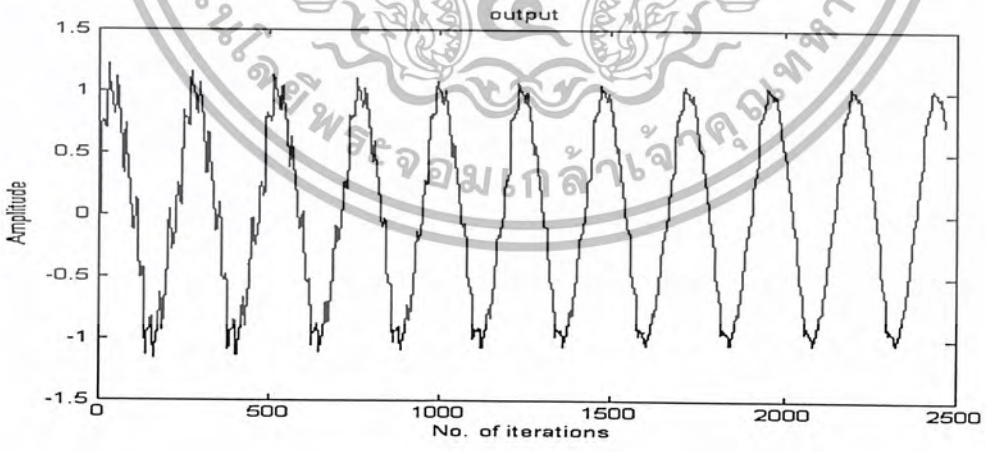
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



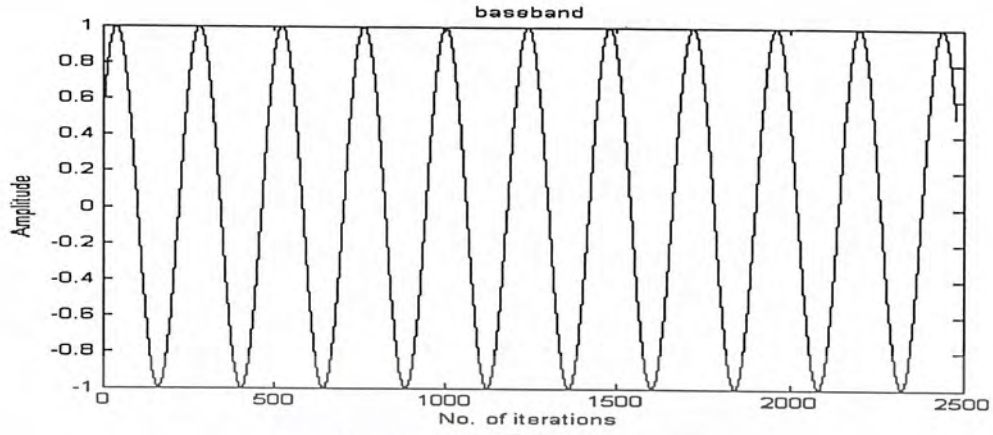
ข) สัญญาณอินพุท



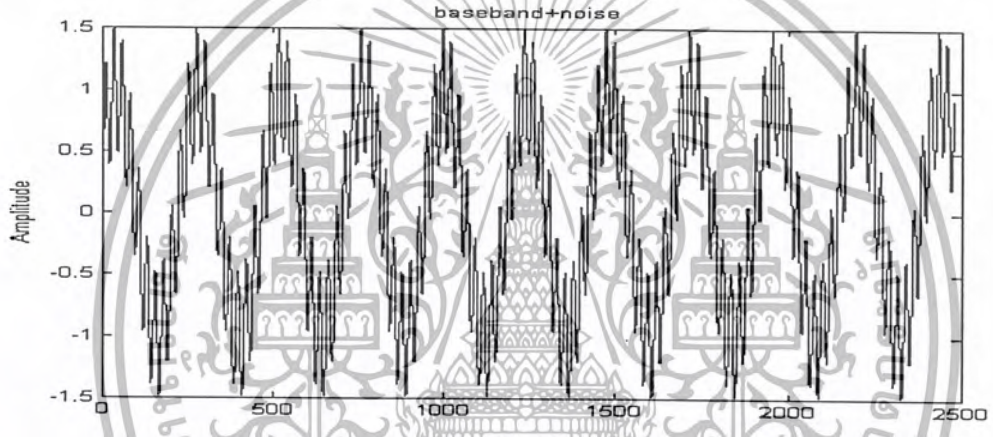
ค) สัญญาณที่กรองได้

รูปที่ 4.10 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการความถี่ 500 Hz

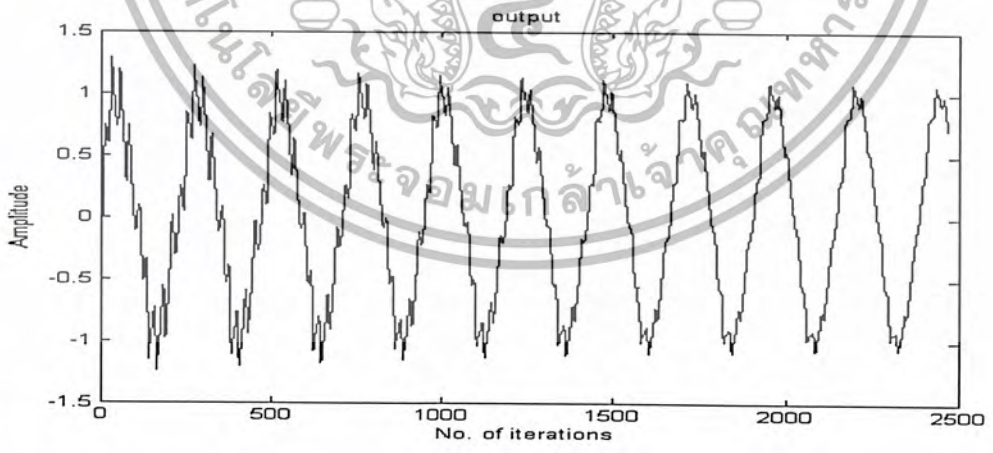
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



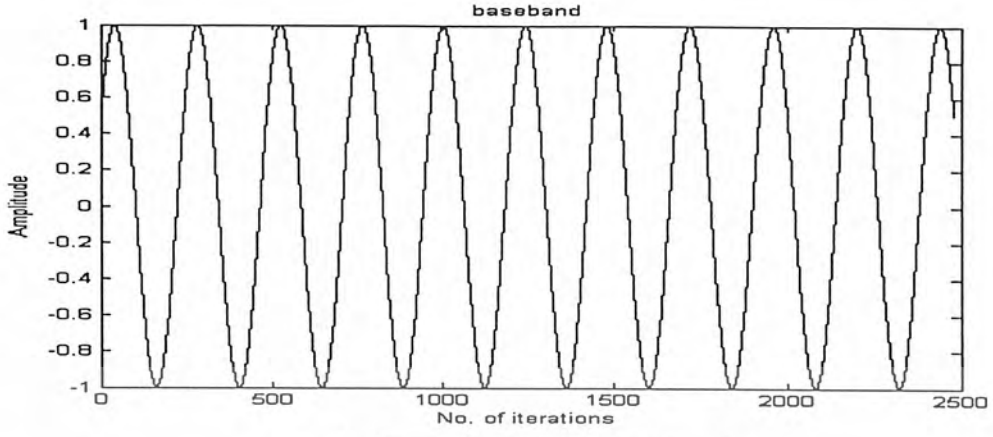
ข) สัญญาณอินพุท



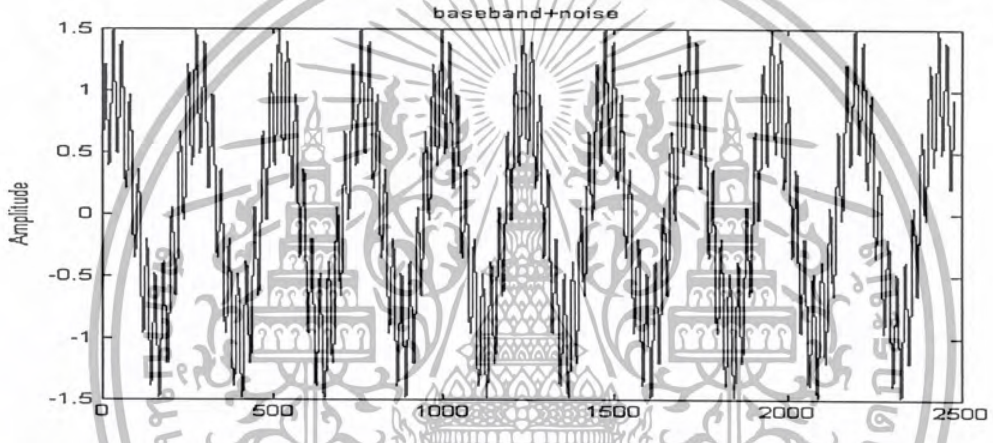
ค) สัญญาณที่กรองได้

รูปที่ 4.11 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 500 Hz

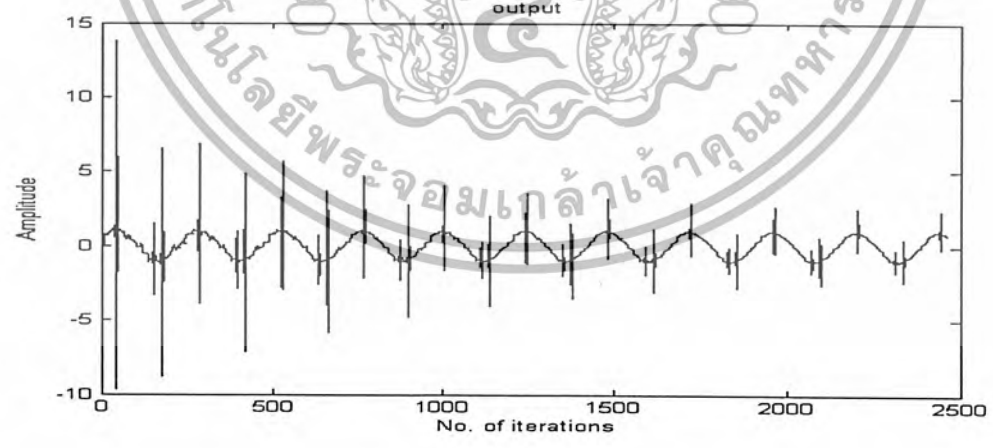
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



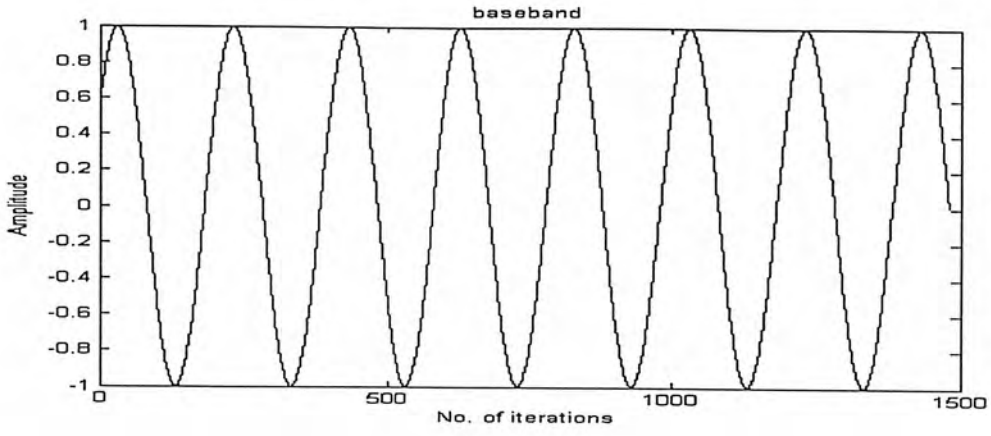
ข) สัญญาณอินพุท



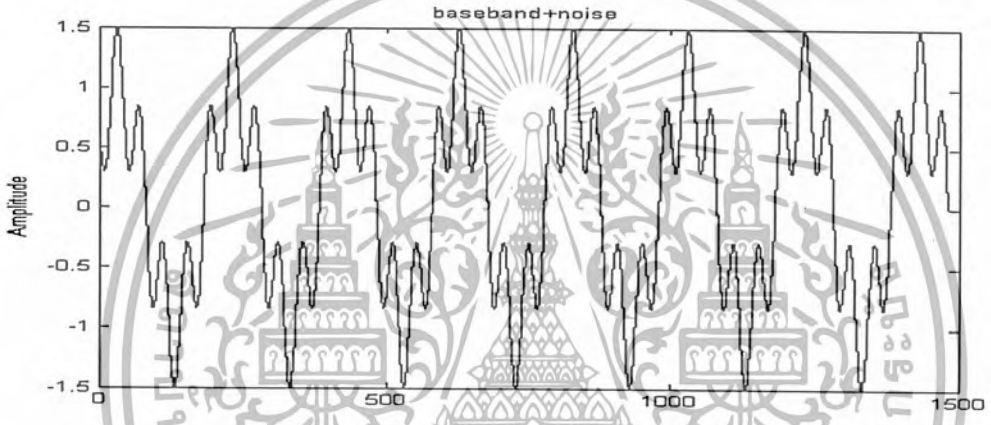
ค) สัญญาณที่กรองได้

รูปที่ 4.12 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 500 Hz

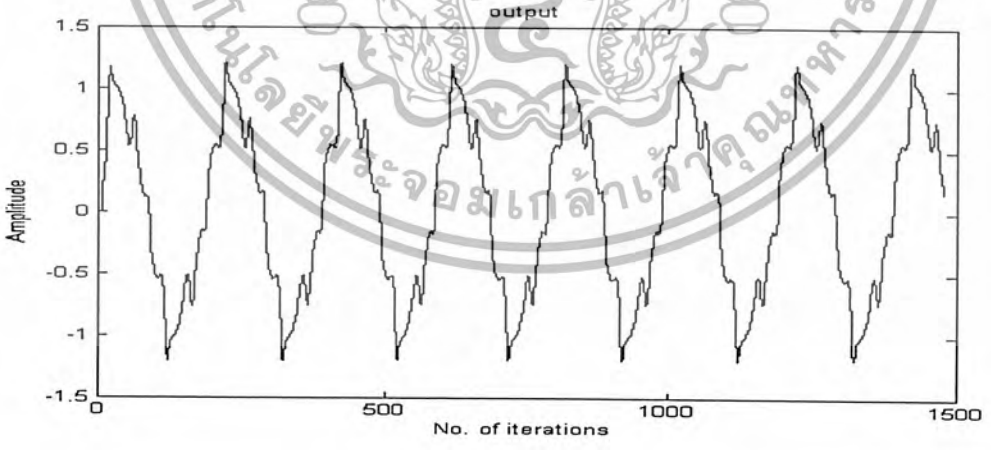
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



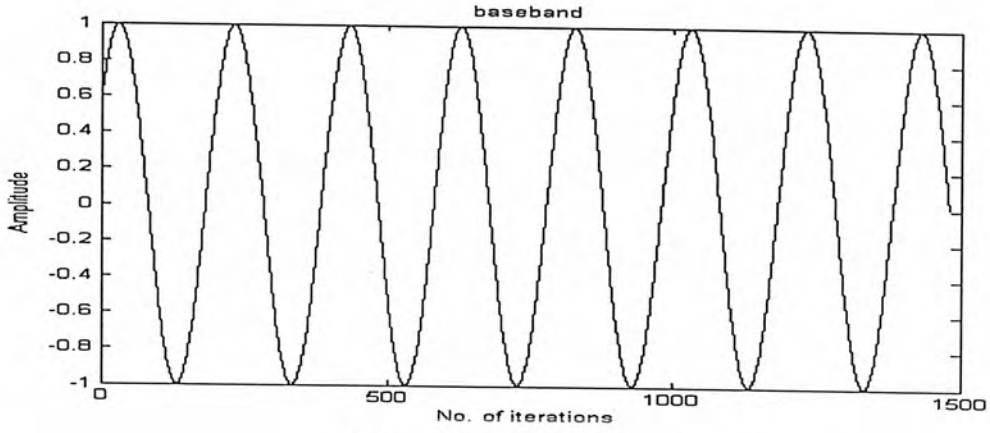
ข) สัญญาณอินพุท



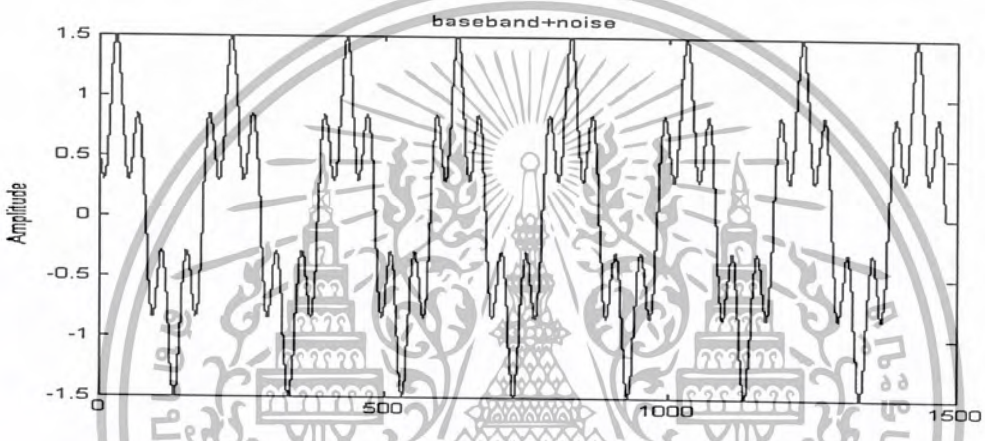
ค) สัญญาณที่กรองได้

รูปที่ 4.13 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 1 kHz

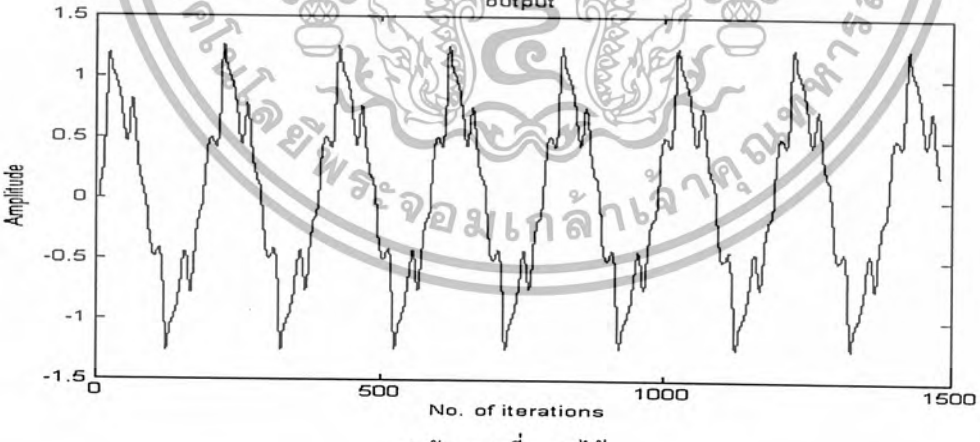
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



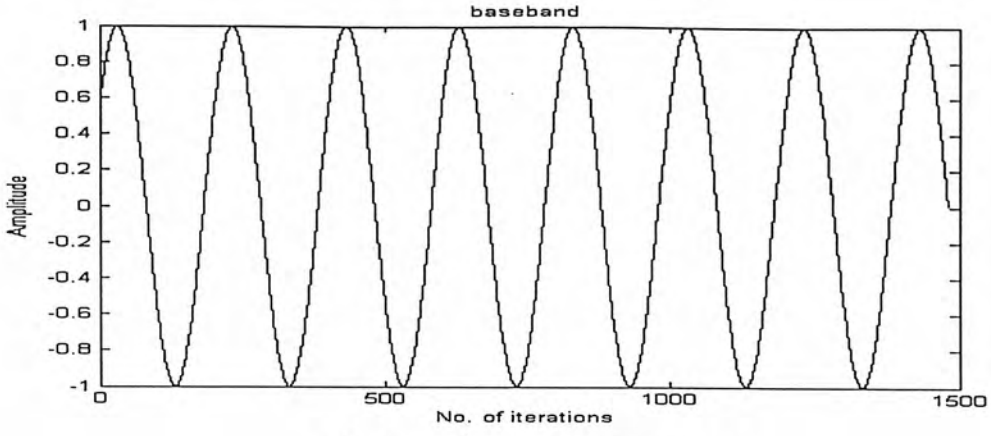
ข) สัญญาณอินพุท



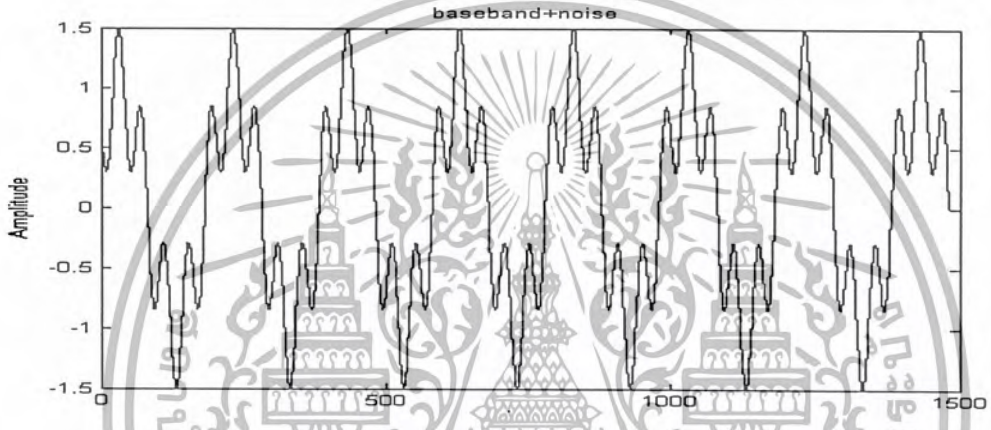
ค) สัญญาณที่กรองได้

รูปที่ 4.14 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.03125 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 1 kHz

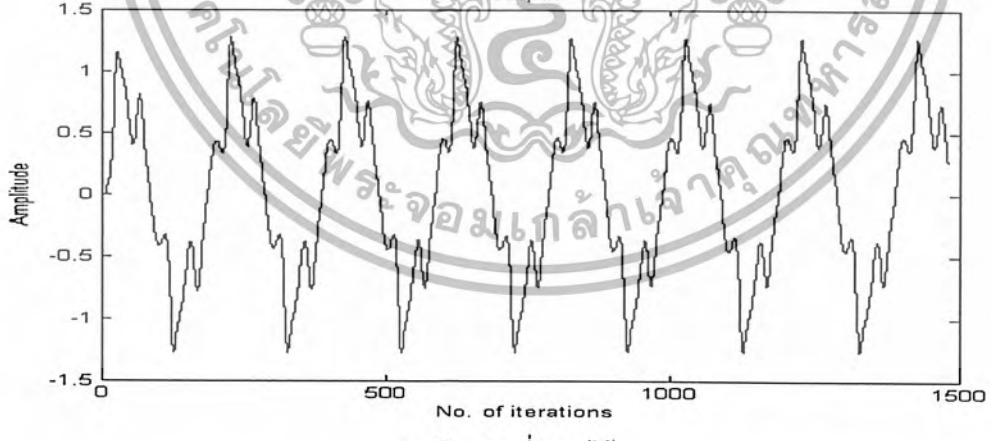
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) สัญญาณที่ต้องการ (desire signal)



ข) สัญญาณอินพุท



ค) สัญญาณที่กรองได้

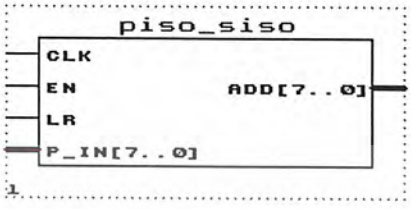
รูปที่ 4.15 แสดงสัญญาณต่างๆที่ได้จากวงจรกรองอันดับที่ 8 ค่าสัมประสิทธิ์การลู่เข้า 0.015625 เมื่อสัญญาณอินพุทคือสัญญาณรูปไซน์ความถี่ 5 kHz บวกกับสัญญาณที่ต้องการ ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

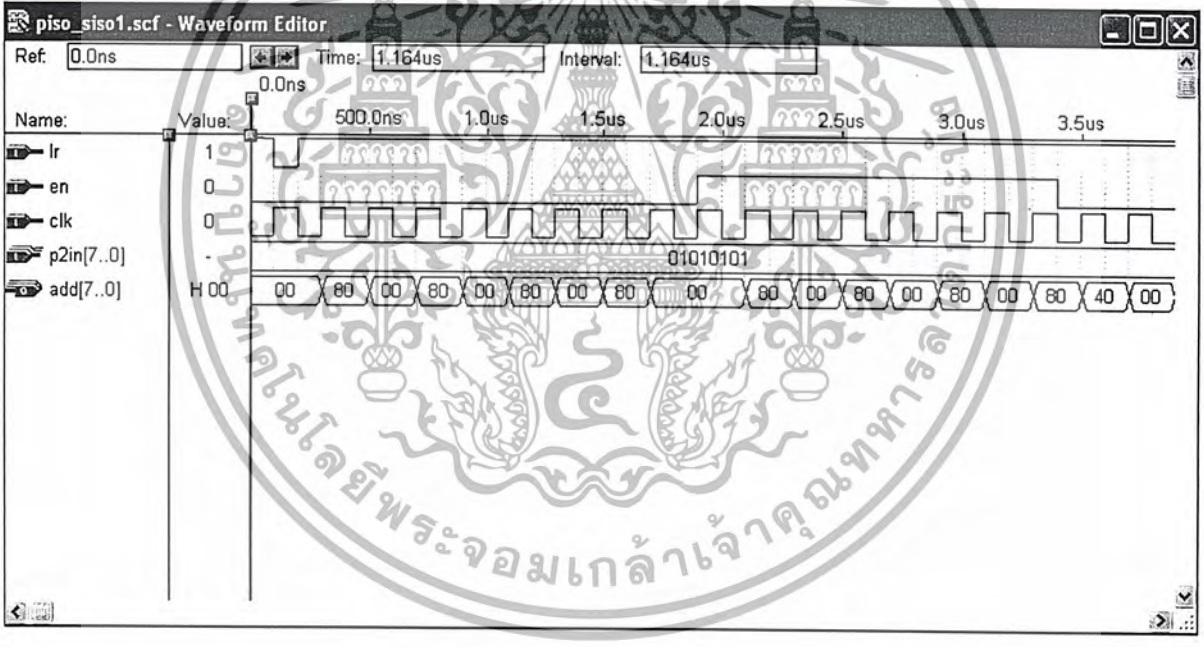
4.2 ผลการทดลองการออกแบบวงจรโดยใช้ภาษาวีเอชดีแอล

4.2.1 วงจร Parallel In Serial Out (PISO) และ Serial In Serial Out (SISO)

เป็นวงจรที่ทำหน้าที่รับค่าอินพุทขนาด 24 บิท โดยใช้สัญญาณ lr เป็นตัวควบคุมในการโหลดค่าเข้ามา และใช้สัญญาณนาฬิกา (CLK) ทำการเลื่อนค่าออกทางเอาท์พุททีละ 1 บิท ดังรูปที่ 4.16 และ 4.17



รูปที่ 4.16 แสดงสัญลักษณ์ของวงจรParallel In Serial Out (PISO) และ Serial In Serial Out (SISO)

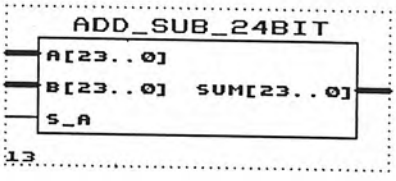


รูปที่ 4.17 แสดงผลการจำลองการทำงานของวงจร Parallel In Serial Out (PISO) และ Serial In Serial Out (SISO)

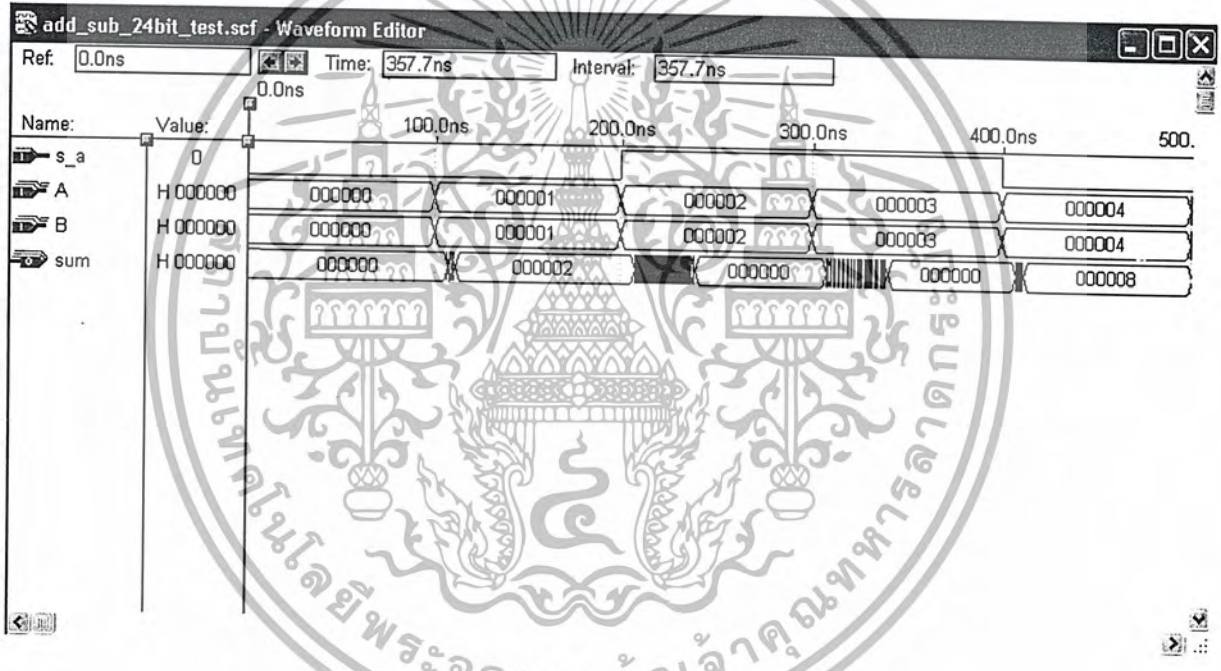
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรบวก/ลบ (Add/Sub)

ทำหน้าที่บวกและลบค่าขนาด 24 บิท โดยใช้ขาสัญญาณ s_a ในการควบคุมการบวกและลบ ดังรูปที่ 4.18 และ 4.19



รูปที่ 4.18 แสดงสัญลักษณ์ของวงจรบวก/ลบ(Add/Sub)

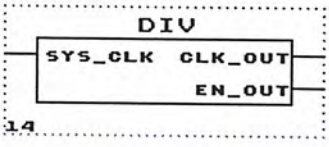


รูปที่ 4.19 แสดงผลการจำลองการทำงานของวงจรบวก/ลบ(Add/Sub)

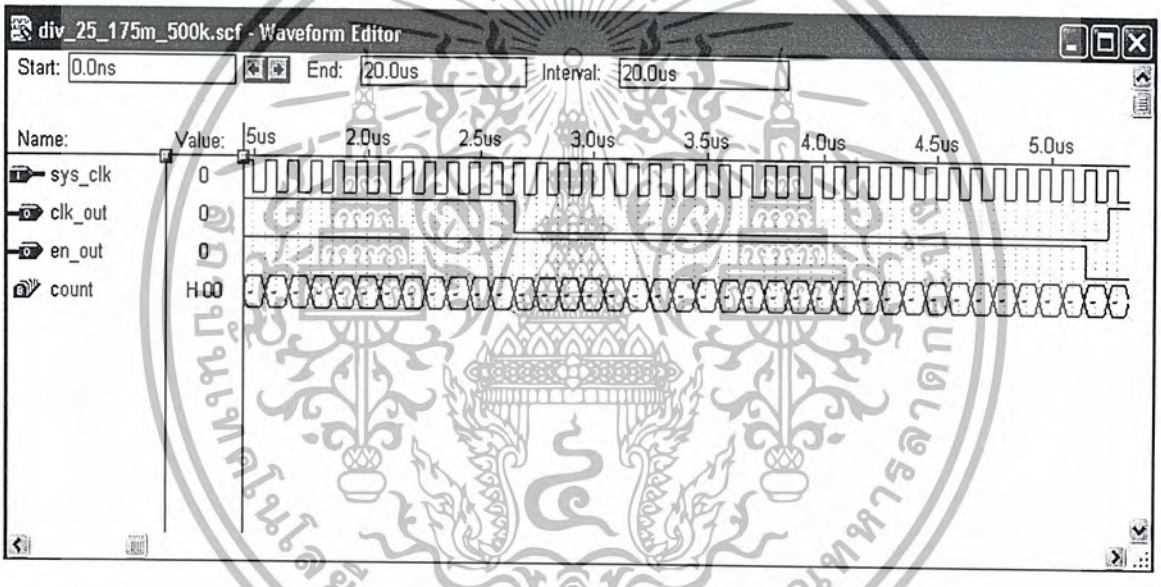
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรหารความถี่ (Frequency Divider)

เป็นวงจรที่ใช้หารความถี่ของสัญญาณนาฬิกาที่สร้างจากออสซิลเลเตอร์(Oscillator)ให้มีความถี่ที่เหมาะสมเพื่อใช้ในการกำหนดค่าความถี่แซมปลิ้ง(Sampling Frequency) ดังรูปที่ 4.20 และ 4.21



รูปที่ 4.20 แสดงสัญลักษณ์ของวงจรหารความถี่(Frequency Divider)

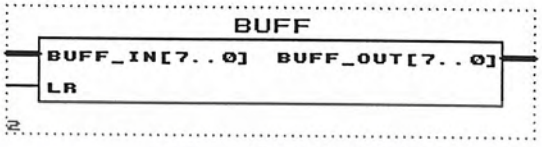


รูปที่ 4.21 แสดงผลการจำลองการทำงานของวงจรวงจรหารความถี่(Frequency Divider)

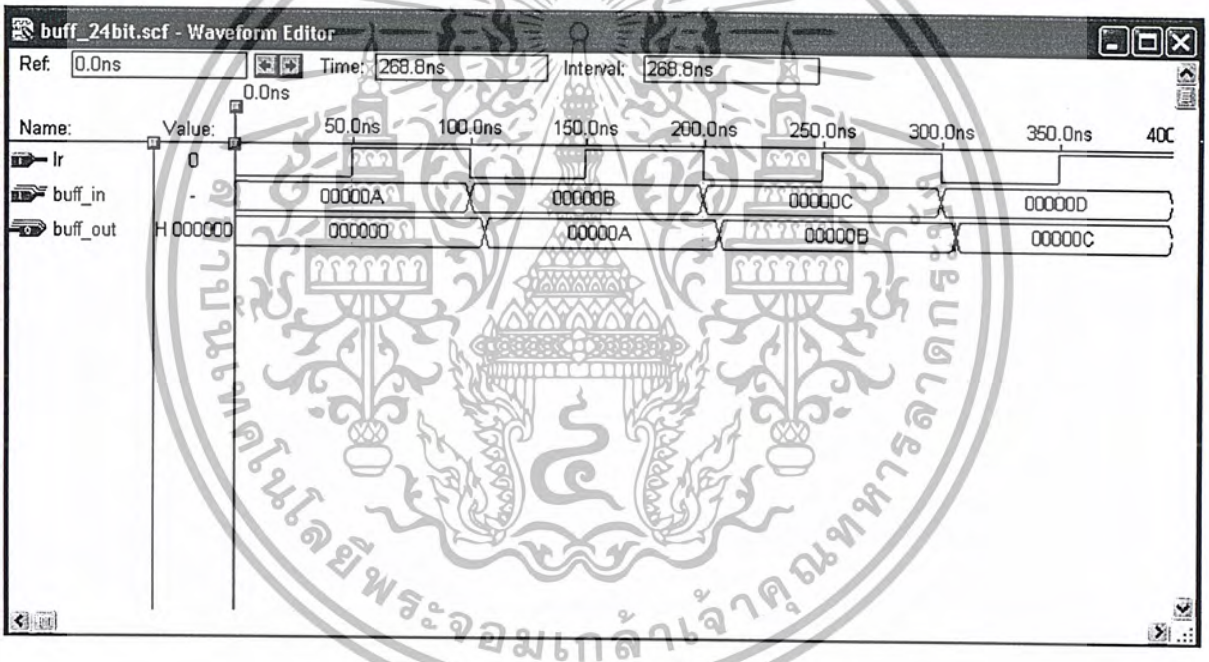
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรบัฟเฟอร์ (Buffer)

เป็นวงจรที่ทำหน้าที่ใช้เป็นตัวกันชนระหว่างวงจรภายในและใช้ในการโหลดค่าออกเอาท์พุท โดยใช้ขาสัญญาณ lr ในการโหลดค่าออกเอาท์พุท ดังรูปที่ 4.22 และ 4.23



รูปที่ 4.22 แสดงสัญลักษณ์ของวงจรบัฟเฟอร์(Buffer)

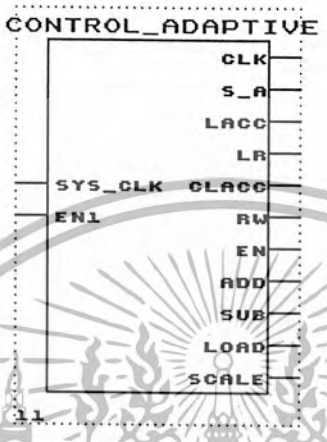


รูปที่ 4.23 แสดงผลการจำลองการทำงานของวงจรบัฟเฟอร์(Buffer)

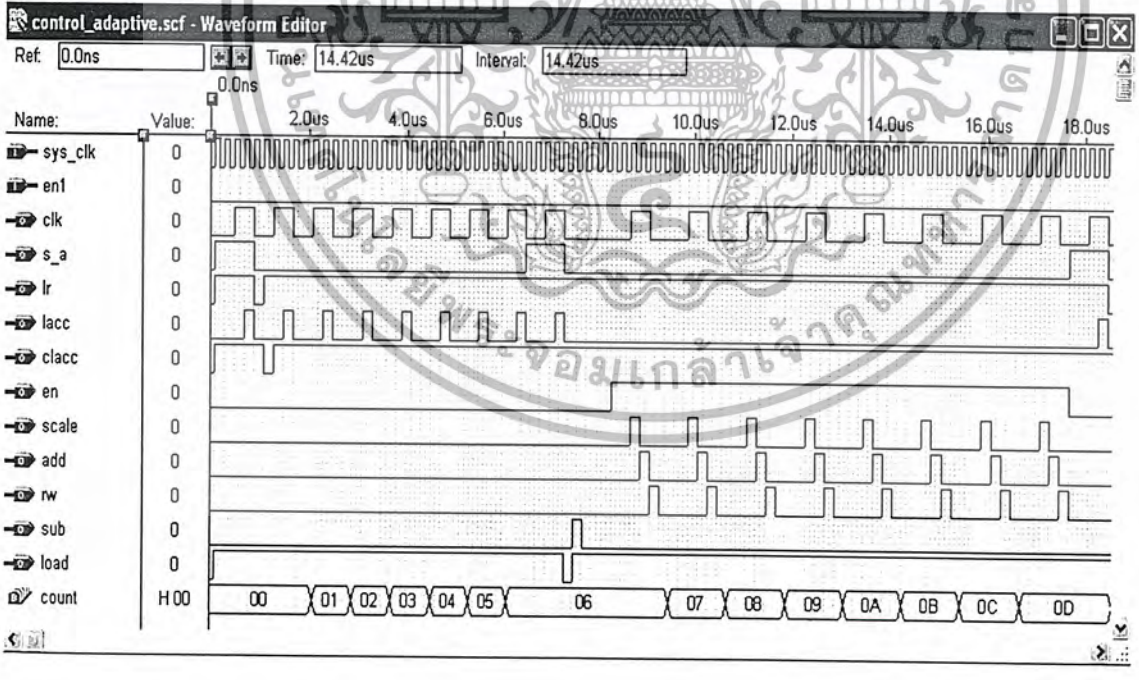
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 วงจรสร้างสัญญาณควบคุม (Control Unit)

เป็นวงจรที่สำคัญมากเพราะเป็นวงจรที่ใช้สำหรับควบคุมการทำงานของทุกๆวงจร ให้สามารถทำงานตามที่ต้องการได้ เป็นวงจรที่ให้กำเนิดสัญญาณควบคุมเพื่อใช้ในการควบคุมยูนิตต่างๆทั้งหมดโดยใช้ clk ของระบบเป็นสัญญาณอ้างอิง และให้สัญญาณควบคุมทั้ง11ขา ดังรูปที่ 4.24 และ 4.25



รูปที่ 4.24 แสดงสัญลักษณ์ของวงจรสร้างสัญญาณควบคุม(Control Unit)

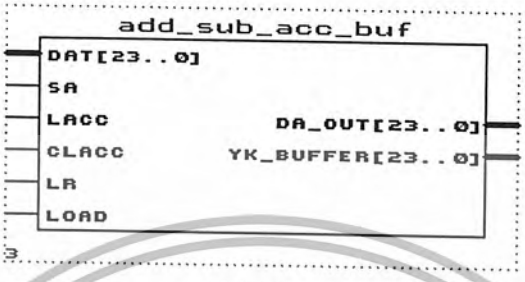


รูปที่ 4.25 แสดงผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม(Control Unit)

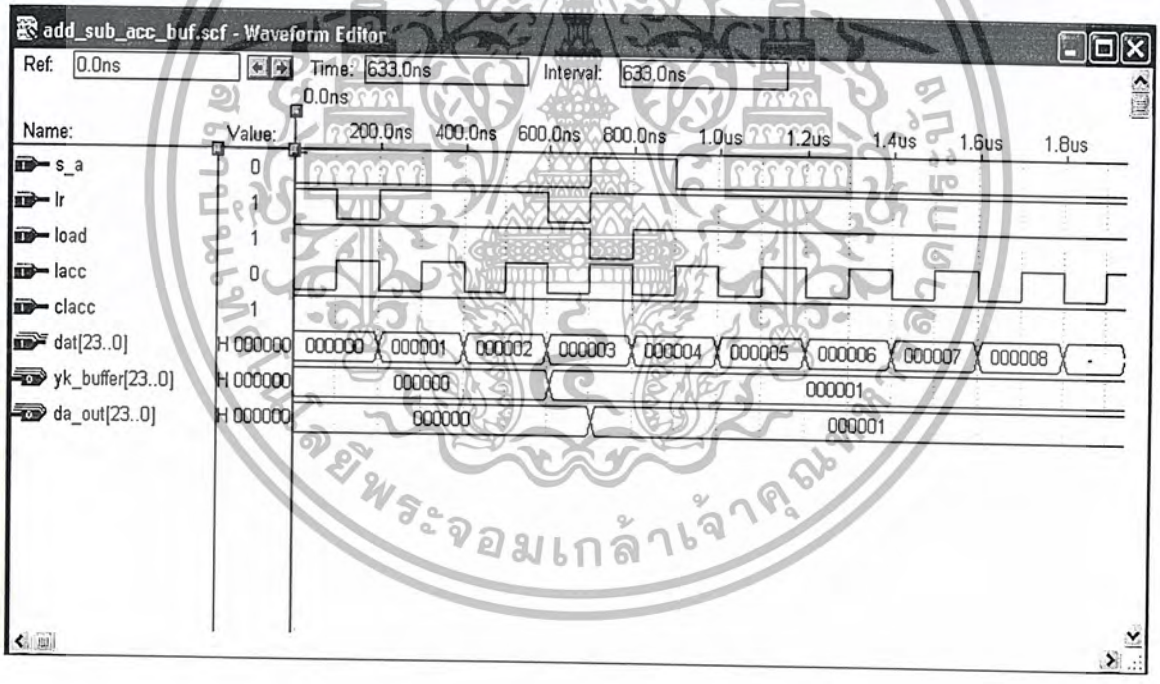
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 วงจรสเกลลิ่งแอคคิวมูเลเตอร์ (Scaling Accummulator)

เป็นวงจรที่รวมเอาวงจรบวก วงจรแอคคิวมูเลเตอร์ และวงจรบัฟเฟอร์ เข้าด้วยกัน เพื่อทำหน้าที่ในการบวกลบเลขส่วนเติมเต็มสองแทนการคูณโดยตรง ดังรูปที่ 4.26 และ 4.27



รูปที่ 4.26 แสดงสัญลักษณ์ของวงจรสเกลลิ่งแอคคิวมูเลเตอร์ (Scaling Accumulator)

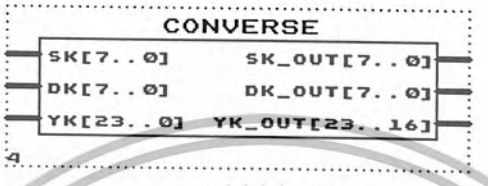


รูปที่ 4.27 แสดงผลการจำลองการทำงานของวงจรสเกลลิ่งแอคคิวมูเลเตอร์ (Scaling Accumulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.7 วงจรกลับบิทเครื่องหมาย (Converse Sign Bit)

เป็นวงจรที่ใช้ในการกลับบิท MSB (Most Significant Bit) จากลอจิก "0" ให้เป็นลอจิก"1" และ จากลอจิก "1" ให้เป็นลอจิก "0" ของอินพุทที่เป็นรูปแบบของสัญญาณออฟเซทให้เป็นสัญญาณแบบส่วนเติมเต็มสองมาใช้ในการประมวลผลและนำเอาท์พุทที่ได้จากการประมวลผลแล้วซึ่งเป็นเลขส่วนเติมเต็มสองแปลงกลับให้เป็นสัญญาณออฟเซทตามเดิม ดังรูปที่ 4.28 และ 4.29



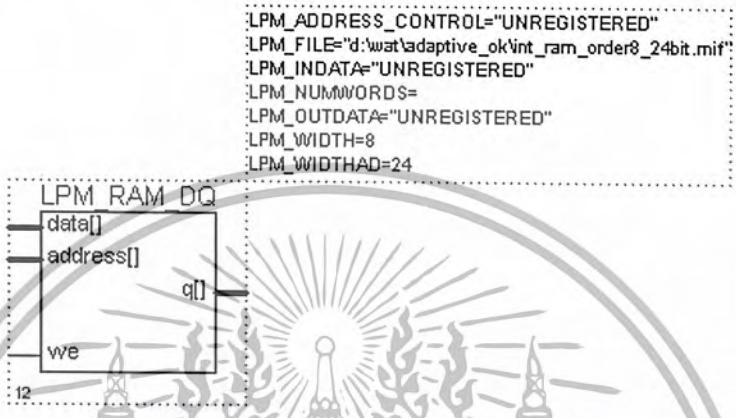
รูปที่ 4.28 แสดงสัญลักษณ์ของวงจรกลับบิทเครื่องหมาย (Converse Sign Bit)

รูปที่ 4.29 แสดงผลการจำลองการทำงานของวงจรกลับบิทเครื่องหมาย (Converse Sign Bit)

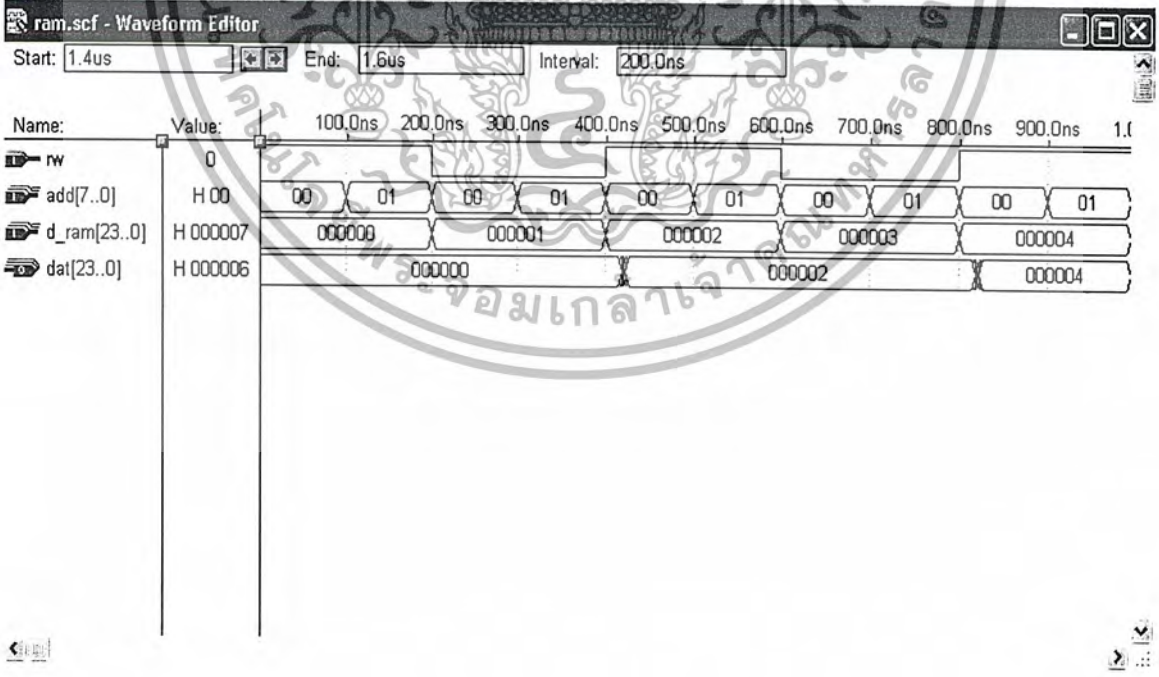
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.8 วงจรส่วนเก็บค่าและเรียกค่าข้อมูล (Random Access Memory)

เป็นวงจรที่ทำหน้าที่เก็บค่าผลคูณย่อย (Partial Product) ของตัวกรองปรับตัวได้ โดยที่สัญญาณ rw="0" จะเป็นการอ่านค่าผลคูณย่อยที่อยู่ในRAMออกมาใช้งาน และถ้าสัญญาณ rw ="1" จะเป็นการเขียนค่าผลคูณย่อยใหม่เข้าไปเก็บไว้ในส่วนเก็บค่าและเรียกค่าข้อมูล ดังรูปที่ 4.30 และ 4.31



รูปที่ 4.30 แสดงสัญลักษณ์ของวงจรส่วนเก็บค่าและเรียกค่าข้อมูล

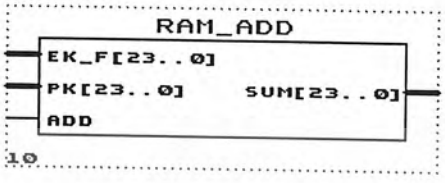


รูปที่ 4.31 แสดงผลการจำลองการทำงานของวงจรส่วนเก็บค่าและเรียกค่าข้อมูล

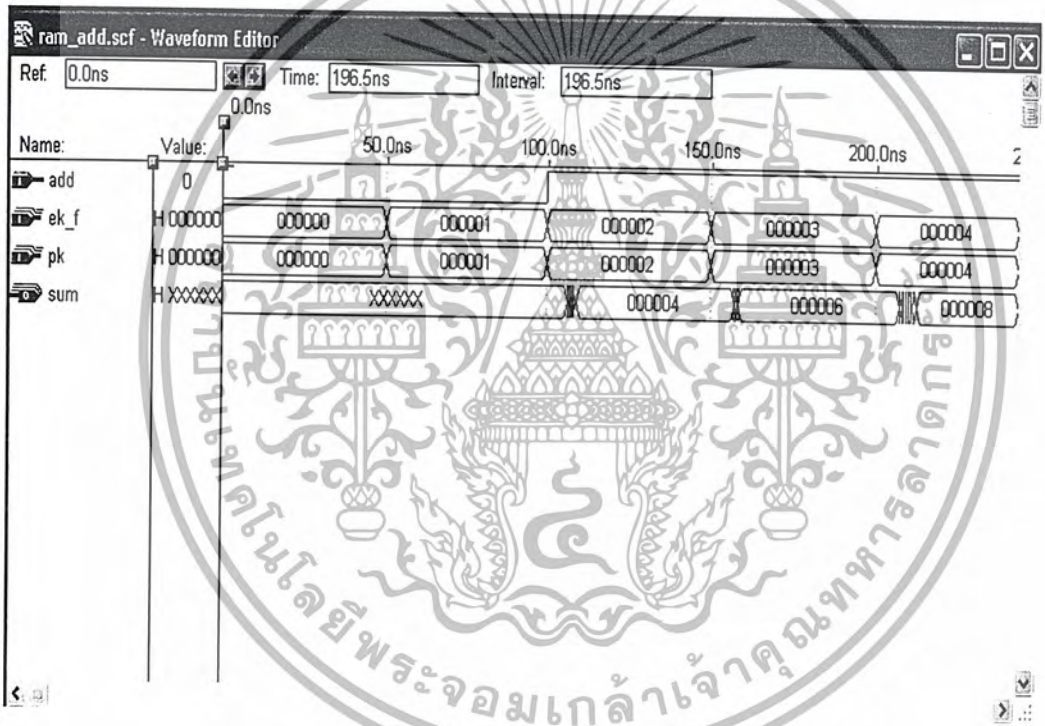
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.9 วงจรบวก (Adder)

เป็นวงจรที่ทำหน้าที่หาค่าผลรวมระหว่างค่าที่ทำการสเกลค่ากับผลคูณย่อยขนาด24บิท เพื่อที่จะทำให้ได้ค่าของผลคูณย่อยใหม่ก่อนที่จะนำไปเก็บไว้ใน RAM โดยมีขาสัญญาณ add เป็นตัวควบคุม ดังรูปที่ 4.32 และ 4.33



รูปที่ 4.32 แสดงสัญลักษณ์ของวงจรบวก (Adder)

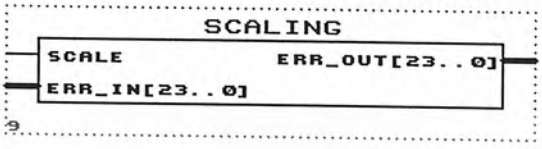


รูปที่ 4.33 แสดงผลการจำลองการทำงานของวงจรบวก (Adder)

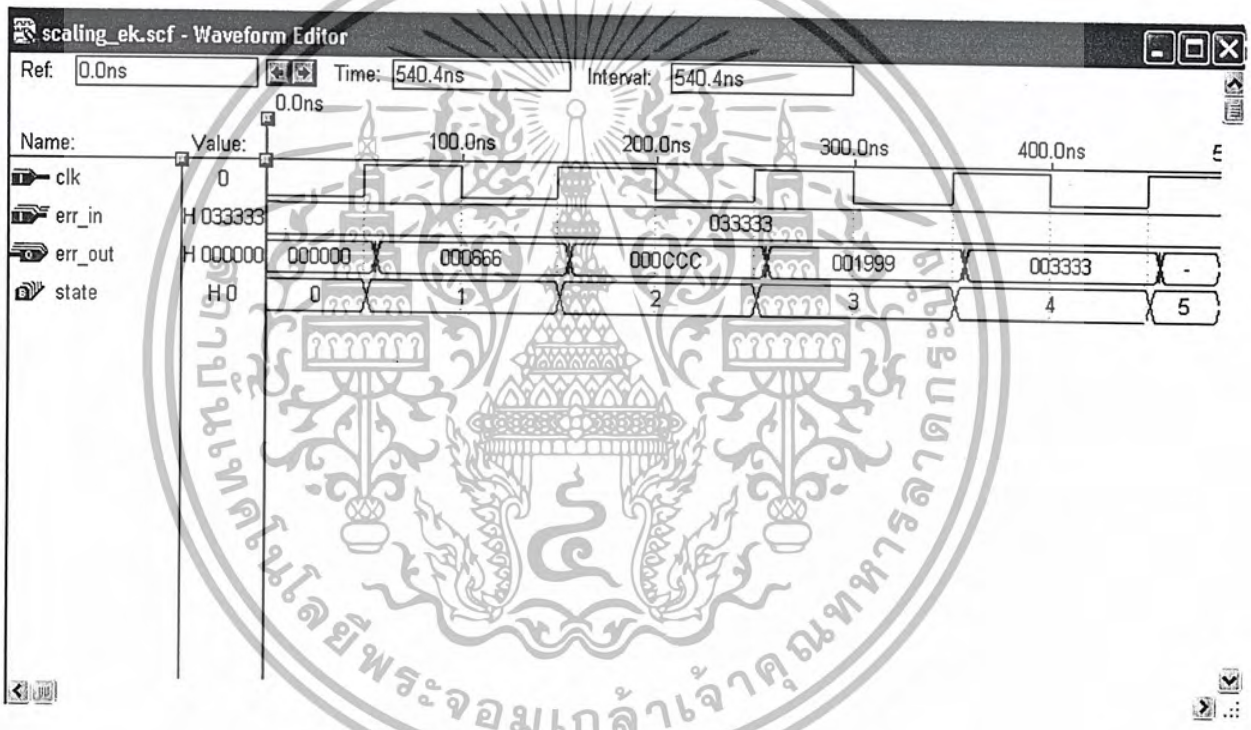
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.10 วงจรปรับน้ำหนัก (Weighting)

เป็นวงจรที่ใช้ในการปรับค่าน้ำหนัก (weight) ซึ่งจะถูกกำหนดโดยแต่ละบิทที่อินพุทชี้ใน RAM ขาสัญญาณ scale จะเป็นตัวกำหนดจังหวะในการปรับค่าน้ำหนัก เพื่อให้การปรับตรงตามทฤษฎี ดังรูปที่ 4.34 และ 4.35



รูปที่ 4.34 แสดงสัญลักษณ์ของวงจรปรับน้ำหนัก (Weighting)

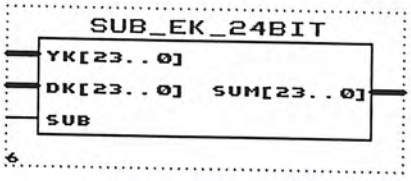


รูปที่ 4.35 แสดงผลการจำลองการทำงานของวงจรปรับน้ำหนัก (Weighting)

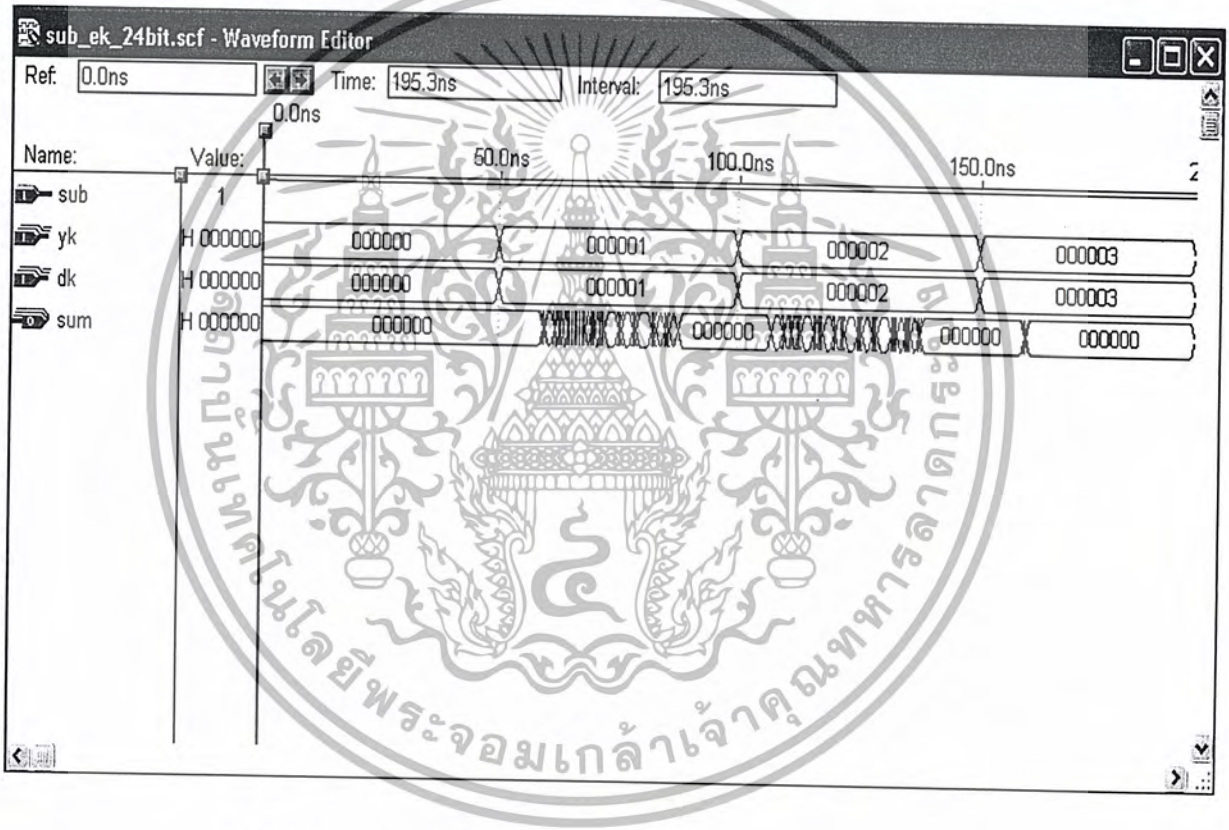
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.11 วงจรลบ (Subtractor)

เป็นวงจรที่ทำหน้าที่หาผลต่างระหว่างสัญญาณเอาท์พุทกับสัญญาณที่ต้องการ โดยมีขาสัญญาณ sub เป็นตัวควบคุม ดังรูปที่ 4.36 และ 4.37

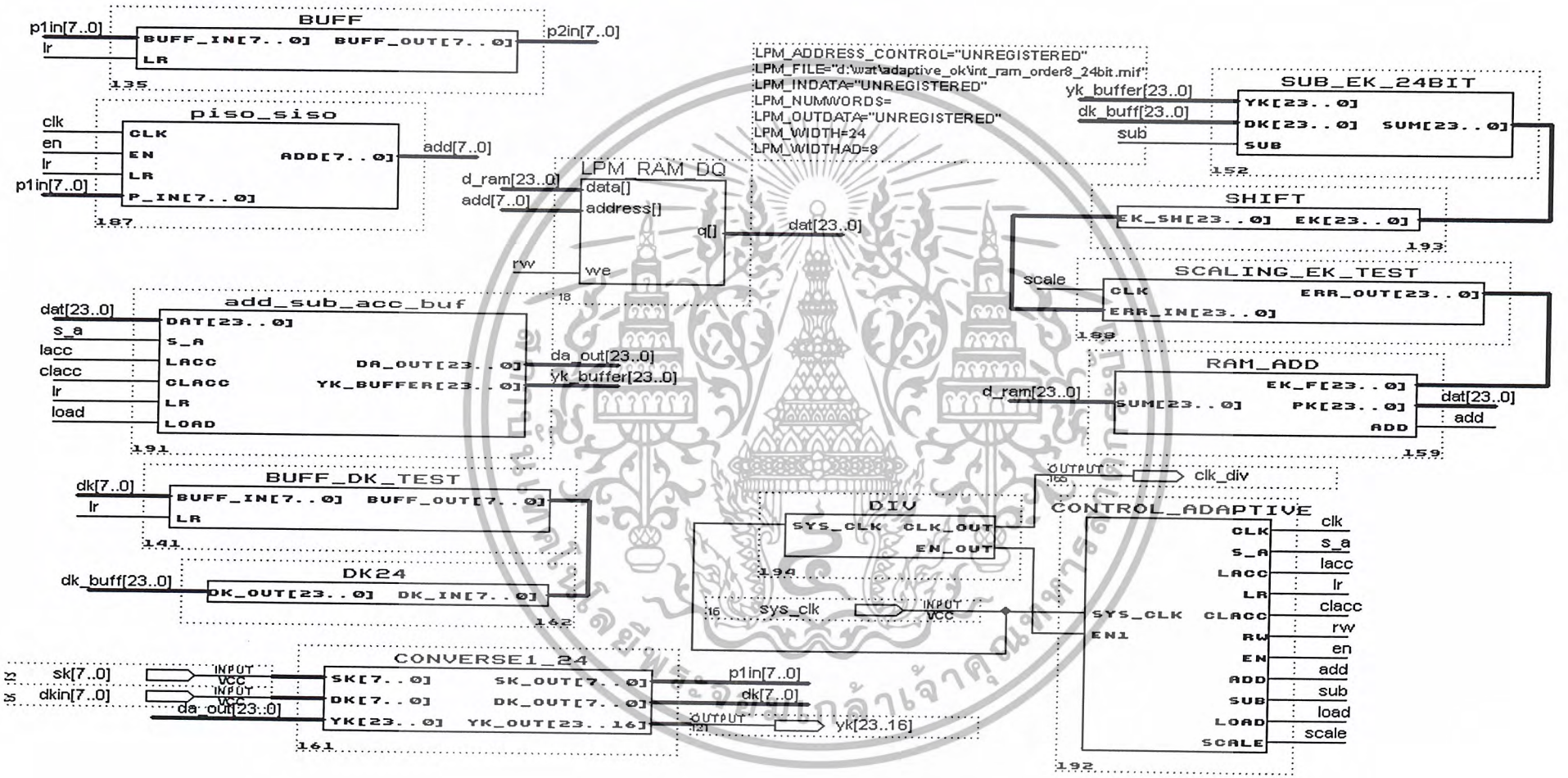


รูปที่ 4.36 แสดงสัญลักษณ์ของวงจรลบ (Subtractor)

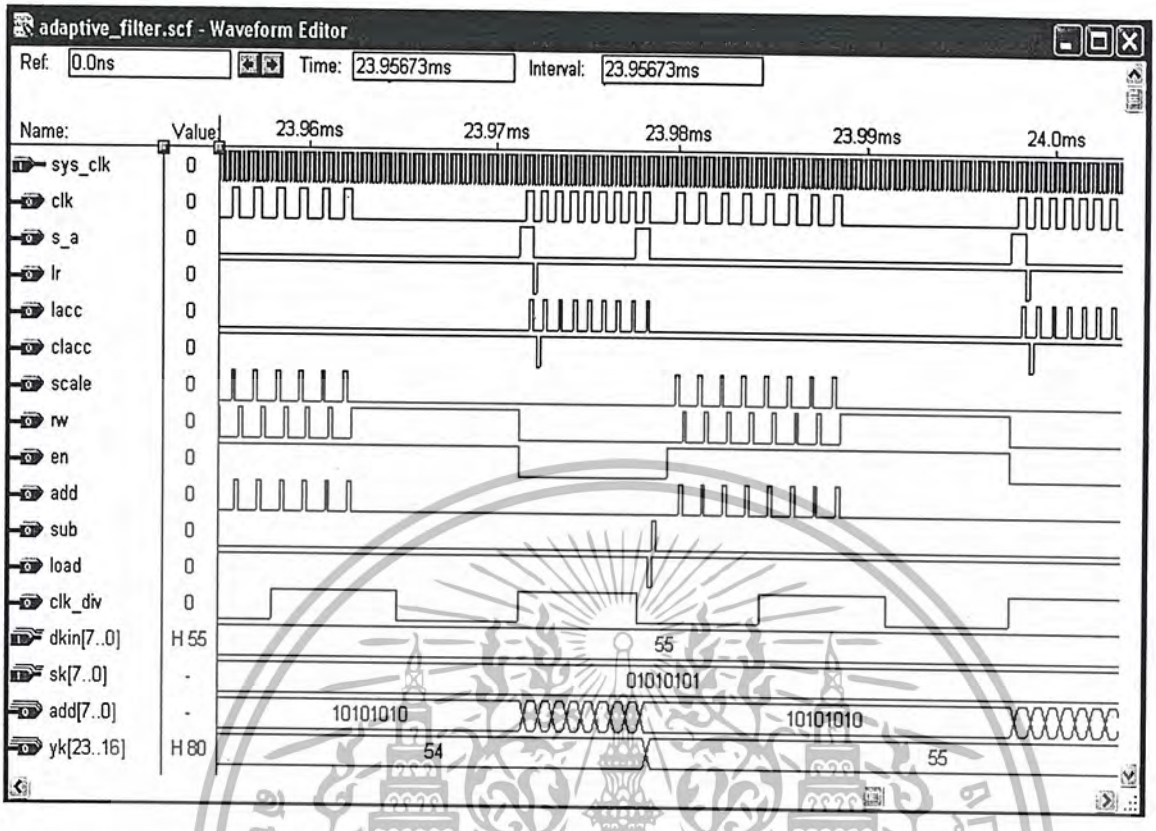


รูปที่ 4.37 แสดงผลการจำลองการทำงานของวงจรลบ (Subtractor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.38 แสดงสัญญลักษณ์ของวงจรกรองความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย (Adaptive filter using Distributed Arithmetic)



รูปที่ 4.39 แสดงผลการจำลองการทำงานของวงจรความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย (Adaptive filter using Distributed Arithmetic)

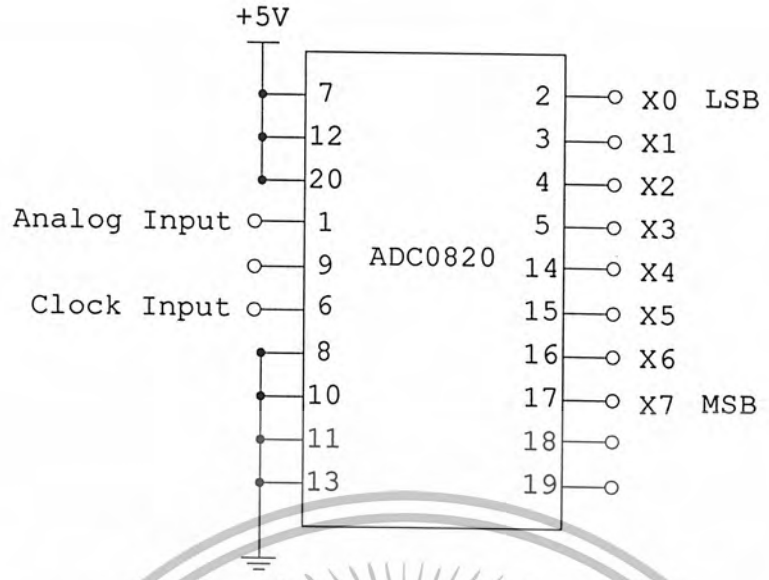
4.3 การนำโปรแกรมที่ออกแบบโดยภาษา VHDL ไปสร้างเป็นวงจรกรองความถี่แบบปรับตัวได้

ในการทดลองนี้จะเป็นการทดลอง เพื่อดูคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้นว่าเป็นไปตาม ที่ออกแบบไว้หรือไม่

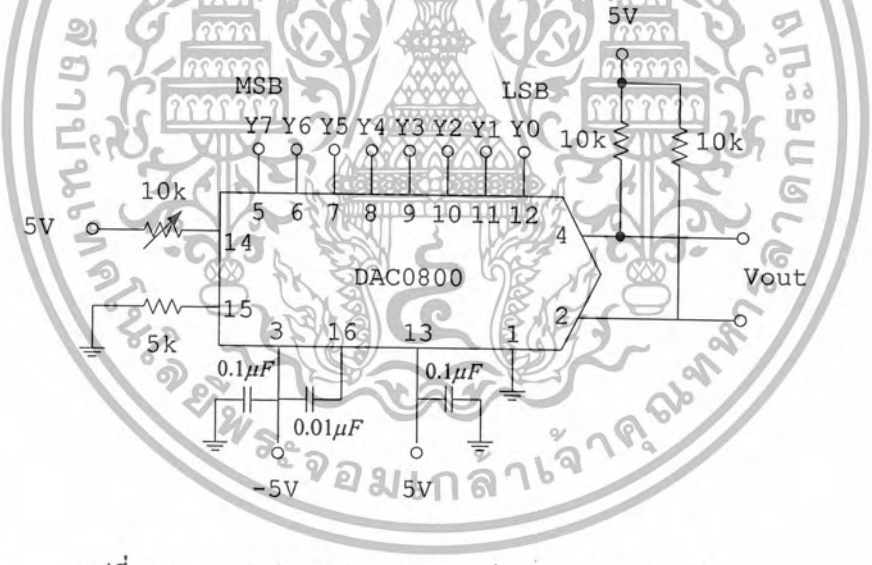
การทดลองนี้จะมีอุปกรณ์ที่ใช้อยู่ 3 ส่วนดังนี้

1. วงจรแปลงสัญญาณเชิงอนาล็อก (Analog) เป็นสัญญาณดิจิตอล (Digital) โดยจะใช้อุปกรณ์ที่เรียกว่า Analog To Digital Converter (ADC)
2. วงจรแปลงสัญญาณดิจิตอล (Digital) เป็นสัญญาณเชิงอนาล็อก (Analog) โดยจะใช้อุปกรณ์ที่เรียกว่า Digital To Analog Converter (DAC)
3. อุปกรณ์ FPGA ของบริษัท ALTERA ตระกูล ACEX1K เบอร์ EP1K50TC144-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.40 วงจรแปลงสัญญาณเชิงอนาล็อกเป็นสัญญาณดิจิตอล

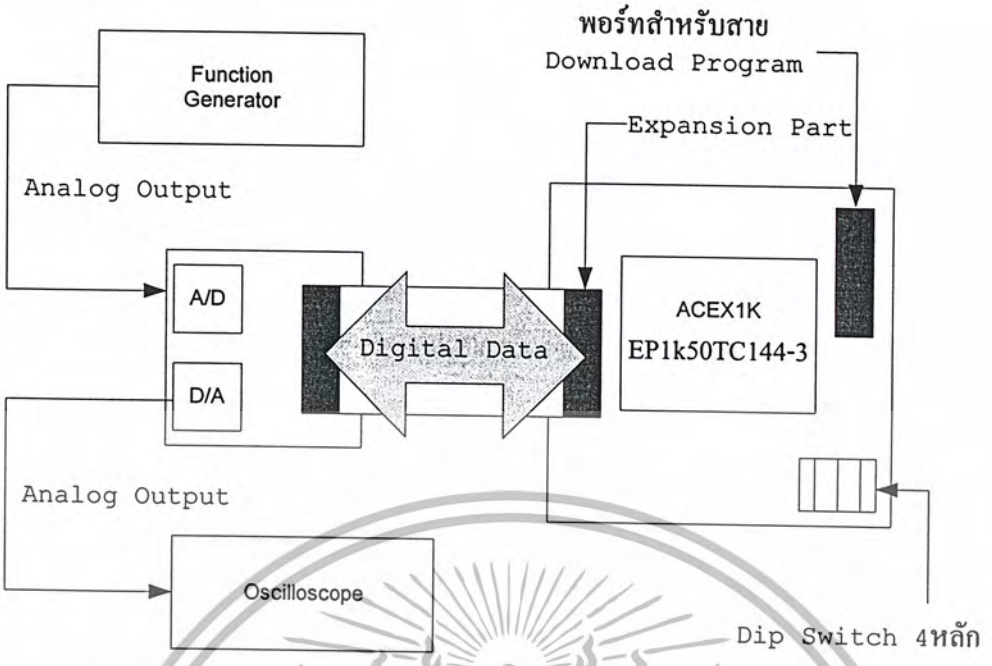


รูปที่ 4.41 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาล็อก

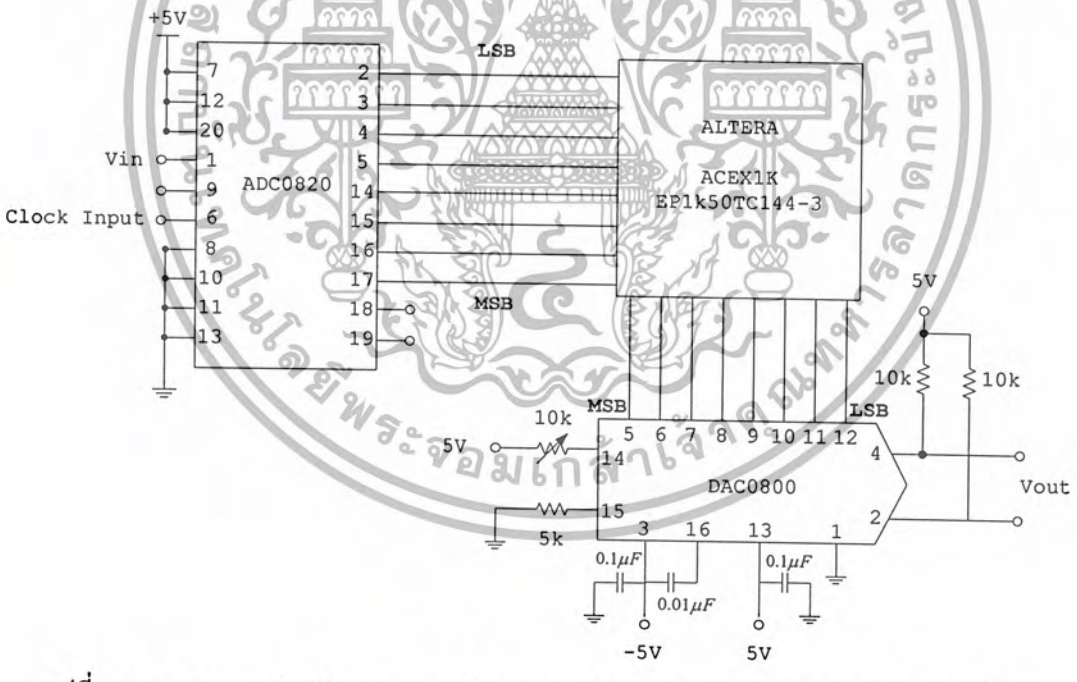
4.3.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

ออกแบบวงจรรวมโดยใช้อุปกรณ์ทั้ง 3 ส่วนข้างต้นมาต่อรวมกันดังรูปที่ 4.39 เพื่อนำไปวัดคุณสมบัติของวงจรกรองสัญญาณที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.42 การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น

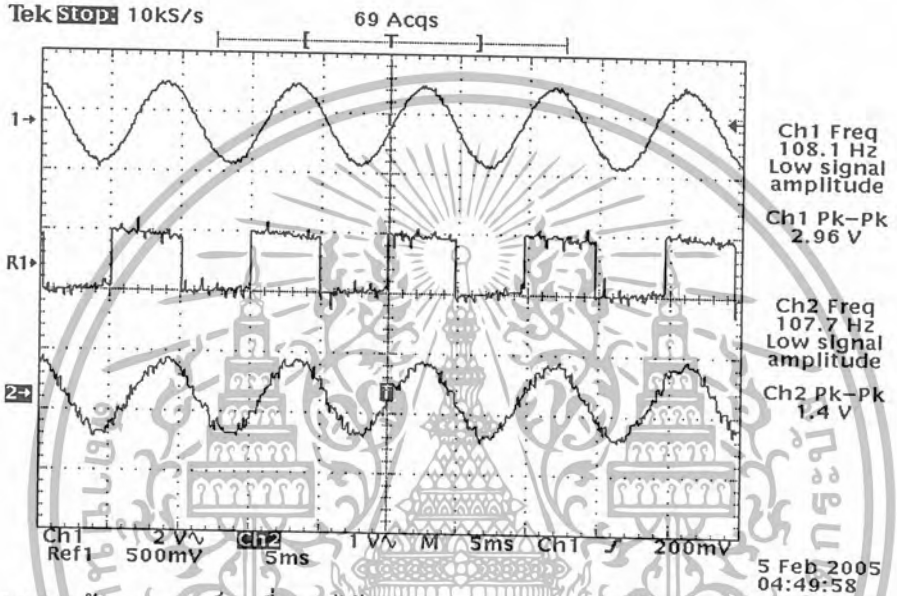


รูปที่ 4.43 วงจรรวมสำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น

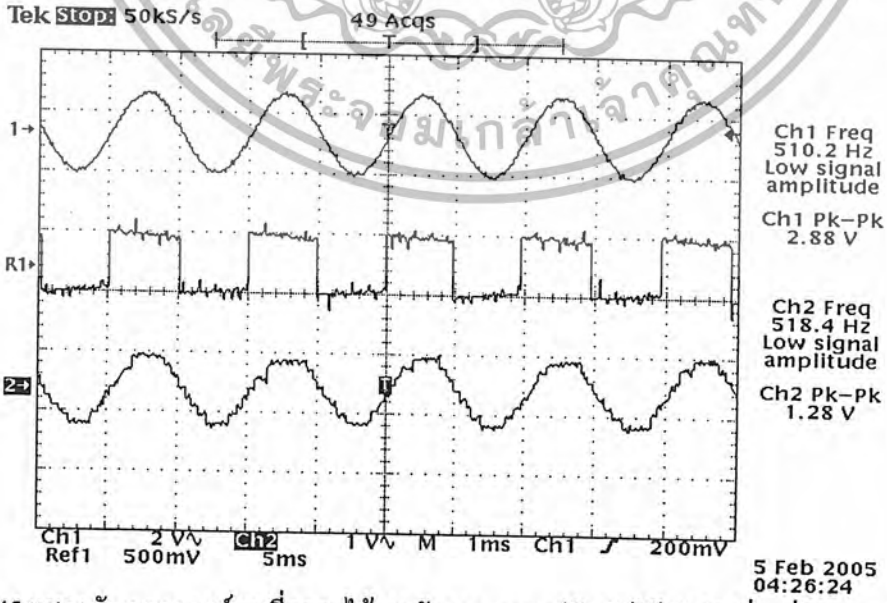
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม

ในการทดลองนี้ เป็นการทดลองเพื่อพิจารณาลักษณะของสัญญาณเอาท์พุทเมื่อมีการป้อนสัญญาณจริง โดยทำการป้อนสัญญาณอินพุทซึ่งเป็นสัญญาณสี่เหลี่ยม ความถี่ 100 Hz, 500 Hz, 1 kHz และ 5 kHz ขนาด 0.5 Volt และกำหนดให้สัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ที่มีความถี่เท่ากับสัญญาณอินพุท โดยเลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625 ซึ่งเป็นค่าที่ดีที่สุดที่ได้จากการซิมูเลชั่นโดยโปรแกรมแมทแลบ

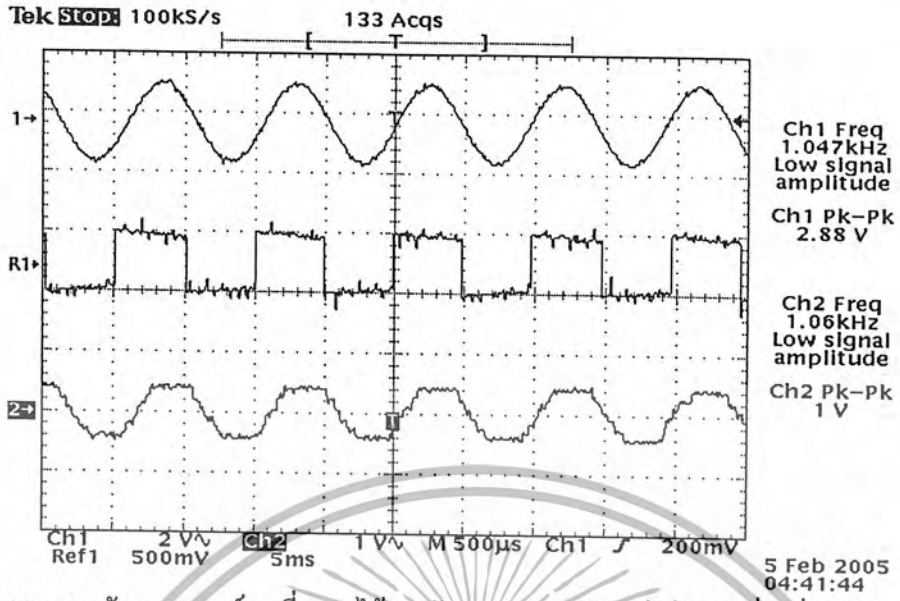


รูปที่ 4.44 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้ อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625

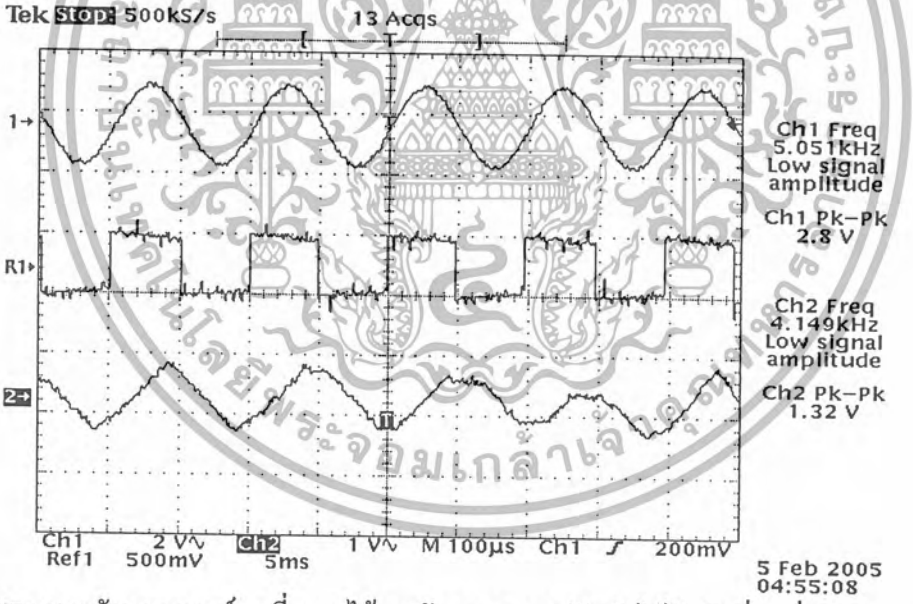


รูปที่ 4.45 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้ อันดับที่ 8 ที่มีสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 500 Hz สัมประสิทธิ์การลู่เข้า 0.0625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.46 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุท เป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625

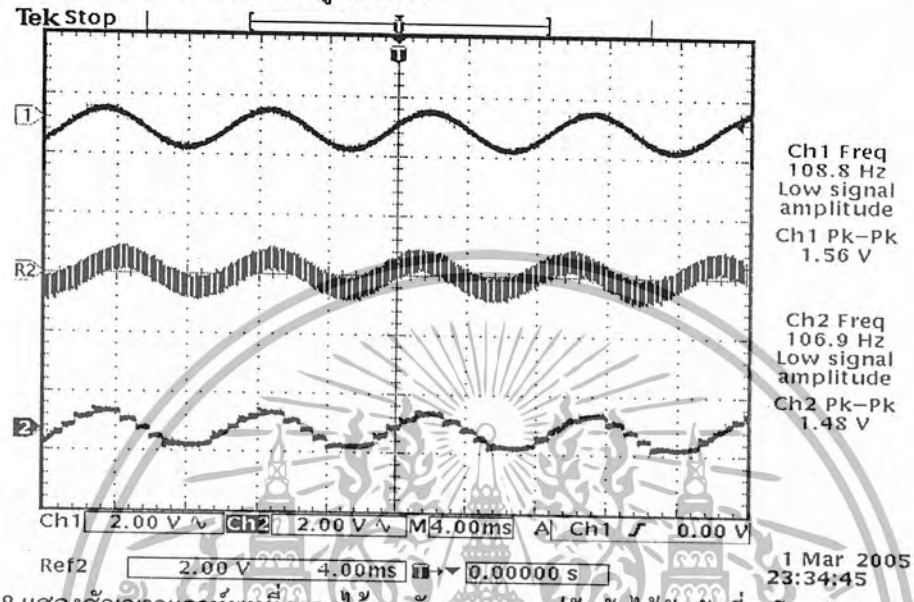


รูปที่ 4.47 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 ที่มีสัญญาณอินพุท เป็นสัญญาณรูปสี่เหลี่ยม ความถี่ 5 kHz สัมประสิทธิ์การลู่เข้า 0.0625

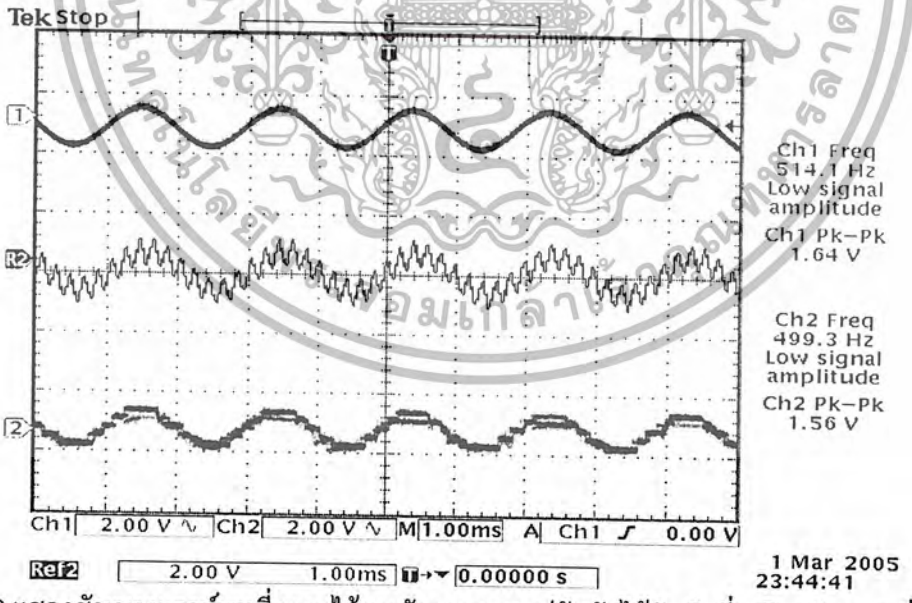
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทคือการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ

สัญญาณอินพุทเป็นสัญญาณรูปไซน์ความถี่ 5 kHz ขนาด 0.5 โวลท์ รวมอยู่กับสัญญาณรูปไซน์ซึ่งเป็นสัญญาณที่ต้องการ โดยทำการปรับความถี่ของสัญญาณที่ต้องการเป็น 100 Hz, 500 Hz , 1kHz และ 2 kHz โดยเลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625

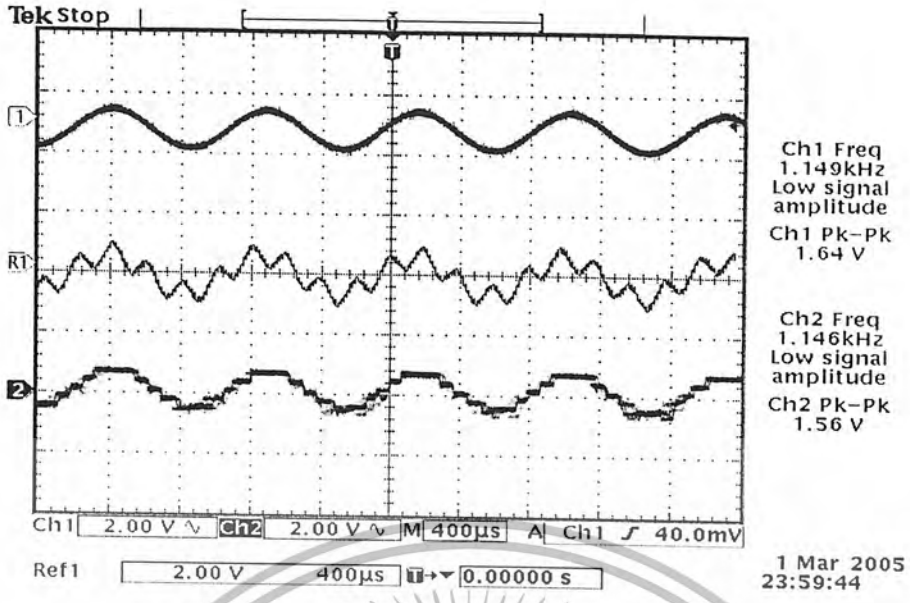


รูปที่ 4.48 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625

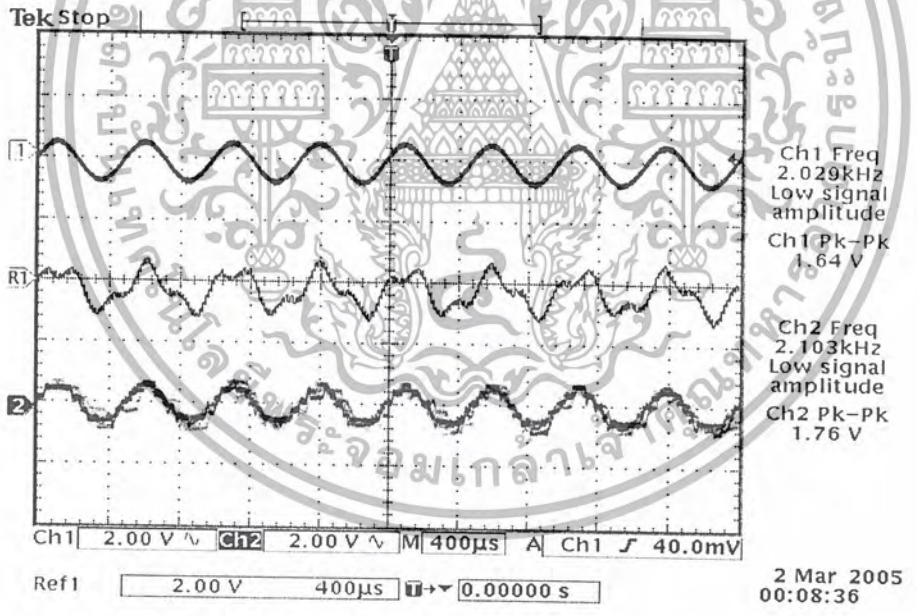


รูปที่ 4.49 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 500 Hz ค่าสัมประสิทธิ์การลู่เข้า 0.0625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.50 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625

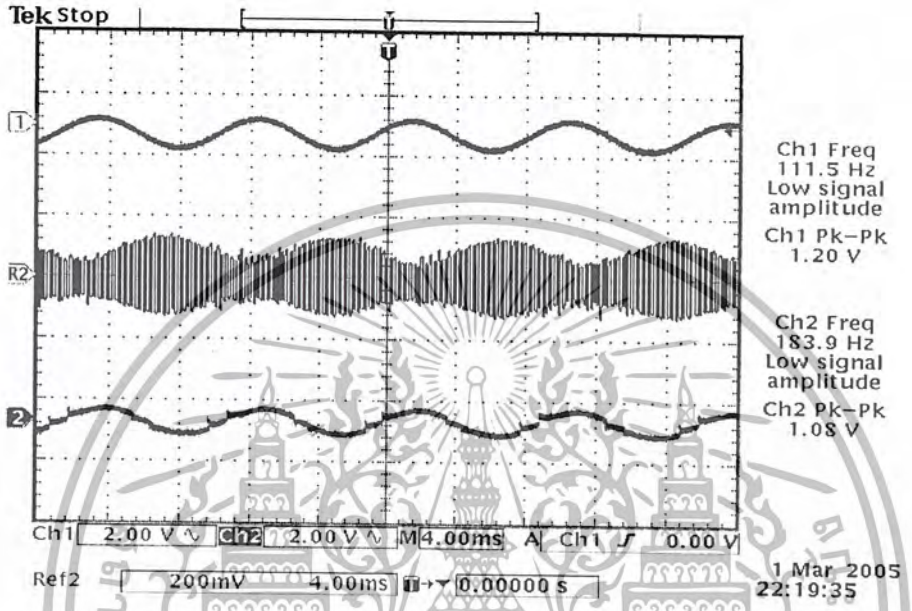


รูปที่ 4.51 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 2 kHz ค่าสัมประสิทธิ์การลู่เข้า 0.0625

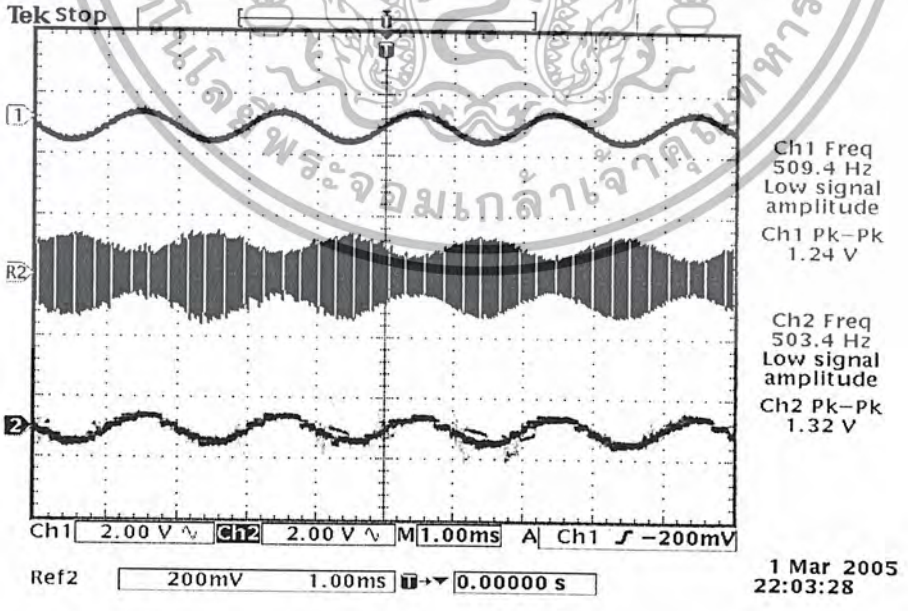
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 สัญญาณเอาท์พุทที่ผ่านตัวกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยสัญญาณอินพุทคือการคูณกันของสัญญาณรูปไซน์ 2 สัญญาณ

สัญญาณอินพุทเป็นสัญญาณรูปไซน์ความถี่ 50 kHz ขนาด 0.5 โวลท์ คูณกับสัญญาณรูปไซน์ซึ่งเป็นสัญญาณที่ต้องการ โดยทำการปรับความถี่ของสัญญาณที่ต้องการเป็น 100 Hz, 500 Hz , 1kHz และ 5 kHz โดยเลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625

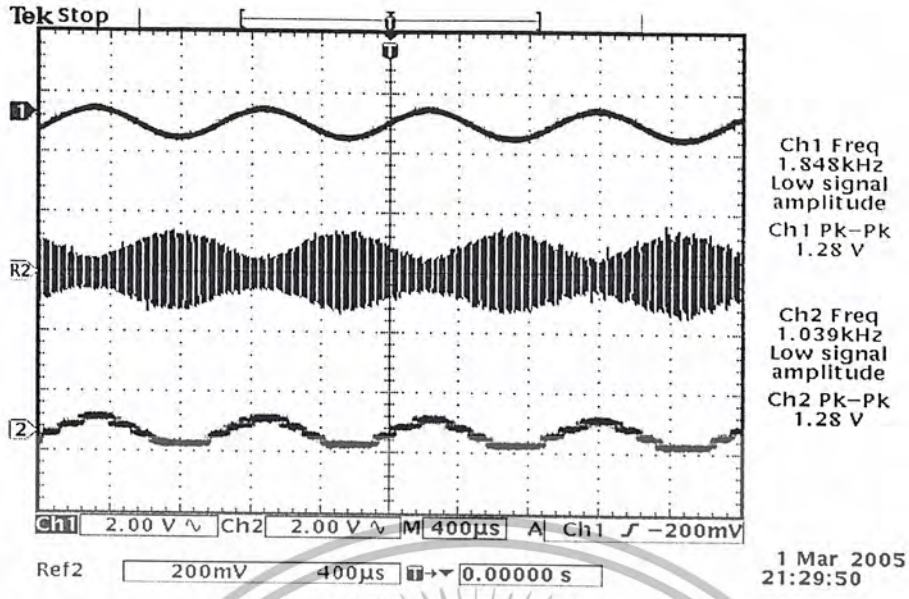


รูปที่ 4.52 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 100 Hz สัมประสิทธิ์การลู่เข้า 0.0625

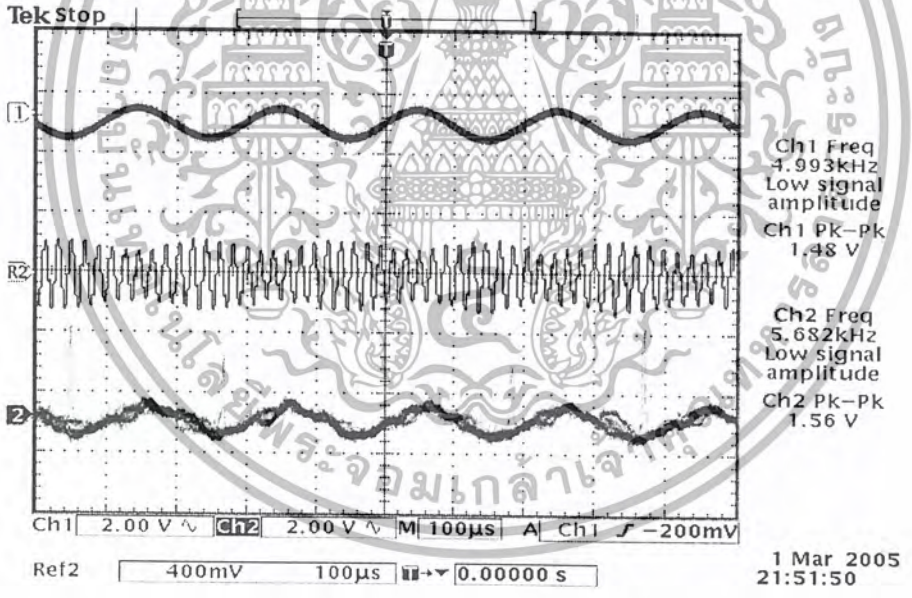


รูปที่ 4.53 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้ โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 500 Hz ค่าสัมประสิทธิ์การลู่เข้า 0.0625

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.54 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 1 kHz สัมประสิทธิ์การลู่เข้า 0.0625



รูปที่ 4.55 แสดงสัญญาณเอาท์พุทที่กรองได้จากตัวกรองแบบปรับตัวได้อันดับที่ 8 โดยสัญญาณที่ต้องการเป็นสัญญาณรูปไซน์ ความถี่ 5 kHz สัมประสิทธิ์การลู่เข้า 0.0625

จากรูปที่ 4.44 ถึงรูปที่ 4.55 พบว่าตัวกรองความถี่แบบปรับตัวได้อันดับที่ 8 ที่มีสัมประสิทธิ์การลู่เข้า เท่ากับ 0.0625 มีประสิทธิภาพในการกรองสัญญาณที่ดีพอสมควร คือสามารถกรองแยกเอาสัญญาณที่มีความถี่เท่ากับสัญญาณที่ต้องการออกมาได้ และที่ความถี่ต่ำสัญญาณที่กรองออกมาได้จะมีลักษณะใกล้เคียงกับสัญญาณที่ต้องการมากกว่าที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 สรุปผลการทำงานของวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8

จากการออกแบบและทำการจำลองผลการทำงานของวงจรกรองความถี่แบบปรับตัวได้ โดยการซิมูเลชั่นด้วยโปรแกรมแมทแลบ ทำให้ทราบว่าจะสามารถกรองเอาสัญญาณที่ต้องการออกมาได้ก็ต่อเมื่อเลือกค่าสัมประสิทธิ์การลู่เข้า (step size) ให้เหมาะสม เนื่องจากค่าสัมประสิทธิ์การลู่เข้า คือตัวที่ควบคุมว่าสัมประสิทธิ์จะมีค่าเปลี่ยนแปลงตามเวคเตอร์ทิศทางเร็วมากน้อยแค่ไหน ดังนั้นการเลือกค่าสัมประสิทธิ์การลู่เข้าที่เหมาะสมจะมีผลต่อประสิทธิผลการทำงานของระบบมาก

จากผลการทดลองที่ 4.1.1 เมื่อทำการซิมูเลชั่นโดยเปลี่ยนค่าสัมประสิทธิ์การลู่เข้าเป็น 0.25, 0.125, 0.0625, 0.03125, 0.015625 และ 0.0078125 แล้วพิจารณาค่าความผิดพลาดกำลังสองเฉลี่ยของแต่ละค่าสัมประสิทธิ์การลู่เข้าพบว่า ถ้าเลือกใช้ค่าสัมประสิทธิ์การลู่เข้าที่มีค่าน้อยเกินไป ก็จะส่งผลให้ค่าสัมประสิทธิ์ลู่เข้าสู่ค่าที่ถูกต้องได้ช้า แต่ถ้ามีค่ามากเกินไปก็อาจทำให้สัมประสิทธิ์ไม่สามารถลู่เข้าสู่ค่าที่ถูกต้องได้ ซึ่งจากผลการทดลองพบว่า ค่าสัมประสิทธิ์การลู่เข้าที่มีความเร็วในการลู่เข้าเร็วที่สุด 3 อันดับแรกคือ 0.0625, 0.03125 และ 0.015625 ตามลำดับ

จากผลการทดลองที่ 4.1.2 ที่มีการนำค่าสัมประสิทธิ์การลู่เข้าที่มีความเร็วในการลู่เข้าเร็วที่สุด 3 อันดับแรกคือ 0.0625, 0.03125 และ 0.015625 ตามลำดับ มาใช้ในการซิมูเลชั่นเพื่อพิจารณาลักษณะของสัญญาณเอาท์พุทที่ได้จากวงจรกรองแบบปรับตัวได้ เมื่อทำการกำหนดสัญญาณอินพุทเป็นสัญญาณรูปไซน์ความถี่ 5 kHz ขนาด 0.5 โวลท์ รวมอยู่กับสัญญาณรูปไซน์ซึ่งเป็นสัญญาณที่ต้องการ โดยทำการปรับความถี่ของสัญญาณที่ต้องการเป็น 100 Hz, 500 Hz และ1kHz พบว่าค่าสัมประสิทธิ์การลู่เข้า 0.0625 จะสามารถกรองเอาสัญญาณเอาท์พุทที่ต้องการออกมาได้มีคุณภาพมากที่สุด

นอกจากนี้ยังพบว่าค่าความถี่ก็มีผลต่อประสิทธิภาพการกรองสัญญาณของวงจรกรองแบบปรับตัวได้เช่นเดียวกัน เนื่องจากเมื่อพิจารณาการกรองสัญญาณที่ค่าสัมประสิทธิ์การลู่เข้าค่าเดียวกันแต่ความถี่ต่างกัน คือ 100 Hz, 1kHz และ 5 kHz พบว่าสัญญาณที่กรองออกมาได้นั้นมีคุณภาพต่างกัน โดยคุณภาพของสัญญาณจะแย่ลง คือมีลักษณะผิดเพี้ยนไปจากสัญญาณที่ต้องการ เมื่อความถี่สูงขึ้นตามลำดับ

ในส่วนของการสร้างเป็นฮาร์ดแวร์ เพื่อพิจารณาลักษณะของสัญญาณเอาท์พุทเมื่อมีการป้อนสัญญาณจริง ได้เลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625 ซึ่งมีความเร็วในการลู่เข้าเร็วที่สุดและให้คุณภาพของสัญญาณเอาท์พุทที่ดีที่สุดที่ได้จากการซิมูเลชั่นโดยโปรแกรมแมทแลบ โดยในการทดลองที่ 4.3.2 ได้ทำการทดลองป้อนสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม และทำการปรับค่าความถี่ของสัญญาณที่ต้องการ (Desire signal) เป็น 100 Hz, 500 Hz, 1 kHz และ 5 kHz แล้วทำการสังเกตสัญญาณเอาท์พุทที่กรองได้จากวงจรกรองแบบปรับตัวได้ อันดับที่ 8 สามารถสรุปผลการทดลองได้ดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นสัญญาณรูปสี่เหลี่ยม

ความถี่ (Hz)	100 Hz	500 Hz	1 kHz	5 kHz
คุณภาพสัญญาณ	ดี	พอใช้	พอใช้	แย่

จากผลการทดลองที่ 4.3.3 เมื่อทำการทดลองนำสัญญาณรูปไซน์ที่มีความถี่ 5 kHz ขนาด 0.5 โวลต์ และสัญญาณรูปไซน์ที่เป็นสัญญาณที่ต้องการ ที่มีความถี่ 100 Hz, 500 Hz, 1 kHz และ 2 kHz ไปผ่านวงจรบวกสัญญาณ เพื่อนำไปเป็นสัญญาณอินพุทให้กับวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยเลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625 แล้วทำการสังเกตสัญญาณเอาท์พุทที่กรองได้ จะสามารถสรุปผลการทดลองได้ดังตารางต่อไปนี้

ตารางที่ 5.2 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นการบวกกันของสัญญาณรูปไซน์ 2 สัญญาณ

ความถี่ (Hz)	100 Hz	500 Hz	1 kHz	2 kHz
คุณภาพสัญญาณ	ดี	พอใช้	พอใช้	แย่

จากผลการทดลองที่ 4.3.4 เมื่อทำการทดลองนำสัญญาณรูปไซน์ที่มีความถี่ 50 kHz ขนาด 0.5 โวลต์ และสัญญาณรูปไซน์ที่เป็นสัญญาณที่ต้องการ ที่มีความถี่ 100 Hz, 500 Hz, 1 kHz และ 5 kHz ไปผ่านวงจรคูณสัญญาณ เพื่อนำไปเป็นสัญญาณอินพุทให้กับวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 โดยเลือกใช้ค่าสัมประสิทธิ์การลู่เข้า 0.0625 แล้วทำการสังเกตสัญญาณเอาท์พุทที่กรองได้ จะสามารถสรุปผลการทดลองได้ดังตารางต่อไปนี้

ตารางที่ 5.3 แสดงการเปรียบเทียบสัญญาณที่ความถี่ต่างๆ ที่ถูกกรองออกมาโดยวงจรกรองความถี่แบบปรับตัวได้ อันดับที่ 8 สัมประสิทธิ์การลู่เข้า 0.0625 เมื่อสัญญาณอินพุทเป็นการคูณกันของสัญญาณรูปไซน์ 2 สัญญาณ

ความถี่ (Hz)	100 Hz	500 Hz	1 kHz	5 kHz
คุณภาพสัญญาณ	ดี	พอใช้	พอใช้	แย่

หมายเหตุ คุณภาพของสัญญาณที่ได้จากวงจรกรองความถี่แบบปรับตัวได้ แบ่งเป็น 3 ระดับ คือ

- ดี หมายถึง สัญญาณที่กรองได้มีลักษณะใกล้เคียงกับสัญญาณที่ต้องการและมีผลของสัญญาณรบกวนเล็กน้อย
- พอใช้ หมายถึง สัญญาณที่กรองได้มีลักษณะผิดเพี้ยนไปจากสัญญาณที่ต้องการเล็กน้อย และมีผลของสัญญาณรบกวนเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แย่ หมายถึง สัญญาณที่กรองได้มีลักษณะผิดเพี้ยนไปจากสัญญาณที่ต้องการเล็กน้อย และมีผลของสัญญาณรบกวนมาก

5.2 ปัญหาที่พบระหว่างการทำโครงงาน

การสร้างวงจรกรองความถี่แบบปรับตัวได้ ที่อันดับสูงขึ้นไป จะมีข้อจำกัดในเรื่องของจำนวนลอจิคเกทของอุปกรณ์บอร์ดเอฟพีจีเอ เนื่องจากจำนวนค่าสัมประสิทธิ์ย่อยที่ถูกเก็บไว้ภายในวงจรส่วนเก็บค่าและเรียกค่าข้อมูล (RAM) จะมีจำนวนเท่ากับ 2^N โดยที่ N คือจำนวนอันดับของวงจรกรองความถี่ ซึ่งจะพบว่าหากใช้วงจรกรองความถี่ที่อันดับสูงๆ เช่น วงจรกรองความถี่อันดับที่ 16 ค่าสัมประสิทธิ์ย่อยที่เก็บอยู่ภายใน RAM จะมีค่าเท่ากับ 65536 ค่า ซึ่งทำให้ต้องใช้จำนวนลอจิคเกทของอุปกรณ์บอร์ดเอฟพีจีเอเป็นจำนวนมาก

ถึงแม้ว่าในโครงงานนี้จะนำเทคนิคของโครงสร้างเลขคณิตกระจายมาใช้เพื่อแก้ปัญหาการสิ้นเปลืองลอจิคเกทของอุปกรณ์บอร์ดเอฟพีจีเอที่เกิดจากการใช้ตัวคูณ แต่ในการออกแบบวงจรกรองความถี่แบบปรับตัวได้ ในอันดับที่สูงขึ้นนั้นก็ยังไม่สามารถทำได้ เนื่องจากจำนวนลอจิคเกทของอุปกรณ์บอร์ดเอฟพีจีเอ ของบริษัท ALTERA ตระกูล ACEX1K เบอร์ EP1K50TC144-3 ที่ใช้สำหรับโครงงานนี้นั้น มีจำนวนลอจิคเกทเพียง 50,000 เกท ดังนั้นเมื่อต้องการออกแบบวงจรกรองความถี่แบบปรับตัวได้ ที่อันดับสูงขึ้นไป ก็จะต้องใช้อุปกรณ์บอร์ดเอฟพีจีเอ ที่มีจำนวนลอจิคเกทมากๆ ซึ่งจะทำให้ราคาของอุปกรณ์เอฟพีจีเอก็จะสูงตามไปด้วย

5.3 การประยุกต์ใช้งาน

โดยภาพรวมการออกแบบวงจรกรองความถี่แบบปรับตัวได้ที่ใช้โครงสร้างเลขคณิตกระจาย โดยใช้อัลกอริทึมค่าเฉลี่ยกำลังสองน้อยสุด (Distributed Arithmetic Adaptive Filter Using LMS Algorithm) เน้นการทดลองเบื้องต้นเกี่ยวกับการวัดคุณลักษณะของวงจรกรองความถี่แบบปรับตัวได้ เมื่อป้อนสัญญาณในลักษณะต่างๆกันแล้ววงจรกรองสามารถตรวจจับสัญญาณตามสัญญาณที่เราต้องการได้ ส่วนการประยุกต์ใช้งานสามารถนำไปใช้ประโยชน์ในด้านต่างๆได้หลายรูปแบบ เช่น Channel Equalization, Echo cancellation for Telephony, Noise cancellation หรือ Spectral Line enhancement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ภาษา VHDL และส่วนประกอบต่างๆของภาษา

วิวัฒนาการของภาษา VHDL นั้นเริ่มต้นประมาณปี ค.ศ. 1981 โดยที่กระทรวงกลาโหมของสหรัฐอเมริกาหรือ DOD (Department of Defence) ได้ทำการพัฒนาโครงการที่มีชื่อว่า VHSIC ซึ่งเป็นการพัฒนาโปรแกรมซึ่งจัดเป็นภาษาระดับสูงเช่นเดียวกับภาษา C หรือ Pascal แต่สามารถบรรยายพฤติกรรมการทำงานของวงจรเชิงเลขหรือโครงสร้างของวงจรได้ ทั้งนี้เพื่อให้สามารถออกแบบและสร้างวงจรรวมได้เร็วขึ้น

ในการเขียนรูปแบบการบรรยายระบบเชิงเลขในลักษณะของการออกแบบจากบนลงล่างจะต้องทำความเข้าใจในเรื่องของโครงสร้างและส่วนประกอบต่างๆของรูปแบบภาษา VHDL เสียก่อน ซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนมี 4 หน่วย คือ

- หน่วยการออกแบบเอนทิตี (Entity Design Unit)
- หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)
- หน่วยการออกแบบแพ็กเก็ต (Package Design Unit)
- หน่วยการออกแบบโครงแบบ (Configuration Design Unit)

หน่วยการออกแบบเอนทิตี

หน่วยการออกแบบนี้เป็นส่วนที่ใช้สำหรับติดต่อระหว่างภายนอกกับรูปแบบที่เขียนขึ้น โดยเป็นการกำหนดจุดเชื่อมต่อของรูปแบบ กำหนดทิศทางการไหลของสัญญาณ และประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น

ส่วนนี้จะขึ้นต้นด้วยคำว่า Entity และ is ระหว่างคำทั้งสองคำเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน (Component_name) หลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทางเข้าและออกของข้อมูล (input-output) รวมทั้งพารามิเตอร์อื่นๆและที่สำคัญคือ หน่วยการออกแบบเอนทิตีจะต้องปิดท้ายด้วยคำว่า End และเครื่องหมายอัฒภาคเสมอ (;)

หน่วยการออกแบบสถาปัตยกรรม

หน่วยการออกแบบสถาปัตยกรรมคือ ส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบในมุมมองของการจำลองการทำงานพฤติกรรมต่างๆที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออกตรงช่องทางตลอดจนพารามิเตอร์ต่างๆที่กำหนดในหน่วยของการออกแบบเอนทิตี

ส่วนของหน่วยการออกแบบสถาปัตยกรรมเริ่มต้นด้วยคำว่า Architecture และตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่งที่แสดงให้เห็นว่า Architecture นั้นใช้บรรยายหน่วยการออกแบบเอนทิตีใดๆ (of <entity design unit> is) ส่วนที่อยู่ระหว่าง Architecture และ Begin เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (Architecture declaration area) ที่เป็นส่วนเผื่อเลือก (Option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆที่จะนำไปใช้ในสถาปัตยกรรมนั้นได้ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประเภท (Type) ต่างๆ , สัญญาณ (signal), ค่าคงที่ (constant), โปรแกรมย่อย (function, procedure) และอุปกรณ์ (component) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้าออกของรูปแบบ (สัญญาณที่กำหนดในชุดคำสั่ง port) นั้น จะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า Begin กับ End ของหน่วยการออกแบบสถาปัตยกรรม นอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบแข่งขนาน (Concurrent statement)เท่านั้น คือทุกๆ statement จะทำงานพร้อมๆกัน ลำดับก่อนหลังจะไม่มีผลต่อการทำงานของรูปแบบ หน่วยการออกแบบสถาปัตยกรรมจะต้องปิดท้ายด้วยคำสั่ง End และชื่อของสถาปัตยกรรมนั้นๆ โดยทั่วไปการเขียนรูปแบบเชิงเลขด้วยภาษา VHDL สามารถเขียนได้ในลักษณะต่างๆ ดังนี้

- ลักษณะการไหลของข้อมูล (Dataflow style)
- ลักษณะพฤติกรรม (Behavioral style)
- ลักษณะโครงสร้าง (Structure style)
- ลักษณะผสม (Mixed Model style)

หน่วยการออกแบบแพ็คเก็ต

ข้อมูลต่างๆตลอดจนโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบเชิงเลขสามารถเก็บไว้ในส่วนของแพ็คเก็ตได้ และข้อมูลเหล่านี้สามารถเรียกไปใช้ได้โดยหน่วยการออกแบบเอนทิตี หน่วยการออกแบบสถาปัตยกรรม หรือ จากหน่วยการออกแบบแพ็คเก็ตอื่นๆ โดยปกติแล้วแพ็คเก็ตจะแบ่งออกเป็น 2 ส่วน คือ การประกาศแพ็คเก็ต (Package Declaration) และส่วนของบอดี้แพ็คเก็ต (Package Body) เนื่องจากแพ็คเก็ตถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่จะนำแพ็คเก็ตไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE

Package Declaration

ส่วนที่มีความสำคัญที่สุดของแพ็คเก็ต (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็คเก็ต เพราะจะเป็นส่วนที่กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็คเก็ตสำหรับนำไปใช้ภายนอกตัวของแพ็กเก็ตเอง สิ่งใดๆที่ถูกประกาศไว้ในส่วนของบอดี้แพ็คเก็ตแต่ไม่ได้ถูกประกาศไว้ในส่วนการประกาศแพ็กเก็ตจะไม่สามารถถูกนำค่าและพฤติกรรมไปใช้ส่วนนอกได้ ซึ่งสามารถเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศเอนทิตี คือจุดเชื่อมต่อหรือพอร์ทที่มีหน้าที่ติดต่อกับภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเก็ตสามารถสร้างขึ้นโดยไม่จำเป็นต้องมีส่วนของบอดี้และยังสามารถถูกนำไปใช้จากรูปแบบภายนอกได้ เช่น ใช้สำหรับประกาศชนิด (type) หรือสัญญาณ เช่นเดียวกันกับส่วนบอดี้แพ็กเก็ตที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็กเก็ต แต่แพ็กเก็ตนั้นจะไม่สามารถถูกนำไปใช้จากรูปแบบอื่นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package body

โครงสร้างที่ประกอบด้วยคำสั่งต่างๆในรูปของคำสั่งลำดับ (Sequence) ที่ใช้บรรยายฟังก์ชั่นการทำงานของโปรแกรมย่อย (Subprogram) ทั้งหลาย ที่ชื่อของโปรแกรมย่อยนั้นๆที่ถูกประกาศไปในส่วนของการประกาศแพ็คเก็ตแล้วจะถูกเก็บไว้ในส่วนบอดี้แพ็กเก็ต ทั้งนี้รวมทั้งการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อก่อนในส่วนของการประกาศแพ็กเก็ต แต่ถูกำหนดค่าในส่วนของบอดี้แพ็กเก็ต ฉะนั้นส่วนบอดี้แพ็กเก็ตจึงไม่จำเป็นต้องมีถ้าในส่วนของการประกาศแพ็กเก็ตไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อยหรือค่าคงที่

หน่วยการออกแบบโครงแบบ

ดังที่ทราบกันแล้วว่ารูปแบบหนึ่งของระบบเชิงเลขไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตีได้เพียงหนึ่งเดียวเท่านั้น แต่หน่วยการออกแบบเอนทิตีหนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบโครงแบบมาเพื่อกำหนดการใช้โครงแบบ (Configuration) ประกอบเอนทิตีกับหน่วยการออกแบบสถาปัตยกรรมหน่วยไหนเข้าด้วยกัน

การออกแบบวงจรเชิงเลขด้วยอุปกรณ์ FPGA

อุปกรณ์ FPGA (Field Programmable Gate Array) เป็นอุปกรณ์ที่ใช้ในการออกแบบ IC (Integrated Circuit) โดยทำการโปรแกรมวงจรที่ได้ออกแบบลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชั่นการทำงานตามที่ออกแบบไว้ การทำ FPGA จะมีข้อจำกัดในด้านขนาดของวงจรเพราะภายในอุปกรณ์ FPGA จะมีจำนวนเกท(gate) ให้ใช้จำนวนจำกัด และการทำ FPGA นั้นจะเหมาะสำหรับการทำผลิตภัณฑ์ต้นแบบหรือทำเพื่อผลิตในปริมาณต่ำ แต่ข้อดีของการทำ FPGA คือ ระยะเวลาที่ใช้ในการทำตั้งแต่การเขียนรหัส (code)อธิบายฮาร์ดแวร์จนกระทั่งดาวน์โหลด(download) จะใช้เวลาน้อยและการตรวจสอบแก้ไขก็สามารถทำได้สะดวก

การทำ FPGA ในปัจจุบันมีประสิทธิภาพและความสะดวกมากขึ้น เนื่องจากทางบริษัทผู้ผลิตอุปกรณ์ FPGA ได้เพิ่มความสามารถของอุปกรณ์ FPGA โดยเพิ่มจำนวนองค์ประกอบภายในหรือปรับปรุงโครงสร้างสถาปัตยกรรมภายในและยังได้เพิ่มประสิทธิภาพของซอฟท์แวร์ที่ใช้ทำ PPR (Partitioning, Placement and Routing) สำหรับอุปกรณ์นั้นๆด้วย

สำหรับตัวอุปกรณ์ FPGA นั้นก็มีโครงสร้างพื้นฐาน เทคโนโลยีที่ใช้สร้าง ตลอดจนเทคนิควิธีการโปรแกรมที่แตกต่างกันสำหรับผู้ผลิตแต่ละราย นอกจากนั้นอุปกรณ์ FPGA ของแต่ละผู้ผลิตก็มีโครงสร้างและความสามารถที่แตกต่างกันบางส่วน ในการใช้งานอุปกรณ์ FPGA สามารถนำมาประยุกต์ใช้งานได้ เช่น การประมวลผลสัญญาณเชิงเลข (DSP:Digital Signal Processing) การออกแบบไมโครคอนโทรลเลอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบโดยใช้ภาษาอธิบายการทำงานของฮาร์ดแวร์

ในการออกแบบวงจรเชิงเลขนั้นทำได้โดยการวาดวงจรหรือใช้ภาษาอธิบายฮาร์ดแวร์ ในขั้นตอนนี้เป็นขั้นตอนที่ไม่แตกต่างกันระหว่างการออกแบบด้วย FPGA หรือ ASIC ในกรณีที่ใช้ภาษาอธิบายฮาร์ดแวร์ แต่ในกรณีที่ออกแบบโดยวิธีการวาดวงจรจะแตกต่างกัน โดยที่การทำวิธีนี้จะต้องคำนึงถึงเทคโนโลยีที่จะใช้ จะเห็นได้ว่าการออกแบบโดยวิธีการใช้ภาษาอธิบายฮาร์ดแวร์ทำได้สะดวกกว่า เพราะวิธีนี้ไม่ต้องคำนึงถึงเทคโนโลยีที่จะใช้และที่สำคัญวิธีนี้สามารถที่จะแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่าเพราะไม่ต้องวาดวงจรใหม่

ในการเขียนโค้ด สิ่งที่ต้องคำนึงถึงคือ เขียนอย่างไรจึงจะสามารถสังเคราะห์เป็นวงจรและให้คุณสมบัติของวงจรตามที่กำหนดได้ ในการอธิบายวงจรเดียวกันถ้าเขียนโค้ดต่างกัน เมื่อนำไปสังเคราะห์ก็จะได้วงจรที่ต่างกัน และด้วยวงจรที่ต่างกันทำให้เมื่อนำไปทำต้นแบบด้วย FPGA หรือการทำ ASIC แล้วจะได้ไอซีที่มีคุณสมบัติต่างกันทั้งในด้านขนาดหรือความเร็ว การเขียนโค้ดลักษณะใดเพื่อให้ได้ผลลัพธ์ที่ดีที่สุดนั้นก็ขึ้นอยู่กับประสบการณ์ในการออกแบบ

การจำลองการทำงานของวงจร (Simulation)

ขั้นตอนนี้เป็นขั้นตอนที่สำคัญเพราะเป็นขั้นตอนที่ใช้ตรวจสอบฟังก์ชั่นการทำงานของวงจรว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหน เพื่อที่จะได้ทำการแก้ไขให้ถูกต้อง ในขั้นตอนนี้จะใช้ซอฟท์แวร์สำหรับทำการจำลองการทำงานของวงจร เช่น V-System และ ModelSim ของบริษัท Model Technology

การสังเคราะห์วงจร

ในขั้นตอนนี้จะใช้ซอฟท์แวร์สังเคราะห์วงจร (Synthesis tools) ทำการสังเคราะห์โค้ดเพื่อให้ได้เป็นวงจรขึ้นมา แต่ต้องทำการตรวจสอบด้วยว่าซอฟท์แวร์นั้นๆสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการใช้หรือไม่ โดย FPGA ที่นิยมใช้งานเช่น ของบริษัท Xilinx ตระกูล XC4000 และบริษัท Altera ตระกูล FLEX 10 K ซอฟท์แวร์สังเคราะห์วงจรที่นิยมใช้เช่น โปรแกรม Leonardo Spectrum ของบริษัท Exemplar Logic ซึ่งในขั้นตอนนี้ซอฟท์แวร์สังเคราะห์วงจรจะแปลงโค้ดและการทำออปติไมซ์ (Optimization) เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้ นอกจากนี้ยังสามารถกำหนดข้อบังคับสำหรับวงจรได้ เช่น ข้อบังคับในเรื่องของเวลา (time constrains) หรือข้อบังคับในเรื่องของพื้นที่ ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอนออปติไมซ์เพื่อให้วงจรที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการออปติไมซ์คือการเทียบ (mapping) วงจรให้เข้ากับเทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างสถาปัตยกรรมภายในอุปกรณ์ FPGA ในกรณีของ Xilinx ตระกูล XC4000 และ Altera ตระกูล FLEX 10 K จะเทียบโดยวิธี LUT (Look Up Table) เมื่อทำการสังเคราะห์วงจรเสร็จแล้วซอฟแวร์สังเคราะห์วงจรก็จะมีการรายงานผลว่าวงจรที่ออกแบบไปนั้นเป็นอย่างไร เช่น มีความหน่วง (delay) เท่าไร ใช้ทรัพยากรต่างๆ ใน FPGA อะไรบ้าง เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นการแบ่งวงจรที่ได้จากการสังเคราะห์ให้เป็นส่วนย่อยๆสำหรับลงใน CLBs,IOBs หรือองค์ประกอบอื่นๆภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่งคือให้แต่ละส่วนที่จะแยกออกจากกันมีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้เพื่อช่วยลดความหนาแน่นในขณะทำการเชื่อมต่อสัญญาณ (Routing) ในขั้นตอนนี้จะใช้ซอฟท์แวร์ทำ โดยซอฟท์แวร์จะเทียบส่วนประกอบของวงจร เช่น เกท(gate) , ฟลิปฟลอป (flip-flop) ลงในทรัพยากรต่างๆที่มีอยู่ภายในอุปกรณ์ FPGA (CLBs, IOBs, BUFT และ edge decoder) หลังจากทำขั้นตอนนี้เสร็จแล้วสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์ FPGA ไปเท่าไร ส่วนซอฟท์แวร์ที่ใช้ในขั้นตอนนี้ขึ้นอยู่กับตัว FPGA ที่ใช้งานเช่น FPGA ของบริษัท Xilinx จะใช้ Xilinx Foundation Series 2.1i ซึ่งซอฟท์แวร์ตัวนี้จะรวมเอาซอฟท์แวร์ย่อยอื่นๆอีก เพื่อให้การทำ PPR (Partitioning, Placement and Routing) เป็นไปอย่างต่อเนื่อง ส่วน FPGA ของบริษัท Altera จะใช้ Altera MAX+II

การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นการเลือกทำเลที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (partitioning) มาแล้วว่าควรจะอยู่ในตำแหน่งใดในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด เช่น วงจรส่วนไหนควรอยู่ใกล้กันเพื่อให้ค้นหาเส้นทาง(route)ได้ง่ายหรือช่วยลดความหน่วง จะเห็นได้ว่าตำแหน่งภายในอุปกรณ์ FPGA นั้นมีความสำคัญเพราะถ้าจัดวางวงจรลงในตำแหน่งที่ไม่เหมาะสมแล้วจะทำให้ความหน่วงเพิ่มขึ้นหรือตัว Router ทำการค้นหาเส้นทางสัญญาณได้ไม่หมด

การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็นการเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่างๆภายในอุปกรณ์ FPGA เช่น ระหว่าง CLBs หรือ CLBs กับ IOBs ขั้นตอนนี้จะทำต่อเนื่องจากการวางอุปกรณ์ ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดีซอฟท์แวร์ก็จะทำการเชื่อมต่อสัญญาณได้ไม่หมดหรือเกิดความหน่วงเกินค่าที่กำหนดในข้อบังคับ โดยสามารถทำขั้นตอนนี้ได้โดยใช้ซอฟท์แวร์เช่นกัน หรือจะทำการเชื่อมต่อสัญญาณด้วยตัวเอง (manual layout) ก็ได้ แต่ทางที่ดีควรใช้ซอฟท์แวร์ทำดีกว่า โดยให้ทำการค้นหาเส้นทางหลายๆครั้งเพื่อหาครั้งที่ดีที่สุด นอกจากนั้นการกำหนดข้อบังคับทางเวลา (time constrains) จะช่วยให้ผลที่ได้จากการทำการเชื่อมต่อสัญญาณดีขึ้นได้

การโปรแกรมอุปกรณ์ FPGA (Configuration)

หลังจากที่วงจรผ่านขั้นตอนต่างๆจนกระทั่งผ่านการทำ PPR (Partitioning, Placement and Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (download) ลงในอุปกรณ์ FPGA ได้แล้ว ในการดาวน์โหลดนี้ก่อนอื่นจะต้องแปลงแบบวงจรรวมที่ได้ให้เป็นข้อมูลวงจร (Configuration data) ซึ่งอยู่ในรูปของบิทสตรีม (Bit-stream) ก่อนแล้วจึงดาวน์โหลดข้อมูลลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชั่นการทำงานตามวงจรที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถาปัตยกรรมภายในของ FPGA

สถาปัตยกรรมภายในของ Xilinx FPGA จะมีลักษณะเป็นตารางของลอจิกบล็อค (Logic Block) และล้อมรอบไปด้วยบล็อคการเชื่อมต่อของไอโอ (I/O Interface block) การเชื่อมต่อระหว่างซีแอลบี (CLB : Configuration Logic block) และไอโอบี (IOB : Input Output block) ทำได้โดยผ่านช่องว่างที่พาดผ่านระหว่างแถว (Row) และคอลัมน์ (Column) หน้าที่ของซีโอบีและไอโอบีแต่ละตัว การเชื่อมต่อภายใน (Interconnection) จะถูกกำหนดไว้ในโปรแกรมคอนฟิกกูเรชั่น (Configuration program) โดยแสดงรายละเอียดของทั้ง 3 ส่วนประกอบใหญ่ๆได้ดังนี้

CLB (Configuration Logic Block)

ภายใน FPGA จะเป็นเมตตริกซ์ของซีแอลบีซึ่งซีแอลบีแต่ละตัวจะประกอบด้วยหน่วยของคอมบิเนชั่นลอจิกที่สามารถโปรแกรมได้ (Programmable Combination logic) และส่วนของรีจิสเตอร์เก็บข้อมูล (Storage register) ส่วนของวงจรคอมบิเนชั่นลอจิกสามารถใช้สร้างวงจรทางด้านฟังก์ชั่น บูลีนของอินพุท ส่วนรีจิสเตอร์รับค่าจากส่วนคอมบิเนชั่นหรือโดยตรงจากเอาท์พุทของซีแอลบี สามารถขับวงจรคอมบิเนชั่นลอจิกโดยตรงผ่านเส้นทางเดินย้อนกลับ (Feedback path)

IOB (Input Output Block)

เป็นส่วนที่ติดต่อกับวงจรภายนอกของ FPGA สร้างมาจากส่วนของอุปกรณ์อินพุท/เอาท์พุทที่สามารถโปรแกรมได้ (Programmable Input/Output device) แต่ละตัวสามารถโปรแกรมได้อย่างอิสระโดยจะให้เป็นอินพุท/เอาท์พุทแบบ 3 สถานะ หรือไอโอแบบสองทิศทางก็ได้ โดยอินพุทสามารถโปรแกรมให้รู้จักทั้งระดับสัญญาณทีทีแอล และซีมอสเทรดโฮลของไอโอบีแต่ละตัวมีฟลิปฟลอปสามารถใช้เป็นบัฟเฟอร์สำหรับอินพุทและเอาท์พุท

Interconnection

ความยืดหยุ่นของการใช้ FPGA มาทำเป็นอุปกรณ์ขึ้นอยู่กับการโปรแกรมทรัพยากรต่างๆที่อยู่ภายในเข้าด้วยกัน การที่จะควบคุมการเชื่อมต่อระหว่างจุดสองจุดภายในชิปจะประกอบไปด้วยเน็ตเวิร์ก 2 ทิศทาง คือ ทางแถวและคอลัมน์ ซึ่งวางอยู่ระหว่าง CLB Programmable switch จะทำการเชื่อมต่ออินพุทและเอาท์พุทของไอโอบีและซีแอลบีที่จุดต่อร่วมระหว่างแถวและคอลัมน์และสามารถสลับสัญญาณจากเส้นทางไปยังส่วนต่างๆได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของ FPGA ตระกูล FLEX 10 K

FPGA ของบริษัท Altera ตระกูล FLEX 10 K เป็นอุปกรณ์ที่มีความหนแน่นเกทประมาณตั้งแต่ 10,000 – 25,000 เกท โดยการจัดโครงสร้าง (Configuration) จะใช้วิธีโหลดโครงสร้างเข้าไปใน SRAM ภายใน ซึ่งหมายความว่าถ้าไม่ได้มีการจ่ายไฟเลี้ยงให้ โครงสร้างที่จัดเอาไว้ก็จะหายไป FPGA ประเภทนี้จะสามารถโปรแกรมซ้ำได้ไม่จำกัดจำนวนครั้งและการทำงานตามลอจิกฟังก์ชั่นจะใช้วิธีการเปิดตารางดู (Look Up Table : LUT) โดยโครงสร้างของ FPGA ตระกูล FLEX 10 K

Logic Element (LE)

การกระทำทางบูลีนของลอจิกเกทจะสร้างด้วยวิธีการ LUT คือ 1x16 SRAM ซึ่ง LUT เพียงตัวเดียวสามารถนำมาทำโครงข่ายของลอจิกเกทที่มี 4 อินพุทและ 1 เอาท์พุท โดยโครงข่ายของลอจิกเกทจะถูกแปลงไปเป็นตารางค่าความจริง (Truth Table)

ถ้าโครงข่ายของลอจิกเกทมีความซับซ้อนขึ้นจะต้องใช้ LUT ของแต่ละ LE เป็นจำนวนหลายตัว โดยเอาท์พุทของ LUT จะส่งต่อไปยังฟลิปฟลอปและต่อไปยังโครงข่ายการเชื่อมต่อ (Interconnection Network)

Logic Array Block (LAB)

LAB 1 ตัว จะประกอบด้วย 8 LE

Embedded Array Block (EAB)

สถาปัตยกรรมโดยทั่วไปของ FLEX 10 K จะมีลักษณะของ LAB ที่มีการจัดเรียงแบบเมตริกซ์ และ EAB ซึ่งมีการเชื่อมต่อผ่านทางแถวและคอลัมน์ โดยในแต่ละแถวจะมี 1 EAB ซึ่ง 1 EAB จะมีขนาด 2048 บิท และสามารถกำหนดความกว้าง ความลึกของEABได้โดยไม่ส่งผลต่อความเร็ว

Input Output Element (IOE)

IOE จะถูกต่ออยู่กับขา I/O โดยจะประกอบด้วยส่วนของวงจรที่เป็น Tri State และส่วนที่เป็นฟลิปฟลอป ซึ่งเป็น ที่ option

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สามารถสำเร็จลุล่วงลงได้ด้วยความช่วยเหลือ ให้คำแนะนำ ให้คำปรึกษาและชี้แนะแนวทางวิธีการจาก อาจารย์ศรวัฒน์ ชิวปรีชา และอาจารย์สมปอง วิเศษพานิชกิจ ซึ่งเป็นประโยชน์อย่างมากในการทำปริญญานิพนธ์ ขอขอบคุณนายอมรเทพ สำหรับความมีน้ำใจที่คอยให้คำปรึกษาและความช่วยเหลือ ติชมชิ้นงานให้สำเร็จลุล่วงไปด้วยดี และขอขอบคุณเพื่อนๆและน้องๆที่อยู่ในห้องโปรเจคท์ทุกคน ที่คอยช่วยเหลือในทุกๆด้าน และทำให้บรรยากาศการทำงานเป็นไปอย่างมีความสุข

สุดท้ายนี้ ขอขอบพระคุณ บิดา มารดา ที่คอยเป็นกำลังใจ ให้ความรัก ช่วยเหลือและสนับสนุนลูกในทุกๆด้าน จนทำให้ลูกมีวันนี้

จารุวัตร เจริญลาภกิจ

จุฑามาศ ทองทวีผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Emmanuel C.Ifeachor , Barrie W.Jervis, "Digital Signal Processing A Practical Approach,"

[2] C.F.N.Cowan, Prof. J. Mavor, " New digital Adative filter implementation using distributed arithmetic techniques, " IEE Proc., vol.128, No.4, pp.225-230, Aug.1981

[3] Kyo Takahashi , Yoshitake Tsunekawa , " Analysis of convergence condition of LMS Adaptive Digital Filter using Distributed Arithmetic, " IEICE Trans. Fundamental , vol.E85-A , pp.1249-1256, June 2002

[4] C.F.N.Cowan , P.M.Grant , " Adaptive filter, " Prentice Hall, 1985.

[5] ดร.พรชัย ภววงศ์ศักดิ์ , " การประมวลผลสัญญาณดิจิตอลเบื้องต้น ,"
http://www.ee.mut.ac.th/home/pornchai/,12/1999

[6] ศ.ดร.วัลลภ สุระกำพลธร," การประมวลผลสัญญาณเชิงเลข ," สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ตุลาคม พ.ศ. 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้