สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรแสดงเส้นกราฟบนจอ VGA ด้วยไมโครคอนโทรลเลอร์

DISPLAY WAVEFORM VIA VGA USING MICROCONTROLLER

T 061438

โดย

วัฒนดิษฐ์ ศรีวิไลเลิศ

ยติวัฒน์ ชัยเรืองพจน์

วพ.
ว39ว
2547

เลขหมู่.....
เลขทะเบียน.....61438
วัน,เดือน,ปี.....17 ก.ค. 2549

b.....11596314
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีของคณะวิศวกรรมศาสตร์
สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชาวิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรแสดงเส้นกราฟบนจอVGAด้วยไมโครคอนโทรลเลอร์

DISPLAY WAVEFORM VIA VGA USING MICROCONTROLLER

ผู้จัดทำ

1. นาย วัฒนดิษฐ์ ศรีวิไลเลิศ
2. นาย ยติวัฒน์ ชัยเรืองพจน์

..... อาจารย์ที่ปรึกษา

(อาจารย์วรรณดี เพชรมณีล้ำค่า)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแสดงเส้นกราฟบนจอ VGA ด้วยไมโครคอนโทรลเลอร์

DISPLAY WAVEFORM VIA VGA USING MICROCONTROLLER

นาย วัฒนดิษฐ์ ศรีวิไลเลิศ 45015335
นาย ยติวัฒน์ ชัยเรืองพจน์ 45015337
อาจารย์ที่ปรึกษา
อาจารย์วรรณดี เพชรมณีล้ำค่า
ปีการศึกษา 2547

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เรียนเรียงขึ้นจากโครงงานที่ได้สร้างและพัฒนาขึ้นมาจากเครื่องมือที่ใช้ในการวัดสัญญาณ ตอบสนองต่าง ๆ เป็นการจัดทำวงจรขึ้นมาใช้เป็นอุปกรณ์ที่ทำหน้าที่แทนหน่วยประมวลผลกลางหรือการ์ดจอ ของคอมพิวเตอร์ส่วนบุคคล โดยมีการแสดงผลขึ้นที่หน้าจอมอนิเตอร์ตามแบบมาตรฐาน VGA (Video Graphic Array) โดยใช้ไมโครคอนโทรลเลอร์PIC เป็นอุปกรณ์ควบคุมหลัก เพื่อให้สามารถทำการแสดงผลได้ตามลักษณะของสัญญาณที่ป้อนเข้ามาได้ โดยทำการศึกษาเกี่ยวกับการกำเนิดสัญญาณภาพตามาตรฐาน VGA และจะนำมาเป็นรูปแบบในการพล๊อตเพื่อทำการออกแบบสร้างและเขียนโปรแกรมควบคุม เป็นการนำจอVGA ที่ไม่ได้ใช้งานแล้วแต่ยังสามารถใช้งานได้ตามปกติอยู่ มาประยุกต์กันกับวงจรของโครงงานนี้ในการวัดค่าสัญญาณ ซึ่งวงจรที่สร้างและพัฒนาขึ้นนี้ มีขนาดเล็ก ขีดความสามารถดีและราคาอุปกรณ์เหมาะสม ในปริญญานิพนธ์ฉบับนี้นั้น จะรวมถึงแนวคิดประยุกต์กับทฤษฎีเพื่อการออกแบบไมโครคอนโทรลเลอร์เพื่อติดต่อกับอุปกรณ์ภายนอกต่าง ๆ ร่วมกันขึ้นมาจนเป็นวงจรของโครงงานนี้รวมถึงแนวคิดในการเขียนโปรแกรม,อุปกรณ์เสริม, ขีดจำกัดในการพัฒนา และหลักการสำคัญอื่น ๆ ที่สำคัญไว้แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract

This thesis arrange from project which develop and take from to electrical instrument, use for computer device as same as CPU (Central Processing Unit) or VGA(Video Graphic Array) card from personal computer. Have to display on VGA moniter follow VGA standard with microcontrollerPIC . MicrocontrollerPIC in this project is main controller device in control for display follow signal pattern input , with learning about generating graphic signal in VGA standard. Will get to pattern in plotting graph for design circuit and programming , to get VGA monitor not used working but can use in normally mode apply for with this project's circuit. This circuit to take and develop is small , stability, and not expensive. In this thesis is sum for introduction , programming , option device , limit for develop and important theory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
สารบัญ	III
สารบัญรูปภาพ	IV
สารบัญตาราง	VI
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์ในการดำเนินงาน	1
1.3 ขอบเขตของโครงงาน	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 โครงสร้างทางฮาร์ดแวร์ของไมโครคอนโทรลเลอร์ PIC16F877	3
2.2 หน่วยความจำชั่วคราว RAM (Random Access Memory)	22
2.3 STATIC RAM(SRAM) หรือแรมแบบหน่วยความจำถาวร	23
2.4 CPLD (Complex Programmable Logic Device)	24
2.5 การทำงานของจอภาพ CRT	29
บทที่ 3 การออกแบบและสร้าง	42
3.1 ไดอะแกรมแสดงภาพรวมของโครงงาน	42
3.2 การออกแบบในส่วนไดอะแกรมของ RAM	43
3.3 การออกแบบในส่วนไดอะแกรมของ CPLD	44
3.4 การออกแบบในส่วนไดอะแกรมของ PIC	45
3.5 อธิบายโฟร์ชาร์ตการออกแบบเพื่อเขียนโปรแกรมการควบคุมPIC	49
บทที่ 4 การทดลองและผลการทดลอง	50
4.1 การทดสอบสัญญาณจากไมโครคอนโทรลเลอร์	51
4.2 ทำการต่อแสดงผลหลังจากทดลองเขียนโปรแกรมเสร็จเรียบร้อยแล้ว	55
บทที่ 5 บทสรุปโครงงาน	59
กิตติกรรมประกาศ	
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1-1 ไดอะแกรมระบบแสดงภาพเบื้องต้นของคอมพิวเตอร์ ในการเปรียบเทียบกับส่วนของวงจร	2
รูปที่2-1 ไดอะแกรมแสดงรูปแบบสถาปัตยกรรมของไมโครคอน โทรลเลอร์แบบฮาร์วาร์ด	3
รูปที่ 2-2 การจัดสรรหน่วยความจำโปรแกรมของไมโครคอน โทรลเลอร์ PIC16F877	6
รูปที่ 2-3 แสดงกลไกการทำงานของแสตกอย่างง่าย	10
รูปที่ 2-4 โครงสร้างภายในของ CPLD เบอร์ XC9500	24
รูปที่ 2-5 โครงสร้างของ FPGA Spartan-II	25
รูปที่ 2-6 การอ่านเบอร์ชิพ FPGA และ CPLD	28
รูปที่ 2-7 ส่วนประกอบหลอด CRT	30
รูปที่ 2-8 การแสดงการสแกนเบื้องต้นของ VGA monitor	32
แบนด์วิธ(bandwidth)	
รูปที่ 2-9 การติดต่อแบบ 15 PIN conections cableของ VGA MONITOR	34
รูปที่ 2-10 แสดงสัญญาณการผสมสีจาก3สีหลัก(RGB) สี	36
จาก 3 สีหลักดังกล่าวก็คือ แดง เขียว น้ำเงิน	
รูปที่ 2-11 รายละเอียดการสแกนเส้นจอในแบบมาตรฐาน VGA	37
รูปที่ 2-12 แสดงวงจรตัวกำเนิดสัญญาณ VGA Sync	39
รูปที่ 2-13 สัญญาณ Sync ทางด้าน Horizontal	40
รูปที่ 2-14 สัญญาณ Sync ทางด้าน Vertical	41
รูปที่ 3-1 รูปไดอะแกรมภาพรวมของโครงงาน	42
รูปที่ 3-2 แสดงการติดต่อหน่วยความจำภายนอก	43
รูปที่ 3-3 แสดงภาพออกแบบในการเลือกใช้ขอลอจิกเกตของ	45
ชิพ CPLDในโครงงานนี้	
รูปที่ 3-4 ส่วนของการออกแบบในการติดต่อเพื่อควบคุมของ	47
PICระหว่าง RAM และ CPLD	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 3-5 ส่วนของโฟร์ชาร์ตการออกแบบเพื่อการเขียนโปรแกรมควบคุมของ PIC	48
รูปที่ 4-1 แสดงรูปสัญญาณมาตรฐานของ vertical และ horizontal sync	50
รูปที่ 4-2 แสดงภาพที่ทำการอ่านสัญญาณหน่วงช่วงที่1ของVertical Sync	51
รูปที่ 4-3 แสดงภาพที่ทำการอ่านสัญญาณของVertical Sync	52
รูปที่ 4-4 แสดงภาพที่ทำการอ่านสัญญาณหน่วงช่วงที่1ของHorizontal Sync	53
รูปที่ 4-5 แสดงภาพที่ทำการอ่านสัญญาณของHorizontal Sync	54
รูปที่ 4-6 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณไซน์เวฟ	55
รูปที่ 4-7 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณพัลซ์	55
รูปที่ 4-8 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณสามเหลี่ยม	56
รูปที่ 4-9 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณภาพสีรวม	56
รูปที่ 4-10 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบตัวอักษรสี	57
รูปที่ 4-11 แสดงภาพการทำการต่อจากวงจรจริงเพื่ออ่านข้อมูลจากแรมในการแสดงผลที่หน้าจอออกมาของรูปแบบสัญญาณสีรวม	57
รูปที่ 4-12 แสดงภาพการทำการต่อจากวงจรจริงเพื่ออ่านข้อมูลจากแรมในการแสดงผลที่หน้าจอออกมาของรูปแบบสัญญาณสามเหลี่ยม	58
รูปที่ 4-13 แสดงภาพตัววงจรจริงของโครงงานนี้	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2-1 สรุปหน้าที่การทำงานของขาพอร์ต C ในไมโครคอนโทรลเลอร์ PIC16F877	14
ตารางที่ 2-2 แสดงหน้าที่การทำงานของพอร์ต E ใน ไมโครคอนโทรลเลอร์ PIC16F877	19
ตารางที่ 2-3 แสดงมาตรฐานของอัตราการรีเฟรชใน แนวตั้งของจอมอนิเตอร์ VGA	31
ตารางที่ 2-4 แสดงอัตราการรีเฟรชหน้าจอตามมาตรฐาน VESA	31
ตารางที่ 2-5 ขนาดของ Dot pitch ที่เหมาะสมสำหรับการใช้งาน ที่มีความละเอียดต่างๆ	33
ตารางที่ 2-6 แสดงรายละเอียดช่องสัญญาณของคอนเน็คเตอร์ แบบ15 ช่องสัญญาณ	34
ตารางที่ 2-7 แสดงหน่วยของพารามิเตอร์ ของวงจรตัวกำเนิด สัญญาณ VGA Sync	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

VGA ย่อมาจาก Video Graphic Array ได้พัฒนามาจาก CGA (Color Graphic Adapter) สามารถแสดงผลที่มีความละเอียดมากกว่า และมีการพัฒนาต่อมาเรื่อยๆเพื่อที่จะแสดงผลให้มีความละเอียดมากขึ้น มีความคมชัดของสีที่แสดงมากขึ้น ตามความต้องการของผู้ใช้

การแสดงผลทางจอภาพสามารถสังเกตได้จากสิ่งรอบตัว เช่น โทรทัศน์ หน้าปัทวิทยุ เป็นต้น และถ้าเป็นเครื่องมือวัดเช่นจอของสโคป(Scope) จะเห็นว่ามีเส้นกราฟที่เป็นสีเดียวกัน

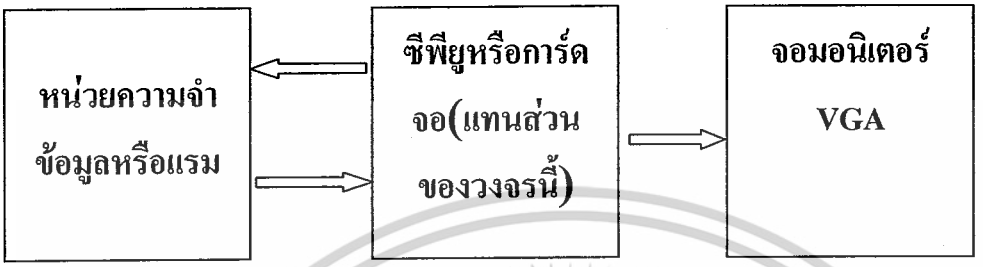
ปัจจุบันมีการพัฒนาเทคโนโลยีกันอย่างต่อเนื่องทำให้อุปกรณ์หลายชนิดต้องถูกเข้ามาแทนที่รวมถึงจอแสดงภาพ(Monitor)ของคอมพิวเตอร์ ดังนั้นเราจะได้มีแนวคิดที่จะไม่ให้จอแสดงผลนั้นถูกทิ้งและนำมาประยุกต์ใช้กับวงจรอิเลคทรอนิกส์ดังนั้นจึงมีการสร้างวงจรควบคุมการทำงานของจอภาพ

โดยหลักการเบื้องต้นในการเกิดภาพหรือมีการประมวลผลแสดงออกมาทางจอภาพ VGA ได้นั้น จำต้องประกอบด้วย 3 ส่วนหลัก ๆ ก็คือ ส่วนของหน่วยความจำในการเก็บข้อมูลหรือแรม , ซีพียูหรือการ์ดจอ และ จอมอนิเตอร์ VGA โดยส่วนที่วงจรของโครงงานนี้ที่ทำมาจะเปรียบเสมือนส่วนที่เป็นซีพียูหรือการ์ดจอนั่นเอง โดยหน้าที่หลักของอุปกรณ์นี้ก็คือการรับข้อมูลจากหน่วยความจำแรมและส่งพร้อมทั้งประมวลผลส่งไปยังที่จอมอนิเตอร์VGA

1.2 วัตถุประสงค์ในการดำเนินงาน

เพื่อนำจอแสดงภาพที่ไม่ได้ใช้แล้วมาแสดงผลตามข้อมูลต่างๆที่มีอยู่ เหมือนกับจอของสโคปโดยสามารถแสดงสีทางจอภาพได้ตามที่เรากำหนด ด้วยการใช้ไมโครคอนโทรลเลอร์ตระกูล PIC ในโครงงานนี้เราใช้ไมโครคอนโทรลเลอร์เบอร์ 16F877 เป็นตัวควบคุมการทำงานต่างๆ ของจอภาพ เหมือนกับการ์ดแสดงผล(Display Card)ของคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1-1 ไดอะแกรมระบบแสดงภาพเบื้องต้นของคอมพิวเตอร์ในการเปรียบเทียบกับส่วนของวงจร

1.3 ของเขตของโครงงาน

ภาคเรียนที่ 1

1.3.1 ศึกษาการทำงานของไมโครคอนโทรลเลอร์ตระกูล PIC เบอร์ 16F877

1.3.2 ศึกษาการสแกนจอภาพของจอภาพคอมพิวเตอร์

1.3.3 ศึกษาการเชื่อมต่อข้อมูลของไมโครคอนโทรลเลอร์ สำหรับการเขียนและอ่านกับอุปกรณ์ภายนอก

1.3.4 ออกแบบและทำการสร้างวงจร

ภาคเรียนที่ 2

1.3.5 เขียนโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์และทำการทดลองการทำงานของวงจร

1.3.6 ติดตามสังเกตุผลการทดลองและทำการปรับแต่งในส่วนต่าง ๆ ให้สมบูรณ์

1.3.7 สรุปแนวทางเกี่ยวกับการแก้ปัญหาและข้อจำกัดต่าง ๆ รวมทั้งทำการประเมินผลทั้งหมด

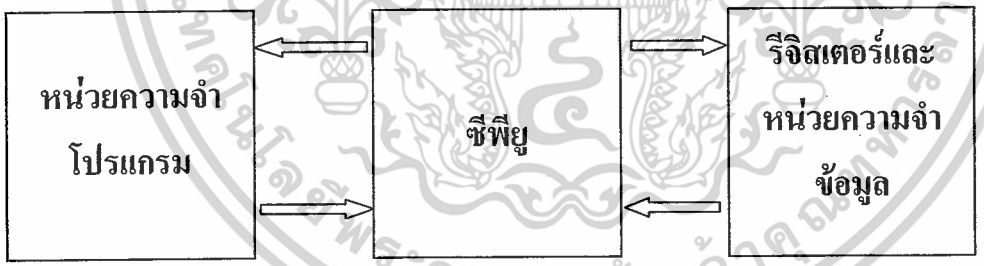
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1โครงสร้างทางฮาร์ดแวร์ของไมโครคอนโทรลเลอร์ PIC16F877

ไมโครคอนโทรลเลอร์ตระกูล PIC มีสถาปัตยกรรมแบบฮาร์วาร์ด (Harvard architecture) หมายถึงมีการแยกหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลออกจากกันเป็นอิสระ รวมทั้งมีบัสสำหรับต่อแยกกันจะเห็นว่าซีพียูภายในไมโครคอนโทรลเลอร์จะติดต่อกับหน่วยความจำโปรแกรมด้วยบัสแอดเดรส 13 บิต และบัสข้อมูลหน่วยความจำโปรแกรม 14 บิต ในขณะที่บัสสำหรับติดต่อกับหน่วยความจำข้อมูลและรีจิสเตอร์ภายในเป็นแบบ 8 บิต ทั้งบัสแอดเดรสและบัสข้อมูล

การทำคำสั่งของไมโครคอนโทรลเลอร์ PIC ใช้กระบวนการที่เรียกว่า **ไปป์ไลน์ (pipeline)** ทำให้สามารถเฟต์คำสั่งถัดไปในขณะที่กำลังเอ็กซิคิวต์คำสั่งในปัจจุบัน ส่งผลให้ความเร็วในการทำงานของไมโครคอนโทรลเลอร์เพิ่มมากขึ้น นั่นจึงเป็นที่มาของความสามารถในการกระทำคำสั่ง 1 คำสั่งภายในสัญญาณนาฬิกา 1 ลูก



รูปที่ 2-1 ไดอะแกรมแสดงรูปแบบสถาปัตยกรรมของไมโครคอนโทรลเลอร์แบบฮาร์วาร์ด

2.1.1คุณสมบัติทางเทคนิคของ PIC 16F877

2.1.1.1คุณสมบัติหลัก

- ซีพียูเป็นแบบ RISC (Reduced Instruction-Set Computer) คือมีคำสั่งใช้งานเพียง 35 คำสั่ง
- กระทำคำสั่งโดยใช้สัญญาณเพียงหนึ่งลูก ยกเว้นคำสั่งการกระโดด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความถี่สัญญาณนาฬิกา 20MHz
- หน่วยความจำโปรแกรม 8 กิโลเวิร์ด สำหรับ ไมโครคอนโทรลเลอร์เบอร์ PIC877
-หน่วยความจำข้อมูลแรมหรือรีจิสเตอร์368ไบต์สำหรับไมโครคอนโทรลเลอร์เบอร์ PIC16F877
-ขนาดหน่วยความจำข้อมูลอีอีพรอม256ไบต์ไบต์สำหรับไมโครคอนโทรลเลอร์เบอร์PIC 16F877
-สามารถตอบสนองแหล่งกำเนิดอินเตอร์รัปต์สูงสุดถึง15แหล่งทั้งนี้ขึ้นกับเบอร์ของไมโครคอนโทรลเลอร์ด้วย
- มีสแต็ก 8 ระดับ
- มีวงจรเพาเวอร์ออนรีเซต (POR)
- มีเพาเวอร์อัปไทเมอร์ (PWRT) และออสซิลเลเตอร์สตาร์ตอัปไทเมอร์ (OST)
- มีวงจรวอตช์ด็อกไทเมอร์ (WDT) ซึ่งมีวงจรออสซิลเลเตอร์ในตัว
- สามารถปกป้องข้อมูลทั้งในหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลสามารถเลือกระดับ

การป้องกันได้

- โหมดประหยัดพลังงาน
- โปรแกรมโดยใช้แรงดัน +5V ได้
- สามารถแก้ไขข้อมูลในหน่วยความจำโปรแกรมด้วยกระบวนการ ICD (In-circuit Debugger) ผ่านพอร์ต2 ขา
- ซีพียูสามารถอ่านและเขียนหน่วยความจำโปรแกรมได้
- ไฟเลี้ยง +2 volt ถึง +5.5 Volt
- กระแสซิงก์และซอร์สของพอร์ตมีค่า 25mA
- การใช้พลังงานไฟฟ้าในกรณีไม่มีโหลดในการรัน

น้อยกว่า 2mA ที่ไฟเลี้ยง +5V และสัญญาณนาฬิกา 4MHz

20 μ A ที่ไฟเลี้ยง +3V และสัญญาณนาฬิกา 32KHz

น้อยกว่า 1 μ A ในโหมดประหยัดพลังงานหรือสแตนด์บาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1.2คุณสมบัติพิเศษเพิ่มเติม

- ไทเมอร์ 3 ตัว คือ ไทเมอร์ 0 ขนาด 8 บิต มีปรีสเกลเลอร์ขนาด 8 บิตในตัว ไทเมอร์ 1 ขนาด 16บิต พร้อม ปรีสเกลเลอร์ และไทเมอร์ 2 ขนาด 8 บิต มีปรีสเกลเลอร์, โพสต์สเกลเลอร์ และรีจิสเตอร์ คาบเวลา (Period register) ขนาด 8 บิตในตัว
- มีโมดูล CCP 2 ชุด โดยส่วนตรวจจับสัญญาณเหรือแคปเจอร์ (Capture) มีขนาด 16 บิต ความละเอียดสูงสุด 12.5นาโนวินาที ส่วนเปรียบเทียบสัญญาณ (Compare) มีขนาด 16 บิต ความละเอียดสูงสุด 200 นาโนวินาทีวงจร PWM มีความละเอียดสูงสุด 10 บิต
- มีวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลขนาด 10 บิต และ 8 ช่องสำหรับ PIC 16F877
- วงจรเชื่อมต่ออุปกรณ์อนุกรมทั้ง SPI และบัส I^2C
- วงจรสื่อสารข้อมูลอนุกรม (USART) พร้อมการตรวจจับแอดเดรส 9 บิต
- มีวงจรตรวจจับระดับแรงดันไฟเลี้ยง (บราวเอาต์ดีเท็กชั่น : Brown-out detection) เพื่อการรีเซต ซีพียูหรือเรียกว่า บราวเอาต์รีเซต (Brown-out reset : BOR)

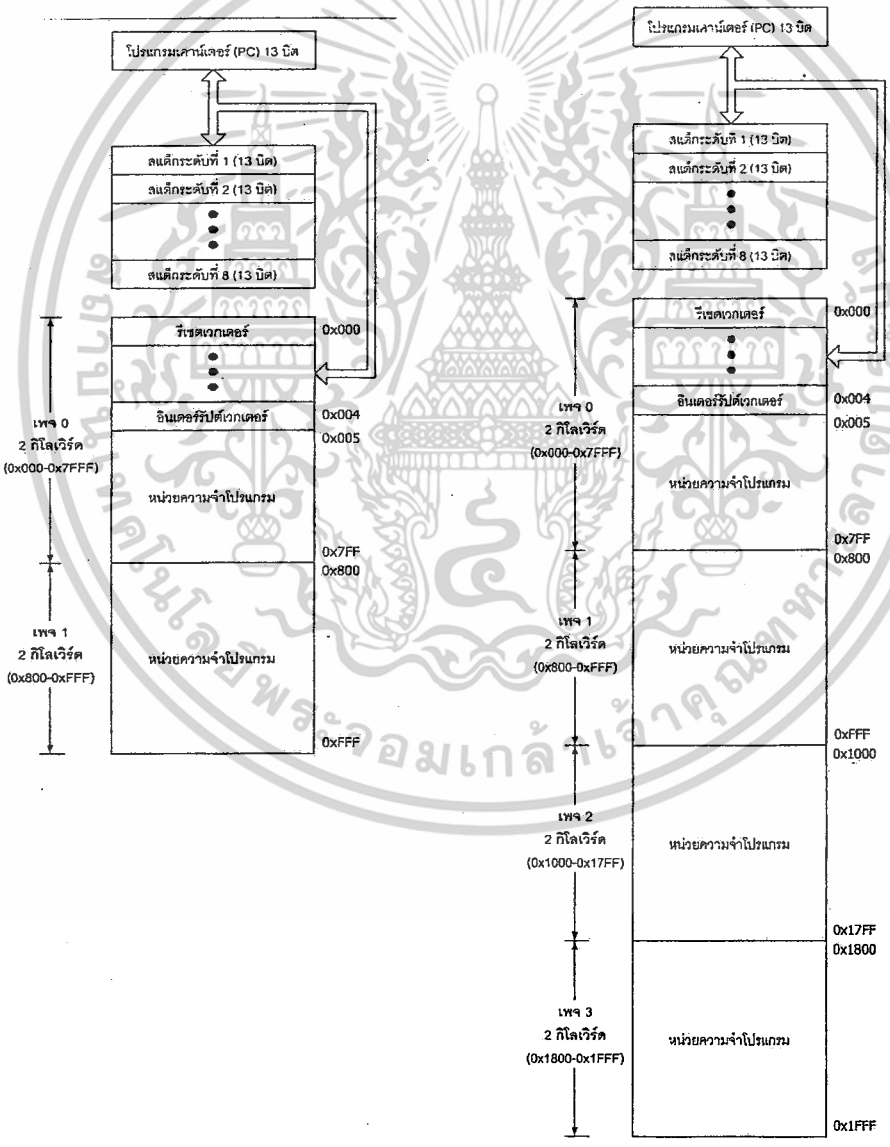
2.1.2 การจัดสรรหน่วยความจำและรีจิสเตอร์ควบคุมของ PIC16F877

2.1.2.1 การจัดสรรหน่วยความจำโปรแกรม

PIC16F877 มีโปรแกรมเคาน์เตอร์ (PC) ขนาด 13 บิตเพื่อกำหนดการเข้าถึงหน่วยความจำโปกแกรม โดยใน PIC16F877 จะมีขนาดของหน่วยความจำโปรแกรม 4K x 14 บิต (หรือ 4 กิโลเวิร์ด โดย 1 เวิร์ดมีขนาด 14 บิต) ส่วน PIC16F877 จะมีขนาด 8K x 14 บิต (หรือ 8 กิโลเวิร์ด) เนื่องจากไมโครคอนโทรลเลอร์ในอนุกรมนี้มีขนาดหน่วยความจำโปรแกรมที่ค่อนข้างใหญ่มากจึงต้องมีการจัดสรรเป็นเพจ (page) หรือเป็นหน้า โดยในแต่เพจจะมีขนาด 2 กิโลเวิร์ด ทั้งนี้เนื่องจากชุดคำสั่งเกี่ยวกับการกระโดดของไมโครคอนโทรลเลอร์ตระกูล PIC สามารถอ้างถึงตำแหน่งของหน่วยความจำได้สูงสุด 2,048 ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2-2 แสดงการจัดสรรพื้นที่ของหน่วยความจำโปรแกรมของ PIC16F877 ทั้ง 2 ขนาด การจัดสรรดังกล่าวเป็นการจัดสรรปกติจากรูปที่2-2เป็นการจัดสรรหน่วยความจำโปรแกรมของ PIC16F877 ซึ่งอยู่ในตำแหน่ง 0x0000-0x0FFF โดยแบ่งเป็น 2 เพจคือ 0x0000-0x07FF กับ 0x0800-0x0FFFF สำหรับพื้นที่ 4 แอสเดรสแรกของเพจ 0 สงวนไว้เป็นที่เก็บค่าแอดเดรสรีเซตเวกเตอร์ซึ่งจัดสรรไว้ที่ตำแหน่ง 0x0000 และที่ตำแหน่ง 0x0004 เป็นที่เก็บค่าแอดเดรสอินเตอร์รัปต์เวกเตอร์



รูปที่ 2-2 การจัดสรรหน่วยความจำโปรแกรมของไมโครคอนโทรลเลอร์ PIC16F877

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการเขียนโปรแกรมที่ดีจึงควรกระโดดมาเริ่มต้นทำงานที่แอดเดรส 0x0005 จะเหมาะสมมากที่สุดแต่ถ้าหากผู้เขียนโปรแกรมคาดว่าไม่มีการใช้งานอินเตอร์รัปต์อย่างแน่นอน ก็สามารถละเลยเรื่องอินเตอร์รัปต์เวกเตอร์นี้ไปได้ จุดที่จะต้องให้ความสำคัญอย่างยิ่งคือ การติดต่อกันระหว่างเพจของหน่วยความจำโปรแกรม ผู้เขียนโปรแกรมจำเป็นอย่างยิ่งที่จะต้องกำหนดให้เกิดการกระโดดอยู่ในขอบเขต 2,048 ตำแหน่ง และถ้าหากมีการข้ามเพจเกิดขึ้นจะต้องแบ่งช่วงการกระโดดระหว่างเพจ

สำหรับ PIC16F877 ซึ่งมีขนาดหน่วยความจำ 8 กิโลเวิร์ด มีการจัดสรรพื้นที่ดังในรูปที่ 2-2 มีการสงวนแอสเดรส 0x0000 และ 0x0004 ไว้เช่นกัน หรืออาจกล่าวได้ว่า เป็นรูปแบบมาตรฐานของการเขียนโปรแกรมควบคุมไมโครคอนโทรลเลอร์ตระกูลนี้ สำหรับ PIC16F877 มีการแบ่งหน่วยความจำโปรแกรมออกเป็น 4 เพจ ดังนี้

เพจ 0 มีแอสเดรสในช่วง 0x0000-0x07FF โดยควรสงวนแอดเดรส 0x0000 และแอดเดรส 0x0004 ไว้

เพจ 1 มีแอดเดรสในช่วง 0x0800-0x0FFF

เพจ 2 มีแอดเดรสในช่วง 0x1000-0x17FF

เพจ 3 มีแอดเดรสในช่วง 0x1800-1x1FFF

นอกจากนั้นใน PIC16F877 ยังมีพื้นที่หน่วยความจำพิเศษสำหรับเก็บค่าของโปรแกรมเคาน์เตอร์ชั่วคราวขนาด 13 บิต เรียกว่า สแต็ก (stack) ซึ่งจะมีบทบาทมากในการกระโดดไปทำงานยังโปรแกรมย่อยของ PIC16F877 โดยเมื่อกระทำคำสั่งให้กระโดดไปทำงานยังโปรแกรมย่อย ซีพียูจะทำการเก็บค่าโปรแกรมเคาน์เตอร์หรือ PC ในขณะนั้นไว้ในสแต็ค จากนั้นจึงกระโดดไปทำงานยังโปรแกรมย่อย เมื่อทำงานเรียบร้อยแล้ว ซีพียูจะไปอ่านค่า PC จากสแต็ก แล้วทำงานตามกระบวนการในโปรแกรมหลักต่อไป สำหรับสแต็กใน PIC16F877 มีขนาด 13 บิต สามารถเก็บค่าของ PC ได้ 8 ระดับ

2.1.2.2 การจัดสรรหน่วยความจำข้อมูลแรมและรีจิสเตอร์ไฟล์

2.1.2.2.1 การจัดสรรหน่วยความจำข้อมูลของ PIC16F877

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน PIC16F877 มีหน่วยความจำข้อมูลแรมสำหรับใช้งานทั่วไป 368 ไบต์และรีจิสเตอร์ไฟล์ 8 บิต 57 ตัว หรือ 59 ตัวในเบอร์ PIC16F877 ดังในรูปที่ 2-3แต่ละแบงก์มีขนาดสูงสุด 128 ไบต์ แต่มีการใช้งานได้จริงในแต่ละแบงก์ต่างกัน โดยในแต่ละแบงก์มีการจัดสรรพื้นที่ดังนี้

แบงก์ 0 มีช่วงแอดเดรส 0x00-0x7F

- ช่วงแอดเดรส 0x00-0x1F เป็นพื้นที่ของรีจิสเตอร์ไฟล์
- ช่วงแอดเดรส 0x20-0x7F เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป 96 ไบต์

แบงก์ 1 มีช่วงแอดเดรส 0x80-0xFF

- ช่วงแอดเดรส 0x80-0x9F เป็นพื้นที่ของรีจิสเตอร์ไฟล์ แต่มีบางแอดเดรสไม่ใช้งาน
- ช่วงแอดเดรส 0xA0-0xEF เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป
- ช่วงแอดเดรส 0xF0-0xFF บรรจุข้อมูลเหมือนกับในแอดเดรส 0x70-0x7F ในแบงก์ เพื่อช่วยให้สามารถใช้ข้อมูลจากแอดเดรส 0x70-0x7F ได้ง่ายขึ้น โดยไม่ต้องเปลี่ยนแบงก์

แบงก์ 2 มีช่วงแอดเดรส 0x100-0x17F

- แอดเดรส 0x100-0x10F เป็นพื้นที่ของรีจิสเตอร์ไฟล์ แต่มีบางแอดเดรสไม่ใช้งาน
- แอดเดรส 0x110-0x11F เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป 16 ไบต์
- แอดเดรส 0x120-0x16F เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป 80ไบต์
- แอดเดรส 0x170-0x17F บรรจุข้อมูลเหมือนกับในแอดเดรส 0x70-0x7F ในแบงก์ 0 เพื่อช่วยให้สามารถใช้ข้อมูลจากแอดเดรส 0x70-0x7F ได้ง่ายขึ้น โดยไม่ต้องเปลี่ยนแบงก์

แบงก์ 3 มีช่วงแอดเดรส 0x180-0x1FF

- แอดเดรส 0x180-0x18F เป็นพื้นที่ของรีจิสเตอร์ไฟล์ แต่มีบางแอดเดรสไม่ใช้งาน
- แอดเดรส 0x190-0x19F เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป 16 ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แอดเดรส 0x1A0-0x1EF เป็นพื้นที่ของหน่วยความจำข้อมูลสำหรับใช้งานทั่วไป 80 ไบต์

- แอดเดรส 0x1F0-0x1FF บรรจุข้อมูลเหมือนกันในแอดเดรส 0x70-0x7F ในแบงก์ 0 เพื่อช่วยให้สามารถใช้ข้อมูลจากแอดเดรส 0x70-0x7F ได้ง่ายขึ้น โดยไม่ต้องเปลี่ยนแบงก์

2.1.3 โปรแกรมเคาน์เตอร์ (PC)

เป็นรีจิสเตอร์พิเศษที่ทำหน้าที่ระบุแอดเดรสของหน่วยความจำโปรแกรมที่ซีพียูต้องไปอ่านข้อมูลเพื่อทำงาน โปรแกรมเคาน์เตอร์มีขนาด 13 บิต สำหรับใน PICI16F877 ซึ่งมีขนาดหน่วยความจำโปรแกรม 1 กิโลเวิร์ด จะใช้ 13 บิต

โปรแกรมเคาน์เตอร์แบ่งเป็น 2 ส่วน ส่วนแรกมีขนาด 8 บิต เป็นข้อมูลในไบต์ต่ำ (บิต 0-7) เรียกว่า รีจิสเตอร์ PCL มีแอดเดรสอยู่ที่ 0x02 อีกส่วนหนึ่งมีขนาด 5 บิตเป็นข้อมูลในไบต์สูง (8-12) เรียกว่า รีจิสเตอร์ PCH สำหรับรีจิสเตอร์ PCH ไม่สามารถเข้าถึงได้โดยตรง การปรับปรุงข้อมูลใน PCH ต้องกระทำผ่านรีจิสเตอร์ PCLATH ซึ่งมีแอดเดรสอยู่ที่ 0x0A

2.1.4 สแต็ก (STACK)

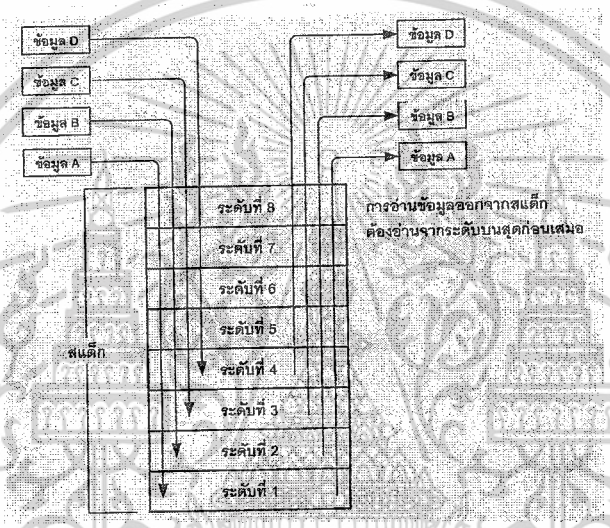
ใน PIC16F877 มีหน่วยความจำสำรองสำหรับเก็บค่าของโปรแกรมเคาน์เตอร์ (PC) ชั่วคราวขนาด 13 บิตหรือเรียกว่า **สแต็ก** หน้าที่ของมันคือ เก็บข้อมูลที่ยังต้องการอยู่ของรีจิสเตอร์ และเมื่อมีข้อมูลนั้นถูกนำมาเก็บไว้ในสแต็กแล้ว ก็สามารถที่จะเปลี่ยนข้อมูลในรีจิสเตอร์ตัวนั้น ๆ ได้ทันที หลังจากที่ทำงานเรียบร้อยจึงกลับมาอ่านข้อมูลเดิมกลับจากสแต็ก ดังมีกระบวนการทำงานแสดงในรูปที่ 2-4 การเก็บข้อมูลของสแต็กจะมีลักษณะเป็นระดับหรือเป็นชั้น ข้อมูลที่เก็บเข้ามาก่อนจะต้องอ่านออกทีหลังหรือเป็นแบบ FILO (First In Last Out) จำนวนระดับจำกัดไว้ที่ 8 ระดับ โดยพื้นที่ของสแต็กนั้นจะจัดสรรแยกไว้ต่างหากไม่เกี่ยวข้องกับพื้นที่ของหน่วยความจำแต่อย่างใด

ตัวชี้ตำแหน่งของสแต็กหรือ **สแต็กพอยน์เตอร์ (stack pointer)** ผู้ใช้งานไม่สามารถทำการอ่านหรือเขียนข้อมูลได้โดยค่าของสแต็กพอยน์เตอร์จะเปลี่ยนแปลงอัตโนมัติจากการกระทำคำสั่ง CALL,RETURN,RETLW และ RETFIE การเก็บค่าของสแต็กจะต่อเนื่องกันเป็นวงกลม สามารถเก็บข้อมูลได้ 8 ค่า เมื่อมีการเก็บข้อมูลครั้งที่ 9 เข้ามา ข้อมูลนั้นจะไปทับในสแต็กของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลครั้งแรกเช่นนี้ไปตลอด ดังนั้นในไมโครคอนโทรลเลอร์ PIC จึงไม่มีการแจ้งเหตุการณ์สแต็กเกิน (stack overflow)

นอกจากนั้นการเก็บหรืออ่านค่าในสแต็กของไมโครคอนโทรลเลอร์ PIC จะเกิดขึ้นเมื่อมีการกระทำคำสั่ง CALL,RETURN,RETLW และ RETFIE หรือเกิดการอินเตอร์รัปต์เท่านั้น ไม่มีคำสั่ง PUSH หรือ POP เพื่อติดต่อกับสแต็กเหมือนกับไมโครคอนโทรลเลอร์เบอร์อื่น ๆ



รูปที่ 2-3 แสดงกลไกการทำงานของแสตกอย่างง่าย

2.1.5 พอร์ตอินพุตเอาต์พุตของไมโครคอนโทรลเลอร์PIC16F877

PIC16F877 มีพอร์ตให้ใช้งานตั้งแต่ 3-5 พอร์ต จำนวน 20-33 บิต ขึ้นอยู่กับเบอร์ของไมโครคอนโทรลเลอร์ และด้วยความสามารถของพอร์ตใน PIC16F877 ที่สามารถทำงานได้หลายอย่าง จึงจำเป็นอย่างยิ่งที่ผู้ใช้งานต้องทำความเข้าใจถึงโครงสร้างทางฮาร์ดแวร์และการกำหนดหรือเลือกฟังก์ชั่นการทำงานให้แก่ขาพอร์ตแต่ละขาด้วยกระบวนการทางซอฟต์แวร์ ทั้งนี้เพื่อให้สามารถใช้งานพอร์ตทั้งหมดของ PIC16F87x ได้อย่างมีประสิทธิภาพสูงสุด

ภาพรวมของพอร์ตทั้งหมด ตั้งแต่พอร์ต A ถึง E โดยจะเน้นที่โครงสร้างทางฮาร์ดแวร์และฟังก์ชั่นการทำงานในภาพรวม สำหรับหน้าที่หรือฟังก์ชั่นพิเศษที่ขาพอร์ตนั้น ๆ สามารถทำได้จะกล่าวถึงในรายละเอียดต่อไป

ความสามารถในการจ่ายกระแสเอาต์พุตของขาพอร์ตที่ไฟเลี้ยง +5V คือ 25mA ต่อขาทั้งกระแสซิงก์และกระแสซอร์ซ ในขณะที่กระแสเอาต์พุตรวมของพอร์ต A,B และ E มีค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

200mA ส่วนกระแสเอาต์พุตรวมของพอร์ต C และ D มีค่าสูงสุด 200mA ดังนั้นในการออกแบบเพื่อขับโหลดทางเอาต์พุตของขาพอร์ตต้องระวังเรื่องกระแสเอาต์พุตรวมที่ไมโครคอนโทรลเลอร์สามารถขับได้ด้วย

2.1.5.1 พอร์ต A

มีทั้งสิ้น 6 ช่องหรือ 6 บิต กำหนดชื่อขาเป็น **RA0-RA5** รีจิสเตอร์ที่ใช้ในการเก็บข้อมูลคือ **PORTA** มีแอดเดรสอยู่ที่ 0x05 (แบงก์ 0) เป็นรีจิสเตอร์ขนาด 8 บิต แต่ใช้งานจริงเพียง 6 บิต ที่เหลือ 2 บิตต้องกำหนดให้เป็น "0" ส่วนการกำหนดทิศทางของพอร์ตนี้กระทำผ่านรีจิสเตอร์ **TRISA** ซึ่งมีแอดเดรสอยู่ที่ 0x85 (แบงก์ 1) มีขนาด 8 บิตและใช้เพียง 6 บิตเช่นกัน 2 บิตบนคือบิต 6 และบิต 7 ต้องกำหนดให้เป็น "0" บิต 0 ของ TRISA ใช้กำหนดทิศทางของขาพอร์ต RA0 ไล่เรียงลำดับจนถึงบิต 5 ของ TRISA ใช้กำหนดทิศทางของขาพอร์ต RA5 หากต้องการกำหนดให้ขาพอร์ตในบิตใดเป็นอินพุตต้องเขียนข้อมูล "1" ไปยังบิตนั้น และในทางตรงข้ามหากต้องการกำหนดให้เป็นขาเอาต์พุตให้เขียนข้อมูล "0" ไปยังบิตนั้น

2.1.5.1.1 โครงสร้างทางฮาร์ดแวร์

พอร์ตAสามารถทำงานเป็นขาพอร์ตอินพุตเอาต์พุตปกติและเป็นขาอินพุตสัญญาณอะนาลอก สำหรับวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลขนาด 10 บิตภายในไมโครคอนโทรลเลอร์ โดยขา RA0-RA3 และ RA5 จะมีการทำงานที่เหมือนกัน ส่วน RA4 จะแตกต่างตรงที่ขานี้นอกจากเป็นขาพอร์ตอินพุตเอาต์พุตปกติแล้ว ยังใช้เป็นขาอินพุตสำหรับ ไทเมอร์ 0 ภายในไมโครคอนโทรลเลอร์ด้วย และขา RA4 นี้ไม่สามารถใช้งานเป็นขาอินพุตรับสัญญาณอะนาลอกได้

2.1.5.1.2 การติดต่อเพื่อกำหนดการทำงานและเขียนข้อมูลไปยังพอร์ต A

ในขั้นแรกต้องทำการเตรียมความพร้อมให้แก่รีจีสเตอร์ PORTA โดยการเลือกแบงก์สำหรับติดต่อกับรีจิสเตอร์ PORTA จากนั้นส่งข้อมูล "0" เพื่อเคลียร์ข้อมูลทั้งหมด และเนื่องจากพอร์ต A ทำงานกับสัญญาณอะนาลอกได้ และค่าเริ่มต้นของพอร์ต A ที่ทำงานกับสัญญาณอะนาลอกจะถูกกำหนดให้เป็นอินพุตอะนาลอกทั้งหมด ดังนั้นหาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการใช้งานเป็นพอร์ตดิจิตอลต้องกำหนดข้อมูล 0x06 หรือ 0x07 แล้วเขียนลงในรีจิสเตอร์ ADCON1 เพื่อดิสเอเบิลการทำงานกับสัญญาณอะนาลอก

จากนั้นจึงเลือกแบงก์ใหม่เพื่อติดต่อกับรีจิสเตอร์ TRISA แล้วเขียนข้อมูลเพื่อกำหนดทิศทางของขาพอร์ตตามที่ต้องการลงในรีจิสเตอร์ TRISA จากโปรแกรมที่ 1 เป็นโปรแกรมตัวอย่างเพื่อกำหนดการทำงานของพอร์ต A ในโหมดของพอร์ตอินพุตเอาต์พุตแบบดิจิตอล

โปรแกรมที่ 2-1 โปรแกรมกำหนดทิศทางสัญญาณของพอร์ต A

```
BCF     STATUS, RP0   ;
BCF     STATUS, RP1   ; Bank0
CLRF    PORTA         ; Initialize PORTA by clearing output and data latches
BSF     STATUS, RP0   ; Select Bank 1
MOVLW   0x06          ; Configure all pins as digital inputs
MOVWF   ADCON1
MOVLW   0xCF          ; Value used to initialize data direction
MOVWF   TRISA         ; Set RA<3:0> as inputs, RA<5:4> as outputs
                      ; TRISA<7:6>are always read as '0'
```

2.1.5.2 พอร์ต B

มี 8 บิต กำหนดชื่อขาเป็น **RB0-RB7** รีจิสเตอร์ที่ใช้ในการเก็บข้อมูลคือ **PORTB** มีแอดเดรสอยู่ที่ 0x06 (แบงก์ 0) และ 0x106 (แบงก์ 2) เป็นรีจิสเตอร์ขนาด 8 บิต ส่วนการกำหนดทิศทางของพอร์ตนี้กระทำผ่านรีจิสเตอร์ **TRISB** ซึ่งมีแอดเดรสอยู่ที่ 0x86 (แบงก์ 1) และ 0x186 (แบงก์ 3) มีขนาด 8 บิต เช่นเดียวกับพอร์ต A บิต 0 ของ TRISB ใช้กำหนดทิศทางของขาพอร์ต RB0 ไล่เรียงลำดับจนถึงบิต 7 ของ TRISB ใช้กำหนดทิศทางของขาพอร์ต RB7 หากต้องการกำหนดให้ขาพอร์ตในบิตใดเป็นอินพุตต้องเขียนข้อมูล “1” ไปยังบิตนั้น ในทางตรงข้ามหากต้องการกำหนดให้เป็นขาเอาต์พุตให้เขียนข้อมูล “0” ไปยังบิตนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5.2.1 โครงสร้างทางฮาร์ดแวร์

พอร์ต B สามารถใช้งานในลักษณะต่าง ๆ ได้ 5 แบบคือ

1. เป็นขาพอร์ตอินพุตเอาต์พุตปกติ
2. เป็นขาอินพุตสัญญาณอินเตอร์รัปต์จากภายนอก โดยใช้ขา RB0/INT
3. เป็นขาพอร์ตอินพุตสำหรับรับแรงดันโปรแกรมระดับต่ำ (low voltage programming) โดยใช้ขา RB3/PGM
4. เป็นขาข้อมูลอนุกรมและสัญญาณนาฬิกาอนุกรมสำหรับการโปรแกรมหน่วยความจำภายในไมโครคอนโทรลเลอร์ ซึ่งใช้ 2 ขาคือ RB7/PGD และ RB6/PGC
5. ใช้เป็นแหล่งกำเนิดสัญญาณอินเตอร์รัปต์แบบตรวจสอบการเปลี่ยนแปลงข้อมูลหรือระดับสัญญาณที่ขา RB4-RB7

ไดอะแกรมของพอร์ต B ในบิต RB0-RB3 จะเห็นได้ว่าที่ขาพอร์ตจะมีวงจรพูลอัปแบบโปรแกรมได้ต่ออยู่ นั่นคือหากต้องการกำหนดให้เป็นขาอินพุตต้องทำการเขียนข้อมูล “0” ไปยังบิต RBPU ในรีจิสเตอร์ OPTION_REG เพื่อเอ็นเอเบิลวงจรพูลอัปภายในขาพอร์ต B ในขณะที่หากกำหนดเป็นเอาต์พุต การพูลอัปที่ขาพอร์ต B นี้จะถูกยกเลิกโดยอัตโนมัติ นอกจากนั้นการพูลอัปนี้จะได้รับการยกเลิกเมื่อเกิดเพาเวอร์ออนรีเซตขึ้น ในกรณีใช้ขา RB0/INT เพื่อรับสัญญาณอินเตอร์รัปต์จากภายนอก สัญญาณจะผ่านเข้าไปยังวงจรบัฟเฟอร์แบบชมิตต์ทริกเกอร์เพื่อให้สัญญาณที่ได้มีความแม่นยำและมีเสถียรภาพ

ไดอะแกรมของขาพอร์ต RB4-RB7 โดยขาพอร์ตในกลุ่มนี้มีความสามารถพิเศษพอสมควร โดยสามารถเลือกให้ทำงานเป็นขาพอร์ตอินพุตเอาต์พุตปกติ, ขาอินพุตรับแรงดังสำหรับการโปรแกรม (RB3), ขาสัญญาณสำหรับการโปรแกรม (RB6-RB7) และทำงานเป็นแหล่งกำเนิดสัญญาณอินเตอร์รัปต์ในแบบตรวจสอบการเปลี่ยนแปลงที่ขาพอร์ต RB4-RB7

วงจรอินพุตบัฟเฟอร์ที่ขาพอร์ตนี้มีทั้งแบบทีทีแอลและชมิตต์ทริกเกอร์ทั้งนี้เพื่อจัดการให้สัญญาณอินพุตที่เข้ามามีความเหมาะสมและสมบูรณ์มากที่สุดและยังคงสามารถรองรับการพูลอัปภายในแบบอัตโนมัติได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่มีการเอ็นเอเบิลการตอบสนองอินเตอร์รัปต์แบบตรวจสอบการเปลี่ยนแปลงลอจิกที่พอร์ต RB4-RB7 หากเกิดการอินเตอร์รัปต์ขึ้น บิต RBIF (บิต 0 ในรีจิสเตอร์ INTCON) จะเซตและหลังจากตอบสนองการอินเตอร์รัปต์แล้ว ต้องเคลียร์บิต RBIF ด้วยกระบวนการทางซอฟต์แวร์เสมอ

2.1.5.3 พอร์ต C

มีทั้งสิ้น 8 บิต กำหนดชื่อขาเป็น **RC0-RC7** รีจิสเตอร์ที่ใช้เก็บข้อมูลคือ **PORTC** มีแอดเดรสอยู่ที่ 0x07 (แบงก์ 0) เป็นรีจิสเตอร์ขนาด 8 บิต ส่วนการกำหนดทิศทางของพอร์ตนี้กระทำผ่านรีจิสเตอร์ **TRISC** มีแอดเดรสอยู่ที่ 0x87 (แบงก์ 1) มีขนาด 8 บิต เช่นเดียวกับพอร์ต A และ B บิต 0 ของ TRISC ใช้กำหนดทิศทางของขาพอร์ต RC0 ไล่เรียงลำดับจนถึงบิต 7 ของ TRISC ใช้กำหนดทิศทางของขาพอร์ต RC7 หากต้องการกำหนดให้ขาพอร์ตในบิตใดเป็นอินพุตต้องเขียนข้อมูล "1" ไปยังบิตนั้น และในทางตรงข้ามหากต้องการกำหนดให้เป็นขาเอาต์พุต ให้เขียนข้อมูล "0" ไปยังบิตนั้น

2.1.5.3.1 โครงสร้างทางฮาร์ดแวร์

พอร์ต C สามารถใช้งานในลักษณะต่าง ๆ ได้หลายรูปแบบ และเป็นขาพอร์ตที่มีความสามารถสูงมาก ไม่ว่าจะเป็นขาพอร์ตอินพุตเอาต์พุตปกติ, ขาอินพุตเอาต์พุตออสซิลเลเตอร์ของโมดูลไทเมอร์ 1, ขาอินพุตสำหรับรับสัญญาณนาฬิกาของโมดูลไทเมอร์ 1, ขาเชื่อมต่อระบบบัส I^2C, ขาเชื่อมต่อแบบ SPI (Serial Peripheral Interface), ขาเชื่อมต่อพอร์ตอนุกรมแบบ USART, ขาดินพุตวงจรแคปเจอร์ (capture) หรือวงจรตรวจจับสัญญาณ ขาเอาต์พุตของวงจรเปรียบเทียบสัญญาณ (compare) และขาเอาต์พุตวงจร PWM (Pulse Width Modulation) หรืออาจกล่าวได้ว่าพอร์ต C เป็นพอร์ตสำหรับเชื่อมต่ออุปกรณ์ภายนอก (peripheral function port) ที่มีความสมบูรณ์แบบมากที่สุด สามารถสรุปหน้าที่และการทำงานที่หลากหลายของขาพอร์ต C ดังในตารางที่ **2-1**

ตารางที่ 2-1 สรุปหน้าที่การทำงานของขาพอร์ต C ในไมโครคอนโทรลเลอร์ PIC16F877

ชื่อขา	การทำงาน
RC0/T10S0/T1	ขาพอร์ตอินพุตเอาต์พุตบิต O ของพอร์ต C

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CKI	- เอาต์พุตวงจรออสซิลเลเตอร์ของไมเมอร์1 (T1OSO) - อินพุตรับสัญญาณนาฬิกาของไทเมอร์ 1 (T1CKI)
RC1/T10SI/CCP 2	- ขาพอร์ตอินพุตเอาต์พุตบิต 1 ของพอร์ต C - อินพุตวงจรออสซิลเลเตอร์ของไทเมอร์ 1 (T1OSI) - อินพุตแคปเจอร์หรือวงจรตรวจจับสัญญาณของโมดูล CCP2 - เอาต์พุตวงจรเปรียบเทียบของโมดูล CCP2 - เอาต์พุต PWM ของโมดูล CCP2
RC2/CCP1	- ขาพอร์ตอินพุตเอาต์พุตบิต 2 ของพอร์ต C - อินพุตแคปเจอร์หรือวงจรตรวจจับสัญญาณของโมดูล CCP1 - เอาต์พุตวงจรเปรียบเทียบของโมดูล CCP1 - เอาต์พุต PWM ของโมดูล CCP1
RC3/SCK/SCL	- ขาพอร์ตอินพุตเอาต์พุตบิต 3 ของพอร์ต C - ขาสัญญาณนาฬิกาอนุกรมของระบบ SPI (SCK) - ขาสัญญาณนาฬิกาอนุกรมของระบบบัส I^2C (SCL)
RC4/SDI/SDA	- ขาพอร์ตอินพุตเอาต์พุตบิต 4 ของพอร์ต C - ขาข้อมูลอินพุตอนุกรมของระบบ SPI (SDI) - ขาข้อมูลอนุกรมของระบบบัส I^2C (SDA)
RC5/SD0	- ขาพอร์ตอินพุตเอาต์พุตบิต 5 ของพอร์ต C - ขาข้อมูลเอาต์พุตอนุกรมของระบบ SPI (SDO)
RC6/TxD/CK	- ขาพอร์ตอินพุตเอาต์พุตบิต 6 ของพอร์ต C - ขาส่งข้อมูลพอร์ตอนุกรม USART (Txd) - ขาสัญญาณนาฬิกาซิงโครนัส (CK)
RC7/RxD/DT	- ขาพอร์ตอินพุตเอาต์พุตบิต 7 ของพอร์ต C - ขารับข้อมูลพอร์ตอนุกรม USART (RxD - ขาสัญญาณข้อมูลซิงโครนัส (DT)

ไดอะแกรมของพอร์ต C ในบิต **RC0-RC2** และ **RC5-RC7** จะเห็นได้ว่ามีสัญญาณควบคุมการทำงานของขาพอร์ตมากมาย ทั้งนี้เนื่องจากขาพอร์ต C สามารถทำงานได้หลากหลายนั่นเอง สัญญาณควบคุมที่สำคัญคือ สัญญาณเลือกการทำงานระหว่างเป็นพอร์ตปกติหรือเป็นขาเชื่อมต่ออุปกรณ์พิเศษ (PORT/PERIPHERAL Select) และสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมการส่งข้อมูลของวงจรเชื่อมต่ออุปกรณ์ (Peripheral Output Enable) สำหรับข้อมูลของวงจรเชื่อมต่ออุปกรณ์ที่ส่งออกและรับเข้ามาจะผ่านทางขาพอร์ตปกติ แต่เมื่อผ่านวงจรสำหรับเลือกสัญญาณข้อมูลแล้ว สายสัญญาณข้อมูลของพอร์ต (data bus) กับข้อมูลของวงจรเชื่อมต่ออุปกรณ์ (peripheral output/peripheral input) จะแยกกัน

ไดอะแกรมของขาพอร์ต RC3-RC4 ทั้ง 2 ขานี้มีความพิเศษตรงที่สามารถใช้งานเป็นขาเชื่อมต่ออุปกรณ์อนุกรมแบบซิงโครนัส ซึ่งแบ่งเป็นระบบ SPI และระบบบัส I^2C จึงทำให้ต้องเพิ่มสายสัญญาณควบคุมอินพุตเพิ่มเข้ามาอีก 1 เส้น เพื่อเลือกสัญญาณอินพุตระหว่าง SPI และบัส

วงจรอินพุตบัฟเฟอร์ของขาพอร์ต C นี้เป็นแบบชมิตต์ทริกเกอร์ทั้งหมด ทั้งนี้เพื่อจัดการให้สัญญาณอินพุตที่เข้ามามีความเหมาะสมและสมบูรณ์มากที่สุด และยังคงสามารถรองรับการพูลอัปภายในแบบอัตโนมัติได้

2.1.5.4 พอร์ต D

มี 8 บิต กำหนดชื่อขาเป็น **RD0-RD7** รีจิสเตอร์ที่ใช้ในการเก็บข้อมูลคือ **PORTD** มีแอดเดรสอยู่ที่ 0x88 (แบงก์ 1) มีขนาด 8 บิต ส่วนการกำหนดทิศทางของพอร์ตนี้กระทำผ่านรีจิสเตอร์ TRISD มีแอดเดรสอยู่ที่ 0x88 (แบงก์ 1) มีขนาด 8 บิต หากต้องการกำหนดให้ขาพอร์ตในบิตใดเป็นอินพุตต้องเขียนข้อมูล “1” ไปยังบิตนั้น และในทางตรงข้ามหากต้องการกำหนดให้เป็นขาเอาต์พุต ให้เขียนข้อมูล “0” ไปยังบิตนั้น สำหรับพอร์ต D นี้จะมีเฉพาะในไมโครคอนโทรลเลอร์ PIC รุ่น 40 ขาเท่านั้น

2.1.5.3.1โครงสร้างทางฮาร์ดแวร์

พอร์ต D สามารถใช้งานได้ 2 โหมดคือ เป็นขาพอร์ตอินพุตเอาต์ปกติและเป็นส่วนขยายพอร์ตแบบขนาน (Parallel Slave Port : PSP) สำหรับเชื่อมต่อกับอุปกรณ์ภายนอกที่มีการจัดระบบบัสแบบไมโครโปรเซสเซอร์คือ มีสายข้อมูล 8 เส้น สายสัญญาณควบคุม 3 เส้น คือ สายสัญญาณควบคุมการอ่าน (RD : Read), เขียน (WR : Write) และเลือกอุปกรณ์ (CS : Chip Select)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ไดอะแกรมของพอร์ต D ซึ่งมีโครงสร้างเหมือนกันทุกบิตเมื่อทำงานในโหมดพอร์ตอินพุตเอาต์พุตปกติ วงจรอินพุตจะเป็นแบบชมิตต์ทริกเกอร์ แต่เมื่อทำงานในโหมดขยายพอร์ตแบบขนานหรือ PSP วงจรอินพุตจะเปลี่ยนเป็นแบบทีทีแอล

การเลือกโหมดทำงานของพอร์ต D นี้ขึ้นกับบิต PSPMODE (บิต 4 ในรีจิสเตอร์ TRISE) ถ้าเป็น "0" เป็นการกำหนดให้พอร์ต D เป็นพอร์ตปกติ และถ้าเป็น "1" พอร์ต D จะทำงานในโหมด PSP

2.1.5.5 พอร์ต E

มี 3 บิต กำหนดชื่อขาเป็น **RE0-RE2** รีจิสเตอร์ที่ใช้ในการเก็บข้อมูลคือ **PORTE** มีแอดเดรสอยู่ที่ 0x09 (แบงก์ 0) เป็นรีจิสเตอร์ขนาด 8 บิต แต่ใช้งานเพียง 3 บิตล่างคือ บิต 0-บิต 2 เท่านั้น ที่เหลือกำหนดให้เป็น "0" ส่วนการกำหนดทิศทางของพอร์ตนี้กระทำผ่านรีจิสเตอร์ **TRISE** ซึ่งมีแอดเดรสอยู่ที่ 0x89 (แบงก์ 1) มีขนาด 8 บิต โดยใช้สามบิตล่างในการกำหนดทิศทางของพอร์ต E ส่วนที่เหลือใช้ควบคุมการทำงานในโหมด PSP ของพอร์ต D

พอร์ต E สามารถใช้งานเป็นพอร์ตอินพุตเอาต์พุตปกติ, ขาอินพุตอะนาลอกของโมดูลแปลงสัญญาณอะนาลอกเป็นดิจิตอล และขาควบคุมการติดต่อกับอุปกรณ์ภายนอกแบบ PSP ทั้งนี้ขึ้นอยู่กับการกำหนดข้อมูลของรีจิสเตอร์ที่ใช้ควบคุมการทำงานของพอร์ตนี้ เช่นเดียวกับพอร์ต D พอร์ต E จะมีเฉพาะในไมโครคอนโทรลเลอร์ PIC รุ่น 40 ขาเท่านั้น สำหรับในอนุกรม PIC16F87x จะมีในเบอร์ PIC16F871, PIC16F874(A) และ PIC16F877(A)

2.1.5.6 รีจิสเตอร์ TRISE

เมื่อมีการกำหนดให้พอร์ต D ทำงานในโหมด PSP 4 บิตบนของรีจิสเตอร์ TRISE จะใช้เป็นบิตแสดงสถานะของวงจรบัฟเฟอร์ที่ใช้ในการถ่ายทอดข้อมูลของส่วนขยายพอร์ตแบบขนานหรือ PSP ส่วน 3 บิตล่างใช้ในการเลือกโหมดการทำงานของพอร์ต D

ถ้าหากพอร์ต E ทำงานเป็นพอร์ตอินพุตเอาต์พุตปกติ 3 บิตล่างของรีจิสเตอร์ TRISE จะใช้ในการกำหนดทิศทางการถ่ายทอดสัญญาณข้อมูลของพอร์ต ดังมีรายละเอียดการทำงานของแต่ละบิตของรีจิสเตอร์ TRISE ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
61438

	บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
TRISE	IBF	OBF	IBOV	PSPMODE	—	DIR-RE2	DIR-RE1	DIR-RE0
	R-0	R-0	R/W-0	R/W-0			R/W-1	R/w-1

R/W-1

- IBF (Input Buffer Full status bit) : บิตแสดงสถานะบัฟเฟอร์ทางอินพุตของ PSP

"0" แสดงว่า ไม่มีข้อมูลรับเข้ามาในบัฟเฟอร์

"1" แสดงว่า มีข้อมูลเข้ามาแล้วและกำลังรอการอ่านจากซีพียู

- OBF (Output Buffer Full status bit) : บิตแสดงสถานะบัฟเฟอร์ทางเอาต์พุตของ PSP

"0" แสดงว่า ข้อมูลในบัฟเฟอร์ถูกส่งออกไปแล้ว

"1" แสดงว่า ยังคงมีข้อมูลเดิมอยู่ในบัฟเฟอร์ทางเอาต์พุต

- IBOV (Input Buffer Overflow Detect bit) : บิตแสดงการรับข้อมูลเกินของบัฟเฟอร์อินพุต

"0" แสดงว่า ไม่มีการรับข้อมูลเกินหรือโอเวอร์โฟลวเกิดขึ้น

"1" แสดงว่า เกิดการเขียนข้อมูลมายังบัฟเฟอร์อินพุต ทั้งที่ยังคงมีข้อมูลเดิมอยู่

- PSPMODE (Parallel Slave Port Mode select bit): บิตเลือกการทำงาน PSP ของพอร์ต D และ E

"0" กำหนดให้ทำงานในโหมดพอร์ตอินพุตเอาต์พุตปกติ

"1" กำหนดให้ทำงานในโหมด PSP บิต 3 : ไม่มีการใช้งาน กำหนดค่าเป็น "0"

DIR-RE2 ถึง DIR-RE0 (Direction control bit for RE2-RE0) : บิตควบคุมทิศทางของพอร์ต E เมื่อทำงานในโหมดพอร์ตอินพุตเอาต์พุตปกติ

2.1.5.6.1 โครงสร้างทางฮาร์ดแวร์

ไดอะแกรมของพอร์ต E ในบิต RE0-RE2 เมื่อทำงานในโหมดพอร์ตอินพุตเอาต์พุตปกติ จะเห็นได้ว่ามีความคล้ายคลึงกับขาพอร์ตอื่น ๆ ของ PIC16F877 ถ้าหากทำงานในโหมดพอร์ตอินพุตเอาต์พุตปกติ วงจรอินพุตของพอร์ตนี้จะเป็นแบบชมิตต์ทริกเกอร์ ในขณะที่หากทำงานในโหมดการแปลงสัญญาณอะนาลอกเป็นดิจิตอล วงจรอินพุตจะเปลี่ยนเป็นแบบทีทีแอล

ถึงแม้ว่าพอร์ต E ใน PIC16F877 มีจำนวนน้อยเพียง 3 บิต แต่สามารถเลือกรูปแบบการทำงานได้มากถึง 3 แบบคือเป็นพอร์ตอินพุตเอาต์พุตปกติ, อินพุตสำหรับวงจรแปลงสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาลอกเป็นดิจิตอลขนาด 10 บิตในไมโครคอนโทรลเลอร์ และพอร์ตสัญญาณควบคุมสำหรับติดต่อกับอุปกรณ์ในโหมด PSP ดังนั้นในการเลือกรูปแบบการทำงานต้องระมัดระวังเช่นเดียวกับพอร์ต C ที่ได้กล่าวมาแล้วก่อนหน้านี้

ในตารางที่ 2-2 แสดงการทำงานอย่างละเอียดของขาพอร์ต E โหมดต่าง ๆ

ตารางที่ 2-2 แสดงหน้าที่การทำงานของพอร์ต E ในไมโครคอนโทรลเลอร์ PIC16F877

ชื่อขา	การทำงาน
RE0/RD/AN5	- ขาพอร์ตอินพุตเอาต์พุตบิต 0 ของพอร์ต E - ขาควบคุมการอ่านข้อมูลสำหรับส่วนขยายพอร์ตแบบขนานหรือโหมด PSP (RD) "0" = มีการอ่านข้อมูลเกิดขึ้น โดยทำการอ่านข้อมูลจากรีจิสเตอร์ PORTD ในกรณีที่มีการเลือกอุปกรณ์ที่ต้องการติดต่อด้วย (ขา CS = "0") "1" = ไม่มีการอ่านข้อมูลเกิดขึ้น - อินพุตรับสัญญาณอะนาลอกช่อง 5
RE1/WR/AN6	- ขาพอร์ตอินพุตเอาต์พุตบิต 1 ของพอร์ต E - ขาควบคุมการอ่านข้อมูลสำหรับส่วนขยายพอร์ตแบบขนานหรือโหมด PSP (RD) "0" = มีการอ่านข้อมูลเกิดขึ้น โดยทำการอ่านข้อมูลจากรีจิสเตอร์ PORTD ในกรณีที่มีการเลือกอุปกรณ์ที่ต้องการติดต่อด้วย (ขา CS = "0") "1" = ไม่มีการอ่านข้อมูลเกิดขึ้น - อินพุตรับสัญญาณอะนาลอกช่อง 6
RE2/CS/AN7	- ขาพอร์ตอินพุตเอาต์พุตบิต 2 ของพอร์ต E - ขาควบคุมการอ่านข้อมูลสำหรับส่วนขยายพอร์ตแบบขนานหรือโหมด PSP (CS) "0" = มีการเลือกอุปกรณ์ "1" = ไม่มีการเลือกอุปกรณ์ - อินพุตรับสัญญาณอะนาลอกช่อง 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5.7 พอร์ตขนานเสริมของ PIC16F877

พอร์ตอินพุตเอาต์พุตดิจิตอลอีกชุดหนึ่งที่มีอยู่ใน PIC16F877 คือ **พอร์ตขนานเสริม (Parallel Slave Port :PSP)** บางทีเรียกว่า **พอร์ตไมโครโปรเซสเซอร์ (microprocessor port)** โดยพอร์ต PSP นี้จะรวมอยู่กับพอร์ต D และ E โดยส่วนของพอร์ตข้อมูล 8 บิตจะใช้พอร์ต D ส่วนสัญญาณควบคุมมีด้วยกัน 3 เส้นจะใช้ร่วมกับพอร์ต E นั่นคือ สายอ่านข้อมูลจากพอร์ต (RD), สายเขียนข้อมูลไปยังพอร์ต (WR) และสายเลือกทำงาน (CS) ดังนั้นพอร์ตขนานเสริมหรือพอร์ต PSP จึงมีเฉพาะใน PIC16F87x รุ่น 40 ขาขึ้นไปเท่านั้น

พอร์ต PSP มีประโยชน์ในกรณีที่ต้องใช้งานอุปกรณ์ที่มีรูปแบบการเชื่อมต่อแบบบัสข้อมูล 8 บิต ซึ่งนิยมใช้มากในระบบไมโครโปรเซสเซอร์ นั่นคือเมื่อต้องการอ่านข้อมูลจากอุปกรณ์ ให้แอกตีฟสัญญาณ CS และ RD จากนั้นข้อมูลจะมาปรากฏที่บัสข้อมูล 8 บิตทันที หรือต้องการเขียนข้อมูลให้ส่งข้อมูลไปรอที่บัสข้อมูล 8 บิต จากนั้นแอกตีฟสัญญาณ CS และ WR ข้อมูลที่ต้องการเขียนจะถูกส่งไปยังอุปกรณ์ที่ต่ออยู่ทันที อุปกรณ์ภายนอกที่เหมาะจะใช้กับพอร์ต PSP ได้แก่ หน่วยความจำ ไอซีแปลงสัญญาณอะนาลอกเป็นดิจิตอลหรือแปลงสัญญาณดิจิตอลเป็นอะนาลอกที่ให้ข้อมูลแบบขนานเครื่องพิมพ์ รวมไปถึงไมโครโปรเซสเซอร์ด้วย

2.1.5.7.1 การทำงาน

ไดอะแกรมการทำงานของพอร์ตขนานเสริมหรือ PSP พอร์ตนี้จะทำงานได้ก็ต่อเมื่อเซตบิต PSPMODE (บิต 4 ในรีจิสเตอร์ TRISE) ทำให้พอร์ต D ทั้ง 8 บิตกลายเป็นบัสข้อมูลขนาด 8 บิต ส่วนพอร์ต E ทั้งหมดจะกลายเป็นสายสัญญาณควบคุมการทำงานทั้ง 3 เส้นแทน โดยขา RE0 เป็นขา RD, ขา RE1 เป็น WR และขา RE2 เป็นขา CS เมื่อเอ็นเอเบิลการทำงานของพอร์ตแล้ว ไมโครคอนโทรลเลอร์จะมีสถานภาพของการทำงานเป็นอุปกรณ์สเลฟของอุปกรณ์ที่ต่ออยู่กับพอร์ต PSP นี้ทันที

2.1.5.7.2 ในกรณีอ่านข้อมูลจากพอร์ต PSP

การอ่านข้อมูลจากพอร์ต PSP จะเกิดขึ้นเมื่อมีการแอกตีฟขาสัญญาณ CS เป็น “0” ตามด้วยแอกตีฟสัญญาณ RD บิต OBF (บิต 6 ของรีจิสเตอร์ TRISE) จะเป็น “0” เพื่อแจ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ทราบว่า มีข้อมูลปรากฏขึ้นที่บัฟเฟอร์เอาต์พุตเพื่อพร้อมที่จะให้อ่านออกไปแล้ว ข้อมูลจากรีจิสเตอร์ PORTD จะปรากฏขึ้นบนบัสข้อมูล 8 บิต (ซึ่งก็คือขาพอร์ต D ทั้ง 8 ขานั่นเอง) เพื่อให้อุปกรณ์ภายนอกอ่านออกไป แฟลก PSPIF (บิต 7 ของรีจิสเตอร์ PIR1) จะถูกเซต เป็นการแจ้งให้ทราบว่า การทำงานของพอร์ต PSP เสร็จสิ้นลง 1 รอบการทำงานแล้ว หากมีการเอ็นเอเบิลการอินเตอร์รัปต์แบบนี้ไว้ ก็จะเกิดสัญญาณอินเตอร์รัปต์ขึ้น

2.1.5.7.3 ในกรณีเขียนข้อมูลมายังพอร์ต PSP

เช่นเดียวกับการอ่านข้อมูล จะต้องแอกตีฟสัญญาณ CS ก่อน จากนั้นแอกตีฟสัญญาณ WR ข้อมูล 8 บิตจะถูกเขียนมายังพอร์ต D เพื่อส่งต่อไปยังรีจิสเตอร์ PORTD จนกระทั่งเมื่อการเขียนข้อมูลเสร็จสิ้น บิต IBF (บิต 7 ในรีจิสเตอร์ TRISE) จะเซตเพื่อแจ้งให้ทราบว่า ขณะนี้มีข้อมูลส่งเข้ามายังพอร์ต PSP นี้ครบ 1 ไบต์เรียบร้อยแล้ว พร้อมที่จะให้ซีพียูภายในไมโครคอนโทรลเลอร์ PIC16F87x อ่านออกไปประมวลผลต่อไป พร้อมกันนั้นแฟลก PSPIF จะถูกเซต เป็นการแจ้งให้ทราบว่า การทำงานของพอร์ต PSP เสร็จสิ้นลง 1 รอบการทำงานแล้ว หากมีการเอ็นเอเบิลการอินเตอร์รัปต์แบบนี้ไว้ ก็จะเกิดสัญญาณอินเตอร์รัปต์ขึ้น

2.1.5.7.4 การเตรียมพอร์ตสำหรับทำงานในโหมด PSP

เมื่อต้องการใช้งานพอร์ต PSP ต้องเตรียมการดังนี้

1. ติดต่อรีจิสเตอร์ADCON1 เพื่อกำหนดให้ขาพอร์ต RE2-RE0 เป็นขาพอร์ตดิจิตอล
2. ติดต่อรีจิสเตอร์ TRISE เพื่อกำหนดให้ขาพอร์ต RE2-0 เป็นอินพุต และเซตบิต PSPMODE เพื่อเอ็นเอเบิลการทำงานของพอร์ต PSP
3. ติดต่อรีจิสเตอร์ INTCON และ PIE1 เพื่อเอ็นเอเบิลการอินเตอร์รัปต์ (ถ้าต้องการ)
4. ติดต่อรีจิสเตอร์ PORTE เพื่อกำหนดลอจิกให้แก่ขา RE2-0 ทำงานตามที่พอร์ต PSP ต้องการ
5. ติดต่อรีจิสเตอร์ PORTD เพื่ออ่านและเขียนข้อมูลกับพอร์ต PSP
6. ติดต่อกับรีจิสเตอร์ TRISE เพื่อตรวจสอบสถานการณ์ทำงานของพอร์ต PSP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หน่วยความจำชั่วคราว RAM (Random Access Memory)

หน่วยความจำชั่วคราว เป็นหน่วยความจำที่สามารถเข้าถึงข้อมูลในตำแหน่งใดๆ ได้โดยตรง ทำจากสารดึ่งตัวนำเรียกอีกอย่างว่า หน่วยความจำอ่าน/เขียน (Read/Write) RAM ใช้เป็นหน่วยความจำสำหรับอ่านและเขียน แรม มีใช้ใน คอมพิวเตอร์ สำหรับเป็นที่เก็บโปรแกรมและข้อมูลชั่วคราว

หน่วยความจำชั่วคราว เก็บข้อมูลได้ไม่ถาวร ข้อมูลจะสูญเสียเมื่อไม่มีแหล่งจ่ายไฟฟ้าเลี้ยง แต่ แรม สามารถอ่านและเขียนจากตำแหน่งเดียวกันได้

2.2.1 สถาปัตยกรรมของ หน่วยความจำชั่วคราว

หน่วยความจำชั่วคราว จะมีโครงสร้างคล้ายกับรอม ซึ่งประกอบด้วยจำนวนของ รีจีสเตอร์สำหรับเก็บข้อมูลเป็น เวิร์ด ของแต่ละตำแหน่งแรม มีความจะแตกต่างกันออกไปเช่น 1k, 4k, 8k, 16k หรือ 64k ขนาดของ เวิร์ด อาจจะเป็น 1, 4 bits ความจุและขนาดของ เวิร์ด สามารถขยายโดยการรวม cตัวถังเข้าด้วยกัน

2.2.2 การอ่าน (Read Operation)

รหัส ตำแหน่งที่อยู่ สำหรับเลือก รีจีสเตอร์ 1 ตัวใน chip ความจำจะถูกเลือกก่อนสำหรับอ่านหรือเขียน ถ้าจะทำการอ่านจาก รีจีสเตอร์ ตัวที่ถูกเลือกจะต้องให้ขา read/write มี ลอจิก เป็น ‘1’ เช่นเดียวกับขา chip select จะต้องมี ลอจิก เป็น ‘0’ จะทำให้ บัฟเฟอร์ด้านเอาท์พุต มีค่าของ รีจีสเตอร์ ที่ถูกเลือกและไปปรากฏที่ เอาท์พุต จะเห็นได้ว่าเมื่อขา read/write มี ลอจิก เป็น ‘1’ ทำให้บัฟเฟอร์ด้านอินพุต ไม่ทำงาน เป็นผลให้ข้อมูล อินพุต ไม่มีผลกับหน่วยความจำขณะทำการอ่าน

2.2.3 การเขียน (Write Operation)

เมื่อ read /write = ‘0’ และ chip select= ‘0’ ข้อมูลที่ขาข้อมูลด้านอินพุต จะไหลผ่านจะไหลผ่าน บัฟเฟอร์ ไปยัง register ที่ถูกเลือก เมื่อขา read/write = ‘0’ ทำให้ บัฟเฟอร์ด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาออก มีสภาวะความต้านทานสูง (High Impedance) การเขียนจะทำลายข้อมูลเดิมที่เก็บไว้ใน แอดเดรส ที่เขียนเข้าไปใหม่

2.2.3.1 การเลือก Chip (Chip Select)

Chip จะมี chip select อยู่ 1 ขาหรือมากกว่าสำหรับควบคุมให้ chip ทำงานหรือไม่ทำงาน เมื่อ chip ถูกควบคุมให้ไม่ทำงาน ทุก Inputs และ Outputs มีสภาวะ High-Z บางทีเยกขานี้ว่า Chip Enable (CE) Bi-directional Data pins

2.3 STATIC RAM(SRAM) หรือแรมแบบหน่วยความจำถาวร

หน่วยความจำชั่วคราว ชนิดที่เรียกว่า Static RAM แต่ละ cell ทำขึ้นจาก Flip-Flop เมื่อเชื่อมต่อ RAM เข้ากับ CPU จะต้องพิจารณาเกี่ยวกับลักษณะสมบัติทางเวลาของแรมด้วย ใน**Access Time**: t_{ACC} ขณะช่วง t_{RC} คือเวลาที่แรม นำข้อมูลออกที่ขาเอาท์พุตซึ่งขณะนั้น chip select จะต้องมีสภาวะเป็น '0' ตัวแปรของเว่ลา t_{CO} คือเวลาที่ข้อมูลปรากฏที่เอาท์พุตภายหลังจาก chip select เปลี่ยนเป็น '0' เวลา t_{OD} คือเวลาสำหรับเอาท์พุตกลับสภาวะกลายเป็น 'Z' หลังจากที่ขา chip select กลับมาเป็น '1' ดังนั้นข้อมูลเอาท์พุต จะคงข้อมูลระหว่างเวลา t_1 ถึงt_2 ในระบบไมโครคอมพิวเตอร์ขอบขาขึ้นของการเปลี่ยนสถานะของ chip select ใช้เป็นสัญญาณสำหรับนำข้อมูลจากหน่วยความจำเข้าไปยังรีจีสเตอร์ของ CPU

แสดงสัญญาณสำหรับรอบการเขียน โดยเราเริ่มต้นเมื่อ CPU ส่งแอดเดรส มาให้ยังแรมที่เวลา t_0 CPU จะส่งสัญญาณมายังขา chip select และ chip select เป็น '0' หลังจากรอเวลา t_{AS} เรียกเวลานี้ว่า Address setup Time ซึ่งเวลานี้ address decoder จะตอบสนองต่อแอดเดรสใหม่ ขา chip select และ chip select เป็น '0' เป็นเวลา t_w เรียกว่า Write Time

ขณะทำการเขียนที่เวลา t_1 CPU ข้อมูลจะส่งไปยังบัสข้อมูล สำหรับนำไปเขียนลงยังใน RAM ข้อมูลจะคอที่ Inputs ของ RAM ก่อนเวลา t_{DS} และคงอยู่หลังเวลา t_{DH} เวลา t_{DS} เรียกว่า data setup time และ t_{DH} เรียกว่า data hold time เช่นเดียวกับaddress hold-time เป็นเวลาหลังจาก t_2ถ้าทุก setup และ hold-time ที่แรม ต้องการแล้วไม่สามารถจ่ายให้แรมได้ทำการเขียนข้อมูลไม่มีเสถียรภาพ

เวลาของรอบการเขียนเสร็จสมบูรณ์คือเวลา t_{WC} คือเวลาจาก t_0 ถึง t_4 และ CPU ก็จะเปลี่ยนแอดเดรสใหม่สำหรับคอบต่อไมของการเขียนหรือการอ่าน

เวลาของรอบการอ่าน t_{AC} และเวลาของรอบการเขียน t_{WC} มีความสำคัญมากจะกำหนดความเร็วของแรมที่สามารถทำได้ ตัวอย่างเช่นในการประยุกต์ในงานจริง CPU อ่านข้อมูลจาก

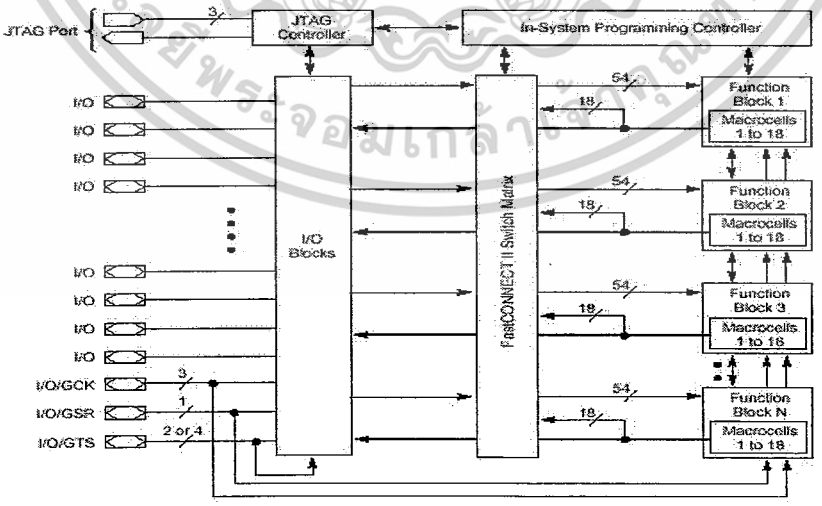
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำถ้าหน่วยความจำมี t_{RC} เท่ากับ 50ns CPU สามารถอ่าน 1 คำสั่ง ทุก ๆ 50 ns หรือ 20 ล้านคำ/วินาที แต่ถ้า t_{RC} = 10 ns CPU สามารถอ่านได้ 100 ล้านคำ/วินาที

2.4 CPLD (Complex Programmable Logic Device)

การออกแบบวงจรดิจิตอลเป็นพัฒนาการอย่างต่อเนื่องหลังจากที่มีการคิดค้นทรานซิสเตอร์ได้แล้ว ซึ่งการออกแบบวงจรดิจิตอลที่ขนาดเล็ก ๆ โดยปกติจะนิยมใช้ไอซีมาตรฐานหรือไอซีสำเร็จรูป 7400-series ที่อาจจะเป็นไอซี TTL หรือ CMOS ที่มีฟังก์ชันการทำงานทางลอจิกแบบตายตัวและเป็นวงจรขนาดเล็ก ๆ จึงไม่เหมาะกับงานออกแบบวงจรในหลาย ๆ กรณี เช่น วงจรทำงานที่ความที่สูง ๆ หรือ วงจรที่มีขนาดใหญ่มาก ๆ เป็นต้น ทำให้มีความพยายามที่จะสร้างไอซีหรือชิพ (Chip) ที่มีวงจรลอจิกพื้นฐานจำนวนมากบรรจุอยู่ภายในและไม่มีฟังก์ชันทำงานที่ตายตัวขึ้นมาโดยประสบผลสำเร็จเป็นครั้งแรกประมาณปี 1970 เรียกว่า PLD (Programmable Logic Device) ซึ่งเป็นชิพดิจิตอลอเนกประสงค์ที่สามารถโปรแกรมให้เป็นฟังก์ชันทำงานตามที่ต้องการได้

ปัจจุบันการออกแบบสร้างวงจรดิจิตอลขนาดใหญ่ที่เป็นวงจรต้นแบบหรือผลิตจำนวนไม่มากนัก นิยมใช้ชิพอเนกประสงค์ PLD กันมากขึ้นโดยในที่นี้นั้นจะเน้นเฉพาะชิพ PLD ประเภท CPLD (Complex Programmable Logic Device) และ FPGA (Field Programmable Gate Array) ของบริษัท Xilinx ซึ่งการออกแบบวงจรในลักษณะนี้ความจำเป็นต้องใช้คอมพิวเตอร์และซอฟต์แวร์ทูล (Software Tool) ช่วยในการออกแบบและผู้ออกแบบควรมีพื้นฐานทางด้านดิจิตอลมาพอสมควร



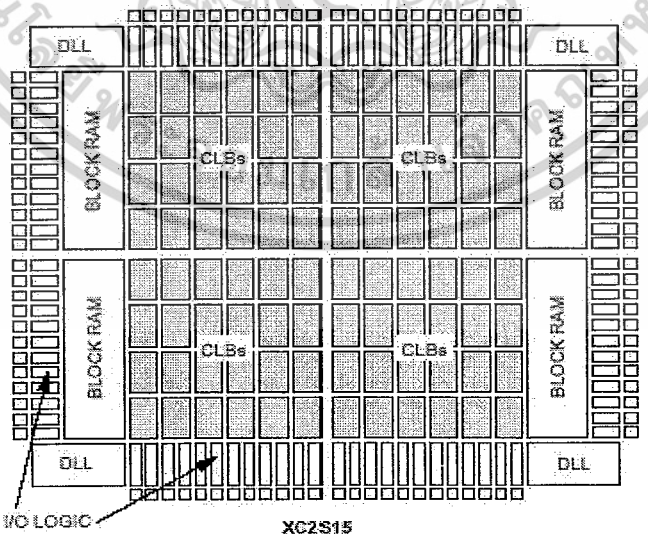
รูปที่ 2-4 โครงสร้างภายในของ CPLD เบอร์ XC9500

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายใน CPLD ตระกูลนี้ประกอบด้วยส่วนหลัก ๆ คือ Function Block (FB) และ I/O Block (IOB) เชื่อมต่อถึงกันด้วย FastCONNECT switch matrix โดยที่ภายใน FB แต่ละชุดจะประกอบไปด้วยวงจรลอจิกพื้นฐานต่าง ๆ ที่สามารถนำมาโปรแกรมเป็นวงจรดิจิตอลตามที่ต้องการได้ ส่วน IOB จะทำหน้าที่เป็นบัฟเฟอร์ที่อินพุตหรือเอาต์พุตของชิพ วงจร In-system programming ใช้สำหรับโปรแกรมชิพโดยการรับส่งข้อมูลจากภายนอกจะผ่านทางพอร์ต JTAG ที่มี JTAG Controller เป็นตัวควบคุม CPLD มีความจุของเกตต่ำมากเมื่อเทียบกับ FPGA ซึ่งโดยทั่ว ๆ ไปจะมีความจุไม่เกิน 10,000 เกต และเมื่อโปรแกรมวงจรไว้ใน CPLD แล้วโปรกแกรมนั้นก็จะคงอยู่แม้ว่าจะมีการตัดไฟเลี้ยงออกจากตัวชิพแล้วก็ตาม การโปรแกรมสามารถทำซ้ำได้หลาย ๆ ครั้ง

2.4.1 FPGA (Field Programmable Gate Array)

FPGA เป็นอุปกรณ์ประเภท PLD เช่นกันจึงเป็นชิพอเนกประสงค์ที่สามารถโปรแกรมให้เป็นวงจรดิจิตอลตามที่ต้องการได้แต่จะมีโครงสร้างแตกต่างจาก CPLD ซึ่งโครงสร้างภายในของชิพ FPGA ประกอบด้วย 2 ส่วนหลัก ๆ ด้วยกันคือ ส่วนของ Configurable Logic Block (CLB) ต่าง ๆ ที่ถูกโปรแกรมให้เป็นวงจรรวมดิจิตอลตามที่ต้องการและส่วนของ Input/Output (I/O) โดยมีการเชื่อมต่อถึงกันภายในชิพมีหลากหลายลำดับชั้น นอกจากนี้ยังมีอุปกรณ์ภายในที่ทำหน้าที่เฉพาะเพิ่มเติมได้แก่ Delay-Locked Loop (DLL) และ block RAM เพื่ออำนวยความสะดวกและเพิ่มสมรรถนะของวงจร ผู้อ่านควรศึกษาเพิ่มเติมจาก Data Sheet ของผู้ผลิต



รูปที่ 2-5 โครงสร้างของ FPGA Spartan-II

FPGA มีความจุของเกตค่อนข้างสูงตั้งแต่ระดับ 10,000 ถึงประมาณ 6,000,000 เกต ขึ้นอยู่กับเทคโนโลยีที่ใช้ในการผลิต การโปรแกรม FPGA ให้มีวงจรในการทำงานตามที่ต้องการได้นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำได้โดยการโหลดข้อมูลวงจร (Configuration data) ลงไปเก็บเซลหน่วยความจำแบบแรมที่อยู่ภายใน FPGA ดังนั้น FPGA จะไม่มีข้อจำกัดในการโปรแกรมซ้ำแต่จะทำให้มีข้อเสียที่สำคัญคือข้อมูลวงจรจะสูญหายหากมีการตัดไฟเลี้ยงออกจึงต้องใช้หน่วยความจำภายนอกชิพ เช่น serial PROM เพื่อเก็บข้อมูลและเพื่อทำการโปรแกรมลงชิพFPGA อย่างอัตโนมัติทุกครั้งที่จ่ายเลี้ยง

2.4.2 ข้อเปรียบเทียบระหว่าง FPGA และ CPLD กับ ไมโครคอนโทรลเลอร์

นักออกแบบวงจรดิจิตอลส่วนใหญ่จะรู้จักและมีการใช้งานระบบความคุมที่เป็นไมโครคอนโทรลเลอร์ดีอยู่แล้วเช่นตระกูลMCS-51และตระกูลPICซึ่งคอนโทรลเลอร์เหล่านี้ถูกออกแบบมาเป็นชิพที่สามารถนำไปประยุกต์ใช้งานในระบบควบคุมทั่วไปโดยที่มีการออกแบบสถาปัตยกรรมและชุดคำสั่งไว้เรียบร้อยแล้ว ผู้ออกแบบจึงนำชุดคำสั่งต่าง ๆ มาโปรแกรมให้ไมโครคอนโทรลเลอร์ทำงานตามที่ต้องการ แม้ว่าไมโครคอนโทรลเลอร์จะมีความยืดหยุ่นในการใช้งานสูง แต่ในงานบางประเภท เช่น วงจรของอุปกรณ์ทางด้านสื่อสารโทรคมนาคม วงจรเข้ารหัสและถอดรหัสความเร็วสูง หรือ วงจรในเครื่องมือวัดบางประเภทเป็นต้น ไม่สามารถใช้ไมโครคอนโทรลเลอร์ได้เพราะมีข้อจำกัดในแง่ของความเร็วทำให้ต้องอาศัยวงจรดิจิตอลที่ออกแบบสร้างเป็นฮาร์ดแวร์โดยใช้FPGA และ CPLD มาทำงานแทน หรือแม้กระทั่งตัวไมโครคอนโทรลเลอร์เองก็อาจถูกสร้างขึ้นโดยใช้ FPGA ได้เช่นกัน

2.4.3 ข้อแตกต่างระหว่าง CPLD และ FPGA

1. สถาปัตยกรรม PLD เป็นอุปกรณ์ซึ่งมีโครงสร้างภายในคล้ายกับอุปกรณ์ PAL ที่ถูกเชื่อมต่อกัน โดย Matrix Switch ในขณะที่ FPGA เป็นอุปกรณ์ซึ่งมีโครงสร้างภายในเป็นเกตอาเรย์
2. ความจุ CPLD จะมีความจุวงจรหรือจำนวนเกตน้อยกว่า FPGA มาก
3. การเก็บข้อมูล CPLD สามารถเก็บข้อมูลที่โปรแกรมชิพได้โดยไม่สูญหายแม้จะไม่มีไฟเลี้ยง ในขณะที่ FPGA ไม่สามารถเก็บข้อมูลที่โปรแกรมไว้ได้หากตัดไฟเลี้ยงออก จึงใช้ PROM ในการเก็บข้อมูลโดยโปรแกรมจะถูกดาวน์โหลดจาก PROM มาที่ชิพ FPGA อย่างอัตโนมัติทุก ๆ ครั้งที่มีการจ่ายไฟเลี้ยว
4. การโปรแกรมซ้ำ CPLD จะมีข้อจำกัดของจำนวนครั้งที่โปรแกรมข้อมูลลงชิพคือประมาณ 1,000- 10,000 ครั้งแล้วแต่เบอร์ แต่ FPGA จะไม่มีข้อจำกัดในข้อนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 ทำไมต้องใช้ CPLD หรือ FPGA

1. สามารถออกแบบวงจรดิจิตอลได้โดยมีจำนวนอุปกรณ์และขนาดของ PCB หรือแผงวงจรลดลงอย่างมาก เนื่องจากวงจรเดิมหลาย ๆ ส่วนถูกออกแบบรวมไว้ในชิพ
2. วงจรที่ออกแบบสามารถทำงานที่ความถี่สูงกว่าไมโครคอนโทรลเลอร์เพราะ CPLD หรือ FPGA เป็นฮาร์ดแวร์
3. สามารถทำการแก้ไขวงจรได้ง่ายเพราะเป็นการโปรแกรมโดยใช้ซอฟต์แวร์และสามารถโปรแกรมซ้ำได้หลาย ๆ ครั้ง
4. ทำให้สามารถลดระยะเวลาและค่าใช้จ่ายในการออกแบบและพัฒนาผลิตภัณฑ์
5. ในกรณีที่พัฒนาโดยใช้ภาษา เวริล็อก การพัฒนาผลิตภัณฑ์จะมีความยืดหยุ่นมากกว่า เพราะ ภาษาเวริล็อก เป็นภาษาที่เป็นมาตรฐานไม่ขึ้นอยู่กับชนิดและยี่ห้อของชิพที่ใช้งาน

2.4.5 ฟังก์ชันพิเศษในชิพ FPGA

นอกจากเกตพื้นฐานต่าง ๆ ที่มีให้แล้ว FPGA ยังมีวงจรสำเร็จรูปบางอย่างไว้ให้ใช้งานอีกหลายอย่างเช่น

DLL (Delay Lock Loop) จะทำให้การใช้สัญญาณนาฬิกามีจำนวนน้อยชุด เช่น ควบคุมให้เฟสตรงกัน ใช้ปรับมุมเฟสใช้ดับเบิลความถี่ของสัญญาณนาฬิกา เป็นต้น

Block RAM เป็นหน่วยความจำความเร็วสูงสำหรับเก็บข้อมูลที่อยู่ภายในชิพที่เหมาะสำหรับงานประมวลผลสัญญาณดิจิตอล เช่น ประมวลผลสัญญาณภาพ วงจรกรองสัญญาณดิจิตอลเป็นต้น

DCM (Digital Clock Manager) ใช้สำหรับการล็อคเฟส เลื่อนเฟส และการซิงโครไนซ์ความถี่การจ่ายสัญญาณออกหลายเอาต์พุตจาก DCM ตัวเดียวกันสามารถใช้ควบคุมสัญญาณนาฬิกาได้มีประสิทธิภาพ

18x18 multipler วงจรคูณแบบ 18 บิต ที่อยู่ในชิพสามารถนำมาคำนวณได้รวดเร็วขึ้น

2.4.6 ผลิตภัณฑ์ของ Xilinx ที่เป็น CPLD และ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลิตภัณฑ์ของ Xilinx มีทั้งส่วนที่เป็น CPLD และ FPGA ในหลากหลายซีรี่ย์ ดังนี้

CPLD

XC9500/9500XV/9500XL

CoolRunner XPLA3

CoolRunner II

FPGA

Spartan II

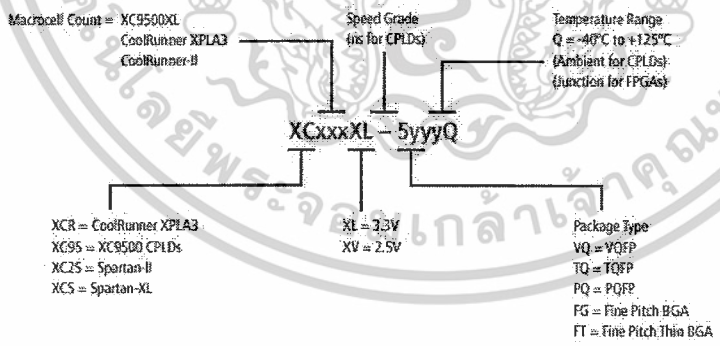
Spartan IIE Virtex-II

Spartan 3

Virtex-II

Virtex-IIE

วิธีการอ่านเบอร์ชิพ FPGA และ CPLD ของบริษัท Xilinx สามารถดูจาก Data Sheet ของผู้ผลิต แสดงดังรูป



รูปที่ 2-6 การอ่านเบอร์ชิพ FPGA และ CPLD

เราสามารถแบ่งเกรดชิพ FPGA และ CPLD ตามประเภทของการใช้งานได้หลายประเภทดังนี้

C = ใช้ในเชิงพาณิชย์ (Commercial : O0C to + 850 C)

I = ใช้ในอุตสาหกรรมทั่วไป (Industrial : -400C to +1000C)

Q = ใช้ในอุตสาหกรรมรถยนต์ (Automotive : -400C to +1250C)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น XC95144XL-7C TQ144 คือ CPLD เบอร์ XC95144XL ที่ใช้ไฟเลี้ยง 3.3 โวลต์ Speed gade -7 และมี 144 ขา โดยจะเป็นชิพที่ใช้ในเชิงแบบพาณิชย์ (ใช้งานทั่ว ๆไป)

2.5 การทำงานของจอภาพ CRT

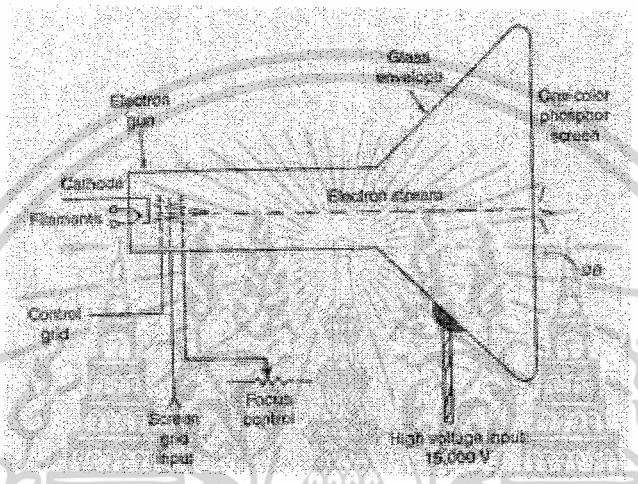
ถึงแม้ว่าจะมีเทคโนโลยีในการแสดงผลหลายอย่าง แต่พีซีโดยทั่ว ๆ ไปแล้วมักจะยังคงใช้จอแบบมีหลอดภาพ หรือ CRT (Cathode Ray Tube) ซึ่งเป็นเทคโนโลยีเดียวกับที่ใช้ในทีวี เพราะมีราคาไม่แพงและมีการแสดงผลที่ชัดเจน แต่ความแตกต่างที่สำคัญที่สุดระหว่างจอภาพและความละเอียดของภาพที่ปรากฏขึ้นบนจอ ซึ่งภาพบนจอคอมพิวเตอร์จะต้องมีคุณภาพดีกว่าบนจอทีวี เพราะเราจะต้องทำงานใกล้ชิดกับมันมากกว่า ถ้าภาพบนจอไม่ชัดเจนหรือมีอาการสั่นก็อาจจะทำให้เราเกิดอาการปวดตาหรือปวดหัวได้เหมือนกันคุณภาพของจอภาพสามารถดูได้จากสเป็คต่าง ๆ ของจอภาพ เช่น ความถี่ในการแสกนในแนวตั้งและแนวนอน (Vertical และ Horizontal refresh) และช่วงความถี่ที่รับข้อมูลได้หรือแบนด์วิธ (bandwidth) เป็นต้น

จอ CRT สร้างภาพโดยการยิงลำของอิเล็กตรอนไปยังผิวจอซึ่งฉาบด้วยสาร phosphor (สารเคมีที่จะเรืองแสงเมื่อมีอิเล็กตรอนมาตกกระทบ) ซึ่งการปิดและเปิดอิเล็กตรอนอย่างรวดเร็วจะสามารถสร้างจุดสว่างและจุดมืดบนจอได้ตามแนวของอิเล็กตรอนที่กวาดไป สำหรับจอสี (Color monitor) ลำของอิเล็กตรอนที่ยิงออกมาก่อนจะถึง phosphor จะต้องผ่านส่วนที่เรียกว่า “หน้ากาก”(shadow mask) ซึ่งเป็นแผ่นโลหะมีรูอยู่ตามจุดของ phosphor เมื่อทำหน้าที่ช่วยให้ลำแสงอิเล็กตรอนมีความแม่นยำสูงขึ้น (ลักษณะการจัด mask แบบนี้เรียกว่า Invar Mask) ระยะห่างระหว่าง dot pitch จอภาพที่มีระยะ dot pitch ต่ำกว่าจะมีความคมชัดสูงกว่า แต่ถ้ามีระยะห่างน้อยเกินไปสีก็อาจจะเพี้ยนได้ เนื่องจาก phosphor ของจุดนั้นอาจจะถูกยิงด้วยลำอิเล็กตรอนที่เป็นของสีที่อยู่ข้างเคียงแทนแต่ละจุดบนจอภาพ (สี) จะประกอบด้วย phosphor 3 จุด คือ สีแดง,เขียว และน้ำเงินอย่างละหนึ่งจุด ส่วนมากมักจะจัดให้จุดทั้งสามเรียงเป็นรูปสามเหลี่ยมซึ่งเรียกว่า triad แต่ก็มีจอบางรุ่นที่จัดให้จุดทั้งสามเรียงเป็นแนวเดียวกัน เช่น จอที่ใช้หลอดภาพแบบ Trinitron เป็นต้น

การยิงอิเล็กตรอนจะเริ่มจากมุมซ้ายบน และไล่ไปตามแนวนอน เมื่อสุดจอแล้วก็จะไปเริ่มต้นที่แถวถัดไป การย้ายแนวอิเล็กตรอนจากท้ายแถวหนึ่งไปยังจุดเริ่มต้นของแถวถัดไปนี้เรียกว่า raster scanning การยิงอิเล็กตรอนจะกวาดไปเรื่อยๆทีละแถวไปจนสุดความยาวของจอ หลังจากนั้นก็จะกลับไปเริ่มที่มุมซ้ายบนใหม่ ในจอภาพจะมีส่วนที่เรียกว่า magnatic deflection yoke เป็นขดลวดที่ทำหน้าที่สร้างสนามแม่เหล็กเพื่อเปลี่ยนมุมการยิงอิเล็กตรอนที่เบี่ยงเบนไปยังตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างๆบนจอภาพตามที่ต้องการ สำหรับจอสีจะมีปืนยิงอิเล็กตรอนอยู่สามชุดสำหรับแม่สีทั้งสาม (ของแสง) คือสีแดง ,เขียว และน้ำเงิน



รูปที่ 2-7 ส่วนประกอบหลอด CRT

2.5.1 ความละเอียด (Resolution) และอัตราการรีเฟรช

คุณสมบัติของจอภาพที่สำคัญที่สุดคือความละเอียดในการแสดงผล (Resolution) หมายถึงจำนวนจุดที่จอสามารถแสดงได้ในแนวตั้งและแนวนอน จอที่นิยมใช้กันเริ่มจากความละเอียดขนาด 640 ×480 (VGA) , 800×600 (Super VGA) และ 1024×768 (XGA) ซึ่งก็เป็นมาตรฐานขั้นต่ำในปัจจุบัน นอกจากนี้บริษัทผู้ผลิตจอภาพก็ได้พยายามเพิ่มความละเอียดของจอเป็น 1280×1024 จุด (1.3ล้านจุดต่อหนึ่งจอภาพ) และ 1600×1200 จุด (เกือบสองล้านจุดต่อหนึ่งจอภาพ) การเพิ่มจุดบนจอมอนิเตอร์มีผลต่อประสิทธิภาพและโครงสร้างของจอ โดยมีข้อจำกัดอยู่ที่ความถี่ในการกวาดลำอิเล็กตรอนให้เป็นภาพ (หรือการแสกน) ทั้งในแนวตั้ง แนวนอน ซึ่งมีหน่วยวัดเป็นเฮิร์ตซ์(Hz) และกิโลเฮิร์ตซ์(kHz) ตามลำดับ และรวมถึงความสามารถของวงจรในจอที่จะรับสัญญาณได้ความถี่สูงแค่ไหน หรือที่เรียกว่า "แบนด์วิธ" (bandwidth) ซึ่งมีหน่วยเป็นเมกะเฮิร์ตซ์ (MHz) ด้วย

เมื่อมีการผลิตการ์ดแสดงผลความละเอียดสูงรุ่นแรกๆขณะนั้นยังไม่มีการกำหนดมาตรฐานของอัตราการแสกนในการสร้างภาพออกมา การ์ดรุ่นแรกๆจึงมักมีอัตราการรีเฟรชแค่ 56 Hz หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แค่ 56 ครั้งต่อวินาทีเท่านั้น ซึ่งจะเห็นการสั่นของภาพได้ค่อนข้างชัดเจน ต่อมา VESA (Video Electronics Standard Association) อันเป็นองค์กรที่กำหนดมาตรฐานระบบแสดงผล ได้กำหนดมาตรฐานของอัตราการรีเฟรชหน้าจอขึ้นมาสำหรับจอความละเอียดขนาดต่างๆดังตารางต่อไปนี้

ตารางที่ 2-3 แสดงมาตรฐานของอัตราการรีเฟรชในแนวตั้งของจอมอนิเตอร์ VGA

ความละเอียด	อัตราการสแกนในแนวตั้ง
640 x 480	72 Hz
800 x 600	72 Hz
1,024 x 768	70 Hz

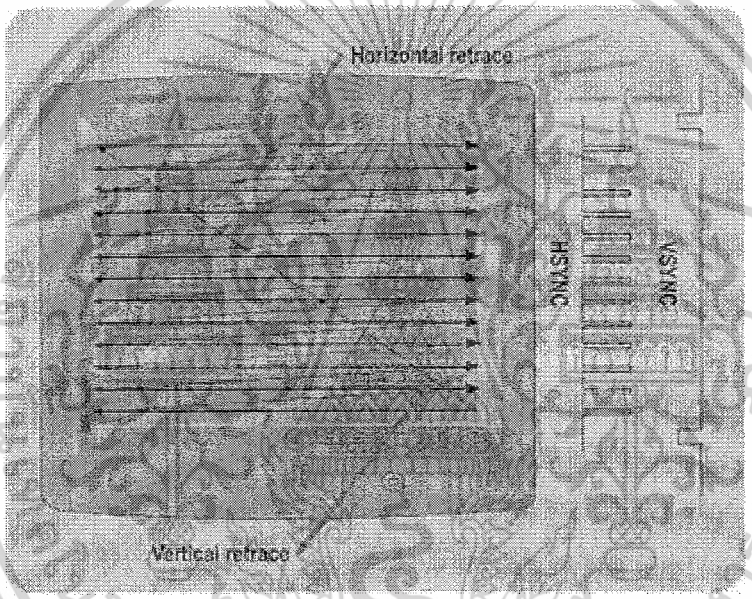
ตารางที่ 2-4 แสดงอัตราการรีเฟรชหน้าจอตามมาตรฐาน VESA

มาตรฐานความเข้มของสี	
32 bit	16,777,216 (True Colors + Alpha Channel)
24 bit	16,777,216 (True Colors, SVGA)
16 bit	65,536 (High Color, XGA)
8 bit	256 colors (VGA)
4 bit	16 colors (EGA)
2 bit	4 colors (CGA)
1 bit	2 colors (monochrome)

การรีเฟรชหน้าจอมีสองแบบด้วยกันคือแบบ Interlace (อิน-เตอร์-เลซ) และ Non-interlace โดยแบบInterlace นั้นจะแสกนแบบแถวเว้นแถว คือจะแสกนได้ครบทุกจุดบนหน้าจอในวงรอบการทำงานสองครั้ง ส่วนแบบ Non-interlace จะแสกนทุกจุดบนจอภาพทั้งจอในคราวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการแสกนในแนวนอนหรือ horizontal refresh rate สามารถคำนวณคร่าวๆได้จากผลคูณระหว่างจำนวนแถวบนจอ กับอัตราการรีเฟรชในแนวตั้ง (จำนวนเที่ยวที่แสกนซ้ำในหนึ่งวินาที) เช่นจอขนาด 640×480ที่มีอัตราการรีเฟรชในแนวตั้ง 60 Hz จะได้เท่ากับ 28,000 ครั้งต่อวินาที (60Hz×480แถว) แต่เราต้องมีการชดเชยเวลาที่ใช้ในการย้ายลำอิเล็กตรอนจากจุดล่างสุดของจอกลับไปยังจุดเริ่มต้นด้วย เรียกว่า Vertical retrace ซึ่งจะกินเวลาเพิ่มอีกประมาณ 10% ของเวลาทั้งหมด นั่นหมายถึงจะต้องมีอัตราการแสกนแนวนอนประมาณ 31,700 ครั้งต่อวินาที (60×480+10%หรือประมาณ 31.7kHz)



รูปที่ 2-8 การแสดงการสแกนเบื้องต้นของ VGA monitor

แบนด์วิธ(bandwidth)

สิ่งหนึ่งที่อาจไม่ค่อยนึกถึงกันก็คือ แบนด์ (bandwidth) ซึ่งโดยทั่ว ๆ ไปมักจะไม่ได้ระบุในแบนด์วิธ หมายถึง ช่วงกว้างในการรับความถี่ของสัญญาณ" หรือพูดอีกอย่างว่าเป็นความสามารถที่จะรับสัญญาณภาพมาเพื่อเปิดและปิดลำอิเล็กตรอนให้ได้ทันสำหรับภาพแต่ละจุดบนจอ ไม่เช่นนั้นภาพกอาจเกิดอาการเบลอขึ้นได้ ซึ่ง bandwidth นี้สามารถคำนวณได้จากจำนวนจุดบนจอทั้งหมด (จำนวนจุดที่ต้องปิด/เปิดลำอิเล็กตรอน) คูณกับอัตราการรีเฟรชแนวตั้ง ก็จะเป็นจำนวนจุดทั้งหมดที่ต้องรับเข้ามาใน 1 วินาทีนั่นเอง

สำหรับจอ VGA ที่ความละเอียด 640 x 480 จุดที่มีอัตราการรีเฟรช 60 Hz จะต้องมีแบนด์วิธไม่ต่ำกว่า 17.4 MHz เพื่อให้เกิดภาพที่คมชัด แต่ตัวเลขนี้เป็นตัวเลขในทางทฤษฎีเท่านั้น ในความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นจริงแล้วเราจะต้องเผื่อเอาไว้อีกประมาณสิบเปอร์เว็นต์สำหรับ horizontal and vertical retrace ด้วย , สำหรับจอ 800 x 600 จุดที่มีอัตราการรีเฟรซ 72 Hz จะต้องมีแบนด์วิธไม่ต่ำกว่า 38 MHz ส่วนจอ 1,024 x 768 จุดที่มีอัตราการรีเฟรซ 70 Hz จะต้องมีแบนด์วิธถึง 60.6 MHz ทีเดียว และจอที่มีแบนด์วิธสูงกว่าความต้องการขั้นต่ำนี้จะให้ภาพดูดีกว่า

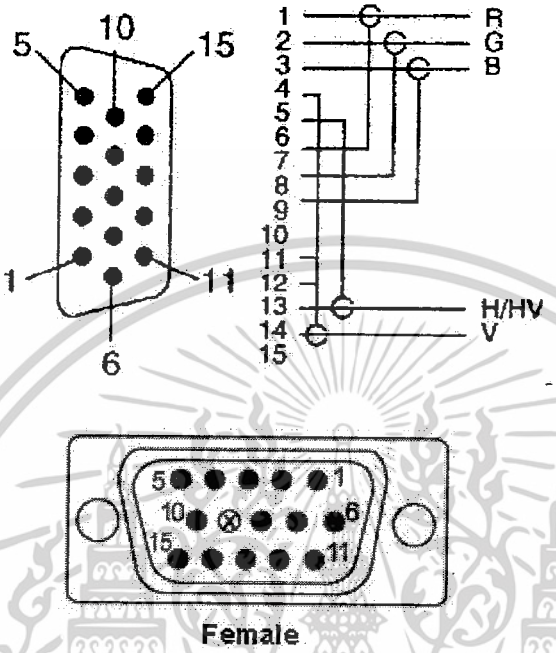
2.5.2 Dot pitch และขนาดจอ

Dot pitch กับขนาดจอก็เป็นสิ่งที่ต้องพิจารณาในการเลือกจอมอนิเตอร์เช่นกัน Dot pitch หมายถึงระยะระหว่างกลุ่มของจุดสีแดง เขียว และน้ำเงิน (triad) ในจอมอนิเตอร์สี และมักจะมีหน่วยวัดเป็นมิลลิเมตร จอที่มีความระเอียดสูงขึ้นหมายถึงว่าจะต้องมีขนาดของจุดบนจอเล็กลง และในการสร้างจุดขาวบนจอภาพนั้น จะต้องยิงอิเล็กตรอนให้ถูก phosphor ครบทั้งสามสีคือ แดง เขียว และน้ำเงิน จึงให้แสงที่รวมกันเป็นสีขาวออกมา

ตารางที่ 2-5 ขนาดของ Dot pitch ที่เหมาะสมสำหรับการใช้งานที่มีความละเอียดต่างๆ

ขนาดจอวัดตามแนวเส้นทแยงมุม	ความกว้างของภาพวัดตามแนวนอน	ขนาดของ Dot pitch ที่ความละเอียดต่างๆ(จุดแนวนอน x แนวตั้ง)			
		640 x 480	800 x 600	1,024 x 768	1,280 x 1,024
14 นิ้ว	265 มม.	0.35	0.28	0.22	0.18
15 นิ้ว	284 มม.	0.38	0.30	0.24	0.19
17 นิ้ว	322 มม.	0.43	0.34	0.27	0.22
20 นิ้ว	379 มม.	0.50	0.40	0.31	0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-9 การติดต่อแบบ 15 PIN conections cable ของ VGA MONITOR

ตารางที่ 2-6 แสดงรายละเอียดช่องสัญญาณของคอนเน็คเตอร์ แบบ15 ช่องสัญญาณ

PIN No. Signal connector (ตัวเมีย)	PIN No. Signal connector (ตัวผู้)
1. สัญญาณวิดีโอสีแดง	1. กราวด์ สำหรับสัญญาณวิดีโอ สีแดง
2. สัญญาณวิดีโอสีเขียว	2. สัญญาณวิดีโอสีแดง
3. สัญญาณวิดีโอสีน้ำเงิน	3. สัญญาณด้านกลับของซิงค์
4. กราวด์	4.กราวด์สำหรับสัญญาณด้านกลับของ
5. ช่องว่าง(ไม่มีการต่อ)	ซิงค์
6. กราวด์ สำหรับสัญญาณวิดีโอ สีแดง	5. สัญาณวิดีโอสีเขียว
7.กราวด์ สำหรับสัญญาณวิดีโอ สีเขียว	6. กราวด์ สำหรับสัญญาณวิดีโอ สีเขียว
8. กราวด์ สำหรับสัญญาณวิดีโอ สีน้ำเงิน	7. ช่องว่าง(ไม่มีการต่อ)
9. ช่องว่าง(ไม่มีการต่อ)	8. ช่องว่าง(ไม่มีการต่อ)
10. กราวด์	9. สัญญาณวิดีโอสีน้ำเงิน
11. กราวด์	10. ช่องว่าง(ไม่มีการต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 SDA	11. ช่องว่าง(ไม่มีการต่อ)
13. สัญญาณซิงค์ ฮอริซอนทอล	12 ช่องว่าง(ไม่มีการต่อ)
14. สัญญาณซิงค์ เวอร์ติคอล	13. กราวด์ สำหรับสัญญาณวิดีโอสีน้ำเงิน
15. SCL	14. ช่องว่าง(ไม่มีการต่อ)
	15. ช่องว่าง(ไม่มีการต่อ)

รายละเอียดในการ อินเตอร์เฟสกันระหว่าง connector ตัวเมียและตัวผู้

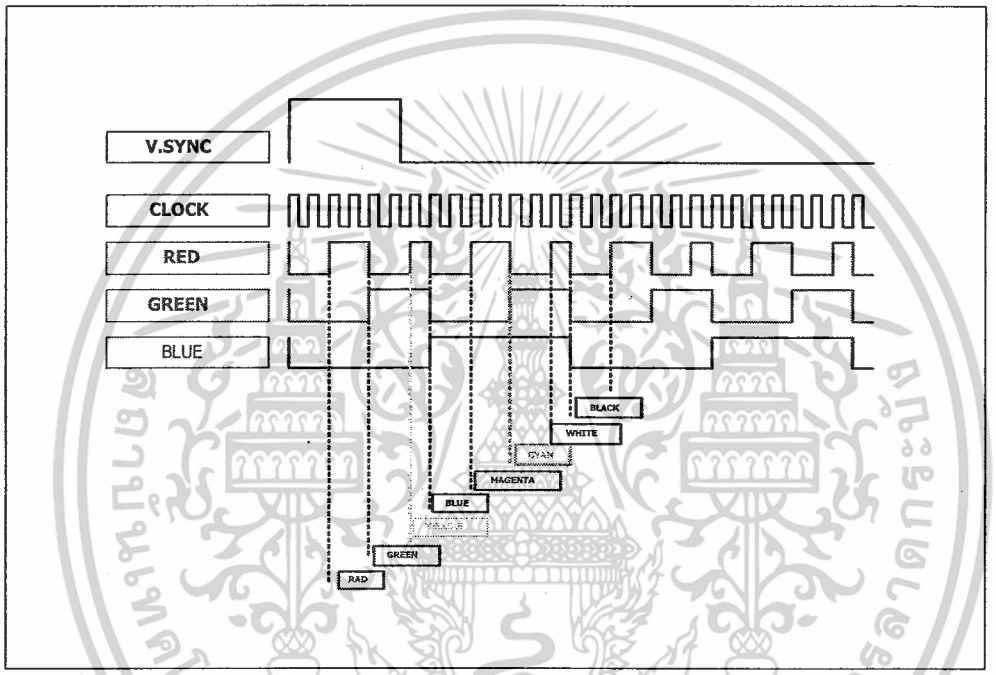
1 คู่กับ 2
2 คู่กับ 5
3 คู่กับ 9
4 ไม่มีการอินเตอร์เฟส
5 ไม่มีการอินเตอร์เฟส
6 คู่กับ 1
7 คู่กับ 6
8 คู่กับ 13
9 ไม่มีการอินเตอร์เฟส
10 ไม่มีการอินเตอร์เฟส
11 คู่กับ 4
12 ไม่มีการอินเตอร์เฟส
13 คู่กับ 3
14 ไม่มีการอินเตอร์เฟส
15 ไม่มีการอินเตอร์เฟส

2.5.3 หลักการจากสัญญาณพัลซ์กลายมาเป็นภาพและสี

จอภาพ VGA ทุกจอจะต้องการสัญญาณที่จำเป็นในการทำงานอยู่ 3 สัญญาณอัน ประกอบด้วย สัญญาณพลซ์ฮอลิซอนทอลซิงค์ (Horizontal sync pulse) , พัลซ์เวอร์ทิคอลซิงค์ (vertical sync pulse) และรูปแบบสัญญาณภาพ (Video Information) จอ VGA โดยส่วนมากแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

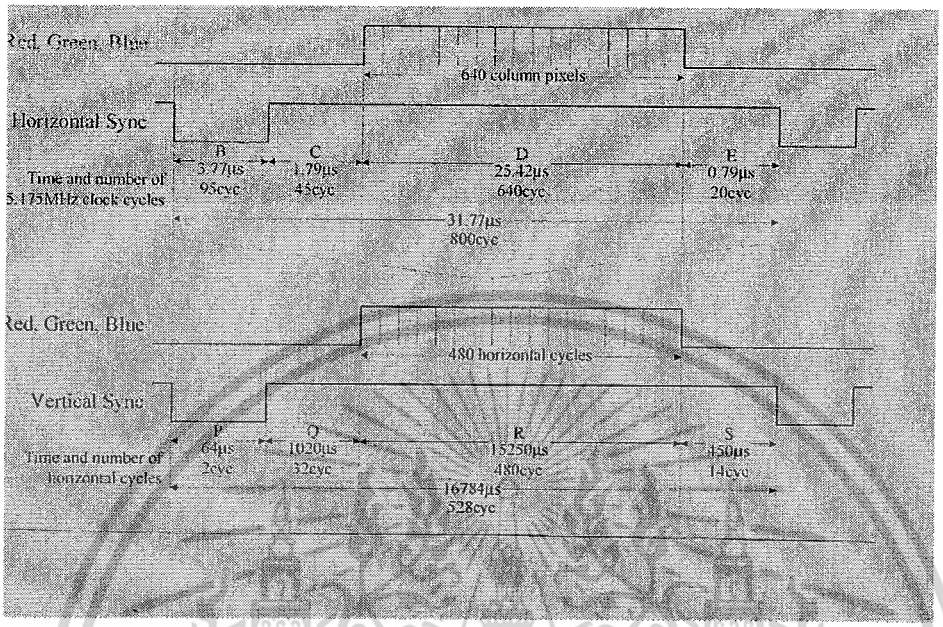
สัญญาณอินพุตทั้งสามสัญญาณนี้จะเป็นสัญญาณอนาล่อก แต่กับการแสดงผลหน้าจอหรือการเทสการใช้งานจอเบื้องต้น เราจำเป็นต้องใช้สัญญาณที่เป็นดิจิตอลแทน ทำให้ผลการแสดงที่หน้าจอในการเทสจะเกิด เฉดสีต่าง ๆ เต็มหน้าจอ โดยเฉดสีทั้งหมดจะมีด้วยกัน 8 เฉดสี ดังเช่นในการป้อนสัญญาณตามขาคอนเน็คเตอร์ต่าง ๆ ในการขับสัญญาณ RGB ออกมาผสมกัน ซึ่งสีที่แตกต่างออกมาจากสีหลักนี้จะเกิดขึ้นมาได้จากการผสม



รูปที่ 2-10 แสดงสัญญาณการผสมสีจาก3สีหลัก(RGB) สี จาก 3 สีหลักดังกล่าวก็คือ แดง เขียว น้ำเงิน

โดยปกติแล้วมาตรฐานของVGA อยู่ในรูปแบบ(FORMAT) ของ 640×480 ที่จำนวน refresh rate (Hz) ใด ๆ พื้นฐานของความถี่สัญญาณนาฬิกา ตามแบบมาตรฐาน VGA อยู่ที่ความถี่ประมาณ 25 Mhz โดยที่ตัวเลขใน แบบมาตรฐาน VGA 640×480 นั้น สามารถแยกความหมายได้โดย เลข 640ก็คือ จำนวน พิกเซ่ล ต่อ คัลลั่มน์(column) พิกเซ่ล ก็คือ ส่วนประกอบของภาพคล้าย ๆ จุดเล็ก ๆ เรียงกันไปตามการสแกนเส้นฮอริซอลท่อล จากคัลลั่มน์ 0 ถึงคัลลั่มน์ 639 (ทั้งหมดคือ 640) และกวาดลงไปตามแนว เวอร์ติคั่ล จาก แถว(row) 0 ถึง แถว(row) 479 ถึงมีการรีเฟรซ ใหม่ในการสแกนที่ (column0,row0)ใหม่อีกครั้ง ซึ่งกระบวนการนี้จะเกิดขึ้นบ่อย ๆ ครั้งและซ้ำ ๆ กันจนกลายมาเป็นภาพขึ้น ณ ที่หน้า จอ VGA โดยเราจะเรียกกระบวนการที่เกิดการรีเฟรชใน 1เฟรมหลาย ๆ ครั้งนี้ ว่าอัตราการีเฟรช (refresh rate) ซึ่งอัตรานี้มีหน่วยเป็นความถี่(Hz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-11 รายละเอียดการสแกนเส้นจอในแบบมาตรฐาน VGA

2.5.4 หลักการทำงานตัวกำเนิดสัญญาณ VGA Sync

การทำงานของวงจรกำเนิดสัญญาณ VGA Sync โดยเริ่มแรกของวงจรจะรับสัญญาณนาฬิกาอินพุตเข้ามาทางขา SysClk เสียก่อน โดยที่สัญญาณที่รับเข้ามาจะมีความถี่ประมาณ 25.175MHz พร้อมกันนั้นยังต้องมีสัญญาณไฟตรง เพื่อที่จะทำให้วงจรนั้นเริ่มทำงาน เมื่อเริ่มวงจรทำงานแล้วก็จะเริ่มทำการนับเปรียบเทียบจำนวน โดยใช้ จำนวน 0,639 แทนการนับของจำนวนพิกเซล 640 ในทางเดียวกัน จำนวน 0,479 ก็จะหมายถึง จำนวนพิกเซลที่ 480 เหมือนกัน ซึ่งทั้งสองนี้เป็น พิกเซลตามมาตรฐานของ VGA ก็คือ 640x480 พิกเซลนั่นเอง

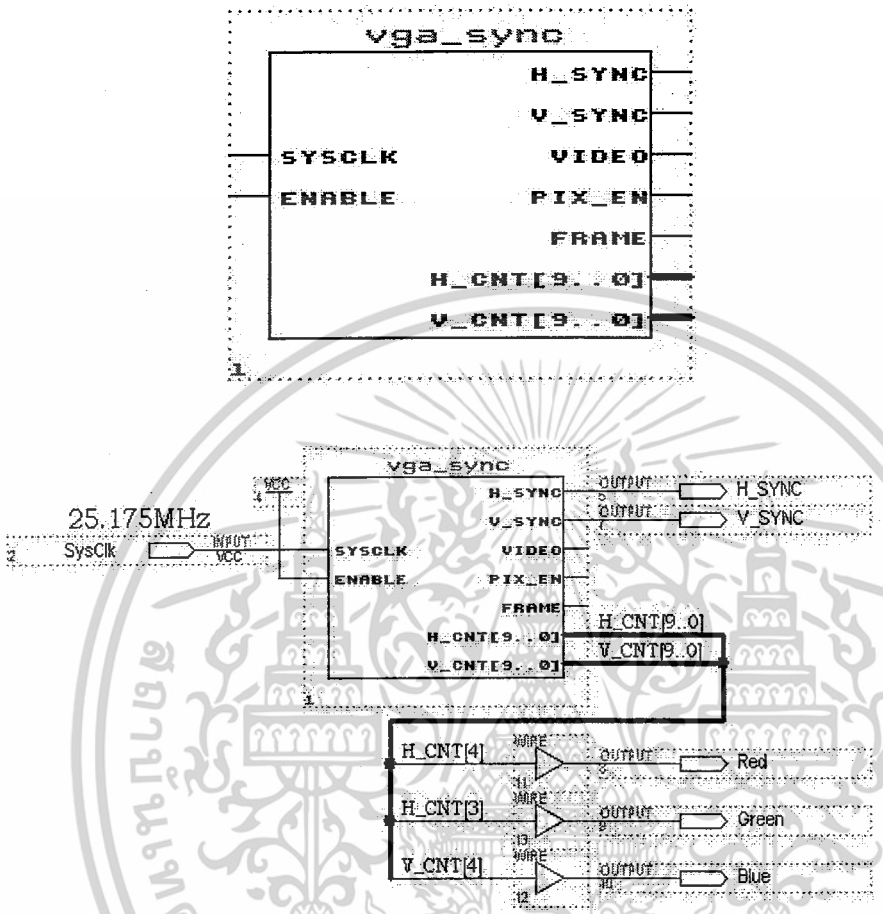
การกำเนิดสัญญาณเอาท์พุตนั้นจะเป็นไปตามความสัมพันธ์ของการนับจำนวนสัญญาณนาฬิกาและรายละเอียดต่าง ๆ ในตาราง ทำให้กำเนิดสัญญาณ ฮอริซอลทอลซิงค์ ออกมาจากขา H_SYNC และ เวอร์ติคัลซิงค์ ออกมาจากขา V_SYNC อีกทั้งยังผลิตสัญญาณสีที่เป็นแม่สีหลัก 3 สี ก็คือ สีแดง สีเขียว สีน้ำเงิน ซึ่งรวม ๆ ทั้งหมดนี้แล้วทั้ง 5สัญญาณเอาท์พุตที่ออกมานี้จะเป็นสัญญาณหลักสำคัญในการกำเนิดภาพต่าง ๆ ที่หน้าจอ VGA ทั้งสิ้น ซึ่งรายละเอียดต่าง ๆ ของการนับแสดงอยู่ในตาราง 2-7 เรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2-7 แสดงหน่วยของพารามิเตอร์ ของวงจรตัวกำเนิดสัญญาณ VGA Sync

INPUT PORTS	
SysClk	สัญญาณนาฬิกาอินพุตของระบบโดยปกติจะใช้ สัญญาณนาฬิกาที่ความถี่ 25.175Mhz ซึ่งจะทำให้จำนวน rate pixel ของข้อมูล ตรงตามมาตรฐาน VGA
Enable	ใช้ สัญญาณไฟ VCC โดยสามารถเพิ่ม VCC เป็น 2 หรือ 3 เท่าได้หาก ความถี่ที่จ่ายเข้าขา SysClk นั้นมีค่า 2 หรือ 3 เท่าอยู่แล้ว ในทางกลับกันก็สามารถ ลดเป็น ½ หรือ 1/3 เท่า ก็ได้ โดยใช้หลักการเดิมแต่ลด ความถี่ SysClk และ VCC ลง ตมสัดส่วนด้วย
OUTPUT PORTS	
H_Sync	Horizontal sync signal
V_Sync	Vertical sync signal
Video	พักที่สถานะ “1” ขณะที่ H_Cnt อยู่ภายในย่าน [0,639] และ V_Cnt อยู่ภายในย่าน [0,479]
Pix_En	ไปที่สถานะ “1” สำหรับ 1 คาบของ SysClk ใน 1 ครั้งของทุก ๆ pixel ขณะที่ H_Cnt อยู่ภายในย่าน [0,639] และ V_Cnt อยู่ภายในย่าน [0,479]
Frame	ไปที่สถานะ “1” สำหรับ 1 คาบของ SysClk ก่อนทุก ๆ Video Frame
H_Cnt[9..0]	ตำแหน่งในแนวนอนของ pixel ต่อไปที่ทำการแสดงผลบนจอ VGA โดยที่ output อยู่ภายในในย่าน [0,639]
V_Cnt[9..0]	ตำแหน่งในแนวตั้งของ pixel ต่อไปที่ทำการแสดงผลบนจอ VGA โดยที่ output อยู่ภายในในย่าน [0,479]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



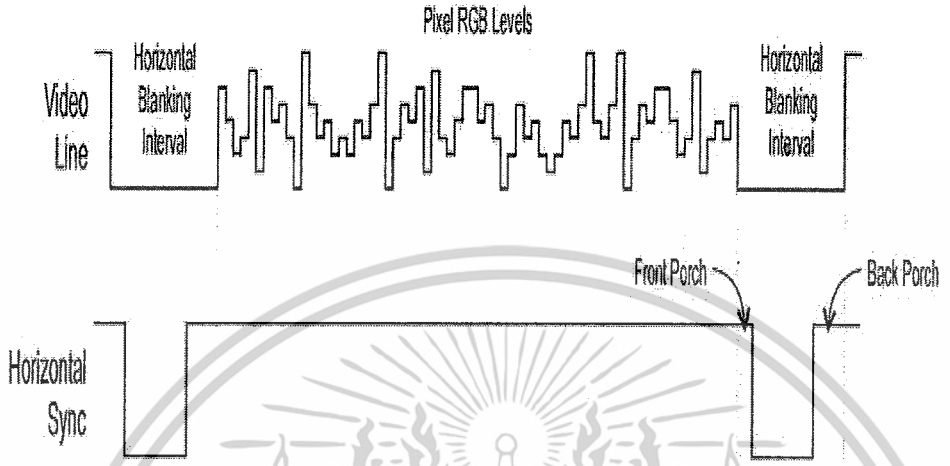
รูปที่ 2-12 แสดงวงจรตัวกำเนิดสัญญาณ VGA Sync

2.5.5 VGA timing information

2.5.5.1 Horizontal Timing

Horizontal Dots	640	640	640
Vertical Scan Lines	350	400	480
Horiz. Sync Polarity	POS	NEG	NEG
A (us)	31.77	31.77	31.77
B (us)	3.77	3.77	3.77
C (us)	1.89	1.89	1.89
D (us)	25.17	25.17	25.17
E (us)	0.94	0.94	0.94

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



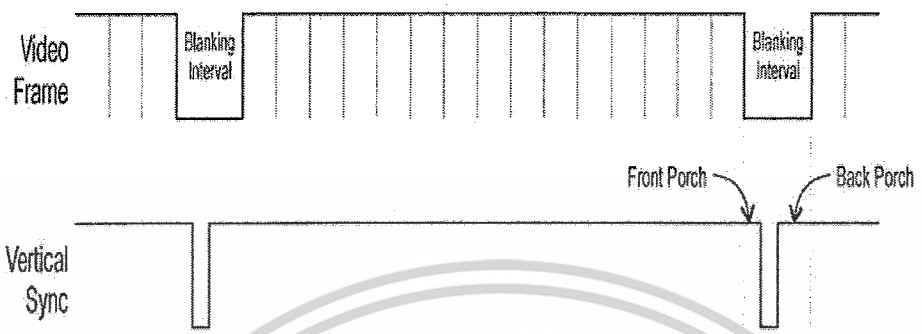
รูปที่ 2-13 สัญญาณ Sync ทางด้าน Horizontal

จากรูปที่ 2-13 เป็นการแสดงให้เห็นถึงช่วงสัญญาณซิงค์ทางด้านของฮอลิซอนท่อล จะเปรียบเทียบช่วงของ Pixel RGB Level ดังรูปนั้น จะมีระดับสัญญาณวิดีโอที่แตกต่างกันไป รวมกันอยู่ และเป็นในส่วนของช่วง ๆ หนึ่งทางด้านสัญญาณ ฮอริซอลท่อลซิงค์ ระดับสัญญาณเหล่านี้ก็คือระดับสัญญาณของแม่สีทั้ง 3 สีหลักในการที่จะแสดงออกมาเป็นสีต่าง ๆ บนหน้าจอ VGA มอนิเตอร์ได้ ซึ่งสัญญาณนี้จะนำเสนอออกมาในลักษณะเส้นเล็ก ๆ บนหน้าจอ (Video Line)

2.5.5.2 Vertical Timing

Horizontal Dots	640	640	640
Vertical Scan Lines	350	400	480
Vert. Sync Polarity	NEG	POS	NEG
Vertical Frequency	70Hz	70Hz	60Hz
O (ms)	14.27	14.27	16.68
P (ms)	0.06	0.06	0.06
Q (ms)	1.88	1.08	1.02
R (ms)	11.13	12.72	15.25
S (ms)	1.2	0.41	0.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-14 สัญญาณ Sync ทางด้าน Vertical

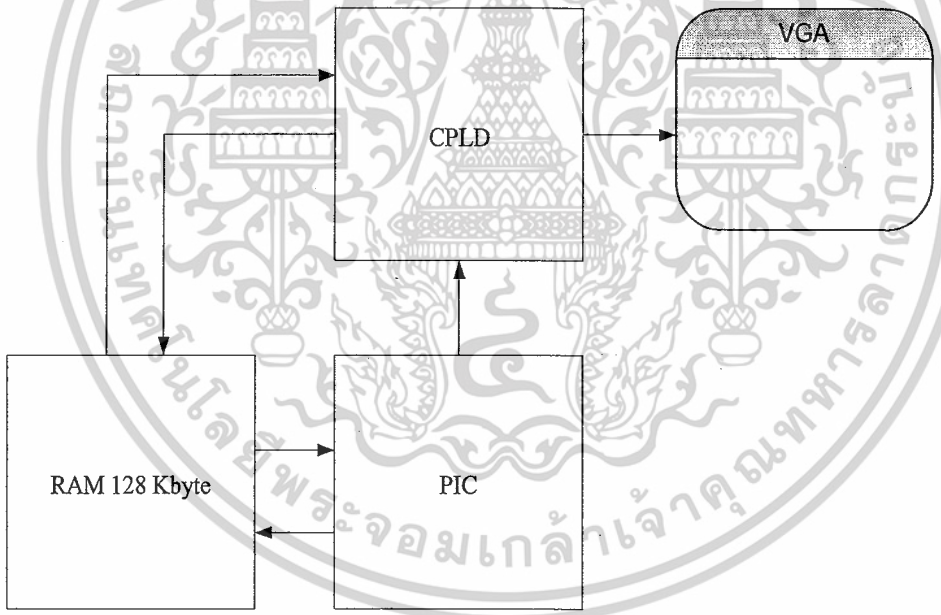
จากรูปที่ 2-14 เป็นการแสดงให้เห็นถึงช่วงสัญญาณซิงค์ทางด้านของเวอร์ติคัล จะเปรียบเทียบช่วงของ วิดีโอเฟรม หรือกล่าวคือมีเส้นสัญญาณจาก ทางด้านฮอริซอลท่อลซิงค์ รวมอยู่กันหลาย ๆ เส้นจนแสดงออกมาเป็นเฟรม(Video Frame) หรือก็เรียกได้ว่าเฟรมนี้เป็นช่วงหนึ่งของสัญญาณ เวอร์ติคัลซิงค์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและสร้าง

การออกแบบในโครงงานนี้เริ่มต้นจากการจำลองสัญญาณให้ได้ตามแบบมาตรฐาน VGA และกำหนดเงื่อนไขต่าง ๆ ให้สอดคล้องกันทั้งทางด้านโปรแกรมการติดต่อแรมและกำหนดความเร็วเพื่อให้สามารถรับและส่งข้อมูลได้ในแบบ real time ซึ่งจากบล๊อคไดอะแกรมภาพรวมของโครงงานนี้ก็จะแบ่งเป็น 4 ส่วนหลัก ๆ ก็คือ PIC , RAM 128k , CPLD และ VGA ซึ่งทั้งหมดนี้จะประกอบกันรวมเป็นโครงงานนี้ขึ้นมา

3.1 ไดอะแกรมแสดงภาพรวมของโครงงาน



รูปที่ 3-1 รูปไดอะแกรมภาพรวมของโครงงาน

การทำงานของไดอะแกรมภาพรวมโครงงานโดยเป็นการทำงานร่วมกันระหว่างแรม ,CPLD,ไมโครคอนโทรลเลอร์PIC และ จอมอนิเตอร์ VGA ซึ่งจะกล่าวหน้าที่รวม ๆ ก็คือ เราต้องการที่จะรับข้อมูลเข้ามาในส่วนของสัญญาณต่างๆที่เราต้องการอ่านค่าเราจึงจำเป็นต้องมีการอ่านค่าจากแรมซึ่งแรมก็จะเป็นตัวเก็บข้อมูลสัญญาณและตัวควบคุมแรมก็คือไมโครคอนโทรลเลอร์ PIC นั่นเอง รวมทั้งการเพิ่มความเร็วและประสิทธิภาพในการสแกนจำต้องมีวงจร CPLD เข้ามาเป็น

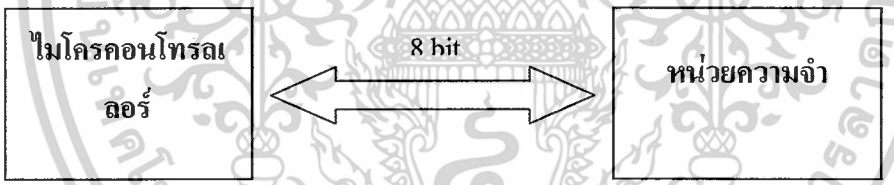
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเพิ่มความเร็ว อีกเช่นกันในการควบคุม CPLD ได้นั้นอาศัยหลักการทางลอจิกแบบดิจิตอลเป็นตัวควบคุม เราจึงต้องใช้ไมโครคอนโทรลเลอร์PIC ในการสร้างลอจิกขึ้นมาเพื่อควบคุมทางวงจร CPLD ในขณะที่ติดต่ออยู่กับแรมด้วย ซึ่งCPLD ก็จะไปทำหน้าที่ขับช่วยสัญญาณที่รับเข้ามา ออกจนเป็นภาพสแกนขึ้นทางหน้าจอ

3.2 การออกแบบในส่วนไดอะแกรมของ RAM

3.2.1การติดต่อหน่วยความจำภายนอก (External RAM)

การติดต่อหน่วยความจำภายนอกของไมโครคอนโทรลเลอร์วัตถุประสงค์เพื่อใช้ในการเก็บข้อมูลที่ประมวลผลมาแล้วเพื่อนำกลับมาใช้งานได้ในภายหลังหรือต้องการตรวจสอบข้อมูลเก่า และสะดวกต่อการนำไปใช้งานในครั้งต่อๆไป



รูปที่ 3-2 แสดงการติดต่อหน่วยความจำภายนอก

ในการใช้งานใช้แรมเบอร์ IS62C1024 (128K x 8 STATIC RAM) ซึ่งมีขาแอดเดรสทั้งหมด 17 ขา คือ A0-A16 และมีขาดาต้า 8 ขา คือ D0-D7 ดังนั้นจากสูตรการคำนวณการอ้างอิงตำแหน่งแอดเดรส

2^x โดยที่ x = จำนวนขาแอดเดรส

RAM (IS62C1024) สามารถอ้างอิงตำแหน่งได้ $2^{17}=131027_{10}$ ตำแหน่ง

และ

RAM (IS62C1024) มีความจุ = 128K * y

= 128K * 8

= 1 MB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

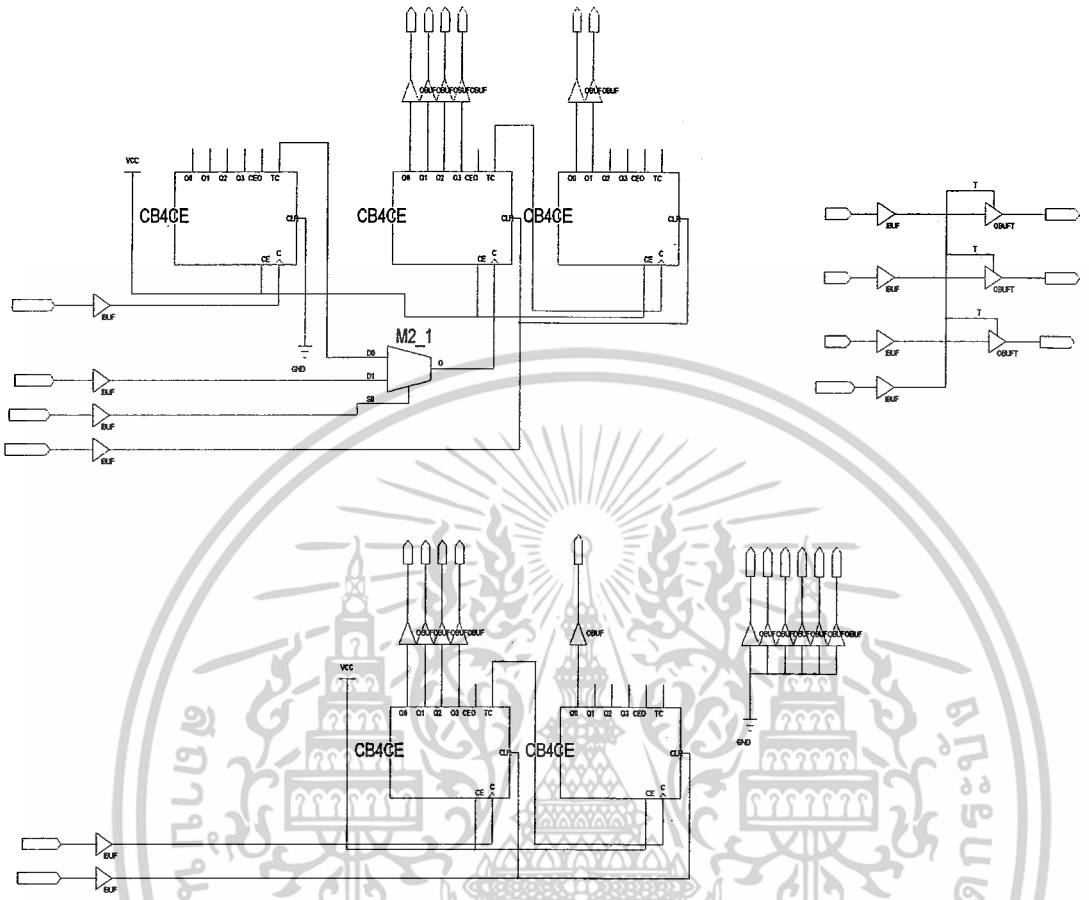
ส่วนของรูปและรายละเอียดในการออกแบบ RAM เพื่อติดต่อกับ PIC นั้นจะกล่าวรวมทีเดียวในย่อหน้าต่อไป ในหัวข้อเรื่องการออกแบบในส่วนไดอะแกรมของ PIC หลังจากเรียนรู้เกี่ยวกับการออกแบบ CPLD เรียบร้อยแล้ว เพื่อความเข้าใจในขั้นตอนการออกแบบมากขึ้น เพราะความสำคัญส่วนใหญ่จะขึ้นอยู่กับการเขียนโปรแกรมจากตัวไมโครคอนโทรเลอร์เพื่อควบคุมในส่วนทั้งหมดเป็นส่วนมาก

3.3 การออกแบบในส่วนไดอะแกรมของ CPLD

ในส่วนนี้จะออกแบบตามโครงสร้างของทฤษฎี CPLD ตามที่ได้กล่าวมาในบทที่ 2 ว่าโครงสร้างภายในของ CPLD นั้นประกอบด้วยอะไรบ้างเพื่อจะนำไปเป็นการคูณความถี่ของสัญญาณนาฬิกาจากไมโครคอนโทรเลอร์ให้สามารถรับและเขียนข้อมูลได้ดีขึ้น และเราจะต้องทำการเลือกขาของชิพ CPLD ตามเบอร์ของโครงงานนี้ โดยกำหนดขาที่เป็นตัวสถานะที่ต้องการให้สอดคล้องกับโครงงานเพื่อนำ PIC เป็นควบคุมหรือตัวป้อนลอจิกให้กับ CPLD อีกทีโดยจะต้องทำการเขียนโปรแกรมควบคุม ทำให้ CPLD สามารถเป็นตัวเชื่อมต่อและคูณความถี่หรือเพิ่มความเร็วให้กับการอ่านและเขียนข้อมูลออกทางหน้าจอได้

ในโครงงานนี้เราก็สามารถออกแบบเลือกขาเกตเพื่อจะให้ PIC ควบคุมในการป้อนลอจิกเกต ได้ตามรูปที่ 3-3 จะสังเกตุได้ว่าเราจะต้องทำการแยกเป็นส่วน ๆ ในการเลือกเกต เพื่อที่จะเลือกลอจิกให้ตรงกับความต้องการในการควบคุมเพื่อเพิ่มความเร็วให้กับการถ่ายโอนข้อมูลจากแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-3 แสดงภาพออกแบบในการเลือกใช้ขอลอจิกเกตของชิพ CPLDในโครงงานนี้

เมื่อเราทำการออกแบบ RAM และ CPLD เรียบร้อยแล้ว ต่อมาจะกล่าวถึงการออกแบบและเขียนโปรแกรมเพื่อให้ไมโครคอนโทรลเลอร์ PIC ทำการควบคุมทั้ง 2 ส่วนนี้เพื่อทำการประมวลผลคล้าย ๆ กับ CPU ของคอมพิวเตอร์เพื่อให้สัญญาณที่รับมาจาก RAM

3.4 การออกแบบในส่วนไดอะแกรมของ PIC

ในส่วนของการออกแบบ PIC นี้เราจะทำการเลือก พอร์ตสัญญาณตามทฤษฎีที่กล่าวมาในบทที่ 2 ซึ่งเกี่ยวกับโครงสร้างและสถาปัตยกรรมของไมโครคอนโทรลเลอร์ PIC เพื่อให้สะดวกและสอดคล้องตามแบบของโครงงานนี้ พร้อมกันนั้นยังต้องทำการเขียนโปรแกรมเพื่อสร้าง พิกเซล และ เฟรมให้ได้ตามแบบของมาตรฐาน VGA เพื่อให้รองรับการเกิดภาพผลตอบสนอง รวมกับเขียนโปรแกรมเพื่อป้อนลอจิกให้แก่ CPLD เพื่อนำไปเพิ่มความเร็วในการเขียนและอ่านข้อมูลให้มี

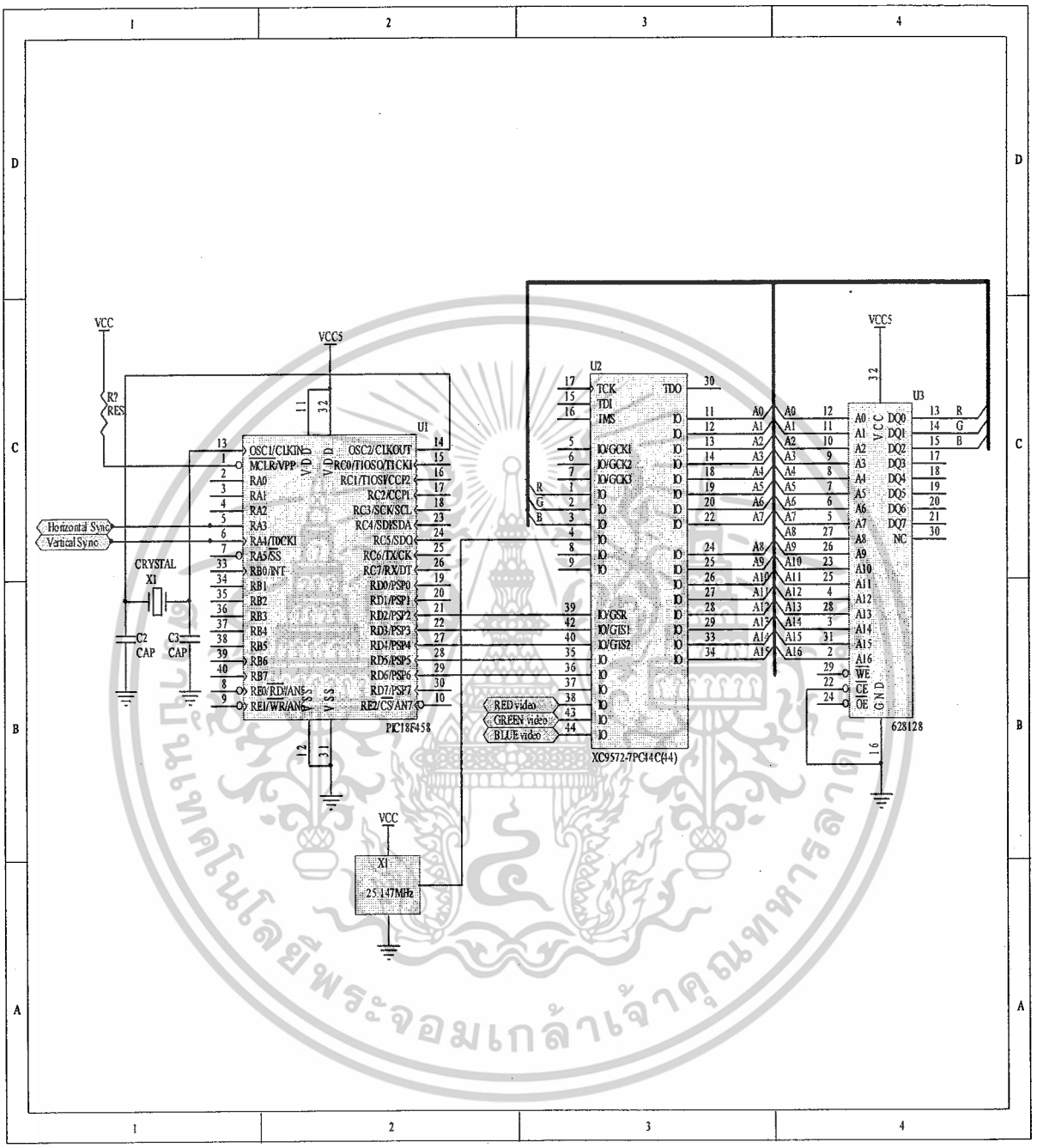
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพยิ่งขึ้น โดยส่วนหลัก ๆ ของการทำให้โครงงานนี้จะควบคุมการตอบสนองรับส่งข้อมูล เพื่อให้เกิดสัญญาณภาพขึ้นได้นั้น ส่วนหลัก ๆ จะอยู่ที่การเขียนโปรแกรมควบคุมซึ่งจะต้องพยายามเขียนให้สอดคล้องกับระบบที่ออกแบบไว้ให้ทำงานให้สัมพันธ์กันให้มากที่สุดเพื่อที่จะได้สัญญาณภาพที่ออกมามีความละเอียดและสามารถพิจารณารูปแบบสัญญาณได้อย่างเข้าใจ

การเขียนโปรแกรมนี้จะเขียนตามโครงสร้างและคำสั่งตามเบอร์ชิพไมโครคอนโทรลเลอร์ PIC ที่โครงงานนี้ใช้เป็นตัวออกแบบ ซึ่งคำสั่งภาษาหรือโครงสร้างทั้งหมดตามเบอร์นี้สามารถอ้างอิงเพื่อความเข้าใจมากยิ่งขึ้นได้ที่ภาคผนวกท้ายเล่มได้ภายในปริญญานิพนธ์ฉบับนี้

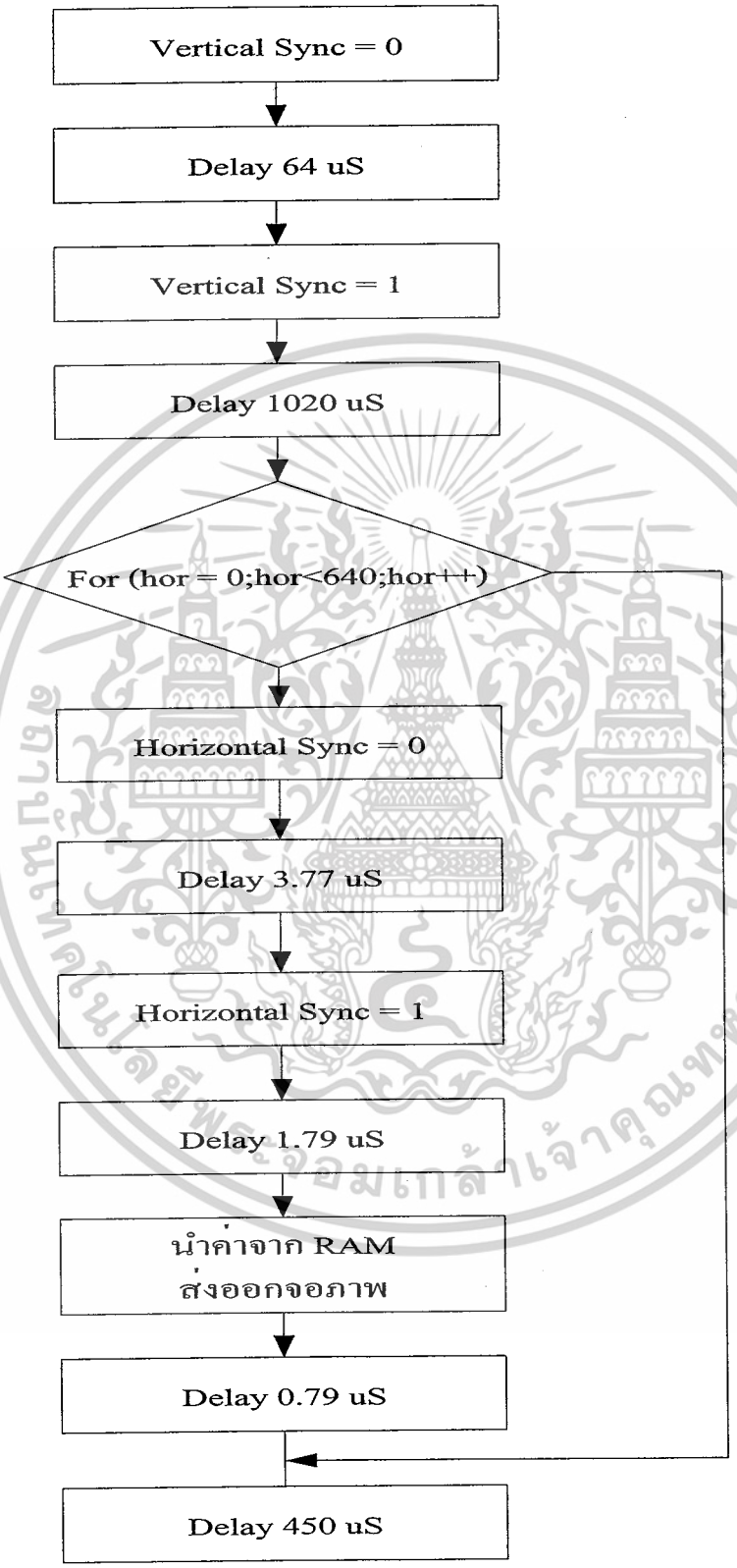
ในส่วนการออกแบบของไมโครคอนโทรลเลอร์PIC คล้ายกับเป็นศูนย์กลางในการเชื่อมต่อควบคุมโดยแท้จริงเพราะการติดต่อกับแรมเพื่อดึงข้อมูล และการส่งลอจิกไปควบคุมวงจร CPLD นั้นล้วนมีเนื้อหาสำคัญอยู่ที่ ไมโครคอนโทรลเลอร์PICและการเขียนโปรแกรมทั้งนั้น โดยรูปที่ออกแบบตามโครงงานนี้จะแสดงให้เห็นดัง รูปที่ 3-4 นี้ ได้จัดทำการเลือกพอร์ตเพื่อสะดวกในการเชื่อมต่อกับแรมอีกทั้ง เลือกขาส่งสัญญาณลอจิกไปควบคุม CPLD ไว้อย่างเหมาะสมในการออกแบบสร้างวงจรในการลงแผงวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-4 ส่วนของการออกแบบในการติดต่อเพื่อควบคุมของ PICระหว่าง RAM และ CPLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-5 ส่วนของโฟร์ชาร์ตการออกแบบเพื่อการเขียนโปรแกรมควบคุมของ PIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 อธิบายโฟร์ชาร์ตการออกแบบเพื่อเขียนโปรแกรมการควบคุมPIC

1. กำหนดช่วงสัญญาณ เวอร์ติคัลซิงค์ ให้มีค่าเป็น 0
2. หน่วงช่วงเวลาของสัญญาณ เวอร์ติคัลซิงค์ ไปเป็นเวลา 64 ไมโครเซก
3. กำหนดช่วงสัญญาณ เวอร์ติคัลซิงค์ ให้มีค่าเป็น 1
4. หน่วงช่วงเวลาของสัญญาณ เวอร์ติคัลซิงค์ ไปเป็นเวลา 1020 ไมโครเซก
5. ทำการกำหนดเงื่อนไข เมื่อสัญญาณ ฮอริซอลทอลซิงค์ ให้ทำตามลำดับต่อไป แต่ถ้าฮอริซอลทอลซิงค์มีค่าน้อยกว่า 640 ให้กระโดดไปทำเงื่อนไขในข้อ 12.
6. กำหนดช่วงสัญญาณ ฮอริซอลทอลซิงค์ ให้มีค่าเป็น 0
7. หน่วงช่วงเวลาของสัญญาณ ฮอริซอลทอลซิงค์ ไปเป็นเวลา 3.77 ไมโครเซก
8. กำหนดช่วงสัญญาณ ฮอริซอลทอลซิงค์ ให้มีค่าเป็น 1
9. หน่วงช่วงเวลาของสัญญาณ ฮอริซอลทอลซิงค์ ไปเป็นเวลา 1.79 ไมโครเซก
10. นำค่าจากแรมส่งออกจอภาพ
11. หน่วงช่วงเวลาของสัญญาณ ฮอริซอลทอลซิงค์ ไปเป็นเวลา 0.79 ไมโครเซก
12. หน่วงช่วงเวลาของสัญญาณ ฮอริซอลทอลซิงค์ ไปเป็นเวลา 450 ไมโครเซก

3.5.1 ส่วนของโปรแกรมแอสเซมบลีที่เขียนขึ้นมาเพื่อควบคุม RAM และป้อนลอจิกให้กับ CPLD

ซึ่งจะมีรายละเอียดของโปรแกรมทั้งหมดอยู่ในภาคผนวก และเนื่องจากโปรแกรมที่เขียนขึ้นมามีจำนวนหลายบรรทัดมากจึงทำการเรียงใหม่ในแบบอ่านจากบนลงล่างเรียงเป็นแบบหน้าละ

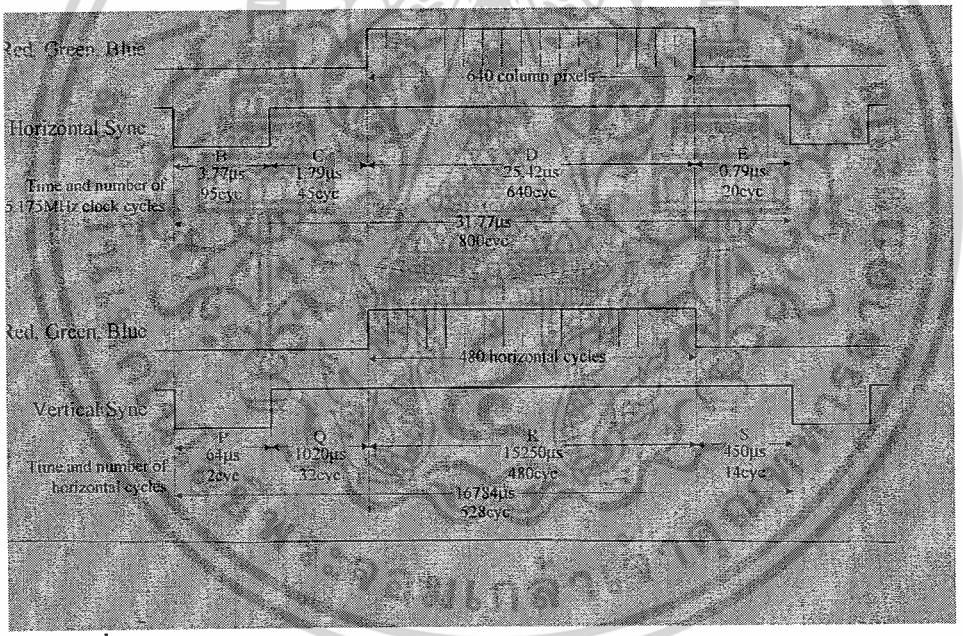
แถว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

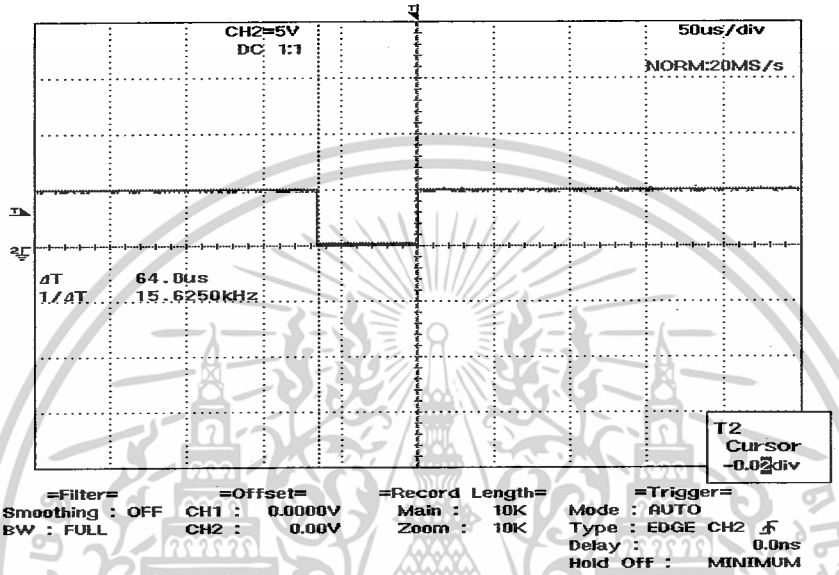
หลังจากการออกแบบทั้งส่วนซอฟท์แวร์ ฮาร์ดแวร์ และได้สร้างตามที่ได้ออกแบบไว้แล้วนั้น ในบทนี้จะกล่าวถึงการทดสอบ การส่งสัญญาณของไมโครคอนโทรลเลอร์ และแสดงผลของการอ่านข้อมูลออกทางจอภาพและจะต้องทำการทดลองและเขียนโปรแกรมเพื่อให้ได้สัญญาณ sync ตามที่มาตรฐาน VGA ตั้งไว้ก็คือดังรูป



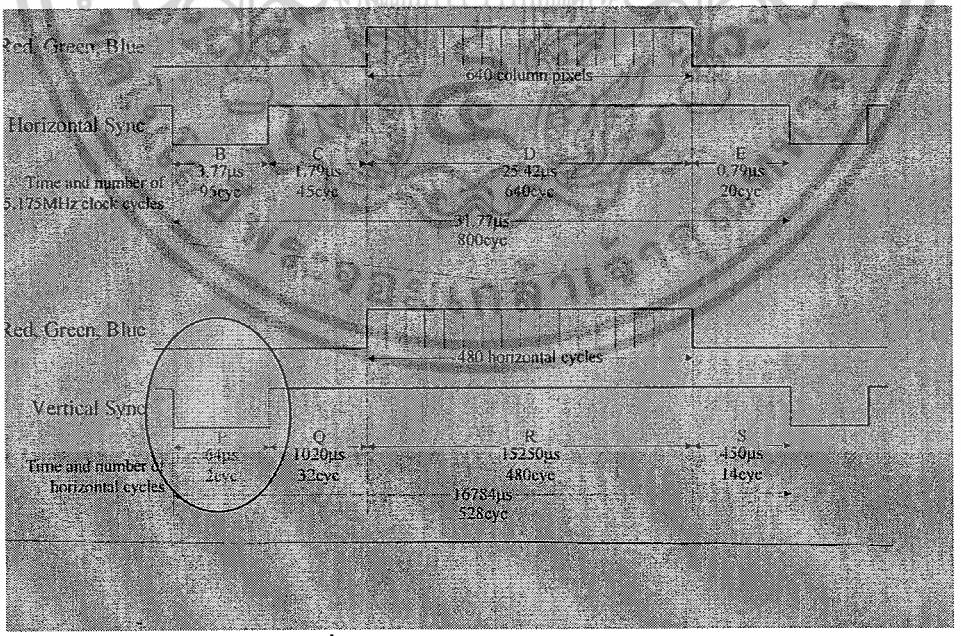
รูปที่ 4-1 แสดงรูปสัญญาณมาตรฐานของ vertical และ horizontal sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 การทดสอบสัญญาณจากไมโครคอนโทรลเลอร์

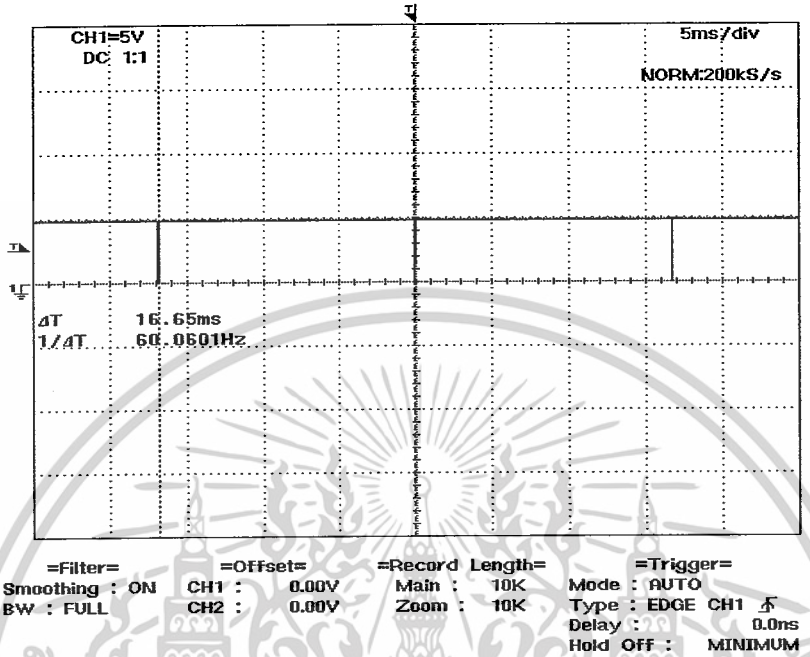


รูปที่ 4-2 แสดงภาพที่ทำการอ่านสัญญาณหน่วงช่วงที่1ของVertical Sync

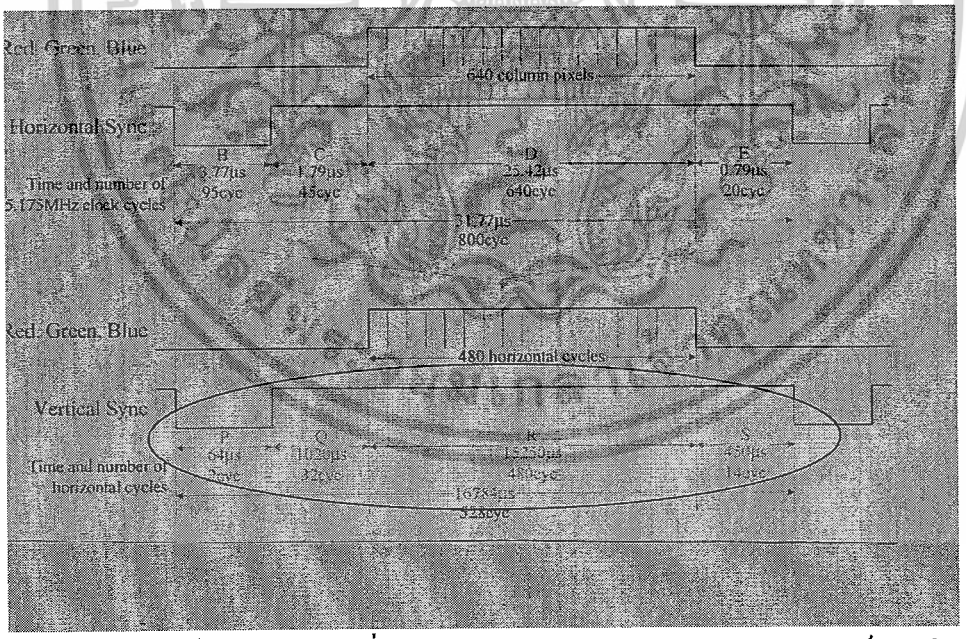


จากการเปรียบเทียบให้ดูในรูปที่เปรียบเทียบจากผลการทดลอง ตรงช่วง เวอร์ติคัลซิงค์ ช่วงขอบเขตเวลาที่ P (ในวงกลมจากภาพที่เปรียบเทียบ ถ้าในวงกลมไม่ชัดยังไง ก็ให้ดูเปรียบเทียบกับรูปที่ 4-1 อีกทีสำหรับการอ่านค่าตัวเลข) เท่ากับ64 ไมโครเซก ก็คือ ช่วงเดียวกันกับที่ผลการทดลองที่ได้ 64.0 ไมโครเซกนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

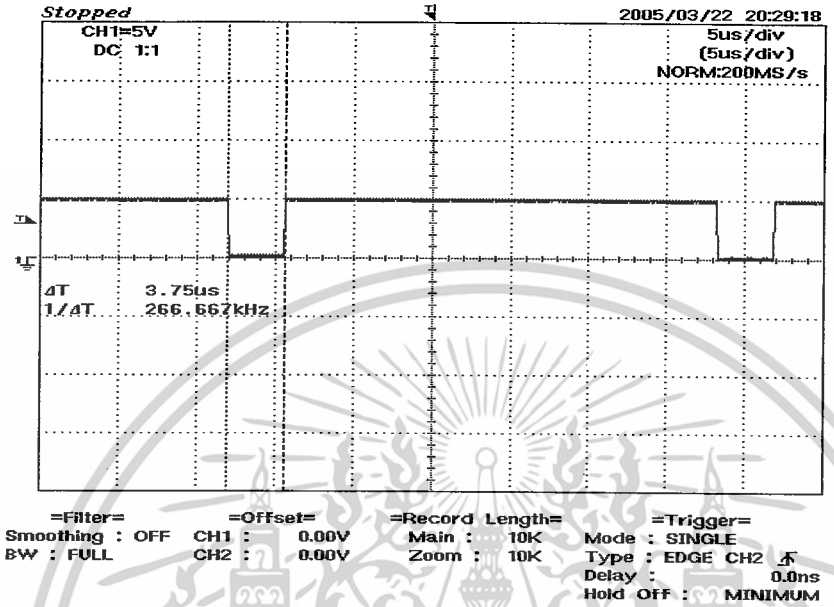


รูปที่ 4-3 แสดงภาพที่ทำการอ่านสัญญาณของVertical Sync

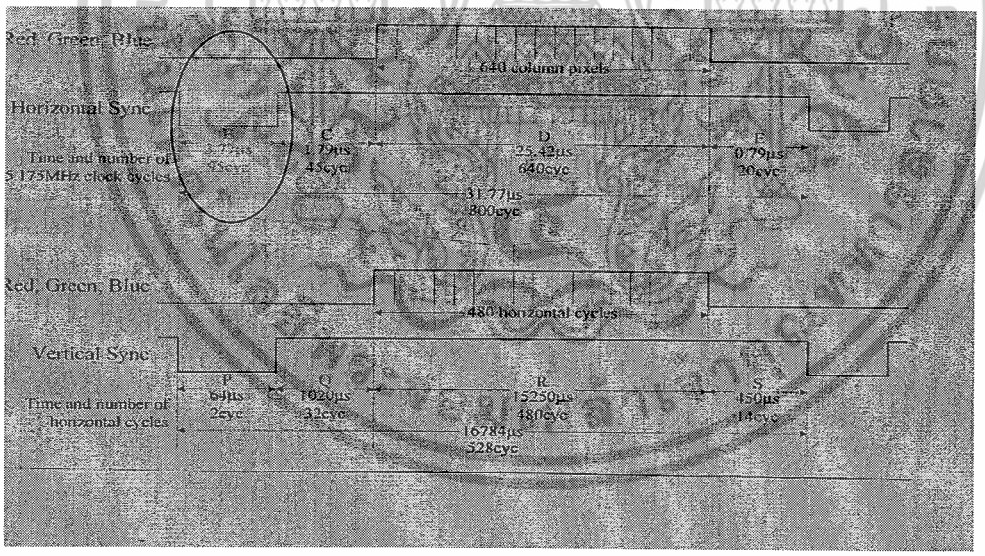


จากการเปรียบเทียบให้ดูในรูปที่เปรียบเทียบจากผลการทดลอง ตรงช่วง เวอร์ติคัลซิงค์ ช่วงขอบเขตเวลาที่ P+Q+R+S (ในวงกลมจากภาพที่เปรียบเทียบ ถ้าในวงกลมไม่ชัดยังไง ก็ให้ดูเปรียบเทียบกับรูปที่ 4-1 อีกทีสำหรับการอ่านค่าตัวเลข) เท่ากับ 1684 ไมโครเซก ก็คือ ช่วงเดียวกันกับที่ผลการทดลองที่ได้ 16.65 มิลลิเซกนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

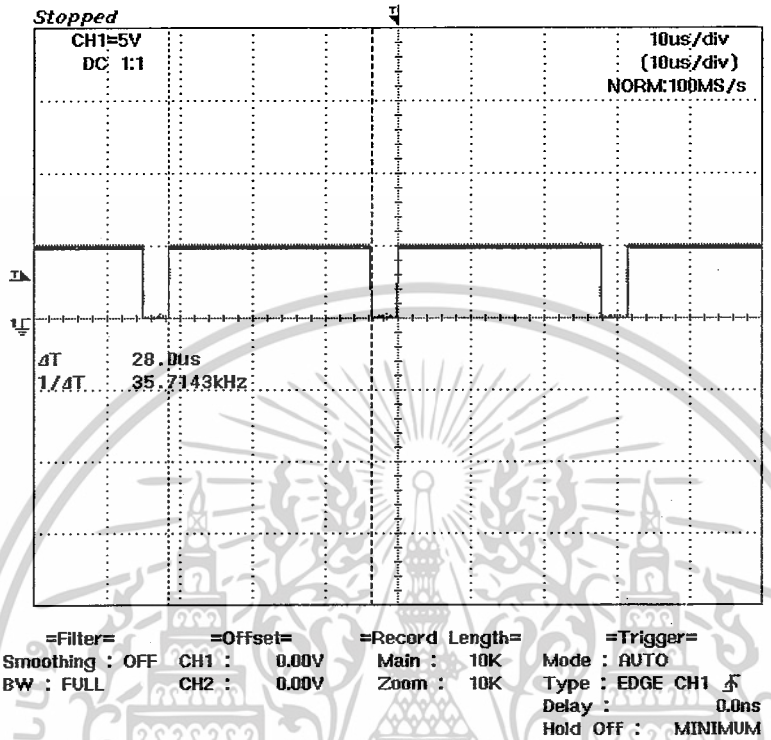


รูปที่ 4-4 แสดงภาพที่ทำการอ่านสัญญาณหน่วงช่วงที่1ของHorizontal Sync

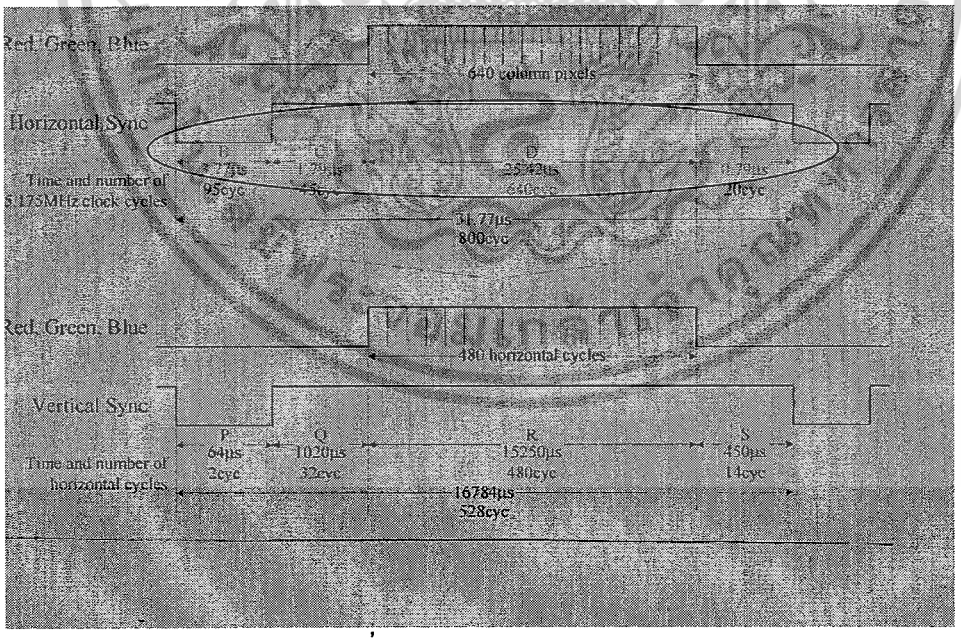


จากการเปรียบเทียบให้ดูในรูปที่เปรียบเทียบจากผลการทดลอง ตรงช่วง ฮอริซอลทอลซิงค์ ช่วงขอบเขตเวลาที่ B (ในวงกลมจากภาพที่เปรียบเทียบ ถ้าในวงกลมไม่ชัดยังไง ก็ให้ดูเปรียบเทียบกับรูปที่ 4-1 อีกทีสำหรับการอ่านค่าตัวเลข) เท่ากับ 3.77 ไมโครเซก ก็คือ ช่วงเดียวกันกับที่ผลการทดลองที่ได้ 3.75 ไมโครเซกนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



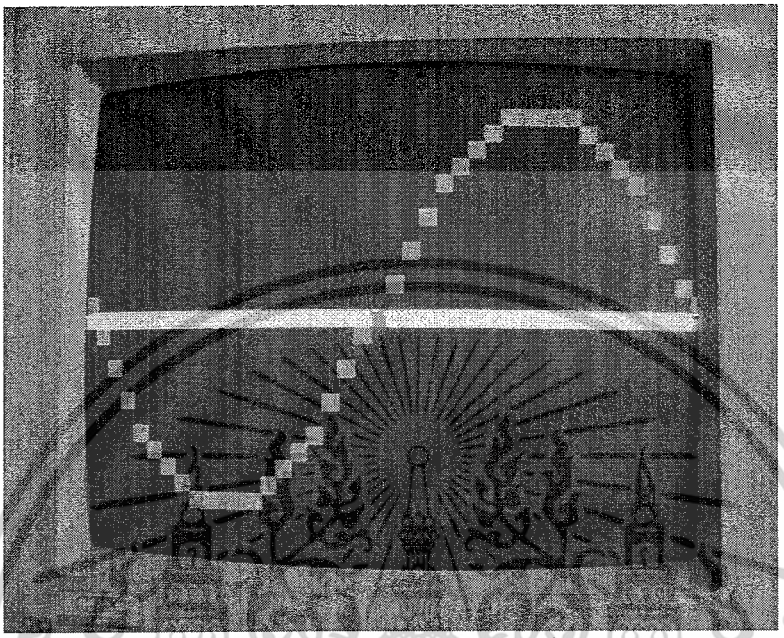
รูปที่ 4-5 แสดงภาพที่ทำการอ่านสัญญาณของHorizontal Sync



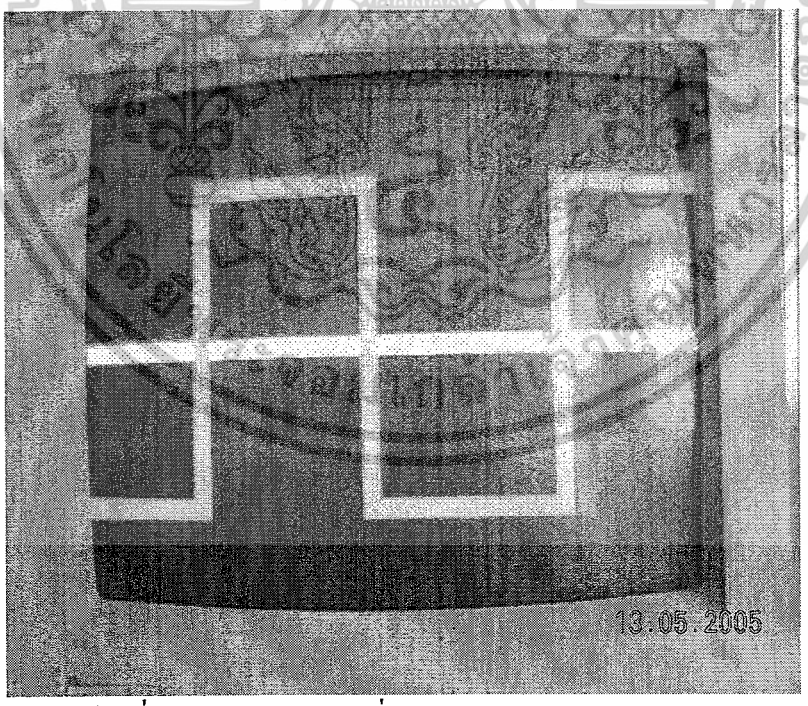
จากการเปรียบเทียบให้ดูในรูปที่เปรียบเทียบจากผลการทดลอง ตรงช่วง ฮอริซอลทอลซิงค์ ช่วงขอบเขตเวลาที่ B+C+D+E(ในวงกลมจากภาพที่เปรียบเทียบ ถ้าในวงกลมไม่ชัดยังไง ก็ให้ดูเปรียบเทียบกับรูปที่ 4-1 อีกทีสำหรับการอ่านค่าตัวเลข) เท่ากับ 31.77 ไมโครเซก ก็คือ ช่วงเดียวกันกับที่ผลการทดลองที่ได้ 28.0 ไมโครเซก ซึ่งอาจจะคลาดเคลื่อนไปบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ทำการต่อแสดงผลหลังจากทดลองเขียนโปรแกรมเสร็จเรียบร้อยแล้ว

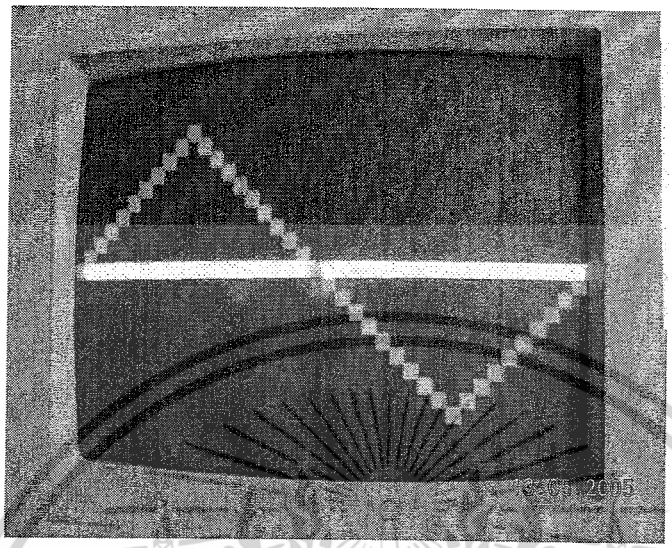


รูปที่ 4-6 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณไซน์เวฟ



รูปที่ 4-7 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



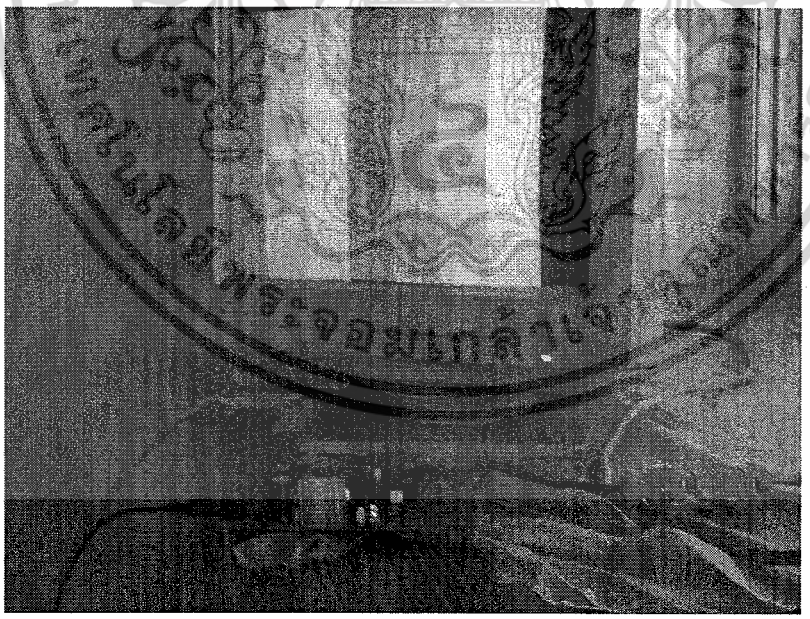
รูปที่ 4-8 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณสามเหลี่ยม

จากรูปที่4-6 ถึง 4-8 การพล็อตรูป จำต้องมีการเตรียมการร่างตารางที่เป็นเสมือนพิกเซ่ลบนหน้าจอคอมพิวเตอร์เพื่อเป็นการกำหนดรูปแบบแล้วมีการพล๊อตจุดหรือกลุ่มในรูปแบบบิตดิจิตอล 0 และ 1 จากรูปที่เห็นขึ้นบนหน้าจอVGA นี้ แล้วนำมาทำการเขียนโปรแกรมเพื่อให้สามารถไมโครคอนโทรลเลอร์เข้าใจได้ถึงจำนวนพิกเซลในการแสกนออกมาเป็นเส้นกราฟบนหน้าจอได้

รูปที่ 4-9 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบสัญญาณภาพสีรวม

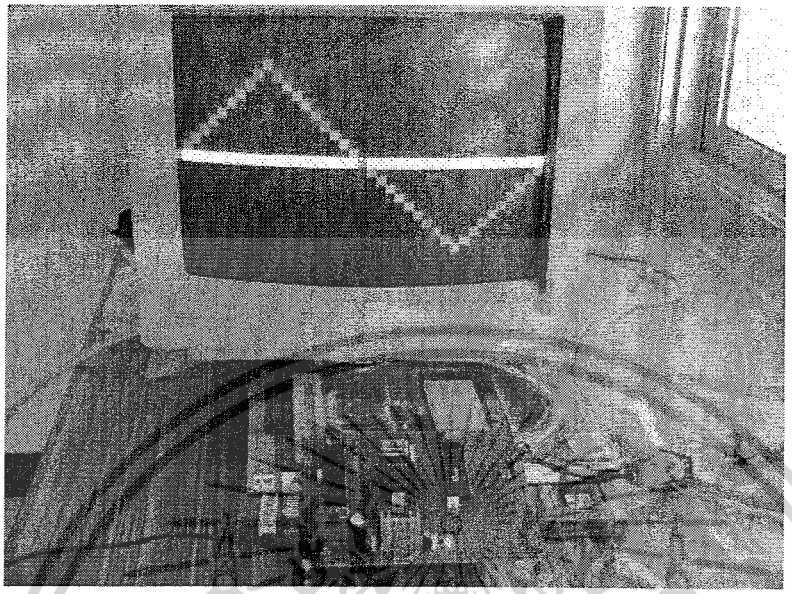
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4-10 แสดงภาพที่ทำการอ่านสัญญาณที่รับเข้ามาจากแรมในรูปแบบตัวอักษรสี

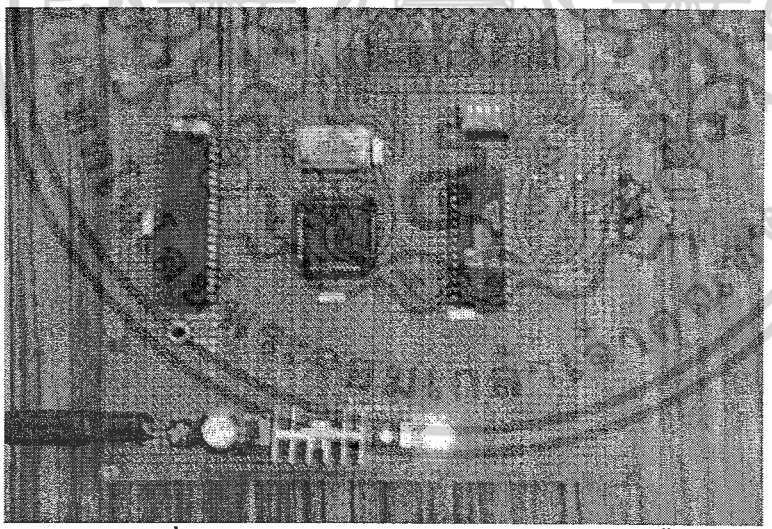


รูปที่ 4-11 แสดงภาพการทำการต่อจากวงจรจริงเพื่ออ่านข้อมูลจากแรมในการแสดงผลที่หน้าจอออกมาของรูปแบบสัญญาณสีรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-12 แสดงภาพการทำการต่อจากวงจรจริงเพื่ออ่านข้อมูลจากแรมในการแสดงผลที่หน้าจอออกมาของรูปแบบสัญญาณสามเหลี่ยม



รูปที่ 4-13 แสดงภาพตัววงจรจริงของโครงงานนี้

สิ้นสุดการต่อเพื่อแสดงผลการใช้งานจริงแล้ว จากรูปที่แสดงผลมาทั้งหมดจะสังเกตุว่าพิกเซ่ลจะค่อนข้างใหญ่และเกาะกลุ่มแต่ยังสามารถบอกรายละเอียดได้ว่าสัญญาณที่อ่านเข้ามาเป็นสัญญาณรูปแบบไหน ทั้งนี้ทั้งนั้นขึ้นอยู่กับ ความไวของอุปกรณ์ในการประกอบเป็นวงจรขึ้นมาด้วย และยังต้องมีการพัฒนาขึ้นอีกต่อ ๆ ไปในจุดหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปโครงงาน

เป็นโครงงานที่ทำขึ้นมาเพื่อทำหน้าที่คล้ายกับเครื่องมือวัดบวกกับหน่วยประมวลผลกลาง หรือการ์ดจอของคอมพิวเตอร์ส่วนบุคคล แต่มีขนาดเล็กกระทัดรัดกว่าประหยัดงบกว่าในการวัดผล โดยเริ่มต้นการทำโครงงานนี้ด้วยการจัดหาจอมอนิเตอร์VGA(Video Graphic Array) แล้วทำการทดสอบด้วยการทำวงจรไบอัสเบื้องต้น เมื่อทดสอบจอมอนิเตอร์แล้วพบว่าสามารถทำงานได้ตามปกติจึงเริ่มขั้นตอนถัดไปด้วยการศึกษาข้อมูลเกี่ยวกับ ไมโครคอนโทรลเลอร์PIC ในการติดต่อกับอุปกรณ์ภายนอก หรือ หน่อยความจำ ทั้งยังศึกษาเกี่ยวกับช่วงเวลาของสัญญาณในการเกิดภาพของมาตรฐานVGA เมื่อศึกษาแล้วทำการทดลองด้วยการเขียนโปรแกรมเลียนแบบระบบรวมกับทำการวัดจนได้สัญญาณตามที่กำหนด เมื่อได้แล้วทำการทำการศึกษาเกี่ยวกับการสร้างหรือเกิดภาพบนหน้าจอแล้วนำมาประยุกต์ด้วยการพล๊อตจุดให้มีหน่วยเป็นบิต 0 และ 1 ในการกำหนดเงื่อนไขการเกิดภาพเพื่อจะนำไปโปรแกรมในไมโครคอนโทรลเลอร์PIC อีกที แต่เมื่อทำการสร้างวงจรและเขียนโปรแกรมออกมาเสร็จสมบูรณ์แล้วจึงได้ผลตามแบบในบทที่ 4 ก็คือ ลักษณะของกราฟจอภาพที่รับข้อมูลเข้ามานั้นมาการแสดงออกมาในลักษณะเป็นการเกาะกลุ่มของจำนวนพิกเซล เหตุเพราะในการออกแบบความเร็วของการควบคุมในไมโครคอนโทรลเลอร์ไม่เพียงพอเนื่องด้วยข้อจำกัดทางเทคโนโลยีของอุปกรณ์ ถึงแม้ว่าในเบื้องต้นจะมีการออกแบบต่อด้วยอุปกรณ์คูณความถี่ CPLD (Complex Programmable Logic Device) เป็นการเพิ่มความไวให้กับวงจรไปแล้ว โดยอุปกรณ์คูณความถี่CPLD ทำงานได้โดยกำหนดลอจิกจากโครงสร้างภายในแล้วนำมาเลือกขาในการใช้ควบคุมแล้วทำการเขียนโปรแกรมให้ไมโครคอนโทรลเลอร์เพื่อควบคุมลอจิกอีกที เสมือนวงจรCPLD นี้ทำงานด้วย และที่กล่าวมาทั้งหมดนี้ยังสามารถมีการพัฒนาให้ดียิ่งขึ้นไปได้แต่ในการพัฒนานั้นก็ย่อมมีข้อจำกัดอยู่ด้วย

แนวทางการพัฒนาโครงงาน

การพัฒนาโครงงานนี้เป็นขีดจำกัดอยู่ในมาตรฐาน VGA เท่านั้นซึ่งถ้าเกิดนำมาใช้กับจอภาพรุ่นใหม่ ๆ ที่มีโครงสร้างหรือรายละเอียดที่ผิดแปลกแตกต่างไปจะเป็นการยากในการทำ แต่ในตอนนี้ที่สามารถที่จะพัฒนาขึ้นได้อีกต่อ ๆ ไปจะเป็นเกี่ยวกับด้านความเร็วของตัวควบคุม

โดยจะเกี่ยวเนื่องเกี่ยวกับข้อจำกัดของไมโครคอนโทรลเลอร์ PIC ซึ่งหมายถึง ถ้ามีความเร็วมากขึ้นจะสามารถทำให้เส้นกราฟสมบูรณ์และละเอียดมากกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณอาจารย์วรรณดี เพชรมณีล้ำค่าเป็นอย่างสูงที่คอยแนะแนวทางในแก้ไขปัญหากับโครงงานชิ้นนี้อย่างต่อเนื่อง รวมถึงเอื้อเฟื้อสถานที่ในการทำโครงงานเป็นระยะเวลายาวนาน

ขอขอบคุณอาจารย์ธวัชชัย คำศรีที่คอยให้คำปรึกษาตลอดจนเสร็จสิ้นโครงงาน

ขอขอบคุณอาจารย์ทุกท่านที่ให้ความรู้และประสบการณ์ต่างตั้งแต่ปี 1 จนถึงทุกวันนี้

ขอขอบคุณเพื่อนๆที่ให้ความช่วยเหลือแนะนำโปรแกรม และอุปกรณ์ต่างๆที่ใช้ในโครงงานนี้ช่วยให้โครงงานนี้สำเร็จได้ด้วยดี

ขอขอบคุณคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังที่ทำให้คณะผู้จัดทำมาเจอกัน ทำให้เพื่อนๆของคณะผู้จัดทำมาเจอกัน ทำให้อาจารย์ทุกๆท่านมารวมกันและทำให้คณะผู้จัดทำพร้อมที่จะเป็นวิศวกรอย่างภาคภูมิใจ

นาย วัฒนดิษฐ์ ศรีวิไลเลิศ 45015335

นาย ยติวัฒน์ ชัยเรืองพจน์ 45015337

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

เอกสารอ้างอิง

1. ประภาพร ช่างไม้ , คู่มือการเขียนโปรแกรมภาษา C " ฉบับผู้เริ่มต้น " ฉบับ , 323 หน้า , พ.ศ. 2545

2. ณัฏฐพล วงสุนทรชัย และ ชัยวัฒน์ ลิ้มพรจิตรวิไล , " แนะนำการใช้โปรแกรมMPLAB และการทดลองทางซอฟแวร์ของไมโครคอนโทรลเลอร์PIC " , 125 หน้า.

3. ณัฏฐพล วงสุนทรชัย และ ชัยวัฒน์ ลิ้มพรจิตรวิไล , " ปฏิบัติการไมโครคอนโทรลเลอร์ PIC16F87X " , 324 หน้า.

4. ประจิน พลังสันติกุล , " เรียนรู้และใช้งาน CCS C คอมไพล์เลอร์ " , 308 หน้า.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม

```
0000 EF99
GOTO
0002 F02B       (nop)
0x0005732
0004 6AEA
CLRF 0xFEA
0006 0E3B
MOVLW 0x3B
0008 6EE9
MOVWF 0xFE9
000A 50EF
MOVF 0xFEF,W
000C E00F       BZ
0x000002c
000E 0E0C
MOVLW 0xC
0010 6E01
MOVWF 0x1
0012 6A00       CLRF
0x0
0014 2E00
DECFSZ 0x0
0016 D7FE       BRA
0x0000014
0018 2E01
DECFSZ 0x1
001A D7FB       BRA
0x0000012
001C 0EF7
MOVLW 0xF7
001E 6E00
MOVWF 0x0
0020 2E00
DECFSZ 0x0
0022 D7FE       BRA
0x0000020
0024 0000       NOP
0026 0000       NOP
0028 2EEF
DECFSZ 0xFEF
002A D7F1       BRA
0x000000e
002C 0C00
RETLW 0x0
002E 0E00
MOVLW 0x0
0030 6E95
MOVWF 0xF95
0032 C03A
MOVFF
0034 FF8C       (nop)
0x3A,0xF8C
0036 0E02
MOVLW 0x2
0038 6E3B
MOVWF 0x3B
003A DFE4
RCALL 0x0000004
003C 9082       BCF
0xF82,0x0
003E 0E02
MOVLW 0x2
0040 6E3B
MOVWF 0x3B
0042 DFE0
RCALL 0x0000004
0044 8082       BSF
0xF82,0x0
0046 0C00
RETLW 0x0
0048 8082       BSF
0xF82,0x0
004A 8282       BSF
0xF82,0x1
004C 9482       BCF
0xF82,0x2
004E 8484       BSF
0xF84,0x2
0050 9084       BCF
0xF84,0x0
0052 9284       BCF
0xF84,0x1
0054 8080       BSF
0xF80,0x0
0056 9080       BCF
0xF80,0x0
0058 8280       BSF
0xF80,0x1
005A 9280       BCF
0xF80,0x1
005C 900D       BCF
0xD,0x0
005E 0E00
MOVLW 0x0
0060 6E95
MOVWF 0xF95
0062 6A0C
CLRF 0xC
0064 6A0B
CLRF 0xB
0066 520C
MOVF 0xC
0068 A4D8
BTFSS 0xFD8,0x2
006A EF33
GOTO
006C F004       (nop)
0x0000866
006E 500B
MOVF 0xB,W
0070 081D
SUBLW 0x1D
0072 A0D8
BTFSS 0xFD8,0x0
0074 EF33
GOTO
0076 F004       (nop)
0x0000866
0078 6A0A
CLRF 0xA
007A 6A09
CLRF 0x9
007C 520A
MOVF 0xA
007E A4D8
BTFSS 0xFD8,0x2
0080 EF23
GOTO
0082 F004       (nop)
0x0000846
0084 5009
MOVF 0x9,W
0086 082C
SUBLW 0x2C
0088 A0D8
BTFSS 0xFD8,0x0
008A EF23
GOTO
008C F004       (nop)
0x0000846
008E 500B
MOVF 0xB,W
0090 080B
SUBLW 0xB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0312 DE8D
RCALL 0x000002e
0314 800D      BSF
0xD,0x0
0316 500B
MOVF 0xB,W
0318 080D
SUBLW 0xD
031A A4D8
BTFSS 0xFD8,0x2
031C D062      BRA
0x00003e2
031E 520C
MOVF 0xC
0320 A4D8
BTFSS 0xFD8,0x2
0322 D05F      BRA
0x00003e2
0324 5009
MOVF 0x9,W
0326 0804
SUBLW 0x4
0328 E102      BNZ
0x000032e
032A 520A
MOVF 0xA
032C E002      BZ
0x0000332
032E 0E00
MOVLW 0x0
0330 D001      BRA
0x0000334
0332 0E01
MOVLW 0x1
0334 6E0E
MOVWF 0xE
0336 5009
MOVF 0x9,W
0338 0806
SUBLW 0x6
033A E102      BNZ
0x0000340
033C 520A
MOVF 0xA
033E E002      BZ
0x0000344
0340 0E00
MOVLW 0x0
0342 D001      BRA
0x0000346
0344 0E01
MOVLW 0x1
0346 100E
IORWF 0xE,W
0348 0A00
XORLW 0x0
034A E004      BZ
0x0000354
034C 0E01
MOVLW 0x1
034E 6E3A
MOVWF 0x3A
0350 DE6E
RCALL 0x000002e
0352 800D      BSF
0xD,0x0
0354 5009
MOVF 0x9,W
0356 080C
SUBLW 0xC
0358 E102      BNZ
0x000035e
035A 520A
MOVF 0xA
035C E002      BZ
0x0000362
035E 0E00
MOVLW 0x0
0360 D001      BRA
0x0000364
0362 0E01
MOVLW 0x1
0364 6E0E
MOVWF 0xE
0366 5009
MOVF 0x9,W
0368 080D
SUBLW 0xD
036A E102      BNZ
0x0000370
036C 520A
MOVF 0xA
036E E002      BZ
0x0000374
0370 0E00
MOVLW 0x0
0372 D001      BRA
0x0000376
0374 0E01
MOVLW 0x1
0376 100E
IORWF 0xE,W
0378 6E0F
MOVWF 0xF
037A 5009
MOVF 0x9,W
037C 0811
SUBLW 0x11
037E E102      BNZ
0x0000384
0380 520A
MOVF 0xA
0382 E002      BZ
0x0000388
0384 0E00
MOVLW 0x0
0386 D001      BRA
0x000038a
0388 0E01
MOVLW 0x1
038A 100F
IORWF 0xF,W
038C 6E10
MOVWF 0x10
038E 5009
MOVF 0x9,W
0390 0812
SUBLW 0x12
0392 E102      BNZ
0x0000398
0394 520A
MOVF 0xA
0396 E002      BZ
0x000039c
0398 0E00
MOVLW 0x0
039A D001      BRA
0x000039e
039C 0E01
MOVLW 0x1
039E 1010
IORWF 0x10,W
03A0 0A00
XORLW 0x0
03A2 E004      BZ
0x00003ac
03A4 0E02
MOVLW 0x2
03A6 6E3A
MOVWF 0x3A
03A8 DE42
RCALL 0x000002e
03AA 800D      BSF
0xD,0x0
03AC 5009
MOVF 0x9,W
03AE 0816
SUBLW 0x16
03B0 E106      BNZ
0x00003be
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

04F2 100E
IORWF 0xE,W
04F4 0A00
XORLW 0x0
04F6 E004 BZ
0x0000500
04F8 0E01
MOVLW 0x1
04FA 6E3A
MOVWF 0x3A
04FC DD98
RCALL 0x000002e
04FE 800D BSF
0xD,0x0
0500 5009
MOVF 0x9,W
0502 080C
SUBLW 0xC
0504 E102 BNZ
0x000050a
0506 520A
MOVF 0xA
0508 E002 BZ
0x000050e
050A 0E00
MOVLW 0x0
050C D001 BRA
0x0000510
050E 0E01
MOVLW 0x1
0510 6E0E
MOVWF 0xE
0512 5009
MOVF 0x9,W
0514 080E
SUBLW 0xE
0516 E102 BNZ
0x000051c
0518 520A
MOVF 0xA

051A E002 BZ
0x0000520
051C 0E00
MOVLW 0x0
051E D001 BRA
0x0000522
0520 0E01
MOVLW 0x1
0522 100E
IORWF 0xE,W
0524 6E0F
MOVWF 0xF
0526 5009
MOVF 0x9,W
0528 0810
SUBLW 0x10
052A E102 BNZ
0x0000530
052C 520A
MOVF 0xA
052E E002 BZ
0x0000534
0530 0E00
MOVLW 0x0
0532 D001 BRA
0x0000536
0534 0E01
MOVLW 0x1
0536 100F
IORWF 0xF,W
0538 6E10
MOVWF 0x10
053A 5009
MOVF 0x9,W
053C 0812
SUBLW 0x12
053E E102 BNZ
0x0000544
0540 520A
MOVF 0xA

0542 E002 BZ
0x0000548
0544 0E00
MOVLW 0x0
0546 D001 BRA
0x000054a
0548 0E01
MOVLW 0x1
054A 1010
IORWF 0x10,W
054C 0A00
XORLW 0x0
054E E004 BZ
0x0000558
0550 0E02
MOVLW 0x2
0552 6E3A
MOVWF 0x3A
0554 DD6C
RCALL 0x000002e
0556 800D BSF
0xD,0x0
0558 5009
MOVF 0x9,W
055A 0816
SUBLW 0x16
055C E106 BNZ
0x000056a
055E 520A
MOVF 0xA
0560 E104 BNZ
0x000056a
0562 0E03
MOVLW 0x3
0564 6E3A
MOVWF 0x3A
0566 DD63
RCALL 0x000002e
0568 800D BSF
0xD,0x0

056A 5009
MOVF 0x9,W
056C 081B
SUBLW 0x1B
056E E106 BNZ
0x000057c
0570 520A
MOVF 0xA
0572 E104 BNZ
0x000057c
0574 0E04
MOVLW 0x4
0576 6E3A
MOVWF 0x3A
0578 DD5A
RCALL 0x000002e
057A 800D BSF
0xD,0x0
057C 5009
MOVF 0x9,W
057E 0820
SUBLW 0x20
0580 E106 BNZ
0x000058e
0582 520A
MOVF 0xA
0584 E104 BNZ
0x000058e
0586 0E05
MOVLW 0x5
0588 6E3A
MOVWF 0x3A
058A DD51
RCALL 0x000002e
058C 800D BSF
0xD,0x0
058E 500B
MOVF 0xB,W
0590 0810
SUBLW 0x10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

03B2 520A
MOVF 0xA
03B4 E104 BNZ
0x00003be
03B6 0E03
MOVLW 0x3
03B8 6E3A
MOVWF 0x3A
03BA DE39
RCALL 0x000002e
03BC 800D BSF
0xD,0x0
03BE 5009
MOVF 0x9,W
03C0 081B
SUBLW 0x1B
03C2 E106 BNZ
0x00003d0
03C4 520A
MOVF 0xA
03C6 E104 BNZ
0x00003d0
03C8 0E04
MOVLW 0x4
03CA 6E3A
MOVWF 0x3A
03CC DE30
RCALL 0x000002e
03CE 800D BSF
0xD,0x0
03D0 5009
MOVF 0x9,W
03D2 0820
SUBLW 0x20
03D4 E106 BNZ
0x00003e2
03D6 520A
MOVF 0xA
03D8 E104 BNZ
0x00003e2

03DA 0E05
MOVLW 0x5
03DC 6E3A
MOVWF 0x3A
03DE DE27
RCALL 0x000002e
03E0 800D BSF
0xD,0x0
03E2 500B
MOVF 0xB,W
03E4 080E
SUBLW 0xE
03E6 A4D8
BTFSS 0xFD8,0x2
03E8 D06C BRA
0x00004c2
03EA 520C
MOVF 0xC
03EC A4D8
BTFSS 0xFD8,0x2
03EE D069 BRA
0x00004c2
03F0 5009
MOVF 0x9,W
03F2 0804
SUBLW 0x4
03F4 E102 BNZ
0x00003fa
03F6 520A
MOVF 0xA
03F8 E002 BZ
0x00003fe
03FA 0E00
MOVLW 0x0
03FC D001 BRA
0x0000400
03FE 0E01
MOVLW 0x1
0400 6E0E
MOVWF 0xE

0402 5009
MOVF 0x9,W
0404 0805
SUBLW 0x5
0406 E102 BNZ
0x000040c
0408 520A
MOVF 0xA
040A E002 BZ
0x0000410
040C 0E00
MOVLW 0x0
040E D001 BRA
0x0000412
0410 0E01
MOVLW 0x1
0412 100E
IORWF 0xE,W
0414 6E0F
MOVWF 0xF
0416 5009
MOVF 0x9,W
0418 0806
SUBLW 0x6
041A E102 BNZ
0x0000420
041C 520A
MOVF 0xA
041E E002 BZ
0x0000424
0420 0E00
MOVLW 0x0
0422 D001 BRA
0x0000426
0424 0E01
MOVLW 0x1
0426 100F
IORWF 0xF,W
0428 0A00
XORLW 0x0

042A E004 BZ
0x0000434
042C 0E01
MOVLW 0x1
042E 6E3A
MOVWF 0x3A
0430 DDFE
RCALL 0x000002e
0432 800D BSF
0xD,0x0
0434 5009
MOVF 0x9,W
0436 080C
SUBLW 0xC
0438 E102 BNZ
0x000043e
043A 520A
MOVF 0xA
043C E002 BZ
0x0000442
043E 0E00
MOVLW 0x0
0440 D001 BRA
0x0000444
0442 0E01
MOVLW 0x1
0444 6E0E
MOVWF 0xE
0446 5009
MOVF 0x9,W
0448 080E
SUBLW 0xE
044A E102 BNZ
0x0000450
044C 520A
MOVF 0xA
044E E002 BZ
0x0000454
0450 0E00
MOVLW 0x0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

06D2 800D BSF
0xD,0x0
06D4 5009
MOVF 0x9,W
06D6 080B
SUBLW 0xB
06D8 E102 BNZ
0x00006de
06DA 520A
MOVF 0xA
06DC E002 BZ
0x00006e2
06DE 0E00
MOVLW 0x0
06E0 D001 BRA
0x00006e4
06E2 0E01
MOVLW 0x1
06E4 6E0E
MOVWF 0xE
06E6 5009
MOVF 0x9,W
06E8 080C
SUBLW 0xC
06EA E102 BNZ
0x00006f0
06EC 520A
MOVF 0xA
06EE E002 BZ
0x00006f4
06F0 0E00
MOVLW 0x0
06F2 D001 BRA
0x00006f6
06F4 0E01
MOVLW 0x1
06F6 100E
IORWF 0xE,W
06F8 6E0F
MOVWF 0xF

06FA 5009
MOVF 0x9,W
06FC 080D
SUBLW 0xD
06FE E102 BNZ
0x0000704
0700 520A
MOVF 0xA
0702 E002 BZ
0x0000708
0704 0E00
MOVLW 0x0
0706 D001 BRA
0x000070a
0708 0E01
MOVLW 0x1
070A 100F
IORWF 0xF,W
070C 6E10
MOVWF 0x10
070E 5009
MOVF 0x9,W
0710 080F
SUBLW 0xF
0712 E102 BNZ
0x0000718
0714 520A
MOVF 0xA
0716 E002 BZ
0x000071c
0718 0E00
MOVLW 0x0
071A D001 BRA
0x000071e
071C 0E01
MOVLW 0x1
071E 1010
IORWF 0x10,W
0720 6E11
MOVWF 0x11

0722 5009
MOVF 0x9,W
0724 0811
SUBLW 0x11
0726 E102 BNZ
0x000072c
0728 520A
MOVF 0xA
072A E002 BZ
0x0000730
072C 0E00
MOVLW 0x0
072E D001 BRA
0x0000732
0730 0E01
MOVLW 0x1
0732 1011
IORWF 0x11,W
0734 6E12
MOVWF 0x12
0736 5009
MOVF 0x9,W
0738 0812
SUBLW 0x12
073A E102 BNZ
0x0000740
073C 520A
MOVF 0xA
073E E002 BZ
0x0000744
0740 0E00
MOVLW 0x0
0742 D001 BRA
0x0000746
0744 0E01
MOVLW 0x1
0746 1012
IORWF 0x12,W
0748 6E13
MOVWF 0x13

074A 5009
MOVF 0x9,W
074C 0813
SUBLW 0x13
074E E102 BNZ
0x0000754
0750 520A
MOVF 0xA
0752 E002 BZ
0x0000758
0754 0E00
MOVLW 0x0
0756 D001 BRA
0x000075a
0758 0E01
MOVLW 0x1
075A 1013
IORWF 0x13,W
075C 0A00
XORLW 0x0
075E E004 BZ
0x0000768
0760 0E02
MOVLW 0x2
0762 6E3A
MOVWF 0x3A
0764 DC64
RCALL 0x000002e
0766 800D BSF
0xD,0x0
0768 5009
MOVF 0x9,W
076A 0815
SUBLW 0x15
076C E102 BNZ
0x0000772
076E 520A
MOVF 0xA
0770 E002 BZ
0x0000776

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

08B2 EC02
CALL
08B4 F000 (nop)
0x0000004
08B6 0E14
MOVLW 0x14
08B8 6E0A
MOVWF 0xA
08BA DFD9
RCALL 0x000086e
08BC 6A05
CLRF 0x5
08BE 5005
MOVF 0x5,W
08C0 0801
SUBLW 0x1
08C2 A0D8
BTFSS 0xFD8,0x0
08C4 EF7F
GOTO
08C6 F023 (nop)
0x00046fe
08C8 9E81 BCF
0xF81,0x7
08CA 0E09
MOVLW 0x9
08CC 6E00
MOVWF 0x0
08CE 2E00
DECFSZ 0x0
08D0 D7FE BRA
0x00008ce
08D2 0000 NOP
08D4 0000 NOP
08D6 0E02
MOVLW 0x2
08D8 6E00
MOVWF 0x0
08DA 2E00
DECFSZ 0x0
08DC D7FE
BRA 0x00008da
08DE 8E81 BSF
0xF81,0x7
08E0 0E06
MOVLW 0x6
08E2 6E00
MOVWF 0x0
08E4 2E00
DECFSZ 0x0
08E6 D7FE BRA
0x00008e4
08E8 0000 NOP
08EA 9080 BCF
0xF80,0x0
08EC 8682 BSF
0xF82,0x3
08EE 0E53
MOVLW 0x53
08F0 6E00
MOVWF 0x0
08F2 2E00
DECFSZ 0x0
08F4 D7FE BRA
0x00008f2
08F6 0000 NOP
08F8 0000 NOP
08FA 0000 NOP
08FC 0000 NOP
08FE 9682 BCF
0xF82,0x3
0900 8080 BSF
0xF80,0x0
0902 0E02
MOVLW 0x2
0904 6E00
MOVWF 0x0
0906 2E00
DECFSZ 0x0
0908 D7FE BRA
0x0000906
090A 9E81 BCF
0xF81,0x7
090C 0E09
MOVLW 0x9
090E 6E00
MOVWF 0x0
0910 2E00
DECFSZ 0x0
0912 D7FE BRA
0x0000910
0914 0000 NOP
0916 0000 NOP
0918 0E02
MOVLW 0x2
091A 6E00
MOVWF 0x0
091C 2E00
DECFSZ 0x0
091E D7FE BRA
0x000091c
0920 8E81 BSF
0xF81,0x7
0922 0E06
MOVLW 0x6
0924 6E00
MOVWF 0x0
0926 2E00
DECFSZ 0x0
0928 D7FE BRA
0x0000926
092A 0000 NOP
092C 9080 BCF
0xF80,0x0
092E 8682 BSF
0xF82,0x3
0930 0E53
MOVLW 0x53
0932 6E00
MOVWF 0x0
0934 2E00
DECFSZ 0x0
0936 D7FE BRA
0x0000934
0938 0000 NOP
093A 0000 NOP
093C 0000 NOP
093E 0000 NOP
0940 9682 BCF
0xF82,0x3
0942 8080 BSF
0xF80,0x0
0944 0E02
MOVLW 0x2
0946 6E00
MOVWF 0x0
0948 2E00
DECFSZ 0x0
094A D7FE BRA
0x0000948
094C 9E81 BCF
0xF81,0x7
094E 0E09
MOVLW 0x9
0950 6E00
MOVWF 0x0
0952 2E00
DECFSZ 0x0
0954 D7FE BRA
0x0000952
0956 0000 NOP
0958 0000 NOP
095A 0E02
MOVLW 0x2
095C 6E00
MOVWF 0x0
095E 2E00
DECFSZ 0x0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC16F87X

28/40-Pin 8-Bit CMOS FLASH Microcontrollers

Devices Included in this Data Sheet:

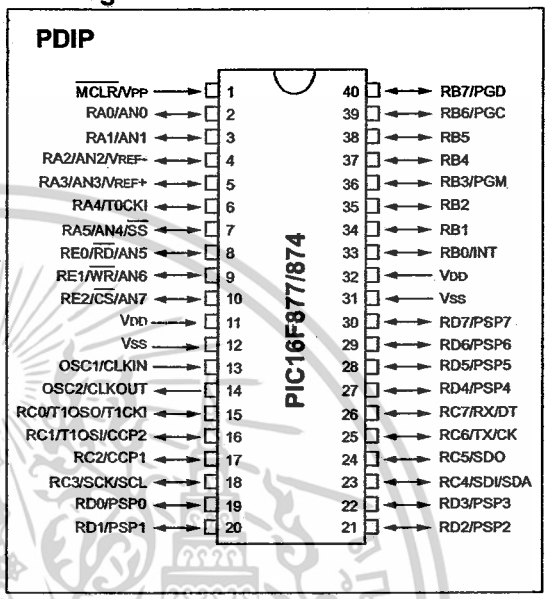
- PIC16F873
- PIC16F874
- PIC16F876
- PIC16F877

Microcontroller Core Features:

- High performance RISC CPU
- Only 35 single word instructions to learn
- All single cycle instructions except for program branches which are two cycle
- Operating speed: DC - 20 MHz clock input
  DC - 200 ns instruction cycle
- Up to 8K x 14 words of FLASH Program Memory,
  Up to 368 x 8 bytes of Data Memory (RAM)
  Up to 256 x 8 bytes of EEPROM Data Memory
- Pinout compatible to the PIC16C73B/74B/76/77
- Interrupt capability (up to 14 sources)
- Eight level deep hardware stack
- Direct, indirect and relative addressing modes
- Power-on Reset (POR)
- Power-up Timer (PWRT) and
  Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code protection
- Power saving SLEEP mode
- Selectable oscillator options
- Low power, high speed CMOS FLASH/EEPROM technology
- Fully static design
- In-Circuit Serial Programming™ (ICSP) via two pins
- Single 5V In-Circuit Serial Programming capability
- In-Circuit Debugging via two pins
- Processor read/write access to program memory
- Wide operating voltage range: 2.0V to 5.5V
- High Sink/Source Current: 25 mA
- Commercial, Industrial and Extended temperature ranges
- Low-power consumption:
  - < 0.6 mA typical @ 3V, 4 MHz
  - 20 µA typical @ 3V, 32 kHz
  - < 1 µA typical standby current

Pin Diagram

PDIP



Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during SLEEP via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
  - Capture is 16-bit, max. resolution is 12.5 ns
  - Compare is 16-bit, max. resolution is 200 ns
  - PWM max. resolution is 10-bit
- 10-bit multi-channel Analog-to-Digital converter
- Synchronous Serial Port (SSP) with SPI™ (Master mode) and I²C™ (Master/Slave)
- Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) 8-bits wide, with external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 I/O PORTS

Some pins for these I/O ports are multiplexed with an alternate function for the peripheral features on the device. In general, when a peripheral is enabled, that pin may not be used as a general purpose I/O pin.

Additional information on I/O ports may be found in the PICmicro™ Mid-Range Reference Manual, (DS33023).

3.1 PORTA and the TRISA Register

PORTA is a 6-bit wide, bi-directional port. The corresponding data direction register is TRISA. Setting a TRISA bit (= 1) will make the corresponding PORTA pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISA bit (= 0) will make the corresponding PORTA pin an output (i.e., put the contents of the output latch on the selected pin).

Reading the PORTA register reads the status of the pins, whereas writing to it will write to the port latch. All write operations are read-modify-write operations. Therefore, a write to a port implies that the port pins are read, the value is modified and then written to the port data latch.

Pin RA4 is multiplexed with the Timer0 module clock input to become the RA4/T0CKI pin. The RA4/T0CKI pin is a Schmitt Trigger input and an open drain output. All other PORTA pins have TTL input levels and full CMOS output drivers.

Other PORTA pins are multiplexed with analog inputs and analog VREF input. The operation of each pin is selected by clearing/setting the control bits in the ADCON1 register (A/D Control Register1).

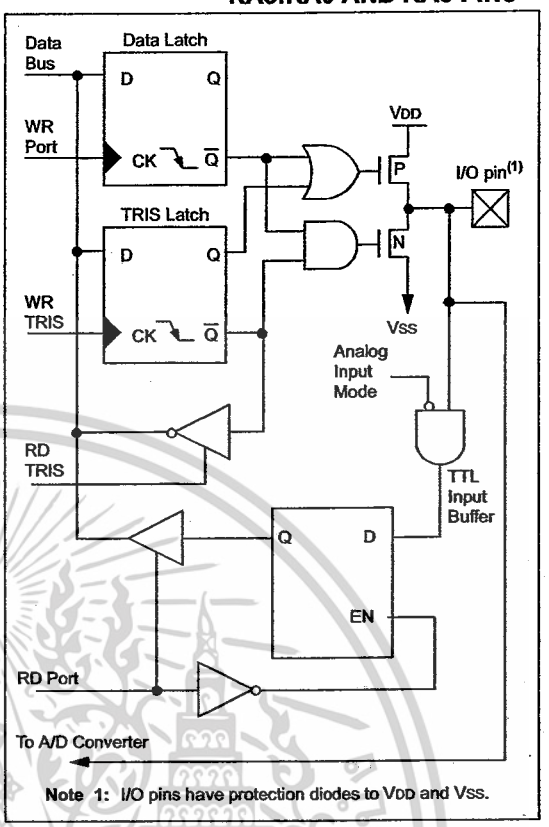
Note:	On a Power-on Reset, these pins are configured as analog inputs and read as '0'.

The TRISA register controls the direction of the RA pins, even when they are being used as analog inputs. The user must ensure the bits in the TRISA register are maintained set when using them as analog inputs.

EXAMPLE 3-1: INITIALIZING PORTA

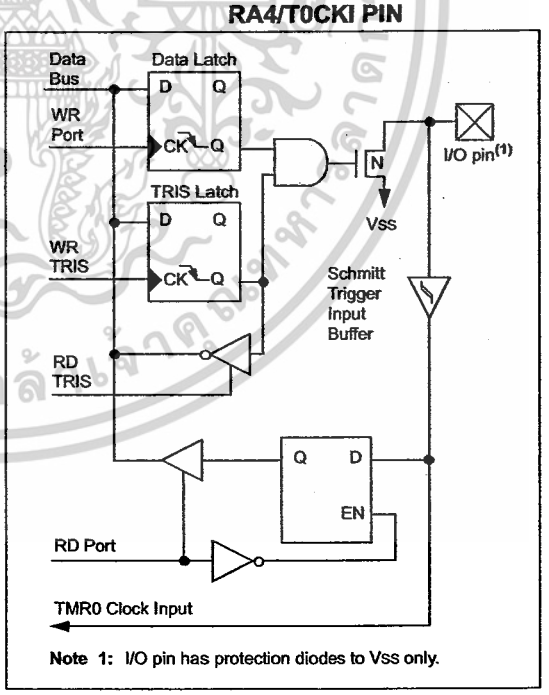
```
BCF     STATUS, RP0   ;
BCF     STATUS, RP1   ; Bank0
CLRF    PORTA         ; Initialize PORTA by
                      ; clearing output
                      ; data latches
BSF     STATUS, RP0   ; Select Bank 1
MOVLW   0x06          ; Configure all pins
MOVWF   ADCON1        ; as digital inputs
MOVLW   0xCF          ; Value used to
                      ; initialize data
                      ; direction
MOVWF   TRISA         ; Set RA<3:0> as inputs
                      ; RA<5:4> as outputs
                      ; TRISA<7:6>are always
                      ; read as '0'.
```

FIGURE 3-1: BLOCK DIAGRAM OF RA3:RA0 AND RA5 PINS



Note 1: I/O pins have protection diodes to VDD and VSS.

FIGURE 3-2: BLOCK DIAGRAM OF RA4/T0CKI PIN



Note 1: I/O pin has protection diodes to VSS only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3-1: PORTA FUNCTIONS

Name	Bit#	Buffer	Function
RA0/AN0	bit0	TTL	Input/output or analog input.
RA1/AN1	bit1	TTL	Input/output or analog input.
RA2/AN2	bit2	TTL	Input/output or analog input.
RA3/AN3/VREF	bit3	TTL	Input/output or analog input or VREF.
RA4/T0CKI	bit4	ST	Input/output or external clock input for Timer0. Output is open drain type.
RA5/$\overline{SS}$/AN4	bit5	TTL	Input/output or slave select input for synchronous serial port or analog input.

Legend: TTL = TTL input, ST = Schmitt Trigger input

TABLE 3-2: SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'.
Shaded cells are not used by PORTA.

Note: When using the SSP module in SPI Slave mode and $\overline{SS}$ enabled, the A/D converter must be set to one of the following modes, where PCFG3:PCFG0 = 0100, 0101, 011x, 1101, 1110, 1111.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

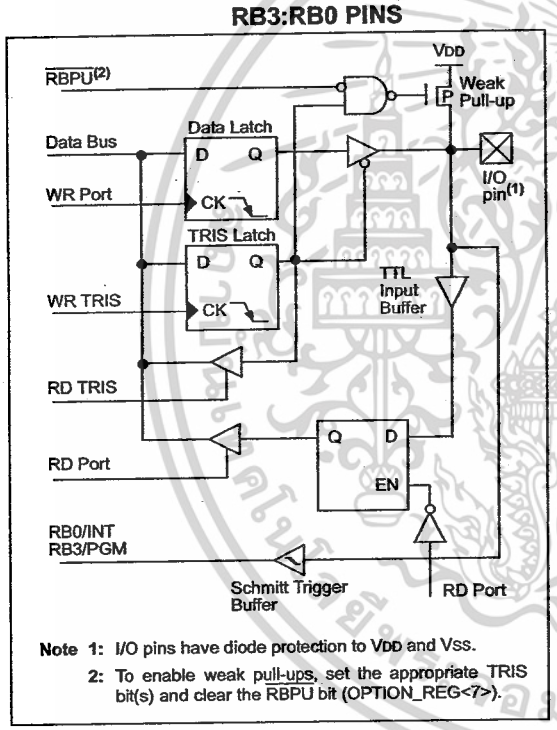
3.2 PORTB and the TRISB Register

PORTB is an 8-bit wide, bi-directional port. The corresponding data direction register is TRISB. Setting a TRISB bit (= 1) will make the corresponding PORTB pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISB bit (= 0) will make the corresponding PORTB pin an output (i.e., put the contents of the output latch on the selected pin).

Three pins of PORTB are multiplexed with the Low Voltage Programming function: RB3/PGM, RB6/PGC and RB7/PGD. The alternate functions of these pins are described in the Special Features Section.

Each of the PORTB pins has a weak internal pull-up. A single control bit can turn on all the pull-ups. This is performed by clearing bit $\overline{\text{RBPU}}$ (OPTION_REG<7>). The weak pull-up is automatically turned off when the port pin is configured as an output. The pull-ups are disabled on a Power-on Reset.

FIGURE 3-3: BLOCK DIAGRAM OF RB3:RB0 PINS



Note 1: I/O pins have diode protection to VDD and VSS.
2: To enable weak pull-ups, set the appropriate TRIS bit(s) and clear the $\overline{\text{RBPU}}$ bit (OPTION_REG<7>).

Four of the PORTB pins, RB7:RB4, have an interrupt-on-change feature. Only pins configured as inputs can cause this interrupt to occur (i.e., any RB7:RB4 pin configured as an output is excluded from the interrupt-on-change comparison). The input pins (of RB7:RB4) are compared with the old value latched on the last read of PORTB. The "mismatch" outputs of RB7:RB4 are OR'ed together to generate the RB Port Change Interrupt with flag bit RBIF (INTCON<0>).

This interrupt can wake the device from SLEEP. The user, in the Interrupt Service Routine, can clear the interrupt in the following manner:

a) Any read or write of PORTB. This will end the mismatch condition.

b) Clear flag bit RBIF.

A mismatch condition will continue to set flag bit RBIF. Reading PORTB will end the mismatch condition and allow flag bit RBIF to be cleared.

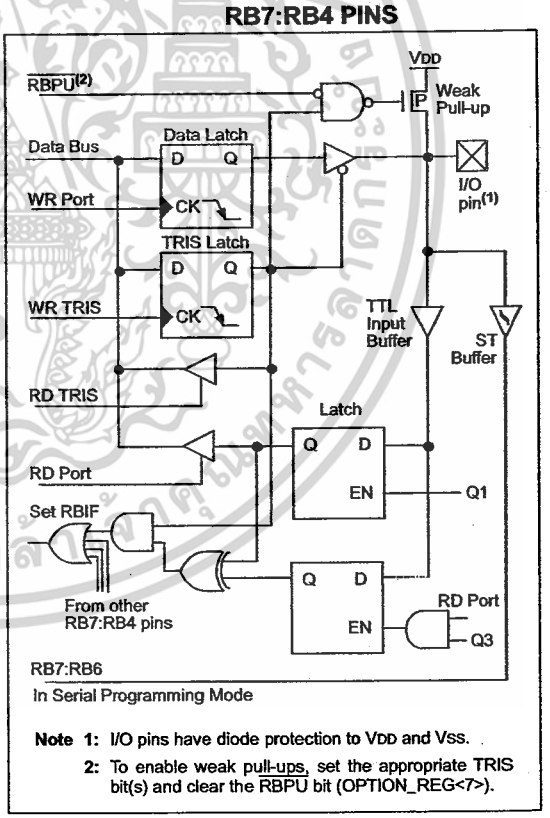
The interrupt-on-change feature is recommended for wake-up on key depression operation and operations where PORTB is only used for the interrupt-on-change feature. Polling of PORTB is not recommended while using the interrupt-on-change feature.

This interrupt-on-mismatch feature, together with software configureable pull-ups on these four pins, allow easy interface to a keypad and make it possible for wake-up on key depression. Refer to the Embedded Control Handbook, *"Implementing Wake-up on Key Strokes"* (AN552).

RB0/INT is an external interrupt input pin and is configured using the INTEDG bit (OPTION_REG<6>).

RB0/INT is discussed in detail in Section 12.10.1.

FIGURE 3-4: BLOCK DIAGRAM OF RB7:RB4 PINS



Note 1: I/O pins have diode protection to VDD and VSS.
2: To enable weak pull-ups, set the appropriate TRIS bit(s) and clear the $\overline{\text{RBPU}}$ bit (OPTION_REG<7>).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3-3: PORTB FUNCTIONS

Name	Bit#	Buffer	Function
RB0/INT	bit0	TTL/ST(1)	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3/PGM(3)	bit3	TTL	Input/output pin or programming pin in LVP mode. Internal software programmable weak pull-up.
RB4	bit4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6/PGC	bit6	TTL/ST(2)	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming clock.
RB7/PGD	bit7	TTL/ST(2)	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.

2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.

3: Low Voltage ICSP Programming (LVP) is enabled by default, which disables the RB3 I/O function. LVP must be disabled to enable RB3 as an I/O pin and allow maximum compatibility to the other 28-pin and 40-pin mid-range devices.

TABLE 3-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 PORTC and the TRISC Register

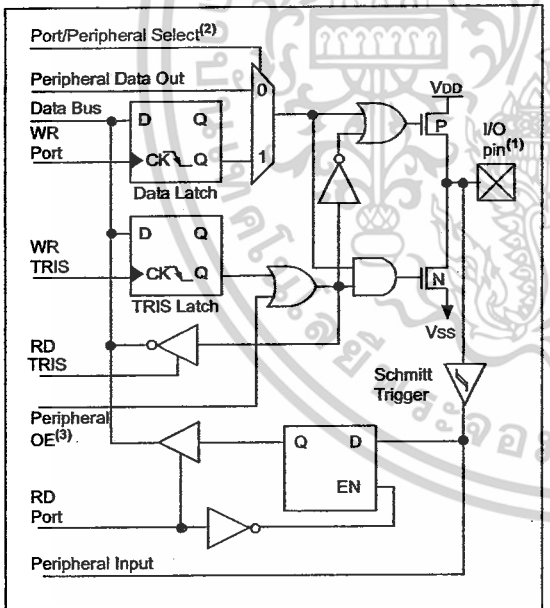
PORTC is an 8-bit wide, bi-directional port. The corresponding data direction register is TRISC. Setting a TRISC bit (= 1) will make the corresponding PORTC pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISC bit (= 0) will make the corresponding PORTC pin an output (i.e., put the contents of the output latch on the selected pin).

PORTC is multiplexed with several peripheral functions (Table 3-5). PORTC pins have Schmitt Trigger input buffers.

When the I^2C module is enabled, the PORTC<4:3> pins can be configured with normal I^2C levels, or with SMBus levels by using the CKE bit (SSPSTAT<6>).

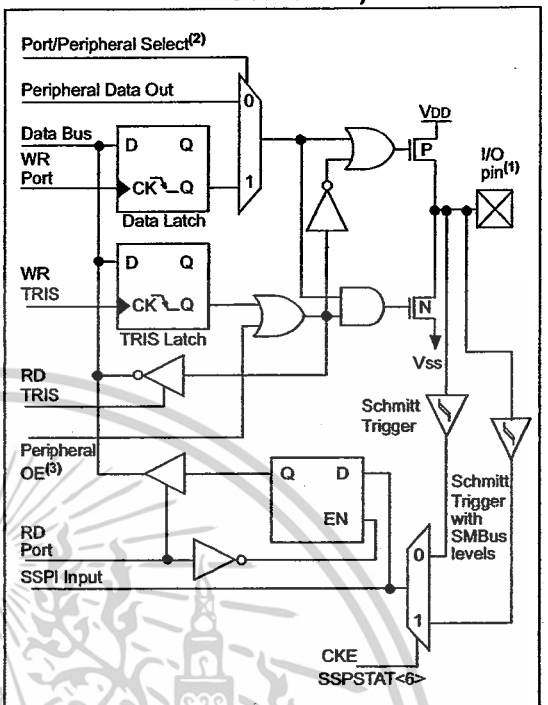
When enabling peripheral functions, care should be taken in defining TRIS bits for each PORTC pin. Some peripherals override the TRIS bit to make a pin an output, while other peripherals override the TRIS bit to make a pin an input. Since the TRIS bit override is in effect while the peripheral is enabled, read-modify-write instructions (`BSF`, `BCF`, `XORWF`) with TRISC as destination, should be avoided. The user should refer to the corresponding peripheral section for the correct TRIS bit settings.

FIGURE 3-5: PORTC BLOCK DIAGRAM (PERIPHERAL OUTPUT OVERRIDE) RC<2:0>, RC<7:5>



Note 1: I/O pins have diode protection to VDD and Vss.
2: Port/Peripheral select signal selects between port data and peripheral output.
3: Peripheral OE (output enable) is only activated if peripheral select is active.

FIGURE 3-6: PORTC BLOCK DIAGRAM (PERIPHERAL OUTPUT OVERRIDE) RC<4:3>



Note 1: I/O pins have diode protection to VDD and Vss.
2: Port/Peripheral select signal selects between port data and peripheral output.
3: Peripheral OE (output enable) is only activated if peripheral select is active.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3-5: PORTC FUNCTIONS

Name	Bit#	Buffer Type	Function
RC0/T1OSO/T1CKI	bit0	ST	Input/output port pin or Timer1 oscillator output/Timer1 clock input.
RC1/T1OSI/CCP2	bit1	ST	Input/output port pin or Timer1 oscillator input or Capture2 input/ Compare2 output/PWM2 output.
RC2/CCP1	bit2	ST	Input/output port pin or Capture1 input/Compare1 output/ PWM1 output.
RC3/SCK/SCL	bit3	ST	RC3 can also be the synchronous serial clock for both SPI and I^2C modes.
RC4/SDI/SDA	bit4	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I^2C mode).
RC5/SDO	bit5	ST	Input/output port pin or Synchronous Serial Port data output.
RC6/TX/CK	bit6	ST	Input/output port pin or USART Asynchronous Transmit or Synchronous Clock.
RC7/RX/DT	bit7	ST	Input/output port pin or USART Asynchronous Receive or Synchronous Data.

Legend: ST = Schmitt Trigger input

TABLE 3-6: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111

Legend: x = unknown, u = unchanged

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 PORTD and TRISD Registers

PORTD and TRISD are not implemented on the PIC16F873 or PIC16F876.

PORTD is an 8-bit port with Schmitt Trigger input buffers. Each pin is individually configureable as an input or output.

PORTD can be configured as an 8-bit wide microprocessor port (parallel slave port) by setting control bit PSPMODE (TRISE<4>). In this mode, the input buffers are TTL.

FIGURE 3-7: PORTD BLOCK DIAGRAM (IN I/O PORT MODE)

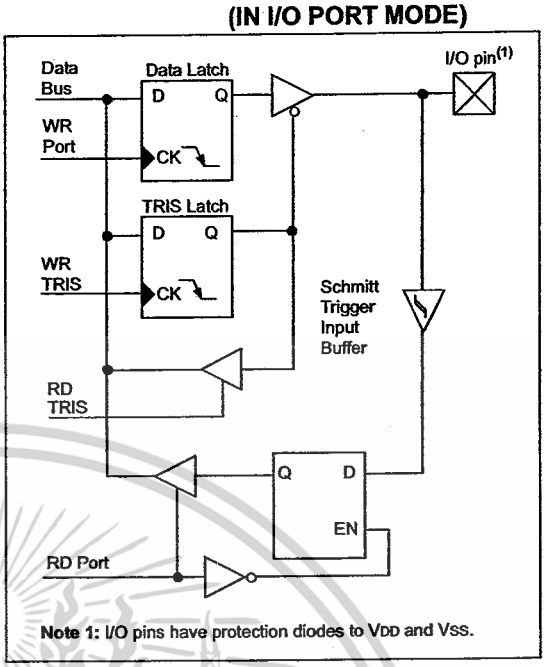


TABLE 3-7: PORTD FUNCTIONS

Name	Bit#	Buffer Type	Function
RD0/PSP0	bit0	ST/TTL(1)	Input/output port pin or parallel slave port bit0.
RD1/PSP1	bit1	ST/TTL(1)	Input/output port pin or parallel slave port bit1.
RD2/PSP2	bit2	ST/TTL(1)	Input/output port pin or parallel slave port bit2.
RD3/PSP3	bit3	ST/TTL(1)	Input/output port pin or parallel slave port bit3.
RD4/PSP4	bit4	ST/TTL(1)	Input/output port pin or parallel slave port bit4.
RD5/PSP5	bit5	ST/TTL(1)	Input/output port pin or parallel slave port bit5.
RD6/PSP6	bit6	ST/TTL(1)	Input/output port pin or parallel slave port bit6.
RD7/PSP7	bit7	ST/TTL(1)	Input/output port pin or parallel slave port bit7.

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

TABLE 3-8: SUMMARY OF REGISTERS ASSOCIATED WITH PORTD

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 PORTE and TRISE Register

PORTE and TRISE are not implemented on the PIC16F873 or PIC16F876.

PORTE has three pins (RE0/$\overline{RD}$/AN5, RE1/$\overline{WR}$/AN6, and RE2/$\overline{CS}$/AN7) which are individually configureable as inputs or outputs. These pins have Schmitt Trigger input buffers.

The PORTE pins become the I/O control inputs for the microprocessor port when bit PSPMODE (TRISE<4>) is set. In this mode, the user must make certain that the TRISE<2:0> bits are set, and that the pins are configured as digital inputs. Also ensure that ADCON1 is configured for digital I/O. In this mode, the input buffers are TTL.

Register 3-1 shows the TRISE register, which also controls the parallel slave port operation.

PORTE pins are multiplexed with analog inputs. When selected for analog input, these pins will read as '0's.

TRISE controls the direction of the RE pins, even when they are being used as analog inputs. The user must make sure to keep the pins configured as inputs when using them as analog inputs.

Note: On a Power-on Reset, these pins are configured as analog inputs, and read as '0'.

FIGURE 3-8: PORTE BLOCK DIAGRAM (IN I/O PORT MODE)

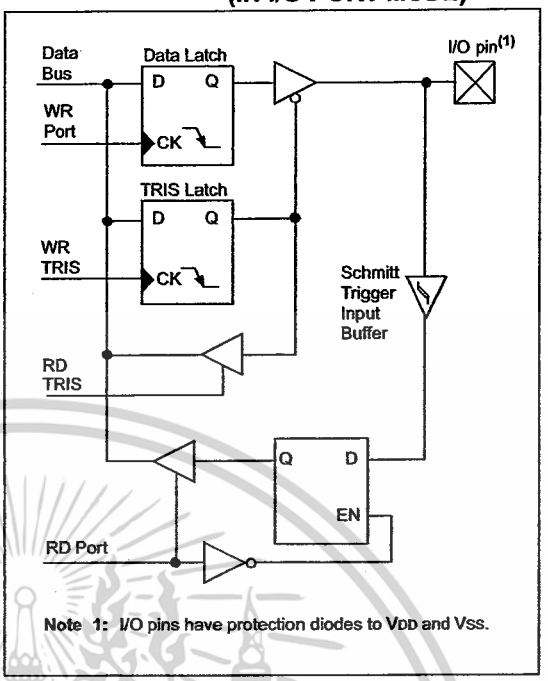


TABLE 3-9: PORTE FUNCTIONS

Name	Bit#	Buffer Type	Function
RE0/$\overline{RD}$/AN5	bit0	ST/TTL(1)	I/O port pin or read control input in Parallel Slave Port mode or analog input: $\overline{RD}$ 1 = Idle 0 = Read operation. Contents of PORTD register are output to PORTD I/O pins (if chip selected)
RE1/$\overline{WR}$/AN6	bit1	ST/TTL(1)	I/O port pin or write control input in Parallel Slave Port mode or analog input: $\overline{WR}$ 1 = Idle 0 = Write operation. Value of PORTD I/O pins is latched into PORTD register (if chip selected)
RE2/$\overline{CS}$/AN7	bit2	ST/TTL(1)	I/O port pin or chip select control input in Parallel Slave Port mode or analog input: $\overline{CS}$ 1 = Device is not selected 0 = Device is selected

Legend: ST = Schmitt Trigger input, TTL = TTL input
Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

TABLE 3-10: SUMMARY OF REGISTERS ASSOCIATED WITH PORTE

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTE.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTER 3-1: TRISE REGISTER (ADDRESS 89h)

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1
IBF	OBF	IBOV	PSPMODE	—	Bit2	Bit1	Bit0
bit 7							bit 0

Parallel Slave Port Status/Control Bits:

bit 7 **IBF:** Input Buffer Full Status bit
1 = A word has been received and is waiting to be read by the CPU
0 = No word has been received

bit 6 **OBF:** Output Buffer Full Status bit
1 = The output buffer still holds a previously written word
0 = The output buffer has been read

bit 5 **IBOV:** Input Buffer Overflow Detect bit (in Microprocessor mode)
1 = A write occurred when a previously input word has not been read (must be cleared in software)
0 = No overflow occurred

bit 4 **PSPMODE:** Parallel Slave Port Mode Select bit
1 = PORTD functions in Parallel Slave Port mode
0 = PORTD functions in general purpose I/O mode

bit 3 **Unimplemented:** Read as '0'

PORTE Data Direction Bits:

bit 2 **Bit2:** Direction Control bit for pin RE2/$\overline{CS}$/AN7
1 = Input
0 = Output

bit 1 **Bit1:** Direction Control bit for pin RE1/$\overline{WR}$/AN6
1 = Input
0 = Output

bit 0 **Bit0:** Direction Control bit for pin RE0/$\overline{RD}$/AN5
1 = Input
0 = Output

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 Parallel Slave Port

The Parallel Slave Port (PSP) is not implemented on the PIC16F873 or PIC16F876.

PORTD operates as an 8-bit wide Parallel Slave Port or microprocessor port, when control bit PSPMODE (TRISE<4>) is set. In Slave mode, it is asynchronously readable and writable by the external world through $\overline{RD}$ control input pin RE0/$\overline{RD}$ and $\overline{WR}$ control input pin RE1/$\overline{WR}$.

The PSP can directly interface to an 8-bit microprocessor data bus. The external microprocessor can read or write the PORTD latch as an 8-bit latch. Setting bit PSPMODE enables port pin RE0/$\overline{RD}$ to be the $\overline{RD}$ input, RE1/$\overline{WR}$ to be the $\overline{WR}$ input and RE2/$\overline{CS}$ to be the $\overline{CS}$ (chip select) input. For this functionality, the corresponding data direction bits of the TRISE register (TRISE<2:0>) must be configured as inputs (set). The A/D port configuration bits PCFG3:PCFG0 (ADCON1<3:0>) must be set to configure pins RE2:RE0 as digital I/O.

There are actually two 8-bit latches: one for data output, and one for data input. The user writes 8-bit data to the PORTD data latch and reads data from the port pin latch (note that they have the same address). In this mode, the TRISD register is ignored, since the external device is controlling the direction of data flow.

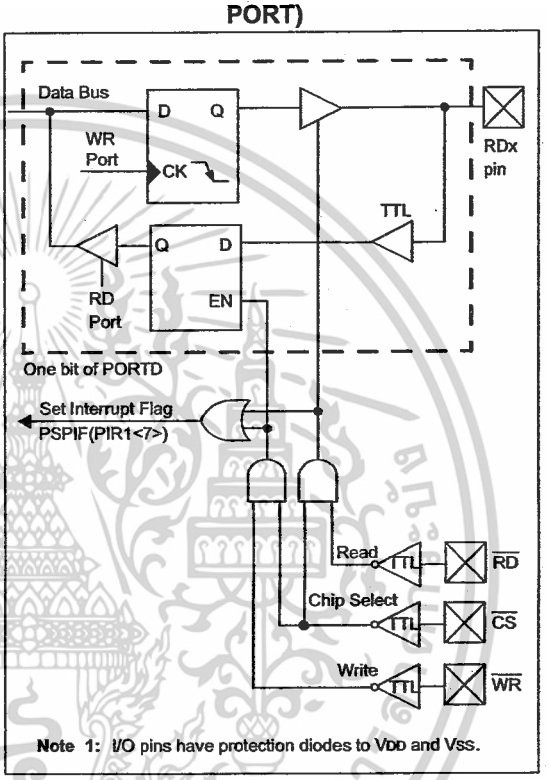
A write to the PSP occurs when both the $\overline{CS}$ and $\overline{WR}$ lines are first detected low. When either the $\overline{CS}$ or $\overline{WR}$ lines become high (level triggered), the Input Buffer Full (IBF) status flag bit (TRISE<7>) is set on the Q4 clock cycle, following the next Q2 cycle, to signal the write is complete (Figure 3-10). The interrupt flag bit PSPIF (PIR1<7>) is also set on the same Q4 clock cycle. IBF can only be cleared by reading the PORTD input latch. The Input Buffer Overflow (IBOV) status flag bit (TRISE<5>) is set if a second write to the PSP is attempted when the previous byte has not been read out of the buffer.

A read from the PSP occurs when both the $\overline{CS}$ and $\overline{RD}$ lines are first detected low. The Output Buffer Full (OBF) status flag bit (TRISE<6>) is cleared immediately (Figure 3-11), indicating that the PORTD latch is waiting to be read by the external bus. When either the $\overline{CS}$ or $\overline{RD}$ pin becomes high (level triggered), the interrupt flag bit PSPIF is set on the Q4 clock cycle, following the next Q2 cycle, indicating that the read is complete. OBF remains low until data is written to PORTD by the user firmware.

When not in PSP mode, the IBF and OBF bits are held clear. However, if flag bit IBOV was previously set, it must be cleared in firmware.

An interrupt is generated and latched into flag bit PSPIF when a read or write operation is completed. PSPIF must be cleared by the user in firmware and the interrupt can be disabled by clearing the interrupt enable bit PSPIE (PIE1<7>).

FIGURE 3-9: PORTD AND PORTE BLOCK DIAGRAM (PARALLEL SLAVE PORT)



© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3-10: PARALLEL SLAVE PORT WRITE WAVEFORMS

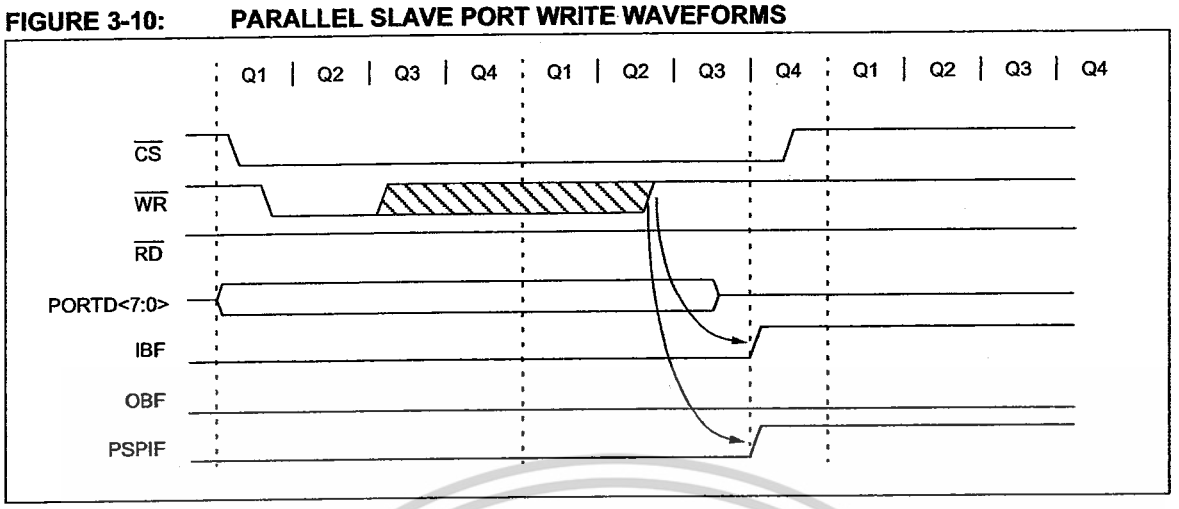


FIGURE 3-11: PARALLEL SLAVE PORT READ WAVEFORMS

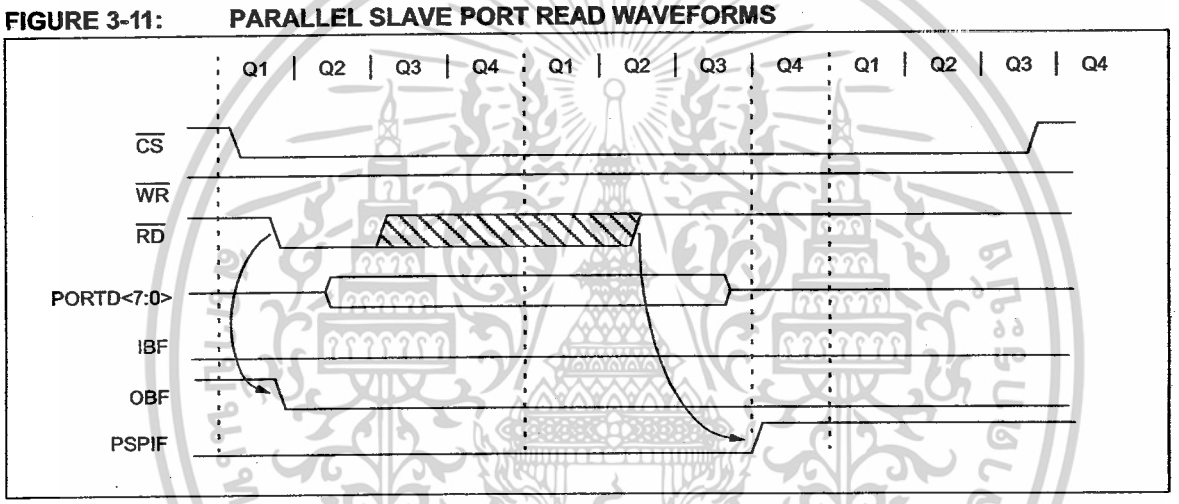


TABLE 3-11: REGISTERS ASSOCIATED WITH PARALLEL SLAVE PORT

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	Port Data Latch when written: Port pins when read								xxxx xxxx	uuuu uuuu
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
0Ch	PIR1	PSPIF(1)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by the Parallel Slave Port.
Note 1: Bits PSPIE and PSPIF are reserved on the PIC16F873/876; always maintain these bits clear.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Document Title

128Kx8 bit Low Power CMOS Static RAM

Revision History

Revision No.	History	Draft Data	Remark
0.0	Initial draft	July 15, 2002	Preliminary
0.1	Revised - Deleted 32-TSOP1-0820R Package Type. - Added Commercial product.	December 4, 2002	Preliminary
0.2	Revised - Added Lead Free 32-SOP-525 Product	May 13, 2003	Preliminary
0.3	Revised - Added Lead Free 32-TSOP1-0820F Product	June 21, 2003	Preliminary
1.0	Finalized - Changed I_{CC} from 10mA to 5mA - Changed I_{CC2} from 35mA to 25mA - Changed I_{SB} from 3mA to 0.4mA - Changed I_{DR}(industrial) from 15μA to 10μA - Changed I_{DR}(Automotive) from 25μA to 20μA	September 16, 2003	Final

The attached datasheets are provided by SAMSUNG Electronics. SAMSUNG Electronics CO., LTD. reserves the right to change the specifications and products. SAMSUNG Electronics will answer to your questions. If you have any questions, please contact the SAMSUNG branch offices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

128Kx8 bit Low Power full CMOS Static RAM

FEATURES

- Process Technology: Full CMOS
- Organization: 128K x 8
- Power Supply Voltage: 4.5~5.5V
- Low Data Retention Voltage: 2V(Min)
- Three state output and TTL Compatible
- Package Type: 32-DIP-600, 32-SOP-525, 32-SOP-525, 32-TSOP1-0820F

GENERAL DESCRIPTION

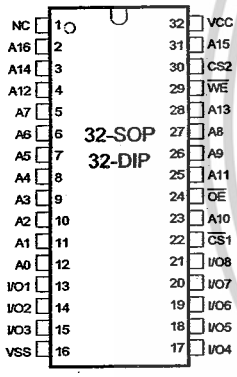
The K6X1008C2D families are fabricated by SAMSUNG's advanced CMOS process technology. The families support verious operating temperature ranges and have various package types for user flexibility of system design. The families also support low data retention voltage for battery back-up operation with low data retention current.

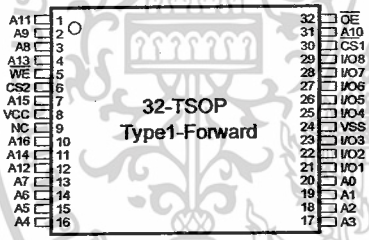
PRODUCT FAMILY

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation		PKG Type
				Standby (I_{SB1}, Max)	Operating (I_{CC2}, Max)	
K6X1008C2D-B	Commercial(0~70°C)	4.5~5.5V	55[1]/70ns	10μA	25mA	32-DIP-600, 32-SOP-525, 32-SOP-525 32-TSOP1-0820F
K6X1008C2D-F	Industrial(-40~85°C)			15μA		
K6X1008C2D-Q	Automotive(-40~125°C)			25μA		32-SOP-525, 32-TSOP1-0820F

1. The parameters are tested with 50pF test load

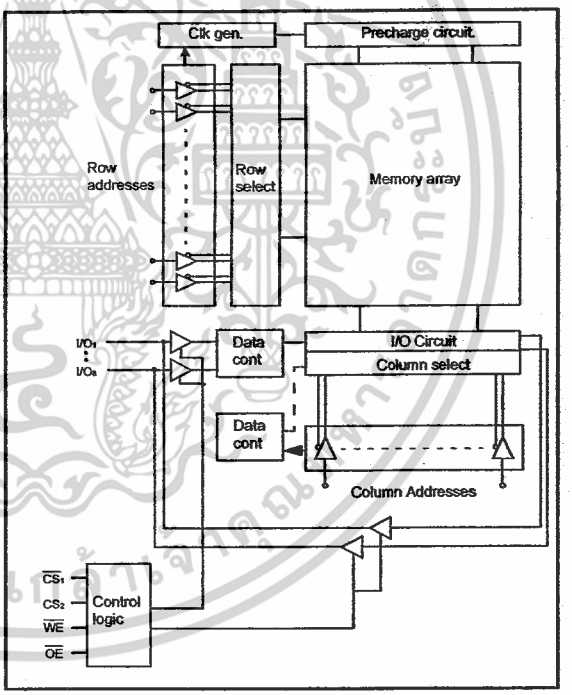
PIN DESCRIPTION





Name	Function
$\overline{CS_1}$, CS_2	Chip Select Input
$\overline{OE}$	Output Enable Input
$\overline{WE}$	Write Enable Input
I/O_1~I/O_8	Data Inputs/Outputs
A_0~A_{16}	Address Inputs
Vcc	Power
Vss	Ground
NC	No Connection

FUNCTIONAL BLOCK DIAGRAM



SAMSUNG ELECTRONICS CO., LTD. reserves the right to change products and specifications without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRODUCT LIST

Commercial Products(0~70°C)		Industrial Products(-40~85°C)		Automotive Products(-40~125°C)	
Part Name	Function	Part Name	Function	Part Name	Function
K6X1008C2D-DB55	32-DIP, 55ns, LL	K6X1008C2D-DF55	32-DIP, 55ns, LL	K6X1008C2D-GQ55	32-SOP, 55ns, L
K6X1008C2D-DB70	32-DIP, 70ns, LL	K6X1008C2D-DF70	32-DIP, 70ns, LL	K6X1008C2D-GQ70	32-SOP, 70ns, L
K6X1008C2D-GB55	32-SOP, 55ns, LL	K6X1008C2D-GF55	32-SOP, 55ns, LL	K6X1008C2D-TQ55	32-TSOP-F, 55ns, L
K6X1008C2D-GB70	32-SOP, 70ns, LL	K6X1008C2D-GF70	32-SOP, 70ns, LL	K6X1008C2D-TQ70	32-TSOP-F, 70ns, L
K6X1008C2D-BB55[1)]	32-SOP, 55ns, LL	K6X1008C2D-BF55[1)]	32-SOP, 55ns, LL		
K6X1008C2D-BB70[1)]	32-SOP, 70ns, LL	K6X1008C2D-BF70[1)]	32-SOP, 70ns, LL		
K6X1008C2D-TB55	32-TSOP-F, 55ns, LL	K6X1008C2D-TF55	32-TSOP-F, 55ns, LL		
K6X1008C2D-TB70	32-TSOP-F, 70ns, LL	K6X1008C2D-TF70	32-TSOP-F, 70ns, LL		
K6X1008C2D-PB55[1)]	32-TSOP-F, 55ns, LL	K6X1008C2D-PF55[1)]	32-TSOP-F, 55ns, LL		
K6X1008C2D-PB70[1)]	32-TSOP-F, 70ns, LL	K6X1008C2D-PF70[1)]	32-TSOP-F, 70ns, LL		

1. Lead Free Product

FUNCTIONAL DESCRIPTION

$\overline{CS_1}$	CS_2	$\overline{OE}$	$\overline{WE}$	I/O	Mode	Power
H	X[1)]	X[1)]	X[1)]	High-Z	Deselected	Standby
X[1)]	L	X[1)]	X[1)]	High-Z	Deselected	Standby
L	H	H	H	High-Z	Output Disabled	Active
L	H	L	H	Dout	Read	Active
L	H	X[1)]	L	Din	Write	Active

1. X means don't care (Must be in high or low states)

ABSOLUTE MAXIMUM RATINGS[1)]

Item	Symbol	Ratings	Unit	Remark
Voltage on any pin relative to Vss	V_{IN},V_{OUT}	-0.5 to V_{CC}+0.5V(Max. 7.0V)	V	-
Voltage on Vcc supply relative to Vss	V_{CC}	-0.3 to 7.0	V	-
Power Dissipation	P_D	1.0	W	-
Storage temperature	T_{STG}	-65 to 150	°C	-
Operating Temperature	T_A	0 to 70	°C	K6X1008C2D-B
		-40 to 85	°C	K6X1008C2D-F
		-40 to 125	°C	K6X1008C2D-Q

1. Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Functional operation should be restricted to recommended operating condition. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED DC OPERATING CONDITIONS[1)]

Item	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
Ground	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	-	V_{CC}+0.5[2)]	V
Input low voltage	V_{IL}	-0.5[3)]	-	0.8	V

Note:
1. Commercial Product: T_A=0 to 70°C, Otherwise specified
   Industrial Product: T_A=-40 to 85°C, Otherwise specified
   Automotive Product: T_A=-40 to 125°C, Otherwise specified
2. Overshoot: V_{CC}+3.0V in case of pulse width≤30ns.
3. Undershoot: -3.0V in case of pulse width≤30ns.
4. Overshoot and undershoot are sampled, not 100% tested.

CAPACITANCE[1)] (f=1MHz, TA=25°C)

Item	Symbol	Test Condition	Min	Max	Unit
Input capacitance	C_{IN}	V_{IN}=0V	-	8	pF
Input/Output capacitance	C_{IO}	V_{IO}=0V	-	10	pF

1. Capacitance is sampled, not 100% tested

DC AND OPERATING CHARACTERISTICS

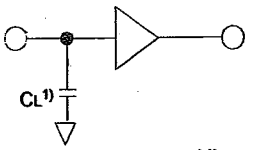
Item	Symbol	Test Conditions		Min	Typ	Max	Unit
Input leakage current	I_{LI}	V_{IN}=Vss to Vcc		-1	-	1	µA
Output leakage current	I_{LO}	$\overline{CS_1}$=V_{IH} or CS_2=V_{IL} or $\overline{OE}$=V_{IH} or $\overline{WE}$=V_{IL}, V_{IO}=Vss to Vcc		-1	-	1	µA
Operating power supply current	I_{CC}	I_{IO}=0mA, $\overline{CS_1}$=V_{IL}, CS_2=V_{IH}, V_{IN}=V_{IH} or V_{IL}, Read		-	-	5	mA
Average operating current	I_{CC1}	Cycle time=1µs, 100%duty, I_{IO}=0mA, $\overline{CS_1}$≤0.2V, CS_2≥Vcc-0.2V, V_{IN}≤0.2V or V_{IN}≥Vcc-0.2V		-	-	7	mA
	I_{CC2}	Cycle time=Min, 100% duty, I_{IO}=0mA, $\overline{CS_1}$=V_{IL}, CS_2=V_{IH}, V_{IN}=V_{IH} or V_{IL}		-	-	25	mA
Output low voltage	V_{OL}	I_{OL}=2.1mA		-	-	0.4	V
Output high voltage	V_{OH}	I_{OH}=-1.0mA		2.4	-	-	V
Standby Current(TTL)	I_{SB}	$\overline{CS_1}$=V_{IH}, CS2=V_{IL}, Other inputs=V_{IH} or V_{IL}		-	-	0.4	mA
Standby Current(CMOS)	I_{SB1}	$\overline{CS_1}$≥Vcc-0.2V, CS_2≥Vcc-0.2V or CS_2≤0.2V, Other inputs=0~Vcc	K6X1008C2D-B	-	-	10	µA
			K6X1008C2D-F	-	-	15	µA
			K6X1008C2D-Q	-	-	25	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC OPERATING CONDITIONS

TEST CONDITIONS(Test Load and Input/Output Reference)

Input pulse level: 0.8 to 2.4V
Input rising and falling time: 5ns
Input and output reference voltage:1.5V
Output load(see right): C_L=100pF+1TTL
C_L=50pF+1TTL



1. Including scope and jig capacitance

AC CHARACTERISTICS

(V_{CC}=4.5~5.5V, Commercial product: T_A=0 to 70°C, Industrial product: T_A=-40 to 85°C, Automotive product: T_A=-40~125°C)

Parameter List		Symbol	Speed Bins				Units
			55ns		70ns		
			Min	Max	Min	Max	
Read	Read Cycle Time	t_{RC}	55	-	70	-	ns
	Address Access Time	t_{AA}	-	55	-	70	ns
	Chip Select to Output	t_{CO}	-	55	-	70	ns
	Output Enable to Valid Output	t_{OE}	-	25	-	35	ns
	Chip Select to Low-Z Output	t_{LZ}	10	-	10	-	ns
	Output Enable to Low-Z Output	t_{OLZ}	5	-	5	-	ns
	Chip Disable to High-Z Output	t_{HZ}	0	20	0	25	ns
	Output Disable to High-Z Output	t_{OHZ}	0	20	0	25	ns
	Output Hold from Address Change	t_{OH}	10	-	10	-	ns
Write	Write Cycle Time	t_{WC}	55	-	70	-	ns
	Chip Select to End of Write	t_{CW}	45	-	60	-	ns
	Address Set-up Time	t_{AS}	0	-	0	-	ns
	Address Valid to End of Write	t_{AW}	45	-	60	-	ns
	Write Pulse Width	t_{WP}	40	-	50	-	ns
	Write Recovery Time	t_{WR}	0	-	0	-	ns
	Write to Output High-Z	t_{WHZ}	0	20	0	25	ns
	Data to Write Time Overlap	t_{DW}	20	-	25	-	ns
	Data Hold from Write Time	t_{DH}	0	-	0	-	ns
	End Write to Output Low-Z	t_{OW}	5	-	5	-	ns

DATA RETENTION CHARACTERISTICS

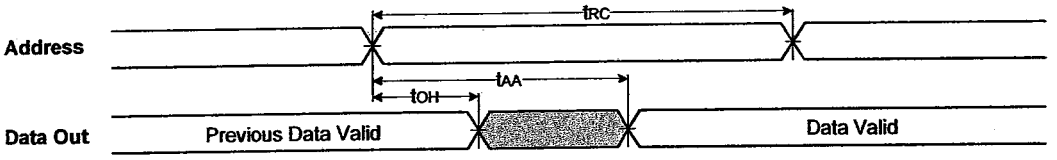
Item	Symbol	Test Condition		Min	Typ	Max	Unit
Vcc for data retention	V_{DR}	$\overline{CS_1} \geq V_{CC}-0.2V$ 1)		2.0	-	5.5	V
Data retention current	I_{DR}	V_{CC}=3.0V, $\overline{CS_1} \geq V_{CC}-0.2V$ 1)	K6X1008C2D-B	-	-	10	µA
			K6X1008C2D-F	-	-	10	µA
			K6X1008C2D-Q	-	-	20	µA
Data retention set-up time	t_{SDR}	See data retention waveform		0	-	-	ms
Recovery time	t_{RDR}			5	-	-	

1. $\overline{CS_1} \geq V_{CC}-0.2V$, $CS_2 \geq V_{CC}-0.2V$, or $CS_2 \leq 0.2V$

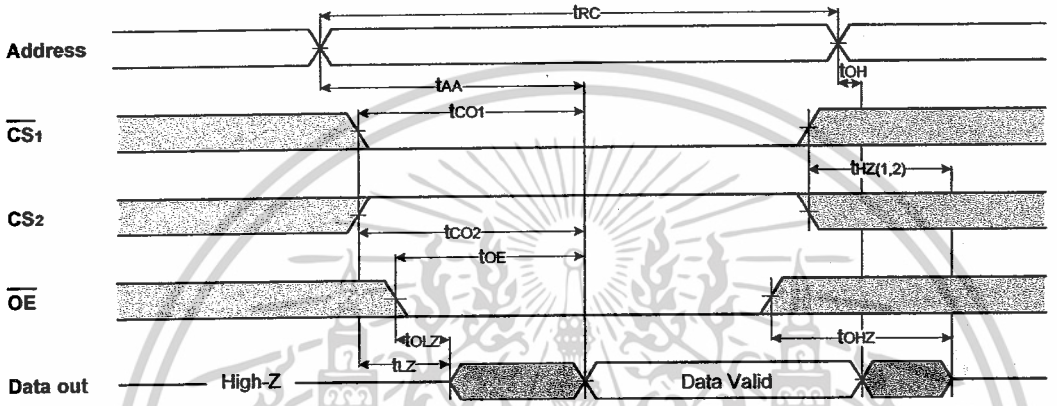
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

TIMING WAVEFORM OF READ CYCLE(1) (Address Controlled, $\overline{CS1}$=$\overline{OE}$=V_{IL}, CS2=$\overline{WE}$=V_{IH})



TIMING WAVEFORM OF READ CYCLE(2) ($\overline{WE}$=V_{IH})

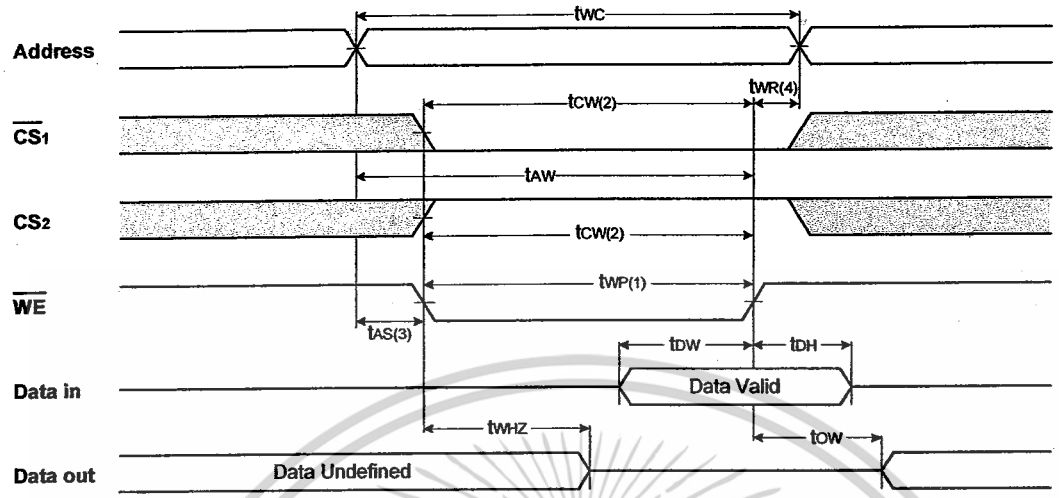


NOTES (READ CYCLE)

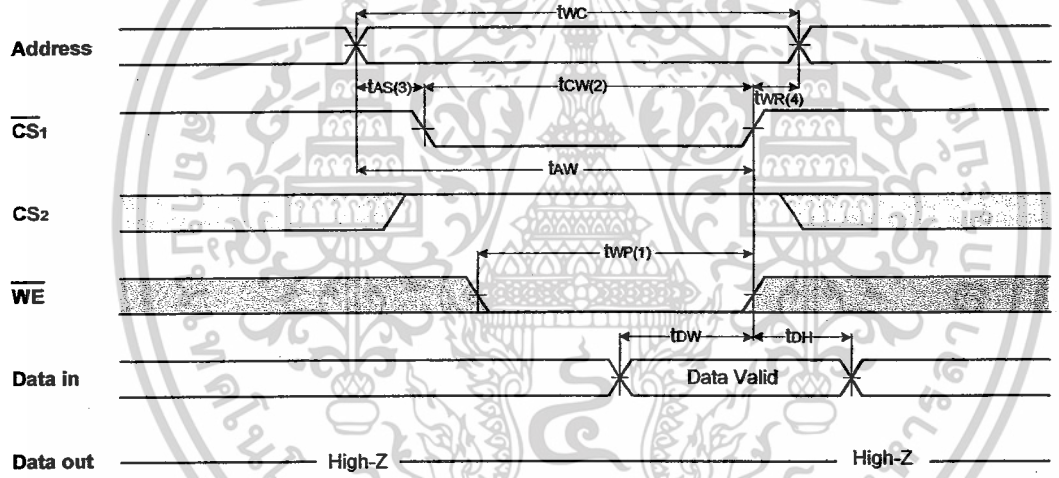
1. t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referenced to output voltage levels.
2. At any given temperature and voltage condition, t_{HZ}(Max.) is less than t_{LZ}(Min.) both for a given device and from device to device interconnection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORM OF WRITE CYCLE(1) ($\overline{WE}$ Controlled)

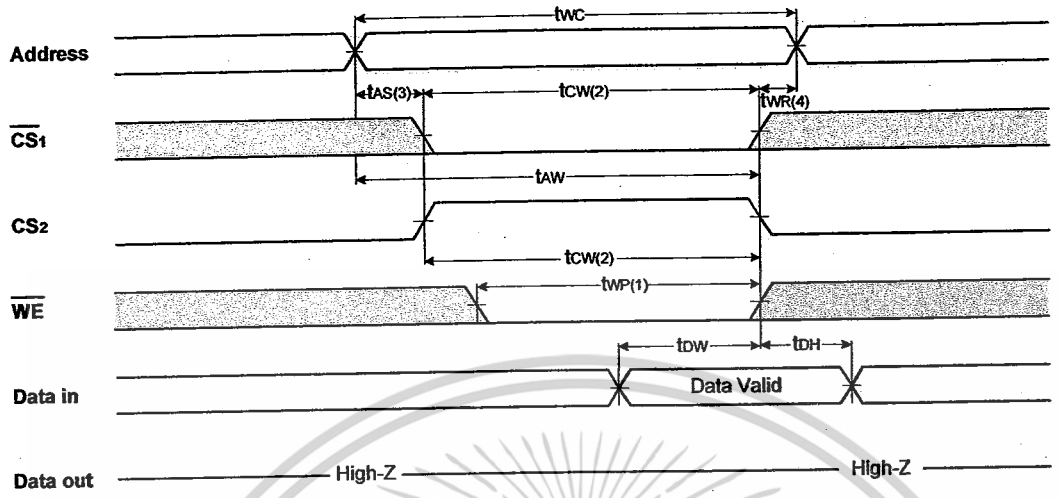


TIMING WAVEFORM OF WRITE CYCLE(2) ($\overline{CS_1}$ Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORM OF WRITE CYCLE(3) (CS_2 Controlled)

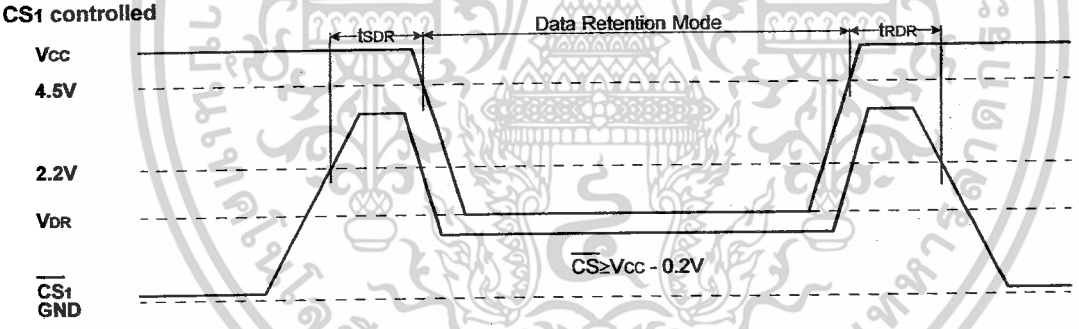


NOTES (WRITE CYCLE)

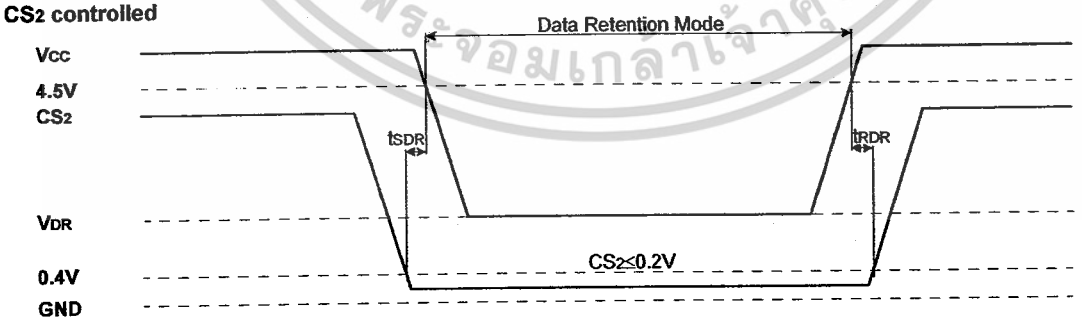
1. A write occurs during the overlap of a low $\overline{CS_1}$, a high CS_2 and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS_1}$ goes low, CS_2 going high and $\overline{WE}$ going low: A write end at the earliest transition among $\overline{CS_1}$ going high, CS_2 going low and $\overline{WE}$ going high, t_{WP} is measured from the begining of write to the end of write.
2. t_{CW} is measured from the $\overline{CS_1}$ going low or CS_2 going high to the end of write.
3. t_{AS} is measured from the address valid to the beginning of write.
4. t_{WR} is measured from the end of write to the address change. t_{WR} applied in case a write ends as $\overline{CS_1}$ or $\overline{WE}$ going high t_{WR2} applied in case a write ends as CS_2 going to low.

DATA RETENTION WAVE FORM

$\overline{CS_1}$ controlled



CS_2 controlled



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC9572 In-System Programmable CPLD

December 4, 1998 (Version 3.0)

Product Specification

Features

- 7.5 ns pin-to-pin logic delays on all pins
- f_{CNT} to 125 MHz
- 72 macrocells with 1,600 usable gates
- Up to 72 user I/O pins
- 5 V in-system programmable (ISP)
  - Endurance of 10,000 program/erase cycles
  - Program/erase over full commercial voltage and temperature range
- Enhanced pin-locking architecture
- Flexible 36V18 Function Block
  - 90 product terms drive any or all of 18 macrocells within Function Block
  - Global and product term clocks, output enables, set and reset signals
- Extensive IEEE Std 1149.1 boundary-scan (JTAG) support
- Programmable power reduction mode in each macrocell
- Slew rate control on individual outputs
- User programmable ground pin capability
- Extended pattern security features for design protection
- High-drive 24 mA outputs
- 3.3 V or 5 V I/O capability
- Advanced CMOS 5V FastFLASH technology
- Supports parallel programming of more than one XC9500 concurrently
- Available in 44-pin PLCC, 84-pin PLCC, 100-pin PQFP and 100-pin TQFP packages

Description

The XC9572 is a high-performance CPLD providing advanced in-system programming and test capabilities for general purpose logic integration. It is comprised of four 36V18 Function Blocks, providing 1,600 usable gates with propagation delays of 7.5 ns. See Figure 2 for the architecture overview.

Power Management

Power dissipation can be reduced in the XC9572 by configuring macrocells to standard or low-power modes of operation. Unused macrocells are turned off to minimize power dissipation.

Operating current for each design can be approximated for specific operating conditions using the following equation:

I_{CC} (mA) =

MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006 mA/MHz) f

Where:

MC_{HP} = Macrocells in high-performance mode

MC_{LP} = Macrocells in low-power mode

MC = Total number of macrocells used

f = Clock frequency (MHz)

Figure 1 shows a typical calculation for the XC9572 device.

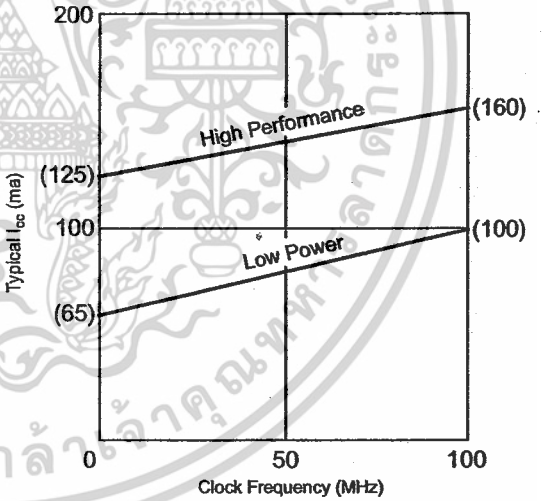


Figure 1: Typical I_{CC} vs. Frequency for XC9572

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

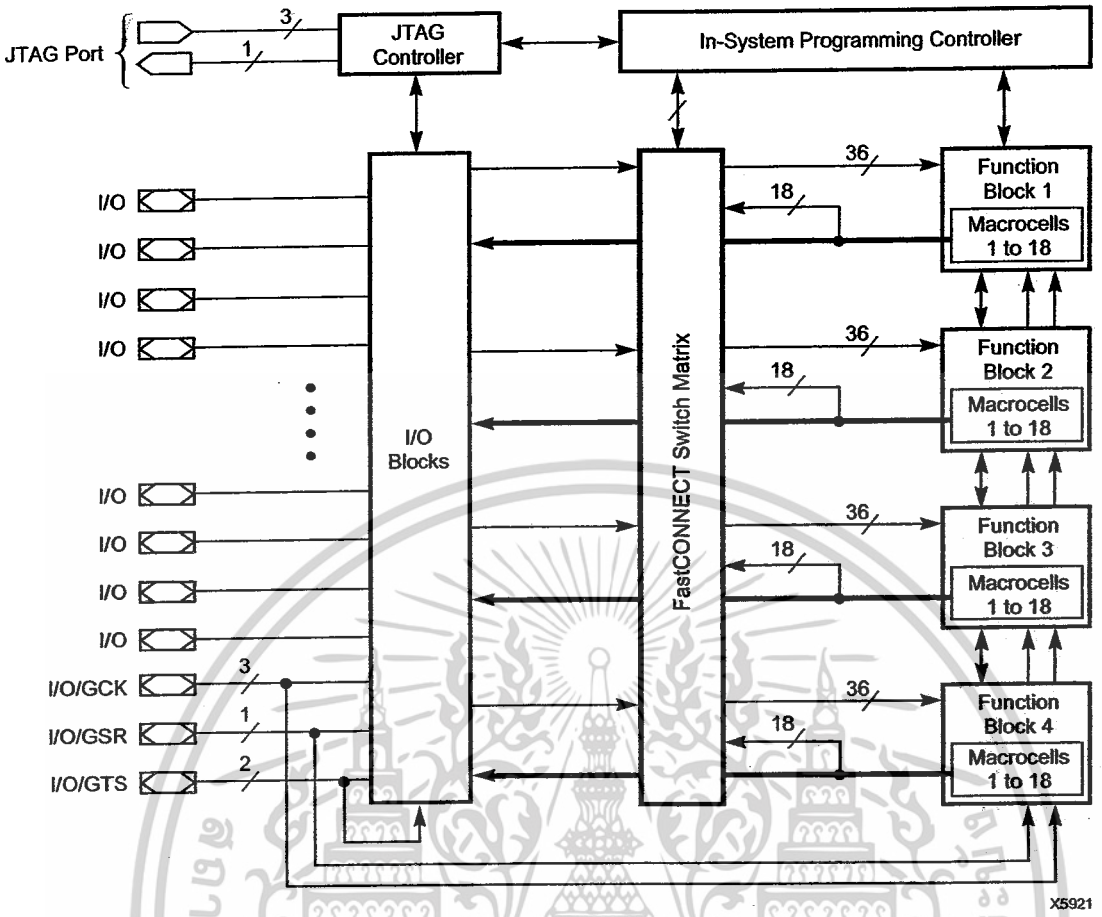


Figure 2: XC9572 Architecture

Note: Function Block outputs (indicated by the bold line) drive the I/O Blocks directly

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Symbol	Parameter	Value	Units
V_{CC}	Supply voltage relative to GND	-0.5 to 7.0	V
V_{IN}	DC input voltage relative to GND	-0.5 to V_{CC} + 0.5	V
V_{TS}	Voltage applied to 3-state output with respect to GND	-0.5 to V_{CC} + 0.5	V
T_{STG}	Storage temperature	-65 to +150	°C
T_{SOL}	Max soldering temperature (10 s @ 1/16 in = 1.5 mm)	+260	°C

Warning: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions is not implied. Exposure to Absolute Maximum Rating conditions for extended periods of time may affect device reliability.

Recommended Operation Conditions[1]

Symbol	Parameter	Min	Max	Units
V_{CCINT}	Supply voltage for internal logic and input buffer	4.75 (4.5)	5.25 (5.5)	V
V_{CCIO}	Supply voltage for output drivers for 5 V operation	4.75 (4.5)	5.25 (5.5)	V
	Supply voltage for output drivers for 3.3 V operation	3.0	3.6	V
V_{IL}	Low-level input voltage	0	0.80	V
V_{IH}	High-level input voltage	2.0	V_{CCINT} +0.5	V
V_O	Output voltage	0	V_{CCIO}	V

Note: 1. Numbers in parenthesis are for industrial temperature range versions.

Endurance Characteristics

Symbol	Parameter	Min	Max	Units
t_{DR}	Data Retention	20	-	Years
N_{PE}	Program/Erase Cycles	10,000	-	Cycles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

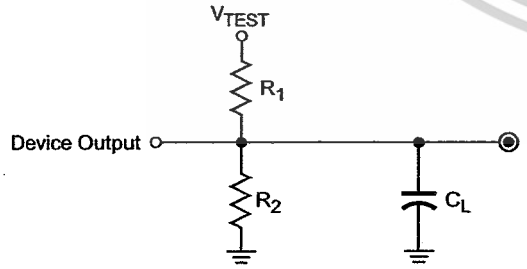
DC Characteristics Over Recommended Operating Conditions

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{OH}	Output high voltage for 5 V operation	I_{OH} = -4.0 mA V_{CC} = Min	2.4		V
	Output high voltage for 3.3 V operation	I_{OH} = -3.2 mA V_{CC} = Min	2.4		V
V_{OL}	Output low voltage for 5 V operation	I_{OL} = 24 mA V_{CC} = Min		0.5	V
	Output low voltage for 3.3 V operation	I_{OL} = 10 mA V_{CC} = Min		0.4	V
I_{IL}	Input leakage current	V_{CC} = Max V_{IN} = GND or V_{CC}		±10.0	µA
I_{IH}	I/O high-Z leakage current	V_{CC} = Max V_{IN} = GND or V_{CC}		±10.0	µA
C_{IN}	I/O capacitance	V_{IN} = GND f = 1.0 MHz		10.0	pF
I_{CC}	Operating Supply Current (low power mode, active)	V_I = GND, No load f = 1.0 MHz	65 (Typ)		ma

AC Characteristics

Symbol	Parameter	XC9572-7		XC9572-10		XC9572-15		Units
		Min	Max	Min	Max	Min	Max	
t_{PD}	I/O to output valid		7.5		10.0		15.0	ns
t_{SU}	I/O setup time before GCK	4.5		6.0		8.0		ns
t_H	I/O hold time after GCK	0.0		0.0		0.0		ns
t_{CO}	GCK to output valid		4.5		6.0		8.0	ns
f_{CNT}[1]	16-bit counter frequency	125.0		111.1		95.2		MHz
f_{SYSTEM} [2]	Multiple FB internal operating frequency	83.3		66.7		55.6		MHz
t_{PSU}	I/O setup time before p-term clock input	0.5		2.0		4.0		ns
t_{PH}	I/O hold time after p-term clock input	4.0		4.0		4.0		ns
t_{PCO}	P-term clock to output valid		8.5		10.0		12.0	ns
t_{OE}	GTS to output valid		5.5		6.0		11.0	ns
t_{OD}	GTS to output disable		5.5		6.0		11.0	ns
t_{POE}	Product term OE to output enabled		9.5		10.0		14.0	ns
t_{POD}	Product term OE to output disabled		9.5		10.0		14.0	ns
t_{WLH}	GCK pulse width (High or Low)	4.0		4.5		5.5		ns

Note: 1. f_{CNT} is the fastest 16-bit counter frequency available, using the local feedback when applicable.
f_{CNT} is also the Export Control Maximum flip-flop toggle rate, f_{TOG}.
2. f_{SYSTEM} is the internal operating frequency for general purpose system designs spanning multiple FBs.



Output Type	V_{CCIO}	V_{TEST}	R_1	R_2	C_L
	5.0 V	5.0 V	160 Ω	120 Ω	35 pF
	3.3 V	3.3 V	260 Ω	360 Ω	35 pF

X5906

Figure 3: AC Load Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้