สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเฟสล็อกลูป

PHASE-LOCKED LOOPS CIRCUIT DESIGN

โดย

นายคหัฏฐ์ อยู่เย็น

นายพรเทพ จิ้นบัว

เลขหมู่.....
เลขทะเบียน.....61956
วัน,เดือน,ปี.....25 ก.ค. 2549

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเฟสล็อกลูป

PHASE-LOCKED LOOPS CIRCUIT DESIGN

โดย

นายคหัฏฐ์ อยู่เย็น 45015187

นายพรเทพ จิ้นบัว 45015242

อาจารย์ที่ปรึกษา

รศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ **ปีการศึกษา 2547**

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรเฟสล็อกลูป

ผู้จัดทำ นายคหัฏฐ์ อยู่เย็น

นายพรเทพ จิ้นบัว

.....อาจารย์ที่ปรึกษา

(รศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2547

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรเฟสล็อกลูป

ผู้จัดทำ นายคหัฏฐ์ อยู่เย็น

นายพรเทพ จิ้นบัว

.....อาจารย์ที่ปรึกษา

(รศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเฟสล็อกลูปแบบดิจิตอล

นายคหัฏฐ์ อยู่เย็น
นายพรเทพ จิ้นบัว
รศ.ดร.วรากร เสุวรรณ์
ปีการศึกษา 2547

บทคัดย่อ

โครงงานนี้เป็นการศึกษาการทำงานและการออกแบบเฟสล็อกลูปที่มีองค์ประกอบพื้นฐานอยู่สามส่วนได้แก่ วงจรดักจับเฟส วงจรออสซิเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า วงจรกรองความถี่ต่ำ ซึ่งขั้นแรกเป็นการศึกษาองค์ประกอบพื้นฐานทั้งสามส่วนพร้อมทั้งทำการออกแบบองค์ประกอบดังกล่าว ขั้นตอนที่สองเป็นการนำเอาองค์ประกอบพื้นฐานมาต่อกันเป็นวงจรเฟสล็อคลูป และขั้นตอนสุดท้ายเป็นการนำวงจรหารความถี่ที่สามารถปรับค่าตัวหารได้เพิ่มเข้ามาในระบบในรูปแบบวงจรคูณความถี่ ขั้นตตอนสุดท้ายเป็นการจำลองการทำงานและการออกแบบลวดลายวงจร การตรวจสอบคุณสมบัติ และหาค่าพารามิเตอร์ต่างๆ ของวงจรที่ใช้โปรแกรม HSPICE (เทคโนโลยี 0.8μm ของ MOSIS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE-LOCKED LOOPS CIRCUIT DESIGN

Mr.KAHAT YOOYEN

Mr.PORNTHEP JINBUA

Adviser.VARAKORNKA SEMSUWAN

2004

Abstract

This project is to study and design the digital phase-locked loop which consist of three main component namely phase detector, voltage-controlled oscillator(VCO) and low pass filter. Firstly, the study of three component are carried out and the design are then followed. Secondly, the designed three main component are connected to form the phase-locked loops. Thirdly, the programmable divider is connected in the feedback loop to form the frequency multiplier. Finally, the designed phase-locked loops simulated and layout to investigate it's performance and specifications using HSPICE (MOSIS 0.8 um CMOS Technology)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง		หน้า
บทคัดย่อภาษาไทย		
บทคัดย่อภาษาอังกฤษ		
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีพื้นฐานของเฟสล็อคลูป	2
	2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป	2
	2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป	3
	2.2.1 ลักษณะของสัญญาณเฟสล็อคลูปในสภาวะล็อค	4
	2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค	6
	2.3 เสถียรภาพของเฟสล็อคลูปพื้นฐาน	8
	2.4 เฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่(Charge-PumpPLL)	14
	2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	14
	2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่	15
บทที่ 3	3.1 องค์ประกอบพื้นฐานของเฟสล็อคลูป	21
	3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	21
	3.1.2 ตัวดักจับเฟสแบบ เจ-เค ฟลิปฟลอบ	24
	3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่	25
	3.1.4 การออกแบบและผลการทดลองตัวดักจับแบบเฟส-ความถี่	30
	3.2 วงจรกรองความถี่ต่ำผ่าน	38
	3.3 วงจรออสซิเลเตอร์	40
	3.3.1 หลักการพื้นฐานของวงจรออสซิเลเตอร์	41
	3.3.2 วงจรออสซิเลเตอร์แบบริง(Ring Oscillator)	43
	3.3.3 วงจรออสซอเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator)	50
	3.3.4 การออกแบบวงจรออสซิเลเตอร์แบบควบคุมความถี่ได้	53
	3.3.5 ผลการทดลองวงจรออสซิเลเตอร์แบบควบคุมความถี่ได้	55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	3.4 วงจรหารความถี่	60
	3.4.1 วงจรนับแบบไม่สัมพันธ์(Asynchronous counter)	60
	3.4.2 วงจรนับโหมด N	61
	3.4.3 การออกแบบวงจรนับด้วยวิธีป้อนกลับ	62
	3.4.4 วงจรนับแบบสัมพันธ์	63
	3.4.5 การออกแบบและผลการทดลองวงจรนับ 8 บิต แบบไม่สัมพันธ์ (Asynchronous counter)	66
บทที่ 4	การออกแบบและผลการทดลองของเฟสล็อคลูป	68
	4.1 วงจรเฟสล็อคลูปแบบเอาท์พุทตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่(Charge- PumpPLL)	68
	4.2 วงจรเฟสล็อคลูปแบบเอาท์พุทตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-State)	72
	4.3 วงจรเฟสล็อคลูปแบบเอาท์พุทตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-State)มีวงจรหาร N	77
บทที่ 5	การออกแบบลวดลายและผลการจำลองการทำงานจากลวดลายวงจร	81
บทที่ 6	**บทสรุป**	102
	ภาคผนวก	104
	กิตติกรรมประกาศ	109
	หนังสืออ้างอิง	110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง	หน้า
รูป 2.1 การเข้าสู่ภาวะล็อคของเฟสล็อคลูป	3
(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุต	3
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด	3
รูป 2.2 องค์ประกอบของเฟสล็อคลูป	4
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO	4
(ข) องค์ประกอบที่ประกอบด้วย PD , VCO และ LPF	4
รูป 2.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค	5
(ก) รูปคลื่นสัญญาณในแต่ละจุด	5
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD	5
รูป 2.4 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต	7
รูป 2.5 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต	8
รูป 2.6 การเปลี่ยนแปลงของเฟสกับเวลา	9
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ	9
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว	9
รูป 2.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)	9
รูป 2.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได	12
รูป 2.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง	13
รูป 2.10 กราฟโบดพล็อตแสดงเสถียรภาพของ type I PLL	13
รูป 2.11 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส-ความถี่	14
รูป 2.12 วงจรเฟสล็อคลูปแบบเอาท์เป็นแหล่งจ่ายกระแสคงที่	15
รูป 2.13 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน	15
รูป 2.14 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	16
รูป 2.15 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	18
(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ	18
(ข) การเกิดเฟสชิฟเพื่อการทำเพิ่มซีโร่เข้าไปในลูป	18
รูป 2.16 การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.17	การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายการแสดงที่เมื่อค่าของ I_pK_{VCO} มีค่าลดลง	19
รูป 2.18	การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล	20
รูป 3.1	คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ	21
รูป 3.2	ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	21
รูป 3.3	รูปสัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	22
	(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์	22
	(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก	22
รูป 3.4	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์	23
รูป 3.5	ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป	24
รูป 3.6	สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป	24
	(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์	24
	(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก	24
รูป 3.7	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป	25
รูป 3.8	หลักการของตัวดักจับเฟส-ความถี่	26
	(ก) แสดงผลของเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน	26
	(ข) แสดงเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน	26
รูป 3.9	การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป	27
รูป 3.10	ตัวดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ	27
รูป 3.11	สภาวะของตัวดักจับเฟสแบบเฟส-ความถี่	28
รูป 3.12	รูปสัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่	29
	(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์	29
	(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก	29
	(ค) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ	29
รูป 3.13	กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่	30
รูป 3.14	วงจรดักจับเฟสแบบเฟส – ความถี่ที่ใช้ในการทดลอง	32
รูป 3.15	วงจรตัวดักจับเฟสแบบเฟส – ความถี่ในระดับเกท	32
รูป 3.16	วงจรซีมอสอินเวอร์เตอร์	32
รูป 3.17	วงจรซีมอสแนนเกท	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.18	วงจรซีมอสนอร์เกท	33
รูป 3.19	สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสนำหน้าอินพุต B	34
รูป 3.20	สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสล้าหลังอินพุต B	35
รูป 3.21	สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีความถี่มากกว่าพุต B	36
รูป 3.22	สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีความถี่น้อยกว่าอินพุต B	37
รูป 3.23	วงจรกรองความถี่ต่ำผ่านที่ใช้งานกับเฟสล็อคลูป	38
	(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ	38
	(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ	39
	(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ	39
รูป 3.24	การตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน	40
	(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ	40
	(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ	40
	(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ	40
รูป 3.25	ระบบที่มีการป้อนกลับแบบลบ	41
รูป 3.26	โบดพล็อตระหว่างระบบที่เกิดการออสซิลเลทกับระบบที่มีเสถียรภาพ	42
รูป 3.27	ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท	43
	(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น	43
	(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่	43
	(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย์	43
รูป 3.28	วงจรขยายภาคเดียวที่มีการป้อนกลับ	44
รูป 3.29	วงจรขยายสองภาคที่มีการป้อนกลับ	44
รูป 3.30	วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยายสามภาค	45
รูป 3.31	รูปคลื่นของวงจรริงออสซิลเตอร์ที่สร้างจากวงจรขยายสามภาค	46
รูป 3.32	รูปแบบเชิงเส้นของวงจรริงออสซิเลเตอร์แบบสามภาค	46
รูป 3.33	ตำแหน่งโพลของระบบเมื่ออันตราขยายเปลี่ยนแปลง	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.34 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์ 48
รูป 3.35 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD} 48
รูป 3.36 วงจรริงชนิดออสซิลเลเตอร์ 49
(ก) วงจรริงออสซิลเลเตอร์แบบใช้อินเวอร์เตอร์ 49
(ข) วงจรริงออสซิลเลเตอร์แบบใช้วงจรดิฟเฟอร์เรนเชียล 49
รูป 3.37 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า 50
รูป 3.38 คุณสมบัติของวงจร VCO ที่ไม่เป็นเชิงเส้น 51
รูป 3.39 วงจรควบคุมความถี่ด้วยแรงดันแบบริงออสซิเลเตอร์ 52
รูป 3.40 วงจรริงออสซิเลเตอร์ ออกแบบโดยการประมาณค่าดีเลย์ 53
รูป 3.41 วงจรสำหรับการออกแบบวงจรควบคุมความถี่ด้วยแรง ด้วยแรงดัน โดยใช้อินเวอร์เตอร์ 54
รูป 3.42 วงจรควบคุมความถี่ด้วยแรงดันที่ใช้ในการทดลอง 1 Delay cell 54
รูป 3.43 วงจรควบคุมความถี่ด้วยแรงดันที่ใช้ในการทดลอง 1 Stage 56
รูป 3.44 แสดงผลการทดลองวงจรควบคุมแรงดัน VCO 56
รูป 3.45 แสดงวงจรออสซิเลเตอร์ 3 stateที่ใช้ในการทดลอง 57
รูป 3.46 ผลการทดลองวงจรควบคุมแรงดัน 58
รูป 3.47 ความถี่ที่ได้จากวงจรควบคุมแรงดัน 58
รูป 3.48 แสดงผลการทดลองที่ความถี่ต่ำสุด 100 Hz 58
รูป 3.49 แสดงผลการทดลองที่ความถี่สูงสุด 370 MHz 59
รูป 3.50 สัญลักษณ์โดยทั่วไปของวงจรนับ 60
รูป 3.51 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิต แบบพับลง 61
รูป 3.52 วงจรนับสิบโดยการป้อนกลับ 62
รูป 3.53 วงจรนับแบบสัมพันธ์ขนาด 2 บิต ชนิดนับขึ้น 63
รูป 3.54 ไดอะแกรมแสดงสถานะการนับของวงจรนับ ขนาด 2 บิต แบบนับขึ้น 64
รูป 3.55 Excitation maps ของวงจรนับแบบสัมพันธ์ ขนาด 2 บิต แบบนับขึ้น 65
รูป 3.56 วงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นโดยใช้ดีฟลิบ-ฟลอบ 66
รูป 3.57 วงจรนับแบบไม่สัมพันธ์ขนาด 8 บิต แบบนับขึ้นโดยใช้ J-K ฟลิปฟลอบ 66
รูป 3.58 เอาท์พุท Q_0 ถึง Q_4 ของวงจร นับแบบไม่สัมพันธ์เมื่อความถี่อินพุทเท่ากับ 10 MH_z 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.1	วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่	68
รูป 4.2	รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่	69
รูป 4.3	แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อคที่ความถี่อินพุต 200 MHz	71
รูป 4.4	การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 190 MHz	71
รูป 4.5	การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 210 MHz	72
รูป 4.6	วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state)	72
รูป 4.7	รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-state)	73
รูป 4.8	แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อคที่ความถี่อินพุท 200 MHz	75
รูป 4.9	การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 190 MHz	76
รูป 4.10	การเปลี่ยนแปลงของแรงดันที่วงจรความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 210 MHz	76
รูป 4.11	ระบบของเฟสล็อคลูปซึ่งตัวดักจับเฟสเป็นแบบเอาท์พุทแบบสามสถานะ (Tri-state)	77
รูป 4.12	รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล	77
รูป 4.13	แสดงวงจรเฟสล็อคลูปเข้าสู่สภาวะล็อคเมื่อใส่วงจรหารN=8 แบบ J-Kฟลิปฟลอบ	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.1	ขั้นตอนการสร้างวงจรรวม	81
รูป 5.2	ลวดลายทรานซิสเตอร์แบบไบโพล่าชนิด NPN	83
รูป 5.3	ลวดลายของมอสทรานซิสเตอร์ชนิด N	83
รูป 5.4	ลวดลายของมอสทรานซิสเตอร์ชนิด N ต่อถึงกัน	84
รูป 5.5	ลวดลายตัวต้านทานที่สร้างจาก Poly และ N-DIFF	85
รูป 5.6	ลวดลายตัวเก็บประจุแบบไดเร็กตริกแบบ NMOS Capacitor	85
รูป 5.7	ขั้นตอนการออกแบบลวดลายเพื่อให้รูปแบบของชิพภายในวงจร	86
รูป 5.8	การทดลองลวดลายวงจรตัวดักจับเฟสและความถี่เมื่อเฟสและความถี่ A นำหน้า B	87
รูป 5.9	การทดลองลวดลายวงจรตัวดักจับเฟสและความถี่เมื่อเฟสและความถี่ B นำหน้า A	88
รูป 5.10	ความถี่เปลี่ยนตามแรงดันควบคุมของวงจร VCO จากการออกแบบวงจร	89
รูป 5.11	ความถี่เปลี่ยนตามแรงดันควบคุมของวงจร VCO จากลวดลายวงจร	89
รูป 5.12	ระบบเฟสล็อคล็อคลูปซึ่งตัวดักจับเฟสแบบแหล่งจ่ายกระแสคงที่(Charge-pump)	90
รูป 5.13	รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล	90
รูป 5.14	แสดงลวดลายวงจรเฟสล็อคลูปเข้าสู่สภาวะล็อคเมื่อใส่วงจรหารN=8แบบJ-Kฟลิปฟลอบ	93
รูป 5.15	ชิพเฟสล็อคลูปแบบคูณ 8 ของความถี่อินพุทโดยใช้ เจ เค ฟลิปฟลอป	94
รูป 5.16	pseudo-NMOS inventer	96
รูป 5.17	New TSPC DFF with ratioed logic technique	96
รูป 5.18	วงจร D-FF TSPC	97
รูป 5.19	ลอจิก NAN D-FF	97
รูป 5.20	วงจรที่ใช้ในการออกแบบ Dual-modulus prescaler	98
รูป 5.21	ลวดลายวงจรของ Dual-modulus prescaler	99
รูป 5.22	ชิพเฟสล็อคลูปแบบคูณ 16 ของความถี่อินพุทโดยใช้ Prescaler	100
รูป 5.23	ชิพเฟสล็อคลูปแบบคูณ 128 ของความถี่อินพุทโดยใช้ Prescaler	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิเลเตอร์	49
ตาราง 3.2 อัตราส่วน $\left(\frac{W}{L}\right)$ ของ Voltage control oscillator	55
ตาราง 3.3 เปรียบเทียบแรงดัน กับความถี่วงจรออสริเลเตอร์	59
ตาราง 3.4 ค่าพารามิเตอร์ ของวงจรออสซิเลเตอร์	59
ตาราง 3.5 สถานะการนับของวงจรนับโหมด 3	62
ตาราง 3.6 สถานะการนับของวงจรนับขนาด 2 บิต แบบนับขึ้น	64
ตาราง 3.7 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิตแบบนับขึ้น	64
ตาราง 3.8 excitation map ของดีฟสิป-ฟลอป	65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เฟสล็อคลูปเป็นอุปกรณ์หรือวงจรที่ใช้ในการรักษาอัตราการเปลี่ยนแปลงเฟสของสัญญาณระหว่างเฟสของสัญญาณเอาท์พุตกับสัญญาณอินพุตให้มีค่าเท่ากัน โดยจะมีผลทำให้มีความถี่เท่ากันด้วย จากคุณสมบัติดังกล่าว จึงมีการนำเฟสล็อคลูปไปใช้งานอย่างกว้างขวาง เช่น ใช้ในการดีมอดสัญญาณและใช้ในการสร้างหรือกำเนิดความถี่ โดยองค์ประกอบพื้นฐานของเฟสล็อคลูปมีอยู่สามส่วน คือ ตัวดักจับเฟส วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า และส่วนของวงจรกรองความถี่ต่ำผ่าน ซึ่งองค์ประกอบในแต่ละส่วนก็มีหลายแบบ ดังนั้นเมื่อนำองค์ประกอบดังกล่าวมาประกอบกันเป็นเฟสล็อคลูปก็จะได้เฟสล็อคลูปหลายแบบเช่นกัน ซึ่งในแต่ละแบบก็จะมีคุณสมบัติการทำงานที่แตกต่างกัน การศึกษาทำความเข้าใจจึงเป็นเรื่องจำเป็นที่จะทำให้สามารถเลือกใช้และออกแบบได้เหมาะสมกับการประยุกต์ใช้งาน

ปริญญานิพนธ์นี้เป็นการนำเสนอการศึกษาและแนวทางการออกแบบวงจรเฟสล็อคลูป เนื่องจากองค์ประกอบพื้นฐานของเฟสล็อคลูปประกอบสามส่วนดังกล่าว ดังนั้นเนื้อหาบทที่สองจึงเป็นรายละเอียดเกี่ยวกับหลักการทำงานพื้นฐานของเฟสล็อคลูปประกอบสามส่วนดังกล่าว ดังนั้นเนื้อหาบทที่สองจึงเป็นรายละเอียดเกี่ยวกับหลักการทำงานพื้นฐานของเฟสล็อคลูปและหลักการทำงานของเฟสล็อคลูปแต่ละรูปแบบ ส่วนบทที่สาม เป็นรายละเอียดเกี่ยวกับองค์ประกอบของเฟสล็อคลูปตลอดจนการออกแบบและผลการทดลองขององค์ประกอบนั้น ซึ่งประกอบด้วย ตัวดักจับ เฟส วงจรกรองความถี่ต่ำผ่านและวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า บทที่สี่เป็นการทดสอบว่าเพื่อนำส่วนประกอบดังกล่าวมาสร้างเป็นเฟสล็อคลูป สามารถทำงานได้ถูกต้องหรือไม่ และบทสุดท้ายเป็นการสรุปผลการทดลอง ในส่วนการทดลองจะใช้โปรแกรมคอมพิวเตอร์เป็นตัวจำลองการทำงานของวงจรที่ออกแบบไว้ สามารถทราบผลการทำงานของวงจรและสามารถปรับแต่งค่าพารามิเตอร์ต่าง ๆ ได้ตามต้องการเพื่อความถูกต้องมากที่สุด

วัตถุประสงค์

1. ศึกษาการทำงานและการออกแบบวงจรตัวดักจับเฟส วงจรออสซิลเลเตอร์ และวงจรกรองความต่ำที่ใช้งานในเฟสล็อคลูป
2. สามารถออกแบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานได้ตามต้องการ
3. เข้าใจหลักการทำงานของเฟสล็อคลูปแบบต่าง ๆ และสามารถเลือกประยุกต์ใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีพื้นฐานของเฟสล็อคลูป

2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป

เฟสล็อคลูปเป็นอุปกรณ์ที่ถูกสร้างขึ้นมาราวปี 1932 โดย ดี เบลเลสซิท (de Bellescize) วิศวกรชาวฝรั่งเศส โดยเฟสล็อคลูปได้เริ่มมีการนำมาประยุกต์ใช้งานในอุตสาหกรรมอย่างกว้างขวาง เมื่อมีการพัฒนาเทคโนโลยีทางด้านสิ่งประดิษฐ์สารกึ่งตัวนำจนสามารถสร้างออกมาในรูปแบบของวงจรรวม (Integrated Circuit)ได้

เฟสล็อคลูปในรูปวงจรรวมสร้างขึ้นครั้งแรกในปี 1965 และเป็นอุปกรณ์ด้านอนาล็อกล้วนโดยใช้ วงจรคูณเป็นตัวดักจับเฟสและส่วนของวงจรกรองความถี่ต่ำผ่าน (Low-pass filter, LPF) ใช้อุปกรณ์พาสซีฟหรือแอกทีฟ RC ฟิลเตอร์ และใช้วงจรออสซิลเลเตอร์ แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator,VCO) เป็นตัวกำเนิดสัญญาณเอาท์พุทวงจรดังกล่าว เรียกว่า “ลิเนียร์เฟสล็อคลูป” (Linear Phase-Locked Loops, LPP)

นับแต่นั้นมาเฟสล็อคลูปได้รับการพัฒนาเรื่อยมา จนเข้าสู่ยุคของวงจรดิจิตอลจึงมีการสร้างเฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loops, DPLL) ขึ้นมาในปี 1970 โดยตัวดักจับเฟสจะสร้างจากวงจรดิจิตอล โดยใช้เอ็กซ์คูลซีฟออร์หรือ J-K ฟลิบฟลอป แต่ยังมีบางส่วนยังคงเป็นวงจรอนาล็อกซึ่งก็คือส่วนของวงจรกรองความถี่ต่ำผ่านยังคงใช้อุปกรณ์พาสซิฟประเภทตัวต้านทานและคาปาซิเตอร์อยู่

จากนั้นมาไม่นานเฟสล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loops) ก็ถูกสร้างขึ้นซึ่งทุกส่วนของวงจรเฟสล็อคลูปจะอยู่ในรูปแบบฟังก์ชั่นดิจิตอล หรือเป็นวงจรดิจิตอลทั้งหมดไม่จำเป็นต้องมีอุปกรณ์พาสซีฟ

นอกจากนี้วงจรกรองความถี่ต่ำผ่านสามารถสร้างขึ้นมาได้โดยใช้ซอฟแวร์และฟังก์ชั่นของวงจรเฟสล็อคลูปสามารถสร้างขึ้นได้โดยใช้โปรแกรมคอมพิวเตอร์สร้างเฟสล็อคลูปดังกล่าวเรียกว่า (Software Phase-Locked Loops, SPLL) ซึ่งเป็นการลดความยุ่งยากในกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำที่ใช้ในวงจรเฟสล็อคลูป

สรุปเฟสล็อคลูปมี 4 ประเภทคือ

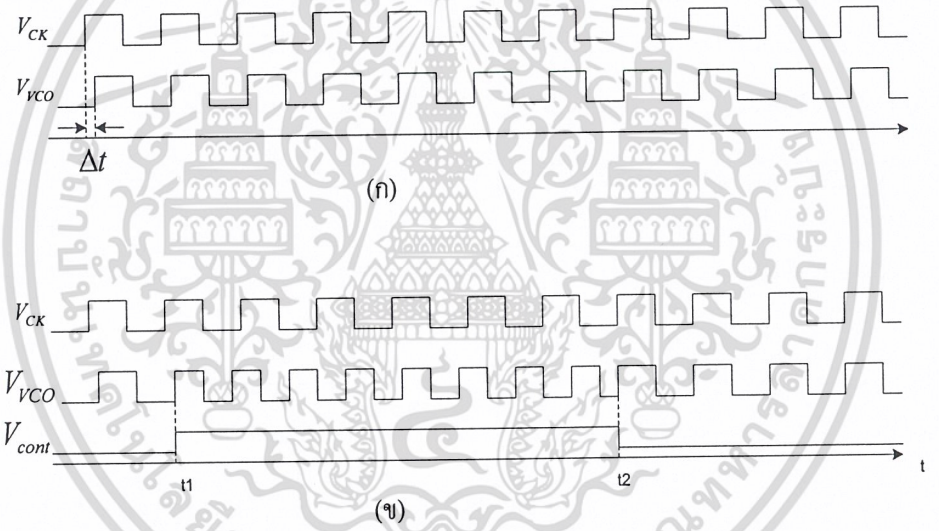
1. เฟสล็อคลูปแบบลิเนียร์ (Linear Phase-Locked Loops, LPP)
2. เฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loops,DPLL)
3. เฟลล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loops)
4. เฟลล็อคลูปแบบซอฟแวร์ (Software Phase-Locked Loops, SPLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป

การทำงานของเฟสล็อคลูปในสภาวะล็อค คือการที่ความถี่เอาท์พุตจาก วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้ามีค่าเท่ากับความถี่อ้างอิงหรืออินพุทและอัตราการเปลี่ยนแปลงของเฟสอินพุตและเอาท์พุตเทียบกับเวลาจะมีค่าเท่ากัน

พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณารูป 2.1(ก) แสดงการเปรียบเทียบเฟส ระหว่างเอาท์พุตจาก VCO กับเฟสของอินพุตอ้างอิงหรือคล็อค จะเห็นว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดมีเฟสผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดยกำหนดให้ V_{cont} แรงดันอินพุทของ VCO โดยเมื่อ V_{cont} สูงขึ้นความถี่เอาท์พุตที่จะสูงขึ้นพิจารณา รูปที่ 2.1(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มของเฟสอย่างรวดเร็วจนที่เวลา $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรกโดยเฟสของเอาท์พุตจาก VCO กับเฟสของอินพุทอ้างอิงหรือคล็อคอินเฟสกัน

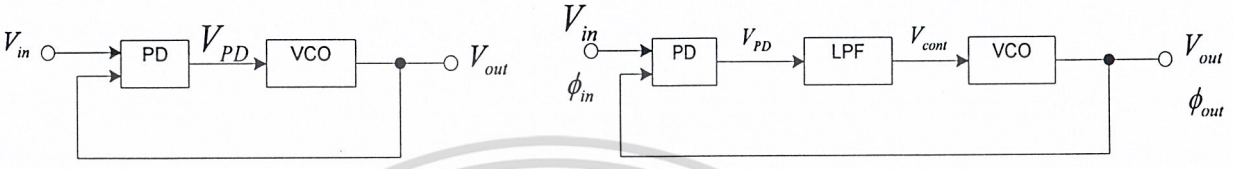


รูปที่ 2.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป
(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุท
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด

จากหลักการข้างต้นทำให้เราสามารถทราบได้ว่าวงจรเฟสล็อคลูปแบบง่ายนั้นประกอบด้วยตัวดักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 2.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับV_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับและเข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามต้องมีการปรับปรุงวงจรรูป 2.2(ก) เนื่องจาก เอาท์พุตของ PD หรือ V_{PD} ประกอบด้วยส่วนของแรงดันดีซีและแรงดันเอซีที่มีความถี่สูงดังนั้นเพื่อให้แรงดันอินพุทของ VCO มีเฉพาะส่วนของดีซี เพื่อให้ความถี่เอาท์พุตออกมาคงที่ต้องมีการใส่วงจรกรองความต่ำผ่านเข้าไประหว่างวงจร PD กับ VCO ดังรูป 2.2(ข) เพื่อกำจัดส่วนที่มีความถี่สูงออกไปโดย LPF ที่ใส่เข้าไปจะต้องมีอัตราการขยายเป็นหนึ่งที่ความถี่ต่ำ



(ก) (ข)

รูป 2.2 องค์ประกอบของเฟสล็อคลูป
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO
(ข) องค์ประกอบที่ประกอบด้วย PD, VCO และ LPF

พิจารณารูป 2.2(ก) เงื่อนไขวงจรภายใต้สภาวะล็อคคือ $\varnothing_{out}$ - $\varnothing_{in}$ จะต้องมีค่าคงที่และมีขนาดเล็กและจะต้องไม่เปลี่ยนแปลงกับเวลาเขียนความสัมพันธ์เป็นสมการได้ว่า

$$\frac{d\phi_{out}}{dt} - \frac{d\phi_{in}}{dt} = 0 \qquad (2.1)$$

หรือก็คือ

$$\omega_{out} = \omega_{in} \qquad (2.2)$$

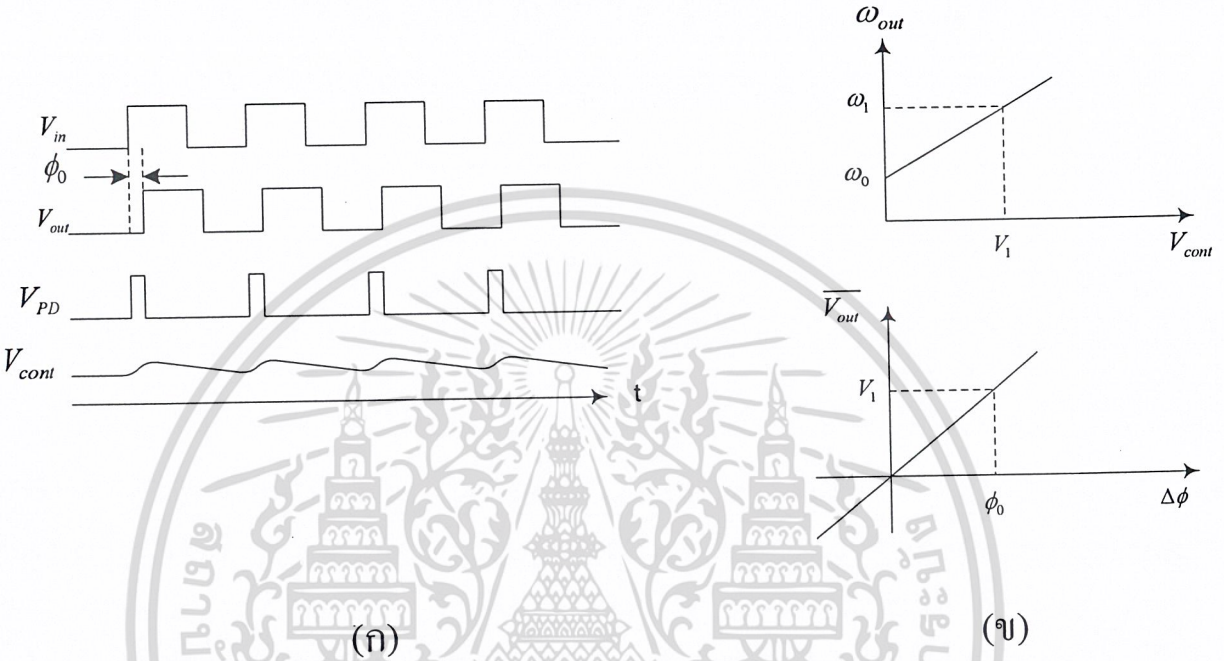
โดยสรุปจะได้ว่าเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคเฟสของเอาท์พุตจาก VCO เมื่อเทียบกับอินพุทจะต้องมีค่าผิดพลาดเฟสน้อยแต่ความถี่ทั้งสองจะต้องเท่ากัน

2.2.1 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้นแสดงดังรูป 2.3(ก) โดย Vout กับ Vin จะมีความต่างเฟสหรือเฟสผิดพลาดน้อยมากแต่ความถี่จะเท่ากัน โดย PD เป็นตัวสร้างพัลซ์ที่เกิดจากค่าเฟสผิดพลาดของอินพุตกับเอาท์พุต และ LPF จะรองเอาเฉพาะแรงดันที่เป็นดีซีคือ V_{PD} ป้อนให้กับ VCO โดยพัลซ์ขนาดเล็กใน V_{LPF} เรียกว่า ริบเปิ้ล (ripple)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูป 2.3(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ $\varnothing_0$ และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงในอยู่รูป 2.3(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุตและเอาท์พุตจะมีค่าเท่ากัน โดยกำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูป 2.3(ก)



(ก) (ข)

รูปที่ 2.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค
(ก) รูปคลื่นสัญญาณในแต่ละจุด
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส 0 จากกราฟคุณสมบัติของ PD และ VCO จะได้ $\omega_{out} = \omega_0 + K_{VCO}V_{cont}$ และ $V_{PD} = K_{PD}\,\Delta\varnothing$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \qquad (2.3)$$

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \qquad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\omega_1 - \omega_0}{K_{PD}K_{VCO}} \qquad (2.5)$$

จากสมการ 2.5 ทำให้ทราบคุณสมบัติที่สำคัญสองประการคือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าผิดพลาดของเฟสจะมีค่าต่ำเมื่อค่า $K_{PD}K_{VCO}$ ต้องมีค่าสูงโดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คือค่าอัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลงเฟส หรือความถี่ที่อินพุตจะทำการพิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร

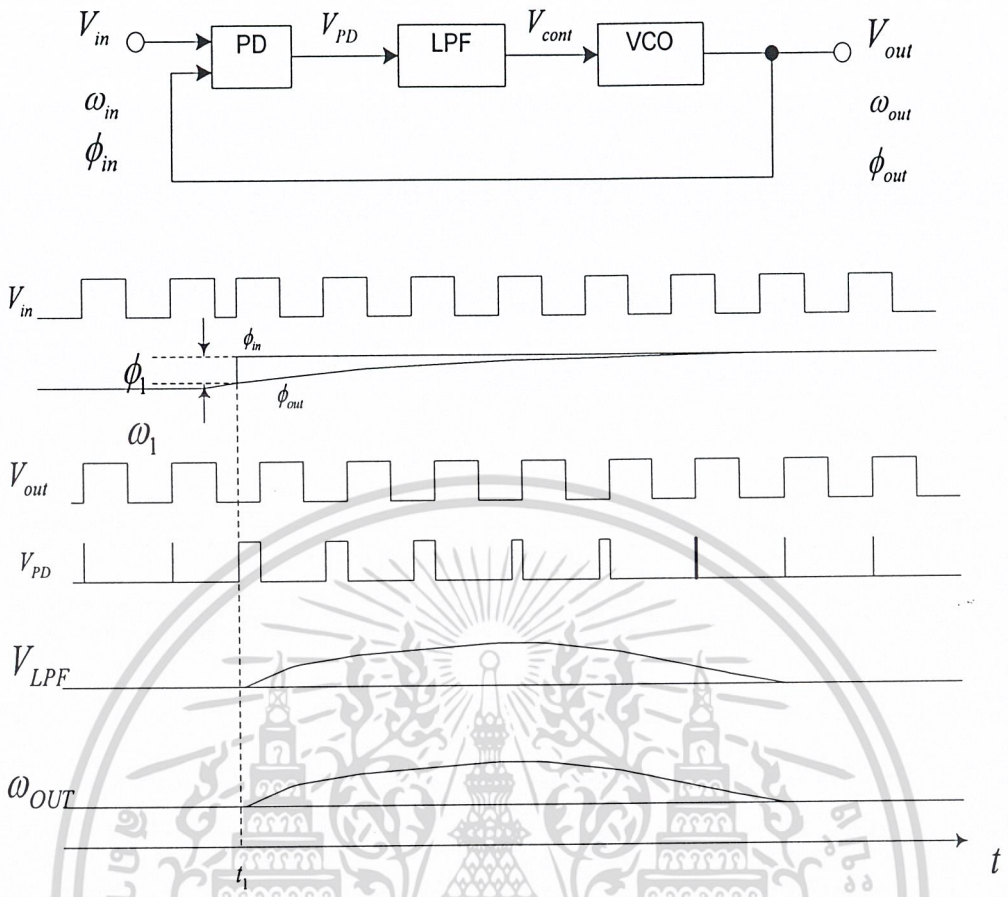
โดยจะพิจารณาเมื่อเกิดการเปลี่ยนแปลงของเฟสที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุตและเอาท์พุตเป็นดังนี้

$$V_{in}(t) = V_A \cos \omega_1 t \qquad (2.6)$$

$$V_{out}(t) = V_B \cos(\omega_1 t + \phi_0) \qquad (2.7)$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูงและ $\varnothing_0$ คือค่าความผิดพลาดเฟสคงที่ พิจารณารูป 2.4 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ $\varnothing_1$ และเกิดขึ้นที่เวลา $t = t_1$ จะทำให้เฟสที่อินพุทมีค่าเท่ากับ $\varnothing_{in} = \omega_1 t + \varnothing_1 u\,(t + t_1)^2$ ณ เวลานี้เอาท์พุตของ LPF ยังไม่เพิ่มขึ้นอย่างทันทีทันใด และ VCO ยังคงออสซิลเลทที่ความถี่เดิมคือ ω_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต

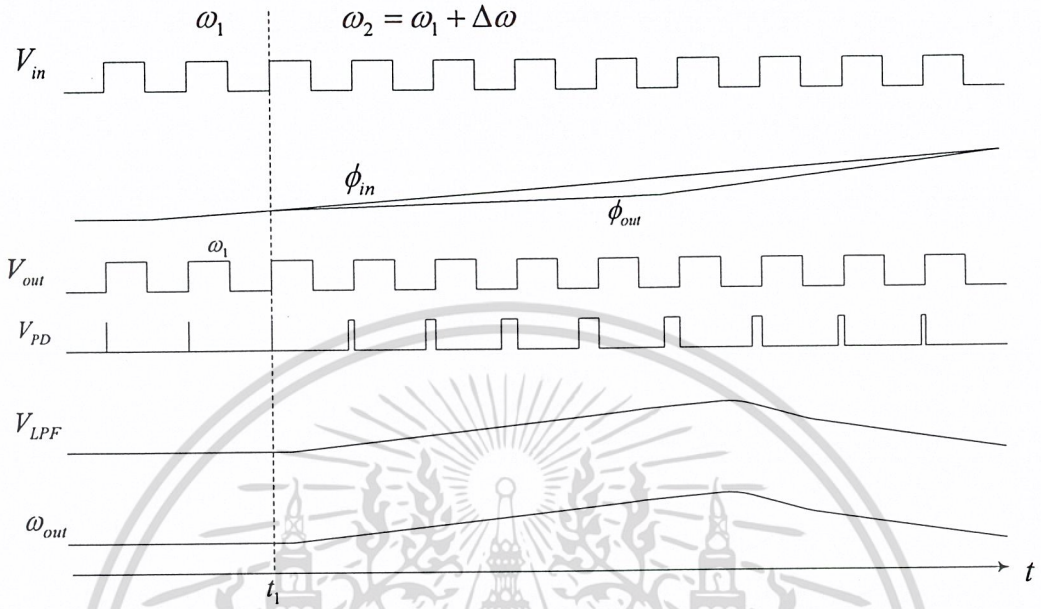
หลังจากนั้นค่าความต่างเฟสของอินพุตกับเอาท์พุตค่อย ๆ เพิ่มขึ้นทำให้พัลซ์ขึ้นที่เอาท์พุตของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะไม่เกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟส เปลี่ยนแปลงตามเวลา ภายหลังจากที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อคตามเดิมโดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ $\varnothing_{out} - \varnothing_{in}$ จะกลับสู่ค่าเริ่มต้นตามเดิม โดยเมื่อ ลูปอยู่ในสภาวะสงบเอาท์พุตจะมีค่าเท่ากับ

$$V_{out}(t) = V_B \cos\left[\omega_1 t + \phi_0 + \phi_1 u\left(t - t_1\right)\right] \qquad (2.8)$$

สิ่งที่สำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อคคือ พารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมด คือ $\varnothing_{out} - \varnothing_{in}$, V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุตเปลี่ยนแปลงชั่วขณะ โดยอินพุตเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูป 2.5



รูป 2.5 ผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต

โดยความถี่เริ่มต้นของ VCO คือ ω_1 เมื่อความถี่อินพุตเปลี่ยน PD จะกำเนิดพัลซ์โดยความกว้างค่อย ๆ เพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุทโดยเอาท์พุทจาก PD จะมีค่าลดลง ภายใต้สภาวะสงบ ระดับแรงดันดีซีที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega - \omega_0/K_{VCO}$ จะเห็นได้ว่าการเปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าเฟสผิดพลาดลง

2.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

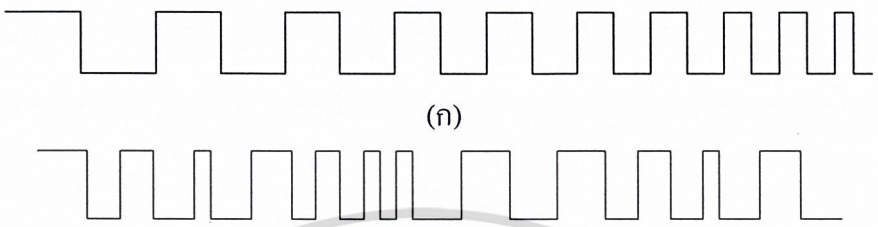
การพิจารณาเกี่ยวกับเสถียรภาพของเฟสล็อคลูปจะต้องทราบฟังก์ชั่นถ่ายโอนของระบบดังนั้นต้องพิจารณาหา $\Phi_{out}(S)/\Phi_{in}(S)$ ทั้งแบบลูปเปิดและลูปปิด

พิจารณา $\Phi_{out}(S)/\Phi_{in}(S)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $V_{out}(S)/V_{in}(S) = 1/(1 + s/\omega_0)$ จากฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุตได้ตลอดย่านที่เปลี่ยนแปลง ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำนองเดียวกัน $\Phi_{out}(S)/\ \Phi_{in}(S)$ จะแสดงให้เห็นความสัมพันธ์ว่าเฟสของเอาท์พุตมีการเปลี่ยนแปลงไปกับเฟสของอินพุตอย่างไรเมื่อเฟสอินพุตมีการเปลี่ยนแปลงอย่างช้าหรือเร็ว

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูป 2.6 โดยรูป 2.6(ก) เป็นการเปลี่ยนแปลงของเฟสอย่างรวดช้า ๆ และรูป 2.6(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว

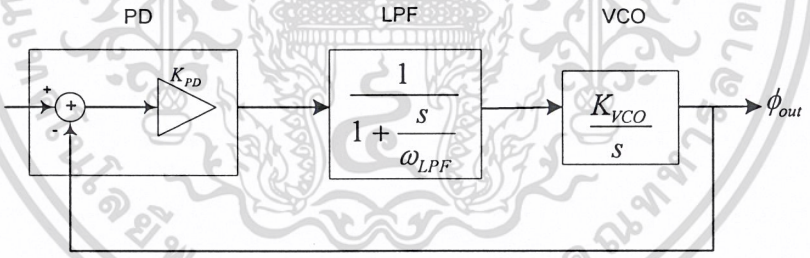


(ก)

(ข)

รูป 2.6 การเปลี่ยนแปลงของเฟสกับเวลา
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว

พิจารณา $\Phi_{out}(S)/\Phi_{in}(S)$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูป 2.7



รูป 2.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)

โดยพิจารณาจากรูป 2.7 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\ \varnothing_{out}-\varnothing_{in})$ โดยความถี่สูงจะถูกจำกัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชั่นถ่ายโอนของ PD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชั่นถ่ายโอนคือ $1/(1 + s/\omega_{LPF})$ ในส่วนวงจร VCO มีฟังก์ชั่นถ่ายโอน คือ K_{vco}/s ส่วน Φ_{in} และΦ_{out} คืออินพุตและเอาท์พุตเฟส ตัวอย่างเช่น ถ้าผลรวมของอินพุตเฟสเป็นฟังก์ชั่นแบบขั้นบันได คือ $\varnothing_i u(t)$ นั่นคือ $\Phi_{in} = \varnothing_i/s$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.7 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

$$H(s) = \frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} \tag{2.9}$$

$$= K_{PD}\frac{1}{1+\frac{s}{\omega_{LPF}}}\frac{K_{VCO}}{s} \tag{2.10}$$

จากสมการ 2.10 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ s = -ω_{LPF} และ s = 0 โดยอัตราขยายลูปจะเท่ากับ $H(s)\Big|_{open}$ เพราะป้อนกับแบบเต็มที่แฟกเตอร์การป้อนกับเป็นหนึ่งโดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า “ชนิดที่หนึ่ง” (type 1)

ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ $\varnothing_{out}$ เปลี่ยนแปลงเข้าใกล้ $\varnothing_{in}$ โดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 2.11

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{2.11}$$

สิ่งที่เราต้องการคือ $H(s)\Big|_{open}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ s มีค่าเข้าใกล้ศูนย์นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟลล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ 2.11 สามารถหาผลตอบสนองแบบขั้นบันได (step response) ของระบบชนิดที่หนึ่ง (type 1) ได้โดยการพิจารณาเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบของสมการอันดับสองของระบบดังสมการ 2.12 นำมาเปรียบเทียบกันกับสมากร 2.11 เพื่อหาค่าพารามิเตอร์ต่าง ๆ ของระบบเพื่อวิเคราะห์ผลตอบสนองแบบขั้นบันไดของระบบแบบที่หนึ่ง (type 1)

$$H(s) = \frac{\omega_n^2}{s^2 + 2\varsigma\omega_n s + \omega_n^2} \tag{2.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ω_n คืออความถี่ธรรมชาติ (Natural frequency) และ ζ คือตัวประกอบการหน่วง (Damping factor) ซึ่งจากสมการ 2.11 ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ค่าความถี่ธรรมชาติและค่าตัวประกอบการหน่วงคือ

$$\omega_n = \sqrt{\omega_{LPF} K_{PD} K_{VCO}} \tag{2.13}$$

$$\varsigma = \frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \tag{2.14}$$

และโพลของทั้งสองตัวของระบบอยู่ที่ตำแหน่ง

$$s_{1,2} = -\varsigma\omega_n \pm \sqrt{(\varsigma^2 - 1)\omega_n^2} \tag{2.15}$$

$$s_{1,2} = (-\varsigma \pm \sqrt{(\varsigma^2 - 1)}\omega_n \tag{2.16}$$

โดยถ้า $\zeta > 1$ โพลทั้งสองเป็นจำนวนจริงซึ่งจะทำให้ระบบเกิดโอเวอร์แดมและในทางตรงกันข้ามถ้า $\zeta < 1$ โพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุตต่อความถี่อินพุตแบบขั้นบันไดโดย $\omega_{in} = \Delta\omega u(t)$ ผลของเอาท์พุตคือ

$$\omega_{out}(t) = \left\{1 - e^{-\varsigma\omega_n t}\left[\cos\left(\omega_n\sqrt{1-\varsigma^2}t\right) + \frac{\varsigma}{\sqrt{1-\varsigma^2}}\sin\left(\omega_n\sqrt{1-\varsigma^2}t\right)\right]\right\}\Delta\omega u(t) \tag{2.17}$$

$$= \left[1 - \frac{1}{\sqrt{1-\varsigma^2}}e^{-\varsigma\omega_n t}\sin\left(\omega_n\sqrt{1-\varsigma^2}t + \theta\right)\right]\Delta\omega u(t) \tag{2.18}$$

โดย ω_{out} คือผลการเปลี่ยนแปลงของความถี่เอาท์พุต และ θ มีค่าเท่ากับ

$$\theta = \sin^{-1}\sqrt{1-\varsigma^2} \tag{2.19}$$

รูปคลื่นเอาท์พุทแสดงดังรูป 2.8 จะเห็นว่ามีส่วนประกอบของรูปคลื่นซายน์โดยมีความถี่เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

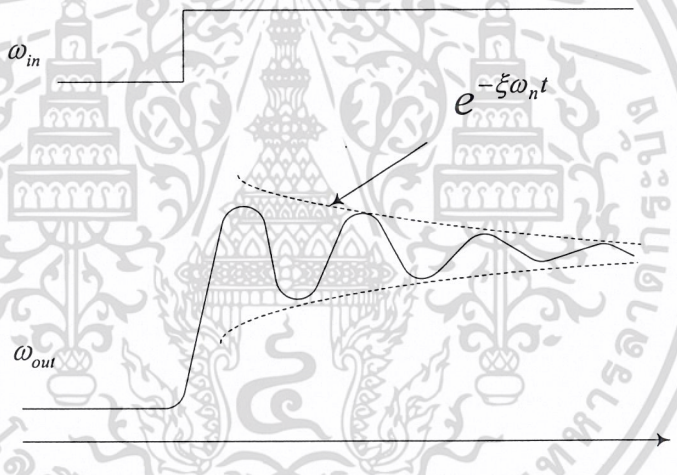
$$\omega = \omega_n \sqrt{1 - \varsigma^2} \qquad (2.20)$$

และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega n)^{-1}$

การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในการนำไปใช้งาน จากสมการ 2.18 ค่าของเอ็กซ์โปแนนเซียลจะลดลงสัมพันธ์กับค่าของเทอม $\zeta\omega n$ โดยมีค่าเท่ากับ

$$\varsigma\omega_n = \frac{1}{2}\omega_{LPF} \qquad (2.21)$$

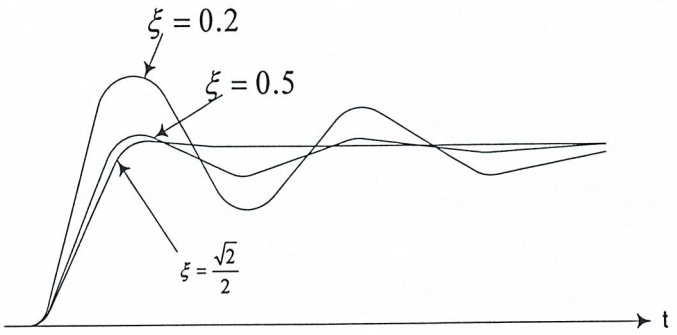
จากผลลัพธ์ที่ได้จะเห็นว่าจะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบอย่างรวดเร็วกับแรงดันริปเปิ้ลที่จะไปควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุต PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก



รูป 2.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูป 2.9 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω_n มีค่าคงที่ โดยผลการตอบสนองจะไม่มีการกระเพื่อมเมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการต้องเลือกระหว่าง LPF และค่าเวลาเข้าสู่สภาวะสงบ (Settling time) และจากสมการ 2.5 ถ้าเราต้องการลดค่าความผิดพลาดเฟสให้น้อยลงจะต้องลดค่าของ $K_{PD}K_{VCO}$ ลงแต่จากสมการ 2.14 จะทำให้ ζ เพิ่มขึ้นทำให้ระบบมีเสถียรภาพต่ำลง

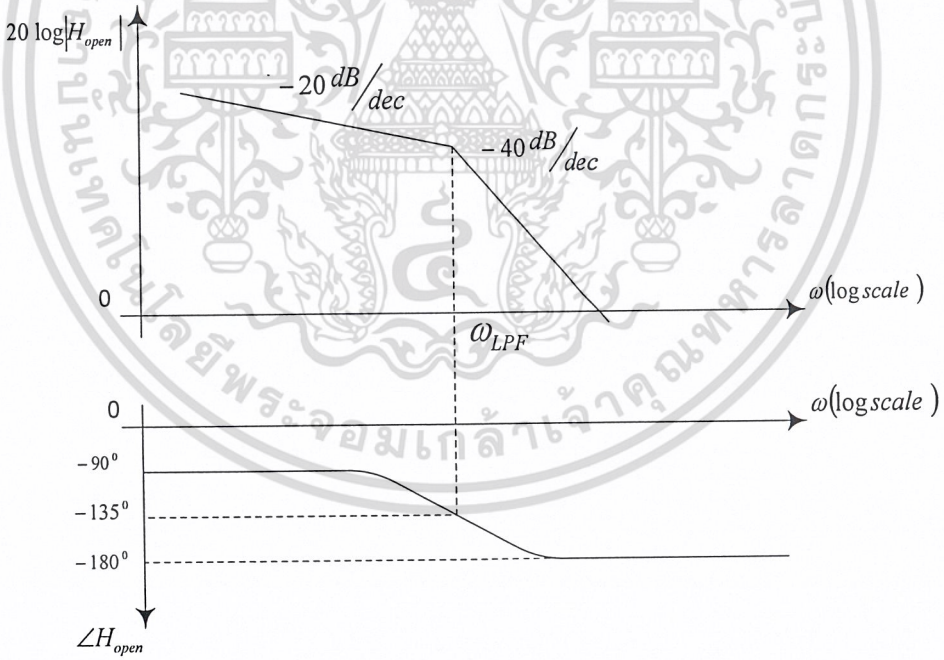
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงได้ด้วยกราฟโบดพล็อตทั้งขนาดและความถี่ดังรูป 2.10 โดยใช้สมการ 2.10



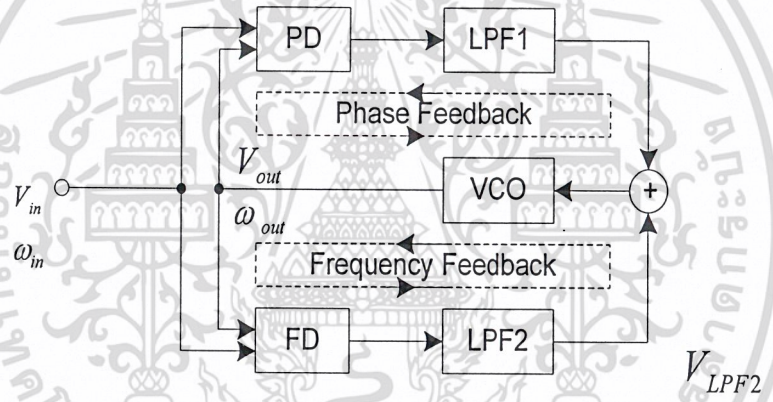
รูป 2.10 กราฟโบดพล็อตแสดงเสียรภาพของ type I PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)

จากการพิจารณาเฟลล็อคลูปแบบที่หนึ่งจะเห็นว่ามีปัญญาในเรื่องที่จะต้องเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ นอกจากนั้นแล้วยังมีปัญหาในเรื่องของช่วงของการเข้าสู่ภาวะล็อคมีค่าจำกัดโดยปัญหาของการได้มาซึ่งสภาวะล็อคของเฟสล็อคลูปคือ เริ่มแรกเมื่อวงจรทำงานหรือเมื่อจ่ายไฟ เลี้ยงให้วงจร ถ้าวงจรออสซิลเลเตอร์ทำงานที่ความถี่ห่างจากความถี่อินพุตลูปจะไม่ล็อคโดยช่วงของการเข้าสู่สภาวะล็อคจะขึ้นอยู่กับค่าของ ω_{LPF} โดยลูปจะล็อคเพียงกรณีเดียวคือ ความแตกต่างระหว่าง ω_{in} กับ ω_{out} จะต้องน้อยกว่า ω_{LPF} แต่ก็ต้องเลือกอีกเช่นกัน เพราะถ้าหากเราให้ ω_{LPF} มีค่าต่ำก็จะทำให้ช่วงเข้าสู่การล็อคมีค่าต่ำเช่นกัน

ปัญหาดังกล่าวแก้ไขโดยการเพิ่มตัวดักจับความถี่ (Frequency detector, FD) เข้าไปรวมกับส่วนของ PD ดังแสดงในรูป 2.11



รูป 2.11 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส – ความถี่

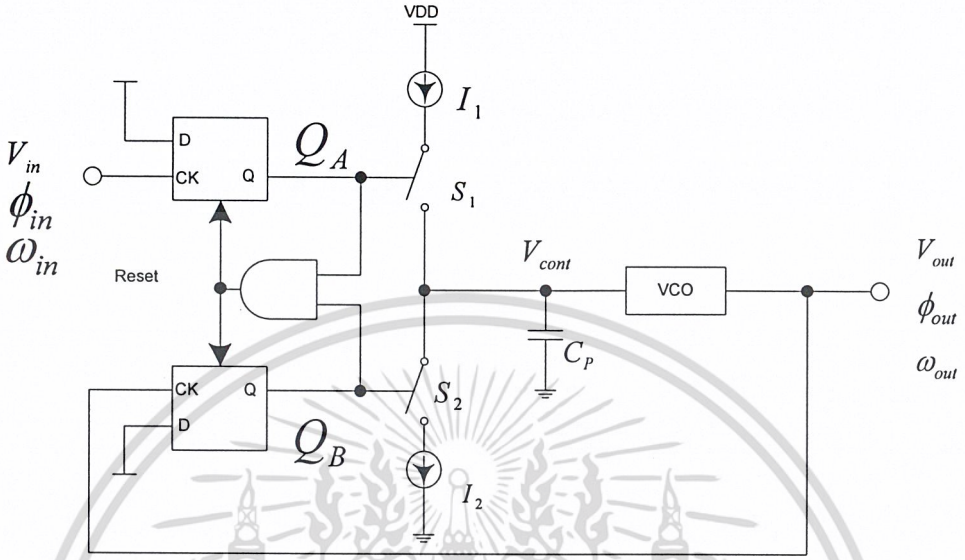
โดย FD จะทำหน้าที่เปรียบเทียบความถี่ของอินพุตกับเอาท์พุตและจะทำให้วงจรกรองความถี่ต่ำมีแรงดันเกิดขึ้นเป็นไปตามสัดส่วนของ $\omega_{in} - \omega_{out}$ ซึ่งตัวดักจับเฟสแบบนี้เรียกว่า ตัวดักจับเฟสแบบเฟส – ความถี่ (Phase/Frequency Detector, PFD) ซึ่งหลักการทำงานของ PFD จะกล่าวถึงต่อไปในหัวข้อตัวดักจับเฟส

2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

พิจารณารูป 2.12 เป็นวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL, CP PLL) โดยตัวดักจับเฟสเป็นแบบเฟส-ความถี่ หลักการทำงานของวงจรคือ เมื่อจ่ายไฟเลี้ยงให้วงจรค่าของ ω_{out} อาจจะมีความถี่ที่ห่างจาก ω_{in} ทำให้ PFD และส่วนของแหล่งจ่ายกระแสทำงานเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การปรับเปลี่ยนแรงดันที่ป้อนให้กับ VCO จนค่าความถี่ของ ω_{out} มีค่าใกล้เคียงกับอินพุต ω_{in} จากนั้น PFD จะทำหน้าที่เสมือน PD ดำเนินกระบวนการเข้าสู่สภาวะล็อคโดยเมื่อลูปอยู่ในสภาวะล็อคค่าความต่างเฟสอินพุตกับเอาท์พุตเท่ากับศูนย์ส่วนของแหล่งจ่ายกระแสไม่ทำงาน

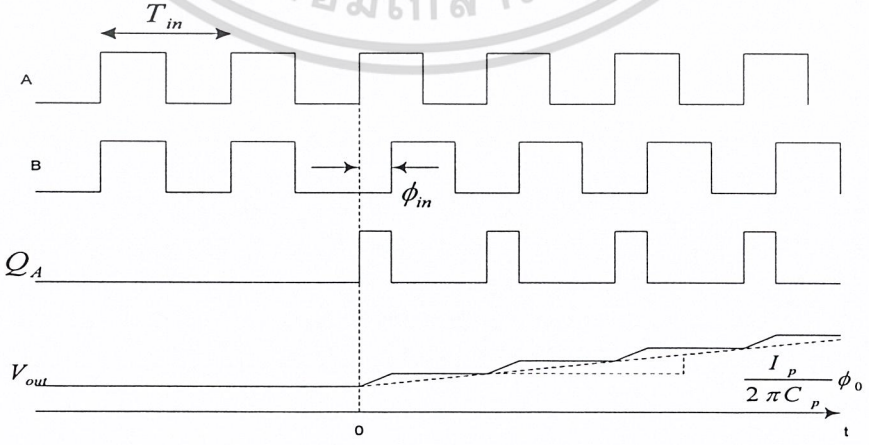


รูป 2.12 วงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณาการทำงานของวงจรรูป 2.12 โดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กที่ Q_A และ Q_B โดยสมมติให้หลังจากเกิดการล็อค ω_{in} - ω_{out} มีค่าเท่ากับศูนย์ PFD จะให้ $Q_A = Q_B = 0$ ในส่วนของแหล่งจ่ายกระแสยังไม่ทำงานทำให้แรงดัน C_p ยังมีค่าคงที่

2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

การพิจารณาถึงเสถียรภาพจะต้องสร้างรูปแบบเชิงเส้นของระบบและพิจารณาฟังก์ชั่นถ่ายโอน การจะสร้างรูปแบบเชิงเส้นได้นั้นต้องรู้ค่าฟังก์ชั่นถ่ายโอนของแต่ละส่วน



รูป 2.13 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาหาค่าฟังก์ชั่นถ่ายโอนเมื่อนำส่วนของ PFD/CP/LPF มารวมกันโดยใช้ LPF เป็นค่าปาซิเตอร์ตัวเดียว โดยการสมมติให้คาบเวลาของความถี่อินพุตคือ T_{in} และค่ากระแสที่ใช้ในการชาร์จและดิสชาร์จคือ $\pm I_p$ ดังแสดงในรูป 2.13 โดยมีอินพุตสองอินพุท A และ B และที่เวลาเริ่มต้นมีค่าความต่างเฟสเท่ากับศูนย์ และเมื่อถึงที่เวลา t =0 เฟสของอินพุต B มีการเปลี่ยนแปลงแบบขั้นบันได้คือ $\varnothing_0$ โดยความต่างเฟสมีค่าเท่ากับ $\Delta\varnothing = \varnothing_0 u(t)$ ทำให้ Q_A เกิดพัลซ์ออกมาอย่างต่อเนื่องและมีค่าเท่ากับ $\varnothing_0 T_{in}/(2\pi)$ และค่าเอาท์พุทจะเพิ่มขึ้นโดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กจะมีค่าเท่ากับ (I_P/C_P) $\varnothing_0 T_{in}/(2\pi)$ โดยการประมาณส่วนที่เป็นฟันเลื่อยเป็นเส้นตรงดังนั้นความชันของ V_{out} คือ (I_P/C_P) $\varnothing_0 T_{in}/(2\pi)$ และสามารถเขียนได้อีกแบบดังสมการ

$$V_{out}(t) = \frac{I_P}{2\pi C_p} t \bullet \phi_0 u(t) \qquad (2.22)$$

จากผลการตอบแบบอิมพัลซ์จะได้

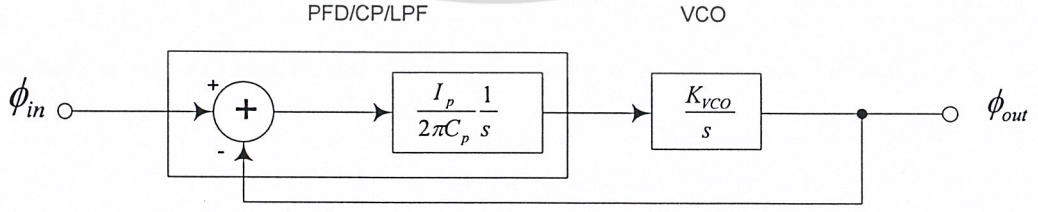
$$h(t) = \frac{I_P}{2\pi C_p} u(t) \qquad (2.23)$$

และจะได้ฟังก์ชั่นถ่ายโอนคือ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_p} \bullet \frac{1}{s} \qquad (2.24)$$

โดยจากฟังก์ชั่นถ่ายโอนจะเห็นว่า PFD/CP/LPF เมื่อต่อร่วมกันจะทำให้เกิดโพลขึ้นหนึ่งตัวที่จุดกำเนิดดังเช่นที่ได้เขียนไว้ในเฟสล็อคลูปชนิดที่หนึ่งซึ่งจะอยู่ในเทอม K_{VCO}/S และเทอมของ $I_P(2\pi C_P)$ เรียกว่าอัตราการขยายของ PFD เขียนแทนด้วย K_{PFD}

พิจารณาสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ได้ดังรูป 2.14



รูป 2.14 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

จากรูป 2.14 จะได้ฟังก์ชั้นถ่ายโอนลูปเปิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi C_p} \bullet \frac{K_{VCO}}{s^2} \qquad (2.25)$$

พิจารณาจากฟังก์ชั่นถ่ายโอนจะเห็นว่าอัตราขยายของลูปมีโพลอยู่สองโพลที่จุดกำเนิด ซึ่งเราเรียกระบบนี้ว่า "แบบที่สอง" (type II) และกำหนด H(s) คือฟังก์ชั่นถ่ายโอนของลูปปิดจะได้

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_p}}{s^2 + \frac{I_P K_{VCO}}{2\pi C_p}} \qquad (2.26)$$

โดยลูปปิดมีโพลเป็นจำนวนจินตภาพอยู่ที่ตำแหน่ง

$$s_{1,2} = \pm j\sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \qquad (2.27)$$

ซึ่งระบบมีอัตราขยายของลูปดังสมการ 2.25 จะไม่มีเสถียรภาพเนื่องจากมีโพลอยู่ที่จุดกำเนิดถึงสองโพลทำโดยแต่ละโพลทำให้เกิดเฟสชิฟไป 90° ดังนั้น ระบบนี่จึงมีผลรวมของเฟสชิฟ 180° ซึ่งแสดงดังรูป 2.15(ก) ระบบอาจเกิดการออสซิลเลทที่จุดอัตราขยายตัดแกนความถี่ได้

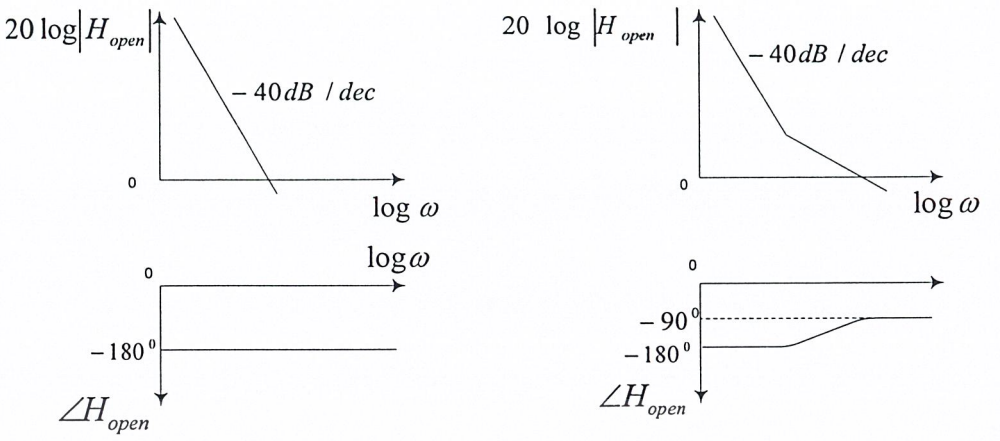
เพื่อแก้ไขให้ระบบมีเสถียรภาพจะต้องทำให้ผลรวมของเฟสชิฟมีค่าน้อยกว่า 180° คือที่จุดอัตราขยายตัดแกนความถี่เฟสชิฟต้องมีค่าน้อยกว่า 180° ดังแสดงในรูป 2.15(ข) สามารถทำได้โดยการทำให้เกิดซีโร่ขึ้นในลูปด้วยการเพิ่มตัวต้านทานต่อนุกรมกับคาปาซิเตอร์ในวงจรกรองความถี่ต่ำผ่านดังรูป 2.16 จะทำให้ฟังก์ชั่นถ่ายโอนของ PFD/CP/LPF ต่อร่วมกันมีค่าเท่ากับ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_p}{2\pi}\left(R_P + \frac{1}{C_P s}\right) \qquad (2.28)$$

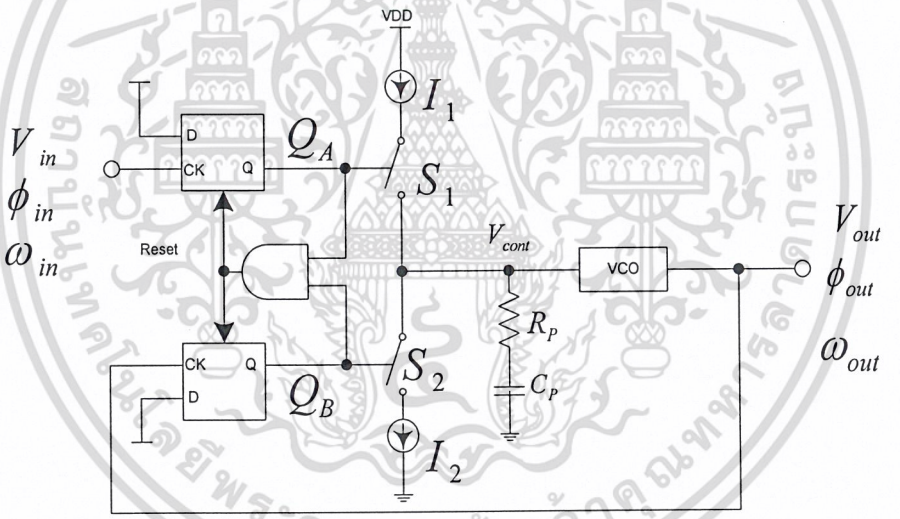
และฟังก์ชั่นถ่ายโอนลูปเปิดเท่ากับ

$$\frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right)\frac{K_{VCO}}{s} \qquad (2.29)$$

61956
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.15 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่
(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ
(ข) การเกิดเฟสชีฟเพื่อทำการเพิ่มซีโร่เข้าไปในลูป



รูปที่ 2.16 การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

และฟังก์ชั่นถ่ายโอนของระบบปิดมีคือ H(s) ค่าเท่ากับ

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_p}\left(R_P C_P s + 1\right)}{s^2 + \frac{I_P}{2\pi} K_{VCO} R_P s + \frac{I_P}{2\pi C_p} K_{VCO}} \qquad (2.30)$$

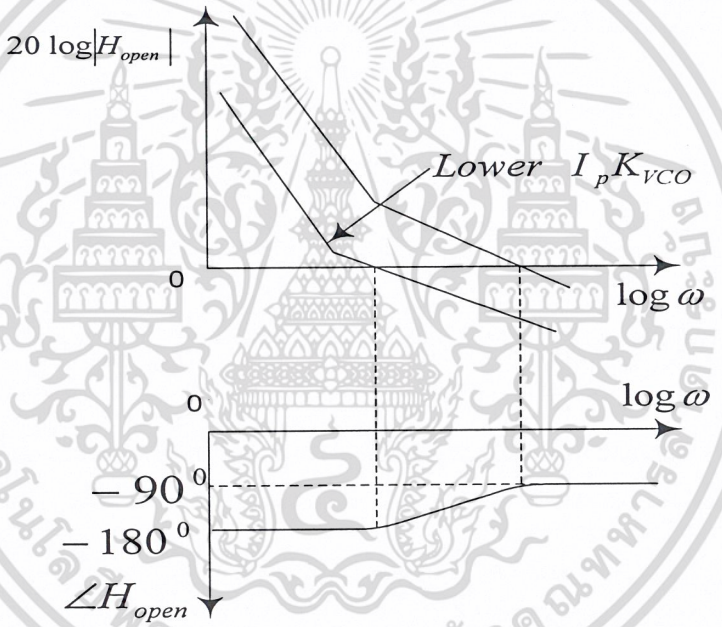
จากฟังก์ชั่นถ่ายโอนลูปปิดจะมีซีโร่อยู่หนึ่งตัวที่ตำแหน่ง $S_Z = -1/(R_P C_P)$ และทำการพิจารณา เช่นเดียวกับชนิดที่หนึ่ง (type I) เพื่อหาค่า ω_n และ ζ ซึ่งจะได้ค่าดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \tag{2.31}$$

$$\varsigma = \frac{R_P}{2}\sqrt{\frac{I_P C_P K_{VCO}}{2\pi}} \tag{2.32}$$

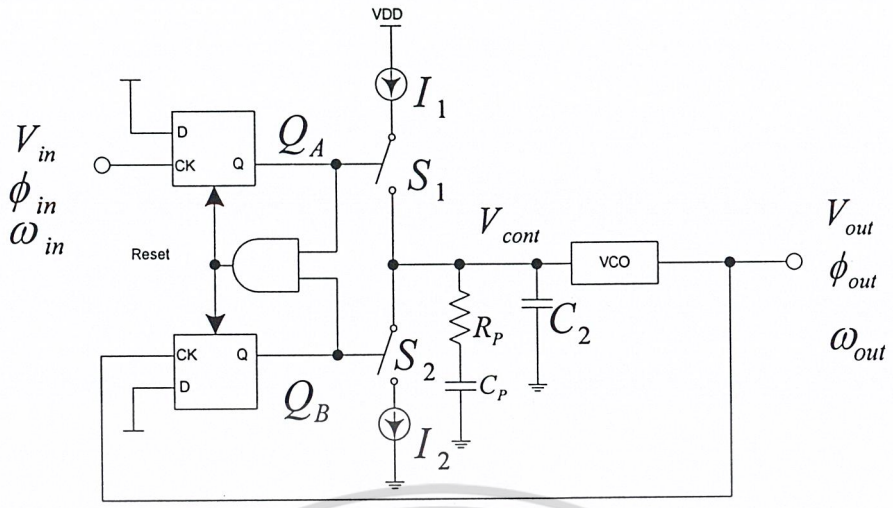
เมื่อพิจารณาเสถียรภาพของระบบแบบที่สอง (type II) จะเห็นว่ามีความแตกต่างจากแบบที่หนึ่ง (type I) เมื่อนำสมการ 2.29 เมื่อวิเคราะห์โดยวาดกราฟโบดพล็อตแสดงทั้งขนาดและเฟสของระบบจะได้ดังรูป 2.17 โดยค่า I_pK_{VCO} มีค่าลดลงจะทำให้จุดที่อันตราขยายตัดแกนความถี่เข้าใกล้จุดกำเนิดมากขึ้นทำให้เฟสมาจิน (Phase margin) ลดน้อยลง



รูป 2.17 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่เมื่อค่าของ I_pK_{VCO} มีค่าลดลง

เฟสล็อคลูปแบบที่สองที่มีการปรับปรุงแล้วดังรูป 2.16 ยังมีข้อเสียอยู่คือ ในส่วนของวงจรจ่ายกระแสคงที่ซึ่งต่ออนุกรมอยู่กับ Rp และ Cp เมื่อมีกระแสจ่ายให้กับส่วนของวงจรกรองความถี่จะทำให้ได้แรงดันที่จะไปควบคุมการออสซิลเลทมีค่าเพิ่มขึ้นสูงมากจากสภาวะปกติ ซึ่งสภาวะที่ทำให้ V_{cont} เกิดการกระเพื่อมขึ้น (Voltage jump) จะทำให้เกิดริปเปิ้ลขึ้นซึ่งจะมีผลทำให้เกิดภาวะไม่สงบขึ้น VCO ทำให้เอาท์พุทเฟสแย่ลงเพื่อลดปัญหาดังกล่าว ให้เบาบางลงกระทำได้โดยนำตัวเก็บประจุตัวที่สองมาต่อขนานกับ R_p และ C_p ดังแสดงในรูป เพื่อเป็นการกำจัดการกระเพื่อมที่เกิดขึ้นในช่วงแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.18 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล

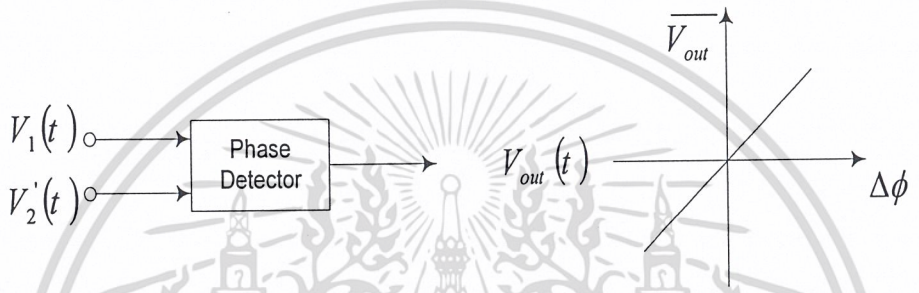
โดยค่าของตัวเก็บประจุที่เพิ่มเข้าจะมีค่าประมาณหนึ่งในห้าหรือหนึ่งในสิบของ C_p เพื่อให้ตอบสนองของระบบปิดทั้งทางความถี่และเวลายังคงไม่เปลี่ยนไปจากเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานของเฟสล็อคลูป

3.1 ตัวดักจับเฟส (Phase Detector)

ตัวดักจับเฟส (Phase Detector) หรือ PD คือวงจรที่เอาท์พุตเฉลี่ย V_{out} หรือ V_d มีขนาดสัมพันธ์กับความต่างเฟส $\Delta\varnothing$ ระหว่างสองอินพุต ในทางอุดมคติความสัมพันธ์ระหว่างเอาท์พุตเฉลี่ย V_{out} กับ$\Delta\varnothing$ จะมีลักษณะเป็นเชิงเส้นดังแสดงในรูป 3.1

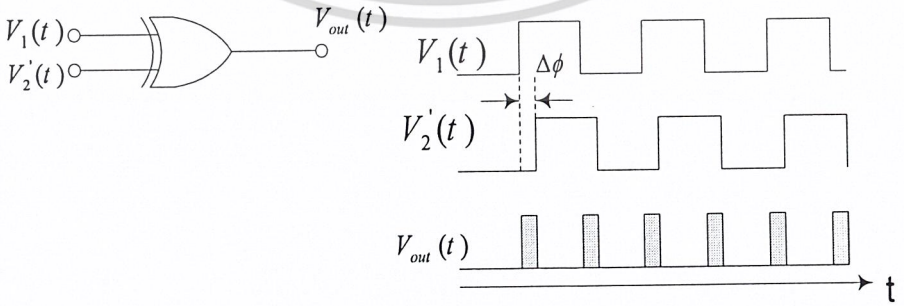


รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ

โดยเส้นตัดผ่านจุดกำเนิดที่ $\Delta\varnothing$ = 0 และอัตราขยายของ PD คือความชันของเส้นกราฟ คือ K_{PD} หน่วยคือ V/rad

ตัวดักจับเฟสที่นิยมนำมาใช้ในงานดิจิตอลเฟสล็อคลูป คือ แบบเอ็กซ์คูลซีพออร์ แบบ J-K ฟลิบฟลอป และแบบเฟส-ความถี่

3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

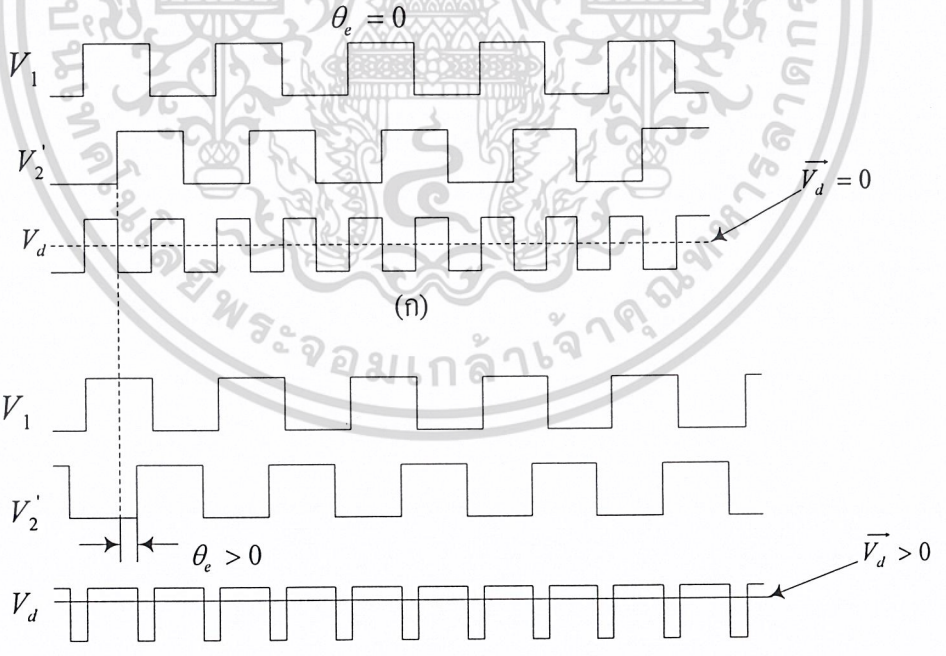


รูป 3.2 ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวดักจับเฟสแบบเอ็กซ์คูลซีพออร์เป็นตัวดักจับเฟสแบบง่ายที่สุด โดยการใช้เอ็กซ์คูลซีฟออร์เกทซึ่งมีคุณสมบัติ คือถ้าสัญญาณอินพุตเหมือนกับเอาท์พุทจะเป็นศูนย์แต่ถ้าสัญญาณอินพุตต่างกัน จะได้เอาท์พุตเป็นหนึ่งหรือ เมื่ออินพุทมีความต่างเฟสกันจะได้เอาท์พุทสัมพันธ์กับอินพุทดังแสดงในรูป 3.2

โดยสัญญาณในวงจรเฟสล็อคลูปแบบดิจิตอลจะเป็นสัญญาณดิจิตอล ซึ่งกำหนดให้เป็นสัญญาณอินพุตทั้งสองคือ V_1 และ V_2' เป็นสัญญาณรูปคลื่นสี่เหลี่ยมที่สมมาตรจากรูป 3.3 แสดงความแตกต่างของค่าผิดพลาดเฟส เมื่อค่าผิดพลาดเฟสเท่ากับศูนย์ สัญญาณ V_1 และ V_2' จะต่างเฟสกัน 90 องศา ดังรูป 3.3(ก) ดังนั้นสัญญาณเอาท์พุต V_d ซึ่ง เป็นสัญญาณคลื่นสีเหลี่ยมจะมีค่าเป็น 2 เท่า ของสัญญาณอินพุตและค่า Duty Cycle ของสัญญาณ V_d จะมีค่าเท่ากับ 50 เปอร์เซ็นต์ เมื่อถูกกรองด้วยวงจรกรองความถี่จะพิจารณาเพียงค่าของ V_d ซึ่งแสดงได้โดยเส้นประดังรูป ดังรูป 3.3(ก) ค่าเฉลี่ยของ V_d คือ $\overline{V_d}$ จะคิดตามหลักของค่าระดับลอจิกทั้งสอง โดยถ้าเอกซ์คูลซีฟออร์ถูกจ่ายกำลังโดยจ่ายกำลังไฟโดยแหล่งจ่ายไฟ 5 โวลท์ V_d จะมีค่าประมาณ 2.5 โวลท์ซึ่งค่าแรงดัน ณ จุดนี้ จะเป็นจุดสงบของเอ็กซ์คูลซีฟออร์ และกำหนดให้ $\overline{V_d}$ = 0 V เมื่อสัญญาณเอาท์พุต V_2' มีค่ามากกว่าสัญญาณอ้างอิง V_1 ค่าเฟสผิดพลาด θ_e จะมีค่าไปในทางบวกซึ่งแสดงดังรูป 3.3(ข) โดยค่า duty cycle จะมีค่ามากกว่า 50 เปอร์เซ็นต์ค่าของ V_d เฉลี่ยก็จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นปะในสัญญาณ V_d



รูป 3.3 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

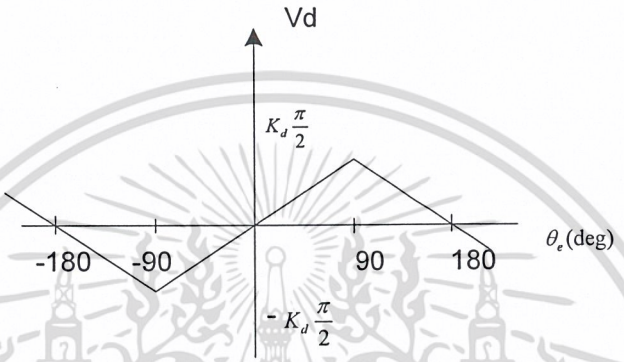
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาด θ_C = 90 องศาและมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาด θ_C = -90 องศา ซึ่งจะได้กราฟคุณสมบัติดังรูป 3.4 ค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์ จะอยู่ในรูปฟังก์ชั่นสามเหลี่ยมของค่าเฟสผิดพลาดโดยช่วงค่าเฟสผิดพลาด คือ $-90^\circ < \theta_c < 90^\circ$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d เฉลี่ยได้เป็นสมการ 3.1

$$V_d = K_d \theta_e \tag{3.1}$$



รูป 3.4 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์

ในกรณีของชุดเปรียบเทียบแบบเอ็กซ์คูลซีฟออร์ ค่าเกณฑ์ของตัวดักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กซ์คูลซีฟออร์ คือ V_{DD} และศูนย์โดยกำหนดระดับลอจิก คือ V_{DD} และศูนย์ ดังนั้น K_d จะมีค่าดังสมการ 3.2

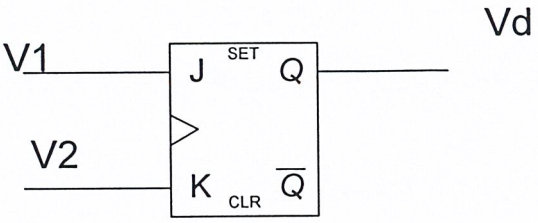
$$K_d = \frac{V_{DD}}{\pi} \tag{3.2}$$

คุณสมบัติโดยสรุปของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์เมื่อนำมาใช้ในเฟสล็อคลูป

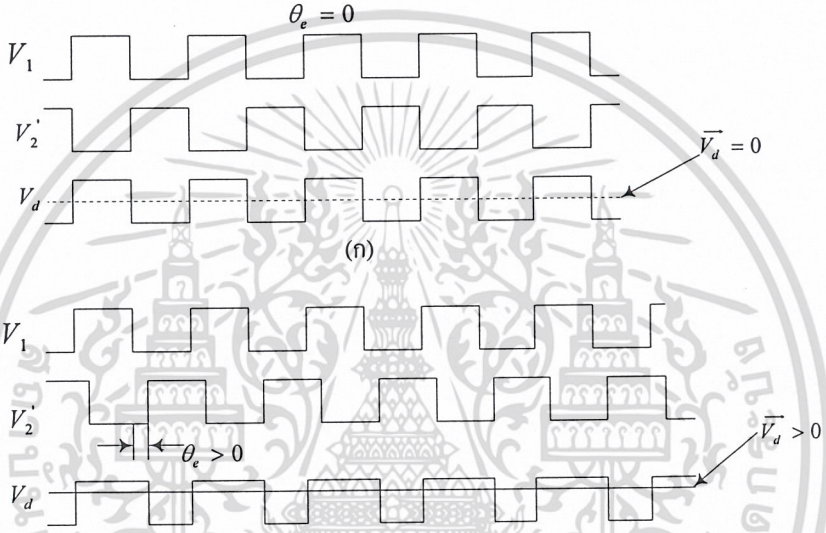
1. ขณะยังไม่มีสัญญาณอินพุตเข้ามาเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่าเท่ากับ $V_{DD}/2$ ทำให้เฟสล็อคลูปทำงานอยู่ที่ความถี่กลาง
2. เมื่ออยู่ในสภาวะล็อคเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่า Duty Cycle 50 เปอร์เซ็นต์ ดังนั้น VCO ที่ใช้งานร่วมกันจะต้องให้เอาท์พุตที่มีค่า Duty Cycle เท่ากับ 50 เปอร์เซ็นต์ด้วย
3. ดักจับเฟสแบบเอ็กซ์คูลซีฟออร์สามารถล็อคที่ความถี่ฮาร์โมนิคได้ดังนั้น พยายามอย่าใช้งานที่ความถี่ซึ่งมีค่าความถี่ฮาร์โมนิคของสัญญาณตรงกับย่านความถี่ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป



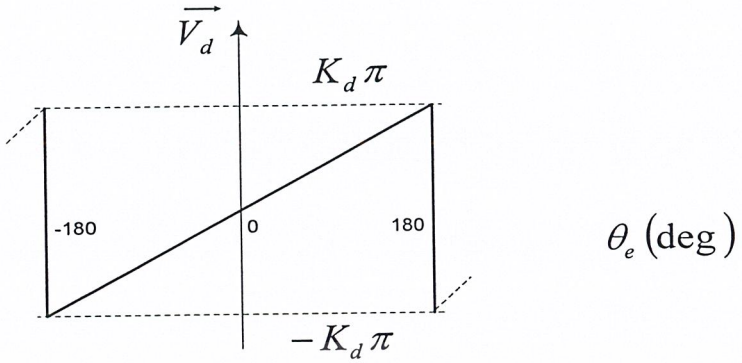
รูป 3.5 ตัวดักจับเฟสแบบ J-Kฟลิบฟลอป



รูป 3.6 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

J-K ฟลิบฟลอบ จะทำงานโดยเมื่อขา J อินพุต ถูกกระตุ้นทำให้สถานะของฟลิบฟลอปเป็นสภาวะ 1 (Q=1) และที่ขา K อินพุตถูกกระตุ้นทำให้สถานะฟลิบฟลอปเป็นสภาวะ 0 (Q=0) ดังรูป 3.6(ก) ซึ่งแสดงรูปสัญญาณของ JK-ฟลิบฟลอปในกรณี $\theta_C = 0$ เมื่อไม่มีค่าเฟสผิดพลาด V_1 และ V_2' จะมีเฟสตรงข้ามกัน ค่าเอาท์พุต V_d จะมีค่าเป็นค่าสัญญาณสี่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ $\overline{V_d}$ เฉลี่ยจะมีค่าเท่ากับศูนย์ ถ้าค่าเฟสผิดพลาดมีค่าไปในทางบวก ดังรูป 3.6(ข) ค่า Duty Cycle การทำงานของ V_d จะมีค่ามากกว่า 50% และ $\overline{V_d}$ จะมีค่าเป็นบวก และ $\overline{V_d}$ จะมีค่าสูงสุดเมื่อค่าเฟสผิดพลาดมีค่าเท่ากับ 180 องศา และมีค่าต่ำสุดเมื่อเฟสผิดพลาดมีค่า –180 องศา ถ้ารูปกราฟของ V_d ต่อ θ_C ซึ่งแสดงดังรูป 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป

โดยมีคุณลักษณะเป็นฟันเลื่อย และมีช่วงผิดพลาดเฟสเท่ากับ $-180^\circ < \theta c < 180^\circ$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_c สามารถกำหนดได้จาก

$$\overline{V_d} = K_d \theta_e \tag{3.3}$$

และค่าอัตราขยายของตัวดักเฟสแบบ J-K ฟลิบฟลอป K_d จะมีค่าดังสมการ 3.4

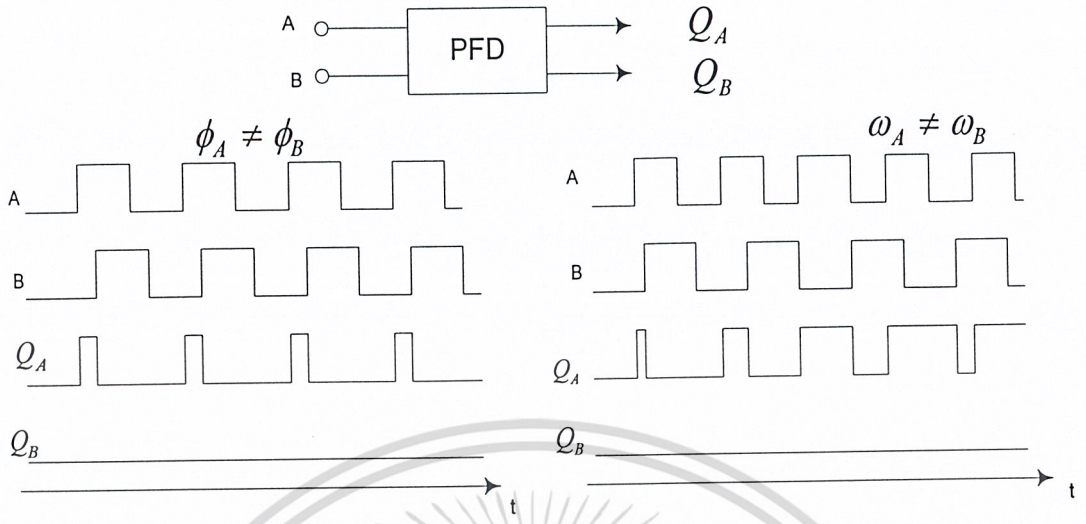
$$K_d = \frac{V_{DD}}{2\pi} \tag{3.4}$$

3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักเฟสจับเฟสแบบเฟส-ความถี่ เป็นตัวจับเฟสที่เปรียบความแตกต่างทั้งความถี่และเฟสของอินพุตกับเอาท์พุต จากที่ได้กล่าวมาแล้วในหัวข้อของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ เมื่อเฟสล็อคลูปทำงานที่สภาวะเริ่มต้นหรือเมื่อจ่ายไฟเลี้ยงให้วงจรความถี่เอาท์พุตอาจอยู่ห่างจากความถี่อินพุตมาก สภาวะนี้เฟสล็อคลูปไม่สามารถเข้าสู่สภาวะล็อคได้ดังนั้นจึงมีการเพิ่มตัวดักจับความถี่เพิ่มเข้ามา โดยเมื่อเกิดสภาวะที่ความถี่เอาท์พุตห่างจากอินพุตจะเกิดแรงดันขึ้น มาควบคุมความถี่เอาท์พุตให้มีค่าเข้าใกล้อินพุต และต่อมาจากนั้นตัวดักจับเฟส-ความถี่จะทำงานเหมือนตัวดักจับเฟสและดำเนินกระบวนการให้เข้าสู่สภาวะล็อค

หลักการทำงานของตัวดักจับเฟส-ความถี่ แสดงดังรูป 3.8 โดยจากรูปอินพุตของวงจรจะมีสองอินพุต A และ B โดยตัวดักจับเฟสจะตรวจจับที่ขอบขาขึ้นหรือลงของพัลซ์เท่านั้น และจะแสดงผลออกมาที่เอาท์พุต โดยถ้ากำหนดสภาวะเริ่มต้น $Q_A = Q_B = 0$ หลังจากนั้นเฟสอินพุท A นำหน้าอินพุท B จะทำให้เอาท์พุท $Q_A = 1$, $Q_B = 0$ และจะอยู่ในสภาวะนี้ตลอดจนกระทั้งอินพุท B มีค่าระดับลอจิกสูง ที่สภาวะนี้ Q_A จะกลับสู่ค่าศูนย์ดังแสดงในรูป 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

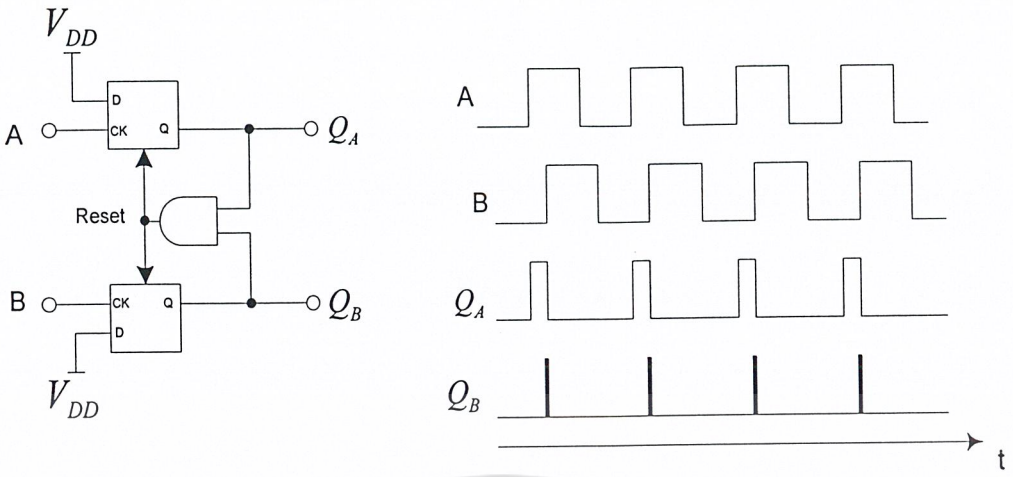


รูป 3.8 หลักการของตัวดักจับของเฟส – ความถี่
(ก) สัญญาณเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน
(ข) สัญญาณเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน

โดยรูป 3.8(ก) อินพุตทั้งสองมีความถี่เท่ากันแต่เฟสของอินพุต A นำหน้า B จะทำให้ได้พัลซ์เอาท์พุต Q_A ออกมาโดยมีความกว้างเท่ากับช่วงของความต่างเฟส $\varnothing$A –$\varnothing$ B โดย Q_B ยังคงเป็นศูนย์ และรูป 3.8(ข) เมื่อความถี่ของอินพุต A มากกว่าอินพุท B จะทำให้ได้พัลซ์เอาพุต Q_A ออกมาและ Q_B ยังคงเป็นศูนย์ ในทางตรงกันข้ามถ้าเฟสอินพุต A ล้าหลัง B หรือความถี่ของอินพุต A น้อยกว่าอินพุต B จะได้พัลซ์เอาท์พุต QB ออกมาโดย QA ยังคงเป็นศูนย์โดยระดับดีซีของ QA และ QB จะเป็นตัวบอกให้ทราบถึง $\varnothing$A – $\varnothing$B หรือ ωA – ωB โดยเอาท์พุต Q_A และ Q_B เรียกว่า “UP” และ “DOWN”

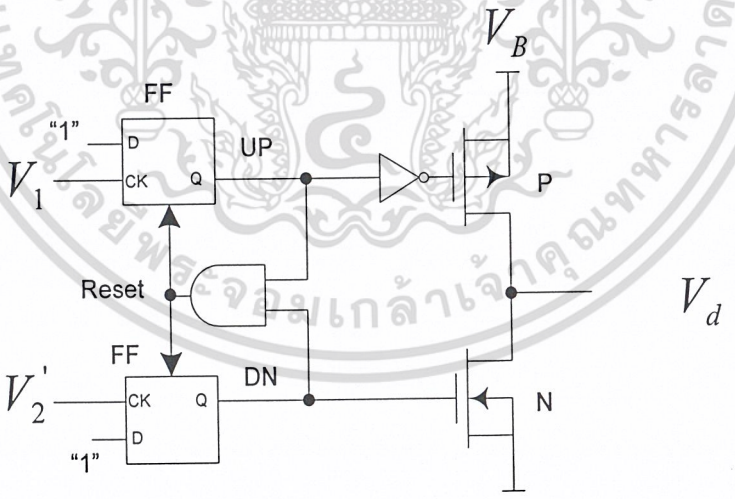
จากคุณสมบัติของตัวดักจับเฟส – ความถี่ดังกล่าวสามารถที่จะสร้างตัวดักจับเฟส – ความถี่ได้โดยการใช้ D ฟลิบฟลอมาสร้างเป็นวงจรดังรูป 3.9 โดยเอาท์พุตจะมีคุณสมบัติเหมือนตัวดักจับเฟส-ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.9 การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป

พิจารณาตัวดักจับเฟสแบบเฟส-ความถี่จะเห็นว่าเอาท์พุตจะมีสองจุดจะต้องมีการรวมเอาท์พุตเป็นจุดเดียวนำไปขับวงจรกรองความถี่ โดยการรวมมีอยู่ด้วยกันสองวิธีคือ แบบแรกใช้เป็นลักษณะแหล่งจ่ายกระแสคงที่ดังได้กล่าวถึงแล้วในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ แบบที่สองใช้เป็นเอาท์พุตแบบสามสถานะ ซึ่งแบบนี้จะมีข้อเสียคือ ถ้าแหล่งจ่ายไฟเลี้ยงไม่คงที่ มีริปเปิ้ลจะทำให้ระบบไม่มีเสถียรภาพ โดยตัวดักเฟสแบบเอาท์พุทสามสถานะแสดงดังรูป 3.10



รูป 3.10 ดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ

โดยวงจรประกอบด้วย D-ฟลิบฟลอป มีเอาท์พุทคือ UP และ DN

UP = 0, DN = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UP = 1, DN = 0

UP = 0, DN = 1

UP = 1, DN = 1

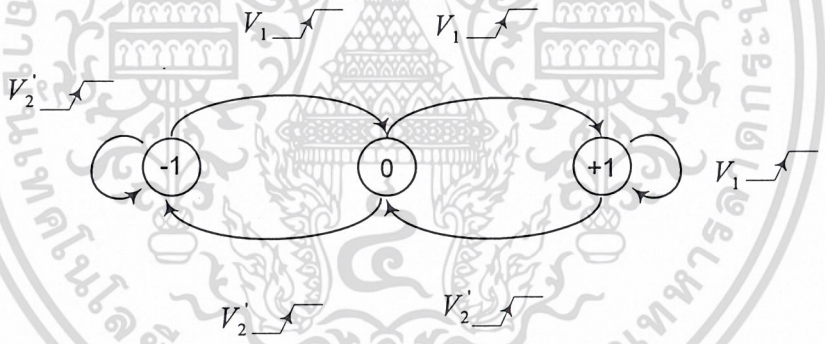
เมื่อใส่ AND เกทเข้าไปจะทำให้สภาวะ UP = 1, DN = 1 หายไปเพราะเอาท์พุตของ AND เกทจะไปรีเซตฟลิบฟลอปทั้งสอง ดังนั้นสภาวะของวงจรจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณ์คือ –1,0 และ +1 คือ

DN = 1 , UP = 0 ; state = -1

UP = 0 , DN = 0 ; state = 0

UP = 1 , DN = 0 ; state = +1

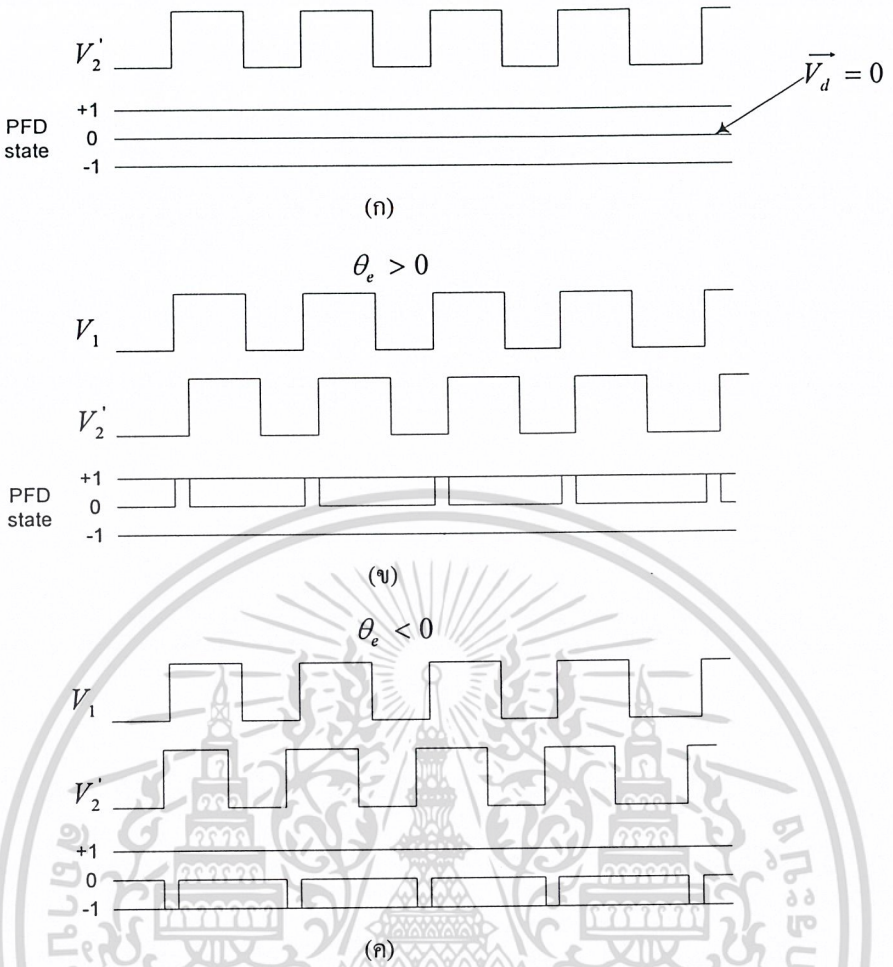
การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดงดังรูป 3.11 สภาวะบวกของ V_1 จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ +1 แล้ว ในทำนองเดียวกันสภาวะของ V_d จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ –1 แล้ว เมื่อตัวมีสภาวะ +1 V_d จะมีค่าเป็นบวก และเมื่อมีสภาวะ –1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะมีค่าเท่ากับศูนย์



รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส – ความถี่

แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ V_d = 0 จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรในเส้นประของรูป 3.10 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแสดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน V_{DD} เมื่อ DN เป็นค่าสูง N แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับกราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอสทั้งสองจะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับว่าไม่มี คือเป็นค่าความต้านทานสูง โดยถ้าตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูป 3.12

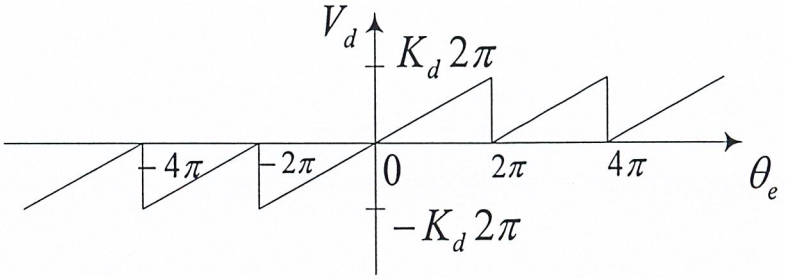
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.12 สัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก
(ค) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

ซึ่งในรูป 3.12(ก) แสดงในกรณีค่าเฟสผิดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอาท์พุตในรูป 3.12(ข) เมื่อ V_1 นำหน้า V_2' ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่างศูนย์กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูป 3.12(ค) ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง –1 กับศูนย์ ถ้าพิจารณาจากรูป 3.12(ข) และ (ค) ค่า V_d จะมีค่ามากที่สุดเมื่อเฟสผิดพลาดมีค่าบวกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุด เมื่อค่าเฟสผิดพลาดมีค่าบอกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุดเมื่อค่าลบและเข้าใกล้มุม –360 องศา ถ้าพล็อตกราฟเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_d กับค่าเฟสผิดพลาด θ_e จะได้ฟังก์ชั่นเลื่อย ดังรูป 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่

ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาท์พุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาท์พุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาท์พุตจะมีค่าน้อยสุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าเฟสผิดพลาดอยู่ใน $-2\pi<\theta_c<2\pi$ ค่าเฉลี่ยของสัญญาณเอาท์พุต V_d คือ

$$\overline{V_d} = K_d \theta_e \tag{3.5}$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตสามสถานะมีค่าดังสมการ 3.6

$$K_d = \frac{V_{DD}}{4\pi} \tag{3.6}$$

และค่าอัตราขยาย K_d ของตั วดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ดังได้ว่าในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ มีค่าสมการ 3.7

$$K_d = \frac{I_P}{2\pi} \tag{3.7}$$

3.1.4 การออกแบบและผลการทดลองตัวดักจับเฟสแบบเฟส-ความถี่

วงจรตัวดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลองแสดงดังรูป 3.14 ซึ่งเป็นวงจรที่ประกอบด้วย D ฟลิบฟลอปและแอนเกท โดยวงจรในระดับเกทแสดงดังรูป 3.15 ประกอบด้วยนอร์เกทสองอินพุต แนนเกทสองอินพุต และอินเวอร์เตอร์ ส่วนวงจรในระดับมอสนั้นแสดงดังรูป 3.16 วัตถุประสงค์การออกแบบก็เพื่อหาขนาดของมอสในวงจรโดยมีขั้นตอนการออกแบบดังนี้

1. ออกแบบอินเวอร์เตอร์ จะต้องออกแบบให้เป็นอินเวอร์เตอร์ที่สมมาตรที่สุดโดยถ้าเป็นอินเวอร์เตอร์ที่สมมาตรแล้ว V_M : Midpoint Voltage จะต้องมีค่าเท่ากับ $V_{DD}/2$ โดยค่าของ V_M หาจากสมการ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_M = \frac{V_{DD} + V_{T.P} + V_{T.n}\sqrt{\frac{K_n}{K_p}}}{1 + \sqrt{\frac{K_n}{K_p}}} \quad (3.8)$$

จากสมการ 3.8 เงื่อนไขที่จะทำให้ V_M มีค่าเท่ากับ $V_{DD}/2$ คือ $|V_{T.p}| = V_{T.n}$ และค่าของ $K_p = K_n$ แต่จาก Spice Model ค่าของ $|V_{T.p}| \neq V_{T.n}$ `ทำให้ V_M มีค่าไม่เท่ากับ $V_{DD}/2$ โดย $V_{T.p}$ = -0.971428V และ $V_{T.n}$ = 0.81056V จะทำให้ได้ค่า $V_M = (V_{DD} - 0.16)/2$ สามารถหาขนาดของพีมอสและเอ็นมอสได้จากเงื่อนไข

$$K_P = K_n \quad (3.9)$$

$$K_p' \frac{W_p}{L_p} = K_n' \frac{W_n}{L_n} \quad (3.10)$$

จาก Spice Model ค่าของ $K_p' = 1.915E-5$ และ $K_n' = 5.289E-5$ เมื่อแทนค่าจะได้ค่าอัตราส่วนของพีมอสกับเอ็นมอสคือ

$$\frac{W_p}{L_p} = \frac{K_n'}{K_p'}\frac{W_n}{L_n} \quad (3.11)$$

$$\frac{W_p}{L_p} = 2.76\frac{W_n}{L_n} \quad (3.12)$$

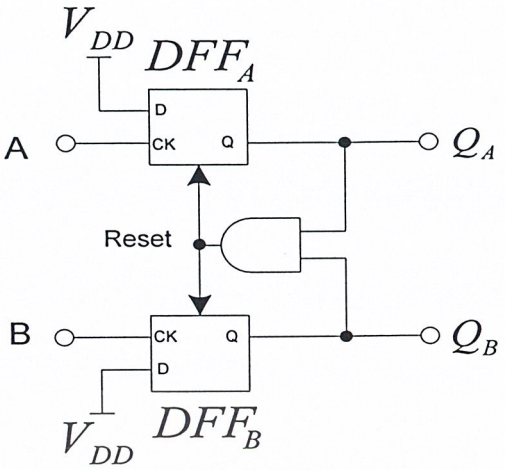
2. ออกแบบแนบเกทสองอินพุต จากสมการ 3.12 จะได้สมการทั่วไปในการหาขนาดของพีมอสและเอ็นมอสของแนนเกทดังสมการ 3.13 เมื่อ I คือจำนวนอินพุทของแนนเกต

$$i\frac{W_p}{L_p} = 2.76\frac{W_n}{L_n} \quad (3.13)$$

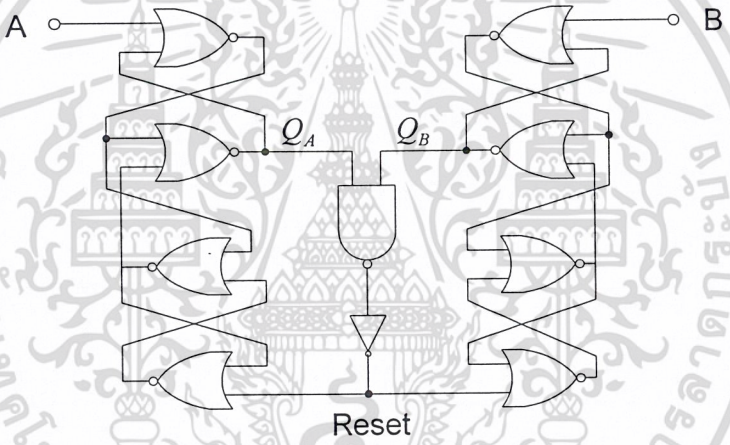
3. ออกแบบนอร์เกทสองอินพุต จากสมการ 3.12 จะได้สมการทั่วไปในการหาขนาดของพีมอสและเอ็นมอสของนอร์เกทดังสมการ 3.14 เมื่อ i คือจำนวนอินพุทนอร์เกท

$$\frac{W_p}{L_p} = i2.76\frac{W_n}{L_n} \quad (3.14)$$

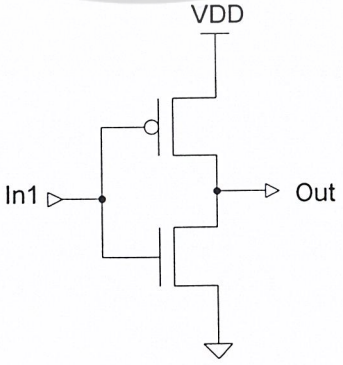
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.14 วงจรดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง

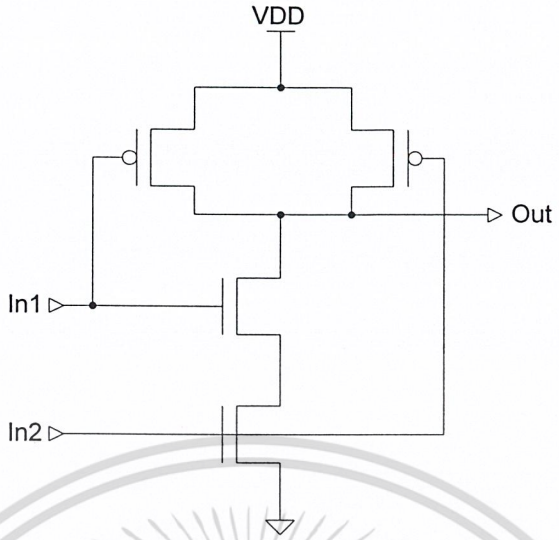


รูป 3.15 วงจรตัวดักจับเฟสแบบเฟส-ความถี่ในระดับเกท

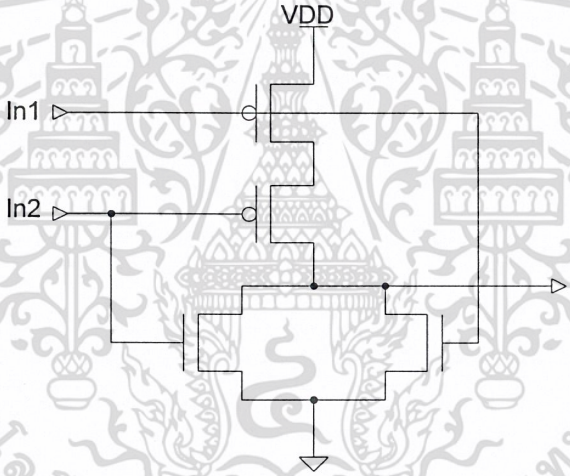


รูป 3.16 วงจรซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



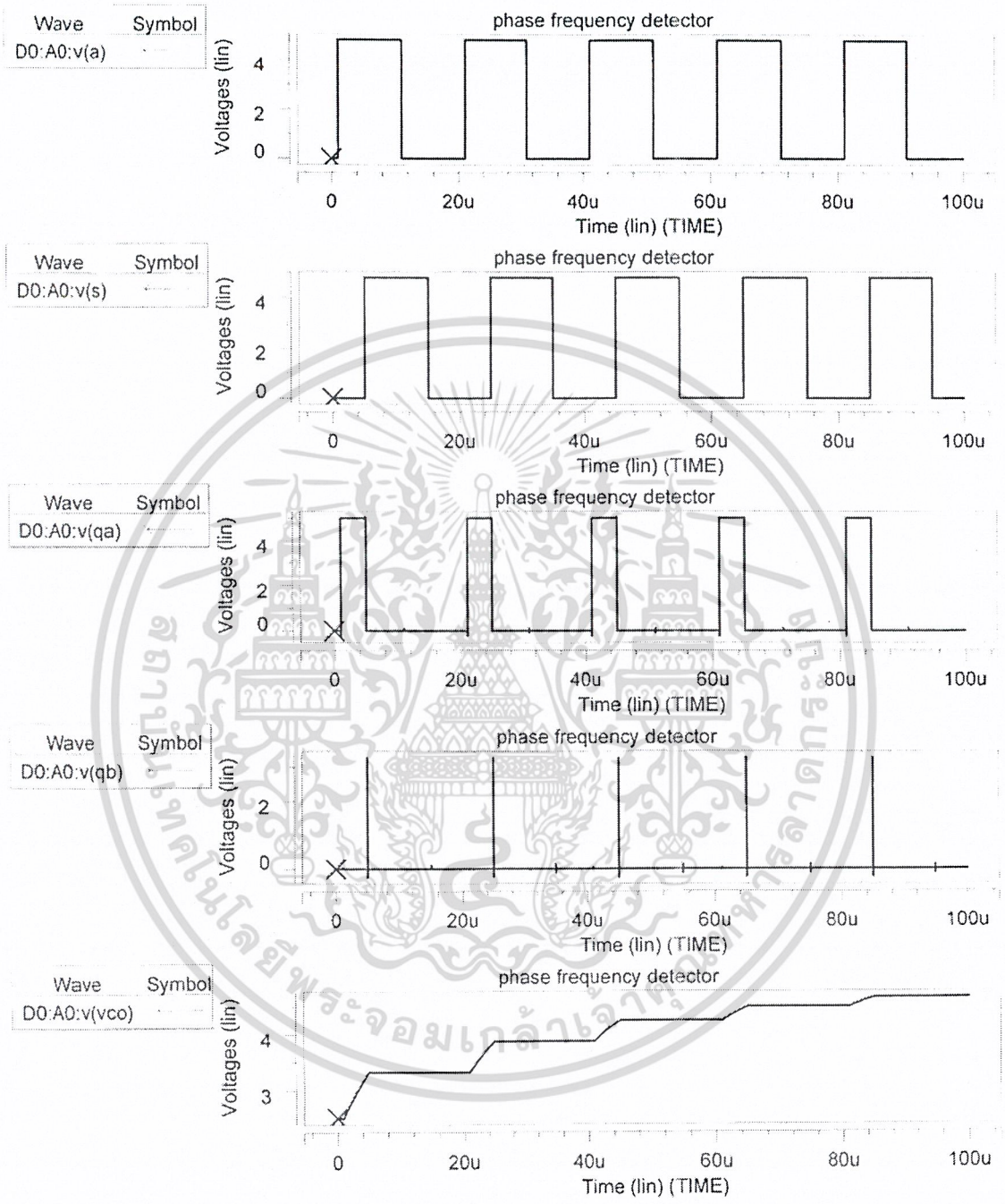
รูป 3.17 วงจรซีมอสแนนเกท



รูป 3.18 วงจรซีมอนนอร์เกท

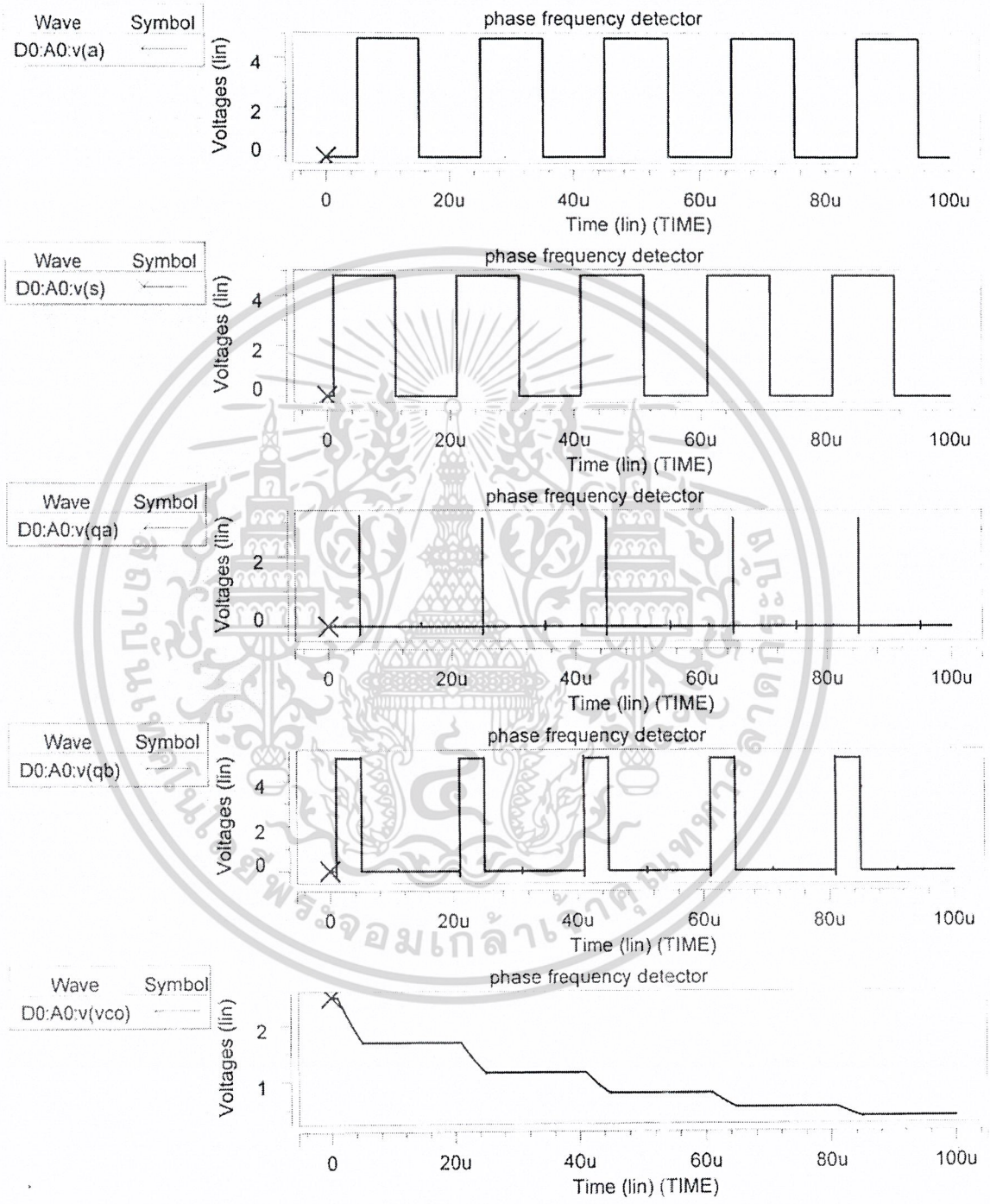
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง



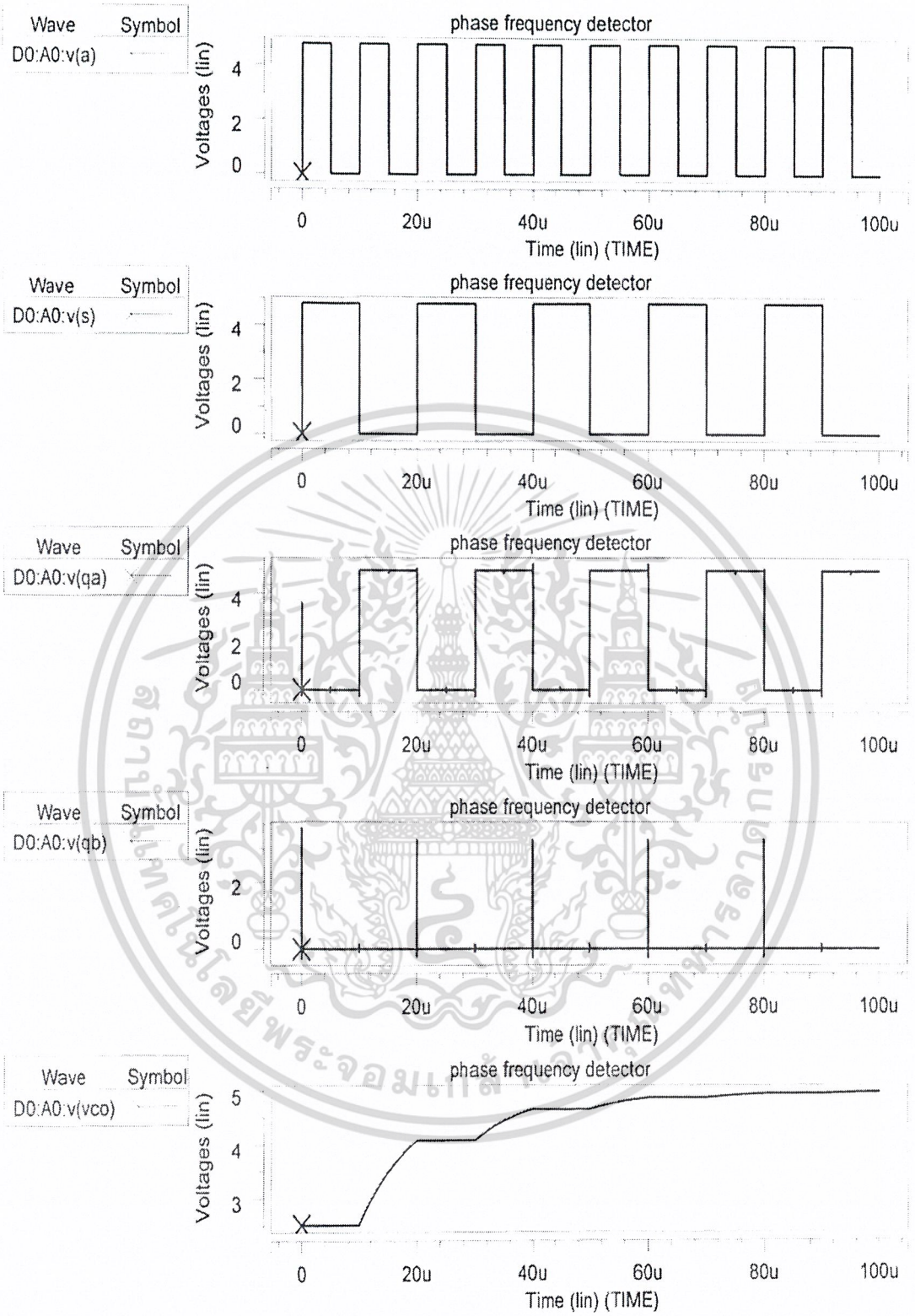
รูป 3.19 สัญญาณเอาท์พุทของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสนำหน้าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



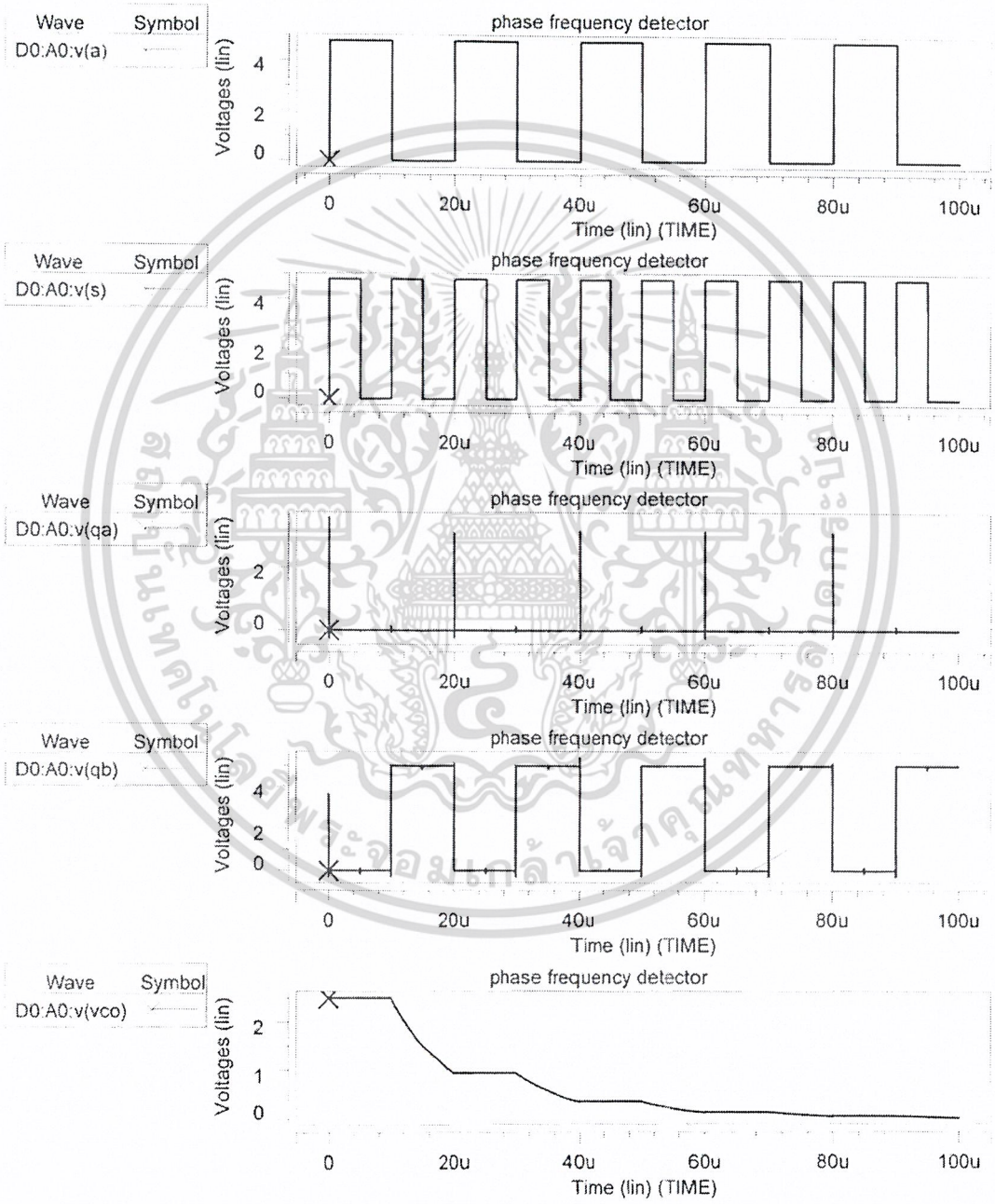
รูป 3.20 สัญญาณเอาท์พุทของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสหลังอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.21สัญญานเอาท์พุทของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีความถี่มากกว่าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.22 สัญญานเอาท์พุทของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีน้อยกว่าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรกรองความถี่ต่ำผ่าน

โดยทั่วไปเฟสล็อคลูปแบบดิจิตอลจะใช้วงจรกรองความถี่ต่ำผ่านในลักษณะ เช่นเดียวกับเฟสล็อคลูปแบบอนาลอก ซึ่งวงจรกรองความถี่ต่ำผ่าน ที่นิยมใช้กับเฟสล็อคลูปแบบดิจิตอลแสดงดังรูป 3.23 โดยรูปที่ 3.23(ก) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพซึ่งมี 1 โพล และ 1 ซีโพลซึ่งมีฟังก์ชั่นถ่ายคือ

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \qquad (3.15)$$

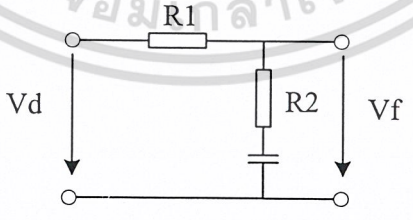
เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ โดยมีค่าการตอบสนองวงจรดังรูป 3.24(ก) ส่วนวงจรกรองความถี่ต่ำผ่าน ดังรูป 3.23(ข) เป็นวงจรกรองความถี่ต่ำผ่านแบบแอกทีพ ซึ่งมีการตอบสนองเหมือนกับวงจรกรองความถี่ต่ำผ่านแบบพาสซีพ แต่วงจรกรองความถี่ต่ำผ่านแบบแอคทีพจะให้ค่าอัตราขยาย K_a และมีฟังก์ชันถ่ายโอนคือ

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \qquad (3.16)$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ และ $K_a = -C_1/C_2$ โดยมีค่าการตอบสนองวงจรดังรูป 3.24(ข) และวงจรดังรูป 3.23(ค) เป็นวงจรกรองความถี่ต่ำผ่านอีกแบบหนึ่งคือ วงจรกรองความถี่ต่ำผ่านแบบ PI แอคทีพ ซึ่งวงจรกรองความถี่ต่ำผ่านแบบนี้จะมีฟังก์ชันถ่ายโอน คือ

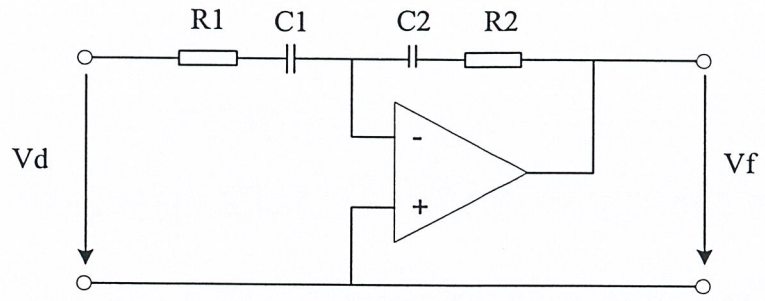
$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \qquad (3.17)$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ วงจรกรองความถี่ต่ำผ่านแบบ PI แอคทีพจะมีค่าการตอบสนองของวงจรดังรูป 3.24(ค)

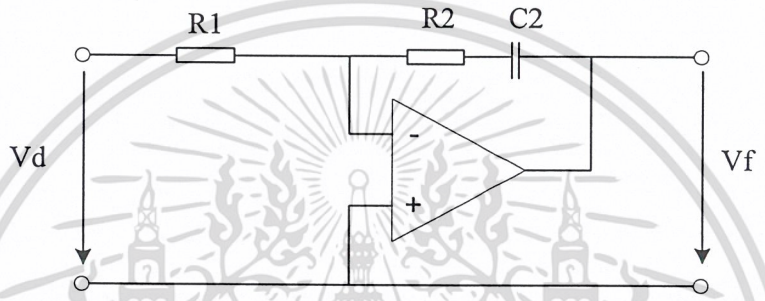


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



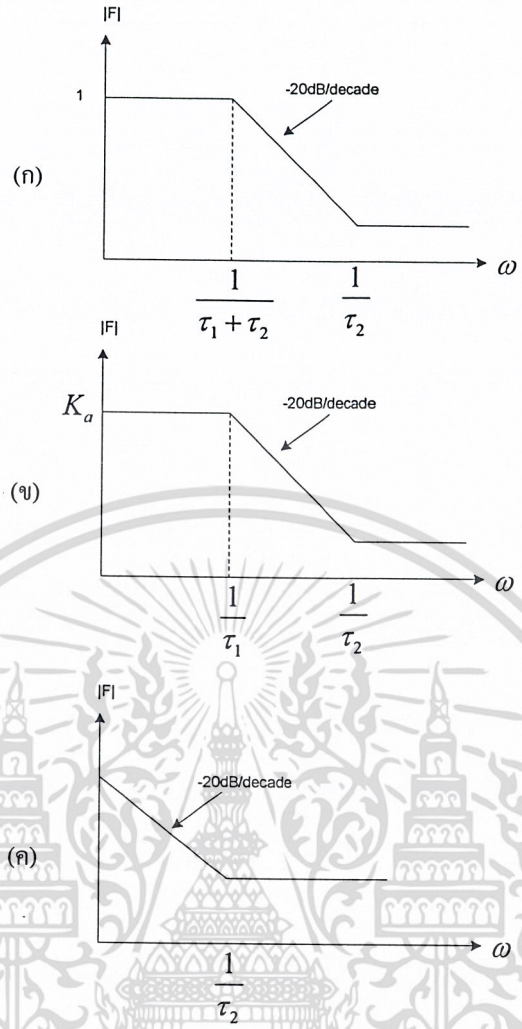
(ข)



(ค)

รูป 3.23 วงจรกรองความถี่ต่ำผ่านที่ใช้กับเฟสล็อคลูป
(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพ
(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีพ
(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.24 การตอบสนองของวงจรกรองความถี่ต่ำผ่าน
(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีพ
(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอคทีพ
(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอคทีพ

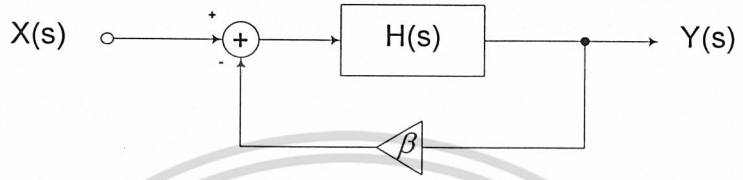
3.3 วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์มักถูกรวมเป็นองค์ประกอบหนึ่งของระบบอิเล็กทรอนิกส์มีการประยุกต์ใช้งานในการกำเนิดสัญญาณนาฬิกาให้แก่ไมโครโปรเซสเซอร์ไปจนถึงการสร้างสัญญาณคลื่นพาห์ให้แก่ระบบโทรศัพท์เซลลูลาร์ และวงจรออสซิลเลเตอร์ ถูกใช้เสมอกับระบบเฟสล็อค (Phase-locked system) ในกระบวนการชั้นสูง (high-performance) วงจรออสซิลเลเตอร์จะถูกออกแบบโดยใช้เทคโนโลยีของซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 หลักการพื้นฐานของวงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์จะผลิตเอาท์พุตพัลส์ออกมาโดยปกติอยู่ในรูปแบบแรงดัน โดยวงจรไม่จำเป็นต้องมีการป้อนอินพุต วงจรผลิตเอาท์พุตออกมาอย่างต่อเนื่องและไม่จำกัด ระบบที่มีการป้อนกลับแบบลบ (negative feedback) สามารถที่จะออสซิลเลทได้โดยการการออกแบบให้วงจรขยายที่ไม่ดี (badly-designed feedback amplifier)ระบบที่มีการป้อนกลับแบบลบแสดงดังรูป 3.25



รูปที่ 3.25 ระบบที่มีการป้อนกลับแบบลบ

จากรูป 3.25 สมมติค่าของ β คือค่าคงที่และจะมีค่าเท่ากับหนึ่งถ้าระบบมีการป้อนกลับแบบเต็มที่ โดยฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \tag{3.18}$$

จากสมการ 3.18 ถ้าระบบมีค่า $\beta \mathrm{H}(\mathrm{s} = \mathrm{j}\omega_1) = -1$ จะมีผลทำให้อัตราการขยายของระบบมีค่าอนันต์วงจรจะทำการขยายสัญญาณรบกวนภายในตัวมันเอง (own noise) จนเริ่มเข้าสู่การออสซิลเลท หรืออากล่าวได้ว่า $\beta \mathrm{H}(j\omega_1) = -1$ จะทำให้วงจรเกิดการออสซิลเลทที่ความถี่ ω_1 รูปแบบของ $\beta \mathrm{H}(j\omega_1) = -1$ สามารถเขียนได้อีกแบบหนึ่งคือ

$$\beta H(j\omega_1) = \left|\beta H(j\omega_1)\right| e^{\angle \beta H(j\omega_1)} \tag{3.19}$$

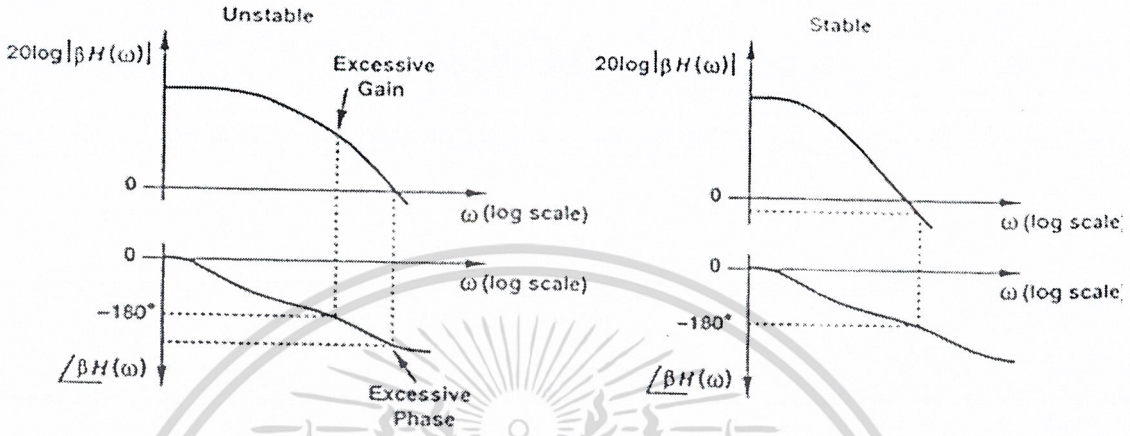
ดังนั้นเงื่อนที่ทำให้วงจรเกิดการออสซิลเลทหรือทำให้ $\beta \mathrm{H}(j\omega_1) = -1$ มีสองเงื่อนไขคือ

1. $\left|\beta H(j\omega_1)\right| = 1$
2. $\angle \beta H(j\omega_1) = \pm 180^o$

โดยถ้าทั้งสองเงื่อนไขเกิดขึ้นพร้อมกันวงจรจะเกิดการออสซิลเลท นอกจากการพิจารณาดังเงื่อนไขข้างต้นแล้วการพิจารณาว่าวงจรเกิดการออสซิเลทหรือไม่นั้นยังสามารถพิจารณาได้จากกราฟโบดพล็อตของระบบ (Bode plot) โดยจะเป็นการนำอัตราการขยายระบบในหน่วยของเดซิเบลมาพล็อตกับความถี่ ω ต่างๆ กัน จะได้การอัตราการขยายที่ความถี่ต่างกันมีขนาดต่างกันโดยปกติเมื่อความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

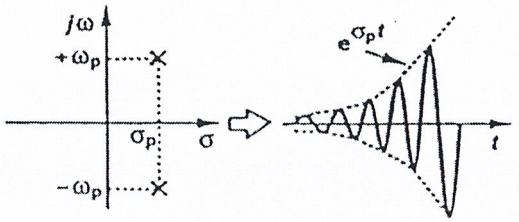
สูงขึ้นอัตราการขยายจะตกลงเนื่องจากโพลของระบบเราสนใจอัตราการขยายเมื่อตกมาที่ศูนย์เดซิเบล หรือก็คือที่ขนาดของ $|\beta H(j\omega_1)|$ =1แล้วพิจารณาเฟสของระบบโดยการพล็อตเฟสถ้าตำแหน่งดังกล่าวมีเฟสถึง 180° วงจรจะเกิดการออสซิเลทแสดงดังรูป 3.26



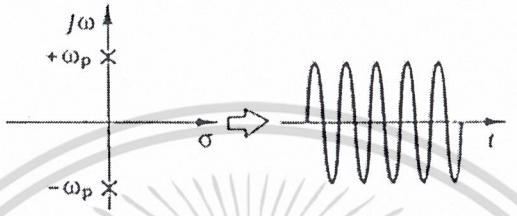
รูป 3.26 โบดพล็อตระหว่างระบบที่เกิดการออสซิลเลทกับระบบที่มีเสถียรภาพ

การพิจารณาลักษณะการออสซิลเลทของวงจรพิจารณาจากตำแหน่งของโพลของระบบเปิด (closed-loop system) ในระบบเชิงซ้อน (complex plane) เราสามารถเขียนตำแหน่งของโพลในรูป $S_1 = j\omega_p + \sigma_p$ และผลต่ออิมพัลส์ของระบบอยู่ในเทอม $\exp(j\omega_p + \sigma p)t$ ฟังก์ชั่นถ่ายโอนของระบบปิดถ้าค่าของ S_p ตกมาอยู่ทางฝั่งขวาของระนาบและค่าของ $\sigma_p > 0$ ระบบดังกล่าวจะเกิดการออสซิลเลทแสดงในคาบของเวลาจะเห็นว่าสัญญาณค่อยๆเพิ่มขึ้นอย่างเอกโปเนนเชียลและท้ายสุดจะถูกจำกัดด้วยไฟเลี้ยงของวงจรแสดงดังรูป 3.27 (ก) และถ้า $\sigma_p = 0$ ระบบก็จะออสซิลเลทเช่นกันแต่ช่วงสัญญาณจะถูกจำกัดแสดงดังรูป 3.27 (ข) แต่ถ้าตำแหน่งของ S_p ตกมาอยู่ทางฝั่งซ้ายของระนาบในคาบของเวลาจะเห็นว่าค่าสัญญานจะค่อยๆ ลดลงอย่างเอกโปแนนเชียลและนิ่งเป็นศูนย์ในที่สุดก็คือระบบจะไม่เกิดออสซิเลทถ้าตำแหน่งของ S_p ถ้าตำแหน่งตกลงมายังฝั่งซ้ายแสดงดังรูป 3.27(ค)

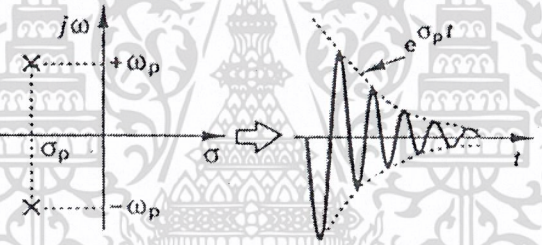
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูป 3.27 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท

(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น

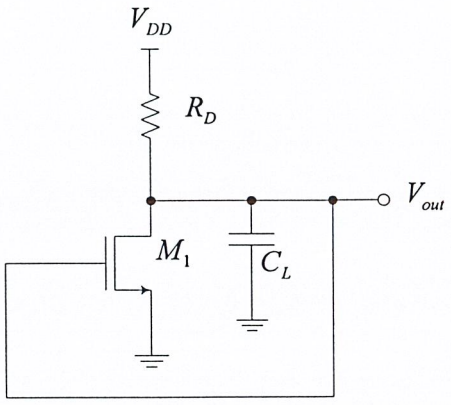
(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่

(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย์

3.3.2 วงจรออสซิลเลเตอร์แบบริง (Ring Oscillatior)

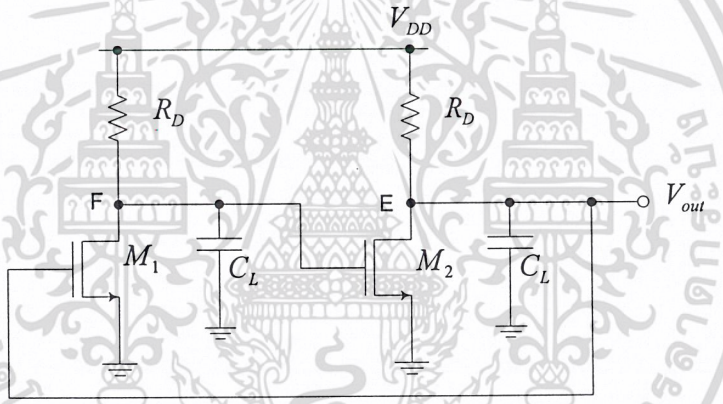
วงจรรอสซิลเลอเตอร์แบบริง เป็นวงจรออสซิลเลเตอร์ที่ประกอบด้วยวงจรขยายหลายภาคมาต่อกันเป็นระบบปิดในขั้นพื้นฐานจะทำการศึกษาวงจรขยายภาคเดียวที่มีการป้อนกลับดังรูป 3.28 ว่าวงจรสามารถออสซิลเลทได้หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.28 วงจรขยายภาคเดียวที่มีการป้อนกลับ

จากรูป 3.28 จะเห็นว่าวงจรมีโพลเพียงตัวเดียวดังนั้นเฟสชิพที่เปลี่ยนแปลงกับความถี่สามารถมีค่าได้สูงสุดเพียง 90^{o} ดังนั้นวงจรที่มีโพลเพียงตัวเดียวไม่สามรถที่จะออสซิลเลทได้

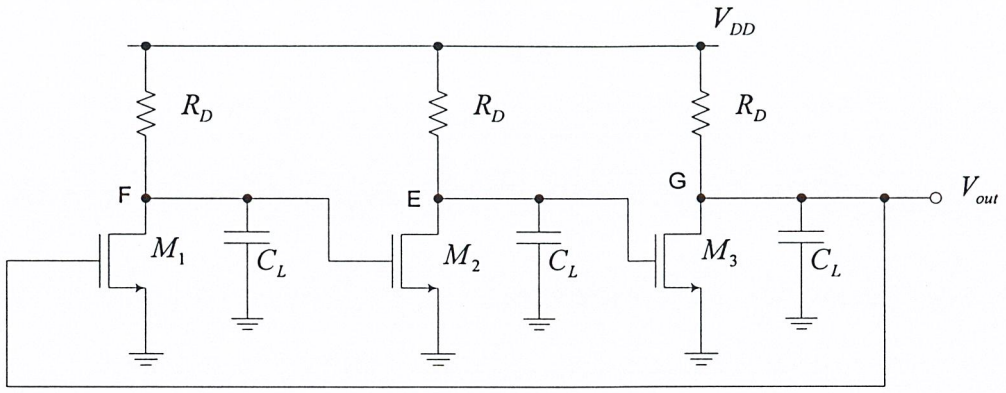


รูป 3.29 วงจรขยายสองภาคที่มีการป้อนกลับ

พิจารณารูป 3.29 เป็นวงจรสองภาคและประกอบด้วยสองโพลถึงแม้วงจรดังกล่าวจะมีเฟสชิพที่เปลี่ยนแปลงกับความถี่ถึง 180^{o} ได้แต่วงจรก็ไม่ออสซิลเลทแต่วงจรจะคงสภาวะนี้อยู่ตลอดเรียกว่า "latches up" จากวงจรถ้าสมมติให้ V_E มีค่าเพิ่มขึ้นแล V_F ลดลงจนทำให้ M_L ไม่นำกระแสจน V_E เพิ่มขึ้นถึง V_{DD} และ V_F จะเข้าใกล้ศูนย์และจะอยู่ในสภาวะนี้ตลอดระบบมีการเปลี่ยนแปลง

เพื่อแก้ปัญหา latch-up จึงนำวงจรขยายสามภาคนำมาต่อกันเป็นระบบปิดดังแสดงในรูป 3.30 เฟสชิพของระบบสามารถมีค่าได้ถึง 150^{o} ที่ตำแหน่ง $\omega = \omega_{P,E} = \omega_{P,F} = \omega_{P,G}$ และเท่ากับ 270^{o} ที่ $\omega = \infty$ ดังนั้นอัตราการขยายของระบบสามารถมีค่าได้มากกว่าหรือเท่ากับหนึ่งและวงจรจะออสซิเลทถ้าอัตราการขยายของระบบเพียงพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.30 วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยายสามภาค

การคำนวณหาอัตราการขยายต่ำสุดที่วงจรขยายแต่ละภาคจะต้องมีเพื่อทำให้วงจรออสซิลเลท นั้นจากวงจรขยายสามภาคดังรูป 3.30 โดยไม่คิดผลของคาปาซิเตอร์ที่เกิดจากการโอเวอร์แลบระหว่างขาเกทและเดรนสามารถเขียนฟังก์ชั่นถ่ายโอน ของแต่ละภาคได้คือ $-\mathrm{A}_0/(1+s/\omega_0)$ และสำหรับทั้งระบบจะมีค่าดังสมการ 3.20

$$H(s) = -\frac{A_0^2}{\left(1+\frac{s}{\omega_0}\right)^3} \tag{3.20}$$

กรณีวงจรออสซิลเลทเฟสซิฟที่เปลี่ยนแปลงตามความถี่จะมีค่าเท่ากับ 180° แสดงว่าเฟสชิฟต่อภาคเท่ากับ 60° จากค่าเฟสต่อภาคสามารถคำนวณหาความถี่ออสซิลเลทได้จากการรู้เฟสคือ

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0} = 60^0 \tag{3.21}$$

$$\omega_{osc} = \sqrt{3}\omega_0 \tag{3.22}$$

ดังนั้นอัตราการขยายแรงดันต่ำสุดจะหาจากขนาดของอัตราการขยายลูปที่ ω_{osc} ซึ่งมีค่าเท่ากับหนึ่ง

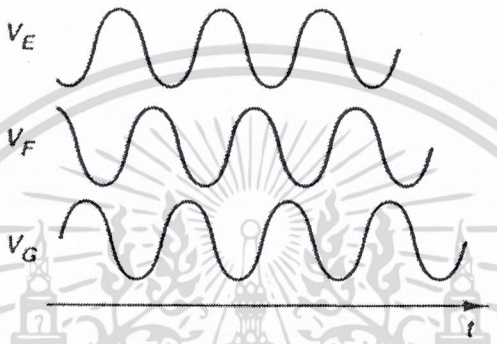
$$\frac{1}{\left[\sqrt{1+\left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right]^3} = 1 \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสัมการ 3.23 แก้หาค่าอัตราขยายแรงดันจะได้

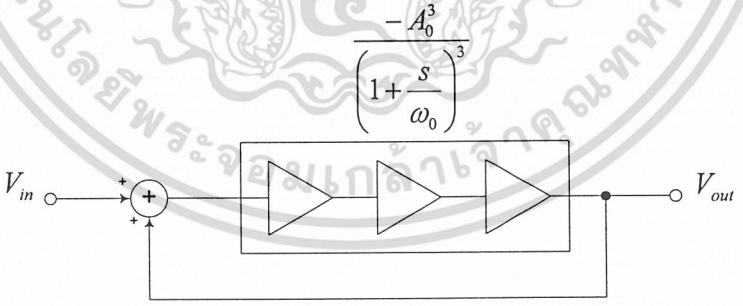
$$A_0 = 2 \qquad (3.24)$$

ดังนั้นอัตราขายแรงดันของวงจรขยายสามภาคที่ความถี่ต่ำจะมีค่าเท่ากับ 2 ต่อภาคและจะทำให้วงจรออสซิลเลทที่ความถี่ดังสมการ 3.22 โดย ω_0 คือ –3dB bandwidth ของแต่ละภาครูปคลื่นของแต่ละโนดเมื่อวงจรอสซิเลทแสดงดังรูป 3.31



รูป 3.31 รูปคลื่นของวงจรจริงออสซิลเตอร์ที่สร้างจากวงจรขยายสามภาค

ถ้าหากวงจรมีอัตราการขยายไม่เท่ากับ 2 จะมีผลอย่างไร แน่นอนว่าถ้า $A_0 < 2$ วงจรจะไม่ออสซิลเลทและจะเกิดอะไรขึ้นถ้า $A_0 > 2$ สามารถหาคำตอบโดยการพิจารณาหาค่าโพลของระบบว่าอยู่ที่ตำแหน่งใดแล้วเปรียบเทียบกับรูป 3.27(ค) พิจารณาระบบปิดรูป 3.32



รูป 3.32 รูปแบบเชิงเส้นของวงจรจริงออสซิเลเตอร์แบบสามภาค

ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out}}{V_{in}}(s) = \frac{\dfrac{-A_0^3}{(1+s/\omega_0)^3}}{1+\dfrac{A_0^3}{(1+s/\omega_0)^3}} \tag{3.24}$$

$$= \frac{-A_0^3}{(1+s/\omega_0)^3 + A_0^3} \tag{3.25}$$

พิจารณาตัวส่วนเพื่อที่จะหาค่าโพลของระบบ

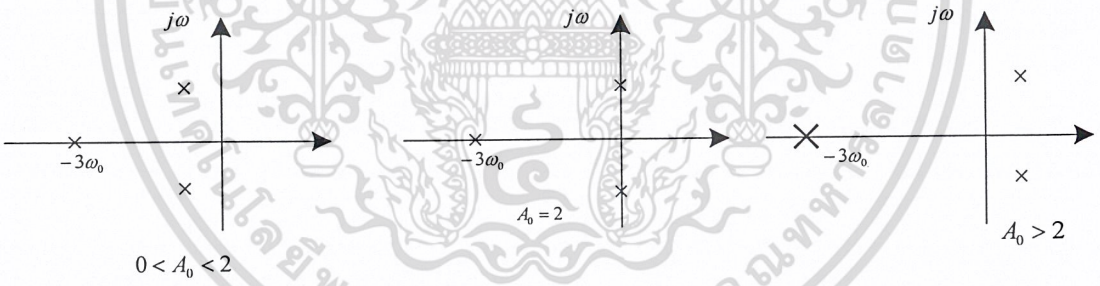
$$\left(1+\frac{s}{\omega_0}\right)^3 + A_0^3 = \left(1+\frac{s}{\omega_0}+A_0\right)\left[\left(1+\frac{s}{\omega_0}\right)^2 - \left(1+\frac{s}{\omega_0}\right)A_0 + A_0^2\right] \tag{3.26}$$

เมื่อหาคำตอบของสมการข้างต้นจะได้

$$s_1 = (-A_0 - 1)\omega_0 \tag{3.27}$$

$$s_{2,3} = \left[\frac{A_0(1 \pm j\sqrt{3})}{2} - 1\right]\omega_0 \tag{3.28}$$

เมื่อพิจารณาค่าที่ได้จะเห็นว่าค่าของโพลขึ้นอยู่กับอัตราการขยาย A_0 เมื่อเราทำการปรับค่าของ A_0 ตำแหน่งของโพลจะแสดงดังรูป 3.33

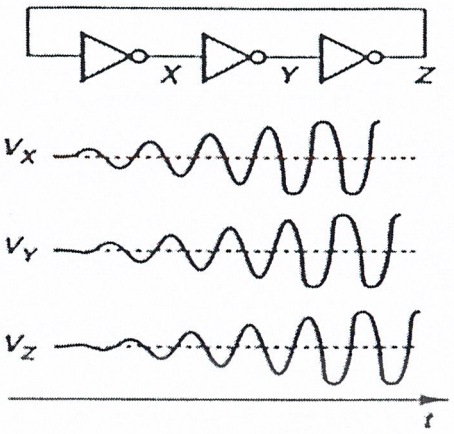


รูป 3.33 ตำแหน่งโพลของระบบเมื่ออัตราขยายเปลี่ยนแปลง

โดยถ้าค่าของ A_0 มีค่า $0 < A_0 < 2$ วงจรจะไม่ออสซิเลทและเมื่อ $A_0 > 2$ วงจรจะออสซิเลทในลักษณะค่อยๆ เพิ่มขนาดอย่างเอกโปเนนเชียลและจะถูกจำกัดโดยแหล่งจ่ายดังแสดงไว้แล้วดังรูป 3.27

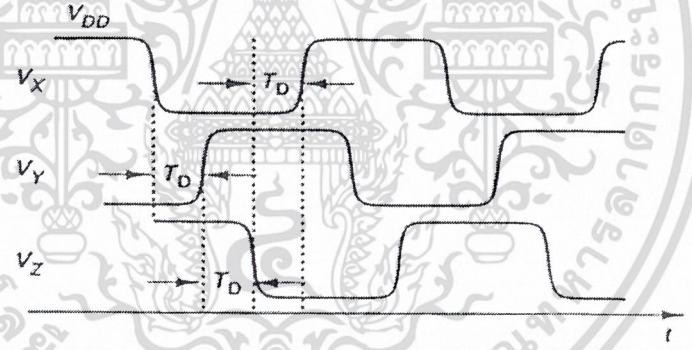
วงจรริงออสซิเลเตอร์แบบง่ายที่ไม่ต้องมีตัวต้านทานคือใช้วงจรซีมอสอินเวอร์เตอร์ดังรูป 3.34 เป็นอินเวอร์เตอร์สามภาคต่อกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.34 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์

สมมติให้ $V_x = V_{DD}$ ดังรูป 3.35 ภายใต้เงื่อนไขนี้จะทำให้ $V_Y = 0$ และ $V_Z = V_{DD}$

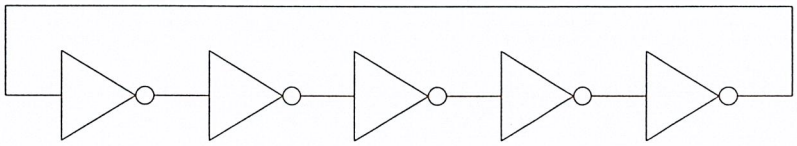


รูปที่ 3.35 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD}

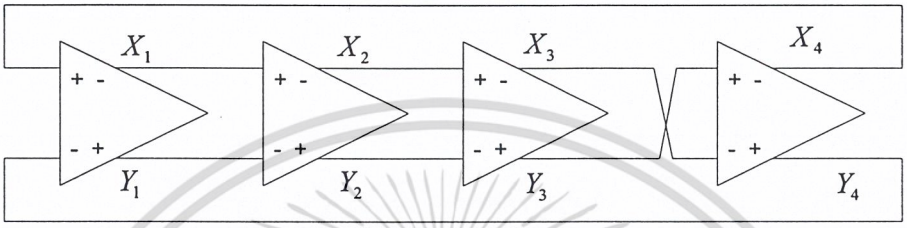
เมื่อวงจรทำงานครอบรอบเอาท์พุทจากจุด Z จะป้อนกลับมาเป็นอินพุทที่จุด X ทำให้ V_x เริ่มตกลงมีค่าเข้าใกล้ศูนย์และจะมีผลทำให้ V_Y เพิ่มขึ้นสู่ V_{DD} และ V_Z มีค่าลดลงเข้าใกล้ศูนย์เมื่อผ่านช่วงดีเลย์ของอินเวอร์เตอร์แต่ละตัววงจรจะออสซิลเลทโดยดีเลย์ T_D คือการเปลี่ยนแปลงอินพุทต่อเอาท์พุทของอินเวอร์เตอร์แต่ละตัวจะเห็นว่าคาบเวลาของการออสซิลเลทคือ $6\,T_D$ ดังนั้นความถี่ของการออสซิลเลทเท่ากับ $1/(6\,T_D)$

ริงออสซิลเลเตอร์กรณีใช้อินเวอร์เตอร์จำนวนของอินเวอร์เตอร์ต้องมากกว่าหรือเท่ากับสามเพื่อให้วงจรออสซิเลทและจะต้องเป็นจำนวนคี่เพื่อป้องการ latch up ตัวอย่างดังรูป 3.36(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูป 3.36 รูปแบบของวงจรจริงออสซิลเลเตอร์

(ก) วงจรริงออสซิลเลเตอร์แบบใช้อินเวอร์เตอร์

(ข) วงจรริงออสซิลเลเตอร์แบบใช้วงจรดฟเฟอร์เรนเชียล

โดยความถี่ของการออสซิเลทเท่ากับ $1/(6\ T_D)$ ในทางตรงกันข้ามเราสามารถใช้วงจรดิฟเฟอร์เรนเชียลสร้างวงจรออสซิเลเตอร์ได้และสามารถสร้างเป็นจำนวนเลขคู่หรือคี่ก็ได้โดยต้องมากกว่าสามภาคแสดงดังรูป 3.36(ข) ในการออกแบบจริงจะใช้เพียงแค่สามถึงห้าภาคเพื่อเป็นการใช้กำลังต่ำโดยอัตราการขยายลูปเปิดต่อภาคเพื่อทำให้วงจรออสซิเลทแสดงดังตาราง 3.1

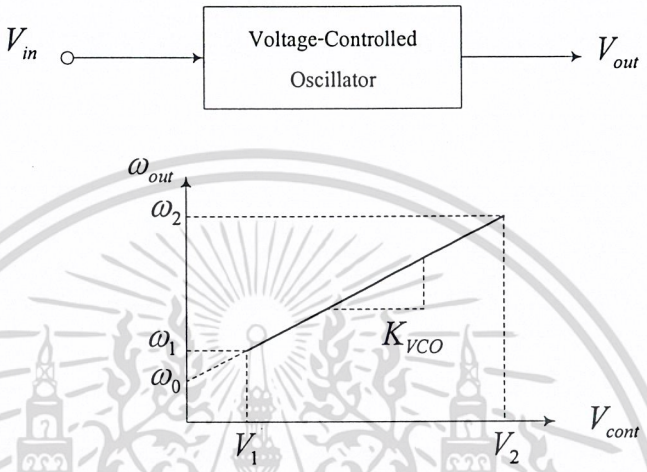
ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิลเลเตอร์

จำนวนภาค	3	4	5	6	7
ค่าอัตราขยายต่อภาค (ท่า)	2	1.315	1.184	1.122	1.065

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)

การนำวงจรออสซิลเลอเตอร์ไปใช้งานส่วนมากมักต้องการให้สามารถปรับจูนความถี่ได้โดยความถี่เอาท์พุตเป็นฟังก์ชั่นของการควบคุมที่อินพุตโดยมากจะเป็นการควบคุมด้วยแรงดันไฟฟ้าโดยวงจรควบคุมความถี่ด้วยแรงดันไฟฟ้า ในอุดมคติความสัมพันธ์ระหว่างแรงดันอินพุตความถี่เอาท์พุตต้องเป็นเชิงเส้นดังรูป 3.37



รูป 3.37 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

จากรูปจะได้ว่า

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \qquad (3.29)$$

โดย ω_o คือความถี่เมื่อ $V_{cont} = 0$ และ K_{VCO} คืออัตราการขยายของวงจรมีหน่วยเป็น rad/s/V และ $\omega_2 - \omega_1$ เรียกว่า "ย่านการจูน" (tuning range)

พารามิเตอร์ที่สำคัญของวงจร VCO : Voltage Control Oscillator

Center Frequency คือความถี่กึ่งกลางของวงจรออสซิเลเตอร์ของรูป 3.37 คำนวณได้จากการนำเอาออสซิเลเตอร์ไปใช้งานในงานนั้นๆ ว่าใช้งานในย่านความถี่เท่าไหร่ปัจจุบันวงจรซีมอส VCO มีความถี่กึ่งกลางมากว่า 10 GHz

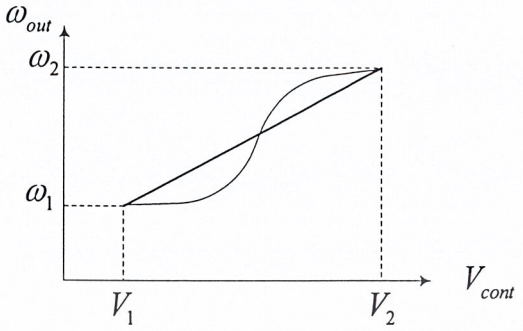
Tuning Range คือย่านความถี่ที่ VCO สามารถออสซิลเลทได้จากต่ำสุดถึงสูงสุดซึ่ง Tuning Range จะเป็นตัวกำหนด K_{VCO} ด้วยโดย

$$K_{VCO} = \frac{\omega_2 - \omega_1}{V_2 - V_1} \qquad (3.30)$$

Tuning Linearlity คือความสัมพันธ์ระหว่างแรงดันอินพุทและความถี่เอาท์พุทมีลักษณะเป็นเชิงเส้นหรือก็คือ K_{VCO} มีค่าคงที่ ถ้าคุณสมบัติของ VCO ไม่เป็นเชิงเส้นก็คือ K_{VCO} ไม่คงที่ซึ่งความไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นเชิงเส้นของ VCO จะมีผลต่อพฤติกรรมในการเข้าสู่ภาวะคงที่ของเฟสล็อคลูปความไม่เป็นเชิงเส้นของ VCO แสดงดังรูป 3.38



รูป 3.38 คุณสมบัติวงจร VCO ที่ไม่เป็นเชิงเส้น

Output Amplitude คือขนาดแรงดันเอาท์พุตของออสซิลเลเตอร์ซึ่งขึ้นอยู่กับชนิดของ VCO และเอาท์พุตของ VCO จะแปรผันโดยตรงกับกำลังสูญเสีย และสำหรับออสซิลเลเตอร์บางชนิดขนาดของแรงดันเอาท์พุตจะแปรผันกับย่านการจูน

Power Dissipation คือกำลังไฟฟ้าที่วงจรใช้ซึ่งจะขึ้นอยู่กับความเร็วคหรือความถี่โดยตรง

Supply and Common-Mode Rejection คือความสามารถในการกำจัดสัญญาณรบกวนของวงจรออสซิลเลทซึ่งอาจเกิดจากไฟเลี้ยงของวงจรหรือแหล่งอื่นๆ โดยวงจรออสซิลเลอร์ที่สามารถกำจัดสัญญาณรบกวนได้ดีจะอยู่ในรูปของวงจรดิฟเฟอร์เรนเชียล (Differrential Oscillator)

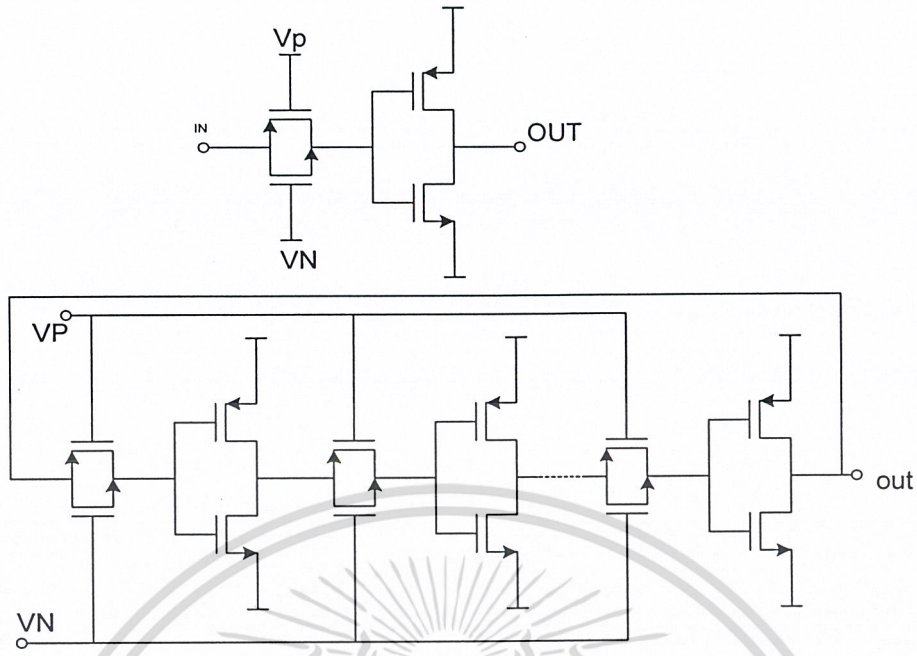
Output Signal Purity คือเอาท์พุทของ VCO ที่ออกมาต้องเป็นรูปคลื่นที่สมบูรณ์ไม่มีสัญญาณรบกวนเนื่องจากอุปกรณ์หรือไฟเลี้ยงพารามิเตอร์ที่บอกถึงผลกระทบนี้คือ Jitter และ phase noise

จากที่ได้พิจารณาการทำงานของวงจรออสซิลเลเตอร์แบบริงมาแล้วความถี่ของวงจรจะขึ้นอยู่กับดีเลย์หรือ T_D ของวงจรแต่ละภาคโดย f_{osc} ของ N ภาค Ring Oscillator เท่ากับ $(2NT_D)^{-1}$ จะเห็นว่าเราสามารถปรับค่าความถี่ของวงจรได้จากการปรับค่าดีเลย์หรือ T_D ซึ่งการปรับอาจทำได้หลายวิธีเช่นการปรับค่าความต้านทานหรือการปรับกระแสในวงจร

ตัวอย่างวงจรที่ใช้หลักการปรับค่าความต้านทานเพื่อปรับค่า T_D วงจรแสดงดังรูป 3.39 ซึ่งแสดงเพียงหนึ่งภาคเราเรียกว่า delay cell เมื่อต้องการทำเป็นออสซิเลทเตอร์ก็นำแต่ละเซลล์มาต่อกันอย่างน้อยสามภาค

การออกแบบวงจรออสซิเลเตอร์แบบควบคุมด้วยแรงดันมีจุดมุ่งหมายสำคัญ คือ สามารถปรับความถี่ได้ด้วยแรงดันย่านกว้าง(Wide Tuning Rang) และการสวิงของสัญญาณเอาท์พุทได้สูง(Fast Voltage Swing) ซึ่งวงจรออสซิเลเตอร์แบบควบคุมความถี่ด้วยแรงดันนี้ เป็นบล็อกที่สำคัญส่วนหนึ่งของวงจรเฟสล็อคลูป(PLL) ซึ่งในการออกแบบครั้งนี้เราสามารถสร้างความถี่ได้ช่วง 100 Hz ถึง 370Hz ซึ่งมีวงจรการทำงานดังรูปที่ 3.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.39 วงจรควบคุมความถี่ด้วยแรงดันแบบริงออสซิเลเตอร์

จากรูปเป็นวงจรริงออสซิเลเตอร์ ที่มีการควบคุมความถี่ด้วยแรงดัน V_p และ V_N โดยค่าของความถี่ oscillator เป็นดังสมการ

$$f_{osc} = \frac{1}{2N\tau} \qquad 3.31$$

เมื่อ τ คือค่า ดีเลย์(Delay) ของวงจร Inverter โดยเราสามารถหาค่า τ ได้จากสมการและทำการพิจารณารูป ดังรูป 3.40

$$V_{osc} = \int \frac{I_{ctrl}}{C_G} dt \qquad 3.32$$

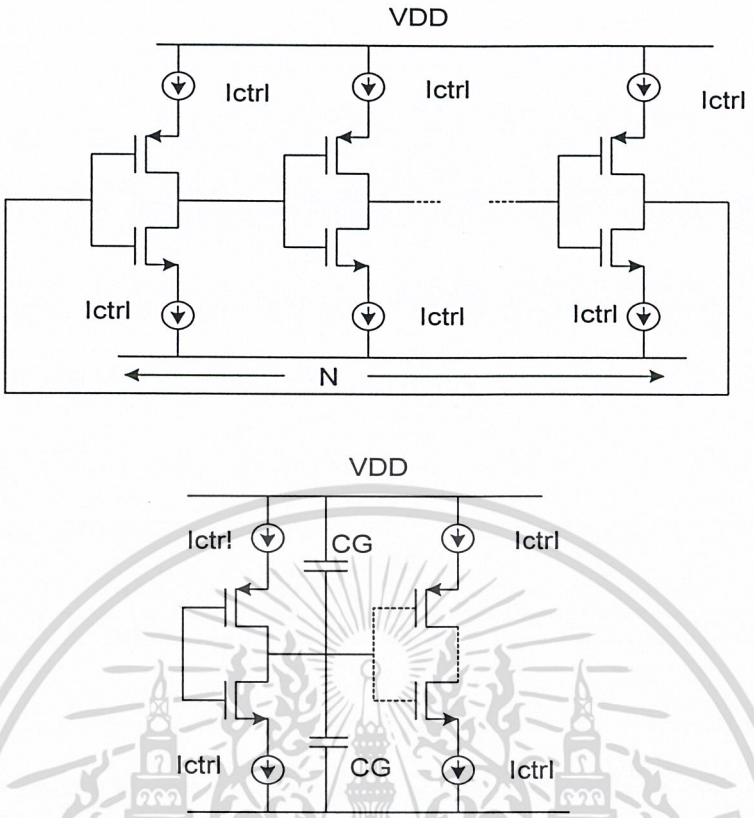
$$\tau = \frac{V_{osc} C_G}{I_{ctrl}} \qquad 3.33$$

เมื่อ V_{osc} คือแรงดันออสซิเลเตอร์ นำสมการ 3.33 แทนสมการที่ 3.31

$$f_{osc} = \frac{I_{ctrl}}{2NV_{osc} C_G} \qquad 3.34$$

ความถี่ของวงจรออสซิเลเตอร์สามารถคำนวณได้จากกระแส I_{ctrl} ,N คือจำนวนของ Stages, ค่าของแรงดันออสซิเลเตอร์ V_{osc} และค่าคาปาซิเตอร์ของ CMOS (C_G) , สำหรับการปรับความถี่นั้นเราสามารถทำการปรับที่ I_{ctrl}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.40 วงจรริงออสซิเลเตอร์ออกแบบโดยการประมาณค่าดีเลย์

3.3.4 การออกแบบวงจรออสซิเลเตอร์แบบควบคุมความถี่ได้

การออกแบบวงจรให้พิจารณารูปที่ 3.41 เมื่อทำการเพิ่มความต้านทานปรับค่าได้ R_V เข้าไปที่จุดอินพุทของวงจรอินเวอร์เตอร์ทำให้สามารถปรับความถี่ได้โดย PMOS และ NMOS จะมี Delay Time แต่ละ Stage โดยสามารถคำนวณได้จากสมการที่ 3.35 เพราะฉะนั้น MOS Transistor ในส่วนของอินเวอร์เตอร์สามารถปรับเปลี่ยนค่าดีเลย์ด้วยค่าความต้านทานเมื่อ MOS อยู่ในสภาวะ ON เป็นค่าความต้านทานค่าหนึ่ง โดยจะมีค่าเท่ากับ $\frac{1}{g_m}$ และค่าคาปาซิแตนท์ C_{GS} ของ NMOS และ PMOS Transistor เป็นค่าคงที่ ค่าของดีเลย์อินเวอร์เตอร์ τ_p เราสามารถประมาณได้จาก

$$\tau_P = \frac{C_G\left(1 + G_M R_V\right)}{G_M} \qquad 3.35$$

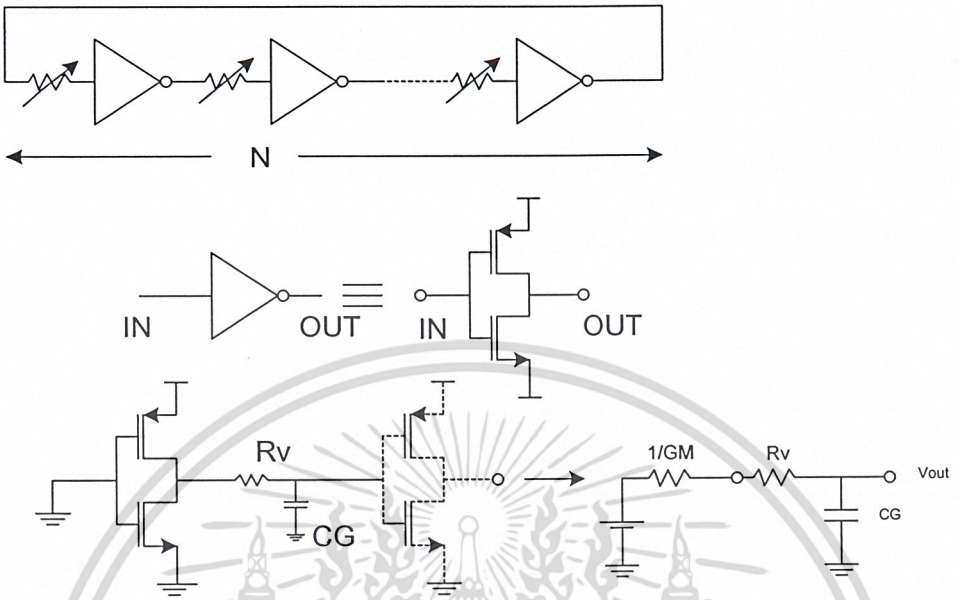
จากสมการที่ 3.35 เราประมาณค่าได้ว่า $G_M R_V >> 1$ เราสามารถสมมติให้ $R_V=0$ ได้

$$\tau_P = \frac{C_G}{G_M} \qquad 3.36$$

เพราะฉะนั้น τ_p เป็นดีเลย์ของแต่ละ Stage ในที่สุดเราสามารถหาความถี่ออสซิเลเตอร์ควบคุมความถี่ด้วยแรงดันได้จาก

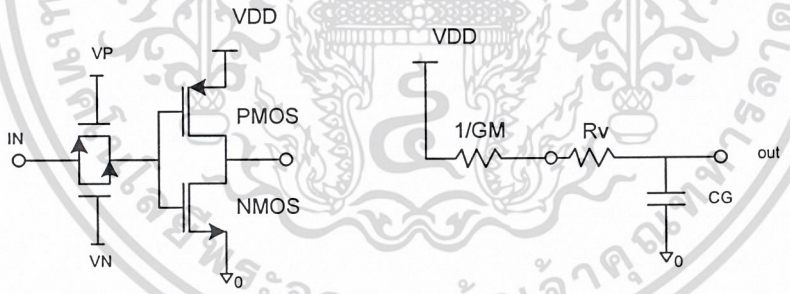
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{osc} = \frac{G_M}{2NC_G\left(1 + G_M R_V\right)} \qquad 3.37$$



รูป 3.41 แสดงวงจรสำหรับการออกแบบวงจรควบคุมความถี่ด้วยแรงดัน โดยใช้อินเวอร์เตอร์

การคำนวณหาค่า Parameter ของ Voltage Control Oscillator



รูป 3.42 Voltage Control Oscillator 1 Delay Cell

จากรูปเมื่ออินพุทเป็น Low(0) ทำให้ PMOS ทำงานในย่าน Linear จะได้สมการกระแสที่ไหลผ่าน PMOS ย่าน Linear คือ

$$I_D = \mu_P C_{OX}\left(\frac{W}{L}\right)_P \left\{\left(V_{GS} - V_T\right)V_{DS} - \frac{{V_{DS}}^2}{2}\right\} \qquad (3.38)$$

จากสมการค่า $G_M = \dfrac{1}{R_{ON}}$

$$\frac{\partial I_D}{\partial V_{DS}} = \mu_P C_{OX}\left(\frac{W}{L}\right)_P \left\{\left(V_{GS} - V_T\right) - V_{DS}\right\} \qquad (3.39)$$

ในย่าน Linear จะทำให้เราสมมติว่า V_{DS}=0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G_M = \mu_P C_{OX}\left(\frac{W}{L}\right)_P \{(V_{GS} - V_T)\}$$

$$G_M = 0.8064mS$$

ต่อไปเราจะทำการหาค่า R_V

$$R_{eneq} = R_{ON}N \,//\, R_{ON}P \qquad (3.40)$$

$$= \frac{1}{\mu_N C_{OX}\left(\frac{W}{L}\right)_N \{(V_{in} - V_N - V_{THN})\}} // \frac{1}{\mu_P C_{OX}\left(\frac{W}{L}\right)_P \{(V_{in} - V_P - V_{THP})\}}$$

$$= R_V \approx 600\Omega$$

การหาค่า C_G ได้จากการทดลองที่แรงดันอินพุทจาก VLPF = 2.5V $\approx$ 1pF

จาก $f_{osc} = \frac{G_M}{2NC_G(1 + G_M R_V)}$

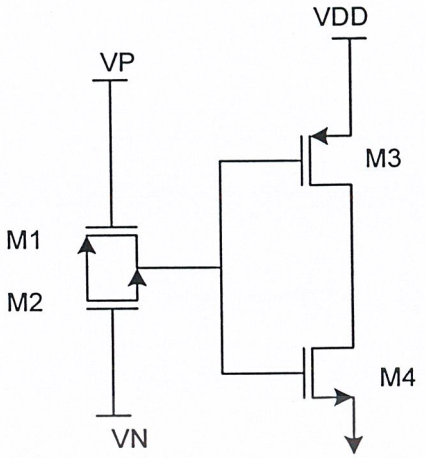
$$f_{osc} = \frac{0.8064 \times 10^{-3}}{2 \times 3 \times 1 \times 10^{-12} \times \left[1 + \left(0.8064 \times 10^{-3} \times 600\right)\right]} = 96MHz$$

3.3.5 การควบคุมแรงดันของวงจรออสซิเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน

การออกแบบใช้ LEVEL 49 ,0.8μm CMOS Technology วงจรที่ใช้เป็นดังรูปที่ 3.42 เป็นวงจร Ring Oscillator แบบควบคุมความถี่ด้วยแรงดัน และขนาดของ $\frac{W}{L}$ ของ MOS Transistor แสดงดังตาราง 3.2 อัตราส่วนของ $\frac{W}{L}$ ของ Voltage Control Oscillator ดังวงจรรูปที่ 3.42

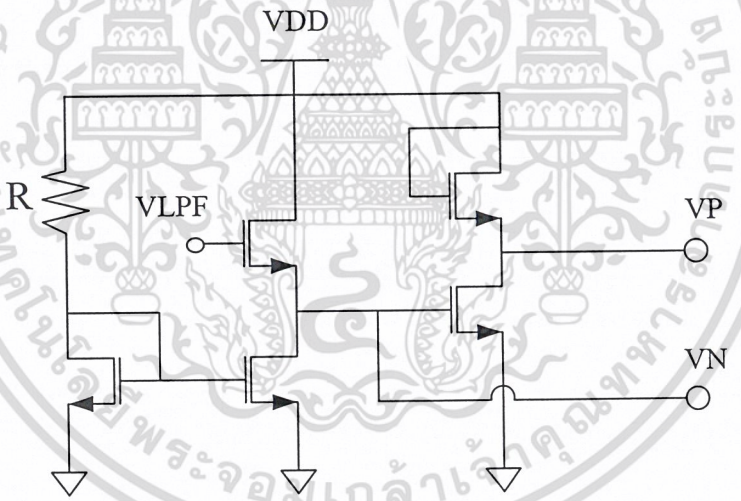
	W/L(μm/μm)
M1	12/0.8
M2	2/0.8
M3	4/0.8
M4	1/0.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.43 วงจรควบคุมความถี่ด้วยแรงดันที่ใช้ในการทดลอง 1 Stage

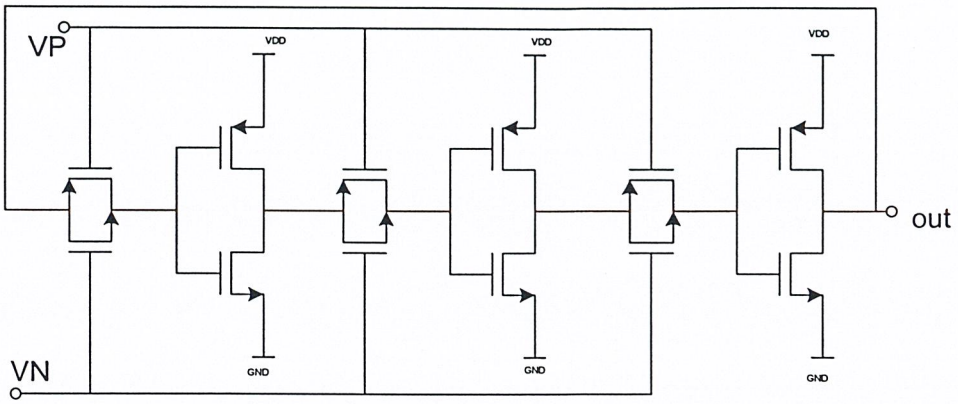
ในการควบคุมแรงดันของวงจรออสซิเลตอร์ แบบปรับความถี่ด้วยแรงดัน นั้นปรากฏว่าจะต้องสามารถควบคุมได้ที่แรงดัน V_P และ V_N เพื่อให้ได้ความถี่ตามต้องการ ดังนั้นเราจึงทำการออกแบบวงจรโดยทำการควบคุมที่ V_P และ V_N ดังวงจรตามรูปที่ 3.43



รูปที่ 3.44 แสดงวงจรที่ทำการควบคุมแรงดันให้กับ VCO

จากรูปที่ 3.43 นั้น โดยใช้แนวความคิดคือ ให้แรงดัน V_P และ V_N เริ่มแรกออกแบบให้ V_P มาก และ V_N มีค่าน้อย หรือ V_Pน้อย และ V_N มีค่ามาก โดยเราได้เลือกจากแรงดันที่ออกจากวงจรกรองความถี่ต่ำ(Low Pass Filter) เมื่อให้ในลักษณะไม่มีการเปรียบเทียบเฟสเราให้แรงดันออกจากวงจรกรองความถี่ต่ำคือ $V_{LPF} = \frac{V_{DD}}{2}$ ทำให้วงจรควบคุมแรงดัน VCO ผลิตแรงดันไฟตรงออกมาที่ V_N =1.2 V และ V_P=3.8 V ทำให้ได้ความถี่ 100 MHz

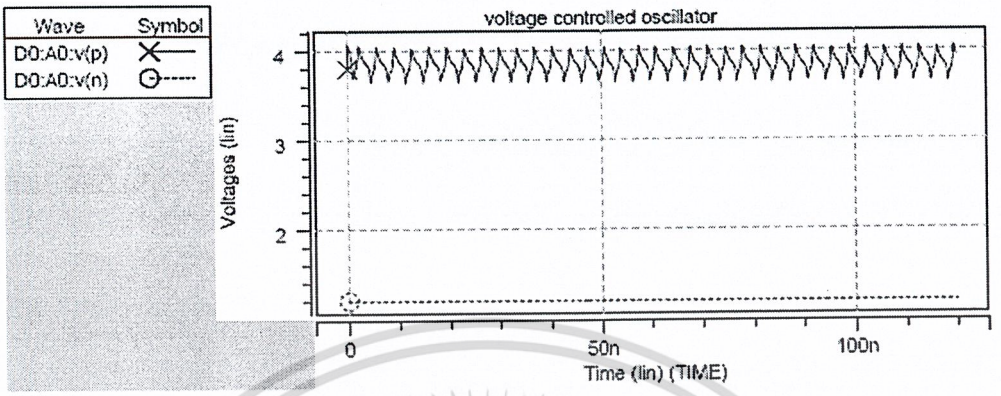
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



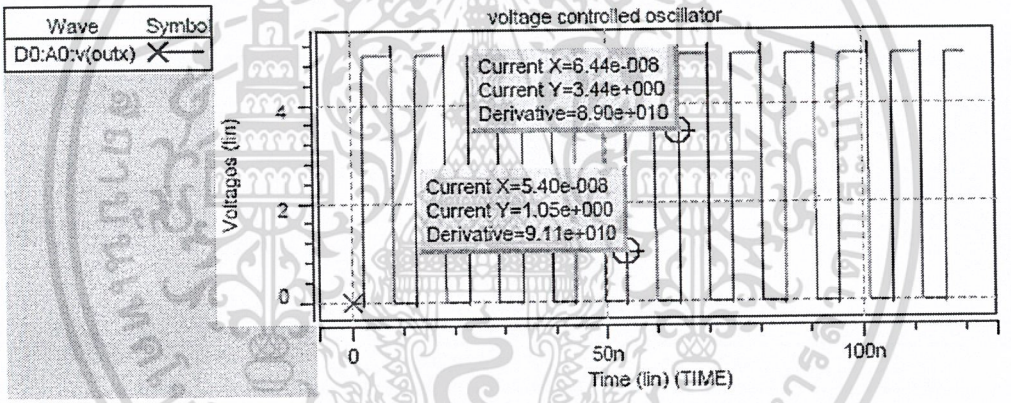
รูปที่ 3.45 แสดงวงจรออสซิเลเตอร์ 3 Stage ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

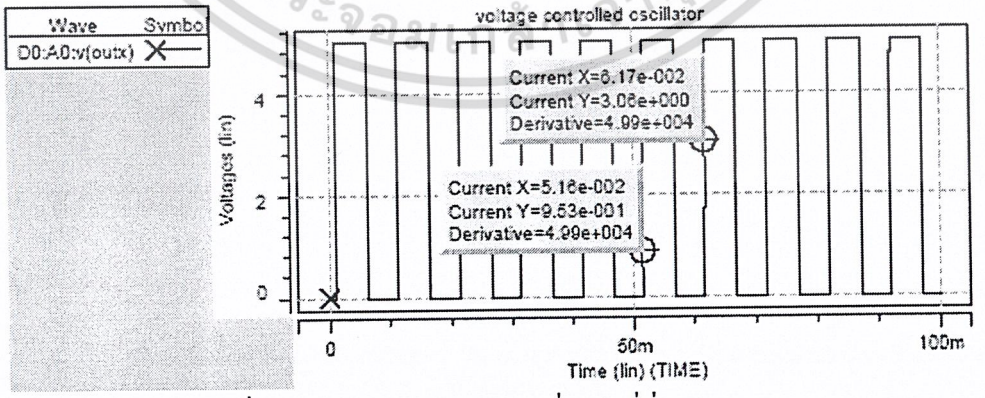
ผลการทดลองวงจรออสซิเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน



รูปที่ 3.46 แสดงผลการทดลองวงจรควบคุมแรงดัน VCO

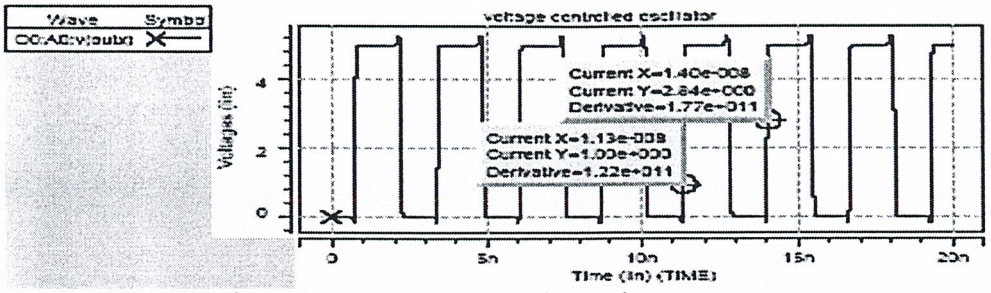


รูปที่ 3.47 ความถี่ที่ได้จากแรงดันที่ควบคุม VCO



รูปที่ 3.48 แสดงผลการทดลองที่ความถี่ต่ำสุด 100Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.49 แสดงผลการทดลองที่ความถี่สูงสุด 370MHz

ตาราง 3.3 ตารางการเปรียบเทียบแรงดันกับความถี่วงจรออสซิเลเตอร์

ความถี่(f_{osc})	แรงดัน(V_{LPF})
100Hz	0
100Hz	0.5
100Hz	0.7
132.8Hz	0.8
378.21 Hz	1
46.5 kHz	1.5
13.33 MHz	2
95.23 MHz	2.5
155.76 MHz	3
211.41 MHz	3.5
262.46 MHz	4
315.7 MHz	4.5
370 MHz	5

ตาราง 3.4 ค่าพารามิเตอร์ของวงจรออสซิลเลเตอร์

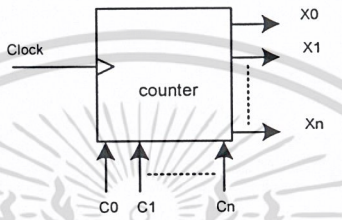
Parameter name	**Value**
f_{max}	370 MHz
f_{min}	100 Hz
V_{max}	5
V_{min}	0.7
K_{vco}	$= 0.54x10^{9}$ radians/vs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรหารความถี่

การประยุกต์ใช้งานเฟสล็อคลูปส่วนใหญ่จะใช้ทำเป็นวงจรกำเนิดความถี่หรือคูณความถี่จากอินพุทเพิ่มขึ้น N เท่าโดยใช้วงจรหารความถี่ร่วมกับเฟสล็อคลูปโดยพื้นฐานของวงจรหารความถี่จึงมาจากวงจรนับดังนั้นจะกล่าวถึงรายละเอียดของหลักการพื้นฐานของวงจรนับดังนี้

วงจรนับหรือ Counter จะผลิตหรือนับจำนวนตัวเลขออกมาในแต่ละครั้งที่มีสัญญาณนาฬิกาอินพุทเข้ามาสัญลักษณ์โดยทั่วไปของวงจรนับแสดงดังรูป 3.50



รูป 3.50 สัญลักษณะโดยทั่วไปของวงจรนับ

จากรูป 3.50 สัญญานาฬิกาจะเป็นอินพุทของวงจรนับใช้สำหรับเปลี่ยนสถานะของวงจรนับ วงจรนับจะมีหลายเอาท์พุทดังนั้นการเปลี่ยนแปลงของเอาท์พุทจึงมีหลายสถานะ จำนวนสูงสุดสถานะของเอาท์พุทจะสัมพันธ์กับจำนวนเอาท์พุทดังสมการ 3.38

$$\text{Counter state} = 2^n \qquad (3.38)$$

เมื่อ n คือจำนวนเอาท์พุทหรือจำนวนบิตของวงจรนับ เช่น วงจรนับ 3 บิต จะมีสถานะเอาท์พุทสูงสุด 8 สถานะ และวงจรนับ 4 บิต มีสถานะอ์พุทได้สูงสุด 16 สถานะ นอกจากนี้วงจรนับอาจจะมีสัญญาณควบคุมอินพุทดังแสดงในรูป 3.50 และวงจรนับยังแบ่งออกตามลักษณะการทำงานได้สองชนิดคือ

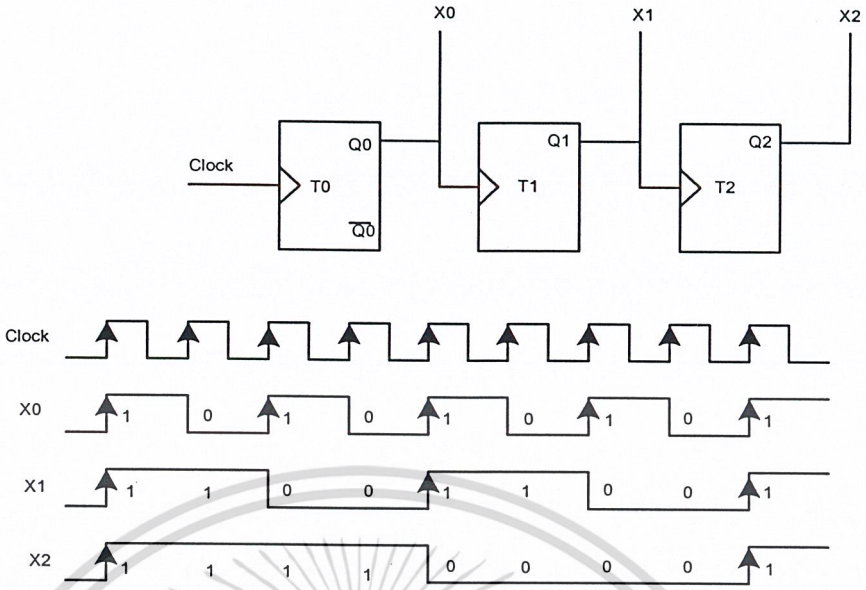
1. วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)
2. วงจรนับแบบสัมพันธ์ (Synchronous counter)

โดยวงจรนับแบบแรกนี้เป็นวงจรนับที่ทุกครั้งที่มีสัญญาณเข้ามาที่อินพุท แต่แบบหลังนั้นการทำงานจะขึ้นกับสัญญาณควบคุมที่เรียกว่า คล็อค กล่าวคือ จะต้องมีทั้งอินพุทและคล็อคเข้ามาวงจรจึงจะนับหากมีเพียงสัญญาณอินพุทวงจรจะไม่ทำงาน โดยแต่ละแบบมีรายละเอียดดังนี้

3.4.1 วงจรนับแบบไม่สัมพันธ์ (Asynchronous counte)

วงจรนับแบบไม่สัมพันธ์ (Asynchronus counter) ขนาด 3 บิตที่สร้างจาก T flip-flops ต่อกันและอนุกรมและ timing diagram แสดงดังรูป 3.51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.51 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิตแบบนับลง

จากรูป 3.51 เรานำเอาเอาท์พุทของฟลิป-ฟลอบตัวแรกส่งไปเป็นอินพุทของฟลิป-ฟลอป ตัวที่ 2 และเอาท์พุทของฟลิป-ฟลอปตัวที่ 2 เป็นอินพุทของฟลิป-ฟลอปตัวที่ 3 เรื่อย ๆ ไป เราเรียกวงจรนับแบบนี้ว่า ripple counter ค่าเวลาที่สูญเสียไปในการเดินทางของสัญญาณเรียกว่าเวลาหน่วงในการเดินทาง (Propagation Delay Time) จะมีค่าเท่ากับผลรวมของเวลาที่ใช้ในการเดินทางแต่ละตัว และจาก timing diagram จะเห็นได้ว่าทุกๆ ครั้งที่สัญญาณอินพุทผ่านฟลิป-ฟลอป ตัวหนึ่งหรือที่เรียกว่า ภาค (Stage) นั้นความกว้างของสัญญาณพัลซ์จะเพิ่มขึ้นเท่าตัวหรือความถี่ลดลงครึ่งหนึ่งจากความถี่อินพุท โดยจากรูปถ้าให้ f เท่ากับความถี่ Clock จะได้ความถี่เอาท์พุทที่จุ $X_0 = f/2$ ทีเอาท์พุท $X_1 = f/8$

3.4.2 วงจรนับโหมด N

วงจรนับที่กล่าวข้างต้นเป็นวงจรนับที่มีลักษณะการนับเป็นไปตามแบบเลขฐานสองและสัญญาณที่ออกมาที่เอาท์พุทจะมีความถี่ลดลงเท่ากับความถี่ของสัญญาณอินพุทหารด้วย 2^n ซึ่งหากเป็นเช่นนี้การนำไปใช้งานย่อมถูกจำกัดและวงจรนับที่นำไปใช้ส่วนมากจะนับได้ค่าที่ต่างจาก 2^n เช่น วงจรนับสิบ ที่เรียกว่า วงจรนับดีเคด (decade counter) ซึ่งใช้กันมาก

ก่อนศึกษาการควบคุมการนับจะพิจารณาถึงคำว่า หารด้วย N ก่อน โดยทั่วไปวงจรหารด้วย N นั้นหมายถึง วงจรที่ให้เอาท์พุทที่มีความถี่เป็น 1/N ของความถี่สัญญาณอินพุทโดยที่รูปร่างลักษณะไม่จำเป็นต้องเป็นสี่เหลี่ยมก็ได้ แต่จะต้องซ้ำตัวมันเองด้วยอัตราส่วน 1/N ของความถี่เดิม วงจรหารด้วย N หรือวงจรนับ N นั้นจะได้เท่ากับ N เมื่อนับไปได้ N ครั้งแล้ว การทำงานจะกลับมาเริ่มต้นใหม่ ซึ่งวงจรนับที่มีสถานะการนับ N ที่แตกต่างกัน เรามักเรียกว่า วงจรนับโมดูลัส (Modulus-N Counter) หรือวงจรนับโหมด N (Mod-N Counter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น วงจรนับโหมด 3 หากให้ฟลิป-ฟลอปตัวเดียวไม่สามารถแทนสถานะได้ครบ เพราะฟลิป-ฟลอป 1 ตัวมี 2 สถานะหากใช้ 2 ตัวก็จะแทน 4 สถานะหากใช้ฟลิป-ฟลอป 2 ตัว และตัดสถานะทิ้งเสียหนึ่งสถานะ ก็จะได้วงจนนับโหมด 3 เช่น ตัดสถานะ 11 ทิ้ง ก็จะได้วงจรนับที่มีสถานะ 00 01 10 ตามลำดับ การทำงานเมื่อครบทั้งสามตัวแล้วก็จะวนไป 00 ใหม่ หรืออาจจะตัดสถานะอื่นทิ้งแทน 11 ก็ได้ ดังแสดงในตาราง 3.4

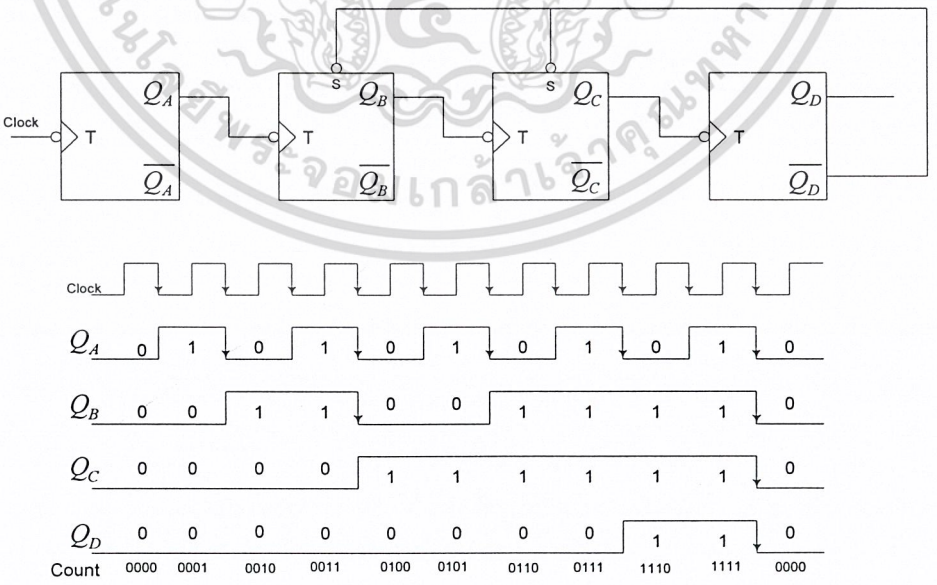
ตาราง 3.5 สถานะนับของวงจรนับโหมด 3

วิธีการ	A	B	C	D	E	F	G
สถานะของการนับ	00	00	00	00	00	00	00
	01	01	10	10	11	11	11
	10	11	11	01	01	10	10

จากตาราง 3.4 จะพบวิธีการในการออกแบบวงจรนับโหมด 3 ได้หลายวิธีที่จะเป็นไปได้การตัดสินใจเลือกแบบใดขึ้นอยู่กับแฟคเตอร์ต่างๆ มากมาย เช่น ราคา, การนำไปใช้งาน, ความง่ายในการสร้าง แต่โดยทั่วไปมักเลือกแบบที่มีสถานะการนับเพิ่มขึ้นไปเรื่อยๆ เพื่อให้ง่ายในการสร้างวงจร กรณีดังกล่าวคือ กรณี A,B และ C ในตาราง 3.4

3.4.3 การออกแบบวงจรนับด้วยวิธีการป้อนกลับ

วิธีการหนึ่งในการออกแบบวงจรนับให้สามารถนับได้ค่าตามต้องการคือการใช้เทคนิคในการป้อนกลับโดยการนำเอาสัญญาที่ออกจากฟลิป-ฟลอปตัวหนึ่งป้อนกับไปเข้าฟลิป-ฟลอปตัวหน้า ดังแสดงในรูป 3.52



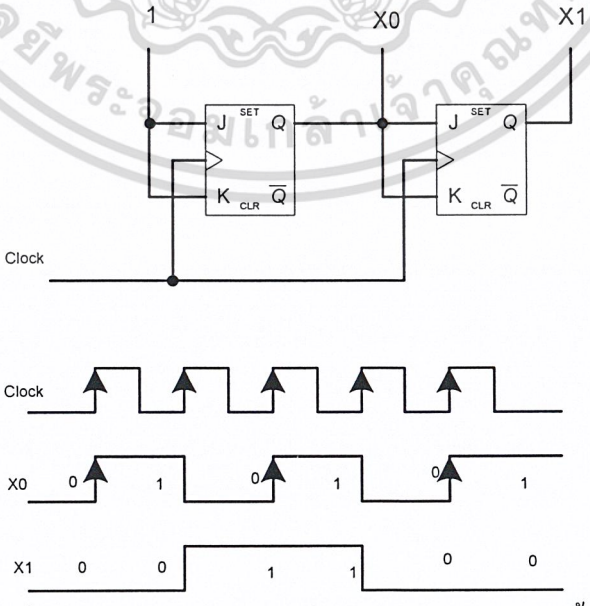
รูปที่ 3.52 วงจรนับสิบโดยการป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.52 ปกติเป็นวงจรนับเลขฐานสองขนาด 4 ภาค ที่สามารถนับจากค่า 0000 ถึง 1111 หลังจากนั้นก็จะกลับมายังค่า 0000 ใหม่และนับเริ่มต้นไปใหม่ เรียกว่าวงจรนับโหมด 16 เมื่อนำค่าเอาท์พุต $\overline{Q_D}$ ป้อนกลับไปยังขา Set ของฟลิป-ฟลอปตัวที่ 2 และ 3 จนทำให้สภาวะการนับเปลี่ยนไปดังแสดงการนับในรูป 3.51 โดยจะเห็นว่าการทำงานของวงจรนับ จะนับไปเรื่อยๆ แบบเลขฐานสอง จนกระทั่งถึงค่าที่ Q_D เปลี่ยนจาก 0 ไปเป็น 1 คือการนับ 8 ค่าที่เปลี่ยนแปลงของ $\overline{Q_D}$ ทำให้ค่าของการนับค่า 8 นั้นเอาท์พุทของฟลิป-ฟลอป 2 และ 3 เปลี่ยนเป็น 1110 แทนที่จะเป็น 1000 วงจรนับไปเป็น 111 และสัญญาณที่อินพุตตัวที่ 10 ฟลิป-ฟลอปทุกตัวทำงานให้ค่าเอาท์พุทค่า 0 หมดวงจรนี้สถานะการนับจะมี 10 สถานะจึงเรียกวงจรนับโหมด 10

3.4.4 วงจรนับแบบสัมพันธ์ (Synchrouous counter)

วงจรนับที่ได้กล่าวมาแล้วข้างต้น เป็นวงจรนับเลขฐานสองที่สามารถสร้างได้ง่ายและสามารถนำไปสร้างวงจรนับโหมดต่างๆ ตามที่ต้องการได้ แต่วงจรนับเหล่านี้การทำงานของฟลิป-ฟลอปตัวหลังจะขึ้นอยู่กับการทำงานของฟลิป-ฟลอปตัวหน้า ทำให้เกิดข้อจำกัดในด้านความถี่สูงของสัญญาณอินพุทที่วงจรนับนี้จะสามารถทำงานได้ ทั้งนี้เนื่องจากฟลิป-ฟลอปแต่ละตัวจะมีเวลาหน่วง (Delay-time) ในตัวมันเอง เวลาหน่วงของวงจรจะมีค่าเท่ากับเวลาหน่วงของฟลิป-ฟลอปทุกตัวในวงจรรวมกัน ยิ่งวงจรมีขนาดใหญ่ขึ้นจำนวนฟลิป-ฟลอปมากขึ้น ทำให้ได้ค่าเวลาหน่วงมากตามไปด้วย ในระบบที่ต้องการความเร็วสูงนั้นจึงไม่นิยมใช้กัน แต่จะใช้วงจรนับอีกชนิดหนึ่งที่ให้ฟลิป-ฟลอปทุกตัวทำงานพร้อมกันทั้งหมดเรียกวงจรนี้ว่า วงจรนับแบบขนาน (Parallel counter) หรือวงจรนับแบบสัมพันธ์ (Synchronous counter) แสดงดังรูป 3.53



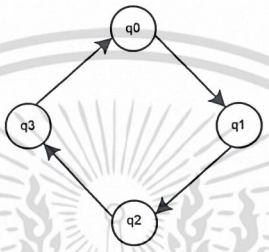
รูปที่ 3.53 วงจนนับแบบสัมพันธ์ขนาด 2บิตชนิดนับขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการที่สำคัญของวงจรนับแบบขนานคือ การใส่สัญญาณคล็อคให้กับฟลิป-ฟลอบทุกตัวในเวลาเดียวกัน ดังนั้นฟลิฟ-ฟลอปทุกตัวที่มีอยู่จึงทำงานพร้อมกัน เวลาในการทำงานของวงจรนับจึงเท่ากับในการทำงานของฟลิป-ฟลอปตัวที่มีเวลาหน่วงมากที่สุด

การควบคุมการนับของวงจรนับแบบสัมพันธ์นั้นจะยุ่งยากกว่าวงจารนับแบบไม่สัมพันธ์โดยจะใช้วิธีในการออกแบบเป็นขั้นตอนอยู่ประมาณ 6 ขั้นตอนตัวอย่างการออกแบบวงจรนับขนาด 2 บิตแบบนับขึ้นดังรูป 3.53 มีขั้นตอนคือ

1. เขียนไดอะแกรมบอกสถานะ (Atate diagram) การนับดังรูป 3.54



รูปที่ 3.54 ไดอะแกรมแสดงสถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น

จากไดอะแกรมบอกสถานะเขียนตารางสถานะ (State table) ของวงจรนับดังตาราง 3.5 โดยเขียนสถานะที่จะเกิดขึ้นได้ทั้งหมดในแถบทางซ้ายมือและเขียนสถานะถัดไปทางขวามือ

ตาราง 3.6 สถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น

q^n	q^{n+1}
q_0	Q_1
q_1	Q_2
q_2	Q_3
q_3	q_0

2. เขียนตารางแสดงการเปลี่ยนสถานะของวงจรนับ (Transition table) ดังตาราง 3.6

ตาราง 3.7 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิตแบบนับขึ้น

$(Q_1Q_0)^n$	$(Q_1Q_0)^{n+1}$
0 0	0 1
0 1	1 0
1 0	1 1
1 1	0 0

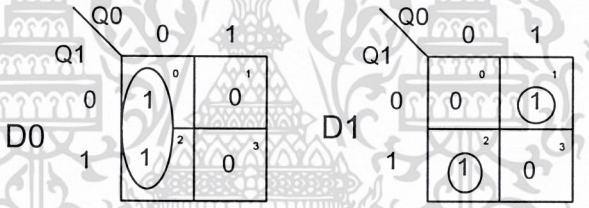
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ที่ผ่านมาสามขั้นตอนนั้นยังไม่ขึ้นอยู่กับชนิดของฟลิป-ฟลอป ในขั้นนี้จะต้องเลือกแล้วว่าจะใช้ฟลิป-ฟลอบแบบใด และจะใช้วิธีการ excitation maps ในการคำนวณเพื่อที่จะควบคุมอินพุทของฟลิป-ฟลอป โดยจะใช้ควบคู่กับ transition table ในที่นี้เลือกใช้ดีฟลิป-ฟลอป โดย excitation map ของดีฟลิป-ฟลอป แสดงดังตาราง 3.7

ตาราง 3.8 excitation map ของดีฟลิป-ฟลอป

Q^n	Q^{n+1}	D
1	0	0
0	1	1
1	0	0
1	1	1

จาก excitation map ของดีฟลิป-ฟลอปและ transition table สามารถนำมาเขียนความสัมพันธ์ของการนับได้เป็น excitation maps ของวงจรนับขนาด 2 บิตแบบนับขึ้นได้ดังรูป 3.54



รูป 3.55 Excitation maps ของวงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้น

5. จาก Excitation maps ทำการหาค่า Excitation equation จะได้

$$D_0 = \overline{Q_0}$$

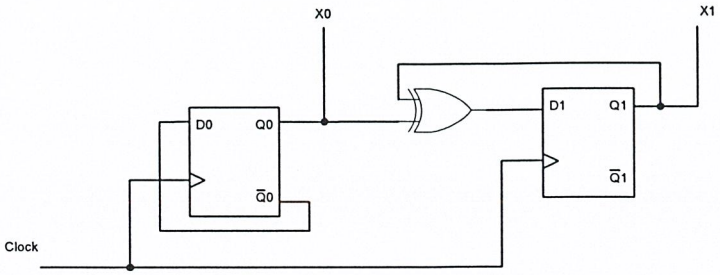
$$D_1 = Q_1\overline{Q_0} + \overline{Q_1}Q_0$$

$$\therefore \quad D_1 = Q_1 \oplus Q_0$$

5. นำค่า Excitation equation ที่ได้มาสร้างเป็นวงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นจะได้วงจรเป็นดังรูป 3.56

6.

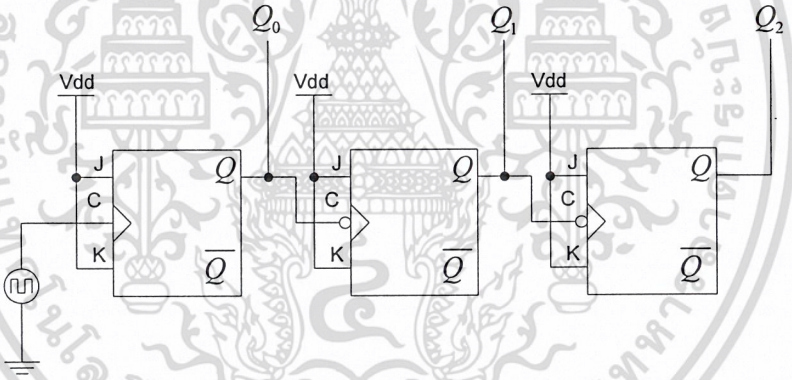
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.56 วงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นโดยใช้ดีฟลิป-ฟลอป

3.4.5 การจำลองการทำงานวงจรนับขนาด 8 bit แบบไม่สัมพันธ์ (Asynchronous counter)

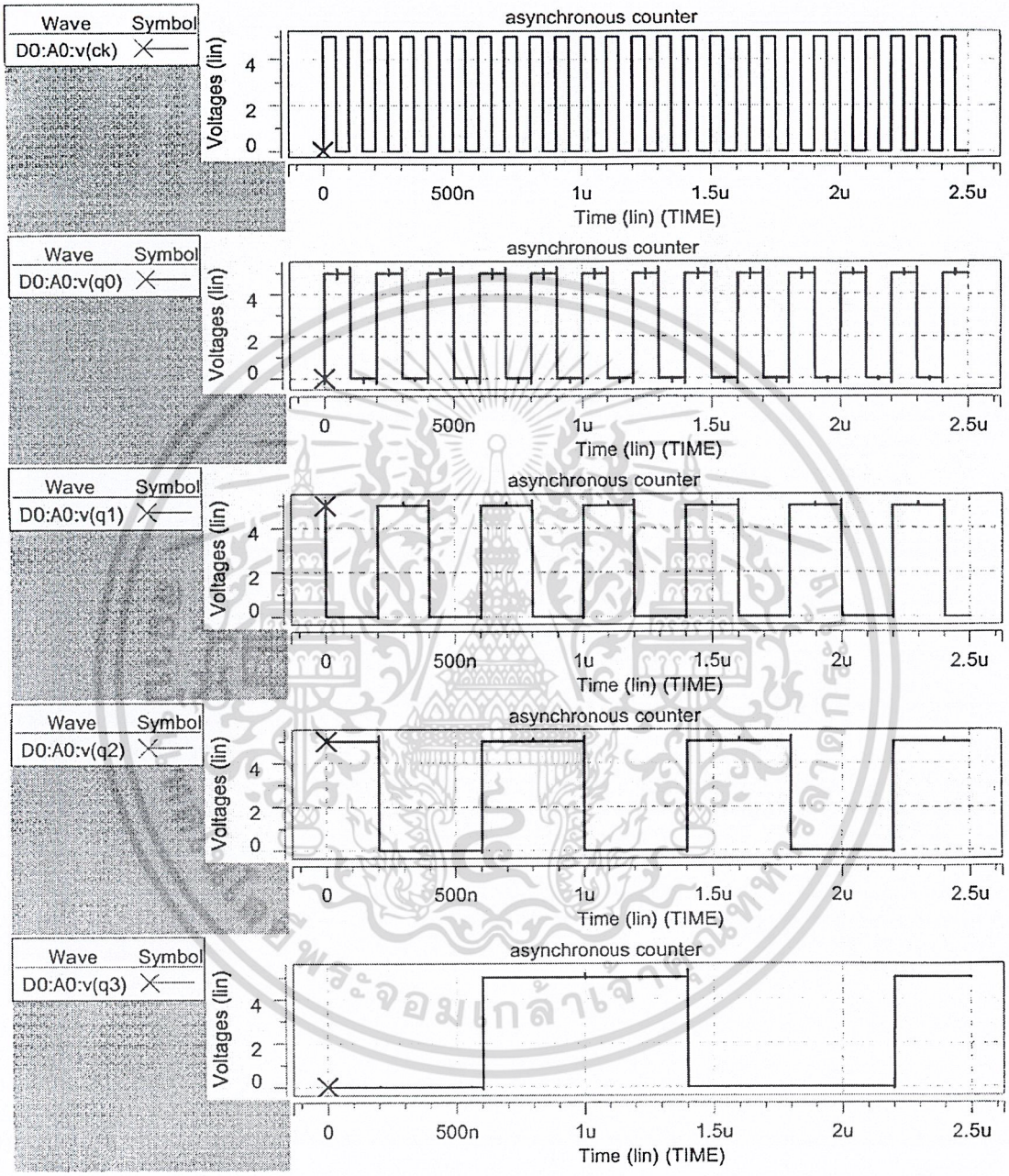
เนื่องจากค่าความถี่จากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าที่ผลิตออกมาได้มีค่าอยู่ระหว่างประมาณ 100Hz ถึงประมาณ 370MHz เลือกใช้วงจรนับขนาด 8 บิต แบบไม่สัมพันธ์ดังนั้นความถี่ต่ำสุดที่สามารถใช้ได้เพื่อให้คูณขึ้นมาแล้วทำให้วงจรอสซิลเลเตอร์สามารถทำงานได้ประมาณ 40KHz (40KHz×256 = 1.24MHz) วงจรนับขนาด 8 บิตแบบไม่สัมพันธ์แสดงดังรูป 3.57



รูปที่ 3.57 วงจรนับแบบไม่สัมพันธ์ขนาด 8 บิตแบบนับขึ้นโดยใช้ J-K ฟลิปฟลอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.57 ทำการจำลองการทำงานหาเอาท์พุทที่จุดต่างๆ ดังแสดงในรูป 3.58 เป็นเอาท์พุทของ Q_0 และ Q_4 โดยที่ความถี่อินพุทเท่ากับ 10MHz



รูปที่ 3.58 เอาท์พุท Q_0 และ Q_4 ของวงจรนับแบบไม่สัมพันธ์เมื่อความถี่อินพุทเท่ากับ 10MHz

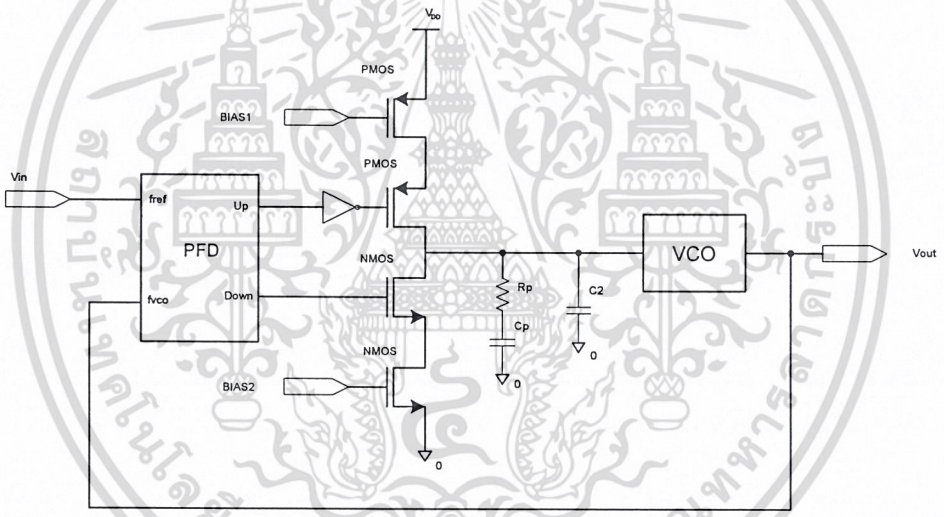
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและผลการทดลองเฟสล็อคลูปแบบดิจิตอล

จากองค์ประกอบพื้นฐานหลักของเฟสล็อคลูปที่ได้ออกแบบและทำการทดลองไว้แล้วในบทที่ 3 ในขั้นตอนต่อไปจะนำเอาองค์ประกอบดังกล่าวมาสร้างเป็นเฟสล็อคลูปเพื่อตรวจสอบคุณสมบัติโดยจะสร้าง 2 แบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่ Charge pupm) และแบบเอาท์พุทของตัวดักจับเฟสเป็นแบบสามสถานะ (tri-state)

4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่ (Charge-pump)

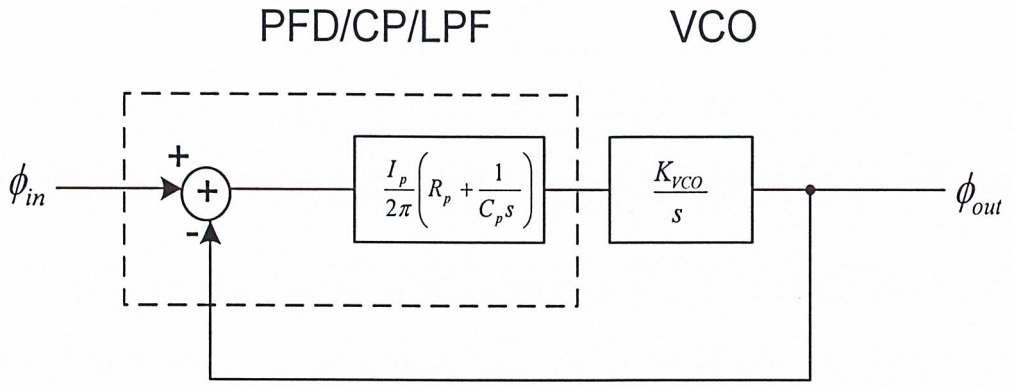
วงจรเฟสล็อคลูปดิจิตอลแบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่แสดงดังรูป 4.1



รูปที่ 4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่

จากรูป 4.1 สามารถแทนวงจรทั้งหมดในรูปแบบเชิงเส้นได้โดยอาศัยคุณสมบัติการทำงานของอุปกรณ์แต่ละชุดได้ดังรูป 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.2 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่

จากรูป 4.2 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s)=\frac{\phi_{out}}{\varphi_{in}}(s)=\frac{\frac{I_P K_{VCO}}{2\pi C_p}\left(R_P C_P s+1\right)}{s^2+\frac{I_P}{2\pi}K_{VCO}R_P s+\frac{I_P}{2\pi C_p}K_{VCO}} \tag{4.1}$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่ 2 จะได้ค่า

$$\omega_n=\sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \tag{4.2}$$

$$\varsigma=\frac{R_p}{2}\sqrt{\frac{I_P C_p K_{VCO}}{2\pi}} \tag{4.3}$$

$$=\frac{\omega_n}{2}\bullet R_p C_p \tag{4.4}$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุท เนื่องจากเป็นการป้อนกลับจากเอาท์พุทกลับมาที่อินพุทโดยตรง(ยังไม่ผ่านวงจรหารความถี่)ดังนั้นจึงกำหนดความถี่อินพุทที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้าสามารถสร้างได้ โดยกำหนดความถี่อินพุทเท่ากับ 200MHz
2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 10MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ความถี่อินพุทตั้งแต่ 190MHz ถึง 210MHz และจากสมการ lock range โดยเฟสล็อคลูป ทั้งเอาท์พุทของตัวดักจับเฟสเป็นแบบแหล่งจ่ายกระแสคงที่มีค่าเท่ากันคือ

$$\Delta\omega L=4\pi\xi\omega_n \tag{4.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด $\xi = 0.7$ และย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 4.5 คือ

$$\omega_n = \frac{2\pi \times 10MH_Z}{4\pi \times 0.7} = 7.142 \times 10^6 rad\ /\ s$$

3. จากค่า ω_n ที่ได้จากข้อ2 สามารถหาค่า C_P ได้จากสมการ 4.2 โดยเทอม $\frac{I_P}{2\pi}$ คืออัตราขยายของวงจรดักจับเฟส K_{PD} จากการออกแบบ I_P = 100μA ดังนั้นจะได้ค่า $K_{PD} = 15.91 \times 10^{-6} amps\ /\ rad$ และอัตราขยายของวงจร VCO:K_{VCO} 3.48 เลือกช่วงที่เป็นเชิงเส้น

$K_{VCO} = 2\pi(370MH_Z - 100H_Z)/(5 - 0.7) = 0.54 \times 10^9 rad\ /v \bullet s$ จะได้

$$C_P = \frac{K_{PD}K_{VCO}}{(\omega_n)^2} \approx 165pF$$

4. จากสมการ 4.4 สามารถหาค่า R_P ได้

$$R_P = \frac{2\xi}{\omega_n C_P} \approx 1.2K\Omega$$

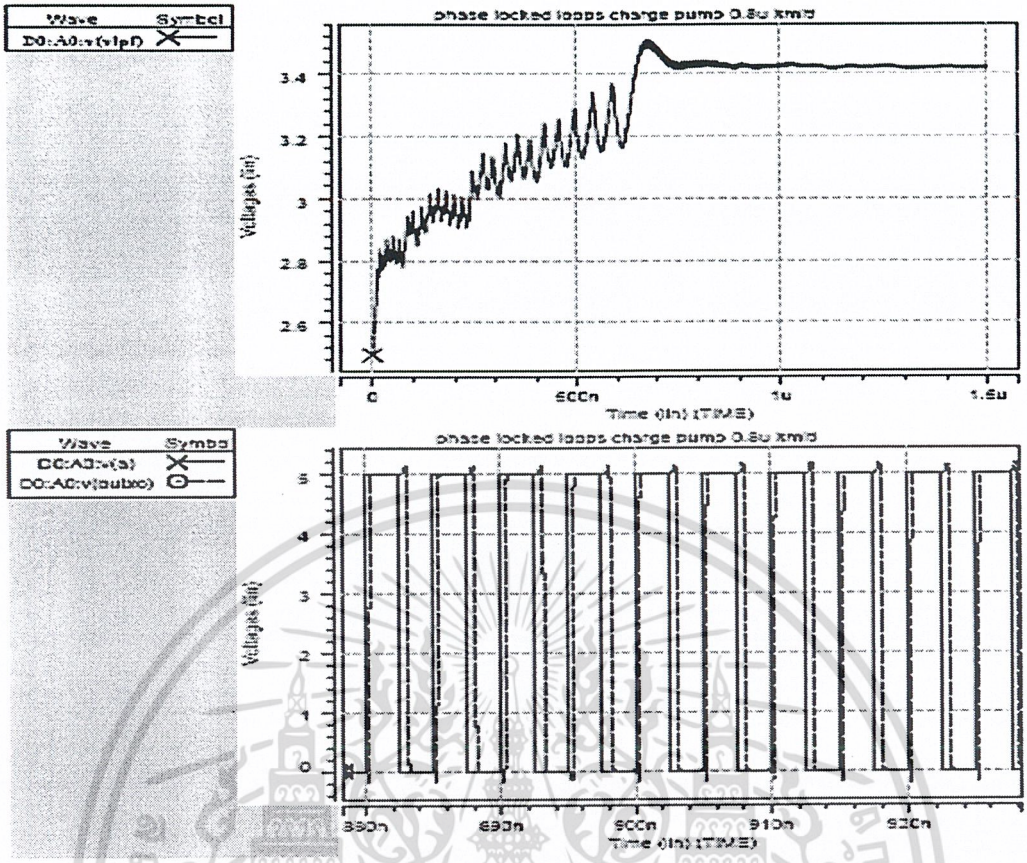
5. ส่วนค่า C_2 จะมีค่าประมาณหนึ่งในห้า หรือ หนึ่งในสิบของ C_P เลือที่ 16.5 pF
6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค T_L ซึ่งมีค่าดังสมการ 4.6

$$T_L = \frac{2\pi}{\omega_n} \qquad (4.6)$$

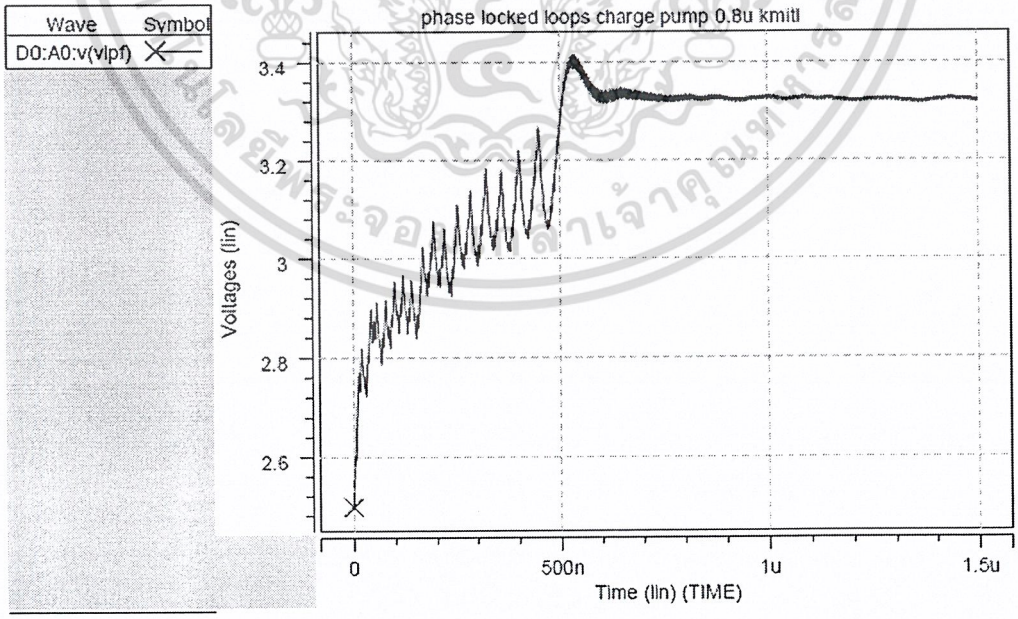
เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 900 ns

7. จากค่า C_P ,R_P และ C_2 นำไปจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุทที่ 200 MHz จะเข้าสู่สภาวะคงที่(สภาวะล็อค)ใช้เวลาประมาณ 900 ns นั้นคือเวลาที่ใช้ในการเข้าส่าภาวะล็อคของเฟสล็อคลูป และรูป 4.3 นี้ยังมีการเปรียบเทียบระหว่างสัญญาณอินพุท(เส้นทึบ)กับสัญญาณเอาท์พุท(เส้นประ) ณ เวลาที่เข้าสู่สภาวะล็อคระหว่าง 900 ns ถึง 1μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

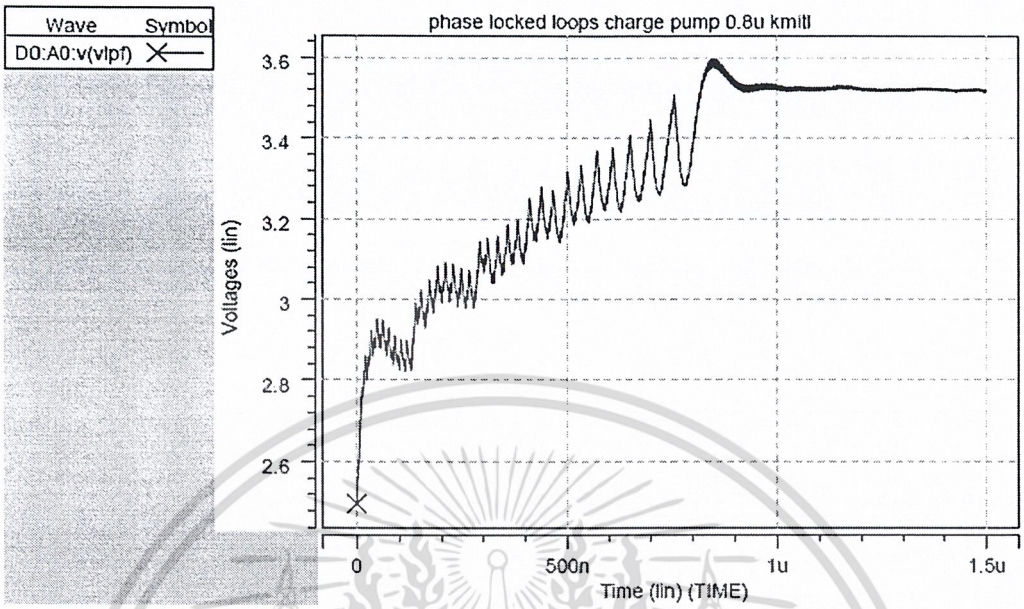


รูป 4.3 แสดงแรงดันที่วงจรกรองความถี่ต่ำ และแรงดันอินพุทกับเอาท์พุทเมื่อวงจระเข้าสู่สภาวะล็อคที่ความถี่อินพุท 200MHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

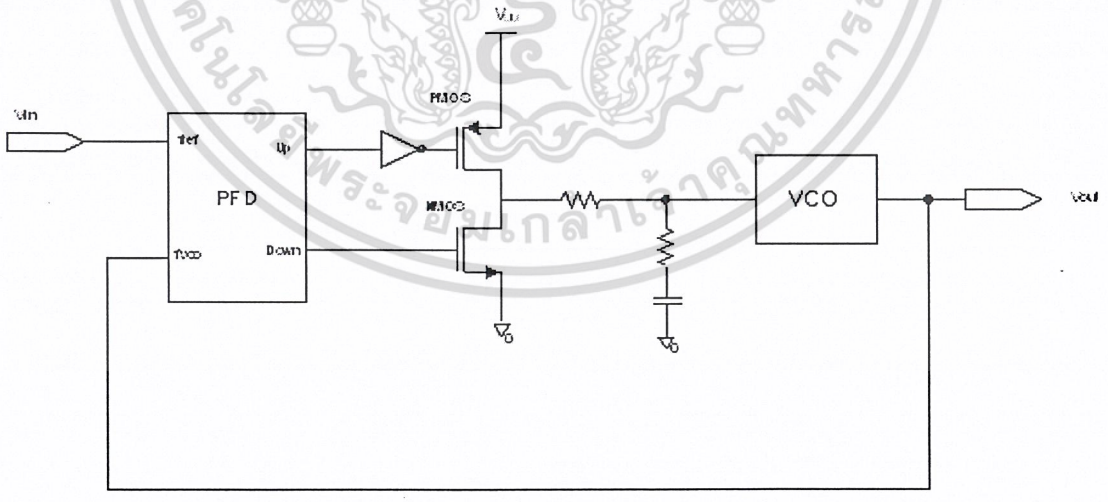
รูป 4.4 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 190MHz



รูป 4.5 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่เพื่อเข้าสู่สภาวะล็อคที่ความถิอินพุท 210 MHz

4.2 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-state)

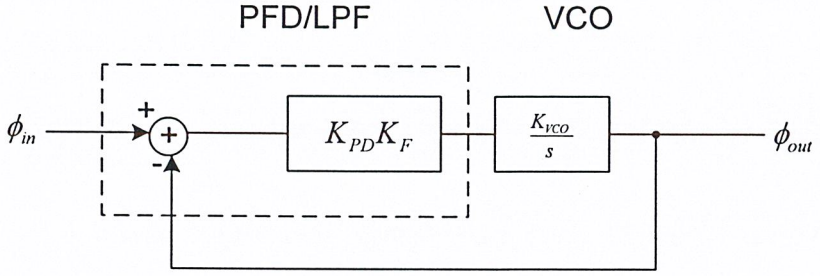
วงจรเฟสล็อคลูปดิจิตอลแบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบสามสถานะ แสดงดังรูป 4.6



รูปที่ 4.6 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-state)

จากรูป 4.6 จะสามารถเขียนระบบให้อยู่ในรูปแบบเชิงเส้นได้ดังรูป 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.7 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบสถานนะ (Tri-state)

จากรูป 4.7 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s)=\frac{\phi_{out}}{\varphi_{in}}(s)=\frac{K_{PD}K_{VCO}\dfrac{1+sR_2C}{(R_1+R_2)C}}{s^2+s\dfrac{1+K_{PD}K_FK_{VCO}R_2C}{(R_1+R_2)C}+\dfrac{K_{PD}K_{VCO}}{(R_1+R_2)C}} \quad (4.7)$$

และจากทฤษฎีระบบควบคุมดังกล่าวในบทที่ 2 จะได้ค่า

$$\omega_n=\sqrt{\frac{K_{PD}K_{VCO}}{(R_1+R_2)C}} \quad (4.8)$$

$$\varsigma=\frac{\omega_n}{2}\bullet\left(R_2C+\frac{1}{K_{PD}K_{VCO}}\right) \quad (4.9)$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อค มีดังนี้

1. กำหนดความถี่อินพุทเนื่องจากเป็นวงจรป้อนกลับจากเอาท์พุทกลับมาที่อินพุทโดยตรง (ไม่ได้ผ่านวงจรหารความถี่)ดังนั้นจึงกำหนดความถี่อินพุทที่วงจรควบคุมความถี่ด้วยแรงดัน สามารถสร้างได้ โดยกำหนดความถี่อินพุทเท่ากับ 200MHz
2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 10 MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุทตั้งแต่ 190 MHz ถึง 210 MHz และจากสมการ lock range โดยเฟสล็อคลูปที่เอาท์พุทของตัวดักจับเฟสเป็นวงจรสามสถานะและแบบแหล่งจ่ายกระแสคงที่มีค่าเท่ากันคือ

$$\Delta\omega_n=4\pi\xi\omega_n \quad 4.10$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด $\xi = 0.7$ และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 4.10 คือ

$$\omega_n = \frac{2\pi \times 10MH_Z}{4\pi \times 0.7} = 7.142 \times 10^6 rad\ /\ s$$

3. จากค่า ω_n ที่ได้จากข้อ 2 สามารถหาค่า R_2C ได้จากสมการ 4.9 เมื่อ N=1 โดยค่าอัตราขยายของวงจรดักจับเฟส K_{PD} แบบเอาท์พุทสามสถานะ(tri-stage) คือ $K_{PD} = \frac{V_{DD}}{4\pi}$ เท่ากับ $\frac{5}{4\pi} = 0.398 volt\ /\ rad.$ และอัตราขยายของวงจร VCO:K_{VCO} เลือกช่วงที่เป็นเชิงเส้น

$K_{VCO} = 2\pi(370MH_Z - 100H_Z)/(5-0.7) = 0.54 \times 10^9 rad\ /\ v \bullet s$ จะได้

$$R_2C = \frac{2\xi}{\omega_n} - \frac{1}{K_{PD}K_{VCO}}$$

$$= 196.37ns$$

4. จากค่า R_2C แทนค่าในสมการ 4.8 สามารถหาค่า R_1C ได้

$$R_1C = \frac{K_{PD}K_{VCO}}{\omega_n^2} - R_2C$$

$$= 461.08ns$$

5. กำหนดค่าอุปกรณ์จากข้อ 3 และข้อ 4 สรุปได้ดังนี้

R_1C = 196.37 ns

R_2C = 461.08 ns

กำหนดค่า C = 220 pF จะได้ค่า $R_1 \approx 750\Omega$ และ $R_2 \approx 2.2K\Omega$

6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค T_L ซึ่งมีค่าดังสมการ 4.11

$$T_L = \frac{2\pi}{\omega_n} \qquad (4.11)$$

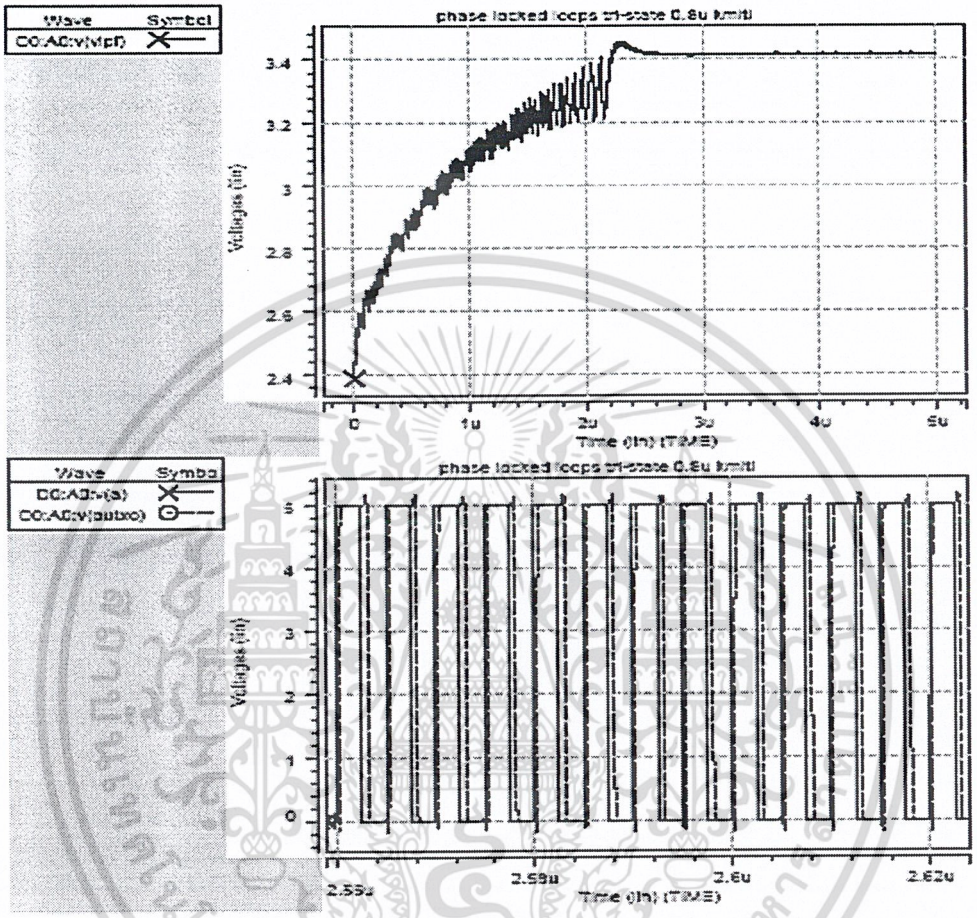
เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 900 ns

7. จากค่า C , R_1 และ R_2 นำไปจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุทที่ 200 MHz ผลการทดลองที่ได้แสดงดังรูป 4.8 ซึ่งจะสังเกตได้ว่าแรงดันที่วงจรกรองความความถี่ต่ำจะเข้าสู่สภาวะคงที่ใช้เวลาประมาณ 3μs นั้นคือเวลาที่ใช้ในการเข้าสู่สภาวะของเฟล็อคลูปซึ่งมีค่าผิดพลาดจากการคำนวณเนื่องจากการประมาณค่า K_{VCO} ว่ามีความเป็นเชิงเส้นและผลของค่าพาราซิติค และรูป 4.8 ก็ได้เปรียบเทียบระหว่างสัญญาณอินพุท(เส้นทึบ) กับสัญญาณเอาท์พุท (เส้นประ) ณ เวลาที่เข้าสู่สภาวะล็อคระหว่าง 3μs ถึง 3.5 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

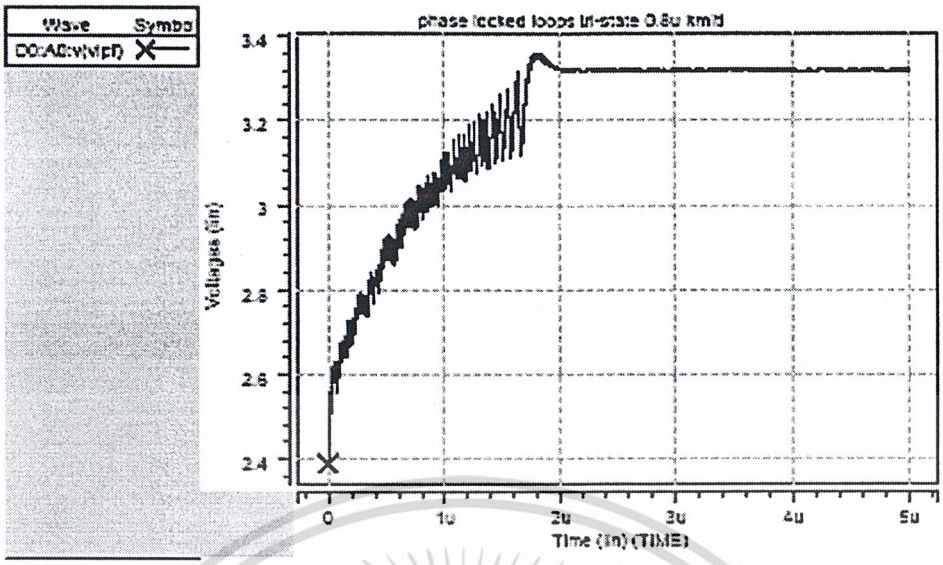
8. ทำการทดสอบย่านการล็อคโดยป้อนความถี่อินพุทเป็น 190 MHz และ 210 MHz ระดับแรงดันที่วงจรกรองความถี่ต่ำ และเปรียบเทียบระหว่างเอาท์พุทกับอินพุท แสดงดังรูป 4.9 และ 4.10 ตามลำดับจะเห็นว่าที่ความถี่ 190 MHz จะมีช่วงเวลาน้อยกว่า

9.

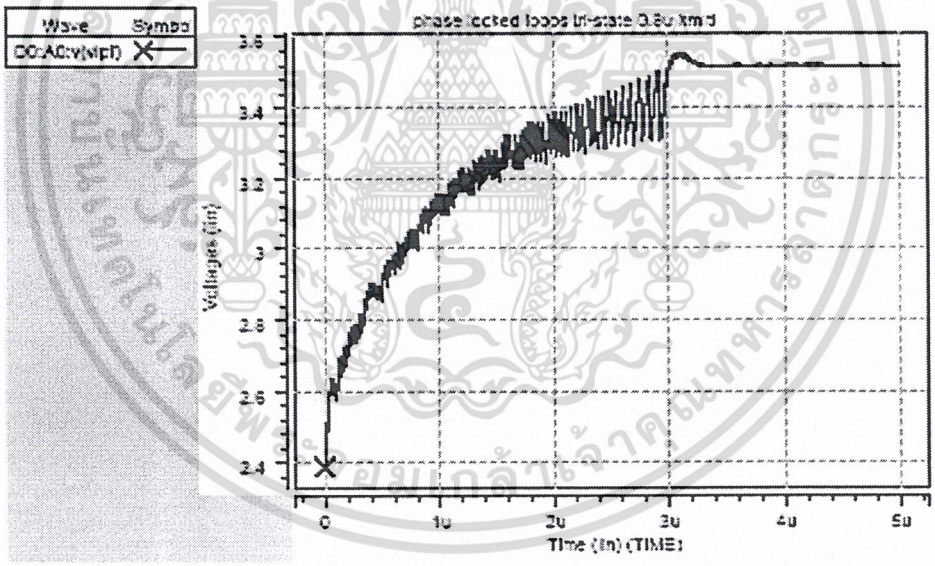


รูป 4.8 แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุทกับเอาท์พุทเมื่อวงจรจะเข้าสู่สภาวะล็อคที่ความถี่อินพุท 200 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.9 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 190 MHz

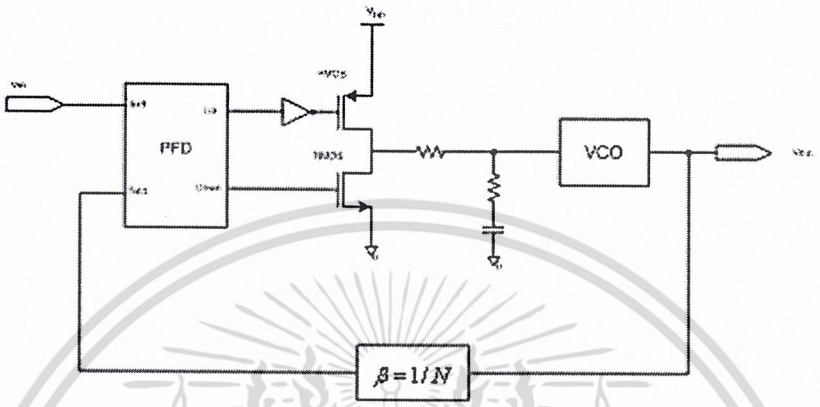


รูป 4.10 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 210 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

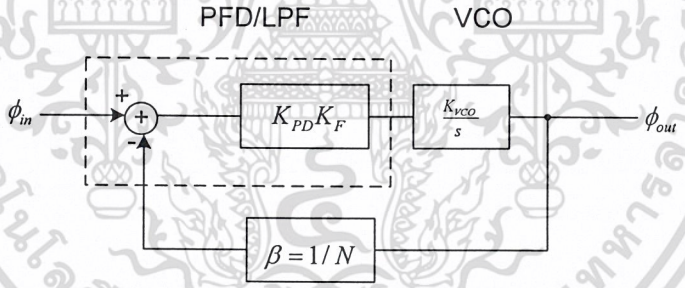
4.3 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบสามสถานะ (Tri-state)แบบมีวงจรหาร N

ในส่วนของวงจรดักจับเฟสแบบเฟส-ความถี่จะเป็นเอาท์พุทแบบในขั้นแรกจะใช้การป้อนกลับโดยตรงจาก VCO ยังไม่ใช่ในส่วนการหาร N=1 วงจรสมมูลที่ใช้ในการทดสอบการทำงานแสดงดังรูป 4.11



รูป 4.11 ระบบของเฟสล็อคลูปซึ่งตัวดักจับเฟสเป็นแบบเอาท์พุทแบบสามสถานะ (Tri-state)หารความถี่

จากรูป 4.11 รูปแบบเชิงเส้นของระบบแสดงดังรูป 4.12



รูป 4.12 รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล

จากรูป 4.12 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s) = \frac{\phi_{out}}{\varphi_{in}}(s) = \frac{K_{PD}K_F K_{VCO}}{s + \beta \bullet K_{PD}K_F K_{VCO}} \qquad (4.12)$$

โดยที่

$$K_F = \frac{1 + sR_2C}{1 + s(R_1 + R_2)C} \qquad (4.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวงจรฟิลเตอร์นี้ถูกขับโดยเอาท์พุทสามสถานะจะไม่มีกระแสไหลผ่าน R_1 หรือ R_2เมื่อเอาท์พุทอยู่ในสภาวะ high-impedance โวลท์เตจที่คร่อมตัวเก็บประจุจะไม่เปลี่ยนแปลง สามารถประมาณได้ว่าวงจรฟิลเตอร์กับเอาพุทสามสถานะคล้ายกับเป็นอินทิเกรเตอร์ในอุดมคติจะทำให้ได้ฟังก์ชั่นถายโอนใหม่ได้ดังสมการ 4.14

$$K_F^{'} = \frac{1 + sR_2C}{s(R_1 + R_2)C} \tag{4.14}$$

แทนสมการ 4.1 ในสมการ 4.12 จะได้ผลลัพธ์ดังสมการ 4.15

$$H(s) = \frac{\phi_{out}}{\varphi_{in}}(s) = \frac{K_{PD}K_{VCO}\dfrac{1 + sR_2C}{N(R_1 + R_2)C}}{s^2 + s\dfrac{1 + K_{PD}K_FK_{VCO}R_2C}{N(R_1 + R_2)C} + \dfrac{K_{PD}K_{VCO}}{N(R_1 + R_2)C}} \tag{4.15}$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่ 2 จะได้ค่า

$$\omega_n = \sqrt{\frac{K_{PD}K_{VCO}}{N(R_1 + R_2)C}} \tag{4.16}$$

$$\varsigma = \frac{\omega_n}{2} \bullet \left(R_2C + \frac{N}{K_{PD}K_{VCO}} \right) \tag{4.17}$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปแบบมีการหาร N สามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุต เนื่องจากไม่ได้เป็นการป้อนกลับจากเอาท์พุตกลับมาที่อินพุทโดยตรง (ได้มีการหารความถี่) ดังนั้นจึงกำหนดความถี่อินพุตที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้า สามารถสร้างได้ โดยกำหนดความถี่อินพุตเท่ากับ 100MHz

2.กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 10MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุตตั้งแต่ 190MHz ถึง 210MHZ และจากสมการ lock range โดยเฟสล็อคลูปทั้งเอาท์พุตของตัวดักจับเฟสเป็นแบสามสถานะและแบบแหล่งจ่ายกระแสคงที่จะมีเท่ากันคือ

$$\Delta\omega_L = 4\pi\varsigma\omega_n \tag{4.18}$$

กำหนด $\xi = 0.7$ และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 4.18 คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_n = \frac{2\pi \times 10MH_Z}{4\pi \times 0.7} = 7.142 \times 10^6 rad / s$$

3. จากค่า ω_n ที่ได้จากข้อ 2 สามารถหาค่า R_2C ได้จากสมการ 4.17 เมื่อ N=8 โดยค่าอัตราขยายของวงจารดักจับเฟส :K_{PD} แบบเอาท์พุทสามสถาน (tri-state) คือ $K_{PD} = V_{DD}/4\pi$ เท่ากับ $5/4\pi = 0.398$ volt/radian และค่าอัตราขยายของวงจร VCO :K_{VCD} ช่วงที่เป็นเชิงเส้น $K_{VCD} = 2\pi$ (370MHz-100Hz)/(5V-0.7V) = 0.54×10^9 radians/V.s จะได้

$$R_2C = \frac{2\zeta}{\omega_n} - \frac{N}{K_{PD}K_{VCO}}$$

$$= 187.5ns$$

4. จากค่า R_2C แทนค่าในสมการ 4.16 สามรถหาค่า R_1C ได้

$$R_1C = \frac{K_{PD}K_{VCO}}{N\omega_n^2} - R_2C$$

$$= 1900ns$$

5. กำหนดค่าอุปกรณ์จากข้อ 3 และข้อ 4 สรุปได้ดังนี้

R_1C = 187.5 ns

R_2C = 1900 ns

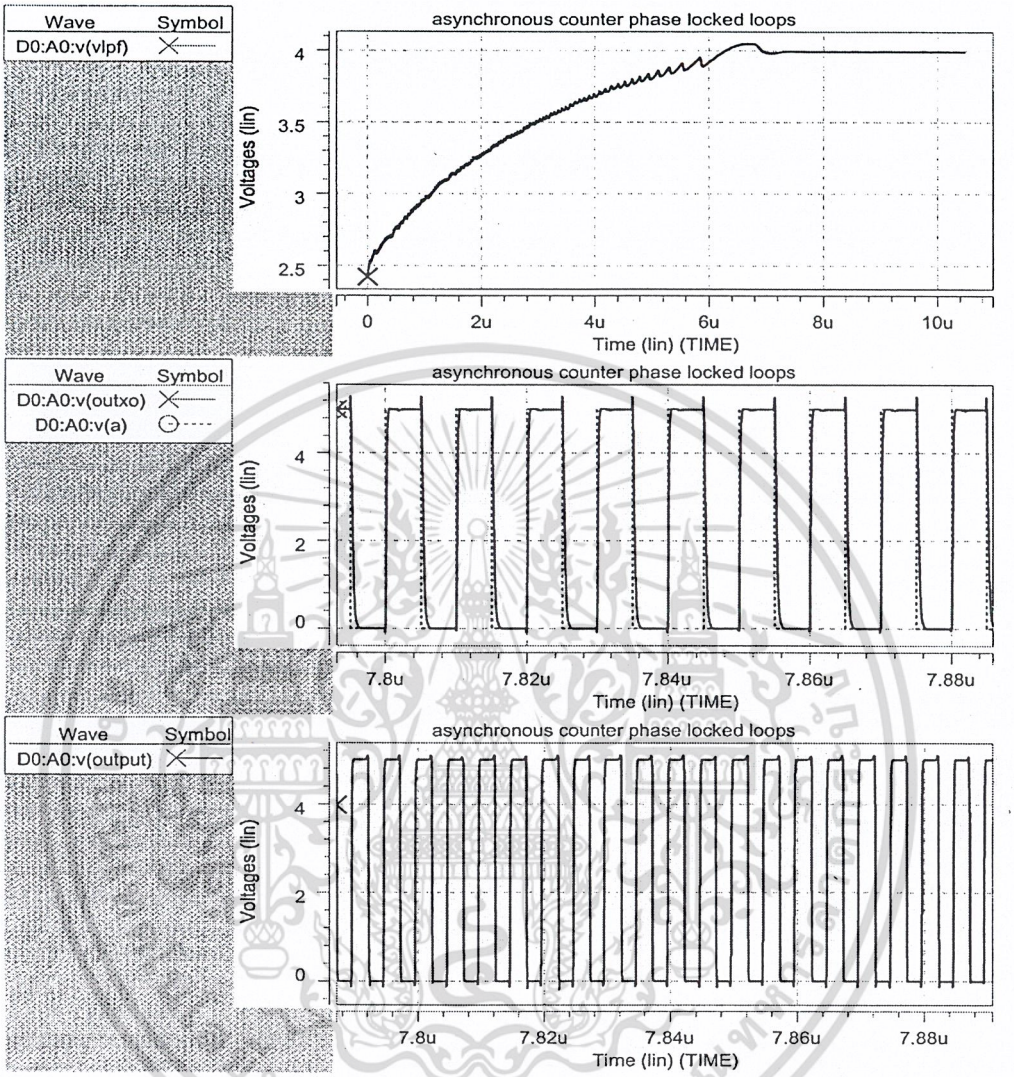
กำหนดค่า C = 220PF จะได้ค่า R_1 = 850 และ R_2 = 8.5KΩ

6. คำนาณหาค่าเวลาในการเข้าสู่สภาวะล็อค : T_L ซึ่งมีค่าดังสมการ 4.11

$$T_L = \frac{2\pi}{\omega_n} \qquad (4.19)$$

7. จากค่า C, R_1 และ R_2 นำไปทำการจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุตที่ 100MHz ก่อนผลการทดลองที่ได้แสดงดังรูป 5.17 ซึ่งจะสังเกตได้ว่าแรงดันที่วงจรกรองความถี่ต่ำจะเข้าสู่สภาวะคงที่จะต้องใช้เวลาประมาณ $8\mu s$ นั้นก็คือเวลาที่ใช้ในการเข้าสู่สภาวะล็อคของเฟสล็อคลูปซึ่งมีค่าผิดพลาดจากกรคำนวณเนื่องมาจากการประมาณค่า K_{VCO} ว่ามีความเป็นเชิงเส้นและผลของพาราซิติค ผลการทดลองการเข้าสู่สภาวะล็อคแสดงดังรูป 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.13 แสดงวงจรเฟสล็อคลูปเข้าสู่สภาวะล็อค เมื่อใส่วงจรหาร N=8 แบบ J-K ฟลิปฟลอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบลวดลายอุปกรณ์

5.1 อุตสาหกรรมการผลิตวงจรรวม

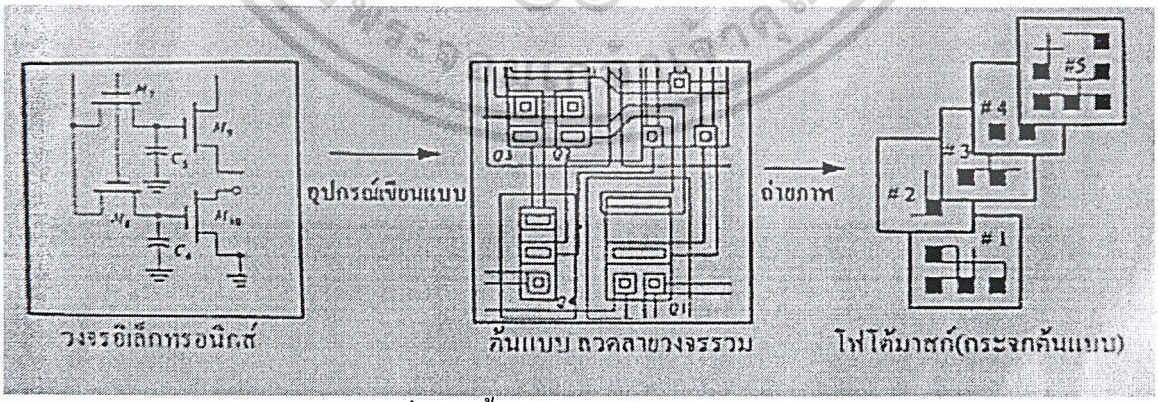
ในอุตสาหกรรม การผลิตวงจรรวม ถือได้ว่า เป็นอุตสาหกรรมที่ต้องใช้เทคโนโลยี ชั้นสูงและต้องใช้งบประมาณในการดำเนินการจำนวนมหาศาล อีกทั้งยังต้องการบุคลากรที่มีความรู้ความสามารถและมีความเชี่ยวชาญหลากหลายสาขา ดังนั้น อุตสาหกรรมการ ผลิตวงจรรวมจึงเป็นอุตสาหกรรมขนาดใหญ่อย่างหนึ่ง ซึ่งเป็นการยากที่จะดำเนินการให้ครบวงจรอย่างสมบูรณ์ โดยทั่วไปมักจะจัดแบ่งเป็นส่วน ๆ ที่สำคัญได้ 3 ส่วนใหญ่ ๆ ดังนี้ คือ

1. การออกแบบ (Design)
2. การสร้าง ((Fabrication)
3. การเก็บบรรจุ (Packaging)

โดยแต่ละส่วนจะมีความสัมพันธ์กันเพื่อที่จะได้ผลลัพธ์เป็นไอซีตามที่ต้องการ โดยแต่ละส่วนมีรายละเอียดดังนี้

5.1.1 การออกแบบ (Design)

การออกแบบวงจรรวม หมายถึง การออกแบบและคำนวณวงจรอิเล็กทรอนิกส์ตามต้องการแล้วทำการออกแบบขนาดรูปร่างและลวดลายของส่วนต่าง ๆ ของอุปกรณ์ที่จะสร้างขึ้น จากนั้นจึงนำลวดลายต้นแบบที่ได้ไปทำการสร้างเป็นกระจกลายต้นแบบซึ่งเรียกว่า กระจกต้นแบบหรือโฟโต้มาสก์ (Photo mash) เพื่อนำไปใช้ในกระบวนการสร้างวงจรรวมบนแผ่นผลึกซิลิกอน โดยลำดับขั้นตอนการสร้างวงจรรวมแสดงดังรูป 5.1



รูปที่ 5.1 ขั้นตอนการสร้างลายวงจรรวม

ในขั้นตอนของการออกแบบลวดลายในกรณีที่เป็นวงจรง่าย ๆ ไม่สลับซับซ้อนหรือเป็นวงจรที่มีจำนวนของตัวอุปกรณ์ไม่มาก ซึ่งเรียกว่าวงจรขนาดเล็ก อาจใช้วิธีการเขียนลวดลายด้วยมือโดยใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์การเขียนแบบทั่วไป แต่ในกรณีที่เป็นวงจรซึ่งมีความสลับซับซ้อน มีจำนวนอุปกรณ์มาก ที่เรียกว่า วงจรรวมขนาดใหญ่ หรือใหญ่มาก เช่น LSI หรือ VLSI การออกแบบลวดลายไม่สามารถทำได้ด้วยมือหรืออุปกรณ์เขียนแบบธรรมดาเองจากต้องใช้เวลานานและยุ่งยากมาก ดังนั้น จึงจำเป็นต้องใช้อุปกรณ์คอมพิวเตอร์และโปรแกรมพิเศษ เพื่อช่วยในการออกแบบ และเขียนลวดลาย ซึ่งระบบคอมพิวเตอร์ดังกล่าวนี้ เรียกว่า CAD (Computer Aid Design)

ปัจจุบันนี้ ระบบ CAD ได้ถูกนำมาใช้อย่างแพร่หลายและได้รับการพัฒนาไปอย่างรวดเร็วจนมีขีดความสามารถสูงมาก เพราะไม่เพียงแต่จะช่วยในการเขียนแบบเท่านั้น หากแต่ยังสามารถช่วยในการจำลอง (Simulation) คำนวณและวิเคราะห์คุณสมบัติของวงจรได้อย่างถูกต้องและแม่นยำ จึงทำให้การคำนวณและออกแบบวงจรรวมที่มีความสลับซับซ้อนและความหนาแน่นของอุปกรณ์สูงๆ สามารถทำได้อย่างมีประสิทธิภาพ

ต้นแบบลวดลายของวงจรรวมที่ได้จากการเขียนด้วยมือ หรือด้วยคอมพิวเตอร์จะถูกนำไปผ่านกระบวนการต่าง ๆ จนในที่สุดจะได้กระจกต้นแบบ และจะถูกนำไปใช้ในกระบวนการสร้างวงจรรวมต่อไป

5.1.2 การสร้าง (Fabrication)

การสร้างวงจรรวม หมายถึง กระบวนการหรือเทคโนโลยีที่ใช้เพื่อการสร้างส่วนต่าง ๆ ภายในของวงจรรวม โดยการสร้างทีละชั้นจนเสร็จสิ้นสมบูรณ์ โดยใช้ โฟโต้มาสก์ที่ได้จากการออกแบบมาเป็นต้นแบบ สำหรับสร้างส่วนต่าง ๆ บนแผ่นผลึก ซิลิกอนกระทั่งได้วงจรรวมที่สมบูรณ์ เทคโนโลยีที่ใช้ในการสร้างวงจรรวมเป็นเทคโนโลยีที่มีความละเอียดอ่อนและเป็นเทคโนโลยีชั้นสูงที่ต้องการะทำในห้องปฏิบัติการซึ่งเป็นห้องสะอาด (Clean room) มีอุปกรณ์เครื่องมือที่มีความแม่นยำสูง ระดับความยากง่ายของเทคโนโลยีที่ใช้จะขึ้นอยู่กับระดับความหนาแน่นของวงจรรวม

5.1.3 การเก็บบรรจุ (Packaging)

การเก็บบรรจุ หมายถึง การเก็บบรรจุชิ้น หรือ ชิพ ของวงจรรวมลงในตัวถังที่เหมาะสมเพื่อสะดวกต่อการนำไปใช้งาน และเพื่อป้องกันการเสียหายที่จะเกิดขึ้นกับชิ้นของวงจรรวมอีกด้วยจะเริ่มตั้งแต่ การใช้เลื่อยชนิดพิเศษที่มีความคมและแข็งตัดแยก วงจรรวมออกเป็นชิ้นเล็ก ๆ แล้วนำชิ้นของวงจรรวมที่ได้ไปเก็บบรรจุลงในตัวถังแบบ ต่าง ๆ ตามความเหมาะสมพร้อมกับเชื่อมต่อเส้นลวดตัวนำจนเป็นวงจรรวมที่สมบูรณ์ สามารถนำไปใช้งานได้สะดวก

5.2 การออกแบบลวดลายอุปกรณ์พื้นฐาน

การออกแบบลวดลายของอุปกรณ์ภายในวงจรรวมจะประกอบไปด้วยอุปกรณ์ พื้นฐานทางอิเล็กทรอนิกส์ต่าง ๆ ต่อกันอยู่ภายใน โดยจะอยู่ในรูปแบบขนานหรืออนุกรมก็ตามแต่พื้นฐานหลักของ

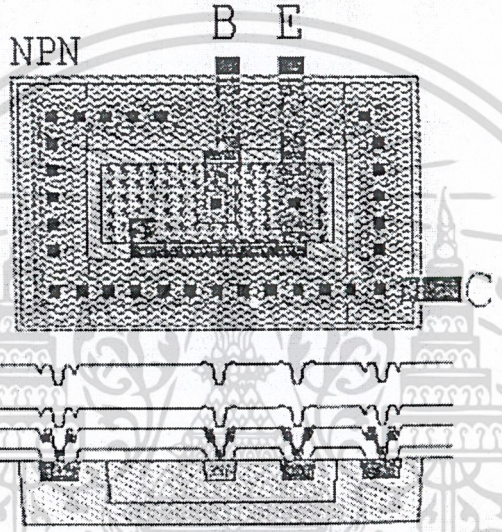
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบลวดลายก็มาจากการออกแบบลวดลายของอุปกรณ์เพียงตัวเดียว โดยอุปกรณ์พื้นฐานที่สำคัญมีรายละเอียดและวิธีการออกแบบโดยสังเขป ดังนี้

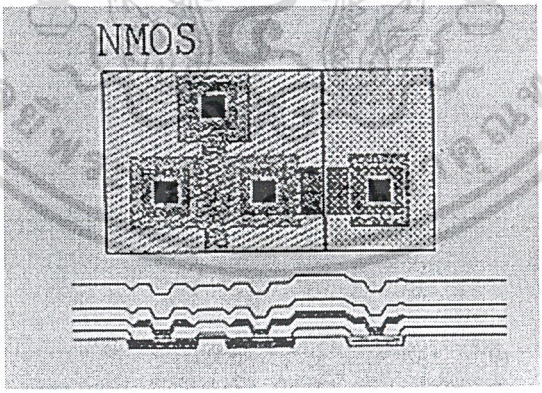
5.2.1 ทรานซิสเตอร์

ทรานซิสเตอร์ทั้งแบบมอสและแบบไบโพลาร์เป็นอุปกรณ์ที่มีการใช้มากที่สุดในวงจรรวมการออกแบบลวดลายจะแตกต่างกันตามโครงสร้าง

การออกแบบลวดลายทรานซิสเตอร์แบบไบโพลาร์ชนิดเอ็นพีเอ็นและแบบมอสชนิดเอ็นมอสพร้อมภาพตัดขวางแสดงดังรูป 5.2 และรูป 5.3 ตามลำดับ



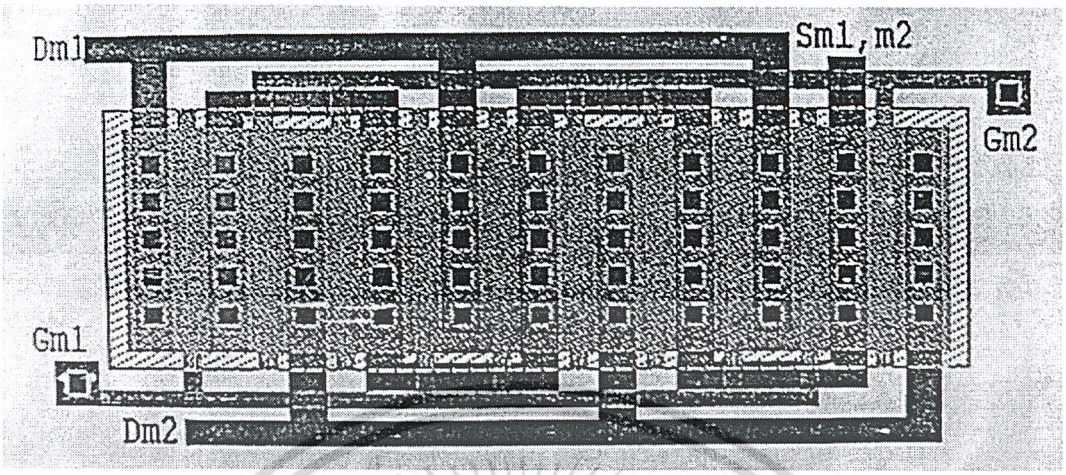
รูป 5.2 ลวดลายทรานซิสเตอร์แบบไบโพล่าร์ชนิด NPN



รูป 5.3 ลวดลายของมอสชนิดเอ็น

การออกแบบลวดลายของมอสในงานด้านอนาล็อคที่ต้องการความแมทกันระหว่างอุปกรณ์เช่นทรานซิสเตอร์คู่ดิฟเฟอร์เรนเชียล ที่มีขนาดใหญ่จะใช้หลักการออกแบบลวดลายให้สมมาตรกัน โดยที่เรียกว่า common-centroid layout ดังแสดงในรูป 5.4 จะเป็นมอสชนิดเอ็นสองตัวที่มีขาซอสต่อถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.4 ลวดลายของมอสชนิดเอ็นขาซอสต่อถึงกัน

5.2.2 ตัวต้านทาน

การออกแบบลวดลายของตัวต้านทานในวงจรรวมเป็นอุปกรณ์ที่กินพื้นที่มากเนื่องจากค่าความต้านทานจะขึ้นอยู่กับความยาวของสารที่ใช้ทำตัวต้านทานดังสมการ 5.1

$$R = \rho \frac{L}{A} \qquad (5.1)$$

โดยที่ R คือ ความต้านทาน มีหน่วยเป็นโอห์ม

P คือ สภาพต้านทานหรือ พิกัดความต้านทาน มีหน่วยเป็นโอห์ม – เซนติเมตร

L คือ ความยาวของตัวความต้านทาน

A คือ พื้นที่หน้าตัดของตัวความต้านทาน

ค่าสภาพต้านทานหรือ Resistivity P ถูกกำหนดได้ด้วยความหนาแน่นของสารเจือสำหรับค่า L และ A กำหนดโดยการออกแบบลักษณะรูปร่างและขนาดของตัวต้านทานถ้าตัวต้านทานมีรูปร่างเป็นสี่เหลี่ยมโดยไม่พิจารณาความต้านทานขั้วต่อ กำหนดให้มีความกว้าง W มีความลึกของรอยต่อ X_j พื้นที่หน้าตัดก็คือ $X_j \times W$ หรือก็คือ A สมการ 5.1 สามารถเขียนได้ในรูปสมการ 5.2

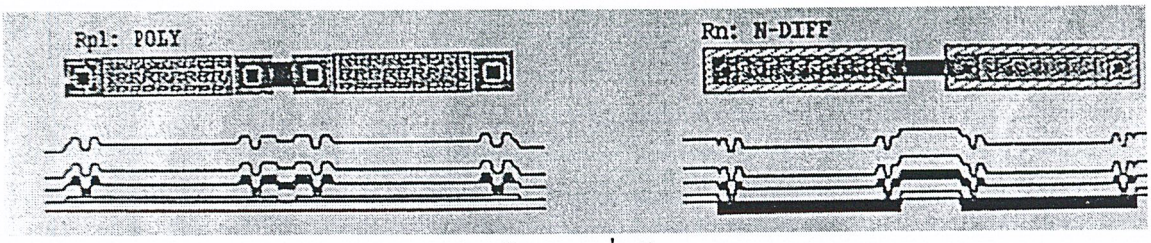
$$R = \rho \frac{L}{X_j W} \qquad (5.2)$$

$$= \rho_s \frac{L}{W}$$

โดยที่ P_s คือ สภาพต้านทานแผ่นหรือ Sheet Resistivity ($\Omega/\square$)

การออกแบบลวดลายตัวต้านทานโดยใช้ส่วน Poly และ N-DIFF แสดงดังรูป 5.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.5 ลวดลายของตัวต้านทานที่สร้างจาก Poly และ N-DIFF

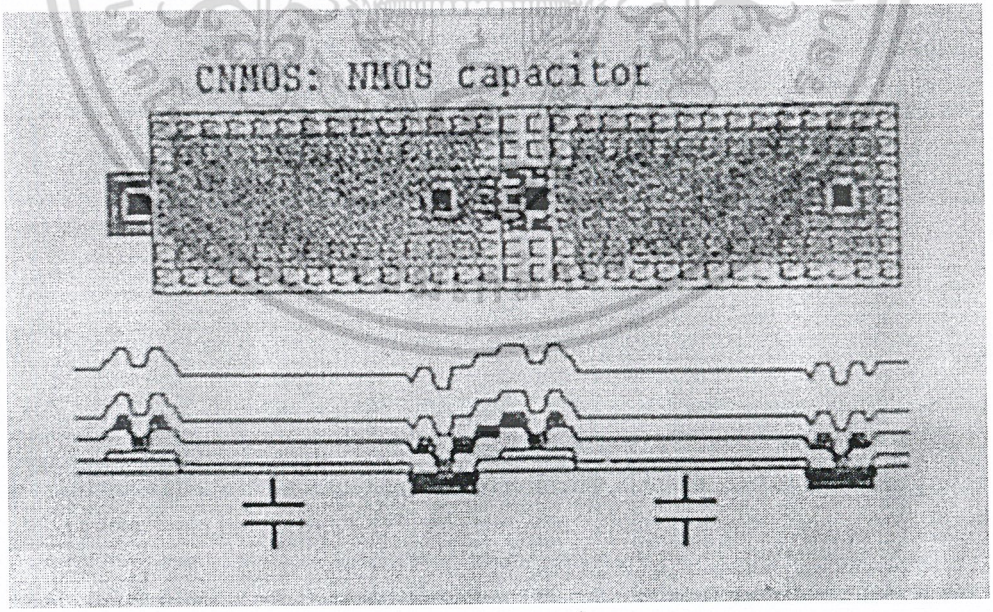
5.2.3 ตัวเก็บประจุ

การออกแบบลวดลายของตัวเก็บประจุก็จะกินพื้นที่มากเช่นเดียวกับตัวต้านทาน โดยตัวเก็บประจุที่นิยมใช้เป็นแบบมอสคาปาซิเตอร์ซึ่งจะเป็นไดอิเลคตริคคาปาซิเตอร์ โดยใช้สารไดอิเลคตริคเป็นตัวกลางระหว่างสารที่นำไฟฟ้าได้ดี สำหรับสารไดอิเลคตริคโดยทั่วไปจะใช้ชั้นซิลิกอนไดออกไซด์ ยิ่งชั้นนี้มีความบางมากเพียงใด จะทำให้ค่าความจะไฟฟ้าเพิ่มมากขึ้น โดยค่าความจุของตัวเก็บประจุแบบไดอิเลคตริค แสดงดังสมการ 5.3

$$C = \frac{\varepsilon_{ox}}{t_{ox}} A \qquad (5.3)$$

โดยที่ ε_{ox} คือค่า Permittivity ของออกไซด์, t_{ox} คือ ความหนาของชั้นออกไซด์ และ A คือพื้นที่ของตัวเก็บประจุ

การออกแบบลวดลายของ MOS Capacitor กรณีใช้แบบเอ็นมอสแสดงดังรูป 5.6

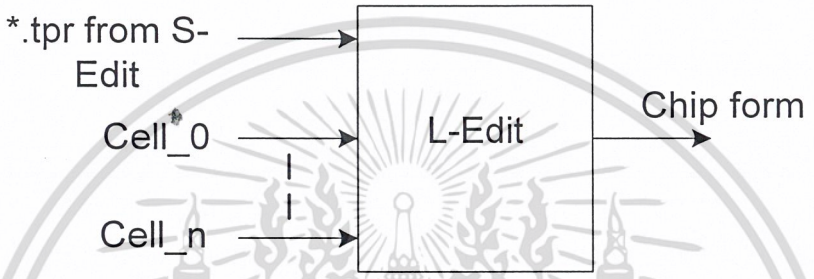


รูป 5.6 ลวดลายของตัวเก็บประจุแบบไดอิเล็คตริคแบบ NMOS Capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การออกแบบลวดลายวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปแบบดิจิตอลจะประกอบทั้งส่วนที่เป็นดิจิตอลและอนาล็อคการออกแบบลวดลายโดยใช้โปรแกรม L-Edit จะทำการแบ่งวงจรทั้งหมดออกเป็นส่วนย่อยเรียกว่า Cell โดยออกแบบลวดลายของแต่ละเซลล์ให้ดีที่สุดจากนั้นจะใช้โปรแกรม S-Edit วาดวงจรแสดงการเชื่อมต่อกันของแต่ละเซลล์และตำแหน่งขาของวงจรรวมจากนั้นจะ Export ออกมาเป็นไฟล์ที่มีนามสกุล .tpr ไฟล์นี้จะถูกนำไปใช้ร่วมกับ L-Edit เพื่อสร้างวงจรรวมออกมาให้เป็นวงจรที่สมบูรณ์ แสดงขั้นตอนโดยสรุปดังรูป



รูป 5.7 ขั้นตอนการออกแบบลวดลายเพื่อให้รูปแบบของ Chip ภายในวงจร

เมื่อดำเนินกระบวนการออกแบบตามขั้นตอนดังกล่าวแล้วก็จะได้รูปแบบของ Chip เฟสล็อคลูป

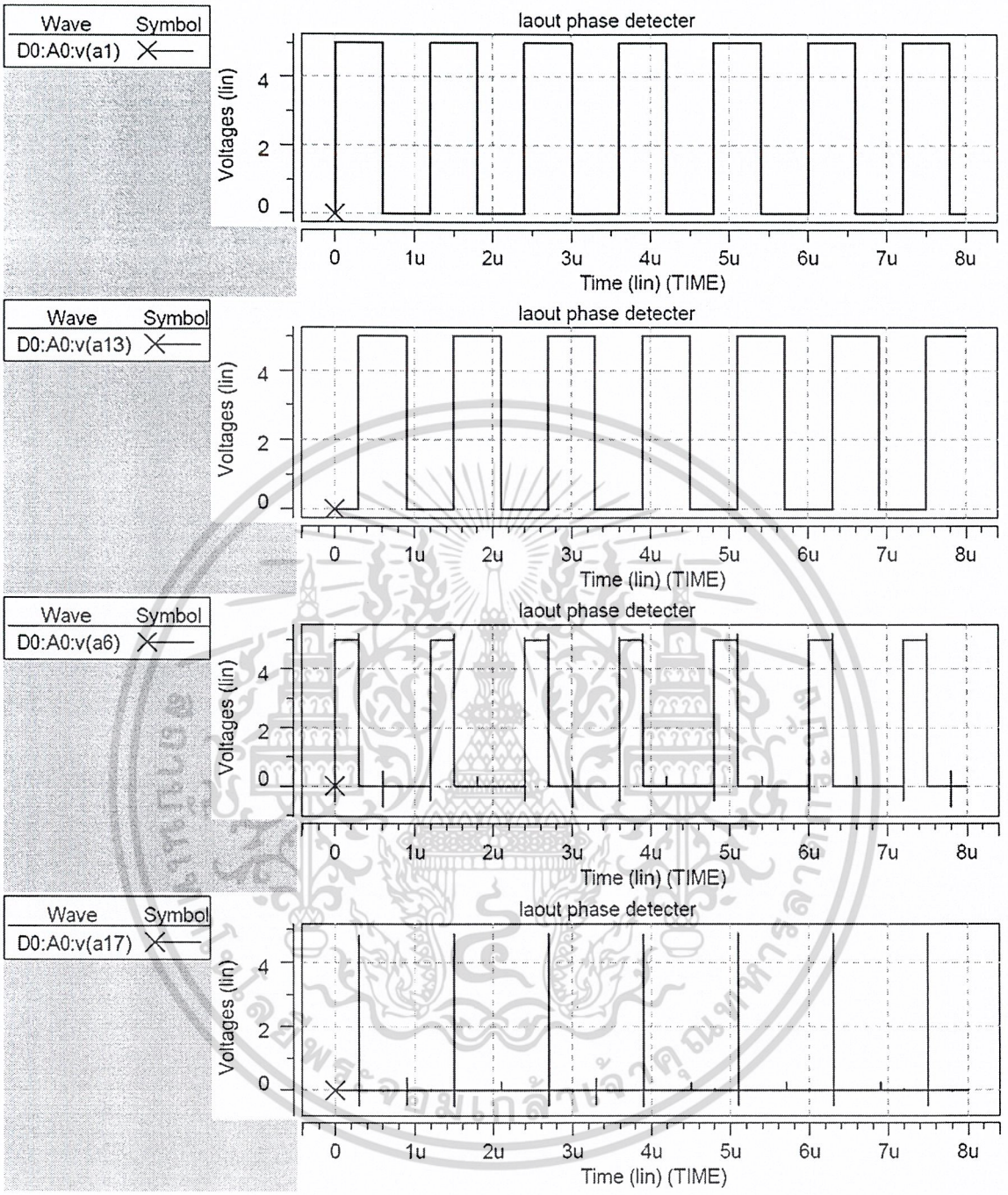
5.4 ผลการทดลองวงจรเฟสล็อคลูปจากลวดลายวงจร

ในขั้นแรกที่ได้ออกแบบและได้ขนาดของมอสแต่ละตัวมาทำการออกแบบลวดลายแล้วจะทำให้ได้ผลของอุปกรณ์พาราซิติคเพิ่มขึ้นมามีผลทำให้การทำงานของวงจรอาจคลาดเคลื่อนไปจากเดิมโดยค่าพาราซิติคที่เพิ่มเข้ามาสามารถสั่งให้โปรแกรม L-Edit หาจำนวนและค่าออกมาได้จากนั้นก็จะนำเอาค่าเหล่านั้นไปรวมกับวงจรหลักที่ได้ออกแบบและทำการจำลองการทำงานเพื่อดูผลการทำงานว่าเกิดการทำงานคลาดเคลื่อนมากน้อยเพียงใดเมื่อรวมผลของพาราซิติคเข้าไปด้วย เพื่อความสะดวดจะใช้ทดลองทีละภาคดังนี้

5.4.1 วงจรดักจับเฟสแบบเฟส – ความถี่

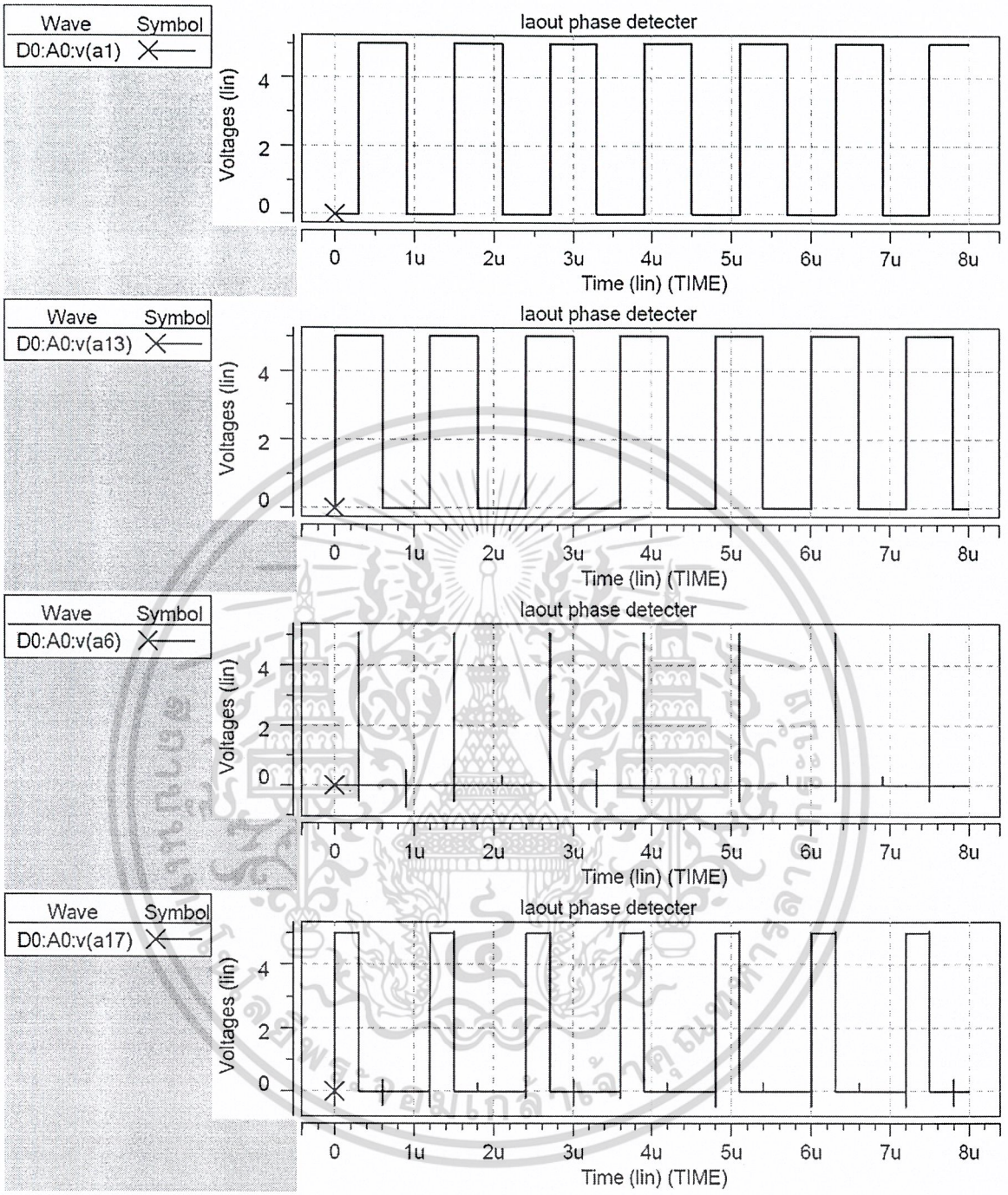
วงจรดักจับเฟสเป็นวงจรที่ใช้ดีเทคเฟสของสัญญาณระหว่างอินพุทกับเอาท์พุทจากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าผลการทดลองแสดงดังรูป 5.9 และ 5.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.8 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟสและความถี่เมื่อเฟส A นำหน้าเฟส B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



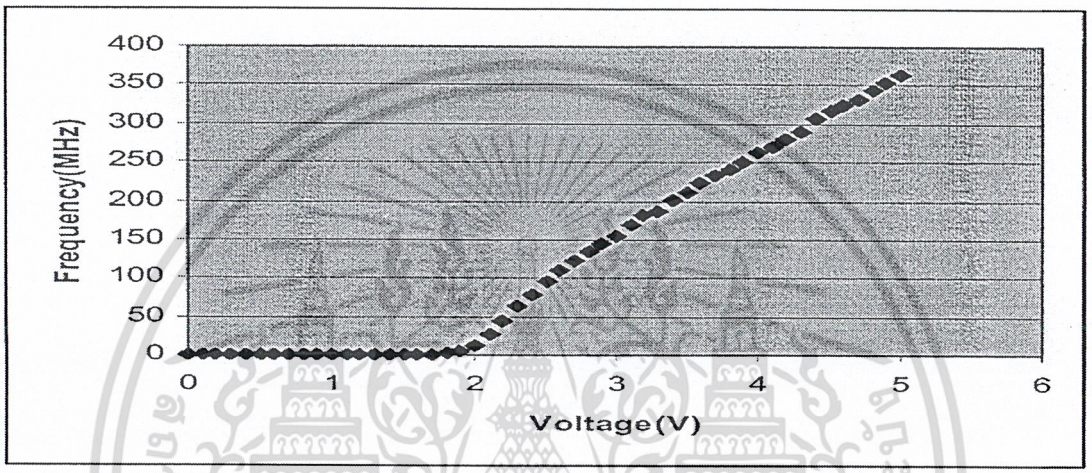
รูป 5.9 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟสและความถี่เมื่อเฟส B น้ำเฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

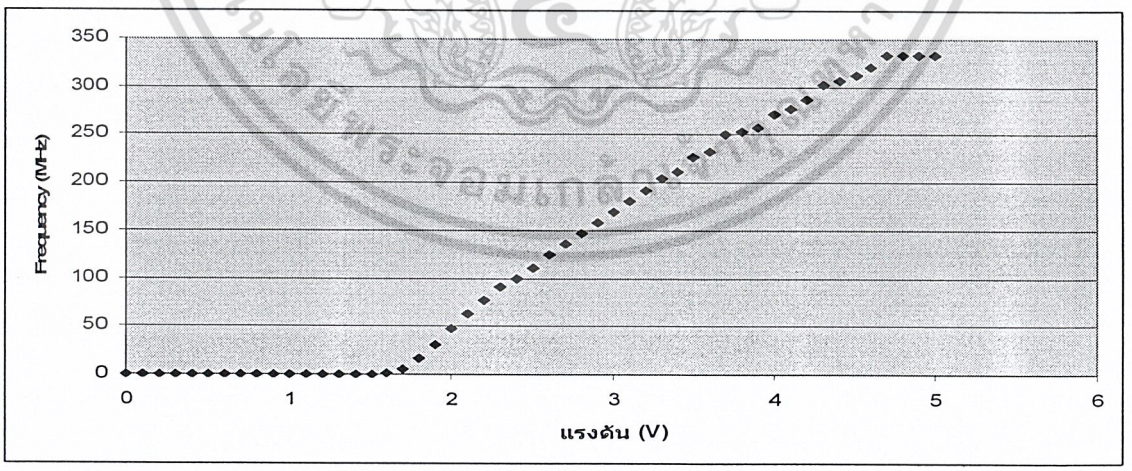
5.4.2 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

การออกแบบวงจรออสซิลเลเตอร์ก่อนหน้านี้เมื่อได้ศึกษาการออกแบบลวดลายแล้วทำให้ทราบว่าขนาดของมอสบางตัวไม่สามารถนำมาทำการออกแบบลวดลายได้จึงต้องทำการปรับปรุงวงจรใหม่ทำให้ได้ช่วงความถี่การออสซิเลทเปลี่ยนไปดังตาราง 5.1

รูป 5.10 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากการออกแบบวงจร



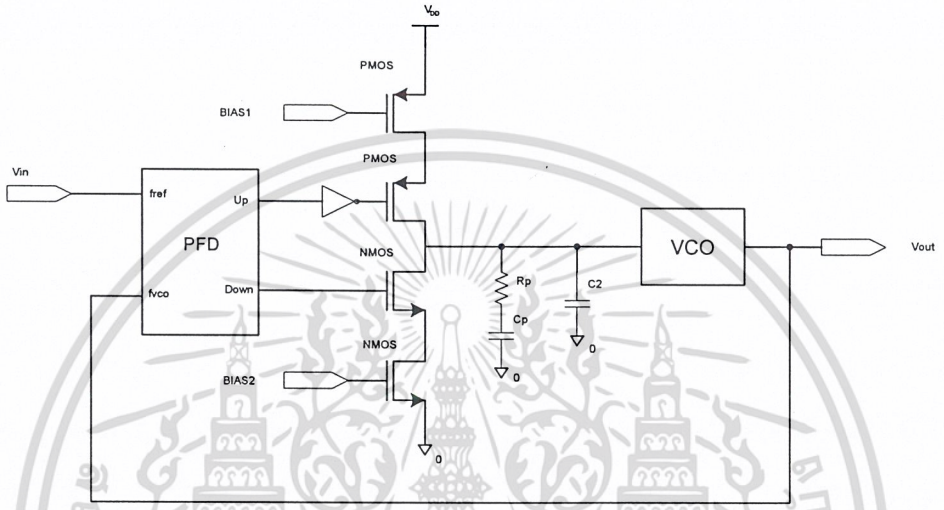
รูป 5.11 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากลวดลายวงจร



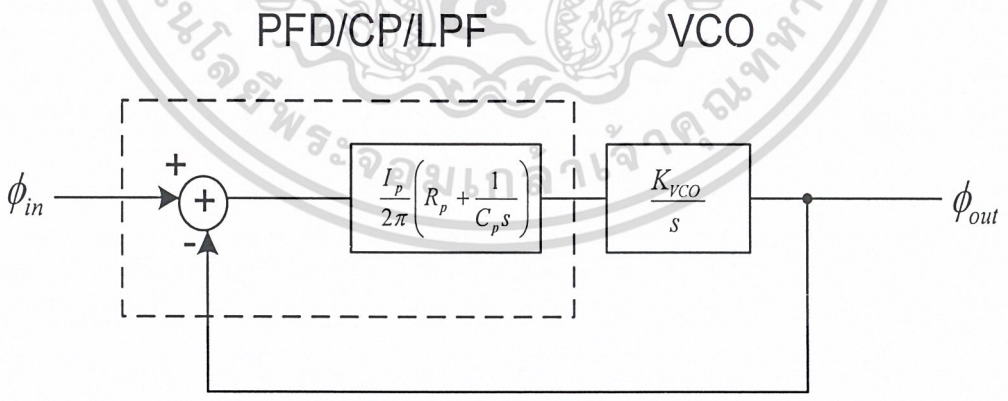
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.3 วงจรเฟสล็อคลูปที่มีเอาท์พุตวงจรดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่(Charge-pump)

การทดลองที่ผ่านมาเป็นการทดลององค์ประกอบย่อยของเฟสล็อคลูปแบบดิจิตอลจากลวดลายขั้นต่อไปจะนำองค์ประกอบเหล่านั้นมาทำงานร่วมกันเป็นระบบหรือเป็นวงจรเฟสล็อคลูปโดยในส่วนของวงจรดักจับเฟสแบบเฟส-ความถี่จะเป็นเอาท์พุทแบบในขั้นแรกจะใช้การป้อนกลับโดยตรงจาก VCO ยังไม่ใช้ในส่วนการหาร N=1 วงจรสมมูลที่ใช้ในการทดสอบการทำงานแสดงดังรูป 5.15



รูป 5.12 ระบบเฟสล็อคล็อคลูปซึ่งตัวดักจับเฟสแบบแหล่งจ่ายกระแสคงที่(Charge-pump)



รูป 5.13 รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s) = \frac{\phi_{out}}{\varphi_{in}}(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_p}\left(R_P C_P s + 1\right)}{s^2 + \frac{I_P}{2\pi} K_{VCO} R_P s + \frac{I_P}{2\pi C_p} K_{VCO}} \quad (5.4)$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่2 จะได้ค่า

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \quad (5.5)$$

$$\varsigma = \frac{R_p}{2}\sqrt{\frac{I_P C_p K_{VCO}}{2\pi}} \quad (5.6)$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุต เนื่องจากเป็นการป้อนกลับจากเอาท์พุตกลับมาโดย ได้มีการหารความถี่ 8 เท่า ดังนั้นจึงกำหนดความถี่อินพุตที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้าสามารถสร้างได้ โดยกำหนดความถี่ดินพุตเท่ากับ 25 MHz

2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 10MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุตตั้งแต่ 190MHz ถึง 210MHz และจากสมการ lock range โดยเฟสล็อคลูปทั้งเอาท์พุตของตัวดักจับเฟสเป็นแบบสามสถานะและแบบแหล่งจ่ายกระแสคงที่จะมีค่าเท่ากัน คือ

$$\Delta\omega_L = 4\pi\xi\omega_n \quad (5.10)$$

กำหนด ξ = 0.7 และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 5.10 คือ

$$\omega_n = \frac{2\pi \bullet 10MHz}{4\pi \bullet 0.7} = 7.142\times10^6\, radians/s$$

3. จากค่า ω_n ที่ได้จากข้อ2 สามารถหาค่า C_P ได้จากสมการ 4.2 โดยเทอม $\frac{I_P}{2\pi}$ คืออัตราขยายของวงจรดักจับเฟส K_{PD} จากการออกแบบ I_P = 100μA ดังนั้นจะได้ค่า $K_{PD} = 15.91\times10^{-6}\, amps/rad$ และอัตราขยายของวงจร VCO:K_{VCO} 3.48 เลือกช่วงที่เป็นเชิงเส้น

$K_{VCO} = 2\pi(300MH_Z - 50MH_Z)/(4.5-2) = 0.62\times10^9\, rad/v \bullet s$ จะได้

$$C_P = \frac{K_{PD}K_{VCO}}{(\omega_n)^2} \approx 190pF$$

4. จากสมการ 4.4 สามารถหาค่า R_P ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_P = \frac{2\xi}{\omega_n C_P} \approx 1K\Omega$$

5. ส่วนค่า C_2 จะมีค่าประมาณหนึ่งในห้า หรือ หนึ่งในสิบของ C_P เลือที่ 16.5 pF

6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค T_L ซึ่งมีค่าดังสมการ 4.6

$$T_L = \frac{2\pi}{\omega_n} \qquad (4.6)$$

เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 900 ns

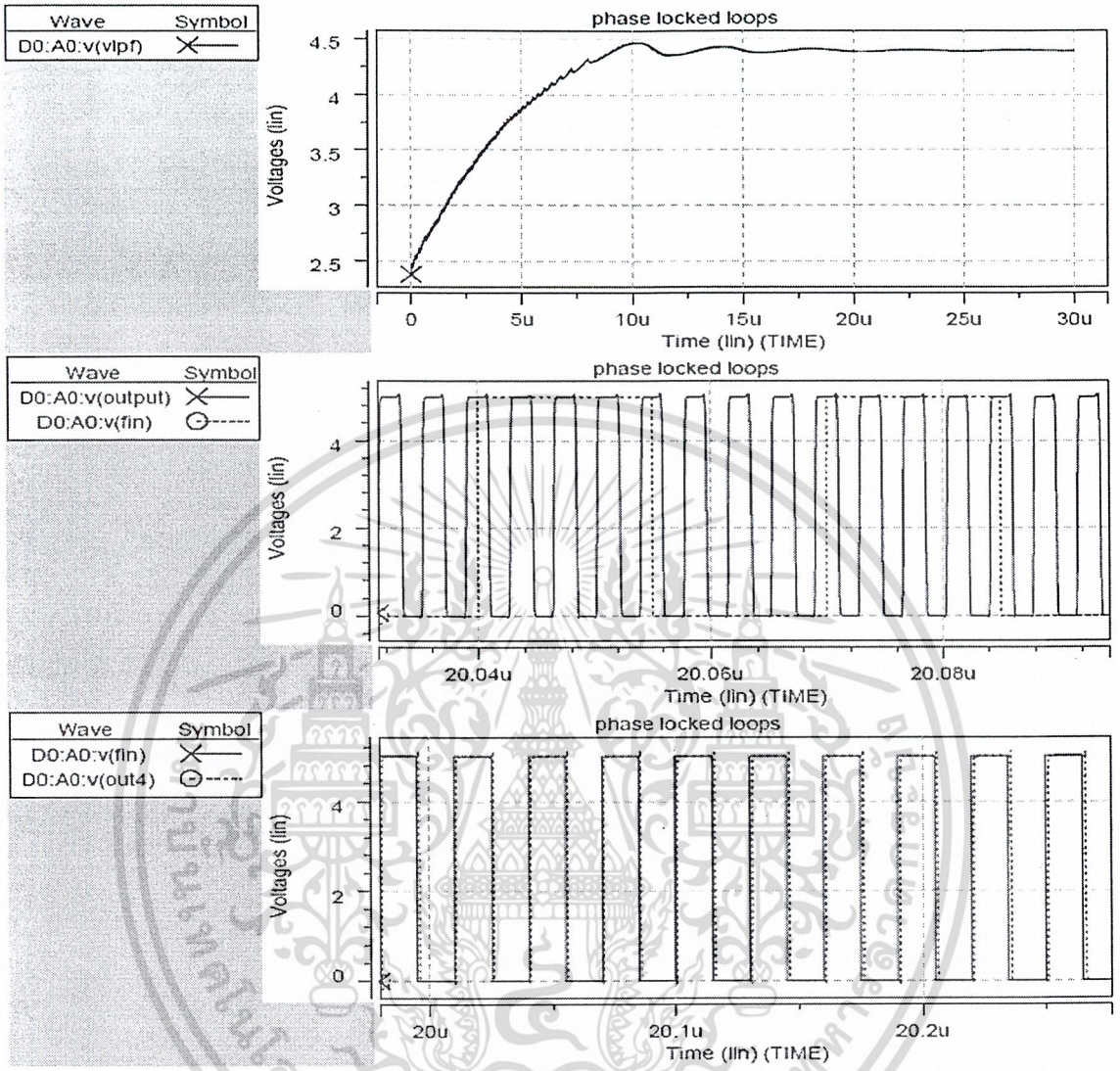
จากค่า C_P ,R_P และ C_2 นำไปจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุทที่ 200 MHz จะเข้าสู่สภาวะคงที่(สภาวะล็อค)ใช้เวลาประมาณ 900 ns นั้นคือเวลาที่ใช้ในการเข้าส่าภาวะล็อคของเฟสล็อคลูป และรูป 4.3 นี้ยังมีการเปรียบเทียบระหว่างสัญญาณอินพุท(เส้นทึบ)กับสัญญาณเอาท์พุท(เส้นประ) ณ เวลาที่เข้าสู่สภาวะล็อคระหว่าง 900 ns ถึง 1μs

7. จากค่า CP,C2 และ R_P นำไปทำการจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุตที่ 20MHz ก่อนผลการทดลองที่ได้แสดงดังรูป 5.17 ซึ่งจะสังเกตุได้ว่าแรงดันที่วงจรกรองความถี่ต่ำจะเข้าสู่สภาวะคงที่จะต้องใช้เวลาประมาณ 18μs นั่นก็คือเวลาที่ใช้ในการเข้าสู่สภาวะล็อคของเฟสล็อคลูปซึ่งมีค่าผิดพลาดจากการคำนวณเนื่องมาจากการประมาณค่า K_{vco} ว่ามีความเป็นเชิงเส้นและผลของพาราซิติค และรูป 5.18 เป็นการ เปรียบเทียบระหว่างสัญญาณอินพุต (เส้นทึบ) กับสัญญาณเอาท์พุต (เส้นประ) ณ เวลาที่จะเข้าสู่สภาวะล็อคระหว่าง 18μs ถึง 20μs

8. ทำการทดสอบย่านการล็อคโดยป้อนความถี่อินพุตเป็น 18MHz และ 22MHz ระดับแรงดันที่วงจรกรองความถี่ต่ำแสดงดังรูป จะเห็นว่าที่ความถี่ 18MHz ช่วงเวลาเข้าสู่สภาวะการล็อคจะน้อยกว่า 24μs อยู่เล็กน้อยและที่ความถี่ 22MHz จะมากกว่า 24μs อยู่เล็กน้อยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

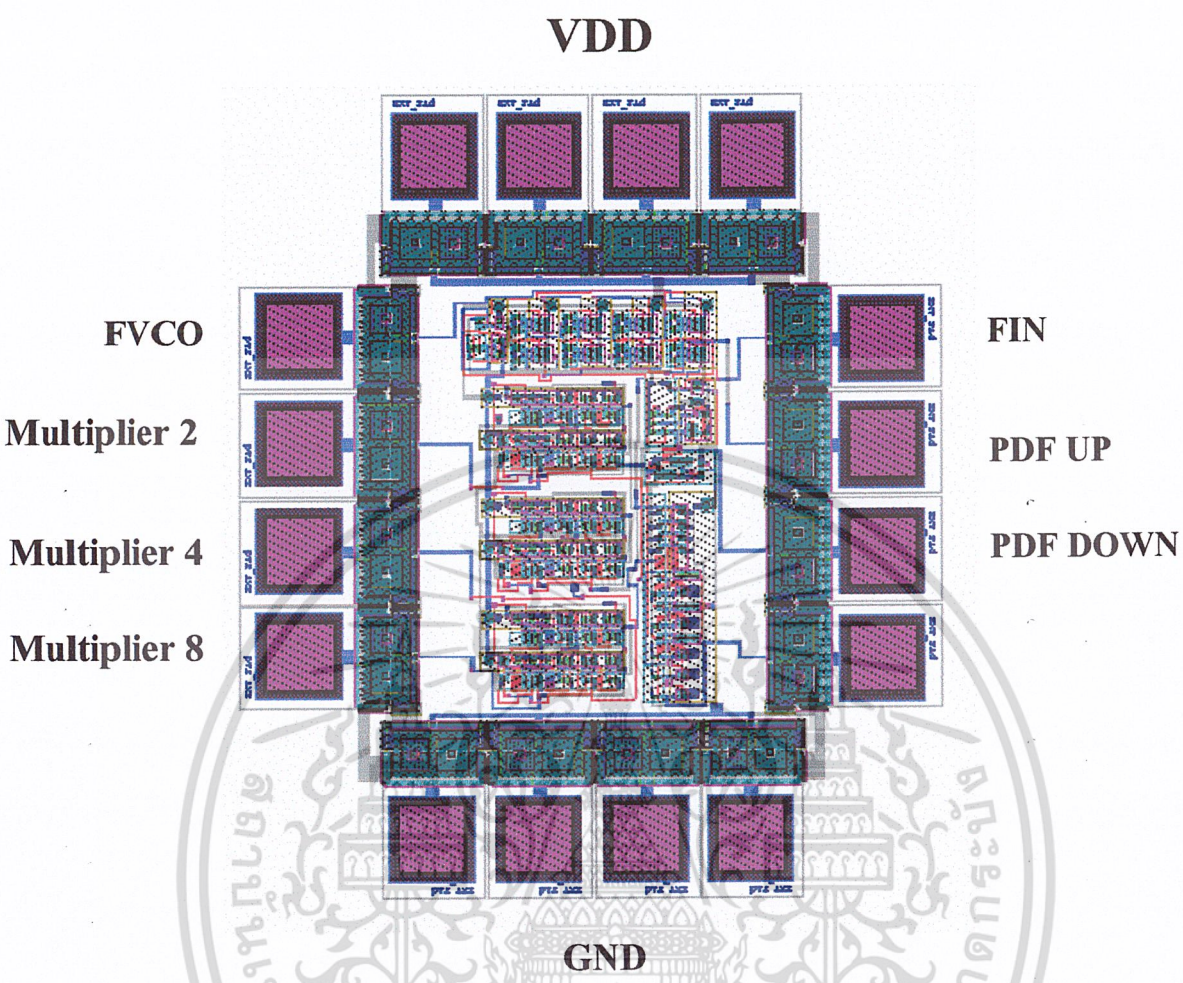
ผลการทดลอง Layout ที่ความถี่เอาท์พุทเดียวกัน (266 MHz 3.45mW)



รูป 5.14 แสดงลวดลายวงจรเฟสล็อคลูปเข้าสู่สภาวะล็อค เมื่อใส่วงจรหาร N=8 แบบ J-K ฟลิปฟลอบ

ใช้หลักการคำนวณเช่นเดียวกับที่ผ่านมาเพื่อทดสอบการใช้เฟสล็อคลูปเป็นวงจรคูณความถี่โดย กำหนดความถี่อินพุทเท่ากับ 25MHz กำหนดย่านการล็อคเท่ากับ 266MHz แทน N=8ในที่สุดจะได้ CP=195pF, C2=32pF และ R_p = 1KΩ ผลการจำลองการทำงานแสดงค่าแรงดันที่อินพุทของ VCO, ความถี่เอาท์พุท VCO 10MHz แสดงดังรูป 2.53 ก และ ข ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.15 ชิพเฟสล็อคลูปแบบคูณ 8 ของความถี่อินพุทโดยใช้ เจ เค ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การออกแบบ วงจรไดนามิค ดีฟลิบฟลอป Dual-Modulus Prescaler

วงจรที่ใช้ motal-oxide-semiconductor มีการก้าวหน้าที่เต็มที่ ตอนนี้มีแนวโน้ม ของเทคโนโลยีเพื่อความหนาแน่นของอุปกรณ์ที่สูงขึ้น กินพลังงานต่ำ และความเร็วสูง วงจรถูกพัฒนาเป็น high-speed prescaler ทำให้เกิดการพัฒนาวงจร dynamic ในไม่นานนี้ วงจร CMOS ใช้เทคนิควงจร Domino , NORA, และ true single phase clocking (TSPC) สำหรับวงจร TSPC ต้องการ clock 1 ลูก เป็นตัวกำหนด ถ้าผลของส่วนประกอบวงจร CMOS ทำงานที่ความถี่สัญญาณนาฬิกา ในระดับ 100 MHz หรือมากกว่า 1 GHz

ในรายงานนี้ใช้เทคนิค fast ratiooed logic สำหรับ dynamic (DFF's) and logic Flip-flops (LFF'S) ในการดำเนินการของ high-speed modulus prescaler

โอกาสที่ flip-flops สามารถลดผลของการ delay เพื่อให้ prescaler มีความไวเพิ่มขึ้น

5.5.1 การศึกษาวงจร

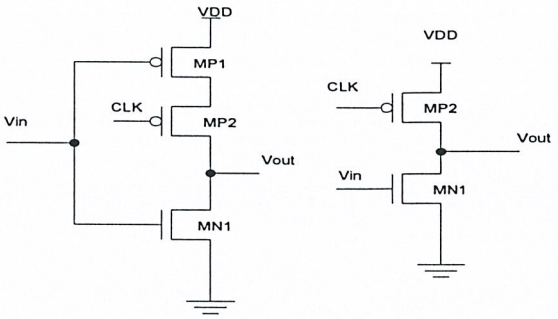
การหารด้วย 128/129b และ 64/65 ของ dual-modulus prescaler เป็นพื้นฐานของวงจร ส่วนประกอบของ three DFF'S , five toggle flip-flops (TFF's) และ gate ต่าง ๆ
DFF'S และ NAND gate ของ Synchronous หาร 4/5 และ chain TFF'S ของ asynchronous หาร 32 อาศัยค่า ลอจิก ที่ node MC ใน สเตทแรก การหารเป็น 4 (MC=0) หรือ 5 (MC=1) สัญญาณ SW ใช้เลือก อัตราส่วนว่า 128/129 หรือ 64/65

A. Synchronous Counter

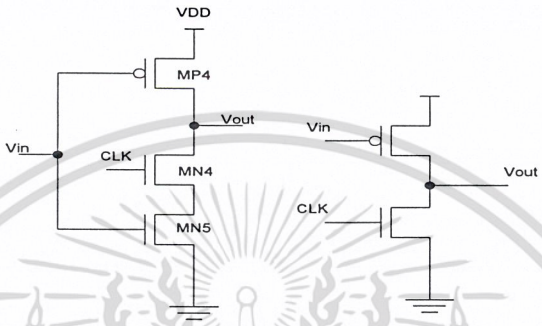
ความเร็วของ prescaler เป็นข้อจำกัดด้วยการหารด้วย 4/5 บางส่วนทำงานที่ความถี่สูงสุด ความเร็วสูงสุดของ prescaler ขึ้นกับ DFF's และ NAND gate ของ Synchronous counter ที่มีประสิทธิภาพ การทำงานที่ความเร็วสูง มันสำคัญในการที่ต้องลดผล capacitance ที่ node เพื่อให้ power และ delay น้อยลง

TSPC DFF เป็นโครงสร้างโดย P-C^2 MOS stage , N-prescharge, stage และ N- C^2 MOS stage ,เปรียบเทียบ P-C^2 MOS logic และจำนวน ทรานซิสเตอร์ capacitive lode, และพื้นที่ layout ของ clocking psedo-NMOS logic (ดังรูป 2ca)
(รูป 5.16) เป็นpsede-PMOSอื่น ๆ แต่ความสามารถในการขับไม่ดี รูปที่ 3 แสดงรูปร่างวงจร dynamic ratioed DFF ส่วนประกอบของ clocking pseudo-NMOS inverter ใน input และ N-precharge เป็นจุดกลาง และ pseudo-PMOS inverter เป็น outout ใน pseudo –MOS จะมีค่าความต้านทานต่ำ และ ค่า C มาก ความเร็วของ DFF กับ clocking pseudo-MOS เร็วมาก พิจารณาทรานซิสเตอร์ที่ขับและ load มีจุดของ delay มาก น่าปรารถนาในการแสดงว่าไม่ทำให้การผลิตช้าลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

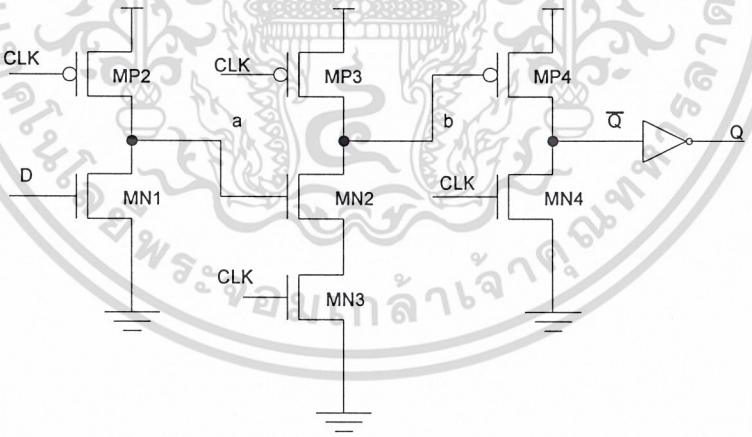


(a)



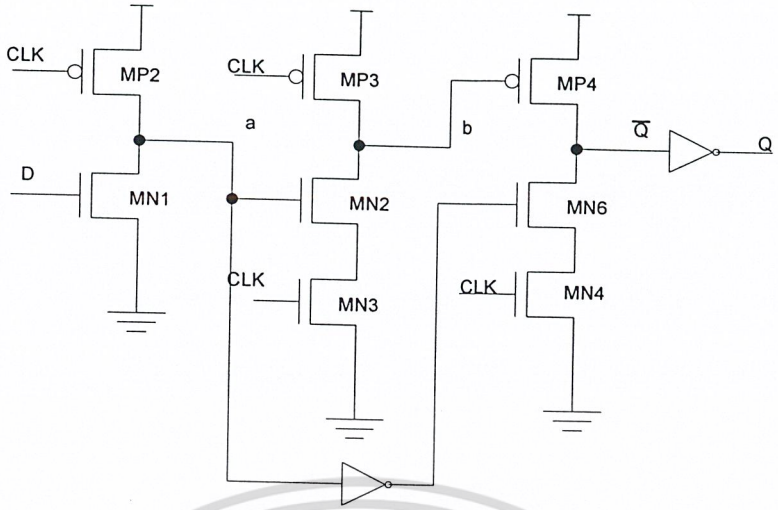
(b)

รูป 5.16 (a) P-C^{2}MOS inverter circuit and clocking pseudo-NMOS inventer Circuit. (b) N-C^{2}MOS inverter circuit and clocking pseudo-PMOS inventer Circuit.

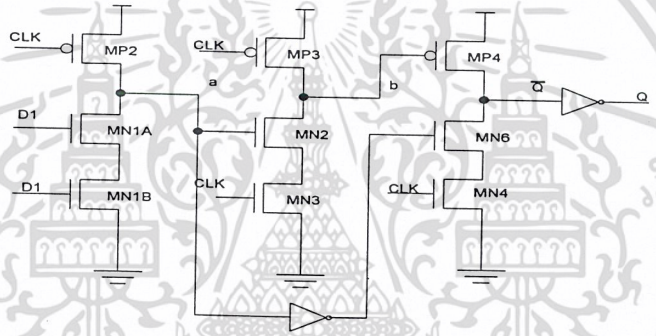


รูป 5.17 New TSPC DFF with ratioed logic technique

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.18 วงจร D-FF TSPC



รูป 5.19 ลอจิก NAN D-FF

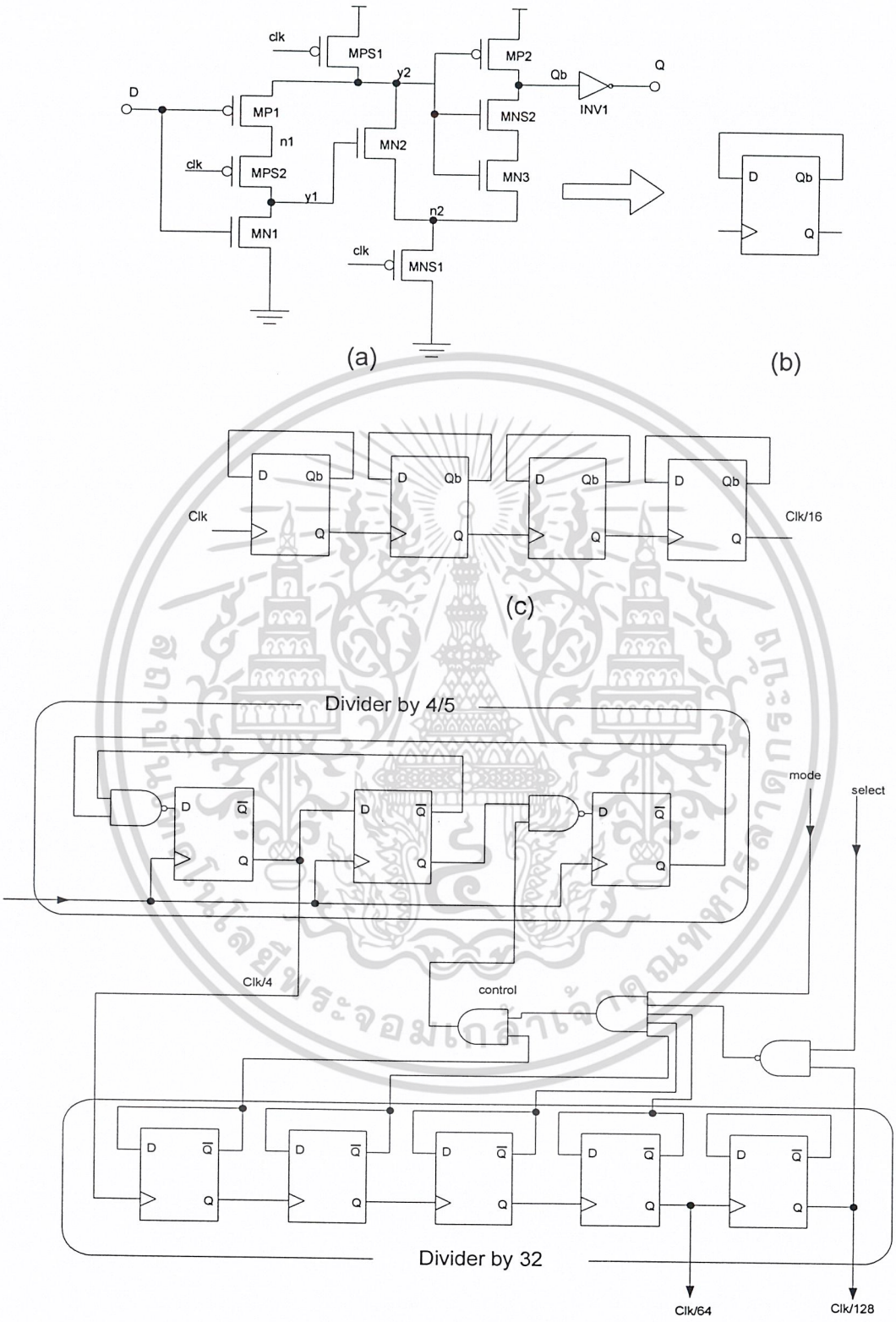
B. Asynchronous Counter

Asynchronous Counter ประกอบด้วย TFF's 5 ภาคต่อกัน การทำงานที่ความถี่สูงสุด เป็น 1-4 หรือ 1-5 ของ ความถี่ input ต่ำ โดยหารด้วย 4/5

C. Input preamplifier

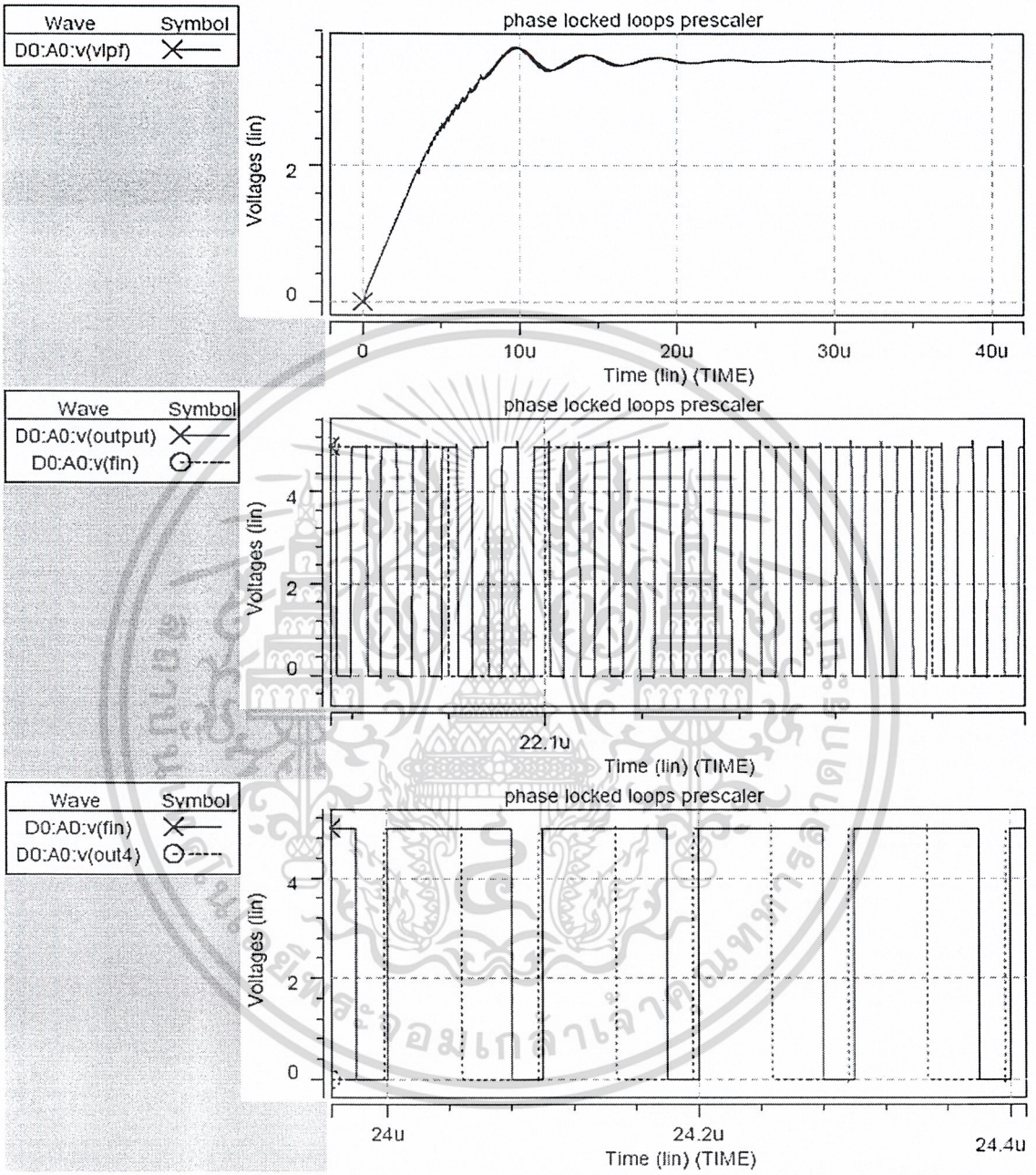
วงจร input ของ prescaler มีinput ประมาณ 50 โอห์ม และค่า Capacitor ขนาดเล็ก แยกจากกัน การอนุกรมของ 2 วงจรขยาย ที่สร้างโดย CMOS inverter และ feedback resistor เพิ่มบนชิบ ในส่วนแรกของวงจรที่ต่อกันของ two Self-biasing amplifier ประกอบด้วย two inverters และ two feedback resister ในส่วนที่ 2 ประกอบด้วย inverter buffer สำหรับ clock input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



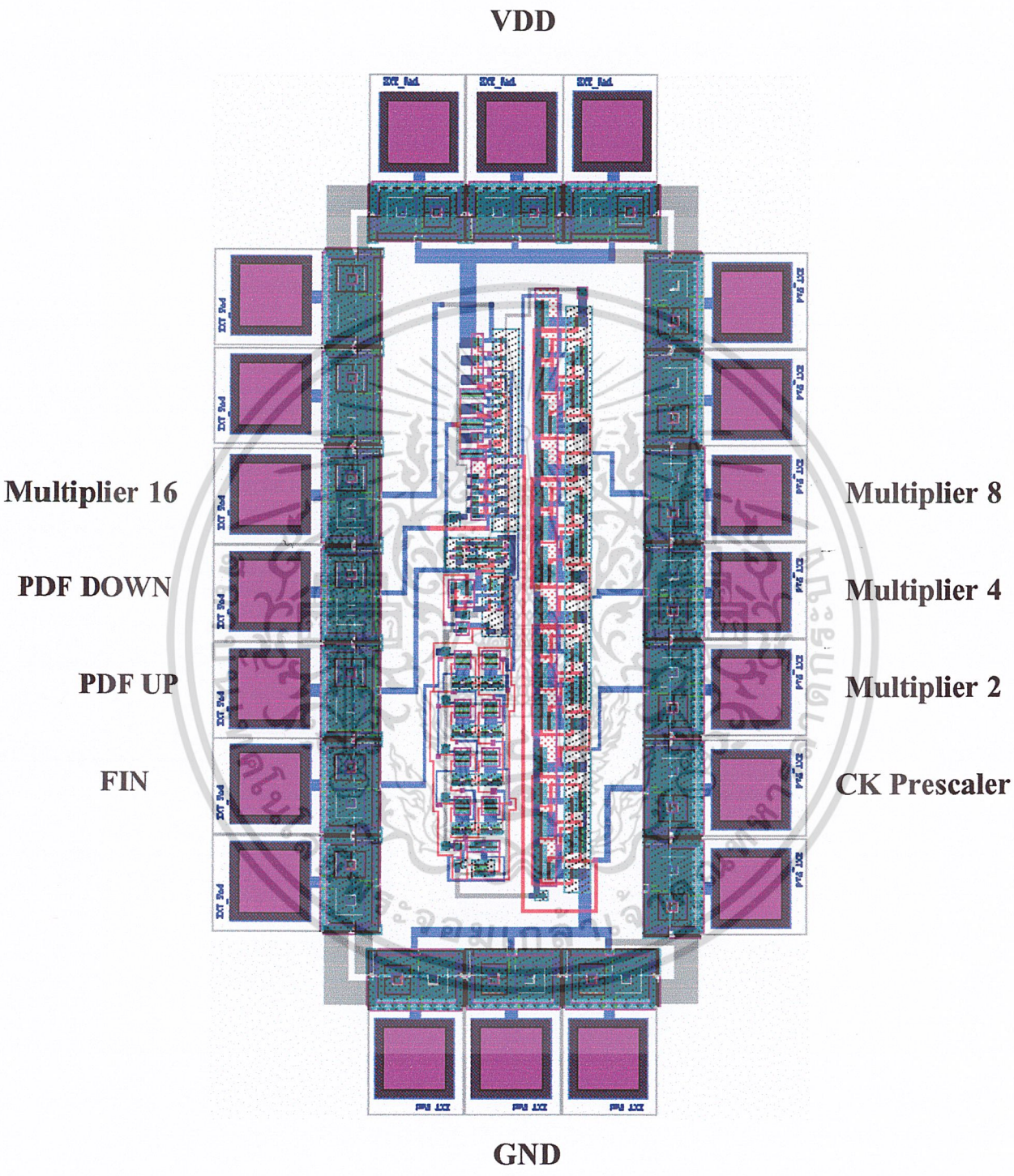
รูป 5.20วงจรที่ใช้ในการออกแบบ Dual-modulus prescaler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



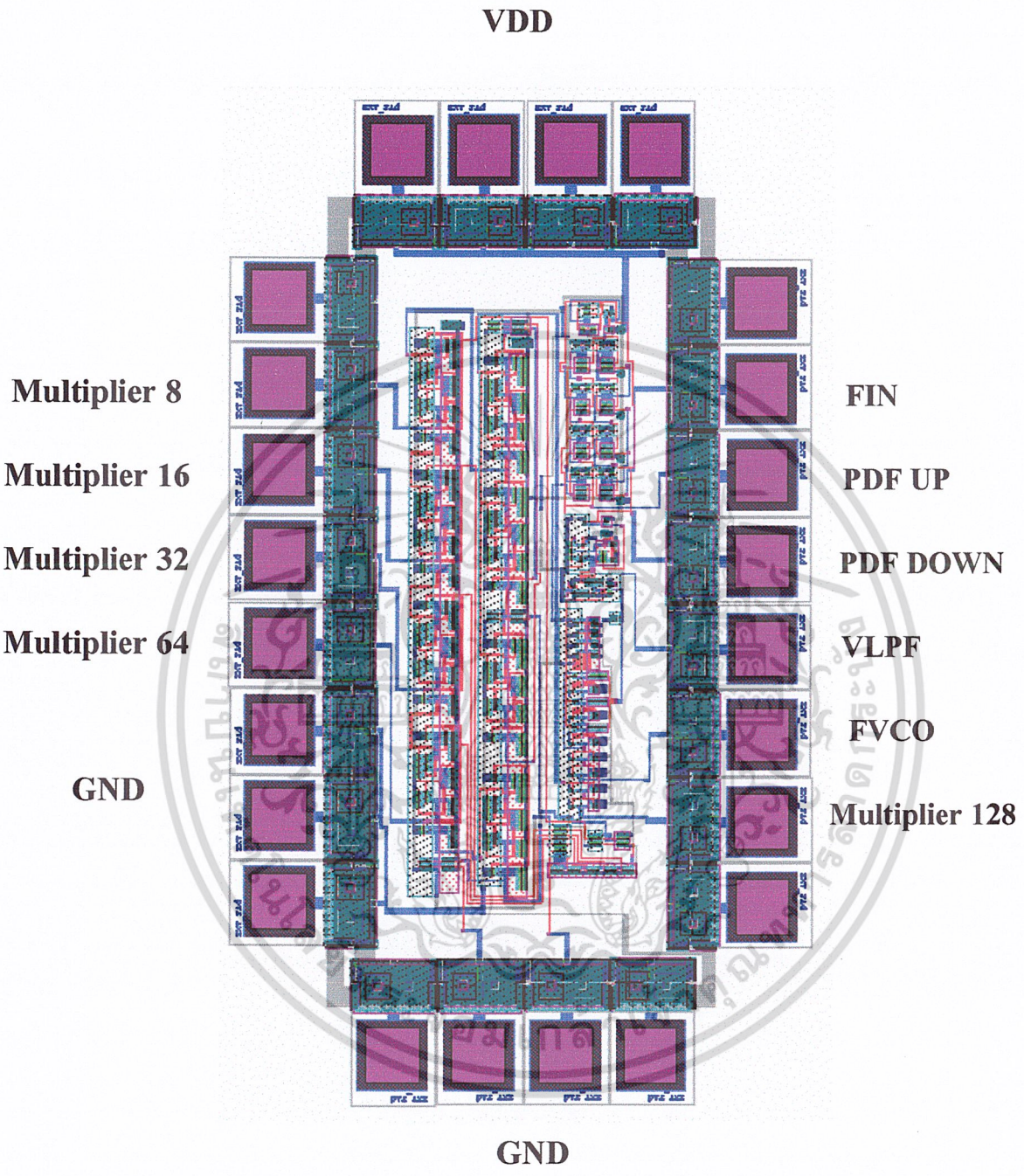
รูป 5.21 แสดงลวดลายวงจรเฟสล็อคลูปเข้าสู่สภาวะล็อค เมื่อใส่วงจรหาร N=16 แบบ Prescaler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.22 ชิพเฟสล็อคลูปแบบคูณ 16 ของความถี่อินพุทโดยใช้ Prescaler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.23 ชิพเฟสล็อคลูปแบบคูณ 128 ของความถี่อินพุทโดยใช้ Prescaler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุป

การออกแบบองค์ประกอบพื้นฐานของเฟสล็อคลูปและวงจรเฟสล็อคลูปผลที่ได้ในการคำนวณออกแบบ เมื่อนำไปทดลองจะมีความคลาดเคลื่อนมากพอสมควรเนื่องจาก สมการที่เราทำการคำนวณออกแบบเป็นสมการกระแสเดรนที่ง่าย ๆ ไม่ซับซ้อนแต่เราก็อาศัยประโยชน์จากการ Simulation ช่วยในการปรับหาค่าที่ถูกต้องเพื่อให้ผลเป็นไปตามที่ได้ออกแบบไว้

การทดสอบคุณสมบัติองค์ประกอบพื้นฐานของเฟสล็อคลูป วงจรแรกคือตัวดักจับเฟสแบบเฟส-ความถี่ ซึ่งองค์ประกอบพื้นฐานจะเป็นแนนเกท นอร์เกทและอินเวอร์เตอร์ การออกแบบให้ได้คุณสมบัติของตัวดักจับเฟสที่ดีก็อยู่ที่การออกแบบเกทดังกล่าว ให้มีดีเลย์น้อยที่สุด และยังควงมีคุณสมบัติเป็นเกทหรือเป็นอินเวอร์เตอร์ที่สมมาตรอยู่ โดยจากการออกแบบจะถูกจำกัดอยู่ที่เทคโนโลยี จากการทดลองจึงเห็นว่าเกิดมีดีเลย์ขึ้นเล็กน้อย และวงจรที่สองคือวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าจากผลการทดลองความถี่เอาท์พุตที่ได้จะไม่เป็นเชิงเส้นกับแรงดันควบคุมตลอดย่านแต่จะเป็นเชิงเส้นแค่บางส่วนดังนั้นการนำไปประยุกต์ใช้จึงเลือกช่วงที่ประมาณว่ามีความเป็นเชิงเส้นที่สุด เมื่อองค์ประกอบที่ได้มาสร้างเป็นเฟสล็อคลูปเพื่อตรวจสอบคุณสมบัติ จากผลการทดลองที่ได้จะเห็นว่าค่าเวลาเข้าสู่สภาวะคงที่มีค่ามากกว่าที่ได้จากการคำนวณเนื่องจากการคำนวณได้มีการประมาณค่าไว้หลายอย่างเช่น การประมาณค่าอัตราการขยายของวงจรออสซิลเลเตอร์ที่ทดลอง และการประมาณค่าคาปาซิเตอร์และค่าความต้านทานในวงจรรองความถี่ต่ำ แต่ก็ได้ย่านการล็อคเท่ากับการกำหนดซึ่งถ้าพิจารณาโดยละเอียดค่าเวลาการเข้าสู่สภาวะล็อคที่ความถี่สูงจะให้เวลามากกว่าที่ความถี่ต่ำเล็กน้อย การเพิ่มเสถียรภาพหรือการทำให้ค่าเวลาการเข้าสู่สภาวะล็อคมีค่าน้อยลงทำได้โดยการเพิ่มค่ากระแสในส่วนของแหล่งจ่ายกระแสคงที่แต่ก็จะทำให้วงจรเฟสล็อคลูปสิ้นเปลืองพลังงานมากขึ้น

เมื่อนำขนาดของมอสที่ได้ปรับปรุงเพื่อให้ได้วงจรที่สามารถนำไปออกแบบ ลวดลายได้ไปทำการออกแบบลวดลายวงจรที่สมบูรณ์และทำการจำลองการทำงานของ วงจรเพื่อดูความคลาดเคลื่อนจากที่ได้ออกแบบไว้ในตอนแรก ผลจากการจำลองการทำงานจากลวดลายวงจรจะให้ผลแตกต่างจากที่ออกแบบไว้ค่อนข้างมาก โดยเฉพาะวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าเป็นผลเนื่องมาจากเทคนิคการออกแบบและอุปกรณ์พาริซิติคที่เกิดขึ้นจากการออกแบบดังนั้นในการออกแบบที่ดีควรทำให้เกิดอุปกรณ์พาราซิติคให้น้อยที่สุด โดยเฉพาะวงจรทางด้านอนาล็อกเพราะการทำงานของวงจรจะคลาดเคลื่อนได้เร็วเมื่อมีอุปกรณ์พาราซิติคเพิ่มเข้ามา ในการออกแบบลวดลายวงจรในตอนท้ายนี้เป็นการออกแบบไอซีที่มีองค์ประกอบภายในเยอะดังนั้นจึงเป็นการยากที่จะออกแบบให้เสร็จเองด้วยมือในที่นี้จึงต้องใช้ซอฟแวร์ช่วยในการออกแบบโดยเฉพาะถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมีเซลล์ที่ซ้ำกันหลาย ๆ เซลล์ ก็จะทำการออกแบบเพียงเซลล์เดียวให้ดีที่สุดส่วนเซลล์ที่เหลือก็ใช้คอมพิวเตอร์ช่วยในการเชื่อมต่อหรือคัดลอกเอาไปเป็นส่วนประกอบต่าง ๆ ภายในวงจร เพราะถ้าเราทำการเดินเส้นทางการเชื่อมต่อเองทั้งหมดบนชิพโอกาสผิดพลาดมีมากและยังต้องใช้เวลานานอีกด้วย แต่การใช้คอมพิวเตอร์ช่วยจะควบคุมอุปกรณ์พาราซิติคไม่ได้

การออกแบบชิพวงจรดิจิตอลเฟสล็อคลูปนี้จากการออกแบบลวดลายจะใช้พื้นที่ในการสร้างประมาณ 1.5mm x 1.8mm มีการเจาะรู (Via) เพิ่มจากที่ได้ออกแบบไว้ 541 Via ซึ่ง Viaนี้ใช้ในการเชื่อมต่อระหว่างโลหะที่อยู่คนละชั้นกันเมื่อคอมพิวเตอร์ทำการเดินเส้นทางวงจรให้อัตโนมัติก็จะสร้าง Via นี้ขึ้นมาให้ด้วยเช่น ดังนั้นโปรแกรมคอมพิวเตอร์ก็ทำหน้าที่เป็นตัวช่วยที่ดีในการออกแบบลวดลายวงจรหรือที่เรียกว่า Computer Aid Design หรือ CAD อย่างไรก็ตามชิพที่ได้ยังมีส่วนที่เป็นข้อเสียที่ควรแก้ไขก็คือส่วนการนับที่เป็นวงจรแบบไม่สัมพันธ์ควรออกแบบให้เกิดดีเลย์น้อยที่สุดต่อชุดหรือเปลี่ยนไปเป็นแบบสัมพันธ์ซึ่งมีการออกแบบที่ซับซ้อนกว่า

พื้นฐานความรู้ที่ได้จากการทำโปรเจคนี้ทำให้สามารถมองเห็นภาพกระบวนการในการออกแบบลวดลายก่อนจะนำไปสร้างกระจกต้นแบบเพื่อใช้ในการผลิตวงจรรวมต่อไป ถึงแม้ซอฟแวร์ที่ใช้จะมีข้อเสียอยู่บ้างและไม่ได้ใช้จริงในโรงงานอุตสาหกรรมและ อุตสาหกรรมประเภทนี้ในประเทศไทยก็ยังเข้ามาไม่ถึง แต่ก็ได้ความรู้ที่ได้เป็นพื้นฐานที่ดีในการออกแบบเพื่อในอนาคตข้างหน้าที่เทคโนโลยีประเภทนี้อาจจะเข้ามาในเมืองไทย หรือถ้ามีโอกาสได้ศึกษาต่อในอนาคตก็จะเป็นแนวทางที่จะคิดค้นหรือสร้างสรรค์ใหม่ต่อไป ถ้าเรามีพื้นฐานที่ดีแล้วการที่จะเรียนรู้ไปให้ทันกับเทคโนโลยีสมัยใหม่ก็จะเป็นเรื่องที่ไม่ยากอีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พารามิเตอร์ของชิพเฟสล็อคลูปที่คูณจำนวนเท่าของความถี่อินพุท 8 เท่าแบบ J-K ฟลิบฟลอบ

ย่านความถี่ในการทำงาน	100MHz – 250MHz
ขนาด Area	0.228mm × 0.232mm
Power	3.45mW
technology	0.8μm

พารามิเตอร์ของชิพเฟสล็อคลูปที่คูณจำนวนเท่าของความถี่อินพุท 16 เท่าแบบ Prescaler

ย่านความถี่ในการทำงาน	100MHz – 200MHz
ขนาด Area	0.22mm × 0.396mm
Power	3.07mW
technology	0.8μm

พารามิเตอร์ของชิพเฟสล็อคลูปที่คูณจำนวนเท่าของความถี่อินพุท 128 เท่าแบบ Prescaler

ย่านความถี่ในการทำงาน	100MHz – 150MHz
ขนาด Area	0.228mm × 0.452mm
Power	17.5mW
technology	0.8μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE3.1 Summary of Parametres and Formulas for Digital PLLs

Parameter category	Symbol	Parameter	Definition
General	ω_0	Center frequency of the VCO	Angular frequency of the VCO at μ_f =0
	τ_1, τ_2	Time constants of loop filter	
	ω_n	Natural frequency of the PLL	ω_n is the natura; frequency of the PLL system. The PLL responds to an excitation at its input with a transient, Normally a damped oscillation with angular frequency ω_n
	ξ	Damping factor	$1 / \omega_n \xi$ = time constant of the damped oscillator
Acquisition	$\Delta\omega_n$	Hold range	Frequency range within which PLL operation can be statically stable
	$\Delta\omega_L$	Lock rang	If the frequency offset of the reference signal is smaller then the lock range, the PLL locks within one signal-beat note between reference and output frequencies
	T_L	Lock-in time	Time required for the lock-in process
	$\Delta\omega_P$	Pull-in range	If the frequency offset of the reference signal is pull-in range, the PLL will slowly lock after number of beat notes between reference and output frequencies
	T_P	Pull-in time	Time required for a pull-in process

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Formulas for second-order PLLs

	Type of loop filter		
	Passive lag	Active lag	Active PI
	$\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}}$	$\omega_n = \sqrt{\frac{K_o K_d K_a}{N\tau_1}}$	$\omega_n = \sqrt{\frac{K_o K_d}{N\tau_1}}$
PD is not PFD	$\varsigma = \frac{\omega_n}{2}\left(\tau_2 + \frac{N}{K_o K_d}\right)$	$\varsigma = \frac{\omega}{2}\left(\tau_2 + \frac{N}{K_o K_d K_a}\right)$	$\varsigma = \frac{\omega_n \tau_2}{2}$
PD is PFD	$\varsigma = \frac{\omega_n \tau_2}{2}$	$\varsigma = \frac{\omega_n \tau_2}{2}$	$\varsigma = \frac{\omega_n \tau_2}{2}$
PD = EXOR	$\Delta\omega_H = \frac{K_o K_d \pi / 2}{N}$	$\Delta\omega_H = \frac{K_o K_d K_a \pi / 2}{N}$	$\Delta\omega_H \to \infty$
PD = JK-flipflop	$\Delta\omega_H = \frac{K_o K_d \pi}{N}$	$\Delta\omega_H = \frac{K_o K_d K_a \pi}{N}$	$\Delta\omega_H \to \infty$
PD = PFD	←	$\Delta\omega_H \to \infty$	→
PD = EXOR	←	$\Delta\omega_L = \pi\varsigma\omega_n$	→
PD = JK-flipflop	←	$\Delta\omega_L = 2\pi\varsigma\omega_n$	→
PD = PFD	←	$\Delta\omega_L = 4\pi\varsigma\omega_n$	→
	←	$T_L \approx \frac{2\pi}{\omega_n}$	→
PD = EXOR	Low-gain loops $\Delta\omega_P = \frac{\pi}{2}\sqrt{2\varsigma\omega_n K_o K_d - \omega_n^2}$ High-gain loops $\Delta\omega_P = \frac{\pi}{\sqrt{2}}\sqrt{\varsigma\omega_n K_o K_d}$	Low-gain loops $\Delta\omega_P = \frac{\pi}{2}\sqrt{2\varsigma\omega_n K_o K_d - \omega_n^2 / K_a}$ High-gain loops $\Delta\omega_P = \frac{\pi}{\sqrt{2}}\sqrt{\varsigma\omega_n K_o K_d}$	$\Delta\omega_P \to \infty$
PD = PFD	Low-gain loops $\Delta\omega_P = \pi\sqrt{2\varsigma\omega_n K_o K_d - \omega_n^2}$ High-gain loops $\Delta\omega_P = \pi\sqrt{2}\sqrt{\varsigma\omega_n K_o K_d}$	Low-gain loops $\Delta\omega_P = \pi\sqrt{2\varsigma\omega_n K_o K_d - \omega_n^2 / K_a}$ High-gain loops $\Delta\omega_P = \pi\sqrt{2}\sqrt{\varsigma\omega_n K_o K_d}$	$\Delta\omega_P \to \infty$
PD = PFD	←	$\Delta\omega_P \to \infty$	→
PD = EXOR	←	$T_P = \frac{4}{\pi^2}\frac{\Delta\omega_o^2}{\varsigma\omega_n^3}$	→
PD = JK-Flipflop	←	$T_P = \frac{1}{\pi^3}\frac{\Delta\omega_o^2}{\varsigma\omega_n^3}$	→
PD = PFD	$T_P = 2(\tau_1 + \tau_2)\ln\frac{K_o(U_B/2)}{K_o(U_B/2) - \Delta\omega_o}$	$T_P = 2\tau_1 \ln\frac{K_o K_a (U_B/2)}{K_o K_a (U_B/2) - \Delta\omega_o}$	$T_P = \frac{2\tau_1 \Delta\omega_o}{K_o(U_B/2)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติและค่าพารามิเตอร์ของวงจรเฟสล็อคลูปแบบดิจิตอล

-Supply Voltage = 5V

-Phase comparator is PFD output charge-pump

VOLTAGE CONTROLLED OSCILLATOR (VCO)

Characteristic	Symbol	Value	Units
Maximum Frequency	f_{max}	370	MHz
Minimum Frequency	f_{min}	100	Hz
Maximum Voltage	V_{max}	5	Volt
Minimum Voltage	V_{min}	0.7	Volt
Gain	K_{VCO}	0.54×10^9	Radians/V.s

PROGRAMMABLE DIVIDER

INPUT			NUMBER OF N
S_2	S_1	S_0	DIVIDER
L	L	L	2
L	L	H	4
L	H	L	8
L	H	H	16
H	L	L	32
H	L	H	64
H	H	L	128
H	H	H	256

L=GND AND H=V_{DD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอบคุณพ่อแม่ และสมาชิกในครอบครัวที่เข้าใจ ให้กำลังใจ และมีความปรารถนาดีตลอดมา

ขอบคุณอาจารย์วรากรเป็นอย่างสูง สำหรับการสละเวลาส่วนตัวและคอยให้คำปรึกษาแนะนำในการทำโครงงานนี้ตลอดทั้งเทอม ซึ่งแน่นอนว่าหากไม่ได้รับคำปรึกษาจากท่านอาจารย์ โครงงานนี้คงไม่บรรลุเป้าหมาย

ขอขอบคุณอาจารย์กสินเป็นอย่างสูงที่ให้คำปรึกษาทางด้านการออกแบบลวดลายวงจรและความรู้ทางด้านการออกแบบไอซีทุกส่วน

ขอบคุณพี่เสนอและพี่ปริญญาโททุกท่านที่ให้คำแนะนำตลอดการทำโครงงาน

ขอบคุณพื่อนๆ สำหรับกำลังใจและเป็นที่ปรึกษายามมีปัญหาไม่ว่าเรื่องใดก็ตาม

.....

(นายคหัฏฐ์ อยู่เย็น)

.....

(นายพรเทพ จิ้นบัว)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Behzad Razavi , “Design of Analog CMOS Integrated Circuit” , 684 p. 2001
2. Roland E.Best, “Phase-Locked Loops Theory, Design and Application”, 107 p,1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้