

พีซี สโคป

PC SCOPE

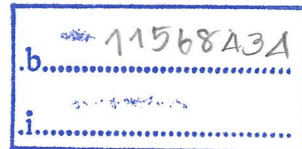


โดย

นายบุญธรรม ว่างกาใจ

นายอาวุธ หอมสร้อย

๒/พ
๒/๔๗/พ
๒๕๔๗
เลขหมู่.....
เลขทะเบียน 61361
วัน,เดือน,ปี 17 ก.ค. 2549



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

PC SCOPE

BY

Mr. BOONTHAM WANGGAJAI

Mr. AWUT HOMSOI

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF
THE REQUIRMENT FOR THE DEGREE OF
BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2004

ใบเสนอปริญญาบัตร

หัวข้อปริญญาบัตร	พีซี สโคป
นักศึกษา	นายบุญธรรม ว่างกาใจ รหัสนักศึกษา 45015853
	นายอาวุธ หอมสร้อย รหัสนักศึกษา 45015881
อาจารย์ที่ปรึกษา	ผศ.อุทัย ศรีธีระวิโรจน์
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2547

ปริญญาบัตรฉบับนี้ได้รับความเห็นชอบจากอาจารย์ที่ปรึกษาเป็นที่เรียบร้อยแล้ว

.....
(ผศ.อุทัย ศรีธีระวิโรจน์)

อาจารย์ที่ปรึกษาปริญญาบัตร

หัวข้อปริญญานิพนธ์	พีซี สโคป		
นักศึกษา	นายบุญธรรม	วังกาใจ	รหัสนักศึกษา 45015853
	นายอาวุธ	หอมสร้อย	รหัสนักศึกษา 45015881
อาจารย์ที่ปรึกษา	ผศ.อุทัย ศรีธีระวิโรจน์		
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมสารสนเทศ		
ภาควิชา	วิศวกรรมสารสนเทศ		
ปีการศึกษา	2547		

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอการใช้คอมพิวเตอร์ พีซี มาประยุกต์เป็นออสซิลโลสโคป โดยโครงสร้างทางฮาร์ดแวร์ใช้ไมโครคอนโทรลเลอร์ MCS51 เป็นตัวควบคุมการแปลงสัญญาณ จากสัญญาณอนาลอกเป็นดิจิตอล โดยใช้ ไอซีADC0820 เป็นตัวแปลงสัญญาณ แล้ว MCS51 จะเป็นตัวส่งข้อมูลเข้าสู่คอมพิวเตอร์ ผ่านทางพอร์ตUSB โดยทำการประมวลผลและแสดงผลออกทางจอภาพ ด้วยโปรแกรม Visual C++

พีซี สโคปนี้ สามารถวัดสัญญาณได้ 2 ช่องสัญญาณ โดยขนาดของสัญญาณที่วัดได้สูงสุด คือ 5 Vp-p และความถี่ที่วัดได้อยู่ในช่วง 5 Hz ถึง 20 kHz

Thesis Title	PC SCOPE		
Student	Mr.Boontham	Wanggajai	ID. 45015853
	Mr. Awut	Homsoi	ID. 45015881
Advisor	Asst.Prof.Uthai Sritheeravirojana		
Graduate Level	Bachelor Degree of Information Engineering		
Department	Information Engineering		
Academic Year	2004		

ABSTRACT

This thesis presents how to apply PC computer as Oscilloscope. The heart of hardware is using microcontroller MCS51 to control A/D converter. The digital signals are converted by IC ADC 0820 then the MCS51 send them to computer through USB port. The processing results are presented by software Visual C++ program.

The PC Oscilloscope has 2 channels, maximum input 5 Vp-p and frequency bandwidth 5 Hz - 20 kHz.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดีเป็นผลเนื่องมาจากความมานะอดทน และความช่วยเหลือเกื้อกูลกันของเพื่อน ๆ ทุกท่านที่มีส่วนร่วม ตลอดระยะเวลาที่ทำโครงการนี้ โดยได้รับการสนับสนุนจาก ผศ.อุทัย ศรีธีระวิโรจน์ ซึ่งคอยดูแลและให้คำปรึกษาเกี่ยวกับโครงการนี้ตลอดมา และขอกราบขอบพระคุณอาจารย์ทุกท่านในภาควิชาวิศวกรรมสารสนเทศที่ได้สั่งสอนวิชาความรู้ต่างๆ ไว้ ณ. ที่นี้ด้วย

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา ที่ได้ให้การสนับสนุนในด้านการศึกษา อีกทั้งสิ่งดี ๆ ทุก ๆ อย่างที่มีให้กันมาโดยตลอด รวมทั้งญาติพี่น้องทุกท่านที่คอยเป็นขวัญและกำลังใจ ด้วยดีเสมอมา

ผู้จัดทำ

นายบุญธรรม ว่างกาใจ

นายอาวุธ หอมสร้อย

สารบัญ

เรื่อง	หน้า
บทคัดย่อไทย	I
บทคัดย่ออังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญ	1
1.2 วัตถุประสงค์	1
1.3 ขอบเขตของโครงการ	1
1.4 ขั้นตอนการดำเนินงาน	2
บทที่ 2 ทฤษฎีและหลักการทำงานของเครื่องดิจิทัลออสซิลโลสโคป	3
2.1 ลักษณะการทำงานทั่วไปของดิจิทัลออสซิลโลสโคป	3
2.2 ขอบเขตการวัด	4
2.3 การสุ่มตัวอย่างของดิจิทัลออสซิลโลสโคป	8
2.4 ขั้นตอนหลังการสุ่มตัวอย่าง	11
2.5 การแปลงอนาลอกเป็นดิจิทัล	12
2.6 แบนวิดท์และอัตราการสุ่มตัวอย่าง	14
2.7 ภาพรวมของระบบบัส USB	15
2.8 ลักษณะการทำงานทั่วไปของโมดูล USB	20
บทที่ 3 การวิเคราะห์และออกแบบ	24
3.1 บล็อกไดอะแกรมของพีซีสโคป	24
3.2 ภาคแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	25
3.3 ภาคควบคุมการส่งข้อมูลของโมดูล USB โดย MCS-51	26

สารบัญ(ต่อ)

เรื่อง	หน้า
บทที่ 4 การทดลองและผลการทดลอง	29
4.1 ขั้นตอนการทดลอง	29
4.2 ผลการทดลอง	34
บทที่ 5 สรุปผลการทดลองและวิจารณ์	43
บรรณานุกรม	
ภาคผนวก ก. คู่มือการใช้งาน พีซี สโคป	
ภาคผนวก ข. Data Sheet	

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 ลักษณะของการเกิดเอเลียสซึ่ง	5
รูปที่ 2.2 ทฤษฎีการสอดแทรก	6
รูปที่ 2.3 เทคนิคการสุมตัวอย่างแบบต่างๆ ของดิจิตอลออสซิลโลสโคป	8
รูปที่ 2.4 ผลที่ออกมาจากการสุมตัวอย่างสัญญาณอินพุทแบบเป็นลำดับ	10
รูปที่ 2.5 การควอนไทซ์ ซึ่ง โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเปลี่ยน แรงดันอนาลอกเป็นเลขฐานสองที่ระดับต่างๆ	12
รูปที่ 2.6 แฟลชคอนเวอร์เตอร์	13
รูปที่ 2.7 ลำดับของความเร็ว และความละเอียดของอัลกอริทึมต่างๆ	14
รูปที่ 2.8 ปลั๊ก USB ตัวเมียอนุกรม	18
รูปที่ 2.9 ปลั๊ก USB ตัวผู้อนุกรม	18
รูปที่ 2.10 ตำแหน่งการใช้คอนเน็คเตอร์แต่ละอนุกรม	18
รูปที่ 2.11 การจัดวางขาของคอนเน็คเตอร์ USB	19
รูปที่ 2.12 ไคอะแกรมเวลาสำหรับการอ่านข้อมูลจากโมดูล USB	21
รูปที่ 2.13 ไคอะแกรมเวลาสำหรับการเขียนข้อมูลไปยัง โมดูล USB	22
รูปที่ 3.1 บล็อกไคอะแกรมของพีซีสโคป	24
รูปที่ 3.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล	25
รูปที่ 3.3 แสดง flow chart การส่งข้อมูลของ โมดูล USB โดย MCS-51	26
รูปที่ 3.4 วงจรการส่งข้อมูลที่มี MCS-51 เป็นตัวควบคุม	27
รูปที่ 3.5 รูปวงจรการทำงานของ การแปลงสัญญาณและการส่งข้อมูล	28
รูปที่ 4.1 วินโดว์ตรวจพบฮาร์ดแวร์ใหม่ และทำการเลือกรูปแบบการติดตั้ง	29
รูปที่ 4.2 การค้นหา Directory ของ D2XX Direct Drivers เพื่อทำการติดตั้ง	30
รูปที่ 4.3 การเลือกรูปแบบการค้นก่อนที่จะติดตั้งไดรเวอร์	30
รูปที่ 4.4 การเลือกชนิดของอุปกรณ์ที่จะใช้กับ D2XX Direct Driver	31
รูปที่ 4.5 การหา Directory ไดรเวอร์ให้กับฮาร์ดแวร์	31
รูปที่ 4.6 แสดงไดรเวอร์ที่เราจะทำการติดตั้งให้กับฮาร์ดแวร์	32
รูปที่ 4.7 การติดตั้งโปรแกรมของไดรเวอร์	32
รูปที่ 4.8 แสดงถึงการติดตั้ง ไดรเวอร์ เสร็จเรียบร้อยแล้ว	32

สารบัญรูปภาพ(ต่อ)

หน้า

รูปที่ 4.9	รูปรายการฮาร์ดแวร์ที่ถูกเพิ่มเข้ามา	33
รูปที่ 4.10	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 20 Hz ด้วยดิจิตอลออสซิลโลสโคป	34
รูปที่ 4.11	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 20Hz ด้วย พีซี สโคป	35
รูปที่ 4.12	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 100 Hz ด้วยดิจิตอลออสซิลโลสโคป	35
รูปที่ 4.13	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 100Hz ด้วย พีซี สโคป	36
รูปที่ 4.14	วัดสัญญาณสามเหลี่ยมที่ความถี่ 500Hz ด้วยดิจิตอลออสซิลโลสโคป	36
รูปที่ 4.15	วัดสัญญาณสามเหลี่ยมที่ความถี่ 500Hz ด้วย พีซี สโคป	37
รูปที่ 4.16	วัดสัญญาณซายน์ที่ความถี่ 1kHz ด้วยดิจิตอลออสซิลโลสโคป	37
รูปที่ 4.17	วัดสัญญาณซายน์ที่ความถี่ 1kHz ด้วย พีซี สโคปสโคป	38
รูปที่ 4.18	วัดสัญญาณซายน์ที่ความถี่ 10kHz ด้วยดิจิตอลออสซิลโลสโคป	38
รูปที่ 4.19	วัดสัญญาณซายน์ที่ความถี่ 10kHz ด้วย พีซี สโคป	39
รูปที่ 4.19	วัดสัญญาณซายน์ที่ความถี่ 20kHz ด้วยดิจิตอลออสซิลโลสโคป	39
รูปที่ 4.20	วัดสัญญาณซายน์ที่ความถี่ 20kHz ด้วย พีซี สโคป	40
รูปที่ 4.21	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 2kHz 2สัญญาณ ด้วยดิจิตอลออสซิลโลสโคป	40
รูปที่ 4.22	วัดสัญญาณสี่เหลี่ยมที่ความถี่ 2kHz 2สัญญาณ ด้วย พีซี สโคป	41
รูปที่ 4.23	วัดสัญญาณซายน์ที่ความถี่ 10kHz 2สัญญาณ ด้วยดิจิตอลออสซิลโลสโคป	41
รูปที่ 4.24	วัดสัญญาณซายน์ที่ความถี่ 10kHz 2สัญญาณ ด้วย พีซี สโคป	42

สารบัญตาราง

	หน้า
ตารางที่ 2.1 การจัดสัญญาณของขาคอนเน็คเตอร์	19
ตารางที่ 2.2 ค่าเวลาต่างๆสำหรับการอ่านข้อมูลจากโมดูล USB	22
ตารางที่ 2.3 ค่าเวลาต่างๆสำหรับการเขียนข้อมูลจากโมดูล USB	23

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญ

ออสซิลโลสโคปเป็นเครื่องมือวัดที่สำคัญทางด้านอิเล็กทรอนิกส์ เนื่องจากใช้วัดและวิเคราะห์ลักษณะรูปร่างของสัญญาณไฟฟ้าต่างๆ ได้ แต่เนื่องจากออสซิลโลสโคปมีราคาค่อนข้างแพงมากจึงยากแก่การซื้อมาใช้งาน ดังนั้นจึงนำเสนอโครงการออสซิลโลสโคปบนคอมพิวเตอร์ ซึ่งเป็นการนำเอาคอมพิวเตอร์มาประยุกต์ใช้งานร่วมกับอุปกรณ์ทางด้านฮาร์ดแวร์ เพื่อทดแทนเครื่องมือวัดสัญญาณทางอิเล็กทรอนิกส์ที่มีราคาแพง และสะดวกต่อการเคลื่อนย้าย นำไปใช้งานนอกสถานที่ที่สามารถใช้ได้ทุกที่ที่สามารถใช้คอมพิวเตอร์ได้

1.2 วัตถุประสงค์

1. เพื่อใช้คอมพิวเตอร์ประยุกต์เป็นเครื่องมือวัดและวิเคราะห์สัญญาณทางไฟฟ้า
2. เข้าใจหลักการทำงานของออสซิลโลสโคป
3. สามารถนำไปประยุกต์ร่วมกับคอมพิวเตอร์เป็นออสซิลโลสโคป
4. เพื่อประหยัดต้นทุนในการซื้อออสซิลโลสโคป

1.3 ขอบเขตของโครงการ

1. Hardware - สามารถแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล
- สามารถวัดได้ 2 ช่องสัญญาณ
- ส่งสัญญาณเข้าสู่คอมพิวเตอร์โดยผ่านทางพอร์ต USB
- สามารถวัดสัญญาณในย่านความถี่ 50 kHz
2. Software - แสดงผลเป็นรูปสัญญาณต่างๆ ได้
- สามารถเลือกช่องสัญญาณในการวัดได้
- สามารถปรับคาบเวลาและแรงดันเพื่อให้สะดวกต่อการวัดสัญญาณได้

1.4 ขั้นตอนการดำเนินงาน

1. กำหนดปัญหาและสิ่งที่ต้องการ
2. วิเคราะห์และออกแบบทางด้าน Hardware
 - ออกแบบวงจรและทดสอบการใช้งาน
 - ประกอบชิ้นงานด้าน Hardware
3. วิเคราะห์และออกแบบทางด้าน Software
 - Interface โปรแกรมกับ Hardware
 - ส่วนของการแสดงผล
4. ทดสอบการทำงานและปรับปรุง
 - ทดสอบการ error

บทที่ 2

ทฤษฎีโดยทั่วไป

2.1 ลักษณะการทำงานทั่วไปของดิจิตอลออสซิลโลสโคป (Digital Oscilloscopes)

ดิจิตอลออสซิลโลสโคป ได้รับการออกแบบให้มีขีดความสามารถในการตอบสนองความต้องการของผู้ใช้ ซึ่งไม่สามารถทำได้ใน อนาล็อกออสซิลโลสโคป (Analog Oscilloscopes) เดิมๆ ที่มีอยู่ โดยที่ความแตกต่างพื้นฐานระหว่าง อนาล็อกออสซิลโลสโคปกับดิจิตอลออสซิลโลสโคป อยู่ที่รูปแบบของการเก็บภาพ อนาล็อกออสซิลโลสโคป ใช้กลไกในการเก็บรูปคลื่นซึ่งใช้หลอด CRT โดยหลอดที่ว่ามีขีดความสามารถทำให้สัญญาณที่เกิดขึ้น สามารถแสดงผลได้ชั่วขณะหนึ่งเท่านั้น ไม่สามารถเก็บเป็นข้อมูลได้ ส่วนดิจิตอลออสซิลโลสโคป จะสุ่มตัวอย่างรูปคลื่นสัญญาณอินพุท (Input) มาเปลี่ยนเป็นแบบไบนารี (Binary Data) แล้วทำการส่งไปแสดงผลทางจอภาพ ในการเปลี่ยนสัญญาณอินพุท เป็นแบบไบนารีนั้น ทำให้เรามีข้อมูลที่สามารนำมาเก็บไว้ได้ ดังนั้นดิจิตอลออสซิลโลสโคป จึงสามารถนำภาพของสัญญาณที่วัดได้มาแสดงผลใหม่อีกครั้ง โดยไม่ต้องทำการวัดสัญญาณอินพุทใหม่

ดิจิตอลออสซิลโลสโคป สามารถแบ่งกระบวนการในการทำงานได้ออกเป็น 3 ช่วงใหญ่ๆ คือ ช่วงของการสุ่มตัวอย่างสัญญาณอินพุท มาแปลงเป็นสัญญาณดิจิตอล, ช่วงของการเก็บข้อมูล และ ช่วงของการแสดงผลของสัญญาณ

เริ่มด้วยเมื่อมีสัญญาณอินพุท ซึ่งเป็นเป็นสัญญาณอนาล็อกป้อนเข้ามา ก็จะทำกรสุ่มตัวอย่างของสัญญาณ และทำการควอนไทซ์ (Quantizing) เพื่อให้ได้จำนวนของจุดบนสัญญาณตามระดับที่เราต้องการ ค่าที่ได้จะถูกส่งไปยังวงจรแปลงสัญญาณจากอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC) หากเป็นวงจรที่ใช้สัญญาณดิจิตอล 8 บิต (bit) ก็จะได้ระดับของสัญญาณที่แปลงออกมา 2^8 หรือ 256 ระดับ ขั้นตอนถัดมาถูกควบคุมความเร็วในการทำงานด้วยฐานเวลา (time base) เดียวกัน ซึ่งฐานเวลานี้จะกำเนิดสัญญาณพัลส์ (Pulse) ที่มีความถี่ที่เหมาะสม ในการสุ่มตัวอย่าง และจะเป็นตัวกำหนดจุดเวลา เพื่อเป็นจุดอ้างอิงค่าควอนไทซ์ของสัญญาณอินพุทด้วย ซึ่งเป็นฐานเวลาแบบดิจิตอลที่มีความเที่ยงตรงสูงมาก และใช้เป็นเวลาอ้างอิงในการทำงานของวงจร ค่าที่ถูกแปลงเป็นดิจิตอล จะอยู่ในรูปแบบของข้อมูลแบบขนาน แล้วจะถูกส่งไปยัง ตัวแปลงสัญญาณเพื่อแปลงสัญญาณให้อยู่ในรูปแบบอนุกรม โดยใช้ USB (Universal Serial Bus) Module เป็นตัวแปลง แล้วทำการส่งไป

ยังพอร์ต (Port) USB เพื่อทำการส่งเข้าคอมพิวเตอร์ เพื่อให้โปรแกรมคอมพิวเตอร์เป็นตัวจัดการเก็บ และ บันทึกค่าที่ได้แล้วส่งมาแสดงผลทางจอมอนิเตอร์

2.2 ขอบเขตการวัด

สำหรับการบอกขอบเขตของดิจิตอลออสซิลโลสโคปนั้น นอกจากจะสามารถบอกเป็น ค่าความถี่สูงสุดที่เครื่องสามารถทำการวัดได้แล้ว ยังต้องบอกค่าอัตราการสุ่มตัวอย่างข้อมูลควบคู่ไปด้วย โดยปกติแล้วจะมีค่าเป็นล้านครั้งต่อวินาที (MS/s) เช่น 20 MS/s 20 MHz ,40 MS/s 100 MHz , 100 MS/s 100 MHz และ 200 MS/s 70 MHz เป็นต้น ค่าเหล่านี้จะบอกอะไรบ้าง

เริ่มด้วยค่าอัตราการสุ่มตัวอย่างข้อมูลจะชี้ให้เห็นถึงความละเอียด และคุณภาพของภาพที่ปรากฏบนจอ ซึ่งประกอบขึ้นมาจากจุดที่ได้จากการสุ่มตัวอย่างบนรูปคลื่นที่วัด ถ้าจำนวนจุดที่ได้มีจำนวนมาก ภาพที่ได้ก็就会有ความถูกต้องสมบูรณ์มาก การสูญเสียจุดจากการสุ่มตัวอย่างไปเพียงเล็กน้อย ในบางรูปคลื่น ก็อาจเป็นการสูญเสียรายละเอียดของรูปคลื่นนั้นไปได้ ถ้าอัตราการสุ่มตัวอย่างมีค่ามาก นั่นคือ ดิจิตอลออสซิลโลสโคปจะมีความละเอียดของรูปคลื่นมากด้วย ส่วนความถี่ที่บอกมานั้นก็ยังคงเป็นขอบเขตการวัดความถี่สูงสุดของดิจิตอลออสซิลโลสโคป ในลักษณะเดียวกับอนาล็อก ออสซิลโลสโคป

ถ้าหากต้องการจะรู้ว่ารูปคลื่นที่ปรากฏบนจอ นั้นมีความละเอียดเท่าใด ก็สามารถทำได้ด้วยการ คำนวณแบบง่ายๆ ตามสูตร ดังต่อไปนี้

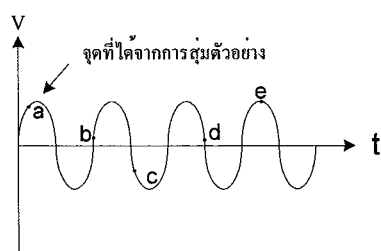
$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{\text{อัตราการสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคป}}{\text{ค่าความถี่ที่ทำการวัด}} \quad (2.1)$$

ตัวอย่างเช่น ดิจิตอลออสซิลโลสโคปมีอัตราการสุ่มตัวอย่าง 50 MS/s ใช้วัดสัญญาณที่มีความถี่ 500 kHz ดังนั้นจะได้

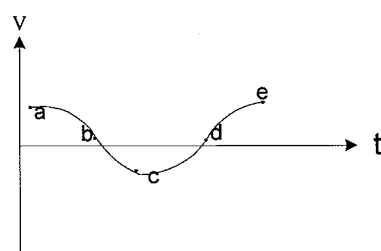
$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{50 \text{ MS/s}}{500 \text{ KHz}} = 100 \quad \text{จุด}$$

จะเห็นว่าภาพที่แสดงผลบนจอ นั้นในหนึ่งรูปคลื่น จะเกิดจากการเรียงกันของจุดจำนวน 100 จุด แต่ถ้าหากความถี่ที่ใช้วัดเปลี่ยนเป็น 10 MHz ที่อัตราการสุ่มตัวอย่างเดิมความละเอียดของภาพใน

หนึ่งรูปคลื่นจะมีเพียง 5 จุด ต่อรูปคลื่นเท่านั้น ซึ่งจากทั้ง 2 กรณี สามารถสรุปได้ว่า เมื่อนำมาวัดค่า สัญญาณที่มีความถี่ต่ำๆ จะให้ความละเอียดของภาพสูง แต่เมื่อนำมาวัดสัญญาณที่มีความถี่สูงๆ แล้ว จะให้ภาพที่มีความละเอียดชัดเจนได้น้อยลง



(ก)



(ข)

รูปที่ 2.1 ลักษณะของการเกิดเอเลียสซิ่ง

(ก) สัญญาณอินพุตเมื่อมีการสุ่มตัวอย่างต่ำเกินไป

(ข) เมื่อแสดงผลเกิดเป็นสัญญาณเอเลียสซิ่ง

ปัญหาอย่างหนึ่งซึ่งเกิดขึ้นกับดิจิทัลออสซิลโลสโคป คือ การที่สัญญาณที่จะทำการวัด มีความถี่สูงมากๆ เมื่อมีการสุ่มตัวอย่างสัญญาณดังกล่าว แล้วนำมาสร้างให้ปรากฏบนจออีกครั้ง ผลที่ได้บนจอจะเป็นภาพที่ต่างไปจากสัญญาณที่วัดจริง เรียกว่า สัญญาณเอเลียส (Alias signal) อันเกิดจาก อัตราการสุ่มต่ำกว่าความถี่สัญญาณที่วัด โดยดูได้จาก ตัวอย่างในรูปที่ 2.1 ในการใช้งานควรพยายามหลีกเลี่ยง อย่าให้เกิดสัญญาณเอเลียสขึ้น เพราะว่าสัญญาณเอเลียสเป็นรูปคลื่นที่มีความถี่ต่างไปจากรูปคลื่นจริงอย่างมาก ซึ่งไม่สามารถนำไปวิเคราะห์ได้

การทำให้รูปคลื่นที่ปรากฏบนจอ มีความสมบูรณ์ถูกต้องนั้น จำนวนจุดที่ได้จากการสุ่มตัวอย่าง ต้องมีมากกว่า 2 เท่าของความถี่ที่วัดนั้นใน 1 รูปคลื่น และเมื่อทำการตรวจวัดขอบขาขึ้น และขอบขาลงของพัลส์จะต้องได้จำนวนครั้งที่สุ่มตัวอย่างมากกว่า 10 ครั้งต่อ 1 รูปคลื่น นอกจากการสุ่มตัวอย่างที่ต้องการความเร็วในการทำงานพอสมควรแล้วยังต้องพิจารณาอีกด้วยว่าวงจร ADC นั้น สามารถทำงานได้ด้วยความเร็วขนาดเท่าใด ซึ่งจะพิจารณากันในหัวข้อต่อไป

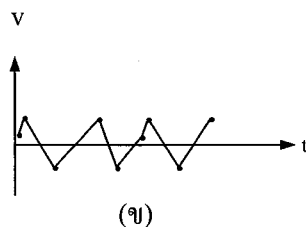
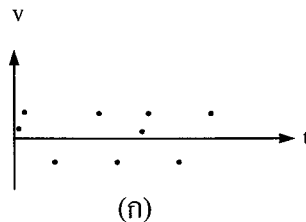
สิ่งที่ทำให้เรารู้ถึงขอบเขตการวัด ของดิจิตอลออสซิลโลสโคป อีกอย่างหนึ่งก็คือ ค่าความถี่สูงสุดของสัญญาณที่ดิจิตอลออสซิลโลสโคปสามารถทำการเก็บข้อมูลได้ ซึ่งเราเรียกว่าค่า Useful Storage Bandwidth จะมีค่าเป็นเท่าไรนั้นขึ้นอยู่กับความสามารถในการสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคปด้วย ซึ่งค่า USB สามารถหาได้จากสูตร

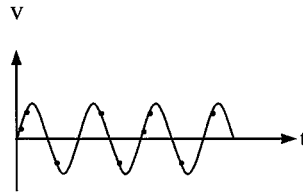
$$\text{Useful Storage Bandwidth} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{25} \quad (2.2)$$

25

โดยที่ ตัวเลข 25 เป็นจำนวนจุดที่ใช้ในการสร้างภาพบนจอใน 1 รูปคลื่น ซึ่งเป็นค่าที่ใช้โดยทั่วไป

เนื่องจากดิจิตอลออสซิลโลสโคป ไม่สามารถแสดงรายละเอียดของสัญญาณได้ทั้งหมด จึงสามารถแก้ไขได้โดยการสร้างสัญญาณสุ่มตัวอย่างสอดแทรก ลงไปในการสุ่มตัวอย่างแบบปกติ ผลที่ได้คือ จะมีการเสริมจุดเข้าไปในรูปคลื่นเดิม ภาพที่ได้จะมีความต่อเนื่องสม่ำเสมอมากขึ้น และเรียกวิธีการนี้ว่า “ทฤษฎีการสอดแทรก” (interpolation methods) ซึ่งแสดงตัวอย่างการสอดแทรกสัญญาณในรูปที่ 2.2





(ค)

รูปที่ 2.2 ทฤษฎีการสอดแทรก

(ก) การแสดงผลแบบจุด

(ข) การสอดแทรกด้วยวิธีเวกเตอร์

(ค) การสอดแทรกแบบซายน์

ในรูปที่ 2.2 (ก) จะเป็นการแสดงให้เห็นถึงการสร้างภาพให้ปรากฏบนจอ โดยการเรียงจุดที่ได้จากการสุ่มตัวอย่างโดยปกติจะได้ประมาณ 25 จุดต่อรูปคลื่น ส่วนรูปที่ 2.2 (ข) เป็นการลากเส้นเชื่อมต่อระหว่างจุดที่ได้มา ทำให้ได้ภาพที่เป็นเส้นตรงที่เชื่อมต่อกัน 10 เส้นต่อรูปคลื่น ซึ่งวิธีการนี้เรียกว่า “การสอดแทรกแบบลิเนียร์” (linear interpolation) หรือการแสดงผลแบบเวกเตอร์ (vector display) ดังนั้น เมื่อเป็นการแสดงผลของรูปคลื่นซายน์ ค่า Useful Storage Bandwidth จะเป็น

$$\text{Useful Storage Bandwidth} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{10} \quad (2.3)$$

สำหรับรูปที่ 2.2 (ค) เป็นการสอดแทรกโดยการนำเอาฟังก์ชันซายน์มาคำนวณลากเส้นเชื่อมต่อระหว่างจุด(sine interpolation) ซึ่งวิธีการนี้จะใช้จุดเพียง 2.5 จุดต่อรูปคลื่นเท่านั้น ในการแสดงผล ดังนั้นค่า Useful Storage Bandwidth จะเป็น

$$\text{Useful Storage Bandwidth} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{2.5} \quad (2.4)$$

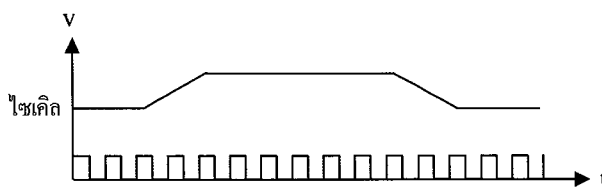
ซึ่งทำให้ค่า Useful Storage Bandwidth มีค่ามากขึ้น เท่ากับว่าขอบเขตของดิจิทัลออสซิลโลสโคปก็ถูกขยายมากไปด้วย

2.3 การสุ่มตัวอย่างของดิจิตอลอสซิลโลสโคป

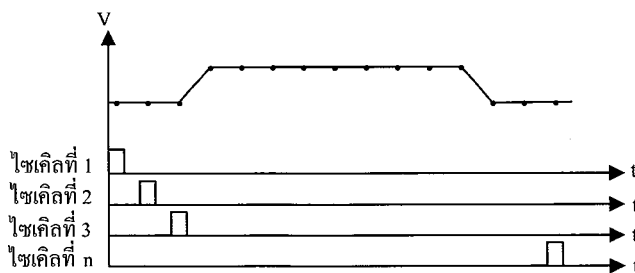
2.3.1 ดิจิตอลอสซิลโลสโคปใช้การสุ่มตัวอย่างด้วยกัน 2 แบบ คือ

การสุ่มตัวอย่างแบบเวลาจริง (Real Time or One-Shot) จะเกิดการสุ่มตัวอย่างขึ้นทันทีที่มีการวัดสัญญาณอินพุตได้ โดยผลที่ได้จะมาจากรูปคลื่นจริงๆ และจะมีความเหมือนกับรูปคลื่นจริงมาก ส่วนมากจะใช้กับสัญญาณที่เกิดขึ้น เพียงชั่วขณะหรือใช้ในการสุ่มตัวอย่าง บางส่วนของสัญญาณที่ต้องการวิเคราะห์เป็นพิเศษ ดังนั้นความเร็วของการสุ่มตัวอย่างแบบเวลาจริงนี้ จึงต้องสูงพอที่จะทำงานในกรณีดังกล่าวได้ การสุ่มตัวอย่างแบบนี้ จะทำงานแบบผ่านครั้งเดียวคือ จะมีการสุ่มตัวอย่างจุดเดียวในแต่ละครั้งของการทำงาน จึงสามารถนำไปตรวจจับสัญญาณที่เกิดขึ้นเพียงชั่วขณะ เช่น แรงไฟกระชาก, สัญญาณควบคุมเครื่องกล, สัญญาณลักษณะทางชีววิทยา ฯลฯ ซึ่งจะปรากฏให้สามารถวัดได้ในระยะเวลาที่สั้นมาก การจะใช้วิธีสุ่มตัวอย่าง จึงต้องใช้แบบที่เมื่อเริ่มสุ่มและสิ้นสุดการสุ่ม ต้องได้รูปสัญญาณที่เกิดขึ้น รูปที่ 2.4 (ก) จะเห็นการสุ่มตัวอย่างแบบเวลาจริงที่ใช้ในการวัดรูปคลื่นพัลส์หนึ่งลูก

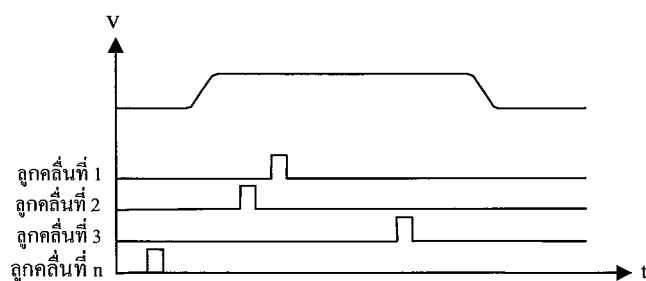
การสุ่มตัวอย่างแบบเวลาเสมือน (Equivalent Time) การสุ่มตัวอย่างแบบนี้โดยมากจะใช้กับสัญญาณที่เกิดขึ้นซ้ำๆกัน หรือ ใช้ตรวจจับบางส่วนของสัญญาณที่เกิดขึ้นซ้ำๆกัน การสุ่มตัวอย่างแบบเวลาเสมือนสามารถแบ่งออกเป็น 2 ชนิดย่อยๆ อีก คือ การสุ่มชนิดเป็นลำดับ (Sequential Sampling) และการสุ่มชนิดไม่เป็นลำดับ (Random Sampling)



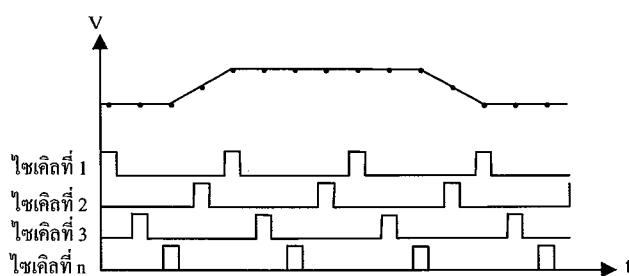
(ก)



(ข)



(ค)



(ง)

รูปที่ 2.3 เทคนิคการสุ่มตัวอย่างแบบต่างๆ ของดิจิตอลออสซิลโลสโคป

(ก) การสุ่มแบบเวลาจริง

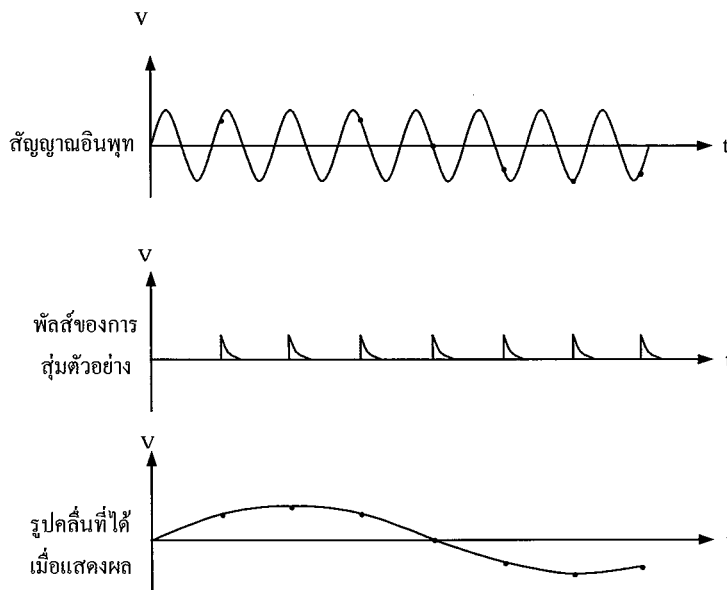
(ข) การสุ่มแบบเวลาเสมือนชนิดเป็นลำดับ

(ค) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับ โดยใช้จุดเดียวในการทำงานหนึ่งครั้ง

(ง) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับ โดยใช้หลายจุดในการทำงานหนึ่งครั้ง

ในการสุ่มตัวอย่างชนิดเป็นลำดับจะเป็นดังรูปที่ 2.4 (ข) ซึ่งการสุ่มตัวอย่างชนิดนี้ในการทำงานหนึ่งครั้ง หรือหนึ่งไซเคิลจะต้องได้จุดบนรูปคลื่น 1 จุดแล้วนำไปเก็บไว้ในหน่วยความจำ จนกระทั่งหน่วยความจำเต็ม เมื่อนำไปแสดงผลก็จะเป็นไปตามรูปที่ 2.5 ส่วนการสุ่มตัวอย่างแบบเวลาเสมือนชนิดไม่เป็นลำดับนั้นจะเป็นดังรูปที่ 2.4 (ค) ซึ่งการสุ่มตัวอย่างแบบนี้จะใช้เมื่อมีการทำ ปรีทริกเกอร์ (pre-trigger) เพื่อดูรูปคลื่นที่อยู่หลังจุดทริก ซึ่งการสุ่มตัวอย่างแบบเป็นลำดับจะไม่สามารถทำได้ ในการทำงานหนึ่งไซเคิลจะได้จุดบนรูปคลื่น 1 จุดเช่นกัน แต่จะเป็นจุดตรงส่วนใดของรูปคลื่นก็ได้ โดยจะทำได้เรื่อยๆ จนหน่วยความจำเต็ม

ในรูปที่ 2.4 (ง) จะเป็นการสุ่มตัวอย่างแบบไม่เป็นลำดับเช่นกัน แต่จะต่างกันตรงที่ในการทำงานหนึ่งไซเคิลนั้นจะได้จุดหลายจุดบนรูปคลื่น และในการทำงานครั้งต่อไปก็จะได้จุดหลายจุดแต่จะเป็นจุดที่ไม่ซ้ำจุดเดิม (จุดใดก็ได้) การสุ่มตัวอย่าง ในรูปนี้จะนำไปใช้ประโยชน์เมื่อมีการวิเคราะห์รูปคลื่น โดยการนำข้อมูลที่ได้จากการสุ่มตัวอย่างแบบนี้ มาเปรียบเทียบกับรูปคลื่นอื่นๆ โดยเฉพาะอย่างยิ่งการวิเคราะห์รูปคลื่นในส่วนที่เป็นการทรักในลักษณะต่างๆ กัน



รูปที่ 2.4 ผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุตแบบเป็นลำดับ

สำหรับดิจิตอลออสซิลโลสโคป ที่ระบุความสามารถในการวัดไว้ เช่น 100 MHz นั่นคือความสามารถในการวัดสัญญาณความถี่ 100 MHz แล้วดิจิตอลออสซิลโลสโคปจะแสดงผลได้ทันทีที่ 100 MHz เฉพาะสำหรับสัญญาณที่เกิดขึ้นช้าๆ กัน แต่หากเป็นสัญญาณชั่วขณะเกิดขึ้นแล้วใช้การสุ่มตัวอย่างแบบเวลาจริง ดิจิตอลออสซิลโลสโคปนี้จะมีจะวัดสัญญาณชั่วขณะได้เพียง 10 MHz เท่านั้น

เมื่อคิดเทียบเป็นอัตราส่วน ระหว่างการทำงานกับสัญญาณปกติและการทำงานกับสัญญาณชั่วขณะของดิจิตอลออสซิลโลสโคป ก็จะได้เป็น 10:1 และสามารถเพิ่มเป็น 5:1 หรือ 2:5:1 ได้ หมายถึง ดิจิตอลออสซิลโลสโคปจะต้องมีการใช้วิธีการสอดแทรกอย่างมากเลยทีเดียว สาเหตุที่เกิดกรณีดังกล่าวขึ้นนั้นมาจากการที่ความสามารถในการสุ่มตัวอย่างถูกกำหนดด้วยสัญญาณนาฬิกาภายใน

แต่สัญญาณที่เข้ามาวัดจะเป็นการทำงานแสดงผลแบบอนาลอก ซึ่งขอบเขตของความถี่จะกว้างมาก นี่คือการนำข้อดีของอนาลอกมาใช้

2.3.2 การเลือกใช้อัตราการสุ่มตัวอย่าง

การเลือกใช้อัตราการสุ่มตัวอย่างนั้น เราควรเลือกอัตราการสุ่มตัวอย่างให้เหมาะสมต่อวัดสัญญาณในแต่ละย่านความถี่ เนื่องมาจากถ้าเราให้อัตราการสุ่มตัวอย่างที่น้อยเกินไปหรือมากเกินไปจะทำให้ดิจิทัลออสซิลโลสโคป ไม่สามารถที่จะ Plot รูปสัญญาณที่เราควรจะได้ จากหลักการของการสุ่มตัวอย่างเราควรใช้จำนวนจุดในการสุ่มตัวอย่างอย่างน้อย 2 จุดต่อ 1 รูปคลื่น แต่ในความเป็นจริงแล้วถ้าเราต้องการให้รูปคลื่นที่วัดออกมานั้นมีความสมจริง เราอาจจะต้องใช้จำนวนจุดในการสุ่มตัวอย่างถึง 10 จุดต่อ 1 รูปคลื่น และถ้าเราให้อัตราการสุ่มตัวอย่างที่มากเกินไป จะทำให้รูปคลื่นที่วัดออกมานั้นเหมือนมีการขยายรูปคลื่นออก ทำให้ไม่ตรงกับความเป็นจริงได้

ตัวอย่าง การคำนวณหาอัตราการสุ่มตัวอย่าง

ถ้าเราเลือกย่าน Time/DIV ที่ 50 msec สามารถคำนวณได้ดังนี้

$$1 \text{ ช่องในจอสโคป} = 50 \text{ msec}$$

$$1 \text{ ช่องในจอสโคป Plot } 10 \text{ จุด}$$

$$1 \text{ จุด} = 50\text{msec}/10 = 5 \text{ msec}$$

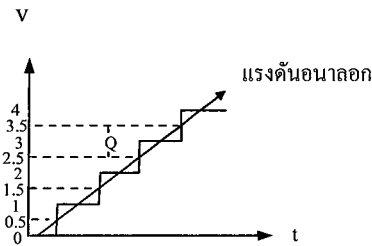
$$\text{จะได้อัตราการสุ่มตัวอย่าง} = 1/5\text{msec} = 200 \text{ Hz}$$

สรุป สามารถเขียนสมการได้ดังนี้

$$\text{ความถี่ Sampling} = 10/\text{TimeDivision}$$

2.4 ขั้นตอนหลังการสุ่มตัวอย่าง

เมื่อเราได้ทำการสุ่มตัวอย่างไปแล้ว ค่าที่ได้จะไม่ทำการแปลงเป็นสัญญาณดิจิทัลในทันที ทั้งนี้เนื่องจากค่าที่มาจากการสุ่มตัวอย่างนั้น เป็นค่าที่มีระดับแตกต่างกันอย่างมากมาย ในทางปฏิบัติเรา จะไม่สามารถแปลงเป็นสัญญาณดิจิทัลได้มากขนาดนั้น จึงจำเป็นต้องแบ่งค่าที่ได้มาจากการสุ่มตัวอย่างออกเป็นกลุ่มๆ เราเรียกว่า “ควอนไทซิง (quantizing)” ซึ่งการควอนไทซิงนี้ จะเป็นการนำค่ามาจากการสุ่มตัวอย่างที่มีค่าใกล้เคียงกันมาก อยู่ในกลุ่มเดียวกัน ต่อจากนั้นจะนำค่าตัวเลขมาใช้แทนกลุ่มสัญญาณดังกล่าว



รูปที่ 2.5 การควอนไทซ์ โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลเปลี่ยนแรงดันอนาลอกเป็นเลขฐานสองที่ระดับต่างๆ

การแบ่งกลุ่มสัญญาณ จะมีลักษณะเป็นขั้นบันได ตามรูปที่ 2.9 โดยให้มีการเปลี่ยนแปลงของค่าที่ได้จากการสุ่มตัวอย่างอยู่ระหว่าง 0-4 โวลต์ และจัดเป็นกลุ่มได้ 4 กลุ่ม คือ ช่วงระดับ 0-1, 1-2, 2-3 และ 3-4 โวลต์ โดยให้สัญญาณที่อยู่ในระดับ 0-1 มีค่า 0.5 แทนกลุ่มนี้ และ 1.5 แทนกลุ่ม 1-2, ระดับ 2.5 แทนกลุ่ม 2-3 และระดับ 3.5 แทนกลุ่ม 3-4 ค่า 0.5, 1.5, 2.5 และ 3.5 จะนำไปใช้ใน ADC อีกครั้ง เพื่อทำเป็นสัญญาณดิจิทัล

เนื่องจากวิธีการควอนไทซ์ดังกล่าว มีโอกาสที่จะเกิดค่าคลาดเคลื่อนได้ อันเนื่องมาจากสัญญาณรบกวน ที่เข้ามาในระบบทำให้ค่าที่ได้ในการจัดกลุ่ม ผิดไปจากความเป็นจริงได้ และเนื่องจากการควอนไทซ์นั้นประกอบจากวงจรดิจิทัลอิเล็กทรอนิกส์ ดังนั้นจึงเกิดความไม่แน่นอนของผลที่ได้อยู่บ้าง โดยความไม่แน่นอนเหล่านี้จะแสดงค่าบวก, ลบ ของบิตสุดท้าย

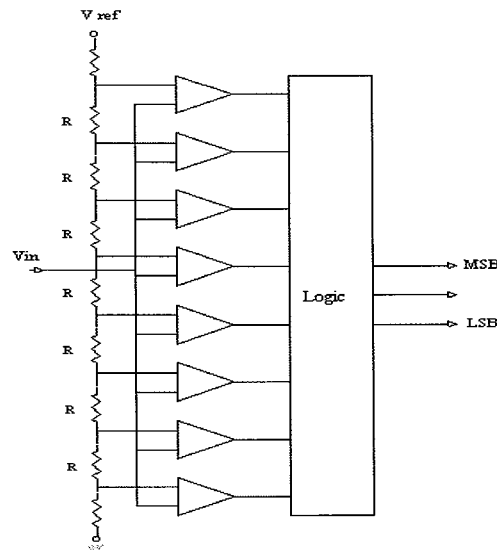
เมื่อผ่าน ADC แล้ว นอกจากบิตสุดท้ายจะเป็นค่าของความไม่แน่นอนแล้ว บิตอื่นๆ ก็ยังเป็นค่าผิดพลาด ที่เกิดจากสัญญาณรบกวนได้ด้วยเหมือนกัน แต่สัญญาณดิจิทัลที่ได้ส่วนใหญ่ก็ยังคงมีความเที่ยงตรงอยู่มาก

2.5 การแปลงอนาลอกเป็นดิจิทัล (Analog to Digital Converter: ADC)

ในการติดต่อสื่อสารกันระหว่างระบบอนาลอก และระบบดิจิทัลนั้นเป็นไปได้เลย ที่จะให้สัญญาณอนาลอก เข้ามาทำงานในระบบดิจิทัล ดังนั้นจึงต้องมีการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล ส่วนที่ทำหน้าที่ดังกล่าวนี้เราเรียกว่า “วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล” วิธีแปลง ADC นั้นมีหลายวิธีที่มีใช้อยู่ในปัจจุบันอาจแยกได้ 4 วิธีดังนี้

1. แบบอินทิเกรต (Integrating)
 2. แบบใช้วงจรเปรียบเทียบขนาน หรือแบบ “แฟลช” (Parallel Comparator Simultaneous “Flash”)
 3. แบบไบนารีแรมพ์ (Binary Ramp)
 4. แบบประมาณค่าอย่างต่อเนื่อง (Successive Approximation)
- แต่ในที่นี้เราจะอธิบายในแบบที่ใช้ในการทำออสซิลโลสโคปเท่านั้น

2.5.1 ADC แบบ Flash Converter

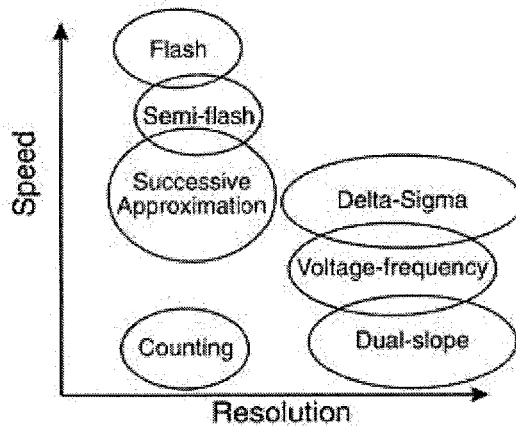


รูปที่ 2.6 แฟลชคอนเวอร์เตอร์

หลักการของ Flash Converter คือ การใช้การแบ่งแรงดันเป็นแรงดันหลายๆค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic จากรูป มีแรงดันเปรียบเทียบ 8 bit ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไปเปรียบเทียบกับ V_{in} แล้วมากกว่าก็จะปล่อยลอจิกออกมา ถ้าน้อยกว่าก็จะให้ลอจิก “1” ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก “0” วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล มีประโยชน์มากในการควบคุมอุปกรณ์สวิตซ์ซึ่งมีลักษณะการแปลงสัญญาณได้หลายวิธี แต่ละวิธีจะมีอัลกอริทึม ความรวดเร็วในการทำงาน และการใช้อุปกรณ์ฮาร์ดแวร์ต่างกันด้วย ทำให้ขนาดและราคาต่างกัน ขึ้นกับความต้องการของผู้ใช้ที่จะต้อง

เลือกให้เหมาะสมกับงานที่ใช้ และงบประมาณที่มีอยู่ ลำดับของความเร็วและความละเอียดของอัลกอริทึมต่างๆ เป็นดังรูป



รูปที่ 2.7 ลำดับของความเร็ว และความละเอียดของอัลกอริทึมต่างๆ

2.6 แบนวิดท์และอัตราการสุ่มตัวอย่าง(Bandwidth and Sample rate)

แบนวิดท์เป็นส่วนสำคัญที่ต้องระบุสำหรับดิจิตอลเซออร์เช่นเดียวกับสโคปแบบอนาลอก การขยายข้อมูลที่ป้อนเข้าของดิจิตอลเซออร์ และการกรองเป็นตัวตัดสิน กำหนดแบนวิดท์ขอบสัญญาณพัลส์ที่เร็วและจุดยอดของรูปคลื่นที่ฉับพลัน ประกอบด้วยส่วนประกอบสัญญาณความถี่สูงเพื่อที่จะบันทึกยอดและขอบของสัญญาณได้ถูกต้องแม่นยำ ดิจิตอลเซออร์ต้องมีแบนวิดท์เพียงพอเพื่อจะผ่านสัญญาณความถี่สูงที่มีการลดทอนต่ำ ต้องมีแบนวิดท์เท่าใด เพื่อแสดงการขยายจุดยอดสัญญาณอย่างถูกต้องแม่นยำ แบนวิดท์ของดิจิตอลเซออร์ควรมีมากกว่าของแบนวิดท์ของสัญญาณ ดังนั้นสิ่งแรกที่ต้องพิจารณาแบนวิดท์ของสัญญาณ โดยการประเมินค่าเวลาที่เพิ่มขึ้นเร็วกว่าสมมติผลตอบ สนองต่อระบบมีโพลเดียว แบนวิดท์ของสัญญาณจะเป็นดังนี้

2.6.1 แบนวิดท์ของสัญญาณ $0.35/(10\%-90\% \text{ rise time})$

แบนวิดท์ของดิจิตอลเซออร์แสดงความถี่ซึ่งถูกลดทอนลง 3 เดซิเบล การลดทอนนี้เกิดขึ้นอย่างค่อยเป็นค่อยไป เริ่มจากความถี่ต่ำกว่า ดังนั้นต้องเลือกดิจิตอลเซออร์ซึ่งมีแบนวิดท์สูงกว่าของสัญญาณ ผลกระทบต่ออัตราการสุ่มตัวอย่างของแบนวิดท์ที่ใช้

อัตราการสุ่มตัวอย่างของดิจิตอลเซออร์ สามารถลดแบนวิดท์ที่ใช้ เพื่อให้แน่ใจว่าการสุ่มตัวอย่างที่ใช้เพียงพอ เรารับมา 4 ตัวอย่างต่อรอบ กับการแทรก $\sin \frac{x}{x}$ หรือ 10 ตัวอย่างต่อรอบ กับการแทรก

เส้นตรงถ้าเป็นสัญญาณทรานเซียนพิจารณารายละเอียดอัตราการสุ่มตัวอย่าง ซึ่งเกิดชอท(Single Shot) ถ้าเกิดซ้ำๆ หลายครั้งสามารถใช้อัตราการสุ่มที่เท่าๆ กันอย่างรวดเร็ว

ดิจิทัลเซอร์ในอุดมคติที่ไม่มีสัญญาณรบกวน และให้สัญญาณจำกัด หลักการไนควิสต์(Nyquist Theorem) ต้องได้อย่างน้อย 2 ตัวอย่างต่อแต่ละลูกคลื่น อาจกล่าวอีกอย่างได้ว่าความถี่ข้อมูลป้อนเข้าที่สูงที่สุดห้ามเกินครึ่งหนึ่งของอัตราการสุ่มตัวอย่าง ขั้นตอนการสอดแทรก $\sin \frac{x}{X}$ สามารถจำลองสัญญาณข้อมูลป้อนเข้าในดิจิทัลเซอร์อย่างแม่นยำถูกต้องเหมาะสม ขั้นตอน $\sin \frac{x}{X}$ เหมาะกับส่วนโค้งระหว่างจุดตัวอย่างเพื่อแสดงรูปคลื่นที่เรียบ มีข้อเสียการสอดแทรก $\sin \frac{x}{X}$ สามารถขยายสัญญาณรบกวน เนื่องจาก สัญญาณรบกวนมีอยู่ในสัญญาณจริงและในดิจิทัลเซอร์ ดังนั้น $\sin \frac{x}{X}$ ควรจะใช้อย่างระมัดระวังโดยเฉพาะการสุ่มตัวอย่างเพียง 2 ตัวอย่างต่อลูกคลื่น

ขั้นตอน $\sin \frac{x}{X}$ จะสร้างโอเวอร์ซุ่มและพรีซุ่มบนขอบที่ไม่มีเป็นที่ต้องการด้วย ดังนั้นจึงต้องการตัวอย่างข้อมูลอย่างน้อย 2 อันบนขอบของสัญญาณ ผู้ใช้สามารถตรวจสอบจุดข้อมูลดิบที่ได้มาในออสซิลโลสโคปโดยใช้แสดง $\sin \frac{x}{X}$

สำหรับการแทนรูปคลื่นที่แม่นยำกว่า ดิจิทัลเซอร์ควรบันทึกอย่างน้อย 4 จุดตัวอย่างต่อลูกคลื่นของส่วนประกอบของคลื่นไซน์ที่มีความถี่สูงสุด จุดตัวอย่างที่เพิ่มเติม เพิ่มอัตราส่วนของสัญญาณต่อสัญญาณรบกวน สำหรับการสอดแทรก $\sin \frac{x}{X}$

การสอดแทรกเส้นตรง สามารถแสดงรูปคลื่นที่ถูกต้องแม่นยำ โดยปราศจากการขยายสัญญาณรบกวนเพื่อผลที่จำเป็นต้องการอย่างน้อย 10 ตัวอย่างต่อลูกคลื่น

2.7 ภาพรวมของระบบบัส (Bus) USB

ในการส่งข้อมูลของระบบบัส USB จะมีโฮสคอนโทรลเลอร์ (Host Controller) เป็นตัวควบคุมการสื่อสารข้อมูลบนระบบทั้งหมด และโฮสคอนโทรลเลอร์นี้ จะสนับสนุนบัสหรือเส้นทางข้อมูลเพียงหนึ่งเส้นทางเท่านั้น คอนเน็คเตอร์ (Connector) แต่ละตัวที่อยู่บนระบบบัสจะทำหน้าที่เป็นพอร์ต USB โดยอุปกรณ์ทุกตัวจะแบ่งเวลาการใช้บนบัสกัน ถึงแม้จะมีพอร์ตหลายพอร์ตต่ออยู่ในระบบบัส แต่ในระบบบัสจะมีเส้นทางข้อมูลที่แท้จริงเพียงเส้นทางเดียว คือในช่วงเวลาหนึ่งๆ จะมีโฮสหรืออุปกรณ์เพียงตัวเดียวเท่านั้นที่จะได้ส่งข้อมูล ซึ่งโฮสหนึ่งตัวอาจจะสนับสนุนโฮสคอนโทรลเลอร์ได้หลายตัวถึงอย่างไรโฮสคอนโทรลเลอร์แต่ละตัวก็จะมีบัสเป็นของตัวเอง

2.7.1 USB โฮส

USB โฮสคือเครื่องคอมพิวเตอร์ซึ่งประกอบไปด้วย โฮสคอนโทรลเลอร์และรูทฮับ (Root Hub) อยู่ภายใน ซึ่งทั้งสองตัวนี้จะทำงานร่วมกัน เพื่อให้ระบบปฏิบัติการสามารถสื่อสารกับอุปกรณ์บนบัสได้ โฮสคอนโทรลเลอร์จะเป็นตัวจัดรูปแบบข้อมูล สำหรับส่งไปบนบัสและแปลข้อมูลที่รับเข้ามาให้อยู่ในรูปแบบที่ระบบปฏิบัติการสามารถเข้าใจได้ นอกจากนี้โฮสคอนโทรลเลอร์ยังทำงานเกี่ยวกับฟังก์ชันอื่นๆ ที่เกี่ยวข้องกับการจัดการงานทางการสื่อสารบนบัสอีกด้วย ส่วนรูทฮับจะเป็นฮับที่ต่อกับโฮสคอนโทรลเลอร์โดยตรง และมีคอนเน็คเตอร์สำหรับใช้ต่อกับกับอุปกรณ์ USB อีกอย่างน้อยหนึ่งตัว USB โฮสจะต้องทราบได้ว่ามีอุปกรณ์ตัวใดบ้างที่ต่ออยู่บนบัส และอุปกรณ์แต่ละตัวนั้นมีความสามารถในการทำงานอย่างไรบ้าง

2.7.2 อุปกรณ์ USB

อุปกรณ์ USB หรืออุปกรณ์รอบข้าง USB เป็นสิ่งที่เรานำมาต่อกับพอร์ต USB บนเครื่องคอมพิวเตอร์หรือฮับ โดยตามหลักการแล้วเราเรียกอุปกรณ์เหล่านี้ว่า ฟังก์ชัน (Function) ซึ่งเป็นตัวเพิ่มความสามารถในการทำงานต่างๆ ให้แก่โฮส อุปกรณ์ทุกตัวที่อยู่บนระบบบัสจะมีแอดเดรส (Address) ที่ไม่เหมือนกัน อุปกรณ์ USB แต่ละตัวจะต้องมีวงจรมินิเจอร์อิเล็กทรอนิกส์และโค้ด (Code) โปรแกรมซึ่งใช้ในการติดต่อสื่อสารกับโฮส ในการทำงานนั้นอุปกรณ์ USB จะไม่สามารถเริ่มการติดต่อสื่อสารบนระบบบัส USB ได้ด้วยตัวเอง แต่จะต้องรอและตอบสนองกับการสื่อสารที่มาจากโฮส

2.7.3 USB ฮับ

ฮับจะมีพอร์ตที่ใช้สำหรับเชื่อมต่อกับอุปกรณ์ USB อยู่อย่างน้อยหนึ่งพอร์ต หน้าที่หลักอย่างหนึ่งของฮับคือเป็นตัวทวนสัญญาณ ซึ่งฮับจะรับเอาแพ็กเก็ตการสื่อสารเข้ามา และทำการขยายขนาดของสัญญาณขึ้น จากนั้นจึงส่งต่อไปยังโฮสคอนโทรลเลอร์ (หรือฮับอีกตัวหนึ่ง) หรือย้อนกลับไปยังอุปกรณ์รอบข้าง ฮับมีอยู่ด้วยกัน 2 แบบได้แก่ แบบที่ทำหน้าที่เป็นฮับอย่างเดียวและแบบที่แฝงมากับอุปกรณ์รอบข้าง เช่น คีย์บอร์ด และ มอนิเตอร์ ซึ่งรู้จักกันในชื่อของอุปกรณ์แบบผสม (Compound Device)

2.7.4 ฟังก์ชัน (Function)

ฟังก์ชัน คือ อุปกรณ์ USB ซึ่งสามารถรับและส่ง หรือควบคุมข้อมูลที่อยู่ระบบบัส ตามปกติแล้วฟังก์ชันจะถูกสร้างมาในลักษณะเป็นอุปกรณ์รอบข้างที่แยกออกจากกันและใช้สายเคเบิลเชื่อมต่อพอร์ตเข้ากับฮับ ฟังก์ชันแต่ละตัวต้องมีข้อมูลของคอนฟิกรูเรชัน ซึ่งอธิบายถึงความสามารถของมันและทรัพยากรที่มันต้องการบรรจุอยู่ในตัวมันด้วย ก่อนที่จะใช้งานฟังก์ชันได้นั้น โฮสต้องทำการตั้งค่า

การทำงานให้แก่มั่นก่อน ซึ่งข้อมูลคอนฟิกรูเรชันเหล่านี้จะรวมถึงรวมการจองแบนวิดธ์ของบัส และค่าต่างๆซึ่งใช้สำหรับฟังก์ชันนั้น โดยเฉพาะ

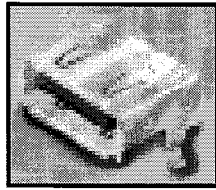
ตัวอย่างของฟังก์ชัน ได้แก่

1. อุปกรณ์ที่ใช้ติดต่อสื่อสารกับมนุษย์ (Human Interface Device) เช่น เมาส์, คีย์บอร์ด, แท็บเล็ต และจอยสติค
2. อุปกรณ์ที่เกี่ยวข้องกับงานทางด้านภาพ เช่น สแกนเนอร์, พรินเตอร์, หรือกล้องถ่ายภาพ
3. อุปกรณ์ที่เป็นสื่อเก็บข้อมูล เช่น ซีดีรอมไดร์ฟ, ฟล๊อปปีไดร์ฟ, หรือ ดีวีดีไดร์ฟ

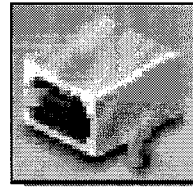
2.7.5 คอนเน็คเตอร์

ก่อนที่จะมาดูเรื่องคอนเน็คเตอร์ เราจะต้องทำความเข้าใจกับคำศัพท์อีก 2 ตัว ซึ่งระบุไว้ในข้อกำหนด USB นั่นคือ อัปสตรีม (Upstream) และ ดาวน์สตรีม (Downstream) ซึ่ง อัปสตรีม คือ การไหลของข้อมูลที่มีทิศทางไปยังโฮสคอมพิวเตอร์ และดาวน์สตรีมจะเป็นการไหลของข้อมูลที่มีทิศทางออกไปจากโฮสคอมพิวเตอร์ โดยที่อัปสตรีมพอร์ตจะอยู่บนตัวอุปกรณ์และรับข้อมูลดาวน์สตรีม ส่วนดาวน์สตรีมพอร์ตจะเป็นพอร์ตที่อยู่บนตัวโฮสและรับข้อมูลอัปสตรีม

คอนเน็คเตอร์ที่ใช้ในระบบบัส USB จะมีอยู่ 2 อนุกรม นั่นคือ อนุกรม A และ อนุกรม B แต่ละชนิดจะมีคู่เป็นตัวเสียบหรือปลั๊กตัวผู้ และตัวรับหรือปลั๊กตัวเมีย โดยที่ ปลั๊กตัวเมียอนุกรม A จะใช้เป็นดาวน์สตรีมพอร์ตซึ่งตามปกติจะติดตั้งอยู่บนโฮส(เมนบอร์ดของคอมพิวเตอร์) หรือฮับ มีหน้าที่เป็นเหมือนเอาต์พุตของโฮสหรือฮับ ปลั๊กตัวผู้อนุกรม A จะเสียบเข้ากับโฮสเสมอ โดยจะอยู่ที่ปลายด้านหนึ่งของสายเคเบิลและใช้เป็นตัวส่งข้อมูลอัปสตรีม ปลั๊กตัวเมียอนุกรม B จะใช้เป็นอัปสตรีมพอร์ตซึ่งตามปกติจะติดตั้งอยู่บนตัวอุปกรณ์ USB หรือฮับ มีหน้าที่เป็นเหมือนอินพุตให้กับอุปกรณ์ USB หรือฮับ ปลั๊กตัวผู้อนุกรม B เสียบเข้ากับฮับหรืออุปกรณ์ USB เสมอ โดยจะอยู่ที่ปลายอีกด้านหนึ่งของสายเคเบิลและใช้เป็นตัวส่งข้อมูลดาวน์สตรีม



(ก)

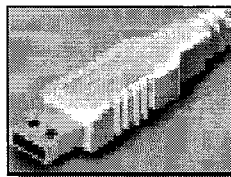


(ข)

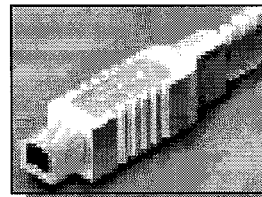
รูปที่ 2.8 ปลั๊ก USB ตัวเมียอนุกรม

(ก) ปลั๊ก USB ตัวเมียอนุกรม A

(ข) ปลั๊ก USB ตัวเมียอนุกรม B



(ก)



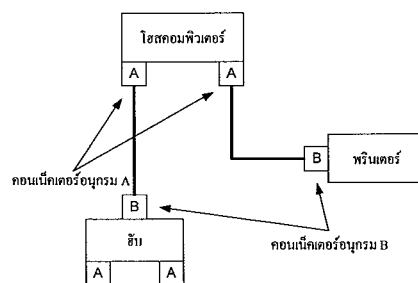
(ข)

รูปที่ 2.9 ปลั๊ก USB ตัวผู้อนุกรม

(ก) ปลั๊ก USB ตัวผู้อนุกรม A

(ข) ปลั๊ก USB ตัวผู้อนุกรม B

คอนเน็คเตอร์ทั้งสองอนุกรมจะไม่สามารถใช้แทนกันได้ ด้วยเหตุนี้จึงสามารถกำจัดปัญหาของการต่อสายย้อนทางได้ (การต่อดาว์นสตรีมเข้ากับดาว์นสตรีม หรือ การต่ออัพสตรีมเข้ากับอัพสตรีม)



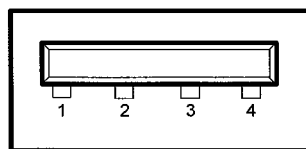
รูปที่ 2.10 ตำแหน่งการใช้คอนเน็คเตอร์แต่ละอนุกรม

จากรูปที่ 2.10 จะเห็นได้ว่าคอนเน็คเตอร์ที่อยู่ติดกับอุปกรณ์รอบข้างจะเป็นคอนเน็คเตอร์แบบ B ในขณะที่บนโฮสคอนโทรลเลอร์จะมีเพียงคอนเน็คเตอร์แบบ A เท่านั้น แต่บนฮับจะมีสองคอนเน็คเตอร์แบบ A และ B

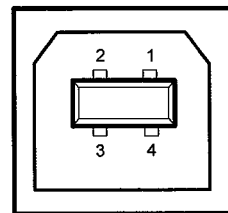
การเชื่อมต่อ USB จะใช้สายไฟเพียง 4 เส้นเท่านั้น โดยใช้สำหรับเป็นแหล่งจ่ายไฟ 2 เส้น (สายไฟเลี้ยง และ กราวด์) และอีกสองสายที่เหลือ จะใช้เป็นสัญญาณผลต่างหรือดิฟเฟอเรนเชียล (D+ และ D-) การใช้สีของสายไฟในเคเบิล USB จะเป็นมาตรฐานเพื่อหลีกเลี่ยงความสับสนระหว่างผู้ผลิตแต่ละราย สำหรับสายเคเบิลที่ใช้กับการเชื่อมต่อในโหมดพูลสปีดและไฮสปีดนั้น ไม่จำเป็นต้องมีการชีลด์ ทั้งนี้เพื่อเป็นการลดค่าใช้จ่ายลงไปด้วย ดังนั้นความยาวของสายเคเบิลจึงถูกจำกัดอยู่ที่ 3 เมตร

ตารางที่ 2.1 การจัดสัญญาณของขาคอนเน็คเตอร์

ขา	สีของสายไฟ	หน้าที่
1	แดง	Vbus (+5 โวลท์)
2	ขาว	D-
3	เขียว	D+
4	ดำ	กราวด์



ปลั๊กตัวเมียอนุกรม A



ปลั๊กตัวเมียอนุกรม B

รูปที่ 2.11 การจัดวางขาของคอนเน็คเตอร์ USB

2.7.6 การจัดการข้อมูลในระบบบัส USB

การสื่อสารข้อมูลในระบบบัส USB เป็นการสื่อสารที่มีโฮสเป็นจุดศูนย์กลาง ซึ่งโฮสมีหน้าที่ทำให้การส่งถ่ายข้อมูลทั้งหมดที่อยู่บนบัสเกิดขึ้นเร็วสุดเท่าที่จะเป็นไปได้ โดยโฮสจะจัดการ การส่งข้อมูลที่อยู่ภายในระบบบัสด้วยการแบ่งเวลาออกเป็นส่วนเล็กๆ เรียกว่าเฟรมและสำหรับโหมดโฮสปีดจะเป็นไมโครเฟรม โฮสจะแบ่งส่วนของเฟรมหรือไมโครเฟรมให้แก่การส่งถ่ายข้อมูลแต่ละชุด โดยช่วงเวลาของเฟรมสำหรับข้อมูลโลว์สปีดและฟูลสปีดแต่ละเฟรมจะมีค่าเท่า 1 มิลลิวินาที สำหรับการส่งถ่ายข้อมูลแบบโฮสปีด โฮสจะแบ่งเฟรมแต่ละเฟรมออกเป็น 8 ส่วน โดยให้ชื่อแต่ละส่วนว่าไมโครเฟรม และมีช่วงเวลาเท่ากับ 125 มิลลิวินาที แต่ละเฟรมหรือไมโครเฟรมจะเริ่มต้นด้วยตัวเริ่มเฟรมหรือเรียกสั้นๆ ว่า SOF (Start-of-Frame)

การส่งถ่ายข้อมูลแต่ละชนิดจะประกอบไปด้วยการสื่อสารหรือเรียกทับศัพท์ว่า ทรานแซกชัน (Transaction) มากกว่า 1 ชุด สำหรับการส่งถ่ายข้อมูลแบบคอนโทรลจะมีทรานแซกชันมากกว่า 1 ชุดเสมอ เนื่องจากพวกมันจะมีขั้นตอนหรือสเตจ (Stage) มากกว่า 1 สเตจ ซึ่งแต่ละสเตจจะประกอบไปด้วยทรานแซกชันมากกว่า 1 ชุด ส่วนการส่งข้อมูลแบบอื่นๆ นั้นจะใช้ทรานแซกชันหลายชุดก็ต่อเมื่อมันมีข้อมูลมากเกินกว่าที่จะใส่ลงไปในทรานแซกชันเดียวได้ ทรานแซกชันของการส่งถ่ายข้อมูลอาจทำได้เสร็จภายในหนึ่งเฟรมหรือไมโครเฟรม หรืออาจต้องแบ่งข้อมูลออกเป็นส่วนๆ แล้วส่งไปกับเฟรมหลายๆ ชุด ขึ้นอยู่กับการจัดเวลาของโฮสให้ทรานแซกชัน และความเร็วในการตอบสนองของอุปกรณ์

เนื่องจากการส่งถ่ายข้อมูลทุกครั้งจะต้องมีการใช้เส้นทางข้อมูลร่วมกัน ดังนั้นทรานแซกชันแต่ละชุดต้องมีแอดเดรสของอุปกรณ์ใส่ลงไปด้วย อุปกรณ์ทุกตัวจะมีแอดเดรสของตัวเองที่ไม่ซ้ำกับตัวอื่นซึ่งถูกกำหนดมาจากโฮส ทรานแซกชันแต่ละชุดจะเริ่มต้นเมื่อโฮสส่งบล็อกรหัสข้อมูลซึ่งมีแอดเดรสของอุปกรณ์ และตำแหน่งเฉพาะภายในอุปกรณ์ที่ใ้รับข้อมูลรวมอยู่ด้วย ทุกสิ่งทุกอย่างที่ส่งออกมาจากตัวอุปกรณ์จะเป็นการตอบสนองต่อการร้องขอที่รับเข้ามาจากโฮส เพื่อเป็นการส่งข้อมูลหรือสถานะของอุปกรณ์กลับออกไป

2.8 ลักษณะการทำงานทั่วไปของโมดูล USB

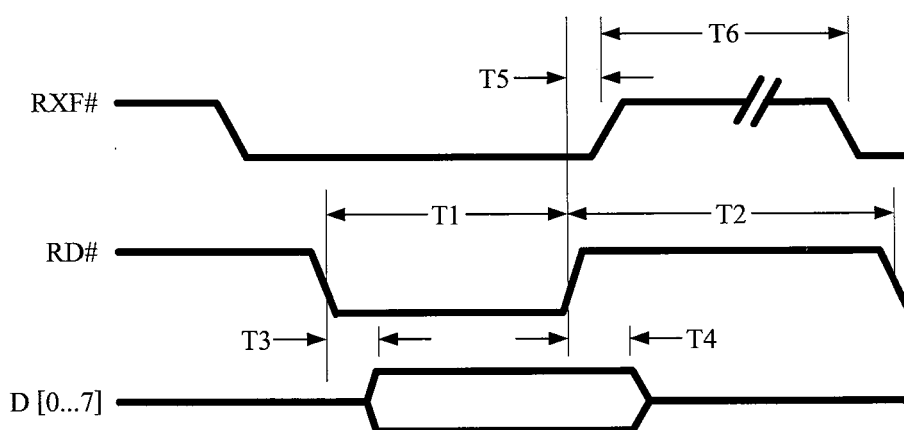
ลักษณะโดยทั่วไปของโมดูล USB จะทำหน้าที่แปลงข้อมูลที่รับมาเป็นแบบอนุกรม และเป็นตัวช่วยอำนวยความสะดวกในการเชื่อมต่อ USB ภายในโมดูล USB ประกอบด้วยไอซี FT245BM ซึ่งมีลักษณะการส่งถ่ายข้อมูลภายในแบบ FIFO ทำหน้าที่เป็นส่วนเชื่อมต่อกับระบบบัส USB

นอกจากนี้ยังมีไดร์ฟเวอร์ D2XX ไคเร็คไดร์ฟเวอร์ (D2XX Direct Driver) ช่วยอำนวยความสะดวกในการเขียนโปรแกรมเพื่อติดต่อกับ โมดูลให้ง่ายขึ้น

2.8.1 ลักษณะการทำงานของโมดูล USB

การส่งข้อมูลจากวงจรที่เชื่อมต่อกับ โมดูล เช่น ไมโครคอนโทรลเลอร์ ไปยังโฮสต์คอมพิวเตอร์สามารถทำได้โดยการเขียนข้อมูลขนาด 1 ไบต์ไปยังโมดูลในขณะที่ขา TXE# มีสถานะเป็นลอจิกต่ำ ถ้าบัฟเฟอร์สำหรับส่ง (384 ไบต์) ถูกเขียนข้อมูลลงไปแล้ว หรือยังอยู่ในสถานะที่ไม่ว่าง (Busy) เนื่องจากมีข้อมูลในครั้งก่อนหน้า ตัวโมดูลจะทำให้สถานะที่ขา TXE# เป็นลอจิกสูงเพื่อหยุดการเขียนข้อมูลจนกระทั่งข้อมูลของ FIFO ถูกส่งผ่านสาย USB ไปยังโฮสต์แล้ว

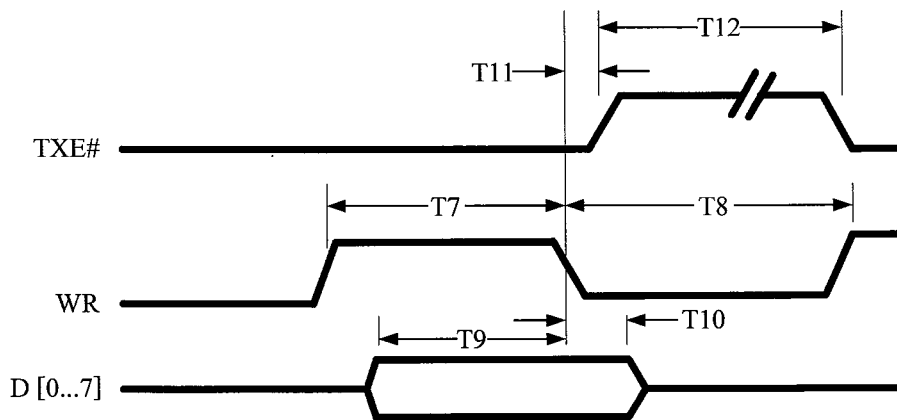
เมื่อโฮสต์ส่งข้อมูลไปยังอุปกรณ์รอบข้างโดยผ่านสาย USB แล้ว ตัวโมดูลจะทำให้ขา RXF# อยู่ในสถานะลอจิกต่ำเพื่อเป็นการบอกวงจรเชื่อมต่อว่าในขณะนั้นมีข้อมูลอย่างน้อย 1 ไบต์ พร้อมให้วงจรเชื่อมต่ออ่านออกไปได้ ข้อมูลจะถูกอ่านโดยวงจรเชื่อมต่อจนกระทั่งขา RXF# ของโมดูลมีสถานะเป็นลอจิกสูงซึ่งเป็นการบ่งบอกว่าข้อมูลที่อยู่ในบัฟเฟอร์หมดลงแล้ว



รูปที่ 2.12 ไตอะแกรมเวลาสำหรับการอ่านข้อมูลจากโมดูล USB

ตารางที่ 2.2 ค่าเวลาต่างๆสำหรับการอ่านข้อมูลจากโมดูล USB

เวลา	คำอธิบาย	ค่าต่ำสุด	ค่าสูงสุด	หน่วย
T1	ความกว้างของพัลส์ในช่วงเวลาที่ RD ทำงาน	50	-	ns
T2	ค่าเวลาพัลซาร์ระหว่างที่ RD หยุดทำงานถึง RD เริ่มทำงานอีกครั้ง	50	-	ns
T3	ช่วงเวลาที่ RD ทำงานเพื่อรับข้อมูล	-	30	ns
T4	ช่วงเวลาที่ข้อมูลยังคงอยู่หลังจากที่ RD หยุดทำงาน	10	-	ns
T5	ช่วงเวลาที่ RD หยุดทำงานเมื่อเทียบกับ RXF#	5	25	ns
T6	ช่วงเวลาที่ RXF# หยุดทำงานหลังจากกระบวนการอ่าน	80	-	ns



รูปที่ 2.13 ไคอะแกรมเวลาสำหรับการเขียนข้อมูลไปยังโมดูล USB

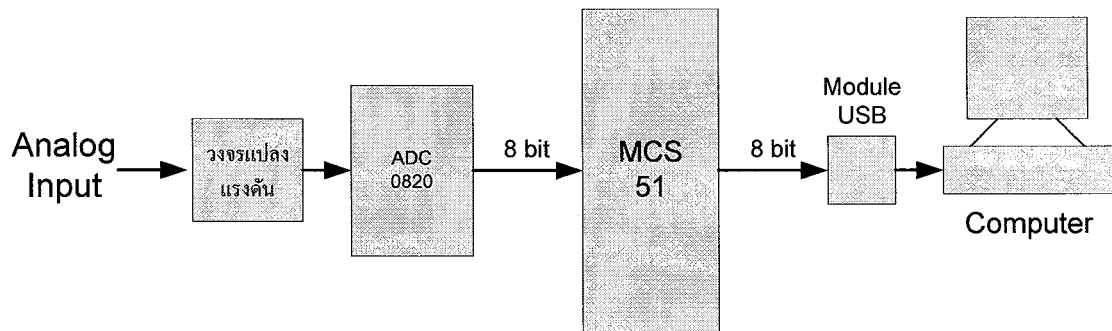
ตารางที่ 2.3 ค่าเวลาต่างๆสำหรับการเขียนข้อมูลจากโมดูล USB

เวลา	คำอธิบาย	ค่าต่ำสุด	ค่าสูงสุด	หน่วย
T7	ความกว้างของพัลส์ในช่วงเวลาที่ WR ทำงาน	50	-	ns
T8	ค่าเวลาพัลส์ระหว่างที่ WR หยุดทำงานถึง WR เริ่มทำงานอีกครั้ง	50	-	ns
T9	ช่วงเวลาที่ WR ทำงานเพื่อรับข้อมูล	-	20	ns
T10	ช่วงเวลาข้อมูลยังคงอยู่หลังจากที่ WR หยุดทำงาน	10	-	ns
T11	ช่วงเวลาที่ WR หยุดทำงานเมื่อเทียบกับ TXE#	5	25	ns
T12	ช่วงเวลาที่ TXE# หยุดทำงานหลังจากกระบวนการเขียน	80	-	ns

บทที่ 3

การวิเคราะห์และออกแบบ

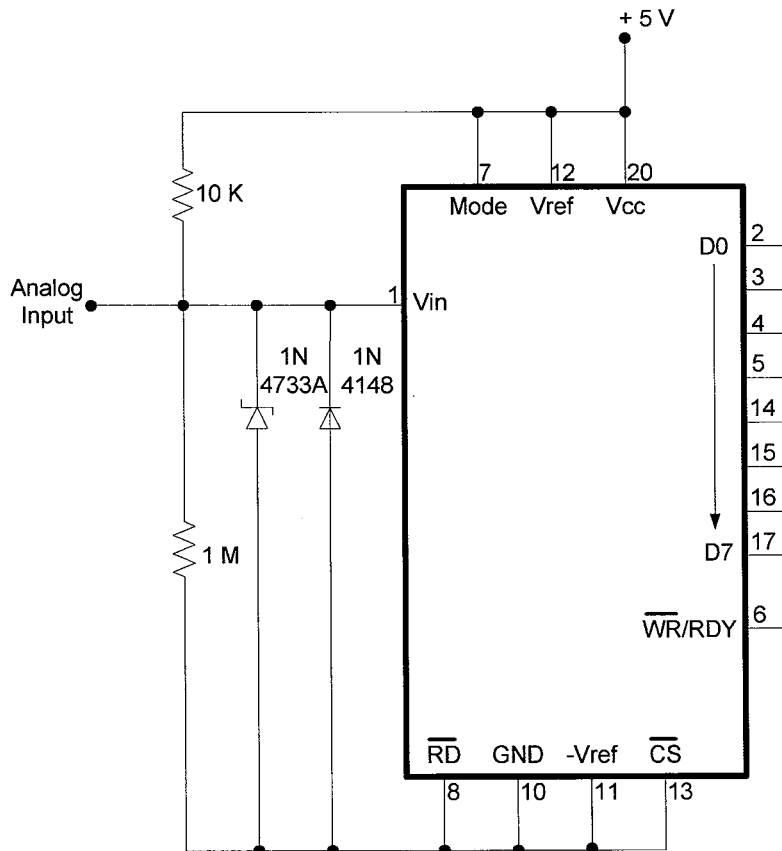
3.1 บล็อกไดอะแกรมของพีซีสโคป



รูปที่ 3.1 บล็อกไดอะแกรมของพีซีสโคป

จากบล็อกไดอะแกรม สัญญาณอินพุตที่เราได้มาจากการวัดของสัญญาณ ซึ่งเป็นสัญญาณแบบอนาลอก เข้ามาผ่านวงจรแปลงแรงดัน เพื่อให้อยู่ในช่วงที่ไอซี ADC 0820 สามารถทำงานได้ คือช่วง 0-5 โวลต์ ไอซี ADC 0820 จะทำการแปลงสัญญาณจากสัญญาณอนาลอก ให้เป็นข้อมูลขนาด 8 บิตแบบขนาน โดยความถี่ในการสุ่มของสัญญาณ (Sampling) จะสามารถปรับความถี่ในการสุ่มได้โดยใช้ไมโครคอนโทรลเลอร์ MCS-51 ในการปรับความถี่ แล้วไมโครคอนโทรลเลอร์ MCS-51 จะส่งข้อมูลขนาด 8 บิต ที่ได้ ให้กับโมดูล USB โดยไมโครคอนโทรลเลอร์ MCS-51 จะเป็นตัวจัดการส่งของข้อมูลว่าโมดูล USB ว่างมีความพร้อมที่จะรับข้อมูลหรือไม่ จากนั้นโมดูล USB จะทำการแปลงข้อมูลขนาด 8 บิต แบบขนานให้เป็นข้อมูลแบบอนุกรม แล้วทำการส่งให้กับคอมพิวเตอร์ ทางพอร์ต USB

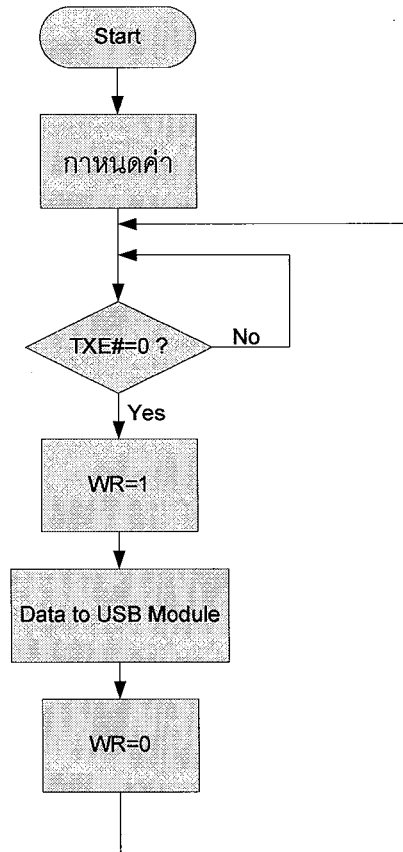
3.2 ภาคแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter)



รูปที่ 3.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล

สัญญาณที่ผ่านวงจรแปลงแรงดันของสัญญาณเข้ามา จะต้องมีความถี่ที่เหมาะสมกับการรองรับของไอซี ADC 0820 ที่สามารถป้อนระดับสัญญาณด้านอินพุทที่มีขนาด 0-5 โวลต์ ทำให้ต้องมีการแปลงแรงดันที่เข้ามา โดยเลือกระดับของสัญญาณด้านอินพุทไม่ให้มีขนาดสูงกว่าข้อกำหนดของไอซี ADC 0820 โดยสัญญาณดิจิทัลที่ได้จะถูกส่งไปให้กับ MCS-51 เพื่อเป็นตัวเช็คสถานะของโมดูล USB จากนั้นโมดูล USB จะรับข้อมูลเข้าไปเพื่อทำการส่งข้อมูลแบบอนุกรมให้กับคอมพิวเตอร์

3.3 ภาควควบคุมการส่งข้อมูลของโมดูล USB โดย MCS-51



รูปที่ 3.3 แสดง flow chart การส่งข้อมูลของโมดูล USB โดย MCS-51

อธิบายการทำงานของ MCS-51 ที่ควบคุมการส่งข้อมูลของโมดูล
เริ่มต้นการทำงานของโปรแกรม โปรแกรมจะกำหนดค่าต่างๆ ซึ่งจะมีรายละเอียดดังนี้

IE = 0 (ไม่ตอบสนองการอินเทอร์รัพ)

EA = 1 (ตอบสนองการอินเทอร์รัพ)

EX0 = 1 (ตอบสนองการอินเทอร์รัพ INT#0#)

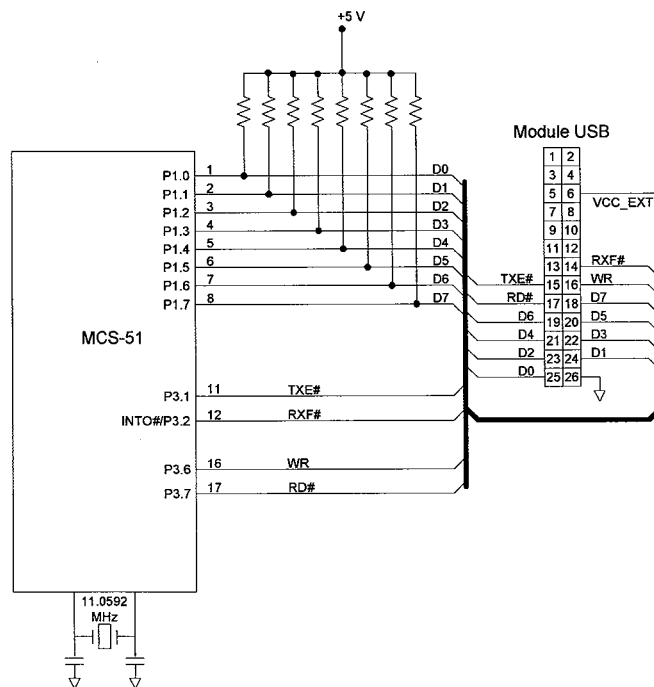
WR = 0 (ยัง ไม่มีการส่งข้อมูล)

RD = 0 (ยัง ไม่มีการรับข้อมูล)

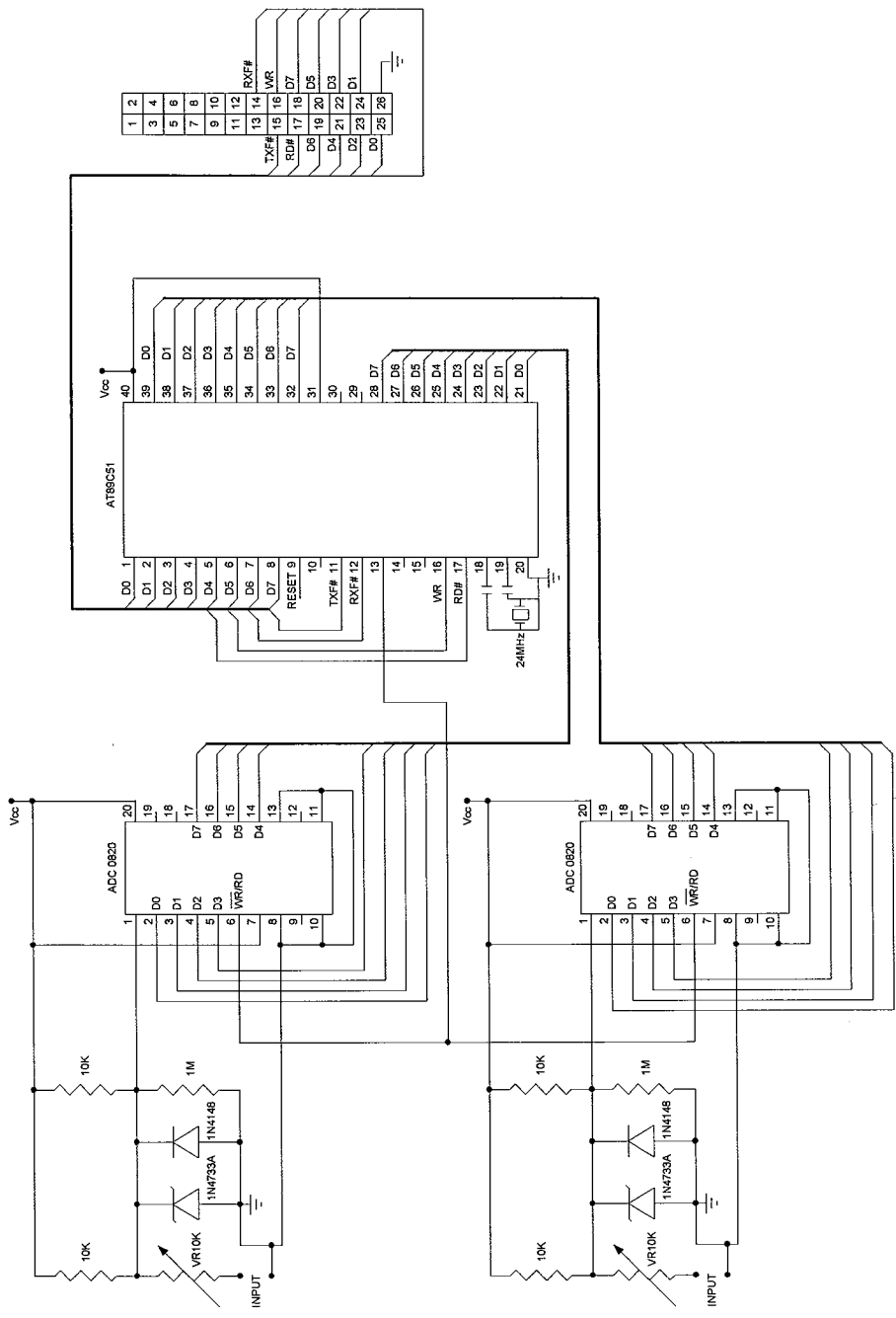
จากนั้น โปรแกรมจะทำการตรวจสอบสถานะของขา TXF# (P 3.1) ว่ามีค่าเท่ากับ '0' หรือไม่ เพราะว่าถ้าโมดูล USB พร้อมทั้งจะรับข้อมูลเข้าไปแปลงข้อมูลเพื่อทำการส่งให้กับพอร์ต USB โมดูล USB จะทำการตั้งค่าขา TXF# ให้มีค่าเท่ากับ '0' แต่ถ้าโมดูล USB ไม่พร้อมที่จะทำการรับข้อมูลก็จะมี การตั้งค่าขา TXF# ให้มีค่าเท่ากับ '1' ในการทำงานของโปรแกรม โปรแกรมจะมีการตรวจสอบสถานะ ของขา TXF# ทุกครั้งที่มีการส่งข้อมูล ในกรณีที่ขา TXF# มีค่าเท่า '0' โปรแกรมจะมีการตั้งค่าของขา WR ให้เป็น 1 เพื่อที่จะทำการส่งข้อมูลเข้าสู่โมดูล USB เมื่อทำการส่งข้อมูลเสร็จก็จะทำการตั้งค่าขา WR ให้เป็น 0 จากนั้นโปรแกรมจะกลับไปตรวจสอบอีกว่าโมดูล USB พร้อมทั้งจะให้ มีส่งข้อมูลในครั้ง ต่อไปหรือไม่

โมดูล USB จะไม่พร้อมรับข้อมูลในกรณีดังต่อไปนี้

- Buffer ภายในตัวของโมดูล USB มีการเก็บข้อมูลจนเต็มแล้ว (384 ไบท์)
- อยู่ในสถานะไม่ว่างเนื่องจากการส่งข้อมูลในครั้งก่อนหน้านี้



รูปที่ 3.4 วงจรการส่งข้อมูลที่มี MCS-51 เป็นตัวควบคุม



รูปที่ 3.5 รูปวงจรการทำงานของการแปลงสัญญาณและการส่งข้อมูล

บทที่ 4

การทดลองและผลการทดลอง

4.1 ขั้นตอนการทดลอง

4.1.1 ทำการติดตั้ง D2XX ไดรฟ์ไดรฟ์เวอร์ (D2XX Direct Driver)

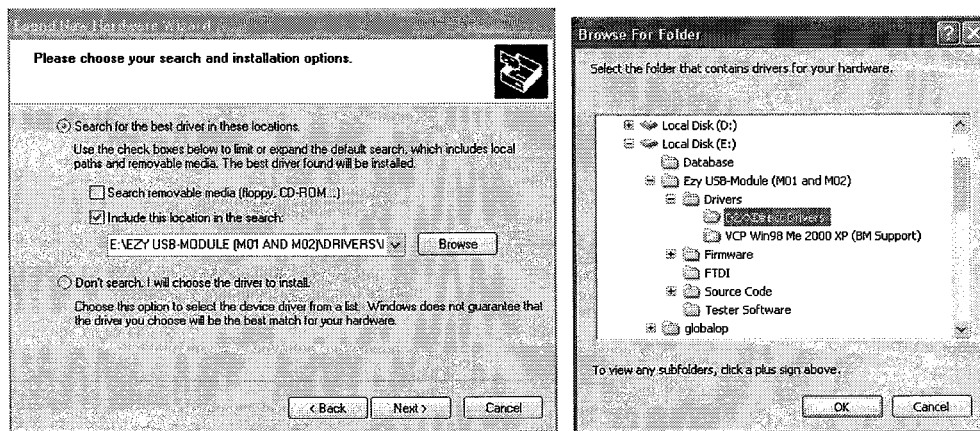
วิธีการติดตั้ง D2XX Direct Driver

4.1.1.1 ต่อสาย USB เข้ากับโมดูล Ezy USB-M01 จากนั้นวินโดว์จะแสดงไดอะล็อกการตรวจพบฮาร์ดแวร์ใหม่ภายในระบบ จากนั้นคลิกเลือกการติดตั้ง ดังรูป แล้วคลิกที่ Next



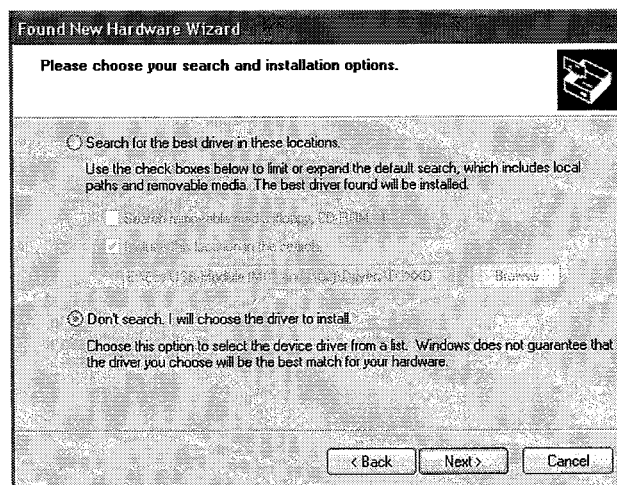
รูปที่ 4.1 วินโดว์ตรวจพบฮาร์ดแวร์ใหม่ และทำการเลือกรูปแบบการติดตั้ง

4.1.1.2 หลังจากนั้นจะมีไดอะล็อกสำหรับการค้นหาปรากฏขึ้นมา จากนั้นคลิกที่ Browse จะมีไดอะล็อกสำหรับเลือกที่อยู่ของไฟล์เครื่องขึ้นมา ให้เลือก Directory ของไฟล์เครื่อง D2XX Direct Drivers จากนั้นแล้วกด OK ทางขวามือ ที่อยู่ของไฟล์เครื่อง D2XX Direct Drivers จะแจ้งให้เราทราบอีกในไดอะล็อกสำหรับการค้นหา ดังรูป



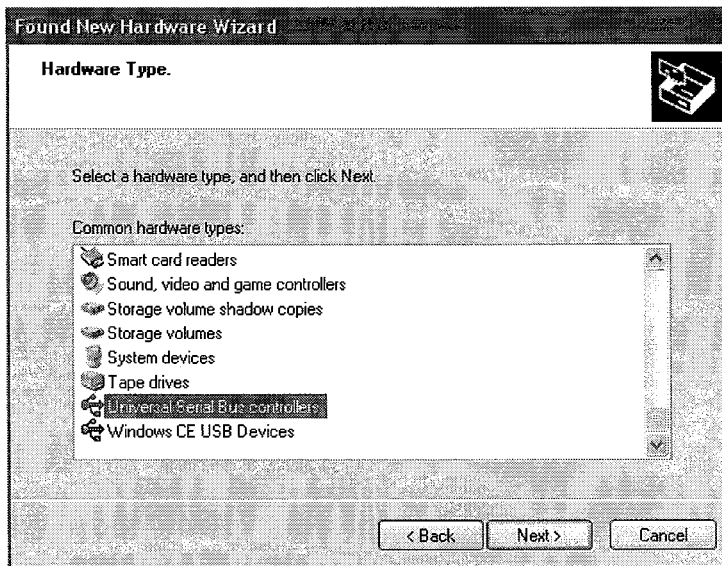
รูปที่ 4.2 การค้นหา Directory ของ D2XX Direct Drivers เพื่อทำการติดตั้ง

4.1.1.3 หลังจากนั้น ให้เราเลือกว่า ไม่ต้องมีการค้นหา เราได้เลือกไดร์เวอร์เพื่อจะทำการติดตั้งไว้แล้ว ดังรูป จากนั้นให้คลิก Next



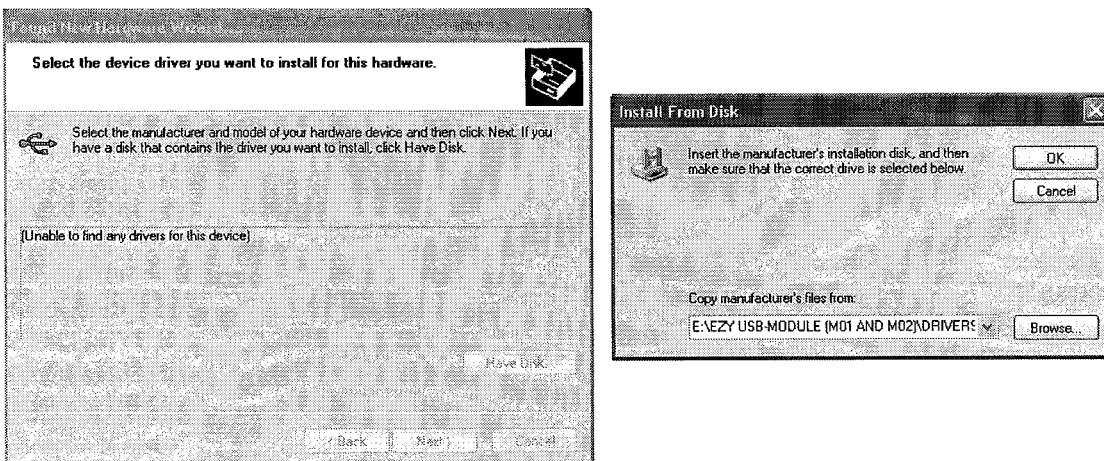
รูปที่ 4.3 การเลือกรูปแบบการค้นหาที่จะติดตั้งไดร์เวอร์

4.1.1.4 จากนั้นจะมีไดอะล็อก ให้เราเลือกชนิดของอุปกรณ์ที่จะใช้กับ D2XX Direct Driver ให้เราเลือกที่ Universal Serial Bus controllers ดังรูป แล้วคลิก Next



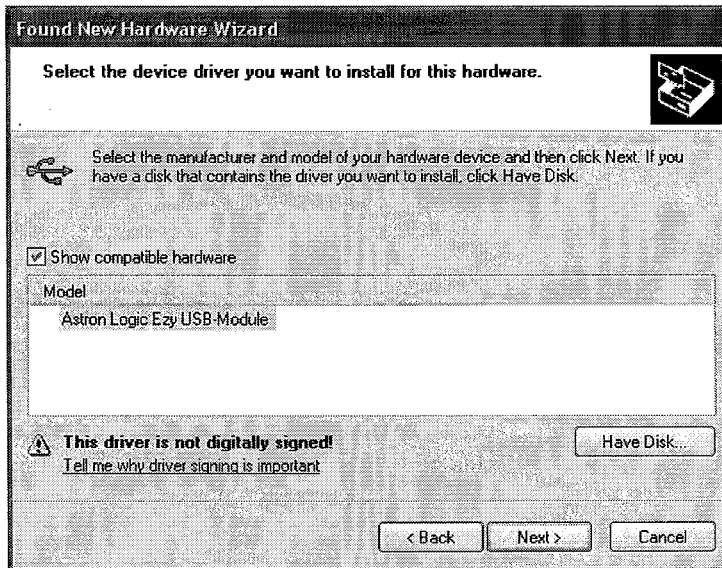
รูปที่ 4.4 การเลือกชนิดของอุปกรณ์ที่จะใช้กับ D2XX Direct Driver

4.1.1.5 ฮาร์ดแวร์จะถามถึง Directory ของไดรเวอร์อีกครั้งให้เรา คลิก ที่ Have Disk จากนั้นให้เราเลือกที่อยู่ของ ไดรเวอร์ที่เราเลือกไว้ข้างต้นอีกครั้ง ดังรูป แล้ว คลิก OK ทางด้านขวามือ



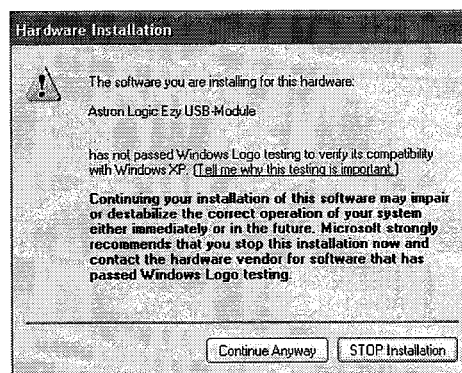
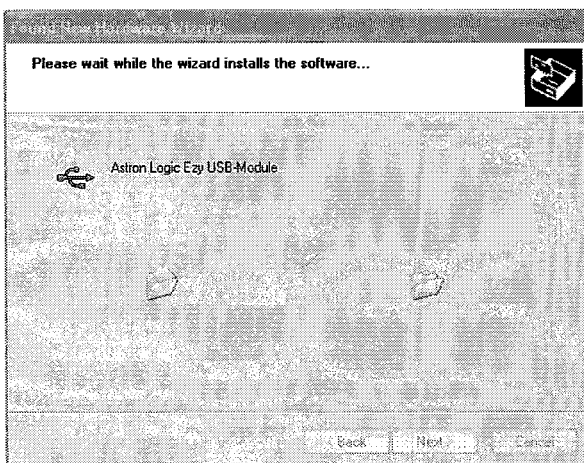
รูปที่ 4.5 การหา Directory ไดรเวอร์ให้กับฮาร์ดแวร์

4.1.1.6 หลังจากที่เรานำ Directory ของไดรเวอร์ให้กับฮาร์ดแวร์แล้ว ใดอะล็อกจะแสดงไดรเวอร์ที่เราจะทำการติดตั้งให้เราดูอีกครั้ง จากนั้นให้เราคลิก Next ต่อไป



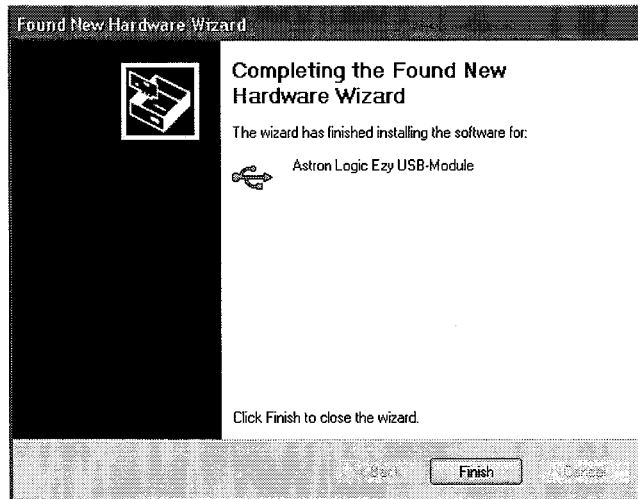
รูปที่ 4.6 แสดงไดรเวอร์ที่เราจะทำการติดตั้งให้กับฮาร์ดแวร์

4.1.1.7 จะมีใดอะล็อกให้เรา รอกการติดตั้ง โปรแกรม จากนั้นจะมีการถามเราว่าต้องการที่จะติดตั้งต่อไปหรือไม่ ให้เราคลิก เลือก Continue Anyway ต่อไป



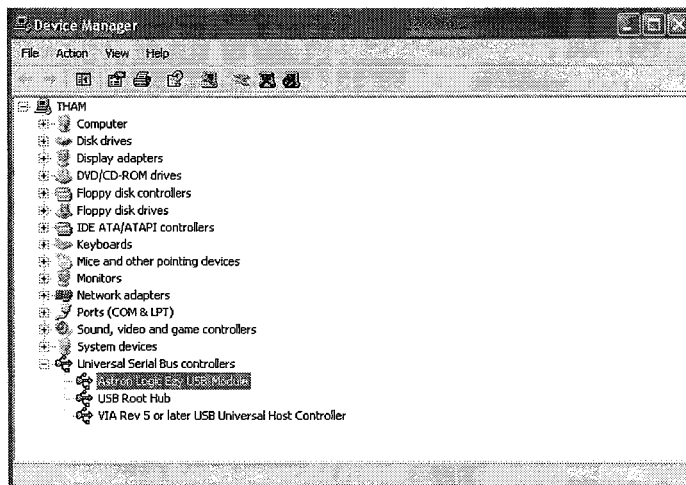
รูปที่ 4.7 การติดตั้งโปรแกรมของไดรเวอร์

4.1.1.8 หลังจากนั้นจะมีไดอะล็อก แสดงถึงการติดตั้ง ไดรเวอร์ เสร็จแล้ว พร้อมทั้งจะให้เราดัดสินใจสิ้นสุดการลงไดรเวอร์ ให้เราคลิกที่ Finish เพื่อสิ้นสุดการลงไดรเวอร์



รูปที่ 4.8 แสดงถึงการติดตั้ง ไดรเวอร์ เสร็จเรียบร้อยแล้ว

4.1.1.9 เราสามารถตรวจสอบได้ว่าโมดูล Ezy USB-M01 สามารถทำงานได้หรือไม่ โดยการดูที่ Control Panel > System ที่แท็บ Hardware แล้วคลิกที่ Device Manager จะเห็นได้ว่ามีรายการฮาร์ดแวร์ที่ต่อกับระบบมีรายการของ Astron Logic Ezy USB Module เพิ่มขึ้นมา ดังรูป



รูปที่ 4.9 รายการฮาร์ดแวร์ที่ถูกเพิ่มเข้ามา

4.1.2 ป้อนสัญญาณเข้าทางอินพุท

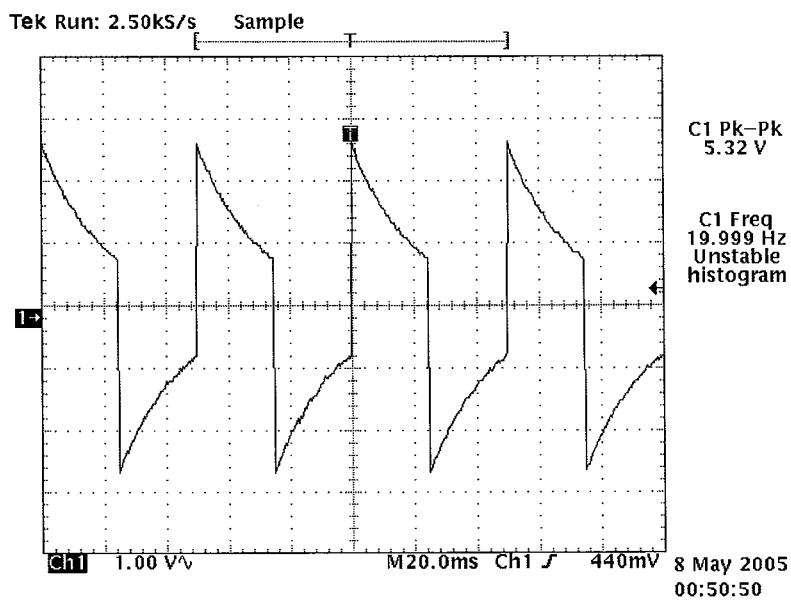
4.1.3 ทำการวัดสัญญาณรูปคลื่นที่ได้จากโปรแกรมออสซิลโลสโคปเทียบกับสัญญาณที่ได้จากดิจิตอลออสซิลโลสโคป

4.1.4 ทดลองป้อนความถี่หลายๆ ความถี่

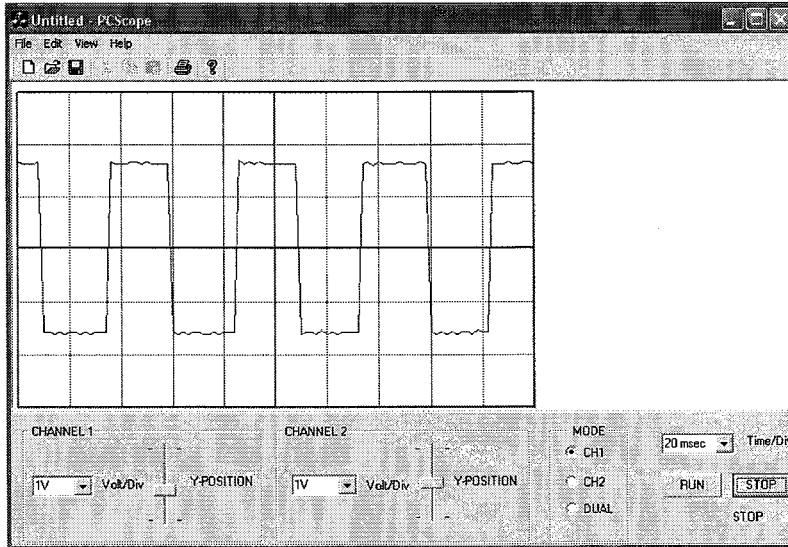
4.1.5 ทำการบันทึกรูปสัญญาณที่ได้

4.2 ผลทดลอง

4.2.1 ป้อนสัญญาณสี่เหลี่ยมความถี่ 20Hz

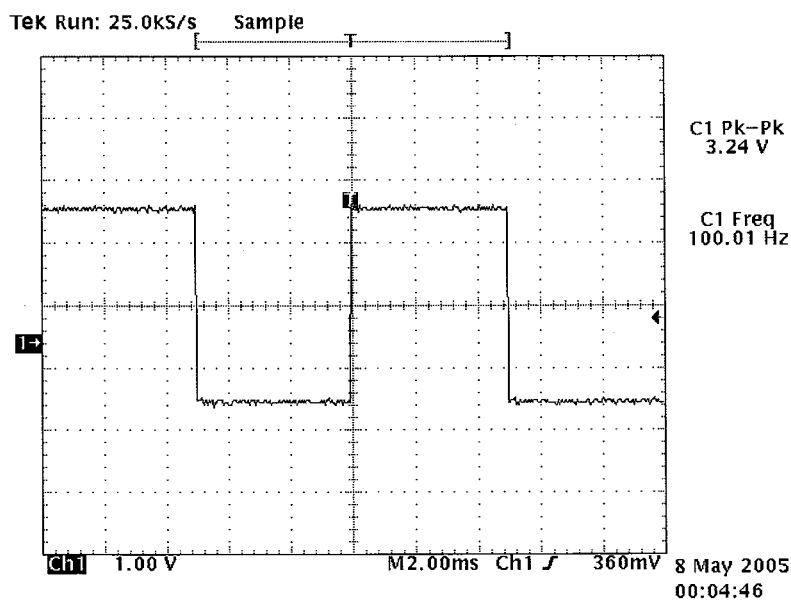


รูปที่ 4.10 วัดสัญญาณสี่เหลี่ยมที่ความถี่ 20 Hz ด้วยดิจิตอลออสซิลโลสโคป

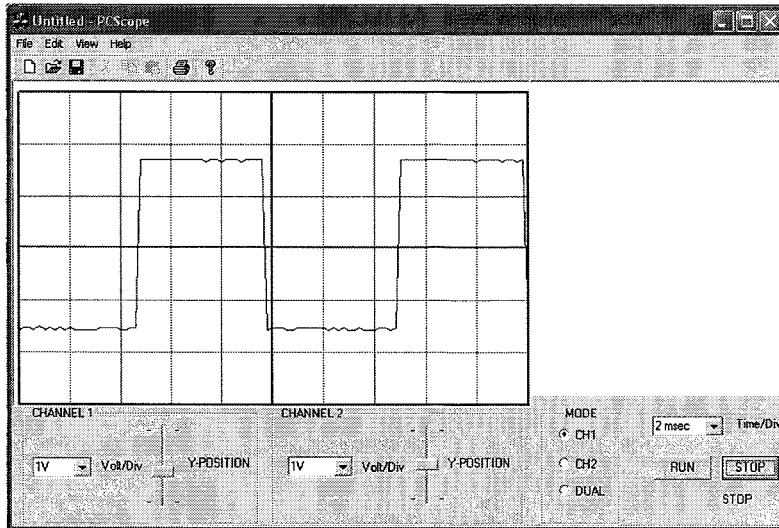


รูปที่ 4.11 วัดสัญญาณสี่เหลี่ยมที่ความถี่ 20Hz ด้วย พีซี สโคป

4.2.2 ป้อนสัญญาณสี่เหลี่ยมความถี่ 100Hz

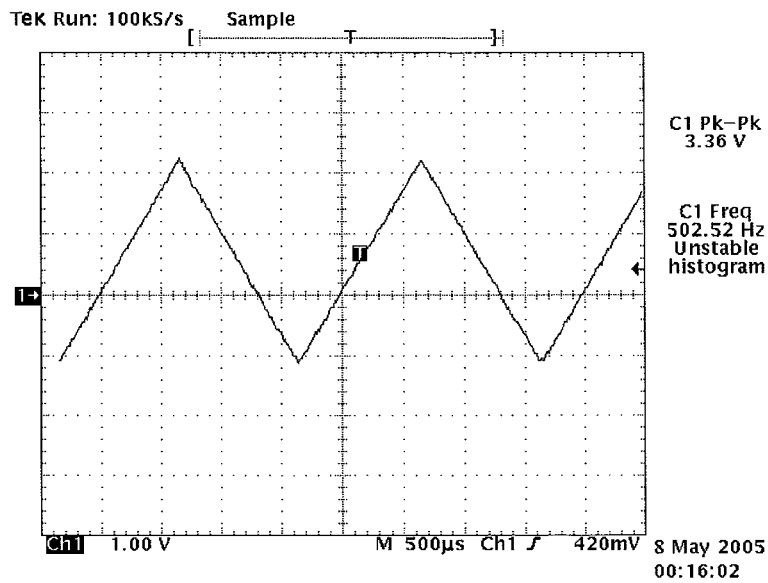


รูปที่ 4.12 วัดสัญญาณสี่เหลี่ยมที่ความถี่ 100 Hz ด้วยดิจิตอลออสซิลโลสโคป

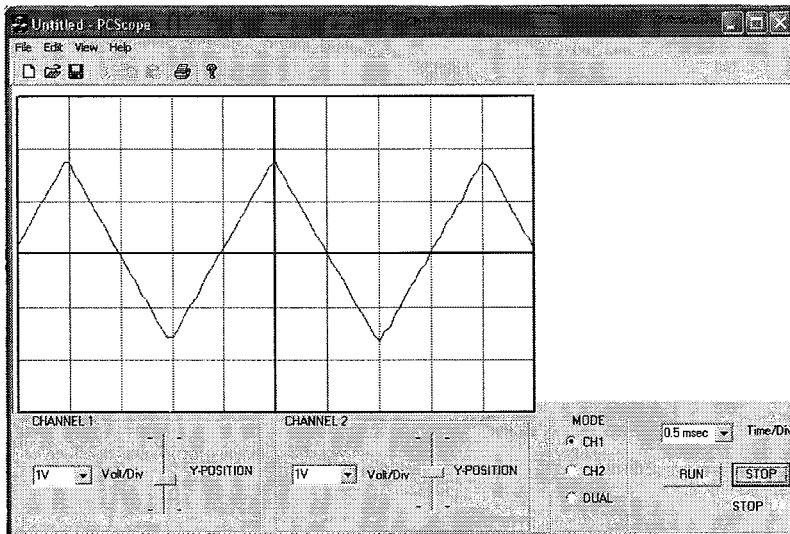


รูปที่ 4.13 วัตสัญญาณสี่เหลี่ยมที่ความถี่ 100Hz ด้วย พีซี สโคป

4.2.3 ป้อนสัญญาณสามเหลี่ยมความถี่ 500Hz

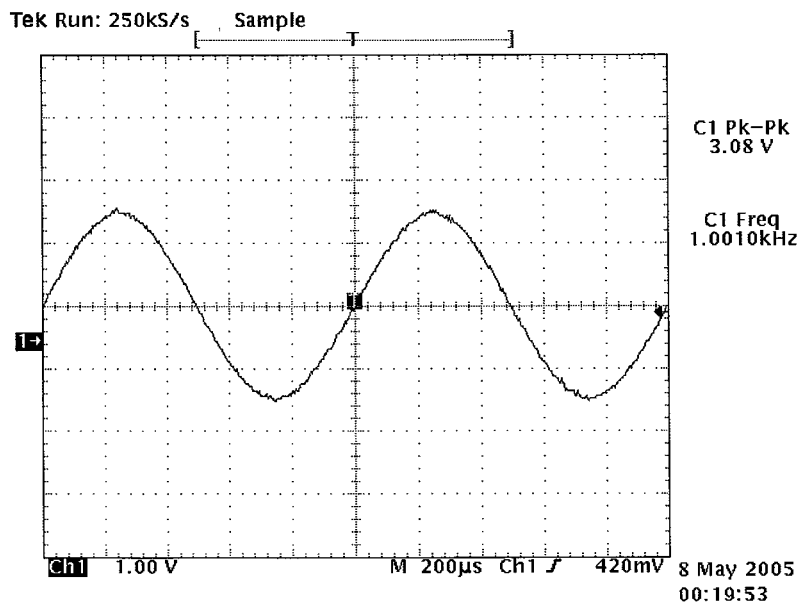


รูปที่ 4.14 วัตสัญญาณสามเหลี่ยมที่ความถี่ 500Hz ด้วยดิจิตอลออสซิลโลสโคป

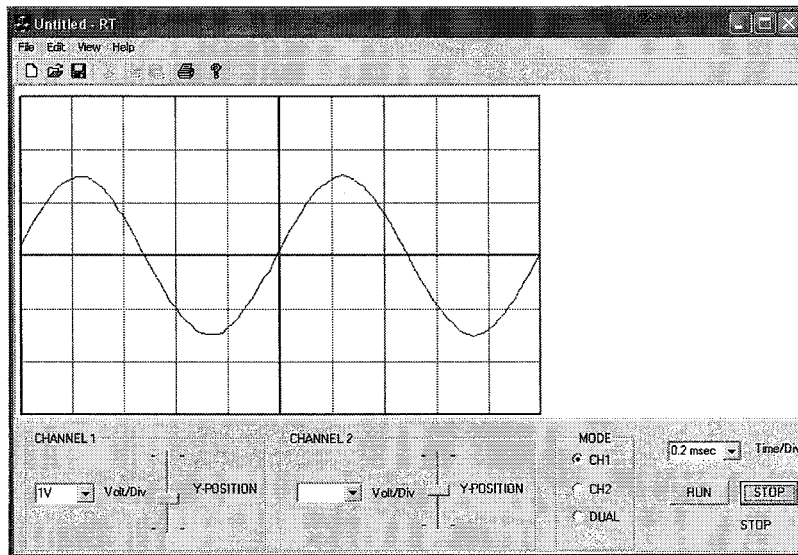


รูปที่ 4.15 วัตสัญญาณสามเหลี่ยมที่ความถี่ 500Hz ด้วย พีซี สโคป

4.2.4 ป้อนสัญญาณไซน์ที่ความถี่ 1 kHz

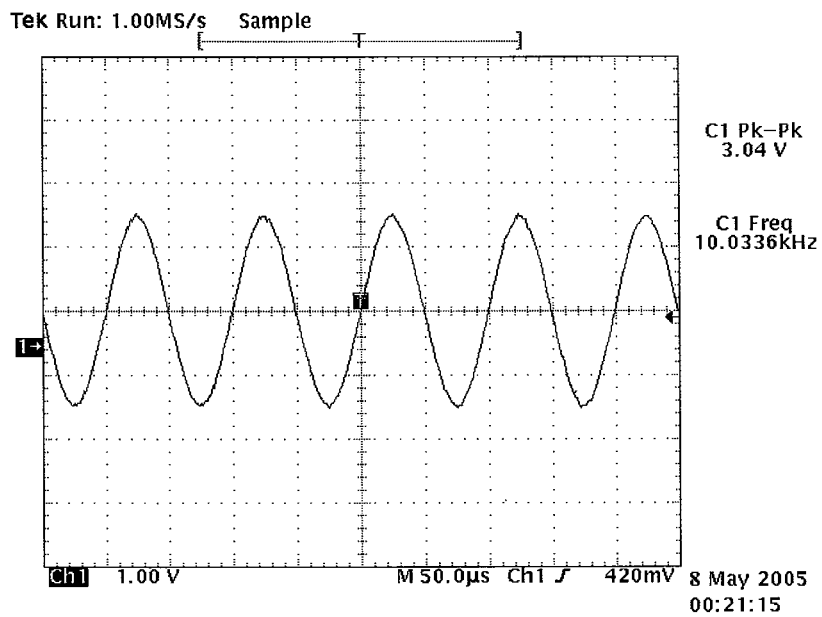


รูปที่ 4.16 วัตสัญญาณไซน์ที่ความถี่ 1 kHz ด้วยดิจิตอลออสซิลโลสโคป

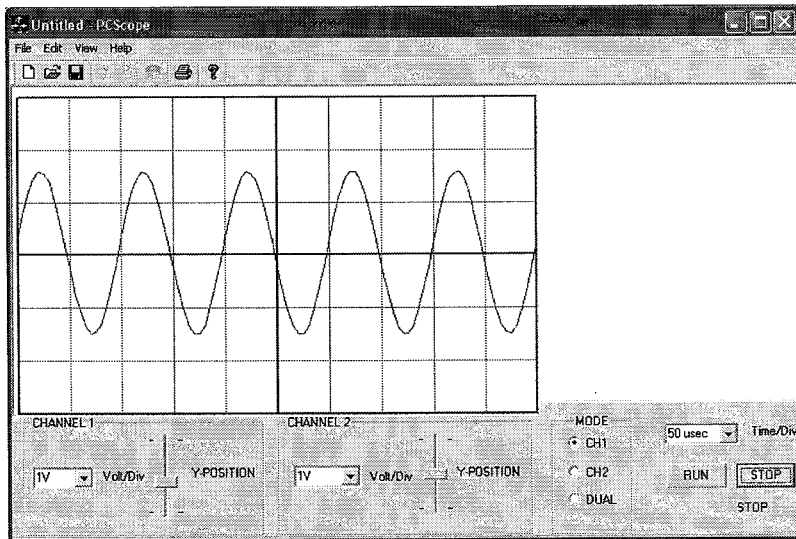


รูปที่ 4.17 วัดสัญญาณไซน์ที่ความถี่ 1 kHz ด้วย พีซี สโคปสโคป

4.2.5 ป้อนสัญญาณไซน์ความถี่ 10 kHz

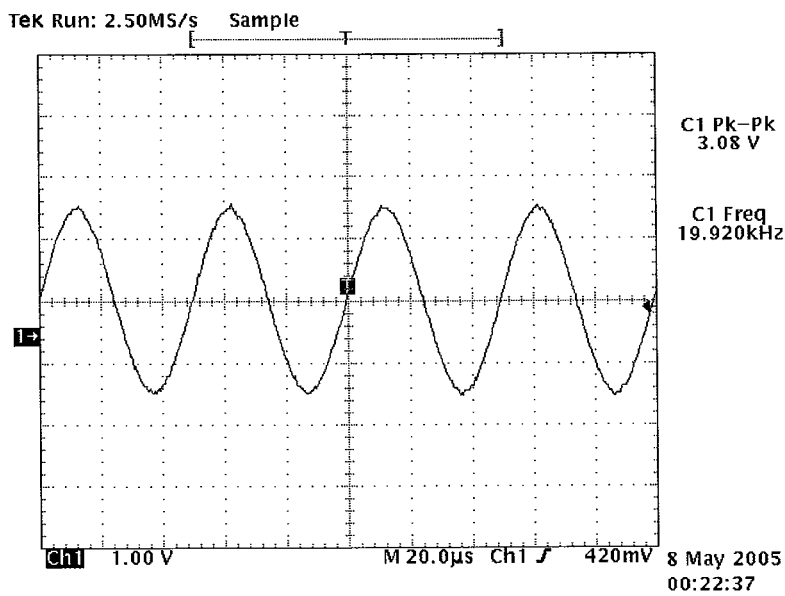


รูปที่ 4.18 วัดสัญญาณไซน์ที่ความถี่ 10 kHz ด้วยดิจิตอลออสซิลโลสโคป

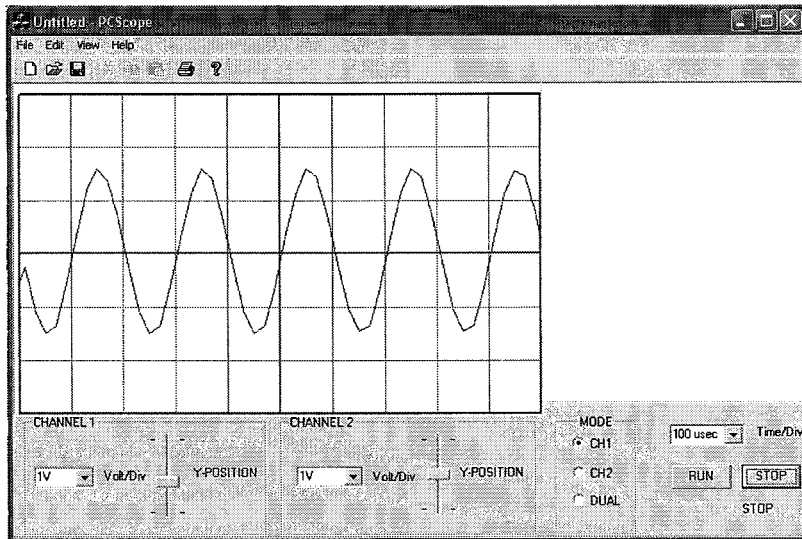


รูปที่ 4.19 วัดสัญญาณไซน์ที่มีความถี่ 10 kHz ด้วย พีซี สโคป

4.2.6 ป้อนสัญญาณไซน์ความถี่ 20 kHz

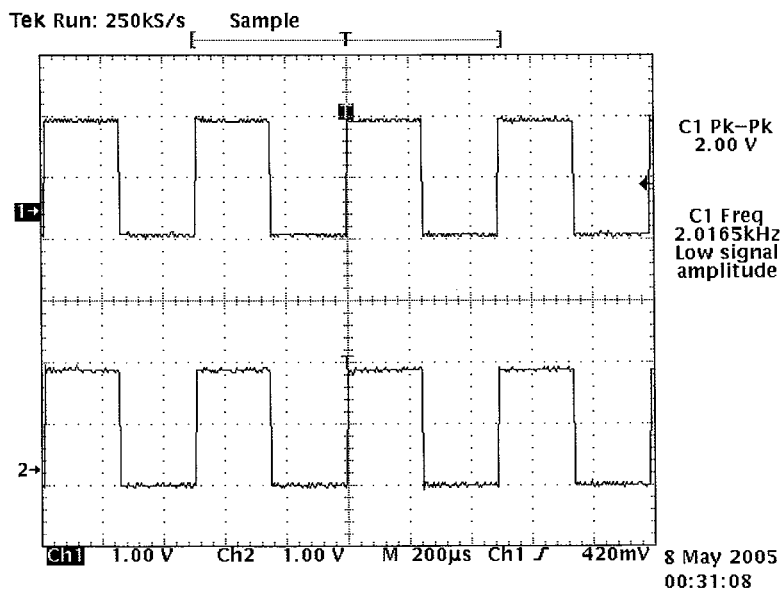


รูปที่ 4.19 วัดสัญญาณไซน์ที่มีความถี่ 20 kHz ด้วยดิจิตอลออสซิลโลสโคป

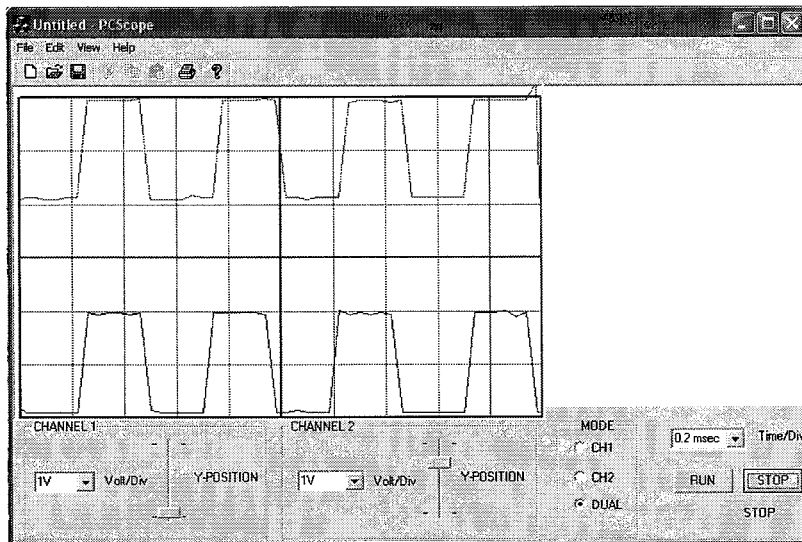


รูปที่ 4.20 วัดสัญญาณไซน์ที่มีความถี่ 20 kHz ด้วย พีซี สโคป

4.2.7 ป้อนสัญญาณสี่เหลี่ยมที่มีความถี่ 2 kHz 2 สัญญาณ

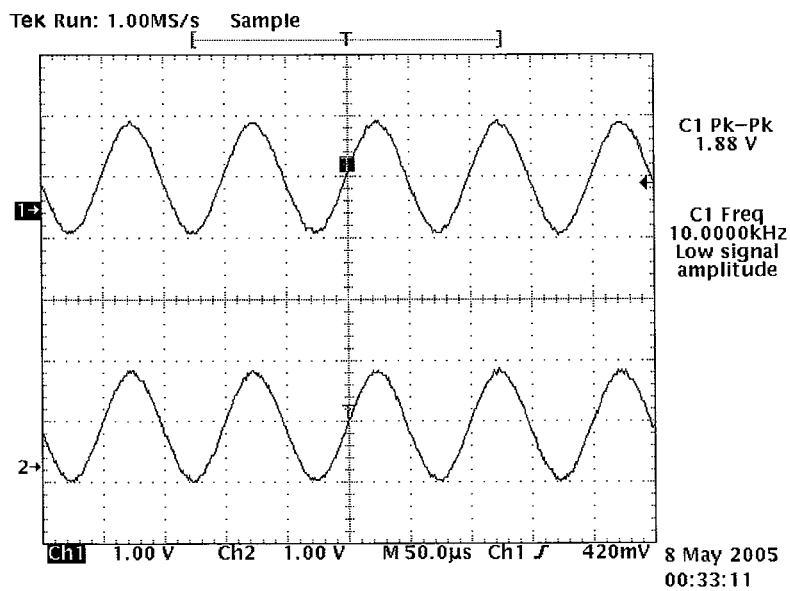


รูปที่ 4.21 วัดสัญญาณสี่เหลี่ยมที่มีความถี่ 2 kHz 2 สัญญาณ ด้วยดิจิตอลออสซิลโลสโคป

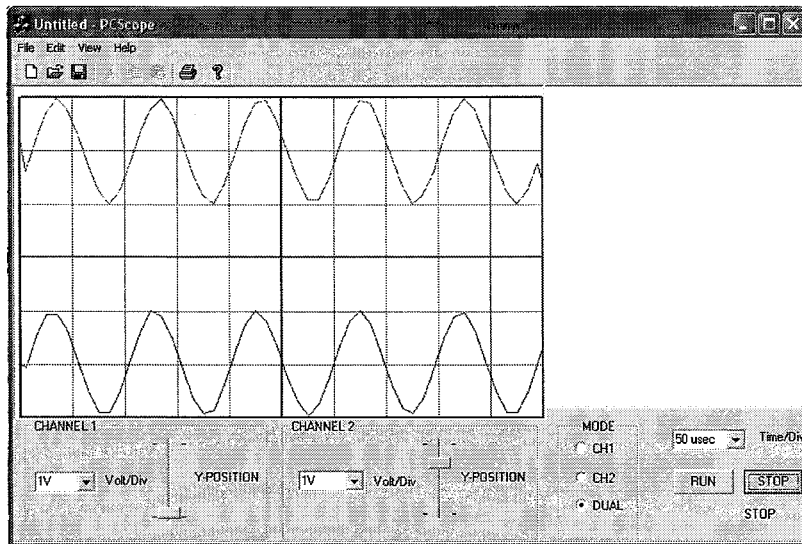


รูปที่ 4.22 วัดสัญญาณสี่เหลี่ยมที่ความถี่ 2 kHz 2 สัญญาณ ด้วย พีซี สโคป

4.2.8 ป้อนสัญญาณไซน์ความถี่ 10 kHz 2 สัญญาณ



รูปที่ 4.23 วัดสัญญาณไซน์ที่ความถี่ 10kHz 2 สัญญาณ ด้วยดิจิตอลออสซิลโลสโคป



รูปที่ 4.24 วัดสัญญาณไซน์ที่มีความถี่ 10kHz 2 สัญญาณ ด้วย ฟิชี สโคป

บทที่ 5

สรุปผลการทดลองและวิจารณ์

จากผลการทดลองในบทที่ 4 จะเห็นได้ว่ารูปสัญญาณที่ได้ออกมานั้น จะเกิดความผิดพลาดมากขึ้นเมื่อใช้ความถี่สูงกว่า 20 kHz เนื่องจากใช้อัตราการแซมปลิง ที่ไม่เหมาะสมกับความถี่ที่ใช้ในการวัดสัญญาณ และทำให้ PC SCOPE นี้ใช้วัดสัญญาณได้ที่ความถี่สูงสุดเท่ากับ 20 kHz เท่านั้น ส่วนด้านความเร็วในการส่งข้อมูล สามารถส่งได้ที่ความเร็ว 1 MByte/sec ตามข้อมูลที่ระบุมากับโมดูล แต่จากการทดลองไม่สามารถส่งได้ตามที่ระบุไว้ แต่อย่างไรก็ตามยังมีความเป็นเรียลไทม์พอสมควร และเนื่องจากใช้การแซมปลิงเป็นช่วงๆ ทำให้เมื่อนำข้อมูลมา Plot จึงเกิดรอยต่อระหว่างการแซมปลิงที่ไม่ต่อเนื่อง ทำให้รูปสัญญาณที่ได้ออกมาดูไม่สวยงาม และสัญญาณที่แสดงบนจอภาพของ pc scope จะเลื่อนไม่หยุดอยู่กับที่เนื่องจากใช้การsamplingที่ไม่ต่อเนื่อง คือเมื่อทำการ sampling เสร็จก็จะนำเอาข้อมูลที่ได้มา plot และเมื่อทำการ plot เสร็จก็จะทำการ sampling ใหม่

การวัดระดับแรงดันไฟฟ้า นั้นสามารถวัดได้ 5 Vp-p และทำให้ระดับสัญญาณที่ได้ ค่าแรงดันไฟฟ้าที่วัดได้โดยโปรแกรมออสซิลโลสโคปนั้นมีความผิดพลาด เนื่องมาจากอุปกรณ์ทางด้านฮาร์ดแวร์ ที่มีการลดทอนแรงดันไฟฟ้านั่นเอง

บรรณานุกรม

วรเทพ ไพบูลย์รัตนกร และ บุญอนันต์ เกียงเอีย, สัมผัสโลก USB ด้วยEzy USB Module, สำนักพิมพ์
บริษัทแอสทรอนลอจิสตีส์เวิร์ชแอนด์ดีวิลอปเม้นท์จำกัด, 2537

นิรุช อำนวยศิลป์, คู่มือการเขียนโปรแกรม Microsoft Visual C++ V6.0, สำนักพิมพ์บริษัทซัคเซสมีเดีย
จำกัด, 2544

ภาคผนวก

ภาคผนวก ก.
คู่มือการใช้งาน พีซี สโกลป

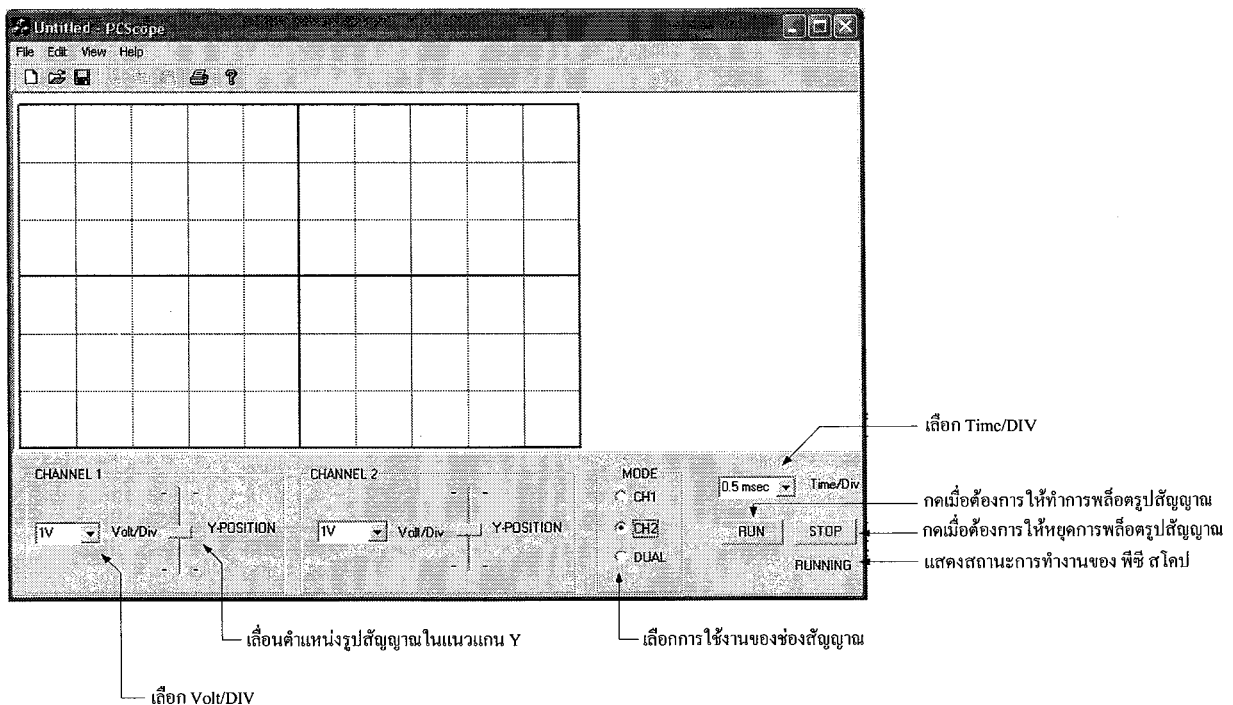
คุณสมบัติ

1. วัดความถี่ได้ 0-20 kHz
2. วัดแรงดันได้สูงสุด 3 V
3. สามารถวัดได้ 2 ช่องสัญญาณ
4. วัดสัญญาณรูปคลื่นไซน์ คลื่นสี่เหลี่ยม และสามเหลี่ยมได้

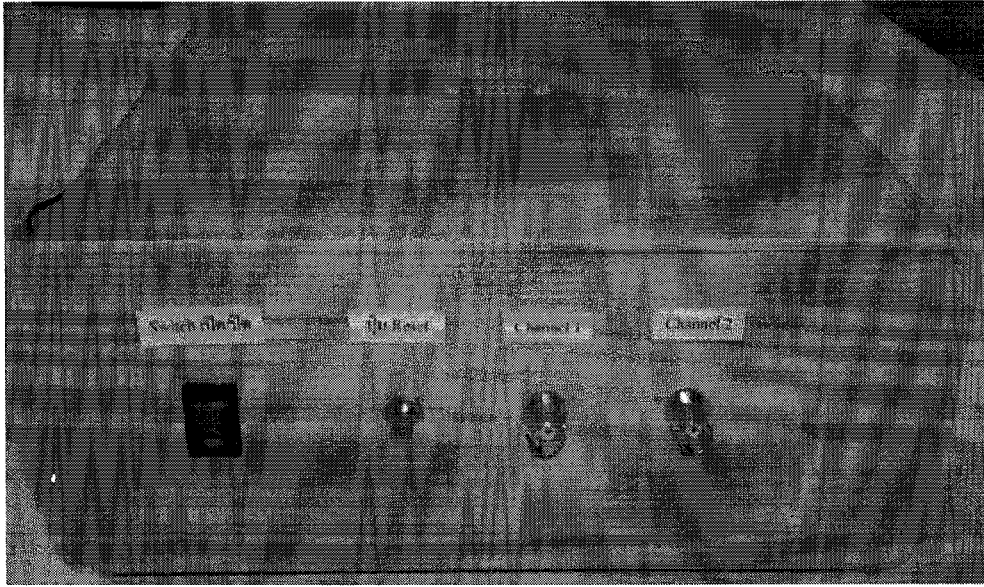
การใช้งาน

1. ใช้งานโดยต่อเข้ากับพอร์ต USB
2. ควรกดปุ่ม reset ก่อนทุกครั้ง เมื่อต้องการใช้งานเครื่อง พีซี สโคป
3. ในการใช้งานเราจะกำหนดค่าต่างๆ ได้โดยผ่านทางหน้าจออินเทอร์เน็ตเฟส

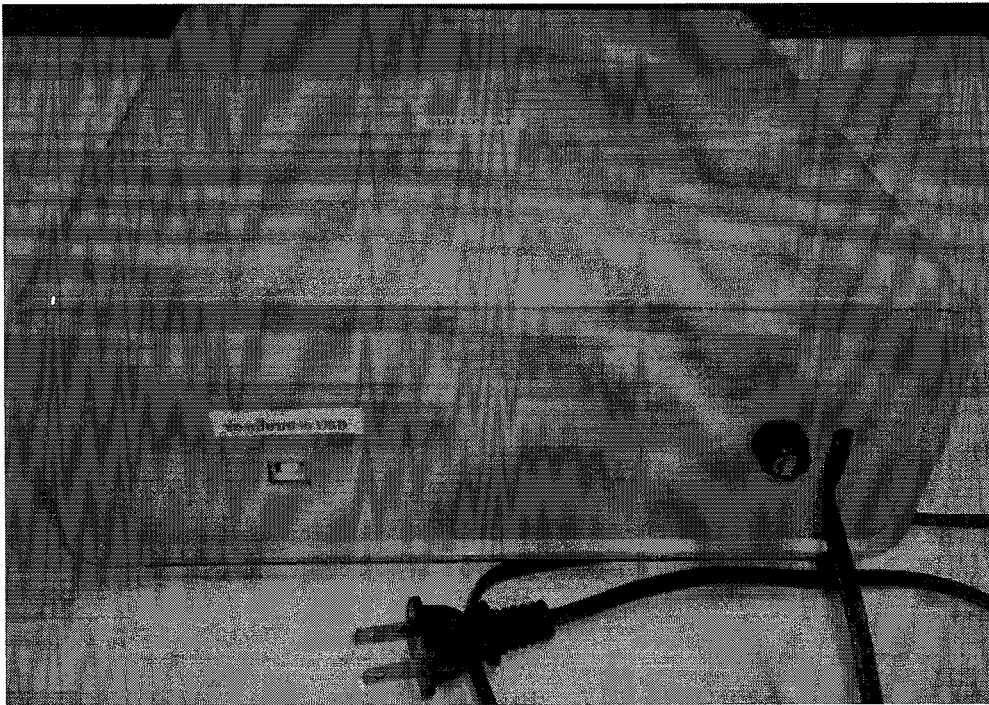
ลักษณะหน้าจออินเทอร์เน็ตเฟส



รูปที่ ก.1 หน้าจออินเทอร์เน็ตเฟส



รูปที่ ก.2 ด้านหน้าตัวกล่อง พีซี สโคป



รูปที่ ก.3 ด้านหลังตัวกล่อง พีซี สโคป

ภาคผนวก ข.

Data Sheet

ADC0820

8-Bit High Speed μ P Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ μ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

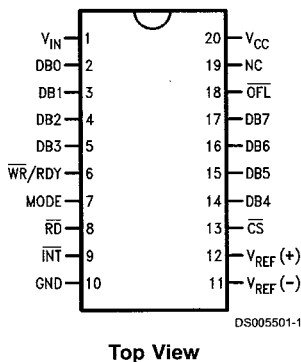
■ Resolution	8 Bits
■ Conversion Time	2.5 μ s Max (RD Mode) 1.5 μ s Max (WR-RD Mode)
■ Low Power	75 mW Max
■ Total Unadjusted Error	$\pm 1/2$ LSB and ± 1 LSB

Features

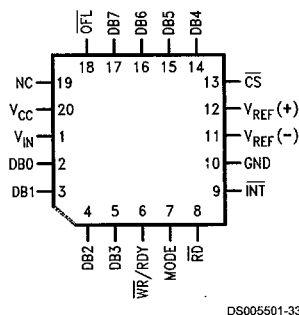
- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched STRI-STATE output
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages



Molded Chip Carrier Package



Connection and Functional Diagrams (Continued)

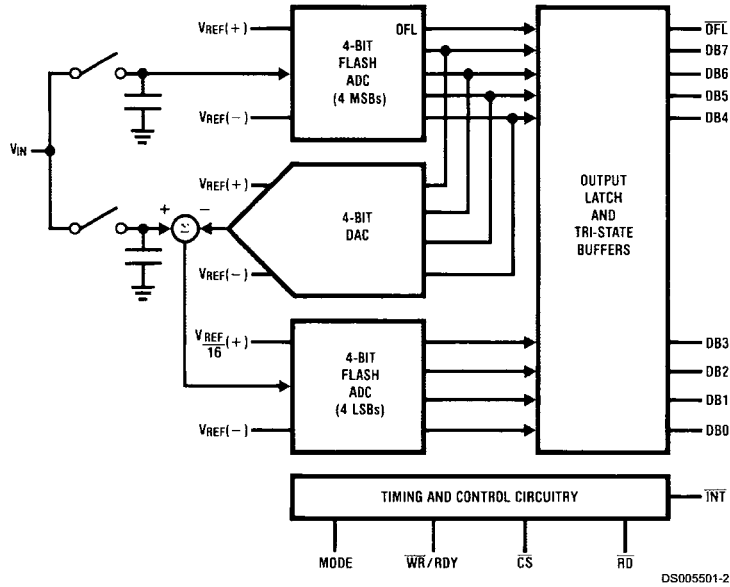


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV ADC0820BCWM ADC0820BCN	$\pm 1/2$ LSB	V20A—Molded Chip Carrier M20B—Wide Body Small Outline N20A—Molded DIP	0°C to +70°C 0°C to +70°C 0°C to +70°C
ADC0820CCJ ADC0820CCWM ADC0820CIWM ADC0820CCN	± 1 LSB	J20A—Cerdip M20B—Wide Body Small Outline M20B—Wide Body Small Outline N20A—Molded DIP	-40°C to +85°C 0°C to +70°C -40°C to +85°C 0°C to +70°C

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	-0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	-0.2V to V_{CC} +0.2V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C

Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0820CCJ	-40°C $\leq T_A \leq$ +85°C
ADC0820CIWM	-40°C $\leq T_A \leq$ +85°C
ADC0820BCN, ADC0820CCN	0°C $\leq T_A \leq$ 70°C
ADC0820BCV	0°C $\leq T_A \leq$ 70°C
ADC0820BCWM, ADC0820CCWM	0°C $\leq T_A \leq$ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), $V_{CC}=5V$, $V_{REF(+)}=5V$, and $V_{REF(-)}=GND$ unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}** ; all other limits $T_A=T_J=25^\circ\text{C}$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8		8	8	Bits	
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM ADC0820CCJ ADC0820CCN, CCWM, CIWM, ADC0820CCMSA		± 1		$\pm 1/2$	± 1	LSB LSB LSB	
Minimum Reference Resistance		2.3	1.00		2.3	1.2	k Ω	
Maximum Reference Resistance		2.3	6		2.3	5.3	k Ω	
Maximum $V_{REF(+)}$ Input Voltage			V_{CC}		V_{CC}	V_{CC}	V	
Minimum $V_{REF(-)}$ Input Voltage			GND		GND	GND	V	
Minimum $V_{REF(+)}$ Input Voltage			$V_{REF(-)}$		$V_{REF(-)}$	$V_{REF(-)}$	V	
Maximum $V_{REF(-)}$ Input Voltage			$V_{REF(+)}$		$V_{REF(+)}$	$V_{REF(+)}$	V	
Maximum V_{IN} Input Voltage			$V_{CC}+0.1$		$V_{CC}+0.1$	$V_{CC}+0.1$	V	
Minimum V_{IN} Input Voltage			GND-0.1		GND-0.1	GND-0.1	V	
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$		3 -3		0.3 -0.3	3 -3	μA μA	
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	$\pm 1/16$	$\pm 1/4$		$\pm 1/16$	$\pm 1/4$	LSB	

DC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}** ; all other limits $T_A=T_J=25^{\circ}C$.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC}=5.25V$	\overline{CS} , \overline{WR} , \overline{RD}		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC}=4.75V$	\overline{CS} , \overline{WR} , \overline{RD}		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}=5V$; \overline{CS} , \overline{RD}		0.005	1		0.005		1	μA
		$V_{IN(1)}=5V$; \overline{WR}		0.1	3		0.1	3	μA
		$V_{IN(1)}=5V$; Mode		50	200		50	170	200
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}=0V$; \overline{CS} , \overline{RD} , \overline{WR} , Mode		-0.005	-1		-0.005		-1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=-360 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT}			2.4			2.8	2.4	V
		$V_{CC}=4.75V$, $I_{OUT}=-10 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT}			4.5			4.6	4.5
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=1.6 \text{ mA}$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY			0.4			0.34	0.4	V
I_{OUT} , TRI-STATE Output Current	$V_{OUT}=5V$; DB0-DB7, RDY		0.1	3		0.1	0.3	3	μA
	$V_{OUT}=0V$; DB0-DB7, RDY		-0.1	-3		-0.1	-0.3	-3	μA
I_{SOURCE} , Output Source Current	$V_{OUT}=0V$; DB0-DB7, \overline{OFL} , \overline{INT}		-12	-6		-12	-7.2	-6	mA
			-9	-4.0		-9	-5.3	-4.0	mA
I_{SINK} , Output Sink Current	$V_{OUT}=5V$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY		14	7		14	8.4	7	mA
I_{CC} , Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20 \text{ ns}$, $V_{REF(+)}=5V$, $V_{REF(-)}=0V$ and $T_A=25^{\circ}C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD} , Conversion Time for RD Mode	Pin 7 = 0, <i>Figure 2</i>	1.6		2.5	μs
t_{ACC0} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = 0, <i>Figure 2</i>	$t_{CRD}+20$		$t_{CRD}+50$	ns
t_{CWR-RD} , Conversion Time for WR-RD Mode	Pin 7 = V_{CC} ; $t_{WR} = 600 \text{ ns}$, $t_{RD}=600 \text{ ns}$; <i>Figures 3, 4</i>			1.52	μs
t_{WR} , Write Time	Min Max	Pin 7 = V_{CC} ; <i>Figures 3, 4</i> (Note 4) See Graph		600	ns
			50		μs
t_{RD} , Read Time	Min	Pin 7 = V_{CC} ; <i>Figures 3, 4</i> (Note 4) See Graph		600	ns
t_{ACC1} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)		Pin 7 = V_{CC} , $t_{RD} < t_i$; <i>Figure 3</i> $C_L=15 \text{ pF}$		190	ns
		$C_L=100 \text{ pF}$		210	320

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF(+)}=5V$, $V_{REF(-)}=0V$ and $T_A=25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = V_{CC} , $t_{RD} > t_i$; <i>Figure 4</i> $C_L=15$ pF	70		120	ns
	$C_L=100$ pF	90		150	ns
t_{ACC3} , Access Time (Delay from Rising Edge of RDY to Output Valid)	$R_{PULLUP} = 1k$ and $C_L = 15$ pF	30			ns
t_i , Internal Comparison Time	Pin 7 = V_{CC} ; <i>Figures 4, 5</i> $C_L=50$ pF	800		1300	ns
t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$R_L=1k$, $C_L=10$ pF	100		200	ns
t_{INTL} , Delay from Rising Edge of \overline{WR} to Falling Edge of \overline{INT}	Pin 7 = V_{CC} , $C_L = 50$ pF $t_{RD} > t_i$; <i>Figure 4</i> $t_{RD} < t_i$; <i>Figure 3</i>	$t_{RD}+200$		t_i	ns
				$t_{RD}+290$	ns
t_{INTH} , Delay from Rising Edge of \overline{RD} to Rising Edge of \overline{INT}	<i>Figures 2, 3, 4</i> $C_L=50$ pF	125		225	ns
t_{INTHWR} , Delay from Rising Edge of \overline{WR} to Rising Edge of \overline{INT}	<i>Figure 5</i> , $C_L=50$ pF	175		270	ns
t_{RDY} , Delay from \overline{CS} to RDY	<i>Figure 2</i> , $C_L=50$ pF, Pin 7 = 0	50		100	ns
t_{ID} , Delay from \overline{INT} to Output Valid	<i>Figure 5</i>	20		50	ns
t_{RI} , Delay from \overline{RD} to \overline{INT}	Pin 7 = V_{CC} , $t_{RD} < t_i$ <i>Figure 3</i>	200		290	ns
t_P , Delay from End of Conversion to Next Conversion	<i>Figures 2, 3, 4, 5</i> (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ μ s
C_{VIN} , Analog Input Capacitance		45			pF
C_{OUT} , Logic Output Capacitance		5			pF
C_{IN} , Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

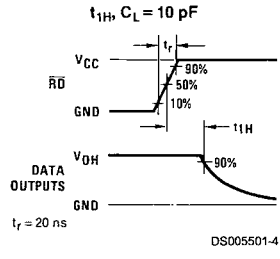
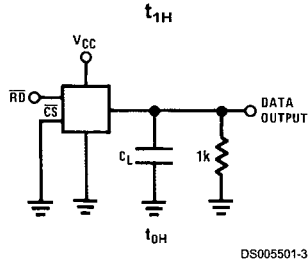
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

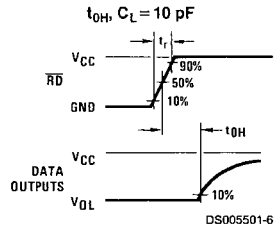
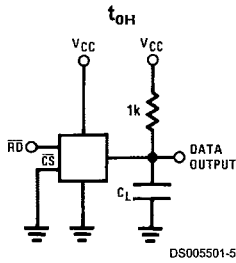
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

TRI-STATE Test Circuits and Waveforms

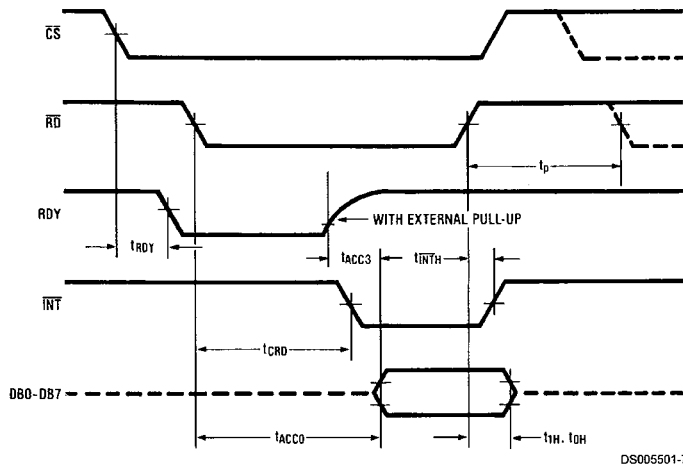


$t_1 = 20 \text{ ns}$



$t_1 = 20 \text{ ns}$

Timing Diagrams



Note: On power-up the state of $\overline{\text{INT}}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

Timing Diagrams (Continued)

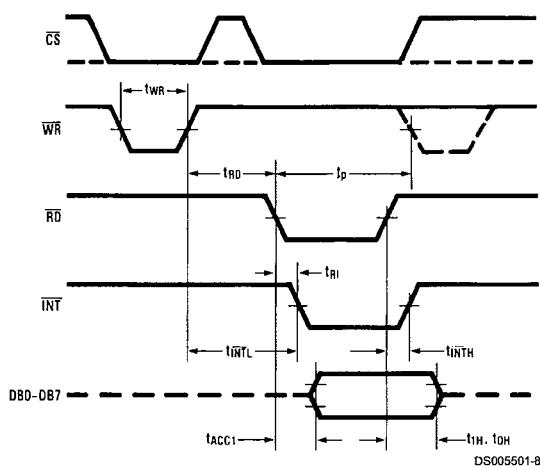


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_i$)

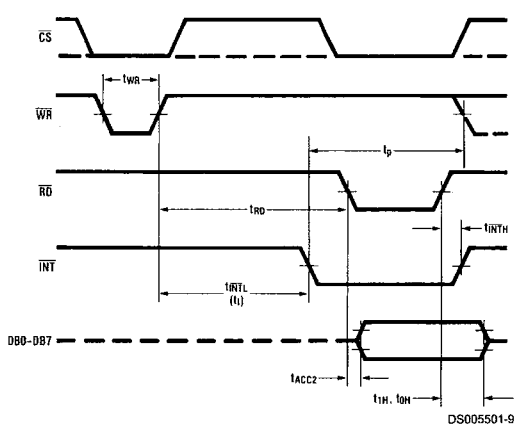


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_i$)

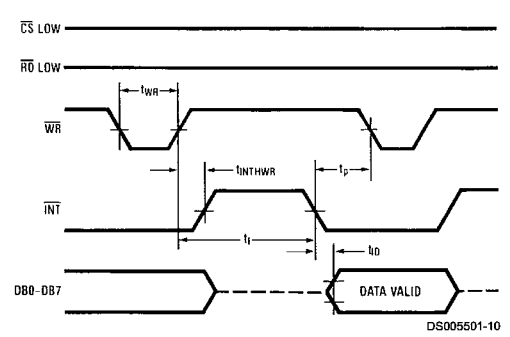
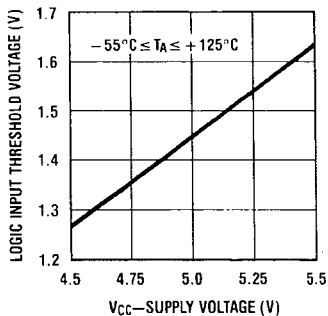


FIGURE 5. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

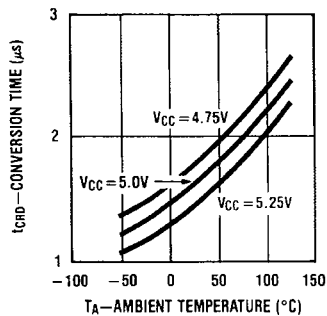
Typical Performance Characteristics

Logic Input Threshold Voltage vs Supply Voltage



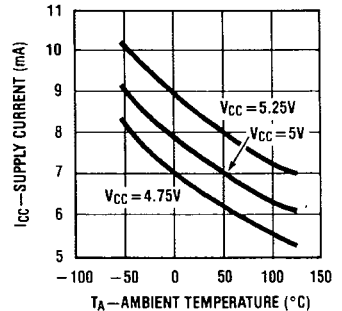
DS005501-34

Conversion Time (RD Mode) vs Temperature



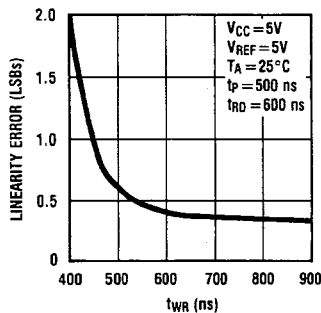
DS005501-35

Power Supply Current vs Temperature (not including reference ladder)



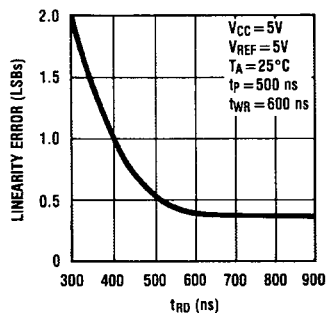
DS005501-36

Accuracy vs tWR



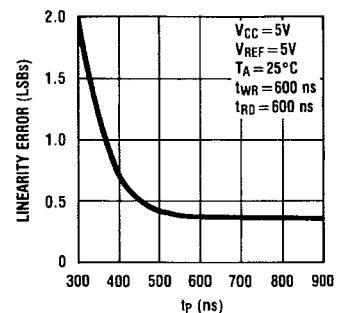
DS005501-37

Accuracy vs tRD



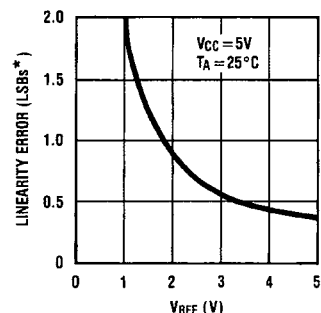
DS005501-38

Accuracy vs tp



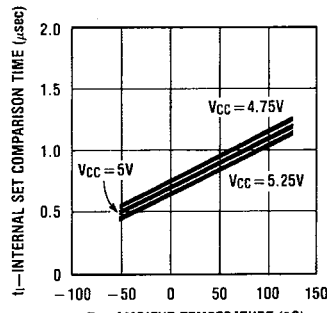
DS005501-39

Accuracy vs VREF [VREF = VREF(+) - VREF(-)]



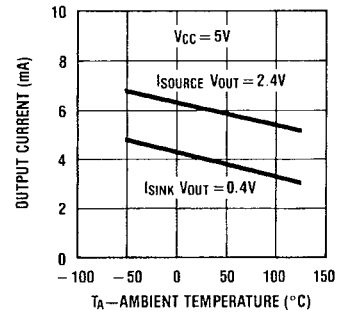
DS005501-40

tI, Internal Time Delay vs Temperature



DS005501-41

Output Current vs Temperature



DS005501-42

*1 LSB = $\frac{V_{REF}}{256}$

Description of Pin Functions

Pin	Name	Function	Pin	Name	Function
1	V_{IN}	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$	9	\overline{INT}	WR-RD Mode \overline{INT} going low indicates that the conversion is completed and the data result is in the output latch. \overline{INT} will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of \overline{WR} (see <i>Figure 4</i>); or \overline{INT} will go low after the falling edge of \overline{RD} , if \overline{RD} goes low prior to the 800 ns time out (see <i>Figure 3</i>). \overline{INT} is reset by the rising edge of \overline{RD} or \overline{CS} (see <i>Figures 3, 4</i>).
2	DB0	TRI-STATE data output—bit 0 (LSB)			
3	DB1	TRI-STATE data output—bit 1			
4	DB2	TRI-STATE data output—bit 2			
5	DB3	TRI-STATE data output—bit 3			
6	\overline{WR} /RDY	WR-RD Mode WR: With \overline{CS} low, the conversion is started on the falling edge of \overline{WR} . Approximately 800 ns (the preset internal time out, t_i) after the \overline{WR} rising edge, the result of the conversion will be strobed into the output latch, provided that \overline{RD} does not occur prior to this time out (see <i>Figures 3, 4</i>). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of \overline{CS} ; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see <i>Figure 2</i>).	10	GND	Ground
7	Mode	Mode: Mode selection input—it is internally tied to GND through a 50 μ A current source. RD Mode: When mode is low WR-RD Mode: When mode is high	11	$V_{REF(-)}$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)
8	\overline{RD}	WR-RD Mode With \overline{CS} low, the TRI-STATE data outputs (DB0-DB7) will be activated when \overline{RD} goes low (see <i>Figure 5</i>). \overline{RD} can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i , ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the \overline{RD} (see <i>Figures 3, 4</i>). RD Mode With \overline{CS} low, the conversion will start with \overline{RD} going low, also \overline{RD} will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and \overline{INT} going low indicates the completion of the conversion (see <i>Figure 2</i>).	12	$V_{REF(+)}$	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
			13	\overline{CS}	\overline{CS} must be low in order for the \overline{RD} or \overline{WR} to be recognized by the converter.
			14	DB4	TRI-STATE data output—bit 4
			15	DB5	TRI-STATE data output—bit 5
			16	DB6	TRI-STATE data output—bit 6
			17	DB7	TRI-STATE data output—bit 7 (MSB)
			18	\overline{OFL}	Overflow output—If the analog input is higher than the $V_{REF(+)}$, \overline{OFL} will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
			19	NC	No connection
			20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4

MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor

1.0 Functional Description (Continued)

ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figures 6, 7). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 6) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (Figure 7), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of V_B' - V_B.

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 8), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is

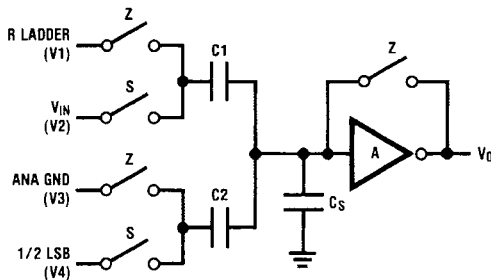


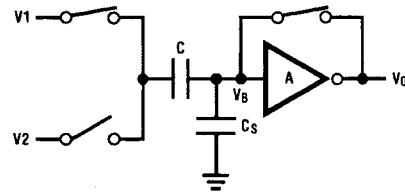
FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 12). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

When a typical conversion is started, the \overline{WR} line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 11). When \overline{WR} is returned high

then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

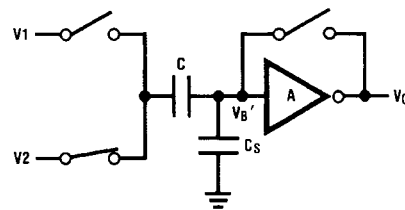


DS005501-12

- V_O = V_B
- V on C = V1 - V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

FIGURE 6. Sampled-Data Comparator



DS005501-13

- V_B' - V_B = (V2 - V1) $\frac{C}{C + C_S}$
- V_O' = $\frac{-A}{C + C_S} [CV2 - CV1]$
- V_O' is dependent on V2 - V1

Compare Phase

FIGURE 7. Sampled-Data Comparator

$$V_O = \frac{-A}{C1 + C2 + C_S} [C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

DS005501-45

after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the \overline{RD} line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When \overline{RD} goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 11 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is

1.0 Functional Description (Continued)

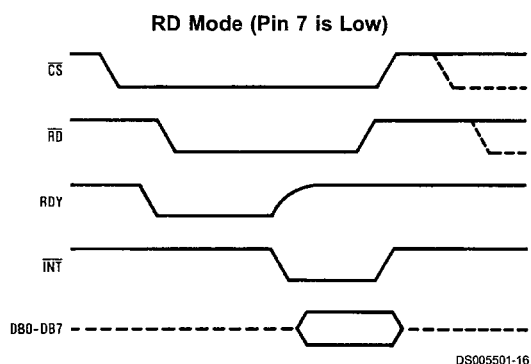
measured while \overline{WR} is low. In RD mode, sampling occurs during the first 800 ns of \overline{RD} . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when \overline{WR} is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling RD low until output data appears. An \overline{INT} line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.



When in RD mode, the comparator phases are internally triggered. At the falling edge of \overline{RD} , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the \overline{WR} input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for \overline{INT} to go low before reading the conversion result (Figure 10). \overline{INT} will typically

go low 800 ns after \overline{WR} 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for \overline{INT} and can exercise a read after only 600 ns (Figure 9). If this is done, \overline{INT} will immediately go low and data will appear at the outputs.

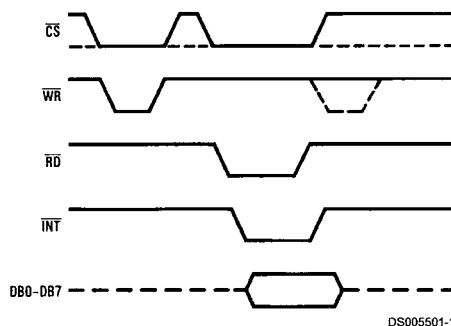


FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD} < t_i$)

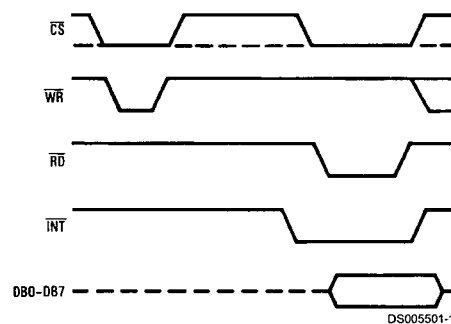
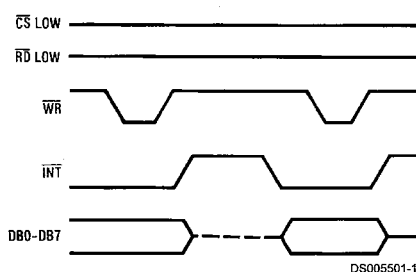


FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD} > t_i$)

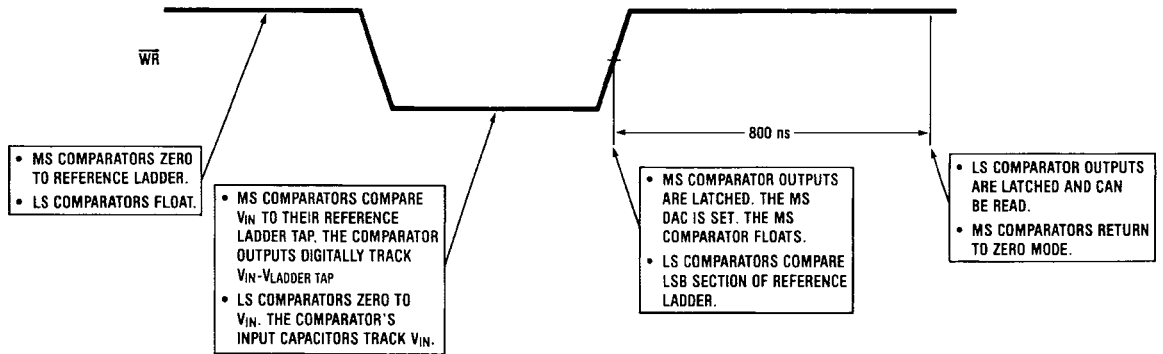
Stand-Alone

For stand-alone operation in WR-RD mode, \overline{CS} and \overline{RD} can be tied low and a conversion can be started with \overline{WR} . Data will be valid approximately 800 ns following \overline{WR} 's rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



1.0 Functional Description (Continued)



DS005501-20

Note: MS means most significant
LS means least significant

FIGURE 11. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, \overline{WR} has a maximum width spec of 50 μ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode (\overline{WR} is low), the input capacitors (C, *Figure 8*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_p , *Figures 2, 3, 4, 5*) is 500 ns.

Detailed Block Diagram

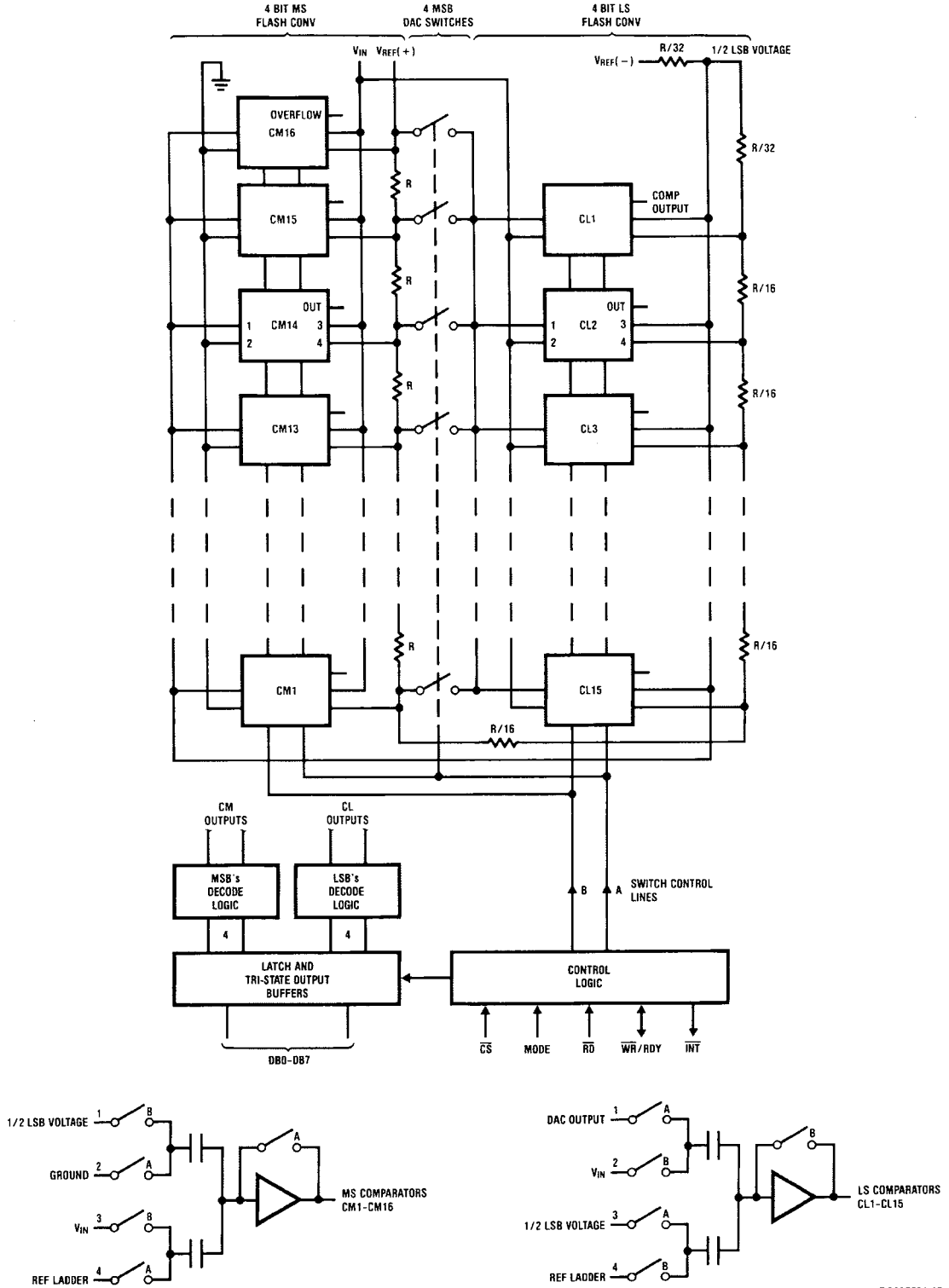


FIGURE 12.

DS005501-15

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF} ($V_{REF}=V_{REF(+)}-V_{REF(-)}$) to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF}=2V$ then 1 LSB=7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 13 shows some of the configurations that are possible.

2.2 INPUT CURRENT

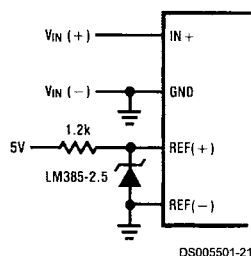
Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in Figure 14. When a conversion starts (\overline{WR} low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

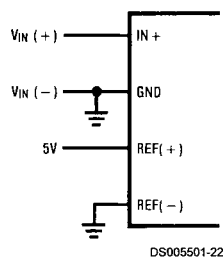
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k Ω to 10 k Ω). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 15. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that \overline{WR} is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 k Ω without lengthening WR to give V_{IN} more time to settle.

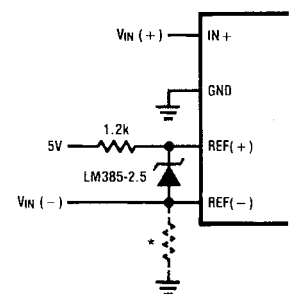
External Reference 2.5V Full-Scale



Power Supply as Reference



Input Not Referred to GND



*Current path must still exist from $V_{IN}(-)$ to ground

DS005501-23

FIGURE 13. Analog Input Options

2.0 Analog Considerations (Continued)

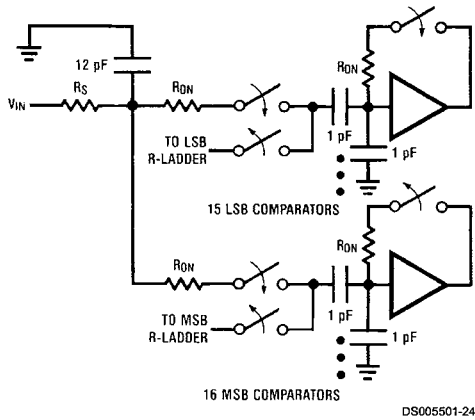


FIGURE 14.

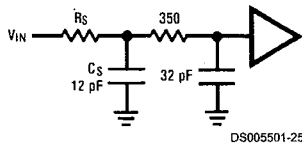


FIGURE 15.

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN} , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while \overline{WR} is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

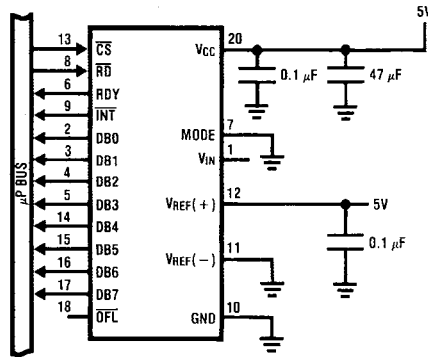
Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least $\frac{1}{2}$ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μ s, the time through which V_{IN} must be $\frac{1}{2}$ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when \overline{WR} is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of \overline{WR} (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ μ s can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

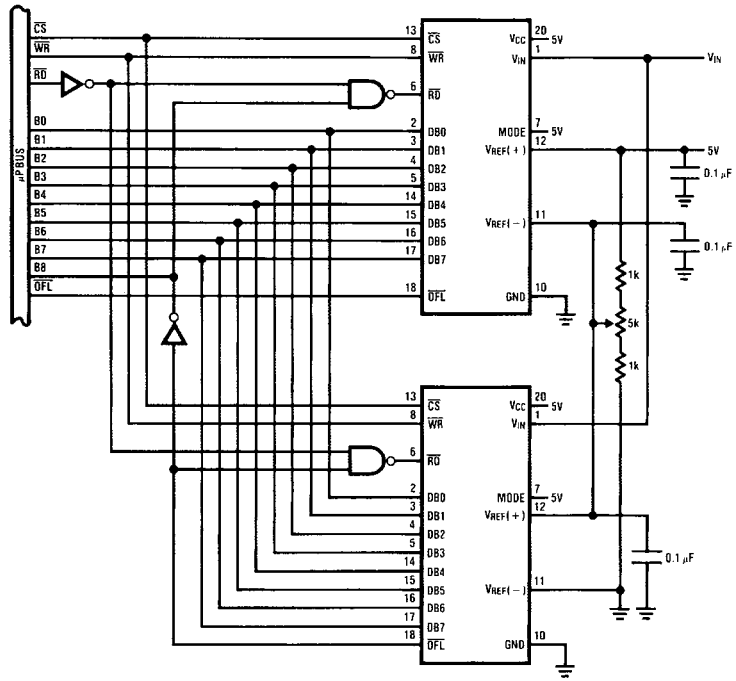
3.0 Typical Applications

8-Bit Resolution Configuration



DS005501-26

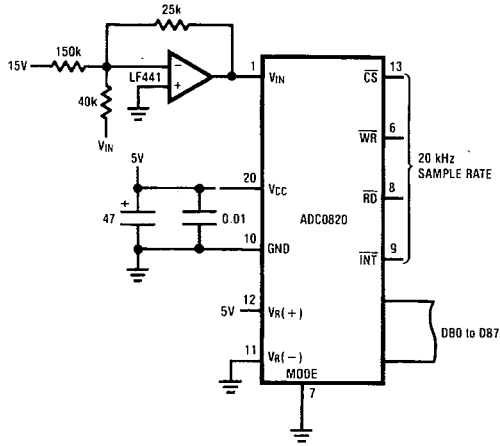
9-Bit Resolution Configuration



DS005501-27

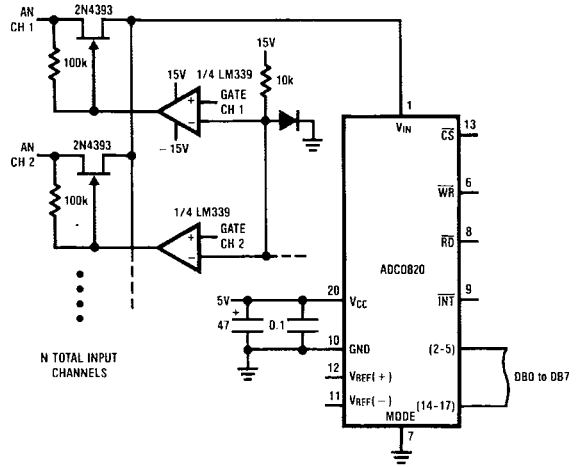
3.0 Typical Applications (Continued)

Telecom A/D Converter



DS005501-28

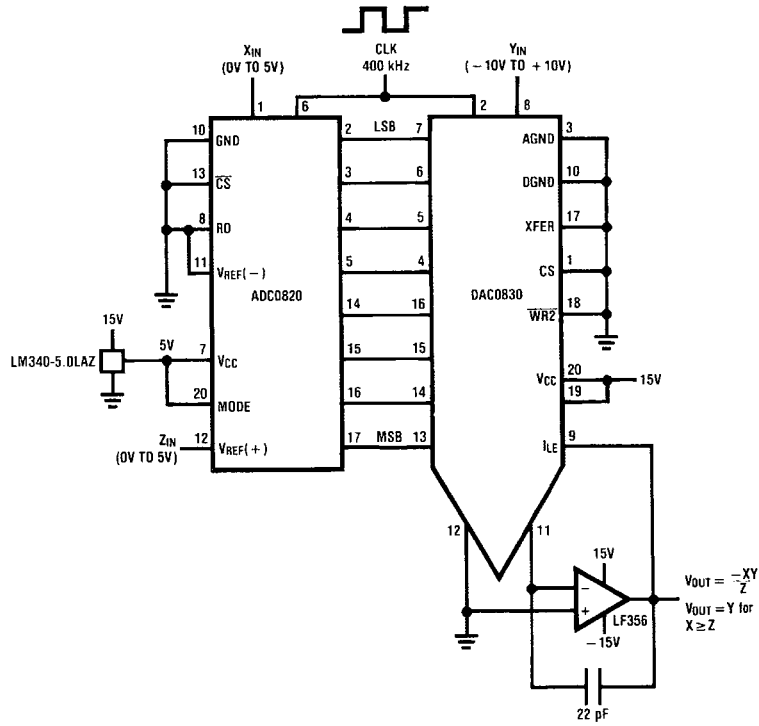
Multiple Input Channels



DS005501-29

- $V_{IN} = 3 \text{ kHz max } \pm 4V_P$
- No track-and-hold needed
- Low power consumption

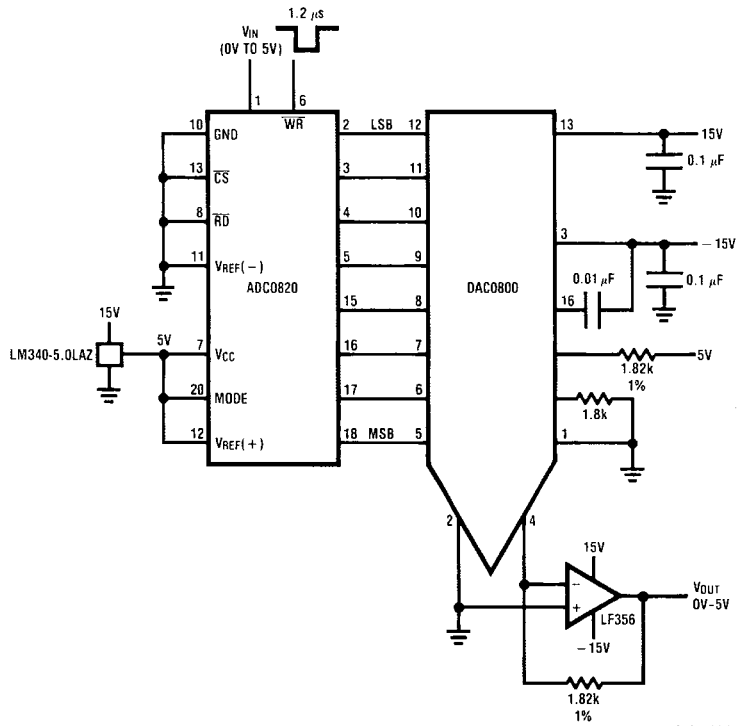
8-Bit 2-Quadrant Analog Multiplier



DS005501-30

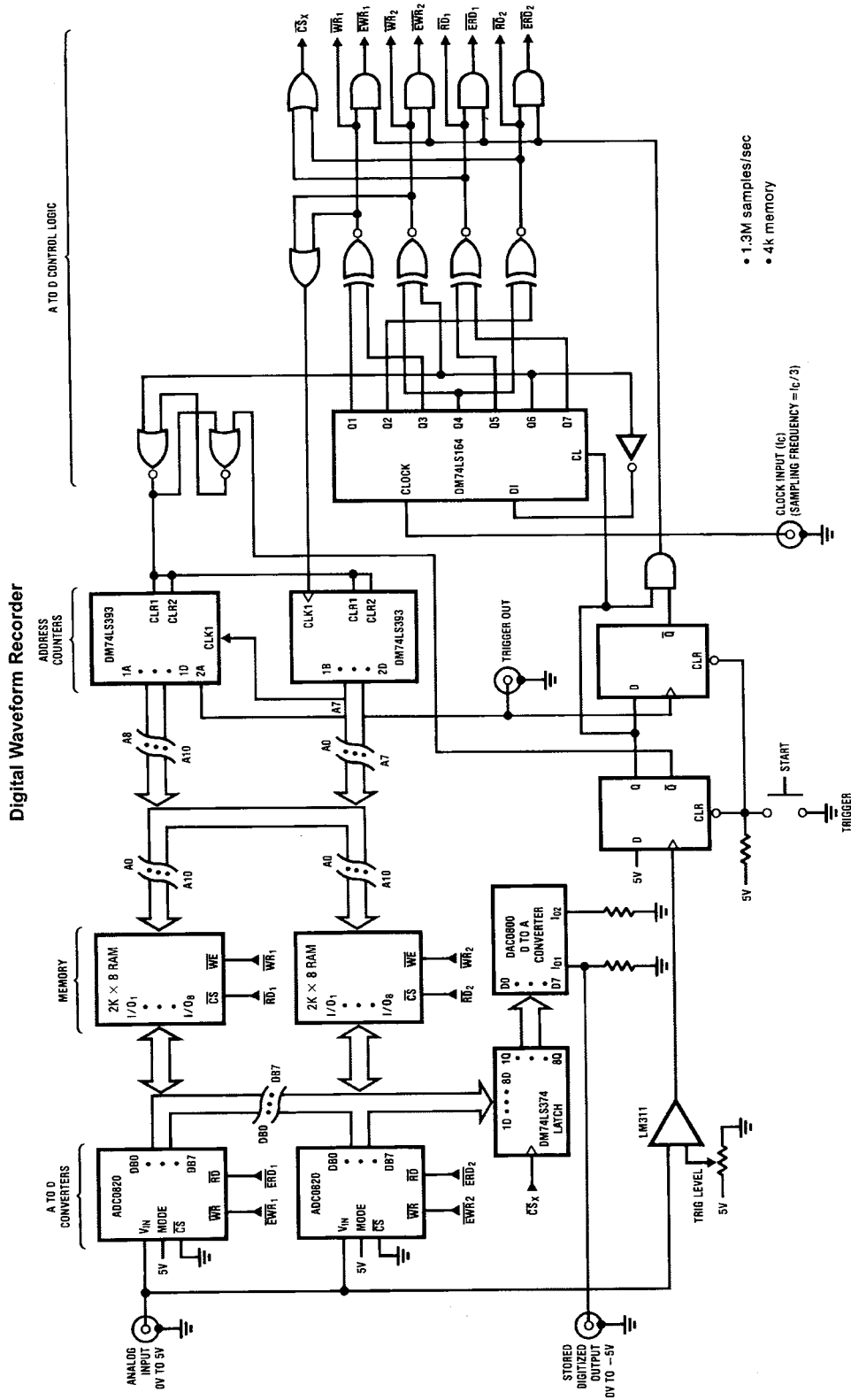
3.0 Typical Applications (Continued)

Fast Infinite Sample-and-Hold

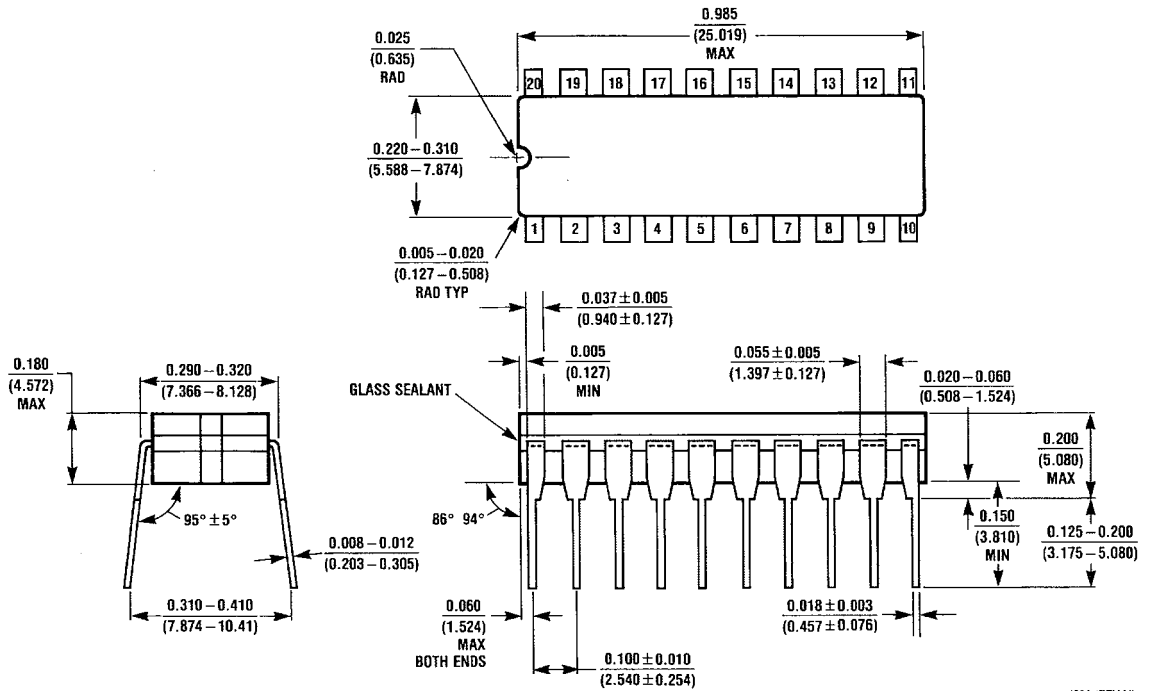


DS005501-31

3.0 Typical Applications (Continued)



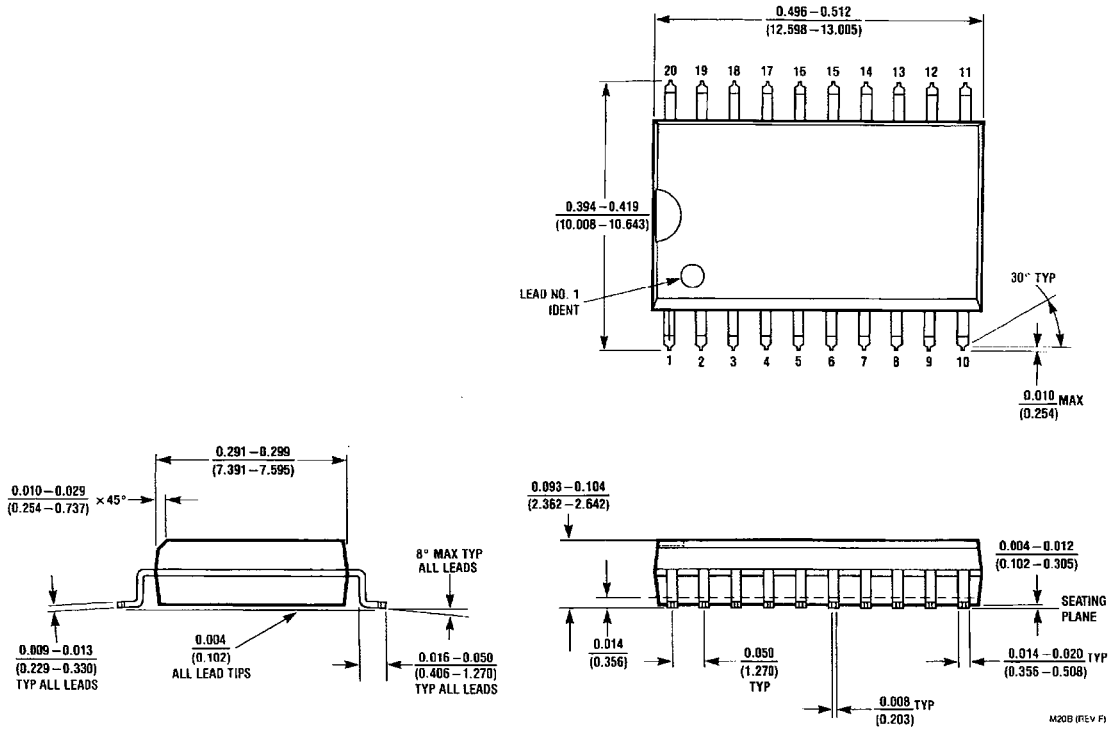
Physical Dimensions inches (millimeters) unless otherwise noted



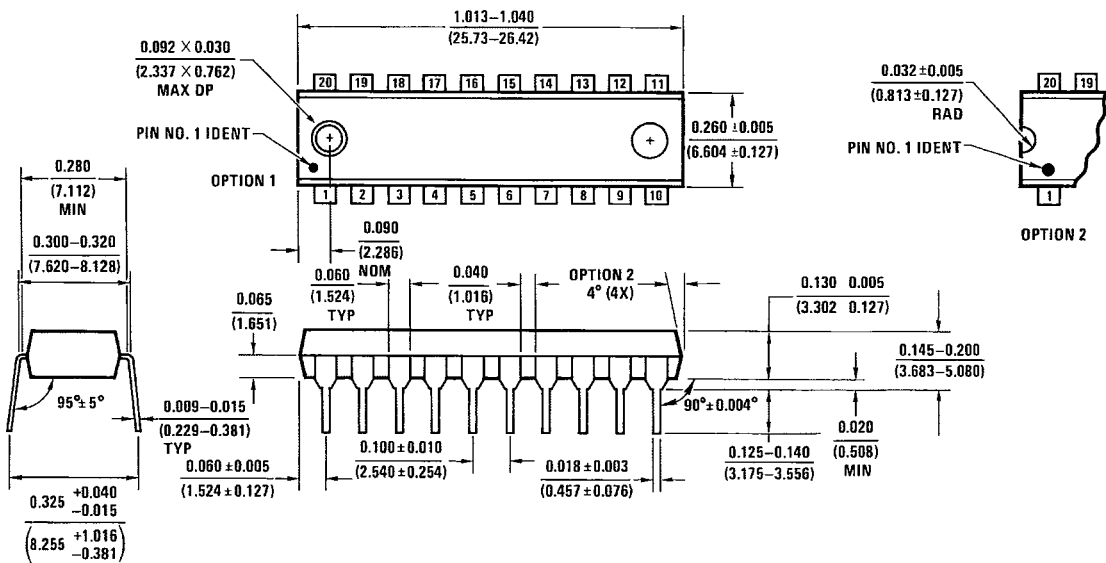
J20A (REV M)

Hermetic Dual-In-Line Package (J)
Order Number ADC0820CCJ
NS Package Number J20A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

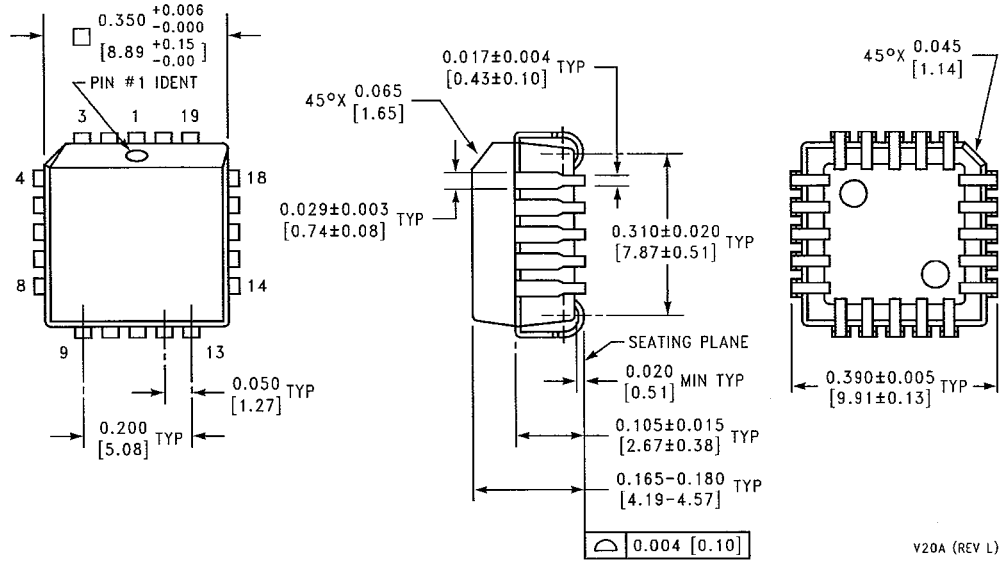


SO Package (M)
Order Number ADC0820BCWM, ADC0820CCWM or ADC0820CIWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0820BCN or ADC0820CCN
NS Package Number N20A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)




Molded Chip Carrier Package (V)
Order Number ADC0820BCV
NS Package Number V20A

V20A (REV L)

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 **National Semiconductor Corporation**
 Americas
 Email: support@nsc.com

www.national.com

National Semiconductor Europe
 Fax: +49 (0) 180-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 69 9508 6208
 English Tel: +44 (0) 870 24 0 2171
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
 Tel: 65-2544466
 Fax: 65-2504466
 Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
 Tel: 81-3-5639-7560
 Fax: 81-3-5639-7507