สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสร้าง DAC สำหรับ ออดิโอไฮไฟ

An Implementation of DAC for Audio Hi-Fi

T061375

โดย

นายดำรงศักดิ์ ถมยา

นายศรีศักดิ์ การนา

เลขหมู่.....
เลขทะเบียน.....61375
วัน,เดือน,ปี 17 ก.ค. 2549

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

An Implementation of DAC for Audio Hi-Fi

BY

Mr. DAMRONGSAK THOMYA

Mr. SRISAK KANNA



A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUTS INSTITUTE OF TECHNOLOGY LADKRABANG

2004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การสร้าง DAC สำหรับ ออดิโอไฮไฟ	
	An Implementation of DAC for Audio Hi-Fi	
ชื่อนักศึกษา	นายดำรงศักดิ์ ถมยา	รหัสนักศึกษา 44010166
	นายศรีศักดิ์ การนา	รหัสนักศึกษา 44010479
อาจารย์ที่ปรึกษา	อ. ดลชัย สุขเจริญผล	
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต	
	สาขาวิศวกรรมสารสนเทศ	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2547	

ปริญญานิพนธ์ฉบับนี้ได้รับการอนุมัติเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

.....

(อาจารย์ดลชัย สุขเจริญผล)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การสร้าง DAC สำหรับ ออดิโอไฮไฟ	
ชื่อนักศึกษา	นายดำรงศักดิ์ ถมยา	รหัสนักศึกษา 44010166
	นายศรีศักดิ์ การนา	รหัสนักศึกษา 44010479
อาจารย์ที่ปรึกษา	อ. ดลชัย สุขเจริญผล	
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต	
	สาขาวิศวกรรมสารสนเทศ	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2547	

บทคัดย่อ

โครงงานนี้ทำการศึกษาและสร้างเครื่องแปลงสัญญาณเสียงดิจิตอลให้เป็นอนาลอก สำหรับงานเสียงในรูปแบบ Sony Philips Digital Interface (S/PDIF) โดยรับสัญญาณเข้าจากเครื่องเล่นซีดีที่มี digital output โดยมีวงจรถอดรหัสสัญญาณดิจิตอลทำหน้าที่ถอดรหัสสัญญาณดิจิตอล สามารถกำหนดรูปแบบได้ 14 รูปแบบ มีอัตราสุ่มสัญญาณ 44.1 kHz และมีการกู้สัญญาณนาฬิกาก่อนเข้าสู่วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 16 บิตรับสัญญาณในรูปแบบ I^2S ทำหน้าที่แปลงสัญญาณผ่านไปยังวงจรกรองความถี่ต่ำผ่านอันดับสองแบบแซลเลนแอนด์คีย์ความถี่ตัดที่ 20 kHz ซึ่งคุณภาพเสียงของวงจรขึ้นอยู่กับองค์ประกอบต่างๆ เช่น ขนาดของ jitter,จำนวน bit และคุณภาพของวงจร DAC รวมทั้งการลดสัญญาณรบกวนที่เกิดขึ้นในวงจร เป็นต้น

แผ่น PCB ที่ออกแบบมีขนาด 5 นิ้ว x 5 นิ้ว (ไม่รวมหม้อแปลง) ซึ่งหลังจากการทดสอบวงจรที่สำเร็จแล้วคุณภาพเสียงที่ได้ค่อนข้างเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	An Implementation of DAC for Audio Hi-Fi	
Student	Mr. Damrongsak Thomya	ID. 44010166
	Mr. Srisak Kanna	ID. 44010479
Advisor	Mr. Dolachai Sookcharoenphol	
Graduate Level	Bachelor Degree of Information Engineering	
Department	Information Engineering	
Academic Year	2004	

Abstract

The main purpose of this project is to study and build a digital to analog converter for audio application in Sony Philips Digital Interface (S/PDIF) format. This converter receives the digital input from the CD transport. Digital audio interface receiver have 14 format to interface, sampling rate is 44.1 kHz and has recloked before transform the signal by digital to analog circuit is 16 bit, I^2S input format next, sends the analog signal to active analog filter lowpass second orders is Sallen and Keys, cutoff is 22.05 kHz. Its sound quality depends on several factors e.g. jitter, amount of bits and quality of DAC circuit, noise reduction technique etc.

The part are assembled on PCB with a dimension of 5 x 5, excluding the transformer.The test result for completed circuit is quite satisfactory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้คงจะไม่สำเร็จด้วยดีหากไม่ได้รับความกรุณาเอื้อเฟื้อจากหลายๆ ท่าน ขอขอบพระคุณอาจารย์ดลชัย สุขเจริญผล อาจารย์ที่ปรึกษาปริญญานิพนธ์ ที่ได้ให้คำปรึกษาอย่างดีตลอดมา

ขอขอบคุณคณะครูอาจารย์ทุกท่านที่ช่วยประสิทธิประสาทวิชาความรู้ จนสามารถนำความรู้ที่ได้มาใช้จนสามารถสร้างสรรค์ผลงานได้สำเร็จ

ขอขอบคุณพี่เจตน์ พี่ป.โทที่ให้ความช่วยเหลือมาโดยตลอด รวมทั้งเพื่อนๆ ทุกคนสำหรับคำแนะนำและให้ยืมอุปกรณ์มาใช้จนงานสำเร็จได้ด้วยดี

ขอขอบพระคุณสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่เปิดโอกาสให้ผู้จัดทำได้เข้ามาศึกษาเล่าเรียนวิชาจนสามารถสำเร็จการศึกษาได้ ณ วันนี้

สุดท้ายนี้ขอขอบพระคุณสิ่งศักดิ์สิทธิ์ทั้งหลายในสากลโลกที่ได้ดลบันดาลให้ข้าพเจ้าได้กำเนิดมาเป็นลูกของคุณพ่อ คุณแม่ อันเป็นที่เคารพรักยิ่ง ซึ่งท่านได้คอยดูแลอบรม สั่งสอนให้เป็นคนดี มีความสามารถและให้การสนับสนุนทางด้านการศึกษามาโดยตลอด จนถึงทุกวันนี้

นายดำรงศักดิ์ ถมยา

นายศรีศักดิ์ การนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1

1.1 ที่มาและแนวคิดในการทำโครงงาน 1

1.2 วัตถุประสงค์และเป้าหมาย 1

1.3 ขั้นตอนและวิธีการทำงาน 2

บทที่ 2 ทฤษฎีและหลักการ 3

2.1 หลักการและคุณสมบัติของ Digital Audio 5

2.2 การบันทึกข้อมูลของ Compact Disc 10

2.3 Digital Audio Interface Receiver 16

2.4 การแปลงสัญญาณออดิโอ Digital to Analog Conversion 23

2.5 วงจรกรองความถี่แบบแอคทีฟเบื้องต้น Active Filter 25

บทที่ 3 การออกแบบวงจร 33

3.1 การออกแบบวงจรถอดรหัสสัญญาณดิจิตอล 33

3.2 การออกแบบวงจรกู้สัญญาณนาฬิกา 34

3.3 การออกแบบวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก 35

3.4 การออกแบบวงจรกรองความถี่ต่ำผ่าน 36

บทที่ 4 ผลการทดสอบ 39

4.1วงจรถอดรหัสสัญญาณดิจิตอล (CS8412) 39

4.2 วงจรกู้สัญญาณนาฬิกา (74HC74) 42

4.3 วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก(TDA1543) 43

4.4 วงจรกรองความถี่ต่ำผ่าน(LF353) 44

บทที่ 5 สรุปผลการทดลอง 47

บรรณานุกรม 49

ภาคผนวก ก วงจร DAC สมบรูณ์สำหรับงานระบบเสียง

ภาคผนวก ข ต้นทุนของโครงงาน

ภาคผนวก ค ข้อมูลเฉพาะอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 Block Diagram of DAC 3

รูปที่ 2.2 Block Diagram of DAC (2) 4

รูปที่ 2.3 Sampling procedure visualized 5

รูปที่ 2.4 Aliasing visualize 7

รูปที่ 2.5 แสดงการ Filtering a sampled signal 8

รูปที่ 2.6 Quantisation 8

รูปที่ 2.7 Digital Communication System 10

รูปที่ 2.8 โครงสร้าง subframe ของ subframe แบบ SPDIF 12

รูปที่ 2.9 โครงสร้างของบล็อค 12

รูปที่ 2.10 โครงสร้างของบล็อคสถานะช่องสัญญาณ 13

รูปที่ 2.11 Electrical SPIDF interface 16

รูปที่ 2.12 CS8412 Block Diagram 18

รูปที่ 2.13 RS422 Receiver Internal Circuit 18

รูปที่ 2.14 แสดงวิธีการต่อวงจรขาเข้าของ CS8412 19

รูปที่ 2.15 แสดง Chatacteristic ของ Jitter Attenuator ใน CS8412 20

รูปที่ 2.16 CS8412 Audio Serial Port Formats 22

รูปที่ 2.17 Special Audio Port Formats 12 and 13 23

รูปที่ 2.18 รูปแบบของสัญญาณอินพุต (ชนิด I^2S) 24

รูปที่ 2.19 TDA1543 Block Diagram 24

รูปที่ 2.20 วงจรกรองความถี่และการทำงานของวงจรแต่ละชนิด 26

รูปที่ 2.21 การตอบสนองความถี่ของวงจรกรองความถี่ที่ลำดับต่าง ๆ 28

รูปที่ 2.22 ตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน 29

รูปที่ 2.23 วงจรกรองความถี่แบบ Sallen and Key 31

รูปที่ 3.1 วงจรถอดรหัสสัญญาณดิจิตอล 34

รูปที่ 3.2 วงจรกู้สัญญาณนาฬิกา 35

รูปที่ 3.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 วงจรกรองความถี่แบบ Sallen and Key 37
รูปที่ 3.5 วงจรกรองความถี่ต่ำที่ได้จากการคำนวณ 38
รูปที่ 4.1 ผลการทดสอบสัญญาณที่ออกจากขา FSYNC (ขา 11) 40
รูปที่ 4.2 ผลการทดสอบสัญญาณที่ออกจากขา SCK (ขา 12) 40
รูปที่ 4.3 ผลการทดสอบสัญญาณที่ออกจากขา MCK (ขา 19) 41
รูปที่ 4.4 ผลการทดสอบสัญญาณที่ออกจากขา SDATA (ขา 26) 41
รูปที่ 4.5 ผลการทดสอบสัญญาณ FSYNC ที่ผ่านวงจรกู้สัญญาณนาฬิกา 42
รูปที่ 4.6 ผลการทดสอบสัญญาณ SCK ที่ผ่านวงจรกู้สัญญาณนาฬิกา 42
รูปที่ 4.7 ผลการทดสอบสัญญาณ SDATA ที่ผ่านวงจรกู้สัญญาณนาฬิกา 43
รูปที่ 4.8 ผลการทดสอบสัญญาณเอาท์พุตที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 43
รูปที่ 4.9 ผลการทดสอบสัญญาณเอาท์พุตที่ผ่านวงจรกรองความถี่ต่ำ 44
รูปที่ 4.10 เปรียบเทียบสัญญาณอนาลอกที่ได้จากวงจร DAC และ CD-ROM 44
รูปที่ 4.11 เปรียบเทียบสัญญาณอนาลอกที่ได้จากวงจร DAC และ Noise ที่ออกมา 45
รูปที่ 4.12 เปรียบเทียบสัญญาณอนาลอกที่ได้จาก CD ROM และ Noise ที่ออกมา 45
รูปที่ 4.13 ทดสอบประสิทธิภาพการกรอง Noise ที่ได้จากวงจร DAC 46
รูปที่ 4.14 ทดสอบประสิทธิภาพการกรอง Noise ที่ได้จาก CD ROM 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 Disc Format 11

ตารางที่ 2.2 Optical System 11

ตารางที่ 2.3 Signal format 11

ตารางที่ 2.4 Biphase mark coding 15

ตารางที่ 2.5 Preamble contents 15

ตารางที่ 2.6 เปรียบเทียบรายละเอียดทั่ว ๆ ไปของ S/PDIF และ AES/EBU format 17

ตารางที่ 2.7 แสดง Format ของ Normal Audio Port Modes (M3=0) 20

ตารางที่ 2.8 แสดง Format ของ Special Audio Port Modes (M3=1) 21

ตารางที่ 2.9 แสดงค่าพารามิเตอร์ของรูป I^2S 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาและแนวคิดในการทำโครงงาน

ในปัจจุบันนี้ การฟังเพลงเป็นส่วนหนึ่งในชีวิตประจำวันของผู้คนทั่วไป ซึ่งช่วยให้เราเกิดความรู้สึกผ่อนคลายจากกิจกรรมต่าง ๆ ในชีวิตประจำวัน เพลงที่เราฟังจากเครื่องเล่นเพลงทั่ว ๆ ไป คุณภาพของเสียงอาจจะไม่ดีสักเท่าไร แต่ก็ขึ้นอยู่กับหลาย ๆ ปัจจัย ที่มีผลต่อข้อมูลและส่วนต่าง ๆ จากภายนอก เช่น noise จากอุปกรณ์ที่ใช้อ่านข้อมูล หรืออาจจะเกิดจากการอัดเพลงต่อกันไปเรื่อย ๆ ซึ่งสิ่งเหล่านี้ก็มีผลทำให้คุณภาพของเสียงลดลงได้เช่นกัน ทำให้ผู้คนที่ต้องการฟังเพลง ต้องการที่จะเพิ่มคุณภาพของเสียงให้ดีขึ้นได้ด้วยตัวเอง ทำให้เรามีความคิดที่จะสร้างอุปกรณ์ขึ้นมาตัวหนึ่ง ซึ่งต้องการที่จะให้ผู้ฟังสามารถเพิ่มคุณภาพของเสียงให้มีคุณภาพดีขึ้นกว่าเดิมได้เอง คุณภาพของเสียงในที่นี้ ในทางความเป็นจริงแล้ว ถ้าเราฟังเสียงปกติกับเสียงที่ผ่านอุปกรณ์ตัวนี้ ถ้าเสียงปกติคุณภาพไม่ดีอยู่แล้ว พอนำมาผ่านอุปกรณ์ตัวนี้เราก็พอที่จะฟังออกได้บ้างว่าเสียงดีขึ้นจากเสียงปกติ แต่ถ้าเสียงปกติมีคุณภาพดีหรือค่อนข้างดีอยู่แล้ว ก็อาจจะไม่สามารถที่จะแยกแยะได้ว่าคุณภาพของเสียงดีขึ้นจริงหรือไม่ เราก็เลยจะต้องทดสอบด้วยการวัดค่าที่ได้จากเสียงที่ผ่านอุปกรณ์แล้ว

1.2 วัตถุประสงค์และเป้าหมาย

ในหัวข้อโปรเจ็คนี้ เราต้องการที่จะศึกษาเกี่ยวกับคุณภาพของเสียงที่ได้จากเครื่องเล่น CD ในหัวข้อนี้เราจะใช้ CD Rom จากเครื่องคอมพิวเตอร์ในการทดสอบและการสร้าง เพราะว่าจะสะดวกในการทดสอบและเปรียบเทียบผลจากการทำงาน และมีความต้องการที่จะเพิ่มคุณภาพของเสียงที่ได้จากเครื่องเล่น CD Rom

ในการสร้างชิ้นงานขึ้นมา ส่วนที่เราต้องการคือ ต้องการสร้าง DAC Card สำหรับใช้ในการแปลงสัญญาณ Digital CD format มาเป็นสัญญาณ Stereo Signal (Analog Signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

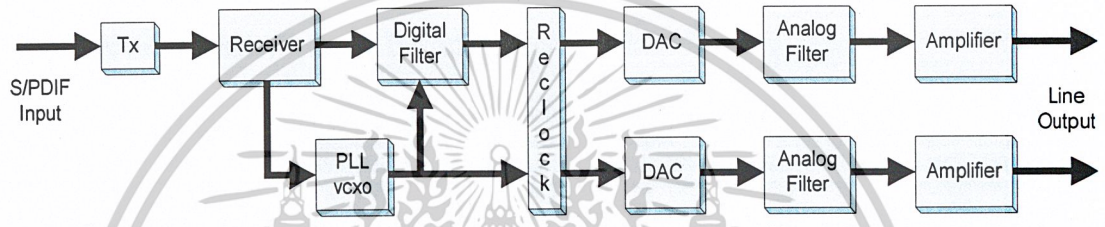
1.3 ขั้นตอนและวิธีการดำเนินงาน

ทำการเลือกสรร chip ที่จะสามารถใช้ในการสร้างชิ้นงานในส่วนต่าง ๆ ของวงจร ในที่นี้มี chip ที่สำคัญอยู่ 4 ส่วนด้วยกันคือ chip ที่ใช้ในวงจรการรับสัญญาณดิจิตอลจากซีดีรอม ต่อมาคือ chip ที่จะใช้ในวงจร reclock ซึ่งจะช่วยกู้สัญญาณนาฬิกาและลด jitter ตัวต่อไปจะเป็น chip ที่ใช้ในวงจรการแปลงสัญญาณจากดิจิตอลออดิโอไปเป็นสัญญาณอนาลอก (DAC) สุดท้ายเป็นออมแอมป์ใช้ในการแปลงค่ากระแสที่ออกจาก DAC และใช้ออกแบบ active lowpass filter ซึ่งจะทำการศึกษาโดยอาศัยข้อมูลจาก datasheet ของผู้ผลิต chipแต่ละตัวและข้อมูลที่ได้จากทาง internet เมื่อได้ chip แต่ละตัวตามต้องการแล้วก็จะทำการออกแบบวงจรในแต่ละส่วน แต่ก็อาจจะมีวงจรที่จะต้องเพิ่มเติมเข้าไปในวงจรหลักแต่ละตัว เมื่อได้ทำการสร้างวงจรขึ้นมาแล้วก็จะทำการทดสอบวงจรวัดค่าของ input และ output ในแต่ละส่วนของวงจร แล้วนำมาเปรียบเทียบกับผลที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการพื้นฐาน

วงจร DAC ทั่วไป ที่ใช้สำหรับออดิโอ จะต้องอาศัยวงจรในส่วนต่าง ๆ มารวมกัน ซึ่งจะต้องมีความเข้าใจใน chipของวงจรในแต่ละส่วน และเข้าใจในทฤษฎีและหลักการต่าง ๆ ที่เกี่ยวข้องกับออดิโอ และ DAC ไดอะแกรมข้างล่างนี้ ได้แสดงส่วนต่าง ๆ ของวงจร DAC



รูปที่ 2.1 Block Diagram of DAC

จากบล็อกไดอะแกรมข้างบน แสดงให้เห็นส่วนต่าง ๆ ของวงจร DAC ซึ่งแบ่งเป็น 2 ส่วนใหญ่ ๆ คือส่วนของดิจิตอลกับส่วนของอนาล็อก วงจรในแต่ละตัวมีรายละเอียดดังนี้

Tx

เป็นส่วนที่ใช้แยกแยะสัญญาณที่รับเข้ามาว่าเป็นสัญญาณอินพุทประเภทใด เป็นสัญญาณแบบ AES/EBU หรือว่าเป็น S/PDIF ซึ่งมีผลทำให้ช่วยลด jitter ของสัญญาณ ก่อนที่จะทำการส่งไปยังตัว Receiver

Receiver

ตัวรับสัญญาณ ได้เลือกใช้เบอร์ CS8412 ซึ่งสามารถรับสัญญาณ S/PDIF ได้ มีวงจร RS422 และวงจร PLL อยู่ในตัว ทำ clock recovery และแปลง format ของสัญญาณให้เป็นสัญญาณที่วงจรหรือชิพตัวอื่น ๆ สามารถนำไปใช้งานได้

Digital Filter

ส่วนนี้ใช้ทำ De-emphasis และ interpolation ซึ่งจะช่วยเพิ่มคุณภาพของเสียงให้ดีขึ้น และเป็นส่วนที่ใช้ทำการ Oversampling จากสัญญาณที่รับเข้ามา 16 บิต ไปเป็น 18 บิต 20 บิต 24 บิตได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL & VCXO

วงจร PLL (Phase Locked Loop) ทำหน้าที่สร้างสัญญาณ clock จากอินพุทที่รับเข้ามา และ VCXO (Voltage Controlled Crystal Oscillator) ทำหน้าที่ปรับปรุงความถี่ clock ที่เกิด jitter ให้สัญญาณมีความเที่ยงตรง โดยการตั้งให้เกิด jitter ได้ไม่เกิด 2 Hz จากความถี่ clock ปกติ

Reclock

ทำหน้าที่สร้างความถี่ Clock ขึ้นมาใหม่ โดยให้ความถี่ ๆ นึงเป็นตัวควบคุมสัญญาณนาฬิกาต่าง ๆ ให้มีการ synchronize กับสัญญาณข้อมูลได้ดีขึ้น เพื่อลดปัญหาการเกิด jitter ของสัญญาณที่ออกจากตัว DAC โดยสังเกตจะได้ว่าขอบของสัญญาณนาฬิกาต่าง ๆ ก่อนที่จะเข้าตัว DAC จะมีความชันขึ้นกว่าสัญญาณที่ไม่มีส่วนของวงจรตัวนี้

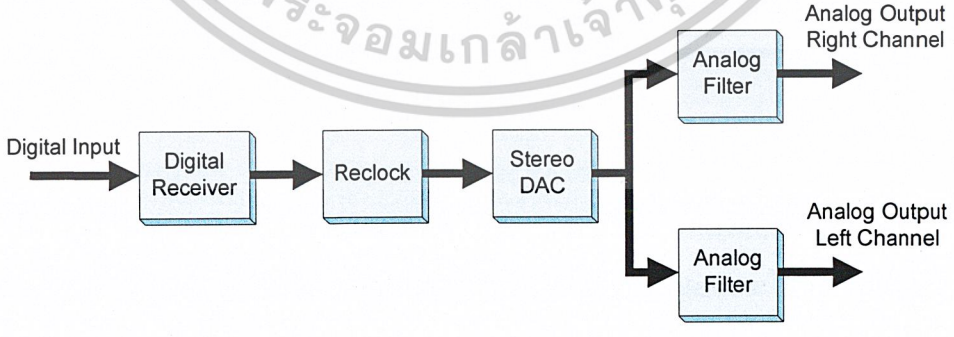
DAC

ทำหน้าแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอะนาล็อกตามโหมดการทำงานที่เราได้เลือกไว้ ซึ่งได้ทำการตั้งค่าไว้จากตัว Receiver แล้วทำการแยกช่องสัญญาณซ้าย-ขวา แล้วส่งสัญญาณไปยัง Analog Filter แต่ละช่องสัญญาณ

Analog Filter

ทำหน้าที่กำจัด Noise ซึ่งเป็นสัญญาณความถี่สูงออกจากสัญญาณที่ส่งมาจากวงจร DAC

จากส่วนประกอบต่าง ๆ ของวงจร DAC ที่ได้กล่าวมา ได้แยกส่วนที่จะสร้างขึ้นมาให้เข้าใจง่ายขึ้น เพื่อความสะดวกในการเลือกใช้ chip และในการออกแบบวงจรซึ่งแสดงดังไดอะแกรมข้างล่างนี้



รูปที่ 2.2 Block Diagram of DAC (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อรู้ถึงขั้นตอนแต่ละขั้นแล้ว เราก็จะทำการศึกษาถึงทฤษฎีและหลักการทำงานของแต่ละตัว รวมทั้งรูปแบบของสัญญาณที่ใช้ และโครงสร้างของ Compact Disc เพื่อให้รู้ถึงสัญญาณที่เข้ามามีลักษณะและการถอดรหัสอย่างไร ซึ่งจะกล่าวในหัวข้อถัดไป

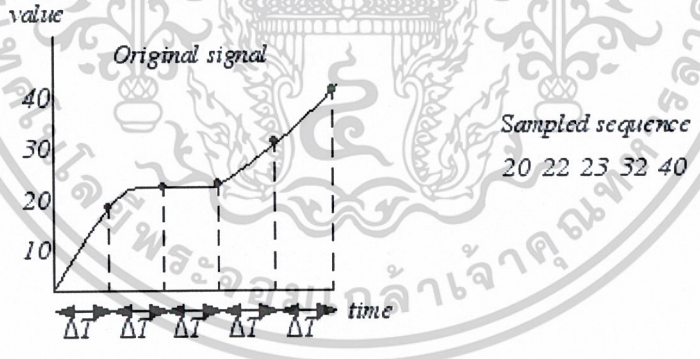
2.1 หลักการและคุณสมบัติของดิจิตอลออดิโอ

ในหัวข้อนี้จะกล่าวถึงทฤษฎีและหลักการในการประมวลผลสัญญาณดิจิตอลและการแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก แต่บางส่วนของหัวข้อนี้เป็นการคำนวณทางคณิตศาสตร์ ซึ่งอาจจะไม่จำเป็นต้องอ่านเพื่อทำความเข้าใจ มีรายละเอียดดังนี้

- Sampling
- Jitter
- Quantisation

Sampling

กระบวนการ Sampling เราจะดูรูปสัญญาณที่มีคาบเวลาสม่ำเสมอ และจำค่าของสัญญาณที่ได้ในขณะนั้น (ดูตัวอย่างดังรูปที่ 2.3)



รูปที่ 2.3 Sampling procedure visualized

ความสำคัญของทฤษฎีการ Sampling ของ Nyquist มีอยู่ว่าความเร็วของการ samples จะต้องทำให้แน่ใจว่ารูปสัญญาณ original จะสามารถนำกลับมาสร้างใหม่ได้อย่างถูกต้อง

ในส่วนต่อไปเป็นเทคนิคของบิต แต่มีข้อพิสูจน์ว่า การแบ่งสัญญาณ original ออกเป็นส่วนๆ ไม่ได้หมายความว่าข่าวสารจะสูญหายเมื่อความถี่ sampling ($fs = 1/T$) น้อยกว่าความถี่สูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ $f(t)$ เป็นสัญญาณอนาลอก, $F(\omega)$ เป็นFourier transform ของสัญญาณ, $F(\omega) = 0$ สำหรับ $|\omega| > \omega_c$ (เนื่องจาก $f(t)$ เป็นสัญญาณที่มีช่วงจำกัด)

The Fourier transforms ของ $f(t)$ หาได้จาก

$$F(\omega) = \int_{-\infty}^{\infty} f(t) \cdot e^{-j\omega t} dt$$

The inverse Fourier transforms หาได้จาก

$$f(t) = \frac{1}{2\pi} \cdot \int_{-\infty}^{\infty} F(\omega) \cdot e^{j\omega t} d\omega$$

ฟังก์ชันคาบ $F(\omega)$ กับคาบเวลา T สามารถเขียนได้ดังนี้

$$F(\omega) = \sum_{n=-\infty}^{\infty} c_n \cdot e^{jn\omega T}$$

กับ

$$c_n = \frac{1}{2\omega_c} \cdot \int_{-\infty}^{\infty} F(\omega) \cdot e^{-jn\omega T} d\omega$$

และถ้า $T = \pi/\omega_C$, ซึ่งอยู่ในกรณี$|\omega| < |\omega_C|$ สามารถเขียนได้ดังนี้

$$c_n = \frac{1}{2\omega_c} \cdot \int_{-\omega_c}^{\omega_c} F(\omega) \cdot e^{-jn\omega T} d\omega = \frac{\pi}{\omega_c} \cdot f(-nT)$$

หลังจากแทน $n = -n$ เราจะได้สมการเป็น

$$F(\omega) = \frac{\pi}{\omega_c} \cdot \sum_{n=-\infty}^{\infty} f(nT) \cdot e^{-jn\omega T}$$

ถ้า $|\omega| < |\omega_C|$ แทนผลลัพธ์นี้ในผลของ the inverse Fourier transform

$$f(t) = \frac{1}{2\omega_c} \cdot \sum_{n=-\infty}^{\infty} f(nT) \cdot \int_{-\omega_c}^{\omega_c} e^{j\omega(t-nT)} d\omega$$

หลังจากอินทิเกรตเราจะได้

$$f(t) = \sum_{n=-\infty}^{\infty} f(nT) \cdot \frac{\sin(\omega_c \cdot (t-nT))}{\omega_c \cdot (t-nT)}$$

สมการสุดท้ายเราสามารถกล่าวได้ว่า สัญญาณที่มีช่วงจำกัดสามารถนำกลับมาสร้างใหม่ได้สมบรูณ์จากค่าของมันเอง $f(nT)$ กับ $T = \pi/\omega_c$, และความถี่ sampling $\omega s = 2\pi/T = 2\omega_c$ เนื่องจากความถี่ sampling ควรจะน้อยที่สุดที่สองเท่าของช่วงความกว้างของสัญญาณที่จะทำการ sample

ทฤษฎีการ sampling แนะนำว่าสัญญาณอนาลอก original ที่จะถูก sample ต้องมีช่วงจำกัดเป็นครึ่งหนึ่งของความถี่ sampling มันสามารถทำได้โดยการผ่านตัว ideal low-pass filter นี่คือประเด็นหนึ่งที่มักจะลืมกัน โดยผู้คนส่วนมากซึ่งอ้างว่าสัญญาณ square 20 kHz ไม่สามารถทำการ

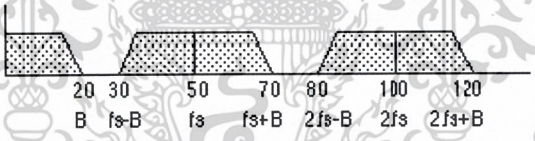
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sample ได้ถูกต้องในระบบดิจิตอลออดิโอ สังเกตเห็นว่า square 20 kHz ประกอบด้วยผลรวมของฮาร์โมนิกเลขคี่ของสัญญาณไซน์เวฟ 20 kHz ตัวอย่างรูปไซน์เวฟ 20kHz (ฮาร์โมนิกที่ 1) สัญญาณไซน์เวฟ 60 kHz (ฮาร์โมนิกที่ 3) สัญญาณไซน์เวฟ 100 kHz (ฮาร์โมนิกที่ 5) และอื่นๆ ในลำดับของฮาร์โมนิกที่สูงขึ้นส่วนต่างที่ได้จากการกรองจะถูกแยกออกก่อนการ sampling

สเปกตรัมของสัญญาณที่ถูก Sample ก็คือตัวเดียวกับสเปกตรัมของสัญญาณต่อเนื่อง ยกเว้นว่าจะเกิด aliasing ดังตัวอย่างถ้าช่วงของสัญญาณ 20 kHz ถูก sample ที่ 50 kHz แล้วสเปกตรัม alias จะปรากฏในช่วง 30-70 kHz, 80-120 kHz และอื่นๆ แต่สเปกตรัม alias ต้องไม่เกิดการ overlap เพราะว่าอัตรา sample มากกว่าสองเท่าของช่วงสัญญาณตามที่ต้องการ (ดังรูปที่ 2.4)

ถ้าสัญญาณอนาลอกที่เข้ามาถูก sample โดยไม่ได้จำกัดช่วง จะทำให้เกิด aliasing ระหว่างสัญญาณ ระยะเวลาจะมากกว่าสองเท่าของ f_c เป็นรูปหลังจากการข้ามความถี่ sampling ครึ่งหนึ่ง โดยค่าของมันจะมากกว่าครึ่งหนึ่งของความถี่ sampling สำหรับอัตราการ sampling 44.1 kHz, สัญญาณ 25 kHz จะเกิด alias (25.000-22.050)=2950 kHz

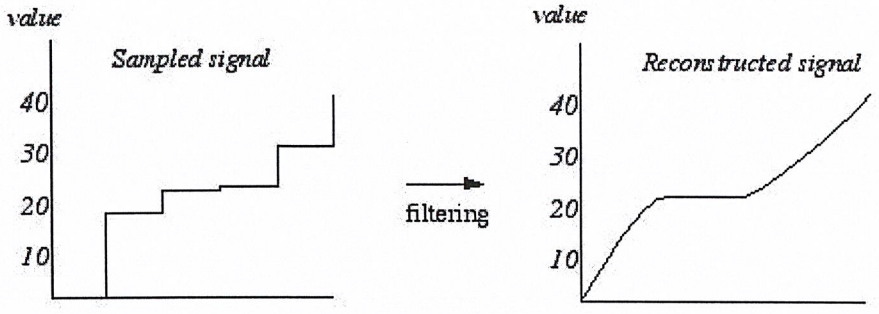
ในเสียงดิจิตอลเรากังวลกับ base-band ว่าส่วนประกอบของสัญญาณซึ่งขยายจาก 0 ถึงแบนวิดท์ (ค่า B) ด้วยเหตุนี้การที่อัตราเสียงดิจิตอลมาตราฐานที่ 44.1 kHz ต้องการสัญญาณอินพุทที่ช่วงแบนวิดท์ที่ช่วง 0 ถึง 22.5 kHz สัญญาณอินพุทต้องมีค่าจำกัดถึง 22.05 kHz



รูปที่ 2.4 Aliasing visualize

ความต้องการใช้งานของ Analog Filter หลังจากที่ทำ DA-conversion (อาจเรียกว่า reconstruction filter) อาจจะไม่ชัดเจน ปรากฏการณ์นี้แสดงให้เห็นในรูปที่ 2.5 DA-conversion จะทำการกู้ลำดับ sample ให้กลับเป็นคลื่นสัญญาณ square (โดยใช้การ sample และยึด strategy บนค่า sample) ตามที่ได้แสดงในส่วนแรกของรูปที่ 2.5 สัญญาณนี้ประกอบไปด้วยความถี่ที่อันดับสูงกว่า (aliases) เมื่อเปรียบเทียบกับสัญญาณ original ดังนั้น DA-conversion มีกระบวนการสร้างความถี่ที่ไม่ปรากฏมาก่อนหน้านี้ เพราะว่าสัญญาณอินพุทคือค่าที่จำกัด, ตัวกรองความถี่ต่ำถูกใช้ในฮาร์โมนิกที่อันดับสูงจากคลื่นสัญญาณ square (ตัวอย่างเช่นการย้าย aliases จากสเปกตรัม) และเหลือไว้แต่สัญญาณ original

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการ Filtering a sampled signal

สิ่งหนึ่งที่ควรคิดถึงคือสัญญาณที่มีความถี่สูงอาจเป็นเหตุให้เกิดการผิดเพี้ยนแบบ intermodulation ข้างใน audio power amplifier หรือการผิดเพี้ยนภายส่วนประกอบของในลำโพง

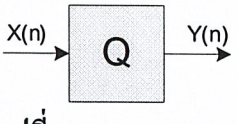
Quantisation

การบันทึกสัญญาณดิจิตอลแต่ละ Sample ควรแทนด้วยอนุกรมไบนารีของบิต แอมพลิจูดของแรงดันของสัญญาณอนาลอกต้องเป็นรูปของดีสครีต ซึ่งกระบวนการดังกล่าวจะเป็นหน้าที่ของ quantization

ในรูปแบบเสียง 16 บิต เราสามารถแทนค่าแรงดันของสัญญาณเสียงได้ถึง 2^{16} หรือ 65,536 ระดับ มันดูเหมือนว่า Quantization เป็นปัจจัยที่ถูกจำกัดคุณสมบัติในระบบเสียงดิจิตอล โดยจำนวนของบิตถูกใช้ในระบบ quantizing

Quantisation ของสัญญาณไม่มีอะไรซับซ้อนมากกว่าการปัดค่าให้เป็นจำนวนเต็ม ถ้าอินพุทเข้าไปใน quantiser อยู่ระหว่าง p และ p+0.5 แล้วให้ปัดลงเป็น p ถ้าอินพุทอยู่ระหว่าง p+0.5 และ p+1 แล้วให้ปัดขึ้นเป็น p+1 โดยทั่วไปขนาดลำดับของเอาท์พุท (หรือ quantum) ไม่จำเป็นต้องรวมแต่สามารถเลือกขนาด q เองในกรณีที่ p ไม่เป็นจำนวนเต็มแต่คูณด้วยค่า q

พิจารณาระบบการ Sample เมื่อ x(n) คือสัญญาณอินพุทดีสครีต Q คือ quantiser และได้เอาท์พุท y(n)



รูปที่ 2.6 Quantisation

ถ้า x(n) เป็นค่าที่ได้จากการ random และ uncorrelated แล้วทุก ๆ ค่า จะให้ค่า sample ทันทีมันจะได้เหมือนกันทุก ๆ ที่อยู่ในระหว่าง (p - q/2) ถึง (p + q/2) ใน word อื่น ๆ quantization error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$e(n) = y(n) - x(n)$ ที่เป็นการ random และ uncorrelated และมีการแบ่ง rectangular ของค่า peak ที่มีค่าเท่ากับ q/2 สถิติเบื้องต้นแสดงให้เห็นว่า (หรือค่าเฉลี่ย) quantization error เป็นศูนย์และค่า quantization noise power คือ $q^2/12$

เครื่องมือในการวัด Quantization error ในระบบดิจิตอลสามารถทำได้และจะแสดงอยู่ในรูป signal-to-error ratio (S/E) อัตราส่วนนี้คือ 6 x n เมื่อ n เป็นจำนวนของบิตใน data word ด้วยเหตุนี้ตามหลักอัตรา S/N สำหรับระบบ 16 บิตคือ 96 dB

ถ้า x(n) แสดงความสัมพันธ์กันบางอย่างแล้ว ความผิดพลาดกลับมีความสัมธ์พันกับสัญญาณและแสดงให้เห็นว่าความผิดเพี้ยนน้อยกว่าการกระจายเสียง

พิจารณา 16 บิต ADC clock ที่ 44.1 kHz ค่า quantization noise ของมันประมาณ 96 dB ต่ำกว่าสัญญาณไซน์แบบ full-scale และกระจายอย่างสม่ำเสมอจาก dc ถึง 22.05 kHz ถ้า ADC มี clock เร็วกว่าแล้วผลรวมของ quantization noise power ยังคงไม่มีผลกระทบ แต่จะกระจายมากในแบนวิดท์ที่กว้างกว่า ตัวอย่างถ้าความเร็วในการแปลงกลับเป็นสองเท่า quantization noise power มีการกระจายจาก dc ถึง 44.1 kHz สัญญาณที่ดีไซน์จะอยู่ในช่วงจาก dc ถึง 22.05 kHz และ quantization noise power ในช่วงนี้จะลดลงครึ่งหนึ่ง

ตัว digital low-pass filter กับ cut-off ที่ 22.05 kHz cut-out ที่ครึ่งหนึ่งของ quantization noise การเพิ่ม SNR ขึ้น 3 dB แต่ไม่มีผลกระทบกับสัญญาณ audio-band กระบวนการสามารถขยายได้และแต่ละสองเท่าของอัตราการ samplingจะทำให้ audio-band quantization noise ลดลง 3 dB ตัวอย่าง quantization noise สำหรับ 4-times oversampling) จะแปลงกลับได้เป็น 6 dB (หลังจากผ่านการกรองแล้ว) ต่ำกว่าการใช้การแปลงกลับแบบเดิมที่ไม่ใช้ oversampling

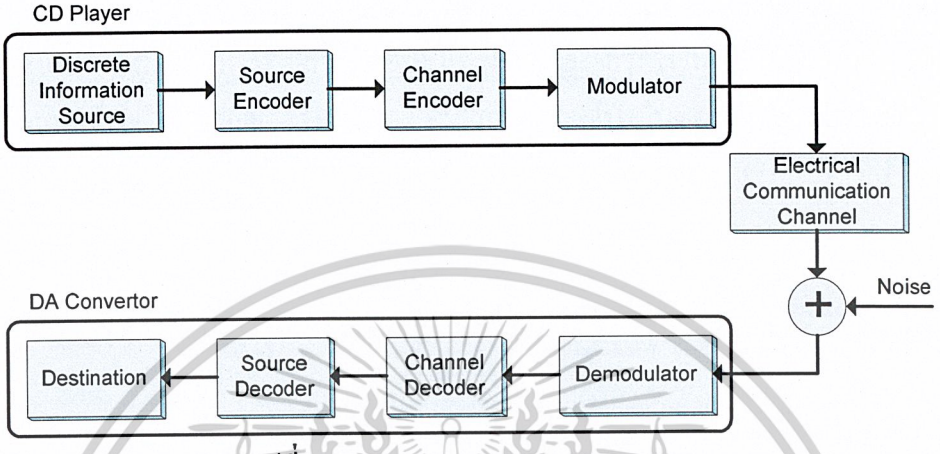
ตามกฎเดิม ถ้าเราใช้ 15บิต ADC ที่ 4x44.1 kHz เราควรได้ผลอย่างเดียวกันกับ 16 บิต sampling ที่ 44.1 kHz การเพิ่มขึ้นของ quantization noise เพราะว่าการกระจายแย่ถูกทำให้สมดุลโดยการแก้ไข SNR นำไปสู่การ oversampling กระบวนการสามารถขยายได้และสำหรับแต่ละตัวคูณของสี่ซึ่งเราเพิ่มอัตรา sample แล้วเราสามารถลดบิตของตัวแปลงกลับ ดังนั้นถ้าเรา oversample โดยใช้ตัวคูณที่ 415 แล้วหมายความว่าเราสามารถลด 15 จาก 16 บิตและใช้ 1บิตสำหรับการแปลงกลับ นี่หมายความว่าอัตราsampleจะอยู่ที่ประมาณ 50.1012 Hz ซึ่งดีในการใช้ infra-red Noise-shaping สามารถลดอัตราการ sample

Oversampling มีประโยชน์อย่างมากในกระบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก สำหรับแต่ละตัวคูณของสี่ ซึ่งเป็นการ sample เป็น oversample 1 บิตอาจถูกลดจากแต่ละ data word ไม่ใช่การลดคุณสมบัติของ audio-band แต่คุณสมบัติ audio คุณภาพสูงจะทำให้ได้อัตรา sample ที่เหมาะสมกับ noise-shaping

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การบันทึกข้อมูลของ Compact Disc

ในรูปที่ 2.7 แสดงขั้นตอนและหน้าที่ต่าง ๆ ในแต่ละส่วนของระบบการสื่อสารดิจิตอล



รูปที่ 2.7 Digital Communication System

Information source จะสร้างรายละเอียดของ Symbols ที่มีอัตราเฉพาะเจาะจง Source encoder แปลค่า symbols เหล่านี้ในตามลำดับของ 0 และ 1 Channel Encoder จะถูกปรับการแปลลำดับของ 0 และ 1 ถึงลำดับอื่น ๆ ของ 0 และ1 เพื่อให้เข้าใจในความเชื่อถือได้ในการส่งและประสิทธิภาพสูง Modulatorรับการไหลที่ต่อเนื่องของบิต 0 และ 1 และแปลงมันให้เป็นรูปของคลื่นไฟฟ้าที่เหมาะสมสำหรับการส่ง

ช่องสัญญาณการสื่อสารเตรียมการเชื่อมต่อระหว่าง source และปลายทาง มันมีขอบเขต bandwidthจำกัดและรูปคลื่นที่ส่งไปทนทานต่อการผิดเพี้ยนแอมพลิจูด(ช่วงกว้างของคลื่น)และการผิดเพี้ยนphase นอกจากการผิดเพี้ยนแล้วพลังถูกลดเนื่องจากการลดทอนของช่องสัญญาณ สุดท้ายนี้,รูปคลื่นถูกทำให้แย่ลงโดยสัญญาณไฟฟ้าที่ไม่ต้องการเนื่องจากว่าสัญญาณรบกวน จุดประสงค์อันดับแรกของระบบการสื่อสารจะระงับผลกระทบที่เลวร้ายของสัญญาณรบกวนให้มากที่สุดเท่าที่เป็นไปได้

กระบวนการกลับกันเกิดขึ้นที่ด้านปลายทาง Demodulatorแปลงรูปคลื่นไฟฟ้าให้เป็นลำดับของ 0 และ1, Channel decoder แปลค่าตามลำดับของ 0 และ 1ให้เป็นตามลำดับ original ของ 0 และ 1 มันยังตรวจแก้ข้อผิดพลาดและการกู้คืนสัญญาณนาฬิกา Source decoderในตอนท้ายแปลค่าลำดับของ 0 และ 1 เข้าไปใน symbols

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 Information Source

รายละเอียดสำหรับแผ่นดิสค์และเครื่องเล่นแผ่นดิสค์ที่ถูกพัฒนาร่วมกันโดย Sony, Philips และ Polygram โดยได้สรุปไว้ในตาราง 2.1, 2.2 และ2.3

Playing	74 minutes, 33 seconds maximum
Rotation	1.2 – 1.4 m/sec (constant linear velocity)
Track pitch	1.6 μm
Diameter	120 mm
Thickness	1.2 mm
Center hole diameter	15 mm
Recording area	46 mm – 177 mm
Signal area	50 mm – 117 mm
Material	Any acceptable medium with a refraction index of 1.55
Minimum pit length	0.833 μm (1.2 m/sec) to 0.972 μm (1.4 m/sec)
Maximum pit length	3.05 μm (1.2 m/sec) to 3.56 μm (1.4 m/sec)
Pit depth	~0.11 μm
Pit width	~0.5 μm

ตารางที่ 2.1 Disc Format

Standard wavelength	780 nm
Focal depth	2 μm

ตารางที่ 2.2 Optical System

Number of channels	2 channels (4 channel recording possible)
Quantization	16 bit linear
Quantizing timing	Concurrent for all channels
Sampling Frequency	44.1 kHz
Channel bit rate	4.3218 Mbps
Data bit rate	2.0338 Mbps

ตารางที่ 2.3 Signal format

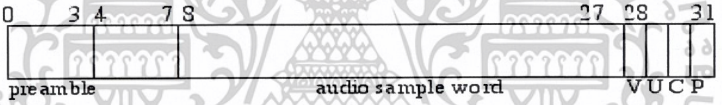
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่นแผ่นดิสค์ประกอบด้วย 2 ส่วนหลัก ๆ คือ ระบบที่ประมวลผลข้อมูลเสียงและระบบ servo/control ในระบบ servo, control และระบบการแสดงผลดัดแปลงการใช้งานของเครื่องเล่นและรวมถึงแกนมอเตอร์,แทร็คอัตโนมัติ,โฟกัสของเลนส์และ user interface ส่วนที่ประมวลผลข้อมูลเสียงครอบคลุมกระบวนการอื่น ๆ ทั้งหมดของเครื่องเล่น

2.2.2 Source encoding/decoding

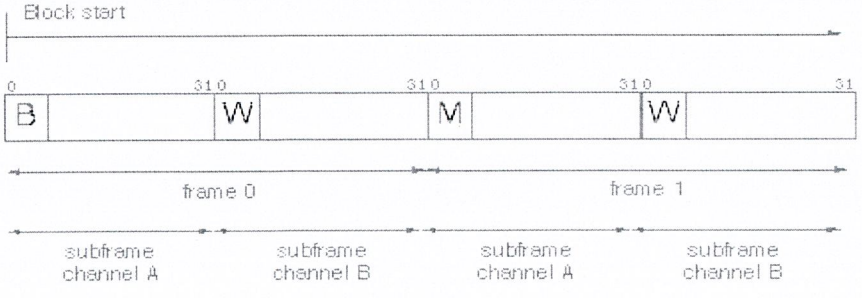
ข้อมูลดิจิตอลภายใต้ source ที่สามารถใช้ได้เช่น CD, DAB, DAT หรือ DCC ถูกส่งโดยใช้รูปแบบตราฐานผู้บริโภคคือ SPDIF ได้มาจากมาตราฐานผู้เชี่ยวชาญ AES/EBU การใช้มาตราฐานนี้ทุก sample ถูกส่งไปจะมีขนาด 32 bit word (หรือ 1 subframe) 2 subframes คือ 1 frame (ทั้งหมด64 บิท) ซึ่งจะซ้ำในอัตรา sampling ที่ใช้เดิม บล็อคหนึ่งมี 192 เฟรม ที่48 kHz จะมีอัตราบิทเป็น 3.072 MHz และที่ 44.1 kHz จะมีอัตราบิทเป็น 2.8224 MHz subframe แรกจะประกอบด้วย sample จากช่องสัญญาณ A และ subframe ที่สองจะประกอบด้วย sample จากช่องสัญญาณ B

พื้นฐาน SPDIF และ AES/EBU โครงสร้าง subframe สามารถเห็นดังในรูปภาพดังต่อไปนี้



รูปที่ 2.8 โครงสร้าง subframe ของ source แบบ **SPDIF**

4 บิตแรกใน Preamble ถูกใช้สำหรับ synchronization มีค่าของ sync อยู่ 3 แบบคือ B, M และ W สามารถนำไปใช่ในรูปแบบที่แตกต่างกันไป ขึ้นอยู่กับค่าของเซลล์สุดท้ายของ subframe ก่อนหน้านั้น ถ้า Preamble เป็น B จะบรรจุข้อมูลสำหรับช่องสัญญาณ A (ซ้าย) ที่จุดเริ่มต้นของบล็อค ถ้า Preamble เป็น M จะเป็นข้อมูลสำหรับช่องสัญญาณ A ที่ไม่ได้อยู่ที่จุดเริ่มต้นของบล็อค ถ้า Preamble เป็น W ข้อมูลที่บรรจุจะเป็นข้อมูลสำหรับช่องสัญญาณ B (ขวา, สำหรับสเตอริโอ)



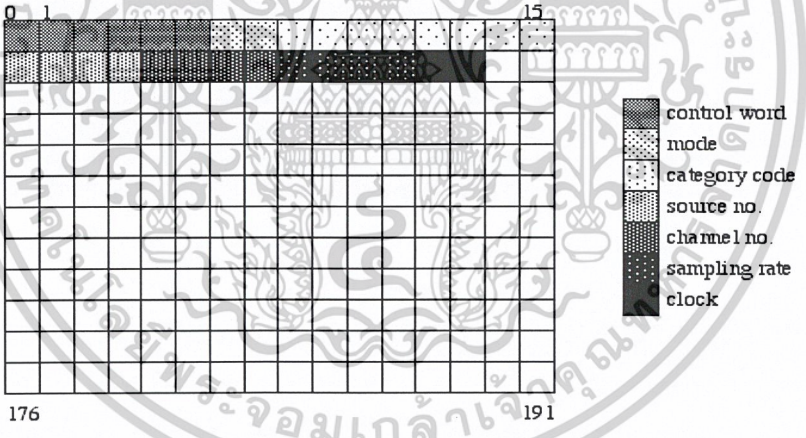
รูปที่ 2.9 โครงสร้างของบล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีช่องสำหรับ 24 บิทออดิโอ (4-27) ใน subframe แต่ตามปกติ 20 บิทออดิโอที่มีให้ (8-27) ในกรณีของซีดีมีเพียง 16 บิทเท่านั้นที่ถูกใช้ บิทที่ไม่ถูกใช้จะถูกกำหนดให้เป็นศูนย์ใน SPDIF (เป็นสิ่งที่ตรงกันข้ามกับกรณี I2S ซึ่ง LSB ทำซ้ำ ๆ ผลที่ได้มีการเปลี่ยนแปลงเล็กน้อยใน serial interface ดังนั้นจะทำให้เกิดการกระจายพลังงานเล็กน้อย) ซึ่งข้อมูลเสียงต้องอยู่ในรหัสแบบ 2-complements และความยาว word ที่แตกต่างอาจจะถูกใช้ MSB ต้องอยู่ที่เดิมสมอคือ SPDIF ส่ง MSB แรก

สี่บิทสถานะ (28-31) ประกอบด้วยบิท 28 (V) คือ flag สามารถใช้ได้เมื่อรับข้อมูลมาแล้วจะทำการร้องขอเพื่อทำการแปลงไปเป็นสัญญาณอนาล็อก บิท 31 (P) เป็น parity บิท จะสร้าง even parity (ผลรวมของหนึ่งเป็นเลขคู่) ซึ่งใช้สำหรับการตรวจแก้ข้อผิดพลาดที่ปลายทาง บิท user (U) คือบิทที่ 29 เป็นการรวมรูปแบบของผู้ใช้ และบิทช่องสัญญาณที่บิท 20 (C) เป็นบล็อกสถานะในช่องสัญญาณ

Sequence ของช่องสัญญาณ 1 ช่องสัญญาณมี 192 subframes (หรือ 1 บล็อค) สร้างขึ้น 24 ไบท์ (192 บิท) ช่องสัญญาณบล็อคสถานะ preamble แทนส่วนเริ่มต้นของช่องสัญญาณบล็อคสถานะ โครงสร้างของช่องสัญญาณบล็อคสถานะถูกแสดงในรูปดังต่อไปนี้



รูปที่ 2.10 โครงสร้างของบล็อกสถานะช่องสัญญาณ

เริ่มแรก serial data ถูกประกอบเข้าไปใน 12 words ของแต่ละ16 บิท 6 บิทแรกของ word แรกมาจาก control word บิทที่ตามมา 2 บิทเป็นโหมดเลือกสำหรับการขยายในอนาคต ที่ใช้กันอยู่ในเวลานี้โหมด 0เท่านั้นที่เป็นมาตรฐาน (และการจัดสรรบิทตรงกันที่แสดงดังรูป)

Control word: บิทที่ 0 0=consumer, 1=professional

บิทที่ 1 0=normal, 1=digital data

บิทที่ 2 0=copy prohibit, 1=copy permit

บิทที่ 3 0=no pre-emphasis, 1=pre-emphasis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทที่ 4 คือ reserved

บิทที่ 5 0=2 CH, 1=4 CH

Mode: บิทที่ 6, 7 00=mode 0 (01 10 11 = reserved)

Category code: บิทที่ 8-15 00000000=general format

10000000=CD player

11000000=DAT player

บิทที่ 15 0=original recording, 1=first-generation copy (SCMS)

Source no.: บิทที่ 16-19 0000=don't care

0001=source 1

0010=source 2

...

Channel no.: บิทที่ 20-23 0000=don't care

1000=A (left channel for stereo)

0100=B (right channel for stereo)

1100=C

...

Sampling rate: บิทที่ 24-27 0000 = 44.1 kHz

0100 = 48 kHz

1100 = 32 kHz

Remaining code reserved

Clock accuracy: บิทที่ 28, 29 00=normal accuracy

10=high accuracy

01=variable speed

ในกรณีของเครื่องเล่นซีดี (รหัสประเภท 10000000) sample words ของออดิโอจะมีโครงสร้าง subframe ประกอบด้วย 16 word บิท MSB อยู่ในตำแหน่งที่ 8, บิท 24 - 27 ในบล็อคสถานะช่องสัญญาณเป็น 0000 เป็นการชี้บอกความถี่ sampling เท่ากับ 44.1 kHz และบิท 28,29 เป็นการติดตั้งให้เข้ากันได้กับของ source รูปแบบ 2 ช่องสัญญาณนี้ (00000000) สำหรับอัตราสูงสุดที่ 20 บิท/sample และที่ความถี่ sample ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 Channel encoding/decoding

การส่งสัญญาณดิจิตอลโดยการส่งข้อมูลติดต่อกันไปอย่างง่าย ๆ เป็นวิธีที่ไม่ดีเพราะว่ามันยากที่จะประมาณอัตราข้อมูลของ Source ที่ปลายทาง และเป็นการยากที่จะแยกบิทรับและการทำให้ jiter-free clock กลับเป็นอย่างเดิมอย่างถูกต้อง

SPDIF interface ใช้การถอดรหัสช่องสัญญาณ FM (รู้ว่าเป็นการถอดรหัสแบบ Manchester หรือ bi -phase) ซึ่ง DC free, self-clocking ต้องแรงพอและเหมาะแก่การทำงานกับอัตรา sampling ที่มีการเปลี่ยนแปลง การที่ใช้ FM นั้นหมายความว่าความถี่ช่องสัญญาณเป็นอัตราบิท เมื่อส่งข้อมูลไปจำนวนหนึ่ง เพราะว่า FM ให้การใส่ใจกับการเปลี่ยนแปลงสถานะที่เกิดขึ้นของแต่ละบิท มี logic 1 ถูกแทนโดยการเปลี่ยนแปลงครั้งที่สอง ดังนั้นสัญญาณ clock สามารถถูกทำให้กลับเป็นอย่างเดิม และเป็นอิสระจากข้อมูล

Examples data	Biphase mark equivalent
0000	00110011
0111	00101010
0101	00101101

ตารางที่ 2.4 Biphase mark coding

sync – pattern ในที่นี้ได้มองข้ามการถอดรหัสแบบ Manchester เพื่อว่าการเริ่มของบล็อคอาจจะสามารถตรวจสอบได้ง่ายขึ้น รูปแบบของบิทใน preamble จะประกอบด้วยมากกว่าสองค่า 0's หรือ 1's ใน 1 แถวเสมอ

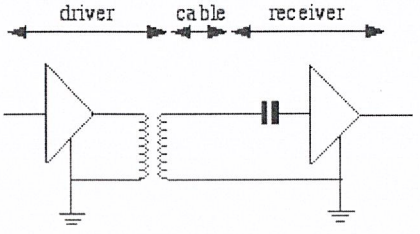
SYNC Pattern	บิทที่ 31=0	บิทที่ 31=1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

ตารางที่ 2.5 Preamble contents

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 Modulation/demodulation

Electrical interface ได้เน้นไปที่รูปแบบของผู้ใช้ทั่วไปโดย IEC 958ดังแสดงในรูปข้างล่างนี้



รูปที่ 2.11 Electrical SPDIF interface

ตัวนี้จะใช้สัญญาณ 0.5 Vtt และความถี่เกือบ 6 MHz ซึ่งสามารถใช้ในการรับส่งลดลงในสายเคเบิล coaxial เกรดธรรมดา ที่เชื่อมต่อกับ RCA phono plugs

Slicer สามารถนำมาใช้แปลงรูปคลื่นอนาล็อกให้เป็นไบนารี่เอาท์พุทได้ สัญญาณแรงดันจะถูกเปรียบเทียบกับแรงดันที่เราได้กำหนดเอาไว้ หรือเรียกว่า threshold ถ้าสัญญาณแรงดันสูงกว่า theshold ก็จะได้เอาท์พุทที่มีค่าสูง และเอาท์พุทจะต่ำถ้าสัญญาณแรงดันต่ำกว่า theshold ถ้ารูปคลื่นเป็นส่วนประกอบภายใน DC แล้วระดับเฉลี่ยของรูปคลื่นควรจะสูงขึ้น ดังนั้นสิ่งนี้จะมีผลกระทบต่อกระบวนการ slicing โดยตรง ดังนั้นจะเห็นได้ชัดเจนว่าเป็นไปไม่ได้ที่จะ serialize ข้อมูลที่ไม่มีการกำหนดเกณฑ์ใน shift-register สำหรับการส่งโดยตรง กระบวนการถอดรหัสแบบ manchester จะสนใจต่อค่าเฉลี่ยของจำนวนของ 0 ว่ามีค่าเท่ากับจำนวนของ 1 หรือไม่ เพื่อให้การทำ slicing เป็นไปได้

2.3 Digital Audio Interface Receiver

ในหัวข้อนี้จะกล่าวถึงลักษณะทั่วไป การทำงานและคุณสมบัติของตัวรับสัญญาณ โดยตัวรับสัญญาณนี้จะทำหน้าที่รับสัญญาณดิจิตอลออดิโอ ที่ได้จาก CD Rom มาทำการ Recover สัญญาณ clock และสัญญาณ Synchronization ที่ได้มาด้วยวงจร PLL แล้วจึง de-multiplex สัญญาณข้อมูลขาออกควบคู่ไปกับ channel status, user และ validity information ต่อไป ความถี่มาตรฐานของสัญญาณออดิโอ คือ 32 kHz สำหรับสัญญาณที่ออกอากาศทั่วไป, 44.1 kHz สำหรับ CD และ DAT (Digital Audio Tape), 48 kHz สำหรับ LD (Laser Disc) และ DAT และ 96 kHz สำหรับ DVD (Digital Video Disc)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.3.1 ลักษณะและคุณสมบัติทั่วไป

ข้อมูลดิจิตอลที่ได้รับมาจากเครื่องเล่น CD หรือ CD Rom จะต้องนำมาผ่านการถอดรหัสด้วย chipเบอร์ CS8412 ของบริษัท Crystal Semiconductor ซึ่งมีคุณสมบัติทั่ว ๆ ไปได้แก่

- เป็น Monolithic CMOS Receiver
- มีวงจร clock recovery แบบ low-jitter อยู่ในตัว และมี output clock ความถี่ 256 x Fs
- รองรับมาตรฐานของ Interface แบบต่างๆ ได้แก่ S/PDIF, AES/EBU, IEC958 และ EIAJ CP-340
- มี RS422 Line Receiver และวงจร Phase-Locked Loops (PLLs) อยู่ด้วยในตัว
- รับสัญญาณเข้าได้ทั้งแบบ differential- และ single-ended
- เลือก audio serial output format ได้ 14 รูปแบบ

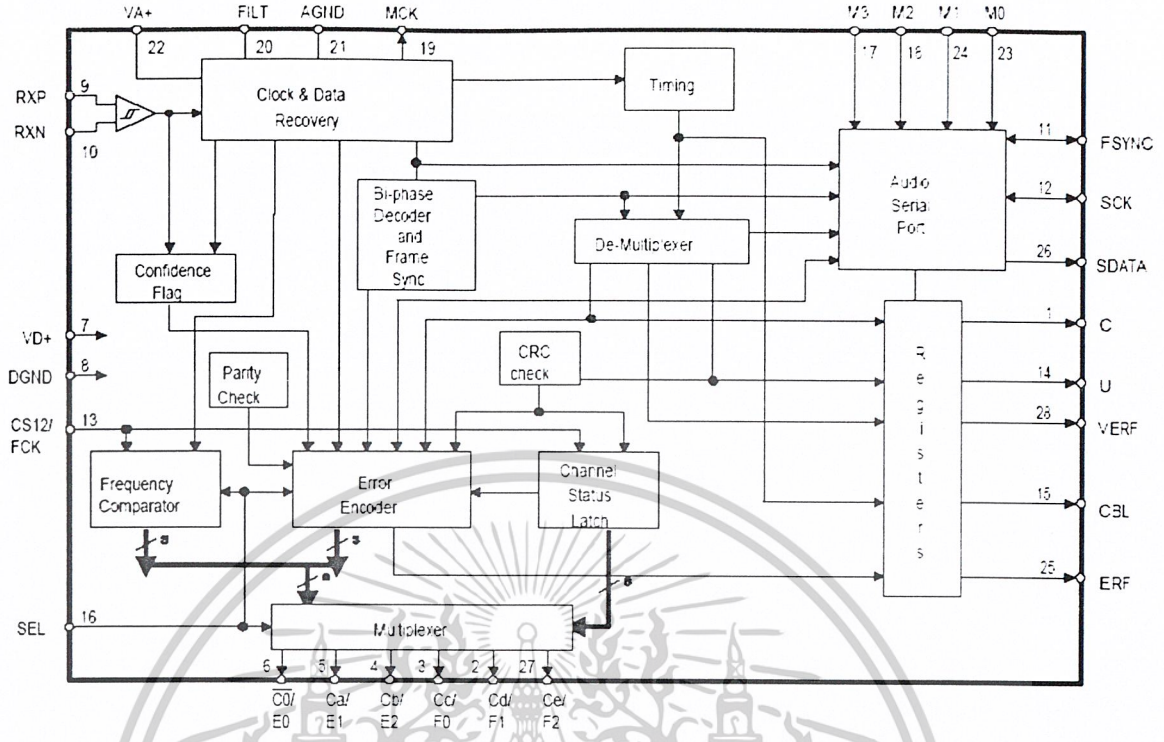
2.3.2 Digital Audio Interface Formats

Interface ที่ใช้กันทั่ว ๆ ไปได้แก่ S/PDIF (Sony/Philips Digital Interface Format) ซึ่งนิยมใช้กันในระดับ Consumer ในขณะที่ AES/EBU (Audio Engineering Society/European Broadcasting Union) จะใช้กันในระดับ Professional ซึ่งโดยพื้นฐานแล้ว format ทั้ง 2 จะเหมือนกันที่ต่างกันคือ subcode information นอกจากนี้สิ่งที่แตกต่างกันอย่างเห็นได้ชัดคือชนิดของ connector ที่ใช้ impedance ที่ขั้วต่อและระดับแรงดันขาออก connector และ format ของ AES/EBU จะเป็นแบบ balanced ซึ่งก็คือสัญญาณที่เป็น consumer format ที่มีหม้อแปลงมา coupling นั่นเอง ซึ่งได้แสดงไว้ในตารางข้างล่าง

คุณลักษณะ	S/PDIF	AES/EBU
Cabling	Shielded twisted pairs	Coaxial or fiber optics
Connector	RCA or BNC	3-pin XLR
Matching impedance (ohms)	75	110
Signal level (volts)	0.50-1	3-10
Signal form	Unbalanced	Balanced
Modulation	Biphase-mark-code	Biphase-mask-code
Subcode information	Copy protection info	ASCII ID text

ตารางที่ 2.6 เปรียบเทียบรายละเอียดทั่ว ๆ ไปของ S/PDIF และ AES/EBU format

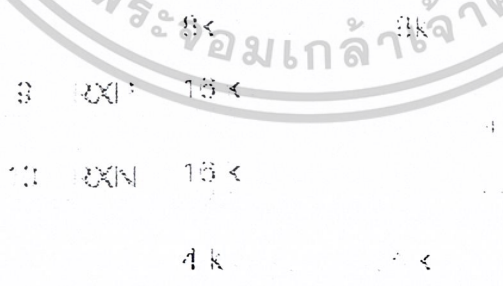
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
61375



รูปที่ 2.12 CS8412 Block Diagram

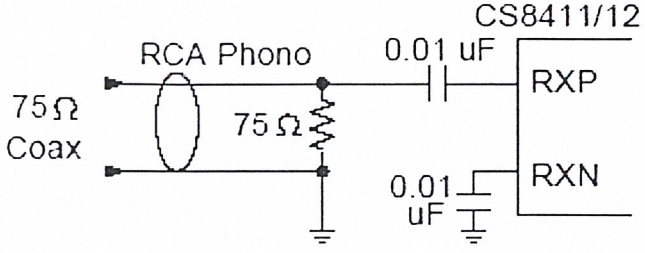
2.3.3 Line Receiver

จากรูปภาพที่ 2.13 RS422 Line Receiver รับสัญญาณขาเข้าที่ขา 9 และขา 10 สามารถรับสัญญาณเข้าได้ทั้งแบบ differential และแบบ single ended วงจรภายในประกอบไปด้วย Schmitt triggle ซึ่งมี hysteresis ขนาด 50 mV ซึ่งจะช่วยป้องกัน noise ที่มารบกวนวงจร phase detector ซึ่งแสดงอยู่ในรูปภาพที่ 2.14



รูปที่ 2.13 RS422 Receiver Internal Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



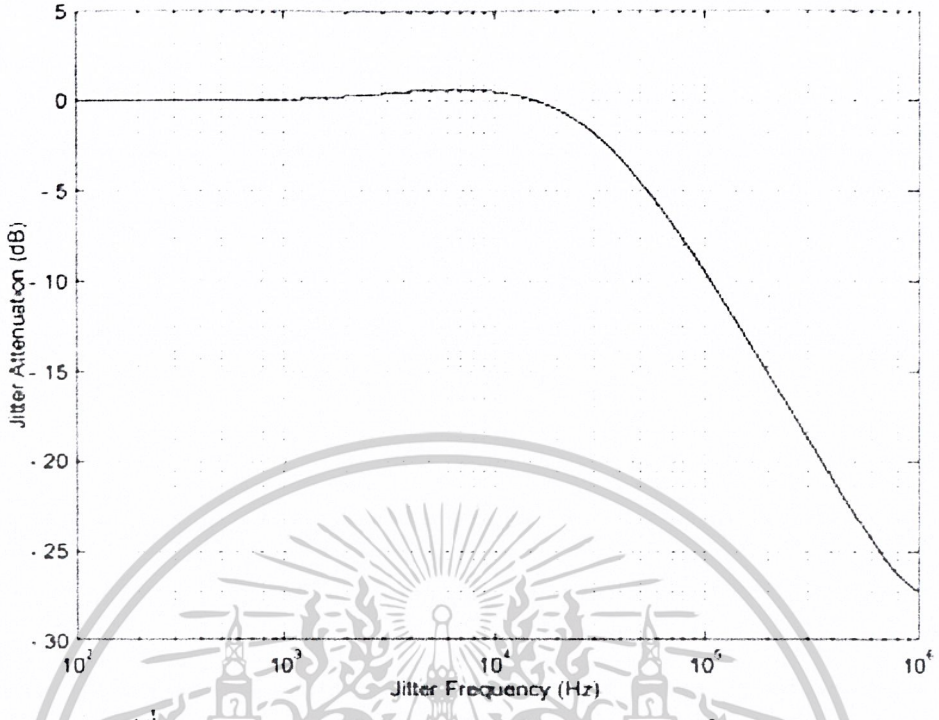
รูปที่ 2.14 แสดงวิธีการต่อวงจรขาเข้าของ CS8412

2.3.4 Clock และ Jitter Attenuation

หน้าที่หลักของ CS8412 คือการ recover ข้อมูลและ clock ที่ได้รับจากจากสายนำสัญญาณ สามารถกำเนิด clock ได้ที่ความถี่ต่าง ๆ คือ MCK (256 x Fs) ซึ่งตรงกับขาที่ 19, SCK (64 x Fs) ซึ่งตรงกับขาที่ 12 และ FSYNC (Fs หรือ 2 x Fs) ซึ่งตรงกับขาที่ 11 โดยที่ MCK ได้มาจาก voltage-controlled oscillator (VCO) ซึ่งอยู่ในวงจร PLLs นอกจาก VCO แล้ว วงจร PLLs ยังประกอบด้วย phase and frequency detector และ second-order loop filter และมี Closed-loop transfer function ซึ่งได้แสดงไว้ในรูปที่ 2.15

วงจร Multiple frequency detectors ยังช่วยในการย่นระยะเวลาที่ PLL ใช้ในการ lock เข้ากับข้อมูลที่เข้ามา ถ้าหากว่า PLL ยังไม่ได้ lock ตัว frequency detector จะทำหน้าที่ปรับความถี่ของ VCO ให้อยู่ใน lock range ของ PLL แต่ถ้าไม่มีข้อมูลเข้ามา ความถี่ของ VCO จะมีค่าต่ำสุด ความถี่ของสัญญาณ SCK จะเท่ากับหนึ่งในสี่ของความถี่สัญญาณ MCK เสมอ คือเท่ากับ 64 x Fs ส่วนสัญญาณ FSYNC จะสร้างขึ้นจากสัญญาณข้อมูลที่รับเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดง Chatacteristic ของ Jitter Attenuator ใน CS8412

2.3.5 โหมดการทำงานของตัวรับสัญญาณ

ในส่วนของ Audio Serial Port ที่อยู่ในรูปที่ 2.12 จะกำหนดโหมดการทำงานให้กับ 3 ขาคือ SCK, FSYNC และ SDATA โดยมีขา input ที่ใช้กำหนดรูปแบบอยู่ 4 ขา คือ ขา M0, M1, M2 และ M3 ซึ่งก็คือโหมดการทำงานของตัว CS8412 โดยจะแบ่งออกเป็น 2 โหมดดังนี้ Normal Modes (M3=0) และ Special Modes (M3=1)

M2	M1	M0	Format
0	0	0	0 Out, L/R, 16-24 bits
0	0	1	1 In, L/R, 16-24
0	1	0	2 Out, L/R, I^2S Compatible
0	1	1	3 In, L/R, I^2S Compatible
1	0	0	4 Out, WSYNC, 16-24 bits
1	0	1	5 Out, L/R, 16 bits LSBJ
1	1	0	6 Out, L/R, 18 bits LSBJ
1	1	1	7 Out, L/R, MSB Last

ตารางที่ 2.7 แสดง Format ของ Normal Audio Port Modes (M3=0)

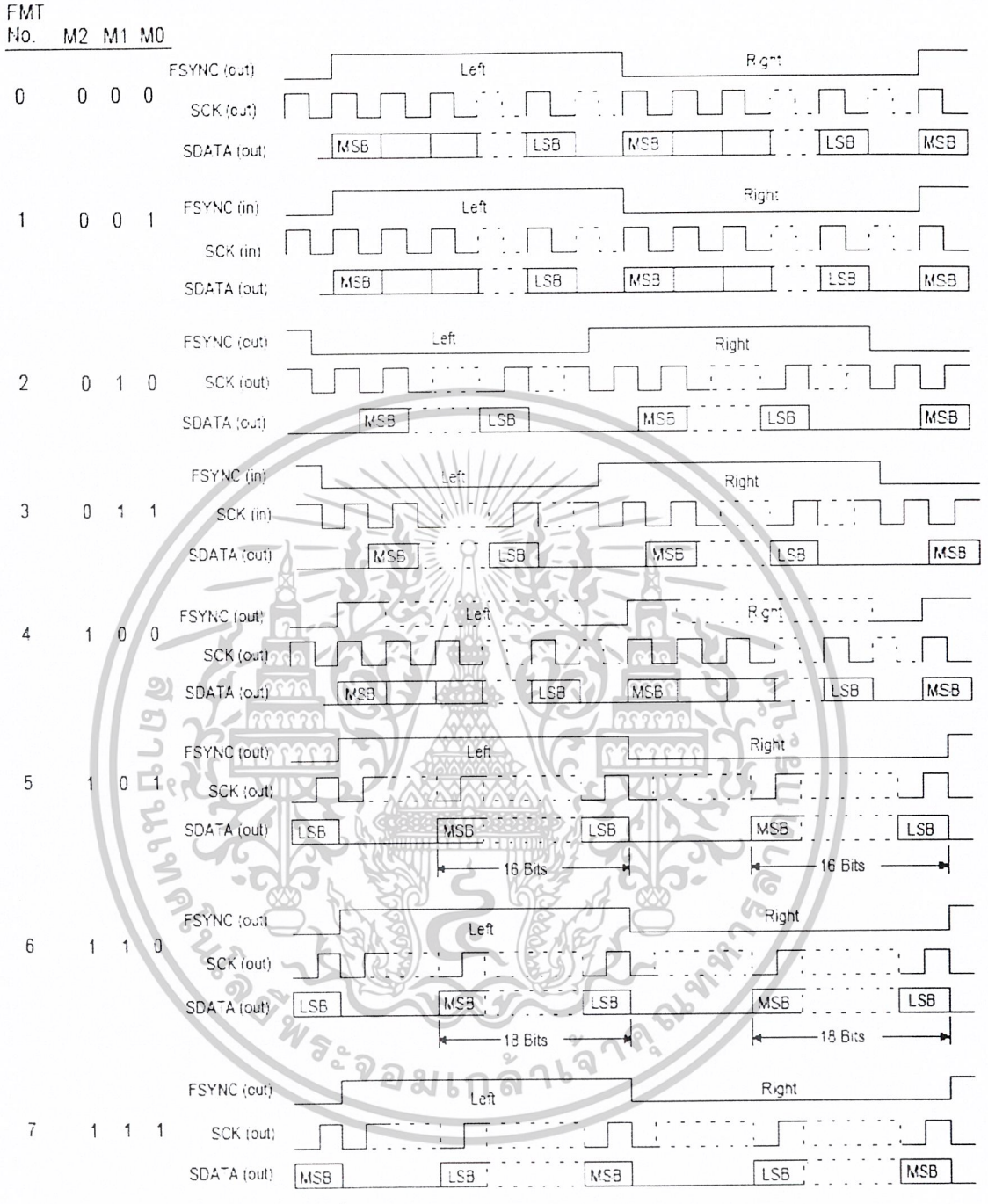
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M2	M1	M0	Format
0	0	0	8 - Format 0 - No repeat on error
0	0	1	9 - Format 1 - No repeat on error
0	1	0	10 - Format 2 - No repeat on error
0	1	1	11 - Format 0 - Async. SCK input
1	0	0	12 - Received NRZ Data
1	0	1	13 - Received Bi-phase Data
1	1	0	14 – Reserved
1	1	1	15 - CS8412 Reset

ตารางที่ 2.8 แสดง Format ของ Special Audio Port Modes (M3=1)

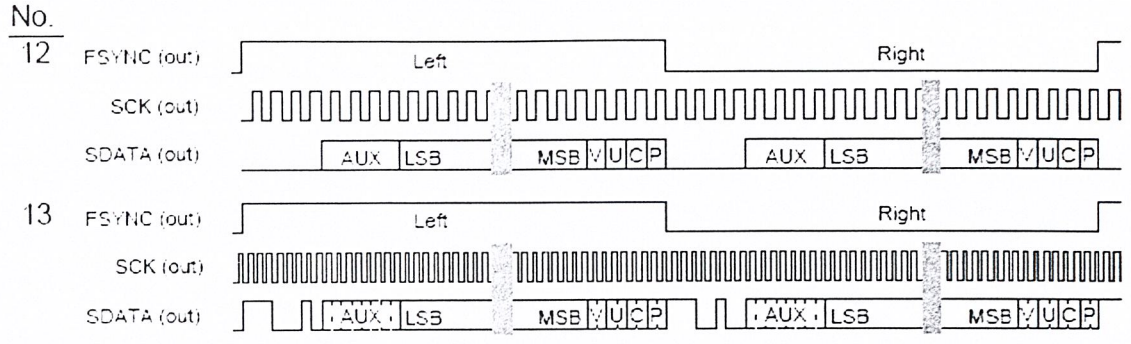
เมื่อ M3 เป็น low ก็จะเป็นรูปแบบของ Normal Serial Port เราจะเลือกใช้ขา M2, M1. M0 ตามต้องการ ซึ่งมีอยู่ 8 รูปแบบ แสดงอยู่ในตารางที่ 7 และเมื่อให้ M3 เป็น high ก็จะเป็นรูปแบบของ Special Audio Modes มีอยู่ 6 รูปแบบ คือรูปแบบที่ 8-13 แสดงอยู่ในตารางที่ 8 ส่วนรูปแบบที่ 14 ยังไม่ได้ใช้งาน และรูปแบบที่ 15 เป็นรูปแบบของการ reset output ของ CS8412 โดยใน format แต่ละตัว ค่าแรกจะบอกว่าเป็น input-output ของสัญญาณ FSYNC และ SCK ว่าจะเป็นสัญญาณออกหรือสัญญาณเข้าจาก CS8412 ค่าตัวถัดมา FSYNC จะทำการแยกแยะช่องสัญญาณซ้ายขวา ค่าตัวสุดท้ายเป็นรูปแบบของสัญญาณออกซึ่งจะมีค่าได้ตั้งแต่ 16 บิตถึง 24 บิต โดยรูปแบบของสัญญาณในแต่ละ format แสดงอยู่ในรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 CS8412 Audio Serial Port Formats

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 Special Audio Port Formats 12 and 13

2.4 การแปลงสัญญาณออดิโอ Digital to Analog Conversion

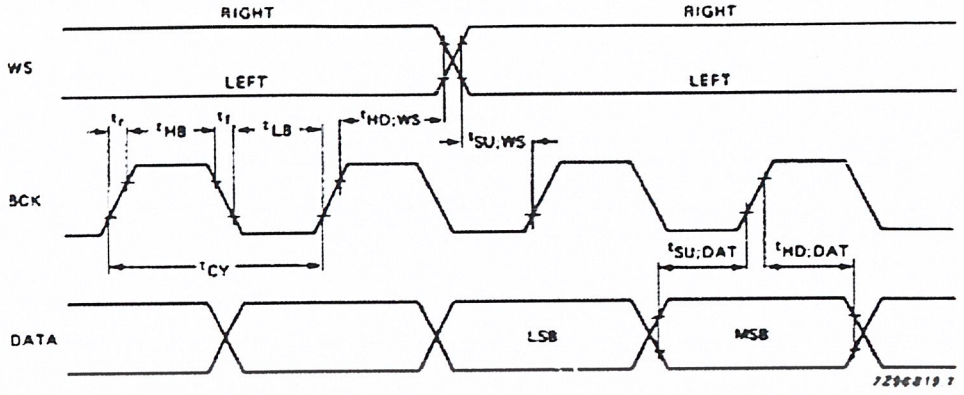
เป็นวงจรที่รับสัญญาณดิจิตอลเพื่อนำมาแปลงเป็นสัญญาณอนาลอก ในวงจรนี้จะใช้ไอซีเบอร์ TDA1543 ซึ่งเป็นไอซีขนาด 16 บิตและสามารถรับสัญญาณอินพุตที่เป็นรูปแบบ I^2S ที่แสดงในรูปที่2.18 จากวงจรถอดรหัสสัญญาณดิจิตอล แล้วทำการแปลงสัญญาณจากดิจิตอลเป็นสัญญาณอนาลอก ซึ่งไอซี TDA1543 นี้สามารถรับอินพุตที่เป็นรูปแบบ two's complement ที่ทุกๆช่วงของบิตและข้อมูลซ้ายขวาที่ส่งมาพร้อมๆกัน จะมีขารับสัญญาณจากวงจรถอดรหัสสัญญาณดิจิตอล 3 ขาคือ

ขา BCK เป็นขา Bit Clock รับ Clock จากพอร์ตอนุกรมของวงจรถอดรหัสต้องการคาบเวลา 32 คาบเมื่อเป็นสัญญาณ Sample และจะเป็น 64 คาบ เมื่อเป็นสเตอริโอ ซึ่งจะต่อกับขา SCLK ของวงจรถอดรหัสสัญญาณดิจิตอล

ขา WS เป็นขา Word Select Input จะเป็น LOW เมื่อสัญญาณที่เข้ามาเป็นสัญญาณทางด้านซ้าย และจะเป็น HIGH เมื่อสัญญาณอินพุตเป็นสัญญาณทางด้านขวาจะต่อกับขา LRCK ของวงจรถอดรหัสซึ่งสัญญาณ FSYNC จะเป็นตัวบอกว่าเป็นสัญญาณทางด้านซ้ายหรือสัญญาณทางด้านขวา

ขา DATA เป็นขาที่รับสัญญาณเข้ามาจากขา SDATA เมื่อขา WS ได้รับสัญญาณซ้ายหรือขวาเข้ามาก็จะกำหนดบิตที่สำคัญน้อยที่สุดอยู่ในบิตแรกๆ และให้บิตที่สำคัญกว่าอยู่ในบิตต่อๆมาซึ่งจะกำหนดแบบเดียวกันอีกเมื่อ WS เปลี่ยนจาก LOW เป็น HIGH หรือจาก HIGH เป็น LOW

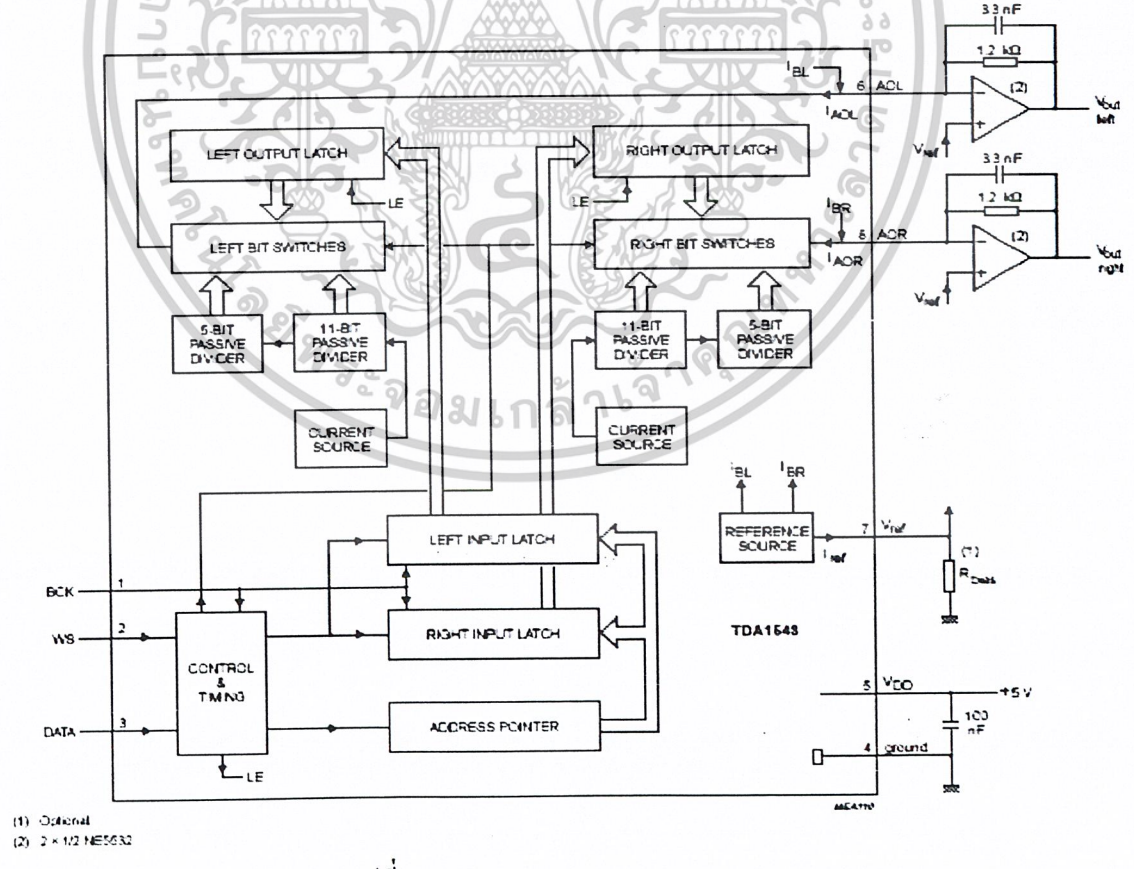
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 รูปแบบของสัญญาณอินพุต (ชนิด I^2S)

ขา VD+ เป็นขารับแรงดันไฟระหว่าง +5 ถึง 8 V ซึ่งจะมีคาปาซิเตอร์ต่อลงกราวด์เป็นฟิลเตอร์กรองสัญญาณรบกวนจากแหล่งจ่ายไม่ให้เข้ามาในวงจร

ขา AOL และ AOR เป็นขาเอาท์พุตที่ทำการแปลงสัญญาณดิจิตอลเป็นอนาลอกแล้วเป็นสัญญาณเสียงทางด้านซ้ายและขวาตามลำดับแต่ไอซี TDA1543 นี้จะมีเอาท์พุตออกมาเป็นกระแสจึงต้องผ่านการแปลงกระแสเป็นแรงดันโดยผ่านออปแอมป์



รูปที่ 2.19 TDA1543 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Timing (Fig.5)						
t_r	rise time		–	–	32	ns
t_f	fall time		–	–	32	ns
t_{CY}	bit clock cycle time		108	–	–	ns
t_{HB}	bit clock HIGH time		22	–	–	ns
t_{LB}	bit clock LOW time		22	–	–	ns
$t_{SU;DAT}$	data set-up time		32	–	–	ns
$t_{HD;DAT}$	data hold time to bit clock	note 6	2	–	–	ns
$t_{HD;WS}$	word select hold time	note 6	2	–	–	ns
$t_{SU;WS}$	word select set-up time		32	–	–	ns

ตารางที่ 2.9 แสดงค่าพารามิเตอร์ของรูป I^2S

2.5 วงจรกรองความถี่แบบแอคทีฟเบื้องต้น Active Filter

วงจรกรองความถี่ (Filters) สามารถแบ่งออกเป็น 2 แบบใหญ่ ๆ คือ แบบพาสซีฟ (Passive filters) และแบบแอคทีฟ (Active filters) วงจรกรองความถี่เป็นวงจรที่สามารถทำหน้าที่เลือกความถี่ที่ต้องการหรือตัดความถี่ที่ไม่ต้องการออกก็ได้ การใช้งานวงจรกรองความถี่สามารถใช้กรองสัญญาณรบกวน หรือกรองเอาสัญญาณข่าวสารออกมาจากคลื่นพาห์ในระบบวิทยุ ดังนั้นอุปกรณ์ที่นำมาใช้ในวงจรกรองความถี่ ถ้าเป็นแบบพาสซีฟจะใช้ตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำ ส่วนในวงจรกรองความถี่แบบแอคทีฟ จะใช้ตัวต้านทาน ตัวเก็บประจุ ร่วมกับอุปกรณ์ที่สามารถทำการขยายสัญญาณ เช่น ออปแอมป์ทำให้วงจรกรองความถี่แบบแอคทีฟมีข้อดีกว่าแบบพาสซีฟ คือ

- ไม่มีการสูญเสียของสัญญาณ เนื่องจากออปแอมป์สามารถทำการขยายสัญญาณเพื่อชดเชยการลดทอนของสัญญาณได้

-ราคาถูก โดยเฉลี่ยแล้ววงจรกรองความถี่แบบแอคทีฟจะมีราคาถูกกว่าแบบพาสซีฟ เนื่องจากตัวเหนี่ยวนำที่ใช้ในแบบพาสซีฟมีราคาแพง และสร้างได้ยากกว่า

- การปรับค่า วงจรกรองความถี่แบบแอคทีฟ สามารถปรับค่าความถี่ที่ต้องการได้ง่ายภายใต้ย่านความถี่ที่กว้างกว่าที่สามารถปรับได้ในแบบพาสซีฟ

- การแยกระหว่างอินพุตและเอาต์พุต เนื่องจากวงจรกรองความถี่แบบแอคทีฟมีการใช้ออปแอมป์ประกอบในวงจรจึงทำให้วงจรกรองความถี่แบบนี้มีอินพุตอินพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำทำให้ไม่มีผลการรบกวนกันระหว่างแหล่งจ่ายสัญญาณอินพุตและโหลดแต่อย่างไรก็ตาม การกรองความถี่แบบแอคทีฟก็มีข้อเสียอยู่บางประการ เมื่อเทียบกับแบบพาสซีฟ คือ

- การตอบสนองความถี่ วงจรกรองความถี่แบบแอคทีฟมีความสามารถในการตอบสนอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ได้แคบกว่าแบบพาสซีฟเนื่องจากขีดจำกัดของออปแอมป์ยกตัวอย่างเช่นออปแอมป์เบอร์ 741 มีความสามารถในการตอบสนองความถี่ได้เพียง 1 MHz

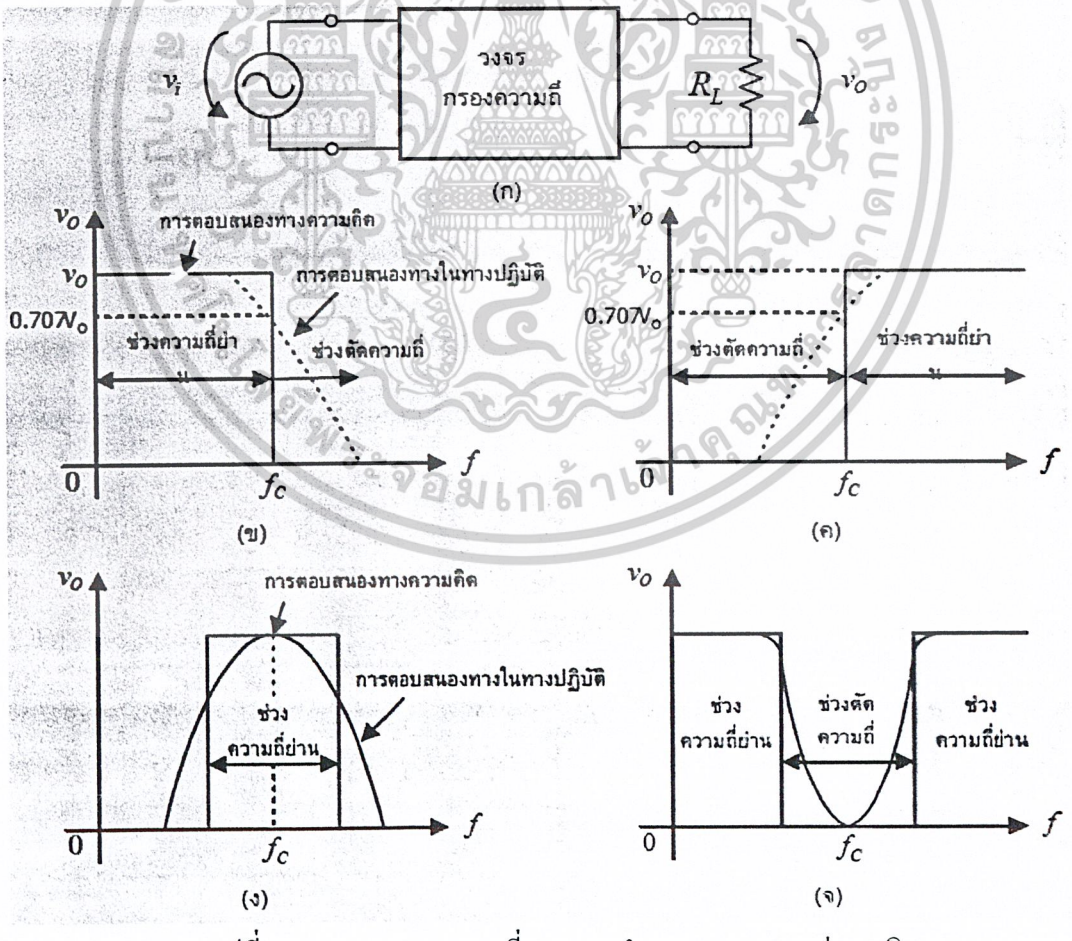
- แหล่งจ่ายไฟเลี้ยง เนื่องจากการใช้ออปแอมป์ทำให้ต้องใช้แหล่งจ่ายไฟเลี้ยงในการทำงาน ในขณะที่แบบพาสซีฟไม่ต้องใช้แหล่งจ่ายไฟเลี้ยง

2.5.1 การตอบสนองของวงจรกรองความถี่

วงจรกรองความถี่แบบแอคทีฟสามารถแบ่งออกเป็นชนิดตามหน้าที่การทำงานได้อีกเป็น 4 ชนิด ได้แก่

- วงจรกรองความถี่ต่ำย่าน (Lowpass filter , LPF)
- วงจรกรองความถี่สูงย่าน (Highpass filter , HPF)
- วงจรกรองแถบความถี่ย่าน (Bandpass filter , BPF)
- วงจรตัดแถบความถี่ (Notch filter หรือ Band Stop filter,BSF)

การทำงานของวงจรกรองความถี่แต่ละชนิด แสดงดังรูปที่ 2.20



รูปที่ 2.20 วงจรกรองความถี่และการทำงานของวงจรแต่ละชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) วงจรทดสอบวงจรกรองความถี่

(ข) การทำงานของวงจร LPF

(ค) การทำงานของวงจร HPF

(ง) การทำงานของวงจร BPF

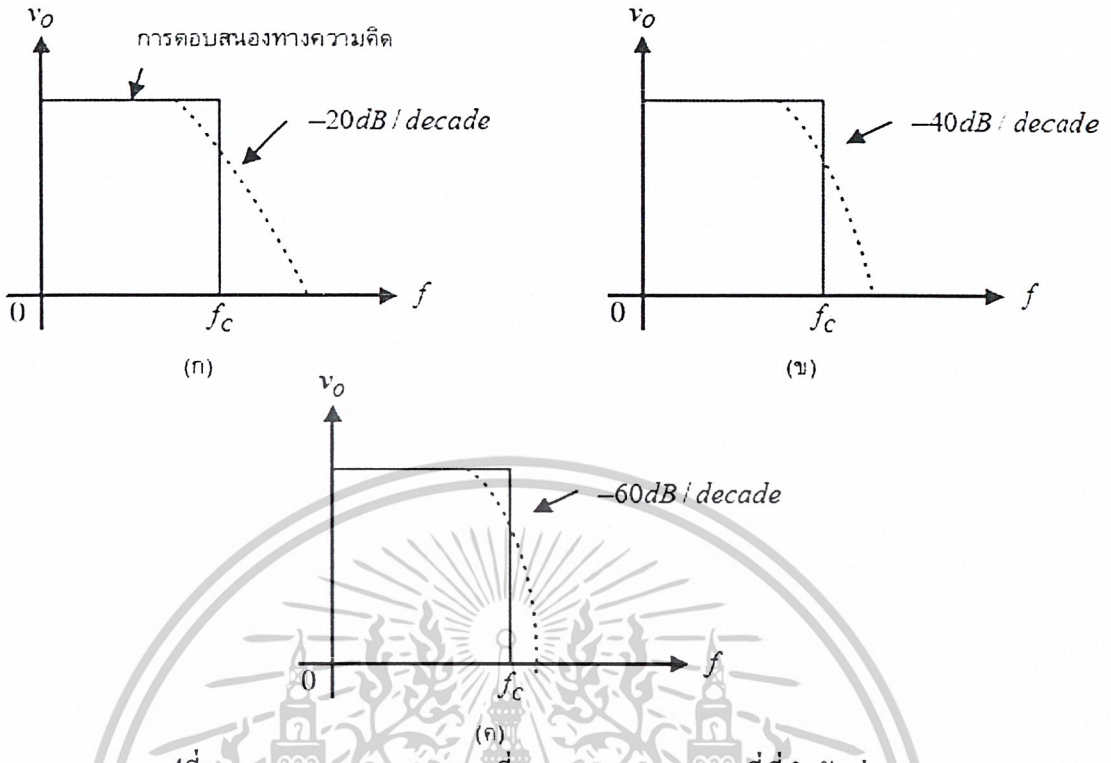
(จ) การทำงานของวงจร BSF

จากรูปที่2.20(ข) ซึ่งเป็นผลการตอบสนองความถี่ของวงจร LPF จะพบว่าในทางความคิดหรืออุดมคติ ถ้าความถี่ของอินพุตมีค่ามากกว่า ความถี่ตัดที่ต้องการ (Cut off frequency, f_c)แล้ววงจรจะตัดญญาณความถี่นั้น ไม่ให้ออกไปที่เอาต์พุตเลย แต่ในทางปฏิบัติวงจรไม่สามารถตอบสนองความถี่เช่นนี้ได้ วงจรจะค่อยๆ ลดการตอบสนองความถี่ของช่วงที่ไม่ต้องการลงส่วนผลการตอบ สนองความถี่ของวงจร HPF ดัง รูปที่2.20(ค) มีลักษณะตรงกันข้ามกับวงจร LPF ส่วนในรูปที่2.20(ง) เป็นผลการตอบสนองความถี่ของวงจร BPF คือ วงจรจะยอมให้ความถี่เฉพาะแถบหรือช่วงที่ต้องการเท่านั้นออกไปที่เอาต์พุต สำหรับผลของวงจรBSF ดังรูปที่2.20(จ) ก็จะมีลักษณะตรงข้ามกับวงจร BPF

2.5.2 ลำดับของวงจรกรองความถี่

จากในรูปที่2.21(ข) เราจะเห็นว่าในทางปฏิบัติแล้ว เมื่อความถี่อินพุตเปลี่ยนแปลงถึงจุดตัดความถี่ (f_c) ของวงจรแล้ววงจรจะค่อย ๆ ลดการตอบสนองความถี่ลง โดยอัตราการเปลี่ยนแปลงนี้จะขึ้นอยู่กับลำดับ (Order) ของวงจรกรองความถี่ซึ่งโดยทั่วไปวงจรกรองความถี่มีตั้งแต่ลำดับที่ 1,2,3,4 ไปเรื่อย ๆ จนถึงลำดับที่ n สำหรับตัวอย่างลำดับของวงจรกรองความถี่ที่มีผลต่อการเปลี่ยนแปลงการตอบสนองความถี่ของวงจรของความถี่ต่ำย่าน (LPF)แสดงไว้ในรูปที่2.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 การตอบสนองความถี่ของวงจรกรองความถี่ที่ลำดับต่าง ๆ

(ก) ลำดับที่ 1 (First order)

(ข) ลำดับที่ 2 (Second order)

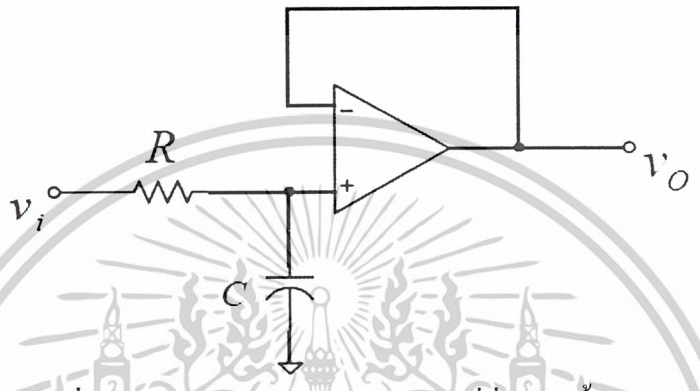
(ค) ลำดับที่ 3 (Third order)

จากรูปที่2.21 จะเห็นว่าวงจรกรองความถี่ต่ำผ่านที่ตอบสนองความถี่ได้ใกล้เคียงกับอุดมคติมากที่สุด คือ ลำดับที่ 3 ถ้าลำดับยิ่งสูงกว่านี้ การตอบสนองความถี่ก็จะยิ่งใกล้เคียงกับอุดมคติมากขึ้นไปอีก แต่ก็ทำให้วงจรกรองความถี่ที่มีลำดับสูงขึ้นมีความซับซ้อนเพิ่มขึ้นตามไปด้วยในทางใช้งานจริงมักจะนิยมใช้วงจรกรองความถี่ลำดับที่ 2 (2^{nd} order filter) มากกว่าเนื่องจากสามารถใช้ออปแอมป์เพียงตัวเดียวสร้างได้วงจรกรองความถี่ลำดับที่ 2 จากรูปที่ 2.21(ข) พบว่ามีอัตราการตกของความถี่เมื่อเทียบกับอัตราขยายเท่ากับ –40 dB /decade โดยเครื่องหมายลบแสดงถึง อัตราให้เห็นว่าเป็นการตกและตัวเลขนี้หมายความถึง วงจรกรองความถี่ต่ำอยู่ลำดับที่ 2 ซึ่งจะมีอัตราการตกของอัตราขยาย 40 dB ต่อช่วง 10 เท่าของความถี่ ยกตัวอย่างเช่น ที่ความถี่ 1kHz วงจรกรองความถี่มีอัตราขยาย 40 dB (100 เท่า) เมื่อความถี่เพิ่มขึ้นไปถึง 10kHz วงจรกรองความถี่มีอัตราขยายลดลงเหลือ 0 dB (1 เท่า) เนื่องจากความถี่ 1 kHz ไปยังความถี่ 10 kHz เราเรียกที่ 1 decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 วงจรกรองความถี่ต่ำ (Lowpass Filter)

ในอุดมคติวงจรกรองความถี่ต่ำจะไม่ให้สัญญาณความถี่สูงกว่าความถี่ตัดผ่านเข้าไปในวงจรได้เลย แต่ในทางปฏิบัติลักษณะของความถี่สูงถูกกักกันออกไป จะไม่เป็นเช่นนั้นแต่จะค่อยๆ ถูกลดอัตราขยายลงเรื่อยๆ จุดที่ความถี่มีค่าเท่ากับ f_c ถูกเรียกได้หลายชื่อวงจรนี้จะลดทอนขนาดของสัญญาณที่มีความถี่สูงกว่า f_c



รูปที่ 2.22 ตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐาน

จากรูปที่ 2.22 แสดงตัวอย่างของวงจรกรองความถี่ต่ำแบบพื้นฐานซึ่งใช้ออปแอมป์ที่ถูกต่อในลักษณะของวงจรตามแรงดัน ใช้หลักการแบ่งแรงดันธรรมดาที่ขั้วอินพุตบวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณอินพุตจะมีผลต่อค่าอิมพิแดนซ์ของตัวเก็บประจุดังสมการ

$$X_C = \frac{1}{\omega_C} \qquad (\omega = 2\pi f)$$
$$= \frac{1}{2\pi f_C} \tag{1}$$

โดยที่ f คือความถี่ของสัญญาณอินพุต เมื่อสัญญาณอินพุตมีความถี่ต่ำ ω_C จะมีค่าสูงและเราสามารถหาความถี่ f_C ที่แบ่งช่วงสัญญาณออกเป็นสองส่วนได้ดังสมการ

$$f_C \approx \frac{1}{2\pi R_C} \tag{2}$$

วงจรนี้มีฟังก์ชันเป็นโพลไม่มีซีโร่จะสามารถเขียนได้ว่า

$$H_{LP}(s) = \frac{H}{B(s)} = \frac{H}{b_0 + b_1 s + b_2 s^2 + \ldots b_n s^n} \tag{3}$$

ทฤษฎีการประมาณ (Approximation)

ทฤษฎีพื้นฐานของฟังก์ชันวงจรข่ายและตอบสนองทางขนาด ถ้า $H(s)$ เป็นฟังก์ชันวงจรข่ายของวงจรเชิงเส้นนั่นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s)=\frac{a_0+a_1s+a_2s^2+\ldots+a_ms^m}{b_0+b_1s+b_2s^2+\ldots+a_ns^n} \tag{4}$$

ฟังก์ชันบัตเตอร์เวิร์ธ (Butterworth)

ผลตอบสนองทางขนาดของฟังก์ชันบัตเตอร์เวิร์ธ จะมีลักษณะที่ราบเรียบตลอดย่านความถี่ผ่าน เราสามารถพิสูจน์ทางคณิตศาสตร์ของผลตอบสนองทางขนาด ให้อยู่ในรูปของฟังก์ชันบัตเตอร์เวิร์ธ ได้ว่า

$$\left|H(j\omega)\right|=\sqrt{\frac{H_0^2}{1+\omega^{2n}}} \tag{5}$$

1. การหาอันดับ

คุณสมบัติของวงจรกรองความถี่ต่ำผ่านจะถูกกำหนดโดยพารามิเตอร์ 4 ตัวคือ K_P, K_S, ω_P และ ω_S โดยเราจะเรียกย่านความถี่ $0 \le \omega \le \omega_P$ ว่าย่านความถี่ผ่าน และเรียกย่านความถี่ $\omega \ge \omega_S$ ว่าย่านความถี่หยุด และ K_P คืออัตราการลดทอนสูงสุดที่ยอมให้มีได้ในย่านความถี่ผ่านส่วน K_S คืออัตราการลดทอนที่ต่ำสุดที่ยอมให้มีได้ในย่านความถี่หยุด

$$n \ge n_B=\frac{\log M}{\log \Omega} \tag{6}$$

โดยที่ $M=\sqrt{\frac{10^{0.1K_S}-1}{10^{0.1K_P}-1}}$ และ $\Omega=\frac{\omega_S}{\omega_P}=\frac{f_S}{f_P}$

2. การหาโพลและซีโร่

ที่อันดับ n ใดๆจากสมการ จะเห็นได้ว่าโพลของแบบบัตเตอร์เวิร์ธ

$$p_k=\sigma_k+j\omega_k \tag{7}$$

โดย $\sigma_k=-\sin u_k$ และ $\omega_k=\cos u_k$ เมื่อ $u_k=\frac{2k-1}{2n}\pi$ และ $k=1,2\ldots,n$ แล้วนำค่าโพลที่ได้แทนในสมการที่1 ก็จะได้สมการถ่ายโอนของฟังก์ชันบัตเตอร์เวิร์ธ

$$H(s)=\frac{H_0}{\prod_{k=1}^{n}\left(1-\frac{s}{p_k}\right)}=\frac{H_0}{\prod_{k=1}^{n}(s-p_k)} \tag{8}$$

3. การแปลงความถี่

ฟังก์ชันบัตเตอร์เวิร์ธในสมการที่5 จะมี ω_P = 1 rad/s และ K_P = 3.0103 dB เสมอ ดังนั้นในทางปฏิบัติเมื่อเราได้อันดับ n และค่าโพลแล้วขั้นต่อไปการแปลงความถี่เพื่อให้ได้ค่าโพลที่สอดคล้องกับข้อกำหนดที่ต้องการ จึงสรุปได้ว่าการแปลงความถี่ฟังก์ชันบัตเตอร์เวิร์ธเท่ากับ

$$\Omega_n=\frac{\omega_P}{\varepsilon^{1/n}}=\frac{\omega_P}{\left(10^{0.1K_P}-1\right)^{1/2n}} \tag{9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

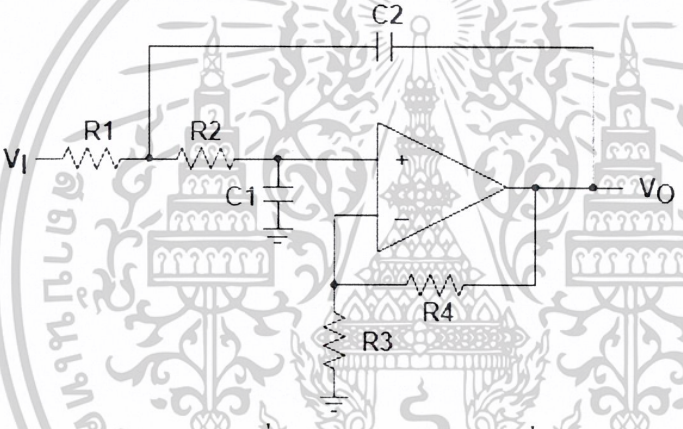
วงจรกรองความถี่ต่ำผ่านอันดับสองแบบ Sallen and Key

วงจรของความถี่ต่ำผ่านลำดับที่สอง สามารถสร้างได้ง่ายโดยใช้ออปแอมป์เพียงตัวเดียว ดังในรูปที่ 2.23 วงจรนี้อาจจะเรียกว่า วงจรกรองความถี่แบบ Sallen and Key ซึ่งตั้งชื่อตามผู้ออกแบบวงจร สำหรับวงจรนี้ความถี่ตัด (Cut off frequency, f_C) สามารถกำหนดได้จากค่าอุปกรณ์ที่ต่ออยู่ภายนอก เราสามารถหาฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำโดยทั่วไปได้เท่ากับ

$$\frac{V_o(s)}{V_i(s)}=\frac{KY_1Y_3}{(Y_1+Y_2+Y_5)(Y_3+Y_4+Y_6)+Y_3(Y_4+Y_6)-K[Y_6(Y_1+Y_2+Y_3+Y_5)+Y_2Y_3]} \tag{10}$$

และสมการถ่ายโอนทั่วไปของวงจรกรองความถี่ต่ำอันดับสองแบบ Sallen and Key คือ

$$\frac{V_o(s)}{V_i(s)}=H_{LP}(s)=\frac{H_0\omega_n^2}{s^2+(\omega_n/Q)s+\omega_n^2} \tag{11}$$



รูปที่ 2.23 วงจรกรองความถี่แบบ Sallen and Key

จากรูปที่10 ถ้ามีการแทนค่า $Y_1=1/R_1, Y_2=sC_2, Y_3=1/R_2, Y_4=sC_1, Y_5=Y_6=0$ และ $K=1+(R_3/R_4)$ ลงในสมการที่ 9 เราจะได้สมการถ่ายโอนของวงจร Sallen and Key เท่ากับ

$$\begin{aligned}\frac{V_o(s)}{V_i(s)}&=\frac{\dfrac{K}{R_1R_2C_2C_1}}{s^2+s\left(\dfrac{1}{R_1C_2}+\dfrac{1}{R_2C_2}+\dfrac{1-K}{R_2C_1}\right)+\dfrac{1}{R_1R_2C_2C_1}}\\&=\frac{K}{s^2(R_1R_2C_1C_2)+s(R_1C_1+R_2C_1+R_1C_2(1-K))+1}\end{aligned} \tag{12}$$

เทียบกับสมการที่11กับสมการที่12 เพื่อหาค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_0 = K = 1 + \frac{R_4}{R_3} \tag{13}$$

$$\omega_n = \frac{1}{\sqrt{R_1 R_2 C_2 C_1}}, f_C = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \tag{14}$$

$$Q = \frac{1}{\sqrt{\frac{R_2 C_1}{R_1 C_2}} + \sqrt{\frac{R_1 C_1}{R_2 C_2}} + (1-K)\sqrt{\frac{R_1 C_2}{R_2 C_1}}} = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_1 + R_1 C_2 (1-K)} \tag{15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

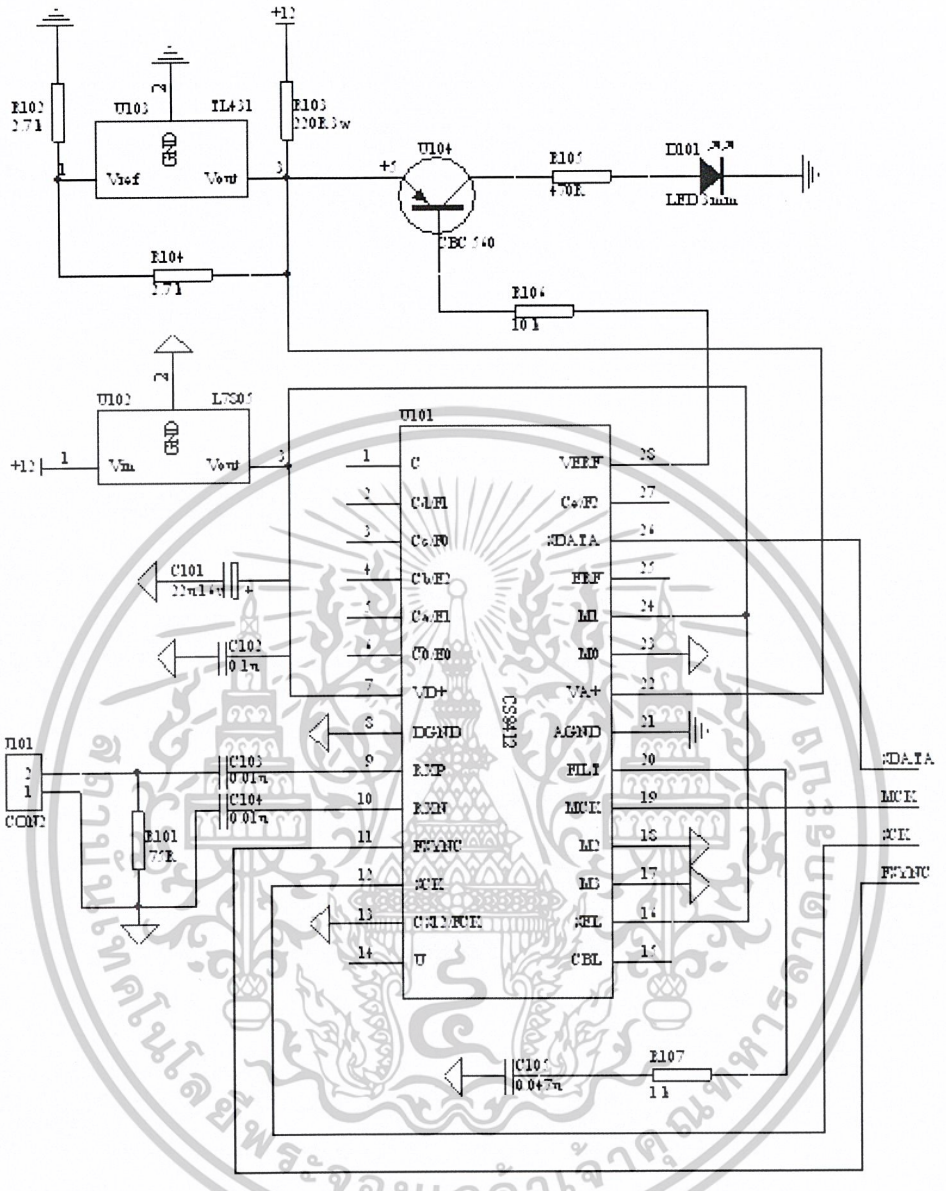
บทที่ 3
การออกแบบวงจร

3.1 การออกแบบวงจรถอดรหัสสัญญาณดิจิตอล

ในวงจร Digital Audio Interface Receiver เราได้เลือก chipเบอร์ CS8412 มาใช้ในการรับสัญญาณ digital input จากเครื่องเล่น CD โดยอุปกรณ์หลัก ๆ ที่จะต้องนำมาต่อเข้ากับขาต่าง ๆ ของ CS8412 ดูได้จาก datasheet ซึ่งมีดังนี้

- ป้อนแรงดัน ให้กับ VD+ (ขา 7) และ VA+ (ขา 22) โดยแยกแรงดันออกจากกัน เพื่อไม่เกิดการรบกวนกันระหว่างอนาล็อกกับดิจิตอลจะต้องให้ไฟมากกว่า 5Vผ่านVoltage Regulator โดยใช้เบอร์ L7805 จ่ายให้กับภาคดิจิตอล และ TL431 จ่ายให้กับภาคอนาล็อก ซึ่งจะให้ไฟ +5 V ออกมา
- ต่อกราวด์ให้กับขา 8 และขา 21
- ต่อความต้านทาน 1 kΩ เข้ากับ FILT (ขา 20) และต่อตัวเก็บประจุ 0.047 μF เข้ากับตัวต้านทาน แล้วต่อลงกราวด์
- ต่อวงจรตามรูปที่ 2.14 เพื่อรับสัญญาณ input เข้าที่ RXP (ขา 9) และ RXN (ขา 10)
- ขาสัญญาณ FSYNC (ขา 11), SCK (ขา 12) และ SDATA (ขา 26) จะต้องมีกราวด์ล้อมรอบเพื่อป้องกันการเกิดสัญญาณรบกวนระหว่างกันและจากวงจรตัวอื่น
- M3, M2, M1 และ M0 ป้อนไฟ +5 V ถ้าต้องการให้ขานั้นเป็น 1 และต่อขาที่ต้องการให้เป็น 0 ลงกราวด์ โดยในที่นี้ได้ทำการต่อตาม format 2 ที่ได้กล่าวไว้ในบทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



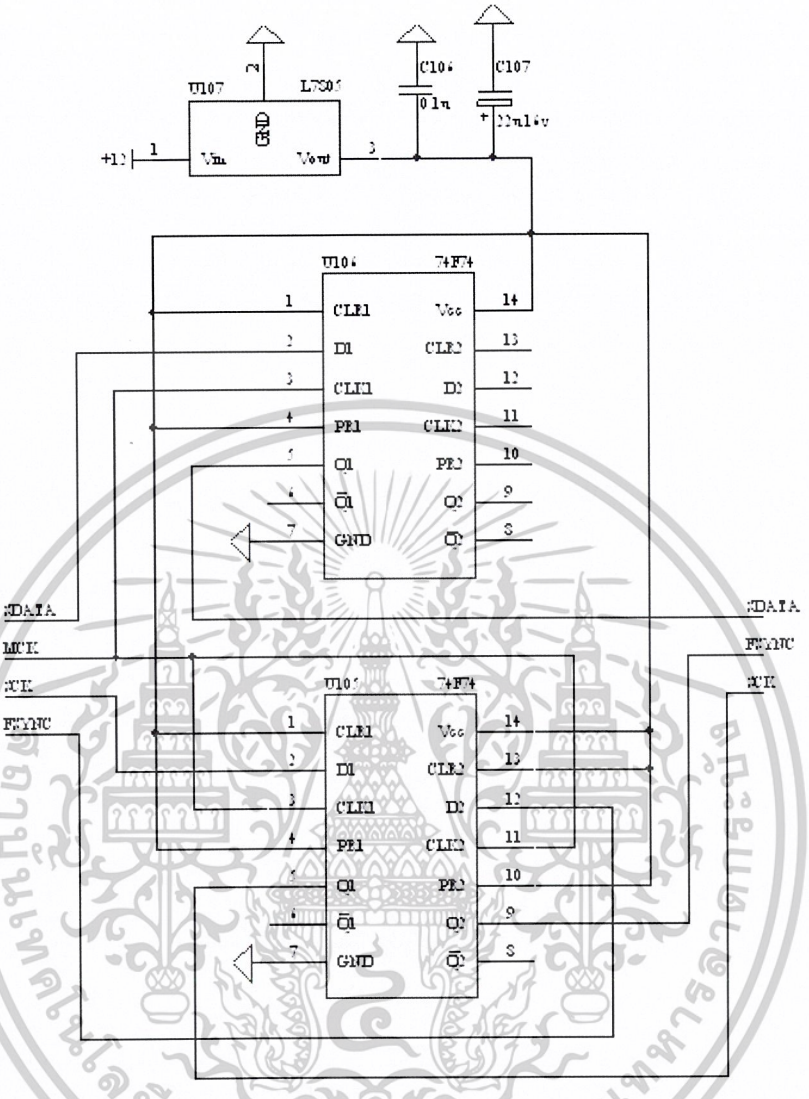
รูปที่ 3.1 วงจรถอดรหัสสัญญาณดิจิตอล

3.2 การออกแบบวงจรกู้สัญญาณนาฬิกา

ใช้ไอซีเบอร์ 74F74 เพื่อทำการเพิ่มความชันขอบของสัญญาณ SCK, FSYNC และ SDATA

- รับสัญญาณ SCK, FSYNC และ SDATA เข้าที่ขา D1 และ D2
- รับสัญญาณ MCK เข้าที่ขา CLK1 และ CLK2
- จ่ายแรงดัน 5 V ให้กับไอซีที่ขา Vcc
- จ่ายแรงดัน 5 V เข้าที่ขา CLR1, CLR2, PR1 และ PR2 เพื่อควบคุมฟลิปฟลอป
- ต่อขา 7 ลงกราวด์ และต่อ Output ออกจากขา Q1 และ Q2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรกู้สัญญาณนาฬิกา

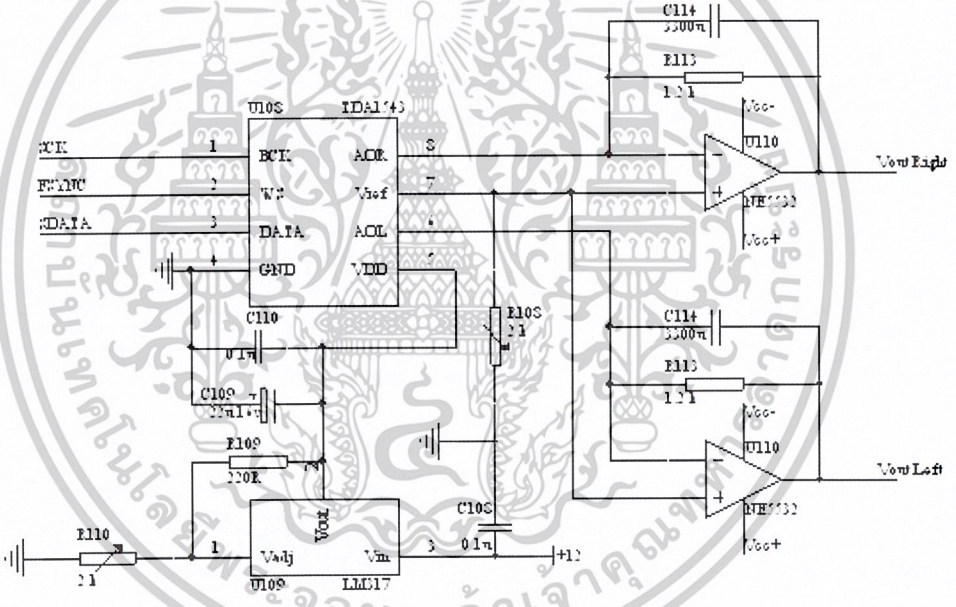
3.3 การออกแบบวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก

ในวงจร DAC ตัวนี้ ได้เลือก chipเบอร์ TDA1543 เพราะว่าพอที่จะหาซื้อได้ในท้องตลาด

- ป้อนแรงดันบวกระหว่าง 5V ถึง 8V ให้กับขา 5 โดยการจ่ายไฟให้มีค่ามากกว่า 5V ผ่าน Voltage Regulator เบอร์ LM317T
- ต่อขา 4 เป็น ground
- ต่อ Decoupling Capacitor ให้กับขา 5 แล้วต่อลง ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา 1 รับสัญญาณ SCK เข้ามา ขา 2 รับสัญญาณ FSYNC เข้ามา และขา 3 รับสัญญาณ SDATA เข้ามาโดยที่ทั้ง 3 ขา จะต้องล้อมรอบด้วยกราวด์ เพื่อกันสัญญาณรบกวนระหว่างกันและจากวงจรตัวอื่น
- ขา 7 เป็น Vref ใช้เป็นแรงดันอ้างอิงสำหรับขาเอาท์พุต
- ขาสัญญาณเอาท์พุตซ้าย(ขา6)และขวา(ขา8) เนื่องจาก ไอซี TDA1543 นี้จะมีเอาท์พุตออกมาเป็นกระแสจึงต้องผ่านการแปลงกระแสเป็นแรงดันโดยผ่าน IC เบอร์NE5532 ซึ่งเป็นออปแอมป์ โดยการต่อขา AOL และ AOR เข้าที่ขาอินเวิร์ทติงของออปแอมป์ ส่วนขานอนอินเวอร์ทติงของออปแอมป์จะต่อขา V_{ref} ซึ่งขา V_{ref} จะต่อ R ลงกราวด์และมี R และ C ต่อคร่อมระหว่างขาอินเวิร์ทติงกับขาเอาท์พุตของออปแอมป์



รูปที่ 3.3 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

3.4 การออกแบบวงจรกรองความถี่ต่ำผ่าน

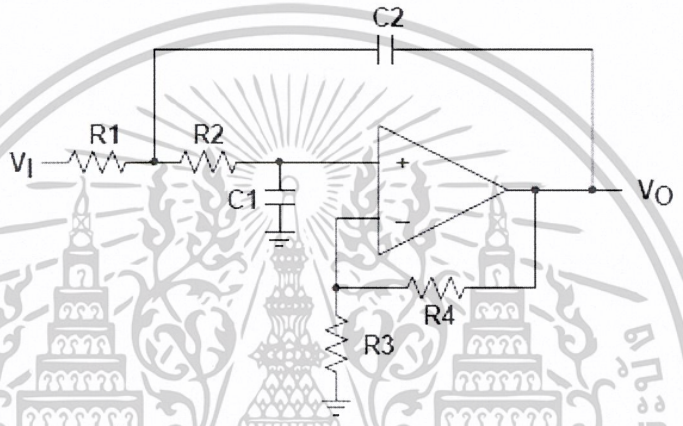
วงจรกรองความถี่ต่ำที่ออกแบบ เป็นวงจรกรองความถี่ต่ำแบบ Sallen and Key มีข้อดีคือเป็นวงจรอันดับสองที่ใช้ออปแอมป์เดียว และเป็นวงจรแบบ active มีอัตราการขยายประมาณสองเท่า ซึ่งมีวิธีการออกแบบดังต่อไปนี้

ถ้าให้ $R_1 = mR, R_2 = R, C_1 = C$ และ $C_2 = nC$ แล้ว

1. กำหนดค่า m , n และ C_1
2. กำหนดความถี่คัตออฟ(f_C)แล้วทำการคำนวณหาค่า R_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กำหนดค่าตัวประกอบคุณภาพ(Q)
4. คำนวณอัตราขยายของวงจรกรองความถี่ต่ำ(K)
5. กำหนดค่าตัวต้านทาน R_3 แล้วคำนวณหา R_4
6. คำนวณหาค่า C_2
7. คำนวณหาค่า R_1



รูปที่ 3.4 วงจรกรองความถี่แบบ Sallen and Key

กำหนดให้ m =4, n =0.27 และ C_1 = 0.1 μF แล้วกำหนดให้ความถี่คัตออฟเท่ากับ 20 kHz จะสามารถหาค่า R ได้ดังนี้

จากสมการ (14) จะได้ $$f_C = \frac{1}{2\pi RC\sqrt{\text{mn}}}$$

$$R = \frac{1}{2\pi f_C C\sqrt{mn}}$$

$$= \frac{1}{\left(2\pi\left(20\times10^{3}\right)0.1\times10^{-6}\right)\sqrt{(4)(0.27)}}$$

$$= 76.573$$

จากสมการ (15) จะได้ $$Q = \frac{\sqrt{mn}}{m+1+mn(1-K)}$$

ถ้ากำหนดให้ Q =0.707 จะได้ $$K = 1-\frac{\sqrt{mn}}{Q(mn)}+\frac{m+1}{mn}$$

$$= 1-\frac{\sqrt{4\times0.27}}{0.707(4\times0.27)}+\frac{4+1}{4\times0.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 4.27$$

จากสมการ (13) จะได้ $$K = 1 + \frac{R_4}{R_3}$$

ถ้ากำหนดให้ R_3 เท่ากับ 300 Ω แล้วหาค่า R_4 ซึ่งเป็นตัวต้านทานปรับค่าได้เท่ากับ

$$R_4 = R_3 (K\text{-}1)$$

$$= 300(4.27\text{-}1)$$

$$= 981\ \Omega$$

คำนวณหาค่า C_2 จาก $$C_2 = nC_1$$

$$= 0.27(0.1\ \mu)$$

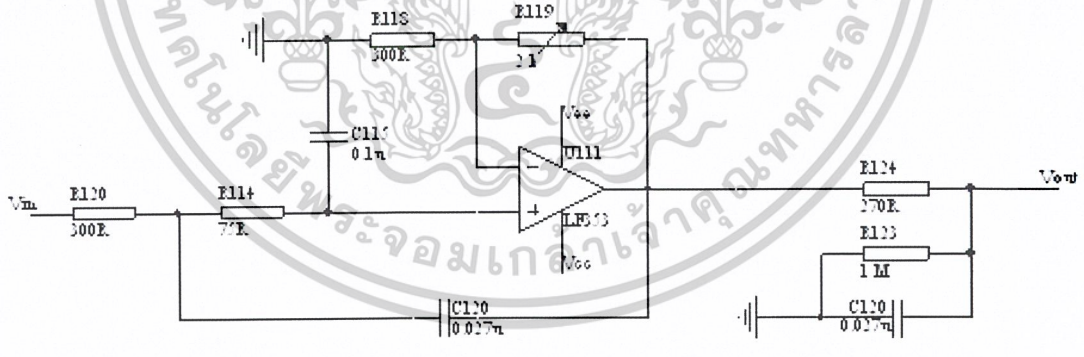
$$= 27\ \eta F$$

คำนวณหาค่า R_1 จาก $$R_1 = mR_2$$

$$= 4(76.5)$$

$$= 306\ \Omega$$

เนื่องจากไม่มีค่าความต้านทานที่ได้จากการคำนวณตามร้านค้าทั่วไป จึงใช้ค่าความต้านทานที่ใกล้เคียงแทน โดยใช้ความต้านทาน 75 โอห์มแทนค่า R_2 ที่คำนวณได้ 76.5 โอห์มและใช้ความต้านทาน 300 โอห์มแทนค่า R_1 ที่คำนวณได้ 306 โอห์ม



รูปที่ 3.5 วงจรกรองความถี่ต่ำที่ได้จากการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดสอบ

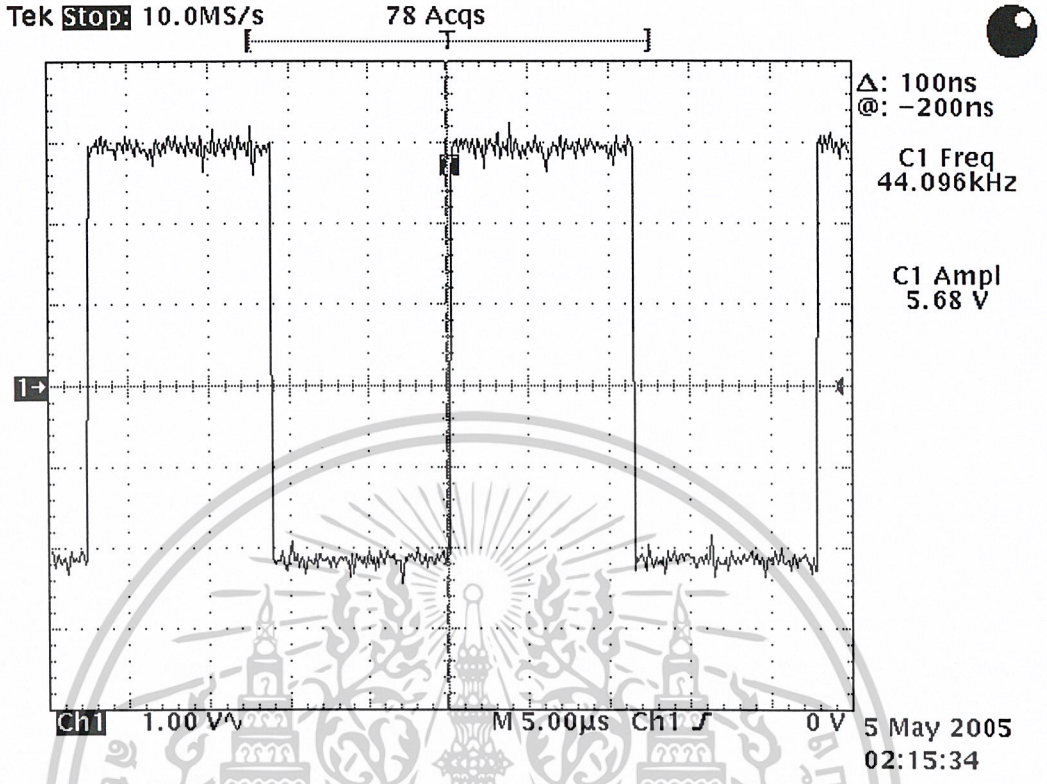
ผลการทดสอบวงจรนี้จะป้อนความถี่ 1 kHz แล้วใช้ Digital Oscilloscope ตรวจวัดสัญญาณที่จุดต่าง ๆ ว่าเป็นไปตามทฤษฎีหรือไม่และหลังจากนั้นจะทำการวัด spectrum ของสัญญาณเพื่อทำการวัดค่าและสังเกตรูปของสัญญาณภายในวงจรแต่ละส่วน การทดสอบและสร้าง DAC สำหรับระบบเสียง สามารถแยกวงจรเพื่อทำการทดสอบได้ดังนี้

- วงจรถอดรหัสสัญญาณดิจิตอล Digital Audio Interface Receiver (CS8412)
- วงจรกู้สัญญาณนาฬิกา Reclock (74F74)
- วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก Digital to Analog (TDA1543)
- วงจรกรองความถี่ต่ำผ่าน Lowpass Filter (LF353)

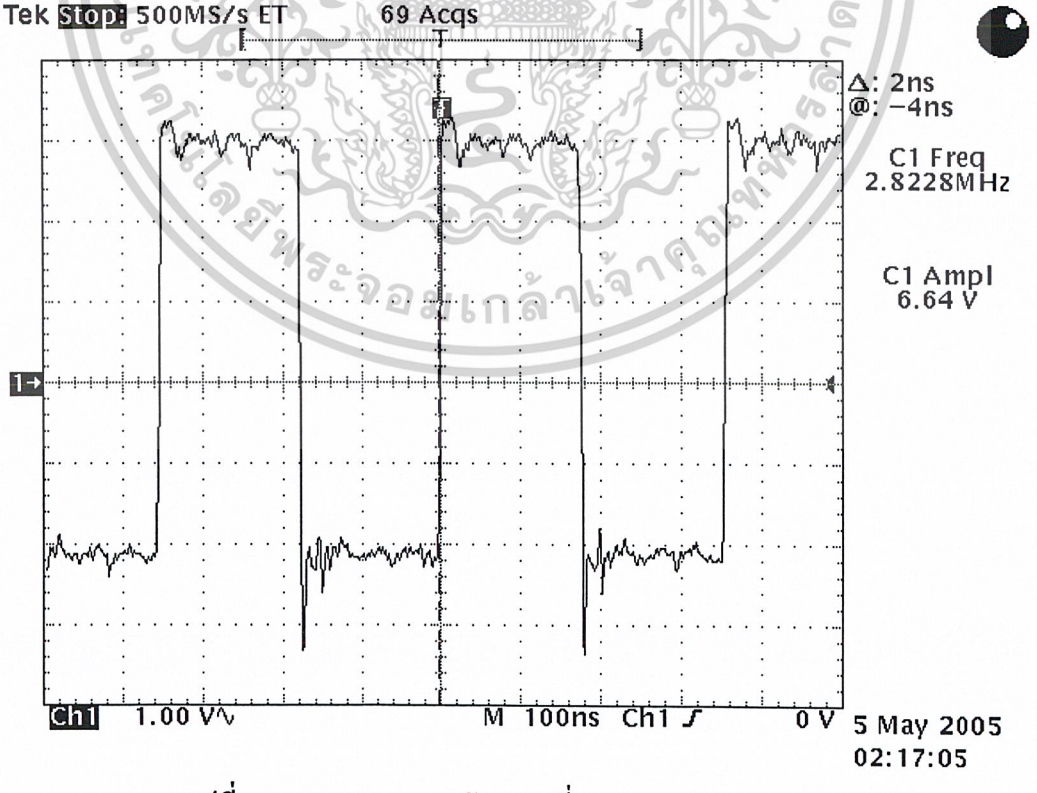
4.1 วงจรถอดรหัสสัญญาณดิจิตอล(CS8412)

- สัญญาณเข้ามาเป็น connector แบบ RCA
- สัญญาณที่รับเข้ามาจาก CD เป็นสัญญาณเสียงที่มีความถี่ 1 kHz
- สัญญาณออกจากขา FSYNC วัดความถี่ได้ 44.096 kHz ซึ่งใกล้เคียงกับ 44.1 kHz
- สัญญาณออกจากขา SCK วัดความถี่ได้ 2.8228 MHz ซึ่งใกล้เคียงกับ 64 x 44.1 kHz
- สัญญาณออกจากขา MCK วัดความถี่ได้ 11.29 MHz ซึ่งใกล้เคียงกับ 256 x 44.1 kHz
- สัญญาณออกจากขา SDATA เป็นสัญญาณข้อมูลที่ถูกถอดรหัสแล้ว
- ป้อนแรงดันเข้ามากกว่า 5 V ผ่าน L7805 และ TL431ทั้ง 2 ตัววัดแรงดันได้ 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

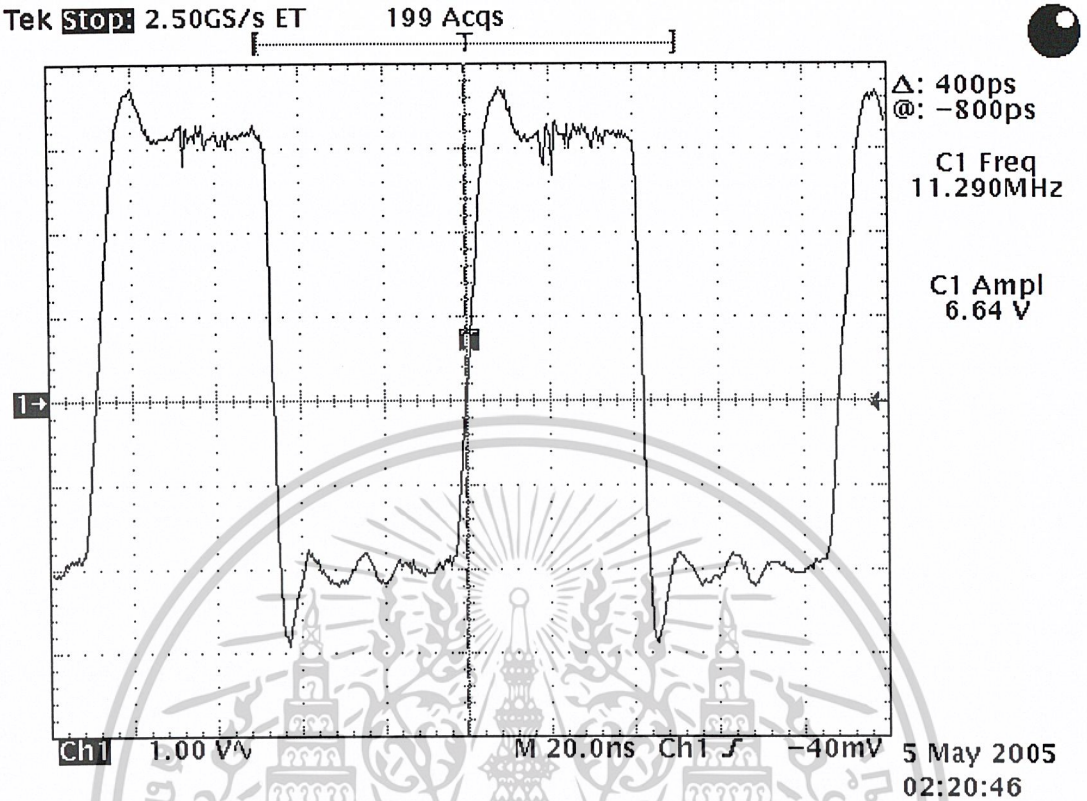


รูปที่ 4.1 ผลการทดสอบสัญญาณที่ออกจากขา FSYNC (ขา 11)

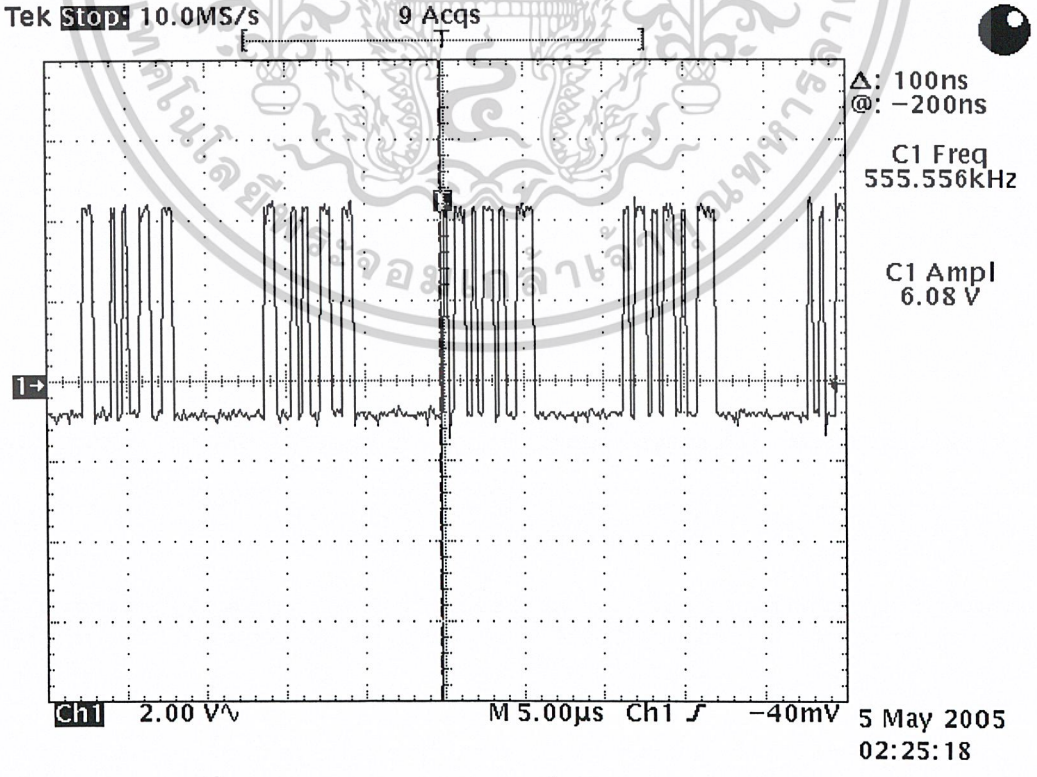


รูปที่ 4.2 ผลการทดสอบสัญญาณที่ออกจากขา SCK (ขา 12)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ผลการทดสอบสัญญาณที่ออกจากขา MCK (ขา 19)

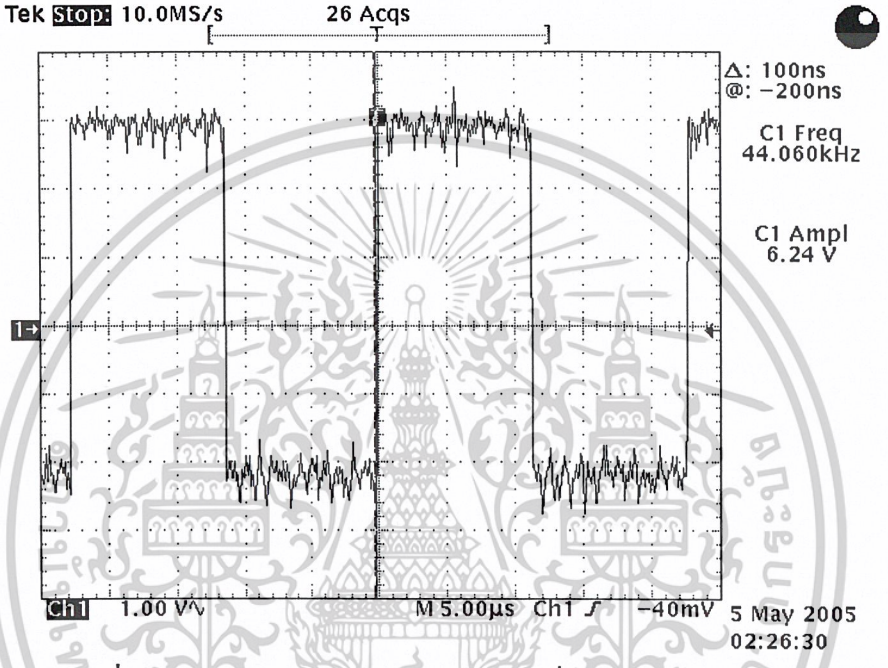


รูปที่ 4.4 ผลการทดสอบสัญญาณที่ออกจากขา SDATA (ขา 26)

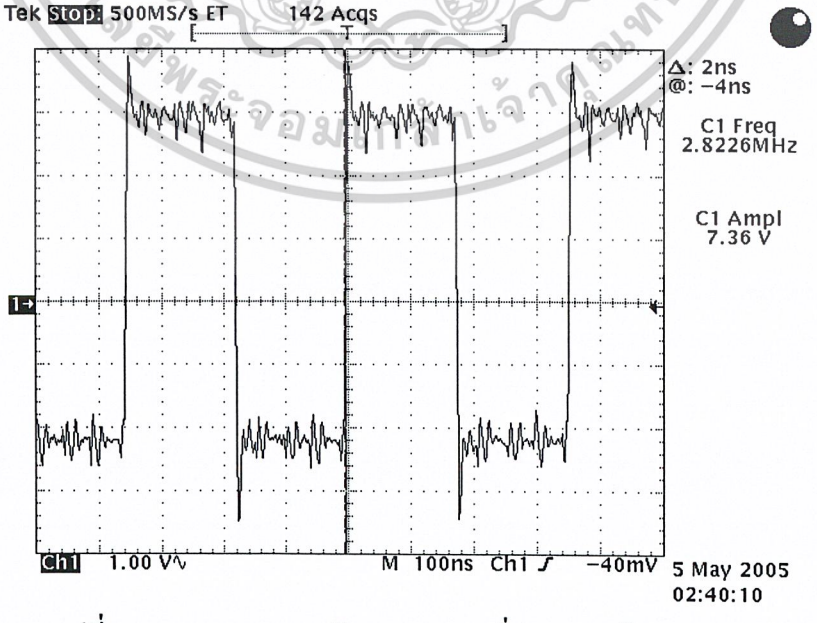
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรกู้สัญญาณนาฬิกา (74F74)

- รับสัญญาณ SCK, FSYNC, SDATA และMCK แล้วทำการกู้สัญญาณนาฬิกาใหม่
- กำหนดให้สัญญาณจาก MCK ใช้เป็นสัญญาณควบคุมของวงจรกู้สัญญาณนาฬิกา
- สังเกตได้ว่าความชันขอบของสัญญาณ SCK และ FSYNC มีความชันเพิ่มขึ้น

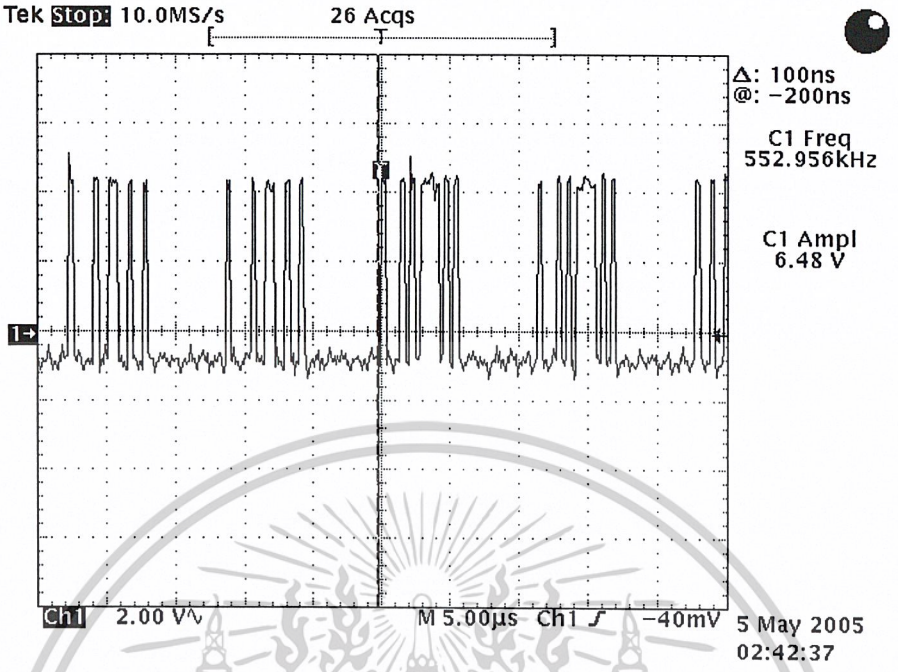


รูปที่ 4.5 ผลการทดสอบสัญญาณ FSYNC ที่ผ่านวงจรกู้สัญญาณนาฬิกา



รูปที่ 4.6 ผลการทดสอบสัญญาณ SCK ที่ผ่านวงจรกู้สัญญาณนาฬิกา

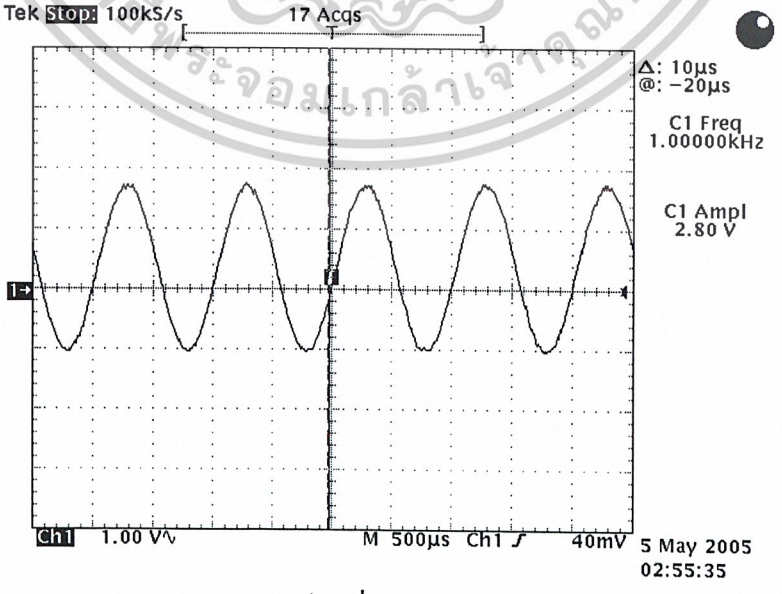
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ผลการทดสอบสัญญาณ SDATA ที่ผ่านวงจรกู้สัญญาณนาฬิกา

4.3 วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก(TDA1543)

- รับสัญญาณ SCK,FSYNC และ SDATA ที่ผ่านวงจรกู้สัญญาณนาฬิกา
- วัดสัญญาณเอาท์พุตที่ผ่านวงจรแปลงกระแสเป็นแรงดันได้เป็นรูปไซน์มีค่าเท่ากับ 1 kHz และมีสัญญาณรบกวนอยู่บ้าง
- DAC chip มีอุณหภูมิค่อนข้างสูง

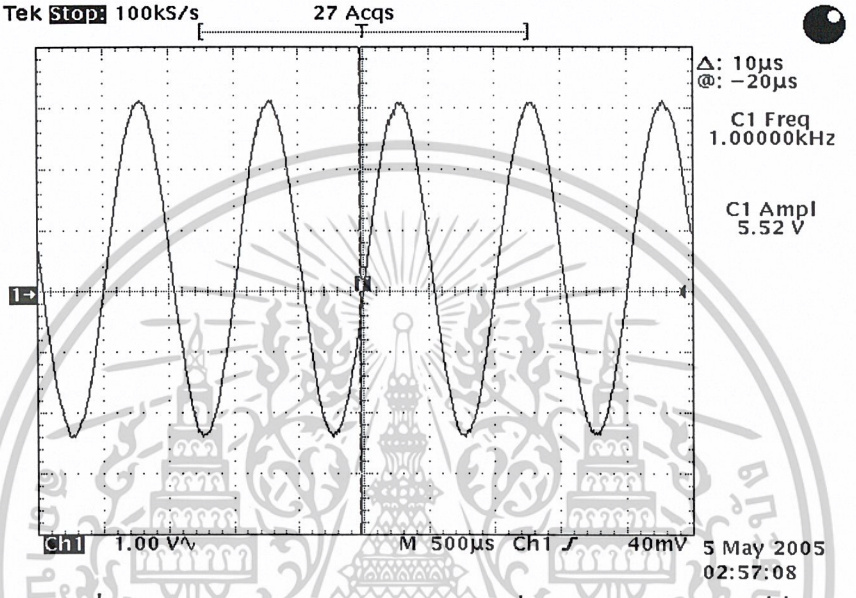


รูปที่ 4.8 ผลการทดสอบสัญญาณเอาท์พุตที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

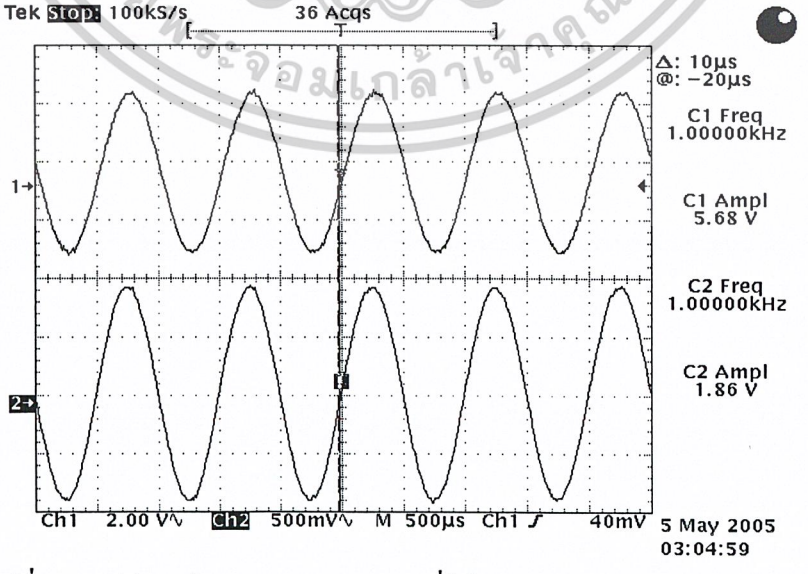
4.4 วงจรกรองความถี่ต่ำผ่าน(LF353)

- รับสัญญาณเอาท์พุตจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก
- กำหนดความถี่คัตออฟเท่ากับ 20 kHz
- สามารถปรับอัตราขยายได้ตั้งแต่ 1เท่าถึง 5เท่าขึ้นอยู่กับการกำหนดค่า Q



รูปที่ 4.9 ผลการทดสอบสัญญาณเอาท์พุตที่ผ่านวงจรกรองความถี่ต่ำ

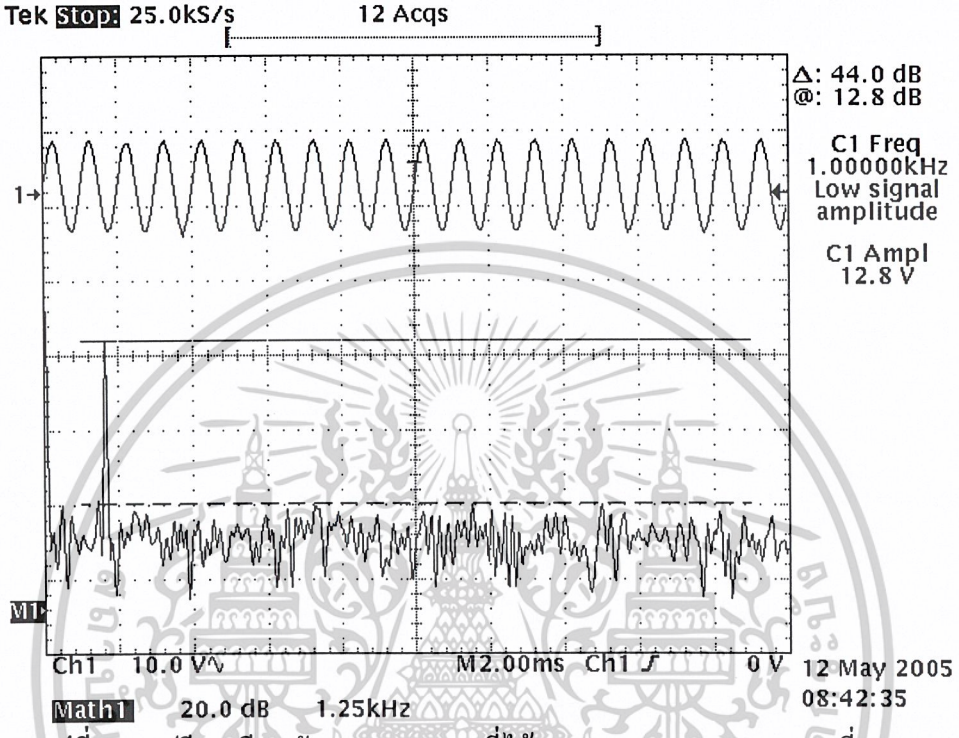
- รูปที่ 4.10 Ch1 เป็นสัญญาณที่ได้จากวงจร DAC และ Ch2 เป็นสัญญาณที่ได้จาก CD-ROM รูปสัญญาณที่ได้มีลักษณะของสัญญาณใกล้เคียงกันมาก แต่สัญญาณใน Ch1 มีแอมพลิจูดสูงกว่าประมาณ 3 เท่า ซึ่งสามารถขยายสัญญาณเสียงที่มีความถี่ต่ำ ๆ ได้ดีกว่า



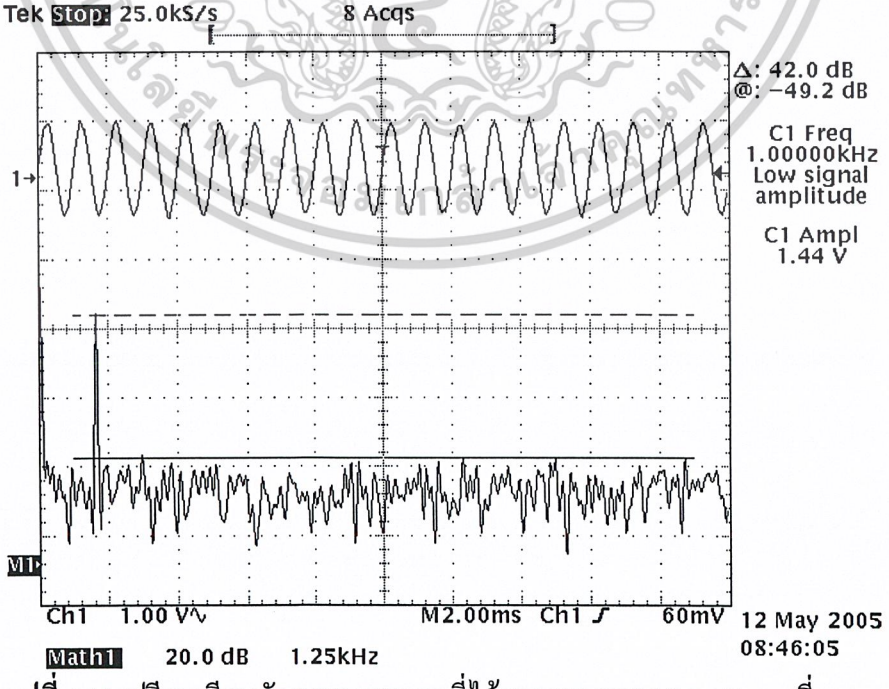
รูปที่ 4.10 เปรียบเทียบสัญญาณอนาลอกที่ได้จากวงจร DAC และ CD-ROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รูปที่ 4.11 และ 4.12 จะสังเกตว่า S/N ที่ได้จากวงจร DAC เท่ากับ 44 dB และได้จาก CD ROM เท่ากับ 42 dB แสดงให้เห็นว่าวงจร DAC ให้ S/N มากกว่า CD ROM จึงมีประสิทธิภาพดีกว่า



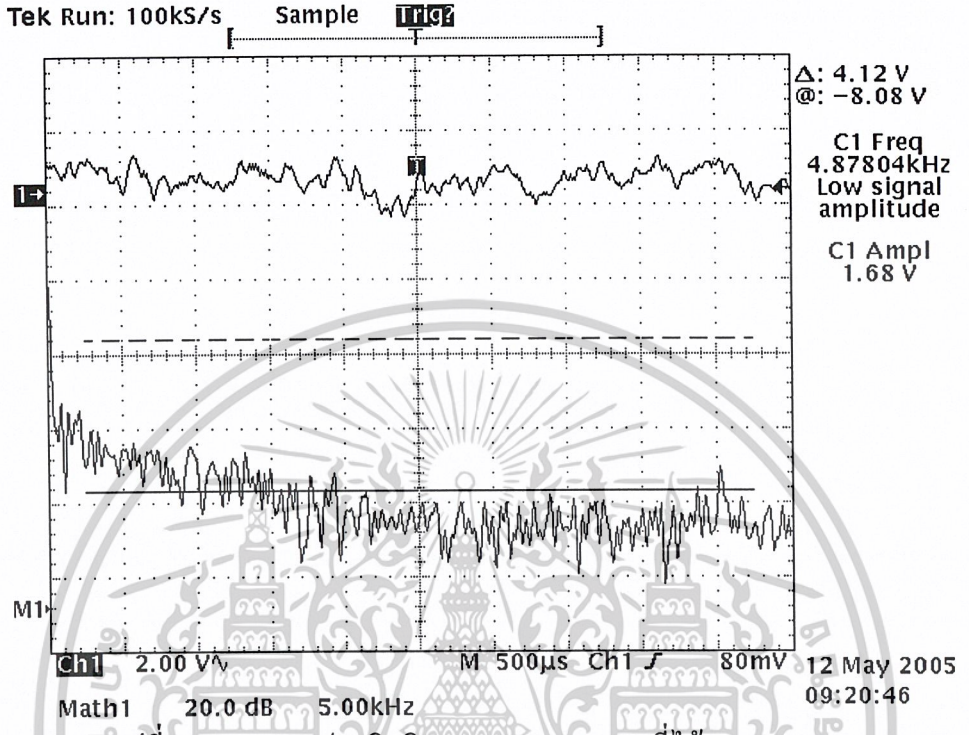
รูปที่ 4.11 เปรียบเทียบสัญญาณอนาลอกที่ได้จากวงจร DAC และ Noise ที่ออกมา



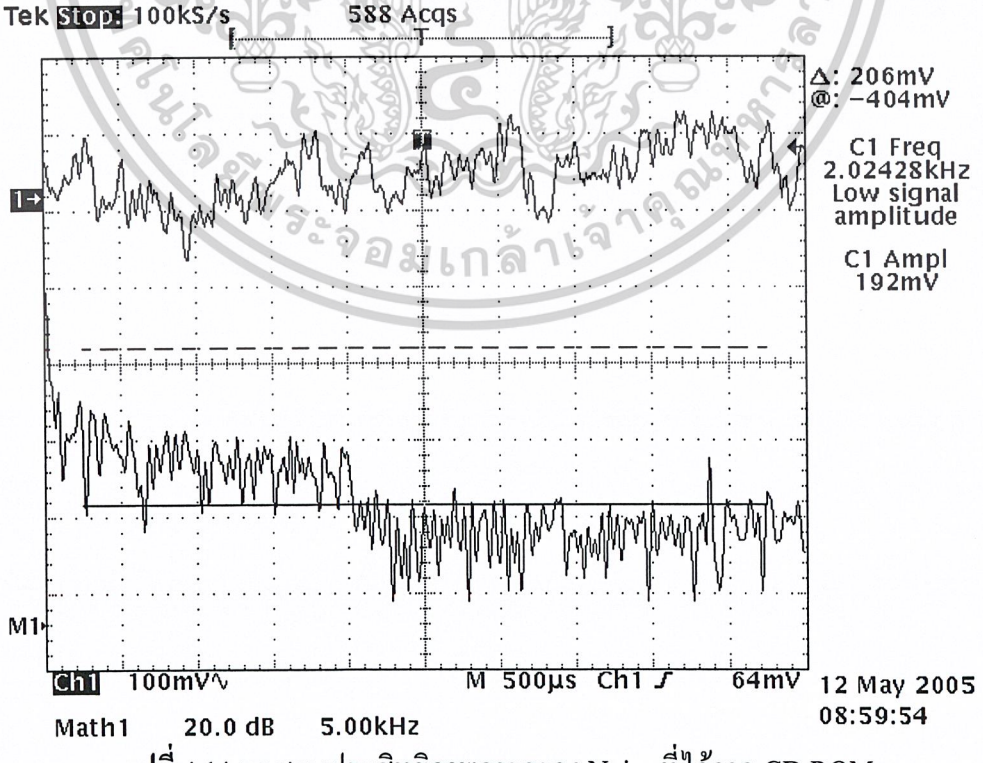
รูปที่ 4.12 เปรียบเทียบสัญญาณอนาลอกที่ได้จาก CD ROM และ Noise ที่ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รูปที่ 4.13 และ 4.14 จะสังเกตได้ว่า ค่า noise ที่ผ่านออกมาจากวงจร DAC มีค่าน้อยกว่า CD ROM ดังนั้นวงจร DAC สามารถกรอง noise ได้ดีกว่า CD ROM



รูปที่ 4.13 ทดสอบประสิทธิภาพการกรอง Noise ที่ได้จากวงจร DAC



รูปที่ 4.14 ทดสอบประสิทธิภาพการกรอง Noise ที่ได้จาก CD ROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

จากการทดสอบวงจร DAC สำหรับงานระบบเสียง ในการทดสอบส่วนของวงจรถอดรหัสสัญญาณดิจิตอล วัดสัญญาณเอาท์พุทออกมาได้เป็นรูปสัญญาณนาฬิกา ได้ความถี่ของสัญญาณนาฬิกาออกมาตรงตามความถี่ sampling คือ 44.1 kHz โดยสัญญาณที่ออกมา ยังจะต้องส่งผ่านไปยังส่วนของวงจรกู้สัญญาณนาฬิกา เพื่อต้องการเพิ่มความชันขอบของสัญญาณนาฬิกา เพื่อให้สัญญาณนาฬิกาแต่ละสัญญาณสามารถ synchronize กันได้ดีขึ้น โดยผลที่ได้จากวงจรกู้สัญญาณนาฬิกาสามารถเพิ่มความชันขอบของสัญญาณนาฬิกาได้จริง และสัญญาณที่ได้ออกมามีความนิ่งกว่าสัญญาณที่ไม่ผ่านวงจรกู้สัญญาณนาฬิกา แต่ในที่นี้ขึ้นอยู่กับประเภทของไอซีที่เลือกใช้ด้วย ในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกนั้น ที่เลือกใช้ไอซีเบอร์ TDA1543 เพราะสามารถหาซื้อได้ภายในประเทศ ซึ่งเป็นไอซีสำหรับแปลงสัญญาณดิจิตอลขนาด 16 บิตเป็นสัญญาณอนาล็อก สามารถแยกช่องสัญญาณทั้งซ้ายและขวาตามรูปแบบของ I2S จากการทดสอบป้อนสัญญาณความถี่เดียวที่ 1 kHz สามารถวัดสัญญาณเอาท์พุทได้เป็นสัญญาณไซน์ 1 kHz ทั้งซ้ายและขวา แต่สัญญาณที่ได้ออกมายังมีสัญญาณรบกวนปนออกมาบ้าง จึงต้องนำสัญญาณผ่านวงจรกรองความถี่ต่ำ ซึ่งได้เลือกใช้วงจรกรองความถี่ต่ำอันดับ 2 ตามรูปแบบของ Sallen & Key เพราะเป็นที่นิยมใช้กันในสัญญาณด้านระบบเสียง ซึ่งผลที่ได้สามารถลดสัญญาณรบกวนลงได้ในระดับหนึ่ง โดยส่วนรวมแล้ว ปัญหาด้านสัญญาณรบกวน มีผลต่อสัญญาณเสียงไม่มากนัก เพราะเราสามารถปรับเปลี่ยนรูปแบบและค่าต่าง ๆ ในส่วนของวงจรกรองความถี่ได้ แต่ปัญหาที่สำคัญจะอยู่ที่ภาคดิจิตอล คือการเกิด jitter ในช่วงความถี่สูง ๆ เพราะจากการสังเกตสัญญาณที่ช่วงความถี่ต่าง ๆ เมื่อสัญญาณความถี่สูงขึ้นมากกว่า 10 kHz ถึง 20 kHz สัญญาณเกิดการสั่นค่อนข้างสูง แต่ในเสียงเพลงจริง ๆ แล้วนั้น จากการสังเกตสัญญาณ เสียงเพลงจะมีความถี่อยู่ที่ช่วง 100 Hz ถึง 5 kHz จากการสังเกตความถี่ในช่วงนี้ สัญญาณเอาท์พุทที่ได้จากวงจร จะเกิด jitter ขึ้นน้อยมาก หรือแทบจะไม่เกิดเลยเมื่อความถี่ยิ่งต่ำลง ส่วนในช่วงที่มากกว่า 10 kHz แถบจะไม่พบเห็นเลยในเสียงเพลง การที่เกิดการสั่นของสัญญาณในช่วงความถี่สูงนั้น เป็นเพราะว่าสัญญาณนาฬิกาที่ใช้ในการควบคุมการ synchronize (ในที่นี้สัญญาณที่ใช้มีความถี่ 11.289 MHz) ของสัญญาณนาฬิกาต่าง ๆ กับสัญญาณข้อมูล ไม่มีความนิ่งพอ จึงทำให้เกิดการสั่นขึ้นในช่วงความถี่สูงๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางในการพัฒนาต่อไป สามารถปรับปรุงสัญญาณดังกล่าวให้ดีขึ้นได้ถ้าเพิ่มตัว digital filter เข้าไปเพื่อลดปัญหาที่เกิดจาก jitter และสามารถทำการ oversampling ในภาค digital filter เพื่อเพิ่มรายละเอียดของข้อมูลเสียงให้มากขึ้นหากว่าเรามีอุปกรณ์ที่มีประสิทธิภาพสูงบวกกับทุนในการจัดซื้อที่เพียงพอ แต่ในความเป็นจริงแล้ว ยากที่จะหาซื้ออุปกรณ์เหล่านั้นภายในประเทศหรือแทบจะไม่มีขายเลยภายในประเทศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Ken C. Pohlmann, “Principles of Digital Audio”, HOWARD :W.SAMS&COMPANY, Indiana USA, 1989
2. สักรียา ชิตวงษ์, “วิศวกรรมอิเล็กทรอนิกส์”, ภาควิชาวิศวกรรมวัดคุม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2544
3. A Fundamental Introduction to the Compact Disc Player, http://www.tc.umn.edu/~erick205/Papers/paper.html
4. active lowpass filter, http://kmitnb05.kmitnb.ac.th/~mts/filter.pdf http://www.web-ee.com/primers/files/Sallen_Key.pdf
5. datasheet, http://www.alldatasheet.com

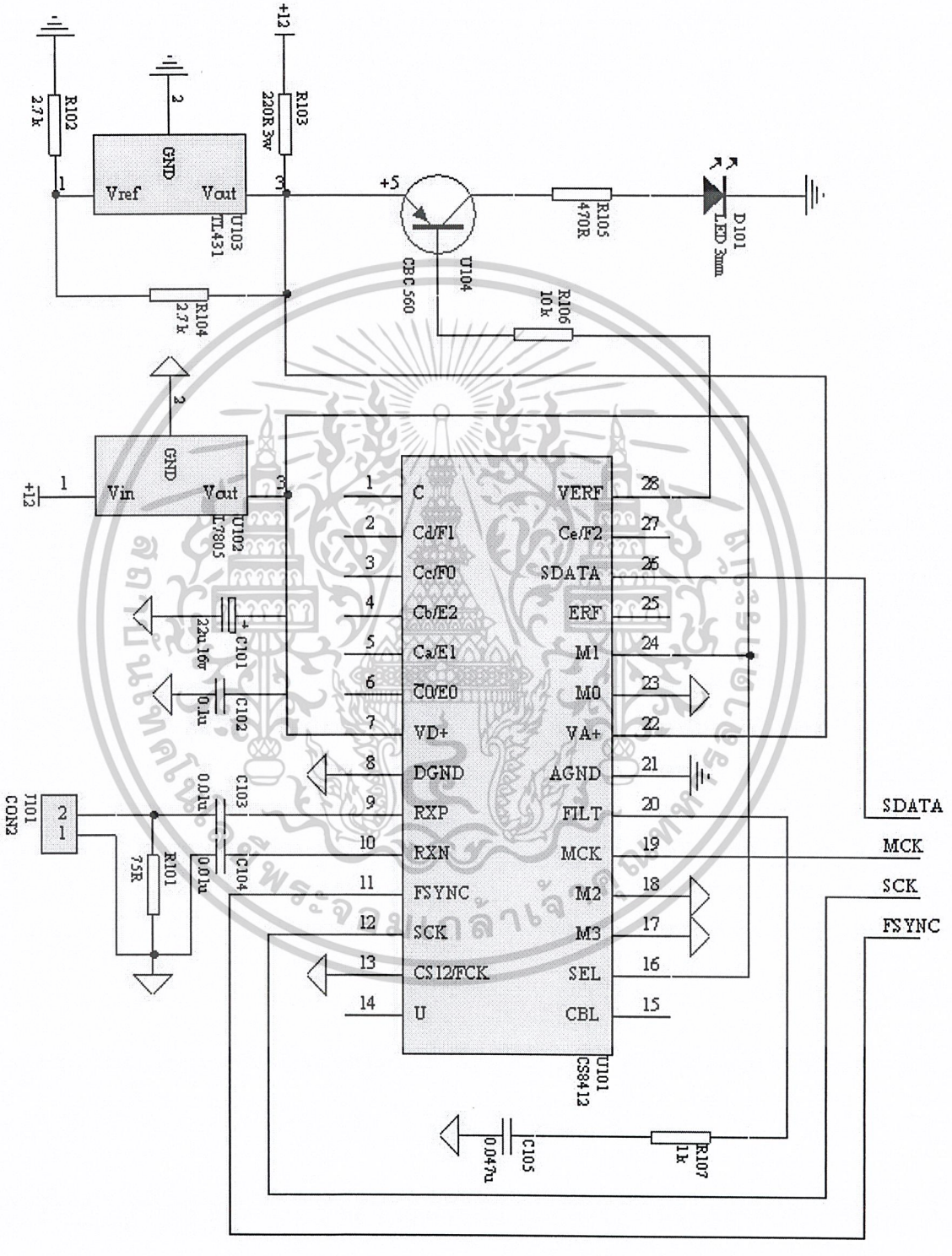
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก

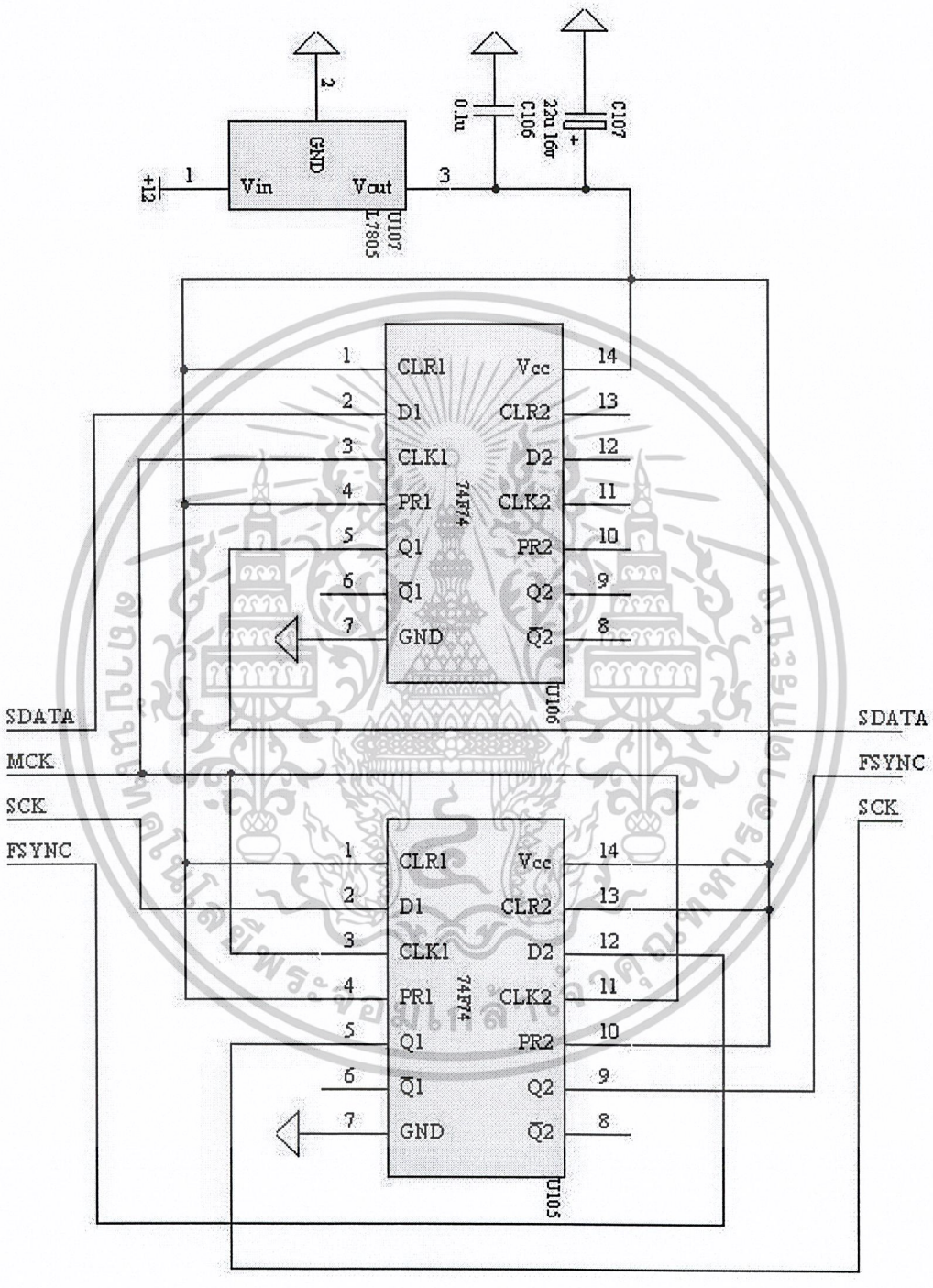
วงจร DAC สมบูรณ์สำหรับงานระบบเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



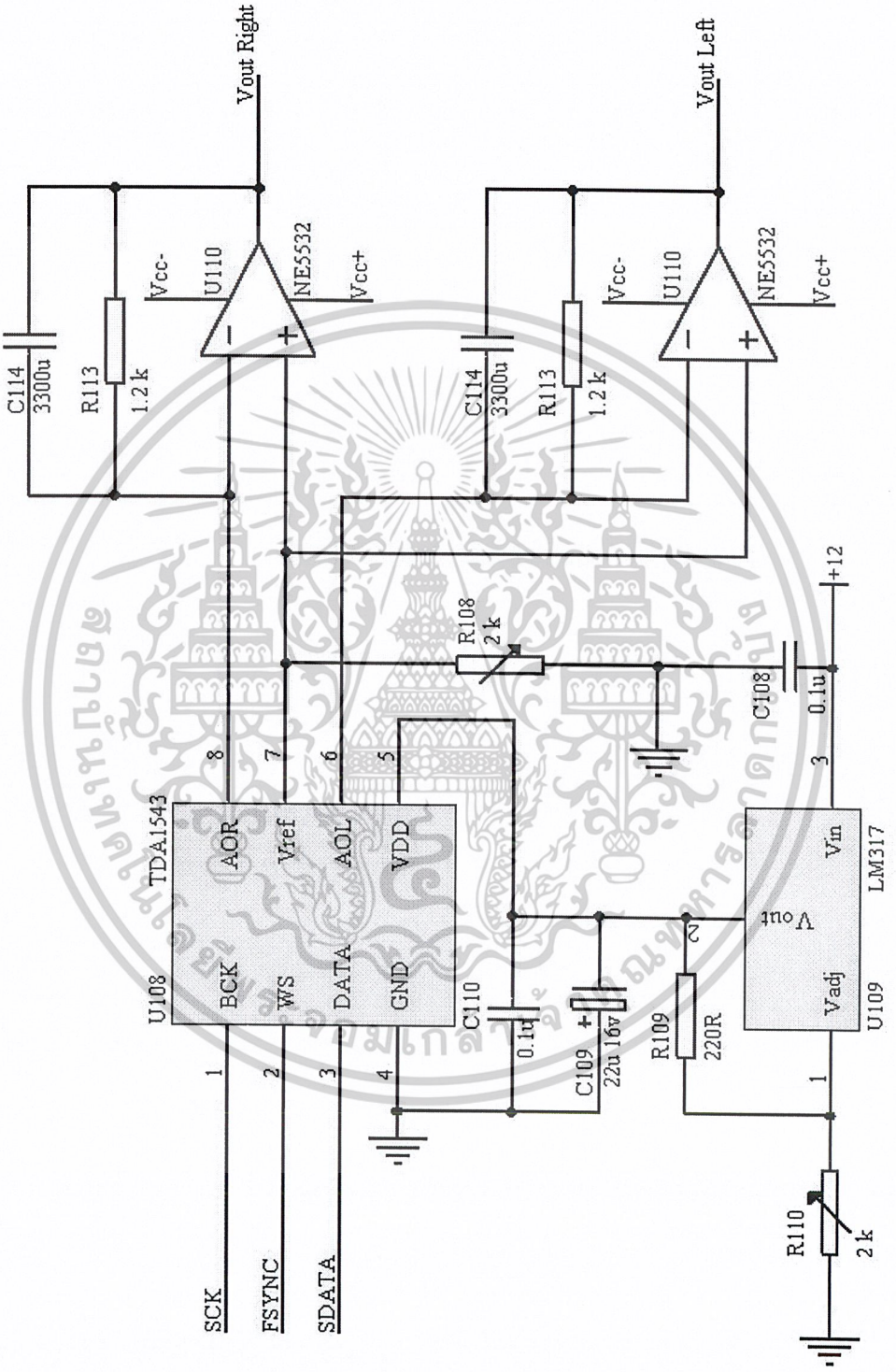
วงจรถอดรหัสสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



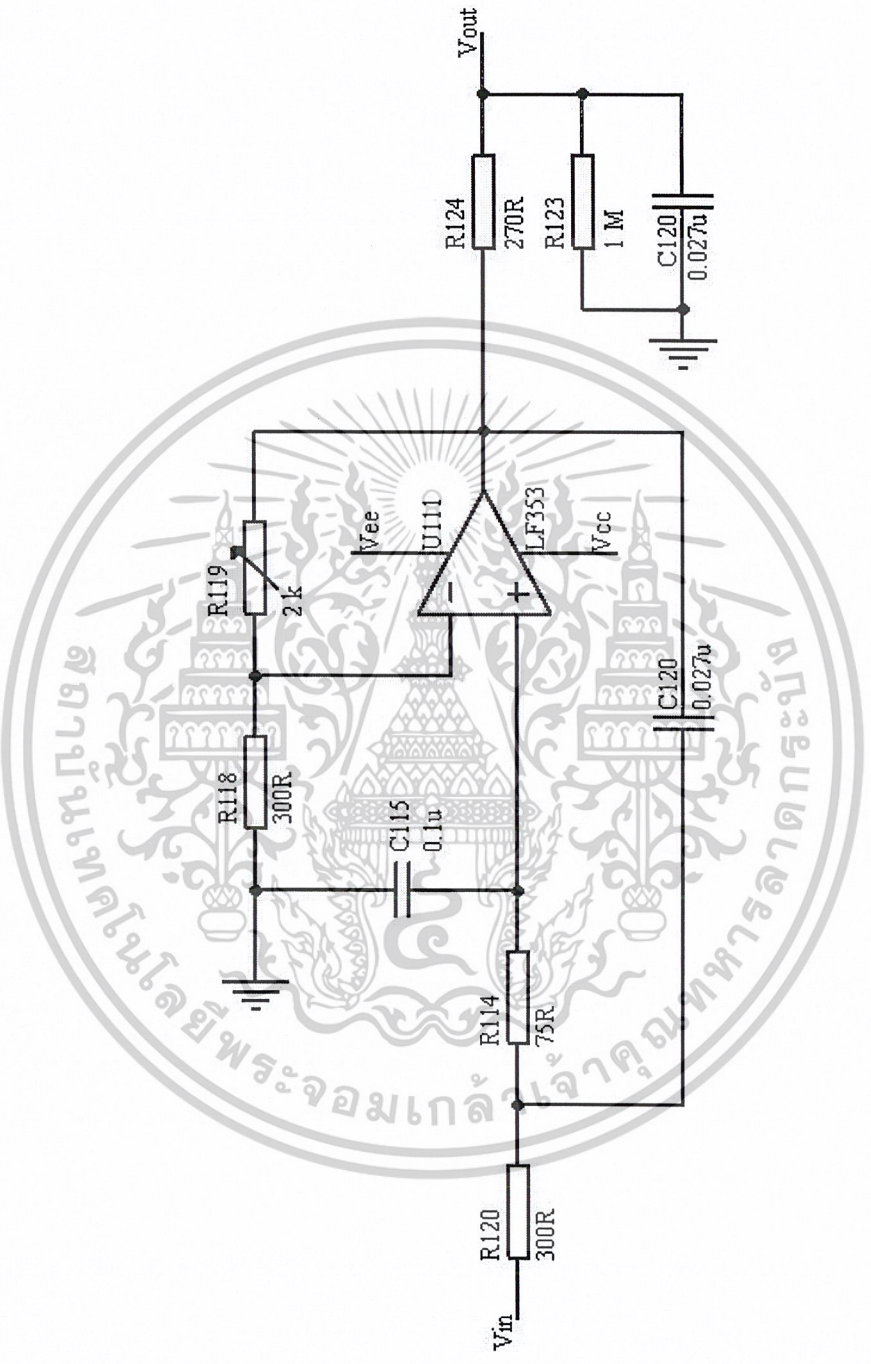
วงจรกู้สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



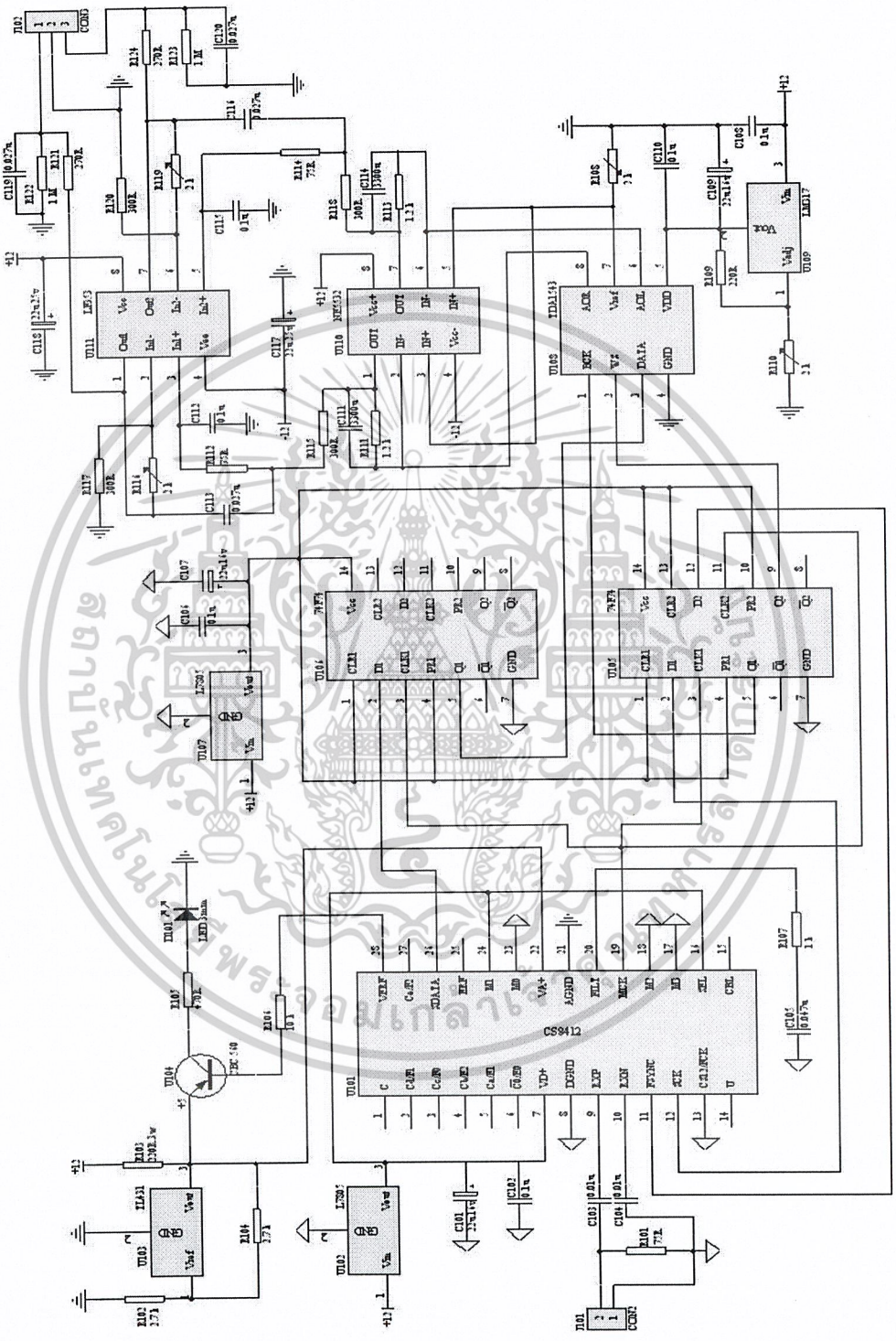
วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



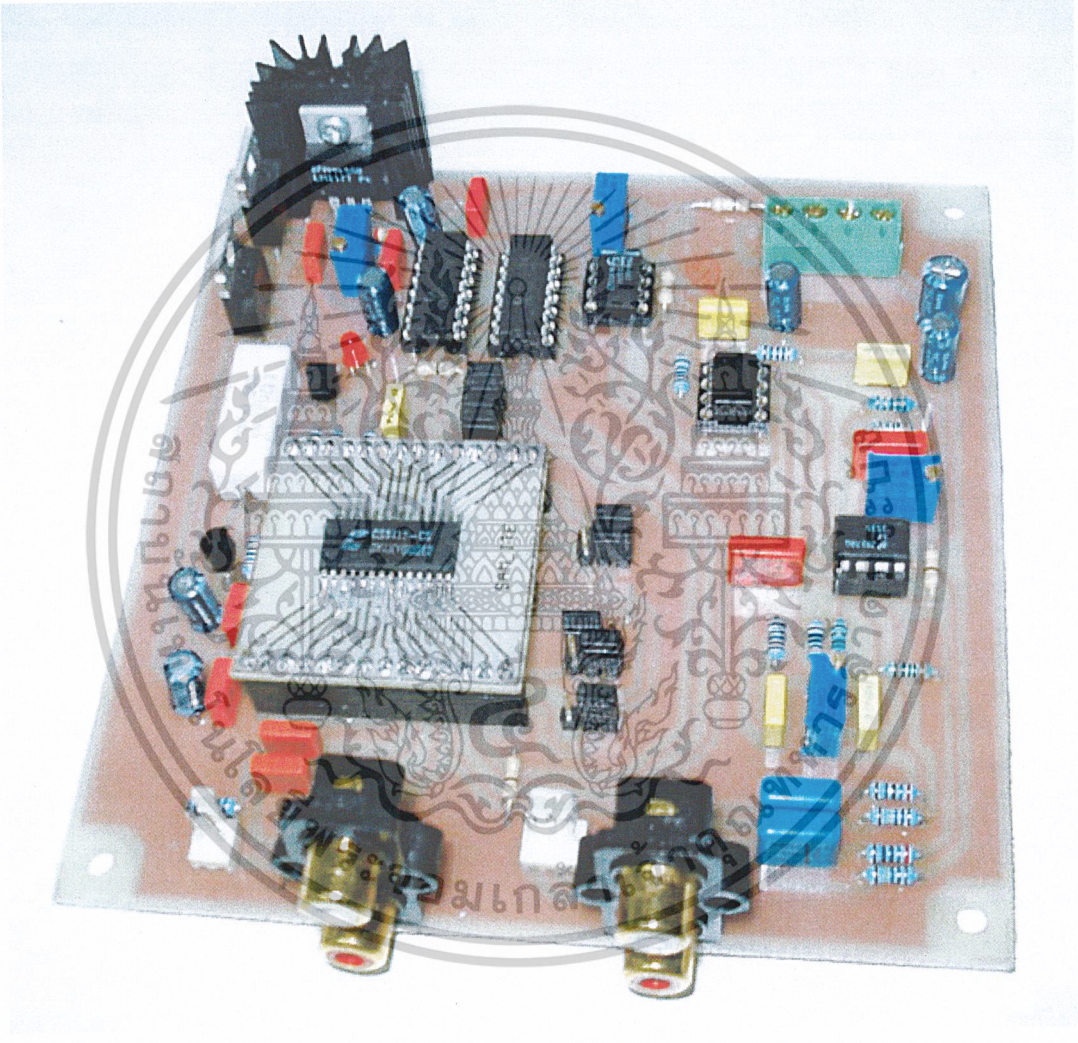
วงจรกรองความถี่ต่ำที่ได้จากการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจร DAC สมบูรณ์แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปภาพวงจรสำเร็จรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข
ต้นทุนของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้นทุนของโครงงาน(ไม่รวมหม้อแปลง)

Parts	Comment	Quantity	Price	Total
capacitor	0.01uF	2	2.75	5.50
capacitor	0.1uF	7	2.5	17.50
capacitor	47nF	1	3.5	3.5
capacitor	27nF	4	3.5	14
capacitor	22uF	6	1.2	7.2
capacitor	100uF	1	1.9	1.9
capacitor	3.3 nF	2	3.5	7
resistor	75 Ω 1/4w	3	0.18	0.54
resistor	1 $k\Omega$ 1/4w	1	0.18	0.18
resistor	10 $k\Omega$ 1/4w	1	0.18	0.18
resistor	2.7 $k\Omega$ 1/4w	2	0.18	0.36
resistor	470 Ω 1/4w	1	0.18	0.18
resistor	1.2 $k\Omega$ 1/4w	2	0.18	0.36
resistor	300 Ω 1/4w	4	0.18	0.72
resistor	1 $M\Omega$ 1/4w	2	0.18	0.36
resistor	270 Ω 1/4w	2	0.18	0.36
resistor	220 Ω 1/4w	1	0.18	0.18
resistor	220 Ω 3w	1	22	22
pot	2 $k\Omega$	4	25	100
Transistor	BC560	1	1.75	1.75
Flip-flop	74F74	2	2.66	5.32
DAC	TDA1543	1	40	40
Digital receiver	CS8412	1	800	800
op-amp	NE5532	1	11	11
op-amp	LF353	1	8	8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LED	Red	1	1	1
voltage regulator	TL431	1	2.62	2.62
voltage regulator	L7805	2	8.5	17
voltage regulator	LM317	1	7.49	7.49
switch	on-off	1	14.13	14.13
socket IC	8 pin	3	3.31	9.93
socket IC	14 pin	2	6	12
heat sink	black	1	10	10
headphone jack	stereo	1	10	10
RCA connector	stereo	2	11.38	11.38
sink connector	4 pin	1	20	20
PCB	5" x 5"	1	238	238
metal case	8" x 8"	1	300	300
	(currency unit: baht)		**Grand total**	**1701.64**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค

ข้อมูลเฉพาะอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Semiconductor Corporation

CS8411 CS8412

Digital Audio Interface Receiver

Features

- Monolithic CMOS Receiver
- Low-Jitter, On-Chip Clock Recovery
  256×Fs Output Clock Provided
- Supports: AES/EBU, IEC 958,
  S/PDIF, & EIAJ CP-340
  Professional and Consumer Formats
- Extensive Error Reporting
  Repeat Last Sample on Error Option
- On-Chip RS422 Line Receiver
- Configurable Buffer Memory (CS8411)

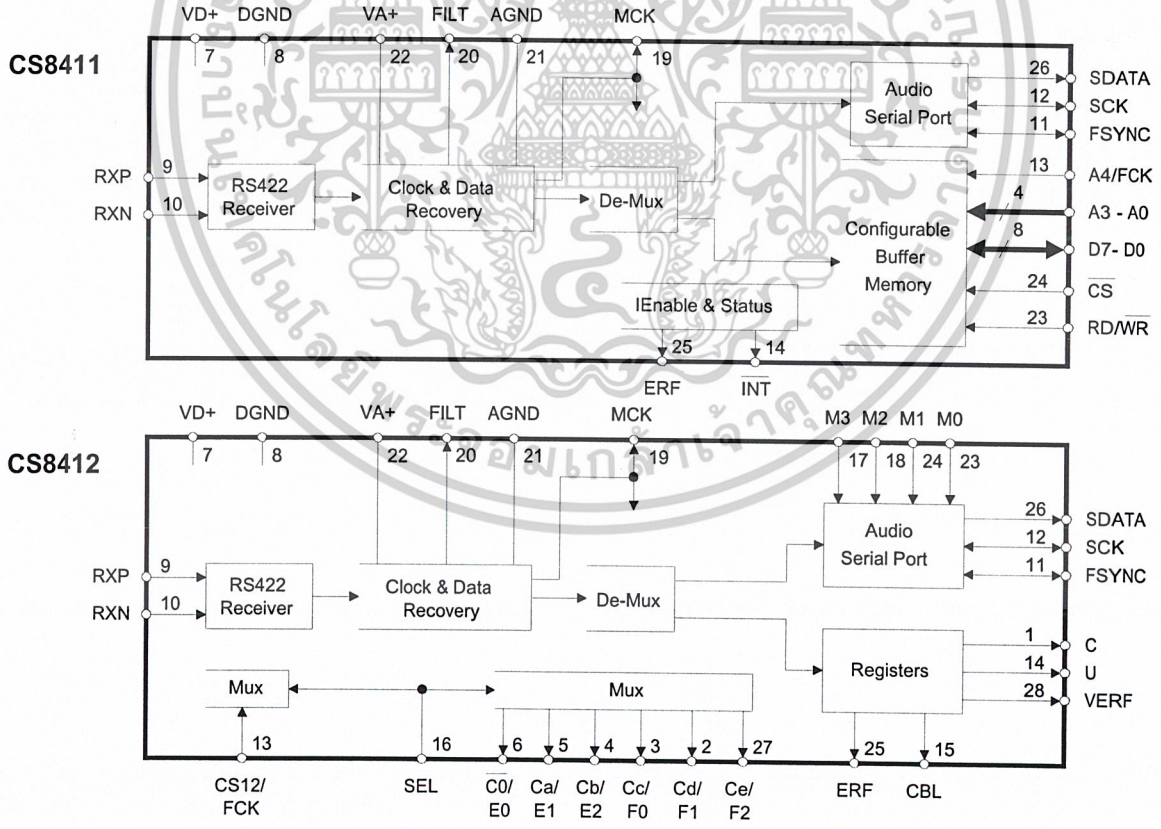
General Description:

The CS8411/12 are monolithic CMOS devices which receive and decode audio data according to the AES/EBU, IEC 958, S/PDIF, & EIAJ CP-340 interface standards. The CS8411/12 receive data from a transmission line, recover the clock and synchronization signals, and de-multiplex the audio and digital data. Differential or single ended inputs can be decoded.

The CS8411 has a configurable internal buffer memory, read via a parallel port, which may be used to buffer channel status, auxiliary data, and/or user data.

The CS8412 de-multiplexes the channel, user, and validity data directly to serial output pins with dedicated output pins for the most important channel status bits.

ORDERING INFORMATION: page 33
TABLE OF CONTENTS: page 34



Preliminary Product Information This document contains information for a new product. Crystal Semiconductor reserves the right to modify this product without notice.

Crystal Semiconductor Corporation
P.O. Box 17847, Austin, TX 78760
(512) 445-7222 FAX: (512) 445-7581

NOV '93
DS61PP4

สำเนาเอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

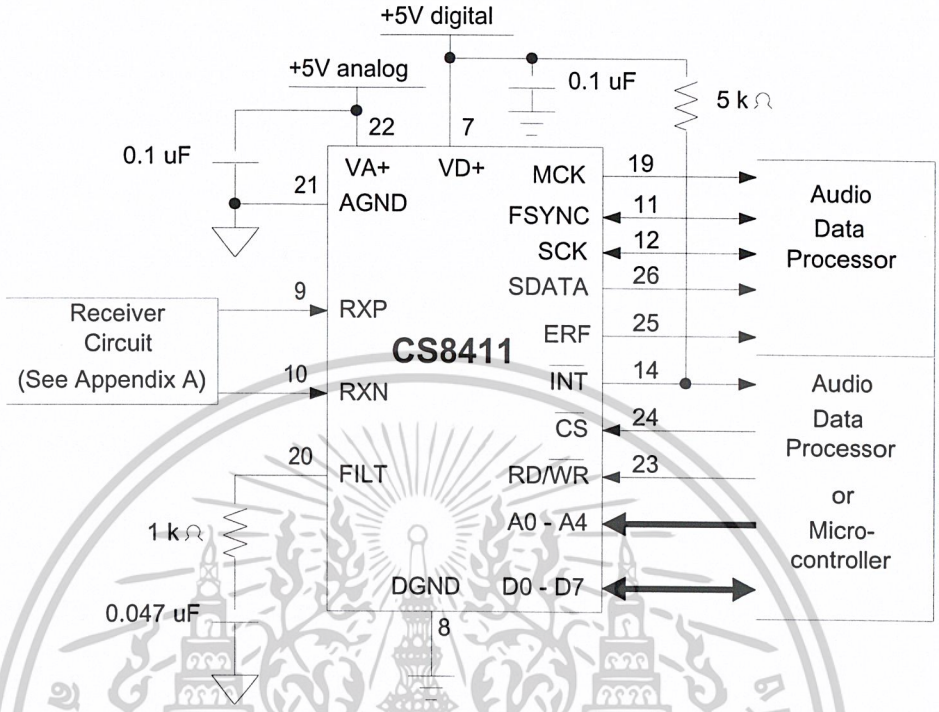


Figure 1. CS8411 Typical Connection Diagram

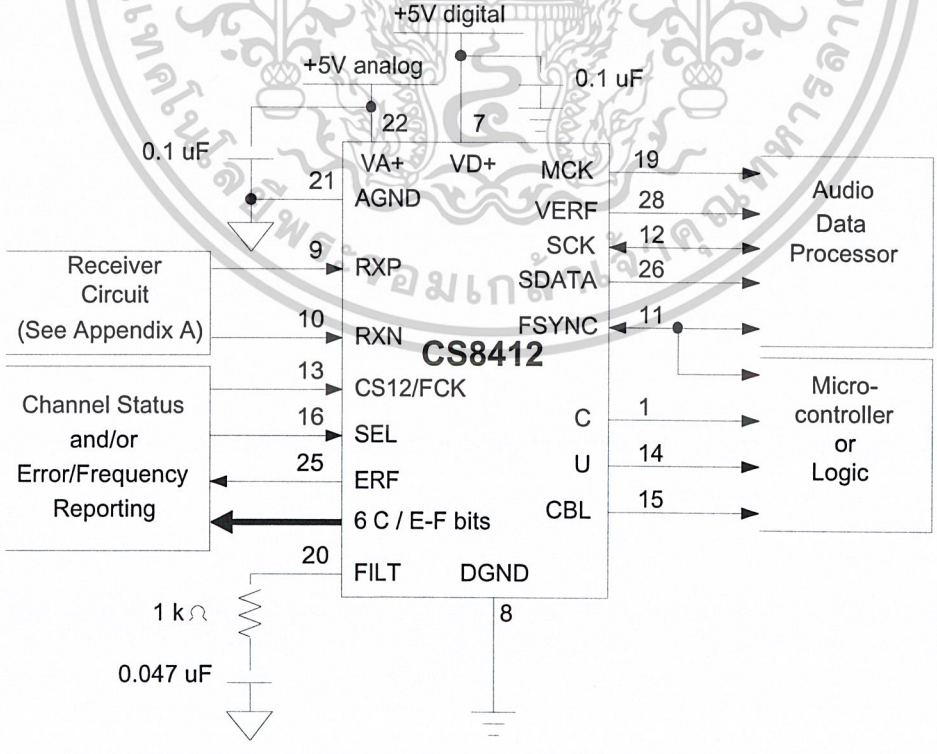
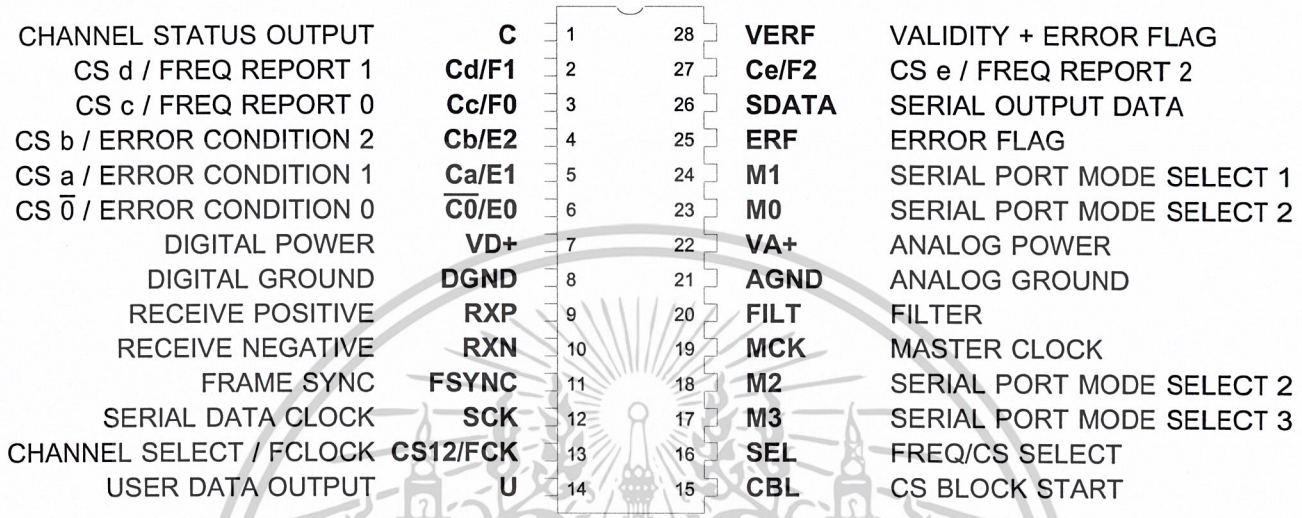


Figure 2. CS8412 Typical Connection Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS:

CS8412



Power Supply Connections

VD+ - Positive Digital Power, PIN 7.

Positive supply for the digital section. Nominally +5 volts.

VA+ - Positive Analog Power, PIN 22.

Positive supply for the analog section. Nominally +5 volts.

DGND - Digital Ground, PIN 8.

Ground for the digital section. DGND should be connected to same ground as AGND.

AGND - Analog Ground, PIN 21.

Ground for the analog section. AGND should be connected to same ground as DGND.

Audio Output Interface

SCK - Serial Clock, PIN 12.

Serial clock for SDATA pin which can be configured (via the M0, M1, M2, and M3 pins) as an input or output, and can sample data on the rising or falling edge. As an output, SCK will generate 32 clocks for every audio sample. As an input, 32 SCK periods per audio sample must be provided in all normal modes.

FSYNC - Frame Sync, PIN 11.

Delineates the serial data and may indicate the particular channel, left or right, and may be an input or output. The format is based on M0, M1, M2, and M3 pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SDATA - Serial Data, PIN 26.

Audio data serial output pin.

M0, M1, M2, M3 - Serial Port Mode Select, PINS 23, 24, 18, 17.

Selects the format of FSYNC and the sample edge of SCK with respect to SDATA. M3 selects between eight normal modes (M3 = 0), and six special modes (M3 = 1).

Control Pins

VERF - Validity + Error Flag, PIN 28.

A logical OR'ing of the validity bit from the received data and the error flag. May be used by interpolation filters to interpolate through errors.

U - User Bit, PIN 14.

Received user bit serial output port. FSYNC may be used to latch this bit externally.

C - Channel Status Output, PIN 1.

Received channel status bit serial output port. FSYNC may be used to latch this bit externally.

CBL - Channel Status Block Start, PIN 15.

The channel status block output is high for the first four bytes of channel status and low for the last 16 bytes.

SEL - Select, PIN 16.

Control pin that selects either channel status information (SEL = 1) or error and frequency information (SEL = 0) to be displayed on six of the following pins.

$\overline{C0}$, Ca, Cb, Cc, Cd, Ce - Channel Status Output Bits, PINS 2-6, 27.

These pins are dual function with the 'C' bits selected when SEL is high. Channel status information is displayed for the channel selected by CS12. $\overline{C0}$, which is channel status bit 0, defines professional ($\overline{C0}$ = 0) or consumer ($\overline{C0}$ = 1) mode and further controls the definition of the Ca-Ce pins. These pins are updated with the rising edge of CBL.

CS12 - Channel Select, PIN 13.

This pin is also dual function and is selected by bringing SEL high. CS12 selects sub-frame 1 (when low) or sub-frame 2 (when high) to be displayed by channel status pins $\overline{C0}$ and Ca through Ce.

FCK - Frequency Clock, PIN 13.

Frequency Clock input that is enabled by bringing SEL low. FCK is compared to the received clock frequency with the value displayed on F2 through F0. Nominal input value is 6.144 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E0, E1, E2 - Error Condition, PINS 4-6.

Encoded error information that is enabled by bringing SEL low. The error codes are prioritized and latched so that the error code displayed is the highest level of error since the last clearing of the error pins. Clearing is accomplished by bring SEL high for more than 8 MCK cycles.

F0, F1, F2 - Frequency Reporting Bits, PINS 2-3, 27.

Encoded sample frequency information that is enabled by bringing SEL low. A proper clock on FCK must be input for at least two thirds of a channel status block for these pins to be valid. They are updated three times per block, starting at the block boundary.

ERF - Error Flag, PIN 25.

Signals that an error has occurred while receiving the audio sample currently being read from the serial port. Three errors cause ERF to go high: a parity or biphase coding violation during the current sample, or an out of lock PLL receiver.

Receiver Interface

RXP, RXN - Differential Line Receivers, PINS 9, 10.

RS422 compatible line receivers.

Phase Locked Loop

MCK - Master Clock, PIN 19.

Low jitter clock output of 256 times the received sample frequency.

FILT - Filter, PIN 20.

An external 1kΩ resistor and 0.047µF capacitor is required from FILT pin to analog ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET



TDA1543
Dual 16-bit DAC (economy version) (I^2S input format)

Product specification
File under Integrated Circuits, IC01

February 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร

Philips Semiconductors

PHILIPS

Dual 16-bit DAC (economy version) (I^2S input format)

TDA1543

FEATURES

- Low distortion
- 16-bit dynamic range
- 4 × oversampling possible
- Single 5 V power supply
- No external components required
- No requirement for external deglitcher circuitry due to fast settling output current
- Adjustable bias current
- Internal timing and control circuits
- I^2S input format: time multiplexed, two's complement, TTL.

GENERAL DESCRIPTION

The TDA1543 is a monolithic integrated dual 16-bit digital-to-analog converter (DAC) designed as an economy version for use in hi-fi digital audio equipment such as Compact Disc players, digital tape or cassette recorders, digital sound in TV sets and in digital amplifiers.

ORDERING INFORMATION

EXTENDED TYPE NUMBER	PACKAGE			
	PINS	PIN POSITION	MATERIAL	CODE
TDA1543(1)	8	DIL	plastic	SOT97
TDA1543T(2)	16	mini-pack	plastic	SO16L;SOT162A

Notes

1. SOT97-1; 1996 August 13.
2. SOT162-1 1996 August 13.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{DD}	supply voltage		3.0	5.0	8.0	V
I_{DD}	supply current		–	50	60	mA
I_{FS}	full scale output current		1.95	2.30	2.65	mA
THD	total harmonic distortion	including noise	–	–75	–70	dB
		at 0 dB	–	0.018	0.032	%
THD	total harmonic distortion	including noise	–	–30	–23	dB
		at –60 dB	–	3.2	7.9	%
t_{cs}	current settling time to ± 1 LSB		–	0.5	–	µs
BR	input bit rate at data input		–	–	9.2	Mbits/s
f_{BCK}	clock frequency at clock input		–	–	9.2	MHz
S/N	signal-to-noise ratio	at bipolar zero	90	96	–	dB
TC_{FS}	full scale temperature coefficient	at analog outputs (AOL; AOR)	–	$\pm 500 \times 10^{-6}$	–	K^{-1}
T_{amb}	operating ambient temperature range		–30	–	+85	°C
P_{tot}	total power dissipation		–	250	–	mW
I_{bias}	bias current (adjustable)		–0.6	–	5.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

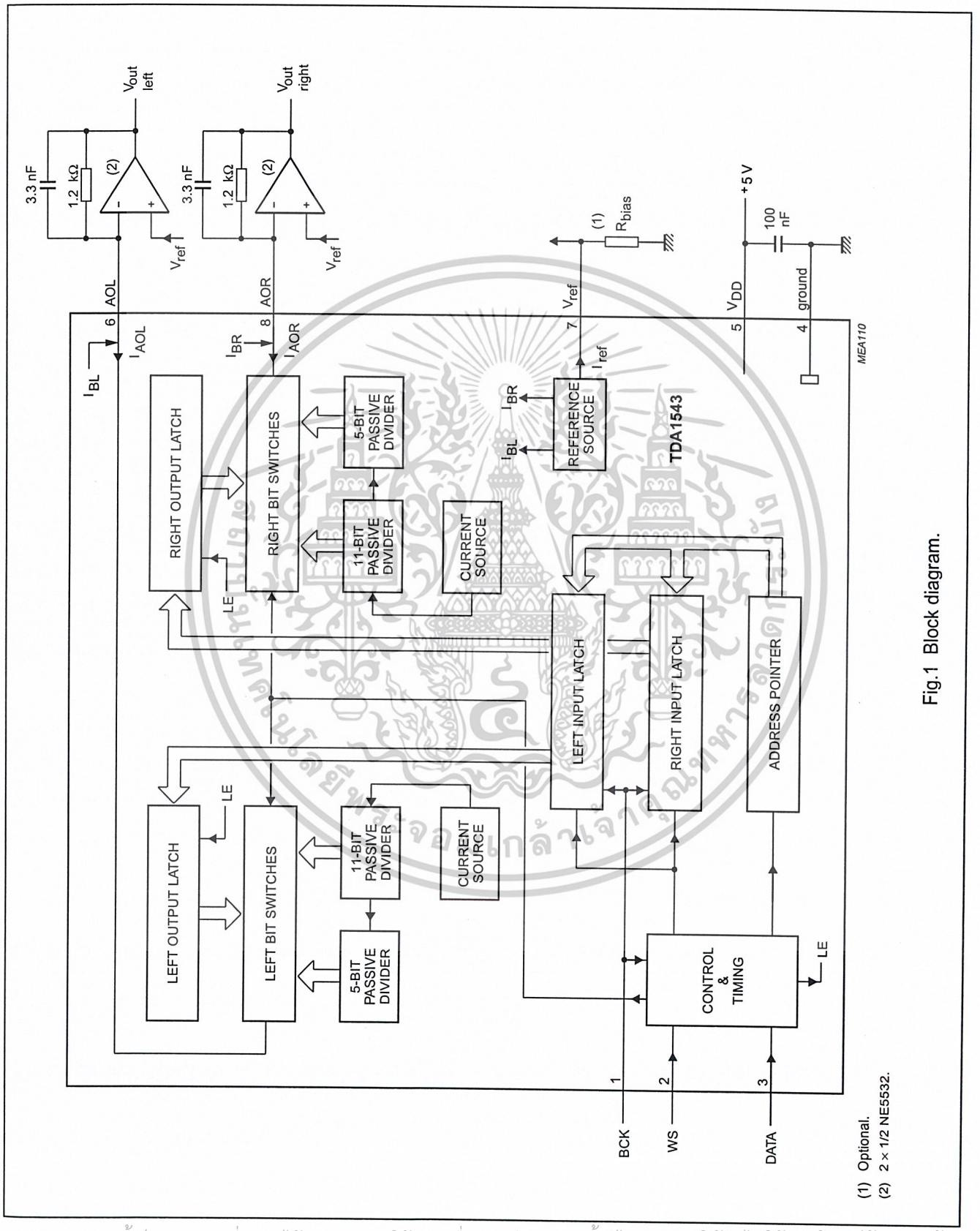


Fig.1 Block diagram.

(1) Optional.
(2) 2 × 1/2 NE5532.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
BCK	1	bit clock input
WS	2	word select input
DATA	3	data input
GND	4	ground
V_{DD}	5	+5 V supply voltage
AOL	6	left channel voltage output
V_{ref}	7	reference voltage output
AOR	8	right channel output

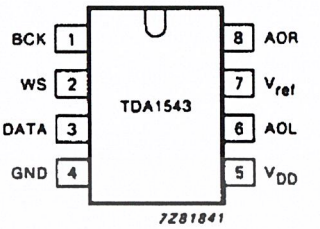


Fig.2 Pin configuration TDA1543.

PINNING

SYMBOL	PIN	DESCRIPTION
n.c.	1	not connected
n.c.	2	not connected
BCK	3	bit clock input
WS	4	word select input
DATA	5	data input
GND	6	ground
n.c.	7	not connected
n.c.	8	not connected
n.c.	9	not connected
n.c.	10	not connected
V_{DD}	11	+5 V supply voltage
AOL	12	left channel output
V_{ref}	13	reference voltage output
AOR	14	right channel output
n.c.	15	not connected
n.c.	16	not connected

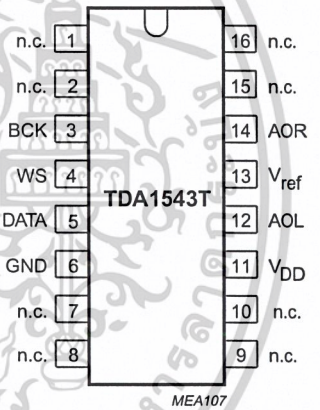


Fig.3 Pin configuration TDA1543T.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

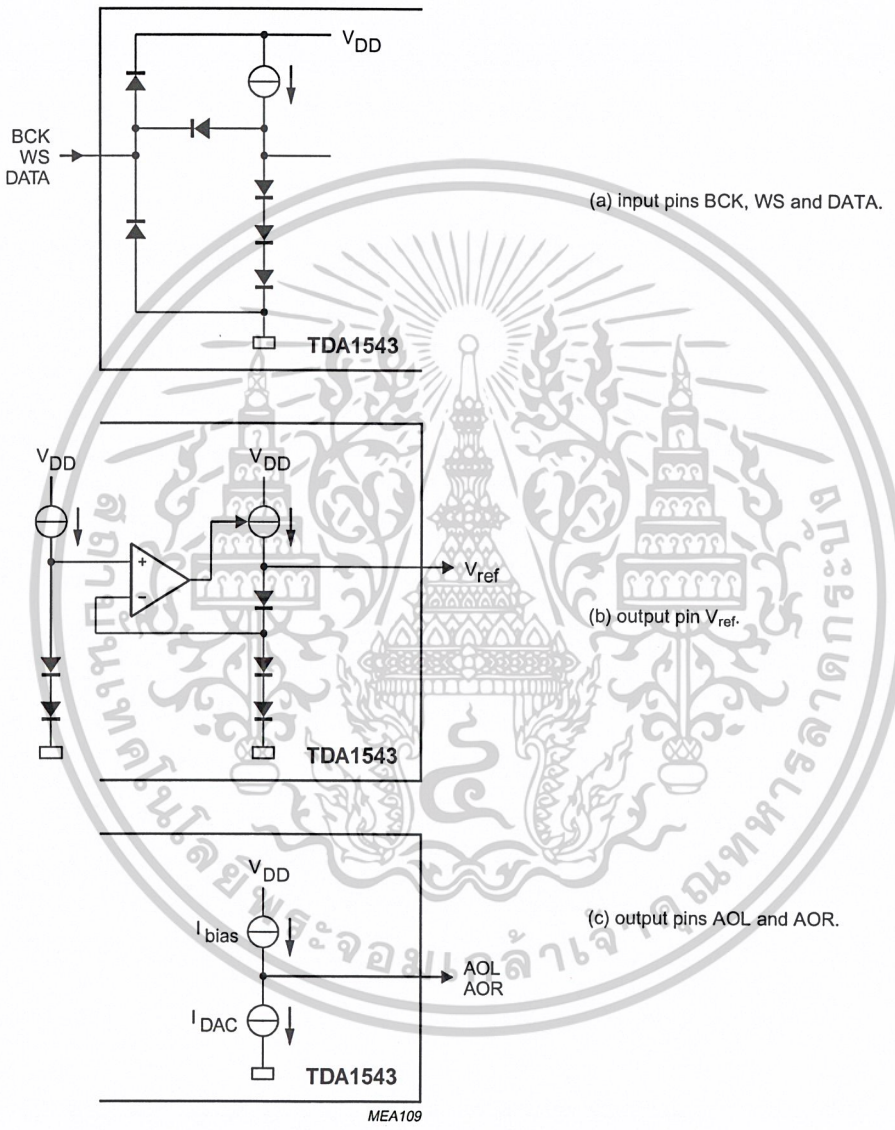


Fig.4 Circuits at the input and output pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

April 1988
Revised September 2000

74F74
Dual D-Type Positive Edge-Triggered Flip-Flop

General Description

The F74 is a dual D-type flip-flop with Direct Clear and Set inputs and complementary (Q, $\overline{Q}$) outputs. Information at the input is transferred to the outputs on the positive edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. After the Clock Pulse input threshold voltage has been passed, the Data input is locked out and information present will not be transferred to the outputs until the next rising edge of the Clock Pulse input.

Asynchronous Inputs:

LOW input to $\overline{S}_D$ sets Q to HIGH level

LOW input to $\overline{C}_D$ sets Q to LOW level

Clear and Set are independent of clock

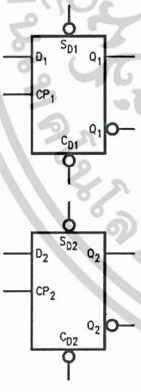
Simultaneous LOW on $\overline{C}_D$ and $\overline{S}_D$ makes both Q and $\overline{Q}$ HIGH

Ordering Code:

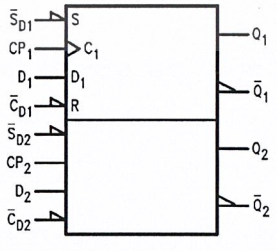
Order Number	Package Number	Package Description
74F74SC	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
74F74SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
74F74PC	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

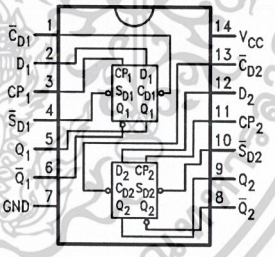
Logic Symbols



IEEE/IEC



Connection Diagram



© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit Loading/Fan Out

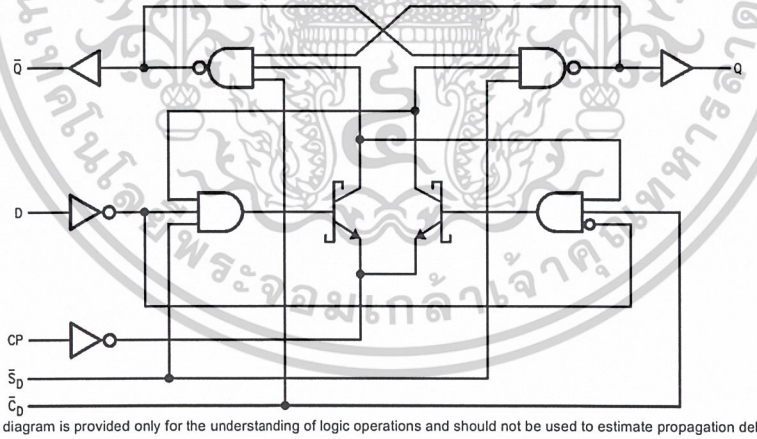
Pin Names	Description	U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
D_1, D_2	Data Inputs	1.0/1.0	20 μA/–0.6 mA
CP_1, CP_2	Clock Pulse Inputs (Active Rising Edge)	1.0/1.0	20 μA/–0.6 mA
$\overline{C}_{D1}$, $\overline{C}_{D2}$	Direct Clear Inputs (Active LOW)	1.0/3.0	20 μA/–1.8 mA
$\overline{S}_{D1}$, $\overline{S}_{D2}$	Direct Set Inputs (Active LOW)	1.0/3.0	20 μA/–1.8 mA
Q_1, $\overline{Q}_1$, Q_2, $\overline{Q}_2$	Outputs	50/33.3	–1 mA/20 mA

Truth Table

Inputs				Outputs	
$\overline{S}_D$	$\overline{C}_D$	CP	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	⌐⌐	h	H	L
H	H	⌐⌐	l	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H (h) = HIGH Voltage Level
L (l) = LOW Voltage Level
X = Immaterial
Q_0 = Previous Q ($\overline{Q}$) before LOW-to-HIGH Clock Transition
Lower case letters indicate the state of the referenced input or output one setup time prior to the LOW-to-HIGH clock transition.

Logic Diagram



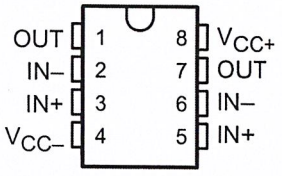
Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLOS075C – NOVEMBER 1979 – REVISED JUNE 2000

- **Equivalent Input Noise Voltage 5 nV/$\sqrt{\text{Hz}}$ Typ at 1 kHz**
- **Unity-Gain Bandwidth . . . 10 MHz Typ**
- **Common-Mode Rejection Ratio . . . 100 dB Typ**
- **High dc Voltage Gain . . . 100 V/mV Typ**
- **Peak-to-Peak Output Voltage Swing 32 VTyp With $V_{CC\pm}$ = ±18 V and R_L = 600 Ω**
- **High Slew Rate . . . 9 V/μs Typ**
- **Wide Supply Voltage Range . . . ±3 V to ±20 V**
- **Designed to Be Interchangeable With Signetics NE5532 and NE5532A**
- **Package Options Include Plastic Small-Outline (PS) Package and Standard Plastic (P) DIP**

P OR PS PACKAGE
(TOP VIEW)



description

The NE5532 and NE5532A are high-performance operational amplifiers combining excellent dc and ac characteristics. They feature very low noise, high output-drive capability, high unity-gain and maximum-output-swing bandwidths, low distortion, high slew rate, input-protection diodes, and output short-circuit protection. These operational amplifiers are compensated internally for unity-gain operation. The NE5532A has specified maximum limits for equivalent input noise voltage.

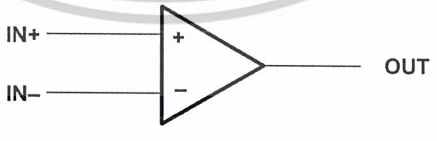
The NE5532 and NE5532A are characterized for operation from 0°C to 70°C.

AVAILABLE OPTIONS

T_A	PACKAGED DEVICES	
	PLASTIC DUAL-IN-LINE (P)	PLASTIC SMALL-OUTLINE (PS)
0°C to 70°C	NE5532P NE5532AP	NE5532PS NE5532APS

The PS package is available taped and reeled. Add the suffix R to the device type (e.g., NE5532PSR).

symbol (each amplifier)

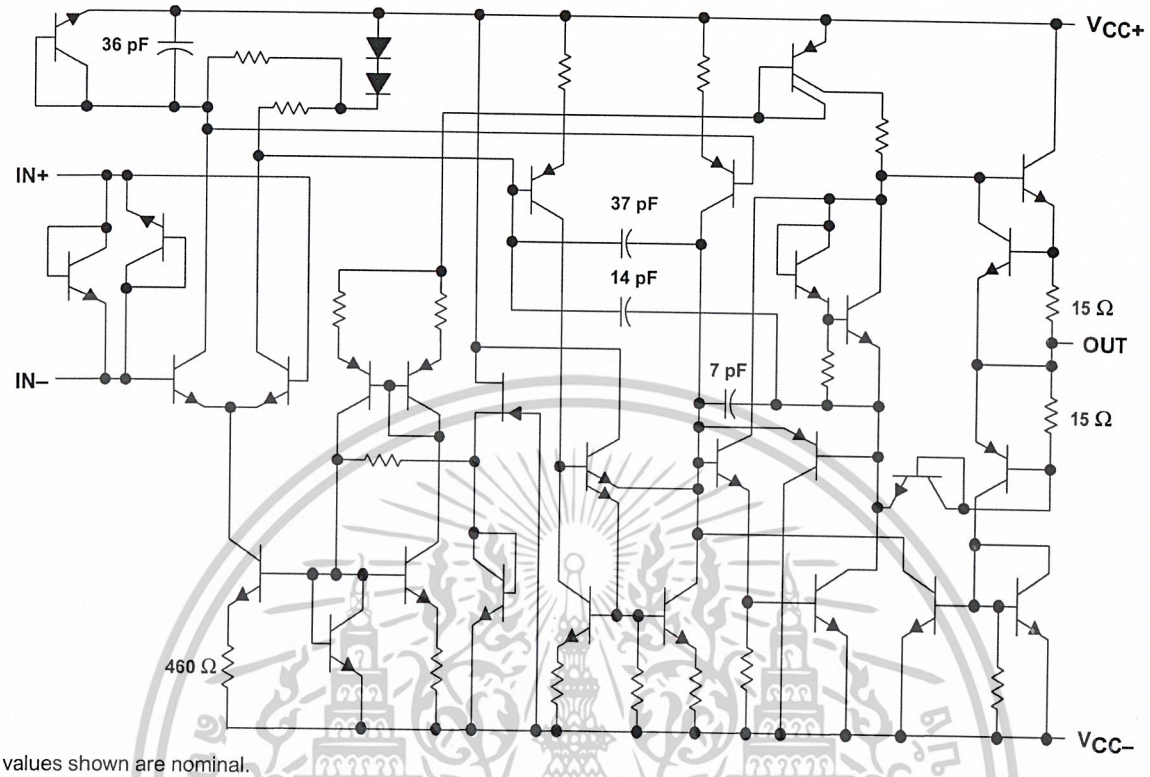


PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2000, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

schematic (each amplifier)



Component values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC+} (see Note 1)	22 V
Supply voltage, V_{CC-} (see Note 1)	–22 V
Input voltage, either input (see Notes 1 and 2)	$V_{CC\pm}$
Input current (see Note 3)	±10 mA
Duration of output short circuit (see Note 4)	Unlimited
Package thermal impedance, θ_{JA} (see Note 5): P package	85°C/W
PS package	95°C/W
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C
Storage temperature range, T_{stg}	–65°C to 150°C

NOTES:
1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
2. The magnitude of the input voltage must never exceed the magnitude of the supply voltage.
3. Excessive input current will flow if a differential input voltage in excess of approximately 0.6 V is applied between the inputs unless some limiting resistance is used.
4. The output may be shorted to ground or either power supply. Temperature and/or supply voltages must be limited to ensure the maximum dissipation rating is not exceeded.
5. The package thermal impedance is calculated in accordance with JESD 51.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by LF347/D

MOTOROLA

LF347, B
LF351
LF353

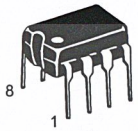
JFET Input Operational Amplifiers

These low cost JFET input operational amplifiers combine two state–of–the–art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The JFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin–compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current: 50 pA
- Low Input Noise Voltage: 16 nV/$\sqrt{Hz}$
- Wide Gain Bandwidth: 4.0 MHz
- High Slew Rate: 13V/μs
- Low Supply Current: 1.8 mA per Amplifier
- High Input Impedance: 10^{12} Ω
- High Common Mode and Supply Voltage Rejection Ratios: 100 dB

FAMILY OF JFET OPERATIONAL AMPLIFIERS

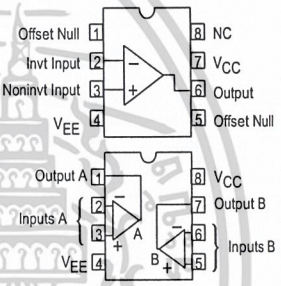


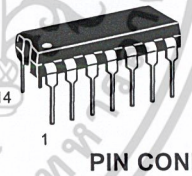
N SUFFIX
PLASTIC PACKAGE
CASE 626



D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

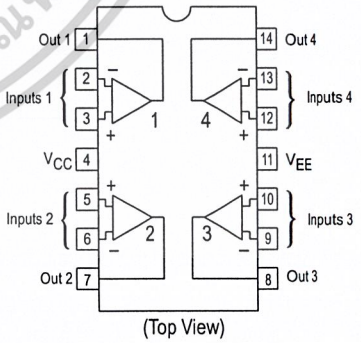
PIN CONNECTIONS





N SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	+18 –18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_{SC}	Continuous	
Power Dissipation at T_A = +25°C Derate above T_A =+25°C	P_D $1/\theta_{JA}$	900 10	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature Range	T_J	115	°C
Storage Temperature Range	T_{stg}	– 65 to +150	°C

NOTES: 1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature rating may be exceeded.

ORDERING INFORMATION

Device	Function	Operating Temperature Range	Package
LF351D LF351N	Single Single	T_A = 0° to +70°C	SO–8 Plastic DIP
LF353D LF353N	Dual Dual		SO–8 Plastic DIP
LF347BN LF347N	Quad Quad		Plastic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1996