

การศึกษาหาคุณสมบัติทางไฟฟ้าของซีมอส ขนาด 1.2 ไมครอน
บ่อแยกชนิดเอ็น



โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่มอบให้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

58675

ปีการศึกษา 2547

เลขทะเบียน 31 ส.ค. 2549

วัน,เดือน,ปี.....

b.
i.

The study on electrical Characteristics 1.2 micron
CMOS N-well technology



A Special Project Submitted in Partial Fulfillment of the requirement for the Degree of
Bachelor of Science
Department of Applied Physics
Faculty of science

King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Academic Year 2004

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการพิเศษเรื่อง การศึกษาหาคุณสมบัติทางไฟฟ้าของซีมอส ขนาด 1.2 ไมครอน บ่อแยก
ชนิดเอ็น

นักศึกษา นายกมล เครือพันธุ์ทอง

นายคมลันต์ ศรียา

ภาควิชา ฟิสิกส์ประยุกต์

สาขาวิชา ฟิสิกส์ประยุกต์

ปีการศึกษา 2547

อาจารย์ที่ปรึกษา รศ.ดร.จิตติ หนูแก้ว

อาจารย์ที่ปรึกษาร่วม นายอนุชา เรืองพานิช

ดร.อัมพร โพธิ์ไย

นายสรายุทธ วิศวแสงสุข

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตรบัณฑิต

คณะกรรมการตรวจสอบ	ลายมือชื่อ
ประธานกรรมการ ผศ.สาทร่าย คุณิพงษ์	
กรรมการ อ.เบญจพล ต้นอู๋	
กรรมการ อ.ทศยาภรณ์ ทิววงศ์	
กรรมการที่ปรึกษา รศ.ดร.จิตติ หนูแก้ว	
กรรมการที่ปรึกษาร่วม นายอนุชา เรืองพานิช	
กรรมการที่ปรึกษาร่วม ดร.อัมพร โพธิ์ไย	
กรรมการที่ปรึกษาร่วม นายสรายุทธ วิศวแสงสุข	

.....
(รองศาสตราจารย์ วิชาญ เตชะธีระ)
หัวหน้าภาควิชาฟิสิกส์ประยุกต์

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการพิเศษเรื่อง การศึกษาหาคุณสมบัติทางไฟฟ้าของซีมอส ขนาด 1.2 ไมครอน
บ่อแยกชนิดเอ็น

นักศึกษา นายกมล เครือพันธุ์ทอง

นายคมลันต์ ศรียา

ภาควิชา ฟิสิกส์ประยุกต์

สาขาวิชา ฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์

ปีการศึกษา 2547

อาจารย์ที่ปรึกษา รศ.ดร.จิตติ หนูแก้ว

อาจารย์ที่ปรึกษาร่วม นายอนุชา เรืองพานิช

ดร.อัมพร โพธิ์ไย

นายสราวุธ วิศวแสงสุข

บทคัดย่อ

เนื่องจากในปัจจุบันวงจรรวมส่วนใหญ่จะประกอบไปด้วยซีมอส โดยมีพื้นฐานมาจาก มอสเฟตในการที่จะสร้างวงจรรวม ดังนั้นใน โครงการนี้เป็นการศึกษาคุณสมบัติทางไฟฟ้าของ มอสเฟตชนิดเอ็นฮานซ์เมนต์ ทั้งแบบพีมอสเฟต และเอ็นมอสเฟตขนาดความกว้างเกท 1.2 ไมครอน บ่อแยกชนิดเอ็น การศึกษานี้เพื่อต้องการหาค่าพารามิเตอร์ที่จะนำไปใช้ในการออกแบบวงจรรวม โดยค่าแบบจำลองพารามิเตอร์เหล่านี้จะแตกต่างกันออกไป ขึ้นอยู่กับกระบวนการสร้างของแต่ละแห่ง พารามิเตอร์นี้จะแบ่งออกเป็น 2 จำพวก ได้แก่ พารามิเตอร์ของกระบวนการสร้าง และ พารามิเตอร์ทางไฟฟ้าของซีมอส โดยเนื้อหาภายในจะประกอบไปด้วยทฤษฎีของโครงสร้างต่างๆ ที่มีอยู่ในโครงสร้างของซีมอส ตลอดจนเทคนิคการวัดค่าพารามิเตอร์ต่างๆ เพื่อนำ พารามิเตอร์เหล่านั้นมาวิเคราะห์คุณสมบัติบางอย่างที่จำเป็นต่อการศึกษาซีมอส และในส่วน สุดท้ายจะเป็นการนำเสนอผลการวัดและแบบจำลองพารามิเตอร์สไปซ์ ระดับ 3 ของซีมอส ตลอดจนบทสรุปค่าพารามิเตอร์

กิตติกรรมประกาศ

ข้าพเจ้า นายกมล เครือพันธุ์ทอง และ นายคมสันต์ ศรียา นักศึกษาทำโครงการจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง คณะวิทยาศาสตร์ ภาควิชาฟิสิกส์-ประยุกต์ สาขาฟิสิกส์ประยุกต์ ได้เข้ารับการฝึกอบรมในหน่วยงาน Simulation&Measurement ณ ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ Thai Microelectronics Center (TMEC) ระหว่างวันที่ 16 มิถุนายน พ.ศ. 2547 ถึงวันที่ 23 มีนาคม พ.ศ. 2548 ซึ่งได้รับมอบหมายให้ทำโครงการทางด้านการศึกษาคณสมบัติทางไฟฟ้าของซีมอส ขนาด $1.2 \mu\text{m}$

การฝึกอบรมและการเขียนรายงานในครั้งนี้สำเร็จลุล่วงลงได้ก็เพราะได้รับความร่วมมือและการสนับสนุนจากหลายฝ่าย ดังนี้

1. ดร. อธิธิ ฤทธาภรณ์ ผู้อำนวยการศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ ที่เห็น
เล็งเห็นความสำคัญของระบบการศึกษา และได้ให้
โอกาสที่มีคุณค่ายิ่งแก่ข้าพเจ้า
2. รศ.ดร.จิตติ หนูแก้ว หัวหน้าศูนย์วิจัยนาโนเทคโนโลยี สถาบันเทคโนโลยีพระ
จอมเกล้าเจ้าคุณทหารลาดกระบัง
3. นายอนุชา เรืองพานิช ผู้ช่วยนักวิจัย 2 ซึ่งวิจัยในผลงานด้านการออกแบบ
Layout test chip, Simulation และ Measurement
4. ดร.อัมพร โพธิ์โย นักวิจัย 2
5. นายสรายุทธ วิศวะแสงสุข ผู้ช่วยนักวิจัย 2 ซึ่งวิจัยในผลงานด้านการออกแบบ
Layout test chip, Simulation และ Measurement

และขอขอบคุณทีมงานทุกฝ่าย ตลอดจนบุคคลท่านอื่นๆ ที่มีได้กล่าวนาม ที่ได้ช่วยให้คำแนะนำ , ปรีกษา และติดตามการดูแลปฏิบัติงานให้สำเร็จลงได้ด้วยดีมาตลอด ข้าพเจ้าจึงขอขอบพระคุณทุกท่านมา ณ ที่นี้ด้วย

นายกมล เครือพันธุ์ทอง

นายคมสันต์ ศรียา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ในเชิงพาณิชย์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	ก
บทคัดย่อภาษาอังกฤษ.....	ข
กิตติกรรมประกาศ.....	ค
สารบัญ.....	ง
สารบัญตาราง.....	จ
สารบัญรูปภาพ.....	ช
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงงานพิเศษ.....	1
1.2 วัตถุประสงค์.....	2
1.3 ขอบเขตในการศึกษา.....	2
1.4 ระยะเวลาในการดำเนินการ.....	3
บทที่ 2 ทฤษฎีที่ใช้ศึกษาคุณสมบัติทางไฟฟ้าของจีมอส	
2.1 MOSFET.....	6
2.2 MOS Capacitor (MOSC).....	11
2.3 P-N junction (Diode).....	14
บทที่ 3 วิธีดำเนินการวิจัย	
3.1 ระบบเครื่องมือวัดทางไฟฟ้า (Electrical Measuring Equipment).....	19
3.2 MOS Capacitor.....	22
3.3 FCAP.....	24
3.4 Diode.....	26
3.5 MOSFET.....	29
3.6 MOSFET (L-array,W-array).....	33
บทที่ 4 ผลการทดลอง	
4.1 MOS Capacitor(t_{ox}).....	43
4.2 FCAP.....	45
4.3 Diode.....	46
4.4 MOSFET (V_{io} , Φ , γ , N_{sub} , U_o , K_p).....	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับอาจารย์และบุคลากรทางการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.5 MOSFET (L-array,W-array)(THETA , R_{DS}).....	56
4.6 ผลของการคำนวณหาค่า LD (W=20, L= แปรเปลี่ยนค่าต่างๆ) และ WD (L=20, W= แปรเปลี่ยนค่าต่างๆ)ของ NMOS.....	71
4.7 ผลของการคำนวณหาค่า LD (W=20, L= แปรเปลี่ยนค่าต่างๆ) และ WD (L=20, W= แปรเปลี่ยนค่าต่างๆ)ของ PMOS.....	72
4.8 ผลของการคำนวณหาค่า Delta ของ NMOS (L=20, W= แปรเปลี่ยนค่าต่างๆ).....	73
4.9 ผลของการคำนวณหาค่า Delta ของ PMOS (L=20, W= แปรเปลี่ยนค่าต่างๆ).....	73
4.10 ผลของการคำนวณหาค่า ETA ของ NMOS (W=20,L=1.2).....	74
4.11 ผลของการคำนวณหาค่า ETA ของ PMOS (W=20,L=1.2).....	75
4.12 ผลของการคำนวณหาค่า CGD0,CGS0,CGB0 ของ NMOS (W=20,L=1.2).....	77
4.13 ผลของการคำนวณหาค่า CGD0,CGS0,CGB0 ของ PMOS (W=20,L=1.2).....	77
4.14 ผลของการคำนวณหาค่า V_{max} ของ NMOS (W=20,L=1.2).....	77
4.15 ผลของการคำนวณหาค่า V_{max} ของ PMOS (W=20,L=1.2).....	80
4.16 ผลของการคำนวณหาค่า Kappa ของ NMOS (W=20,L=1.2).....	82
4.17 ผลของการคำนวณหาค่า Kappa ของ PMOS (W=20,L=1.2).....	83
4.18 ผลของการคำนวณหาค่า NFS ของ NMOS (W=20,L=1.2).....	84
4.19 ผลของการคำนวณหาค่า NFS ของ PMOS (W=20,L=1.2).....	84
4.20 ผลการ Simulation ด้วยโปรแกรม PSPICE LEVEL 3	85
บทที่5 สรุปผลการทำงาน	
5.1 สรุปเนื้อหา.....	87
5.2 สรุปผลที่ได้จากการศึกษา.....	88
5.3 สรุปการทำงาน.....	89
5.4 ข้อเสนอแนะ.....	89
บรรณานุกรม.....	90
ภาคผนวก	
ก.สัญลักษณ์และค่าคงที่.....	92

เอกสารนี้เป็นเอกสารโปรแกรม PSPICE LEVEL3 เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้แก้ไขในโปรแกรมด้านอื่นๆ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1แสดงพารามิเตอร์ต่างๆที่ต้องใช้ในโปรแกรม P-spice Level 3.....	5
ตารางที่5.1 แสดงค่าพารามิเตอร์ทั้งหมดที่ได้ทำการศึกษา.....	90



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 1.1 แสดงกระบวนการหลักๆที่ใช้ในการสร้างอุปกรณ์ทางอิเล็กทรอนิกส์.....	1
รูปที่ 1.2 แสดงระยะเวลาในการทำงาน (Gantt Chart).....	3
รูปที่ 2.1 แสดงภาพตัดขวางของโครงสร้างของ CMOS	4
รูปที่ 2.2 แสดงโครงสร้างของ MOSFET ที่อยู่ในโครงสร้างของ CMOS.....	6
รูปที่ 2.3 แสดงโครงสร้าง MOSFET ชนิดฐานรองพี.....	6
รูปที่ 2.4 แสดงลักษณะโครงสร้าง,กราฟการทำงาน,และสัญลักษณ์ ของ MOSFET ชนิดต่างๆ.....	7
รูปที่ 2.5 โครงสร้าง,สัญลักษณ์,และกราฟการทำงานของ MOSFET ชนิดเอ็นแชนซ์เม้นท์.....	8
รูปที่ 2.6 แสดงให้เห็นถึงโครงสร้าง MOS Capacitor ภายในโครงสร้างของ MOSFET.....	11
รูปที่ 2.7 แสดงโครงสร้าง MOS อย่างง่าย.....	12
รูปที่ 2.8 แสดงค่าความจุไฟฟ้าที่เกิดขึ้นในภาวะต่างๆของ MOSC.....	13
รูปที่ 2.9 แสดงโครงสร้างรอยต่อพี-เอ็นที่อยู่ในCMOS.....	14
รูปที่ 2.10 ลักษณะรอยต่อเมื่อได้รับแรงดันไบอัสเปรียบเทียบกับรอยต่อเมื่อไม่ได้รับการไบอัส.....	15
รูปที่ 2.11 ระดับพลังงานในขณะที่ไม่ได้รับการไบอัสเปรียบเทียบกับในขณะที่ไม่ได้รับการไบอัส.....	16
รูปที่ 3.1 แสดงเครื่องมือที่ใช้ในการวัด.....	19
รูปที่ 3.2 แสดงเครื่องมือในส่วนของการแสดงผล.....	20
รูปที่ 3.3 เวเฟอร์ขนาด 6 นิ้ว ที่ใช้ทำการศึกษา.....	20
รูปที่ 3.4 ลักษณะไดร์ที่อยู่บนแผ่นเวเฟอร์.....	20
รูปที่ 3.5 แสดงรูปแบบของ squareและ meander.....	21
รูปที่ 3.6 ภาพตัดขวางของการวัด MOS Capacitor.....	22
รูปที่ 3.7 MOS Capacitor layout.....	23
รูปที่ 3.8 ภาพตัดขวางของการวัด Field capacitor.....	24
รูปที่ 3.9 Field Capacitor layout.....	25
รูปที่ 3.10 ภาพตัดขวางของการวัด Diode.....	26
รูปที่ 3.11 ภาพตัดขวางของการวัด Diode ขณะไบอัสย้อนกลับ.....	27
รูปที่ 3.12 ภาพตัดขวางของการวัด Diode ขณะไบอัสตรง.....	27
รูปที่ 3.13 Diode layout.....	28
รูปที่ 3.14 ภาพตัดขวางของการวัด MOSFET.....	29

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และใช้เฉพาะเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 3.15 NMOSFET layout.....	32
รูปที่ 3.16 PMOSFET layout.....	32
รูปที่ 3.17 ภาพตัดขวางของการวัดMOSFET (L-array,W-array).....	33
รูปที่ 3.18 MOSFET (L-array , W-array) layout.....	35
รูปที่ 3.19 แสดงภาพตัดขวางของการหาค่า ETA.....	36
รูปที่ 3.20 แสดงภาพตัดขวางการไบอัสเพื่อหาค่า V_{max}	38
รูปที่ 3.21 แสดงภาพตัดขวางการไบอัสเพื่อหาค่า Kappa.....	40



บทที่ 1

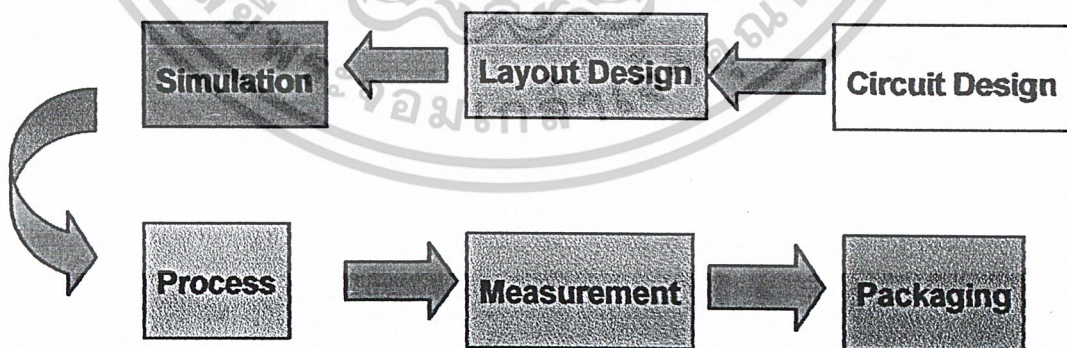
บทนำ

1.1 ความเป็นมาของโครงการพิเศษ

ในปัจจุบันนี้ สิ่งประดิษฐ์ทางด้านอิเล็กทรอนิกส์ ได้มีการพัฒนาขึ้นอย่างรวดเร็ว เพื่อตอบสนองความต้องการที่มีไม่สิ้นสุดของมนุษย์ ซึ่งหัวใจหลักของการสร้างสิ่งประดิษฐ์ทางอิเล็กทรอนิกส์ นั้นก็คือ สิ่งประดิษฐ์สารกึ่งตัวนำนั่นเอง โดยสิ่งประดิษฐ์สารกึ่งตัวนำที่มีบทบาทมากในปัจจุบันนี้ก็คือ CMOS

ดังนั้นการทำโครงการนี้เราจึงเลือกที่จะทำการศึกษาคูณสมบัติต่างๆของ CMOS ซึ่งเป็นสิ่งประดิษฐ์ที่พัฒนามาจากมอสเฟตและเป็นสิ่งประดิษฐ์ประเภท 2 รอยต่อ โดยการนำมอสเฟตชนิดเอ็นแชนแนล และมอสเฟตชนิดพีแชนแนลมาต่อร่วมกัน CMOS นั้นถือได้ว่ามีบทบาทสำคัญมากต่อวงจรรวม (Integrated circuit) ในปัจจุบัน ด้วยเหตุผลที่ว่า CMOS นั้นจะกินกระแสต่ำ ทำงานที่ความถี่สูงๆได้ดี และมีประสิทธิภาพสูง ซึ่งทรานซิสเตอร์แบบไบโพลาร์ไม่สามารถทำได้ และเนื่องจากวงจรรวมนั้นได้มีการพัฒนาให้มีขนาดเล็กลงมากที่สุดเท่าที่จะทำได้เพื่อเพิ่มประสิทธิภาพในการนำเอาไปใช้งาน ดังนั้นในโครงการนี้เราจึงทำการศึกษา CMOS ที่มีขนาด 1.2 ไมโครเมตร ซึ่งถือได้ว่ามีขนาดที่ค่อนข้างเล็กมากในปัจจุบัน

สำหรับกระบวนการสร้าง CMOS หรือ ไอซี ขึ้นมานั้นจะมีกระบวนการต่างๆมากมายซึ่งกระบวนการต่างๆจะแบ่งออกมาเป็นส่วนหลักๆได้ดังรูปที่ 1.1



รูปที่ 1.1 แสดงกระบวนการหลักๆที่ใช้ในการสร้างอุปกรณ์ทางอิเล็กทรอนิกส์

โดยในการทำโครงการชิ้นนี้เราได้ลงมือปฏิบัติงานจริงในส่วนของการ Measurement ซึ่งทำหน้าที่ในการวัดและศึกษาค่าพารามิเตอร์ต่างๆที่มีผลต่อชิ้นงาน โดยในที่นี้จะทำการศึกษาค่าพารามิเตอร์เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่มีผลกระทบต่อ CMOS ที่ขนาด $1.2\ \mu\text{m}$ ซึ่งเมื่อขนาดของ CMOS เล็กมากก็จะมีผลกระทบในด้านต่างๆเกิดขึ้นมากมาย ซึ่งจำเป็นอย่างยิ่งที่จะต้องศึกษาผลกระทบเหล่านั้น สำหรับในที่นี้เราจะทำการศึกษาโดยใช้โปรแกรม SPICE Level 3 มาช่วยในการวิเคราะห์

1.2 วัตถุประสงค์

1. เพื่อศึกษา ลักษณะโครงสร้าง คุณสมบัติ และหลักการการทำงานในสถานะต่างๆของ CMOS ขนาด $1.2\ \mu\text{m}$ ไมโครเมตร บอร์ดกึ่งชนิดเอ็น
2. สามารถวิเคราะห์หาค่าพารามิเตอร์ต่างๆที่มีผลต่อคุณสมบัติของ CMOS โดยใช้วิธีการและเทคนิคที่เหมาะสมได้
3. สามารถนำความรู้และเทคนิคที่ได้เรียนรู้มา ไปประยุกต์ใช้ในการบอกสาเหตุและวิธีการแก้ไขปัญหาที่เกิดขึ้นกับกระบวนการผลิต CMOS ในลักษณะต่างๆได้

1.3 ขอบเขตในการศึกษา

สำหรับขอบเขตในการศึกษาของโครงการนี้เราสามารถแบ่งเป็นส่วนๆได้ดังนี้

1.3.1 ส่วนทฤษฎี จะเป็นการศึกษาคุณสมบัติต่างๆของ รอยต่อแบบ Diode, โครงสร้าง MOS (Metal Oxide Semiconductor Structure) ,โครงสร้าง MOSC (MOS Capacitor) ,และโครงสร้าง MOSFET (MOS Field Effect Transistor) โดยจะทำการศึกษาในเรื่องของ ลักษณะโครงสร้างและหลักการการทำงานที่สถานะต่างๆ ของรอยต่อแต่ละชนิด ซึ่งในส่วนนี้ทฤษฎีก็จะแสดงให้เห็นถึงความหมาย , ความสัมพันธ์ระหว่างตัวแปรแต่ละตัว , และความสำคัญของตัวแปรนั้นๆ ที่มีผลต่อคุณสมบัติทางไฟฟ้าของ MOSFET ด้วย

1.3.2 ส่วนของเทคนิคการวัด ในส่วนนี้เราจะกล่าวถึงวิธีการวัดค่าพารามิเตอร์ต่างๆที่เกี่ยวข้องกับ MOSFET โดยใช้เทคนิคเฉพาะของทาง ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (Thai Microelectronics Center - TMEC) ซึ่งเราจะทำการวัดค่า C-V และค่า I-V ของ MOSFET เพื่อนำกราฟที่ได้มาคำนวณหาค่าแบบจำลองทางพารามิเตอร์ SPICE LEVEL 3 โดยเนื้อหาในส่วนนี้จะประกอบไปด้วย ชื่อของเครื่องมือที่เราใช้ในการวัด และวิธีการใช้เครื่องมือชนิดนั้นอย่างคร่าวๆ ตลอดจนเทคนิคในการวัดค่าต่างๆที่ไม่เป็นความลับของทางศูนย์ TMEC เรายังจะรวบรวมไว้ในเนื้อหาส่วนนี้

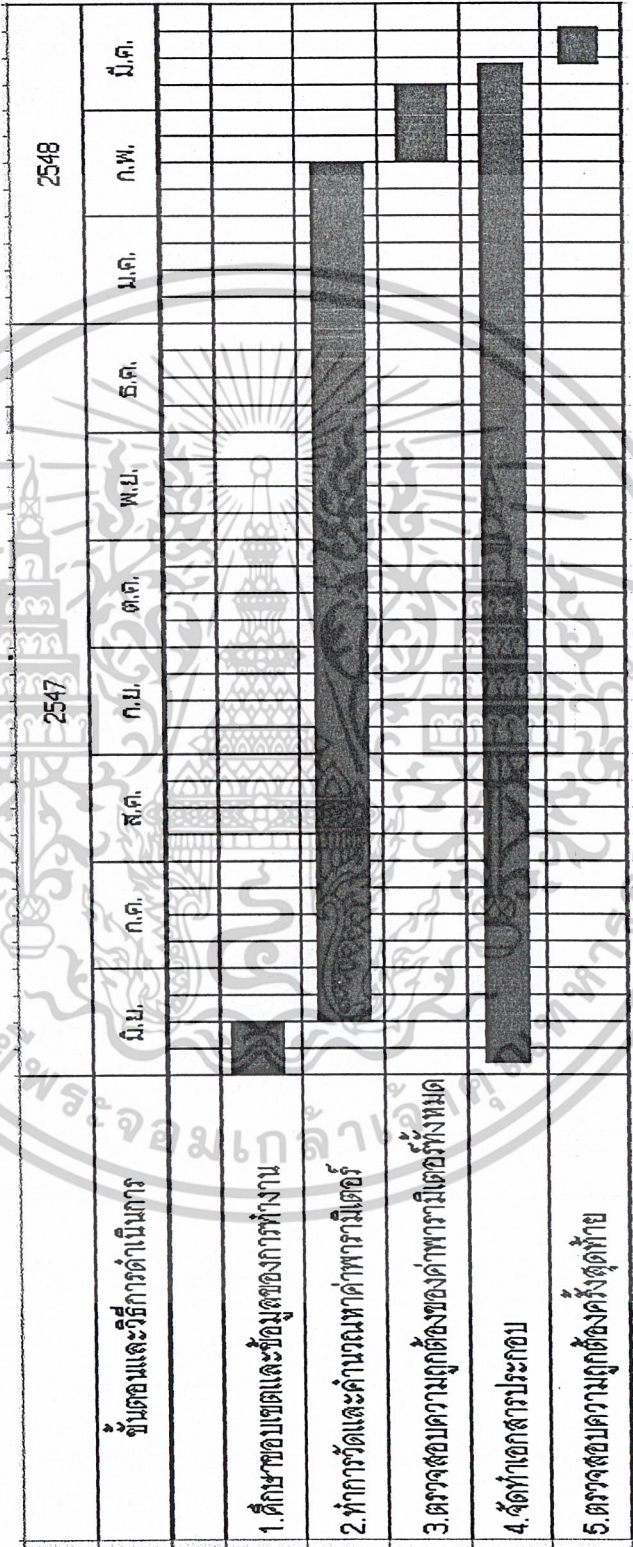
1.3.3 ส่วนของผลและการสรุป จะเป็นส่วนที่รวบรวมผลที่ได้จากการวัดทั้งหมด รวมทั้งคำนวณหาค่าแบบจำลองพารามิเตอร์ SPICE LEVEL3 เพื่อนำไปเป็นข้อมูลสำหรับนัก

ออกแบบวงจรโดยใช้เทคโนโลยีการสังเคราะห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ระยะเวลาในการดำเนินการ



รูปที่ 1.2 แสดงระยะเวลาในการทำงาน (Gantt Chart)

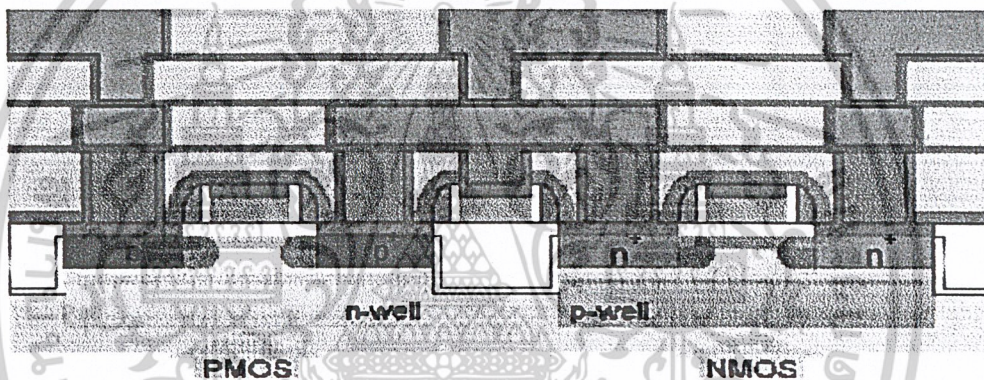
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่ใช้ศึกษาคุณสมบัติทางไฟฟ้าของซีมอส

ซีมอส(CMOS)

CMOS นั้นเป็นสิ่งประดิษฐ์ทางอิเล็กทรอนิกส์ชิ้นหนึ่งที่กำลังได้รับความสนใจจากหลายๆ ฝ่ายอย่างกว้างขวาง เนื่องมาจากคุณสมบัติที่โดดเด่นและความหลากหลายในการใช้งานของ CMOS เอง ซึ่งเหมาะแก่การนำเอาไปประยุกต์ใช้ในการสร้างสิ่งประดิษฐ์ทางอิเล็กทรอนิกส์ชิ้นอื่นๆ โดยโครงสร้างแบบคร่าวๆ ของ CMOS นั้นจะมีลักษณะดังรูปที่ 2.1



รูปที่ 2.1 แสดงภาพตัดขวางของโครงสร้างของ CMOS

จากรูปที่ 2.1 จะเห็นได้ว่า โครงสร้างของ CMOS นั้นจะมีลักษณะเรียงตัวเป็นชั้นๆ (Layer) และแต่ละ Layer ที่ต่อกันนั้นจะทำให้เกิดโครงสร้างทางอิเล็กทรอนิกส์ขึ้น โดยโครงสร้างที่เกิดขึ้นนั้นเราสามารถแบ่งออกได้เป็น 3 โครงสร้าง ดังนี้

1. MOSFET
2. MOS Capacitor (MOSC)
3. P-N junction (Diode)

ซึ่งการทำโครงงานชิ้นนี้จะทำการศึกษาลักษณะที่เกิดขึ้นกับ CMOS เมื่อโครงสร้างทั้งสี่นี้มีขนาดที่เล็กลง โดยการศึกษานั้นจะทำการศึกษาในรูปของพารามิเตอร์ต่างๆ ที่ได้จากการศึกษา

โครงสร้างทั้งสี่นี้โดยจะนำค่าพารามิเตอร์ที่ได้จากการศึกษานี้ไปทำการ simulation โดยโปรแกรม PSPICE Level 3 เพื่อตรวจสอบความถูกต้องของพารามิเตอร์ที่หาได้เปรียบเทียบกับค่าที่วัดได้จริง

สำหรับค่าพารามิเตอร์ต่างๆ ที่จำเป็นสำหรับการ simulation ด้วย PSPICE Level 3 นั้นจะแสดงไว้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ในตารางที่ 2.1

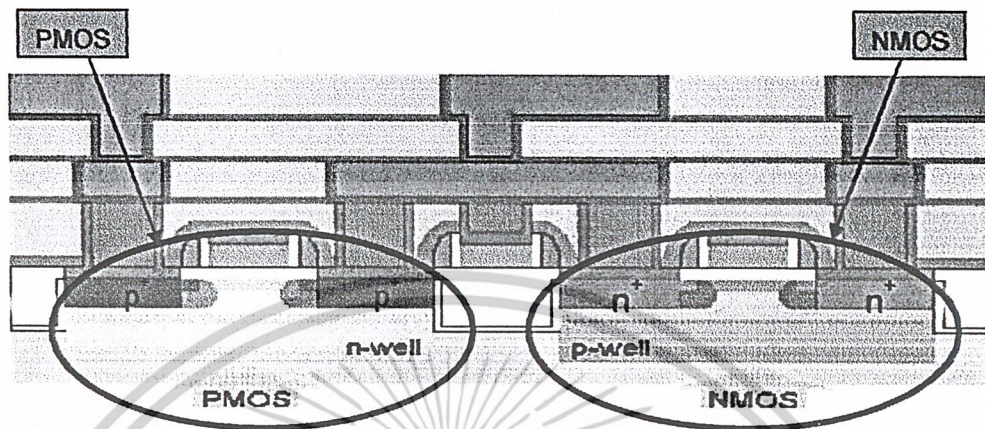
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

parameter	Description	Unit
Vto	Threshold Voltage, Long, Wide Device, Zero Substrate Bias	V
Kp	Process transconductance Parameter	A/V^2
GAMMA	Bulk threshold parameter	$V^{1/2}$
SUB	Substrate Sensitivity Parameter (Effective Substrate Doping)	cm^{-3}
Tox	Gate Oxide Thickness	nm
Uo	Zero Bias Low Field Mobility	$cm^2/V.s$
PHI	Surface potential	V
LD	Channel Length Reduction From Drawn Value	um
WD	Channel Width Reduction From Drawn Value	um
THETA	Gate Field Induced Mobility Reduction Parameter	V^{-1}
RD	Drain Series Resistance	Ohm-um
RS	Source Series Resistance	Ohm-um
Cja	Capacitor of junction by area	F/cm^2
Cjp	Capacitor of junction by perimeter	F/cm
Ja	Current density by area	A/cm^2
Jp	Current density by perimeter	A/cm
DELTA	Narrow Channel Effect on the Threshold Voltage	-
ETA	DIBL Coefficient	-
Xj	Short Channel Correction to the Substrate Sensitivity	m
Vmax	Maximum Carrier Velocity	cm/s
Kappa	Channel Length Modulation Effect on the Drain Current	-
NFS	Sub threshold Region Fitting Parameter	cm^{-2}
CGSO	Zero Bias Gate-Source Capacitance	F/m
CGDO	Zero Bias Gate-Drain Capacitance	F/m
CGBO	Zero Bias Gate-Bulk Capacitance	F/m

ตารางที่ 2.1 แสดงพารามิเตอร์ต่างๆที่ต้องใช้ในโปรแกรม P-spice Level 3

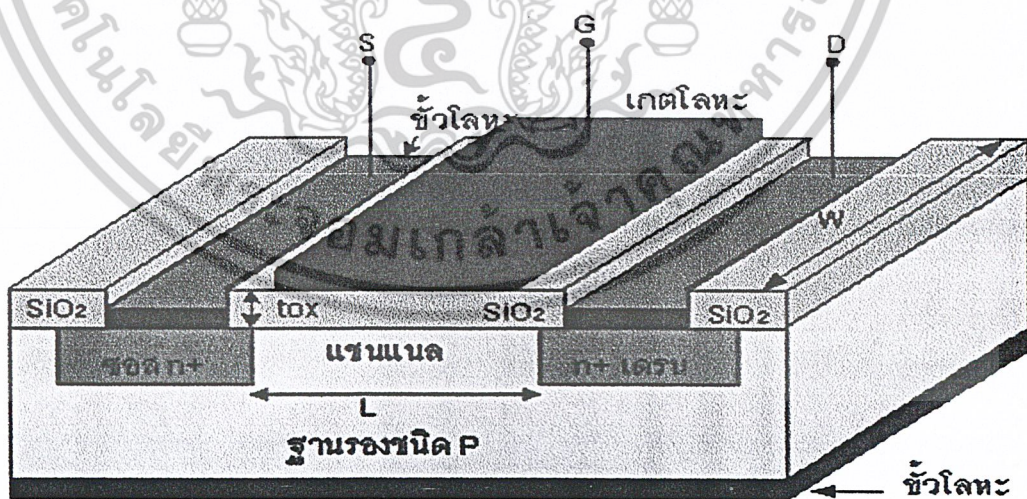
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 MOSFET



รูปที่ 2.2 แสดงโครงสร้างของ MOSFET ที่อยู่ในโครงสร้างของ CMOS

เมื่อเราพิจารณารูปที่ 2.2 จะเห็นได้ว่าใน CMOS หนึ่งตัวนั้นจะประกอบไปด้วย MOSFET สองตัวคือ PMOS และ NMOS ดังรูป ดังนั้น ในบางครั้งเราจึงสามารถที่จะกล่าวได้ว่า CMOS นั้น สร้างขึ้นมาโดยการนำเอา PMOS และ NMOS มาต่อกันก็ได้ ซึ่งเมื่อเรานำเอาโครงสร้างของ MOSFET มาวาดใหม่ให้ดูง่ายและเข้าใจยิ่งขึ้น จะเป็นดังรูปที่ 2.3



รูปที่ 2.3 แสดงโครงสร้าง MOSFET ชนิดฐานรอง P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 จะเห็นได้ว่าโครงสร้างของ MOSFET นั้นจะประกอบไปด้วย ฐานรอง, บ่อสารเจือสองบ่อซึ่งทำหน้าที่เป็นขั้วซอสและเดรน โดยสารเจือในบ่อนั้นจะเป็นชนิดตรงกันข้ามกับฐานรอง, ขั้วออกไซด์และโลหะที่ทำหน้าที่เป็นขั้วเกต ดังรูป โดย MOSFET จะแบ่งได้เป็นสองชนิดใหญ่ๆ คือ

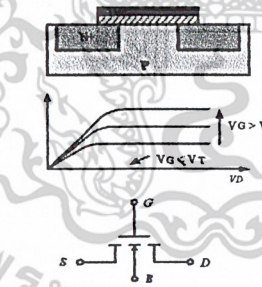
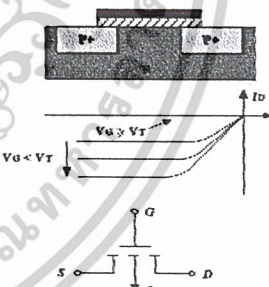
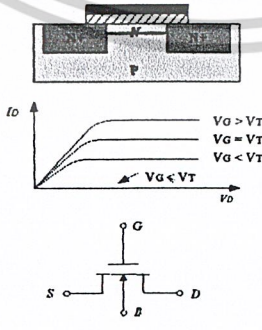
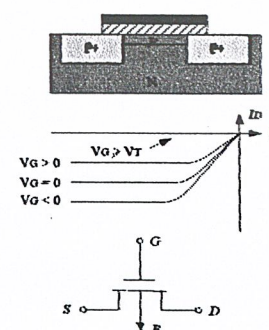
1. แบบ Enhancement ซึ่งจะไม่เกิดกระแสไหลระหว่างขั้วเดรนและซอสจนกว่าจะมีการให้แรงดันไบอัส

2. แบบ Depletion ซึ่งแม้จะยังไม่ไบอัสก็สามารถเกิดกระแสไหลระหว่างขั้วเดรนและซอสได้ และ MOSFET ทั้งสองแบบนี้ยังแบ่งย่อยได้อีกสองประเภทคือ NMOS และ PMOS ซึ่ง

- NMOS คือ MOSFET ที่สร้างขึ้นโดยให้ฐานรองเป็นชนิด p และให้สารเจือในบ่อเป็นชนิด n^+

- PMOS คือ MOSFET ที่สร้างขึ้นโดยให้ฐานรองเป็นชนิด n และให้สารเจือในบ่อเป็นชนิด p^+

โดยเราสามารถสรุป ประเภท, โครงสร้าง, กราฟแสดงการทำงาน, และสัญลักษณ์ ได้ดังรูปที่ 2.4

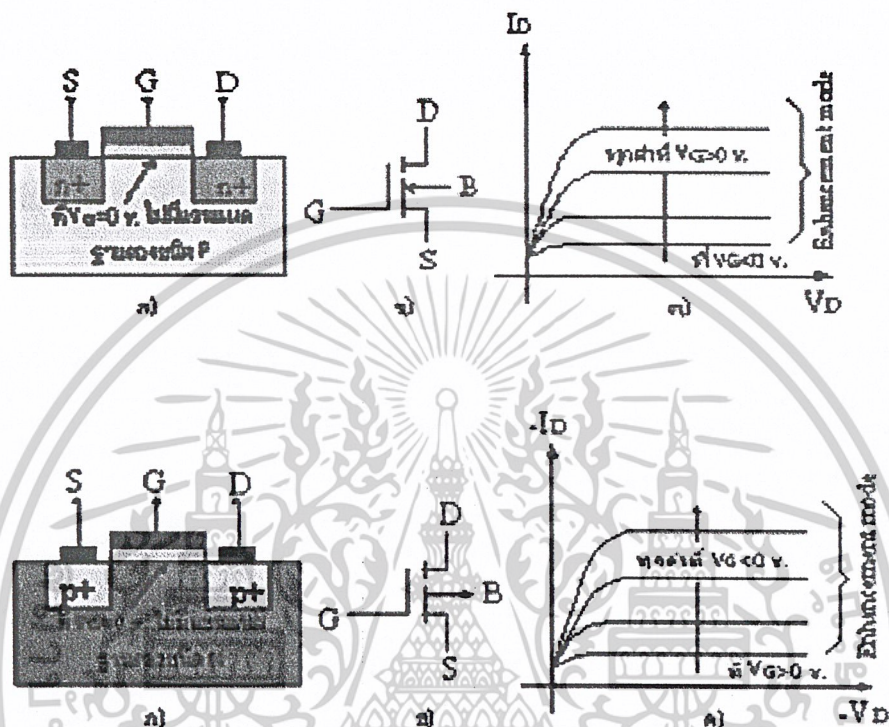
Mode	N-channel	P-channel
Enhancement		
Depletion		

รูปที่ 2.4 แสดงลักษณะโครงสร้าง, กราฟการทำงาน, และสัญลักษณ์ ของ MOSFET ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำโครงงานนี้ เราได้ทำการศึกษาเฉพาะ MOSFET ชนิด Enhancement ดังนั้นจึงจะขอลำรายละเอียดเฉพาะชนิดนี้เท่านั้น โดย มอสเฟตแบบเอ็นฮานซ์เม้นนั้นจะมี ลักษณะของโครงสร้าง กราฟแสดงการทำงาน และสัญลักษณ์ดังรูปที่2.5



รูปที่2.5 แสดงโครงสร้าง,สัญลักษณ์,และกราฟการทำงานของ MOSFET ชนิดเอ็นฮานซ์เม้นท์ทั้งสองประเภท

เมื่อเราพิจารณากราฟการทำงานจากรูปแล้ว เราจะพบว่า มอสเฟตนั้นเมื่อเราไบอัสแรงดัน V_G จะทำให้เกิดกระแส I_D ไหลผ่านตัวขอสและเดรนขึ้น ซึ่งการทำงานของ MOSFET จะแบ่งได้เป็นสองย่านคือ ย่านเชิงเส้น และย่านอิ่มตัวดังรูปที่2.5(ค)

เมื่อเราได้ทำการศึกษาคุณสมบัติและโครงสร้างการทำงานของ MOSFET แล้วเราจะสามารถทำการหาค่าพารามิเตอร์ที่เราต้องการได้หลายตัวด้วยกันโดยพารามิเตอร์ที่เราสามารถทำการหาได้ทั้งหมดจาก MOSFET มีดังนี้

V_{th} , Φ_{SI} , γ , N_{sub} , U_{ox} , K_p , θ , R_{DS} , L_D , W_D , Δ , η , C_{GD0} , C_{GS0} , C_{GB0} , V_{MAX} และ K

ซึ่งการหาค่าพารามิเตอร์เหล่านี้เราจะทำการแบ่งวิธีการวัดเป็นกรณีๆดังนี้

-กรณีที่1 MOSFET ขนาดใหญ่ ($W=80\mu m$, $L=80\mu m$)

พารามิเตอร์ที่เราได้คือ V_{th} , Φ_{SI} , γ , N_{sub} , U_{ox} , K_p
เอกสารนี้เป็นเอกสารที่เผยแพร่เพื่อใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการหาพารามิเตอร์เหล่านี้ก็จะทำได้โดยการไปหาค่าแรงดันให้แก่ขั้วต่างๆของ MOSFET จากนั้นหาค่าของ PHI,GAMMA,Vto จากความสัมพันธ์ของสมการต่อไปนี้

$$V_{th} = V_{t0} + GAMMA \left[\sqrt{PHI \pm V_{bs}} - \sqrt{PHI} \right] \quad \dots\dots\dots(2.1)$$

เมื่อ
$$PHI = \frac{2kT}{q} \ln \left(\frac{N_{sub}}{N_i} \right) \quad \dots\dots\dots(2.2)$$

จากนั้นหาค่าของ K_p และ U_0 ได้จากสมการ

$$K = \frac{slope_{max}}{V_{ds}} = K_p \frac{W}{L} \quad \dots\dots\dots(2.3)$$

$$K_p = U_0 C_{ox} \quad \dots\dots\dots(2.4)$$

-**กรณีที่2** MOSFET มีการเปลี่ยนค่าความกว้างและความยาว(W-array,L-array)เพื่อดูค่าเมื่อขนาดเล็กลง

-2.1 MOSFET(W=20,L=เปลี่ยนค่าให้สั้นลง)

พารามิเตอร์ที่หาได้คือ THETA, R_{DS} , L_D ,ETA,CGD0,CGS0,CGB0, V_{max} ,Kappa

เราสามารถหาค่า THETA, R_{DS} ได้จากความสัมพันธ์ของสมการ

$$THETA_m = THETA + KR_{DS} \quad \dots\dots\dots(2.5)$$

เมื่อ
$$\frac{slope_{max}}{slope} = THETA_m + C \quad ; C = \text{ค่าคงที่ใดๆ} \quad \dots\dots\dots(2.6)$$

และ
$$K = \frac{\mu_{eff} C_{ox} W_{eff}}{L_{eff}} \quad \dots\dots\dots(2.7)$$

จากนั้นหาค่า L_D ได้จาก

$$L_{mask} = \frac{1}{K} + 2L_D \quad \dots\dots\dots(2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า ETA นั้นจะหาได้เมื่อเราทราบค่า f_d ก่อน โดยค่า f_d จะหาได้จากความสัมพันธ์ระหว่าง V_{gs} at $1\mu A$ และ V_{ds} จากนั้นก็จะหาค่า ETA ได้จาก

$$f_d = ETA \times \frac{8.15 \times 10^{-20}}{C_{ox} L_{eff}^3} \dots\dots\dots(2.9)$$

เมื่อเราได้ค่าพารามิเตอร์ข้างต้นมาแล้วเราก็จะสามารถทำการหาค่า $CGD0, CGS0, CGB0$ ได้จากความสัมพันธ์ดังนี้

$$CGD0 = C_{ox} \cdot L_D \dots\dots\dots(2.10)$$

$$CGD0 = CGS0 \dots\dots\dots(2.11)$$

$$CGB0 = C_{ox} \cdot L_{eff} \dots\dots\dots(2.12)$$

และนอกจากนี้เราก็ยังสามารถหาค่าของ V_{max} ได้จาก

$$\frac{1}{\mu_{eff}} - \frac{1}{\mu_s} = \frac{V_{ds}}{V_{max} \cdot L_{eff}} \dots\dots\dots(2.13)$$

เมื่อ μ_{eff} และ μ_s หามาจากความสัมพันธ์ระหว่าง I_{ds} กับ V_{gs}

สุดท้ายคือค่าของ $Kappa$ นั้นจะหาได้จากความชันของกราฟ ΔL^2 กับ V_{ds}

$$\text{เมื่อ} \quad \Delta L = L \left(1 - \frac{I_{ds}}{I_{dsat}} \right) \dots\dots\dots(2.14)$$

-2.2 MOSFET(W=เปลี่ยนค่าให้สั้นลง,L=20μm)

พารามิเตอร์ที่หาได้คือ $W_0, Delta$

โดยค่าของพารามิเตอร์ W_0 นั้นจะหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

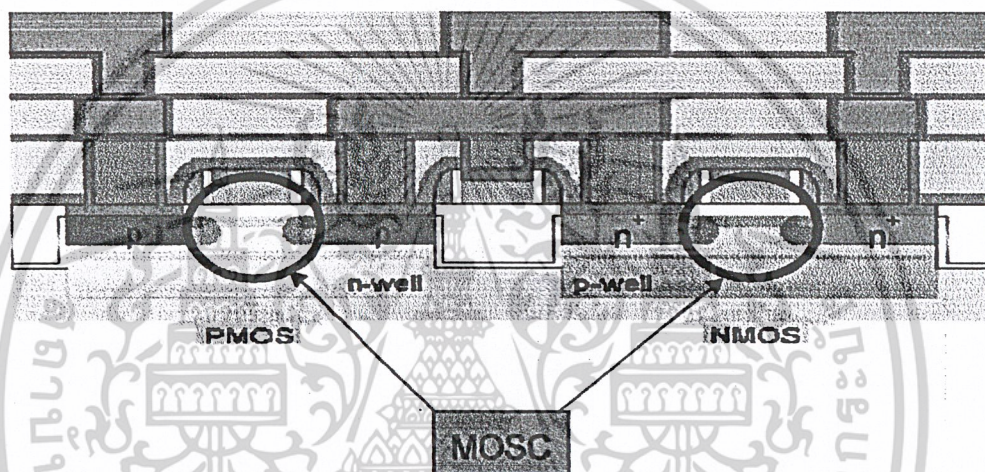
$$W_{mask} = K + 2W_D \quad \dots\dots\dots(2.15)$$

และค่าของ Delta นั้นเราก็จะทำการหาได้โดยใช้ค่าความชันของกราฟ V_{th} และ $1/W_{eff}$ ไป

แทนในสมการ

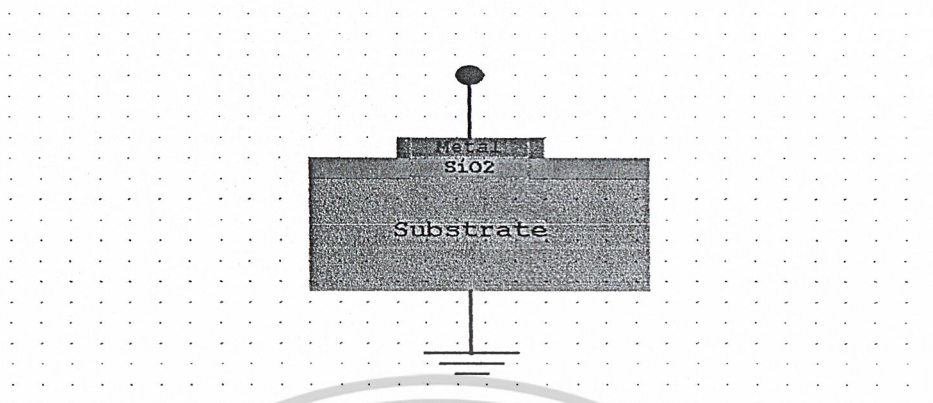
$$Delta = slope \cdot \frac{2C_{ox}}{\pi\epsilon_{SI}} \cdot \left(\frac{1}{2\phi_F - V_{BS}} \right) \quad \dots\dots\dots(2.16)$$

2.2 MOS Capacitor (MOSC)



รูปที่ 2.6 แสดงให้เห็นถึงโครงสร้าง MOS Capacitor ภายในโครงสร้างของ MOSFET

เมื่อพิจารณาโครงสร้างของ MOSFET แต่ละตัวที่อยู่ใน CMOS แล้วพบว่าประกอบไปด้วยโครงสร้างของ MOS (Metal Oxide Semiconductor) ดังรูปที่ 2.6 โดยโครงสร้าง MOS นั้นจะประกอบไปด้วย โลหะ(Metal) ฉนวน(Oxide) และ สารกึ่งตัวนำ(Semiconductor) ซึ่งโลหะนั้นก็คือส่วนที่ทำหน้าที่เป็นขั้วเกตใน CMOS นั้นเอง สำหรับสารกึ่งตัวนำก็คือส่วนที่เป็นเนื้อของ MOSFET และฉนวนซึ่งในที่นี้คือชั้นออกไซด์ซึ่งทำหน้าที่กั้นระหว่างโลหะและสารกึ่งตัวนำ โดยสามารถเขียนโครงสร้างของ MOS ให้ดูได้ง่ายขึ้นได้ดังรูปที่ 2.7



รูปที่ 2.7 แสดงโครงสร้าง MOS อย่างง่าย

เมื่อเราพิจารณาโครงสร้าง MOS จะเห็นได้ว่ามีลักษณะคล้ายกับโครงสร้างของตัวเก็บประจุ และเมื่อเราทำการไบแอสด้วยกระแสลบก็ปรากฏว่ามีคุณสมบัติของตัวเก็บประจุจริงๆ ดังนั้นเราจึงสามารถเรียกโครงสร้าง MOS นี้ได้ว่า MOS Capacitor (MOSC) และเมื่อเราทำการไบแอสกระแสลบให้แก่ MOSC แล้ว เราจะสามารถแบ่งการทำงานของ MOSC ได้เป็น

1. ภาวะแอคคิวเลชัน (Accumulation) หรือภาวะสะสม กล่าวคือเมื่อทำการไบแอสตรงที่ขั้วเกตจะทำให้ประจุข้างมากในเนื้อสารกึ่งตัวนำมาสะสมกันใต้ออกไซด์มีผลทำให้ค่าความจุที่วัดได้มีเพียงค่าความจุไฟฟ้าที่เกิดจากชั้นออกไซด์ (C_{ox}) เท่านั้น ซึ่งในภาวะนี้จะให้ค่าความจุไฟฟ้ามากที่สุดดังรูปที่ 2.8

2. ภาวะดีพลีชัน (Depletion) หรือภาวะลดทอน กล่าวคือเมื่อการไบแอสตรงเริ่มเปลี่ยนเป็นไบแอสย้อนกลับเนื่องจากผลของกระแสลบ ดังนั้นที่บริเวณใต้ชั้นออกไซด์ประจุข้างมากจึงเริ่มถูกผลักออกทำให้เกิดชั้นปลอดพาหะ (Depletion) ขึ้นแทน ซึ่งชั้นนี้จะมีผลทำให้เกิดค่าความจุไฟฟ้าขึ้นอนุกรมกับค่าความจุไฟฟ้าจากชั้นออกไซด์ จึงทำให้ค่าความจุไฟฟ้ารวมที่เกิดขึ้นมีค่าน้อยลงเรื่อยๆ ตามขนาดของชั้นปลอดพาหะดังรูปที่ 2.8

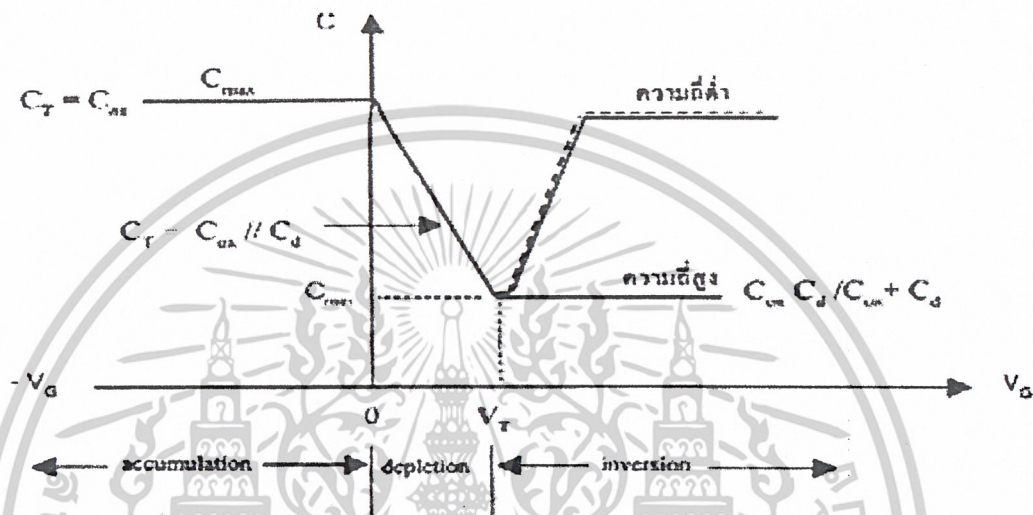
3. ภาวะอินเวอร์ชัน (Inversion) เมื่อแรงดันไบแอสกลับมีค่ามากที่สุดทำให้ชั้นปลอดพาหะมีค่ามากที่สุดเกิดชั้นกลับขึ้นที่บริเวณใต้ออกไซด์ดังนั้นจึงทำให้ค่าความจุไฟฟ้าที่เกิดจากชั้นปลอดพาหะมีค่ามากที่สุดแต่ทำให้ค่าความจุไฟฟ้ารวมที่เกิดขึ้นมีค่าน้อยที่สุด และเมื่อค่าแรงดันนั้นเปลี่ยนจากการไบแอสย้อนกลับเป็นไบแอสตรงอีกครั้งหนึ่งเราก็จะสามารถพิจารณาได้เป็นสองกรณีดังนี้

3.1. ที่ความถี่ต่ำ มีผลทำให้การเปลี่ยนแปลงของชั้นกลับเกิดได้ทันดังนั้นชั้นปลอดพาหะจึงมีขนาดแคบลงเรื่อยๆ จนพาหะข้างมากของสารกึ่งตัวนำขึ้นมาสะสมใต้ออกไซด์เกิดเป็น

เช่นเดียวกับภาวะแอคคิวเลชันอีกครั้งหนึ่ง ดังนั้นค่าความจุไฟฟ้ารวมจึงมีค่าเท่ากับค่าความจุไฟฟ้าเนื่องจากชั้นออกไซด์นั่นเอง

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2. ที่ความถี่สูง มีผลทำให้การเปลี่ยนแปลงของชั้นกลับนั้นเกิดขึ้นไม่ทัน จึงมีผลทำให้ความกว้างของชั้นปลอดพาหะมีค่าเท่าเดิมคือมากที่สุด ดังนั้นที่ภาวะนี้ค่าความจุไฟฟ้าจึงคงที่โดยจะมีค่าน้อยที่สุดเนื่องจากค่าความจุไฟฟ้าที่เกิดจากชั้นปลอดพาหะมีค่ามากที่สุดนั่นเอง โดยภาวะต่าง ๆ นั้นจะสรุปได้ดังรูปที่ 2.8



รูปที่ 2.8 แสดงค่าความจุไฟฟ้าที่เกิดขึ้นในภาวะต่างๆของ MOSC

จากการศึกษาโครงสร้าง MOSC นั้นเราจะสามารถหาค่าพารามิเตอร์ที่ต้องการเพิ่มได้

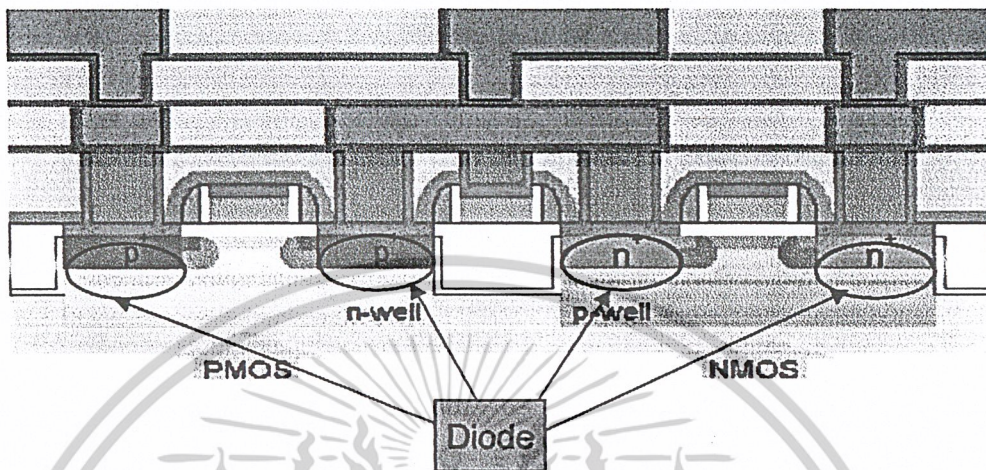
อีก 1 ตัว

คือ ความหนาของชั้นออกไซด์ (t_{ox}) ที่อยู่ในโครงสร้าง MOSC โดยการหาค่าของ t_{ox} นั้นจะทำได้โดยการไบอัสแรงดันค่าต่างๆแก่ขั้ว Gate และ Substrate ของโครงสร้าง MOSC แล้วเขียนกราฟ C-V ขึ้นมา จากนั้นทำการคำนวณหาค่า t_{ox} ได้จากสมการ

$$t_{ox} = \frac{\epsilon_{ox}}{C_{ox}} \quad \dots\dots\dots(2.17)$$

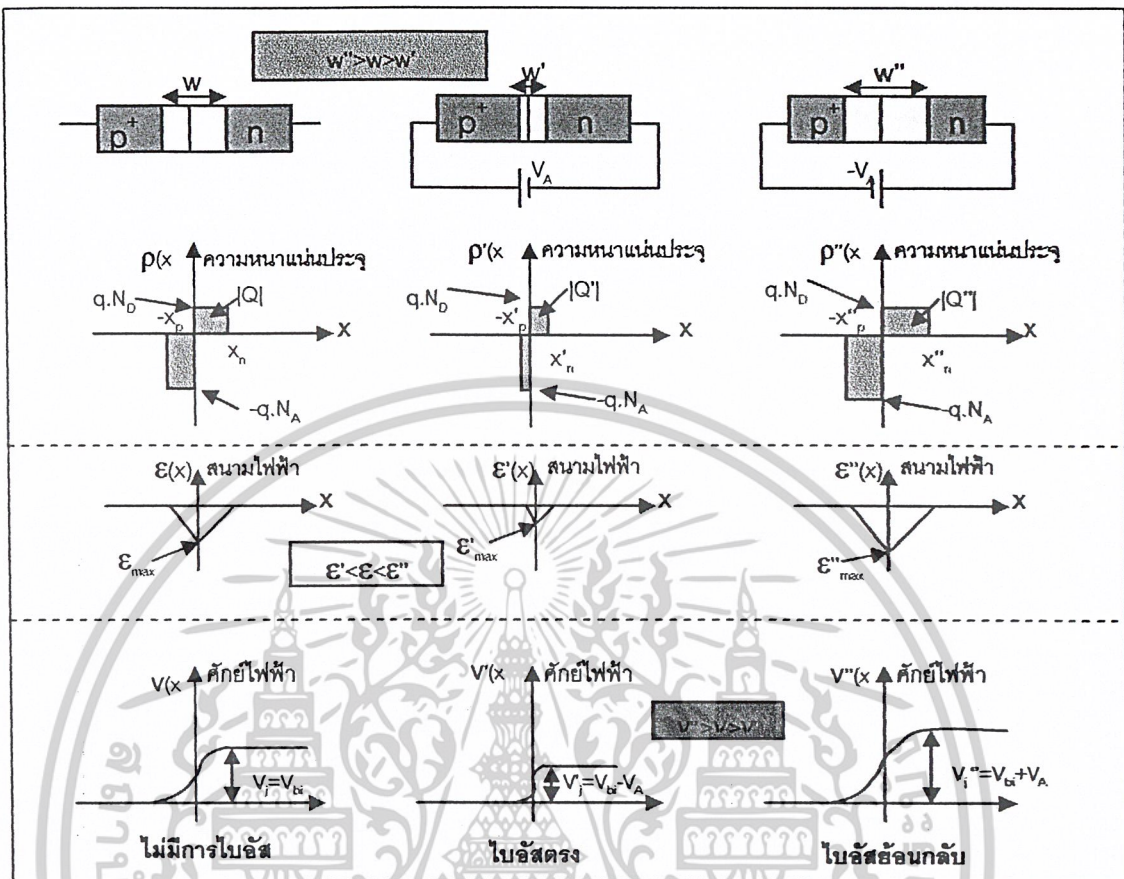
สำหรับรายละเอียดของวิธีการหาค่าพารามิเตอร์ต่างๆนั้นจะสามารถศึกษาเพื่อให้เข้าใจยิ่งขึ้นได้จากบทที่ 3 (วิธีดำเนินการวิจัย)

2.3 P-N junction (Diode)



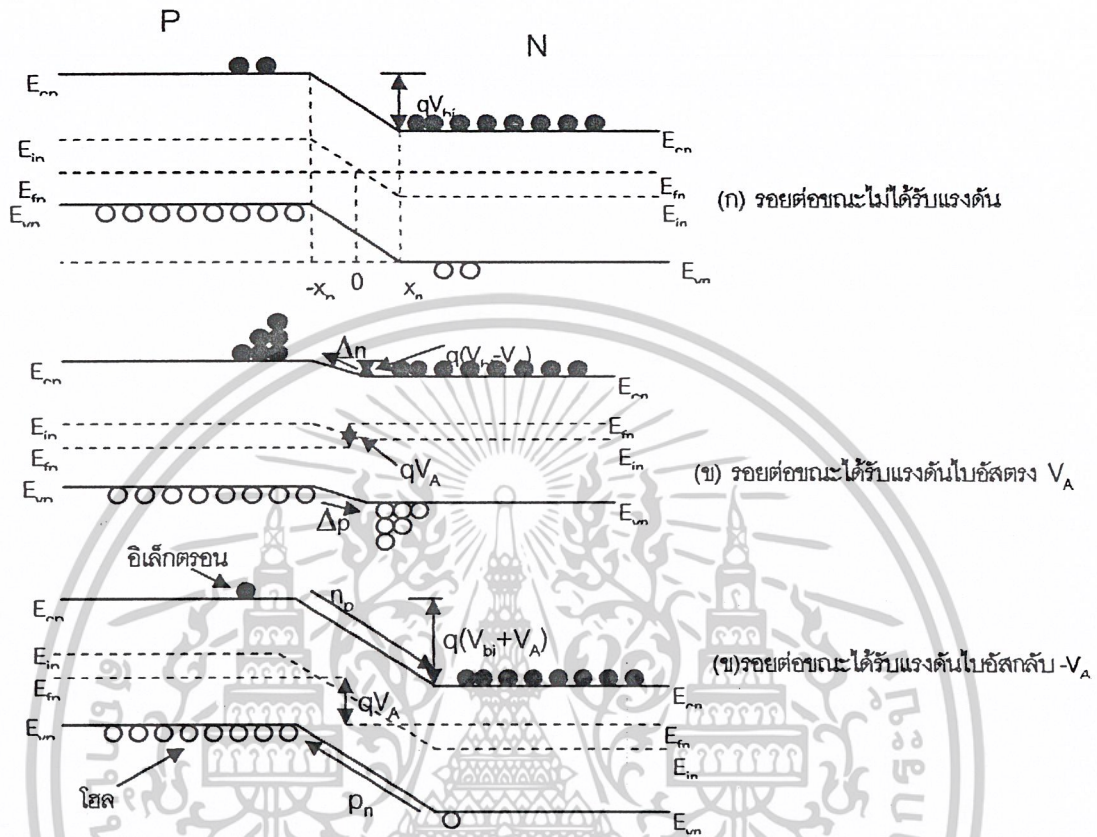
รูปที่ 2.9 แสดงโครงสร้างรอยต่อพี-เอ็นที่อยู่ใน CMOS

และโครงสร้างที่สำคัญอีกโครงสร้างหนึ่งที่อยู่ภายใน MOSFET ก็คือโครงสร้างของ P-N junction (Diode) ซึ่งเมื่อเราพิจารณาในรูปที่ 2.9 เราจะเห็นได้ว่าโครงสร้างไดโอดนี้จะอยู่ในโครงสร้างของทั้ง NMOS และ PMOS ดังรูป โดยทำหน้าที่เป็นขั้วเดรนและซอร์สของ MOSFET ซึ่งเมื่อเราทำการไบอัสทั้งแบบตรงและไบอัสย้อนกลับให้แก่โครงสร้างไดโอดแล้วจะทำให้เกิดปรากฏการณ์ต่างๆ ขึ้นที่บริเวณรอยต่อ ซึ่งจะแสดงให้เห็นได้ดังรูปที่ 2.10 โดยจะแสดงให้เห็นการเปลี่ยนแปลงของ ความหนาแน่นประจุไฟฟ้า, สนามไฟฟ้า และ ศักย์ไฟฟ้าที่บริเวณรอยต่อเมื่อเราทำการไบอัสตรงและไบอัสย้อนกลับโดยเปรียบเทียบกับรอยต่อที่ไม่ได้รับการไบอัสตามลำดับ



รูปที่ 2.10 แสดงลักษณะรอยต่อเมื่อได้รับแรงดันไบอัสเปรียบเทียบกับรอยต่อเมื่อไม่ได้รับการไบอัส

นอกจากค่าที่ได้แสดงไว้ในรูปที่ 2.10 แล้วเมื่อเราพิจารณาให้ลึกลงไปในระดับพลังงานที่บริเวณรอยต่อแล้วเราก็พบว่าพลังงานบริเวณรอยต่อก็จะเกิดการเปลี่ยนแปลงด้วยเนื่องมาจากการไบอัสที่ต่างกันนั้นจะทำให้การเกิดช่วงเขตปลอดพาหะหรือดีพลีชัน ไม่เท่ากัน โดยเมื่อเราไบอัสตรงให้แก่รอยต่อจะทำให้เกิดช่วงเขตปลอดพาหะที่กว้างกว่าการไบอัสย้อนกลับ ซึ่งระดับพลังงานของรอยต่อไดโอดเมื่อได้รับการไบอัสในแบบต่าง ๆ นั้นจะมีลักษณะดังรูปที่ 2.11



รูปที่ 2.11 แสดงระดับพลังงานในขณะที่ได้รับแรงดันไบอัสเปรียบเทียบกับในขณะที่ไม่ได้รับแรงดันไบอัส

จากที่ได้กล่าวมาแล้วถึงเรื่องการไบอัสในรูปแบบต่างๆ นั้นจะพบว่าเมื่อเราทำการไบอัสที่รอยต่อของไดโอดเราก็จะเกิดการเปลี่ยนแปลงที่บริเวณหลอดพาหะขึ้น ซึ่งเมื่อเราพิจารณาให้ละเอียดจะพบว่าที่บริเวณเขตหลอดพาหะนั้นจะมีลักษณะประพฤติกรรมคล้ายกับโครงสร้างของตัวเก็บประจุได้ ดังนั้นเราจึงต้องศึกษาคุณสมบัติที่เกิดขึ้นนี้ด้วยกล่าวคือ

ความจุไฟฟ้าที่เกิดจากบริเวณหลอดพาหะของรอยต่อนั้นจะมีลักษณะที่คล้ายกับโครงสร้างของตัวเก็บประจุแบบแผ่นโลหะขนาน (parallel plate capacitor) ซึ่งเป็นตัวเก็บประจุพื้นฐานทั่วไป การวิเคราะห์คุณสมบัติ และการหาสมการความจุไฟฟ้าของไดโอด จากรอยต่อจึงทำได้ง่ายเช่นเดียวกับตัวเก็บประจุทั่วไป นอกจากนี้ เนื่องจากความกว้างของบริเวณหลอดพาหะจะเปลี่ยนแปลงตามแรงดันไบอัสที่ไดโอดได้รับ ดังนั้นความจุไฟฟ้าจากรอยต่อจึงเปลี่ยนแปลงตามแรงดันไบอัส และการหาค่าความจุไฟฟ้าอีกวิธีหนึ่งก็คือพิจารณาจากนิยามความจุไฟฟ้า ซึ่งหมายถึงอัตราการเปลี่ยนแปลงของประจุไฟฟ้า เนื่องจากการเปลี่ยนแปลงแรงดันไบอัส โดยจะได้

สมการการหาค่าความจุไฟฟ้าที่รอยต่อนี้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_j = A \left[\left(\frac{q\varepsilon}{2} \right) \left(\frac{N_D N_A}{(N_A + N_D)} \right) \left(\frac{1}{(V_{bi} \pm V_A)} \right) \right]^{\frac{1}{2}} \quad \dots\dots\dots(2.18)$$

ถ้าพิจารณาว่า ทรานซิสเตอร์พี-เอ็น เป็นแบบ $p^+ - n$ ซึ่งก็คือ $N_A \gg N_D$ ก็จะได้ว่า

$$C_j = \frac{A}{2} \left(\frac{2q\varepsilon N_D}{(V_{bi} \pm V_A)} \right)^{\frac{1}{2}} \quad \dots\dots\dots(2.19)$$

และสามารถหาขนาดความกว้างของบริเวณpletion (W) ของไดโอดที่เปลี่ยนแปลงตามแรงดันไบแอสได้ดังสมการ

$$W = \left[\frac{2\varepsilon}{q} (V_{bi} \pm V_A) \left(\frac{N_A + N_D}{N_A N_D} \right) \right]^{\frac{1}{2}} \quad \dots\dots\dots(2.20)$$

สำหรับการศึกษาโครงสร้างของไดโอดนี้เราก็จะสามารถหาค่าพารามิเตอร์ที่เราต้องการได้เพิ่มอีก 4 ตัวด้วยกันคือ C_{JA}, C_{JP}, J_A และ J_P ซึ่งการหาค่าพารามิเตอร์ทั้ง 4 ตัวนี้จะทำได้โดยการวัดหาค่าความจุไฟฟ้าที่รอยต่อของทั้งแบบ square และ meander โดยให้เป็น C_1 และ C_2 ตามลำดับ จากนั้นทำการคำนวณหาค่า C_{JA} และ C_{JP} ได้ตามสมการ

$$C_j = C_{JA} A + C_{JP} P \quad \dots\dots\dots(2.21)$$

เมื่อ

$$C_{JA} = \frac{(C_1 P_2) - (C_2 P_1)}{(A_1 P_2) - (A_2 P_1)} \quad \dots\dots\dots(2.22)$$

และ

$$C_{JP} = \frac{(C_1 A_2) - (C_2 A_1)}{(P_1 A_2) - (P_2 A_1)} \quad \dots\dots\dots(2.23)$$

ต่อไปวัดหาค่ากระแสรั่วของไดโอดทั้งสองแบบ โดยให้เป็น I_1 และ I_2 ตามลำดับเช่นกัน แล้วก็ทำการคำนวณหาค่า J_A และ J_P ตามสมการต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$I_{Leak} = J_A A + J_P P$$

.....(2.24)

และ

$$J_A = \frac{(I_1 P_2) - (I_2 P_1)}{(P_2 A_1) - (P_1 A_2)}$$

.....(2.25)

$$J_P = \frac{(I_1 A_2) - (I_2 A_1)}{(P_1 A_2) - (P_2 A_1)}$$

.....(2.26)

สำหรับรายละเอียดของวิธีการหาค่าพารามิเตอร์ต่างๆนั้นจะสามารถศึกษาเพื่อให้เข้าใจ
ยิ่งขึ้นได้จากบทที่3(วิธีดำเนินการวิจัย)



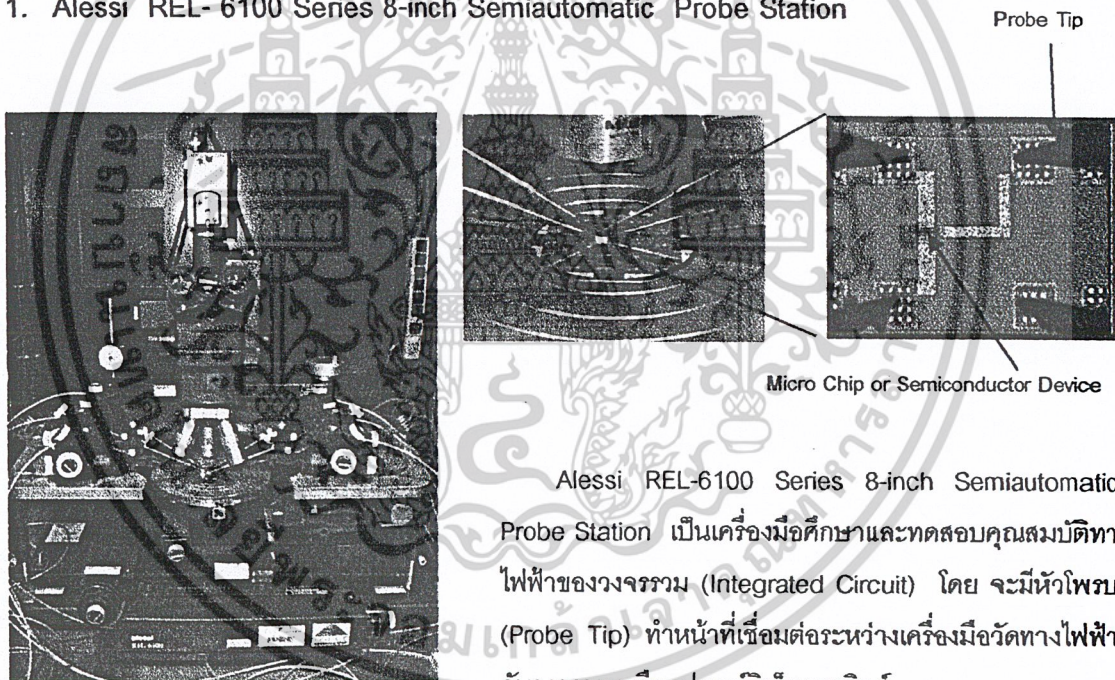
บทที่ 3

วิธีดำเนินการวิจัย

3.1 ระบบเครื่องมือวัดทางไฟฟ้า (Electrical Measuring Equipment)

ระบบเครื่องมือวัดทางไฟฟ้าทำหน้าที่วัดคุณสมบัติทางไฟฟ้าของ วงจรรวม (Integrated-Circuit) หรืออุปกรณ์สารกึ่งตัวนำ (Semiconductor Device) ที่ผ่านกระบวนการสร้างจากห้องสะอาด (Clean Room)

1. Alessi REL- 6100 Series 8-inch Semiautomatic Probe Station

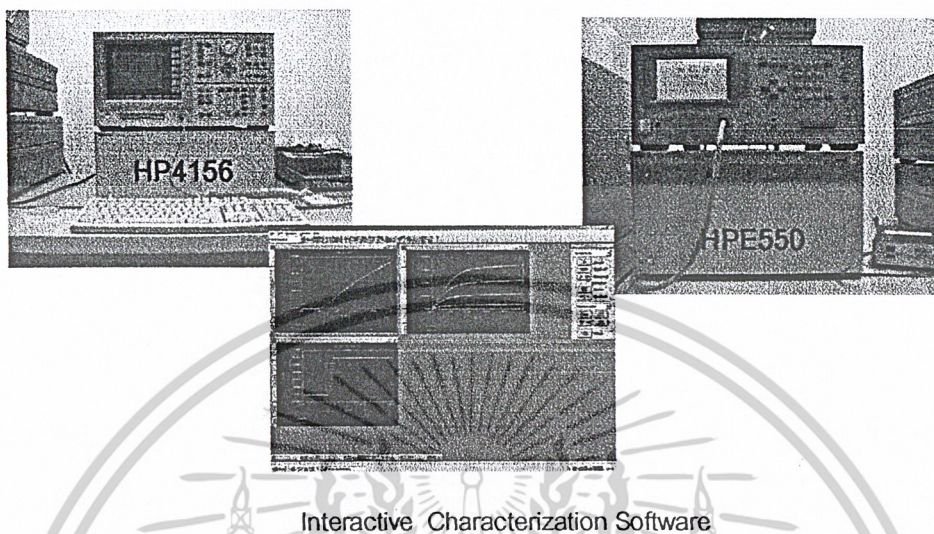


Alessi REL-6100 Series 8-inch Semiautomatic Probe Station เป็นเครื่องมือศึกษาและทดสอบคุณสมบัติทางไฟฟ้าของวงจรรวม (Integrated Circuit) โดย จะมีหัวโพรบ (Probe Tip) ทำหน้าที่เชื่อมต่อระหว่างเครื่องมือวัดทางไฟฟ้า กับวงจรรวมหรืออุปกรณ์อิเล็กทรอนิกส์

รูปที่ 3.1 แสดงเครื่องมือที่ใช้ในการวัด

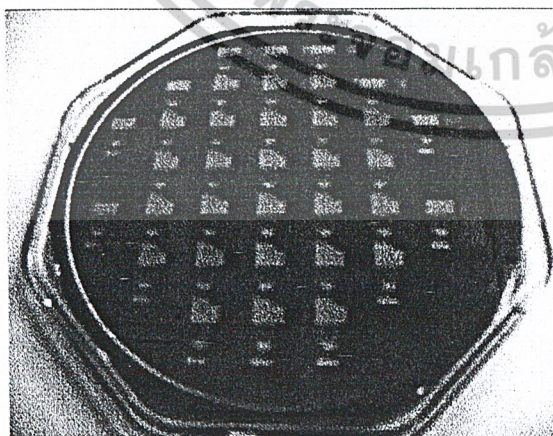
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.เครื่องมือวัดทางไฟฟ้า (Electrical Measurement)

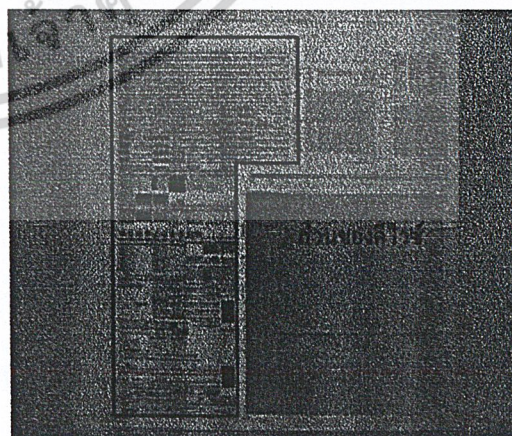


รูปที่3.2 แสดงเครื่องมือในส่วนของการแสดงผล

เครื่องมือวัดทางไฟฟ้าประกอบด้วย HP4156B Precision Semiconductor Parameter Analyzer, HP4284A Precision LCR Meter และ HP E5250A Low Leakage Switch Mainframe โดย HP4156B จะทำหน้าที่เกี่ยวกับการวัดกระแสและแรงดัน, HP4284A ทำหน้าที่วัดค่าความจุไฟฟ้า และHP E515A เป็น Metric Switch สลับหน้าที่การทำงานระหว่าง HP4156B และ HP4284A โดยระบบเครื่องมือวัดทางไฟฟ้าทั้งหมดถูกควบคุมทางคอมพิวเตอร์โดยผ่านโปรแกรม Interactive Characterization



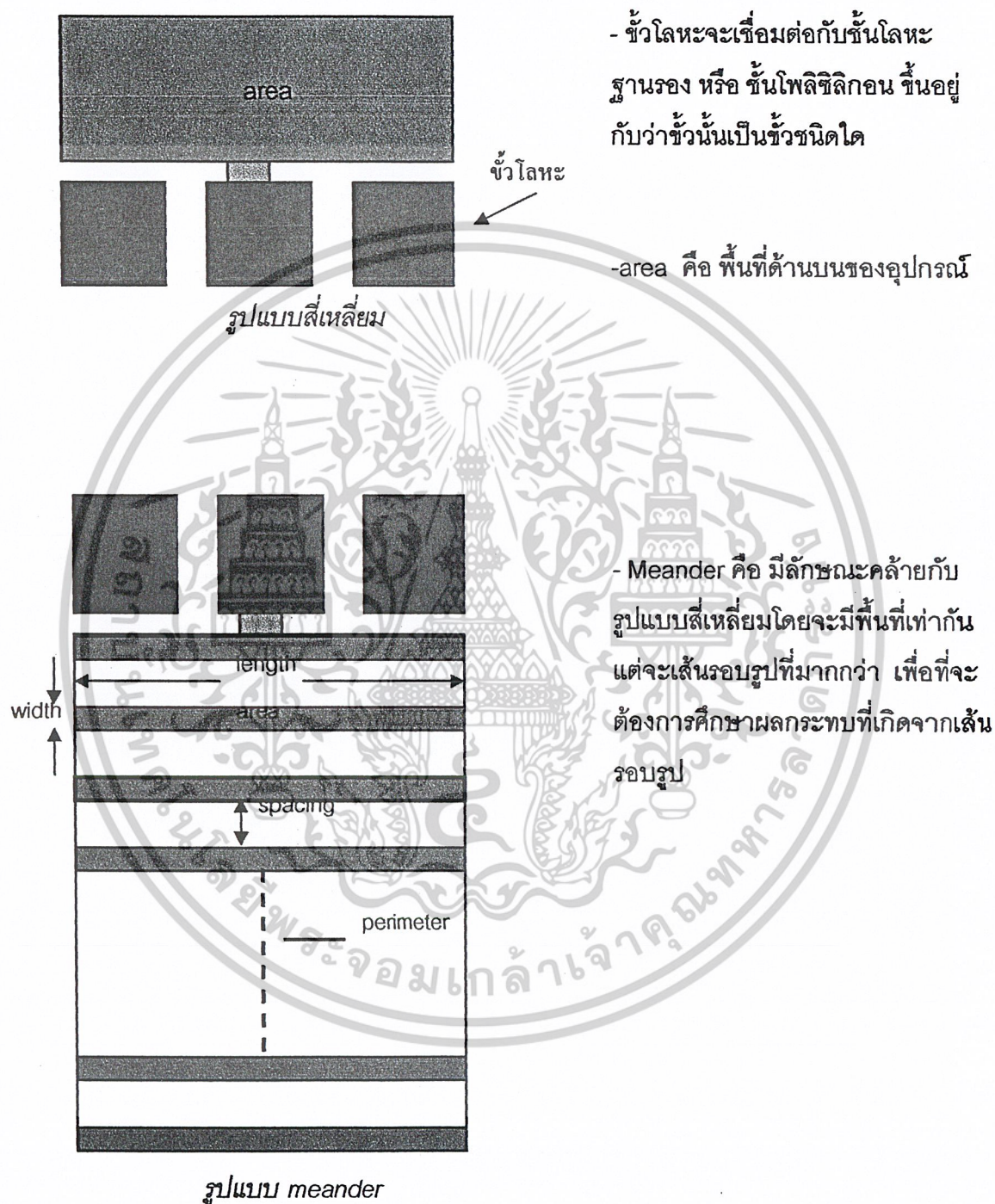
รูปที่3.3 เวเฟอร์ขนาด 6 นิ้ว ที่ใช้ทำการศึกษา



รูปที่3.4 ลักษณะโพรบ์ที่อยู่บนแผ่นเวเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพมุมมองด้านบนประกอบคำบรรยายแนะนำส่วนต่างๆของ Layout



รูปที่3.5 แสดงรูปแบบของ squareและ meander

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 MOS Capacitor

Wafer name: 6 inch PLIN 3000 1.2 um

Die : N, E, W S, C (5 points)

Pattern: Square 400*200, A=80000um², Peri =1200um

Meander 400*2 ,spacing =4um, A=80000um², Peri =80400um

Device : P13 poly/N-well cap

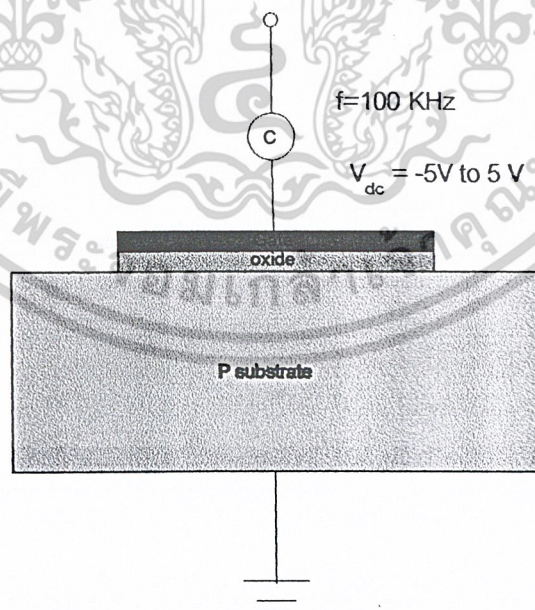
P14 poly/P-sub cap

Parameter Measuring: oxide thickness of the gate dielectric

วิธีการหาความหนาของชั้นออกไซด์

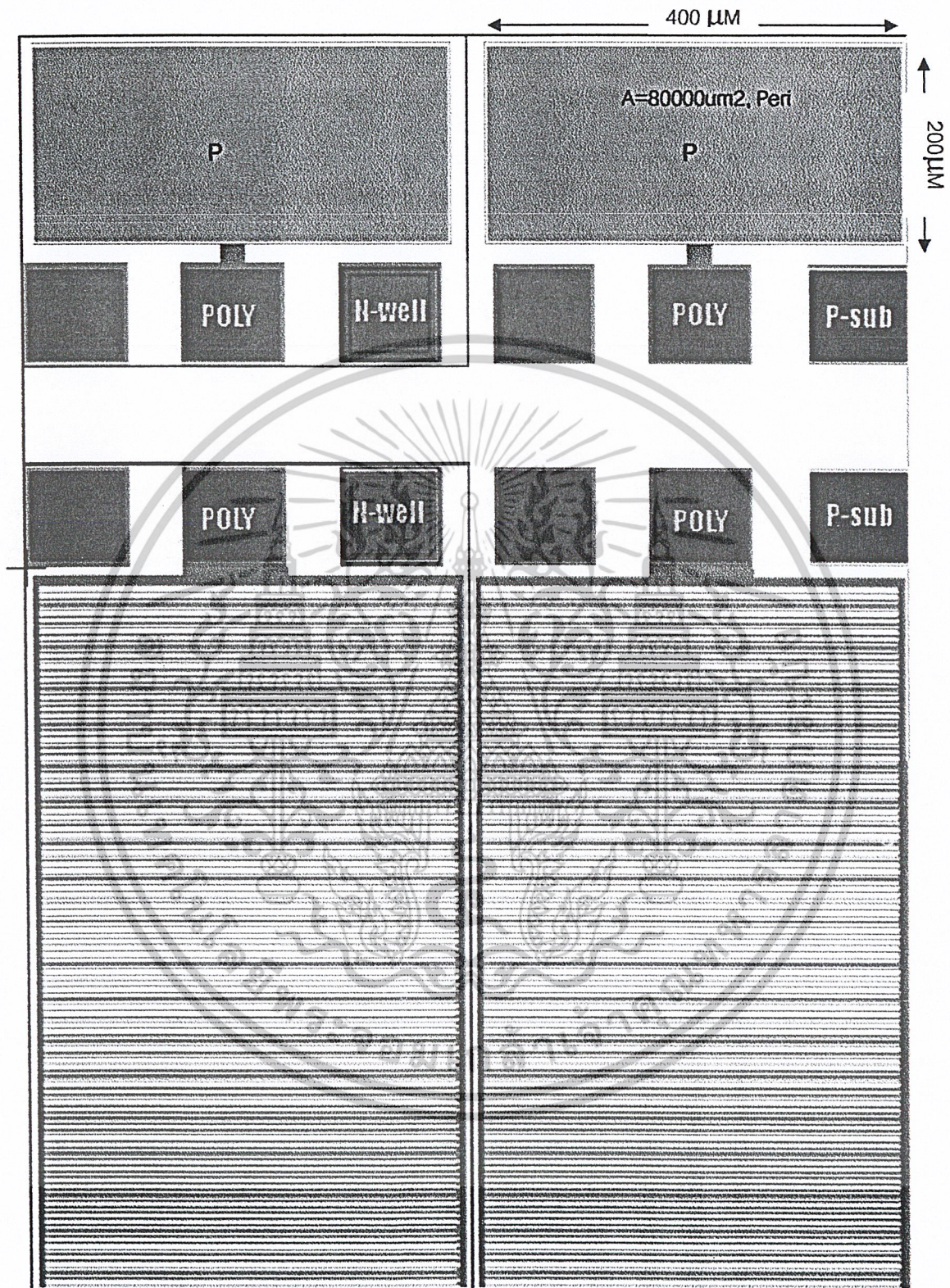
1. นำหัวเข็มไปสัมผัสกับขั้วของฐานรองและขั้วเกต
2. บันทึกผลของค่า C_{ox} ของแต่ละตำแหน่งบนแผ่นเวเฟอร์
3. คำนวณหาค่าความหนาของชั้นออกไซด์ จากสมการนี้

$$t_{ox} = \frac{\epsilon_{ox}}{C_{ox}}$$



รูปที่3.6 ภาพตัดขวางของการวัด MOS Capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 MOS Capacitor layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 FCAP

Wafer name: 6 inch PLINE 3000 1.2 um

Die : N, E, W S, C (5 points)

Pattern: Square 400*600, A=240000um², Peri =2000um

Device : Q1 M2/Poly/n-well

Q2 M2/M1/Poly

Q3 M1/p+/n-well

Q4 M1/n+/p-sub

Parameter Measuring: Q1:Thickness of IMD+ILD M2/poly

Q2:Thickness of ILD M1/Poly

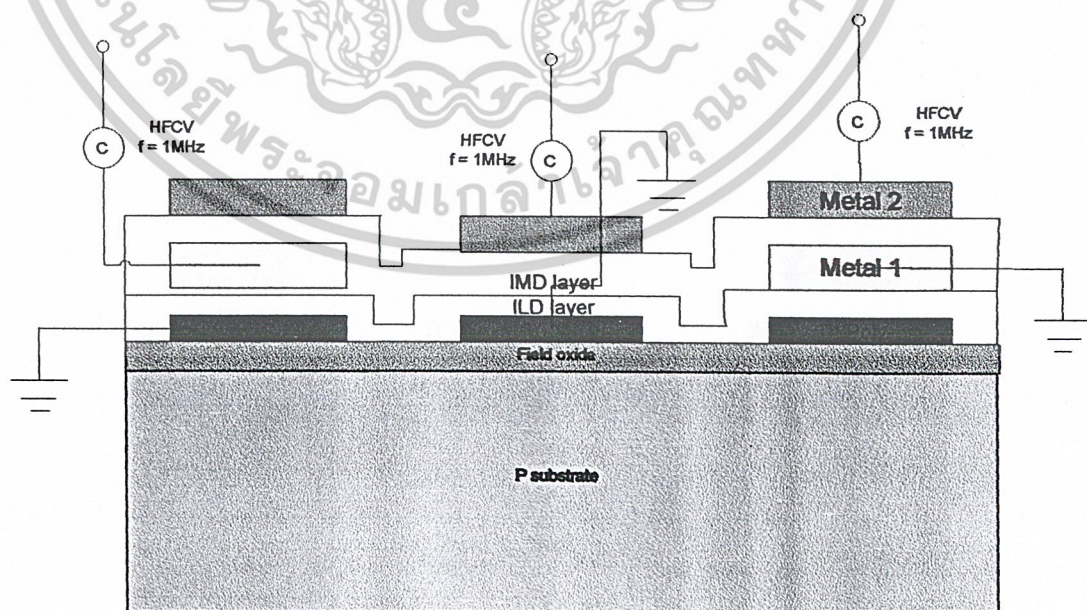
:Thickness of IMD M1/M2

Q2-Q4 :Thickness of field oxide poly/p-sub

วิธีการหาความหนาของแต่ละชั้น

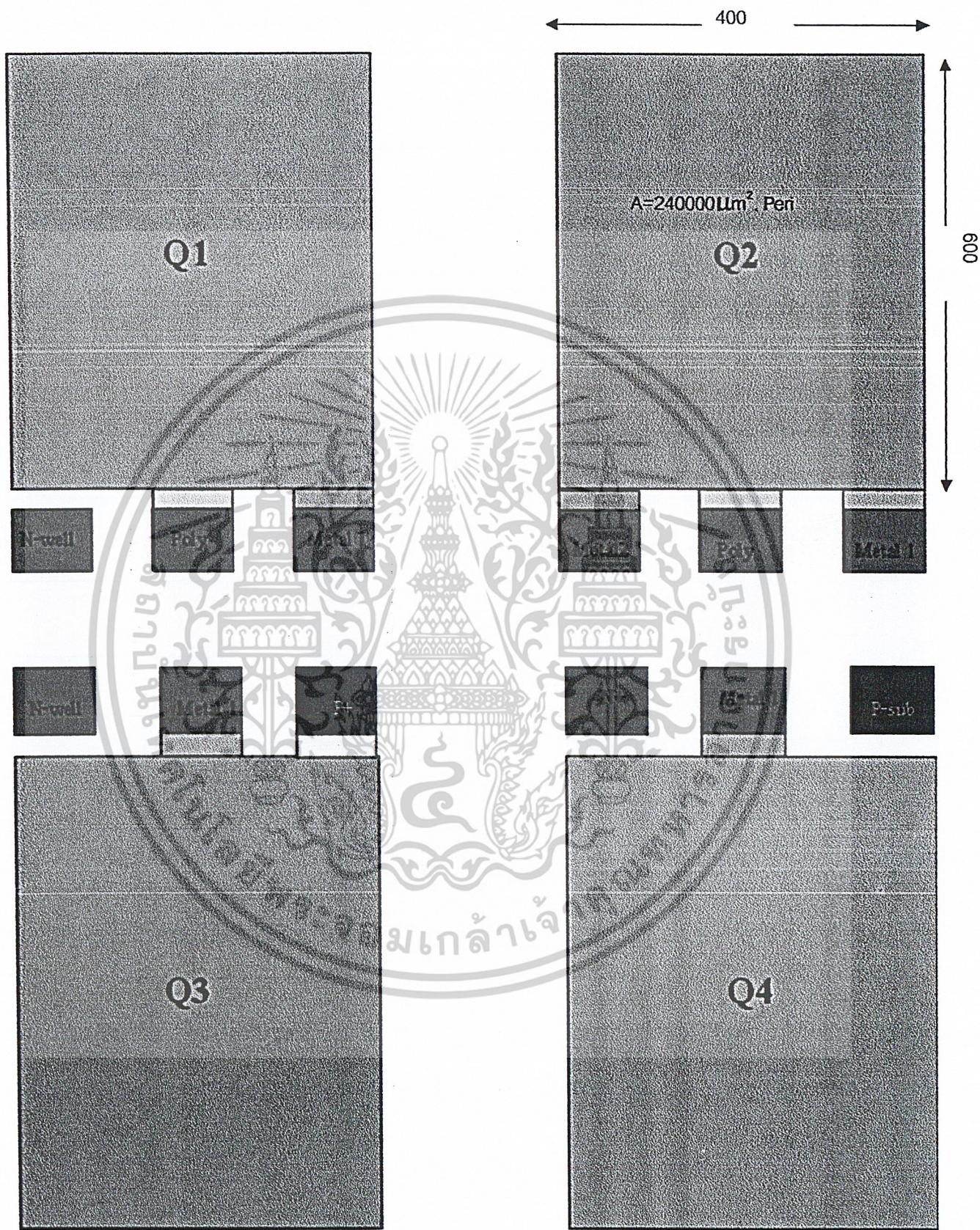
1. นำหัวเข็มไปสัมผัสกับหัวของฐานรองและหัวโลหะ
2. บันทึกผลของค่า C ของแต่ละตำแหน่งบนแผ่นเวเฟอร์
3. คำนวณหาค่าความหนาของแต่ละชั้นโดยคำนวณจาก

$$t_{ox} = \frac{\epsilon_{ox}}{C_{ox}}$$



รูปที่ 3.8 ภาพตัดขวางของการวัด Field capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.9 Field Capacitor layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 Diode

Wafer name: 6 inch PLINE 3000 1.2 μm

Die : N, E, W S, C (5 points)

Pattern: : Square 400×200 , $A=80000 \mu\text{m}^2$, $\text{Peri}=1200 \mu\text{m}$

Meander 400×2 , $\text{spacing}=4 \mu\text{m}$, $A=86258 \mu\text{m}^2$, $\text{Peri}=82797 \mu\text{m}$

Device : P1 P+/n-well square diode

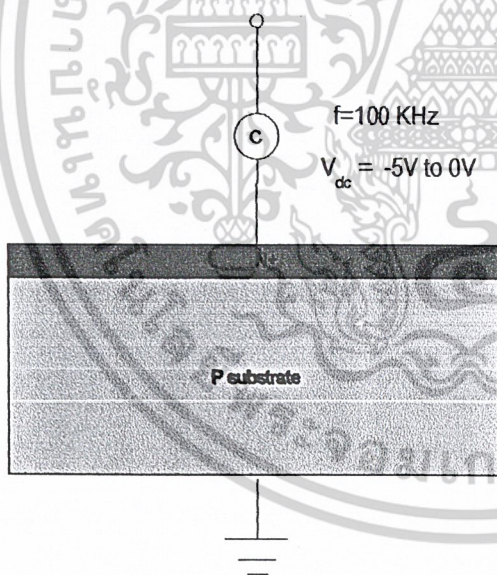
P2 P+/n-well meander diode

P3 N+/P-sub square diode

P4 N+/P-sub meander diode

Parameter Measuring: C_{JA} , C_{JP} , J_A , J_P

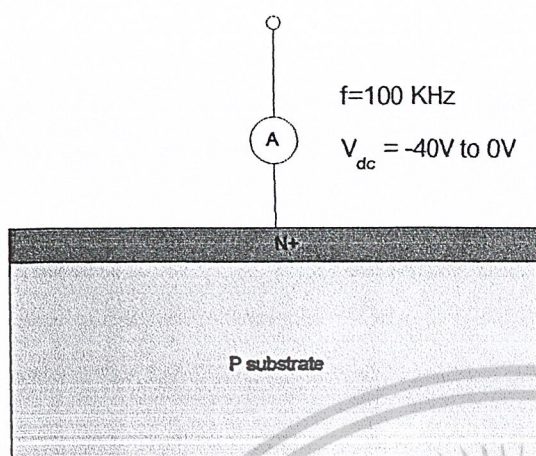
วิธีการ Extraction ค่า C_{JA} , C_{JP} , J_A และ J_P



1. วัดหาค่า C_1 และ C_2 จากรูปแบบ square diode และ meander diode ตามลำดับ

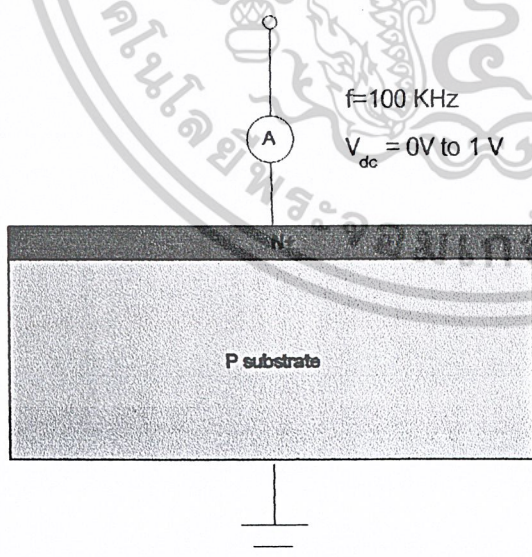
รูปที่ 3.10 ภาพคircuitของการวัด Diode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ภาพตัดขวางของการวัด Diode ขณะไบอัสย้อนกลับ

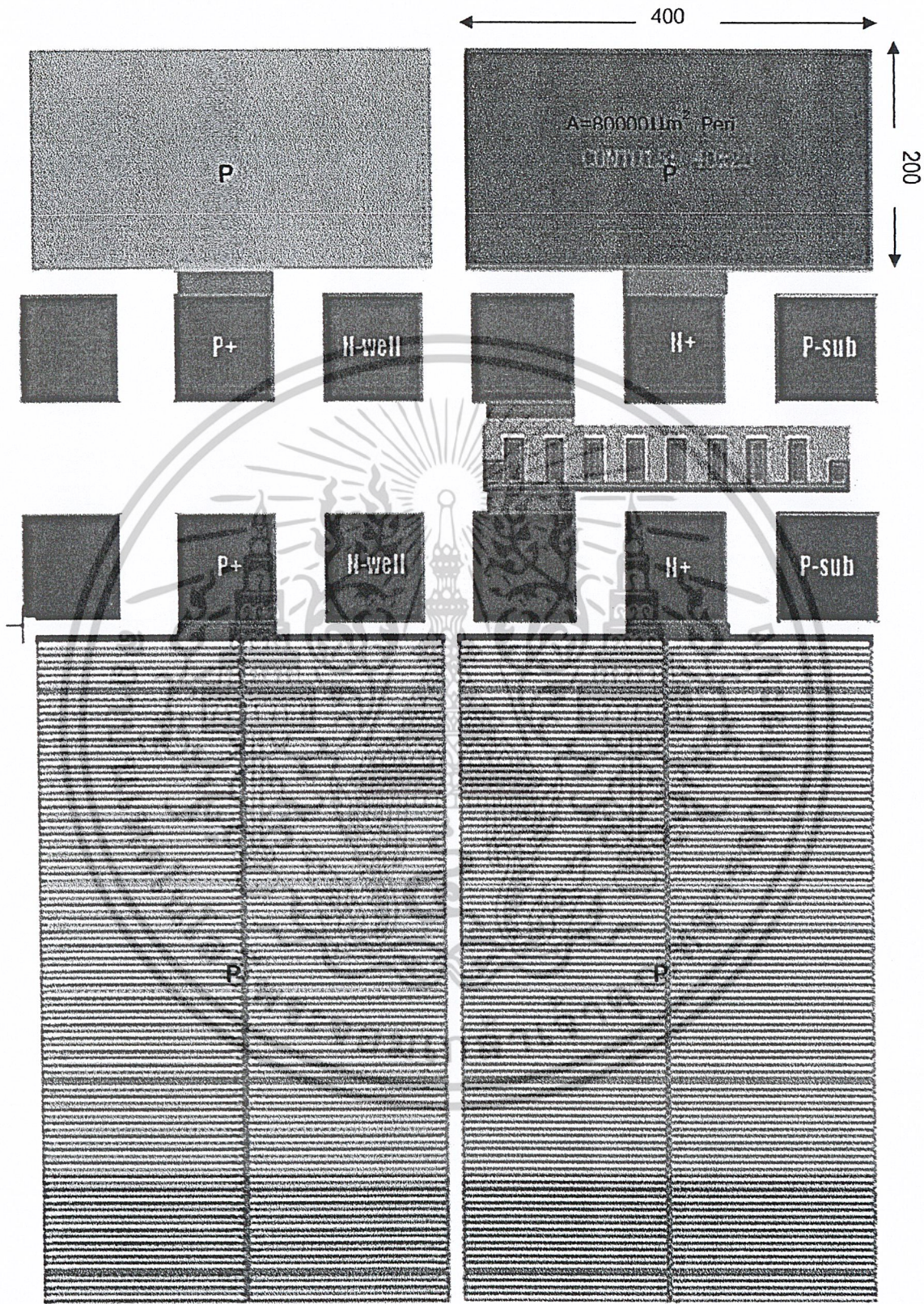
- วัดหาค่ากระแสรั่ว I_1 และ I_2 และแรงดันพังทลาย จากรูปแบบ square diode และ meander diode ตามลำดับ



รูปที่ 3.12 ภาพตัดขวางของการวัด Diode ขณะไบอัสตรง

- หาค่า I_0 จากการพล็อตกราฟ $\ln I$ กับ แรงดันไบอัส โดยจุดตัดแกน y เป็นค่า $\ln I_0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 Diode layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 MOSFET

Wafer name: 6 inch PLIN 3000 1.2 um

Die : N, E, W S, C (5 points)

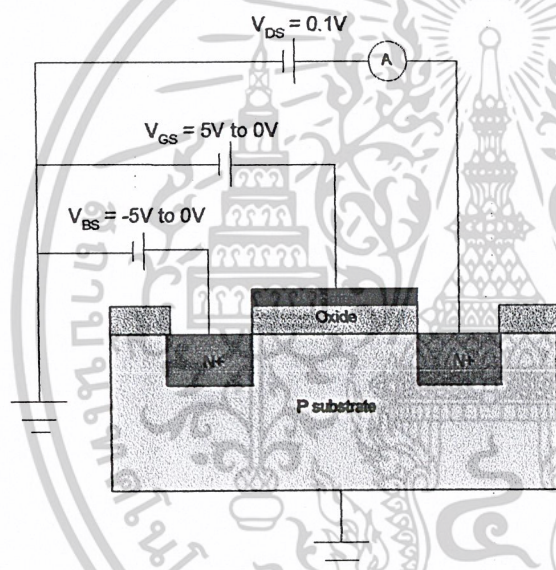
Pattern: Width=80um , length =80um

Device : H19 Drain/Gate/Soure/P-sub NMOS

I19 Drain/Gate/Soure/N-well PMOS

Parameter Measuring: V_{to} , Φ_{HI} , γ , N_{sub} , U_0 , K_p

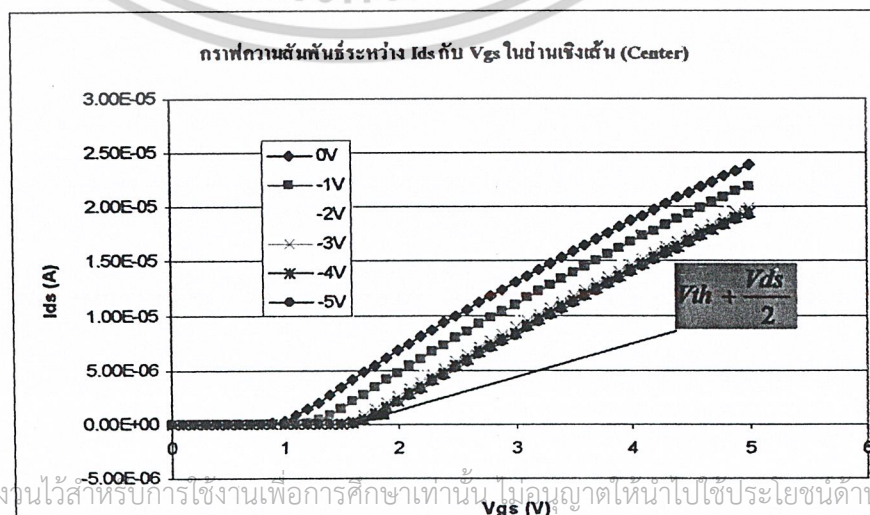
วิธีการ Extraction ค่า V_{to} , Φ_{HI} , γ , U_0 , K_p และ N_{sub} ($W=80$, $L=80$)



รูปที่ 3.14 ภาพตัดขวางของการวัด

MOSFET

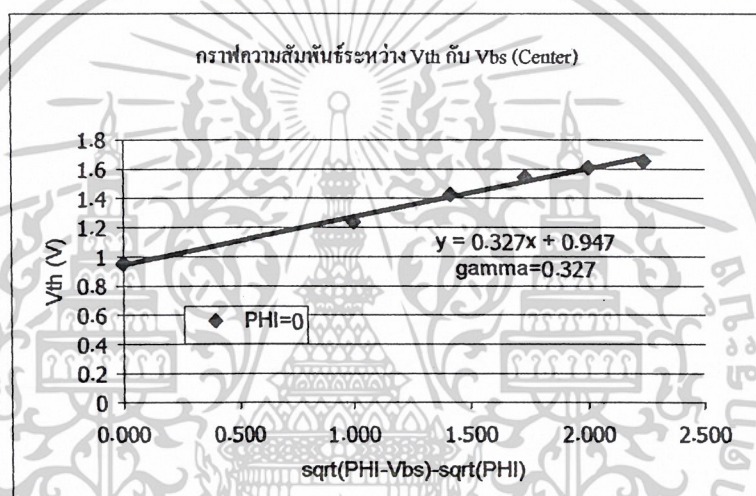
1. หาความสัมพันธ์ระหว่าง I_{ds} กับ V_{gs} ที่สถานะการทำงานเชิงเส้น (linear region) ที่ค่า V_{bs} ค่าตั้งแต่ 0V ถึง -5V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พล็อตกราฟระหว่าง V_{th} กับ $\sqrt{\text{PHI}-V_{bs}} - \sqrt{\text{PHI}}$ หรือ $\sqrt{\text{PHI}+V_{bs}} - \sqrt{\text{PHI}}$ ในกรณีของ NMOS และ PMOS ตามลำดับ GAMMA หาได้ความชันของกราฟและจุดตัดแกน y คือ ค่า V_{t0}
- คำนวณหาค่า N_{sub} และ PHI ได้จากสมการ 2.2
- ทำการ iteration จนกระทั่ง ค่า PHI ไม่มีความแตกต่างกัน โดยให้ $\text{PHI}=0$ ก่อน

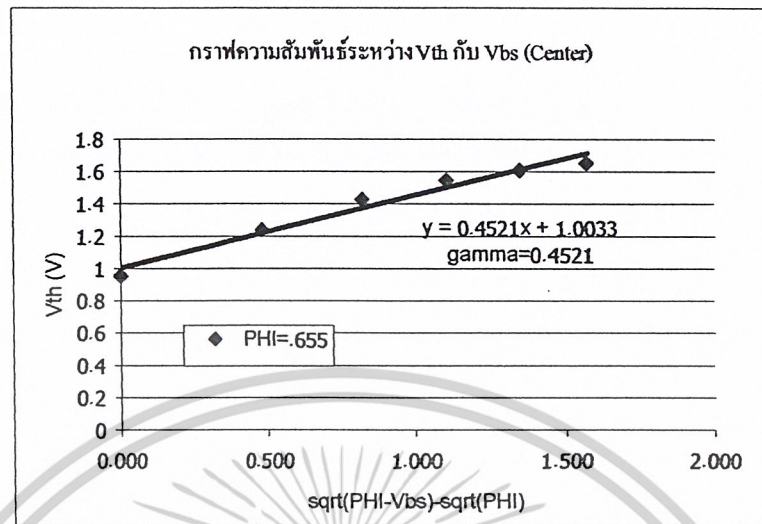
Iteration#1 กำหนดให้ $\text{PHI}=0$



PHI=0	V_{th}	$\sqrt{\text{PHI}-V_{bs}} - \sqrt{\text{PHI}}$	N_{sub}	PHI(next)
	0.953	0.000	4.40E+15	0.655
	1.238	1.000		
	1.425	1.414		
	1.546	1.732		
	1.609	2.000		
	1.652	2.236		

Iteration#2 กำหนดให้ $\text{PHI}=0.655$

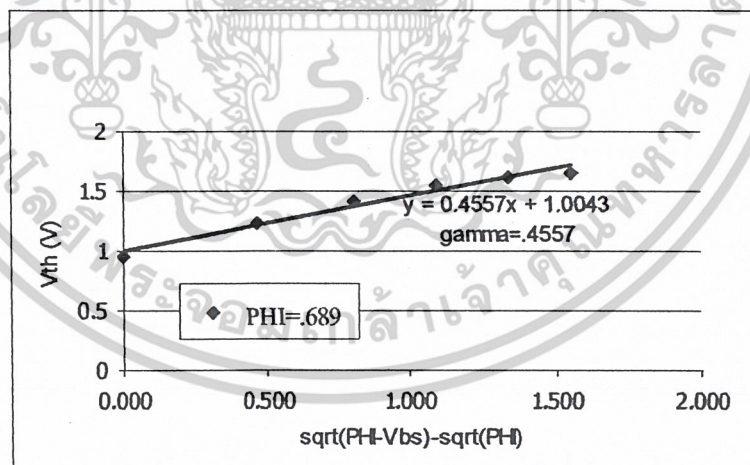
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PHI=0.655

V_{th}	$\sqrt{PHI-V_{bs}}-\sqrt{PHI}$	N_{sub}	PHI(next)
0.953	0.000	8.41E+15	0.689
1.238	0.477		
1.425	0.820		
1.546	1.102		
1.609	1.348		
1.652	1.569		

Iteration#3กำหนดให้ PHI=0.689



PHI=0.689

V_{th}	$\sqrt{PHI-V_{bs}}-\sqrt{PHI}$	N_{sub}	PHI(next)
0.953	0.000	8.54E+15	0.689
1.238	0.470		
1.425	0.810		
1.546	1.091		
1.609	1.335		
1.652	1.555		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

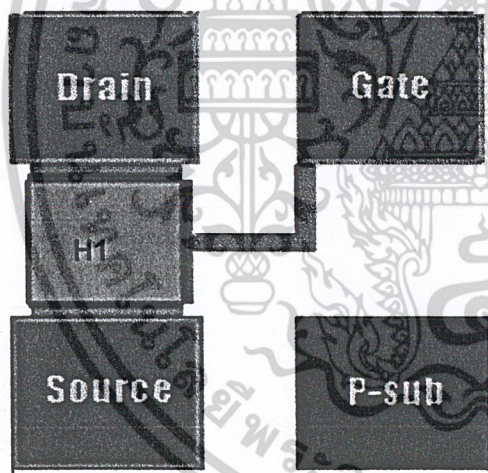
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจาก iteration#3 พบว่าค่าพารามิเตอร์ก่อนและหลังมีค่าต่างกันน้อยมาก จึงหยุดการ iteration
สามารถหาค่า K_p และ U_0 ได้จากสมการนี้

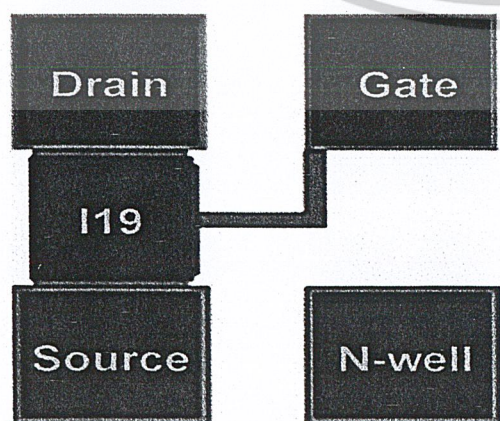
$$K = \frac{slope_{max}}{V_{ds}}$$

$$K = U_0 C_{ox} \frac{W}{L}$$

$$K_p = U_0 C_{ox}$$



รูปที่ 3.15 NMOSFET layout



รูปที่ 3.16 PMOSFET layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 MOSFET (L-array,W-array)

Wafer name: 6 inch PLINE 3000 1.2 μm

Die : N, E, W S, C (5 points)

Pattern: L - array = 20/3 , 20/1.9 , 20/1.5 , 20/1.2 , 20/1.1

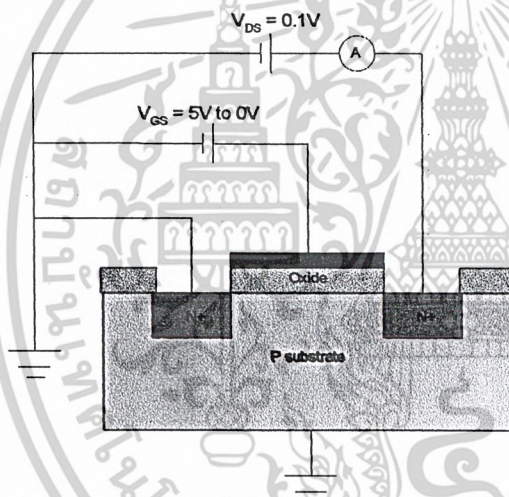
W - array = 3/20 , 1.5/20 , 1.0/20 , 20/20

Device : AD1 Drain/Gate/Source/P-sub NMOS

AE1 Drain/Gate/Source/P-sub PMOS

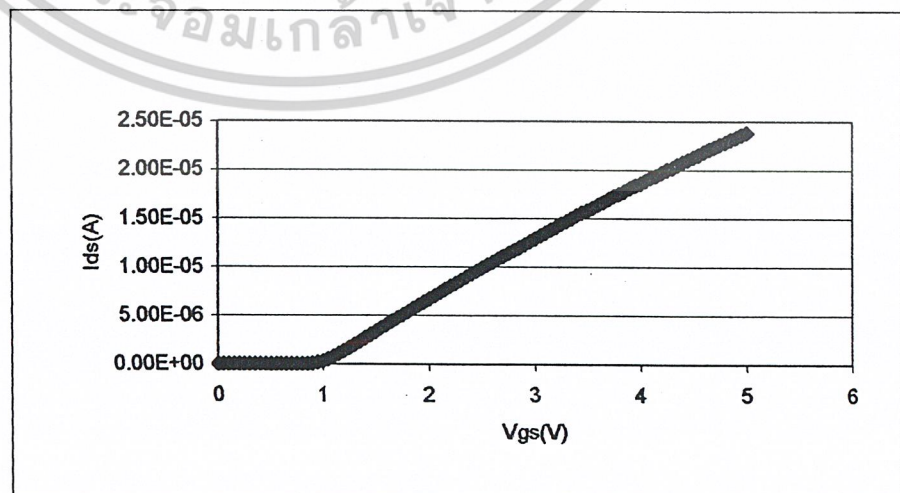
Parameter Measuring THETA , R_{DS}

วิธีการ Extraction ค่า THETA และ R_{DS} (W=20, L= แปรเปลี่ยนค่าต่างๆ)



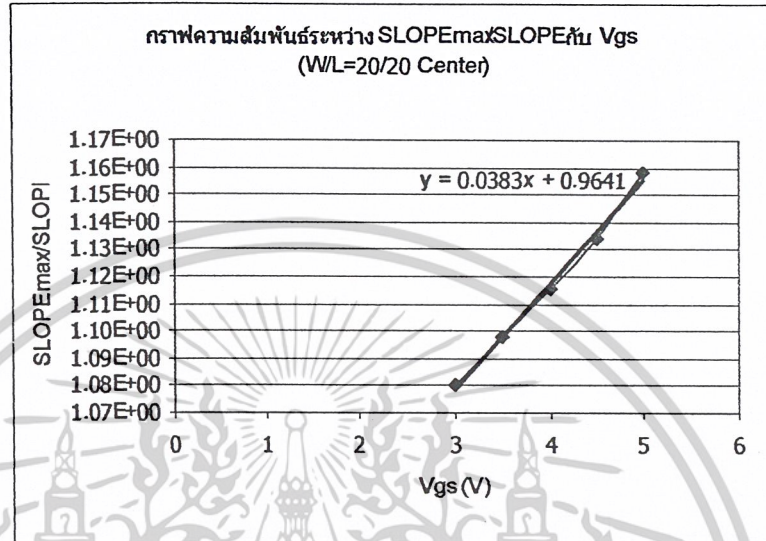
รูปที่ 3.17 ภาพตัดขวางของการวัด MOSFET (L-array,W-array)

1. หาค่าความชันระหว่างกราฟ I_{DS} กับ V_{GS} ที่ V_{GS} ทุกๆค่า ในแต่ละความยาว(L-array)



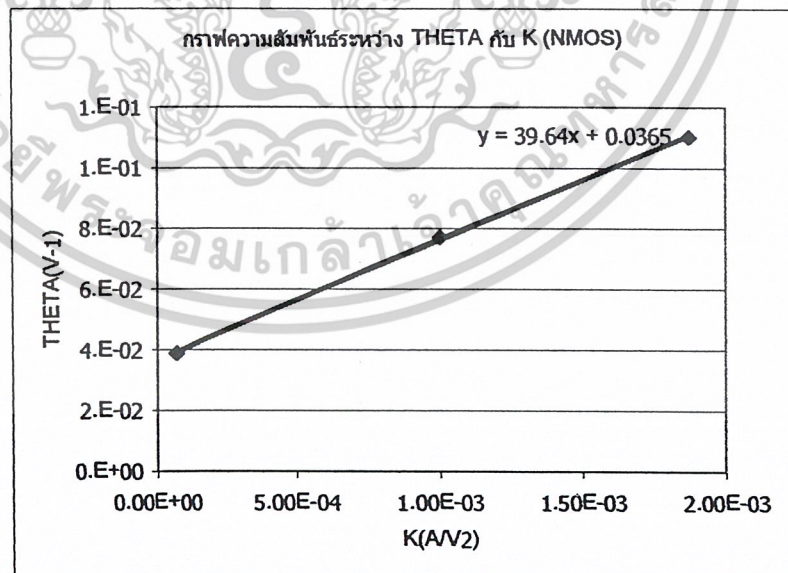
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เขียนกราฟระหว่าง $\frac{slope_{max}}{slope}$ กับค่า V_{GS} ค่าความชันของกราฟดังกล่าวนี้จะเป็นค่า $THETA_m$ ในแต่ละความยาว(L-array)

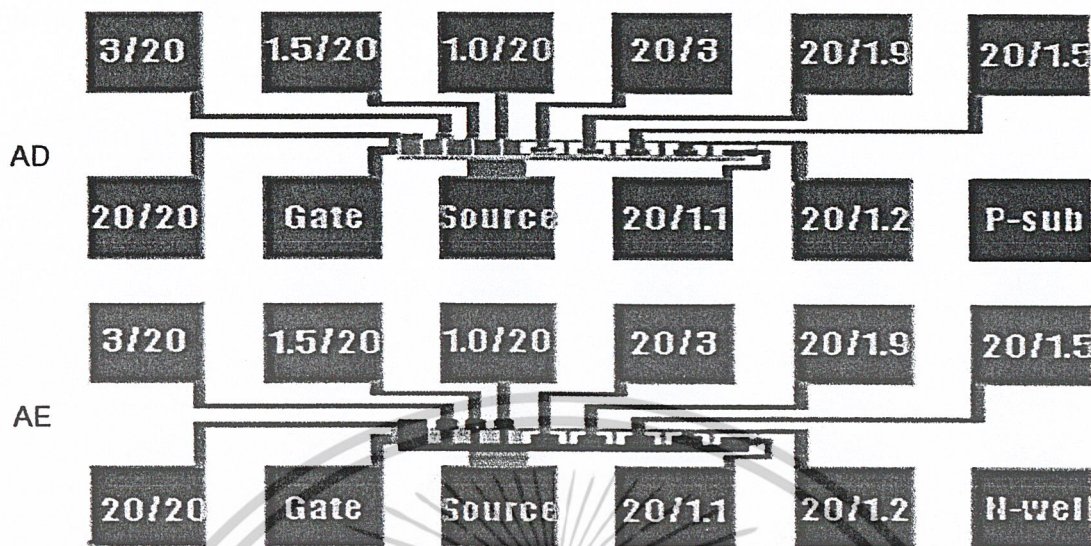


3. คำนวณหาค่า K ได้จากสมการ 2.7 ในแต่ละความยาว(L-array)
4. พล็อตกราฟระหว่าง $THETA_m$ กับ K หา R_{DS} ได้ความชันของกราฟและจุดตัดแกน y คือ ค่า THETA ตามสมการที่ 2.5

$$THETA_m = THETA + K R_{DS}$$



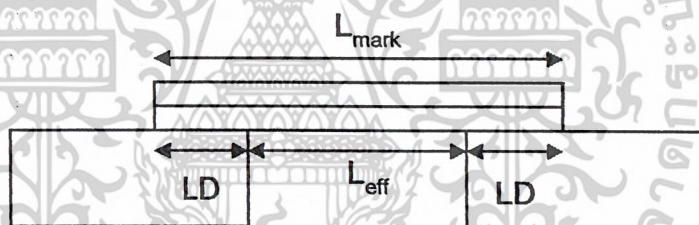
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 MOSFET (L-array, W-array) layout

วิธีการ Extraction ค่า L_D ($W=20$, L = แปรเปลี่ยนค่าต่างๆ)

W_D ($L=20$, W = แปรเปลี่ยนค่าต่างๆ)

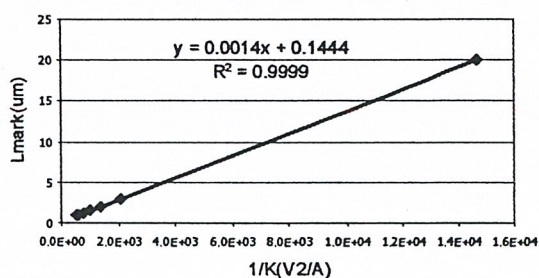


1. หาความสัมพันธ์ระหว่าง L_{mask} กับ $1/K$ และ W_{mask} กับ K สามารถหาค่าของ $2L_D$ และ $2W_D$ ได้จากจุดตัดทางแกน y
2. คำนวณหาค่า L_{eff} และ W_{eff} ตามสมการ

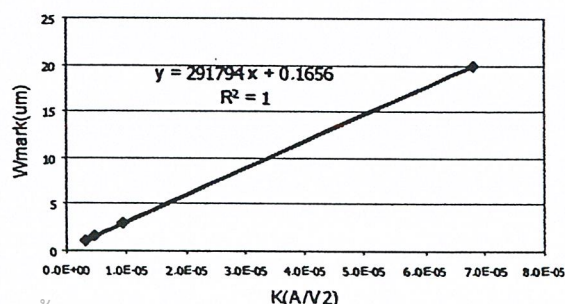
$$L_{eff} = L_{mask} - 2L_D$$

$$W_{eff} = W_{mask} - 2W_D$$

กราฟความสัมพันธ์ระหว่าง L_{mask} กับ $1/K$



กราฟความสัมพันธ์ระหว่าง W_{mask} กับ K



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

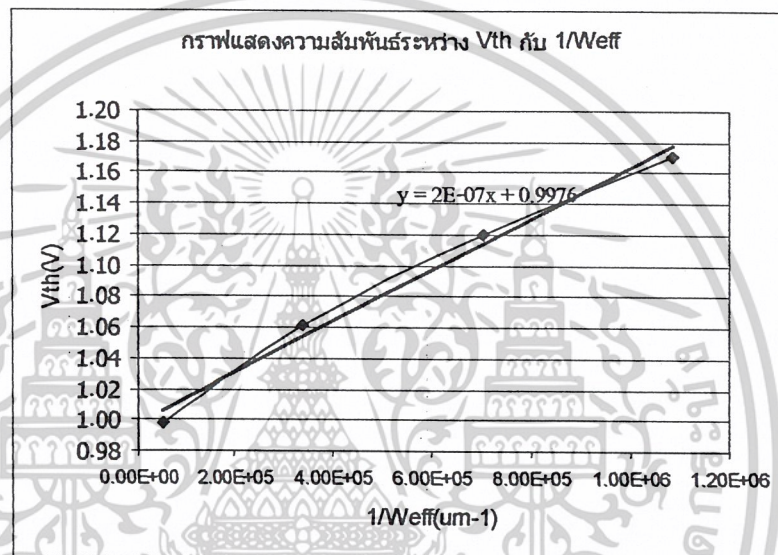
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการ Extraction ค่า Delta (L=20, W= แปลเปลี่ยนค่าต่างๆ)

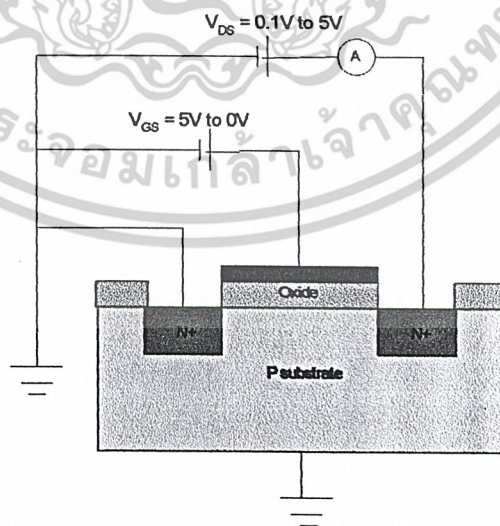
1. หาค่าความชันระหว่างกราฟ V_{th} กับ $1/W_{eff}$ ซึ่งค่าความชันของกราฟนำไปคำนวณหา
ค่า Delta ตามสมการนี้

$$Delta = slope \cdot \frac{2C_{ox}}{\pi\epsilon_{SI}} \cdot \left(\frac{1}{2\phi_F - V_{BS}} \right)$$

V_{th} หาได้จากค่าความชันสูงสุดของกราฟระหว่าง I_{DS} กับ V_{GS} โดยที่ V_{ds} น้อยๆ



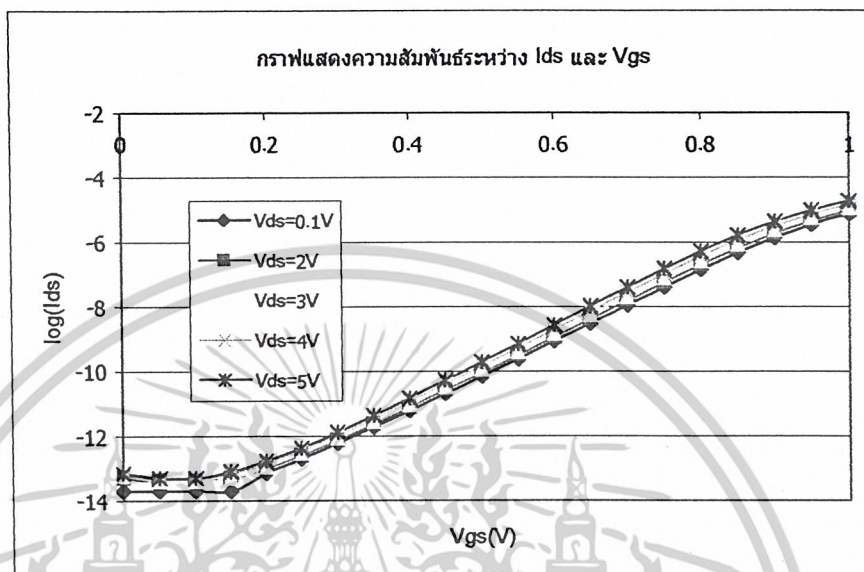
วิธีการ Extraction ค่า ETA (W=20, L=1.2)



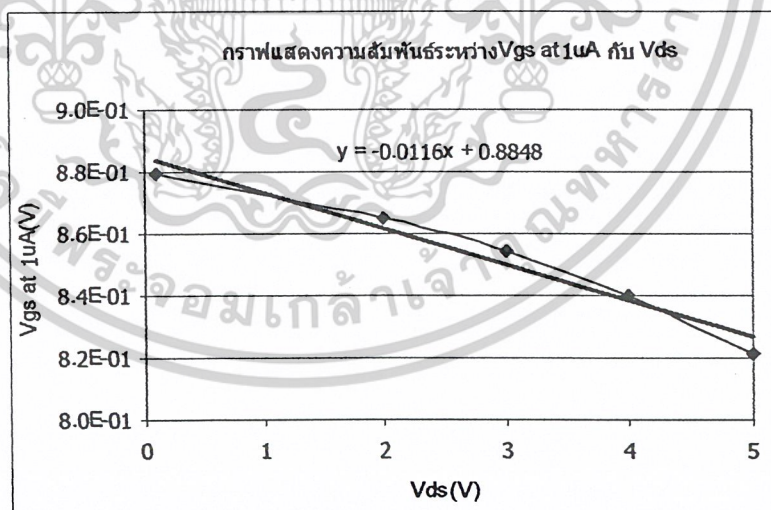
รูปที่3.19 แสดงภาพตัดขวางของการหาค่า ETA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. หาความสัมพันธ์ระหว่าง $\log(I_{ds})$ กับ V_{gs} และหาค่า V_{gs} ที่ $1\mu A$ ในแต่ละ V_{ds}



2. พล็อตกราฟระหว่าง V_{gs} ที่ $1\mu A$ กับ V_{ds} ซึ่งความชันของกราฟคือ f_d



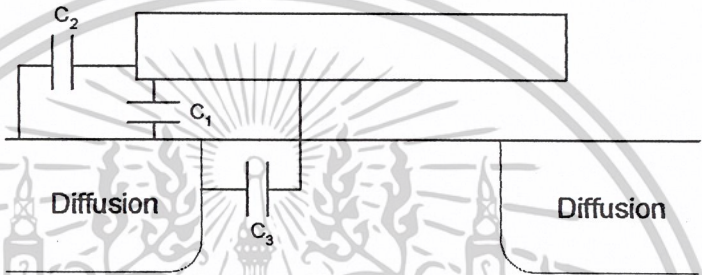
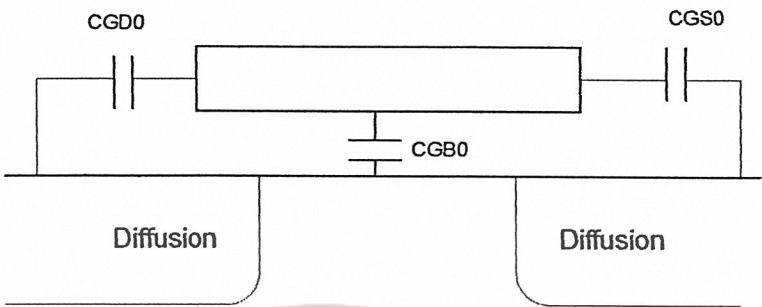
3. เมื่อทราบค่า f_d สามารถคำนวณหาค่า ETA ตามสมการนี้

$$f_d = ETA \times \frac{8.15 \times 10^{-20}}{C_{ox} L_{eff}^3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการ Extraction ค่า CGD0 , CGS0 , CGB0

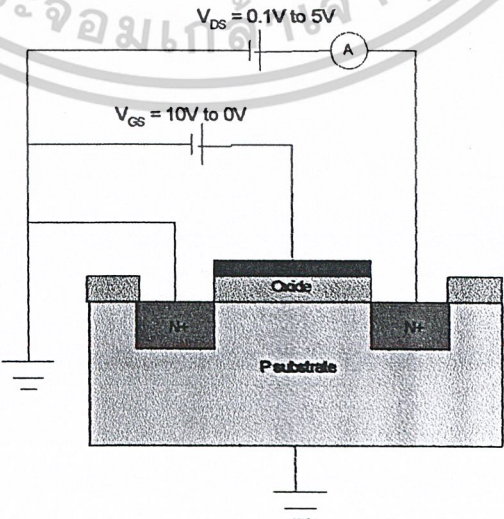


$$CGDO = C_1 + C_2 + C_3 = C_{ox} \cdot LD + \epsilon_{ox} \cdot \ln \left(1 + \frac{t_{poly}}{t_{ox}} \right) + \frac{2\epsilon_{Si}}{\pi} \cdot \ln \left(1 + \frac{X_j}{t_{ox}} \right)$$

$$CGDO = CGSO \approx C_{ox} L_D$$

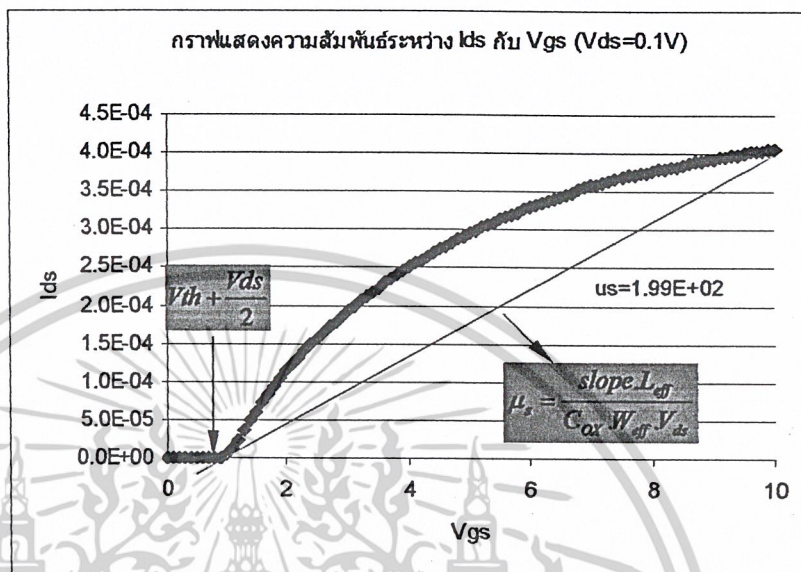
$$CGB0 = 2W_D \cdot C_{ox}$$

วิธีการ Extraction ค่า V_{MAX} (W=20,L=1.2)



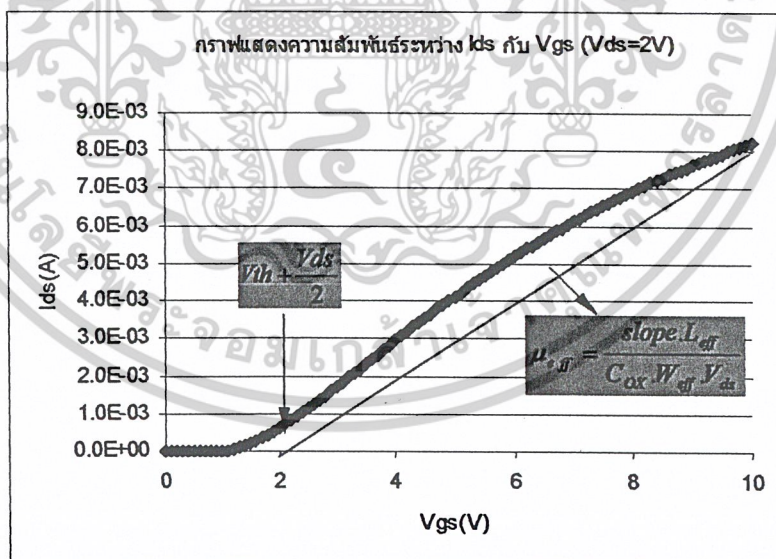
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่3.20 แสดงภาพตัดขวางการไบอัสเพื่อหาค่า V_{max} นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การคำนวณค่า μ_{eff} กับ μ_s หาได้จากสมการข้างต้น ซึ่งความชันต้องหาจากกราฟ I_{ds} กับ V_{gs} ที่ V_{ds} ค่าต่างๆ



เมื่อ $V_{ds}=0.1V$

$$\mu_s = \frac{slope \cdot L_{eff}}{C_{ox} \cdot W_{eff} \cdot V_{ds}}$$



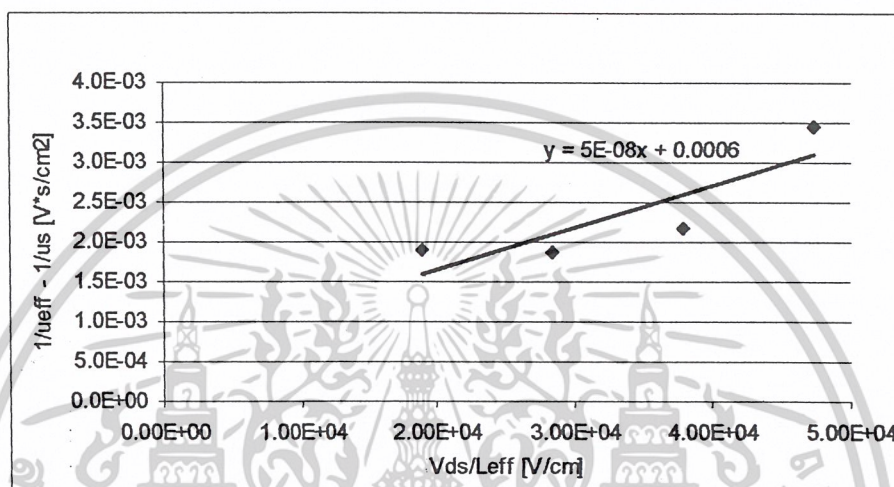
เมื่อ $V_{ds}=2 - 5V$

$$\mu_{eff} = \frac{slope \cdot L_{eff}}{C_{ox} \cdot W_{eff} \cdot V_{ds}}$$

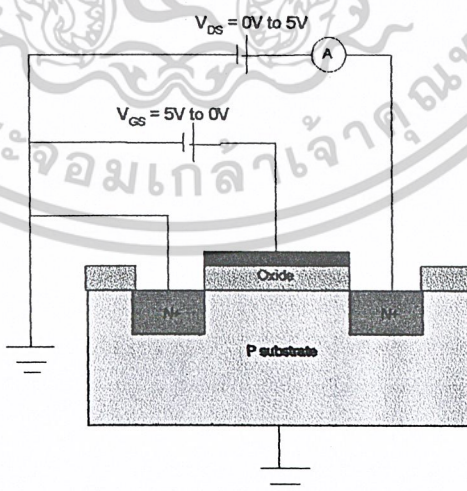
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การพล็อตกราฟ $\frac{1}{\mu_{eff}} - \frac{1}{\mu_s}$ กับ $\frac{V_{ds}}{L_{eff}}$ ความชันของกราฟจะเท่ากับ $\frac{1}{V_{max}}$

$$\frac{1}{\mu_{eff}} - \frac{1}{\mu_s} = \frac{V_{ds}}{V_{max} \cdot L_{eff}}$$



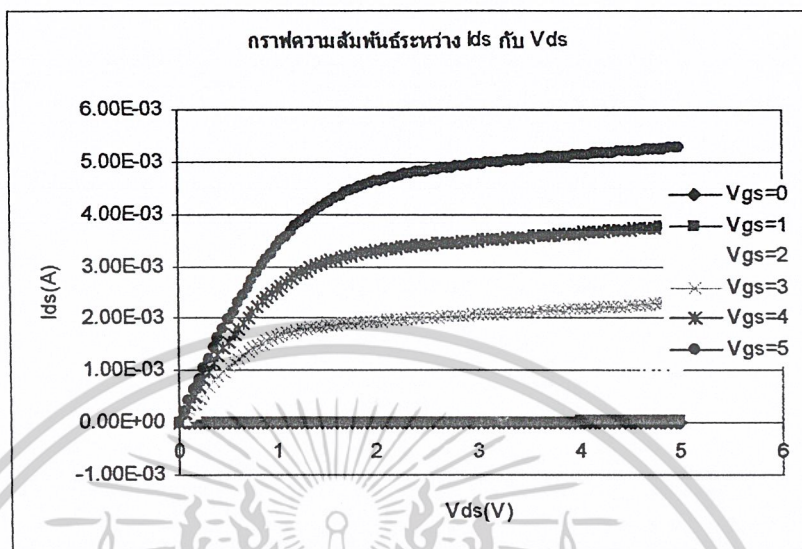
วิธีการ Extraction ค่า Kappa (W=20,L=1.2)



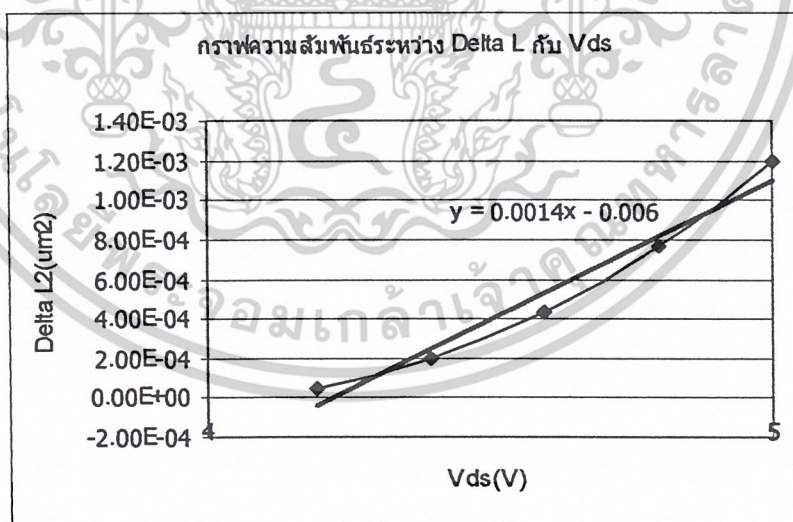
รูปที่3.21 แสดงภาพตัดขวางของการไบอัสเพื่อหาค่า Kappa

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. กราฟความสัมพันธ์ระหว่าง V_{ds} กับ I_{ds} เมื่อ V_{gs} ค่าต่างๆ



2. หาค่า I_{dssat} เมื่อ $V_{dsat} = V_{gs} - V_{th}$ และ I_{ds} เมื่อ $V_{ds} > V_{dssat}$
3. พล็อตกราฟระหว่าง ΔL^2 กับ V_{ds}



โดยที่หาค่า

$$\Delta L = L \left(1 - \frac{I_{ds}}{I_{dssat}} \right)$$

ความชันของกราฟ ΔL^2 กับ V_{ds} ประมาณได้ว่า $KAPPA \times X_D^2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_D^2 = \frac{2\varepsilon_{SI}}{qN_{sub}}$$

N_{sub} หาจากรอยต่อพี-เอ็นของไดโอดดังนี้

$$N_{sub} = \left(\frac{2C_j}{A}\right)^2 \frac{V_{bi} \pm V_A}{2q\varepsilon_{si}}$$

วิธีการ Extraction ค่า NFS

$$NFS = \frac{C_{ox}}{q} * \log(e) * \left(\frac{S_{swing}}{kT/q} - \frac{\Gamma}{2 * \sqrt{\Phi} - 1}\right) \quad F / cm^2 * C$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 MOS Capacitor(t_{ox})

Wafer Name : PLINE 3000 6" IMEC

Die : N, E, W S, C (5 points)

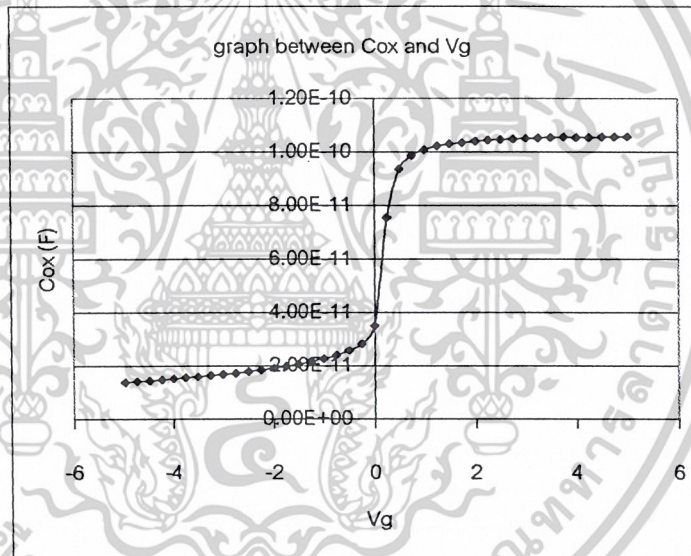
Pattern: Square 400*200 area=80000um² peri=1200um

Device : P13 poly/n-well cap

P14 poly/p-sub cap

Parameter Measuring: oxide thickness of the gate dielectric(t_{ox})

- P13 poly/n-well cap

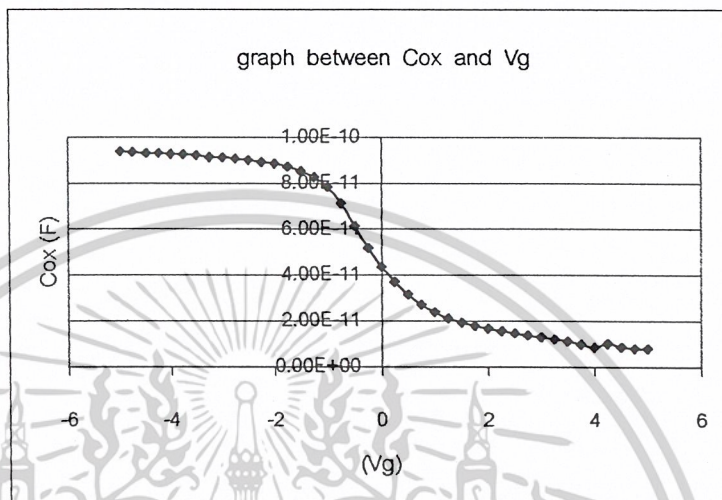


	Measurement		Parameter	
	Cmin(F)	Cmax (F)	Cox (F/cm ²)	tox (cm)
P13_C	1.39E-11	1.06E-10	1.32E-07	2.61E-06
P13_E	1.39E-11	1.05E-10	1.31E-07	2.64E-06
P13_N	1.38E-11	1.06E-10	1.32E-07	2.61E-06
P13_S	1.39E-11	1.07E-10	1.34E-07	2.58E-06
P13_W	1.39E-11	1.07E-10	1.34E-07	2.57E-06
AVERAGE	1.39E-11	1.06E-10	1.33E-07	2.60E-06
MAX	1.39E-11	1.07E-10	1.34E-07	2.64E-06
MIN	1.38E-11	1.05E-10	1.31E-07	2.57E-06
STDEV	4.17E-14	1.055E-12	1.32E-09	2.60E-08

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่ควรเผยแพร่ภายนอก หรือใช้เพื่อการพาณิชย์ การนำเอกสารนี้ไปใช้ในการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P14 poly/p-sub cap



	Measurement		Parameter	
	Cmin(F)	Cmax (F)	Cox (F/cm ²)	tox (cm)
P14_C	7.94E-12	9.38E-11	1.17E-07	2.94E-06
P14_E	7.78E-12	9.24E-11	1.15E-07	2.99E-06
P14_N	7.66E-12	9.39E-11	1.17E-07	2.94E-06
P14_S	7.71E-12	9.39E-11	1.17E-07	2.94E-06
P14_W	7.67E-12	9.41E-11	1.18E-07	2.93E-06
AVERGE	7.75E-12	9.36E-11	1.17E-07	2.95E-06
MAX	7.94E-12	9.41E-11	1.18E-07	2.99E-06
MIN	7.66E-12	9.24E-11	1.15E-07	2.93E-06
STDEV	1.16562E-13	6.96E-13	8.70E-10	2.21E-08

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 FCAP

Wafer Name : PLINE 3000 6" IMEC

Die : N, E, W S, C (5 points)

Pattern: Square 400*600 area=240000um² peri=2000um

Device : Q1 M2/Poly/n-well

Q2 M2/M1/Poly

Q3 M1/p+/n-well

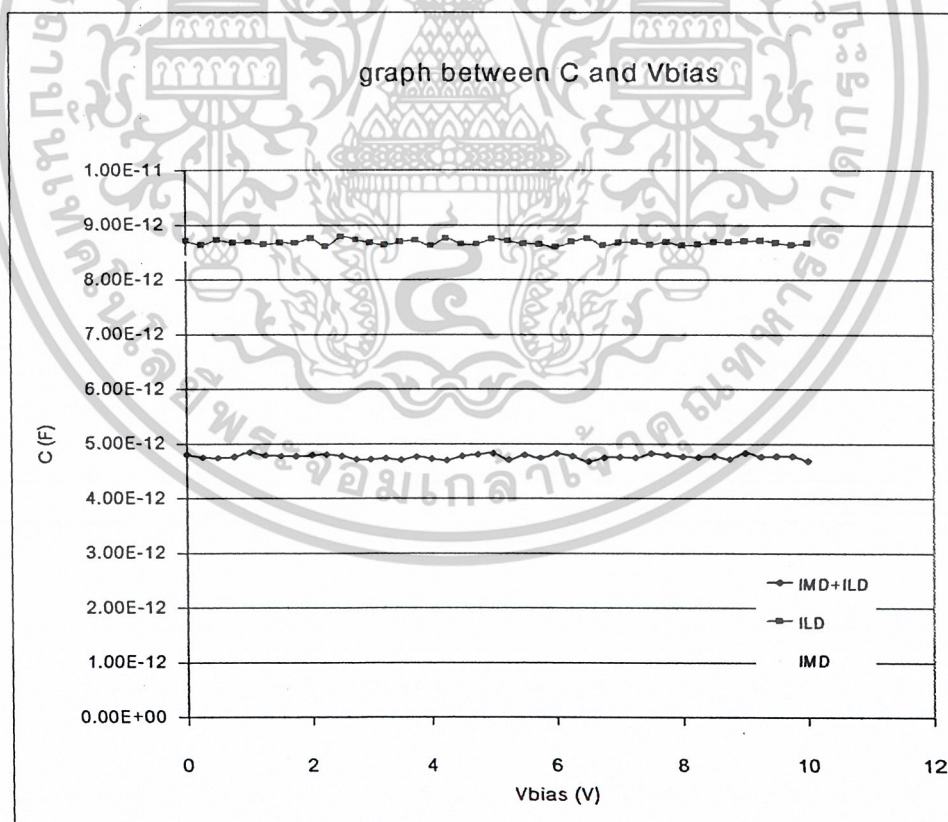
Q4 M1/n+/p-sub

Parameter Measuring: Q1:Thickness of IMD+ILD M2/poly

Q2:Thickness of ILD M1/Poly

:Thickness of IMD M1/M2

Q2-Q4 :Thickness of field oxide poly/p-sub



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	ILD(M1/POLY)	IMD(M2/M1)	IMD+ILD (POLY/M2)	Field Oxide (POLY/P-SUB)
N	963.71	1126	1899	495
C	953.95	986.63	1738	563.31
E	956.95	1148	1945	499.91
W	960	1111	1951	505.6
S	968.66	1104	1950	500.48
AVERGE	960.65	1095.13	1896.60	512.86
MAX	968.66	1148	1951	563.31
MIN	953.95	986.63	1738	495
STDEV	5.76	62.95	91.26	28.45

4.3 Diode

Wafer Name : PLINE 3000 6" IMEC

Die : N, E, W S, C (5 points)

Pattern: Square diode 400*200 area=80000um² peri=1200um

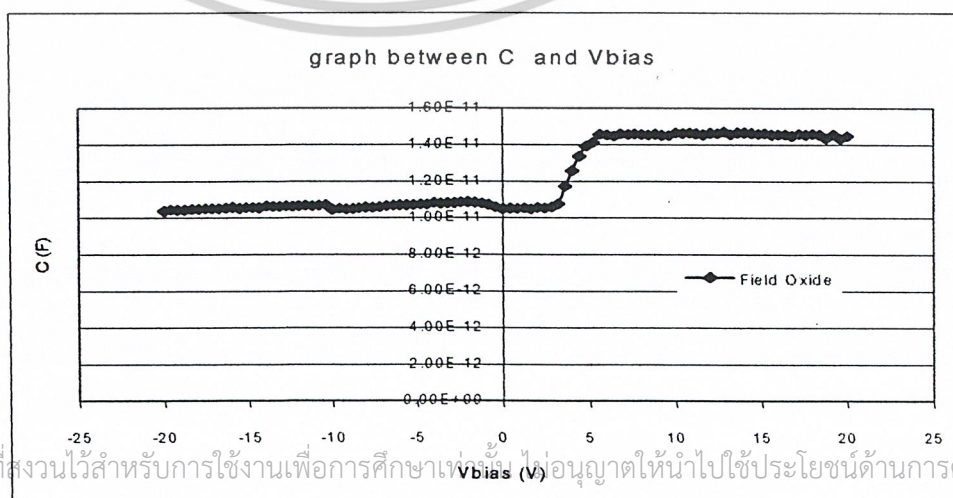
Device : P1 P+/n-well square diode 400*200 area=80000um² peri=1200um

P2 P+/n-well meander diode 400*2 spacing=4 um area=86258 um²
peri=82797 um

P3 N+/P-sub square diode 400*200 area=80000um² peri=1200um

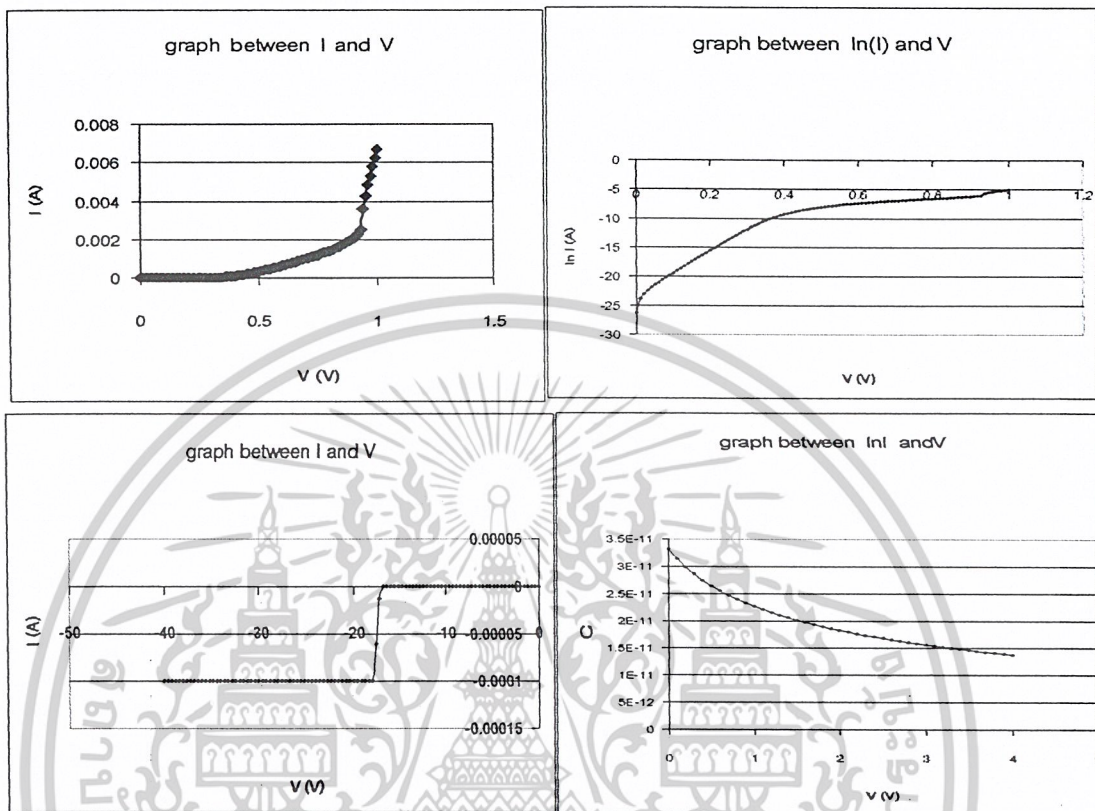
P4 N+/P-sub meander diode 400*2 spacing=4 um area=86258 um²
peri=82797 um

Parameter Measuring: C_{JA} , C_{JP} , J_A , J_P



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

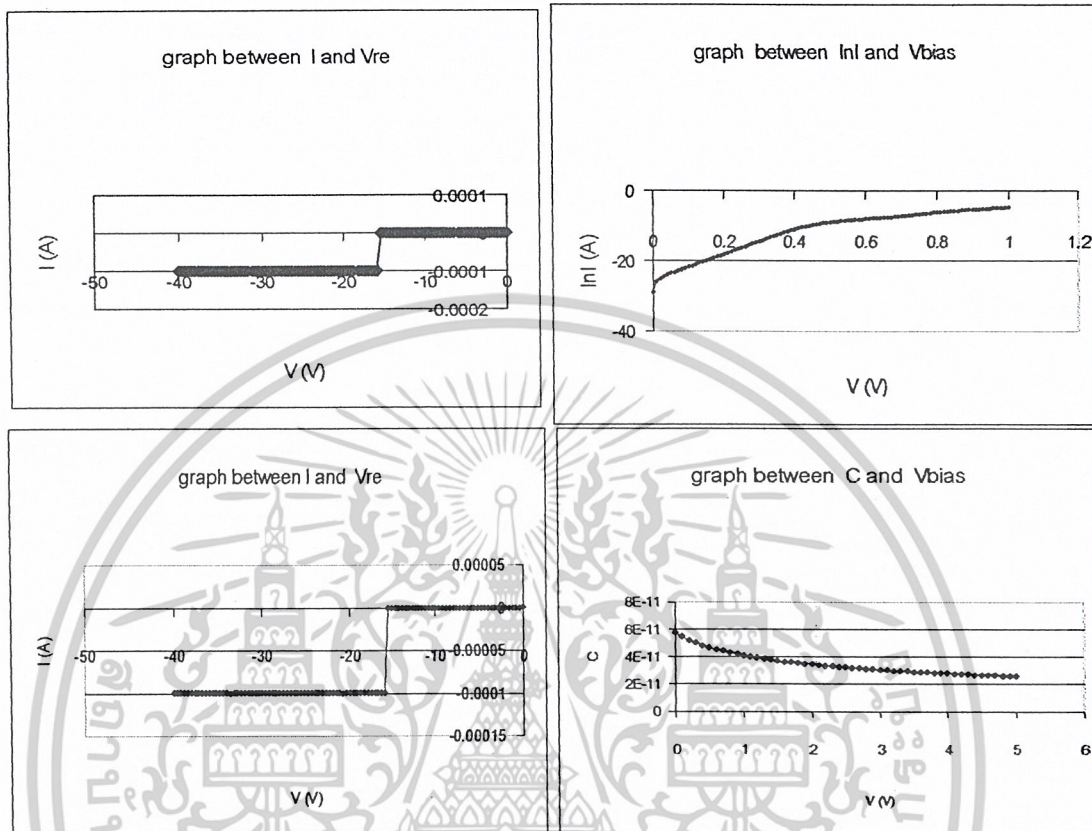
- P1 p+/n-well square diode



	Grad	Intercept (pA)	Ileak at -5.5 V(pA)	Ileak at -10 V(pA)	Vbreak down (V)
P1_N	16.39	5.58	-68.59	-348.6	-17.2
P1_C	16.49	88.57	-512.84	-1495	-17.1
P1_E	16.53	72.19	-444.84	-1380	-15.3
P1_W	16.28	12.06	-109.84	-664.14	-16.3
P1_S	16.5	58.57	-365.57	-1187	-14.9
Average	16.438	47.394	-300.336	-1014.948	-16.16
Max	16.53	88.57	-68.59	-348.6	-14.9
Min	16.28	5.58	-512.84	-1495	-17.2
Stdev	1.03E-01	3.69E+01	2.00E+02	4.90E+02	1.04E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

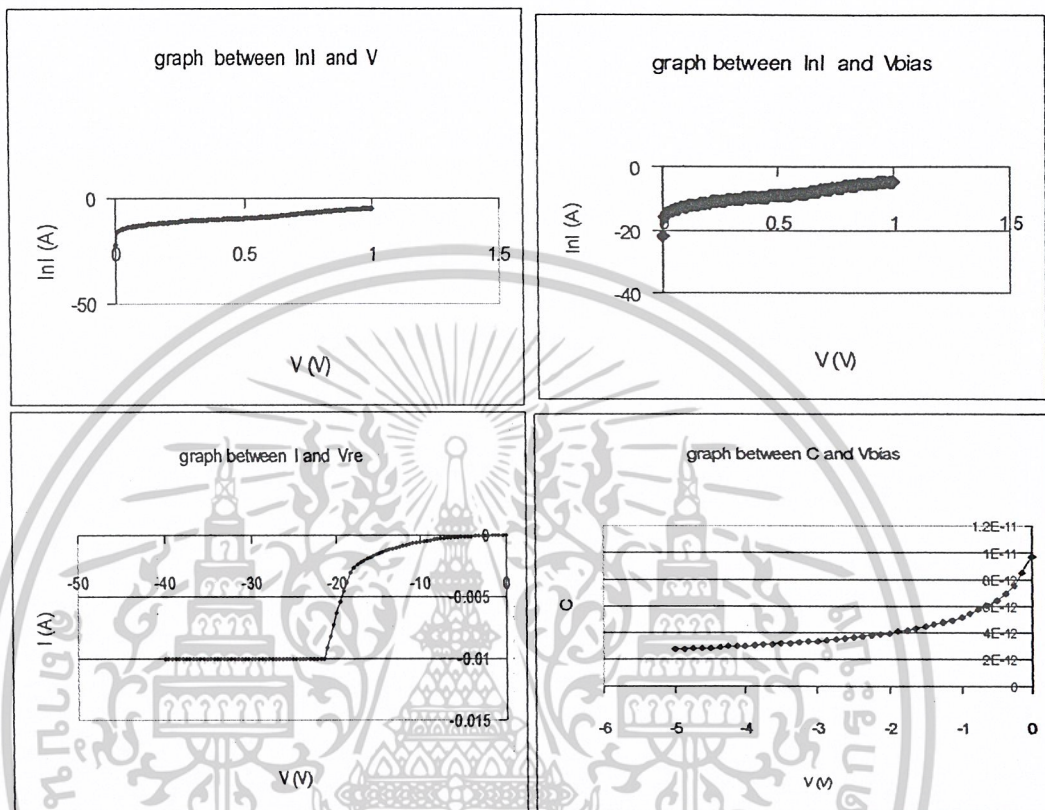
- P2 p+/n-well meander diode



	Grad	Intercept (pA)	Ileak at -5.5 V(pA)	Ileak at -10 V(pA)	Vbreak down (V)
P2_N	14.33	16.17	-1920	-13046	-14.9
P2_C	15.98	9.57	-352.06	-2160	-17.6
P2_E	15.11	11.35	-1090	-11073	-13.7
P2_W	15.65	4.42	-367.58	-1923	-16.6
P2_S	15	11.37	-2420	-30060	-12.9
Average	15.214	10.576	-1229.928	-11652.4	-15.14
Max	15.98	16.17	-352.06	-1923	-12.9
Min	14.33	4.42	-2420	-30060	-17.6
Stdev	6.35E-01	4.23E+00	9.26E+02	1.15E+04	1.96E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

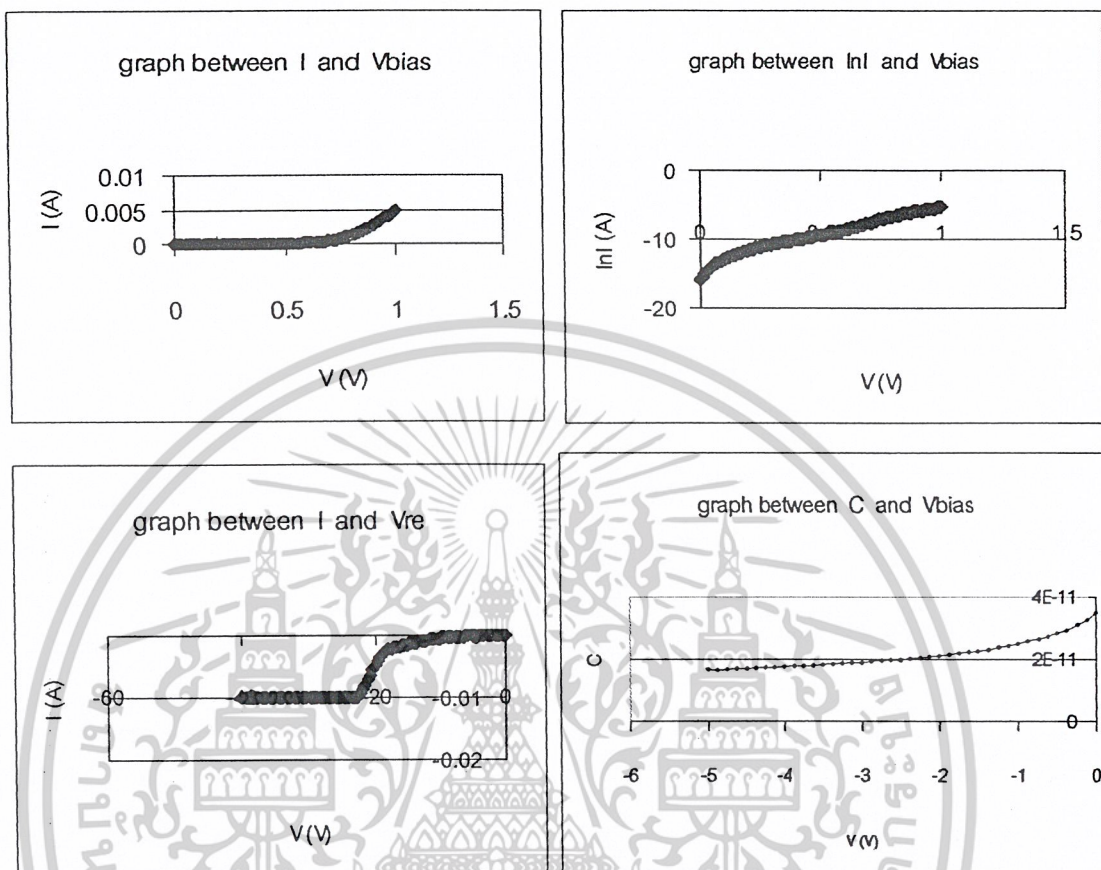
- P3 n+/p-sub square diode



	Grad	Intercept (nA)	Ileak at -5.5 V(uA)	Ileak at -10 V(uA)	Vbreak down (mV)
P3_N	4.7	1061	-134.24	-641.53	-400
P3_C	3.37	2560	-137.3	-540.96	-400
P3_E	5.19	787.83	-105.83	-456.31	-400
P3_W	6.16	524.72	-104.75	-430.66	-400
P3_S	6.7	570.11	-114.83	-448.12	-400
Average	5.224	1100.732	-119.39	-503.516	-400
Max	6.7	2560	-104.75	-430.66	-400
Min	3.37	524.72	-137.3	-641.53	-400
Stdev	1.30E+00	8.43E+02	1.55E+01	8.81E+01	0.00E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-P4 n+/p-sub meander diode



	Grad	Intercept (nA)	Ileak at -5.5 V(uA)	Ileak at -10 V(uA)	Vbreak down (mV)
P4_N	3.6	2170	-121.42	-529.4	-400
P4_C	6.24	625.17	-123.46	-505.85	-400
P4_E	6.68	552.36	-98.03	-395.45	-400
P4_W	4.7	1060	-98.76	-464.21	-400
P4_S	5.47	698.92	-110.77	-412.53	-400
Average	5.338	1021.29	-110.488	-461.488	-400
Max	6.68	2170	-98.03	-395.45	-400
Min	3.6	552.36	-123.46	-529.4	-400
Stdev	1.23E+00	6.71E+02	1.20E+01	5.78E+01	0.00E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 MOSFET (Vto , PHI , GAMMA , Nsub ,Uo,Kp)

Wafer name: 6 inch PLINE 3000 1.2 um

Die : N, E, W S, C (5 points)

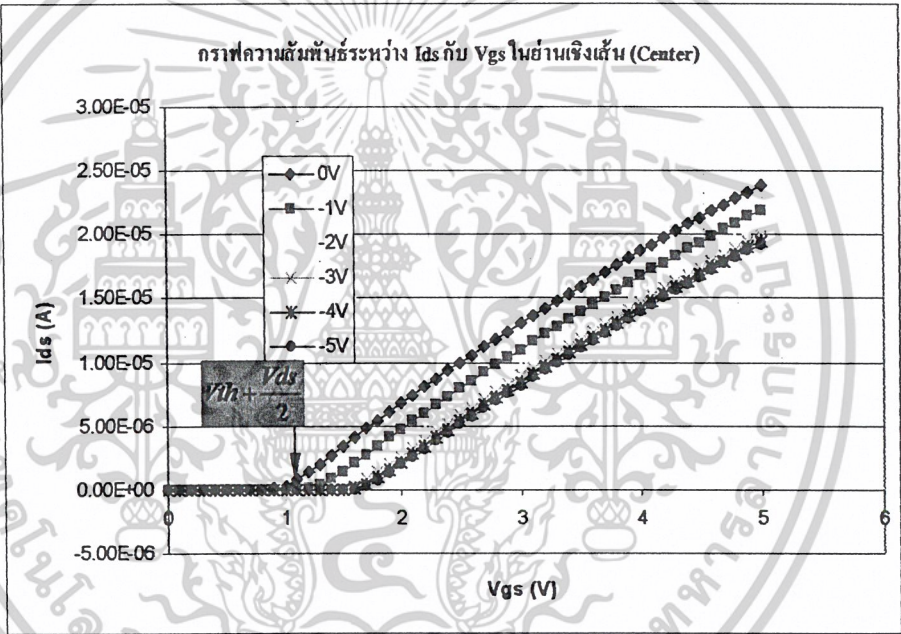
Pattern: Width=80um , length =80um

Device : H19 Drain/Gate/Soure/P-sub (NMOS)

119 Drain/Gate/Soure/N-well (PMOS)

Parameter Measuring: Vto , PHI , GAMMA , Nsub ,Uo,Kp

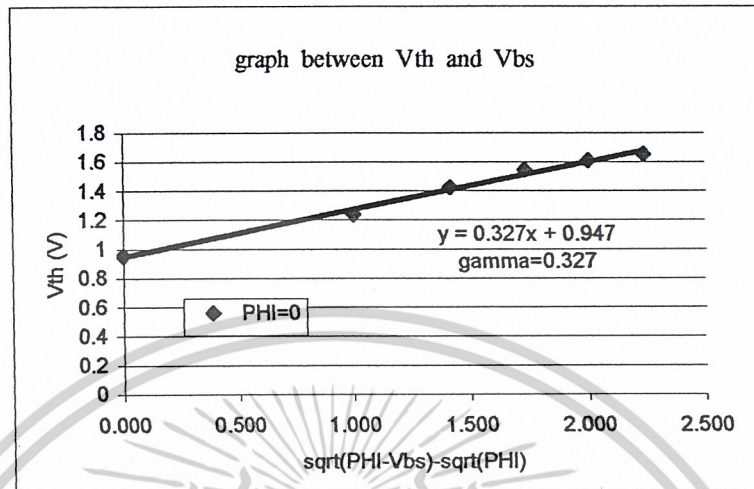
- H19 Drain/Gate/Soure/P-sub (NMOS)



position	Vbs	slope(*10-6)	Interception(x)	Vth
C	0	6.816	1.003	0.953
	-1	6.619	1.288	1.238
	-2	6.495	1.475	1.425
	-3	6.421	1.596	1.546
	-4	6.381	1.659	1.609
	-5	6.35	1.702	1.652

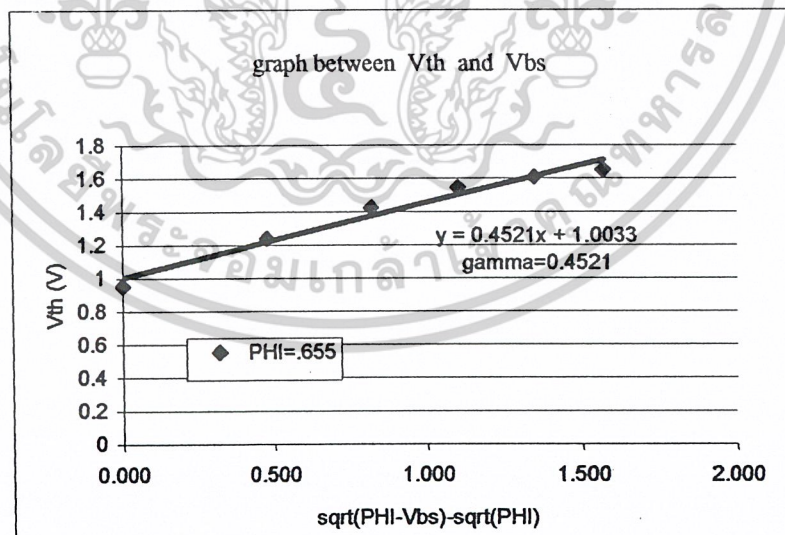
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Iteration#1 กำหนดให้ $\text{PHI}=0$



$\text{PHI}=0$	V_{th}	$\sqrt{\text{PHI}-V_{bs}}-\sqrt{\text{PHI}}$	N_{sub}	$\text{PHI}(\text{next})$
	0.953	0.000	$4.40\text{E}+15$	0.655
	1.238	1.000		
	1.425	1.414		
	1.546	1.732		
	1.609	2.000		
	1.652	2.236		

Iteration#2กำหนดให้ $\text{PHI}=0.655$

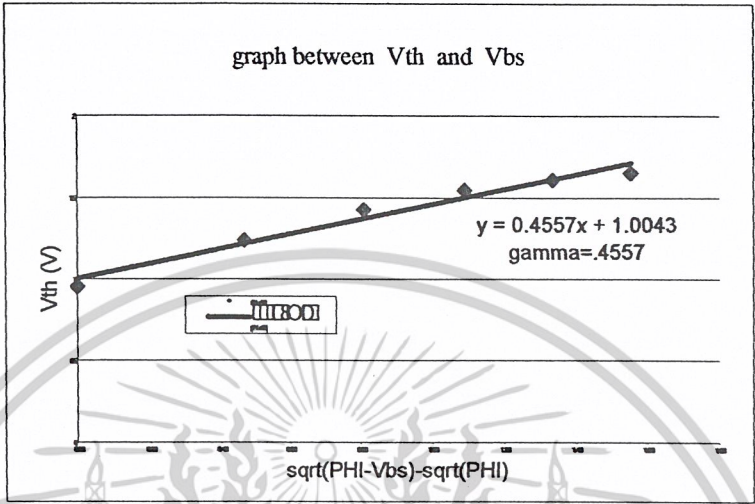


$\text{PHI}=0.655$

$\text{PHI}=0.655$	V_{th}	$\sqrt{\text{PHI}-V_{bs}}-\sqrt{\text{PHI}}$	N_{sub}	$\text{PHI}(\text{next})$
	0.953	0.000	$8.41\text{E}+15$	0.689
	1.238	0.477		
	1.425	0.820		
	1.546	1.102		
	1.609	1.348		
	1.652	1.569		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Iteration#3กำหนดให้ PHI=0.689



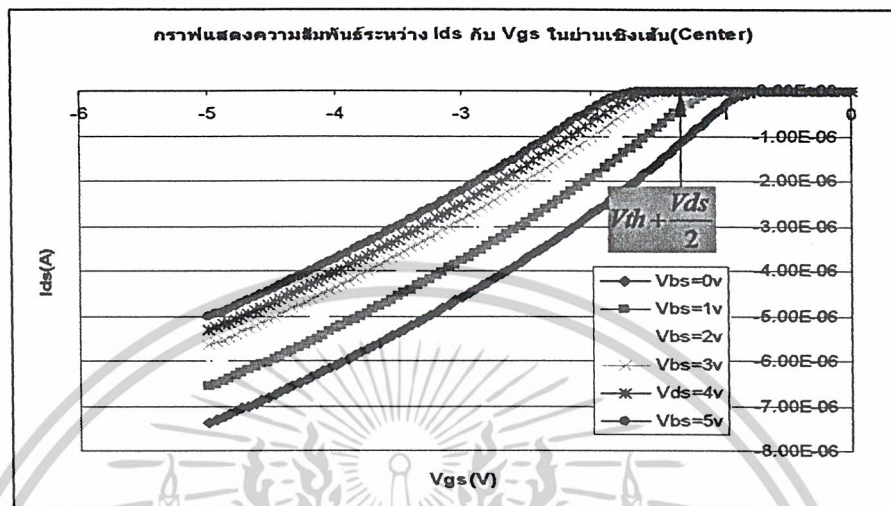
PHI=0.689				
	Vth	$\sqrt{\phi(I-V_{bs})}-\sqrt{\phi(I)}$	Nsub	PHI(next)
	0.953	0.000	8.54E+15	0.689
	1.238	0.470		
	1.425	0.810		
	1.546	1.091		
	1.609	1.335		
	1.652	1.555		

หลังจาก iteration#3 พบว่าค่าพารามิเตอร์ก่อนและหลังมีค่าต่างกันน้อยมาก จึงหยุดการ iteration

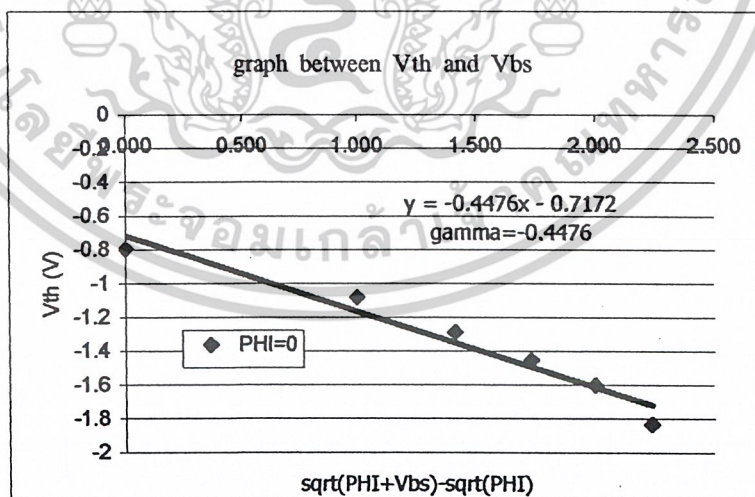
	value	unit
Gamma	0.456	V ^{1/2}
Nsub	8.54E+15	cm ⁻³
PHI	0.689	V
Vto	1	V
Kp	6.82E-05	A/V ²
Uo	5.83E+02	cm ² /V.s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- I19 Drain/Gate/Source/N-well (PMOS)



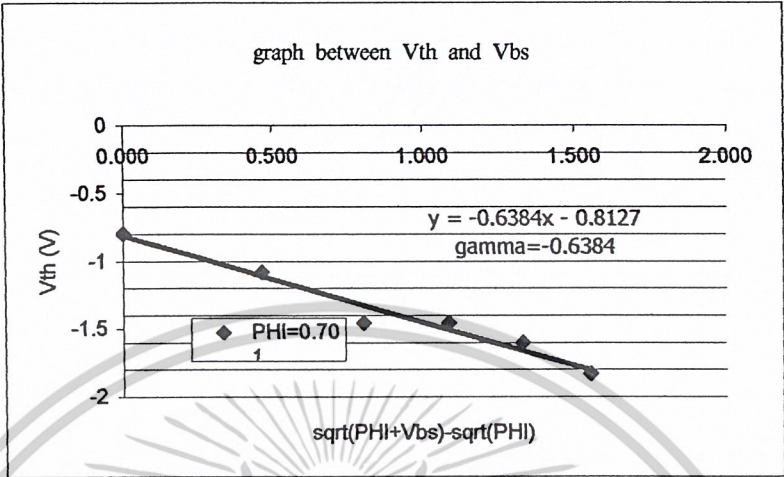
position	V_{bs}	slope*(10-6)	Interception(x)	V_{th}
C	0	2.495	-0.845	-0.795
	1	2.257	-1.132	-1.082
	2	2.134	-1.338	-1.288
	3	2.037	-1.505	-1.455
	4	1.966	-1.652	-1.602
	5	1.894	-1.782	-1.732

Iteration#1 กำหนดให้ $\Phi=0$  $\Phi=0$

V_{th}	$\sqrt{\Phi + V_{bs}} - \sqrt{\Phi}$	N_{sub}	$\Phi(\text{next})$
-0.795	0.000	1.06E+16	0.701
-1.082	1.000		
-1.288	1.414		
-1.455	1.732		
-1.602	2.000		
-1.832	2.236		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับนักเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

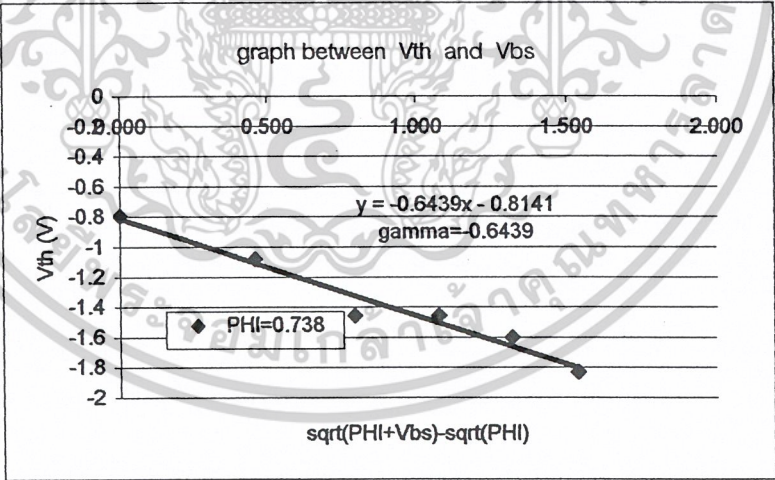
iteration#2กำหนดให้ PHI=0.701



PHI=0.701

Vth	$\sqrt{\text{PHI}+V_{bs}}-\sqrt{\text{PHI}}$	Nsub	PHI(next)
-0.795	0.000	2.17E+16	0.738
-1.082	0.467		
-1.455	0.806		
-1.455	1.087		
-1.602	1.331		
-1.832	1.550		

Iteration#3กำหนดให้ PHI=0.738



PHI=0.738

Vth	$\sqrt{\text{PHI}+V_{bs}}-\sqrt{\text{PHI}}$	Nsub	PHI(next)
-0.795	0.000	2.20E+16	0.738
-1.082	0.459		
-1.455	0.796		
-1.455	1.074		
-1.602	1.318		
-1.832	1.536		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจาก iteration#3 พบว่าค่าพารามิเตอร์ก่อนและหลังมีค่าต่างกันน้อยมาก จึงหยุดการ iteration

	value	unit
Gamma	0.6439	V ^{1/2}
Nsub	2.20E+16	cm ⁻³
PHI	0.738	V
Vto	-0.8141	V
Kp	2.50E-05	AV ²
Uo	1.88E+02	cm ² /V.s

4.5 MOSFET (L-array,W-array)(THETA , R_{DS})

Wafer name: 6 inch PLINE 3000 1.2 um

Die : N, E, W S, C (5 points)

Pattern: L - array = 20/3 , 20/1.9 , 20/1.5 , 20/1.2 , 20/1.1

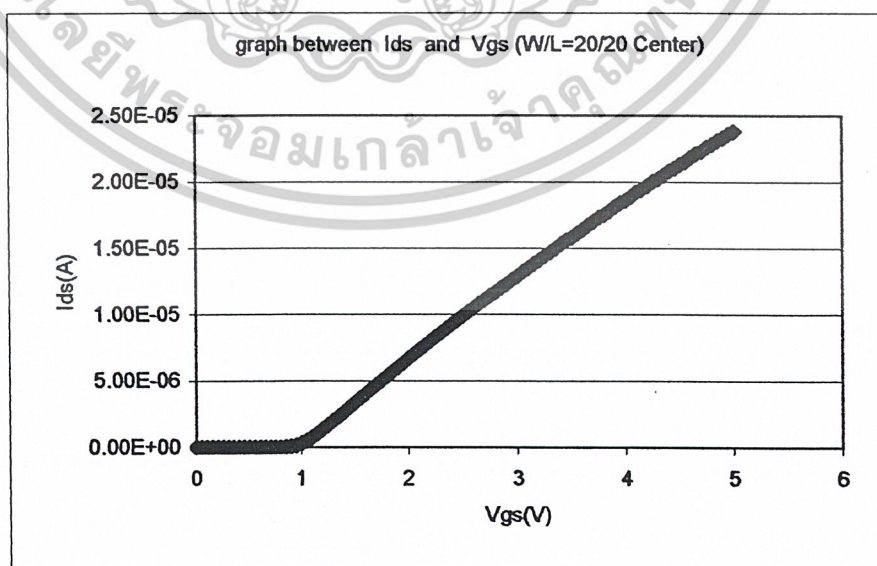
W - array = 3/20 , 1.5/20 , 1.0/20 , 20/20

Device : AD1 Drain/Gate/Source/P-sub NMOS

AE1 Drain/Gate/Source/P-sub PMOS

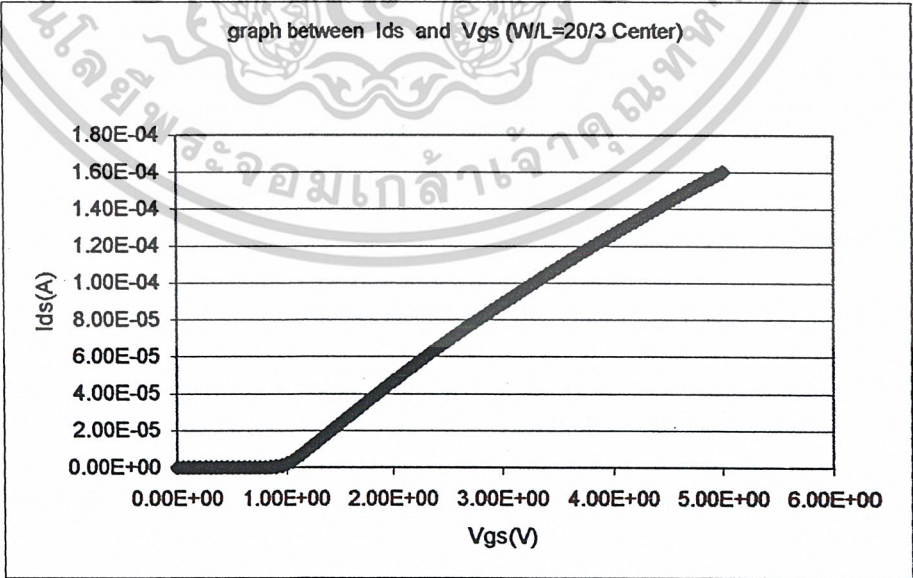
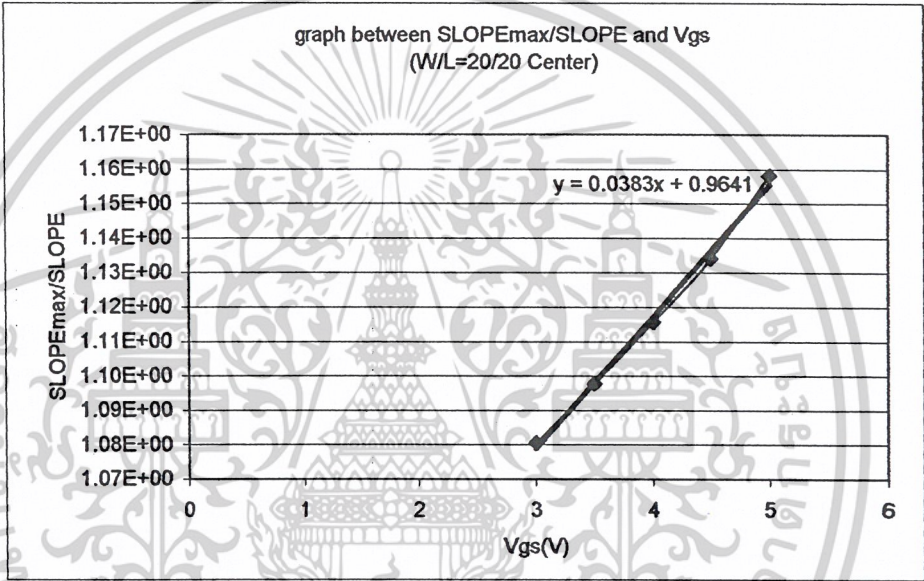
Parameter Measuring: THETA , R_{DS}

- AD1 Drain/Gate/Source/P-sub NMOS (W=20, L= เปลี่ยนค่าต่างๆ)



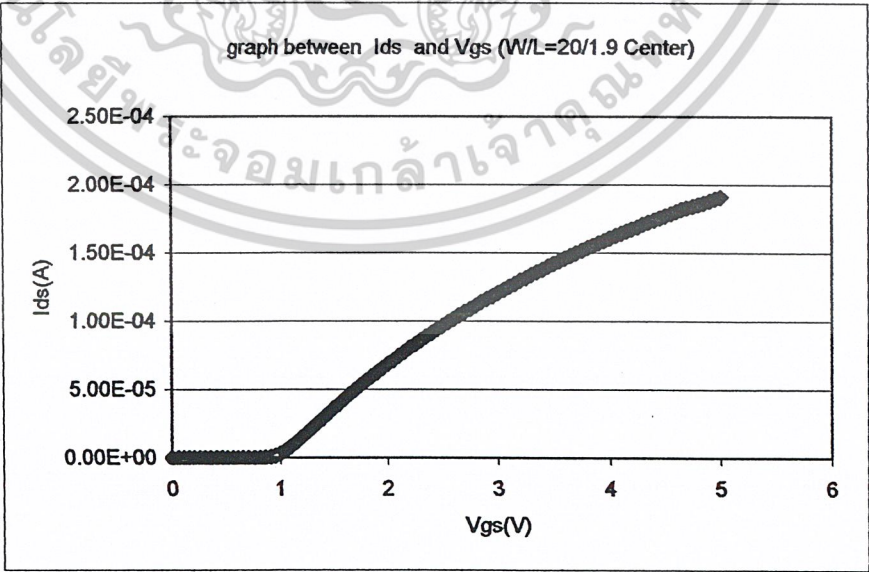
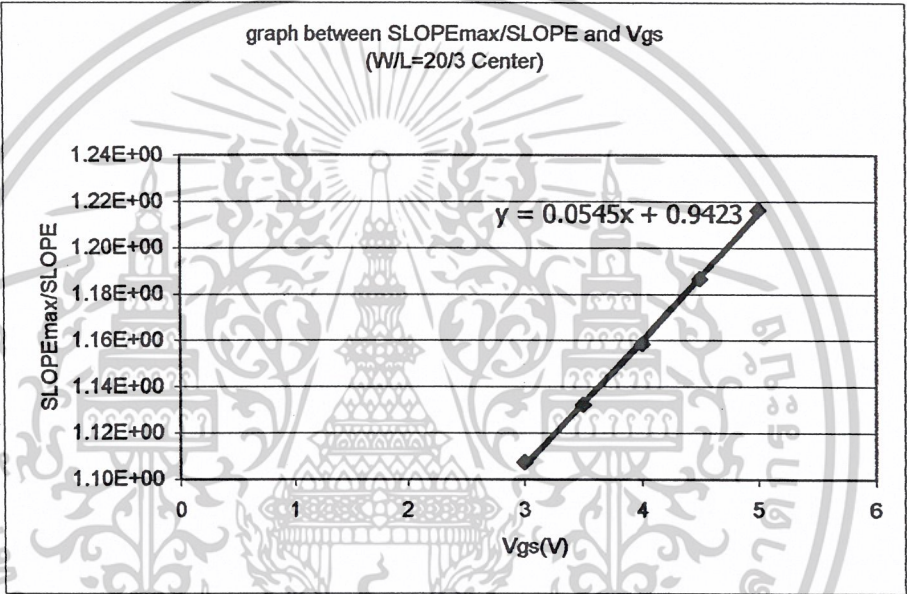
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopemax/slope
1	3.14E-07		
1.5	3.34E-06	6.05E-06	1.12E+00
2	6.69E-06	6.38E-06	1.07E+00
2.5	9.88E-06	6.38E-06	1.07E+00
3	1.29E-05	6.29E-06	1.08E+00
3.5	1.58E-05	6.19E-06	1.10E+00
4	1.86E-05	6.10E-06	1.12E+00
4.5	2.13E-05	6.00E-06	1.13E+00
5	2.38E-05	5.87E-06	1.16E+00



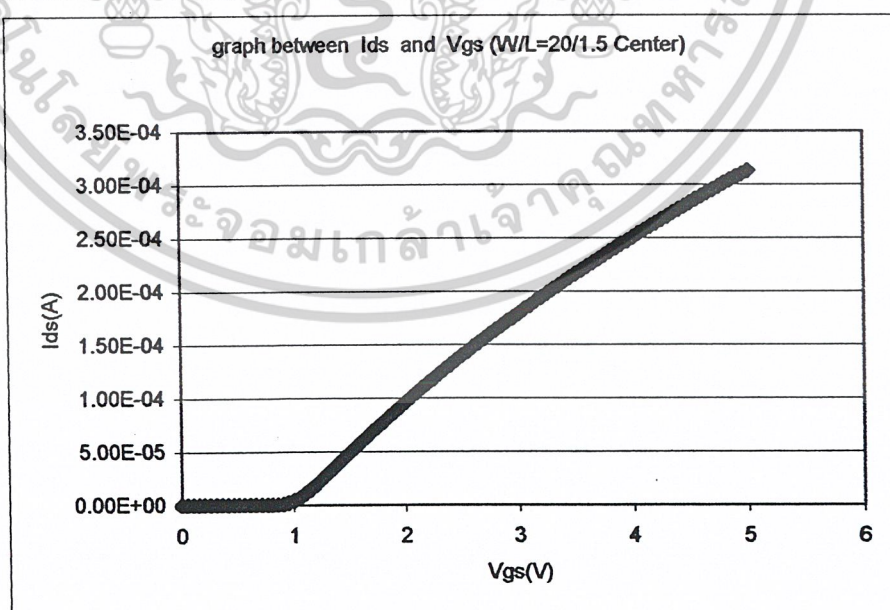
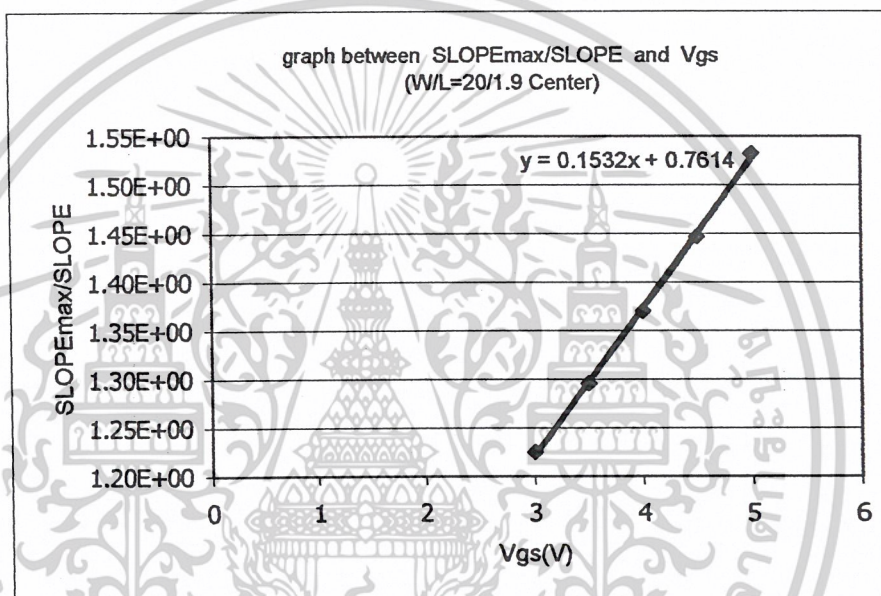
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopemax/slope
1	2.11E-06		
1.5	2.34E-05	4.26E-05	1.13E+00
2	4.66E-05	4.45E-05	1.08E+00
2.5	6.83E-05	4.41E-05	1.09E+00
3	8.88E-05	4.33E-05	1.11E+00
3.5	1.08E-04	4.24E-05	1.13E+00
4	1.26E-04	4.14E-05	1.16E+00
4.5	1.44E-04	4.05E-05	1.19E+00
5	1.60E-04	3.95E-05	1.22E+00



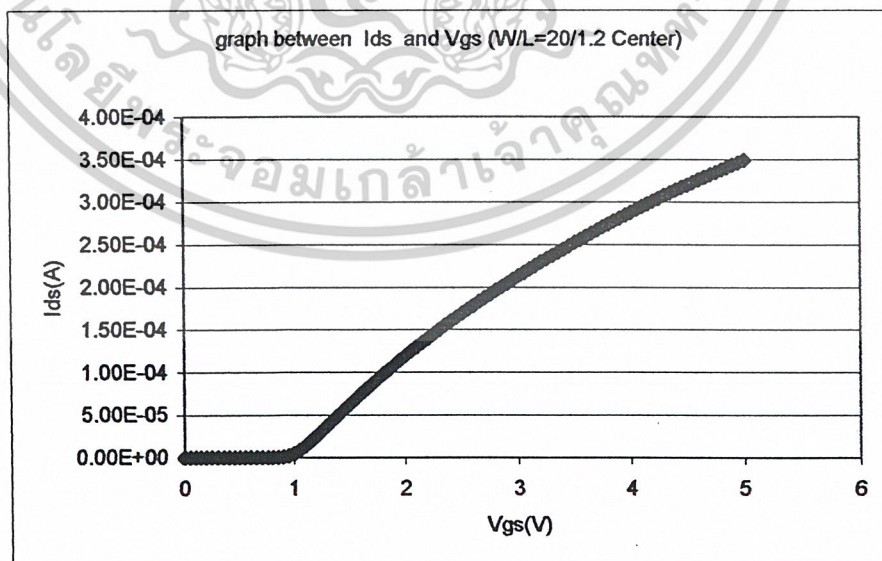
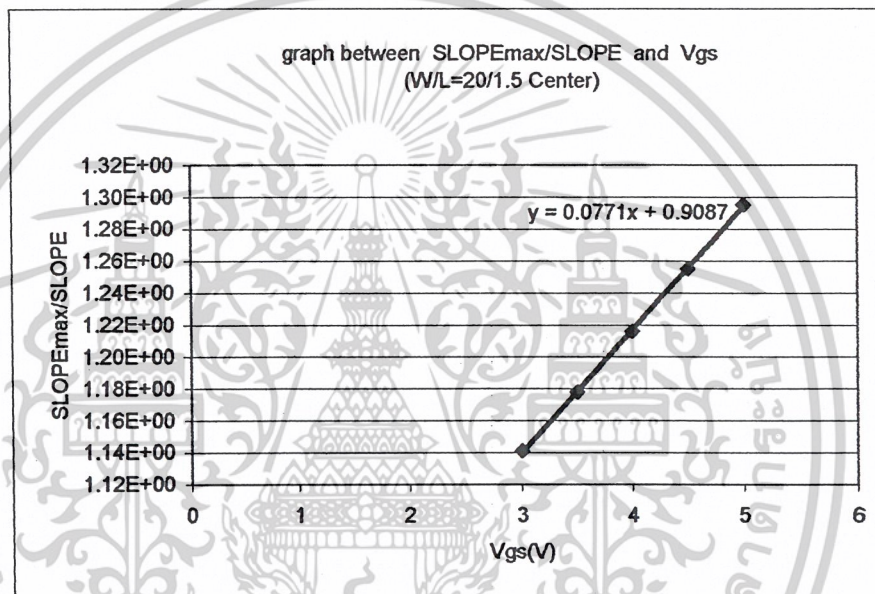
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopemax/slope
1	3.14E-06		
1.5	3.61E-05	6.59E-05	1.09E+00
2	6.86E-05	6.55E-05	1.10E+00
2.5	9.65E-05	6.22E-05	1.16E+00
3	1.21E-04	5.88E-05	1.22E+00
3.5	1.42E-04	5.56E-05	1.30E+00
4	1.61E-04	5.25E-05	1.37E+00
4.5	1.77E-04	4.98E-05	1.45E+00
5	1.91E-04	4.70E-05	1.53E+00



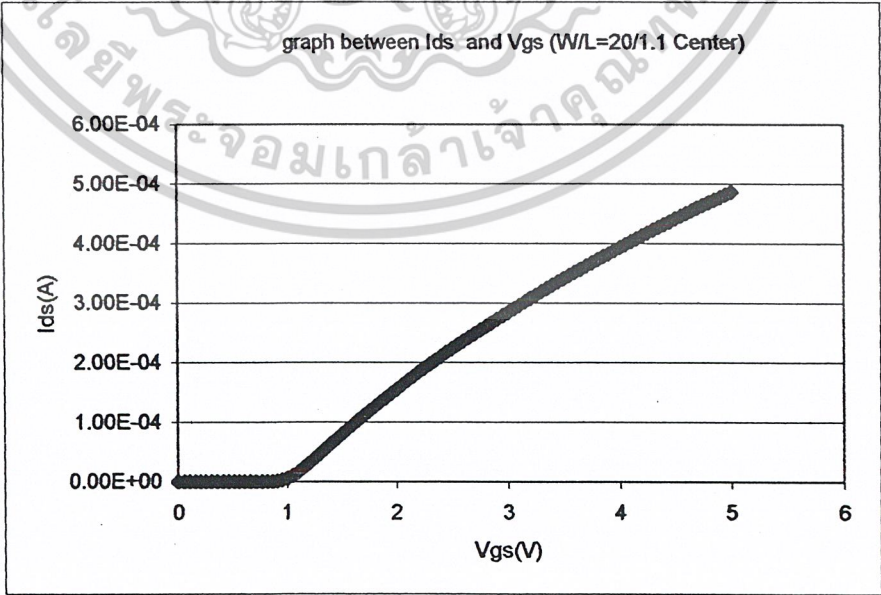
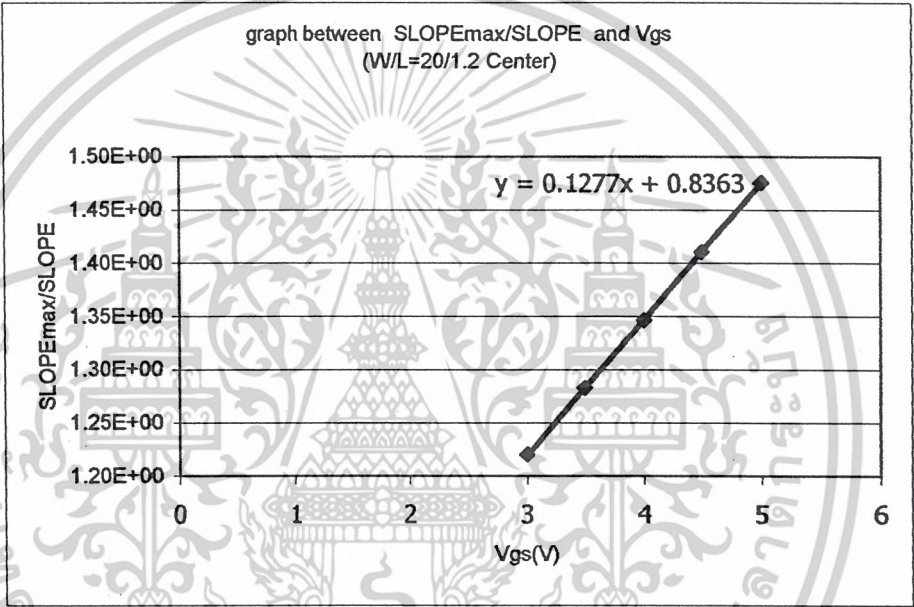
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopemax/slope
1	3.92E-06		
1.5	4.89E-05	9.00E-05	1.11E+00
2	9.62E-05	9.23E-05	1.08E+00
2.5	1.39E-04	9.03E-05	1.11E+00
3	1.79E-04	8.76E-05	1.14E+00
3.5	2.16E-04	8.49E-05	1.18E+00
4	2.51E-04	8.22E-05	1.22E+00
4.5	2.83E-04	7.97E-05	1.26E+00
5	3.13E-04	7.72E-05	1.30E+00



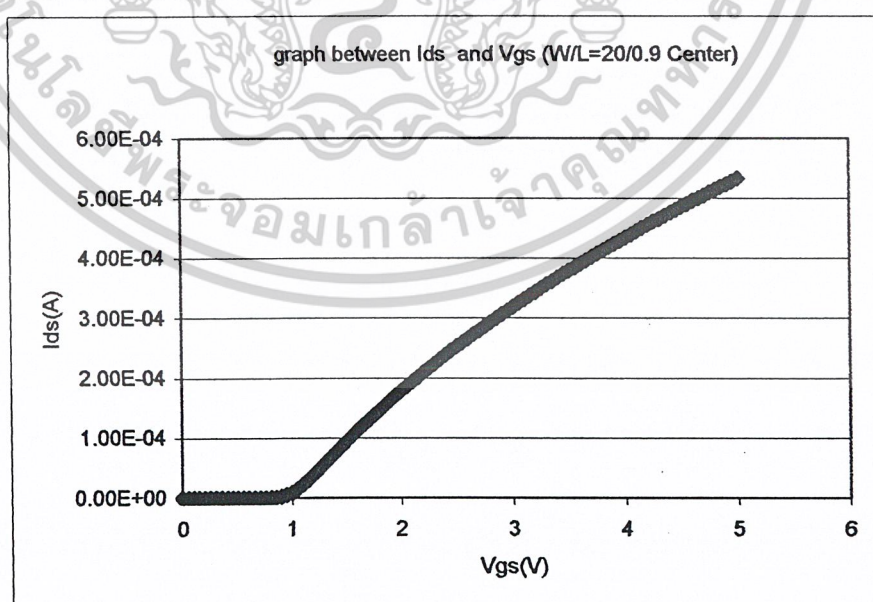
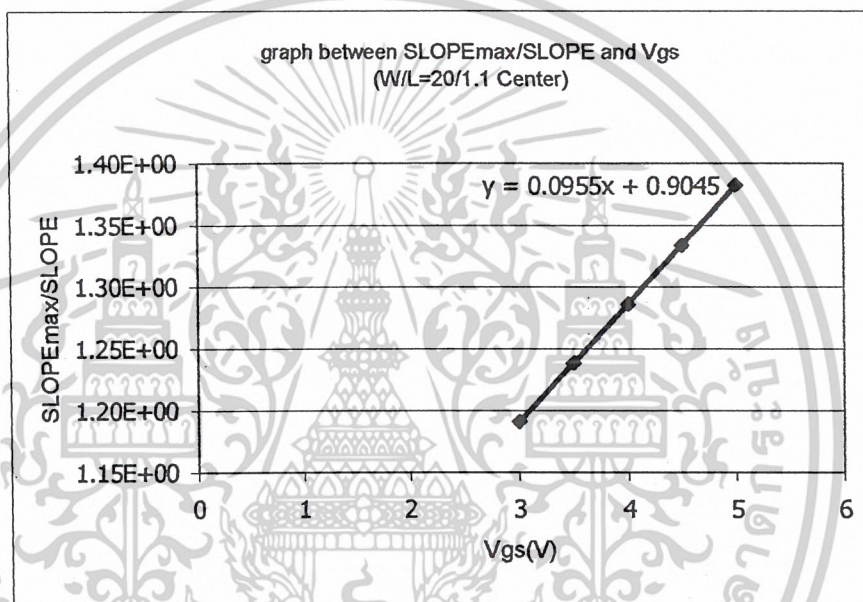
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopermax/slope
1	4.77E-06		
1.5	6.23E-05	1.15E-04	1.10E+00
2	1.19E-04	1.15E-04	1.11E+00
2.5	1.69E-04	1.10E-04	1.16E+00
3	2.13E-04	1.04E-04	1.22E+00
3.5	2.52E-04	9.90E-05	1.28E+00
4	2.88E-04	9.43E-05	1.35E+00
4.5	3.20E-04	9.00E-05	1.41E+00
5	3.49E-04	8.61E-05	1.48E+00



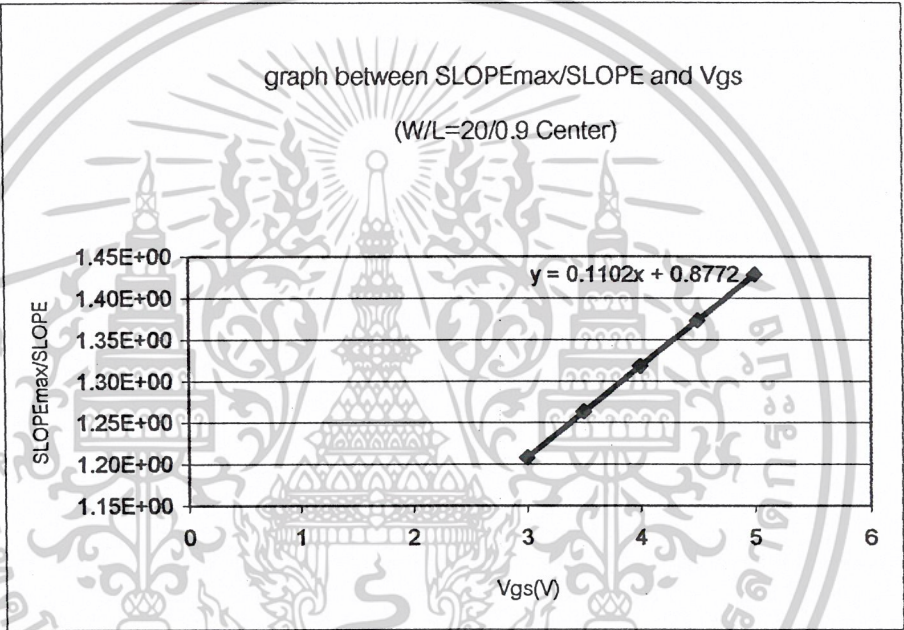
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopedmax/slope
1	5.70E-06		
1.5	7.96E-05	1.48E-04	1.12E+00
2	1.56E-04	1.50E-04	1.11E+00
2.5	2.23E-04	1.45E-04	1.15E+00
3	2.84E-04	1.39E-04	1.19E+00
3.5	3.41E-04	1.34E-04	1.24E+00
4	3.93E-04	1.29E-04	1.29E+00
4.5	4.41E-04	1.24E-04	1.33E+00
5	4.86E-04	1.20E-04	1.38E+00



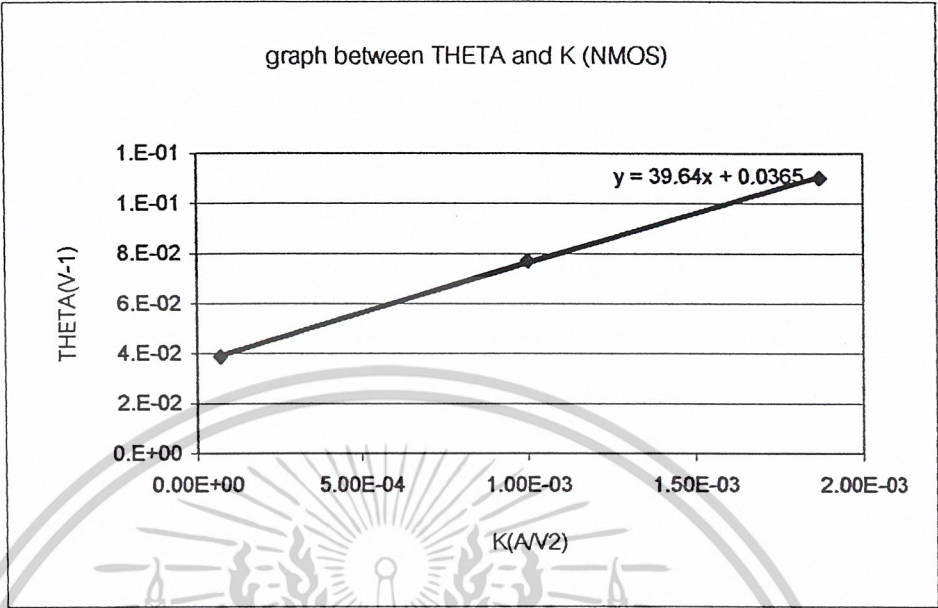
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vgs	IDS	slope	slopemax/slope
1	8.96E-06		
1.5	9.42E-05	1.70E-04	1.10E+00
2	1.78E-04	1.69E-04	1.10E+00
2.5	2.52E-04	1.62E-04	1.15E+00
3	3.19E-04	1.55E-04	1.21E+00
3.5	3.79E-04	1.48E-04	1.26E+00
4	4.35E-04	1.42E-04	1.32E+00
4.5	4.86E-04	1.36E-04	1.37E+00
5	5.33E-04	1.31E-04	1.43E+00



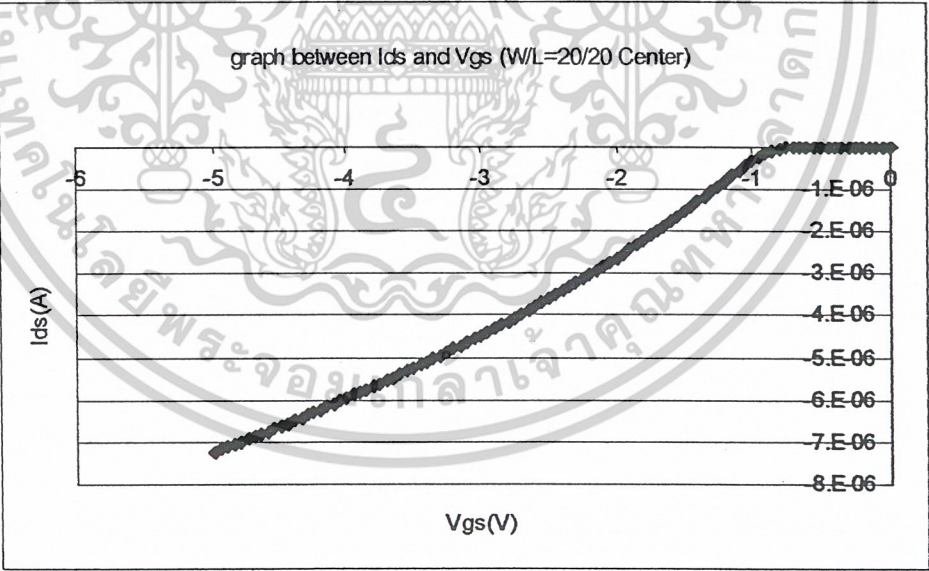
Lmask	THETAm	SLOPEmax	K=SLOPEmax/Vds	1/K
20	0.039	6.80E-06	6.80E-05	1.47E+04
3	0.146	4.80E-05	4.80E-04	2.08E+03
1.9	0.153	7.20E-05	7.20E-04	1.39E+03
1.5	0.077	1.00E-04	1.00E-03	1.00E+03
1.2	0.128	1.27E-04	1.27E-03	7.87E+02
1.1	0.096	1.66E-04	1.66E-03	6.02E+02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



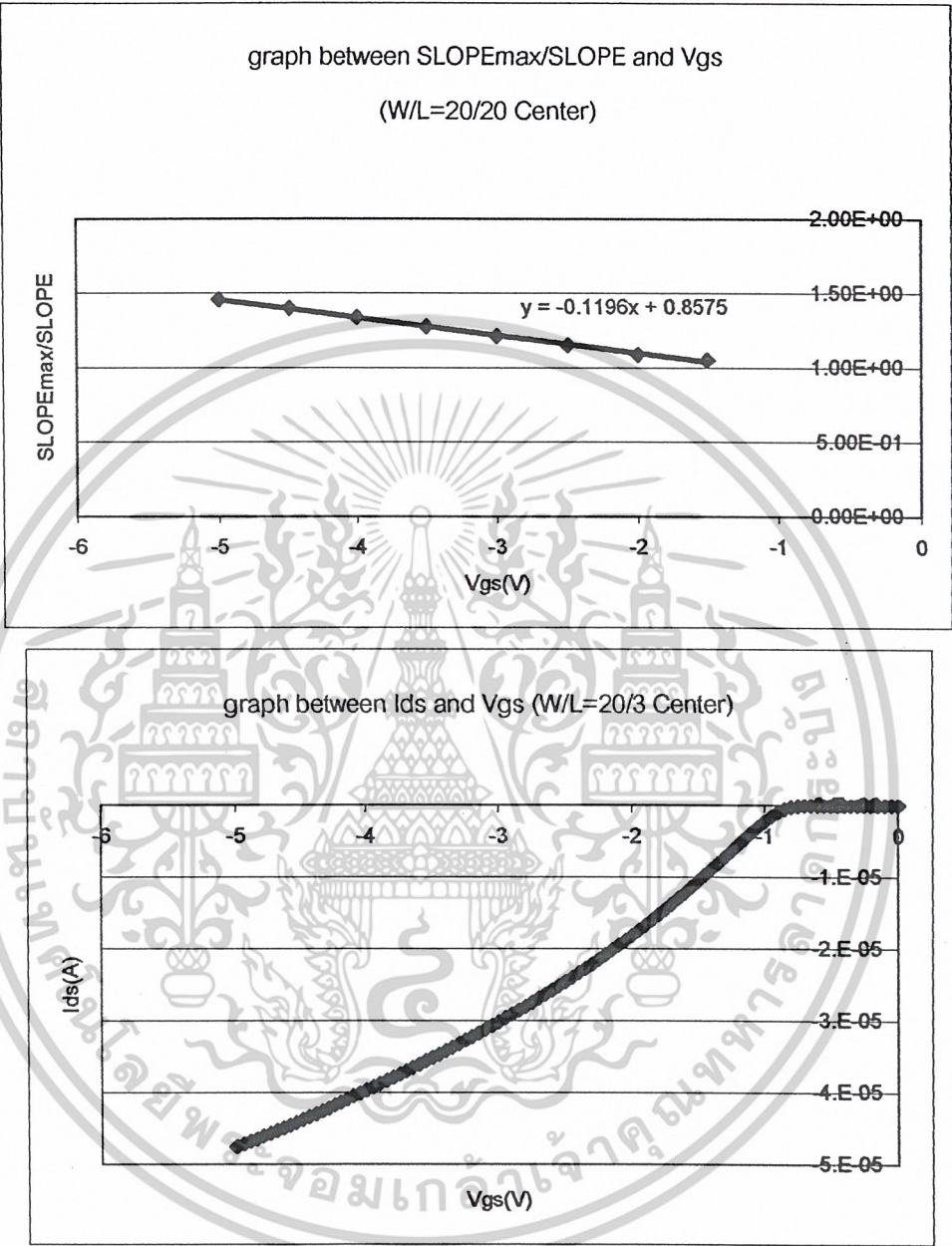
	value	unit
THETA	0.04	V-1
RD	396.4	Ohm-um
RS	396.4	Ohm-um

- AE1 Drain/Gate/Soure/P-sub PMOS (W=20, L= แปรเปลี่ยนค่าต่างๆ)



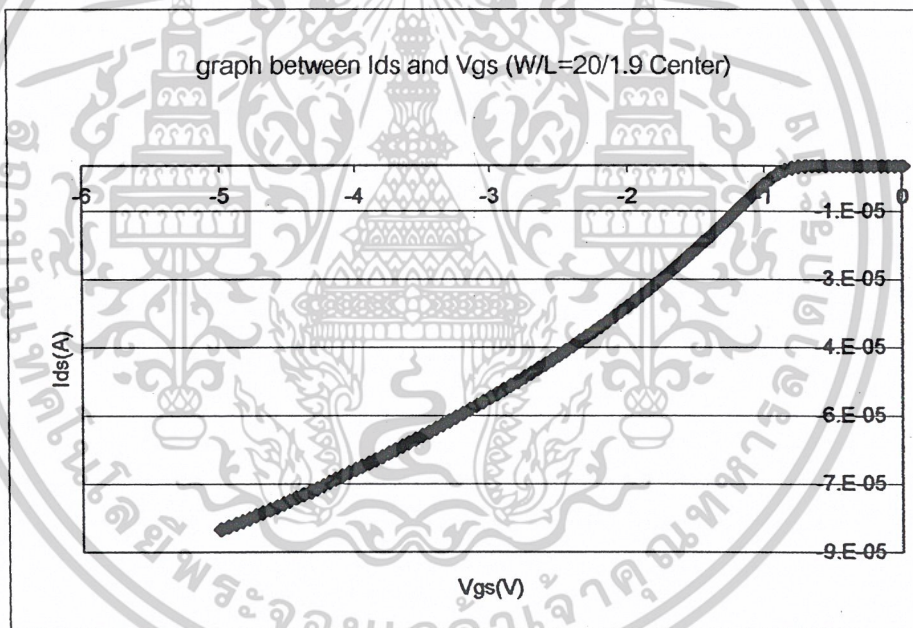
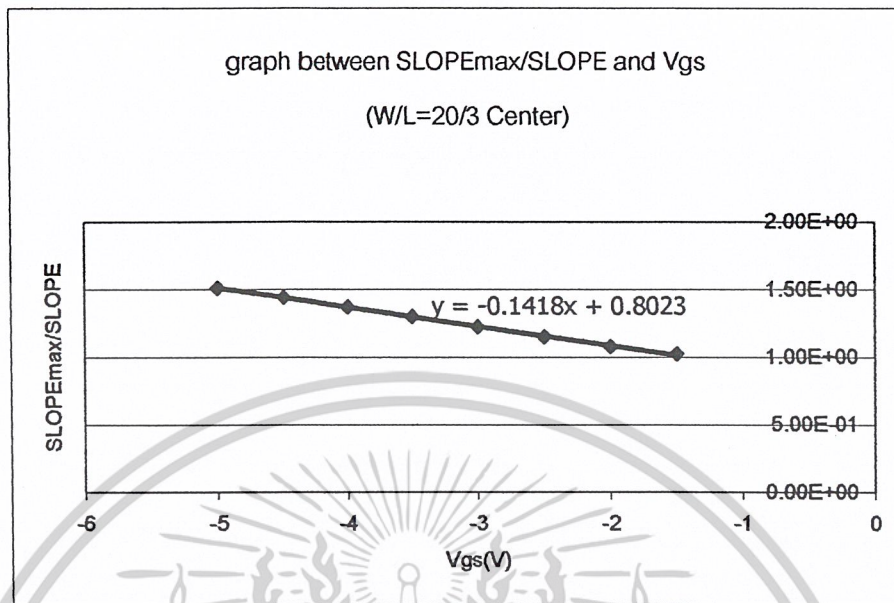
Vgs	IDS	slope	slopemax/slope
-1	-3.33E-07		
-1.5	-1.53E-06	2.39E-06	1.05E+00
-2	-2.64E-06	2.31E-06	1.09E+00
-2.5	-3.61E-06	2.18E-06	1.15E+00
-3	-4.48E-06	2.07E-06	1.21E+00
-3.5	-5.25E-06	1.97E-06	1.28E+00
-4	-5.96E-06	1.88E-06	1.34E+00
-4.5	-6.61E-06	1.79E-06	1.40E+00
-5	-7.23E-06	1.72E-06	1.46E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่ควรเผยแพร่สู่สาธารณะโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



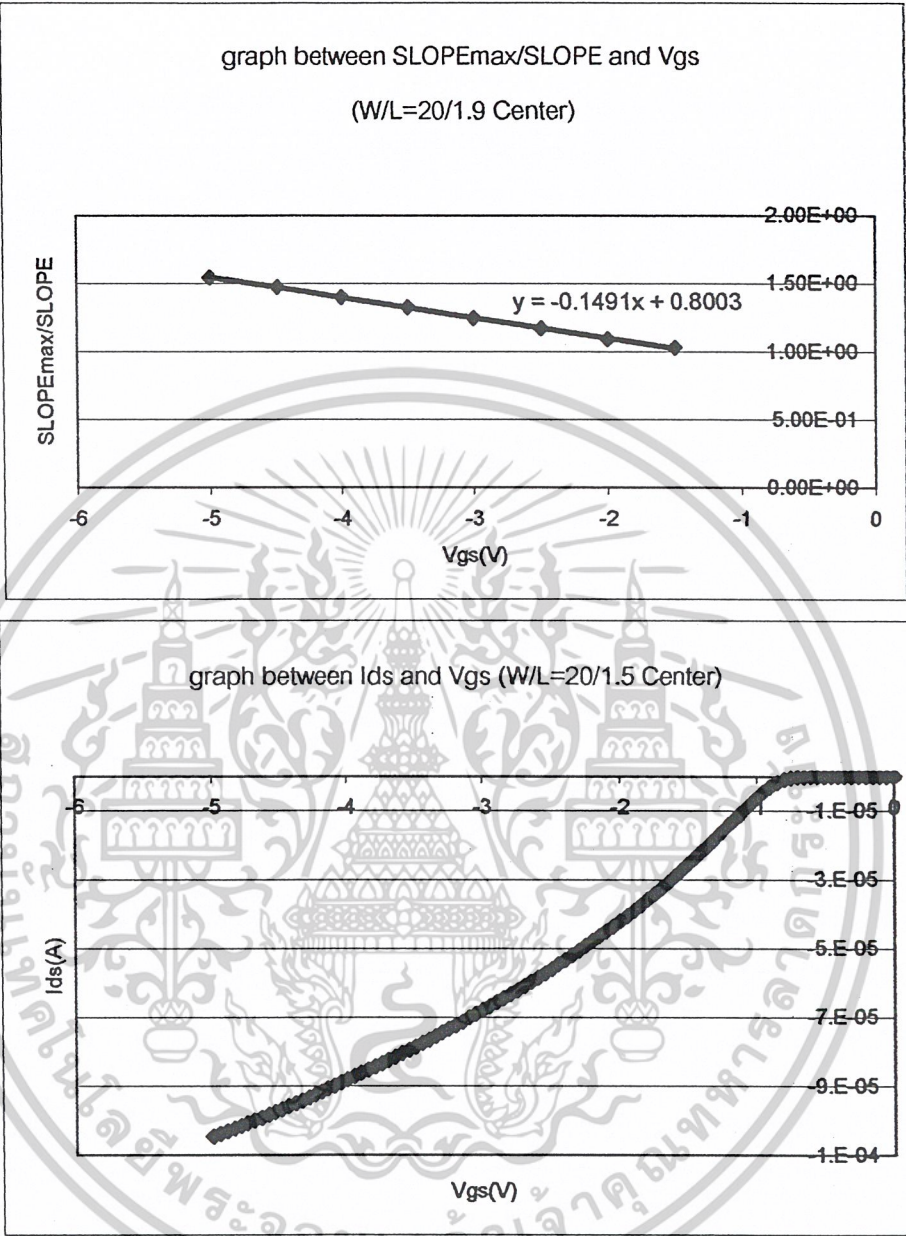
Vgs	IDS	slope	slopemax/slope
-1	-2.28E-06		
-1.5	-1.06E-05	1.67E-05	1.03E+00
-2	-1.81E-05	1.58E-05	1.08E+00
-2.5	-2.46E-05	1.49E-05	1.15E+00
-3	-3.02E-05	1.40E-05	1.23E+00
-3.5	-3.52E-05	1.32E-05	1.30E+00
-4	-3.97E-05	1.25E-05	1.37E+00
-4.5	-4.38E-05	1.19E-05	1.44E+00
-5	-4.76E-05	1.13E-05	1.51E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



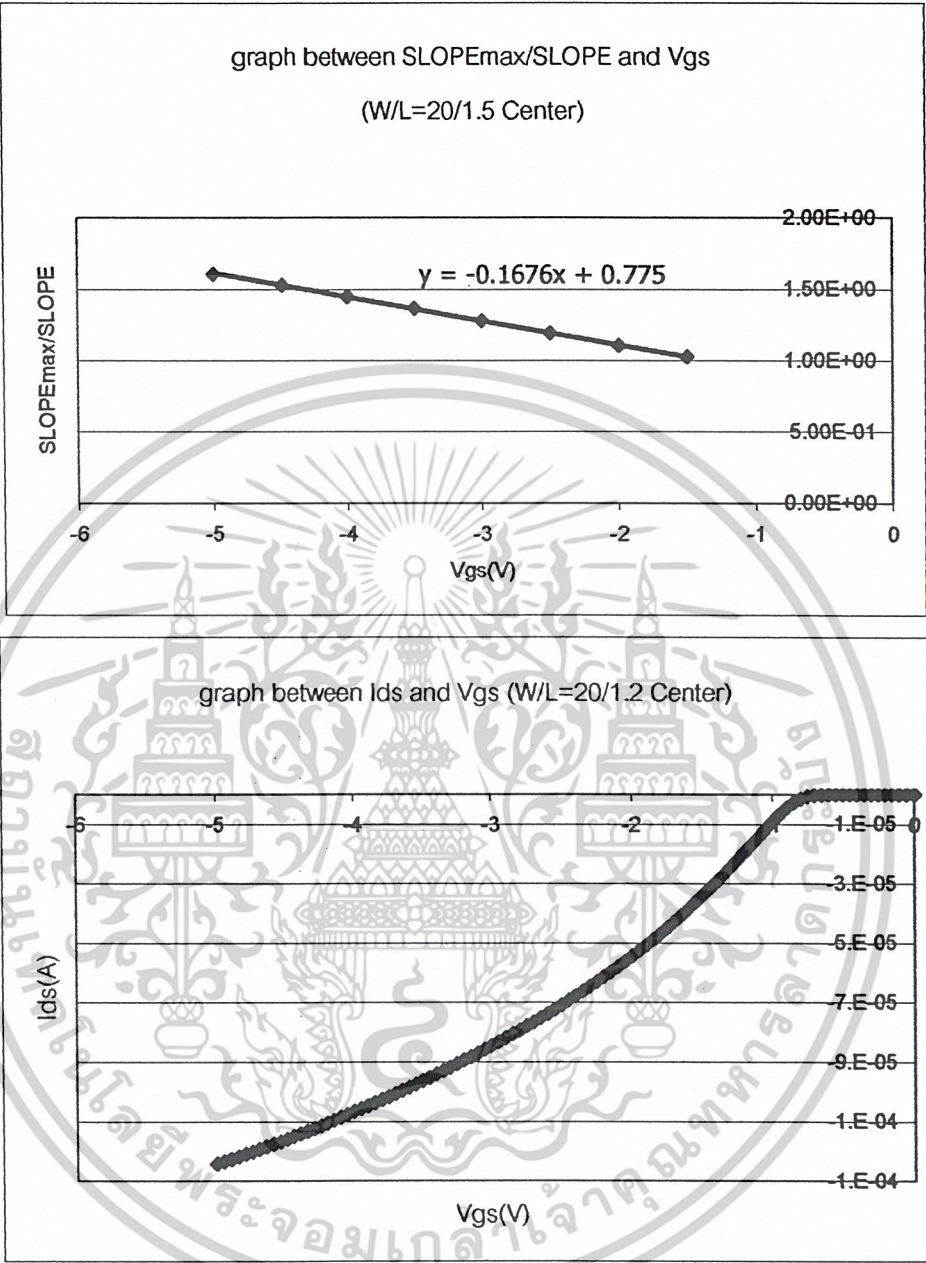
Vgs	IDS	slope	slopemax/slope
-1	-4.17E-06		
-1.5	-1.84E-05	2.84E-05	1.03E+00
-2	-3.10E-05	2.68E-05	1.09E+00
-2.5	-4.18E-05	2.51E-05	1.17E+00
-3	-5.11E-05	2.35E-05	1.25E+00
-3.5	-5.95E-05	2.21E-05	1.32E+00
-4	-6.70E-05	2.09E-05	1.40E+00
-4.5	-7.38E-05	1.99E-05	1.47E+00
-5	-8.01E-05	1.90E-05	1.54E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



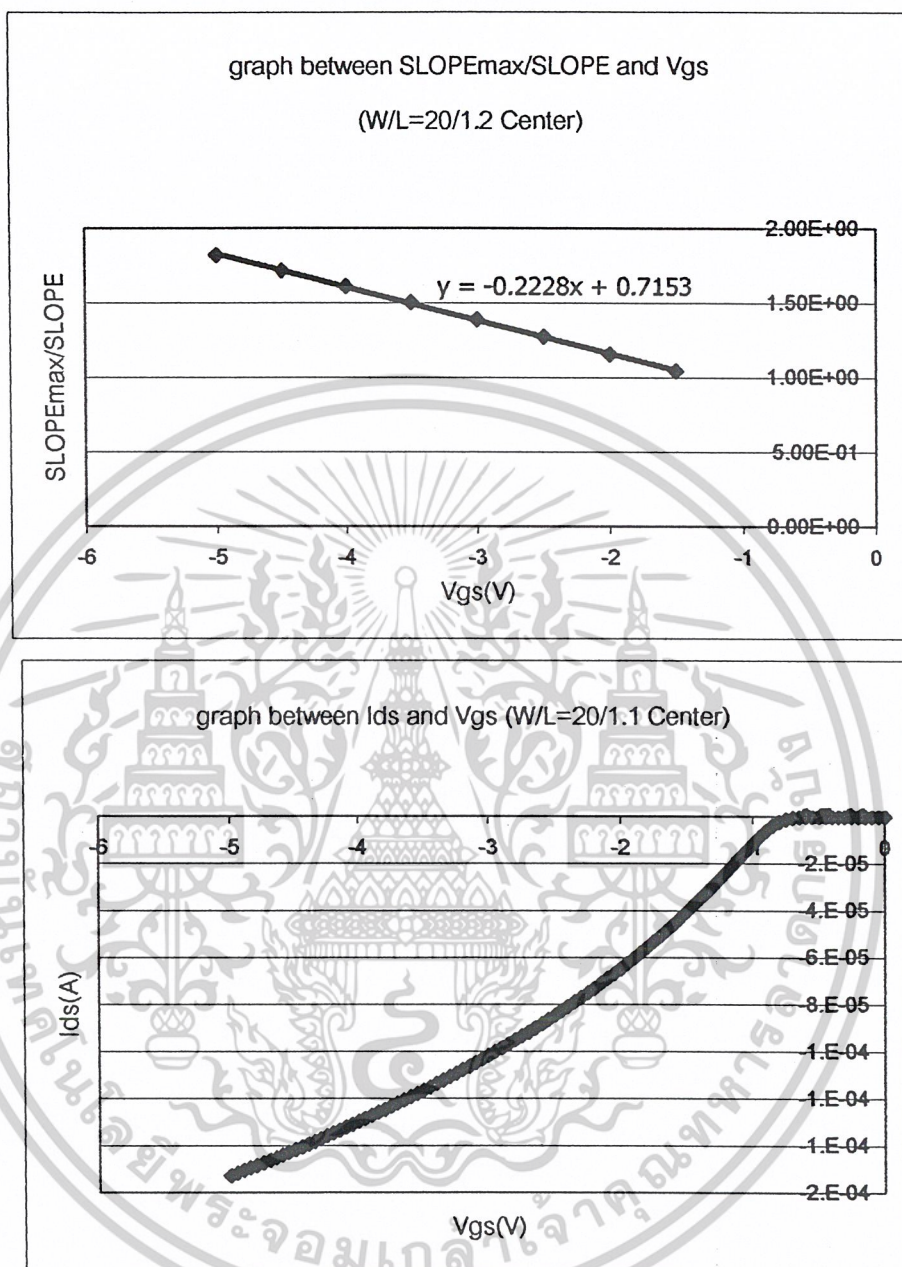
Vgs	IDS	slope	slopemax/slope
-1	-6.28E-06		
-1.5	-2.55E-05	3.85E-05	1.03E+00
-2	-4.20E-05	3.57E-05	1.11E+00
-2.5	-5.59E-05	3.31E-05	1.19E+00
-3	-6.79E-05	3.08E-05	1.28E+00
-3.5	-7.85E-05	2.89E-05	1.37E+00
-4	-8.81E-05	2.73E-05	1.45E+00
-4.5	-9.67E-05	2.58E-05	1.53E+00
-5	-1.05E-04	2.46E-05	1.61E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



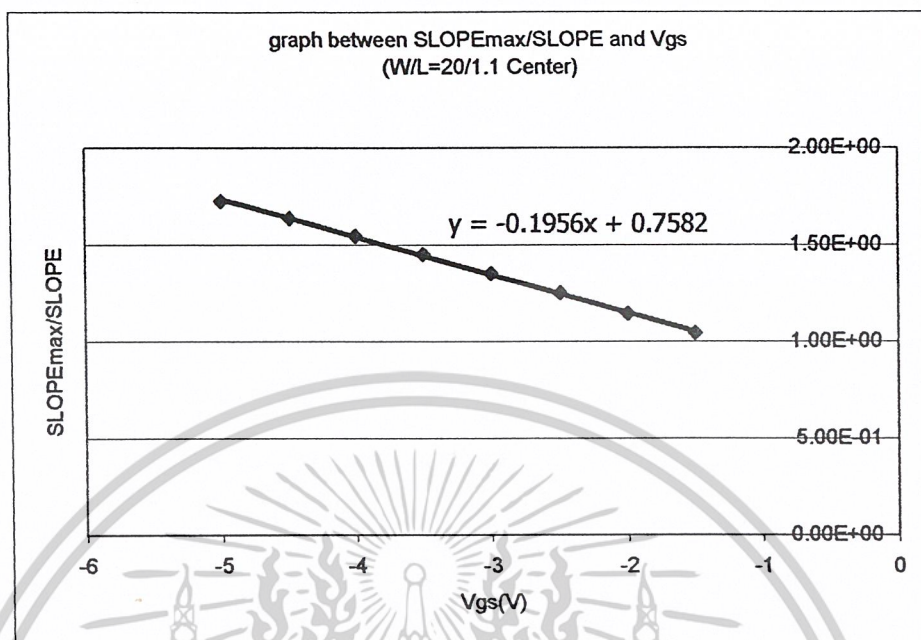
Vgs	IDS	slope	slopemax/slope
-1	-9.28E-06		
-1.5	-3.43E-05	5.01E-05	1.04E+00
-2	-5.45E-05	4.52E-05	1.16E+00
-2.5	-7.08E-05	4.10E-05	1.27E+00
-3	-8.45E-05	3.76E-05	1.39E+00
-3.5	-9.63E-05	3.48E-05	1.50E+00
-4	-1.07E-04	3.25E-05	1.61E+00
-4.5	-1.16E-04	3.05E-05	1.72E+00
-5	-1.24E-04	2.87E-05	1.82E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

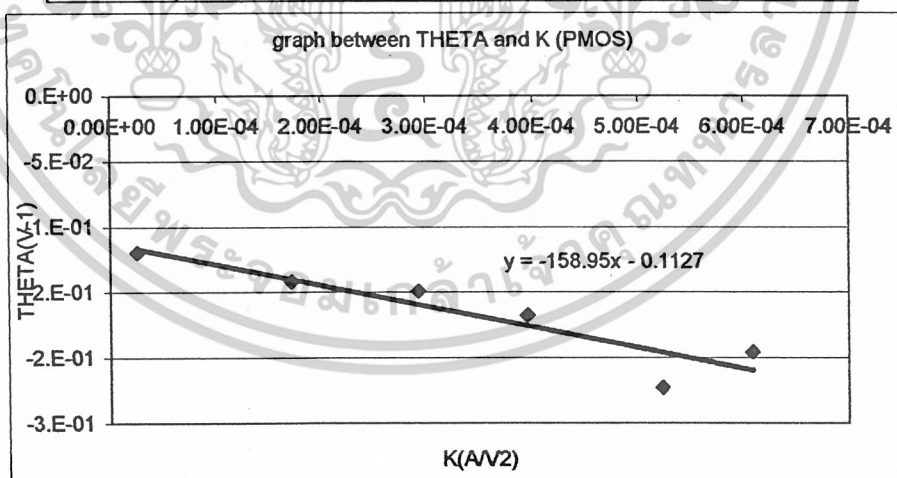


Vgs	IDS	slope	slopemax/slope
-1	-1.16E-05		
-1.5	-4.08E-05	5.84E-05	1.04E+00
-2	-6.48E-05	5.32E-05	1.15E+00
-2.5	-8.47E-05	4.87E-05	1.25E+00
-3	-1.02E-04	4.50E-05	1.35E+00
-3.5	-1.17E-04	4.20E-05	1.45E+00
-4	-1.30E-04	3.94E-05	1.55E+00
-4.5	-1.42E-04	3.72E-05	1.64E+00
-5	-1.53E-04	3.53E-05	1.73E+00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



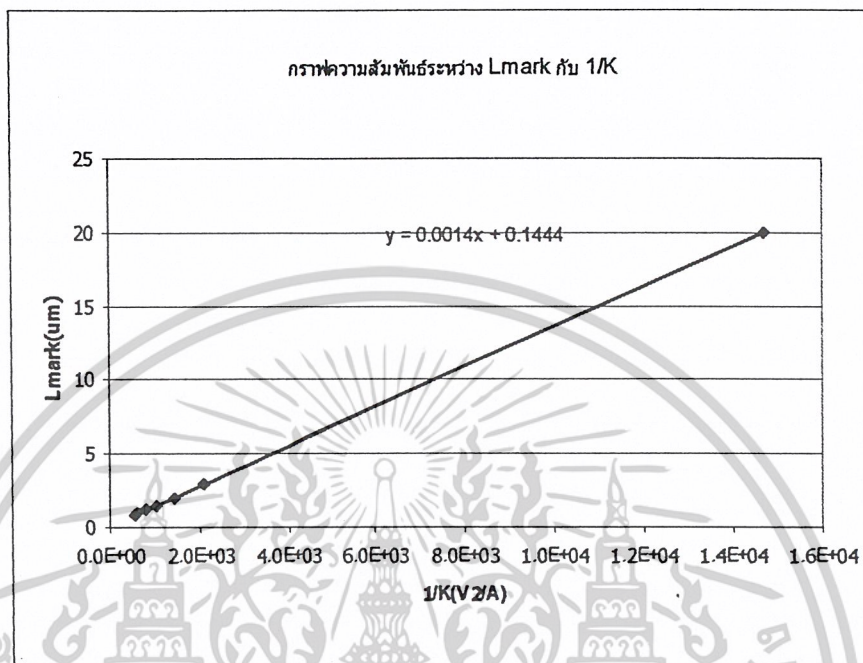
Lmask	THETAm	SLOPEmax	K=SLOPEmax/Vds	1/K
20	-0.1196	2.51E-06	2.51E-05	3.98E+04
3	-0.1418	1.71E-05	1.71E-04	5.85E+03
1.9	-0.1491	2.93E-05	2.93E-04	3.41E+03
1.5	-0.1676	3.95E-05	3.95E-04	2.53E+03
1.2	-0.2228	5.23E-05	5.23E-04	1.91E+03
1.1	-0.1956	6.09E-05	6.09E-04	1.64E+03



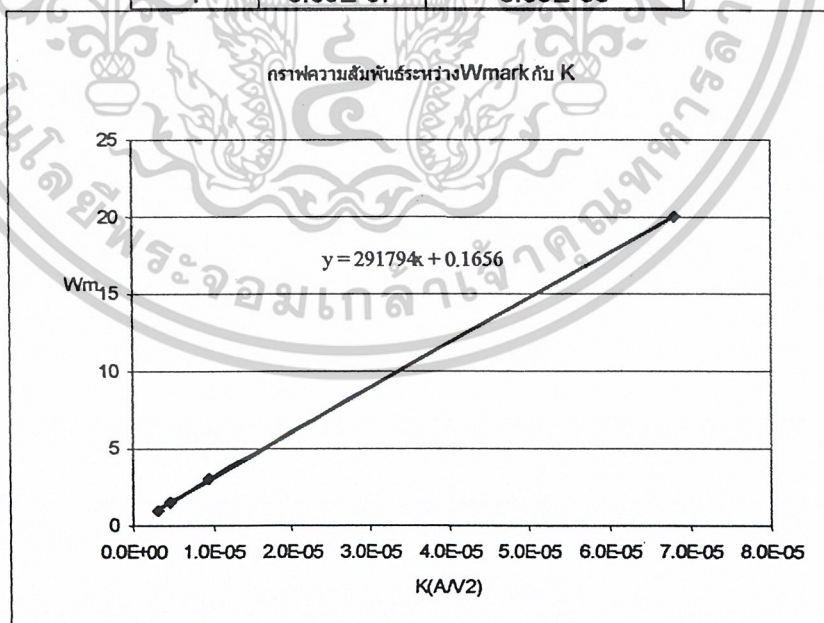
	value	unit
THETA	0.11	V-1
RD	1589.50	Ohm-um
RS	1589.50	Ohm-um

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ผลของการคำนวณหาค่า LD (W=20, L= แปรเปลี่ยนค่าต่าง ๆ) และ WD (L=20, W= แปรเปลี่ยนค่าต่าง ๆ)ของ NMOS

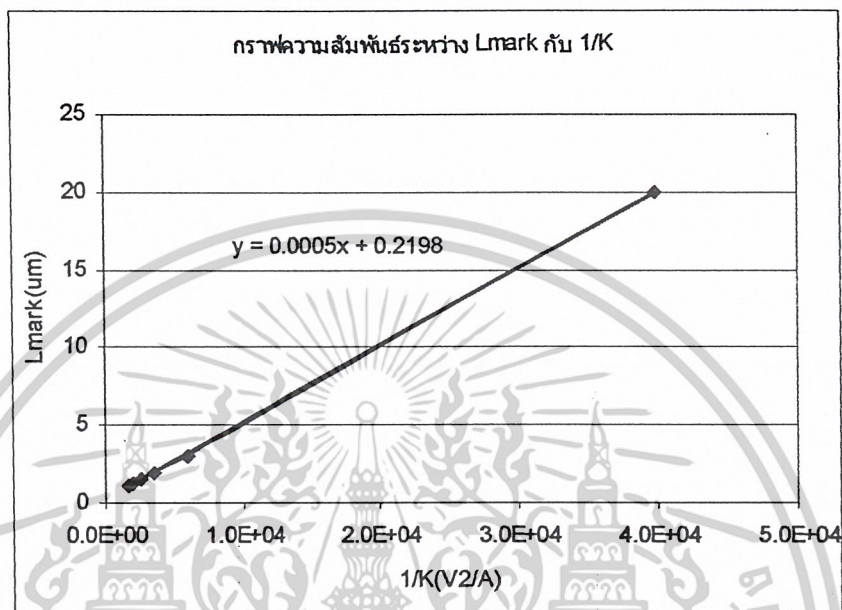


Wmask	SLOPEmax	K=SLOPEmax/Vds
20	6.80E-06	6.80E-05
3	9.45E-07	9.45E-06
1.5	4.58E-07	4.58E-06
1	3.09E-07	3.09E-06

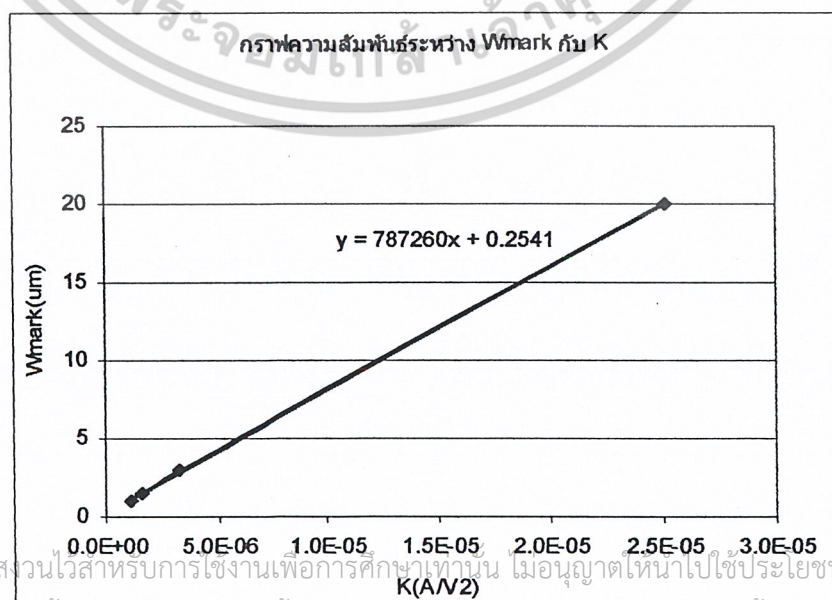


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ผลของการคำนวณหาค่า LD (W=20, L= แปรเปลี่ยนค่าต่างๆ) และ WD (L=20, W= แปรเปลี่ยนค่าต่างๆ)ของ PMOS



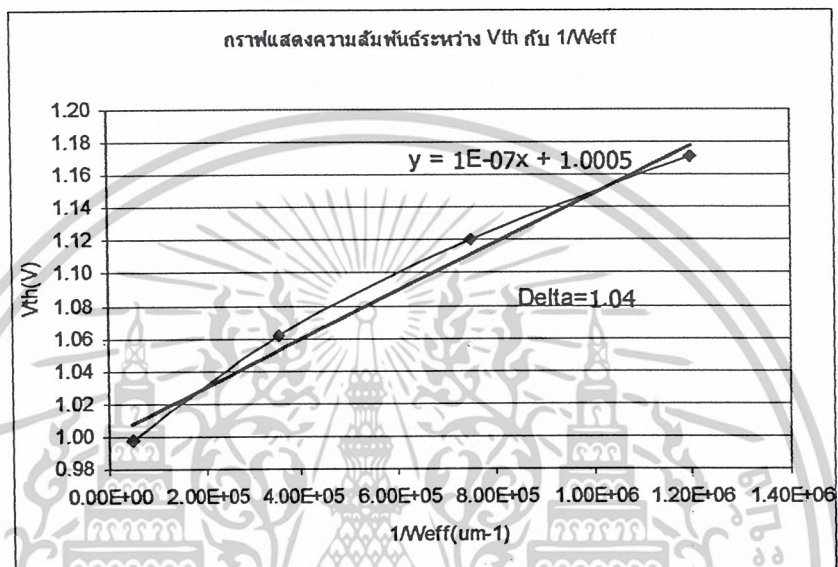
Wmask	SLOPEmax	K=SLOPEmax/Vds
20	2.51E-06	2.51E-05
3	3.29E-07	3.29E-06
1.5	1.55E-07	1.55E-06
1	1.16E-07	1.16E-06



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

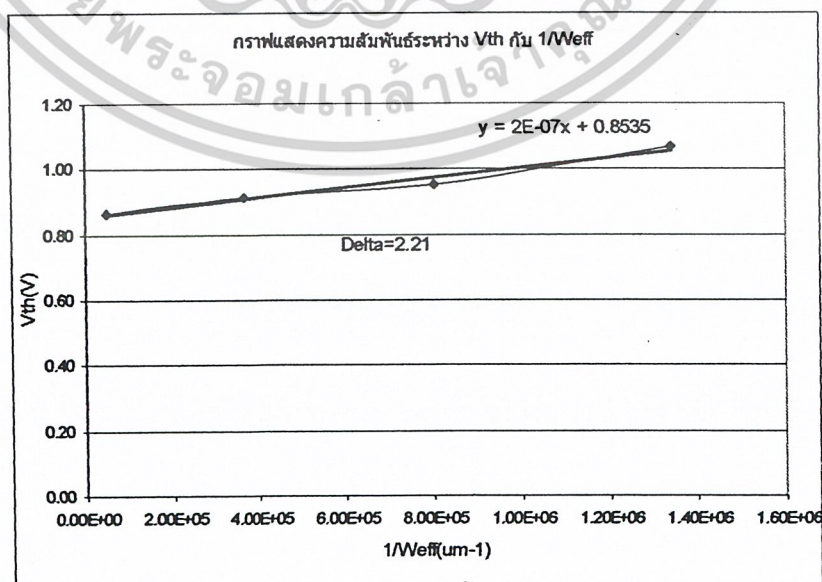
4.8 ผลของการคำนวณหาค่า Delta ของ NMOS (L=20, W= แปรเปลี่ยนค่าต่างๆ)

Wmark(um)	Weff	1/Weff	VTH
20	1.98E-05	5.04E+04	1.00
3	2.83E-06	3.53E+05	1.06
1.5	1.33E-06	7.49E+05	1.12
1	8.34E-07	1.20E+06	1.17



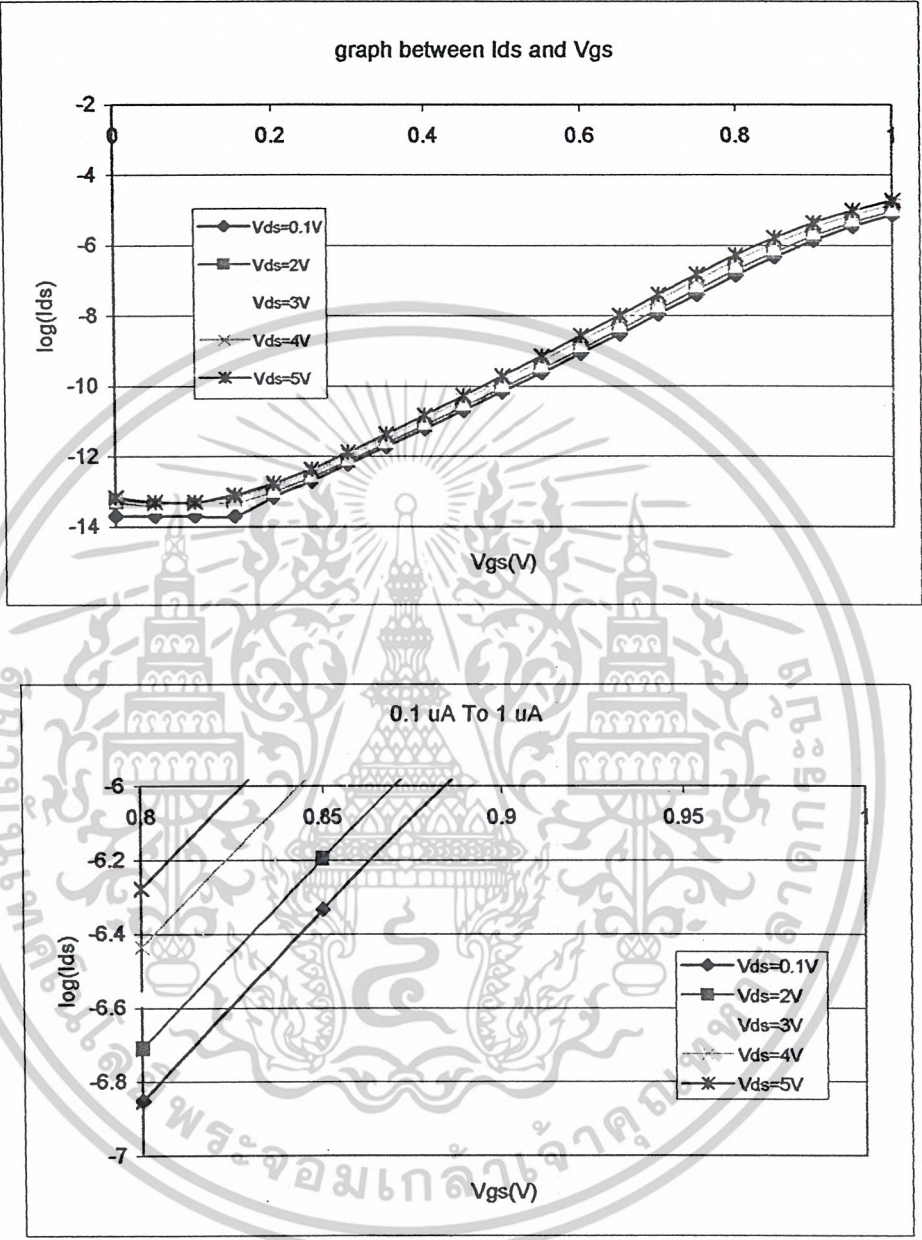
4.9 ผลของการคำนวณหาค่า Delta ของ PMOS (L=20, W= แปรเปลี่ยนค่าต่างๆ)

Wmark(um)	Weff	1/Weff	VTH
20	1.97E-05	5.06E+04	-0.87
3	2.75E-06	3.64E+05	-0.91
1.5	1.25E-06	8.03E+05	-0.96
1	7.46E-07	1.34E+06	-1.07



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

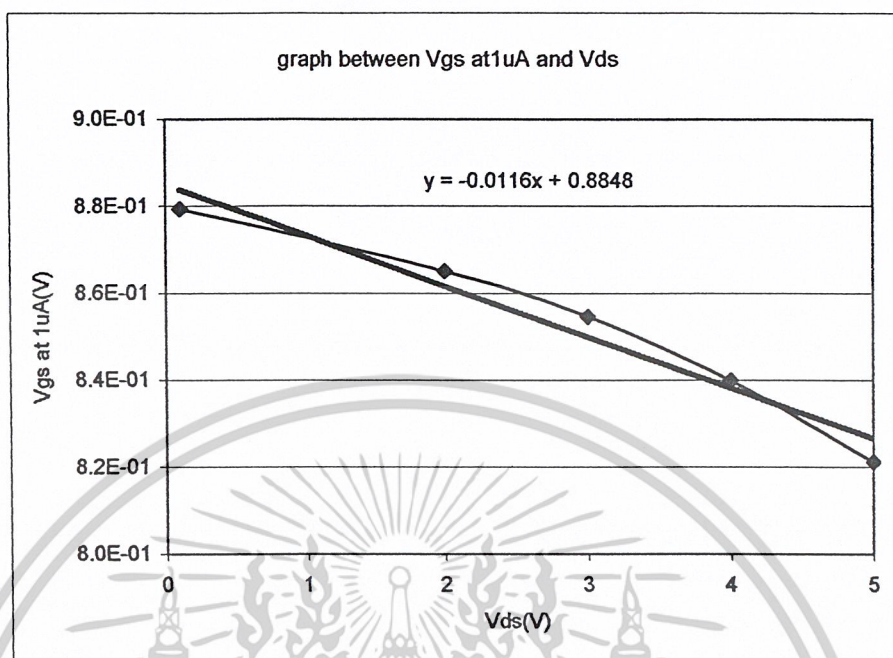
4.10 ผลของการคำนวณหาค่า η ของ NMOS ($W=20,L=1.2$)



ค่าของ V_{gs} ที่ $I_{ds}=1\mu A$ ในแต่ละ V_{ds}

Vds(V)	Vgs(1uA)
0.1	8.793E-01
2	8.650E-01
3	8.546E-01
4	8.399E-01
5	8.212E-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากสมการจะได้ว่า

$$fd = slope = -0.0116$$

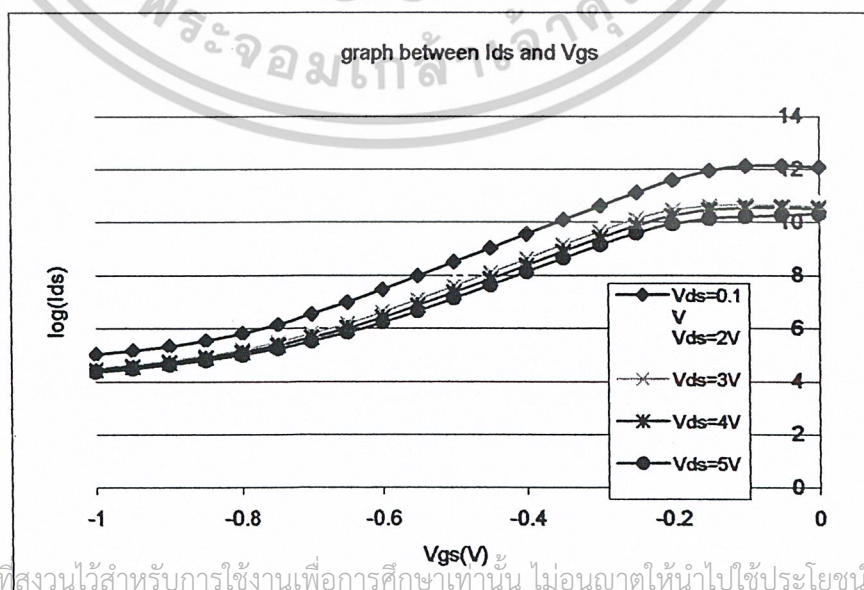
และจากสมการ

$$f_d = ETA \times \frac{8.15 \times 10^{-20}}{C_{ox} L_{eff}^3}$$

จะได้ว่า

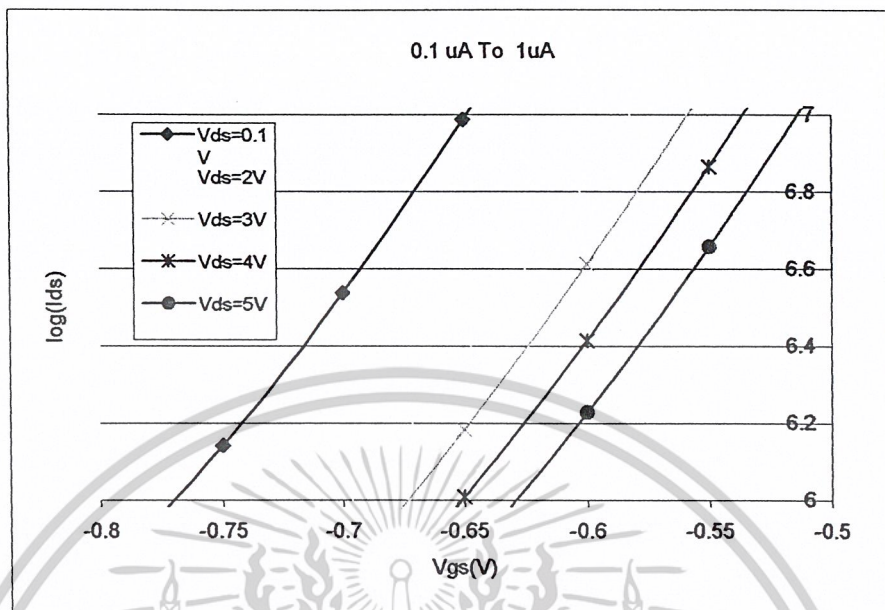
$$ETA = \frac{f_d C_{ox} L_{eff}^3}{8.15 \times 10^{-20}} = 1.96 \times 10^{-2}$$

4.11 ผลของการคำนวณหาค่า ETA ของ PMOS (W=20,L=1.2)



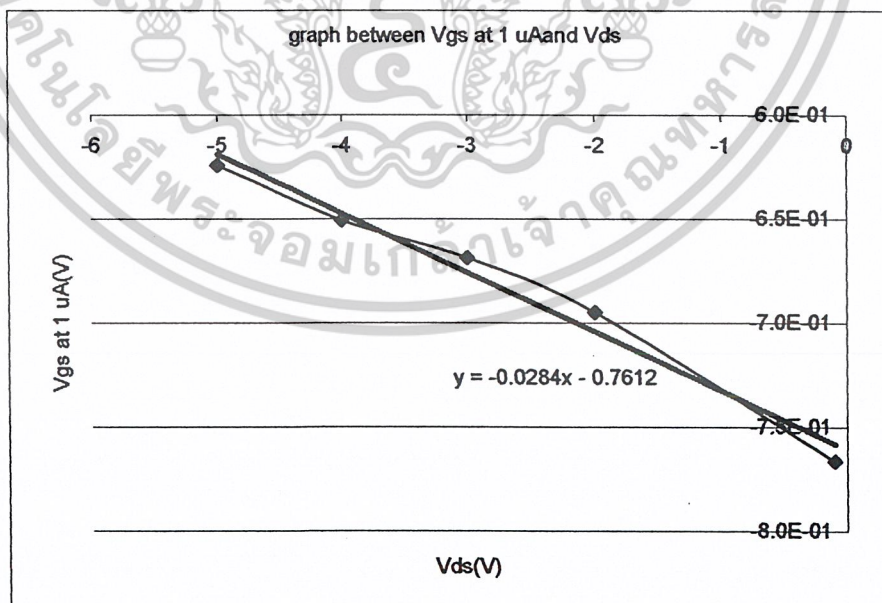
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากนั้นเราก็หาค่า V_{gs} at 1 μ A ในแต่ละ V_{ds} ได้ดังตาราง

$V_{ds}(V)$	$V_{gs}(1\mu A)$
-0.1	-7.664E-01
-2	-6.950E-01
-3	-6.688E-01
-4	-6.508E-01
-5	-6.244E-01



จากสมการจะได้ว่า $fd = slope = -0.0284\%$
 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากสมการ

$$f_d = ETA \times \frac{8.15 \times 10^{-20}}{C_{ox} L_{eff}^3}$$

จะได้ว่า

$$ETA = \frac{f_d C_{ox} L_{eff}^3}{8.15 \times 10^{-20}} = 4.80 \times 10^{-2}$$

4.12 ผลของการคำนวณหาค่า CGDO, CGSO, CGB0 ของ NMOS (W=20, L=1.2)

$$CGDO = CGSO \approx C_{ox} L_D$$

$$CGDO = 8.45 \times 10^{-11}$$

$$CGSO = CGDO = 8.45 \times 10^{-11}$$

$$CGB0 = 2W_D \cdot C_{ox}$$

$$CGB0 = 1.17E^{-7} * (2 * 0.08 \times 10^{-6}) = 1.94 \times 10^{-10}$$

4.13 ผลของการคำนวณหาค่า CGDO, CGSO, CGB0 ของ PMOS (W=20, L=1.2)

$$CGDO = CGSO \approx C_{ox} L_D$$

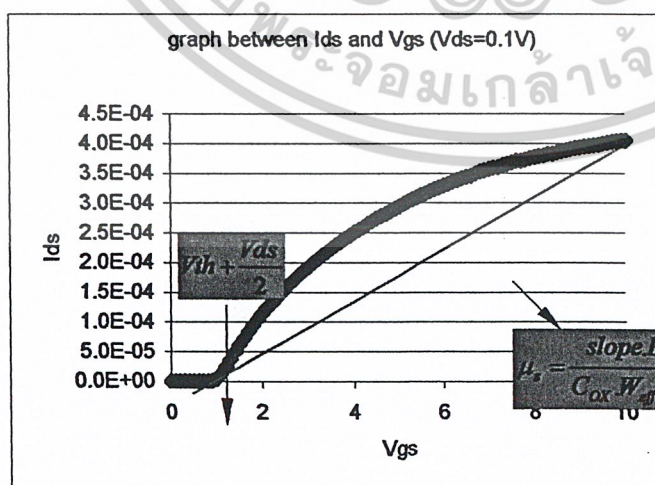
$$CGDO = 1.46 \times 10^{-10}$$

$$CGSO = CGDO = 1.46 \times 10^{-10}$$

$$CGB0 = 2W_D \cdot C_{ox}$$

$$CGB0 = 1.33E^{-7} * (2 * 0.13 \times 10^{-6}) = 3.38 \times 10^{-10}$$

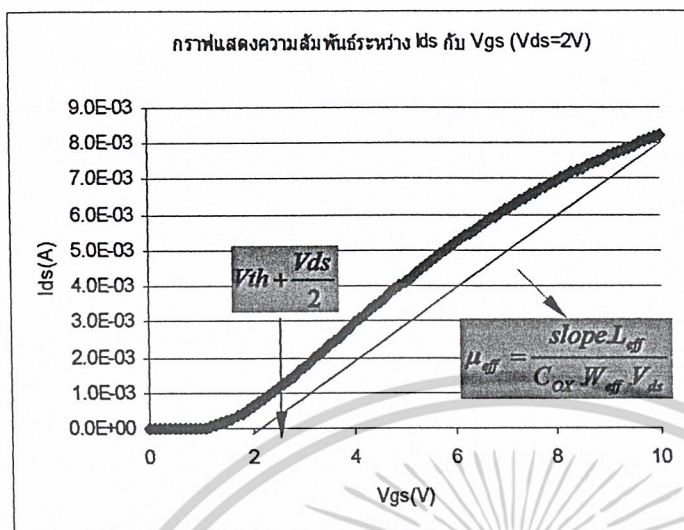
4.14 ผลของการคำนวณหาค่า V_{max} ของ NMOS (W=20, L=1.2)



DX	DY	slope
8.95	6.20E-04	6.93E-05

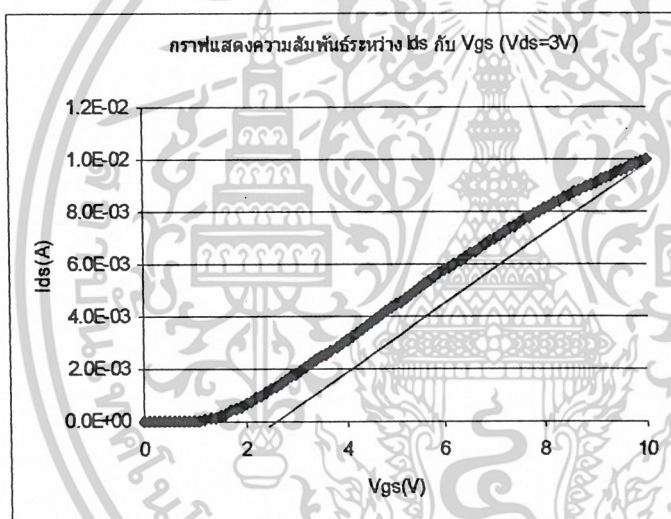
$us = \text{slope} * Leff / (Cox * Weff * Vds)$		
3.15E+02		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



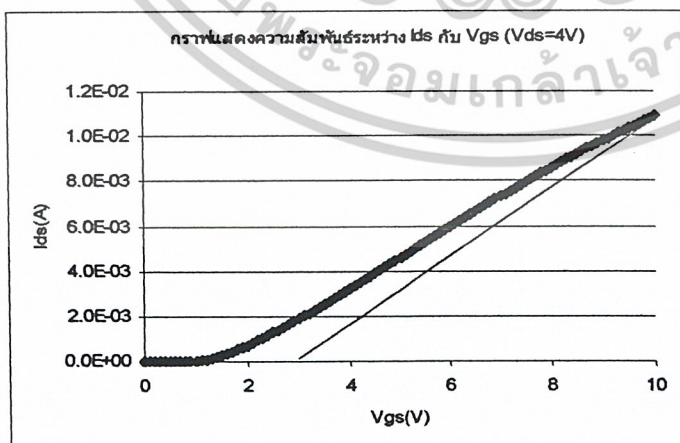
DX	DY	slope
8	8.21E-03	1.03E-03

$\mu_{eff} = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
2.33E+02



DX	DY	slope
7.5	1.00E-02	1.34E-03

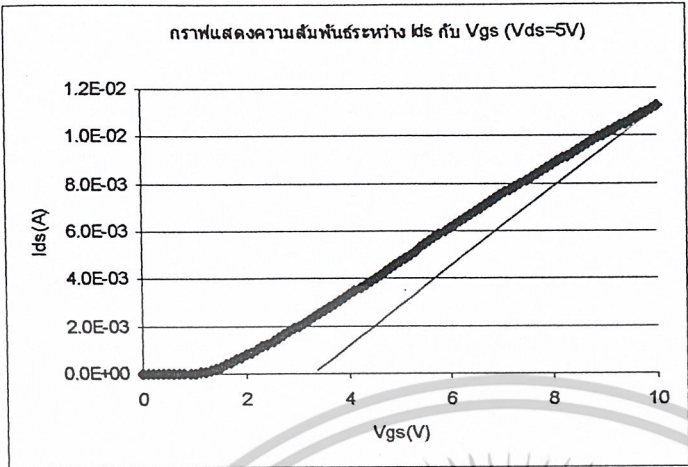
$\mu_{eff} = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
2.03E+02



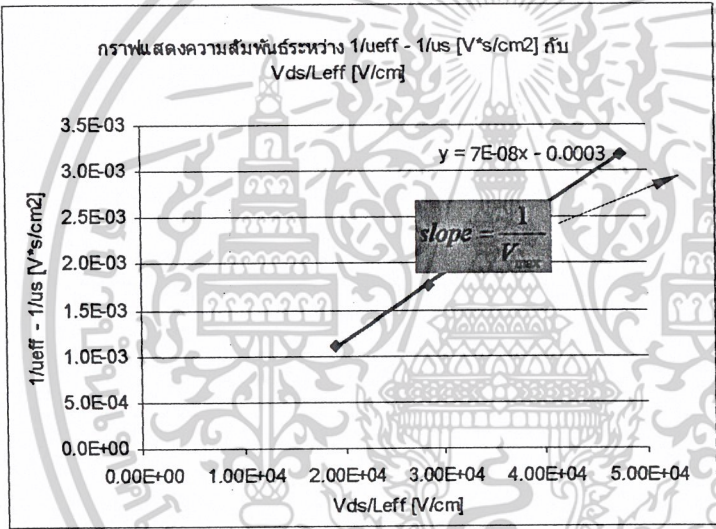
DX	DY	slope
7	1.09E-02	1.55E-03

$\mu_{eff} = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
1.77E+02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



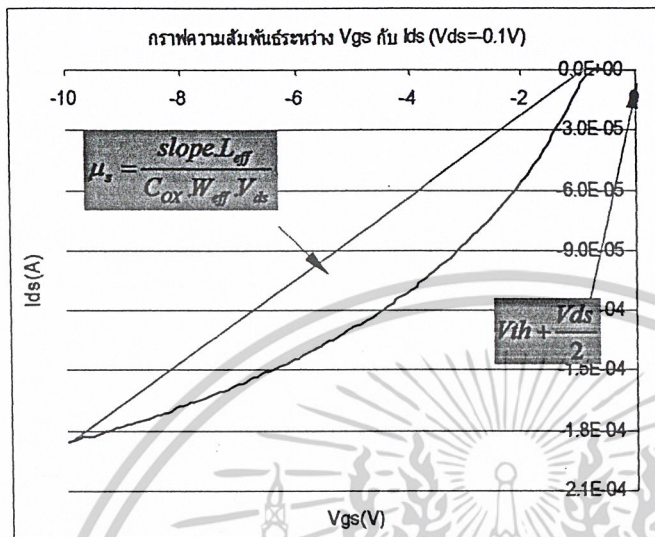
DX	DY	slope
6.5	1.12E-02	1.73E-03
$u_{eff} = \text{slope} * L_{eff} / (C_{ox} * W_{eff} * V_{ds})$		
1.57E+02		



$1/u_s$	$1/u_{eff}$	$V_{ds}/L_{eff}(V/cm)$	$1/u_{eff} - 1/u_s (V^*s/cm^2)$	
3.17E-03	4.28E-03	1.89E+04	1.11E-03	
	4.94E-03	2.84E+04	1.76E-03	
	5.66E-03	3.79E+04	2.48E-03	$V_{max} [cm/s]$
	6.35E-03	4.74E+04	3.18E-03	1.43E+07

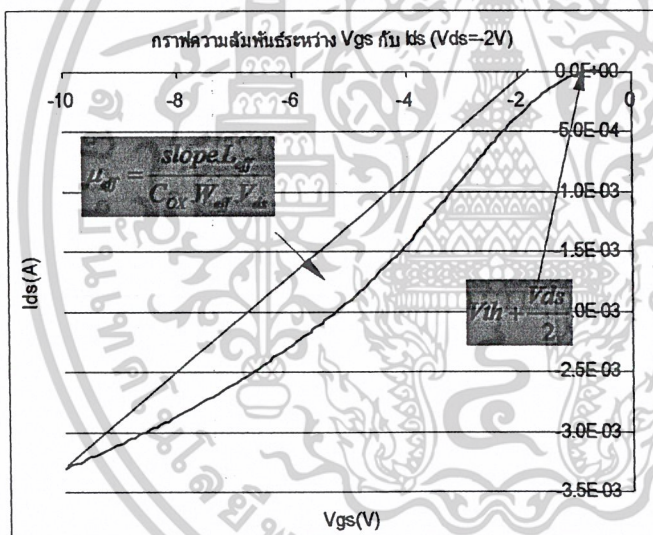
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.15 ผลของการคำนวณหาค่า V_{max} ของ PMOS ($W=20, L=1.2$)



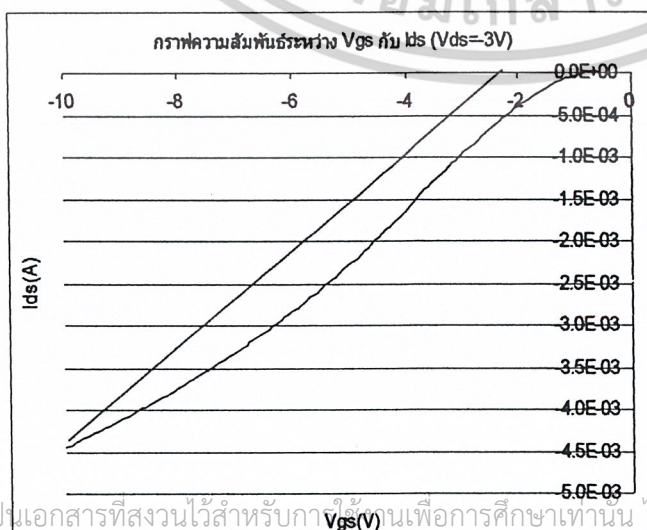
DX	DY	slope
-9.14	-1.86E-04	2.03E-05

$u_s = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
7.59E+01



DX	DY	slope
-8.19	-3.30E-03	4.03E-04

$u_{eff} = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
7.53E+01

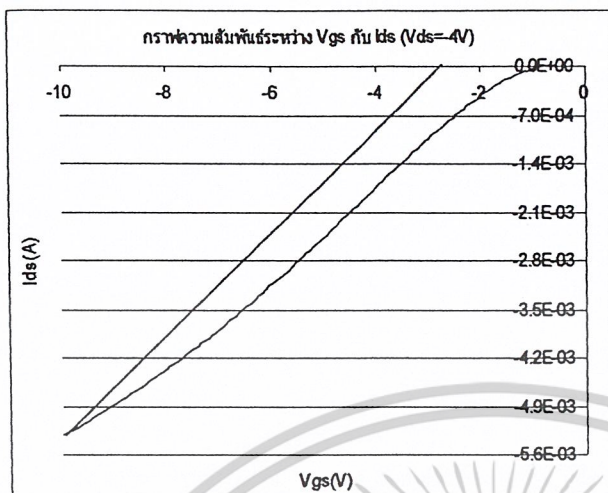


DX	DY	slope
-7.69	-4.45E-03	5.78E-04

$u_{eff} = slope \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
7.19E+01

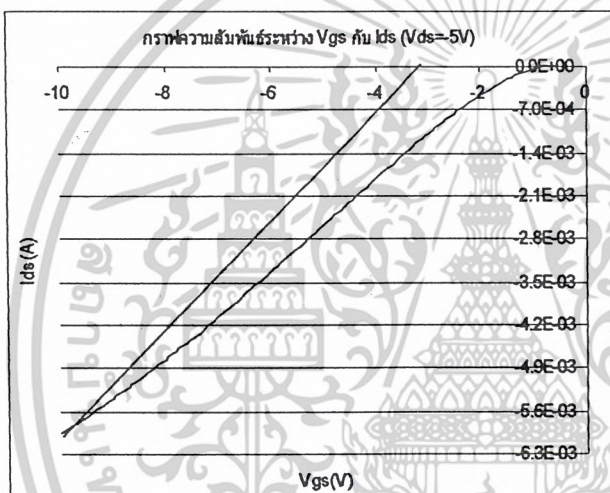
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



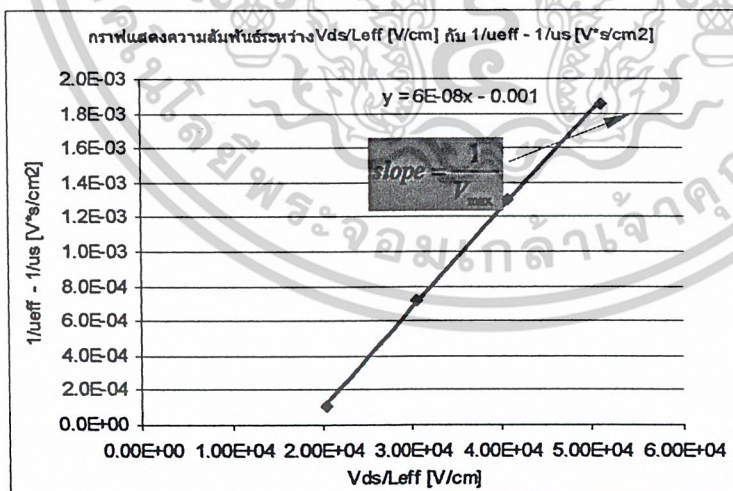
DX	DY	slope
-7.19	-5.32E-03	7.40E-04

$u_{eff} = \text{slope} \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
6.90E+01



DX	DY	slope
-6.69	-5.96E-03	8.91E-04

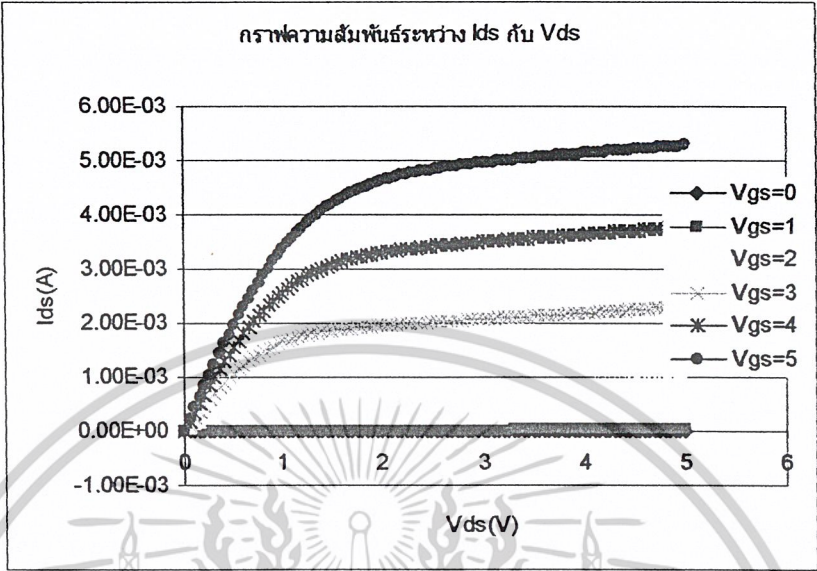
$u_{eff} = \text{slope} \cdot L_{eff} / (C_{ox} \cdot W_{eff} \cdot V_{ds})$
6.65E+01



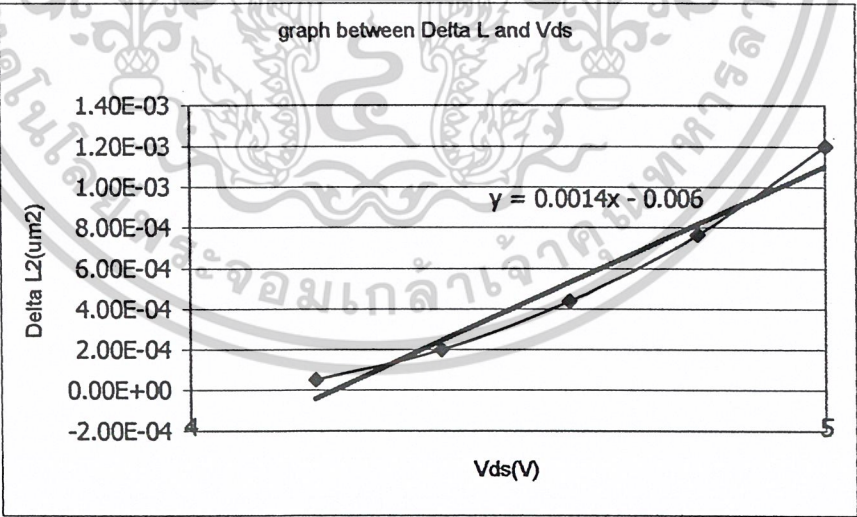
$1/\mu$	$1/u_{eff}$	V_{ds}/L_{eff} (V/cm)	$1/u_{eff} - 1/\mu$ ($V \cdot s/cm^2$)	
1.32E-02	1.33E-02	2.04E+04	1.09E-04	
	1.39E-02	3.06E+04	7.23E-04	
	1.45E-02	4.08E+04	1.31E-03	V_{max} [cm/s]
	1.50E-02	5.10E+04	1.86E-03	1.67E+07

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16 ผลของการคำนวณหาค่า Kappa ของ NMOS (W=20,L=1.2)



V_{ds}	ΔL	$\Delta L2$
4.2	-7.20E-03	5.18E-05
4.4	-1.41E-02	1.99E-04
4.6	-2.09E-02	4.38E-04
4.8	-2.76E-02	7.64E-04
5	-3.46E-02	1.20E-03



และ

$$KAPPA = \frac{slop}{X_D^2} = 0.15 \text{ V}^{-1}$$

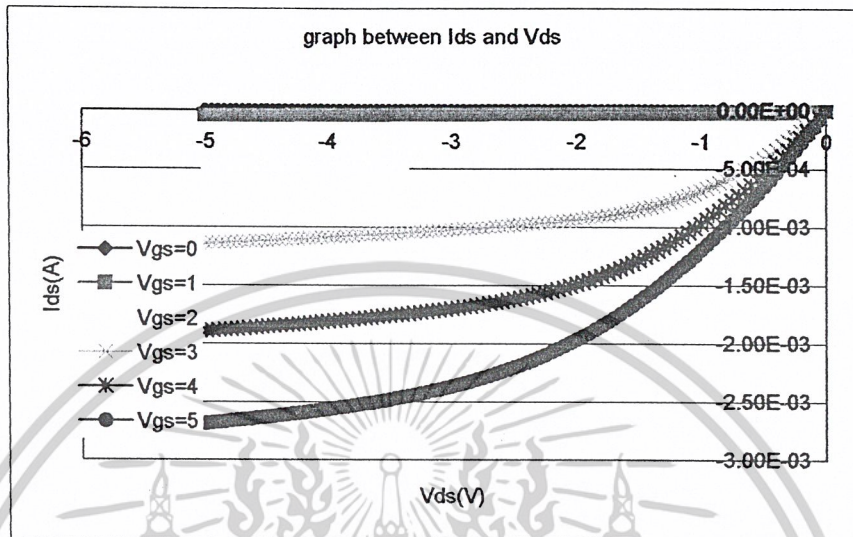
เมื่อ

$$X_D^2 = \frac{2\epsilon_{si}}{qP_{sub}} = 9.09 \times 10^{-11} \text{ cm}^2/\text{V}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.17 ผลของการคำนวณหาค่า Kappa ของ PMOS (W=20,L=1.2)

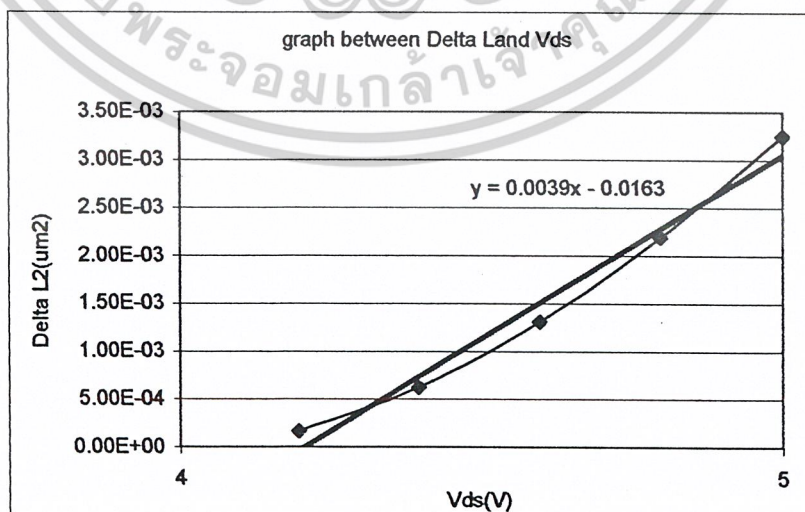
จากการวัดข้อมูลและเขียนกราฟระหว่าง I_{ds} กับ V_{ds} ที่ V_{gs} ค่าต่างๆจะได้



และจากข้อมูลเราสามารถหาค่า ΔL^2 ได้ดังตาราง

V_{ds}	ΔL	ΔL^2
4.2	-1.30E-02	1.68E-04
4.4	-2.50E-02	6.23E-04
4.6	-3.62E-02	1.31E-03
4.8	-4.68E-02	2.19E-03
5	-5.70E-02	3.25E-03

จากนั้นเมื่อหาความสัมพันธ์ระหว่าง ΔL^2 กับ V_{ds} จะได้



และ

$$KAPPA = \frac{slop}{X_D^2} = 1.05 \text{ V}^{-1}$$
 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$X_D^2 = \frac{2\epsilon_{si}}{qP_{sub}} = 3.70E-11 \text{ cm}^2/\text{V}$$

4.18 ผลของการคำนวณหาค่า NFS ของ NMOS (W=20,L=1.2)

$$NFS = \frac{C_{ox}}{q} * \log(e) * \left(\frac{S_{swing}}{kT/q} - \frac{\Gamma}{2 * \sqrt{\Phi} - 1} \right)$$

$$NFS = \frac{1.17E^{-14}}{1.6E^{-19}} * 0.434294482 * \left(\frac{0.09}{(1.38E^{-23} * 300)/1.6E^{-19}} - \frac{0.46}{2 * \sqrt{0.69} - 1} \right)$$

$$NFS = 1.63 \times 10^5 \quad F/cm^2 * C$$

4.19 ผลของการคำนวณหาค่า NFS ของ PMOS (W=20,L=1.2)

$$NFS = \frac{C_{ox}}{q} * \log(e) * \left(\frac{S_{swing}}{kT/q} - \frac{\Gamma}{2 * \sqrt{\Phi} - 1} \right)$$

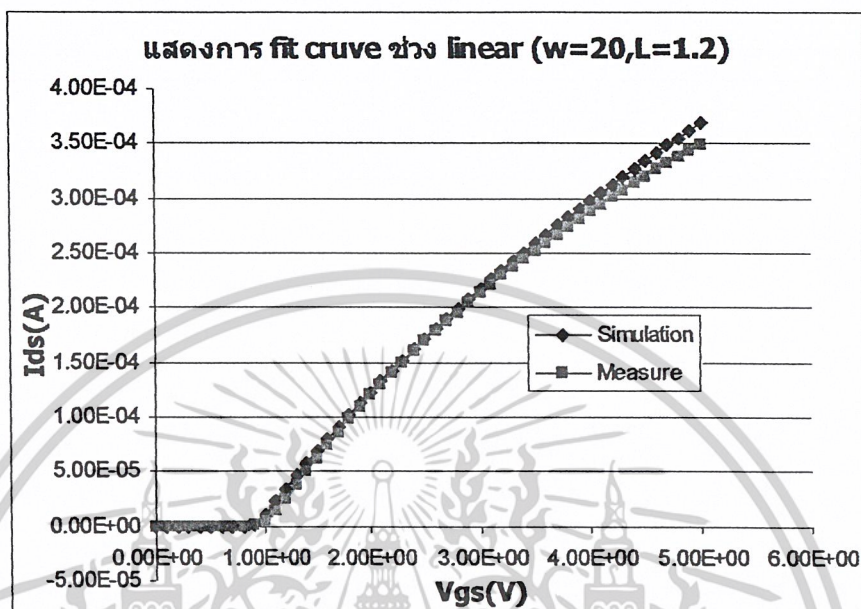
$$NFS = \frac{1.17E^{-14}}{1.6E^{-19}} * 0.434294482 * \left(\frac{0.09}{(1.38E^{-23} * 300)/1.6E^{-19}} - \frac{-0.64}{2 * \sqrt{0.74} - 1} \right)$$

$$NFS = 2.11 \times 10^5 \quad F/cm^2 * C$$

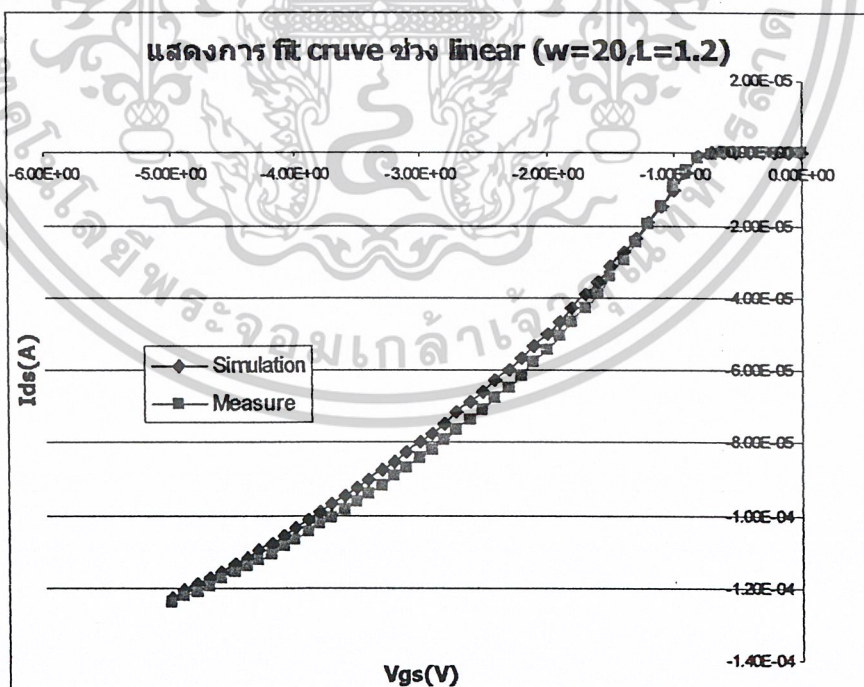
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.20 ผลการ Simulation ด้วยโปรแกรม PSPICE LEVEL 3

-ช่วง Linear (NMOS)

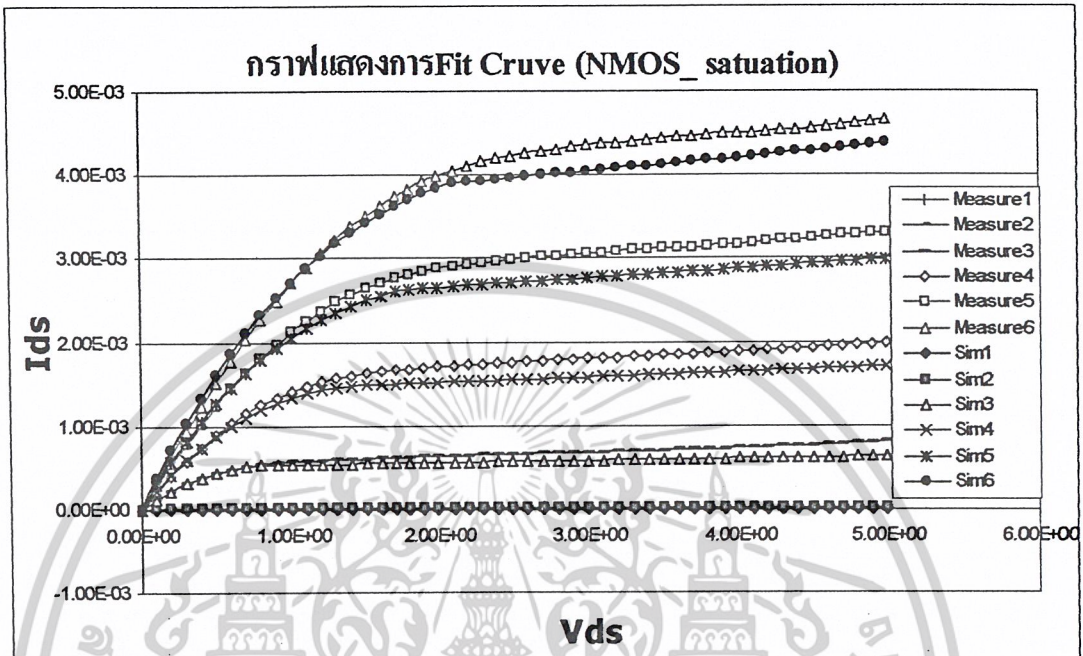


-ช่วง Linear (PMOS)

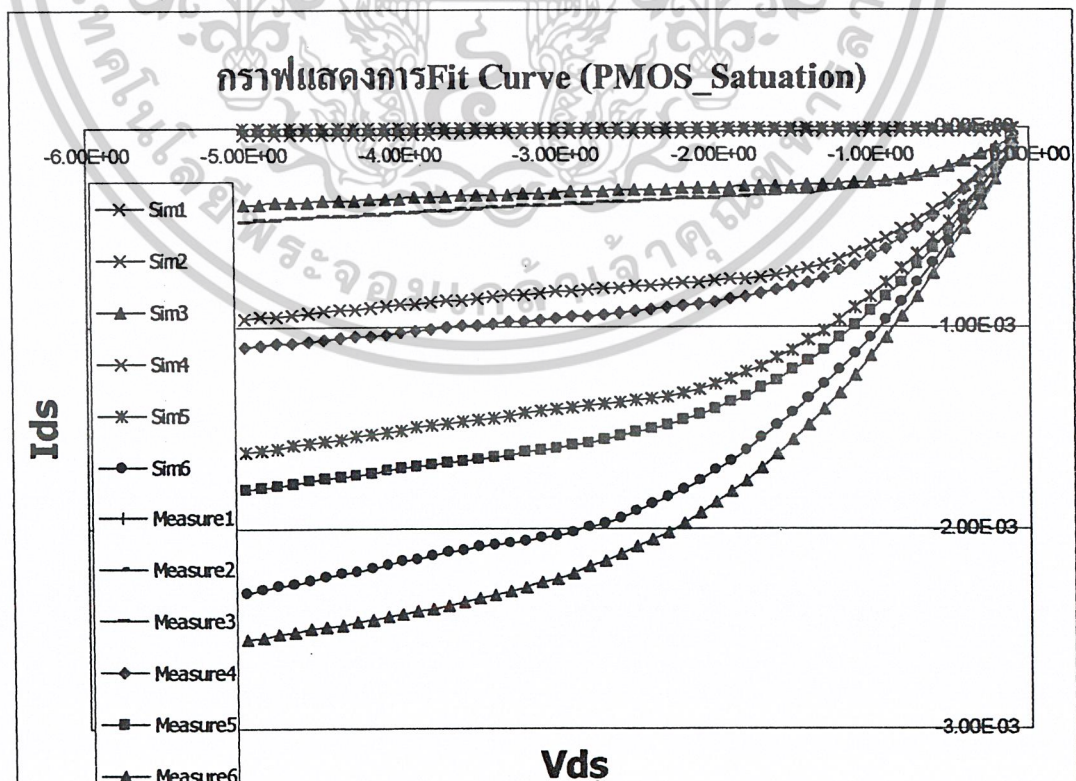


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ช่วง Saturation (NMOS)



-ช่วง Saturation (PMOS)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลและข้อเสนอแนะ

5.1 สรุปเนื้อหา

การทำโครงงานนี้มีวัตถุประสงค์เพื่อศึกษาคุณสมบัติทางไฟฟ้าของ CMOS ขนาด 1.2 μm บ่อแยกชนิดเอ็น(โดยจะทำการศึกษาในรูปของพารามิเตอร์ที่มีผลกระทบต่อโครงสร้างต่างๆ ใน CMOS) ซึ่งจากการศึกษาโครงสร้างของ CMOS แล้วทำให้ทราบว่า CMOS จะประกอบไปด้วยโครงสร้างพื้นฐาน 3 โครงสร้าง ดังนั้นจึงต้องทำการศึกษาพารามิเตอร์ในแต่ละโครงสร้างซึ่งสรุปได้ดังนี้

1. โครงสร้าง MOSFET จะทำการศึกษาค่าพารามิเตอร์โดยสรุป ดังนี้

$V_{to}, \text{PHI}, \text{GAMMA}, N_{sub}, U_0, K_p, \text{THETA}, R_{ds}, L_D, W_D, \text{Delta}, \text{ETA}, \text{CGD0}, \text{CGS0}, \text{CGB0}, V_{MAX}$
และ $Kappa$

2. โครงสร้าง MOS Capacitor (MOSC) จะทำการศึกษาค่าพารามิเตอร์โดยสรุป ดังนี้

ϵ_{ox}

3. โครงสร้าง p-n Junction (Diode) จะทำการศึกษาค่าพารามิเตอร์โดยสรุป ดังนี้

C_{JA}, C_{JP}, J_A และ J_P

และสามารถสรุปได้ว่าเมื่อโครงสร้างของ CMOS มีขนาดเล็กลงมาก (1.2 μm) จะทำให้ค่าของ V_t เปลี่ยนจาก

$$V_t = V_{fb} + 2\phi_f \quad \dots\dots\dots(5.1)$$

ซึ่งเป็นสมการของ CMOS ขนาดใหญ่ แต่เมื่อ CMOS มีขนาดเล็กลงก็จะทำให้มีผลกระทบเกิดขึ้น ทำให้สมการที่ 5.1 เปลี่ยนไปเป็นสมการที่ 5.2

$$V_t = V_{fb} + 2\phi_f + f_s \gamma (2\phi_f - V_{bs})^{\frac{1}{2}} + f_n (2\phi_f - V_{bs}) + \text{ETA} \frac{8.15 \times 10^{-22}}{C_{ox} L_{eff}} V_{ds} \quad \dots\dots\dots(5.2)$$

โดยที่ $f_s \gamma (2\phi_f - V_{bs})^{\frac{1}{2}}$ เป็นผลมาจาก short channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ในการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$ETA \frac{8.15 \times 10^{-22}}{C_{ox} L_{eff}} V_{ds}$$

เป็นผลมาจาก Drain induce barrier

สุดท้ายเมื่อเราได้ค่าพารามิเตอร์ครบทุกตัวแล้วก็จะใช้โปรแกรม SPICE Level 3 มาช่วยในการ Simulation เพื่อดูว่าพารามิเตอร์ที่เราคำนวณมาจากโครงสร้างแบบต่างๆกับค่าที่ได้จากการวัด CMOS ขนาด 1.2 μm นั้นอยู่ในช่วงการยอมรับได้หรือไม่

5.2 สรุปผลที่ได้จากการศึกษา

สำหรับค่าพารามิเตอร์ที่ได้ทำการศึกษามานั้นสามารถสรุปได้ดังตารางที่ 5.1

parameter	NMOS	PMOS	Unit	parameter	NMOS	PMOS	Unit
Vto	1	-0.81	V	ILD	96	-	um
Kp	6.82E-05	2.50E-05	A/V^2	IMD	109	-	um
GAMMA	0.46	0.64	$\text{V}^{1/2}$	IMD+ILD	189	-	um
SUB	8.54E+15	2.20E+16	cm^{-3}	Field oxide	51	-	um
Cox	1.17E-07	1.33E-07	F/cm^2	poly	450	-	nm
Tox	29.00	26.00	nm	Cja	1.17E-08	4.09E-08	F/cm^2
Uo	583.00	188.00	$\text{cm}^2/\text{V.s}$	Cjp	3.07E-12	2.76E-12	F/cm
PHI	0.69	0.74	V	Ja	1.50E-01	3.59E-07	A/cm^2
LD	0.07	0.11	um	Jp	2.24E-06	1.11E-10	A/cm
WD	0.08	0.13	um				
Leff	1.06	0.98	um				
Weff	19.83	19.75	um				
THETA	0.04	0.11	V^{-1}				
RD	396.40	1589.50	Ohm-um				
RS	396.40	1589.50	Ohm-um				
DELTA	1.04	2.21	-				
ETA	1.96E-02	4.80E-02	-				
Xj	7.00E-07	3.00E-07	m				
Vmax	1.43E+05	1.67E+05	m/s				
Kappa	0.013	0.1	-				
NFS	1.63E+05	2.11E+05	cm^{-2}				
CGSO	8.45E-11	1.46E-10	F/m				
CGDO	8.45E-11	1.46E-10	F/m				
CGBO	1.94E-10	3.38E-10	F/m				
LAMBDA	Level1						

ตารางที่5.1 แสดงค่าพารามิเตอร์ทั้งหมดที่ได้ทำการศึกษามา

และเมื่อนำค่าพารามิเตอร์ในตารางนี้ไปทำการ Simulation ด้วย โปรแกรม P-SPICE Level 3 แล้วจะพบว่าผลอยู่ในเกณฑ์ที่ยอมรับได้ คือกราฟที่ได้จากการ Simulation กับกราฟที่ได้จากการวัดมีความใกล้เคียงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 สรุปการทำงาน

ในการทำโครงการนี้ได้เริ่มทำตั้งแต่วันที่ 16 มิถุนายน 2547 และสิ้นสุดการทำงานในวันที่ 23 มีนาคม 2548

5.4 ข้อเสนอแนะ

5.4.1 สำหรับการเก็บข้อมูลในครั้งนี้นี้เนื่องจากข้อมูลนั้นมีจำนวนมากดังนั้นทางทีมงานจึงทำการสุ่มเก็บข้อมูล โดยการเลือกเก็บเฉพาะ ไค์บีน,ล่าง,ซ้าย,ขวา และ กลางเท่านั้น ซึ่งในความเป็นจริงแล้ว เราจะต้องทำการเก็บข้อมูลในทุกๆ ไค์บ เพื่อความถูกต้องที่มากขึ้น

5.4.2 เนื่องจากในปัจจุบันนี้เทคโนโลยีทางการผลิต CMOS นั้นก้าวหน้าไปมาก ดังนั้น สำหรับผู้ที่มาพัฒนาโครงการชิ้นต่อไป ทางทีมงานจึงขอแนะนำให้ทำการศึกษา CMOS ที่มีขนาดเล็กที่สุดเท่าที่จะสามารถทำได้ เพื่อเป็นประโยชน์ต่อการพัฒนาทางด้านเทคโนโลยีการผลิตสำหรับประเทศไทยต่อไป

บรรณานุกรม

รศ.ดร. สมเกียรติ ศุภเดช. 2545. เซมิคอนดักเตอร์ดีไวซ์, 1 . กรุงเทพฯ : แผนกตำรา คณะ
วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Sima Dimitrijević. 2000. Understanding Semiconductor Devices. 3. New York : Oxford
University Press.

DeWITT G.ONG. 1986. MODERN MOS TECHNOLOGY. 1. Singapore : McGraw – Hill Book
Company.

Daniel P.Forty. 1997. MOSFET MODELING WITH SPICE Principles and Practice. 1. New
Jersey : A Simon & Schuster Company.

อนุชา เรืองพานิช , สรายุทธ วิศวะแสงสุข. 2546. วิธีการหาแบบจำลองพารามิเตอร์ของ MOS-
Transistors. วารสารNECTEC. ปีที่ 10 ฉบับที่ 53



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

สัญลักษณ์และค่าคงที่

List of Symbols

Symbol	Description	Unit
A_1	Area of square diode	cm^2
A_2	Area of meander diode	cm^2
C	Capacitance	F
C_j	Capacitance of junction	F
C_{jA}	Capacitance of junction area	F/cm^2
C_{jP}	Capacitance of junction perimeter	F/cm
C_{OX}	Capacitance of oxide	F/cm^2
C_1	Capacitance of square diode at 0V	F
C_2	Capacitance of meander diode at 0V	F
E_C	Bottom of conduction band	eV
E_F	Fermi energy level	eV
E_v	Top of valence band	eV
I	Current	A
I_C	Collector current	A
I_{leak}	Leakage current	A
I_1	Leakage current of square diode at -5.5 V	A
I_2	Leakage current of meander diode at -5.5 V	A
J_A	Leakage current density of area	A/cm^2
J_P	Leakage current density of perimeter	A/cm
k	Boltzmann constant	J/K
kT	Thermal energy	eV
n	Density of free electrons	cm^{-3}
n_i	Intrinsic carrier concentration	cm^{-3}
N	Doping concentration	cm^{-3}
N_A	Acceptor-impurity density	cm^{-3}
N_C	Effective density of states in conduction band	cm^{-3}
N_D	Donor-impurity density	cm^{-3}
p	Density of free holes	cm^{-3}
P_1	Perimeter of square diode	cm
P_2	Perimeter of meander diode	cm
q	Magnitude of electronic charge	C
Q_{it}	Interface-trapped charge	$\text{charges}/\text{cm}^2$
T	Absolute Temperature	K
t_{ox}	Thin oxide thickness	nm
V	Voltage	V
V_{bi}	Built-in potential	V
V_{DD}	Power supply voltage	V
V_D	Drain voltage	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

List of Symbols (ต่อ)

Symbol	Description	Unit
V_G	Gate voltage	V
V_{FB}	Flat band voltage	V
V_S	Substrate voltage	V
V_{TH}	Threshold voltage	V
ϵ_0	Permittivity in vacuum	F/cm
ϵ_S	Semiconductor permittivity	F/cm
ϵ_{OX}	Insulator permittivity	F/cm
μ_0	Permeability in vacuum	H/cm
μ_n	Electron mobility	cm ² /V.s
μ_p	Hole mobility	cm ² /V.s
ϕ_F	Fermi level of substrate	V
$q\phi_m$	Metal work function	eV

List of Constants

Symbols	Value	Unit
k	1.38×10^{-23}	J/k
n_i	1.4×10^{10}	cm ⁻³
q	1.6×10^{-19}	C
ϵ_S	1.04×10^{-12}	F/cm
ϵ_{OX}	3.45×10^{-15}	F/cm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรม PSPICE LEVEL3

ตัวแปรที่ใช้

parameter	Description	Unit
Vto	Threshold Voltage,Long,Wide Device,Zero Substrate Bias	V
Kp	Process transconductance Parameter	A/V^2
GAMMA	Bulk threshold parameter	$V^{1/2}$
SUB	Substrate Sensitivity Parameter(Effective Substrate Doping)	cm^{-3}
Tox	Gate Oxide Thickness	nm
Uo	Zero Bias Low Field Mobility	$cm^2/V.s$
PHI	Surface potential	V
LD	Channel Length Reduction From Drawn Value	μm
WD	Channel Width Reduction From Drawn Value	μm
THETA	Gate Field Induced Mobility Reduction Parameter	V^{-1}
RD	Drain Series Resistance	Ohm- μm
RS	Source Series Resistance	Ohm- μm
Cja	Capacitor of junction by area	F/cm^2
Cjp	Capacitor of junction by perimeter	F/cm
Ja	Current density by area	A/cm^2
Jp	Current density by perimeter	A/cm
DELTA	Narrow Channel Effect on the Threshold Voltage	-
ETA	DIBL Coefficient	-
Xj	Short Channel Correction to the Substrate Sensitivity	m
Vmax	Maximum Carrier Velocity	cm/s
Kappa	Channel Length Modulation Effect on the Drain Current	-
NFS	Sub threshold Region Fitting Parameter	cm^{-2}
CGSO	Zero Bias Gate-Source Capacitance	F/m
CGDO	Zero Bias Gate-Drain Capacitance	F/m
CGBO	Zero Bias Gate-Bulk Capacitance	F/m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Source Code for PMOS

*model for NMOS 1.2 um IMEC KMITL thesist

.MODEL NMOS NMOS (LEVEL = 3 VTO=0.95 KP=6.82E-5 GAMMA=0.46 TPG=1

+NSUB=8.54E+15 TOX=2.90E-08 UO=583 PHI=0.69 LD=0.07E-6

WD=0.08E-6

+THETA=0.04 RD=21 RS=21 DELTA=1.04 ETA=1.96E-02

XJ=7.00E-07

+VMAX=1.43E+05 KAPPA=0.2 NFS=1.63E+05 CGSO=8.45E-11

CGDO=8.45E-11

+CGBO=1.94E-10)

*model for PMOS

.MODEL PMOS PMOS (LEVEL = 3 VTO =-0.81 KP=2.50E-5 GAMMA=0.64 TPG=-1

+NSUB=2.2E+16 TOX=2.60E-08 UO=188 PHI=0.74 LD=0.11E-6

WD=0.13E-6

+THETA=0.11 RD=59 RS=59 DELTA= 2.21 ETA=4.80E-02

XJ=3.00E-07

+VMAX=1.67E+05 KAPPA=1.6 NFS=2.11E+05 CGSO=1.46E-10

CGDO=1.46E-10

+CGBO=3.38E-10)

VDS 1 3

VGS 2 3

*VDD node 1

*VG node 2

*GND node 2

M1 1 2 3 3 PMOS W =20u L= 1.2u

.DC VDS 0 -5 -0.1 VGS 0 -5 -1

.print dc ID(M1)

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Source Code for NMOS

*model for NMOS 1.2 um IMEC KMITL thesist

.MODEL NMOS NMOS (LEVEL = 3 VTO=0.95 KP=6.82E-5 GAMMA=0.46 TPG=1

+NSUB=8.54E+15 TOX=2.90E-08 UO=583 PHI=0.69 LD=0.07E-6

WD=0.08E-6

+THETA=0.04 RD=21 RS=21 DELTA=1.04 ETA=1.96E-02

XJ=7.00E-07

+VMAX=1.43E+05 KAPPA=0.2 NFS=1.63E+05 CGSO=8.45E-11

CGDO=8.45E-11

+CGBO=1.94E-10)

*model for PMOS

.MODEL PMOS PMOS (LEVEL = 3 VTO =-0.81 KP=2.50E-5 GAMMA=0.64 TPG=-1

+NSUB=2.2E+16 TOX=2.60E-08 UO=188 PHI=0.74 LD=0.11E-6

WD=0.13E-6

+THETA=0.11 RD=59 RS=59 DELTA= 2.21 ETA=4.80E-02

XJ=3.00E-07

+VMAX=1.67E+05 KAPPA=1.6 NFS=2.11E+05 CGSO=1.46E-10

CGDO=1.46E-10

+CGBO=3.38E-10)

VDS 1 3

VGS 2 3

*VDD node 1

*VG node 2

*GND node 2

M1 1 2 3 3 NMOS W =20u L= 1.2u

.DC VDS 0 5 0.1 VGS 0 5 1

.print dc ID(M1)

.end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้