สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การออกแบบหน่วยความจำ SRAM ขนาด 64 × 1 บิต

# 64 × 1 bit Static Random Access Memory (SRAM) Design

โดย

นายสมคิด ศรีบุระ

นายเอกลักษณ์ จามากุล

เลขหมู่.....
เลขทะเบียน..... 61457
วัน,เดือน,ปี..... 17 ก.ค. 2549

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การออกแบบหน่วยความจำ SRAM ขนาด 64 × 1 บิต

# 64 × 1 bit Static Random Access Memory (SRAM) Design


โดย

นายสมคิด ศรีบุระ รหัส 45015213

นายเอกลักษณ์ จามากุล รหัส 45015224

อาจารย์ที่ปรึกษา

รศ.ดร. วรากร เกษมสุวรรณ์


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบหน่วยความจำ SRAM ขนาด 64 × 1 บิต


ผู้จัดทำ

1. นายสมคิด ศรีบุระ รหัส 45015213
2. นายเอกลักษณ์ จามากุล รหัส 45015224


..... อาจารย์ที่ปรึกษา

( รศ.ดร. วรากร เกษมสุวรรณ์ )


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบหน่วยความจำ SRAM ขนาด 64 × 1 บิต

64 × 1 bit Static Random Access Memory (SRAM) Design

ผู้จัดทำ นายสมคิด ศรีบุระ รหัสประจำตัว 45015213

นายเอกลักษณ์ จามากุล รหัสประจำตัว 45015224

โครงงานนี้ได้รับการตรวจสอบแล้วพร้อมที่จะทำการสอบได้

ลงชื่อ .....

( รศ.ดร. วรากร เกษมสุวรรณ์ )

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การออกแบบ 64 × 1 bit Static Random Access Memory (SRAM)

นายสมคิด ศรีบุระ รหัส 45015213
นายเอกลักษณ์ จามากุล รหัส 45015224
รศ. ดร. วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ภาคเรียนที่ 2 ปีการศึกษา 2547

**บทคัดย่อ**

คอมพิวเตอร์ที่ใช้งานกันในปัจจุบันมีซีพียูเป็นตัวกำหนดความเร็ว โดยอุปกรณ์ต่างๆรอบข้างต้องมีการพัฒนาให้สามารถรองรับความเร็วของซีพียูด้วย หน่วยความจำแบบ SRAM คือส่วนที่ติดต่อกับซีพียูโดยตรง โดยหน้าที่ของ SRAM คือทำการรับและส่งข้อมูล ในโครงงานนี้เป็นการนำเสนอการออกแบบ SRAM ขนาด 64 × 1 บิท โดยเราสามารถนำไปผลิตและสร้างเป็นอุปกรณ์ใช้งานได้จริง โปรแกรม H-SPICE ได้ถูกนำมาใช้ในการจำลองการทำงานของวงจร SRAM ให้ได้ตามเงื่อนไข ท้ายสุดวงจร SRAM ได้ถูกสร้างเป็นลวดลายโดยใช้โปรแกรม L-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 64 × 1 bit Static Random Access Memory (SRAM) Design

Mr. Somkid Sibura 45015213

Mr. Ekkalak Jamakul 45015224

Assoc.Prof.Dr. Varakorn Kasemsuwan

Advisor 2004

**ABSTRACT**

The speed of computer today is determined mainly by the speed of the CPU. To fully utilize the CPU capability, all those peripheral circuits connected to CPU should be able to operate at high speed as well. SRAM is one among important circuit directly connected to CPU and therefore the design of SRAM is important. This project presents the 64 × 1 bit SRAM design. HSPICE is used to verify the circuit performance. Finally, SRAM is layouted using L-EDIT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อ | |
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีพื้นฐาน | 2 |
| 2.1 ประเภทของหน่วยความจำ | 2 |
| 2.2 วงจรพื้นฐานของหน่วยความจำแบบสแตติค (SRAM) | 5 |
| บทที่ 3 องค์ประกอบพื้นฐานและการออกแบบหน่วยความจำแบบสแตติค (SRAM) | 7 |
| 3.1 หน่วยความจำแบบสแตติค (SRAM Memory) | 7 |
| 3.2 วงจรหน่วยความจำ (SRAM Memory Cell) | 8 |
| 3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder) | 10 |
| 3.4 วงจรถอดรหัสทางแนวตั้ง (Column Decoder) | 11 |
| 3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit) | 12 |
| 3.6 วงจร Precharge | 13 |
| 3.7 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control) | 14 |
| 3.8 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) | 15 |
| 3.9 วงจรขยาย (Sense Amplifier) | 16 |
| 3.10 วงจรพื้นฐานและสมการที่ใช้ในการออกแบบ | 16 |
| 3.11 วงจรรวมของหน่วยความจำแบบสแตติค | 22 |
| บทที่ 4 การจำลองการทำงานของหน่วยความจำแบบสแตติค | 23 |
| 4.1 หน่วยความจำ (SRAM Memory) | 23 |
| 4.2 วงจรถอดรหัสทางแนวนอน (Row Decoder) | 27 |
| 4.3 วงจรถอดรหัสทางแนวตั้ง (Column Decoder) | 32 |
| 4.4 วงจรควบคุมสัญญาณ (Control Logic Circuit) | 37 |
| 4.5 วงจร Prechrage | 42 |
| 4.6 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control) | 47 |
| 4.7 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) | 51 |
| 4.8 วงจรขยาย (Sense Amplifier) | 55 |
| 4.9 ลวดลาย (Layout) ของวงจรรวมหน่วยความจำแบบสแตติค | 59 |
| 4.10 ลักษณะสัญญาณทางทฤษฎีในการอ่านและเขียนข้อมูล | 63 |
| 4.11 แสดงขาใช้งานของหน่วยความจำแบบสแตติคขนาด 64 x 1 bit | 66 |
| สรุปผลการทดลอง | 67 |
| บรรณานุกรม | 69 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูปภาพ


| | หน้า |
|---|---|
| รูปที่ 2.1 สัญลักษณ์วงจรหน่วยความจำแบบสแตติค (SRAM) | 6 |
| รูปที่ 2.2 วงจรหน่วยความจำแบบ 6T SRAM Cell | 6 |
| รูปที่ 3.1 บล็อกไดอะแกรมของหน่วยความจำแบบสแตติค (SRAM) | 7 |
| รูปที่ 3.2 วงจรหน่วยความจำ (SRAM Memory Cell) | 8 |
| รูปที่ 3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder) | 10 |
| รูปที่ 3.4 วงจรถอดรหัสทางด้านแนวตั้ง (Column Decoder) | 11 |
| รูปที่ 3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit) และตารางสภาวะการทำงาน | 12 |
| รูปที่ 3.6 วงจร Precharge | 13 |
| รูปที่ 3.7 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control) | 14 |
| รูปที่ 3.8 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) | 15 |
| รูปที่ 3.9 วงจรขยาย (Sense Amplifier) | 16 |
| รูปที่ 3.10 วงจร CMOS Inverter | 16 |
| รูปที่ 3.11 วงจร Inverter แสดงให้เห็นค่าความต้านทานช่องทางเดินกระแส | 18 |
| รูปที่ 3.12 แสดงขนาด CMOS NAND Gate (a) และ CMOS NOR Gate (b) | 19 |
| รูปที่ 3.13 วงจรหน่วยความจำที่ใช้ CMOS | 19 |
| รูปที่ 3.14 วงจรหน่วยความจำขณะเริ่มอ่าน | 20 |
| รูปที่ 3.15 วงจรรวมทั้งหมดของหน่วยความจำแบบสแตติค | 22 |
| รูปที่ 4.1 วงจรหน่วยความจำ (SRAM Memory) | 23 |
| รูปที่ 4.2 ผลการทดลองหน่วยความจำในขณะทำการเขียน "1" และอ่าน "1" | 24 |
| รูปที่ 4.3 ผลการทดลองหน่วยความจำในขณะทำการเขียน "0" และอ่าน "0" | 25 |
| รูปที่ 4.4 ลวดลาย (Layout) ของหน่วยความจำ | 26 |
| รูปที่ 4.5 ผลการทดลองหน่วยความจำขณะเขียน 1 และอ่าน 1 | 27 |
| รูปที่ 4.6 ผลการทดลองหน่วยความจำขณะเขียน 0 และอ่าน 0 | 27 |
| รูปที่ 4.7 วงจรถอดรหัสทางแนวนอน (ROW Decoder) | 28 |
| รูปที่ 4.8 ผลการทดลองวงจรถอดรหัสทางแนวนอน แอดเดรส 001 010 | 29 |
| รูปที่ 4.9 ลวดลายของวงจรถอดรหัสทางแนวนอน | 31 |
| รูปที่ 4.10 ผลการทดลองวงจรถอดรหัสทางแนวนอนจากการออกแบบลวดลาย | 32 |
| รูปที่ 4.11 วงจรถอดรหัสทางแนวตั้ง (Column Decoder) | 33 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.12 ผลการทดลองวงจรถอดรหัสทางแนวตั้ง แอดเดรส 001 010 34
รูปที่ 4.13 ลวดลายของวงจรถอดรหัสทางแนวตั้ง 36
รูปที่ 4.14 ผลการทดลองวงจรถอดรหัสทางแนวตั้งจากการออกแบบลวดลาย 37
รูปที่ 4.15 วงจรควบคุมสัญญาณ (Control Logic Circuit) 38
รูปที่ 4.16 ผลการทดลองวงจรควบคุมสัญญาณ ขณะทำการเขียน "1" และเขียน "0" 39
รูปที่ 4.17 ผลการทดลองวงจรควบคุมสัญญาณ ขณะทำการอ่านและขณะชิพไม่ทำงาน 40
รูปที่ 4.18 ลวดลายของวงจรควบคุมสัญญาณ 41
รูปที่ 4.19 ผลการทดลองวงจรถอดรหัสทางแนวตั้งจากการออกแบบลวดลาย 42
รูปที่ 4.20 วงจร Precharge 43
รูปที่ 4.21 ผลการทดลองวงจร Precharge แอดเดรส 001 010 44
รูปที่ 4.22 ลวดลายของวงจร Precharge 46
รูปที่ 4.23 ผลการทดลองวงจร Precharge จากการออกแบบลวดลาย 47
รูปที่ 4.24 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control) 48
รูปที่ 4.25 ผลการทดลองวงจรควบคุมข้อมูลทางด้านอินพุท ขณะทำการเก็บ "1" 49
รูปที่ 4.26 ลวดลายของวงจรควบคุมข้อมูลทางด้านอินพุท 50
รูปที่ 4.27 ผลการทดลองวงจรควบคุมข้อมูลทางด้านอินพุทจากการออกแบบลวดลาย 51
รูปที่ 4.28 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) 52
รูปที่ 4.29 ผลการทดลองวงจรควบคุมข้อมูลทางด้านเอาท์พุท ขณะทำการอ่าน "1" 53
รูปที่ 4.30 ลวดลายของวงจรควบคุมข้อมูลทางด้านเอาท์พุท 54
รูปที่ 4.31 ผลการทดลองวงจรควบคุมข้อมูลทางด้านเอาท์พุทจากการออกแบบลวดลาย 55
รูปที่ 4.32 วงจรขยาย (Sense Amplifier) 56
รูปที่ 4.33 ผลการทดลองวงจรขยาย 57
รูปที่ 4.34 ลวดลายของวงจรขยาย 58
รูปที่ 4.35 ผลการทดลองวงจรขยายจากการออกแบบลวดลาย 58
รูปที่ 4.36 ลวดลาย (Layout) ของวงจรรวมหน่วยความจำแบบสแตติค 59
รูปที่ 4.37 ผลการทดลองในขณะทำการเขียนข้อมูลที่ตำแหน่ง 010 010 61
รูปที่ 4.38 ผลการทดลองในขณะทำการอ่านข้อมูลที่ตำแหน่ง 010 010 62
รูปที่ 4.39 ลักษณะสัญญาณทางทฤษฎีในการเขียนข้อมูล 64
รูปที่ 4.40 ลักษณะสัญญาณทางทฤษฎีในการอ่านข้อมูล 66
รูปที่ 4.41 แสดงขาใช้งานของหน่วยความจำแบบสแตติคขนาด 64 x 1 bit 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## 1.1 บทนำ

เนื่องจากทุกวันนี้คอมพิวเตอร์มีการใช้งานกันอย่างกว้างขวางในทุกประเภทของการทำงาน ข้อได้เปรียบบางประการที่ทำให้คอมพิวเตอร์ทำงานได้เต็มประสิทธิภาพและมีความรวดเร็วในการรับส่งข้อมูลก็คือ หน่วยความจำ RAM ซึ่งในโครงงานนี้จะเป็นการออกแบบ SRAM (Static Random Access Memory) ในการออกแบบจะใช้ CMOS เป็นอุปกรณ์ที่ใช้ในการออกแบบเป็นหลัก และ CMOS ก็มีข้อดีคือ เป็นอุปกรณ์ที่กินพลังงานต่ำ (Low Power), กระบวนการสร้างมีความซับซ้อนน้อย และใช้พื้นที่น้อยกว่าเมื่อเทียบกับอุปกรณ์ประเภทไบโพลาร์ทรานซิสเตอร์

## 1.2 วัตถุประสงค์และเป้าหมาย

1. เพื่อใช้เป็นส่วนประกอบหลักของรายวิชาโครงงาน
2. เพื่อใช้ศึกษากระบวนการทำงานของหน่วยความจำแบบสแตติคแรม (SRAM)
3. เพื่อใช้ศึกษาโครงสร้างทั่วๆไปของหน่วยความจำแบบสแตติคแรม (SRAM)
4. เพื่อใช้ในการศึกษาโปรแกรมที่ใช้ในการจำลองการทำงาน
5. เพื่อใช้ในการศึกษาวิธีการออกแบบลวดลาย (Layout) ของตัวอุปกรณ์

## 1.3 ประโยชน์ของโครงงาน

1. ทำให้ได้รับความรู้เกี่ยวกับการทำงานของ SRAM
2. ทำให้ทราบถึงโครงสร้างภายในของวงจร SRAM
3. ทำให้มีความรู้ในการใช้โปรแกรมจำลองการทำงาน เช่น HSPICE
4. ทำให้มีความรู้ในการออกแบบลวดลาย (Layout) ของตัวอุปกรณ์ เช่น NMOS, PMOS
5. ทำให้สามารถนำทักษะไปใช้ในการออกแบบวงจรรวมประเภทอื่นได้
6. สามารถนำไปสร้างเป็นชิพเพื่อใช้งานจริงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีพื้นฐาน

## 2.1 ประเภทของหน่วยความจำ

หน่วยความจำของเครื่องคอมพิวเตอร์ใช้ในการเก็บตัวคำสั่งและข้อมูลที่ใช้ในโปรแกรม ซึ่งจะถูกเก็บลงในหน่วยความจำขณะที่มีการประมวลผล ขนาดของหน่วยความจำจะวัดเป็นไบต์ (Byte) เช่น 64 เมกะไบต์ โดยแต่ละไบต์จะมีขนาด 8 บิต (Bit) ซึ่งข้อมูลแต่ละบิตจะมีค่าได้ 2 ค่าคือ 0 กับ 1 เท่านั้น ดังนั้นหน่วยความจำขนาด 1 ไบต์ จึงมีค่าที่แตกต่างกันได้ถึง 256 ค่า โดยข้อมูลทุกประเภทจะถูกเก็บโดยการแปลงเป็นบิตลงหน่วยความจำ เมื่อจะนำมาใช้ ก็ทำการแปลงกลับเป็นข้อมูลที่ต้องการ โดยสามารถแบ่งหน่วยความจำได้ดังนี้

1. หน่วยความจำหลัก
   - รอม (ROM)
   - แรม (RAM)
2. หน่วยความจำสำรอง
   - ฮาร์ดดิสก์ (Hard Disk)
   - ฟล็อปปี้ดิสก์ (Floppy Disk)
   - ซีดี - รอม (CD – ROM)
   - ดีวีดี - รอม (DVD – ROM)

โดยในที่นี้เราจะกล่าวถึงเฉพาะหน่วยความจำแรม (RAM) เท่านั้น

**RAM** ย่อมาจาก (Random Access Memory) เป็นหน่วยความจำหลักที่จำเป็น สามารถเก็บข้อมูลได้เฉพาะเวลาที่มีกระแสไฟฟ้าหล่อเลี้ยงเท่านั้น เมื่อใดก็ตามที่ไม่มีกระแสไฟฟ้ามาเลี้ยง ข้อมูลที่อยู่ภายในหน่วยความจำจะหายไปทันที หน่วยความจำแรมทำหน้าที่เก็บชุดคำสั่งและข้อมูลที่ระบุคอมพิวเตอร์ที่กำลังทำงานอยู่ด้วย ไม่ว่าจะเป็นการนำเข้าข้อมูล (Input) หรือ การนำออกข้อมูล (Output) โดยที่เนื้อที่ของหน่วยความจำหลักแบบแรมนี้ถูกแบ่งออกเป็น 4 ส่วน คือ

1. Input Storage Area เป็นส่วนที่เก็บข้อมูลนำเข้าที่ได้รับมาจากหน่วยรับข้อมูลเข้าโดย ข้อมูลนี้จะถูกนำไปใช้ในการประมวลผลต่อไป
2. Working Storage Area เป็นส่วนที่เก็บข้อมูลที่อยู่ในระหว่างการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Output Storage Area เป็นส่วนที่เก็บผลลัพธ์ที่ได้จากการประมวลผล ตามความต้องการของผู้ใช้ เพื่อรอที่จะถูกส่งไปแสดงออก ยังหน่วยแสดงผลอื่นที่ผู้ใช้ต้องการ
4. Program Storage Area เป็นส่วนที่ใช้เก็บชุดคำสั่งหรือโปรแกรมที่ผู้ใช้ต้องการจะส่งเข้ามาเพื่อให้คอมพิวเตอร์ปฏิบัติตามคำสั่งชุดดังกล่าว หน่วยควบคุมจะทำหน้าที่ดึงคำสั่งจากส่วนนี้ไปทีละคำสั่งเพื่อทำการแปลความหมายว่าคำสั่งนั้นสั่งให้ทำอะไร จากนั้นหน่วยควบคุมจะไปควบคุมฮาร์ดแวร์ที่ต้องการทำงานดังกล่าวให้ทำงานตามคำสั่งนั้นๆ

**ชนิดและความแตกต่างของ RAM**

**1. Dynamic Random Access Memory (DRAM)**

Dynamic Random Access Memory (DRAM) จะทำการเก็บข้อมูลในตัวเก็บประจุ (Capacitor) ซึ่งจำเป็นต้องมีการ refresh เพื่อเก็บข้อมูลให้คงอยู่ โดยการ refresh นี้ทำให้เกิดการหน่วงเวลาขึ้นในการเข้าถึงข้อมูล และก็เนื่องจากที่มันต้อง refresh ตัวเองอยู่ตลอดเวลานี้เองจึงเป็นเหตุให้ได้ชื่อว่า Dynamic RAM

**2. Static Random Access Memory (SRAM)**

Static Random Access Memory (SRAM) จะต่างจาก DRAM ตรงที่ว่า DRAM ต้องทำการ refresh ข้อมูลอยู่ตลอดเวลา แต่ในขณะที่ SRAM จะเก็บข้อมูลนั้นๆไว้ และจะไม่ทำการ refresh โดยอัตโนมัติ ซึ่งมันจะทำการ refresh ก็ต่อเมื่อ สั่งให้มัน refresh เท่านั้น ข้อดีของมันก็คือความเร็ว ซึ่งเร็วกว่า DRAM ปกติมาก แต่ก็ด้วยราคาที่สูงกว่ามากจึงเป็นข้อด้อยของมัน

**3. Fast Page Mode DRAM (FPM DRAM)**

Fast Page Mode DRAM (FPM DRAM) นั้นก็เหมือนกับ DRAM เพียงแต่ว่ามันลดช่วงการหน่วงเวลาขณะเข้าถึงข้อมูลลง ทำให้มันมีความเร็วในการเข้าถึงข้อมูลสูงกว่า DRAM ปกติ สำหรับขนาด 32 bit จะมีอัตราการส่งถ่ายข้อมูลสูงสุด 100 MB ต่อวินาที ส่วนขนาด 64 bit จะมีอัตราการส่งถ่ายข้อมูลที่ 200 MB ต่อวินาที ปัจจุบันนี้ RAM ชนิดนี้แทบจะหมดไปจากตลาดแล้วแต่ยังคงมีให้เห็นบ้าง และมักมีราคาที่ค่อนข้างแพงเมื่อเทียบกับ RAM รุ่นใหม่ๆเนื่องจากปริมาณในท้องตลาดมีน้อยมากทั้งๆที่ยังมีคนต้องการใช้แรมชนิดนี้อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4. Extended-Data Output (EDO) DRAM**

Extended-Data Output (EDO) DRAM หรือเรียกอีกชื่อหนึ่งก็คือ Hyper-Page Mode DRAM ซึ่งถูกพัฒนาขึ้นอีกระดับหนึ่ง โดยมันจะอ้างอิงตำแหน่งที่อ่านข้อมูลจากครั้งก่อนไว้ด้วย ปกติแล้วการดึงข้อมูลจาก RAM ณ ตำแหน่งใด ๆ มักจะดึงข้อมูล ณ ตำแหน่งที่อยู่ใกล้ ๆ จากการดึงก่อนหน้านี้ เพราะฉะนั้นถ้ามีการอ้างอิง ณ ตำแหน่งเก่าไว้ก่อนก็จะทำให้เสียเวลาในการเข้าถึงตำแหน่งน้อยลง และอีกทั้งมันยังลดช่วงเวลาของ CAS latency ลงด้วย และด้วยความสามารถนี้ทำให้การเข้าถึงข้อมูลดีขึ้นกว่าเดิมกว่า 40% เลยทีเดียว และมีความสามารถโดยรวมสูงกว่า FPM กว่า 15% EDO จะทำงานได้ดีที่ 66 MHz และก็ยังทำงานได้ดีเช่นกันแม้จะใช้งานที่ 83 MHz และหากว่า chip EDO นี้ มีความเร็วที่สูงมากพอ (มากกว่า 50ns) มันจะสามารถใช้งานได้ ณ 100 MHz ได้อย่างสบาย โดยอัตราการส่งถ่ายข้อมูลสูงสุดของ DRAM ชนิดนี้อยู่ที่ 264 MB ต่อวินาที EDO RAM ในปัจจุบันไม่เป็นที่นิยมใช้แล้ว

**5. Burst EDO (BEDO) DRAM**

BEDO ได้เพิ่มความสามารถขึ้นมาจาก EDO เดิม คือ Burst Mode โดยหลังจากที่มันได้ address ที่ต้องการ address แรกแล้วมันก็จะทำการ generate อีก 3 address ขึ้นทันทีภายใน 1 สัญญาณนาฬิกา ดังนั้น จึงตัดช่วงเวลาในการรับ address ต่อไป ซึ่ง BEDO ไม่เป็นที่แพร่หลาย และได้รับความนิยมเพียงระยะเวลาสั้น ๆ เนื่องจากว่าทาง Intel ตัดสินใจใช้ SDRAM แทน EDO และไม่ได้ใช้ BEDO เป็นส่วนประกอบในการพัฒนา chipset ของตนทำให้บริษัทผู้ผลิตต่างๆหันมาพัฒนา SDRAM แทน

**6. Synchronous DRAM (SDRAM)**

SDRAM จะต่างจาก DRAM เดิมตรงที่มันจะทำงานสอดคล้องกับสัญญาณนาฬิกา สำหรับ DRAM เดิมจะทราบตำแหน่งที่อ่านก็ต่อเมื่อเกิดทั้ง RAS และCAS ขึ้น แล้วจึงทำการอ่านข้อมูล โดยมีช่วงเวลาในการเข้าถึงข้อมูลตามตัวเลขที่อยู่บน chip ของ RAM เลย เช่น -50, -60, -80 โดย -50 หมายถึงช่วงเวลาเข้าถึง ใช้เวลา 50 นาโนวินาทีเป็นต้น แต่ว่า SDRAM จะใช้สัญญาณนาฬิกาเป็นตัวกำหนดการทำงานโดยจะใช้ความถี่ของสัญญาณเป็นตัวระบุ SDRAM จะทำงานตามสัญญาณนาฬิกาขาขึ้นเพื่อรอรับตำแหน่งข้อมูลที่ต้องการให้มันอ่าน แล้วจากนั้นมันก็จะไปค้นหา และให้ผลลัพธ์ออกมาหลังจากได้รับตำแหน่งแล้วเท่ากับค่าของ CAS เช่น CAS 2 ก็คือหลังจากรับตำแหน่งที่อ่านแล้วมันจะให้ผลลัพธ์ออกมาภายใน 2 ลูกของสัญญาณนาฬิกา ซึ่ง SDRAM จะมีความเร็วพอๆ กันกับ BEDO RAM เลยทีเดียว โดยมันสามารถทำงานได้ ณ ความถี่ 100 MHz หรือมากกว่า และมีอัตราการส่งถ่ายข้อมูลสูงสุดที่ 528 MB ต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**7. Rambus DRAM (RDRAM)**

RAMBUS เป็นเครื่องหมายการค้าของบริษัท RAMBUS Inc. ซึ่งตั้งมาตั้งแต่ยุค 80 แล้ว โดยปัจจุบันได้เอาหลักการของ RAMBUS มาพัฒนาใหม่ โดยการลด pin รวม static buffer และทำการปรับแต่งทาง Interface ใหม่ DRAM ชนิดนี้ จะสามารถทำงานได้ทั้งขอบขาขึ้นและลงของสัญญาณนาฬิกา และเพียงช่องสัญญาณเดียวของหน่วยความจำแบบ RAMBUS นี้มี Performance มากกว่าเป็น 3 เท่าจาก SDRAM 100 MHz และเพียงแค่ช่องสัญญาณเดียวนี้ก็มีอัตราการส่งถ่ายข้อมูลสูงถึง 1.6 G ต่อวินาที ถึงแม้ว่าเวลาในการเข้าถึงข้อมูลแบบสุ่มของ RAM ชนิดนี้จะช้า แต่การเข้าถึงข้อมูลแบบต่อเนื่องจะเร็วมาก ๆ

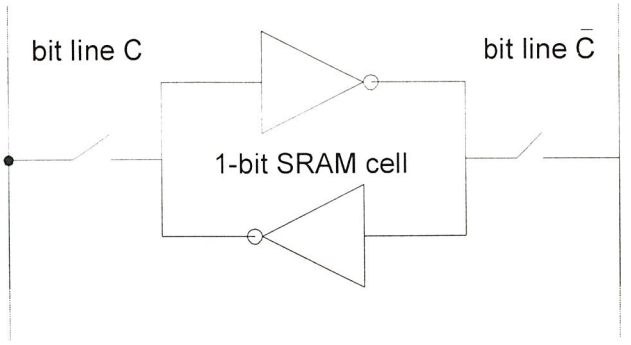
**8. DDR SDRAM (หรือ SDRAM II)**

DDR RAM นี้แยกออกมาจาก SDRAM โดยจุดที่ต่างกันหลัก ๆ ของทั้งสองชนิดนี้คือ DDR SDRAM นี้สามารถที่จะใช้งานได้ทั้งขาขึ้น และขาลงของสัญญาณนาฬิกาเพื่อส่งถ่ายข้อมูล นั่นก็ทำให้อัตราส่งถ่ายเพิ่มขึ้นได้ถึงเท่าตัว ซึ่งมีอัตราการส่งถ่ายข้อมูลสูงสุดถึง 1 G ต่อวินาทีเลยทีเดียว

**2.2 วงจรพื้นฐานของหน่วยความจำแบบสแตติค(SRAM)**

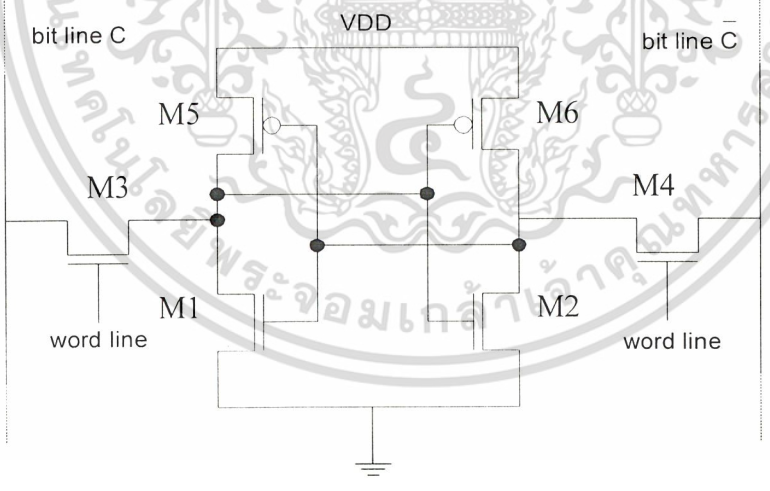
วงจร Read – Write (R/W) หรือ RAM จะถูกออกแบบให้สามารถปรับปรุงแก้ไขข้อมูลที่เก็บไว้ภายในหน่วยความจำ และยังสามารถนำข้อมูลออกมาใช้ได้ตามความต้องการ ในส่วนของหน่วยความจำที่ใช้ในการเก็บข้อมูลขนาด 1 บิท ประกอบด้วยส่วนที่เรียกว่าวงจร Cross – Coupled Inverter หรือการนำอินเวอร์เตอร์ 2 ตัวมาต่อไขว้กันและทำการเชื่อมต่อเข้ากับสวิตช์ทรานซิสเตอร์ทั้งสองข้าง ซึ่งจะทำให้สามารถเก็บข้อมูลได้ 2 สถานะคือ "0" และ "1" ในการอ่านข้อมูลและเขียนข้อมูลจะขึ้นอยู่กับ Bit Line และ Word Line โดยทั้งสองต้องมีการทำงานที่สัมพันธ์กัน ดังแสดงในรูปที่ 2.1 เป็นสัญลักษณ์ของหน่วยความจำแบบ SRAM โดยใช้อินเวอร์เตอร์ 2 ตัวต่อกันอยู่ในลักษณะ Cross – Coupled และมีสวิตช์ที่ต่อมาจาก Bitline อีก 2 ตัว ทำหน้าที่เลือกการอ่านข้อมูลหรือเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.1 สัญลักษณ์วงจรหน่วยความจำแบบสแตติค (SRAM)

จากสัญลักษณ์ของ SRAM เราได้นำซีมอสมาสร้างเป็นหน่วยความจำ ซึ่งเรียกว่า 6T ดังแสดงในรูปที่ 2.2 ประกอบไปด้วย Cross – Coupled Inverter M1, M5 และ M2, M6 ทำหน้าที่ในการเก็บข้อมูล ส่วน M3 และ M4 จะทำหน้าที่เป็นสวิตช์ในการเชื่อมต่อข้อมูลเข้าไปในหน่วยความจำหรือต้องการส่งออกจากหน่วยความจำ โดยข้อดีของวงจร CMOS ที่นำมาสร้างเป็นหน่วยความจำแบบนี้คือ สามารถประหยัดพลังงานได้อย่างมาก มีความไวในการทำงานสูง และมีขนาดพื้นที่ในการสร้างน้อยเมื่อเทียบกับการใช้โหลดประเภทอื่น

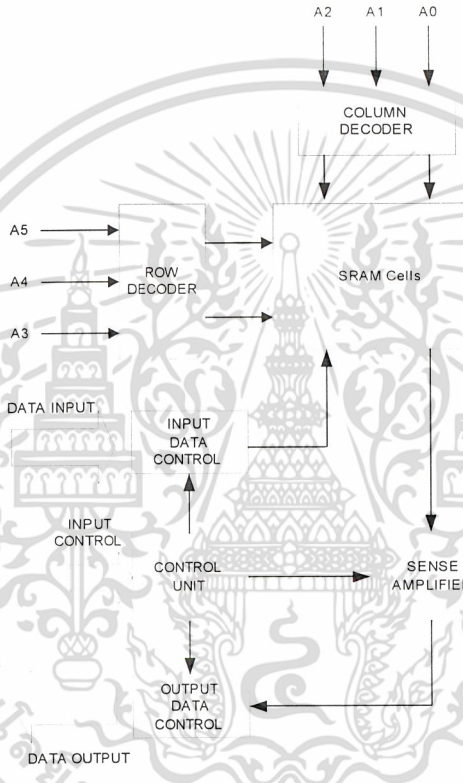



รูปที่ 2.2 วงจรหน่วยความจำแบบ 6T SRAM Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# องค์ประกอบพื้นฐานและการออกแบบหน่วยความจำแบบสแตติค (SRAM)

## 3.1 หน่วยความจำแบบสแตติค (SRAM MEMORY)

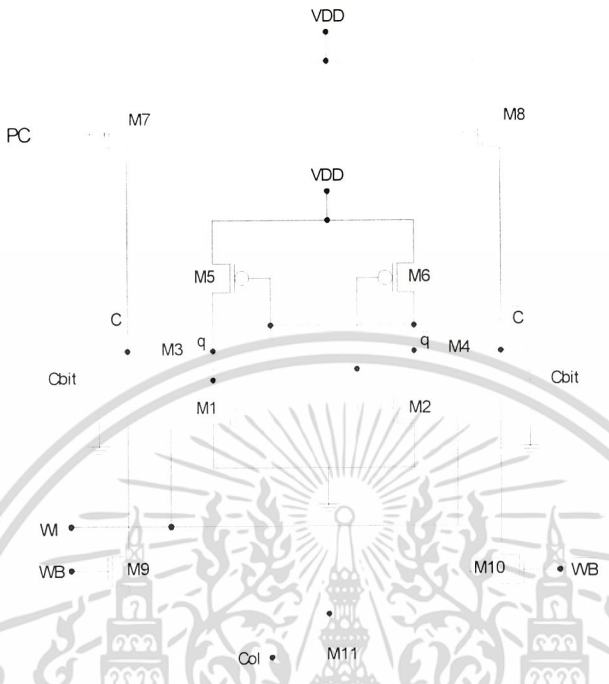



รูปที่ 3.1 บล็อกไดอะแกรมของหน่วยความจำแบบสแตติค (SRAM)

ในโครงงานนี้ วงจรจะอยู่ในรูปของ Schematic และมีการวิเคราะห์การทำงานของวงจรที่ได้ออกแบบด้วยโปรแกรม H-SPICE ซึ่งการวิเคราะห์การทำงานจะทำการจำลองสัญญาณต่างๆที่ป้อนให้กับหน่วยความจำ SRAM โดยเราจะทำการวิเคราะห์เป็นวงจรย่อยๆ ประกอบด้วย SRAM Cells, Row Decoder, Column Decoder, Sense Amplifier, Input Data Control, Output Data Control และ Control Unit หลังจากทำการวิเคราะห์แล้ว เราจะนำไปทำการออกแบบลวดลาย (Layout) ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2 วงจรหน่วยความจำ (SRAM Memory Cell)




รูปที่ 3.2 วงจรหน่วยความจำ (SRAM Memory Cell)

จากรูปที่ 3.2 เป็นการแสดงหน่วยความจำที่ใช้เก็บข้อมูลขนาด 1 บิท โดยมีลักษณะการทำงานอยู่ 2 ประเภท คือ การเขียนข้อมูล และการอ่านข้อมูล

3.2.1 การทำงานของวงจรขณะทำการเขียนข้อมูล สามารถแบ่งออกเป็นการเขียนข้อมูล "1" และการเขียนข้อมูล "0"

- การเขียนข้อมูล "1"

เมื่อซีพียูต้องการเขียนข้อมูล "1" ซีพียูจะส่งสัญญาณ /CS = 0 เพื่อทำการเลือกแรมตัวนี้ให้ทำงาน จากนั้นจะส่งสัญญาณ Address เลือกตำแหน่งที่ต้องการเก็บข้อมูล พร้อมทั้งส่งสัญญาณในการควบคุมคือ /WE = 0 และ /OE = 1 เพื่อเลือกการเขียนข้อมูล โดยจะมีสัญญาณ PC เข้ามาทำให้ M7 และ M8 อยู่ในสภาวะ ON ชั่วขณะจึงเกิดการชาร์จประจุให้กับคาปาซิเตอร์แฝงทั้งทางด้าน C และ /C ขณะเดียวกัน WB ซึ่งได้มาจากวงจรควบคุมสัญญาณ (Control Logic Circuit) จะเป็น Logic "0" และ /WB เป็น Logic "1" ทำให้ M9 อยู่ในสภาวะ OFF และ M10 อยู่ในสภาวะ ON ดังนั้นแรงดันที่ถูกประจุอยู่ในคาปาซิเตอร์จะถูกป้อนเข้าให้กับหน่วยความจำทางด้าน C ส่วนทางด้าน /C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คาปาซิเตอร์จะถูกดิสก์ชาร์จประจุลงกราวด์ จึงเกิดเป็นการเก็บข้อมูล "1" ไว้ในหน่วยความจำ

- การเขียนข้อมูล "0"

มีลักษณะเช่นเดียวกับการเขียนข้อมูล "1" คือเมื่อซีพียูต้องการเขียนข้อมูล "0" ซีพียูจะส่งสัญญาณ /CS = 0 เพื่อทำการเลือกแรมตัวนี้ให้ทำงาน จากนั้นจะส่งสัญญาณ Address เลือกตำแหน่งที่ต้องการเก็บข้อมูล พร้อมทั้งส่งสัญญาณในการควบคุมคือ /WE = 0 และ /OE = 1 เพื่อเลือกการเขียนข้อมูล โดยจะมีสัญญาณ PC เข้ามาทำให้ M7 และ M8 อยู่ในสภาวะ ON ชั่วขณะจึงเกิดการชาร์จประจุให้กับคาปาซิเตอร์แฝงทั้งทางด้าน C และ /C ขณะเดียวกัน WB ซึ่งได้มาจากวงจรควบคุมสัญญาณ (Control Logic Circuit) จะเป็น Logic "1" และ /WB เป็น Logic "0" ทำให้ M9 อยู่ในสภาวะ ON และ M10 อยู่ในสภาวะ OFF ดังนั้นแรงดันที่ถูกประจุอยู่ในคาปาซิเตอร์จะถูกดิสก์ชาร์จประจุลงกราวด์ทางด้าน C ส่วนทางด้าน /C แรงดันในคาปาซิเตอร์จะถูกป้อนให้กับหน่วยความจำ จึงเกิดเป็นการเก็บข้อมูล "0" ไว้ในหน่วยความจำ

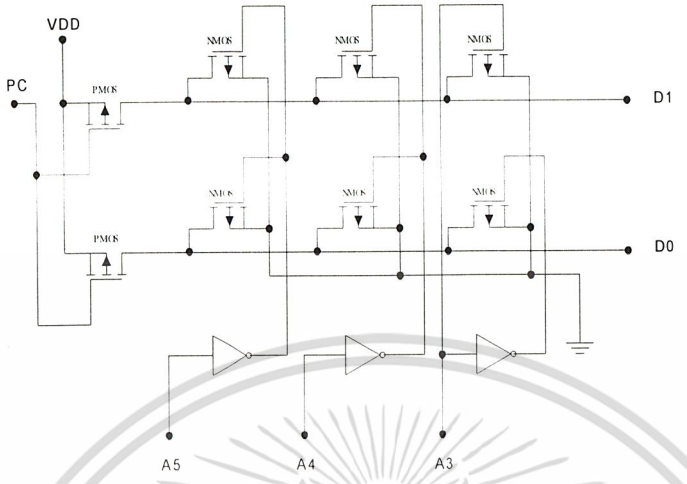
3.2.2 การทำงานของวงจรขณะทำการอ่านข้อมูล สามารถแบ่งออกเป็นการอ่านข้อมูล "1" และการอ่านข้อมูล "0"

- การอ่านข้อมูล

เมื่อซีพียูต้องการอ่านข้อมูลซีพียูจะส่งสัญญาณ /CS = 0 เพื่อทำการเลือกแรมตัวนี้ให้ทำงาน จากนั้นจะส่งสัญญาณ Address เลือกตำแหน่งที่ต้องการอ่านข้อมูล พร้อมทั้งส่งสัญญาณในการควบคุมคือ /WE = 1 และ /OE = 0 เพื่อเลือกการอ่านข้อมูล ขณะเดียวกัน WB และ /WB ซึ่งได้มาจากวงจรควบคุมสัญญาณ (Control Logic Circuit) จะเป็น Logic "0" ทำให้ M9 และ M10 อยู่ในสภาวะ OFF ทั้งคู่ ดังนั้นข้อมูลที่ถูกเก็บอยู่ภายในหน่วยความจำจะถูกส่งผ่านออกไปยังวงจรขยาย (Sense Amplifier) เพื่อนำไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder)



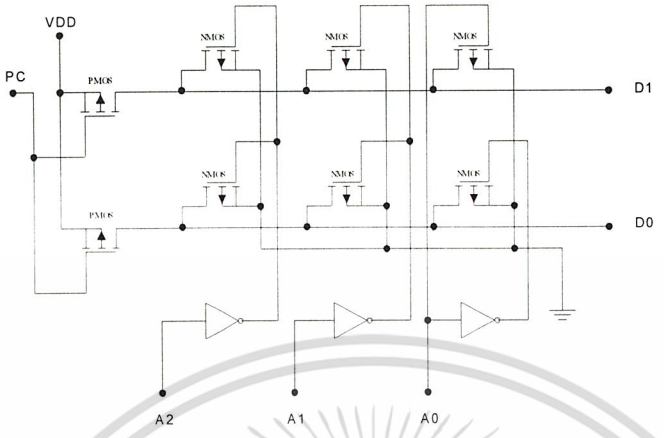

รูปที่ 3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder)

วงจรถอดรหัสทางแนวนอน (Row Decoder) จะทำหน้าที่เลือกตำแหน่งในการเก็บข้อมูล เพื่อไม่ให้เกิดการซ้อนทับกันของข้อมูลทางด้านแนวนอน ซึ่งสัญญาณที่ใช้ในการควบคุมการเลือกตำแหน่งเรียกว่า Address โดย Address ที่ป้อนเข้ามาจะมี 3 เส้นคือ A3-A5 ส่วนสัญญาณที่ออกจากวงจรถอดรหัสทางแนวนอนจะมี 8 เส้น ($2^n$ เส้น เมื่อ n คือจำนวน Address ที่ป้อนเข้ามา) จากนั้นจะทำการเลือกสัญญาณ 1 เส้นจากทั้งหมด 8 เส้น แล้วส่งสัญญาณนี้ออกไปใช้ในการเลือกแถวของ SRAM Cells โดยจะเลือกเพียง 1 แถวเท่านั้น

การทำงานของวงจรถอดรหัสทางแนวนอน เมื่อสัญญาณ PC มีระดับ Logic เป็น "0" เข้ามาเพียงชั่วขณะ จะทำให้ PMOS ทุกตัวอยู่ในสภาวะ ON และเกิดการเก็บประจุไว้ในคาปาซิเตอร์แฝงของ NMOS จากนั้นเมื่อมีสัญญาณ Address เข้ามา NMOS ที่ได้รับ Logic "1" จาก Address จะอยู่ในสภาวะ ON ดังนั้นค่าแรงดันที่อยู่ในคาปาซิเตอร์แฝงจะถูกดิสชาร์จประจุลงกราวด์ โดยจะมีเอาท์พุทเพียง 1 เส้นที่ไม่มี NMOS ตัวใดอยู่ในสภาวะ ON เลย ซึ่งก็คือสัญญาณเส้นที่เราเลือกนั่นเอง ดังนั้นเราจะนำสัญญาณเอาท์พุทเส้นนี้ไปใช้ในการเลือกแถวทางด้านแนวนอนของ SRAM Cells เพื่อใช้ในเก็บข้อมูลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)



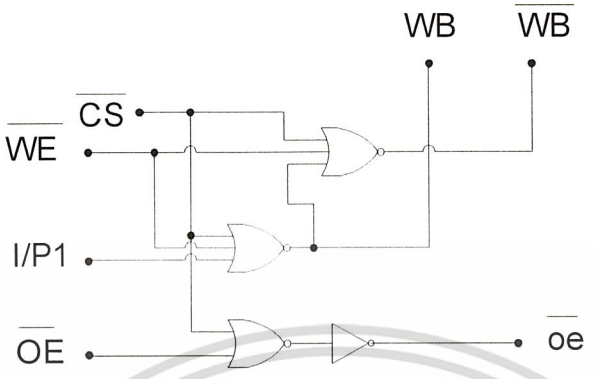

รูปที่ 3.4 วงจรถอดรหัสทางด้านแนวตั้ง (Column Decoder)

วงจรถอดรหัสทางแนวตั้ง (Column Decoder) จะมีลักษณะเช่นเดียวกันกับวงจรถอดรหัสทางด้านแนวนอน คือจะทำหน้าที่เลือกตำแหน่งในการเก็บข้อมูล เพื่อไม่ให้เกิดการซ้อนทับกันของข้อมูลทางด้านแนวตั้ง โดยสัญญาณ Address ที่ป้อนเข้ามาจะมี 3 เส้นคือ A0-A2 ส่วนสัญญาณที่ออกจากวงจรถอดรหัสทางแนวตั้งจะมี 8 เส้น ($2^n$ เส้น เมื่อ n คือจำนวน Address ที่ป้อนเข้ามา) จากนั้นจะทำการเลือกสัญญาณ 1 เส้นจากทั้งหมด 8 เส้น แล้วส่งสัญญาณนี้ออกไปใช้ในการเลือกหลักของ SRAM Cells โดยจะเลือกเพียง 1 หลักเท่านั้น

การทำงานของวงจรถอดรหัสทางแนวตั้ง เมื่อสัญญาณ PC มีระดับ Logic เป็น "0" เข้ามาเพียงชั่วขณะ จะทำให้ PMOS ทุกตัวอยู่ในสภาวะ ON และเกิดการเก็บประจุไว้ในคาปาซิเตอร์แฝงของ NMOS จากนั้นเมื่อมีสัญญาณ Address เข้ามา NMOS ที่ได้รับ Logic "1" จาก Address จะอยู่ในสภาวะ ON ดังนั้นค่าแรงดันที่อยู่ในคาปาซิเตอร์แฝงจะถูกดิสชาร์จประจุลงกราวด์ โดยจะมีเอาท์พุทเพียง 1 เส้นที่ไม่มี NMOS ตัวใดอยู่ในสภาวะ ON เลย ซึ่งก็คือสัญญาณเส้นที่เราเลือกนั่นเอง ดังนั้นเราจะนำสัญญาณเอาท์พุทเส้นนี้ไปใช้ในการเลือกหลักทางด้านแนวตั้งของ SRAM Cells เพื่อใช้ในเก็บข้อมูลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit)**




| /CS | /WE | /OE | Data0 | WB | /WB | /oe | สภาวะ |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | เขียน 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | เขียน 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | อ่าน |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | อ่าน |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | ชิพไม่ทำงาน |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | ชิพไม่ทำงาน |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | ชิพไม่ทำงาน |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | ชิพไม่ทำงาน |

รูปที่ 3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit) และตารางสภาวะการทำงาน

วงจรควบคุมสัญญาณ (Control Logic Circuit) เป็นตัวจัดลำดับการทำงานของวงจรให้สามารถอ่านและเขียนข้อมูลได้ ในวงจรควบคุมสัญญาณจะมีสัญญาณที่เกี่ยวข้องอยู่ 3 สัญญาณคือ Write Enable (/WE), Output Enable (/OE) และ Chip Select (/CS) โดยสัญญาณทั้ง 3 สัญญาณจะทำงานในช่วง Active Low

3.5.1 การทำงานขณะทำการเขียนข้อมูล

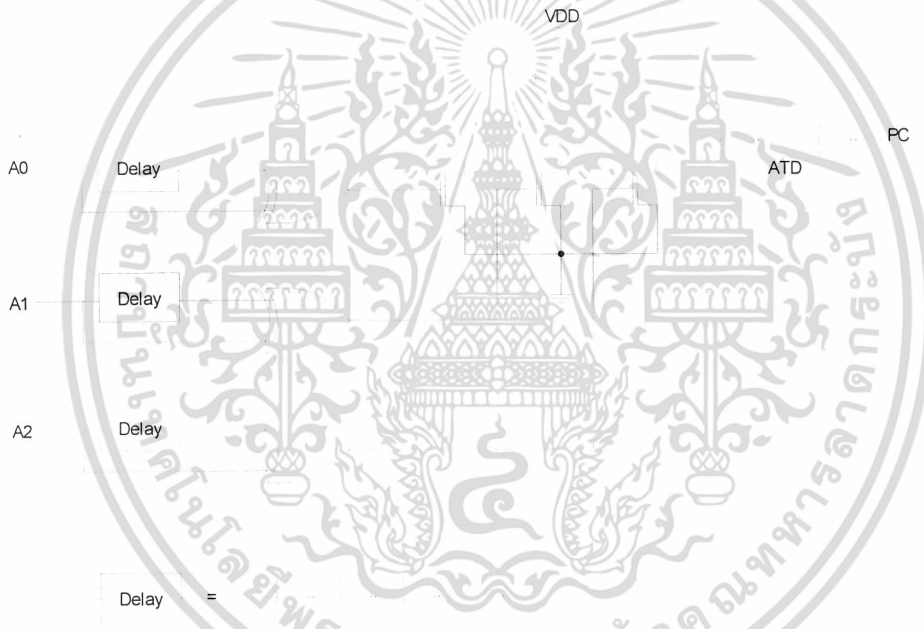
เมื่อซีพียูต้องการเขียนข้อมูลจะส่งสัญญาณ /CS เป็น Logic "0" เพื่อเลือกให้ชิพทำงาน และส่งสัญญาณ /OE เป็น Logic "1" เพื่อเลือกวงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control) ให้ทำงาน จากนั้นจะส่งสัญญาณ /WE เป็น Logic "0" เพื่อทำให้ข้อมูลที่ต้องการเขียนสามารถผ่านวงจรควบคุมข้อมูลทางด้านอินพุทเข้าไปยัง Cells ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 การทำงานขณะทำการอ่านข้อมูล

เมื่อซีพียูต้องการอ่านข้อมูลจะส่งสัญญาณ /CS เป็น Logic "0" เพื่อเลือกให้ชิพทำงาน และส่งสัญญาณ /OE เป็น Logic "0" เพื่อเลือกวงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) ให้ทำงาน จากนั้นจะส่งสัญญาณ /WE เป็น Logic "1" ซึ่งจะทำให้ข้อมูลที่มาจากทางด้านอินพุทไม่สามารถผ่านเข้าไปยัง Cell ได้แต่ในทางกลับกันข้อมูลที่ถูกเก็บอยู่ภายใน Cells จะถูกส่งไปยังวงจรขยาย (Sense Amplifier) และส่งต่อไปยังวงจรควบคุมข้อมูลทางด้านเอาท์พุทเพื่อทำการส่งข้อมูลที่อ่านได้ไปยังสายสัญญาณเส้นเดียวกับอินพุทที่รับเข้ามา

**3.6 วงจร Precharge**




รูปที่ 3.6 วงจร Precharge

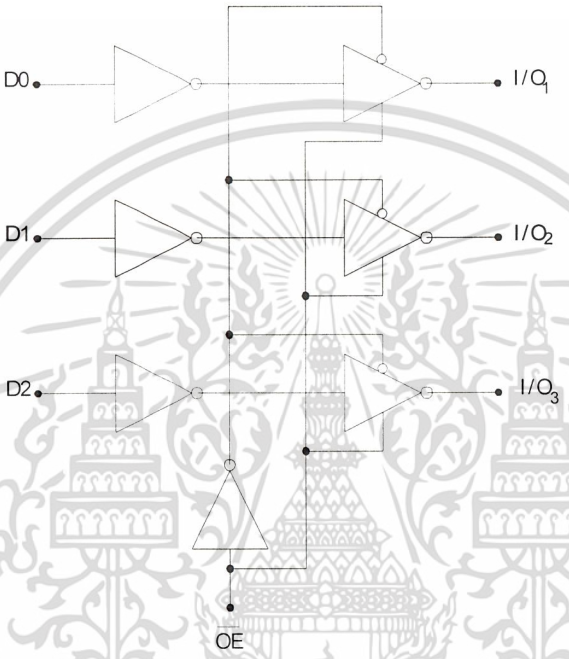
สัญญาณ Precharge สามารถสร้างได้หลายแบบ แต่โดยทั่วไปจะทำการสร้างจากวงจร address transition detection (ATD) ซึ่งเกิดจากการเปลี่ยนแปลงสถานะของแอดเดรสที่เข้ามาทางด้านอินพุท ดังแสดงในรูปที่ 3.6 ประกอบด้วย XOR gate 2 อินพุท อินพุทแรกมาจากวงจร delay และอินพุทที่สองมาจากแอดเดรส เมื่อแอดเดรสมีการเปลี่ยนแปลงสถานะ จะทำให้เกิดพัลส์เล็กๆที่มาจากค่าความแตกต่างของอินพุท ช่วงระยะเวลาของพัลส์ $\tau_D$ เป็นส่วนที่ทำให้เกิด delay โดยวงจรภายใน delay ประกอบด้วยอินเวอร์เตอร์ที่ต่ออนุกรมกันเป็นจำนวนเลขคู่ ดังรูป

$\tau_D = N\tau_{Pinv}$ โดย N เป็นจำนวนอินเวอร์เตอร์ และ $\tau_{Pinv}$ เป็น inverter propagation delay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $\tau_D$ ที่สร้างขึ้นจะถูกส่งไปยัง pseudo-NMOS NOR gate โดยเอาท์พุทที่ได้จะมีลักษณะเป็นพัลส์ที่กลับเฟส จากนั้นจะส่งต่อไปยังอินเวอร์เตอร์อีกสองตัวเพื่อสร้างสัญญาณ ATD และสัญญาณ PC ตามลำดับ

### 3.7 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control)

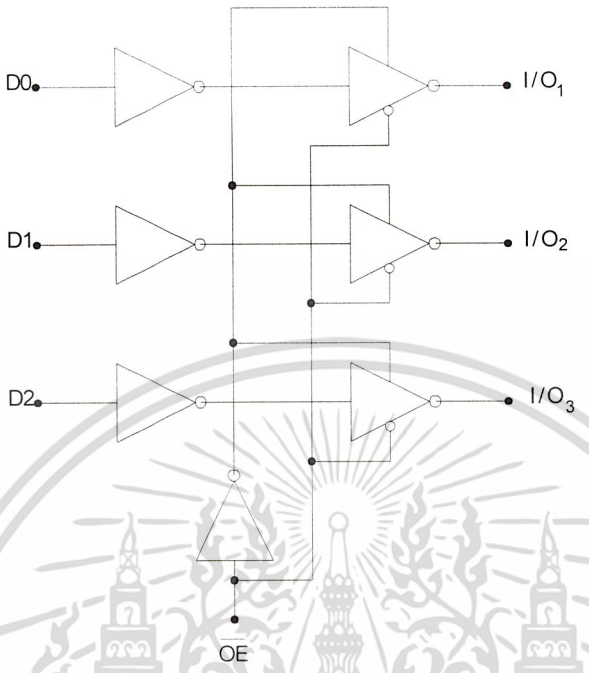



รูปที่ 3.7 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control)

วงจรควบคุมข้อมูลทางด้านอินพุทจะทำการรับข้อมูลที่ต้องการเขียนมาจากซีพียู จากนั้นจะถูกส่งผ่านไปยังวงจรบัฟเฟอร์แบบ Tri-state เพื่อทำการป้อนให้กับ Cells โดยมีสัญญาณ /OE เป็นตัวควบคุม ซึ่งถ้าสัญญาณ /OE มี Logic เป็น "1" จะสามารถส่งผ่านข้อมูลเข้าไปยัง Cells ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.8 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control)

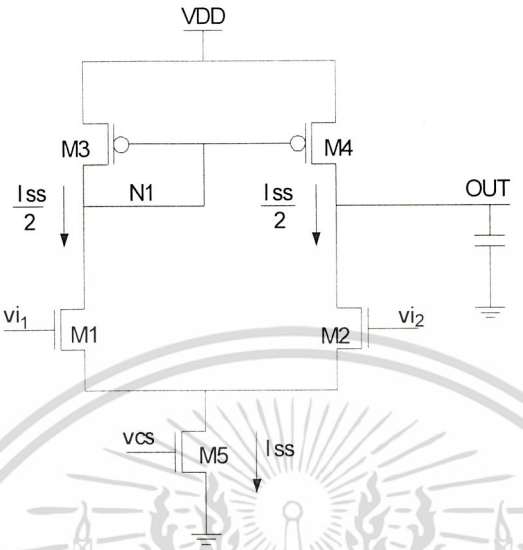



รูปที่ 3.8 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control)

วงจรควบคุมข้อมูลทางด้านเอาท์พุทจะทำการรับข้อมูลที่ถูกขยายมาจากวงจรขยาย (Sense Amplifier) จากนั้นจะถูกส่งผ่านไปยังวงจรบัฟเฟอร์แบบ Tri-state เพื่อควบคุมการทำงานให้ทำการอ่านข้อมูลที่ซีพียูต้องการได้ โดยมีสัญญาณ /OE เป็นตัวควบคุม ซึ่งถ้าสัญญาณ /OE มี Logic เป็น "0" จะสามารถส่งผ่านข้อมูลไปยังซีพียูได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.9 วงจรขยาย (Sense Amplifier)**

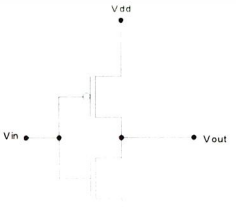



รูปที่ 3.9 วงจรขยาย (Sense Amplifier)

เป็นวงจรที่สำคัญอีกวงจรหนึ่งที่ทำหน้าที่ขยายระดับแรงดัน ในระหว่างที่มีการอ่านข้อมูลใน SRAM ซึ่งระดับแรงดันในคอลัมน์จะมีค่าต่างกันเพียงเล็กน้อย ดังนั้นในการอ่านข้อมูลเพื่อที่จะทำให้ระดับแรงดันของแต่ละคอลัมน์ของเซลล์ที่ถูกเลือกเพื่อที่จะอ่านข้อมูล เป็นระดับลอจิก "0"และ"1" ดังนั้นระหว่างคอลัมน์ทั้งสองที่ถูกเลือกจะถูกทำการขยายความแตกต่างของสัญญาณโดยวงจรขยายความต่าง ตามผลที่ทำการอ่านหรือเขียนข้อมูลใน SRAM Cells

**3.10 วงจรพื้นฐานและสมการที่ใช้ในการออกแบบ**

3.10.1 วงจร CMOS Inverter




รูปที่ 3.10 วงจร CMOS Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การทำงานของวงจร เมื่อป้อน Vin เป็น Logic "1" เข้าที่วงจร ทำให้ NMOS อยู่ในสภาวะ ON และ PMOS อยู่ในสภาวะ OFF ทำให้ NMOS นำกระแสและ Vout มีระดับ Logic "0" และเมื่อป้อน Vin เป็น Logic "0" NMOS จะอยู่ในสภาวะ OFF และ PMOS อยู่ในสภาวะ ON ทำให้กระแสจาก Vdd ไหลผ่าน PMOS ทำให้ที่ Vout มีระดับ Logic "1"

การคำนวณหาค่า VTC ของวงจร CMOS Inverter

Output High Voltage = $V_{OH}$

$V_{OH} = V_{DD}$

Output Low Voltage = $V_{OL}$

$V_{OL} = GND = 0$

Input Low Voltage = $V_{IL}$

$$V_{IL} = \frac{2V_{OUT} - V_{DD} - V_{TP} + (Kn/Kp)\,V_{TN}}{1 + (Kn/Kp)}$$

Input High Voltage = $V_{IH}$

$$V_{IH} = \frac{2V_{OUT} + V_{TN} + (Kp/Kn)\,(V_{DD} - V_{TP})}{1 + (Kp/Kn)}$$

Switching Threshold Voltage = $V_S$

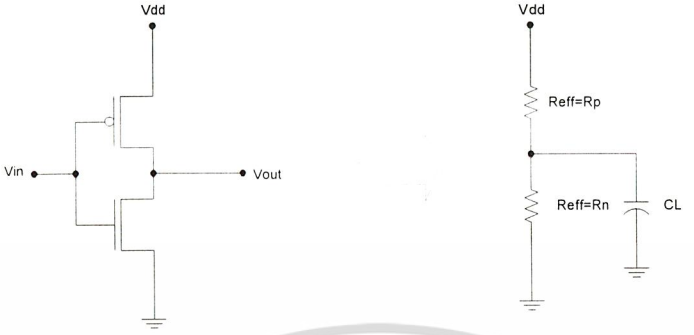
$$V_S = \frac{V_{DD} - V_{TP} + XV_{TN}}{1 + X}$$

เมื่อ $X = \sqrt{\frac{\mu nWn}{\mu pWp}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

61457

3.10.2 การออกแบบขนาดของ CMOS Gate




รูปที่ 3.11 วงจร Inverter แสดงให้เห็นค่าความต้านทานช่องทางเดินกระแส

ในโครงงานนี้ใช้อุปกรณ์ CMOS Gate เป็นหลัก ซึ่งมีการกำหนดขนาดของอุปกรณ์เหมือนกันทั้ง NAND gate, NOR gate, XOR gate และ Inverter โดยมีลักษณะการคำนวณดังนี้

ความต้านทานช่องทางเดินกระแสของพีมอส $Rp = Reqp \times (Lp/Wp)$

ความต้านทานช่องทางเดินกระแสของเอ็นมอส $Rn = Reqn \times (Ln/Wn)$

เมื่อ $$Reqp = \frac{(Vdd/2)}{0.7\, I_{DSATP}} \cong 30k\Omega$$

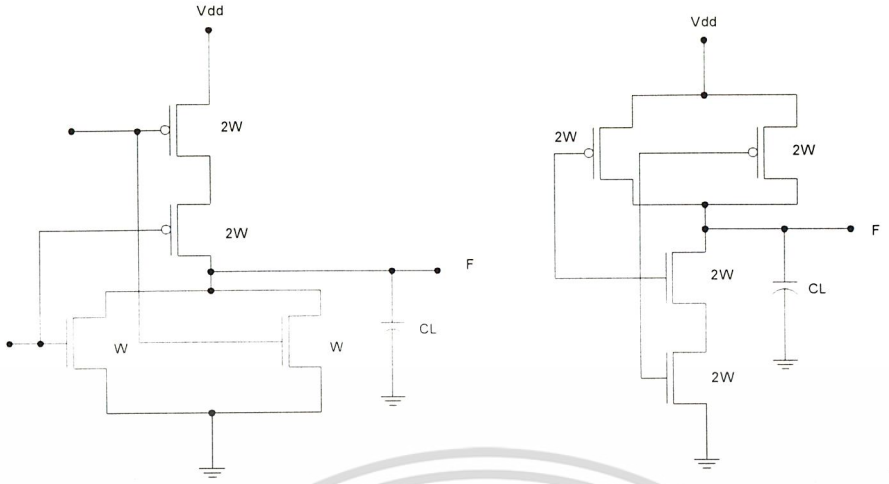
$$Reqn = \frac{(Vdd/2)}{0.7\, I_{DSATN}} \cong 12.5k\Omega$$

$$\frac{Rp}{Rn} = \frac{Reqp \times (Lp/Wp)}{Reqn \times (Ln/Wn)} = \frac{30k\Omega}{12.5k\Omega}\,\frac{Wn}{Wp}$$

เมื่อ $Rp/Rn = 1$

$$\frac{Wn}{Wp} = \frac{30k\Omega}{12.5k\Omega} \cong 2$$

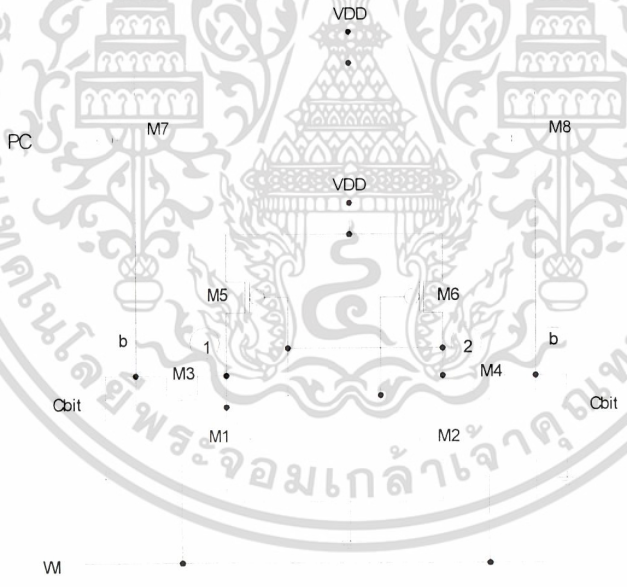
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(a) (b)

รูปที่ 3.12 แสดงขนาด CMOS NAND Gate (a) และ CMOS NOR Gate (b)

3.10.3 การออกแบบหน่วยความจำ



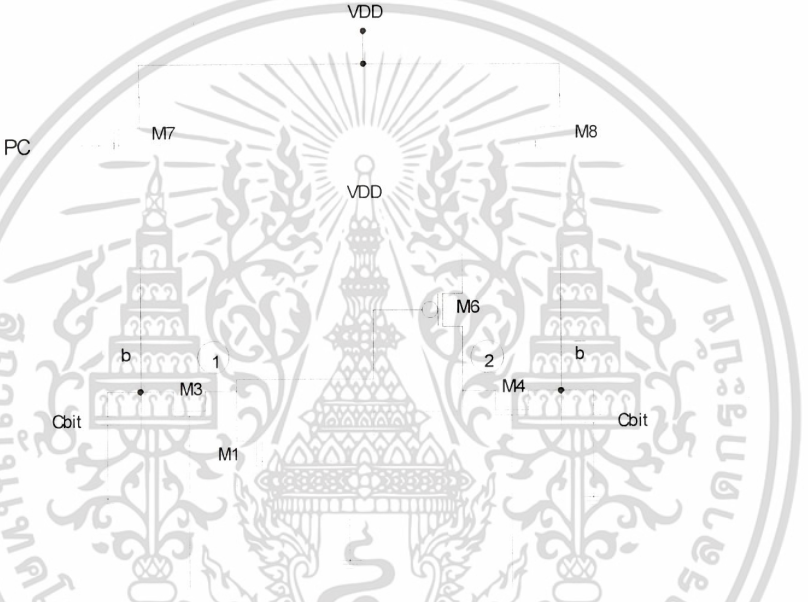

รูปที่ 3.13 วงจรหน่วยความจำที่ใช้ CMOS

ก่อนทำการออกแบบวงจรต้องทราบก่อนว่าใช้ Process ของบริษัทอะไร และมีข้อจำกัดอะไรในการออกแบบ และที่สำคัญกว่านั้น ก่อนที่ทำการออกแบบวงจรก็ควรทราบข้อบังคับในการออกแบบลวดลายด้วย เพราะถ้าไม่ให้ความสำคัญกับข้อบังคับดังกล่าว จะทำให้การออกแบบมานั้นไม่สามารถนำไปออกแบบลวดลายจริงได้ เช่น ขนาด W และ L ที่เล็กที่สุดที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถนำไปออกแบบลวดลายได้และข้อกำหนดต่างๆ ที่จะทำให้ได้คุณสมบัติของวงจรที่ดีที่สุด ในการออกแบบวงจร ซึ่งอาจสรุปให้เห็นถึงคุณสมบัติของวงจรที่ออกแบบได้ ดังนี้คือ

1. High Speed หมายถึง วงจรรวมที่มีความไวในการทำงานสูง ทั้งนี้เนื่องจากความต้องการในการรับส่ง ข้อมูลข่าวสารที่รวดเร็วยิ่งขึ้น
2. High Density หมายถึง วงจรที่มีความหนาแน่นของตัวอุปกรณ์สูง เพื่อลดขนาดของวงจรที่ออกแบบ
3. Low Power หมายถึง วงจรรวมที่ใช้พลังงานน้อยที่สุด เพื่อการประหยัดพลังงาน




รูปที่ 3.14 วงจรหน่วยความจำขณะเริ่มอ่าน

การกำหนดอัตราส่วน W/L ของทรานซิสเตอร์ ในการออกแบบ CMOS SRAM Cells เราจะพิจารณาช่วงการอ่านข้อมูล ซึ่งสมมุติให้ Logic "0" ถูกเก็บอยู่ในเซลล์ ดังรูปที่ 3.14 โดยทรานซิสเตอร์ M2 และ M5 TURN OFF ในขณะที่ทรานซิสเตอร์ M1 และ M6 ทำงานในโหมดลิเนียร์ ดังนั้นโหนดภายในของเซลล์ V1 เท่ากับ 0 และ V2 เท่ากับ Vdd หลังจากทรานซิสเตอร์ M3 และ M4 TURN ON ไปแล้ว ระดับแรงดันของ /b จะไม่มีการเปลี่ยนแปลง ทำให้ไม่มีกระแสไหลผ่าน M4 และอีกด้านหนึ่งของเซลล์ M3 และ M1 จะนำกระแสและระดับแรงดันของ b จะเริ่มลดลงเพียงเล็กน้อย ปัญหาที่เกิดขึ้นคือขณะที่นำกระแสแรงดันที่โหนด 1 อาจมีระดับแรงดันมากกว่า $V_T$ ของ M2 ทำให้ M2 เกิดการ TURN ON ได้ ทำให้ข้อมูลภายในเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอนนี้จะต้องมีการบังคับไม่ให้เกิดการเปลี่ยนแปลงสถานะของข้อมูล ดังนั้นเราต้องออกแบบให้แรงดันที่โหนด 1 ต้องมีค่าน้อยกว่า $V_T$ ของ M2 โดยที่ทรานซิสเตอร์ M2 ยังคง TURN OFF ในระหว่างช่วงที่อ่านโดย

$$V1(max) \leq V_{T2}$$

ดังนั้น M3 จะทำงานในย่าน Saturation ขณะที่ M1ทำงานในย่าน Linear จากข้อเงื่อนไขที่กล่าวมาข้างต้นเราจะกำหนดให้

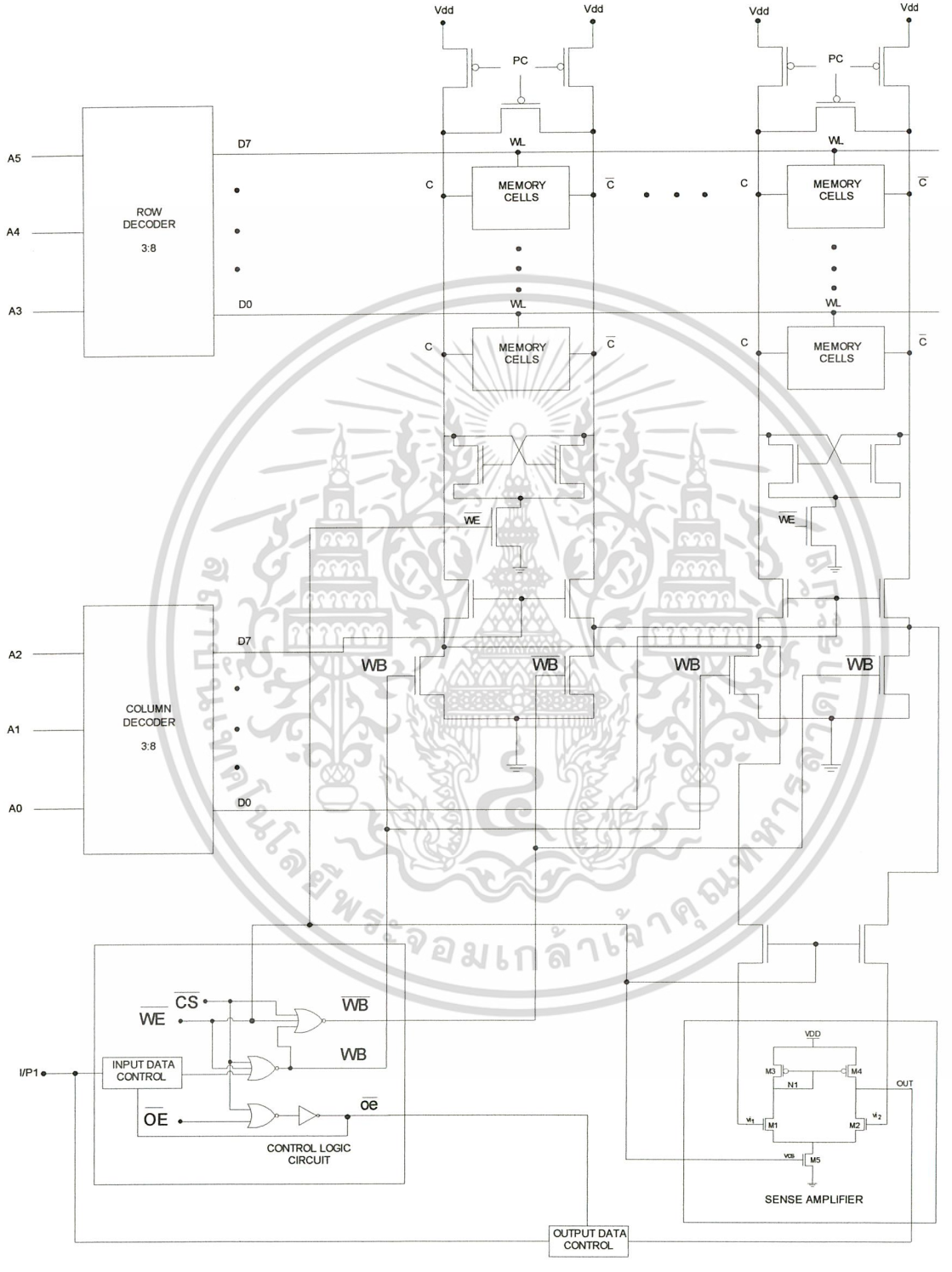
$$\frac{W1}{W3} \cong 1.5$$

และ

$$\frac{W4}{W6} \cong 1.5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.11 วงจรรวมของหน่วยความจำแบบสแตติค



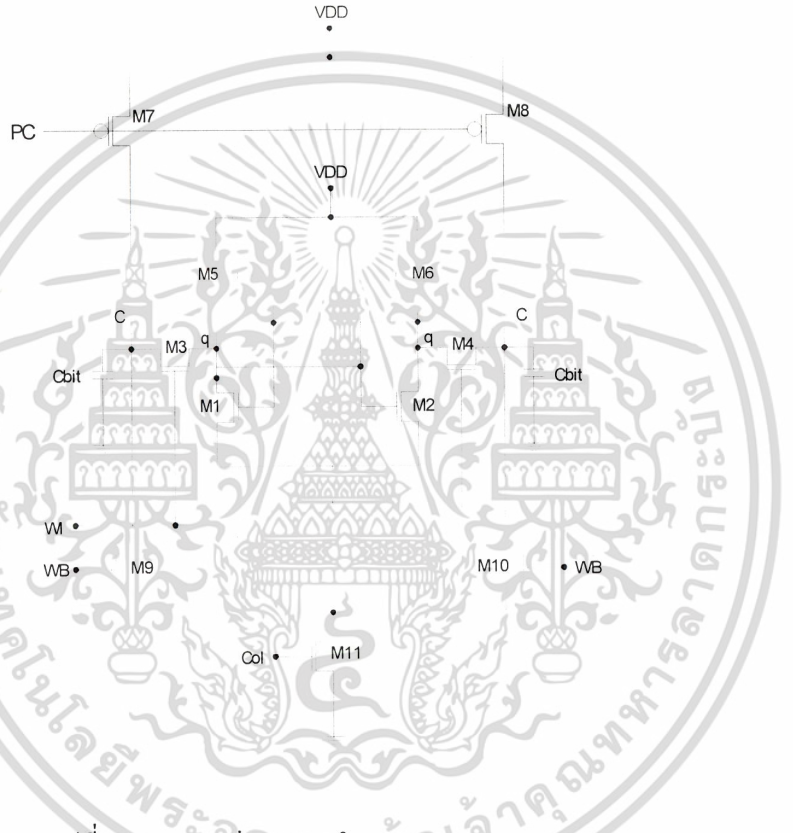

รูปที่ 3.15 วงจรรวมทั้งหมดของหน่วยความจำแบบสแตติค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

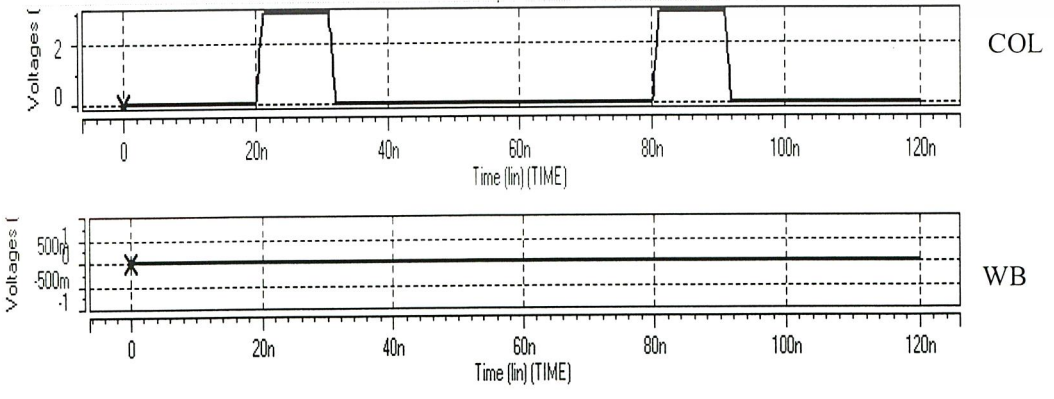
# บทที่ 4

# การจำลองการทำงานของหน่วยความจำแบบสแตติคและการออกแบบลวดลาย (Layout)

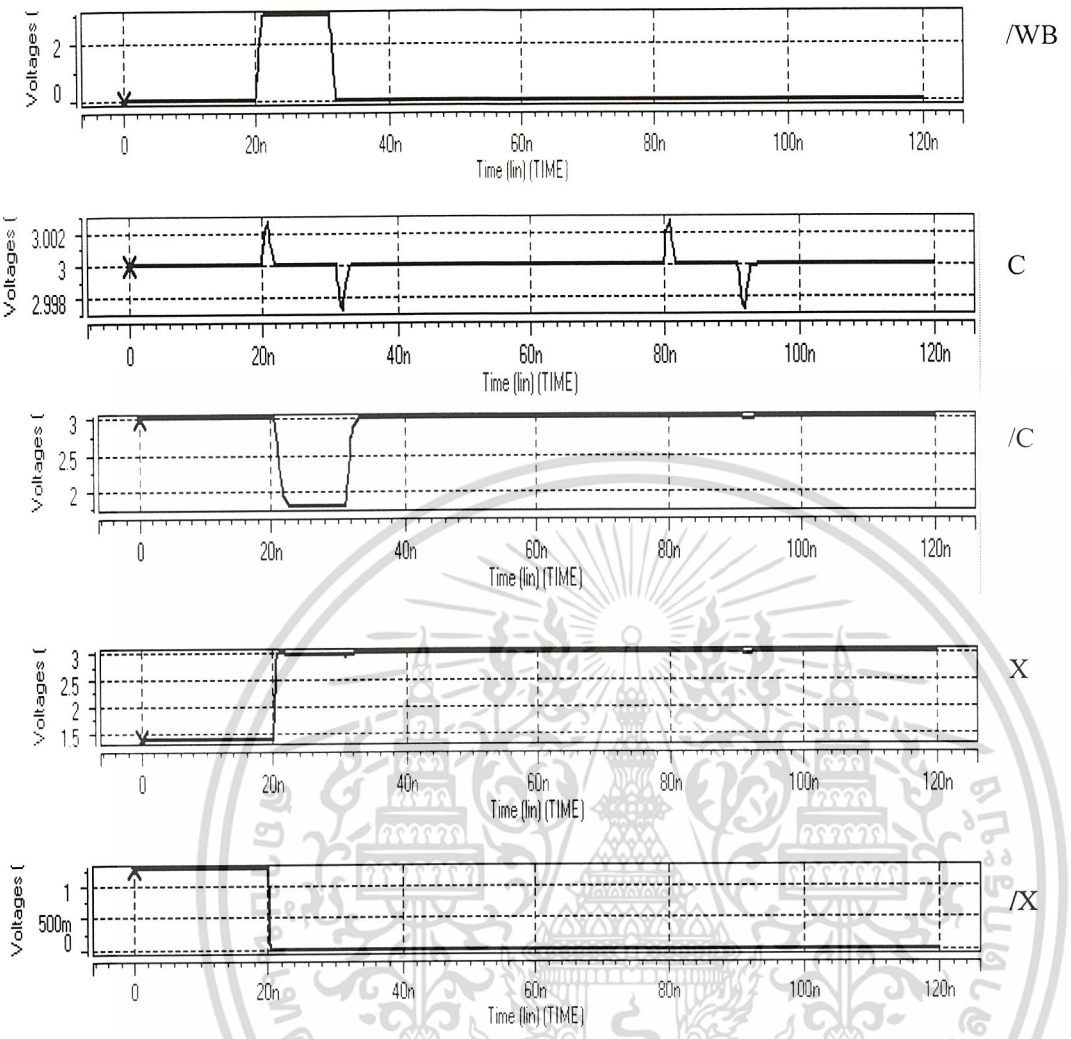
## 4.1 หน่วยความจำ (SRAM Memory)



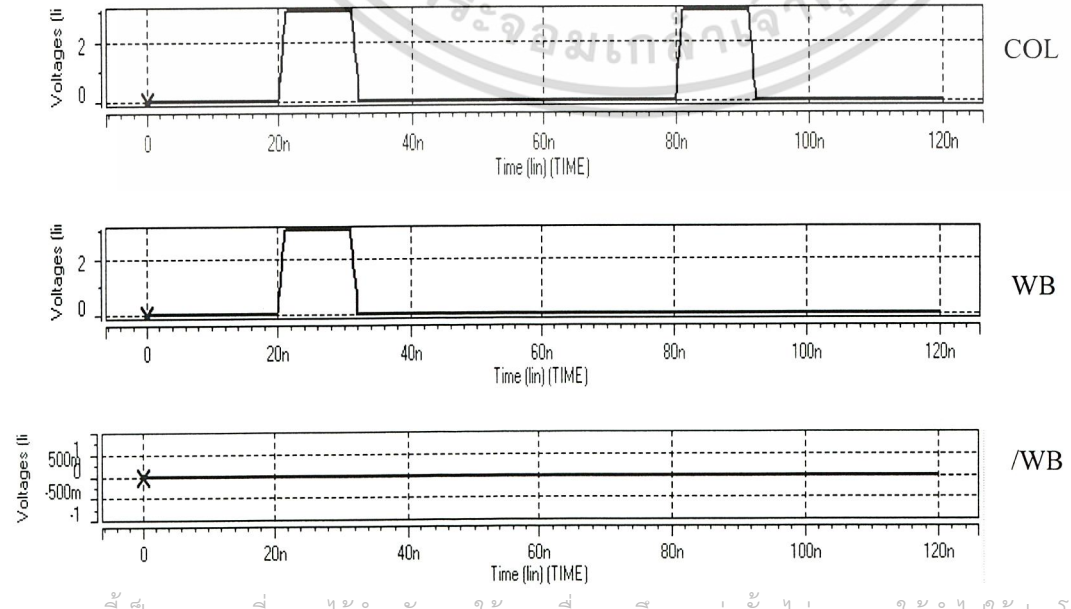

รูปที่ 4.1 วงจรหน่วยความจำ (SRAM Memory)



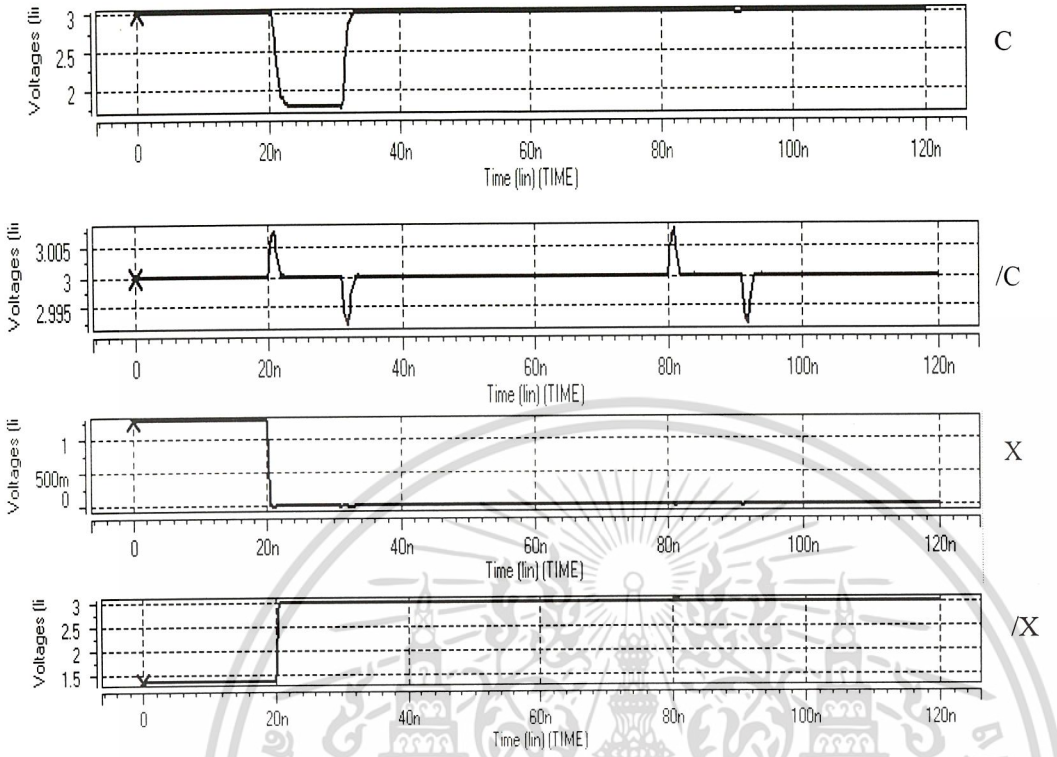

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2 ผลการทดลองหน่วยความจำในขณะทำการเขียน "1" และอ่าน "1"




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

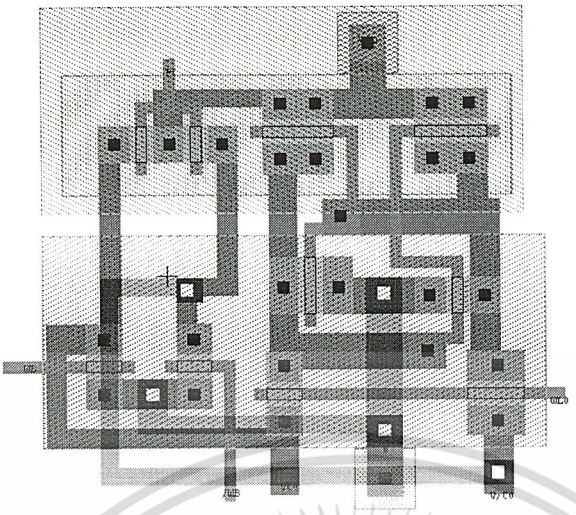



รูปที่ 4.3 ผลการทดลองหน่วยความจำในขณะทำการเขียน "0" และอ่าน "0"

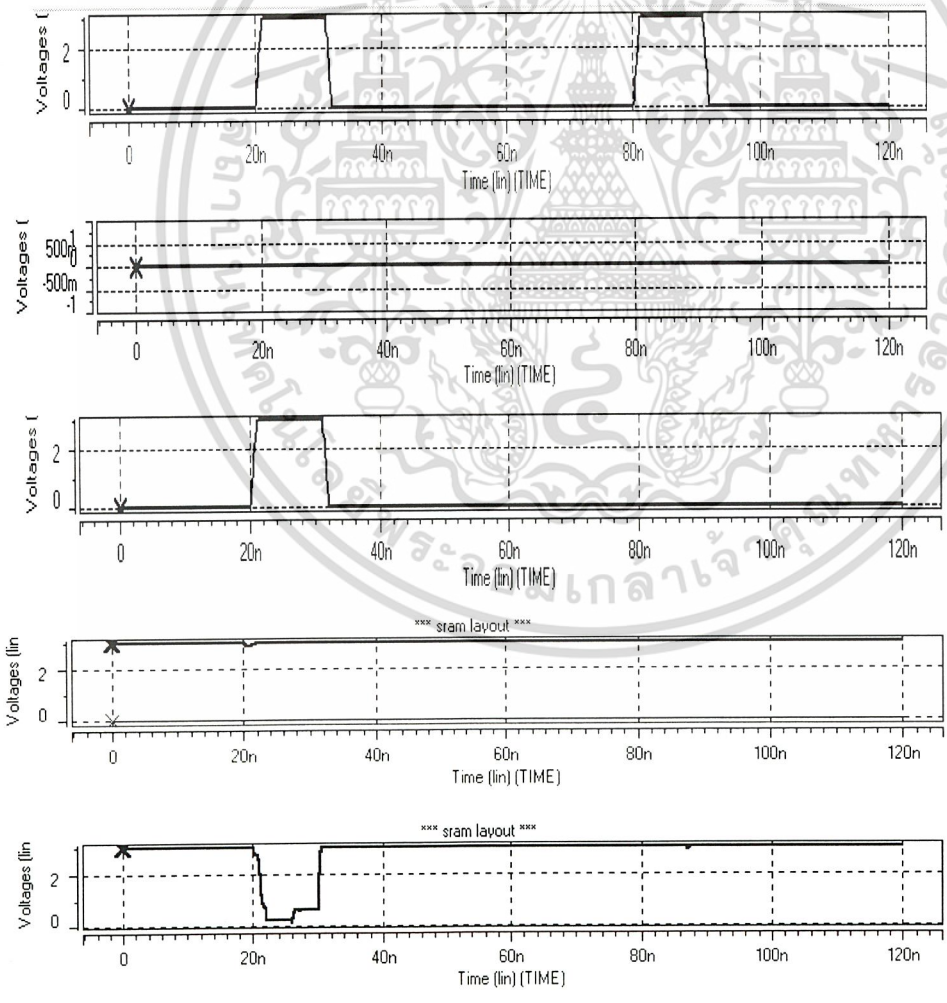
**ขนาดของหน่วยความจำ**

| Transistor | W | L |
|---|---|---|
| **M1** | 7.2u | 0.8u |
| **M2** | 4.8u | 0.8u |
| **M3** | 4.8u | 0.8u |
| **M4** | 7.2u | 0.8u |
| **M5** | 4.8u | 0.8u |
| **M6** | 4.8u | 0.8u |

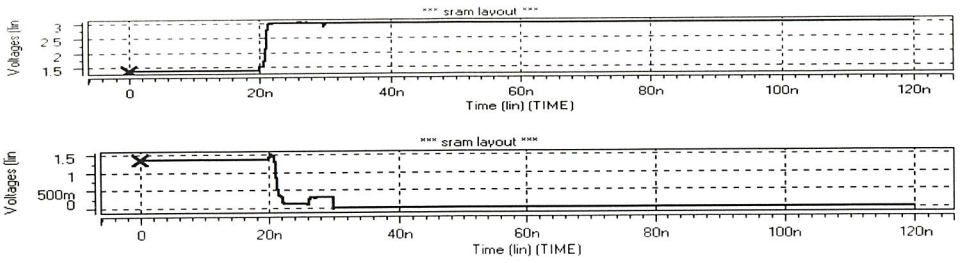
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



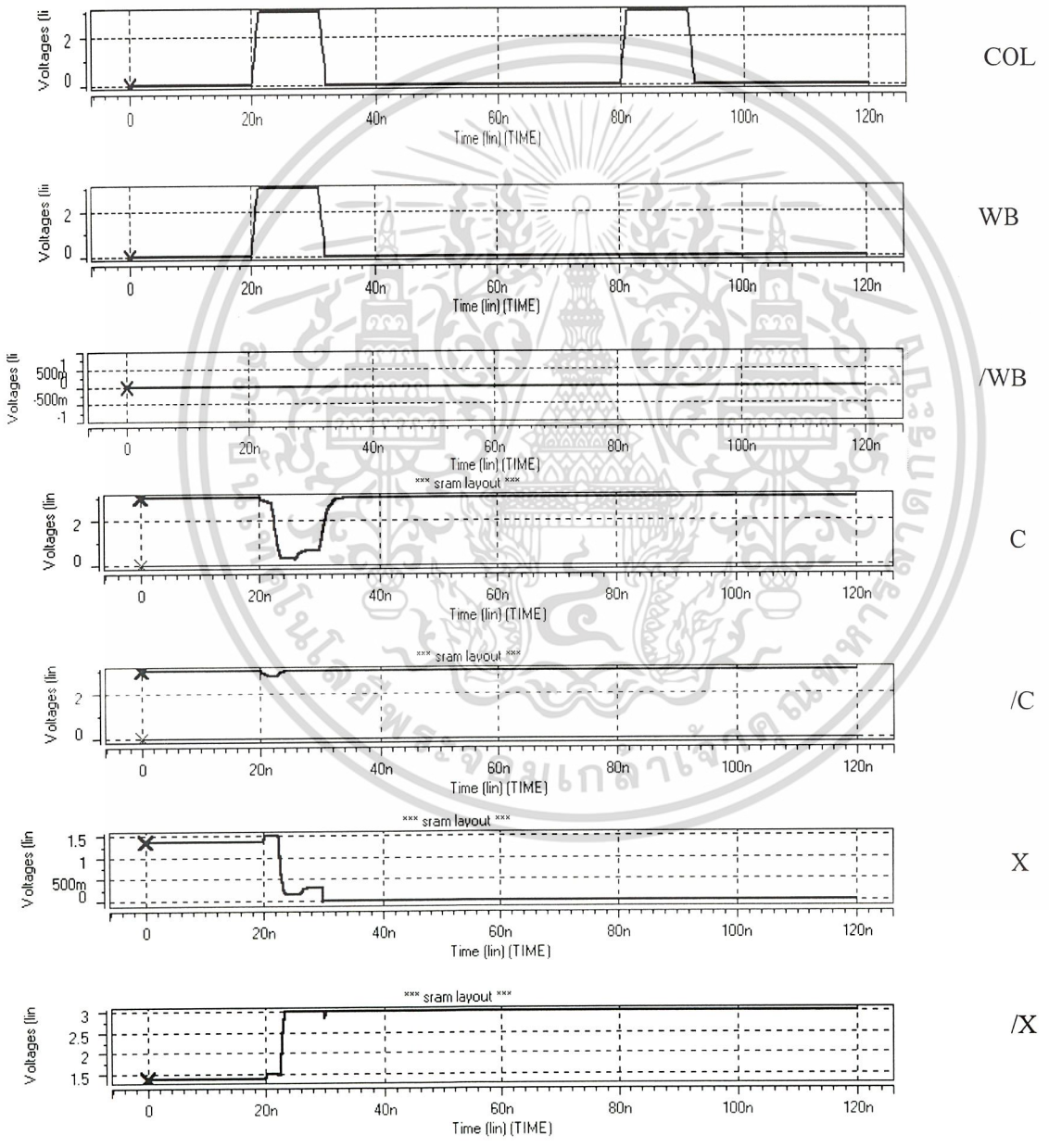
รูปที่ 4.4 ลวดลาย (Layout) ของหน่วยความจำ




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.5 ผลการทดลองหน่วยความจำขณะเขียน 1 และอ่าน 1 จากการออกแบบลวดลาย



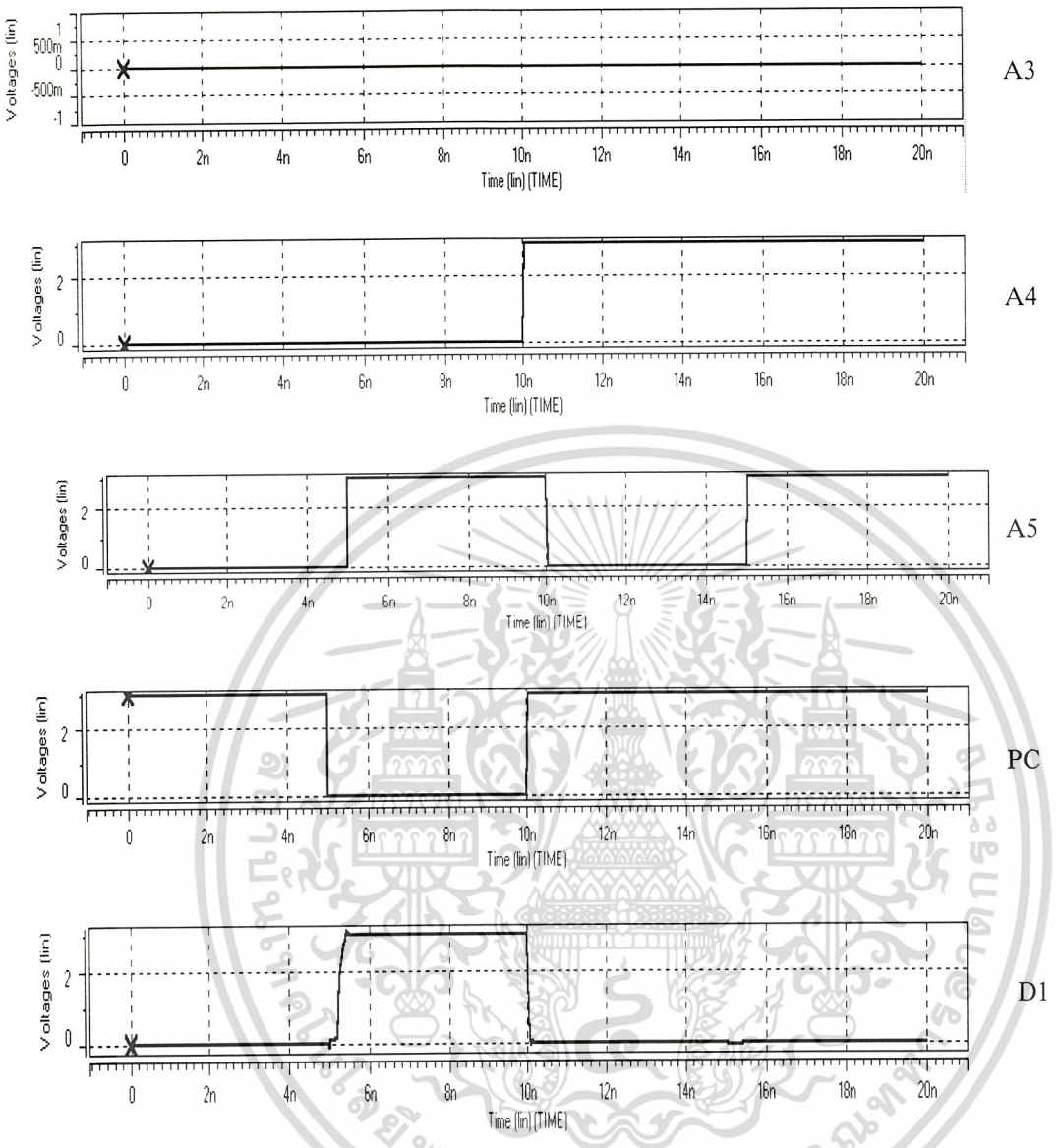

รูปที่ 4.6 ผลการทดลองหน่วยความจำขณะเขียน 0 และอ่าน 0 จากการออกแบบลวดลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2 วงจรถอดรหัสทางแนวนอน (ROW Decoder)**

รูปที่ 4.7 วงจรถอดรหัสทางแนวนอน (ROW Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.8 ผลการทดลองวงจรถอดรหัสทางแนวนอน แอดเดรส 001 010

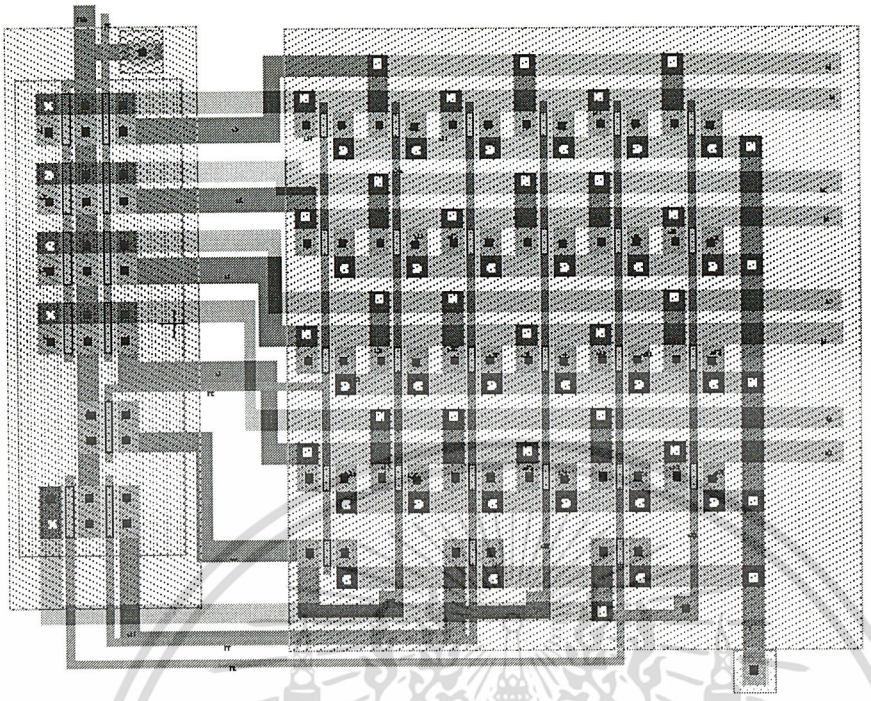
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ขนาดของวงจรถอดรหัสทางแนวนอน

| Transistor | W | L | Transistor | W | L | Transistor |
|---|---|---|---|---|---|---|
| **M1** | 4.8u | 0.8u | **M11** | 4.8u | 0.8u | **M21** |
| **M2** | 4.8u | 0.8u | **M12** | 2.4u | 0.8u | **M22** |
| **M3** | 4.8u | 0.8u | **M13** | 2.4u | 0.8u | **M23** |
| **M4** | 4.8u | 0.8u | **M14** | 2.4u | 0.8u | **M24** |
| **M5** | 4.8u | 0.8u | **M15** | 2.4u | 0.8u | **M25** |
| **M6** | 4.8u | 0.8u | **M16** | 2.4u | 0.8u | **M26** |
| **M7** | 4.8u | 0.8u | **M17** | 2.4u | 0.8u | **M27** |
| **M8** | 4.8u | 0.8u | **M18** | 2.4u | 0.8u | **M28** |
| **M9** | 4.8u | 0.8u | **M19** | 2.4u | 0.8u | **M29** |
| **M10** | 4.8u | 0.8u | **M20** | 2.4u | 0.8u | **M30** |

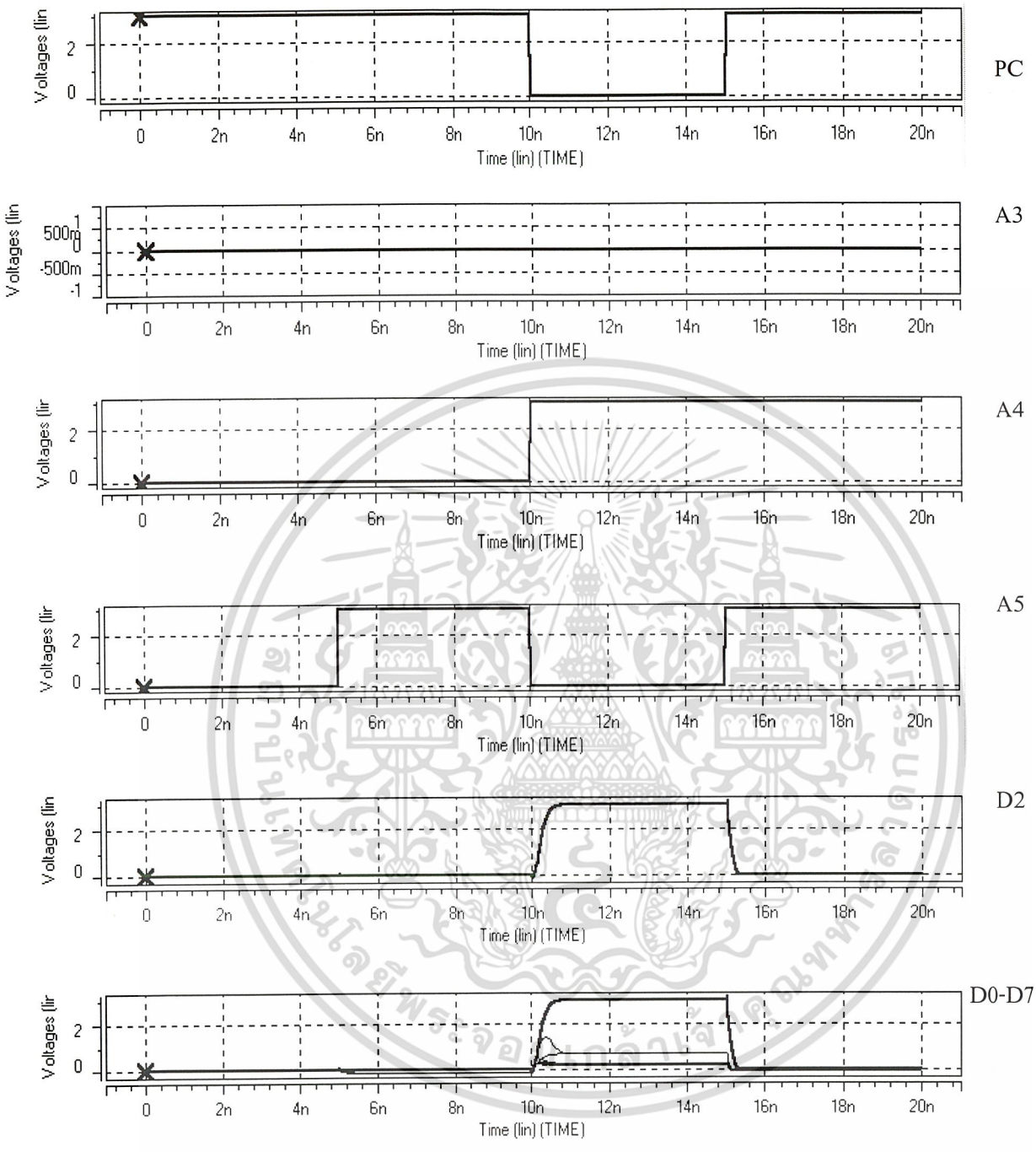
| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M21** | 2.4u | 0.8u | **M31** | 2.4u | 0.8u |
| **M22** | 2.4u | 0.8u | **M32** | 2.4u | 0.8u |
| **M23** | 2.4u | 0.8u | **M33** | 2.4u | 0.8u |
| **M24** | 2.4u | 0.8u | **M34** | 2.4u | 0.8u |
| **M25** | 2.4u | 0.8u | **M35** | 2.4u | 0.8u |
| **M26** | 2.4u | 0.8u | **M36** | 2.4u | 0.8u |
| **M27** | 2.4u | 0.8u | **M37** | 2.4u | 0.8u |
| **M28** | 2.4u | 0.8u | **M38** | 2.4u | 0.8u |
| **M29** | 2.4u | 0.8u | | | |
| **M30** | 2.4u | 0.8u | | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ลวดลาย (Layout) ของวงจรถอดรหัสทางแนวนอน

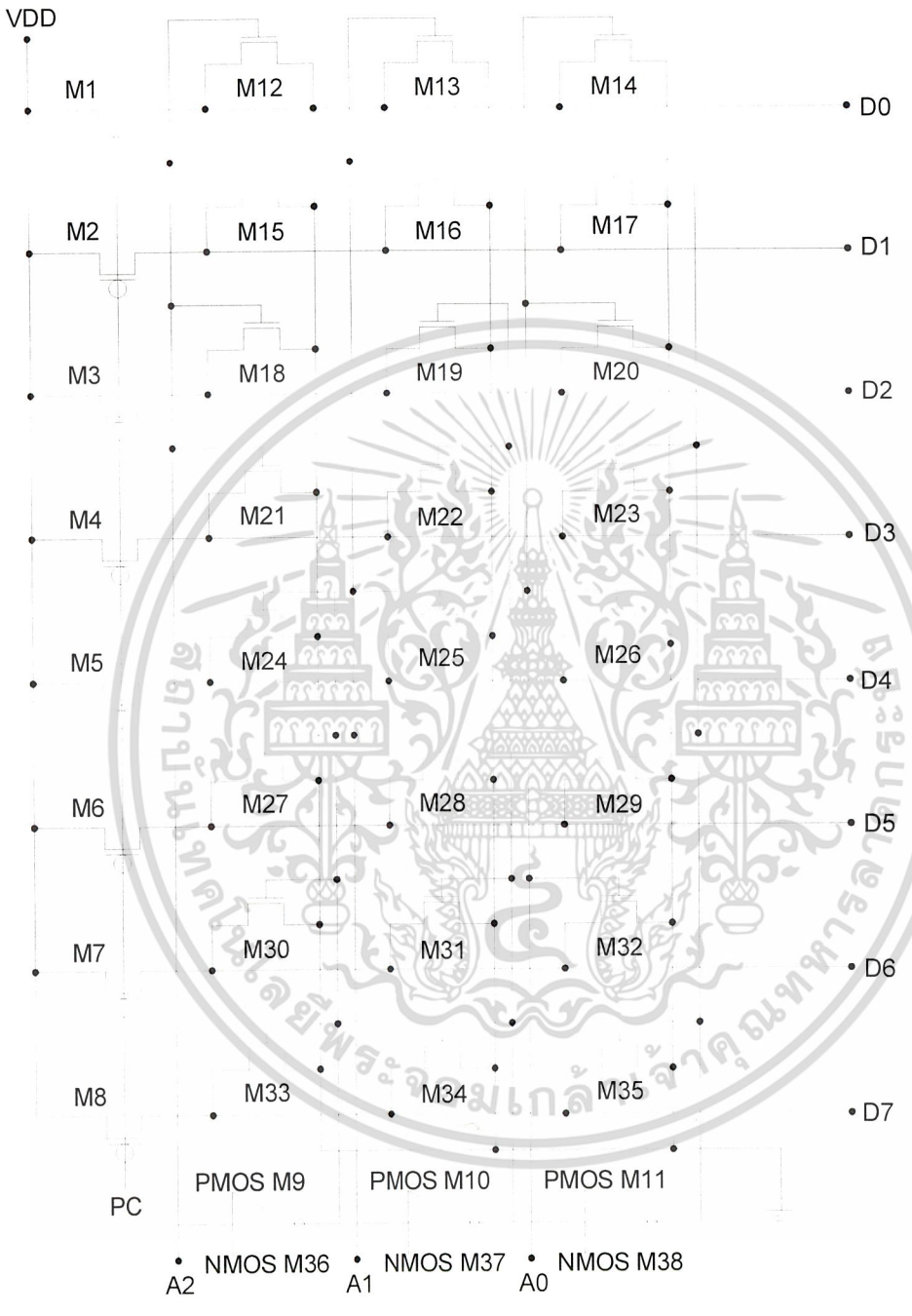
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.10 ผลการทดลองวงจรถอดรหัสทางแนวนอนจากการออกแบบลวดลาย

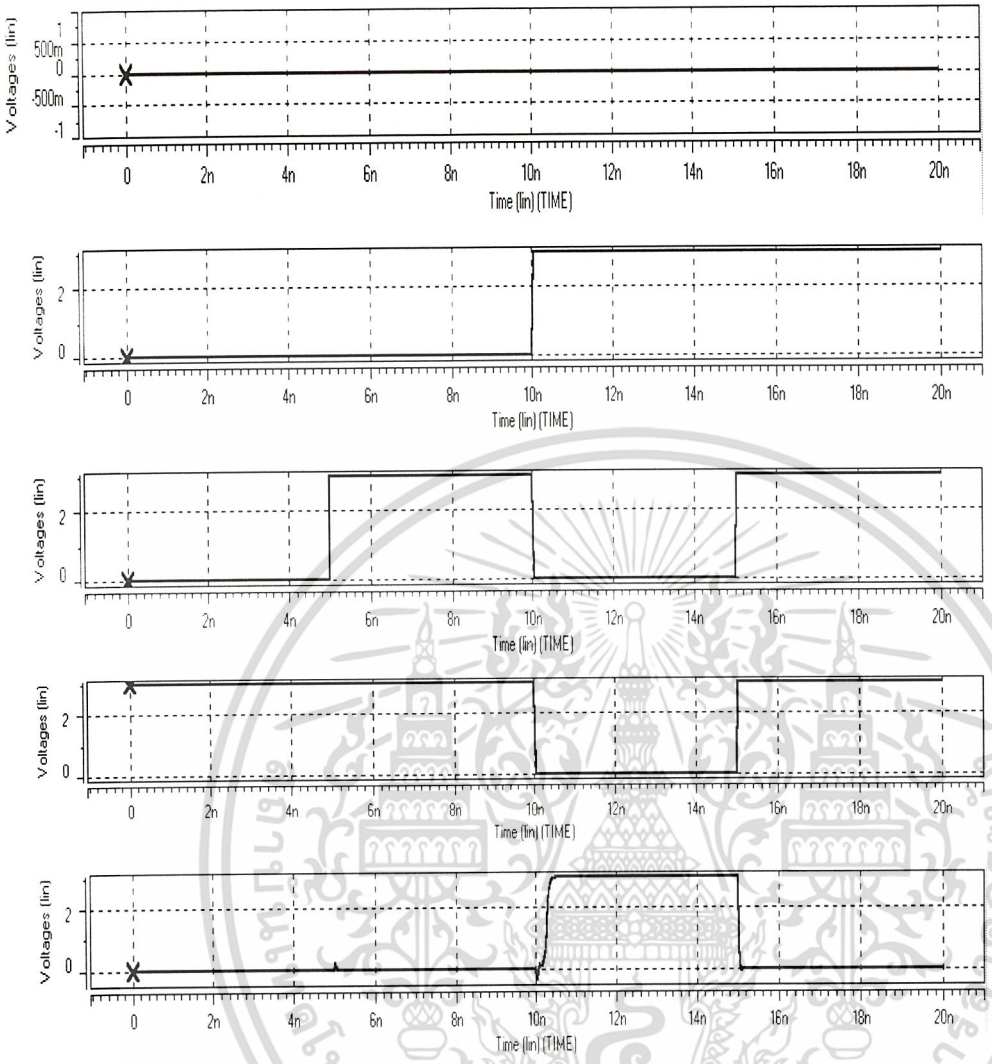
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.3 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)**




รูปที่ 4.11 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.12 ผลการทดลองวงจรถอดรหัสทางแนวตั้ง แอดเดรส 001 010

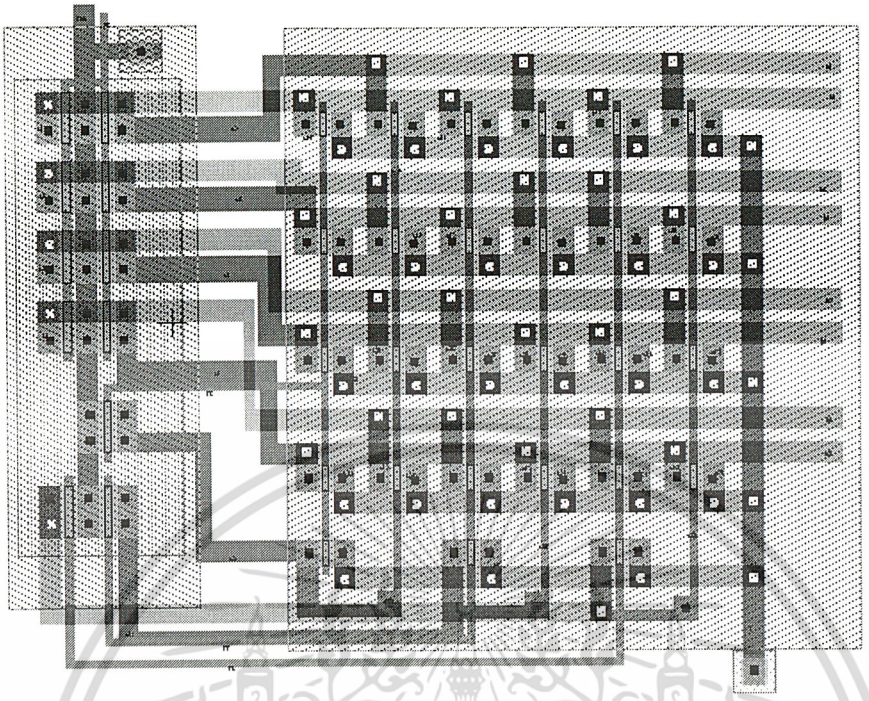
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ขนาดของวงจรถอดรหัสทางแนวตั้ง

| Transistor | W | L | Transistor | W | L | Transistor |
|---|---|---|---|---|---|---|
| M1 | 4.8u | 0.8u | M11 | 4.8u | 0.8u | M21 |
| M2 | 4.8u | 0.8u | M12 | 2.4u | 0.8u | M22 |
| M3 | 4.8u | 0.8u | M13 | 2.4u | 0.8u | M23 |
| M4 | 4.8u | 0.8u | M14 | 2.4u | 0.8u | M24 |
| M5 | 4.8u | 0.8u | M15 | 2.4u | 0.8u | M25 |
| M6 | 4.8u | 0.8u | M16 | 2.4u | 0.8u | M26 |
| M7 | 4.8u | 0.8u | M17 | 2.4u | 0.8u | M27 |
| M8 | 4.8u | 0.8u | M18 | 2.4u | 0.8u | M28 |
| M9 | 4.8u | 0.8u | M19 | 2.4u | 0.8u | M29 |
| M10 | 4.8u | 0.8u | M20 | 2.4u | 0.8u | M30 |

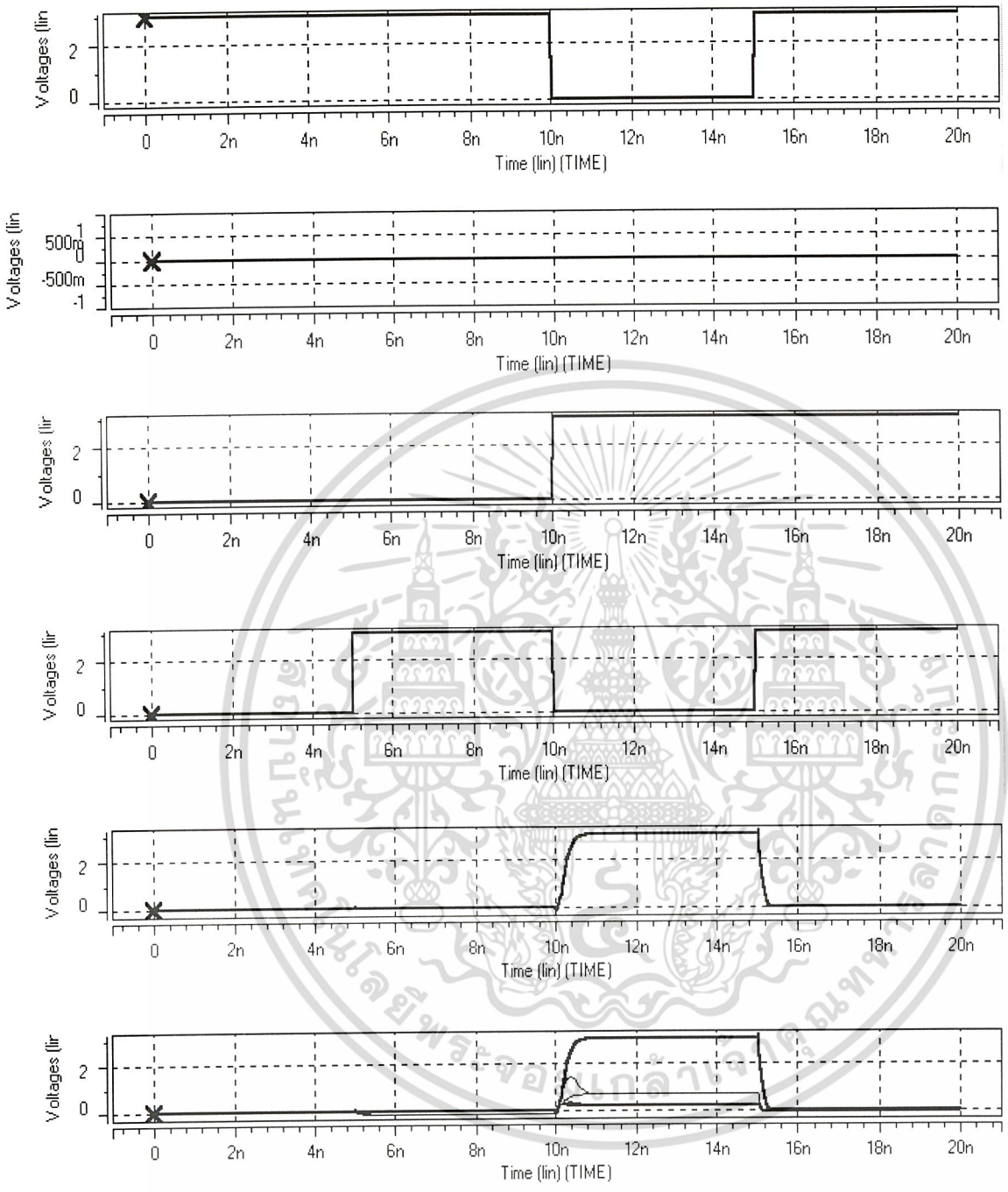
| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| M21 | 2.4u | 0.8u | M31 | 2.4u | 0.8u |
| M22 | 2.4u | 0.8u | M32 | 2.4u | 0.8u |
| M23 | 2.4u | 0.8u | M33 | 2.4u | 0.8u |
| M24 | 2.4u | 0.8u | M34 | 2.4u | 0.8u |
| M25 | 2.4u | 0.8u | M35 | 2.4u | 0.8u |
| M26 | 2.4u | 0.8u | M36 | 2.4u | 0.8u |
| M27 | 2.4u | 0.8u | M37 | 2.4u | 0.8u |
| M28 | 2.4u | 0.8u | M38 | 2.4u | 0.8u |
| M29 | 2.4u | 0.8u | | | |
| M30 | 2.4u | 0.8u | | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ลวดลาย (Layout) ของวงจรถอดรหัสทางแนวตั้ง

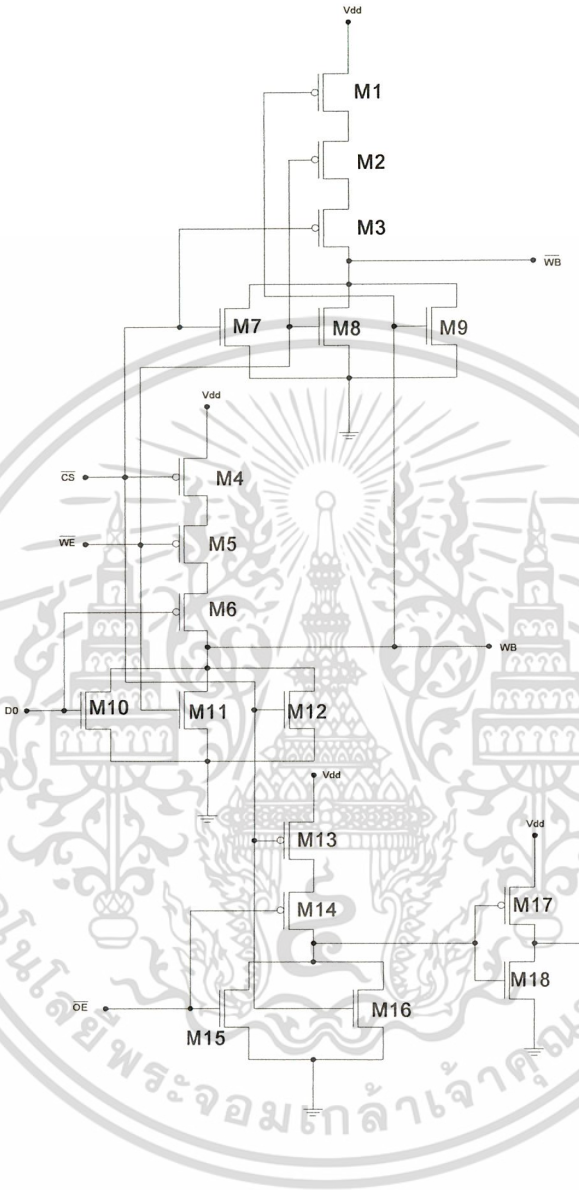
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.14 ผลการทดลองวงจรถอดรหัสทางแนวตั้งจากการออกแบบลวดลาย

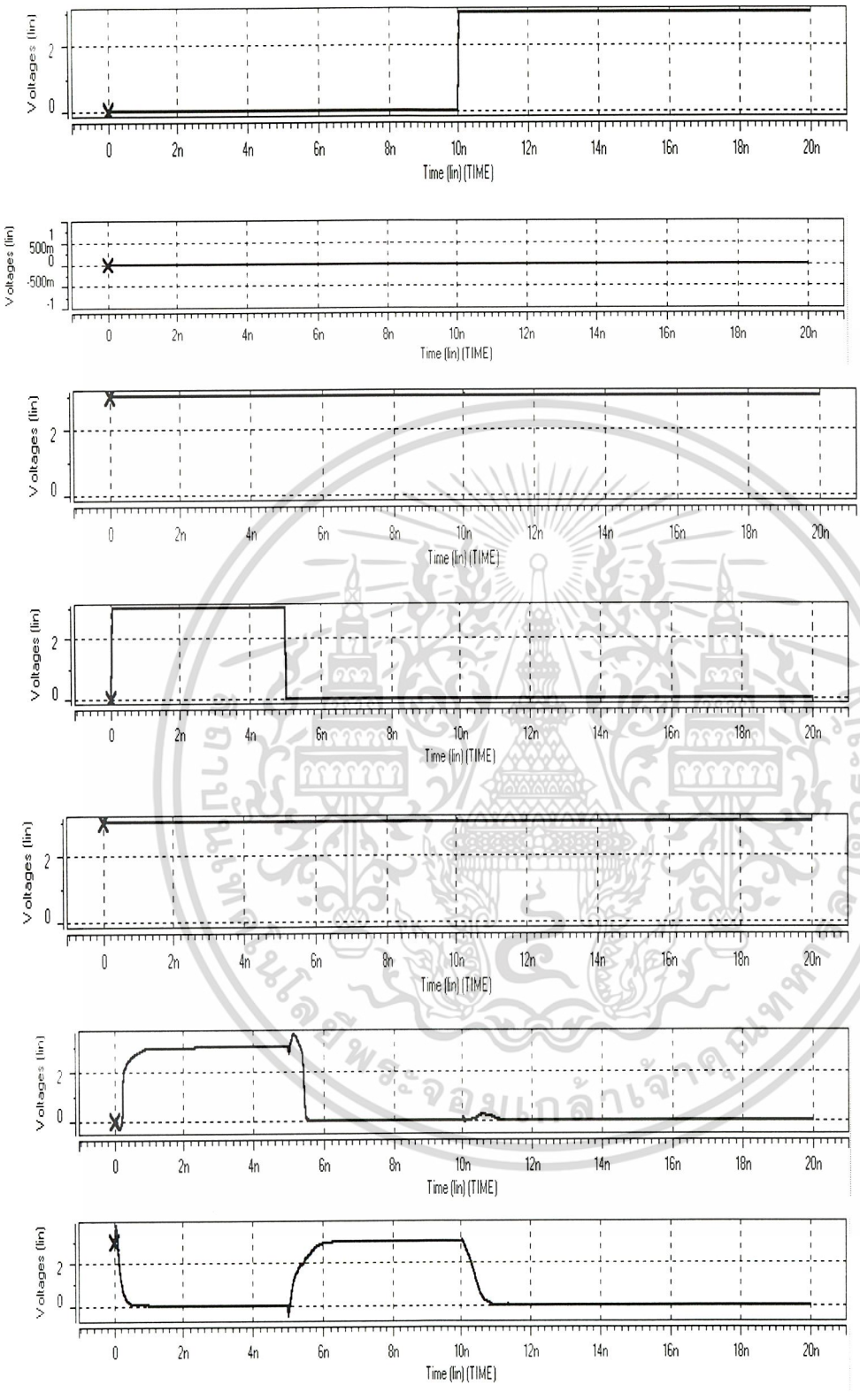
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.4 วงจรควบคุมสัญญาณ (Control Logic Circuit)



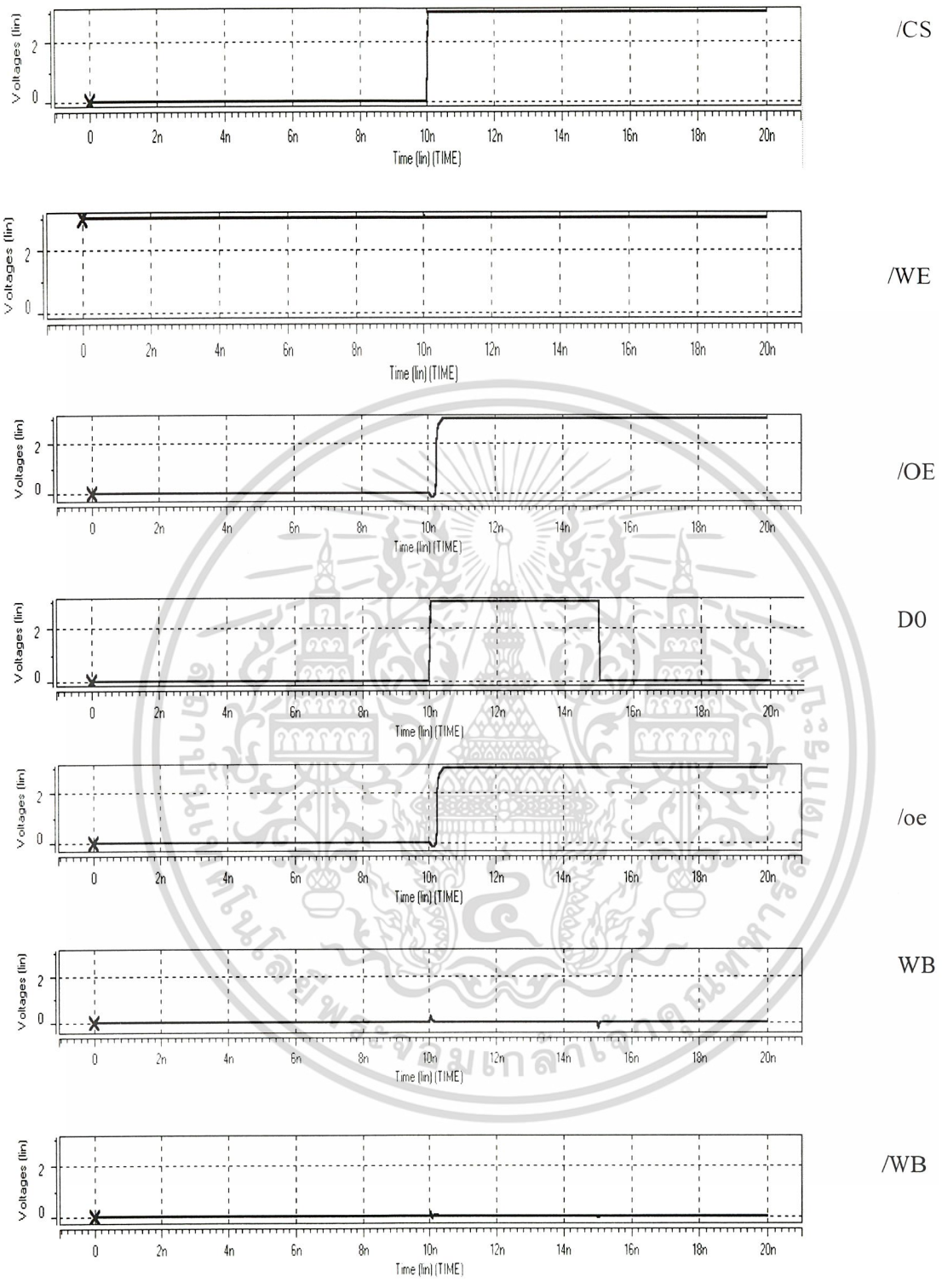

รูปที่ 4.15 วงจรควบคุมสัญญาณ (Control Logic Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.16 ผลการทดลองวงจรควบคุมสัญญาณ ขณะทำการเขียน "1" และเขียน "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

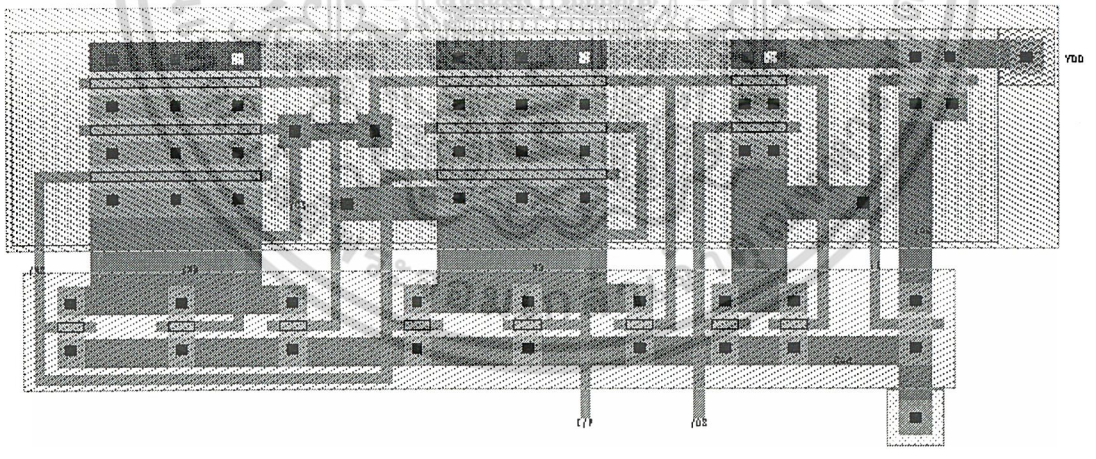



รูปที่ 4.17 ผลการทดลองวงจรควบคุมสัญญาณ ขณะทำการอ่านและขณะชิพไม่ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

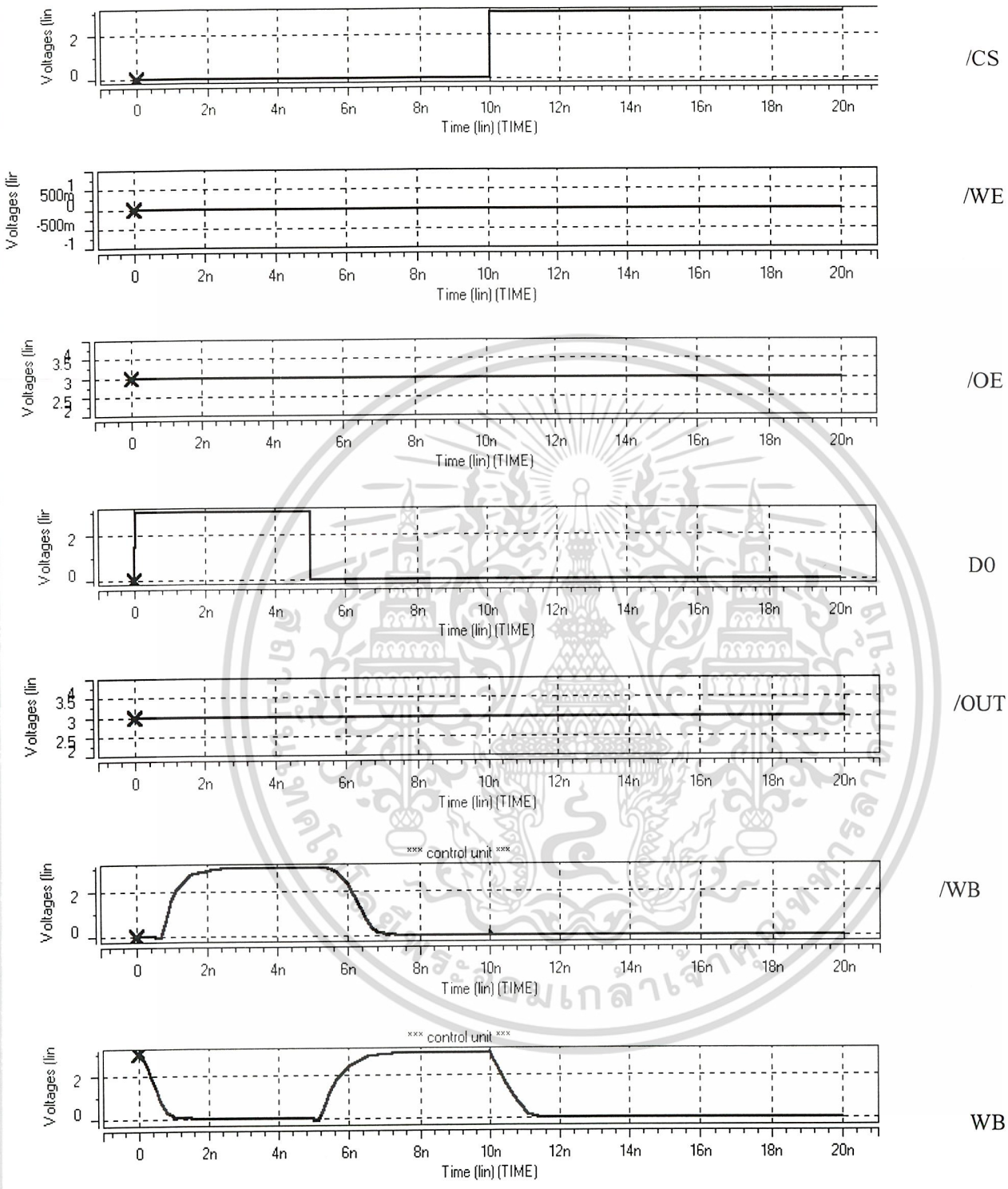
**ขนาดของวงจรควบคุมสัญญาณ**

| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M1** | 14.4u | 0.8u | **M11** | 2.4u | 0.8u |
| **M2** | 14.4u | 0.8u | **M12** | 2.4u | 0.8u |
| **M3** | 14.4u | 0.8u | **M13** | 4.8u | 0.8u |
| **M4** | 14.4u | 0.8u | **M14** | 4.8u | 0.8u |
| **M5** | 14.4u | 0.8u | **M15** | 2.4u | 0.8u |
| **M6** | 14.4u | 0.8u | **M16** | 2.4u | 0.8u |
| **M7** | 2.4u | 0.8u | **M17** | 4.8u | 0.8u |
| **M8** | 2.4u | 0.8u | **M18** | 2.4u | 0.8u |
| **M9** | 2.4u | 0.8u | | | |
| **M10** | 2.4u | 0.8u | | | |




รูปที่ 4.18 ลวดลาย (Layout) ของวงจรควบคุมสัญญาณ

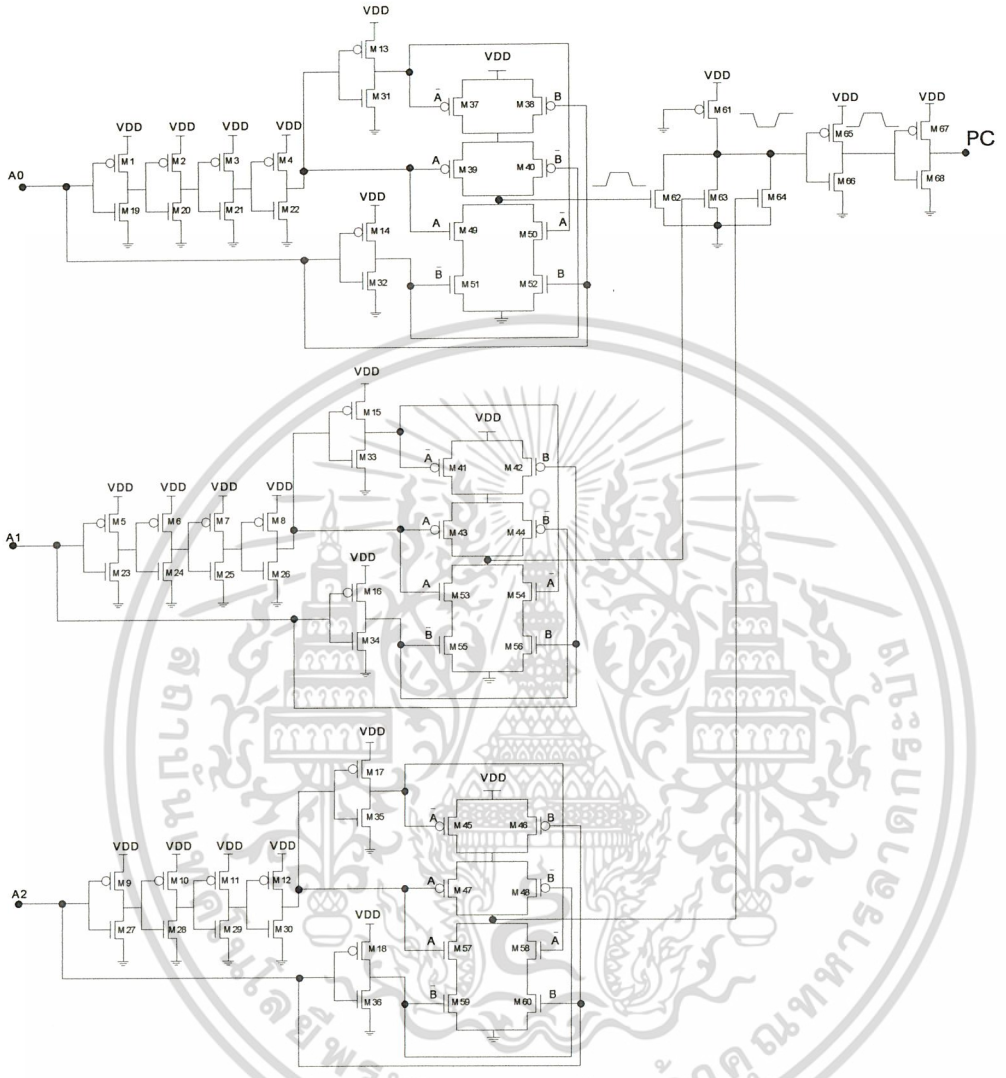
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.19 ผลการทดลองวงจรควบคุมสัญญาณจากการออกแบบลวดลาย

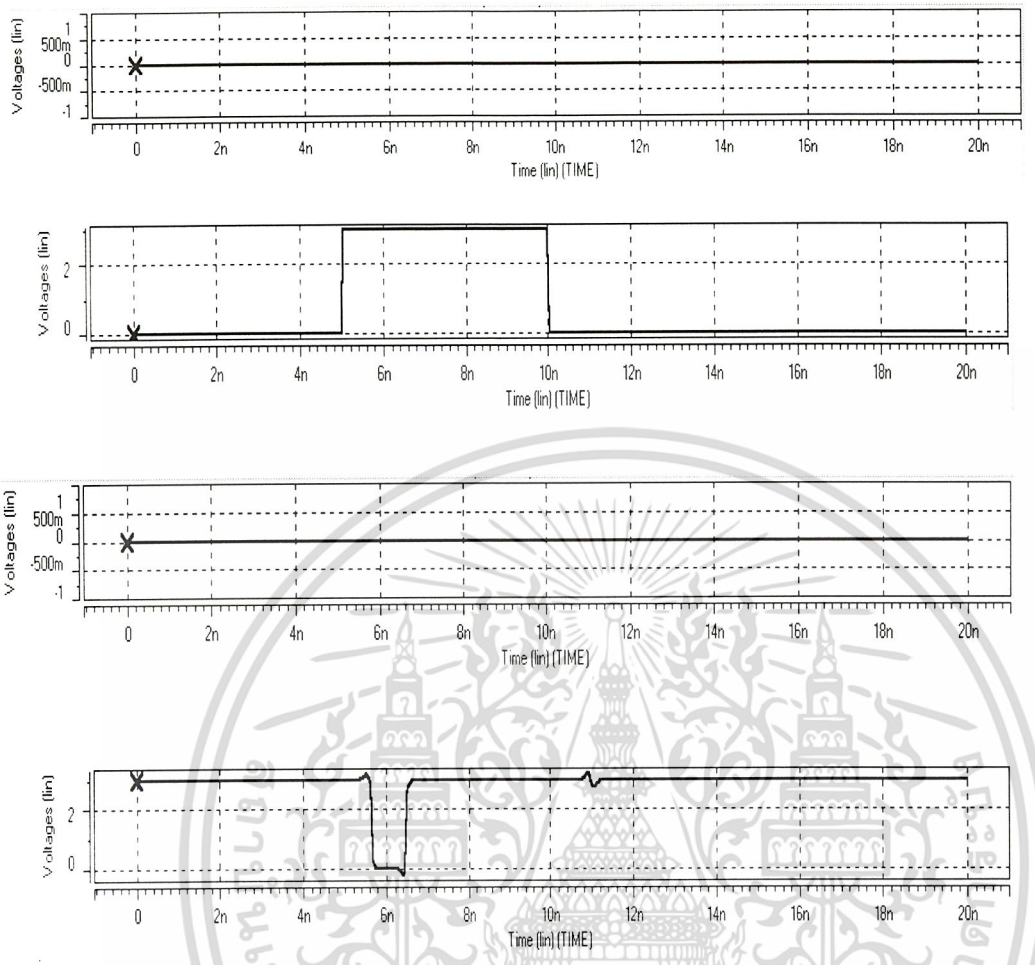
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.5 วงจร Precharge




รูปที่ 4.20 วงจร Precharge

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.21 ผลการทดลองวงจร Precharge แอดเดรส 001 010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ขนาดของวงจร Precharge**

| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M1** | 5u | 0.8u | **M11** | 5u | 0.8u |
| **M2** | 5u | 0.8u | **M12** | 5u | 0.8u |
| **M3** | 5u | 0.8u | **M13** | 5u | 0.8u |
| **M4** | 5u | 0.8u | **M14** | 5u | 0.8u |
| **M5** | 5u | 0.8u | **M15** | 5u | 0.8u |
| **M6** | 5u | 0.8u | **M16** | 5u | 0.8u |
| **M7** | 5u | 0.8u | **M17** | 5u | 0.8u |
| **M8** | 5u | 0.8u | **M18** | 5u | 0.8u |
| **M9** | 5u | 0.8u | **M19** | 2.5u | 0.8u |
| **M10** | 5u | 0.8u | **M20** | 2.5u | 0.8u |

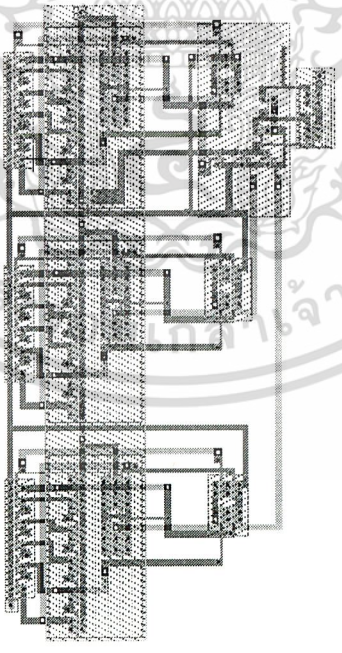
| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M21** | 2.5u | 0.8u | **M31** | 2.5u | 0.8u |
| **M22** | 2.5u | 0.8u | **M32** | 2.5u | 0.8u |
| **M23** | 2.5u | 0.8u | **M33** | 2.5u | 0.8u |
| **M24** | 2.5u | 0.8u | **M34** | 2.5u | 0.8u |
| **M25** | 2.5u | 0.8u | **M35** | 2.5u | 0.8u |
| **M26** | 2.5u | 0.8u | **M36** | 2.5u | 0.8u |
| **M27** | 2.5u | 0.8u | **M37** | 10u | 0.8u |
| **M28** | 2.5u | 0.8u | **M38** | 10u | 0.8u |
| **M29** | 2.5u | 0.8u | **M39** | 10u | 0.8u |
| **M30** | 2.5u | 0.8u | **M40** | 10u | 0.8u |

| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M41** | 10u | 0.8u | **M51** | 5u | 0.8u |
| **M42** | 10u | 0.8u | **M52** | 5u | 0.8u |
| **M43** | 10u | 0.8u | **M53** | 5u | 0.8u |
| **M44** | 10u | 0.8u | **M54** | 5u | 0.8u |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

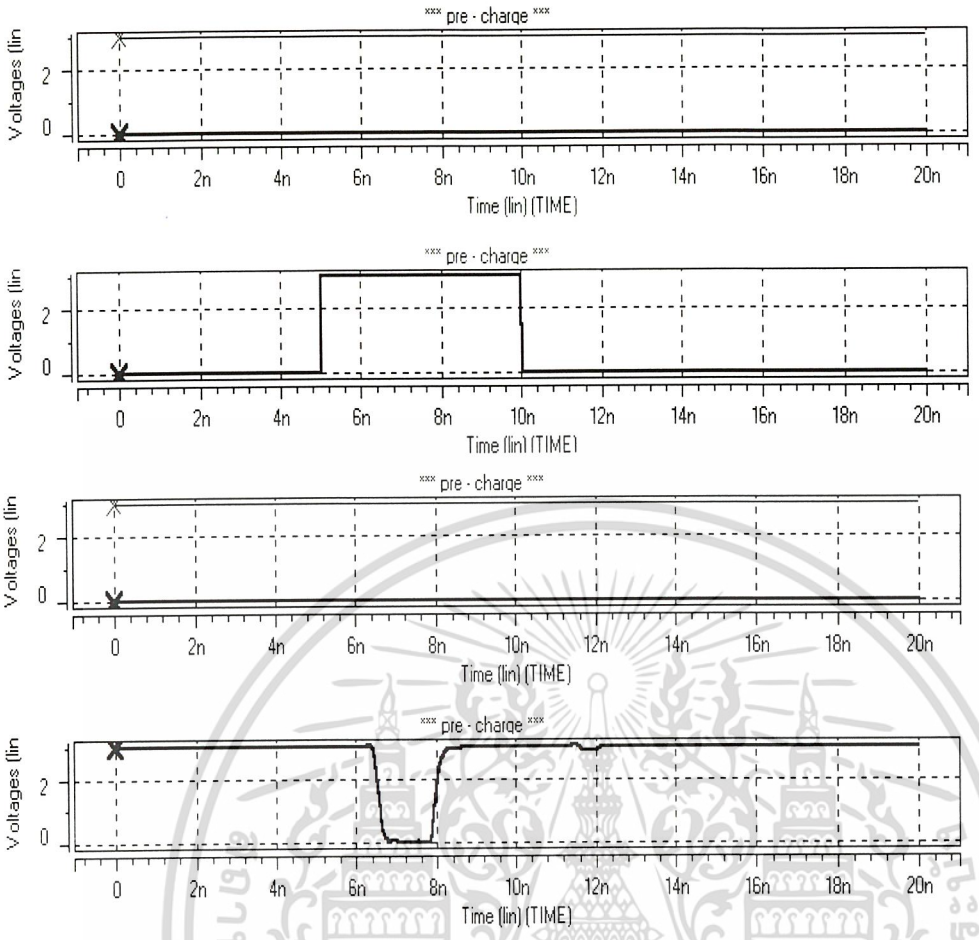
| | | | | | |
|---|---|---|---|---|---|
| **M45** | 10u | 0.8u | **M55** | 5u | 0.8u |
| **M46** | 10u | 0.8u | **M56** | 5u | 0.8u |
| **M47** | 10u | 0.8u | **M57** | 5u | 0.8u |
| **M48** | 10u | 0.8u | **M58** | 5u | 0.8u |
| **M49** | 5u | 0.8u | **M59** | 5u | 0.8u |
| **M50** | 5u | 0.8u | **M60** | 5u | 0.8u |

| | | |
|---|---|---|
| **M61** | 10u | 0.8u |
| **M62** | 5u | 0.8u |
| **M63** | 5u | 0.8u |
| **M64** | 5u | 0.8u |
| **M65** | 5u | 0.8u |
| **M66** | 2.4u | 0.8u |
| **M67** | 5u | 0.8u |
| **M68** | 2.4u | 0.8u |



รูปที่ 4.22 ลวดลาย (Layout) ของวงจร Precharge

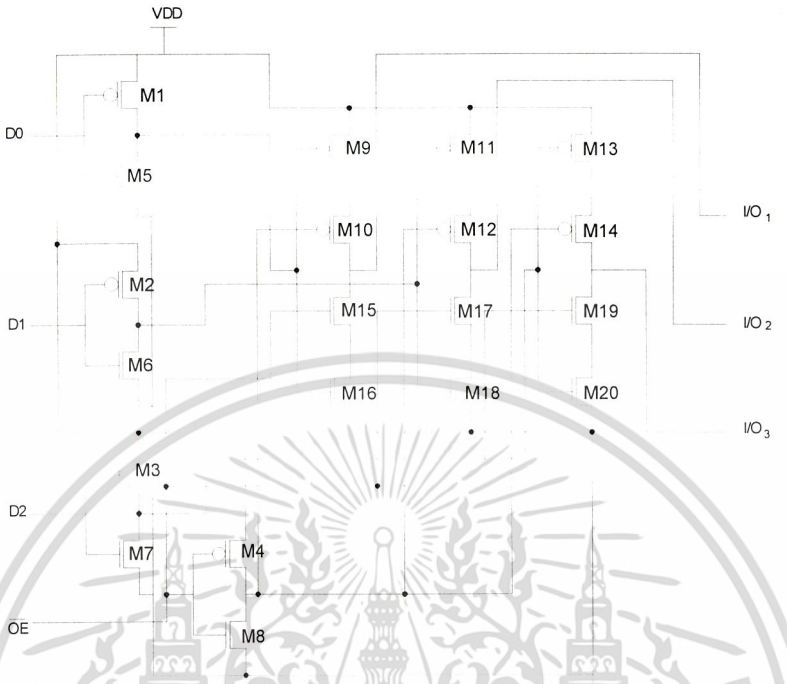
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.23 ผลการทดลองวงจร Precharge จากการออกแบบลวดลาย

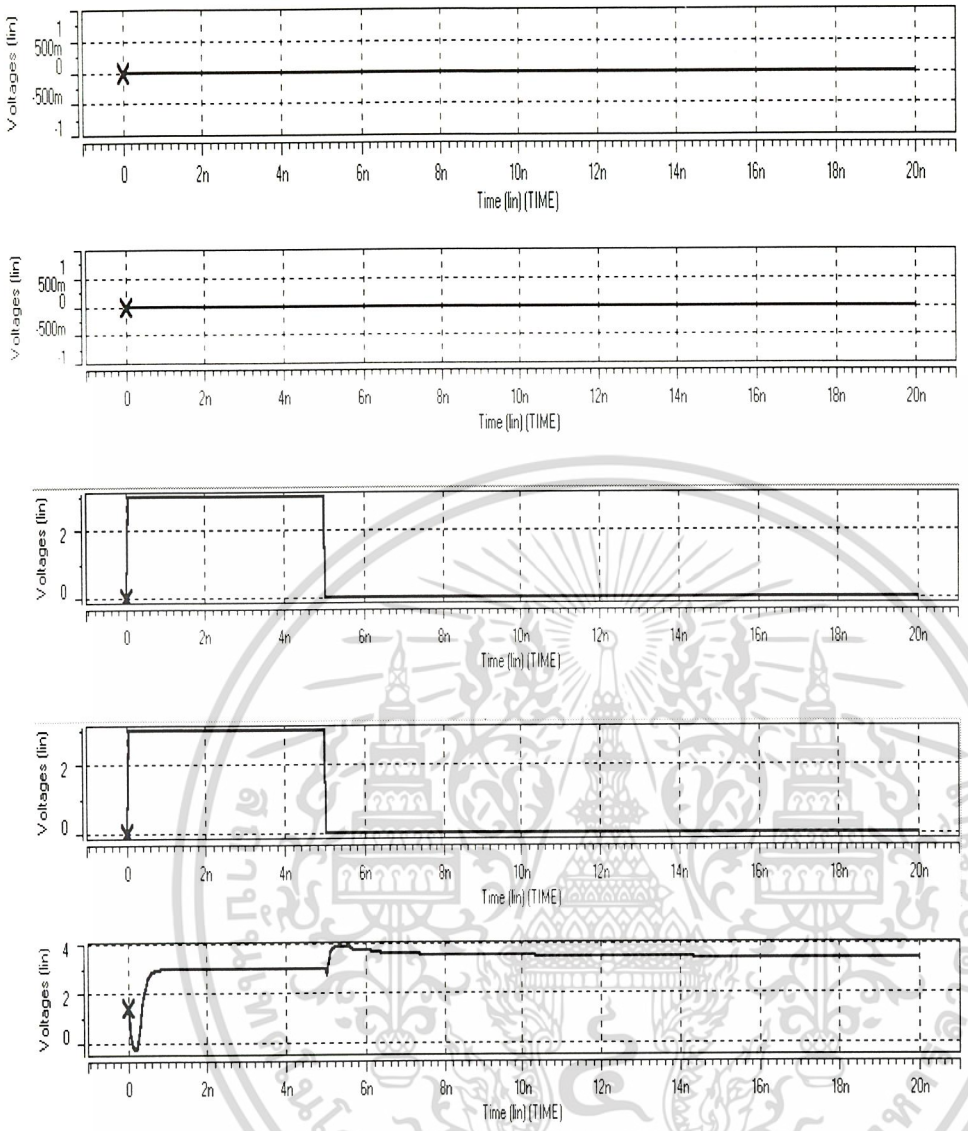
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.6 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control)




รูปที่ 4.24 วงจรควบคุมข้อมูลทางด้านอินพุท (Input Data Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

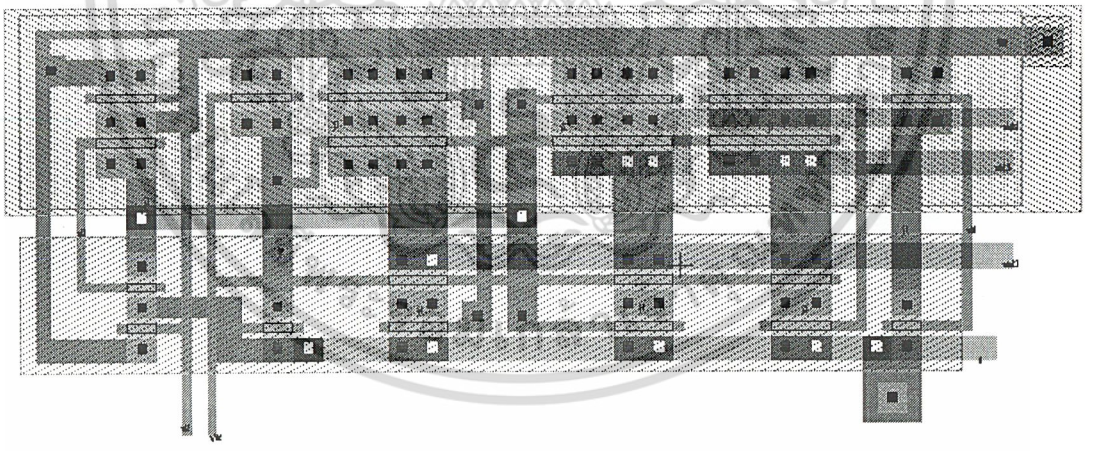



รูปที่ 4.25 ผลการทดลองวงจรควบคุมข้อมูลทางด้านอินพุท ขณะทำการเก็บ "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

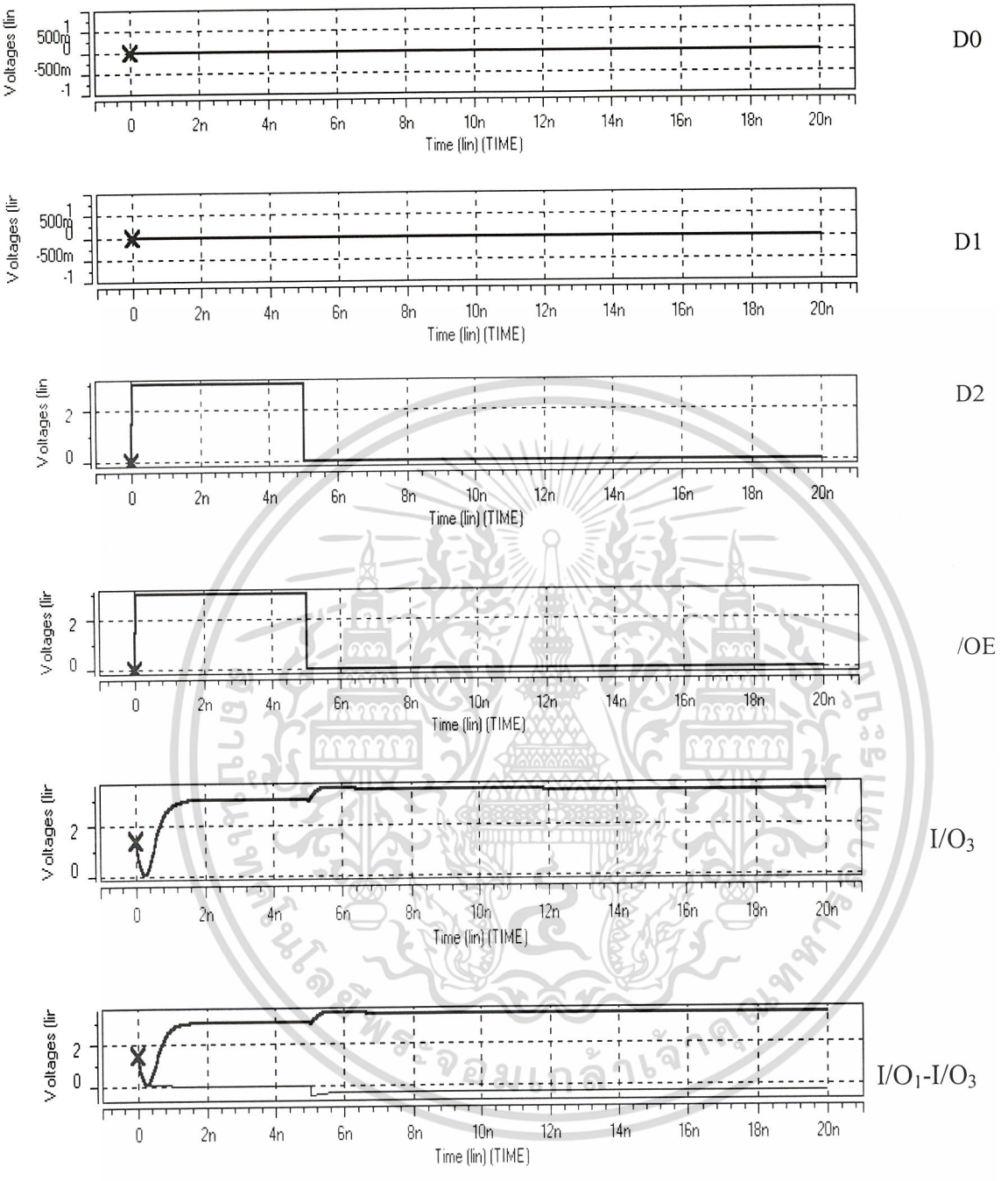
**ขนาดของวงจรควบคุมข้อมูลทางด้านอินพุท**

| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M1** | 4.8u | 0.8u | **M11** | 9.6u | 0.8u |
| **M2** | 4.8u | 0.8u | **M12** | 9.6u | 0.8u |
| **M3** | 4.8u | 0.8u | **M13** | 9.6u | 0.8u |
| **M4** | 4.8u | 0.8u | **M14** | 9.6u | 0.8u |
| **M5** | 2.4u | 0.8u | **M15** | 4.8u | 0.8u |
| **M6** | 2.4u | 0.8u | **M16** | 4.8u | 0.8u |
| **M7** | 2.4u | 0.8u | **M17** | 4.8u | 0.8u |
| **M8** | 2.4u | 0.8u | **M18** | 4.8u | 0.8u |
| **M9** | 9.6u | 0.8u | **M19** | 4.8u | 0.8u |
| **M10** | 9.6u | 0.8u | **M20** | 4.8u | 0.8u |



รูปที่ 4.26 ลวดลาย (Layout) ของวงจรควบคุมข้อมูลทางด้านอินพุท

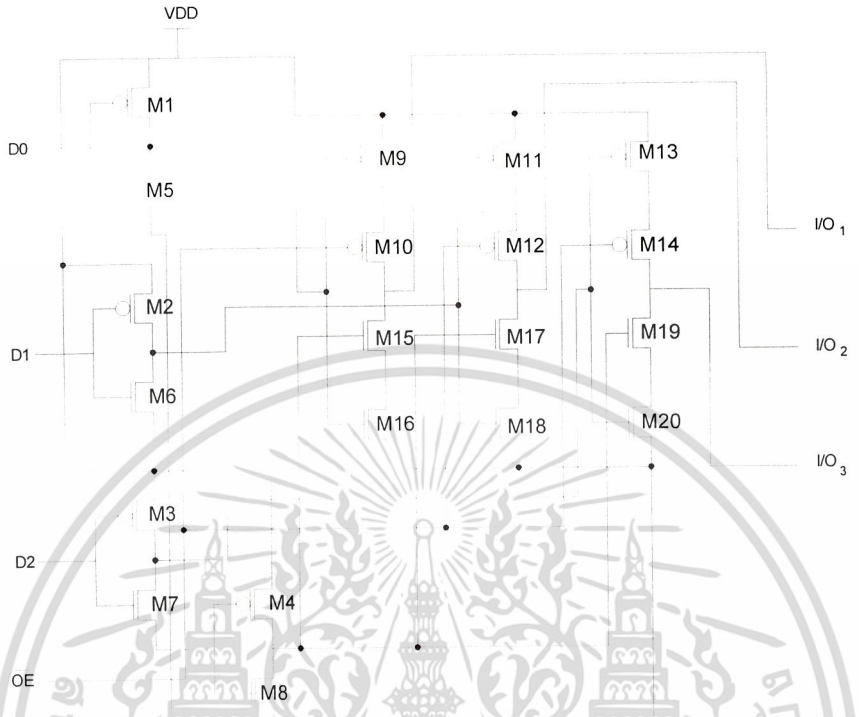
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.27 ผลการทดลองวงจรควบคุมข้อมูลทางด้านอินพุทจากการออกแบบลวดลาย

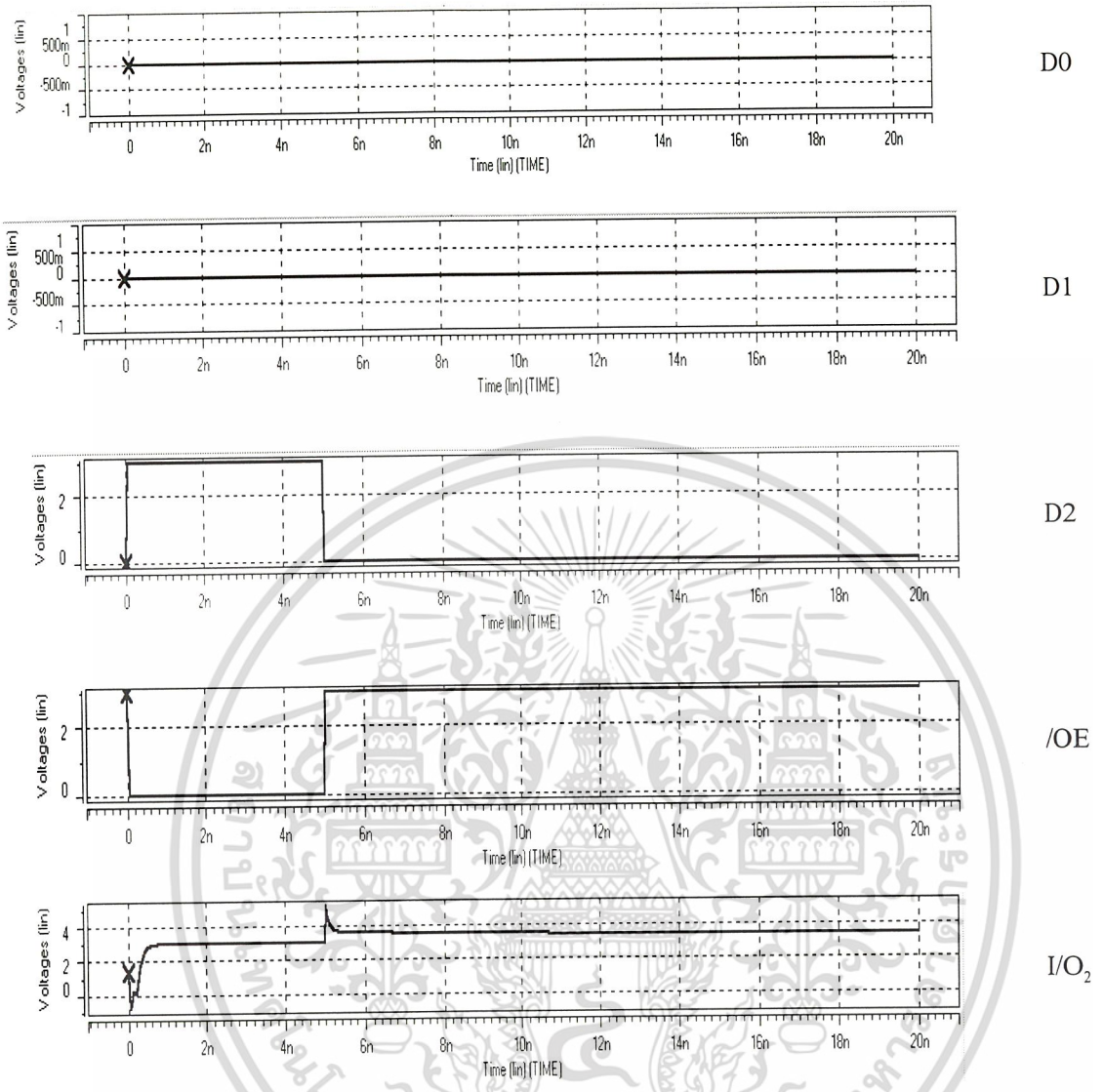
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.7 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control)




รูปที่ 4.28 วงจรควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

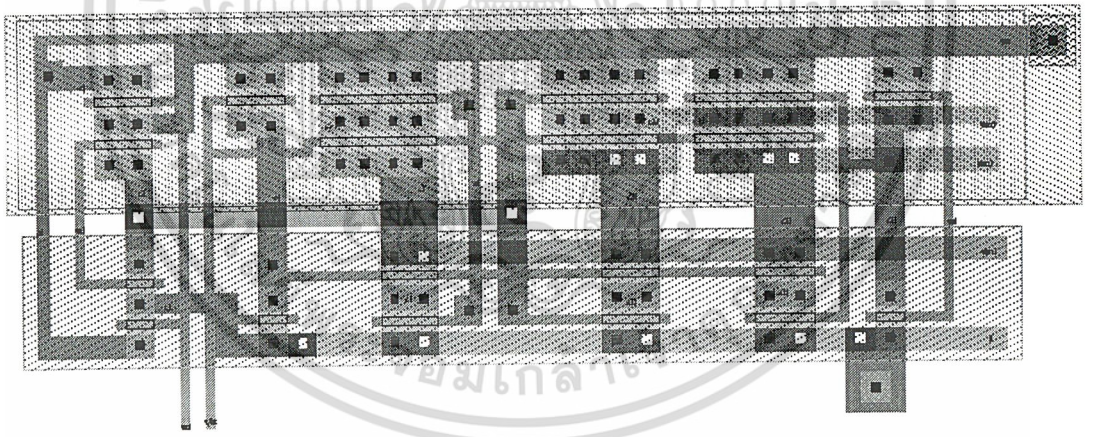



รูปที่ 4.29 ผลการทดลองวงจรควบคุมข้อมูลทางด้านเอาท์พุท ขณะทำการอ่าน "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

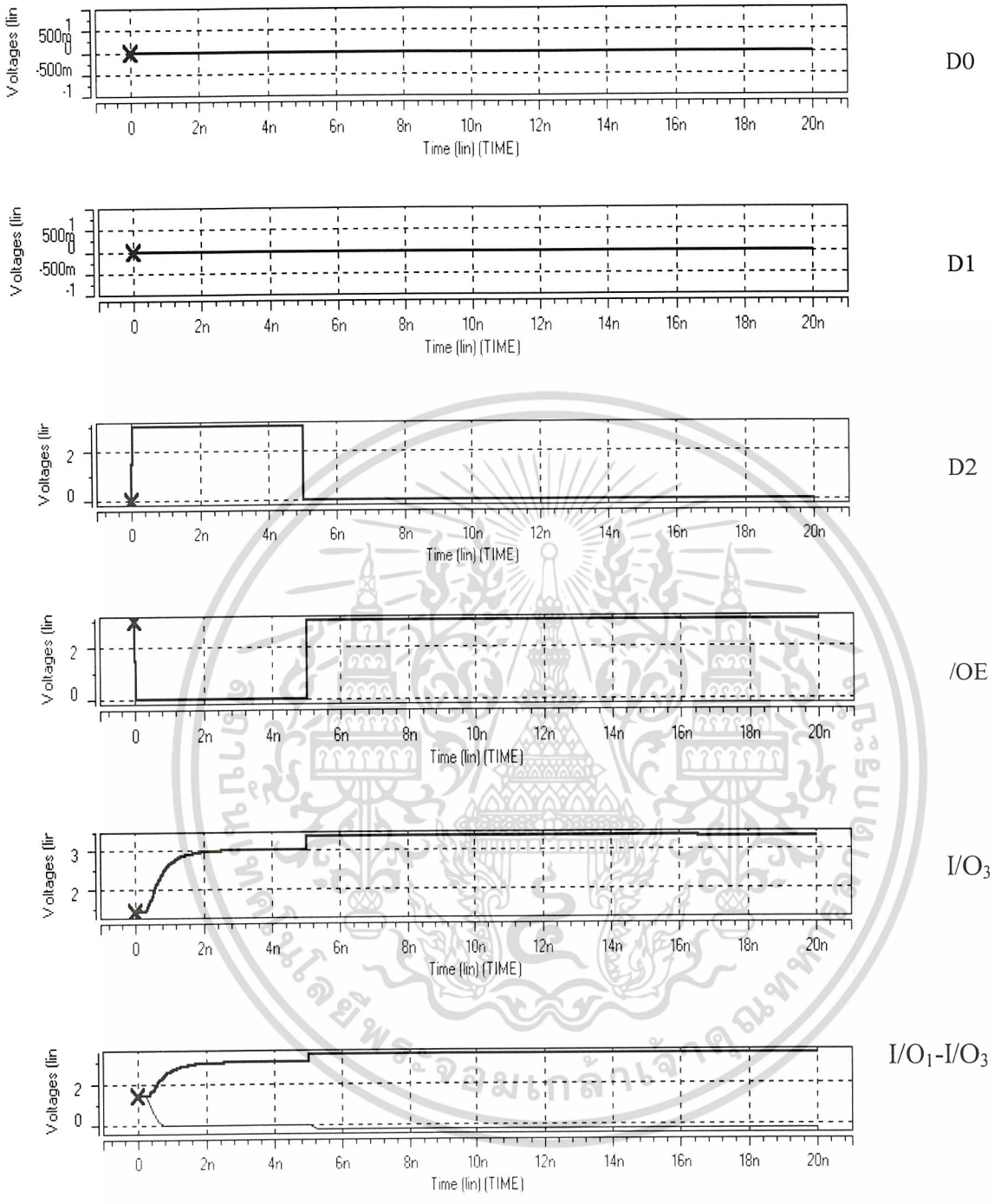
**ขนาดของวงจรควบคุมข้อมูลทางด้านเอาท์พุท**

| Transistor | W | L | Transistor | W | L |
|---|---|---|---|---|---|
| **M1** | 4.8u | 0.8u | **M11** | 9.6u | 0.8u |
| **M2** | 4.8u | 0.8u | **M12** | 9.6u | 0.8u |
| **M3** | 4.8u | 0.8u | **M13** | 9.6u | 0.8u |
| **M4** | 4.8u | 0.8u | **M14** | 9.6u | 0.8u |
| **M5** | 2.4u | 0.8u | **M15** | 4.8u | 0.8u |
| **M6** | 2.4u | 0.8u | **M16** | 4.8u | 0.8u |
| **M7** | 2.4u | 0.8u | **M17** | 4.8u | 0.8u |
| **M8** | 2.4u | 0.8u | **M18** | 4.8u | 0.8u |
| **M9** | 9.6u | 0.8u | **M19** | 4.8u | 0.8u |
| **M10** | 9.6u | 0.8u | **M20** | 4.8u | 0.8u |



รูปที่ 4.30 ลวดลาย (Layout) ของวงจรควบคุมข้อมูลทางด้านเอาท์พุท

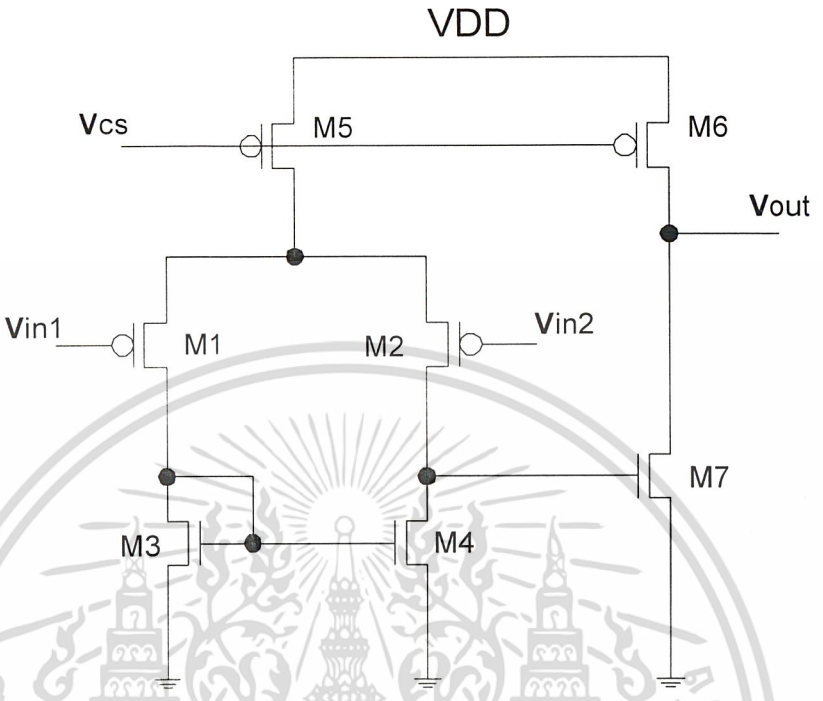
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.31 ผลการทดลองวงจรควบคุมข้อมูลทางด้านเอาท์พุทจากการออกแบบลวดลาย**

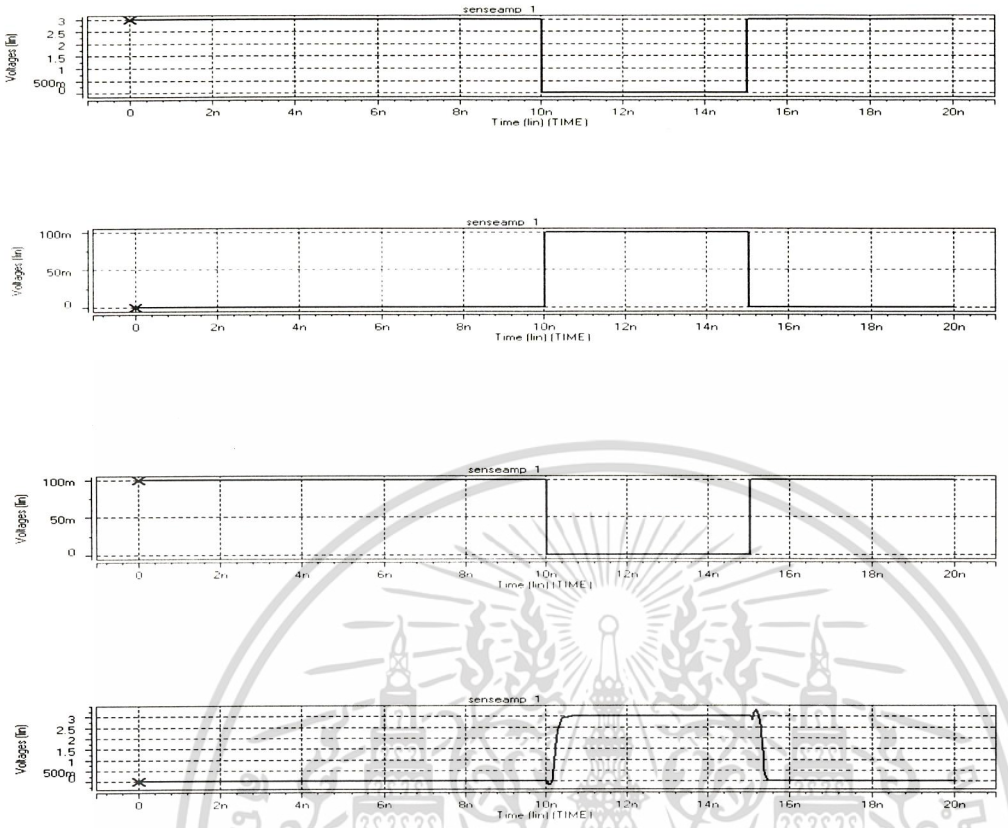
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.8 วงจรขยาย (Sense Amplifier)**




รูปที่ 4.32 วงจรขยาย (Sense Amplifier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

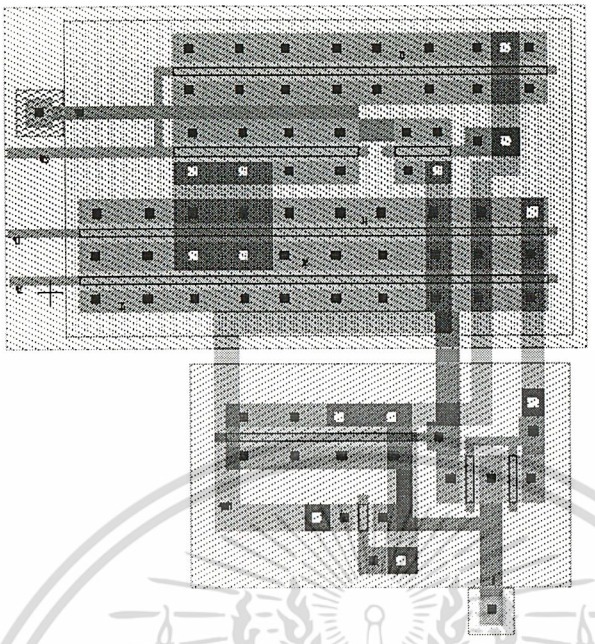



รูปที่ 4.33 ผลการทดลองวงจรขยาย

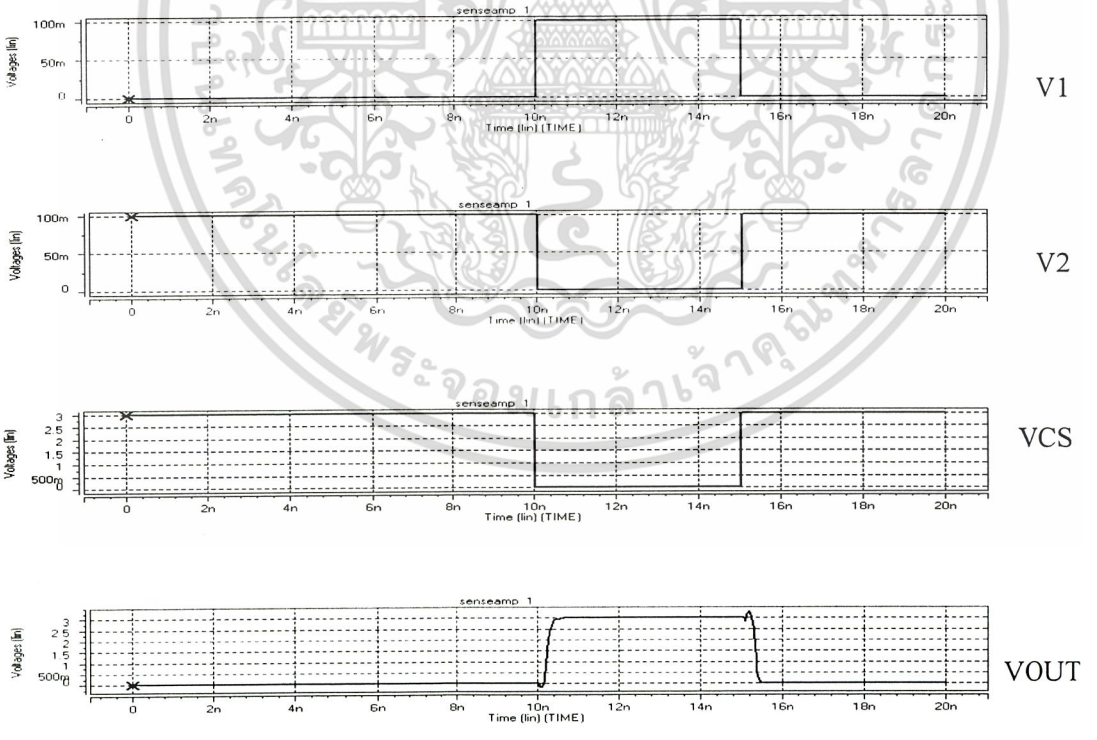
**ขนาดของวงจรขยาย**

| Transistor | W | L |
|---|---|---|
| **M1** | 40u | 0.8u |
| **M2** | 40u | 0.8u |
| **M3** | 4u | 0.8u |
| **M4** | 4u | 0.8u |
| **M5** | 16u | 0.8u |
| **M6** | 16u | 0.8u |
| **M7** | 16u | 0.8u |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



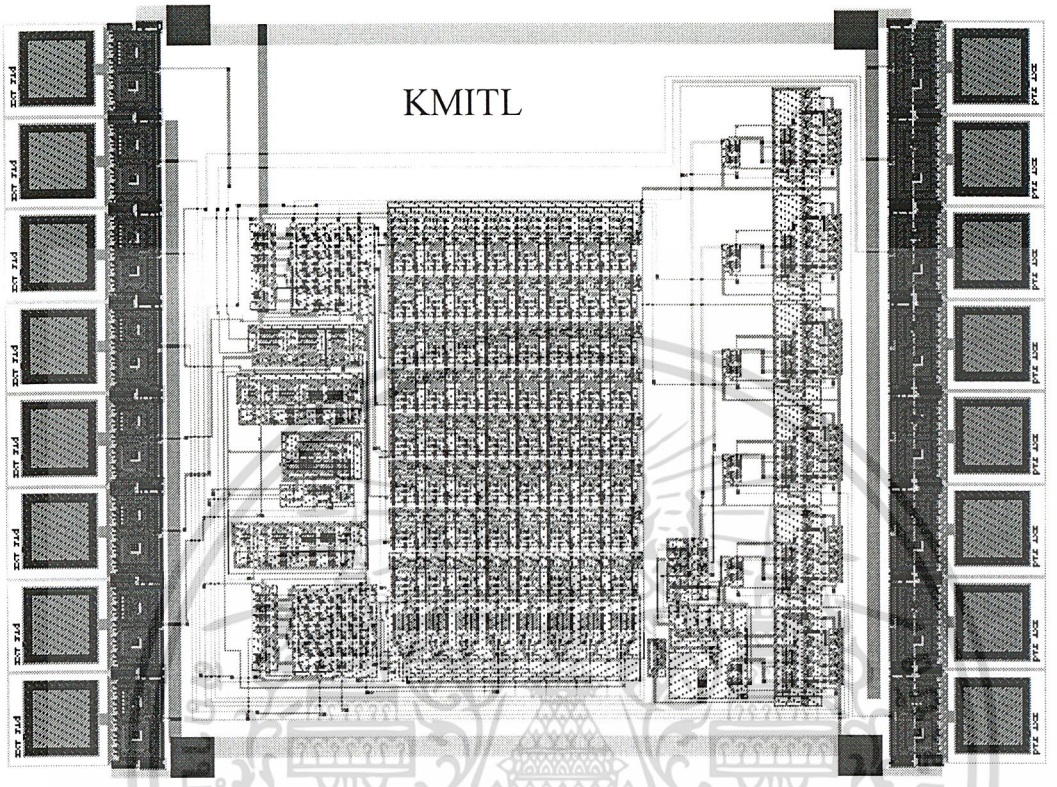
รูปที่ 4.34 ลวดลาย (Layout) ของวงจรขยาย




รูปที่ 4.35 ผลการทดลองวงจรขยายจากการออกแบบลวดลาย

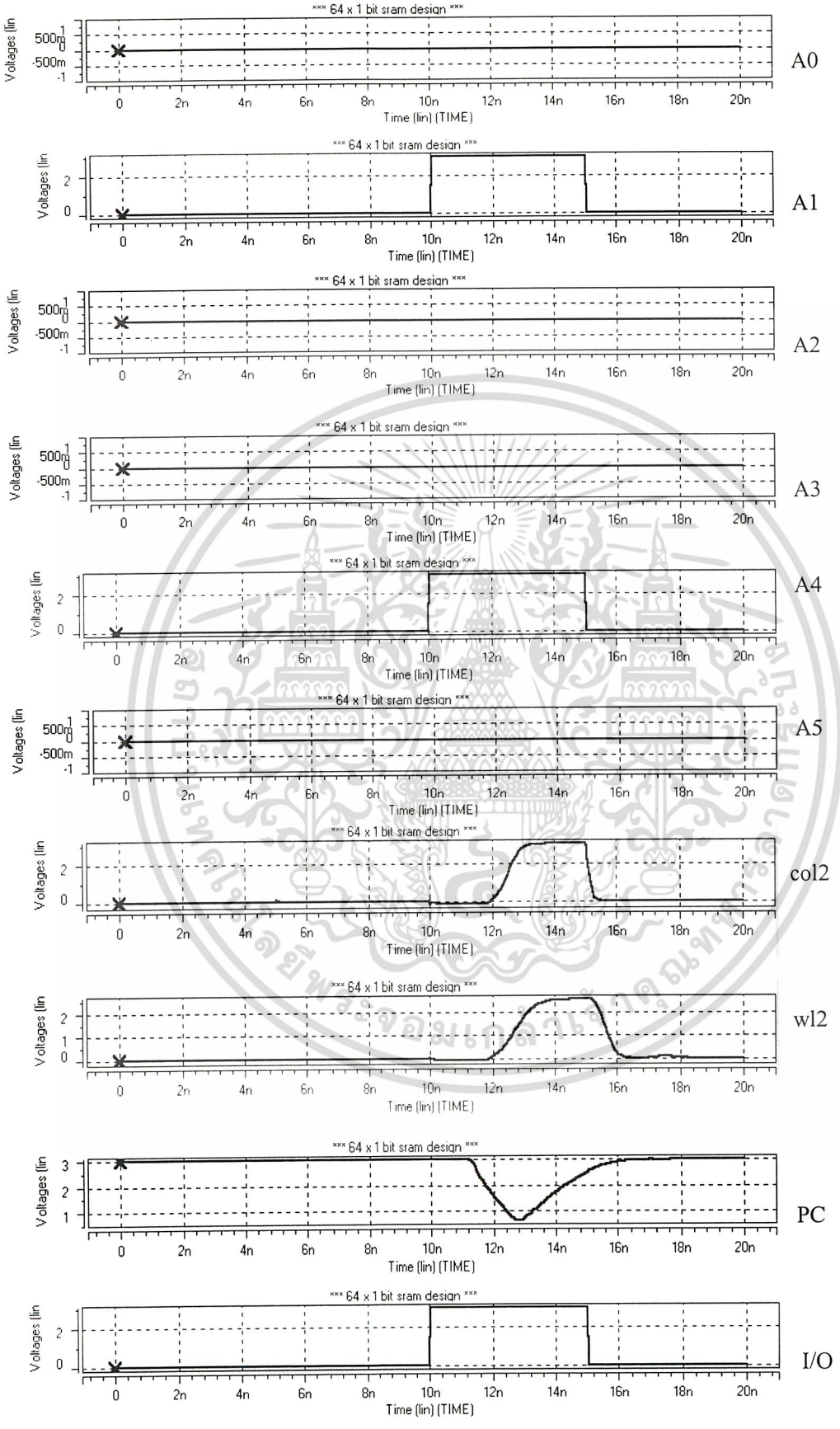
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.9 ลวดลายของวงจรรวมหน่วยความจำแบบสแตติค**

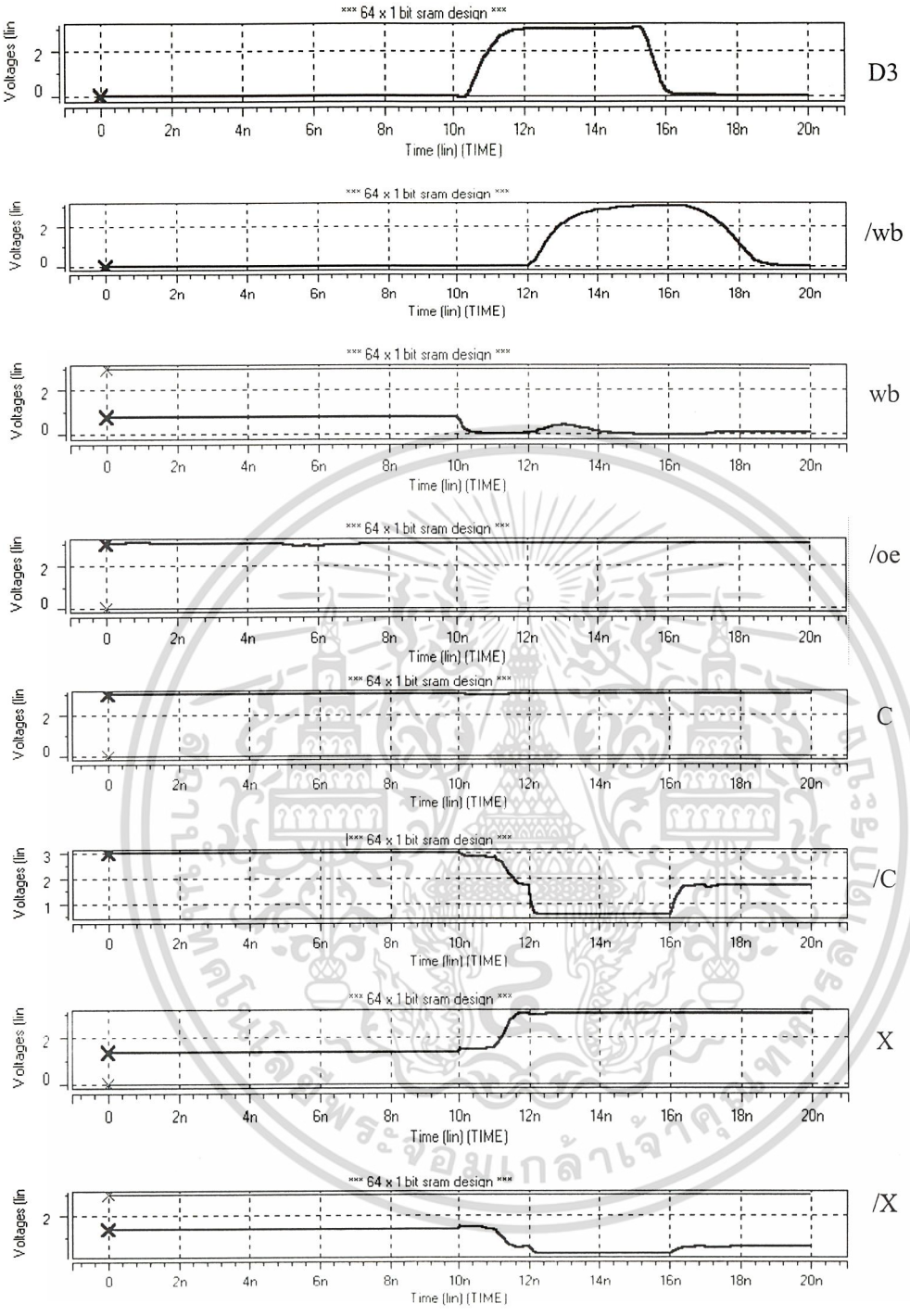



รูปที่ 4.36 ลวดลาย (Layout) ของวงจรรวมหน่วยความจำแบบสแตติค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

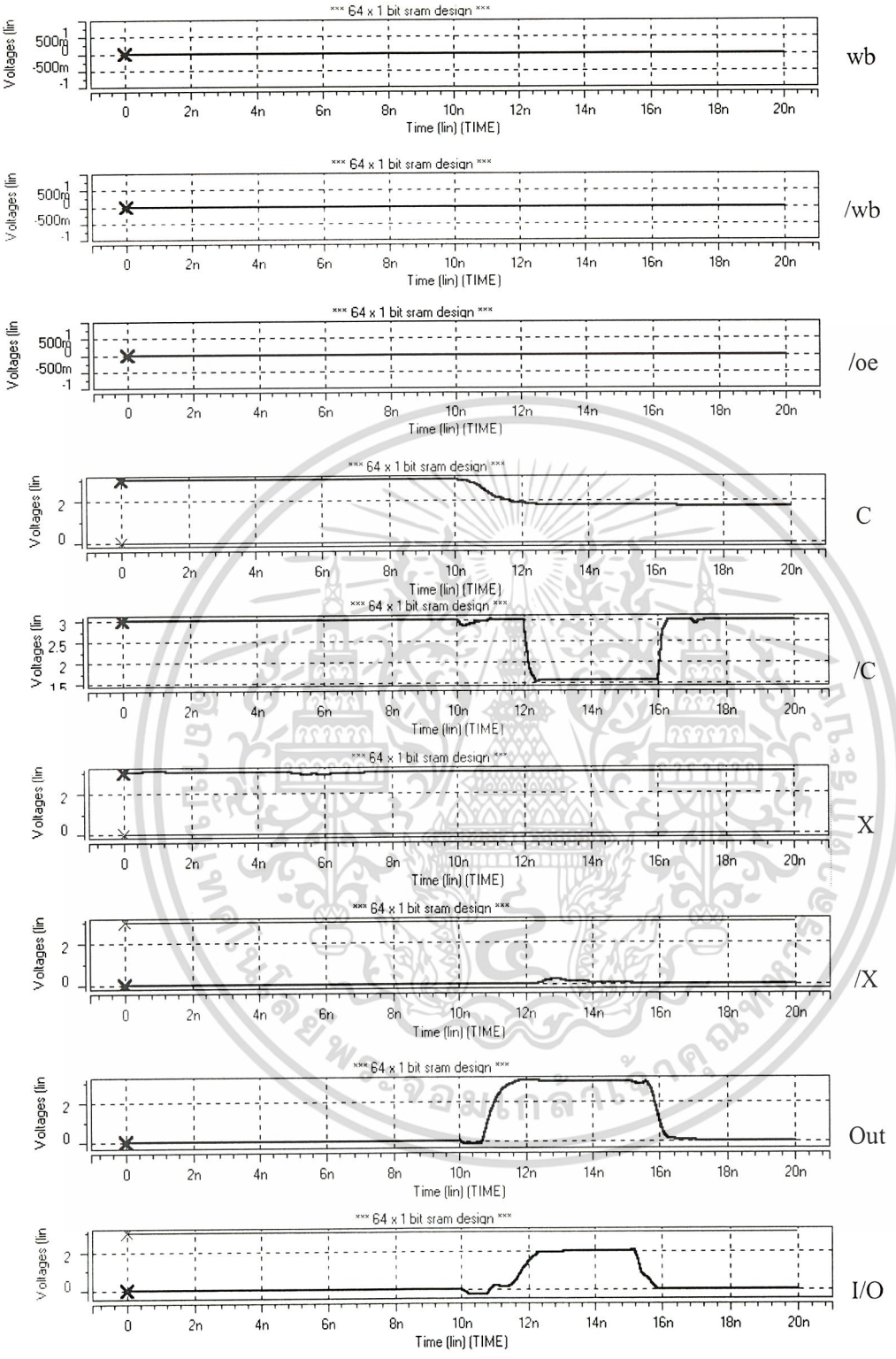



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.37 ผลการทดลองในขณะทำการเขียนข้อมูลที่ตำแหน่ง 010 010

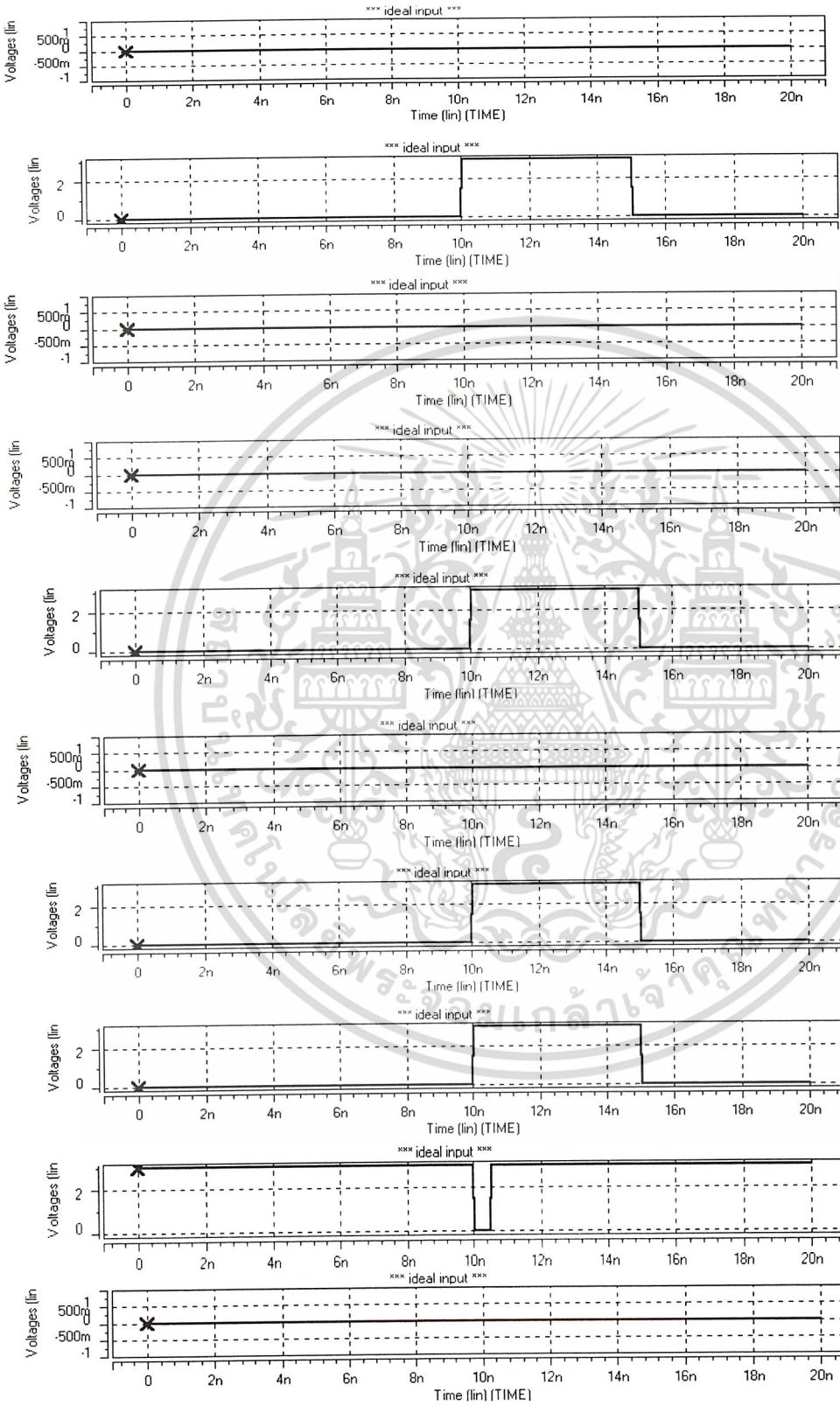
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



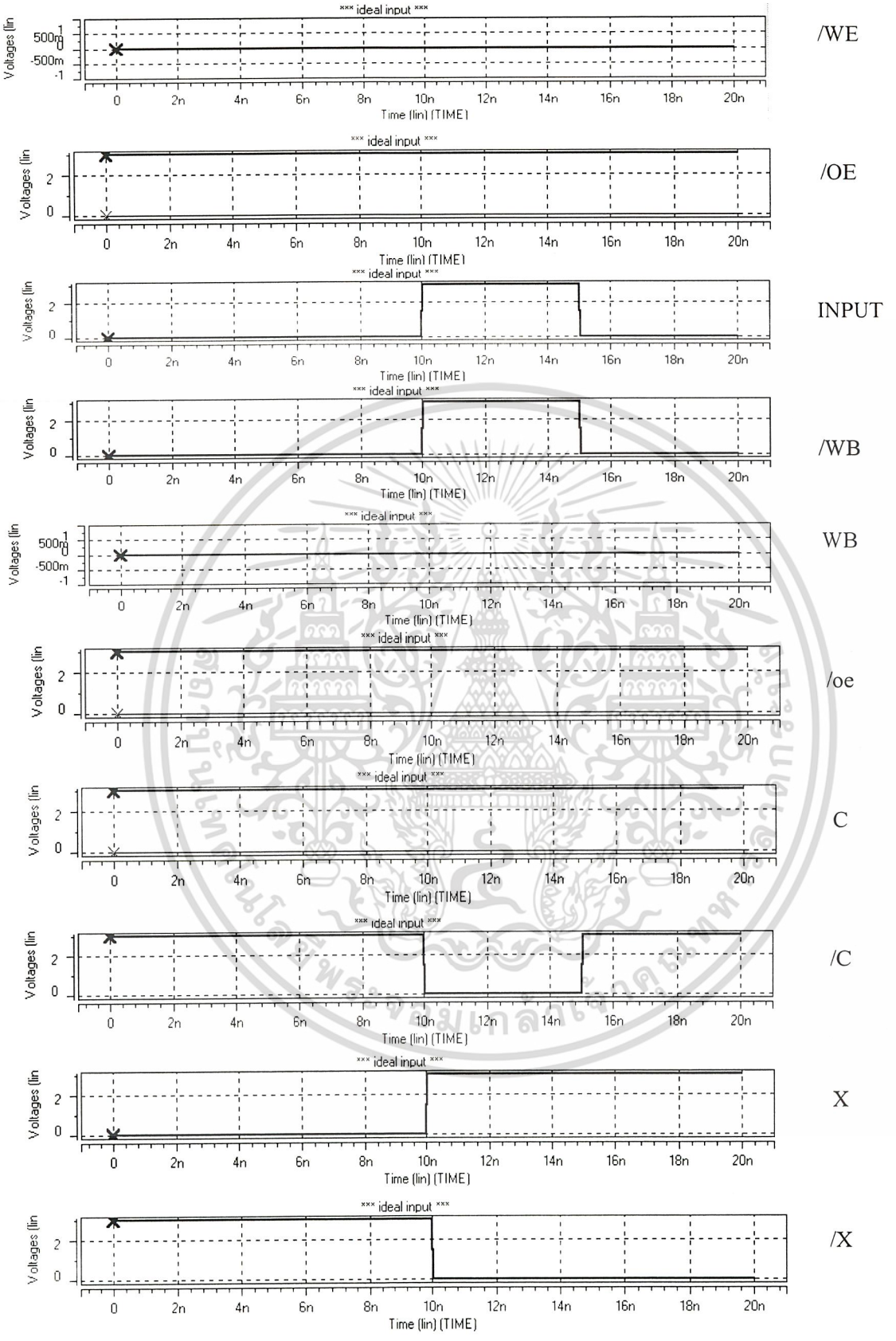

รูปที่ 4.38 ผลการทดลองในขณะทำการอ่านข้อมูลที่ตำแหน่ง 010 010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.10 ลักษณะสัญญาณทางทฤษฎีในการอ่านและเขียนข้อมูล

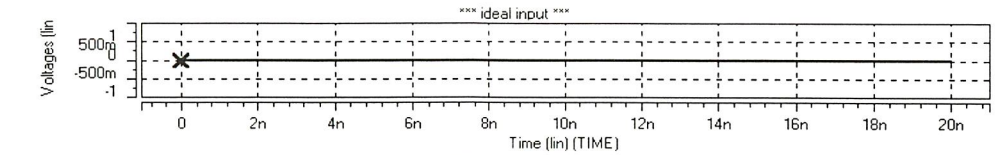



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

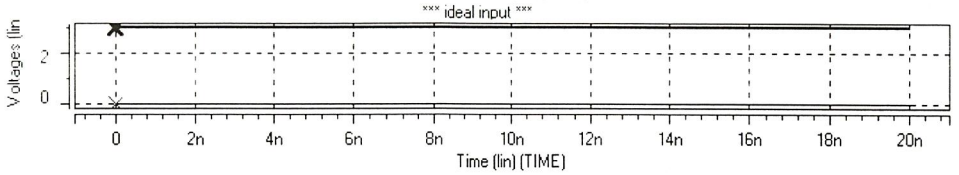



รูปที่ 4.39 ลักษณะสัญญาณทางทฤษฎีในการเขียนข้อมูล

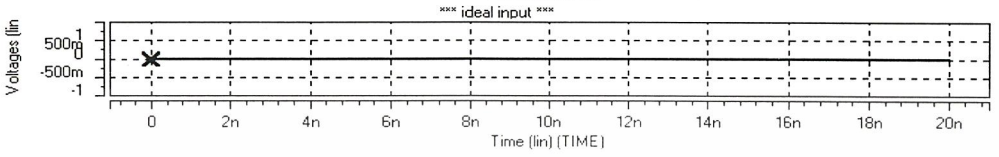
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



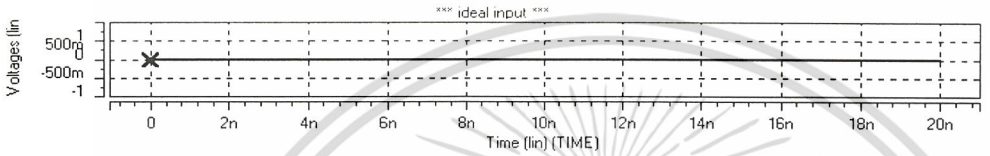

/CS



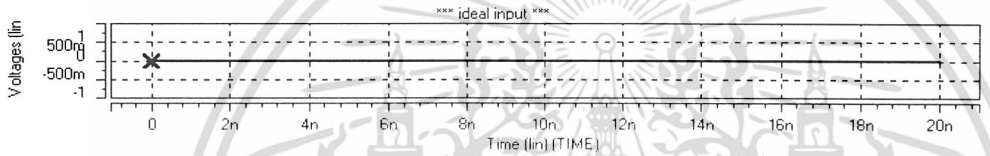

/WE



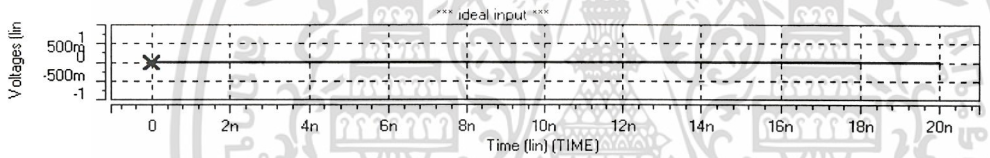

/OE



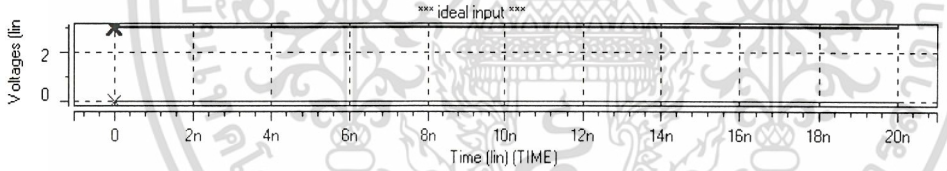

WB



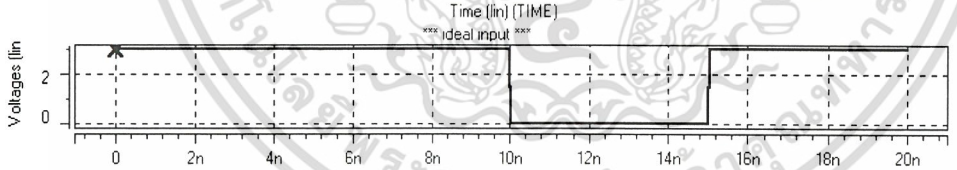

/WB




/oe

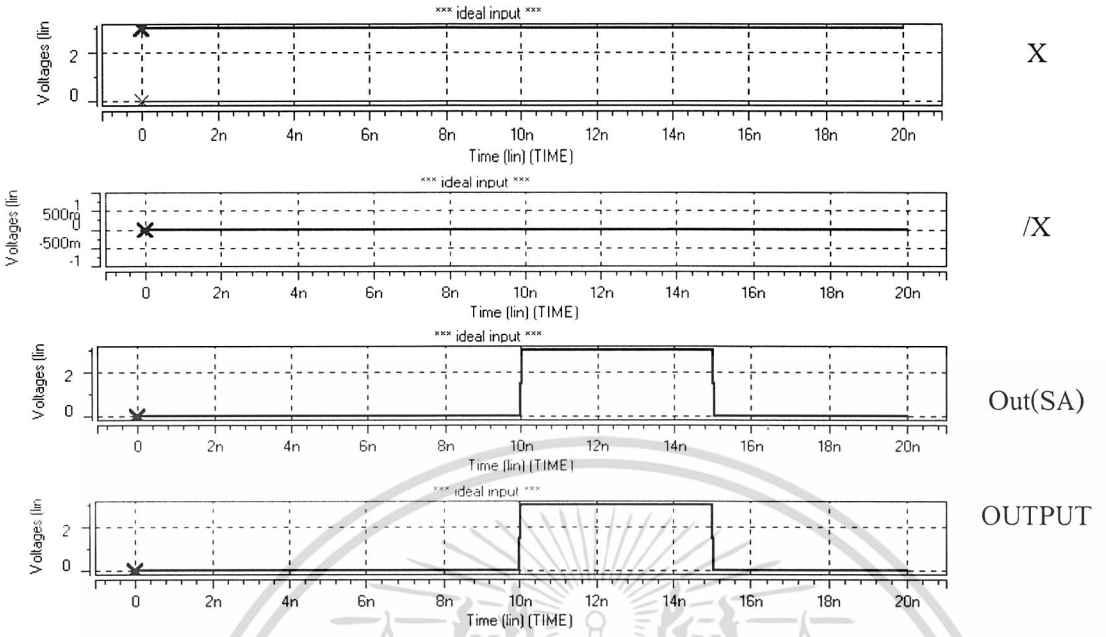



C



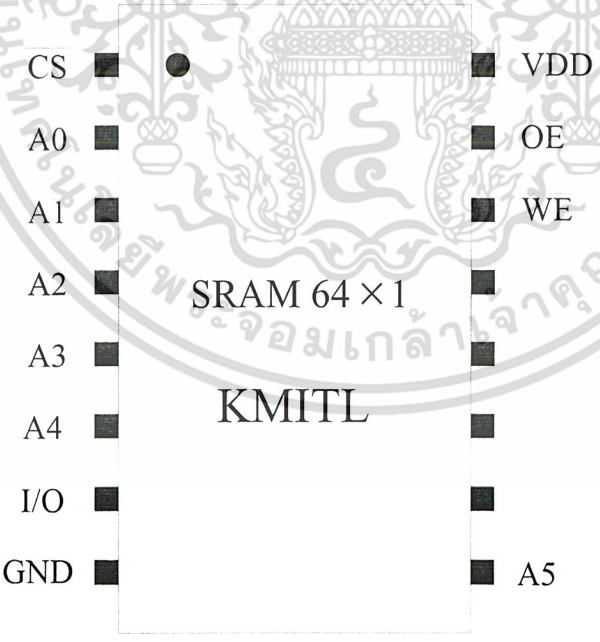

/C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.40 ลักษณะสัญญาณทางทฤษฎีในการอ่านข้อมูล

**4.11 แสดงขาใช้งานของหน่วยความจำแบบสแตติคขนาด 64 x 1 bit**




รูปที่ 4.41 แสดงขาใช้งานของหน่วยความจำแบบสแตติคขนาด 64 x 1 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สรุปผลการทดลอง

จากวงจรรวมของหน่วยความจำแบบสแตติคขนาด 64 x 1 bit ดังรูปที่ 3.15 สามารถสร้างเป็นลวดลาย (Layout) ดังรูปที่ 4.36 โดยผลจากการจำลองการทำงานของวงจรแสดงดังรูปที่ 4.37 และ 4.38 โดยจะเห็นว่าหน่วยความจำมีการทำงานอยู่ 2 ชนิด คือ การเขียนข้อมูล '1' ,'0' และการอ่านข้อมูล ซึ่งในการเขียนข้อมูลซีพียูจะทำการส่งสัญญาณ /CS = 0 เพื่อเลือกให้ชิพทำงาน จากนั้นจะส่งสัญญาณ Address A0 - A5 เลือกตำแหน่งที่ต้องการเก็บข้อมูลซึ่งในที่นี้คือที่ตำแหน่ง 010 010 พร้อมทั้งส่งสัญญาณในการควบคุมคือ /WE = 0 และ /OE = 1 เพื่อเลือกการเขียนข้อมูล และจะมีสัญญาณที่ต้องการเขียนถูกส่งเข้ามาผ่านวงจรควบคุมข้อมูลทางด้านอินพุทเพื่อทำงานร่วมกันกับวงจรควบคุมสัญญาณ โดยจะมีการสร้างสัญญาณ Precharge จากสัญญาณ Address A0 – A5 ทำให้เกิดการชาร์จประจุให้กับคาปาซิเตอร์แฝงทั้งทางด้าน C และ /C ขณะเดียวกัน WB ซึ่งได้มาจากวงจรควบคุมสัญญาณจะเป็น Logic "0" และ /WB เป็น Logic "1" ทำให้ M9 อยู่ในสภาวะ OFF และ M10 อยู่ในสภาวะ ON ดังนั้นแรงดันที่ถูกประจุอยู่ในคาปาซิเตอร์จะถูกป้อนเข้าให้กับหน่วยความจำทางด้าน C ส่วนทางด้าน /C คาปาซิเตอร์จะถูกดิสก์ชาร์จประจุลงกราวด์ จึงเกิดเป็นการเก็บข้อมูล "1" ไว้ในหน่วยความจำ ดังแสดงในรูปที่ 4.37

ส่วนการอ่านข้อมูลแสดงในรูปที่ 4.38 เมื่อซีพียูต้องการอ่านข้อมูลซีพียูจะส่งสัญญาณ /CS = 0 จากนั้นจะส่งสัญญาณ Address A0- A5 เลือกตำแหน่งที่ต้องการอ่านข้อมูล พร้อมทั้งส่งสัญญาณในการควบคุมคือ /WE = 1 และ /OE = 0 เพื่อเลือกการอ่านข้อมูล ขณะเดียวกัน WB และ /WB ซึ่งได้มาจากวงจรควบคุมสัญญาณจะเป็น Logic "0" ทำให้ M9 และ M10 อยู่ในสภาวะ OFF ทั้งคู่ ดังนั้นข้อมูลที่ถูกเก็บอยู่ภายในหน่วยความจำจะถูกส่งผ่านออกไปยังวงจรขยาย (ในที่นี้คือสัญญาณ Out) และถูกส่งต่อไปยังวงจรควบคุมข้อมูลทางด้านเอาท์พุทผ่านไปยังสายส่งสัญญาณเส้นเดิม (ดังรูปคือสัญญาณ OUTPUT นั่นเอง) โดยสัญญาณที่ได้ก่อนผ่านวงจรขยายจะมีขนาดที่เล็กมากประมาณ 100 มิลลิโวลท์ ดังนั้นเราจึงต้องทำการออกแบบหน่วยความจำและวงจรขยายให้มีประสิทธิภาพมากที่สุด

จากการจำลองการทำงานจะเห็นว่าสัญญาณที่ได้มีค่าความผิดพลาดมากในหลายสัญญาณเมื่อเทียบกับลักษณะสัญญาณในทางทฤษฎี (รูปที่ 4.39 และ 4.40) ซึ่งเมื่อทำการวิเคราะห์ปัญญาที่เกิดขึ้นทำให้ทราบว่าเกิดมาจากค่าความจุขณะทำการจำลองการทำงานของการออกแบบลวดลายมีความจุมากกว่าขณะจำลองก่อนการออกแบบลวดลาย ดังนั้นการเก็บประจุและการคายประจุทำให้มีผลต่อการเปลี่ยนสถานะของทรานซิสเตอร์ กลายเป็นสัญญาณ Delay เกิดผลกระทบต่อทั้งวงจร แต่ก็จะเห็นว่าหน่วยความจำที่ได้ทำการออกแบบนี้สามารถทำงานได้ดีในระดับหนึ่งถึงจะไม่สมบูรณ์ก็ตาม แต่ก็เพียงพอต่อการศึกษาการทำงานของหน่วยความจำแบบสแตติคนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการจำลองการทำงานได้ทำการหาค่าของ Access time ได้ประมาณ 20 ns โดยใช้แหล่งจ่ายไฟ 3 V ทำให้เกิดค่า Power dissipation ประมาณ 7.6 mW ใช้ Technology 0.8 um มีพื้นที่ประมาณ 0.15 $mm^2$ (0.39 x 0.38) และมีขาใช้งาน 12 ขา ประกอบด้วย Address A0 – A5, Data, /CS, /WE, /OE, VDD และ GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


1. Belty Prince, High performance memories: new architecture DRAMs and SRAMs evolution and function, Chichestes: wiley, 1999
2. B.S. Sonde, Introduction to system design using integrated circuits, New Delhi: Wiley Eastern, 1985
3. David A. Hodges, Horace G. Jackson and Resve Saleh, Analysis and design of digital integrated circuits: in deep submicron technology, Boston: Mcgraw – Hill, 2004
4 Jan M Rabaey, Anantha Chandrakasan and Borivoje Nikolic, Digital integrated circuits: a design perspective, Upper Saddle River, NJ: Prentice Hall, 2003
5 John F. Wakerly, Digital design: principles and practices, Upper Saddle River, NJ: Prentice Hall, 2000
6 Sung – Mo (steve) kang, Yusuf Leblebici, CMOS digital integrate circuit: analysis and design, New York, NY: Mcgraw – Hill, 1996
7. http://www.cse.psu.edu/~trichard/cse477/cse477_prototype.html
8. http://www.personal.psu.edu/users/k/r/krm209/vlsihome.htm
9. http://seniord.ee.iastate.edu/may0326/


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้