สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สวิตชิ่งเพาเวอร์ซัพพลาย 150 W 50 V

Switching Power Supply 150 W 50 V

T061523

โดย

นาย พรชัย สงแก้ว เลขประจำตัว 44010317
นาย พัชรพงษ์ แก้วเจริญ เลขประจำตัว 44010323
นาย ไพยงค์ แซ่ลิ้ม เลขประจำตัว 44010352

อาจารย์ที่ปรึกษา
ผศ. พลผดุง ผดุงกุล

เลขหมู่.....
เลขทะเบียน..... 61523
วัน,เดือน,ปี..... 18 ก.ค. 2549

.b..... 11597732
.i.....

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตชิ่งเพาเวอร์ซัพพลาย 150 W 50 V

Switching Power Supply 150 W 50 V

โดย

นาย พรชัย สงแก้ว

นาย พัชรพงษ์ แก้วเจริญ

นาย ไพยงค์ เซ่ลิ้ม

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงงานเรื่อง สวิตชิ่งเพาเวอร์ซัพพลาย 150 W 48 V

Switching Power Supply 150 W 48 V

จัดทำโดย นาย พรชัย สงแก้ว รหัส 44010317

นาย พัชรพงษ์ แก้วเจริญ รหัส 44010323

นาย ไพยงค์ แซ่ลิ้ม รหัส 44010352

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

(ผศ.พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชา วิศวกรรมอิเล็คทรอนิกส์

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง สวิตชิ่งเพาว์เวอร์ซัพพลาย 150วัตต์ 50 โวทล์

ผู้จัดทำ

1. นาย พรชัย	สงแก้ว	รหัส 44010317
2. นาย พัชรพงษ์	แก้วเจริญ	รหัส 44010323
3. นาย ไพยงค์	แซ่ลิ้ม	รหัส 44010352

.....(อาจารย์ ที่ปรึกษา)

(ผศ.พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและรายงานฉบับนี้สำเร็จลงได้ เนื่องจากได้รับความกรุณาและความช่วยเหลือในการแนะนำและสั่งสอนทั้งในเรื่องทฤษฎีและการทำงานจาก อาจารย์พลผดุง ผดุงกุล รวมทั้งเพื่อนๆ ผู้จัดทำจึงขอขอบคุณทุกท่านไว้ ณ ที่นี้ด้วย

พรชัย สงแก้ว

พัชรพงษ์ แก้วเจริญ

ไพยงค์ แซ่ลิ้ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายไฟกระแสตรงแบบสวิตชิ่ง

นาย พรชัย สงแก้ว
นาย พัชรพงษ์ แก้วเจริญ
นาย ไพยงค์ แซ่ลิ้ม
ผศ.พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ภาคเรียนที่ 2 ปีการศึกษา 2547

บทคัดย่อ

โครงงานการสร้างแหล่งจ่ายไฟกระแสตรงแบบสวิตชิ่งประกอบด้วยแหล่งจ่ายไฟกระแสตรงแรงดันคงที่ 50 V 3 A โดยใช้ไฟบ้าน 220 Vac เป็นแหล่งจ่าย และใช้ไอซีเบอร์ TOP 227 เป็นตัวควบคุมความกว้างของ DUTY CYCLE ในการนำกระแสของหม้อแปลง ของคอนเวอร์เตอร์ที่ต่อแบบฟลายแบค ที่เอาท์พุทของหม้อแปลงจะมีวงจรกรองแรงดันให้เรียบก่อนจ่ายกระแสให้โหลดได้ สวิตชิ่งเพาเวอร์ซัพพลายเครื่องนี้ สามารถนำไปเป็นแนวทางในการศึกษาและออกแบบตลอดจนพัฒนาเพิ่มเติมให้มีประสิทธิภาพดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING POWER SUPPLY

Mr. PONCHAI SONGKAEW

Mr. PATCHARAPONG KAEWJALEARN

Mr. PAIYONG SAELIM

Mr. PONPADUL PADULKUL (Adviser)

1st Semester , Education Year 2004

Abstract

This is building a SWITCHING POWER SUPPLY . SWITCHING POWER SUPPLY consist of 50 V 3 A by using supply 220 Vac .TOP 227 is used to control switching for output voltage fly back converter .Output of transformer have filter convert pulse to direct current. The project is useful as a guild line for further studies and improvement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ในปัจจุบันนี้ เทคโนโลยีทางด้านอิเล็กทรอนิกส์ได้เจริญก้าวหน้าไปอย่างมากทำให้เครื่องมืออุปกรณ์ต่างๆ ได้พัฒนาเปลี่ยนแปลงไปอย่างรวดเร็วรวมทั้งเทคโนโลยีทางด้านสวิตชิ่งเพาเวอร์ซัพพลายด้วย ดังนั้นโครงงานนี้จึงมีวัตถุประสงค์เพื่อศึกษาถึงหลักการของการทำงานของสวิตชิ่งเพาเวอร์ซัพพลายแบบฟลายแบคคอนเวอร์เตอร์ เพื่อทำให้สามารถออกแบบ แก้ไข และพัฒนาปรับปรุงเพื่อออกแบบวงจรให้ได้คุณสมบัติตามที่ต้องการ และสามารถนำไปใช้ให้เกิดประโยชน์ได้จริง

ไพยงค์ แซ่ลิ้ม
พัชรพงษ์ แก้วเจริญ
พรชัย สงแก้ว
4 ตุลาคม 2547

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
- สวิตชิ่งเพาเวอร์ซัพพลายทำงานอย่างไร	1
- ข้อกำหนดคุณสมบัติของสวิตชิ่งเพาเวอร์ซัพพลาย	2
- สวิตชิ่งเพาเวอร์ซัพพลาย เมื่อเทียบกับลิเนียร์ซัพพลาย	4
- คอนเวอร์เตอร์	4
บทที่ 2 ทฤษฎีและหลักการในการทำงาน	8
- พื้นฐานการทำงานของฟลายแบคคอนเวอร์เตอร์	8
- การทำงานในโหมดกระแสต่อเนื่องและโหมดกระแสไม่ต่อเนื่อง	11
- วงจรควบคุมสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย	15
- หม้อแปลงสวิตชิ่ง	17
- วงจรสนับเบอร์	29
- ไดโอดในสวิตชิ่งเพาเวอร์ซัพพลาย	33
บทที่ 3 หลักการในการออกแบบวงจร	38
- วงจรเรกติไฟเออร์	38
- ไอซีTop227	40
- วงจรสนับเบอร์	43
- หม้อแปลงสวิตชิ่ง	43
- ส่วนของวงจรควบคุม	43
- ส่วนของวงจรเรกกูเรเตอร์	44
บทที่ 4 ผลการทดลอง	51
- ผลการทดลองการทำงานของ TOP 227	51
- ข้อเสนอแนะในการออกแบบหม้อแปลง	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

บทที่ 1

- รูปที่ 1.1 องค์ประกอบของสวิตชิ่งเพาเวอร์ซัพพลาย 1
- รูปที่ 1.2 ก-จ คอนเวอร์เตอร์แบบต่างๆ 5

บทที่ 2

- รูปที่2.1 แสดงวงจรพื้นฐานของฟลายแบคคอนเวอร์เตอร์ 8
- รูปที่ 2.2 แสดงลักษณะของกระแสที่ขดไพรมารี่และเซคั่นดารี่ขณะที่ทำงาน 10
- รูปที่2.3 แสดงลักษณะของกระแสและแรงดันที่เกิดขึ้นในวงจรขณะทำงานของ ฟลายแบคเวอร์เตอร์ 10
- รูปที่2 .4 แสดงลักษณะของกระแสเมื่อคอนเวอร์เตอร์ทำงานในโหมดกระแสต่อเนื่อง 11
- รูปที่2.5 แสดงการกำหนดค่าเวลาเผื่อ td เพื่อให้ฟลายแบคเวอร์เตอร์ยังคงทำงาน ในโหมดกระแสไม่ต่อเนื่องที่เวลา t= ton(max) 13
- รูปที่2.6 แสดงวงจรพื้นฐานสำหรับการควบคุมคอนเวอร์เตอร์ในโหมดควบคุมจากแรงดัน 16
- รูปที่ 2.7 แสดงลักษณะของความกว้างเอาท์พุตพลัสของ PWM ซึ่งเป็นผลมาจาก การมอดูเลตสัญญาณป้อนกลับและสัญญาณเฟืองเลื่อยตามรูปที่ 2.6 17
- รูปที่2.8 แสดงตัวอย่างและขนาดมาตรฐานของบอบบิ้นสำหรับแกนเฟอร์ไรต์แบบ ETD 18
- รูป 2.9 แสดงตัวอย่างขนาดของแกนเฟอร์ไรต์แบบ EE , EI และ ETD 19
- รูปที่2.10 แสดงเส้นโค้งเส้นโค้งฮิสเทอร์รีซิสบนแกนเฟอร์ไรต์ที่เป็นเนื้อสาร ชนิด 3C8 ก. และ 3C6A ข. 21
- รูปที่ 2.11 แสดงลักษณะที่สมบูรณ์ของเส้นโค้งฮิสเทอร์รีซิส ซึ่งจะมีลักษณะ สมมาตรของกราฟซีกบนและซีกล่าง ปกติผู้ผลิตจะให้กราฟซีกบนมาเท่านั้น 21
- รูปที่ 2.12 แสดงค่าการสูญเสียในแกนเฟอร์ไรต์ของเนื้อสารชนิด 3C8 ก. และ 3C6A ข. 22
- รูป 2.13 แสดงการกำหนดช่องอากาศคั่น Ag ที่แกนกลาง ก. และคั่นช่องอากาศ Ag ระหว่างคู่ประกบของแกนเฟอร์ไรต์ ข. 24
- รูปที่ 2.14 แสดงความสัมพันธ์พื้นฐานของหม้อแปลง 25
- รูปที่ 2.15แสดงลักษณะการเกิดกระแสไหลวนภายในลวดทองแดงเมื่อมี กระแสไหลผ่านทำให้กระแสปกติไหลได้เฉพาะที่ผิวของขดลวด 27
- รูปที่ 2.16 แสดงลักษณะของพอร์ชั่นที่มีจำนวนชั้นเท่ากับครึ่งชั้น 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

หน้า

- รูปที่ 2.17 แสดงลักษณะการลดลงของกระแสและการเพิ่มขึ้นของแรงดันตกคร่อม เพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแส 30
- รูปที่2.18 แสดงการต่อวงจรสนับเบอร์ช่วยหยุดนำกระแสเพื่อหน่วงแรงดันตกคร่อม เพาเวอร์ทรานซิสเตอร์ให้เพิ่มขึ้นอย่างช้า ๆ 30
- รูปที่ 2.19แสดงลักษณะต่อสนับเบอร์ป้องกันแรงดันเกินเพื่อจำกัดค่ากระแสสูงสุด ที่จะตกคร่อม เพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแส 31
- รูปที่ 2.20 แสดงตัวอย่างค่าแรงดันตกคร่อมไดโอดขณะนำกระแส กำลังงานสูญเสียใน ไดโอดในช่วงนี้จะมีค่า $P_D = V_F I_F$ 34
- รูปที่ 2.21 แสดงลักษณะของกระแสและแรงดันตกคร่อมขณะไดโอดเริ่มหยุดนำกระแส 34

บทที่ 3

- รูปที่ 3.1 บล็อกไดอะแกรมของสวิตชิ่งเพาเวอร์ซัพพลายแบบฟลายแบค 38
- รูปที่ 3.2 วงจรเรกติไฟเออร์ส่วนของวงจรคอนเวอร์เตอร์ 39
- รูปที่ 3.3 บล็อกไดอะแกรมในส่วนของคอนเวอร์เตอร์ 39
- รูปที่ 3.4 วงจรคอนเวอร์เตอร์ของสวิตชิ่งเพาเวอร์ซัพพลาย 40
- รูปที่ 3.5 โครงสร้างภายใน และรูปร่างของตัวถังไอซี TOP227 41
- รูปที่ 3.6 รูปสัญญาณเมื่อวงจรเริ่มทำงาน 41
- รูปที่ 3.7 ความสัมพันธ์ระหว่าง Duty Cycle และกระแสควบคุม 42
- รูปที่ 3.8 วงจรสวิตชิ่งฟลายแบคคอนเวอร์เตอร์ 44

บทที่ 4

- รูปที่ 4.1 การทำงานของ TOP 227 เมื่อไม่มีไฟเข้าที่ขา control 51
- รูปที่ 4.2 การทำงานของ TOP 227 เมื่อมีไฟเข้าที่ขา control 51
- รูปที่ 4.3 แสดงความกว้างของ DUTY CYCLE ที่เปลี่ยนแปลงตามไฟที่ขา control 52
- รูปที่ 4.4 แสดงความกว้างของ DUTY CYCLE ที่เปลี่ยนแปลงตามไฟที่ขา control 52
- รูปที่ 4.5 แสดงแรงดันเอาท์พุทที่ได้ขณะใส่โหลด 52

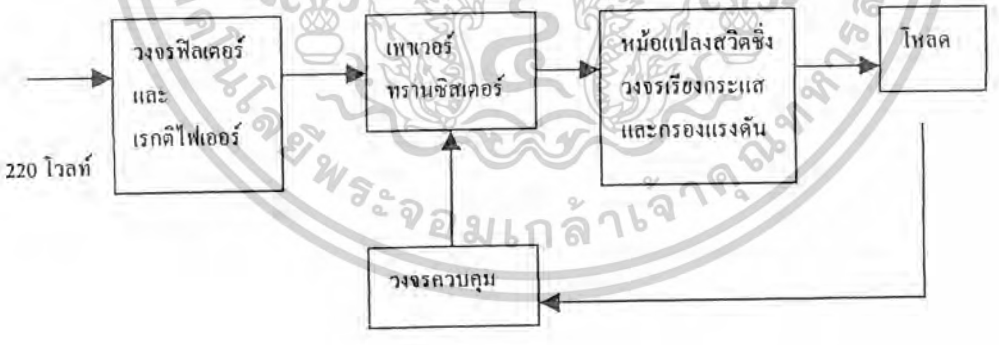
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

สวิตชิ่งเพาเวอร์ซัพพลายเป็นแหล่งจ่ายไฟตรงค่าแรงดันคงที่แบบหนึ่ง และสามารถเปลี่ยนแรงดันไฟกระแสสลับให้เป็นแรงดันค่าต่ำ เพื่อใช้ในงานอิเล็กทรอนิกส์ ซึ่งคุณสมบัติที่สำคัญขนาดของหม้อแปลงเล็ก และมีประสิทธิภาพสูง น้ำหนักเบา ด้วยคุณสมบัตินี้ทำให้สวิตชิ่งเพาเวอร์ ซัพพลายเข้ามามีบทบาทเป็นอย่างมาก ในเครื่องอิเล็กทรอนิกส์ที่มีขนาดเล็กซึ่งต้องการแหล่งจ่ายไฟที่ให้กำลังงานสูงและมีขนาดเล็กด้วย เช่น เครื่องคอมพิวเตอร์ เครื่องโทรสาร หรือเครื่องรับโทรทัศน์ เป็นต้น การศึกษาหลักการทำงานและการออกแบบสวิตชิ่งพาเวอร์ซัพพลายจึงจำเป็นที่ไม่อาจหลีกเลี่ยงได้สำหรับผู้เกี่ยวข้องกับงานอีเล็กทรอนิกส์ทุกประเภท

1.1 สวิตชิ่งเพาเวอร์ซัพพลายทำงานอย่างไร

สวิตชิ่งเพาเวอร์ซัพพลายมีองค์ประกอบไม่ซับซ้อนจนเกินไป ซึ่งมีองค์ประกอบพื้นฐานดังแสดงในรูปที่1.1



รูปที่ 1.1 องค์ประกอบของสวิตชิ่งเพาเวอร์ซัพพลาย

หัวใจสำคัญของสวิตชิ่งเพาเวอร์ซัพพลายจะอยู่ที่คอนเวอร์เตอร์ เนื่องจากเป็นตัวลดทอนแรงดันและคงที่แรงดันที่เอาต์พุต ส่วนประกอบต่างๆจะทำงานตามลำดับดังนี้ แรงดันไฟสลับ 220 โวลต์ จะผ่านเข้าทางวงจร RFI ฟิลเตอร์ เพื่อกรองสัญญานรบกวนและจะเปลี่ยนเป็นแรงดันไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรงค่าสูงด้วยวงจรเรกติไฟเออร์ เพาเวอร์คอนเวอร์เตอร์โดยเพาเวอร์ทรานซิสเตอร์จะตัดตอแรงดันออกเป็นช่วงๆ ด้วยความถี่ประมาณ 20-200 กิโลเฮิรตซ์ จากนั้นจะผ่านเข้าไปยังหม้อแปลงสวิตชิ่งเพื่อลดทอนแรงดันให้ต่ำลง ที่เอาต์พุทของหม้อแปลงจะมีวงจรแรงกระแสและกรองแรงดันให้เรียบก่อนที่จะจ่ายให้โหลด การคงค่าแรงดันจะทำได้โดยการป้อนกลับค่าแรงดันที่เอาต์พุตมายังวงจรควบคุม เพื่อควบคุมการทำงานของเพาเวอร์ทรานซิสเตอร์ให้มีช่วงเวลานำกระแสมากขึ้นหรือน้อยลงตามการเปลี่ยนแปลงแรงดันที่เอาต์พุต ซึ่งจะเป็นผลให้แรงดันเอาต์พุทคงที่ได้

1.2ข้อกำหนดคุณสมบัติของสวิตชิ่งเพาเวอร์ซัพพลาย

การออกแบบสวิตชิ่งเพาเวอร์ซัพพลายนั้นจำเป็นกำหนดหรือทราบข้อกำหนดของสวิตชิ่งเพาเวอร์ซัพพลายที่จะสร้างก่อน เพื่อเป็นการพิจารณาเลือกวงจรและส่วนประกอบที่จะใช้ในสวิตชิ่งเพาเวอร์ซัพพลายได้อย่างเหมาะสม สวิตชิ่งเพาเวอร์ซัพพลายจึงทำงานได้ตามความต้องการอย่างแท้จริง

กำลังงานขาออก(Output Power)

คือ ความสามารถในการจ่ายกำลังงานให้กับโหลดของสวิตชิ่งเพาเวอร์ซัพพลาย โดยคิดจากค่าผลคูณของกระแสและแรงดันรวมทั้งหมดที่เอาต์พุตและที่โหลดค่าสูงสุด

ประสิทธิภาพ(Efficiency)

คือ ความสามารถในการส่งผ่านกำลังงานจากแหล่งจ่ายไฟสลับ ไปยังโหลดที่เอาต์พุทของสวิตชิ่งเพาเวอร์ซัพพลาย โดยคิดอัตราส่วนของงานที่กำลังงานขาออกที่จ่ายให้กับโหลดต่อกำลังงานขาเข้าที่สวิตชิ่งเพาเวอร์ซัพพลายใช้ไปเป็นเปอร์เซ็นต์ ค่าประสิทธิภาพแสดงให้เห็นถึงกำลังสูญเสียที่เกิดขึ้นในตัวสวิตชิ่งเพาเวอร์ซัพพลาย โดยทั่วไปประสิทธิภาพของสวิตชิ่งเพาเวอร์ซัพพลายจะอยู่ในระหว่าง 65-80%

ช่วงของแรงดันอินพุท(Input Voltage)

คือ ช่วงแรงดันไฟสลับที่อินพุต ที่สวิตชิ่งเพาเวอร์ซัพพลายจะสามารถคงค่าแรงดันที่เอาต์พุตตามข้อกำหนดเอาไว้ ปกติสวิตชิ่งเพาเวอร์ซัพพลายจะถูกออกแบบให้ทำงานได้ที่แรงดันอินพุตในช่วงกว้าง เช่น 180-260 โวลต์ ที่แรงดันไฟสลับปกติ 220 โวลต์

แรงดันและกระแสขาออก(Output Voltage and Current)

คือ ค่ากระแสและแรงดันขาออกที่มีการรักษาระดับให้คงที่(regulated) โดยสวิตชิ่งเพาเวอร์ซัพพลาย การกำหนดค่าแรงดันและกระจะกำหนดจากค่าความต้องการในการใช้งานและกำลังขาออกที่ทำได้ของสวิตชิ่งเพาเวอร์ซัพพลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไลน์เรกูเลชั่น(Line Regulation)

คือ การเปลี่ยนแปลงของแรงดันเอาต์พุตเนื่องจากการเปลี่ยนแปลงของไฟสลับที่อินพุตเป็นเปอร์เซ็นต์ เมื่อโหลดที่เอาต์พุตมีค่าคงที่

โหลดเรกูเลชั่น(Load Regulation)

คือ การเปลี่ยนแปลงแรงดันเอาต์พุตเนื่องจากการเปลี่ยนแปลงโหลดที่เอาต์พุตเป็นเปอร์เซนต์ เมื่อแรงดันไฟสลับอินพุตมีค่าคงที่

แรงดันกระเพื่อมแ..นอยส์(Ripple and Noise)

แรงดันกระเพื่อม คือ แรงดันที่ผ่านออกมารวมได้กับแรงดันไฟตรงที่เอาต์พุตทำให้เกิดแรงดันกระพื่อมขึ้นที่แรงดัน

นอยส์ คือ แรงดันพุง(spike) ที่มีความถี่สูงๆที่ผ่านออกมาที่แรงดันไฟตรงเอาต์พุตได้เช่นกัน การวัดแรงดันกระเพื่อมและนอยส์อาจจะวัดเป็นค่า RMS หรือค่า Peak to Peak ก็ได้

ค่าเวลาโฮลด์อัพ(Hold up Time)

คือ ช่วงเวลาที่สวิตชิ่งเพาเวอร์ซัพพลายสามารถคงค่าแรงดันต่อไปได้อีก แม้จะหยุดจ่ายแรงดันไฟสลับที่อินพุต

สัญญาณรบกวนจากสวิตชิ่งเพาเวอร์ซัพพลาย(RFI/EMI)

RFI(Radio frequency Interference) และ EMI(Electromagnetic Interference)เป็นสัญญาณรบกวนที่สวิตชิ่งพาเวอร์ซัพพลายอาจทำให้เกิดขึ้นเนื่องจากการทำงานที่ความถี่สูงๆของมัน ค่าของสัญญาณรบกวนที่เกิดขึ้นต้องต่ำกว่ามาตรฐานที่กำหนด เช่น มาตรฐาน FCC หรือ VDE เป็นต้น เนื่องจากสัญญาณ RFI/EMI อาจทำให้ไฟฟ้าใกล้เคียงทำงานผิดพลาดได้

การตอบสนองโหลดภาวะชั่วครู่(Transien Response)

คือ การคืนค่าแรงดันเข้าสู่แรงดันปกติที่เอาต์พุตหลังจากมีการเปลี่ยนแปลงของโหลดอย่างทันทีทันใด ซึ่งเมื่อโหลดมีการเปลี่ยนแปลงทันทีทันใดจะเกิดลักษณะพุ่งของแรงดันเอาต์พุต์ตามการเปลี่ยนแปลง การตอบสนองโหลดภาวะชั่วครู่นี้จะวัดโดยใช้เวลาคืนตัว(recovery time) และค่าแรงดันพุ่งสูงสุดที่เกิดขึ้น

การแยกจากกันทางไฟฟ้า(Isolation)

คือ ความสามารถในการกันแรงดันไฟสลับอินพุตออกจากไฟตรงเอาต์พุต ไม่ให้มีการผ่านกระแสถึงกันเพื่อป้องกันอันตรายการถูกไฟดูดของผู้ใช้ โดยอาจเป็นค่าแรงดันทีสูงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตกคร่อมระหว่างอินพุตกับเอาต์พุตโดยยังไม่มีกระแสไหลหรือเกิดเบรกดาวน์ ทั้งนี้รวมไปถึงการแยกส่วนจากกันของเส้นไฟสูงและกราวด์ของอินพุตด้วย

ความถี่การทำงานของสวิตชิ่งเพาเวอร์ซัพพลาย(Switching Frequency)

คือ ความถี่ที่กำหนดเวลาการทำงานของเพาเวอร์ทรานซิสเตอร์ภายในสวิตชิ่งพาเวอร์ซัพพลาย ปกติมีค่าอยู่ในช่วง 20-200 กิโลเฮิรตซ์ ขึ้นอยู่กับการจัดวงจรภายในและความสามารถของเพาเวอร์ทรานซิสเตอร์เป็นหลัก

1.3สวิตชิ่งเพาเวอร์ซัพพลาย เมื่อเทียบกับลิเนียร์ซัพพลาย

	สวิตชิ่งเพาเวอร์ซัพพลาย	**ลิเนียร์ซัพพลาย**
ประสิทธิภาพ	65-80%	30-50%
ขนาด	เล็ก	ใหญ่
น้ำหนัก	เบา	มากกว่าสวิตชิ่งเพาเวอร์ซัพพลาย
เวลาโฮลด์อัพ	20-50ms	2ms
เสถียรภาพ	ต่ำ	สูงกว่าสวิตชิ่งเพาเวอร์ซัพพลาย
สัญญาณรบกวน	สูง	ต่ำกว่าสวิตชิ่งเพาเวอร์ซัพพลาย
ความซับซ้อนของวงจรและราคา	สูง	ต่ำกว่าสวิตชิ่งพาเวอร์ซัพพลาย

คอนเวอร์เตอร์

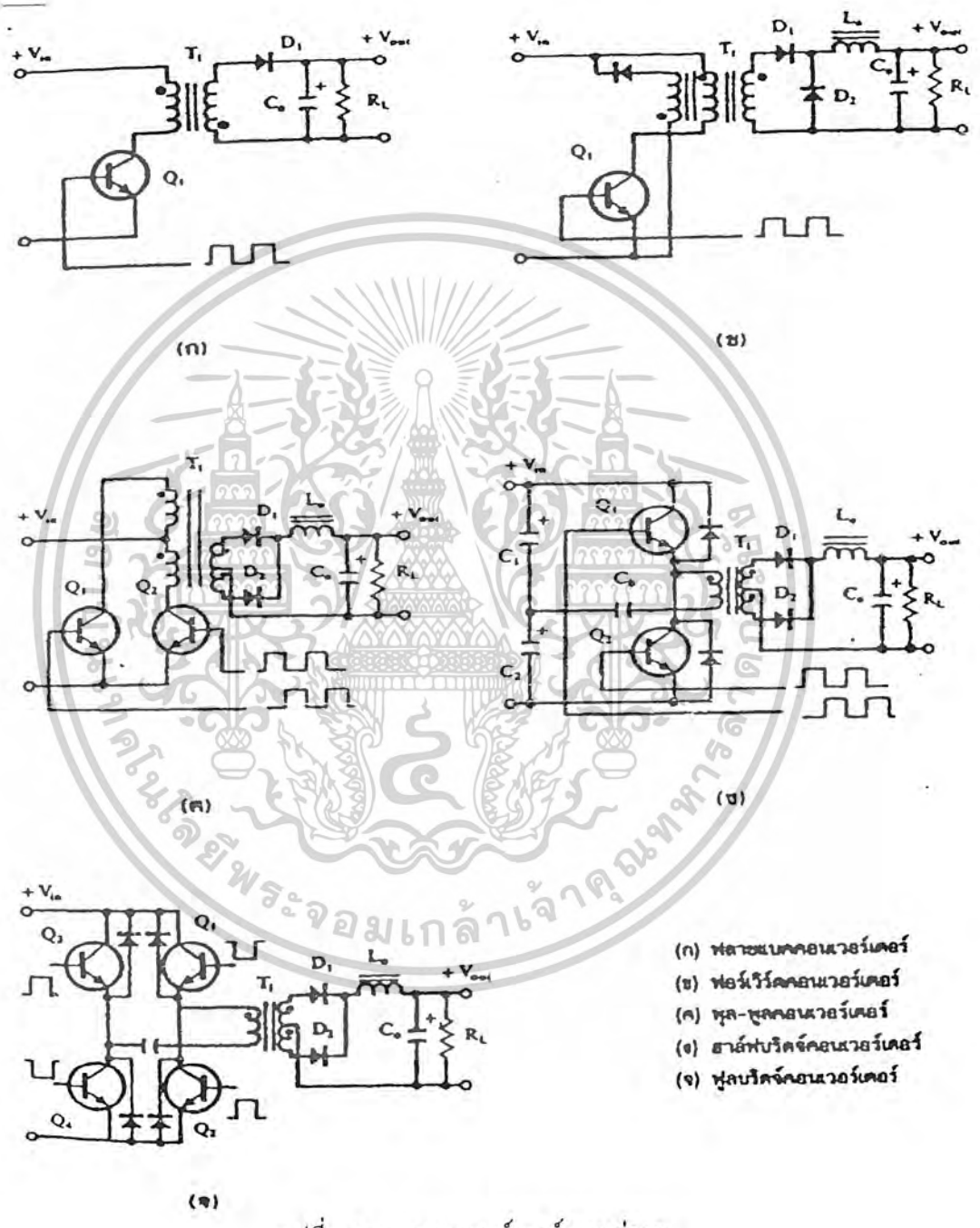
คอนเวอร์เตอร์เป็นส่วนสำคัญที่สุด ในสวิตชิ่งซัพพลาย มีหน้าที่ลดทอนแรงดันไฟตรงค่าสูงลงมา เป็นแรงดันไฟตรงค่าต่ำ และสามารถคงค่าแรงดันได้ มีข้อพิจารณาจากลักษณะพื้นฐานของคอนเวอร์เตอร์แต่ละแบบดังนี้

1. ลักษณะการแยกกันทางไฟฟ้าระหว่างอินพุตกับเอาต์พุตของคอนเวอร์เตอร์
2. แรงดันอินพุตที่จะนำมาใช้กับคอนเวอร์เตอร์
3. ค่ากระแสสูงสุดที่ไหลผ่านเพาเวอร์ทรานซิสเตอร์ในขณะคอนเวอร์เตอร์ทำงาน
4. ค่าแรงดันสูงสุดที่ตกคร่อมเพาเวอร์ทรานซิสเตอร์ในขณะคอนเวอร์เตอร์ทำงาน
5. การรักษาระดับแรงดันในกระณีที่คอนเวอร์เตอร์มีเอาต์พุตหลายค่าแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. การกำเนิดสัญญาณรบกวน RFI/EMI ของตัวคอนเวอร์เตอร์

คอนเวอร์เตอร์ ที่นิยมใช้ในอุตสาหกรรมมีด้วยกัน 5 แบบ และมีหลักการทำงานดังนี้



รูปที่ 1.2 ก-จ คอนเวอร์เตอร์แบบต่างๆ

1.ฟลายแบคคอนเวอร์เตอร์

จากรูป 1.2 ก เพาเวอร์ทรานซิสเตอร์ Q1 ในฟลายแบคคอนเวอร์เตอร์จะทำงานใน ลักษณะเป็นสวิตช์ และจะนำกระแสตามคำสั่งพัลส์สี่เหลี่ยมที่ป้อนให้กับขาเบส เนื่องจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หม้อแปลง T1 จะกำหนดขดไพรมารี่และเซคั่นดารี่ในลักษณะกลับเฟสอยู่ ดังนั้น Q1 นำกระแส ไดโอด D1 จึงอยู่ในลักษณะไบอัสย้อนกลับ และไม่นำกระแส จึงมีการสะสมพลังงานในขดไพรมารี่ของหม้อแปลง T1 แทน เมื่อQ1 หยุดนำกระแส สนามแม่เหล็ก T1 หยุบตัว ทำให้เกิดการกลับขั้วแรงดันที่ขดไพรมารี่และเซคั่นดารี่ D1 จะอยู่ในลักษณะไบอัสตรง พลังงานที่สะสมในขดไพรมารี่ จะถูกถ่ายเทออกไปสู่ขดเซคั่นดารี่ และมีกระแสไหลผ่านไดโอด D1 ไปยังตัวเก็บประจุเอาต์พุต C0 ค่าแรงดันเอาต์พุตของคอนเวอร์เตอร์จะขึ้นอยู่กับความถี่การทำงานของ Q1 ช่วงเวลานำกระแสของQ1 อัตราส่วนจำนวนรอบของหม้อแปลงและค่าแรงดันอินพุต

ฟลายแบคคอนเวอร์เตอร์เป็นคอนเวอร์เตอร์ที่ทำงานได้ไม่สูงนัก โดยฮยุ่ในช่วงไม่เกิน 150 วัตต์ และให้ค่าสัญญาณรบกวน RFI/EMI ค่อนข้างสูง แต่ใช้อุปกรณ์จำนวนน้อยและราคาถูก

2.ฟอร์เวิร์ดคอนเวอร์เตอร์

ในรูป 1.2 ข จะเห็นได้ว่า ฟอร์เวิร์ดคอนเวอร์เตอร์มีลักษณะใกล้เคียงกับฟลายแบคคอนเวอร์เตอร์ แต่หม้อแปลง T1 ในฟอร์เวิร์ดคอนเวอร์เตอร์จะกำหนดขดไพรมารี่และเซคั่นดารี่ให้มีเฟสตรงกัน ดังนั้นเมื่อ Q1 นำกระแส ไดโอด D1 จึงอยู่ในลักษณะไบอัสตรง แต่ D2 จะอยู่ในลักษณะไบอัสกลับและไม่นำกระแส กระแสจึงไหลผ่านไดโอด D1 และตัวเหนี่ยวนำ L0 ไปยังตัวเก็บประจุ C0 และโหลดได้ขณะที่มีกระแสไหลผ่าน L0 จะมีการสะสมพลังงานไว้ในตัวมันด้วย เมื่อ Q1 หยุดนำกระแส ไดโอด D1 ถูกไบอัสย้อนกลับ จึงไม่มีกระแสไหลผ่านขดเซคั่นดารี่สนามแม่เหล็กใน L0 จะหยุบตัวทำให้มีการกลับขั้วแรงดันที่ตกคร่อมตัวมันอยู่ ไดโอด D2 จะถูกไบอัสตรง L0 จะถ่ายเทพลังงานออกมาทำให้กระแสไหลผ่านตัวมัน และ D2 ออกไปยังโหลดได้จะเห็นได้ว้ามีกระแสไหลผ่านโหลดอย่างต่อเนื่องในช่วงที่ Q1 นำกระแส และหยุดนำกระแสทำให้มีการกระเพื่อมของแรงดันที่เอาต์พุตต่ำกว่าฟลายแบคคอนเวอร์เตอร์

ฟอร์เวิร์ดคอนเวอร์เตอร์ให้กำลังงานช่วงเดียวกับฟลายแบคคอนเวอร์เตอร์ แต่กระแสที่ได่มีการกระเพื่อมต่ำกว่า อย่างไรก็ตามตัวอุปกรณ์ที่เพิ่มเข้ามาทำให้ ฟอร์เวิร์ดคอนเวอร์เตอร์มีราคาสูงกว่า

3.พุช-พูลคอนเวอร์เตอร์

พุช-พูลคอนเวอร์เตอร์ เป็นคอนเวอร์เตอร์ที่สามารถจ่ายกำลังงานได้สูงตั้งแต่ 500 วัตต์ขึ้นไป แต่มีข้อเสียคือ มักเกิดการไม่สมมาตรฟลักส์แม่เหล็กของแกนหม้อแปลง จะมีผลต่อการพังเสียหายของเพาเวอร์ทรานซิสเตอร์ได้ง่าย อย่างไรก็ตาม ในปัจจุบันเทคนิคการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบควบคุมกระแสจะช่วยลดปัญหานี้ลงได้ ดังนั้นพุช-พูลคอนเวอร์เตอร์จึงเป็นที่น่าสนใจสำหรับสวิตชิ่งซัพพลายที่ต้องการกำลังงานสูงๆ

จากรูป 1.2 ค Q1 และ Q2 จะสลับกันนำกระแสในแต่ละครึ่งคาบการทำงาน เมื่อ Q1 นำกระแส D1 จะถูกไบอัสกลับ แต่ D2 จะถูกไบอัสตรงและนำกระแสผ่าน L0 ไปยังโหลด เมื่อ Q1 หยุดนำกระแส Q2 จะเริ่มนำกระแส D2 จะถูกไบอัสกลับและ D1 จะถูกไบอัสตรง และนำกระแสผ่านL0 ไปยังโหลดเช่นกัน ดังนั้น โหลดจึงมีกระแสไหลจ่อเนื่องตลอดเวลา กระแสที่ได้ทางเอาต์พุตจึงค่อนข้างเรียบ แต่การเพิ่มอุปกรณ์ทำให้คอนเวอร์เตอร์แบบนี้มีราคาสูง

4.ฮาล์ฟ-บริดจ์คอนเวอร์เตอร์

ฮาล์ฟ-บริดจ์คอนเวอร์เตอร์ เป็นคอนเวอร์เตอร์ในตระกูลพุช-พูลคอนเวอร์เตอร์และให้กำลังงานได้ค่อนข้างสูง ข้อดีคือ เพาเวอร์ทรานซิสเตอร์มีค่าแรงดันตกค่อมในขณะไม่นะกระแสน้อยกว่าคอนเวอร์เตอร์ทั้งสามแบบที่ได้กล่าวมาแล้ว และลดการเกิดไม่สมมาตรฟลักซ์ได้

รูป 1.2 ง จะเห็นได้ว่าเพาเวอร์ทรานซิสเตอร์ตัวใดตัวหนึ่งนำกระแส ค่าแรงดันตกคร่อมเพาเวอร์ทรานซิสเตอร์ตัวที่เหลือจะมีค่าเพียงแรงดันอินพุตเท่านั้น เมื่อ Q1 และ Q2 สลับกันนำกระแส ผลที่ได้จะมีลักษณะเช่นเดียวกับพุช-พูลคอนเวอร์เตอร์ ยกเว้นค่าแรงดันตกคร่อมขณะทำงานของขดไพรมารี่จะมีเพียงครึ่งหนึ่งของแรงดันอินพุต เนื่องจากผลของการต่อตัวเก็บประจุ C1 และ C2 เพื่อแบ่งแรงดัน กระแสไหลผ่านขดไพรมารี่จึงมีค่าสูง ซึ่งเป็นการจำกัดกำลังสูงสุดของคอนเวอร์เตอร์ โดยกำลังสูงสุดที่ ฮาล์ฟ-บริดจ์คอนเวอร์เตอร์สามารถทำได้อยู่ในช่วงไม่เกิน 500 วัตต์

5.ฟูล-บริดจ์คอนเวอร์เตอร์

รูป 1.2 จ จะเห็นได้ว่ามีเพาเวอร์ทรานซิสเตอร์ในวงจรถึง 4 ตัว แต่จะสลับกันทำงานเป็นคู่ๆ โดย Q1 จะนำกระแสพร้อมกับ Q4 และ Q2 จะนำกระแสพร้อมกับQ3 กระแสไหลผ่านขดไพรมารี่ของหม้อแปลงมีลักษณะเช่นเดียวกับ ฮาล์ฟ-บริดจ์คอนเวอร์เตอร์ แต่ข้อได้เปรียบของ ฟูล-บริดจ์คอนเวอร์เตอร์ก็คือ ขณะทำงานขดไพรมารี่จะมีแรงดันตกคร่อมเท่ากับอินพุตกระแสที่ไหลผ่านขดไพรมารี่จึงมีค่าต่ำกว่า ฟูล- บริดจ์คอนเวอร์เตอร์จึงสามารถจ่ายกระแสได้สูงกว่าตั้งแต่ 500 – 1000 วัตต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

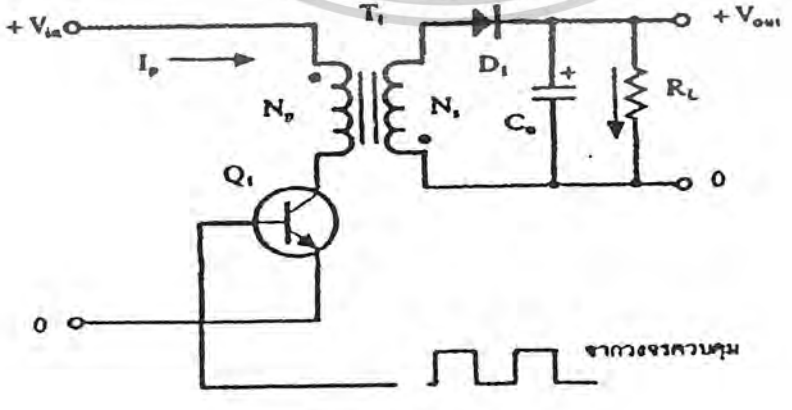
บทที่ 2
ทฤษฎีและหลักการทำงาน

ฟลายแบคคอนเวอร์เตอร์

ฟลายแบคคอนเวอร์เตอร์ (Flyback Converter) มีค่าใช้จ่ายในการสร้างต่ำ จึงเหมาะสำหรับสวิตชิ่งซัพพลายที่มีกำลังขาออกในช่วง 50 วัตต์ ถึง 150 วัตต์ ฟลายแบคคอนเวอร์เตอร์มีข้อเสียคือแรงดันเอาต์พุตที่ได้จะมีค่าแรงดันกระเพื่อม (ripple) ค่อนข้างสูง และเมื่อใช้กับระบบแรงดันไฟสลับ 220 โวลต์ เพาเวอร์ทรานซิสเตอร์ในวงจรต้องทนแรงดันได้สูงประมาณ 800 โวลต์ ถึง 1000 โวลต์ ซึ่งมีราคาแพง

2.1 พื้นฐานการทำงานของฟลายแบคคอนเวอร์เตอร์

วงจรพื้นฐานของฟลายแบคคอนเวอร์เตอร์แสดงไว้ในรูปที่ 3.1 การทำงานของวงจรจะเป็นดังนี้ เพาเวอร์ทรานซิสเตอร์ Q1 จะทำงานโดยนำกระแส (ON) และหยุดนำกระแส (OFF) สลับกันไป เมื่อ Q1 นำกระแส จะมีกระแสไหลผ่านขดไพรมารี่ (Ip) แต่เนื่องจากหม้อแปลงถูกกำหนดให้ขดไพรมารี่ปละขดเซคั่นดารี่พันในลักษณะกลับทิสกัน ดังนั้นในขณะที่ Q1 นำกระแส ไดโอด D1 จะอยู่ในลักษณะถูกไบอัสกลับ และไม่มีกระแสไหลผ่านไปยังโหลด RI พลังงานจึงถูกสะสมอยู่ที่ขดไพรมารี่ของหม้อแปลง เมื่อ Q1 หยุดนำกระแสสนามแม่เหล็กในแกนหม้อแปลงยุบตัว ทำให้ทีการกลับขั้วของแรงดันที่ขดเซคั่นดารี่ ไดโอด D1 จึงอยู่ในลักษณะถูกไบแอสตรง พลังงานที่ถูกสะสมไว้ที่ขดไพรมารี่จะถูกถ่ายเทไปยังขดเซคั่นดารี่ และมีกระแสไหลผ่านไปยังโหลดและตัวเก็บประจุเอาต์พุต Co ได้



รูปที่2.1 แสดงวงจรพื้นฐานของฟลายแบคคอนเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวงจรทำงานอยู่ในสภาวะคงที่ ค่าแรงดันเอาต์พุตจะเป็นไปตามสมการ

$$Vout = \frac{ton \times (Ns/Np)(Vin-Vce)}{T} - Vd$$

โดยที่ T คือ คาบเวลาการทำงานของ Q1 เป็นวินาที

ton คือ ชวงเวลาที่ Q1 นำการแส เป็นวินาที

Np คือ จำนวนรอบของขดไฟรมารี่ เป็นรอบ

Ns คือ จำนวนรอบของขดเซคั่ำคารี่ เป็นรอบ

Vout คือ แรงดันที่เอาต์พุตของคอนเวอร์เตอร์ เป็นโวลต์

Vin คือ แรงดันที่อินพุตของคอนเวอร์เตอร์ เป็นโวลต์

Vce คือ แรงดันตกคร่อม Q1 ขณะนำกระแสที่จุดอิ่มตัว เป็นโวลต์

Vd คือ แรงดันตกคร่อมไดโอด D1 ขณะนำกระแส เป็นโวลต์

จะเห็นได้ว่า วงจรจะสามารถคงค่าแรงดันเอาไว้ได้ด้วยการเพิ่มหรือลดช่วงเวลานำกระแส (tom) ของเพาเวอร์ทรานซิสเตอร์ Q1 เท่านั้น ไม่ว่าจะมีการเปลี่ยนแปลงของแรงดันอินพุตหรือมีการเปลี่ยนแปลงโหลดก็ตาม

2.2 ลักษณะกระแสและแรงดันภายในวงจร

Ip จะมีลักษณะเพิ่มขึ้นตามเวลาและมีค่าสูงสุดเมื่อ Q1 นำกระแสนั้น จะเป็นลักษณะของกระแสที่ไหลผ่านตัวเหนี่ยวนำ ซึ่งจะเป็นไปตามสมการ

Ip(pk) คือ ค่ากระแสสูงสุดที่ไหลผ่านขดไพรมารี่ เป็นแอมป์

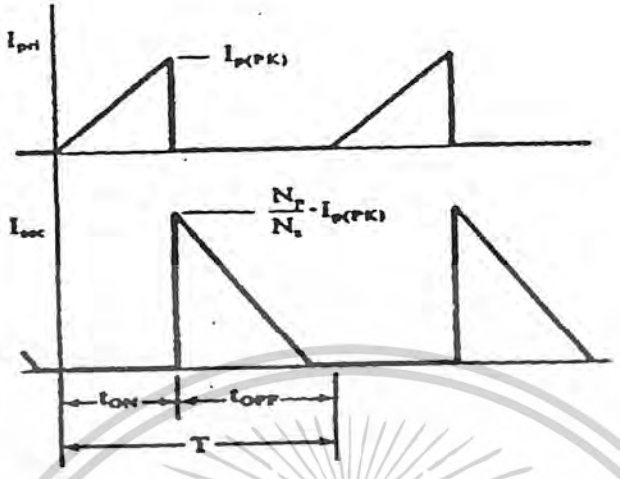
Lp คือ ค่าความเหนี่ยวนำของขดไพนมารี่ เป็นเฮนรี่

เมื่อ Q1 เริ่มหยุดกระแสที่ไหลผ่าน Q1 และขดลวดไฟรมารี่ ขณะที่ Q1 นำกระแสนั้น จะเป็นลักศณะของกระแสที่ไหลผ่านตัวเหนี่ยวนำ ซึ่งจะเป็นไปตามสมการ

$$di/dt = V/L$$

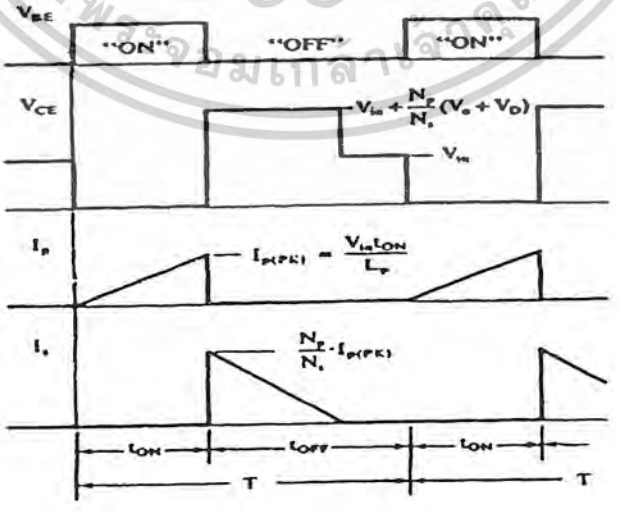
ดังนั้น กระแส นำกระแส ขดเซคั่นคารี่จะเริ่มมีกระแสไหล แต่เนื่องจากกระแสที่ตัวเนี่ยวนำจะเปลี่ยนแปลงในทันทีทันใดไม่ได้ กระแสที่ขดเซคั่นคารี่ (Is) จะต้องเริ่มต้นที่ค่าสูงสุดของกระแสที่ขดไพมารี่ Ip(PK) โดยมีค่าเป็นสัดส่วนตามอัตราส่วนของจำนวนรอบ Np/Ns ดังนั้นกระแสที่ขอเซคั่นคารี่จะมีค่าเริ่มต้นที่ Is = (Np/Ns)Ip(PK) และมีค่าลดลงตามเวลา ลักษณะของกระแสที่ขดไพรมารี่และเซคั่นคารี่ตามเวลาจะเป็นดังที่แสดงไว้ในรูป 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงลักษณะของกระแสที่ขดไพรมารี่และเซคั่นดารี่ขณะที่ทำงาน

เมื่อมีกระแสไหลที่ขดเซคั่นดารี่ในขณะที่ Q1 หยุดนำกระแส จะทำให้เกิดแรงดันตกคร่อมขดไพรมารี่ด้วย เนื่องจากแรงดันตกคร่อมของเซคั่นดารี่มีค่าเท่ากับ Vout + Vd ดังนั้นแรงดันที่ตกคร่อมขดไพรมารี่จึงมีค่าเท่ากับ (Np/Ns)(Vout + Vd) ทำให้แรงดันตกคร่อม Q1 ขณะหยุดนำกระแสมีค่าเป็น Vin + (Np/Ns)(Vout + Vd) จนกระทั่งกระแสที่ไหลในขดเซคั่นดารี่มีค่าลดลงเป็นศูนย์ แรงดันที่ตกคร่อม Q1 จึงลดลงมามีค่าเท่าแรงดันอินพุต Vin ในรูปที่ 2.3 จะแสดงลักษณะของกระแสและแรงดันที่เกิดขึ้นภายในวงจรฟลายแบคเวอร์เตอร์ขณะทำงาน



รูปที่2.3 แสดงลักษณะของกระแสและแรงดันที่เกิดขึ้นในวงจรขณะทำงานของฟลายแบคเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

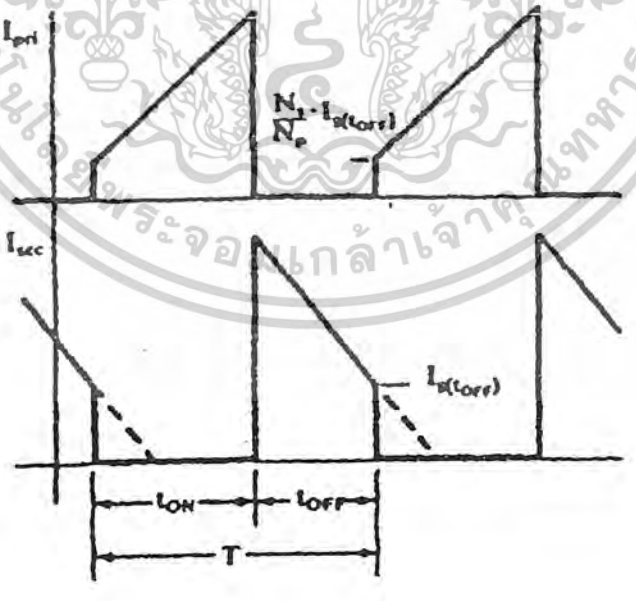
2.3 การทำงานในโหมดกระแสต่อเนื่องและโหมดกระแสไม่ต่อเนื่อง

โหมดกระแสไม่ต่อเนื่อง (Discontinuos Mode)

เราจะกล่าวว่าฟลายแบคเวอร์เตอร์มีการทำงานในโหมดกระแสไม่ต่อเนื่องก็ต่อเมื่อ ในขณะที่ Q1 หยุดนำกระแส พลังงานที่ถูกสะสมไว้ในขดไพรมารี่ถูกถ่ายเทออกไปยังขดเซคั่นดารี่จนหมด กล่าวคือกระแสที่ไหลในขดเซคั่นดารี่มีค่าลดลงจนเป็นศูนย์ ก่อนที่ Q1 จะเริ่มนำกระแสอีกครั้ง (คือลักษณะของกระแสในรูปที่ 2.2)

โหมดกระแสต่อเนื่อง (Continuous Mode)

จากรูปที่ 2.2 ถ้าคาบเวลา T มีค่าคงที่ เมื่อเพิ่มช่วงเวลานำกระแส ton ของ Q1 ให้มากขึ้น ช่วงเวลาหยุดนำกระแส toff ก็จะมีค่าน้อยลงและกระแสสูงสุดที่ขดไพรมารี่จะมีค่าเพิ่มขึ้นตามเวลาไปด้วย แต่เนื่องจากช่วงเวลาหยุดนำกระแส มีค่าน้อย กระแสที่ขดเซคั่นดารี่ไม่สามารถลดลงจนมีค่าเป็นศูนย์ได้ทันภายในช่วงเวลาtoff จึงยังคงมีพลังงานบางส่วนเหลือค้างอยู่ในขดไพรมารี่และเนื่องจากกระแสไม่สามารถเปลี่ยนแปลงได้ทันทีทันใด เมื่อ Q1 เริ่มนำกระแสอีกครั้ง กระแสที่ขดไพรมารีจึงต้องเริ่มต้นด้วยค่าของกระแสเซคั่นดารี่สุดท้ายที่ลดลงได้คูณด้วยอัตราส่วนจำนวนรอบ Np/Ns การทำงานในลักษณะนี้เราจะเรียกว่า การทำงานในโหมดกระแสต่อเนื่อง



รูปที่2 .4 แสดงลักษณะของกระแสเมื่อคอนเวอร์เตอร์ทำงานในโหมดกระแสต่อนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การออกแบบฟลายแบคเวอร์เตอร์ที่โหมดกระแสไม่ต่อเนื่อง

เมื่อเข้าใจการทำงานของฟลายแบคเวอร์เตอร์แล้ว ในหัวข้อต่อไปจะได้กล่าวถึงขั้นตอนการคำนวณค่าต่างๆ เพื่อเป็นแนวทางในการเลือกใช้อุปกรณ์และควบคุมการทำงานของวงจรดังต่อไปนี้

2.4.1 กำหนดค่าอัตราส่วนจำนวนรอบ Np/Ns

การกำหนดอัตราส่วนจำนวนรอบ Np/Ns ของหม้อแปลง เป็นสิ่งที่ควรทำเป็นอันดับแรก เนื่องจากค่าอัตราส่วนจำนวนรอบ นี้จะมีผลต่อแรงดันตกคร่อมสูงสุดของเพาเวอร์ทรานซิสเตอร์ขณะหยุดนำกระแสโดย

$$VCE(max) = Vin(max) + (Np/Ns)(Vout+Vd) \quad .....(2.4)$$

ดังนั้นเพื่อเป็นการป้องกันการพังเสียหายของเพาเวอร์ทรานซิสเตอร์ที่จะนำมาใช้จึงควรกำหนดอัตราส่วนจำนวนรอบ ดังนี้

$$Np/Ns < \frac{VCE - (Vin(max) + Vspike)}{(Vout + Vd)}$$

เมื่อ VCEO คือค่าอัตราส่วนทนแรงดันได้สูงสุดของเพาเวอร์ทรานซิสเตอร์ที่ใช้ และ Vspike คือค่าแรงดันพุ่งหรือสไปค์ ที่เกิดขึ้นขณะเพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแส สไปต์นี้เกิดขึ้นเนื่องจากฟลักซ์รั่วภายในหม้อแปลง ซึ่งทำให้เกิดค่าความเหนี่ยวนำแฝงขึ้นที่ขดไพรมารี่และมีการสะสมพลังงานจนกว่าพลังงานที่ถูกสะสมจะถูกถ่ายเทหมดไป

การกำหนดอัตราส่วนจำนวนรอบ Np/Ns ที่มีค่ามากหรือน้อยเกินไป จะมีผลต่อขนาดของหม้อแปลงและกระแสสูงสุดที่จะเกิดขึ้นในวงจรการพิจารณากำหนดค่า Np/Ns ขึ้นจึงต้องพิจารณาผลของค่า Np/Ns ที่มีต่อองค์ประกอบต่างๆ ในวงจรอย่างเหมาะสมด้วย

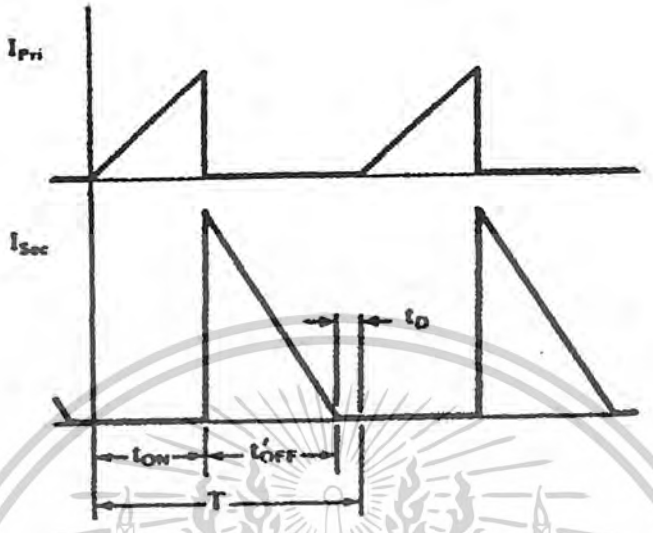
2.4.2 ช่วงเวลานำกระแสสูงสุด(ton(max))

เพื่อให้แน่ใจว่าฟลายแบคเวอร์เตอร์ที่ออกแบบทำงานในโหมดกระแสไม่ต่อเนื่อง จึงจำเป็นต้องกำหนดให้ช่วงเวลาหยุดนำกระแส toff มีค่ามากพอ เพื่อให้กระแสที่ขดเซคั่นดารี่ลดลงจนมีค่าเป็นศูนย์ก่อนที่เพาเวอร์ทรานซิสเตอร์จะเริ่มนำกระแสอีกครั้ง นั่นคือ จำเป็นต้องมีการจำกัดค่าของ ton เอาไว้ การจำกัดค่านั้น สามารถทำได้โดยการกำหนดค่าเวลาเผื่อ (dead time)tp ไว้ดังรูปที่ 2.5 กล่าวคือการลดลงของกระแสที่ขดเซคั่นดารี่จนเป็นศูนย์จะต้องใช้เวลาไม่เกิน toff = T-(ton+td)

ค่าของ td จะกำหนดให้เป็นเท่าใดก็ได้ โดยทั่วไปมักกำหนดไว้ที่ประมาณ 20 % ของค่าคอบเวลา T หรือเท่ากับ 0.2T ดังนั้น

$$ton(max) + t'off = 0.8T \quad .....(2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.5 แสดงการกำหนดค่าเวลาเผื่อ td เพื่อให้ฟลายแบคเวอร์เตอร์ยังคงทำงาน ในโหมดกระแสไม่ต่อเนื่องที่เวลา t= ton(max)

เนื่องจากกระแสที่ขดไพรมารี่ต้องลดลงจนมีค่าเป็นศูนย์โดยใช้เวลามากที่สุดเท่ากับ t'off นั่นคือ

$$-(0\text{-}Is(PK)) = \frac{(Vout + Vd)t'off}{Ls}$$

$$(Np/Ns)Ip(PK) = \frac{(Vout + Vd)t'off}{Ls}$$

จากสมการที่ (3.3) แทนค่า Ip(PK) ใน(3.7) จะได้ว่า

เนื่องจาก $Np/Ns = \sqrt{(Lp/Ls)}$ และแทนค่า $t'off = 0.8T - ton(max)$

$$\frac{Np(Vin(min) - Vce(sat)ton(max)}{Ns(Lp)} = \frac{(Vout + Vd)t'off}{LS}$$

ดังนั้น

$$ton(max) = \frac{(Vout + Vd)(Np/Ns)(0.8T)}{(Vin(max) - Vce(sat)) + (Vout + Vd)}$$

2.4.3 กำหนดค่าความเหนี่ยวนำของขดไพรมารี่ Lp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลายแบคเวอร์เตอร์ทำงานด้วยการเก็บสะสมพลังงานในช่วงเวลาที่เพาเวอร์ทานซิสเตอร์นำกระแส และส่งผ่านพลังงานออกไปในขณะที่เพาเวอร์ทรานซิสเตอร์หยุดนำกระแสโดยในแต่ละช่วงเวลาที่เพาเวอร์ทรานซิสเตอร์นำกระแส พลังงานที่เก็บสะสมไว้ที่ขดไพรมารี่(E) จะมีค่า

$$E = \frac{1}{2}(LpI^2p(PK) \quad \text{------(2.11)}$$

และในขณะที่เพาเวอร์ทรานซิสเตอร์หยุดนำกระแสคอนเวอร์เตอรีไม่มีการสะสมพลังงาน ดังนั้นกำลังงานที่ใช้ไปในหนึ่งคาบเวลาจึงมีค่าเท่ากับ

$$Pin = [(Vin(max) - Vce(sat)ton(max)]^2 \quad \text{------(2.12)}$$

ถ้าประสิทธิภาพการส่งผ่านพลังงานของคอนเวอร์เตอร์มีค่าเท่ากับ n (ประมาณ 65-80% สำหรับสวิตชิ่งเพาเวอร์ซัพพลาย) กำลังงานที่คอนเวอร์เตอร์จ่ายกำลังงานได้เท่ากับกำลังงานที่ต้องการด้านเอาต์พุต Pout ค่าความเหนี่ยวนำของขดไพรมารี่ Lp ต้องมีค่าอย่างต่ำเท่ากับ

$$Lp = \frac{n[(Vin(max) - Vce(sat)ton(max)]^2}{2T(Pout)} \quad \text{------(3.13)}$$

2.4.4 จำนวนรอบขดไพรมารี่ Np และจำนวนรอบขดเซคั่นดารี่ Ns

การกำหนดจำนวนรอบขดไพรมารี่ Np จะขึ้นอยู่กับขนาดของแกนเฟอร์ไรด์และความหนาแน่นฟลักซ์สูงสุดที่ยอมให้เกิดขึ้นได้ในแกน โดยจำนวนรอบ Np จะมีค่าเท่ากับ

$$Np = \frac{Vin(min) - ton(max) \times 10^8}{\Delta Bmax - Ae}$$

โดยที่ $\Delta Bmax$ คือ ค่าความหนาแน่นฟลักซ์สูงสุดที่ยอมรับให้เกิดขึ้น เป็นเกาส์

Ae คือ พื้นที่หน้าตัดของแก่นเฟอร์ไรด์ เป็นตารางเซนติเมตร

สำหรับจำนวนรอบของขดเซคั่นดารี่ Ns นั้น สามารถหาได้จากค่าอัตราส่วนจำนวนรอบ Np/Ns และจำนวนรอบขดไพรมารี่ที่หาได้จากสมการ

2.4.5 ตัวเก็บประจุเอาต์พุต Co

ตัวเก็บประจุที่เอาพุต Co จะทำหน้าที่จ่ายกระแสให้กับโหลดในช่วงที่เพาเวอร์ทรานซิสเตอร์นำกระแส ซึ่งจะไม่มีกระแสไหลจากขดเซคั่นดารี่ เป็นการลดแรงดันกระเพื่อมที่เอาต์พุต ดังนั้นตัวเก็บประจุ Co จึงต้องสามารถจ่ายกระแสได้เท่ากับค่ากระแสที่ต้องการในช่วงเวลา ton เพื่อคงค่าแรงดันเอาต์พุตไม่ให้เกิดการกระเพื่อมมากเกินไป ค่าของ Co สามารถกำหนดได้ดังนี้

$$Co = \frac{Io(ton(max))}{Vripple}$$

โดยที่ Io คือ ค่ากระแสเฉลี่ยสูงสุดที่เอาต์พุต เป็นแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vripple คือ ค่าแรงดันกระเพื่อมสูงสุดที่ยอมให้เกิดได้ เป็นโวลต์

2.4.6 ค่า ESR ของตัวเก็บประจุเอาต์พุต

ESR(Equivalent Series Resistance) คือค่าความต้านทานไฟฟ้าซึ่งแฝงอยู่ในตัวเก็บประจุ โดยเฉพาะอย่างยิ่งตัวเก็บประจุชนิดอิเล็กทรอไลค์ จะมีค่า ESR ค่อนข้างสูง ตัวเก็บประจุยิ่งมีค่าความจุสูง ESR จะมีค่าต่ำลง อย่างไรก็ตาม ค่าต่ำสุดของ ESR จะถูกจำกัดอยู่ที่ประมาณ 0.03 โอหม์ เนื่องจากปัญหาความต้านทานที่รอยต่อระหว่างแผ่นฟลอยด์และขาของตัวเก็บประจุ

ถ้าตัวเก็บประจุเอาต์พุตที่ใช้มีค่า ESR สูง จะทำให้เกิดปัญหาแรงดันกระเพื่อมขึ้นที่แรงดันเอาต์พุต เนื่องจากขณะที่ขดเซคั่นดารี่เริ่มนำกระแส ที่ขอบขาขึ้นของกระแสจะมีค่าสูง ค่าความต้านทานแฝง ESR ในตัวเก็บประจุจะทำให้เกิดแรงดันตกคร่อมตัวเก็บประจุในลักษณะพุ่งในช่วงสั้นๆ ของการชาร์จประจุ และจำทำให้เกิดแรงดันกระเพื่อมขึ้น

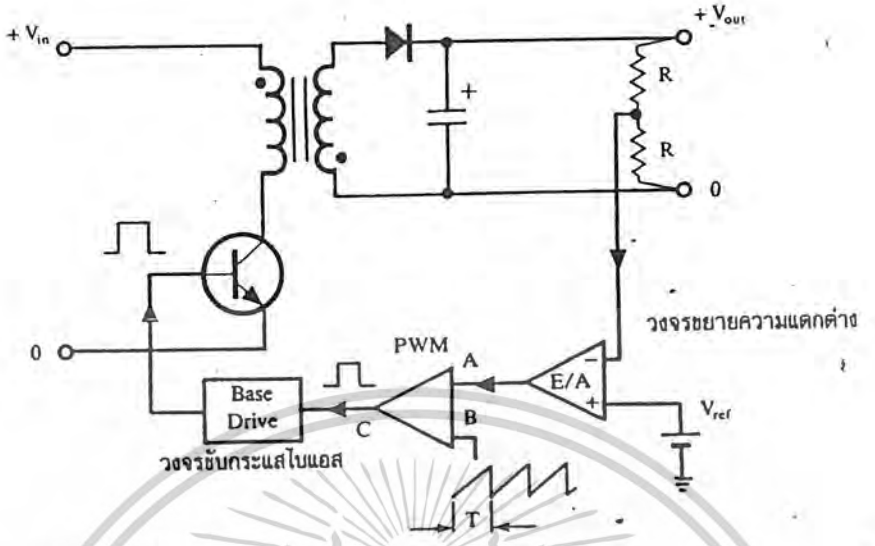
การแก้ปัญหาอาจทำได้โดย การเพิ่มวงจร LC ฟิลเตอร์ที่เอาต์พุต หรือเพิ่มค่าตัวเก็บประจุที่เอาต์พุตเพื่อลดค่า ESR การใช้ตัวเก็บประจุขนานกันหลายตัวเพื่อเพิ่มค่าความจุจะทำให้ลดค่า ESR ได้เช่นเดียวกัน

2.5 วงจรควบคุมสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย

เนื่องจากคอนเวอร์เตอร์เกือบทุกแบบ จะคงค่าแรงดันเอาต์พุตได้ด้วยการควบคุมช่วงเวลานำกระแส (t_{on}) ของเพาเวอร์ทรานซิสเตอร์ ดังนั้นวงจรควบคุมการทำงานของคอนเวอร์เตอร์โดยทั่วไปจึงนิยมใช้เทคนิคพัลส์วิดท์มอดูเลชั่น (Pulse Width Modulation) หรือ PWM เป็นหลักการใช้ PWM เมื่อควบคุมช่วงเวลานำกระแสของเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์สามารถทำได้ 2 ลักษณะการทำงานของวงจรควบคุมคือ ในโหมดควบคุมจากแรงดันและโหมดควบคุมจากกระแสในที่นี่ขอกล่าวถึงเฉพาะ วงจรควบคุมในโหมดควบคุมจากแรงดัน

วงจรควบคุมในโหมดควบคุมจากแรงดัน (Voltage Mode Control) การทำงานของวงจรควบคุมในโหมดนี้ จะอาศัยการตรวจจับการเปลี่ยนแปลงค่าของแรงดันเอาต์พุตมาควบคุมช่วงเวลาการนำกระแสของเพาเวอร์ทรานซิสเตอร์ เพื่อการคงค่าแรงดันเอาต์พุตเป็นหลักดังรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



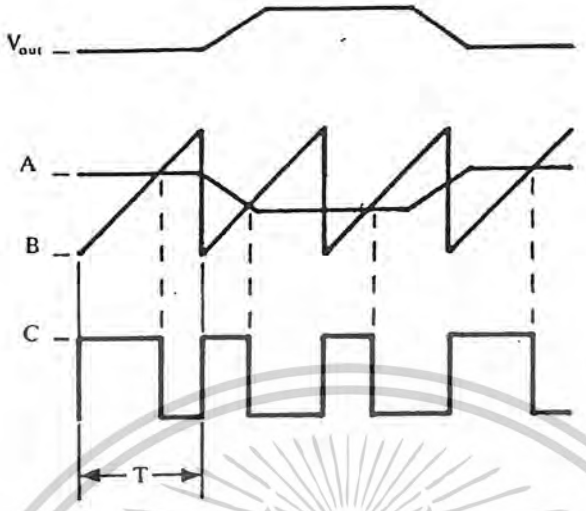
รูปที่2.6 แสดงวงจรพื้นฐานสำหรับการควบคุมคอนเวอร์เตอร์ในโหมดควบคุมจากแรงดัน

จากรูป วงจรควบคุมจะอาศัยการป้อนกลับค่าแรงดันที่เอาต์พุตและเปรียบเทียบกับแรงดันอ้างอิง V_{ref} ของวงจรเพื่อตรวจจับการเปลี่ยนแปลงของแรงดันที่เอาต์พุต ค่าความแตกต่างที่ได้จะถูกขยายโดยวงจรขยายความแตกต่าง ก่อนที่จะส่งต่อไปยังวงจร PWM โดยค่าแรงดันที่ได้จากวงจรขยายความแตกต่างจะถูกนำเปรียบเทียบกับแรงดันรูปฟันเลื่อยที่อินพุตของที่ตำแหน่ง B ของ PWM อีกครั้งหนึ่ง เอาต์พุตที่ได้จากวงจร PWM จะมีลักษณะเป็นพัลส์สี่เหลี่ยมซึ่งมีคาบเวลาคงที่เท่ากับคาบเวลาของแรงดันรูปฟันเลื่อยและมีความกว้างของพัลส์ซึ่งเปลี่ยนแปลงไปตามผลของมอดดูเลชั่นค่าความกว้างของพัลส์นี้เองที่จะเป็นตัวกำหนดช่วงเวลานำกระแสของเพาเวอร์ทรานซิสเตอร์ในคอนเวอร์เตอร์

เนื่องจากค่าแรงดันป้อนกลับจะถูกส่งมายังวงจรขยายความแตกต่างที่ขาอินเวอร์ติ้งผลต่างของแรงดันเอาต์พุตและแรงดันอ้างอิงที่จุด A จึงมีลักษณะกลับเฟส 180 กล่าวคือ เมื่อแรงดันเอาต์พุตมีค่ามากขึ้น แรงดันที่จุด A จะมีค่าลดลง ความกว้างของพัลส์ที่เอาต์พุตของวงจร จึงมีค่าลดลงด้วย และช่วงเวลาการนำกระแสของเพาเวอร์ทรานซิสเตอร์ t_{on} ก็จะมีค่าลดลง ถ้าแรงดันเอาต์พุตมีค่าลดลง แรงดันที่จุด A จะมีค่าเพิ่มขึ้น ความกว้างพัลส์ที่เอาต์พุตของวงจร PWM จึงมีค่าเพิ่มขึ้นก็จะมีค่าเพิ่มขึ้น ทำให้คอนเวอร์เตอร์สามารถคงค่าแรงดันเอาต์พุตเอาไว้ได้ลักษณะรูปคลื่นแรงดันขณะวงจรทำงานจะเป็นดังรูป122 ตัวอย่างไอซีที่ใช้ควบคุมคอนเวอร์เตอร์ในโหมดควบคุมจากแรงดันได้แก่ เบอร์ MC 34060, MC 34166 และ TL 494 เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.7 แสดงลักษณะของความกว้างเอาท์พุตพลัส์ของ PWM ซึ่งเป็นผลมาจากการมอดูเลตสัญญาณป้อนกลับและสัญญาณฟันเลื่อยตามรูปที่ 2.6

2.6 หม้อแปลงสวิตชิ่ง

หม้อแปลงสวิตชิ่ง (Switching Transformer) จัดเป็นอุปกรณ์สำคัญสำหรับสวิตชิ่งเพาเวอร์ซัพพลาย ผู้ออกแบบสวิตชิ่งเพาเวอร์ซัพพลายจึงจำเป็นต้องศึกษารูปแบบที่เป็นไปได้ในลักษณะต่าง ๆ ของหม้อแปลงสวิตชิ่ง ความเหมาะสมในการใช้งาน การคำนวณขนาดแกนเฟอร์ไรต์และขนาดลวดทองแดง รวมทั้งการกำหนดความปลอดภัยทางไฟฟ้า เพื่อความปลอดภัยและลดกำลังงานสูญเสียในหม้อแปลงสวิตชิ่งขณะทำงาน

2.6.1 ส่วนประกอบของหม้อแปลงสวิตชิ่ง

หม้อแปลงสวิตชิ่งซึ่งมีหน้าที่หลักในการลดทอนแรงดันไฟตรงที่อินพุทของคอนเวอร์เตอร์ซึ่งอาจมีค่าสูงได้ถึง 310 โวลต์ ให้มีค่าลดลงเป็นแรงดันไฟค่าต่ำที่เอาท์พุท และทำให้เกิดการแยกจากกันทางไฟฟ้าระหว่างแรงดันอินพุทและแรงดันเอาท์พุทที่ได้ เพื่อป้องกันอันตรายจากการถูกไฟฟ้าดูด

แกนเฟอร์ไรต์ (Ferrite Core)

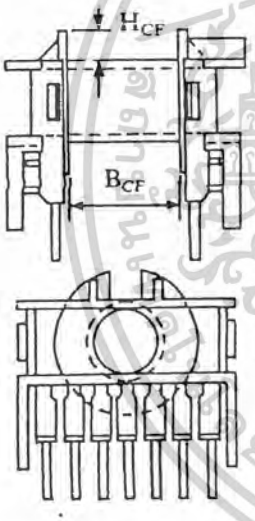
เฟอร์ไรต์ เป็นวัสดุประเภทเฟอร์โรแมกเนติก (Ferromagnetic Material) การเหนี่ยวนำแม่เหล็กบนแกนเฟอร์ไรต์ จะมีผลทำให้เกิดความหนาแน่นฟลักซ์แม่เหล็กสูงกว่าการเหนี่ยวนำแม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
61523

เหล็กที่เกิดขึ้นบนแกนอากาศมาก เฟอร์ไรต์มีค่าจุดอิ่มตัวฟลักซ์แม่เหล็กค่อนข้างสูง ประมาณใน ช่วง 3,000 – 4,000 เกาส์ และเกิดการสูญเสียในตัวต่ำที่ความถี่สูง ๆ ดังนั้น หม้อแปลงสวิตชิ่งจึง นิยมใช้แกนเฟอร์ไรต์มากที่สุด เฟอร์ไรต์ที่นำมาใช้ทำแกนของหม้อแปลงสวิตชิ่ง จะมีรูปร่างแตก ต่างกันออกไปขึ้นอยู่กับการใช้งานและมาตรฐานในการออกแบบ

บอบบิ้น (Bobbin)

บอบบิ้น หรือ แบบรองพัน ปกติจะทำจากพลาสติกชนิดทนความร้อนได้สูงและไม่ติดไฟ บอบบิ้นจะช่วยให้การพันขดลวดบนแกนเฟอร์ไรต์ได้สะดวกขึ้น และป้องกันปัญหาการลัดวงจร ระหว่างขดลวดกับแกนเฟอร์ไรต์ได้ บอบบิ้นจะมีขนาดมาตรฐานตามมาตรฐานของแกนเฟอร์ไรต์ ตัวอย่างขนาดของบอบบิ้นดูได้จากรูปที่ 2.8 บอบบิ้นส่วนใหญ่จะถูกออกแบบให้มีขาพักลวด ทองแดง เพื่อความสะดวกในการพันขดลวดและบัดกรีติดกับแผ่น PCB



CORE TYPE	$A_w(cm^2)$	$B_{CF}(mm)$	$H_{CF}(mm)$	$\ell_{av}(mm)$
ETD 34	1.23	21.0	6.0	59.94
ETD 39	1.74	25.6	6.9	68.58
ETD 44	2.13	29.6	7.3	76.2
ETD 49	2.71	32.8	8.4	85.09

A_w = พื้นที่ช่องพันขดลวด
B_{CF} = ความยาวแกนที่พันขดลวดได้
H_{CF} = ระยะจำกัดความสูงของขดลวด
ℓ_{av} = ความยาวเฉลี่ยของลวดทองแดงที่พันบนแกนต่อหนึ่งรอบ

รูปที่2.8 แสดงตัวอย่างและขนาดมาตรฐานของบอบบิ้นสำหรับแกนเฟอร์ไรต์แบบ ETD

ลวดทองแดงอาบน้ำยา (Enamelled Copper Wire)

การพันขดลวดทั้งปฐมภูมิและทุติยภูมิของหม้อแปลงสวิตชิ่งที่มีกำลังไม่สูงมากนัก ปกติจะ ใช้ลวดทองแดงอาบน้ำยาพันบนแกนบอบบิ้นเพื่อให้ได้จำนวนรอบตามต้องการ ขนาดของขดลวด ทองแดงที่จะใช้พันนั้น ขึ้นอยู่กับค่ากระแสสูงสุดที่ผ่านขดลวด ความถี่ และผลข้างเคียงอื่น ๆ

เทปฉนวน (Insulation Tape)

เทปฉนวนใช้พันสำหรับเป็นตัวรองระหว่างชั้นของขดลวดในหม้อแปลงสวิตชิ่งและมีหน้า ที่สำคัญในการแยกส่วนทางไฟฟ้าระหว่างขดปฐมภูมิและขดทุติยภูมิ ด้วยวัสดุที่ใช้ทำเทปฉนวนอาจ เป็นพวกไมลาร์(Mylar)หรือโพลีเอสเตอร(Polyester)ที่มีความหนาอยู่ในช่วง 0.05 –0.1mm.

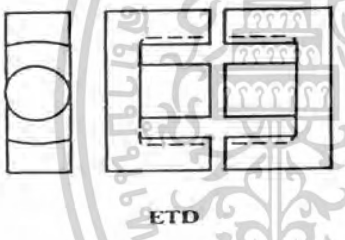
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกใช้จะขึ้นอยู่กับการออกแบบและค่าความปลอดภัยที่ต้องการจากหม้อแปลงสวิตชิ่งเป็นหลัก

2.6.2 แกนเฟอร์ไรต์และการเลือกใช้

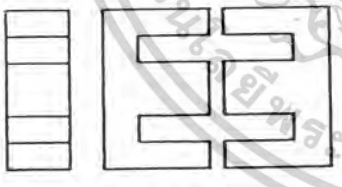
2.6.2.1 ลักษณะและขนาดมาตรฐานของแกนเฟอร์ไรต์

แกนเฟอร์ไรต์สำหรับหม้อแปลงสวิตชิ่งโดยทั่วไป จะถูกผลิตออกมาที่ขนาดและรูปทรงต่าง ๆ ตามมาตรฐานเดียวกัน เช่น แกนแบบ EI , EE , ETD หรือแกนแบบ POT เป็นต้น ปกติผู้ผลิตจะทำแกนเฟอร์ไรต์ออกมาในลักษณะของคู่ประกบ เพื่อความสะดวกในการประกอบเข้ากับบอบบิ้น การประกบแกนเฟอร์ไรต์บนบอบบิ้นจะทำให้ทางเดินของฟลักซ์แม่เหล็กที่เกิดขึ้นในแกนเฟอร์ไรต์มีลักษณะเป็นวงบรรจบได้ ตัวอย่างขนาดของแกนเฟอร์ไรต์แบบต่าง ๆ แสดงไว้ในรูปที่ 2.9



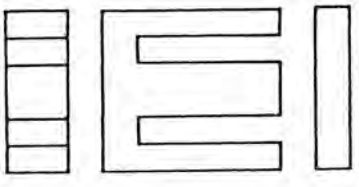
ETD

CORE TYPE	A_e (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
ETD 34	0.971	1.220	7.64	78.6
ETD 39	1.250	1.740	11.50	92.2
ETD 44	1.740	2.130	18.00	103.0
ETD 49	2.110	2.710	24.20	114.0



EE

CORE TYPE	A_e (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
EE 20/20/5	0.31	0.35	1.34	43.0
EE 30/30/7	0.59	0.78	4.00	66.9
EE 42/42/15	1.82	1.78	17.6	97.0
EE 42/42/20	2.36	1.78	23.1	97.4
EE 42/54/20	2.36	2.40	28.8	122.0
EE 42/66/20	2.36	3.40	34.5	143.0
EE 55/55/21	3.54	2.50	43.7	123.0
EE 55/55/25	4.20	2.50	52.0	123.0
EE 65/66/27	5.32	3.93	78.2	147.0



EI

CORE TYPE	A_e (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
EI 19	0.24	0.517	0.950	39.6
EI 22/19	0.41	0.44	1.630	39.3
EI 25/19	0.42	0.819	2.02	48.6
EI 28/20	0.85	0.725	4.11	48.4
EI 30/26	1.11	0.791	6.45	58.1
EI 35/29	1.21	1.36	8.18	67.6
EI 40/35	1.48	1.08	11.3	76.9
EI 50/42	2.30	1.7	21.8	94.8
EI 60/44	2.48	2.94	27.2	109.7

รูป 2.9 แสดงตัวอย่างขนาดของแกนเฟอร์ไรต์แบบ EE , EI และ ETD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

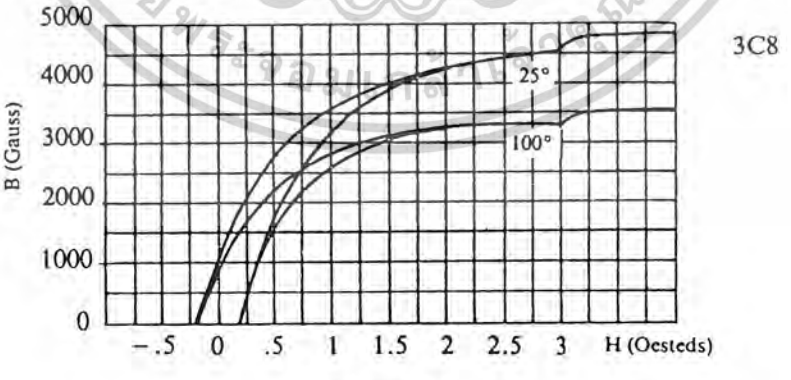
แกนแบบ POT นั้นจะใช้กับหม้อแปลงสวิตชิ่งที่ไม่ต้องการกำลังสูง (ไม่เกิน 125 วัตต์) และในงานที่ต้องการสัญญาณรบกวน RFI / EMI ต่ำ เนื่องจากลักษณะรูปทรงของมันสามารถป้องกันการแพร่กระจายของสัญญาณรบกวนได้ดี แต่แกนแบบ POT มีช่องสำหรับให้ขดลวดลอดออกมาภายนอกได้ค่อนข้างเล็ก จึงเป็นอุปสรรคในการพันลวดทองแดงขนาดใหญ่ เมื่อหม้อแปลงต้องการกำลังสูง ๆ แกนที่นิยมใช้กันมากสำหรับหม้อแปลงสวิตชิ่งที่ต้องการกำลังงานสูง จะเป็นแกนแบบ EE , EI และ ETD เนื่องจากสามารถพันขดลวดรอบแกนบนบอบบิ้นได้สะดวก แกนในกลุ่มนี้จะมีขนาดต่าง ๆ ให้เลือกใช้งานได้เป็นจำนวนมาก โดยสามารถให้กำลังงานได้ตั้งแต่ 5 – 10,000 วัตต์ อย่างไรก็ตามสัญญาณรบกวน RFI / EMI ที่เกิดขึ้นจะมีค่ามากกว่าแกนแบบ POT

2.6.2.2 ลักษณะสมบัติของเนื้อสารที่ใช้ทำแกนเฟอร์ไรต์

ชนิดของเนื้อสารแกนเฟอร์ไรต์ที่แตกต่างกัน จะให้คุณสมบัติทางแม่เหล็กของแกนเฟอร์ไรต์ที่แตกต่างกันด้วย ถึงแม้จะมีขนาดเท่ากันทุกประการก็ตาม ในแผ่นข้อมูลเนื้อสารที่ให้มากับแกเฟอร์ไรต์นั้น จะต้องมีรายละเอียดคุณสมบัติเนื้อสารแสดงไว้เสมอ ข้อมูลสำคัญที่ควรจะทำความเข้าใจและศึกษาไว้ก็คือ เส้นโค้งฮิสเทอร์รีซิส (Hysteresis Curve) และค่าสูญเสียในแกนเฟอร์ไรต์ (Core Loss)

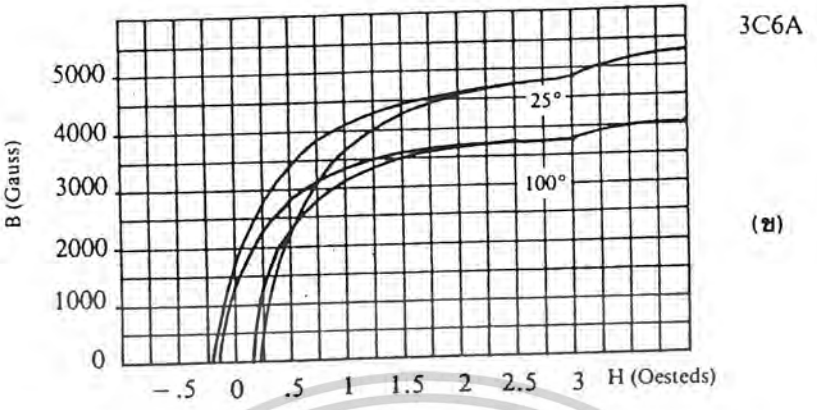
เส้นโค้งฮิสเทอร์รีซิส (Hysteresis Curve)

เส้นโค้งฮิสเทอร์รีซิส จะแสดงความสัมพันธ์ระหว่างค่าความหนาแน่นฟลักซ์แม่เหล็ก (B) ที่เกิดขึ้นในแกนเฟอร์ไรต์ กับความเข้มของสนามแม่เหล็ก (H) ที่เกิดจากการเหนี่ยวนำของขดลวดที่พันบนแกน ในรูปที่ 2.10 ก และ 2.10ข จะแสดงลักษณะของเส้นโค้งฮิสเทอร์รีซิสของเนื้อสารชนิด 3C8 และ 3C6A ตามลำดับ ซึ่งผลิตโดยผู้ผลิตคือ FERROXCUBE



รูปที่ 2.10 ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

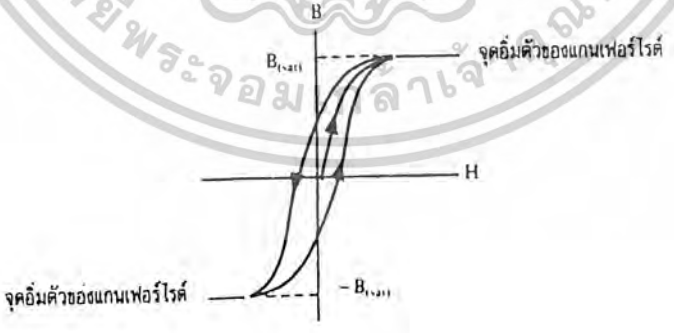


รูปที่ 2.10 ข.

รูปที่2.10 แสดงเส้นโค้งเส้นโค้งฮิสเทอร์รีซิสบนแกนเฟอร์ไรต์ที่เป็นเนื้อสารชนิด 3C8 ก. และ 3C6A ข.

จากรูปจะเห็นว่าค่าความหนาแน่นฟลักซ์จะมีค่าเพิ่มขึ้นเมื่อความเข้มของสนามแม่เหล็กมีค่าเพิ่มขึ้น จนถึงจุดหนึ่งซึ่งค่าความหนาแน่นฟลักซ์แม่เหล็กมีค่าเพิ่มขึ้นน้อยมาก แม้ว่าจะมีการเพิ่มขึ้นของความเข้มสนามแม่เหล็กอีกก็ตาม จุดดังกล่าวเรียกว่า แกนเริ่มมีการอิ่มตัวของฟลักซ์แม่เหล็ก (Saturation)

โดยปกติผู้ผลิตจะแสดงกราฟของเส้นโค้งฮิสเทอร์รีซิสเพียงครึ่งเดียว เนื่องจากอีกครึ่งหนึ่งของเส้นโค้งฮิสเทอร์รีซิสจะมีลักษณะเหมือนกันทุกประการแต่จะกลับทิศกันเท่านั้นดังแสดงใน รูปที่ 2.11



รูปที่ 2.11 แสดงลักษณะที่สมบูรณ์ของเส้นโค้งฮิสเทอร์รีซิส ซึ่งจะมีลักษณะสมมาตรของกราฟซีกบนและซีกล่าง ปกติผู้ผลิตจะให้กราฟซีกบนมาเท่านั้น

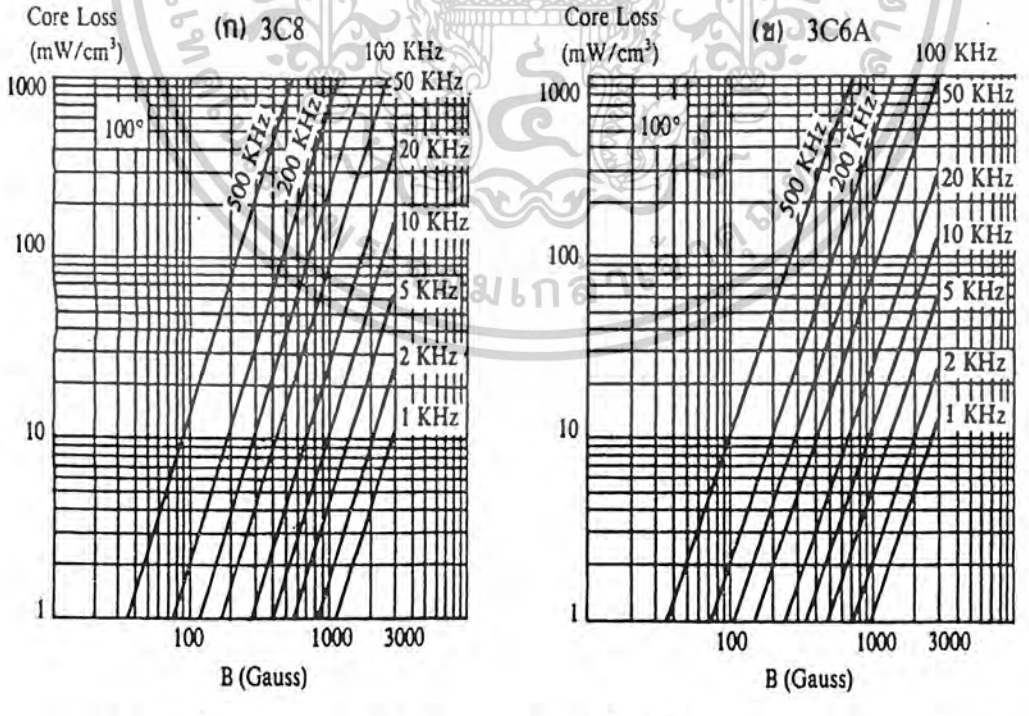
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานแกนเฟอร์ไรต์ในหม้อแปลงสวิตชิ่งจะต้องระวังไม่ทำให้แกนเฟอร์ไรต์เกิดการอิ่มตัวขึ้นได้ ดังนั้นโดยทั่วไปในการออกแบบหม้อแปลงสวิตชิ่ง จึงควรกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็กที่ยอมให้เกิดขึ้นได้ในแกนขณะทำงาน มีค่าไม่เกินครึ่งหนึ่งของค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดก่อนอิ่มตัวของแกนเฟอร์ไรต์ เพื่อความปลอดภัย

ค่าการสูญเสียในการเฟอร์ไรต์ (Core Loss)

การสูญเสียที่เกิดขึ้นในแกนเฟอร์ไรต์จะทำให้แกนเฟอร์ไรต์ร้อน ซึ่งมีสาเหตุหลัก 2 ประการ คือ การสูญเสียที่เกิดจากลักษณะฮิสเทอร์รีซิสของแกน (Hysteresis Loss) และการสูญเสียจากการเกิดกระแสไหลวนภายในแกนเฟอร์ไรต์ (Eddy Current Loss)

ที่ความถี่ต่ำกว่า 100 KHz. การสูญเสียจากการเกิดกระแสไหลวนในแกนจะมีค่าน้อย สำหรับแกนที่มีขนาดไม่ใหญ่มากนัก ดังนั้นการสูญเสียที่ก่อให้เกิดความร้อนในแกนอาจพิจารณาได้จากการสูญเสียทางฮิสเทอร์รีซิสเพียงอย่างเดียว ตัวอย่างกราฟแสดงค่าการสูญเสียที่เกิดขึ้นในแกนเฟอร์ไรต์แสดงไว้ในรูปที่ 2.12 ก. และ 2.12 ข. ปกติค่ากำลังสูญเสียจะถูกระบุไว้เป็นมิลลิวัตต์ต่อหนึ่งลูกบาศก์เซนติเมตร (mW/cm^3) และมีค่าขึ้นกับค่าความหนาแน่นฟลักซ์แม่เหล็ก ความถี่การใช้งานรวมถึงอุณหภูมิขณะใช้งานของแกนเฟอร์ไรต์



รูปที่ 2.12 แสดงค่าการสูญเสียในแกนเฟอร์ไรต์ของเนื้อสารชนิด 3C8 ก. และ 3C6A ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2.3 การกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดในแกนหม้อแปลง

ค่าความหนาแน่นฟลักซ์แม่เหล็กในแกนของหม้อแปลง จะขึ้นอยู่กับจำนวนรอบของขดลวดปฐมภูมิและขนาดของแกน จากกฎของฟาราเดย์จะได้ว่า

$$\Delta B = \frac{V \times t}{N_P \times A_e} \times 10^8 \qquad \text{....2.14}$$

เมื่อ ΔB คือ ค่าความหนาแน่นฟลักซ์แม่เหล็กที่เกิดขึ้นในแกน (เกาส์)

เมื่อ V คือ ค่าแรงดันที่ตกคร่อมขดปฐมภูมิ (โวล์ต)

เมื่อ N_p คือ จำนวนรอบของขดปฐมภูมิ (รอบ)

เมื่อ A_e คือ ขนาดพื้นที่หน้าตัดของแกน (ตารางเซนติเมตร)

เมื่อ t คือ ช่วงเวลาที่มีการเปลี่ยนแปลงฟลักซ์แม่เหล็กที่เกิดขึ้น (วินาที)

จะเห็นได้ว่า ยิ่งจำนวนรอบของขดลวดปฐมภูมิมีค่าน้อยลง ค่าความหนาแน่นฟลักซ์ที่เกิดขึ้นจะยิ่งมีค่ามาก ซึ่งการลดจำนวนรอบของขดปฐมภูมิลงจะทำให้สามารถใช้ลวดทองแดงขนาดใหญ่ขึ้นได้ และสามารถทนกระแสได้สูง ทำให้หม้อแปลงให้กำลังได้สูงขึ้น

อย่างไรก็ตาม หากค่าความหนาแน่นฟลักซ์แม่เหล็กมีค่าเพิ่มขึ้นจนถึงจุดอิ่มตัว จะทำให้แรงดันตกคร่อมขดลวดปฐมภูมิมีค่าลดลงอย่างรวดเร็ว แรงดันอินพุทจะไปตกคร่อมที่เพาเวอร์-ทรานซิสเตอร์ขณะที่กำลังนำกระแสสูง ๆ แทน ทำให้เพาเวอร์ทรานซิสเตอร์พังเสียหายได้ และความหนาแน่นฟลักซ์แม่เหล็กที่มีค่าสูงจะทำให้เกิดการสูญเสียภายในแกนสูงด้วย

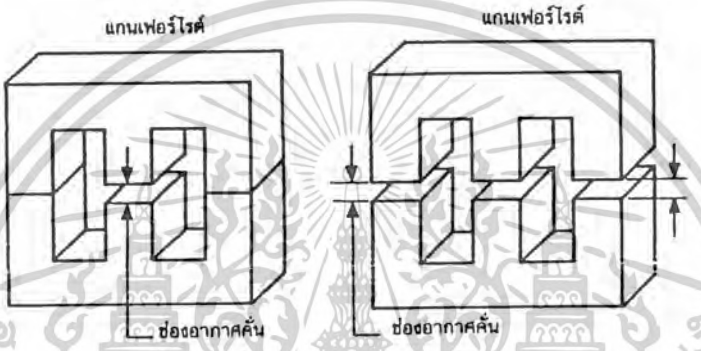
2.6.2.4 ช่องอากาศคั่นทางเดินแม่เหล็กในแกนเฟอร์ไรต์ (Air Gap)

การกำหนดช่องอากาศคั่นทางเดินแม่เหล็ก (Air Gap) ในแกนเฟอร์ไรต์ เป็นวิธีการอย่างหนึ่งที่ใช้ป้องกันการอิ่มตัวของแกนเฟอร์ไรต์ และช่วยให้การสะสมพลังงานของขดลวดในหม้อแปลงสวิตชิ่งมีค่ามากขึ้นได้ด้วย อย่างไรก็ตาม ช่องอากาศคั่นทางเดินแม่เหล็กในแกนเฟอร์ไรต์จะทำให้เกิดการแพร่กระจายสัญญาณรบกวน EMI ออกมา และอาจรบกวนอุปกรณ์ภายนอกได้เช่นกัน สำหรับแกนเฟอร์ไรต์แบบ EE , EI หรือแบบ POT สามารถกำหนดลักษณะของช่องอากาศคั่นในแกนได้ 2 ลักษณะ ดังรูปที่ 2.13 ก และ ข. คือการกำหนดช่องอากาศคั่นที่แกนกลางอย่างเดียวและการคั่นแกนด้วยช่องอากาศระหว่างคู่ประกบ

การคั่นแกนด้วยช่องอากาศระหว่างคู่ประกบ สามารถทำได้ง่ายกว่าการคั่นช่องอากาศที่แกนกลาง ซึ่งทำได้โดยการใช้แผ่นฉนวนที่มีความหนาเป็นครึ่งหนึ่งของระยะช่องอากาศคั่นที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการ นำมาคั่นระหว่างแกนนอกของคู่ประกบ ส่วนการกำหนดช่องอากาศคั่นที่แกนกลาง ต้องสั่งโดยตรงจากผู้ผลิตแกนเฟอร์ไรต์ หรือขัดแกนกลางออกเองเพื่อให้ได้ระยะช่องอากาศคั่นตามต้องการ



รูป 2.13 แสดงการกำหนดช่องอากาศคั่น Ag ที่แกนกลาง ก. และคั่นช่องอากาศ Ag ระหว่างคู่ประกบของแกนเฟอร์ไรต์ ข.

ข้อสังเกต การคั่นช่องอากาศระหว่างคู่ประกบ ความหนาของแผ่นฉนวนคั่นที่ใช้จะมีค่าเพียงครึ่งหนึ่งของระยะช่องอากาศคั่นที่ต้องการเท่านั้น เนื่องจากช่องอากาศที่เกิดขึ้นจะคั่นทางเดินฟลักซ์แม่เหล็กถึงสองครั้งในแกน ดังนั้น ระยะช่องอากาศคั่นที่ได้จึงเป็นผลรวมของระยะช่องอากาศที่เกิดขึ้นทั้งหมด

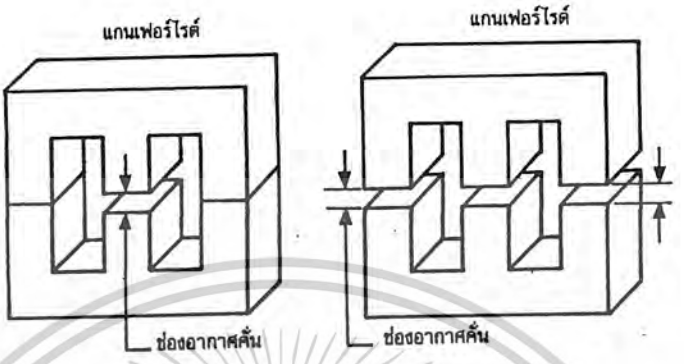
การกำหนดให้มีช่องอากาศคั่นแกนเฟอร์ไรต์นั้น มีความจำเป็นมากสำหรับหม้อแปลงฟลายแบคคอนเวอร์เตอร์และเอาท์พุทโช้คที่ใช้แกนเฟอร์ไรต์

2.6.2.5 ความสัมพันธ์ระหว่างขดปฐมภูมิและขดทุติยภูมิของหม้อแปลงสวิตชิ่ง

ความสัมพันธ์ระหว่างขดปฐมภูมิและขดทุติยภูมิของหม้อแปลงสวิตชิ่ง จะเป็นไปตามทฤษฎีหม้อแปลงทั่วไป ผลของจำนวนรอบและค่าของแรงดันที่เกิดขึ้นในวงจร จากรูปที่ 2.14 จะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_P}{V_S} = \frac{N_P}{N_S} = \frac{I_S}{I_P} \qquad \text{...2.15}$$



รูปที่ 2.14 แสดงความสัมพันธ์พื้นฐานของหม้อแปลง

และ $$\frac{N_P}{N_S} = \sqrt{\frac{L_P}{L_S}} \qquad \text{....2.16}$$

เมื่อ N_P คือ จำนวนรอบของขดปฐมภูมิ

N_S คือ จำนวนรอบของขดทุติยภูมิ

V_P คือ ค่าแรงดันตกคร่อมขดปฐมภูมิ

V_S คือ ค่าแรงดันตกคร่อมขดทุติยภูมิ

L_P คือ ค่าความเหนี่ยวนำของขดปฐมภูมิ

L_S คือ ค่าความเหนี่ยวนำของขดทุติยภูมิ

I_P คือ ค่ากระแสที่ไหลผ่านขดปฐมภูมิ

I_S คือ ค่ากระแสที่ไหลผ่านขดทุติยภูมิ

ข้อสังเกต แรงดัน V_P เป็นค่าแรงดันที่ตกคร่อมขดปฐมภูมิที่เกิดจากการเปลี่ยนแปลงของฟลักซ์แม่เหล็กภายในแกนของหม้อแปลงเนื่องจากมีกระแสไหลผ่านขดปฐมภูมิ ไม่ใช่ค่าแรงดันอินพุท V_I โดย V_P จะเป็นไปตามสมการ

$$V_P = N_P A_e \left(\frac{dB}{dt}\right) \times 10^{-8} \qquad \text{....2.17}$$

และค่า V_P ที่เกิดขึ้นจะมีค่าใกล้เคียงกับค่า V_I แต่ถ้าแกนเฟอร์ไรต์เกิดการอิ่มตัว อัตราการเปลี่ยนแปลงของฟลักซ์แม่เหล็กจะมีค่าน้อยมาก หรือมีค่าเป็นศูนย์ แรงดันตกคร่อม V_P จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าลดลงอย่างรวดเร็วเหมือนเกิดการลัดวงจร และจะมีผลต่อการทำงานของหม้อแปลงและวงจรที่เกี่ยวข้องด้วย

2.6.3 การพันขดลวดทองแดงและการกำหนดขนาดของขดลวด

ปกติการพันขดลวดในหม้อแปลงสวิตชิ่งจะใช้ลวดทองแดงอาบน้ำยา (Enameled Copper Wire) เป็นตัวพัน (ตารางที่ 4.1 จะแสดงขนาดและข้อมูลอื่น ๆ ของเส้นลวดทองแดงอาบน้ำยาตามมาตรฐาน AWG ที่มีการผลิตจำหน่าย) ในขณะที่หม้อแปลงทำงาน สำหรับหม้อแปลงสวิตชิ่ง กระแสสลับที่ไหลผ่านขดลวดนั้นมีความถี่สูง ที่ความถี่สูง ๆ ลวดทองแดงจะนำกระแสได้เพียงที่ผิว ซึ่งมีผลทำให้พื้นที่หน้าตัดในการนำกระแสของลวดทองแดงลดลง การสูญเสียในขดลวดจะมีมากขึ้น รวมทั้งการเรียงซ้อนกันของขดก็มีผลทำให้เกิดการสูญเสียขึ้นในขดลวดได้เช่นเดียวกัน กำลังงานที่สูญเสียเหล่านี้จะทำให้ขดลวดร้อน ซึ่งเป็นสิ่งที่ไม่ต้องการให้เกิดขึ้นขณะที่หม้อแปลงทำงาน การกำหนดขนาดและวิธีการพันขดลวดทองแดงจึงต้องทำอย่างเหมาะสม เพื่อลดการสูญเสียในขดลวดทองแดงให้มีค่าน้อยที่สุด

2.6.3.1 ผลจากการนำกระแสแค่เพียงที่ผิวของลวดทองแดง (Skin Effect)

ลวดทองแดงเมื่อมีกระแสสลับไหลผ่านจะเกิดสนามแม่เหล็กไหลวนในและรอบ ๆ ตัวมัน สนามแม่เหล็กที่เกิดขึ้นนี้จะเหนี่ยวนำให้เกิดกระแสไหลวน (Eddy Current) ขึ้นภายในตัวลวดทองแดงอีกทอดหนึ่ง การไหลของกระแสไหลวนนี้ จะทำให้กระแสปกติไหลได้เฉพาะที่ผิวของลวดทองแดง ดังแสดงในรูปที่ 2.15

ปริมาณของกระแสปกติจะยังคงมีค่าเท่าเดิม แต่ความหนาแน่นของกระแสในลวดทองแดงที่ใกล้ผิวจะมีค่าสูงเพราะกระแสส่วนใหญ่จะไหลได้เฉพาะที่ผิวเท่านั้น การไหลของกระแสไหลวนจะเป็นการจำกัดพื้นที่นำกระแสของลวดทองแดง และมีผลเหมือนพื้นที่หน้าตัดเดิมของมัน

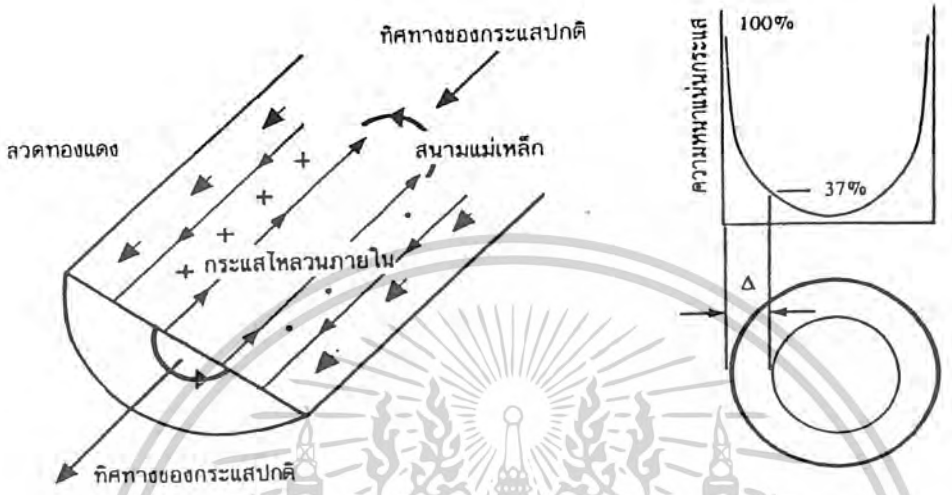
จากผิวของลวดทองแดงลึกลงมาในเนื้อทองแดง จนถึงจุดที่ค่าความหนาแน่นของกระแสมีลดค่าลงมาเหลือเพียง 37 % ของค่าความหนาแน่นกระแสที่ผิวนั้น เราจะเรียกระยะนี้ว่าเป็นความหนาผิวนำกระแสของลวดทองแดง (skin depth) ดังแสดงในรูปที่ 2.15 ความหนาของผิวนำกระแสนี้มีค่าขึ้นกับความถี่ และสำหรับลวดทองแดงที่ 100 $^{\circ}$C ความหนาของผิวนำกระแสจะมีค่าเป็นไปตามสมการ

$$\Delta = \sqrt{\frac{5.62}{f}} \qquad \text{....2.18}$$

เมื่อ Δ คือ ความหนาผิวนำกระแส (มิลลิเมตร)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f คือ ความถี่ของการนำกระแส (กิโลเฮิรตซ์)



รูปที่ 2.15แสดงลักษณะการเกิดกระแสไหลวนภายในลวดทองแดงเมื่อมีกระแสไหลผ่าน ทำให้กระแสปกติไหลได้เฉพาะที่ผิวของขดลวด

2.6.3.2 เทคนิคการพันขดลวดทองแดงสำหรับหม้อแปลงสวิตชิ่ง (Winding Topology)

ก่อนศึกษาการทำรูปแบบการพันของลวดทองแดง เราควรที่จะเข้าใจความหมายของคำว่า พอร์ชั่นเสียก่อน พอร์ชั่น (Portion) ในการพันขดลวดทองแดงจะมีความหมายดังนี้คือ หนึ่งพอร์ชั่นกำหนดจากชั้นของขดลวดทองแดงชุดหนึ่ง ๆ ที่มีค่าความหนาแน่นฟลักซ์รั่วน้อยที่สุดไปจนถึงชั้นที่มีค่าความหนาแน่นฟลักซ์รั่วสูงสุด และจำนวนชั้นในหนึ่งพอร์ชั่น (layer) จะหมายถึง จำนวนชั้นของลวดทองแดงที่เรียงซ้อนกันอยู่ภายในพอร์ชั่นนั้น ๆ

ถ้าแยกขดปฐมภูมิออกเป็นสองส่วน จะทำให้ความหนาแน่นสูงสุดของฟลักซ์รั่วและจำนวนชั้นต่อหนึ่งพอร์ชั่นลดลงครึ่งหนึ่งด้วย (เนื่องจากความหนาแน่นของฟลักซ์รั่วจะขึ้นกับจำนวนชั้นของขดลวด) ไม่ว่าจะเป็นที่ขดปฐมภูมิหรือขดทุติยภูมิก็ตาม แสดงให้เห็นว่าการลดลงของจำนวนชั้นต่อหนึ่งพอร์ชั่นจะทำให้ค่าอัตราส่วน F_R ของลวดทองแดงลดลง ดังนั้นหากมีการจัดรูปแบบในการพันขดลวดที่เหมาะสม จะทำให้ลดการสูญเสียที่เกิดขึ้นในลวดทองแดงได้

การจัดขดลวดแบบธรรมดา (simple winding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดขดลวดในหม้อแปลงแบบธรรมดา คือ การพันขดลวดทองแดงให้ครบจำนวนรอบที่ต้องการทับซ้อนกันไปทีละชุดเรื่อย ๆ ตัวอย่างเช่น ถ้าขดปฐมภูมิมีจำนวนรอบเท่ากับ 50 รอบ และขดทุติยภูมิมีจำนวนรอบเท่ากับ 10 รอบ การจัดขดลวดแบบธรรมดาทำได้โดยพันขดลวดทองแดงรอบแกนให้ครบจำนวน 50 รอบเพื่อให้เป็นขดปฐมภูมิ จากนั้นจึงพันขดทุติยภูมิทับไปบนขดปฐมภูมิให้ได้ครบจำนวน 10 รอบ การจัดขดลวดแบบธรรมดา นั่นเอง

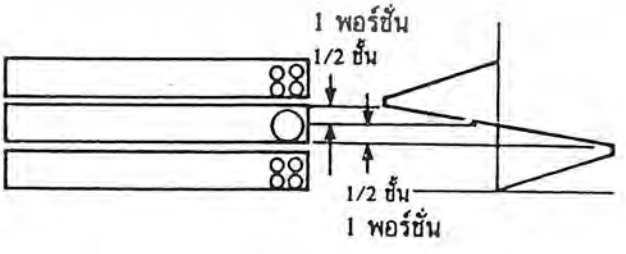
การจัดขดลวดแบบครึ่งพัน (split winding)

การจัดขดลวดในหม้อแปลงแบบครึ่งพัน คือ การพันขดลวดทองแดงให้ได้ครบจำนวนรอบที่ต้องการ โดยแบ่งขดลวดออกเป็น 2 ส่วน และนำขดลวดชุดอื่นมาแทรกคั่นระหว่างกลาง การจัดขดลวดแบบนี้จะเป็นการจัดขดปฐมภูมิ

การแบ่งส่วนพันจะเป็นการลดค่าความหนาแน่นของฟลักซ์รั่วและจำนวนชั้นในแต่ละพอร์ชั่นลงได้ หลักสำคัญของการจัดขดลวดแบบแบ่งครึ่งพันคือ จำนวนรอบของขดลวดที่ต้องการแบ่งพันจะต้องเป็นจำนวนคู่ และจำนวนชั้นทั้งหมดก่อนแบ่งพันจะต้องเป็นจำนวนคู่ด้วยเพื่อความสมมาตรหลังจากแบ่งพันแล้ว

การจัดขดลวดพันแบบแทรกกลาง (sandwiched winding)

การจัดขดลวดพันในหม้อแปลงแบบแทรกกลาง คือ การพันขดลวดทองแดงให้ได้ครบจำนวนรอบที่ต้องการ โดยพันแทรกเข้าไประหว่างกลางของขดลวดที่พันแบบแบ่งครึ่งพัน การจัดขดลวดพันแบบแทรกกลางนี้ ถึงแม้จะมีขดลวดทองแดงเพียงแค่ชั้นเดียวก็อาจเกิดพอร์ชั่นได้ถึง 2 พอร์ชั่นดังรูปที่ 2.16 โดยจำนวนชั้นต่อหนึ่งพอร์ชั่นจะมีค่าเท่ากับ " ครึ่งชั้น " ซึ่งอาจกล่าวได้ว่าเป็นชั้นที่มีความสูงเป็นครึ่งหนึ่งของชั้นปกตินั่นเอง ในทำนองเดียวกัน หนึ่งพอร์ชั่นที่ได้จากการพันแทรกกลางนี้ อาจมีจำนวนรอบเป็นจำนวนครึ่งรอบได้ ถ้าในครึ่งชั้นของหนึ่งพอร์ชั่นนั้นมีจำนวนเป็นเลขคี่



รูปที่ 2.16 แสดงลักษณะของพอร์ชั่นที่มีจำนวนชั้นเท่ากับครึ่งชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3.3 การเลือกขนาดแกนเฟอร์ไรต์ที่เหมาะสม

การใช้แกนเฟอร์ไรต์ที่มีขนาดใหญ่เกินไปสำหรับหม้อแปลงสวิตชิ่ง จะเป็นการสิ้นเปลืองค่า
ใช้จ่ายโดยไม่จำเป็น ส่วนการใช้แกนเฟอร์ไรต์ที่มีขนาดเล็กเกินไป ขดลวดและแกนเฟอร์ไรต์จะร้อน
กำลังงานสูงสุดที่เหมาะสมสำหรับแกนเฟอร์ไรต์ขนาดต่าง ๆ พิจารณาได้จากหน้าตัดของแกน (A_e) และขนาดช่องสำหรับพันขดลวดของบอบบิ้น (A_w) โดยอาจคำนวณได้จากสมการสำหรับแกนที่ใช้กับหม้อแปลงของพุช – พูลคอนเวอร์เตอร์

$$P = \frac{\left(\Delta B_{MAX} \times f \times A_e \times A_W\right)}{D} \times 10^{-3} \qquad \text{....2.19}$$

โดยที่ ΔB_{MAX} คือ ค่าความหนาแน่นฟลักซ์สูงสุดในแกนเฟอร์ไรต์ (เกาส์)
f คือ ค่าความถี่การทำงานของแกนเฟอร์ไรต์ (เฮิรตซ์)
A_e คือ พื้นที่หน้าตัดของแกนเฟอร์ไรต์ (ตารางเซนติเมตร)
A_w คือ พื้นที่ช่องสำหรับพันขดลวดของบอบบิ้น (ตารางเซนติเมตร)
D คือ ค่าความหนาแน่นกระแสในขดปฐมภูมิ (เซอร์คูล่าร์มิลต่อแอมแปร์)
P คือ กำลังงานสูงสุดที่ได้จากแกนเฟอร์ไรต์ (วัต

2.7 วงจรสนับเบอร์

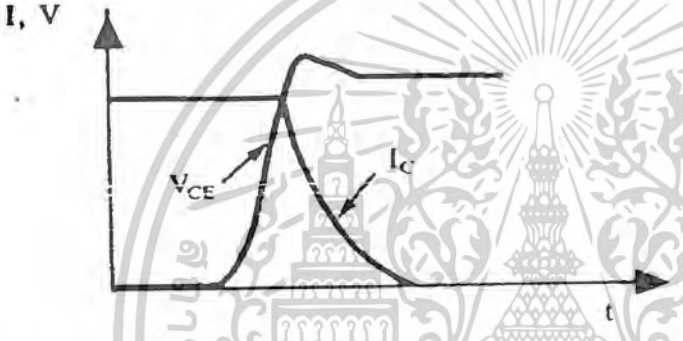
วงจรสนับเบอร์ (Snubber Network) เป็นส่วนหนึ่งของวงจรคอนเวอร์เตอร์ เพื่อลดการเกิดกำลังสูญสียและป้องกันการเสียหายที่อาจเกิดขึ้นกับเพาเวอร์ทรานซิสเตอร์ในวงจรขณะทำงานปกติ วงจรสนับเบอร์ในที่นี้อาจแบ่งได้เป็น 2 ลักษณะคือ วงจรสนับเบอร์ช่วงหยุดนำกระแส(turn off snubber) และวงจรสนับเบอร์ป้องกันแรงดันเกิน (clamp snubber) วงจรสนับเบอร์โดยทั่วไปประกอบด้วย ตัวต้านทาน ตัวเก็บประจุและไดโอด ในบางครั้งเรียกว่าRCDสนับเบอร์

2.7.1 วงจรสนับเบอร์ช่วงหยุดนำกระแส

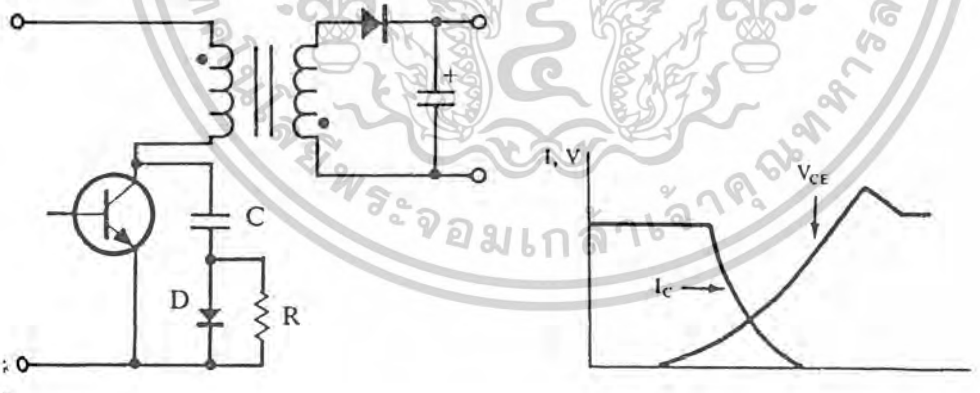
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังสูญเสียที่เกิดขึ้นในเพาเวอร์ทรานซิสเตอร์จะเป็นไปได้สูงขณะเปลี่ยนสถานการณ์ทำงาน โดยเฉพาะอย่างยิ่งขณะเริ่มหยุดนำกระแส ก่อนที่เพาเวอร์ทรานซิสเตอร์จะหยุดนำกระแสนั้น กระแสจะลดลงอย่างช้า ๆ ในขณะที่แรงดันเพิ่มขึ้นสู่ค่าแรงดันอินพุทอย่างรวดเร็ว (ดูรูปที่ 6.1 ประกอบ) กำลังสูญเสียในรูปความร้อนในช่วงนี้จึงเกิดขึ้นสูง

เพื่อลดการเกิดกำลังสูญสียในช่วงนี้อาจทำได้โดยการต่อวงจรสนับเบอร์เข้ากับเพาเวอร์ทรานซิสเตอร์ เพื่อควบคุมแรงดันตกค่อมที่คอลเลคเตอร์และอีมิตเตอร์ให้เพิ่มขึ้นอย่างช้า ๆ จนกระทั่งกระแสที่ผ่านตัวเพาเวอร์ทรานซิสเตอร์ลดลงได้ทันกัน ซึ่งจะทำให้กำลังสูญเสียที่เกิดขึ้นมีค่าต่ำลักษณะของการต่อวงจรสนับเบอร์อาจทำได้ดังรูปที่ 2.17



รูปที่ 2.17 แสดงลักษณะการลดลงของกระแสและการเพิ่มขึ้นของแรงดันตกค่อมเพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแส



รูปที่2.18 แสดงการต่อวงจรสนับเบอร์ช่วยหยุดนำกระแสเพื่อหน่วงแรงดันตกค่อม เพาเวอร์ทรานซิสเตอร์ให้เพิ่มขึ้นอย่างช้า ๆ

การทำงานของวงจรRCD สนับเบอร์ช่วงเริ่มหยุดนำกระแส เมื่อเพาเวอร์ทรานซิสเตอร์Q_1 เริ่มหยุดนำกระแส แรงดันที่ขาคอลเลคเตอร์จะมีค่าเพิ่มขึ้นทำให้มีกระแสบางส่วนไหลผ่าตัวเก็บประจุ C_1 และไดโอด D_1ของวงจรสนับเบอร์ทำให้เกิดแรงดันตกค่อม C_1 ด้วย แรงดันที่ตกค่อม C_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำให้แรงดันที่คอลเลคเตอร์ของเพาเวอร์ทรานซิสเตอร์เพิ่มขึ้นอย่างช้า ๆ ดังนั้นถ้าให้ C_1 มีค่ามากพอ การเพิ่มขึ้นของแรงดันที่ขาคอลเลคเตอร์จะถูกหน่วงออกไปเพื่อให้กระแสที่ไหลผ่านเพาเวอร์ทรานซิสเตอร์ลดลงจนมีค่าน้อย ๆ ได้ทันกัน และจะลดการเกิดกำลังงานสูญเสียในตัวเพาเวอร์ทรานซิสเตอร์ได้

ขณะที่เพาเวอร์ทรานซิสเตอร์เริ่มนำกระแสอีกครั้ง C_1 จะคายประจุผ่านตัวต้านทาน ทิ้งไปแรงดันตกค่อม จึงลดต่ำลงได้อีกครั้งและสามารถทำงานได้ในช่วงต่อไป ค่าของและ ที่เหมาะสมหาได้จาก

$$C_1 = \frac{I_{p(PK)} \times t_{OFF}}{2V_{in}} \quad \text{....2.25}$$

$$R1 = \frac{t_{ON(min)}}{2.3C_1} \quad \text{....2.26}$$

เมื่อ I_{PK} คือ ค่ากระแสสูงสุดขณะเริ่มหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร์

V_{in} คือ ค่าแรงดันอินพุทของคอนเวอร์เตอร์

t_{on} คือ ช่วงเวลานำกระแสของเพาเวอร์ทรานซิสเตอร์

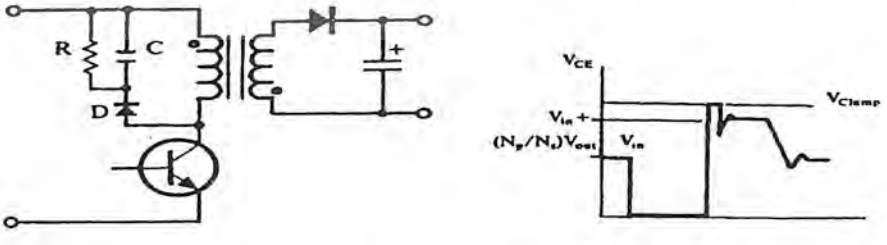
t_{off} คือ ช่วงเวลาหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร์

การคายประจุของ C_1 จะทำให้เกิดกำลังสูญเสียในตัวR_1 สูงตัว จึงต้องทนกำลังได้สูง โดยค่ากำลังสูญเสียใน หาได้จาก

$$P_D = \frac{C_1(2V_{in})^2}{2T} \quad \text{(วัตต์)} \quad \text{...2.27}$$

เมื่อ T คือ ค่าคาบเวลาการทำงานของเพาเวอร์ทรานซิสเตอร์

2.7.2วงจรRCDสนับเบอร์เพื่อป้องกันแรงดัน



รูปที่ 2.19แสดงลักษณะต่อสนับเบอร์ป้องกันแรงดันเกินเพื่อจำกัดค่ากระแสสูงสุดที่จะตกค่อมเพาเวอร์ทรานซิสเตอร์ขณะเริ่มหยุดนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรRCDสนับเบอร์ป้องกันแรงดันเกิน ในขณะที่เพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแส ตัวเก็บประจุ C จะถูกชาร์จ์ประจุผ่านไดโอด D จากค่าแรงดันสไปค์ ค่าของ จะทำให้แรงดันตกค่อม C มีค่าต่ำกว่าแรงดันสไปค์ และมีค่าคงที่ตลอดช่วงของการเกิดแรงดันสไปค์ ค่าแรงดันสูงสุดที่คอลเลคเตอร์ขณะเกิดแรงดันสไปค์ จึงถูกกันไว้ด้วยแรงดันที่ตกค่อมตัวเก็บประจุ Cและเนื่องจากแรงดันสไปค์จะเกิดขึ้นในช่วงเวลาสั้น ๆ ดังนั้นขณะที่แรงดันสไปค์มีค่าลดลง C_i จะคายประจุออกมาผ่านตัวต้านทาน R แรงดันตกค่อมที่คอลเลคเตอร์จะกลับสู่ค่าแรงดันตามปกติการทำงาน อาจกล่าวได้ว่า วงจรสนับเบอร์ป้องกันแรงดันทำงานโดยการถ่ายเทพลังงานที่สะสมในตัวเหนี่ยวนำแฝงอันเป็นตัวทำให้เกิดแรงดันสไปค์ไปไว้ที่ตัวเก็บประจุ C_iแทนนั่นคือ

$$\frac{1}{2}C_i V^2_C = \frac{1}{2}L_i I^2_{p(PK)} \qquad \text{...2.28}$$

เนื่องจาก V_C จะมีค่าได้ไม่เกิน $V_{CRO} - V_{Clamp}$ ดังนั้น

$$C = \frac{L_i I^2_{p(PK)}}{(V_{CEO} - V_{Clamp})^2} \qquad \text{....2.29}$$

เมื่อ L_i คือ ค่าคว่มเหนี่ยวนำแฝงที่เกิดจากฟลักซ์ของขดไพรมารี่ (leakage inductance)

$I_{p(PK)}$ คือ ค่ากระแสสูงสุดขณะเริ่มหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร์

V_{CEO} คือ อัตราทนแรงดันตกค่อมสูงสุดของเพาเวอร์ทรานซิสเตอร์

V_{Clamp} คือ ค่าแรงดันสูงสุดที่ยอมให้เกิดได้เมื่อเพาเวอร์ทรานซิสเตอร์เริ่มหยุดนำกระแส

ค่าของ R อาจหาได้จาก

$$R_i = \frac{t_{OFF(\min)}}{2.3C_i} \qquad \text{....2.30}$$

กำลังงานสูญเสียใน R_i จะมีค่าเท่ากับ

$$P_D = \frac{1}{2}\frac{L_i I^2_{p(PK)}}{T} \text{ วัตต์} \qquad \text{....2.31}$$

เมื่อ T คือ คาบเวลาการทำงานของเพาเวอร์ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T_{OFF} คือ ช่วงเวลาหยุดนำกระแสของเพาเวอร์ทรานซิสเตอร

2.8ไดโอดในสวิตชิ่งเพาเวอร์ซัพพลาย

2.81 กำลังงานสูญเสียในรูปความร้อนของไดโอด

ไดโอดเป็นอุปกรณ์อีกตัวหนึ่งของสวิตชิ่งเพาเวอร์ซัพพลายที่เกิดกำลังสูญเสียในรูปความร้อนขณะมันทำงานได้เนื่องจากต้องทำงานที่ความถี่สูง กำลังสูญเสียในไดโอดจะเกิดขึ้นได้ 2 ลักษณะเช่นเดียวกับเพาเวอร์มอสเฟตคือ กำลังสูญเสียขณะนำกระแสและกำลังงานสูญเสียขณะเปลี่ยนสถานะ การใช้งานไดโอดที่ความถี่ต่ำ ๆ กำลังงานสูญเสียส่วนใหญ่จะเกิดจากกำลังงานสูญเสียขณะนำกระแส แต่ที่ความถี่สูงกำลังงานสูญเสียขณะเปลี่ยนสถานะของไดโอดจะมีค่าสูงขึ้นด้วย และมีผลต่อค่ากำลังงานสูญเสียทั้งหมดที่เกิดขึ้นในไดโอด ดังนั้นจึงจำเป็นต้องเลือกใช้ไดโอดให้ถูกต้องเพื่อลดการเกิดกำลังสูญเสียทั้ง 2 ลักษณะ

ขณะที่ไดโอดนำกระแสจะมีแรงดันตกคร่อมที่รอยต่อขึ้น ทำให้เกิดแรงดันตกคร่อมไดโอดขณะนำกระแสซึ่งจะมีค่าขึ้นกับค่ากระแสที่ไหลผ่านตัวมันดังรูปที่ 2.20

$$P_D = V_F I_F \quad \ldots 2.32$$

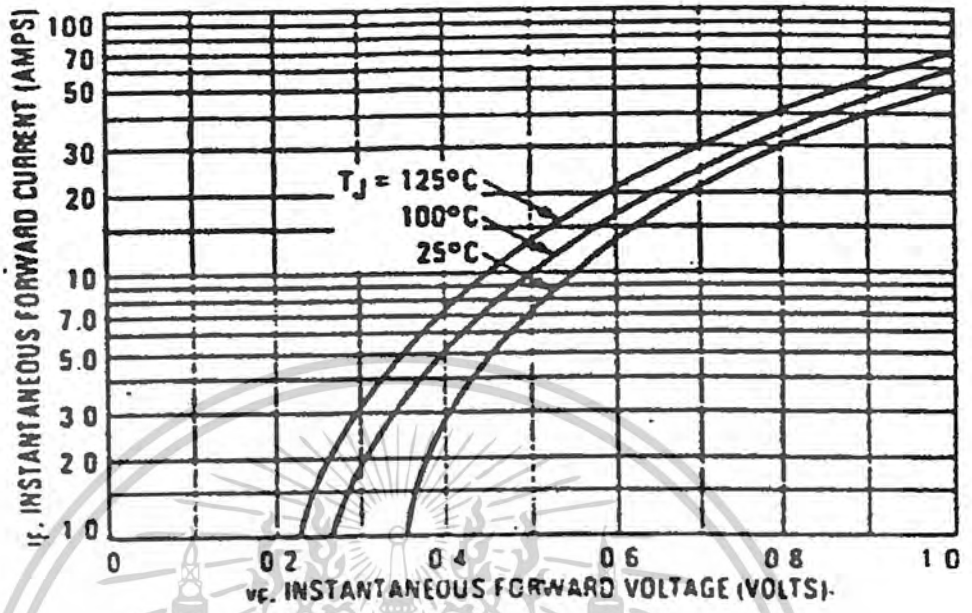
เมื่อ P_D คือ ค่ากำลังสูญเสียในรูปความร้อนของไดโอดขณะนำกระแส

V_F คือ ค่าแรงดันตกคร่อมตัวไดโอดขณะนำกระแส

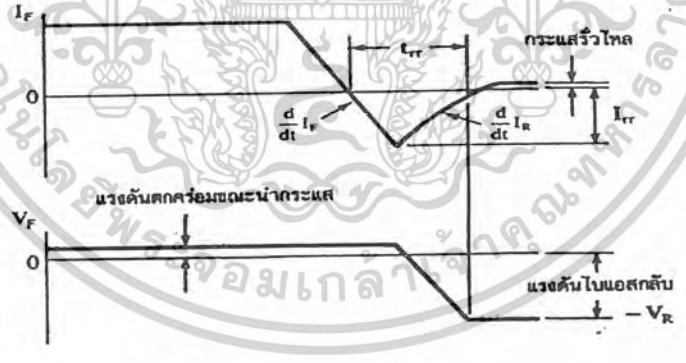
I_F คือ ค่ากระแสที่ไหลผ่านไดโอด

ไดโอดจะเกิดกำลังสูญเสียได้มากที่สุดขณะเปลี่ยนสถานะเมื่อเริ่มหยุดนำกระแส ซึ่งมีผลมาจากการเกิดประจุสะสมขึ้นในตัวไดโอดขณะนำกระแส โดยก่อนที่ไดโอดจะตอบสนองต่อแรงดันไบแอสกลับและกันไม่ให้เกิดกระแสไหลย้อนทางได้ ไดโอดจะต้องลดประจุสะสมนี้ไปเสียก่อน ประจุสะสมจะมีผลทำให้เกิดกระแสไหลย้อนกลับผ่านตัวไดโอดได้ในขณะที่มีแรงดันไบแอสกลับตกคร่อมตัวมันอยู่ และไดโอดต้องใช้เวลาส่วนหนึ่งเพื่อลดประจุสะสมออกไปจึงจะสามารถหยุดกระแสไบแอสกลับได้ เวลาที่ใช้ในการลดประจุนี้เรียกว่า ช่วงเวลาคืนตัว(reverse recovery time) หรือ t_{rr} ลักษณะตอบสนองต่อแรงดันและกระแสของไดโอดเป็นดังรูปที่ 2.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงตัวอย่างค่าแรงดันตกคร่อมไดโอดขณะนำกระแส กำลังงานสูญเสียในไดโอดในช่วงนี้จะมีค่า $P_D = V_F I_F$



รูปที่ 2.21 แสดงลักษณะของกระแสและแรงดันตกคร่อมขณะไดโอดเริ่มหยุดนำกระแส

ช่วงเวลาคืนตัว t_{rr} จะขึ้นกับค่าประจุสะสมซึ่งเป็นผลโดยตรงจากการที่มีกระแสไหลผ่านไดโอดขณะถูกไบแอสตรง รวมทั้งการใช้งานไดโอดในลักษณะต่าง ๆกันจะให้ค่า t_{rr} ที่แตกต่างกันออกไปด้วยจะเห็นได้ว่าในช่วงเวลา t_{rr} นี้ ไดโอดจะมีกระแสไหลขณะที่มีแรงดันตกคร่อมสูง และจะเกิดกำลังงานสูญเสียขึ้นสูงเมื่อใช้ไดโอดที่ความถี่สูงขึ้น

ลักษณะสำคัญอีกอย่างหนึ่งคือความนุ่มนวลในการคืนตัว (softness recovery)ที่ความถี่สูงๆ ลักษณะการคืนตัวของไดโอดจะมีผลต่อการเกิดสัญญาณรบกวนRFI ของสวิตชิงเพาเวอร์ซัพพลาย ค่าความนุ่มนวลการคืนตัวจะกำหนดโดยค่าความชันที่ขอบขาขึ้นของกระแสในช่วงเวลาคืนตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอดที่มีความชัน น้อย ๆ จะมีลักษณะการคืนตัวอย่างนุ่มนวลและให้ค่าสัญญาณรบกวนRFI เกิดขึ้นต่ำ ๆ แต่จะมีช่วงเวลาคืนตัวRFI มากและเกิดกำลังงานสูญเสียได้มากด้วย

2.8.2 ชนิดและการเลือกใช้ไดโอด

เนื่องจากคอนเวอร์เตอร์จะมีค่าความถี่การทำงานของวงจรตั้งแต่ 20 กิโลเฮิรต์ขึ้นไป ไดโอดที่ใช้ในคอนเวอร์เตอร์จึงจำเป็นต้องมีลักษณะสำคัญดังนี้คือ

1.มีแรงดันตกค่อมขณะนำกระแสต่ำ

2.มีช่วงเวลาคืนตัวสั้น

3.สามารถทนกำลังได้สูง

ซิลิคอนไดโอดที่ใช้ในวงจรเรคติไฟเออร์ทั่ว ๆ ไปจะไม่สามารถนำมาใช้กับคอนเวอร์เตอร์ได้เนื่องจากมีค่าช่วงเวลาคืนตัวมาก กำลังงานสูญเสียในรูปความร้อนจะเกิดขึ้นสูงและมีประสิทธิภาพต่ำปกติไดโอดที่ใช้ในวงจรคอนเวอร์เตอร์ควรเลือกใช้จากไดโอด 3 ชนิดดังนี้

-1.Fast Recovery Diode

-2.Ultra Fast Recovery Diode

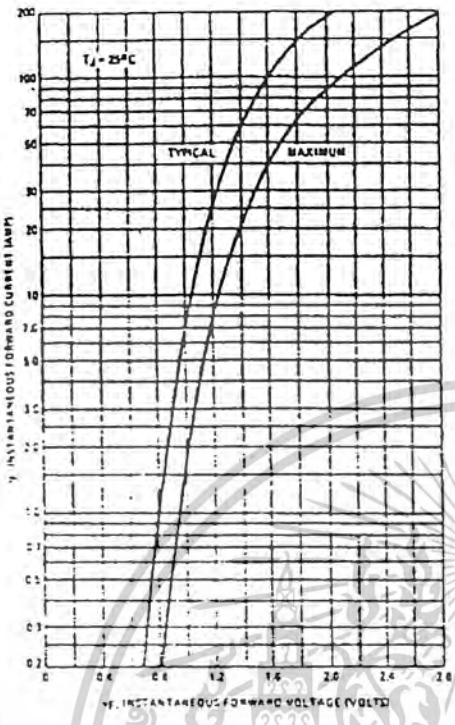
-3.Schottky Diode

Fast Recovery Diode and Ultra Fast Recovery Diode

Fast recovery diode มีช่วงเวลาคืนตัว t_{rr} ประมาณ 200 ถึง 750 นาโนวินาที่ซึ่งสั้นกว่าซิลิคอนไดโอดมากและมีอัตราทนแรงดันไบแอสกลับได้สูงถึง 1,000 โวลต์ ส่วน Ultra fast recovery diode มีช่วงเวลาคืนตัว t_{rr} ประมาณ 25 ถึง 100 นาโนวินาที่ซึ่งสั้นกว่าซิลิคอนไดโอดมากและมีอัตราทนแรงดันไบแอสกลับได้สูงถึง 1,000 โวลต์ แรงดันตกค่อมขณะนำกระแสของไดโอดทั้งสองชนิดมีค่าในช่วงเดียวกันคือ ประมาณ 0.6 ถึง 1.5 โวลต์

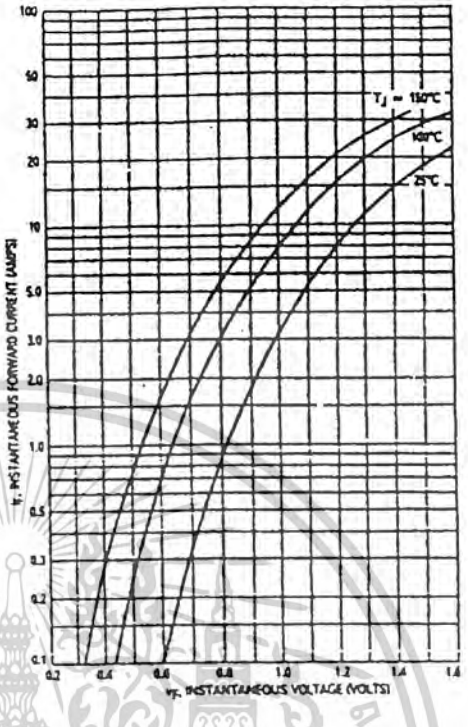
เนื่องจากแรงดันตกค่อมขณะนำกระแสของ Fast Recovery Diode and Ultra Fast Recovery Diode มีค่าค่อนข้างสูง ไดโอดทั้งสองชนิดนี้จึงเหมาะกับคอนเวอร์เตอร์ที่มีค่าแรงดันตั้งแต่ 12 โวลต์ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 (ก) แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของ Fast Recovery Diode

(ที่มา Motorola)



รูปที่ 2.22(ข) แสดงตัวอย่างค่าแรงดันตกคร่อมขณะนำกระแสของ Ultra Fast Recovery Diode

(ที่มา Motorola)

schottky Diode

ชอตต์กี้ไดโอดมีค่าแรงดันตกคร่อมขณะนำกระแสค่อนข้างต่ำที่ประมาณ 0.5 โวลต์จึงเหมาะสมกับคอนเวอร์เตอร์ที่มีค่าแรงดันเอาท์พุทต่ำ ๆ และกระแสสูงชอตกีไดโอดจะไม่เกิดประจุสะสมขึ้นภานในตัวมันขณะนำกระแสช่วงเวลาคืนตัว t_{rr} ของชอตต์ไดโอดจึงมีค่าสั้นมากโดยมีค่าน้อยกว่า 10 นาโนวินาทีอย่างไรก็ตามชอตต์มีข้อเสียอยู่ 2 ประการคือ อัตาทนแรงดันขณะไบแอสกลับได้สูงสุดแค่ 100 โวลต์เท่านั้น และชอตต์ไดโอดมีกระแสรั่วไหลสูงทำให้กำลังงานสูญเสียขณะถูกไบแอสกลับค่อนข้างสูงอีกทั้งยังให้เกิดทรานเซียนต์ขณะเริ่มหยุดนำกระแสสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

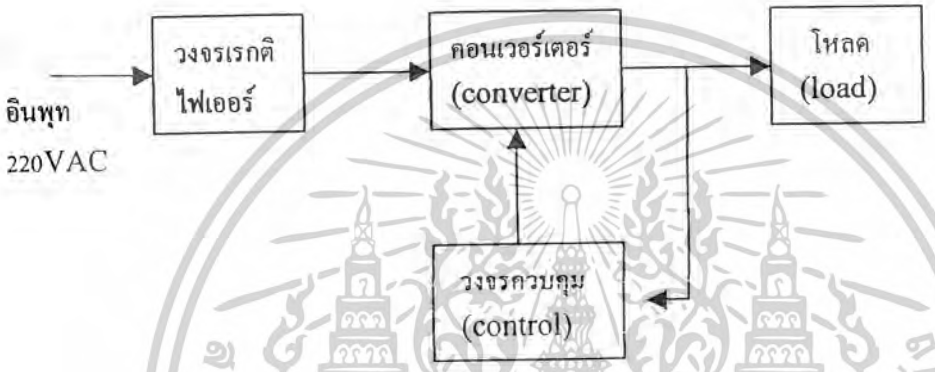
2.9 RFI อินพุตฟิลเตอร์

การทำงานของสวิตชิ่งค์เพาเวอร์ซัพพลายเป็นการทำงานในลักษณะการเปลี่ยนแปลงของกระแสอย่างฉับพลันที่ค่ากระแสสูง ๆ สวิตชิ่งค์เพาเวอร์ซัพพลายจึงเป็นแหล่งสัญญาณรบกวน RFI ได้เป็นอย่างดี ดังนั้นสวิตชิ่งค์เพาเวอร์ซัพพลายจำเป็นต้องมีวงจรฟิลเตอร์เพื่อลดสัญญาณรบกวนที่จะออกไปภายนอกให้อยู่ในระดับที่ยอมรับได้ วิธีการลดสัญญาณรบกวน RFI ที่จะออกไปภายนอกที่ใช้กันโดยทั่วไปสำหรับสวิตชิ่งค์เพาเวอร์ซัพพลายคือการต่อ LC ฟิลเตอร์คั่นที่อินพุตกับระดับแรงดันไฟสลับ เพื่อลดสัญญาณ RFI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการในการออกแบบวงจร

ในโครงงานนี้การออกแบบวงจรสวิตชิ่งเพาเวอร์ซัพพลาย แบบฟลายแบคคอนเวอร์เตอร์ จะมีบล็อกไดอะแกรมดังต่อไปนี้

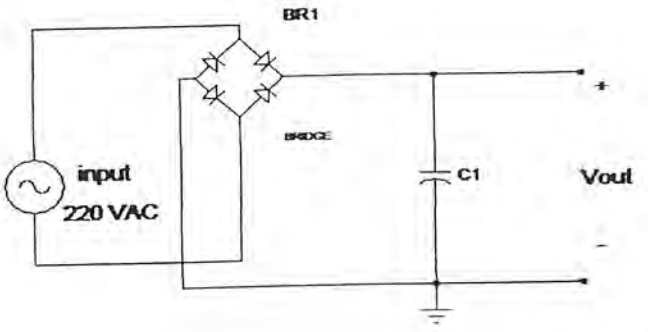


รูปที่ 3.1 บล็อกไดอะแกรมของสวิตชิ่งเพาเวอร์ซัพพลายแบบฟลายแบค

วงจรเรกติไฟเออร์

ในส่วนของวงจรนี้จะใช้ไดโอดเรกติไฟล์ ในการเรียงกระแสสลับให้เป็นกระแสตรง โดยจะเลือกไดโอดที่สามารถทนกะแสได้มากกว่า 2.5 A เนื่องจากกระแสอินพุทสูงสุดของสวิตชิ่งเพาเวอร์ซัพพลายในโครงงานนี้มีค่าเท่ากับ 2.5 A และใช้ตัวเก็บประจุในการลดแรงดันกระเพื่อมลง โดยในที่นี้ จะเลือกค่าของตัวเก็บประจุเท่ากับ 100 µF 400 V ที่เลือก 400 V นั้นเพื่อต้องการให้ ทนแรงดันของอินพุทซึ่งมีค่าประมาณ 310 VDC ได้โดยตัวเก็บประจุนั้นไม่เกิดการเสียหาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

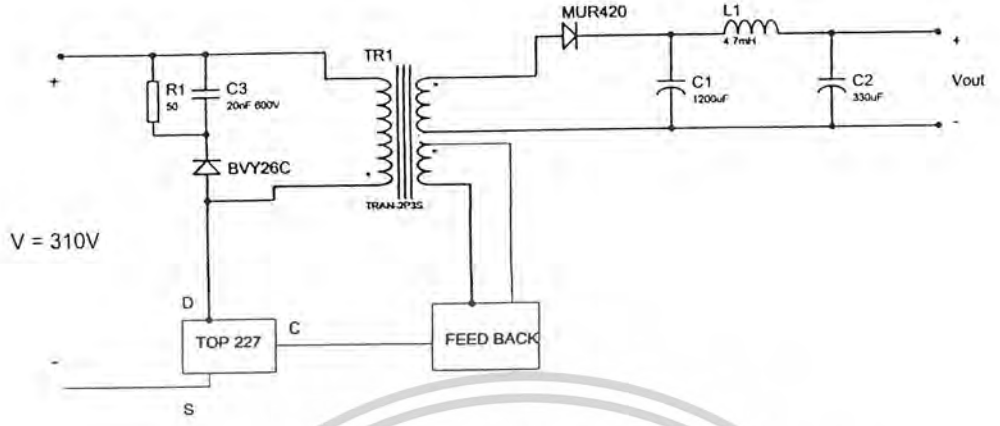


รูปที่ 3.2 วงจรเรกติไฟเออร์ส่วนของวงจรคอนเวอร์เตอร์

ในส่วนของคอนเวอร์เตอร์นี้จะประกอบด้วย 3 ส่วนหลักคือ ส่วนของ ไอซีTOP 227 , หม้อแปลงสวิตชิ่ง และ วงจรเรียงกระแสและกรองแรงดัน ดังรูปที่ 3.3 และ 3.4

รูปที่ 3.3 บล็อกไดอะแกรมในส่วนของคอนเวอร์เตอร์

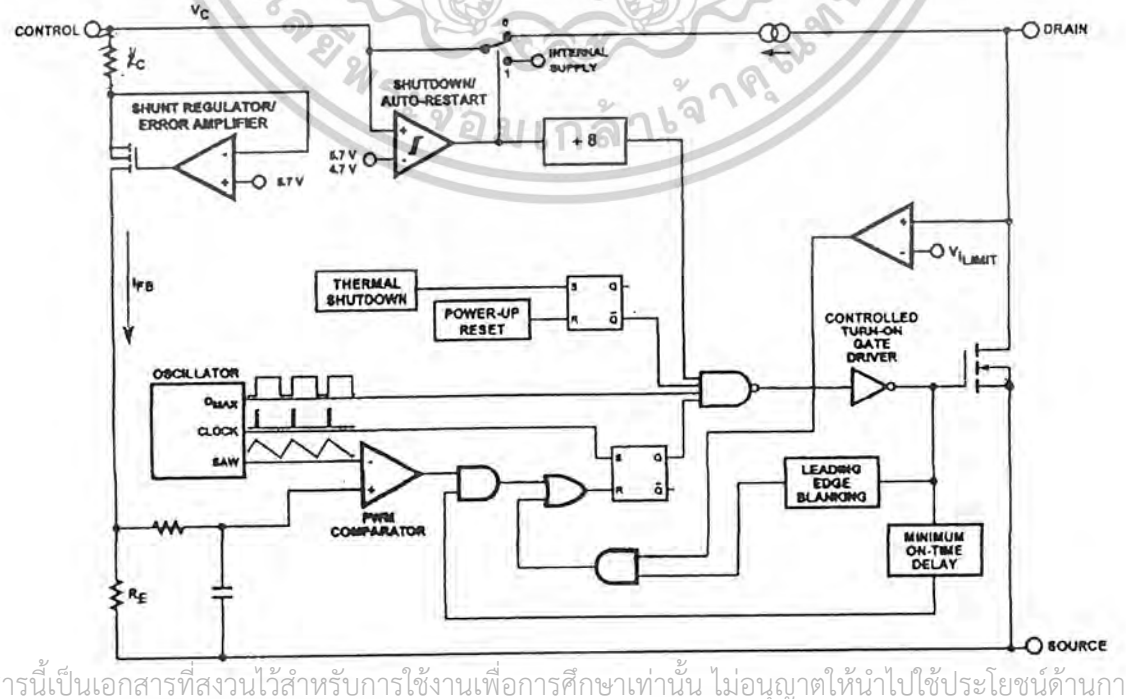
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



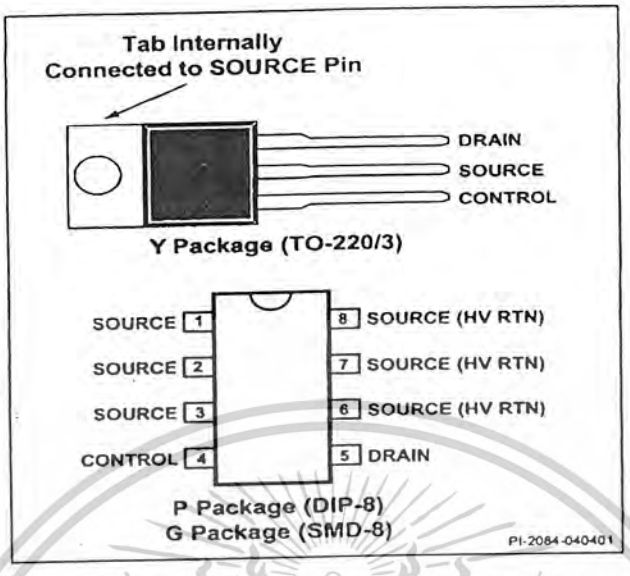
รูปที่ 3.4 วงจรคอนเวอร์เตอร์ของสวิตชิ่งเพาเวอร์ซัพพลาย

ไอซีTop227

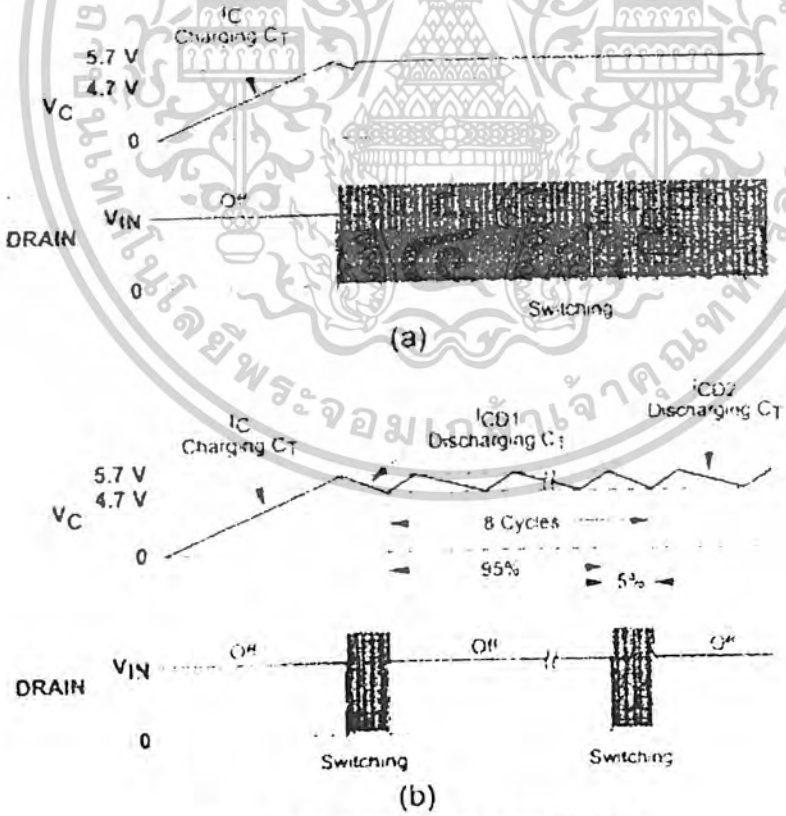
วงจรเพาเวอร์ซัพพลายนี้เป็นสวิตชิ่งเพาเวอร์ซัพพลาย ซึ่งใช้หลักการของ ฟลายแบคคอนเวอร์เตอร์ หลักการทำงานของวงจรจะมีหัวใจอยู่ที่ ไอซี TOP227 ซึ่งภายในวงจรจะประกอบไปด้วย เพาเวอร์มอสเฟส วงจรควบคุมการมอดูเลททางด้านความกว้างของพัลส์ วงจรเริ่มต้นการทำงานแรงดันสูง วงจรชดเชยภายในลูป วงจรป้องกันและแจ้งสถานะความผิดพลาด ซึ่งโครงสร้างภายในแสดงในรูปที่ 3.5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 โครงสร้างภายใน และรูปร่างของตัวถังไอซี TOP227



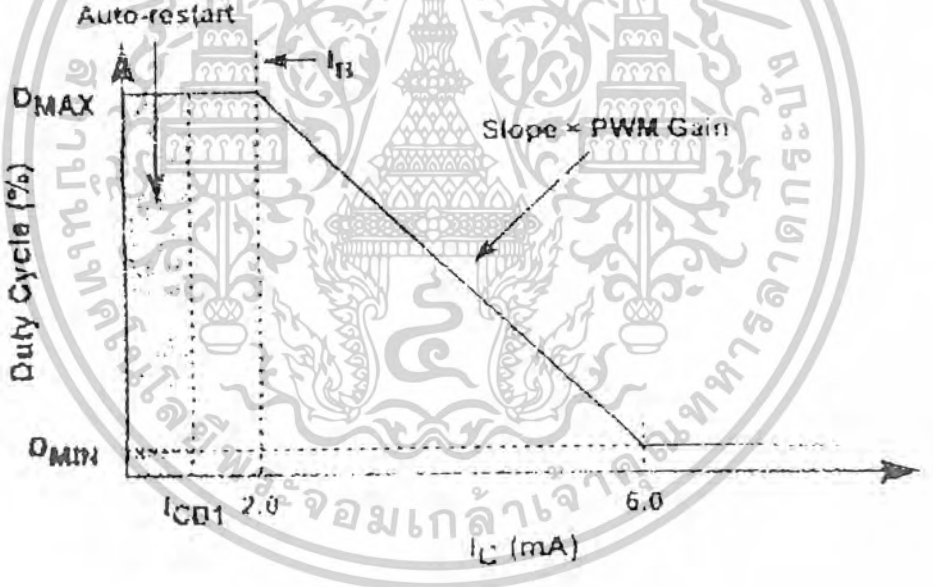
C_T is the total external capacitance connected to the CONTROL pin

รูปที่ 3.6 รูปสัญญาณเมื่อวงจรเริ่มทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งาน TOP227 นั้นจะมีขาที่ต้องต่อใช้งานอยู่ 3 ขา คือ ขาเดรน (Drain), ขาควบคุม (Control), และขาซอส (Source) โดยแต่ละขาจะมีคุณสมบัติคือ

- ขาเดรน ขานี้ถือว่าเป็นเอ้าท์พุทของไอซี ซึ่งภายในจะต่ออยู่กับขาเดรนของมอสเฟต
- ขาควบคุม เป็นขาที่เป็นอินพุทของวงจรขยายความผิดพลาด (Error Amplifier) และวงจรป้อนกลับกระแส (Feedback Current) เพื่อทำหน้าที่ควบคุมดิวตี้ไซเคิ้ล (Duty cycle) ซึ่งโดยทั่วไปจะต่อขานี้กับแรงดัน ที่ผ่านการแปลงแรงดันมาแล้ว โดยมีตัวเก็บประจุบายพาสต่อร่วมอยู่ด้วย เพื่อเป็นการชดเชยการทำงาน ในแบบออโต้รีสตาร์ท (Auto-restart)



รูปที่ 3.7 ความสัมพันธ์ระหว่าง Duty Cycle และกระแสควบคุม

ขาซอร์ส จะใช้ในการต่อกับกราวด์ ในการต่อใช้งานตามปกติ จะมีการป้อนแรงดัน Vc ที่ขาควบคุมให้กับตัวไอซี ซึ่งจะเป็นแรงดันที่ใช้ในการไบอัสให้กับ ไอซีในการควบคุมการทำงานต่างๆ ภายในตัวไอซี โดยการทำงานในแบบ Auto-restart นั้นจะต้องต่อตัวเก็บประจุบายพาสเข้าไประหว่างขาควบคุม กับขาซอสด้วย ซึ่งการต่อต้องพยายามให้ใกล้กับขาทั้งสองให้มากที่สุด เนื่องจากตัวเก็บประจุนี้จะเป็นตัวควบคุม และจ่ายกระแสไปกระตุ้นเกตของวงจรขับภายใน ซึ่งในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกค่าของตัวเก็บประจุนั้น จะต้องเลือกให้เหมาะสม เนื่องจากค่านี้ใช้ในการกำหนดค่าเวลาการ Auto-restart อีกทั้งยังเป็นตัวชดเชยการควบคุม ภายในลูปอีกด้วย นอกจากแรงดัน Vc จะใช้ในการ Auto-restart แล้วยังใช้ในการตรวจจับเพื่อป้องกันการโอเวอร์โหลด (Overload) อีกด้วย

วงจรสนับเบอร์

วงจรสนับเบอร์มีหน่าที่เพื่อป้องกันการเกิดแรงดันที่ตกคร่อมไอซี Top 227 ที่มีขนาดมากๆ ขณะที่ ไอซีนั้นอยู่ในสภาวะ off เพื่อไม่ให้ไอซีนั้นเกิดการเสียหาย และยังช่วยลดการสูญเสียที่เกิดขึ้นที่หม้อแปลงโดยที่ป้องกันไม่ให้หม้อแปลงเกิดการ sat โดยจะมีการต่อ ซีเนอร์ไดโอดเบอร์ P6KE200 ส่วน blocking diode ที่เลือกใช้นั้นควรเป็น fast recovery diode เพราะไอซีมีความถี่ในการสวิทถึง 100 กิโลเฮิร์ต ไดโอดจึงจะสามารถทำงานได้ทันและต้องทนแรงดันได้ถึง 600 โวลท์ ในที่นี้จึงเลือกใช้ไดโอดเบอร์ BYV26C

หม้อแปลงสวิตชิ่ง

การทำหม้อแปลงสวิตชิ่งมีหลักการในการคำนวณดังต่อไปนี้

$$L_P = 10^6 \times \frac{P_O \times (\frac{(Z \times (1-\eta)) + \eta}{\eta})}{f_S \times I_P^2 \times K_{RP} \times (1 - \frac{K_{RP}}{2})} \qquad (3.1)$$

แทนค่าลงไปในสมการที่ 3.1 โดย ให้ค่า Z = 0.5 , K_{RP} = 0.6 , f_S = 100kHz และให้ประสิทธิภาพเท่ากับ 80% โดยแทนค่ากำลังงานที่ เอาท์พุทเท่ากับ 150W

ดังนั้นจากสมการที่ 3.1 จะได้ค่า L = 0.642 mH

จากสมการ $N_1 = 100 \times I_p \times L_p / (Ae \times B)$ (3.2)

โดยแทนค่า Ae, B ซึ่งได้จากค่าสเปกของแกนหม้อแปลงในภาคผนวก และแทนค่า L_1 ที่หาได้จากข้างต้นดังนั้นจะได้ค่าของ N_1 คือ

N_p = 48 รอบ

แล้วนำค่าของ N_1 แทนลงไปในความสัมพันธ์ที่ 3.3 , 3.4 โดยกำหนดให้ค่าของ D = 0.28

$$N_P = N_S \times \frac{V_{MIN} - V_{DS}}{V_O + V_D} \times \frac{D_{MAX}}{1 - D_{MAX}} \qquad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$N_B = \frac{V_B + V_{BD}}{V_O + V_D} \times N_S \qquad (3.4)$$

ดังนั้นจะได้ค่าของ $N_S = 29$ รอบ , $N_T = 7$ รอบ

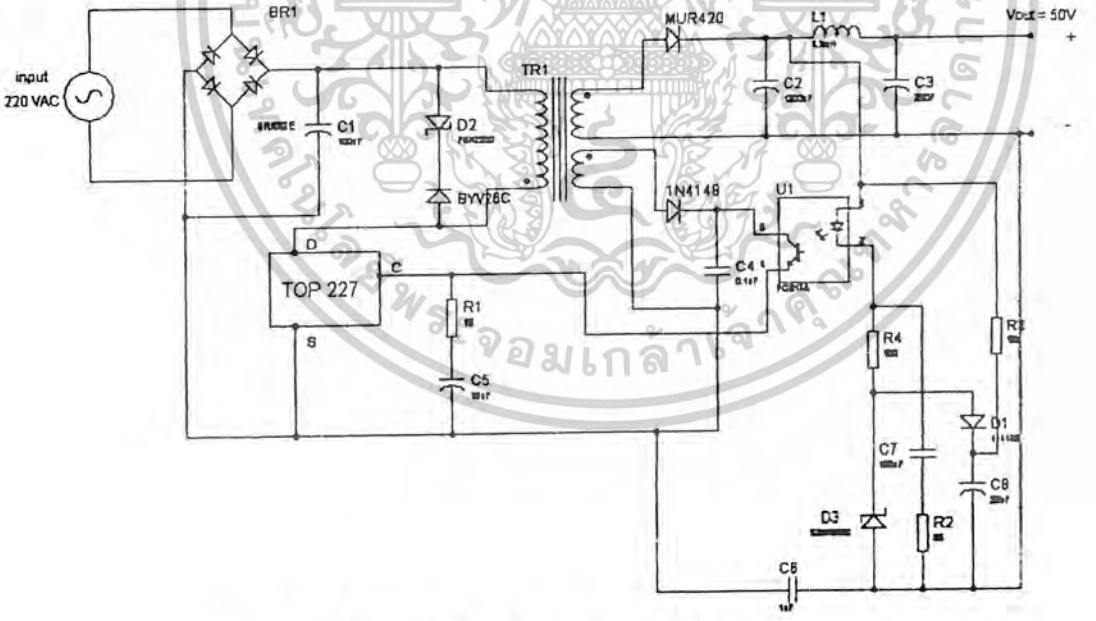
แต่จากผลการทดลองพบว่ากำลังงานที่ได้สูงสุดนั้นไม่สามารถจ่ายถึงได้ 150w จึงเพิ่มจำนวนขดลวดเป็น 2เท่า ดังนั้นจะได้จำนวนรอบทั้งหมดเท่ากับ

$N_P = 118$, $N_S = 70$รอบ , $N_B = 18$ รอบ

ส่วนของวงจรควบคุม

การควบคุมในวงจรนี้จะเป็นการควบคุมแรงดันโดยใช้ opto-isolator เป็นตัวจ่ายแรงดันเพื่อไปควบคุม ไอซี top 227 ที่ขาคอนโทรล โดยเมื่อเอาท์พุทมีแรงดันมากกว่า 50 V นั้น opto-isolator จะจ่ายแรงดันให้กับขาคอนโทรลของไอซี เพื่อทำหน้าที่ลดความกว้างของ DUTY CYCLE ส่งผลให้ค่าแรงดันเอาท์พุทลดลงตามไปด้วย

โดยในส่วนของวงจรควบคุมนั้นจะมีลักษณะการต่อวงจรดังรูปที่ 3.8



รูปที่ 3.8 วงจรสวิตชิ่งฟลายแบคคอนเวอร์เตอร์

Regulated Power Supplies

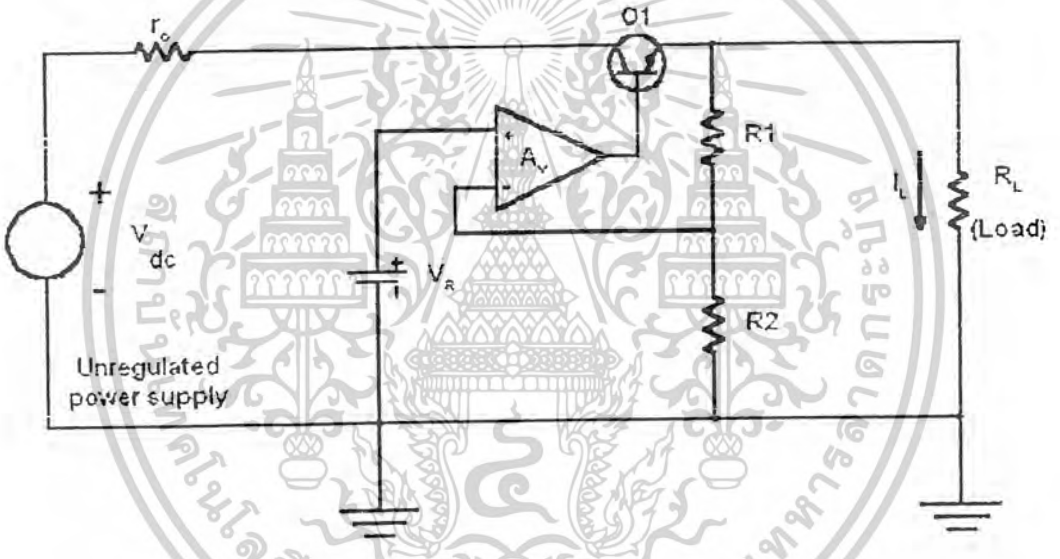
Regulated Power supply คือ วงจรอิเลคทรอนิกส์ที่สร้างแรงดันกระแสตรงคงที่ โดยไม่ขึ้นอยู่กับกระแสที่จ่ายให้กับโหลด, ไม่ขึ้นกับอุณหภูมิ และไม่ขึ้นกับความแปรผันต่างๆในสายส่งกระแสสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหตุผลที่เราไม่นิยมใช้ Unregulated Power Supply ในหลายๆการประยุกต์คือ

1. ความสามารถในการทำ Regulatation ต่ำ, โดยแรงดันเอาต์พุต จะเปลี่ยนแปลงตามโหลดที่ต่ออยู่
2. แรงดันเอาต์พุตกระแสตรงเปลี่ยนแปลงตามแรงดันอินพุตกระแสสลับ
3. แรงดันเอาต์พุตกระแสตรงเปลี่ยนแปลงตามอุณหภูมิ โดยเฉพาะกับวงจรที่ใช้อุปกรณ์สารกึ่งตัวนำ

เราสามารถทำ Regulator อย่างง่ายๆโดยใช้ Zener Diode แต่ว่าวิธีนี้ จะทำให้เกิดข้อจำกัดอยู่ที่กระแส และกำลังของตัว Zener Diode



รูปที่ 3.9

ในรูปที่ 3.9 แสดงตัวอย่างของวงจร Regualted Power Suply ซึ่งเป็นวงจรแบบป้อนกลับ โดยสามารถแก้ไขข้อเสียทั้ง 3 ประการของ Unregulated Power Supply ดังที่กล่าวไว้ข้างบน และข้อจำกัดของ Zener Diode

ทรานซิสเตอร์ Q1 เรียกว่า Pass Transistor หรือ Pass Element ทำหน้าที่เป็น Emitter Follower ให้อัตราขยายประมาณ 1, เพราะฉะนั้นจะได้ Vo' = Vo R1,R2 ทำหน้าที่เป็น Feedback Network โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อน Vo กลับไปให้ออปแอมป์ ด้วยอัตราส่วน b = R2 / (R1+R2) จากการคำนวณเราจะได้

$$Vo' = Av * Vi = Av*(VR - (b*Vo)) = Vo$$

$$Vo = VR*Av / (1+b*Av)$$

ถ้า $bAv >> 1$ เราจะได้ $Vo = VR/b$ ซึ่งเป็นค่าคงที่สำหรับวงจรหนึ่งๆ โดยเราสามารถปรับค่าของ Vo ได้ด้วยการปรับค่าของ b และมีเงื่อนไขว่า Vo ต้องน้อยกว่า Unregulated Voltage Vdc

Stabilization

เนื่องจากแรงดันเอาต์พุต Vo ขึ้นอยู่กับแรงดันอินพุต Vdc , กระแสโหลด Il และอุณหภูมิ เพราะฉะนั้นการเปลี่ยนแปลงของแรงดันเอาต์พุต จากเครื่องจ่ายไฟ จะมีความสัมพันธ์ดังนี้

$$\Delta^{Vo} = \frac{(\partial^{Vo} * \Delta^{Vdc})}{\partial^{Vdc}} + \frac{(\partial^{Vo} * \Delta^{Il})}{\partial^{Il}} + \frac{(\partial^{Vo} * \Delta^{T})}{\partial^{T}}$$

$$\Delta^{Vo} = Sv\Delta^{Vdc} + Ro\Delta^{Il} + St\Delta^{T} \qquad 3.5$$

เมื่อค่าสัมประสิทธิ์ทั้ง 3 เป็นดังนี้

INPUT REGULATION FACTOR

$$Sv = \frac{\Delta Vo}{\Delta Vdc} \text{ เมื่อ } \Delta Il = 0 \quad \Delta T = 0 \qquad 3.6$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT RESISTANCE

$$Ro = \frac{\Delta Vo}{\Delta II} \text{ เมื่อ } \Delta Vdc = 0 \text{ และ } \Delta T = 0 \qquad 3.7$$

TEMPERATURE COEFFICIENT

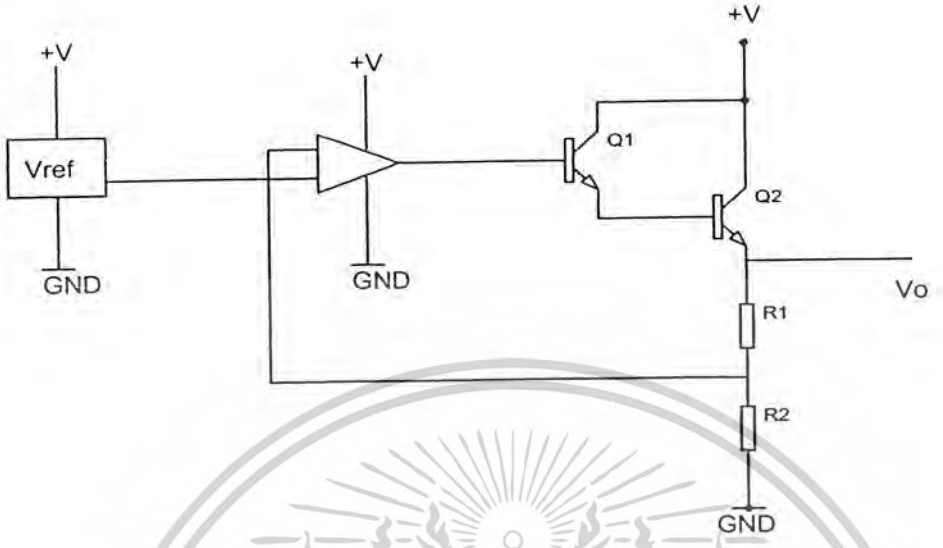
$$St = \frac{\Delta Vo}{\Delta T} \text{ เมื่อ } \Delta Vdc = 0 \text{ และ } \Delta II = 0 \qquad 3.8$$

ยิ่งค่าของสัมประสิทธิ์ทั้ง 3 น้อยเพียงใด ความสามารถในการรักษาระดับแรงดันเอาต์พุตของเครื่องจ่ายจะไฟมากขึ้นเท่านั้น

ส่วนประกอบของวงจรเรกูเลเตอร์

จากวงจรเรกูเลเตอร์ที่สามารถแบ่งย่อยออกได้เป็น 4 ส่วน ดังแสดงในรูปที่ 3.10 ประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10

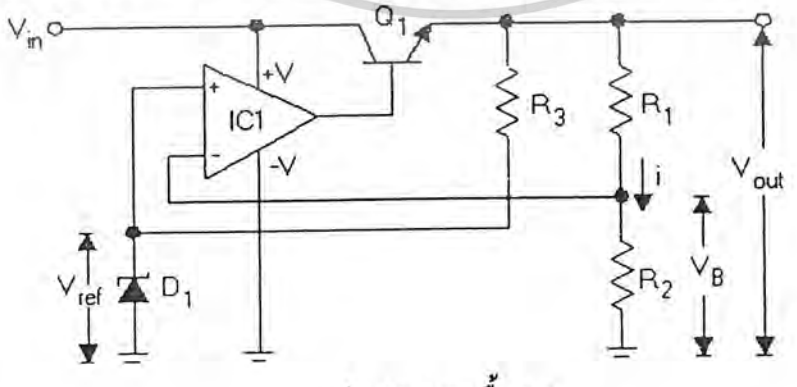
1.วงจรแรงดันอ้างอิง (Voltage Referance Circuit)

แรงดัดอ้างอิง (Vr) จะมีค่าคงที่ และต่อเข้ากับขา "Inverting Amplifier" ซึ่งเป็นส่วนที่เป็นอิสระต่อทั้งอุณภูมิและแรงดันที่จ่ายให้เรกูเลเตอร์ เพื่อเป็นตัวที่ใช้เปรียบเทียบแรงดันกับขา " Non-Inverting Amplifier" ที่มาจากแรงดัน เอ้าต์พุต

2.วงจรขยายความผิดพลาด (Error Amplifier)

ทำหน้าที่เปรียบเทียบสัญญาณแรงดัน ระหว่างแรงดันอ้างอิง และสัดส่วนของแรงดันเอ้าต์พุต ดังรูป

การใช้ OP-AMP ในวงจรคงค่าศักดาไฟฟ้ามีหลักการพื้นฐานดังต่อไปนี้



รูป 3.11 วงจรพื้นฐาน

โดยคุณสมบัติของ OP-AMP ความต่างศักย์ระหว่าง INPUT ทั้งสองเป็น 0 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{ref} = V_b = iR2$$

แต่ $i = V_{out} R2/(R2 - R1)$

ดังนั้น $V_{ref} = V_{out} R2/(R1+R2)$

จะได้ $V_{out} = V_{ref}[(R1+R2)/R2]$

3.ซีรีส์พาสทรานซิสเตอร์ (Seriespass transistors)

ซึ่งทำหน้าที่จ่ายกระแสเข้าต์พุตให้เพียงพอต่อความต้องการของโหลด

ไอซีเรกูเลเตอร์กับวงจรป้องกัน

นอกจากวงจรพื้นฐาน 3 ส่วนที่ได้กล่าวไปแล้ว ภายในวงจรยังประกอบด้วยส่วนสำคัญส่วนหนึ่ง คือ วงจรป้องกัน ซึ่งป้องกันกระแสจำนวนมากเกินไปที่ไหลผ่านซีรีส์พาสทรานซิสเตอร์ วงจรป้องกันจำแนกออกได้เป็น 2 พวกใหญ่ๆ คือ วงจรจำกัดกระแส และวงจรป้องกันการเกิดความร้อนมากเกินไป

วงจรจำกัดกระแส (Current Limiting)

ตามปกติทรานซิสเตอร์ทุกตัวเมื่อทำงานจะทำให้เกิด "กำลังสูญเสีย" ภายในตัวมัน (Power dissipation, Pd) กำลังสูญเสียจะอยู่ในรูปความร้อนในตัวทรานซิสเตอร์ โดยกำลังงานสูญเสียจะแปลผันโดยตรงกับปริมาณกระแสที่ไหผ่าน

เมื่อดูจากรูป 5 จะเห็นได้ว่า ซีรีส์ทรานซิสเตอร์จะเป็นส่วนที่พังง่ายที่สุด เพราะมันเกิดกำลังสูญเสียมากที่สุด โดยเฉพาะ Q 2 เพราะเป็นส่วนที่จ่ายกระแสให้โหลดโดยตรง ซึ่งกำลังสูญเสียดูได้จากสมการข้างล่าง

$$P_d = V_{cc2} I_{C2}$$

$$= (V_{in} - V_o) I_o$$

ในกรณีที่ $V_o = 0$ (เกิดการลัดวงจร)

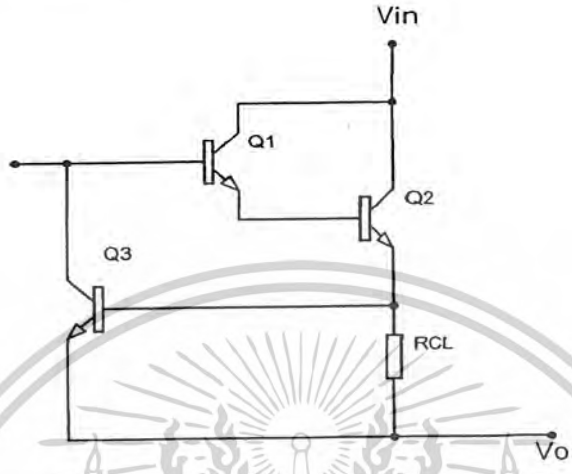
$$P_d = V_{in} I_o$$

จากวงจร I_o คือกระแสที่ไหลผ่านซีรีส์ทรานซิสเตอร์นั่นเอง กำลังสูญเสียสูงสุด $P_{d(max)}$ ของทรานซิสเตอร์ที่สามารถทนได้ดังสมการ

$$P_{d(max)} = V_{in} I_o$$

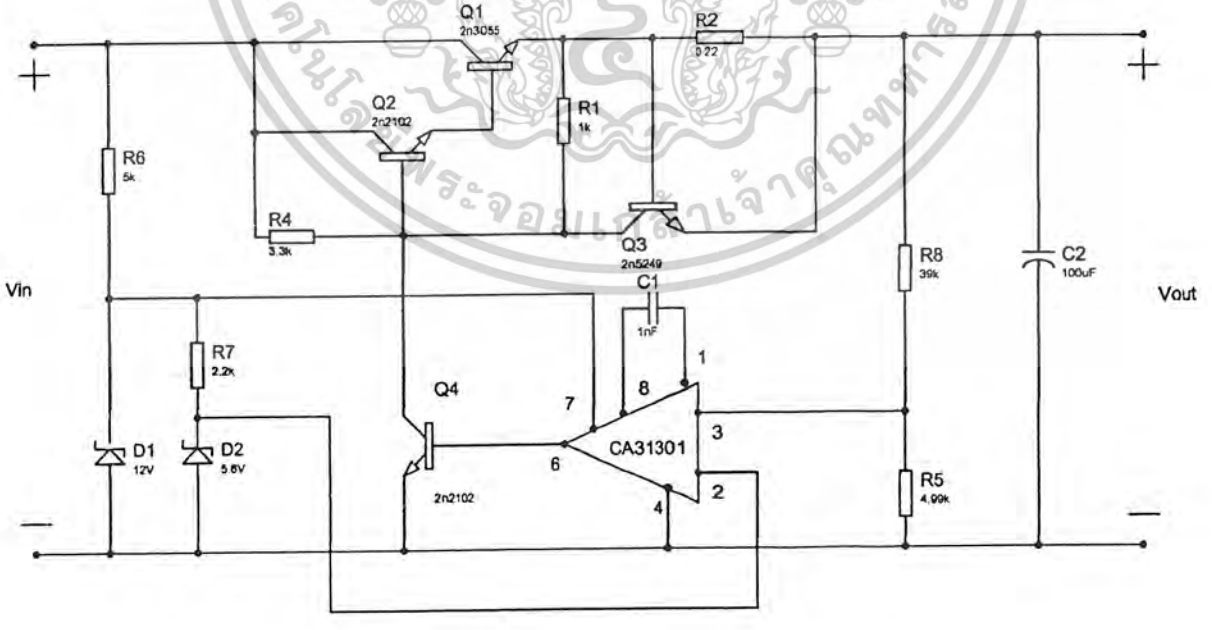
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจึงนำเอาวงจรจำกัดกระแสมาต่อในวงจรโหลดเรกูเลเตอร์ มาป้องกันการเสียหายของอุปกรณ์เมื่อกระแสไหลในวงจรเกิน



รูปที่ 3.12 แสดงวงจรกำจัดกระแส

โดยวงจรเรกกูเรเตอร์ที่ใช้ในโครงงานนี้จะมีลักษณะดังนี้



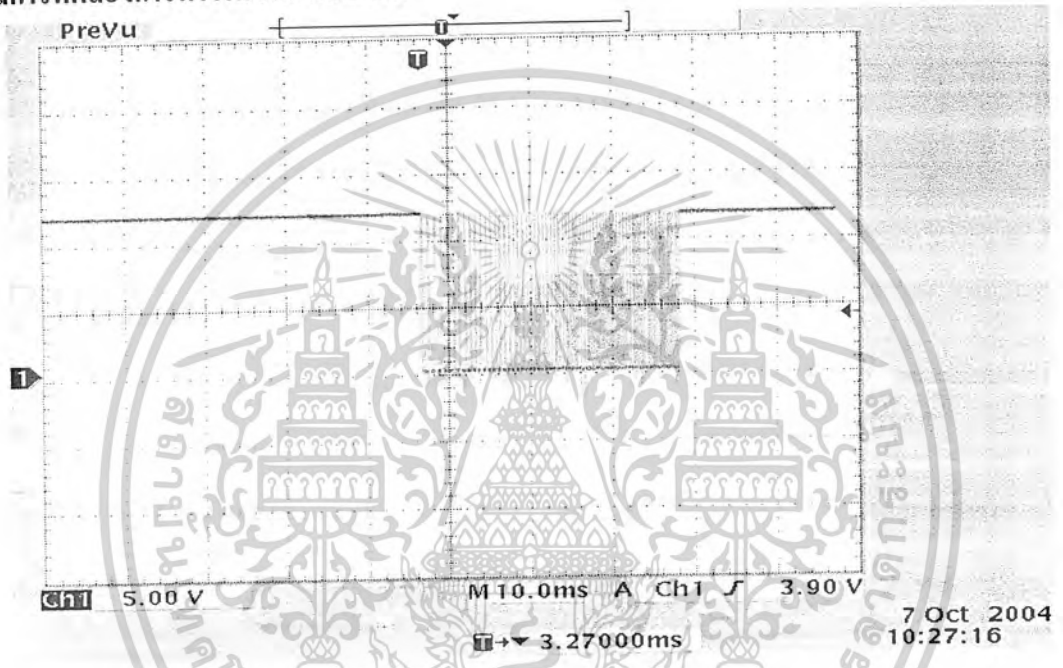
รูป 3.13 วงจรเรกกูเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

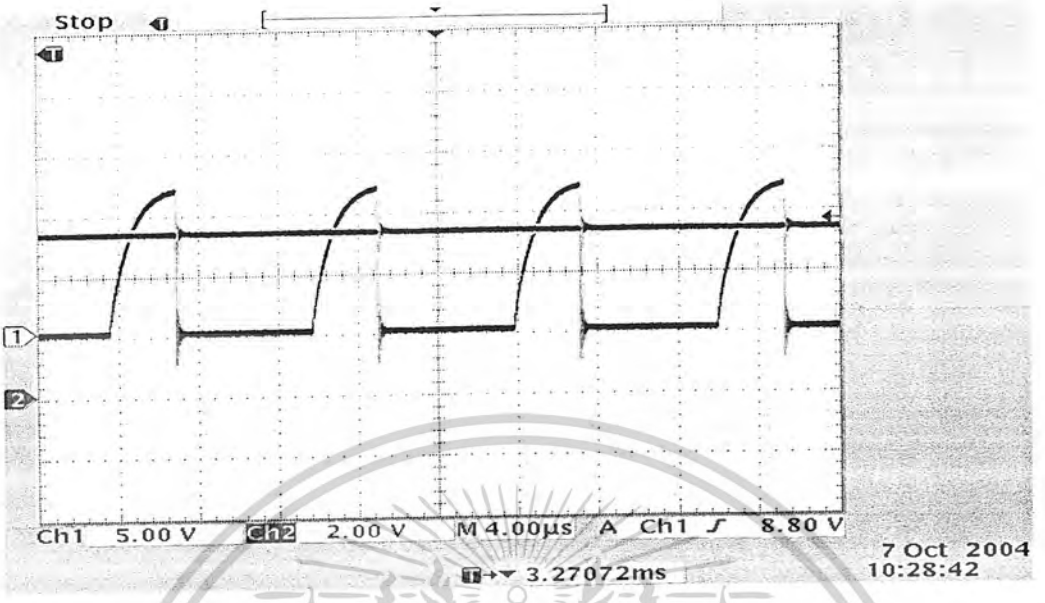
ผลการทดลอง

ผลการทดลองการทำงานของ TOP 227

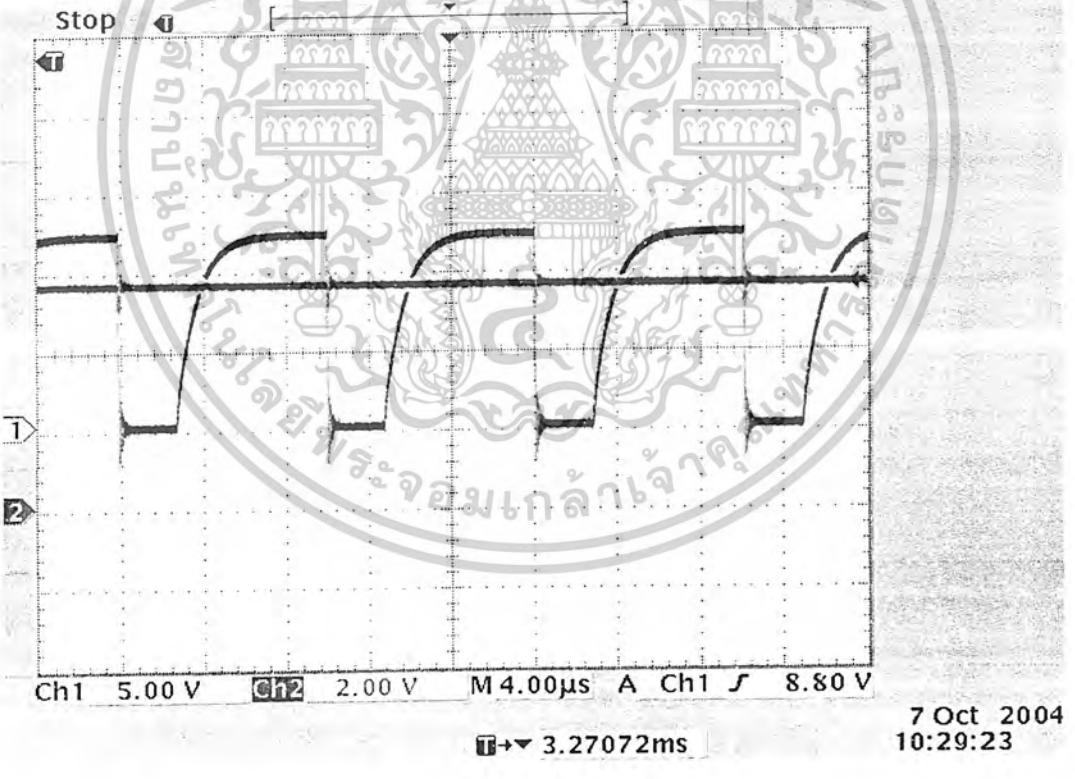


รูปที่ 4.1 การทำงานของ TOP 227 เมื่อ ไม่มีไฟเข้าที่ขา control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

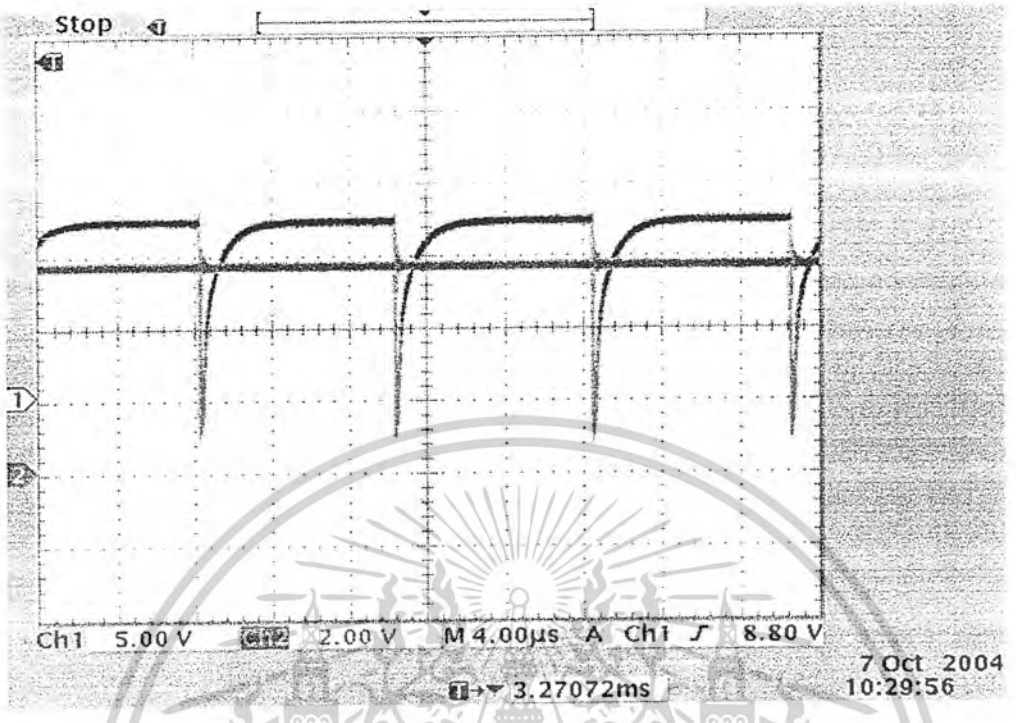


รูปที่ 4.2 การทำงานของ TOP 227 เมื่อมีไฟเข้าที่ขา control

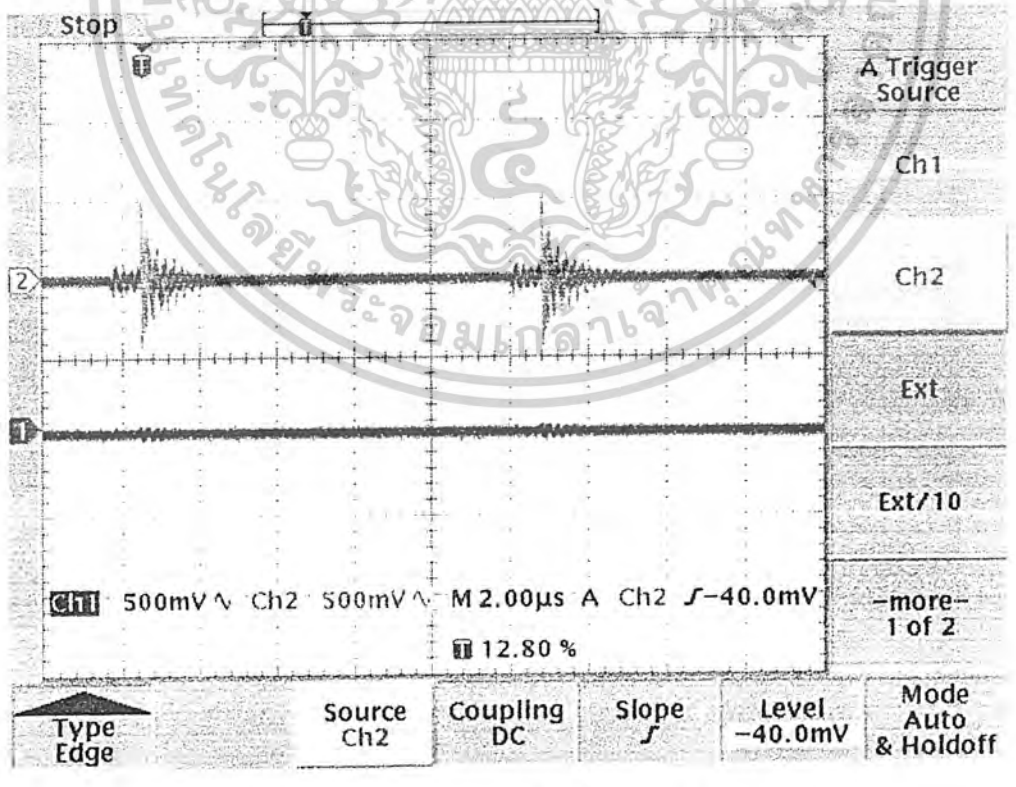


รูปที่ 4.3 แสดงความกว้างของ DUTY CYCLE ที่เปลี่ยนแปลงตามไฟที่ขา control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงความกว้างของ DUTY CYCLE ที่เปลี่ยนแปลงตามไฟที่ขา control



รูปที่ 4.5 แสดงแรงดันเอาท์พุทที่ได้ขณะใส่โหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสนอแนะในการออกแบบหม้อแปลง

ในการออกแบบหม้อแปลงนั้น ในการคำนวณรอบของการพันหม้อแปลงที่เราคำนวณได้นั้น อาจไม่สามารถใช้จำนวนรอบที่เราคำนวณได้จริงๆ เพียงแต่สามารถใช้เป็นแนวทางในการออกแบบได้เท่านั้น แต่ในการออกแบบจริงๆนั้น เราต้องมีการทดลองในการพันหม้อแปลงแต่ละครั้ง ซึ่งอาจเจอปัญหาต่างๆได้ เช่น

- กำลังงานออกเอาท์พุตไม่ถึง มีวิธีแก้ไขได้โดนการเพิ่มจำนวนรอบเป็นจำนวนเท่าไป โดยอัตราส่วนของขดลวดของหม้อแปลงเท่าเดิม
- หม้อแปลงเกิดมีเสียงจากขดลวดสั่น อาจมีสาเหตุเนื่องมาจาก การพันเส้นลวดไม่แน่นพอ แก้ไขได้โดยการทาน้ำมันสน หากไม่หายควรพันหม้อแปลงใหม่ให้แน่นแล้วทาน้ำมันสน
- หม้อแปลง Satulation จะเกิดเสียง แล้วทำให้ top227 เสียหาย ให้แก้ไขโดยการเพิ่มช่องคั่นอากาศให้กับแกนหม้อแปลง

ในการออกแบบและทดลองหม้อแปลงแต่ละครั้งควรมีการบันทึกผลการทดลองด้วยทุกครั้งเพื่อสามารถใช้เป็นข้อมูลที่นำมาใช้ในการเปรียบเทียบ และเพื่อใช้ในการออกแบบครั้งต่อไป

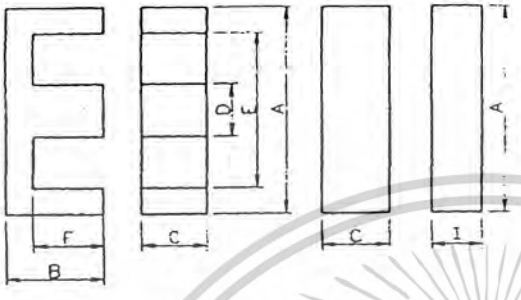
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EI CORES

MATERIALS – SC32,SC40, SE03, SE05, SE07, SE10



EI-19 — Core Size 規 格

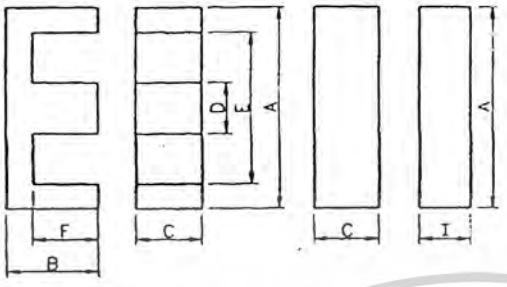
SC40 — Material 材 質

TYPE	DIMENSIONS(mm)						
	A	B	C	D	E	F	I
EI-19	19.00 ± 0.50	13.55 ± 0.25	5.00 ± 0.20	4.45 ± 0.25	14.50 ± 0.50	11.00 ± 0.30	2.40 ± 0.20
EI-19J	19.00 ± 0.50	13.55 ± 0.25	5.00 ± 0.20	4.45 ± 0.25	14.50 ± 0.50	11.30 ± 0.30	2.40 ± 0.20
EI-22A	22.00 ± 0.40	14.80 ± 0.25	5.75 ± 0.25	5.75 ± 0.25	16.00 ± 0.50	10.75 ± 0.25	4.50 ± 0.30
EI-25	25.00 ± 0.40	16.55 ± 0.25	6.50 ± 0.25	6.50 ± 0.25	18.15 ± 0.30	13.20 ± 0.20	3.00 ± 0.20
EI-28	28.00 ± 0.50	16.75 ± 0.25	10.70 ± 0.30	7.20 ± 0.30	18.60MIN	12.50 ± 0.30	3.50 ± 0.30
EI-33	33.00 ± 0.50	23.30 ± 0.30	12.70 ± 0.30	9.70 ± 0.30	23.30 ± 0.50	19.05 ± 0.30	5.00 ± 0.30
EI-40	40.00 ± 0.50	27.10 ± 0.40	11.65 ± 0.35	11.65 ± 0.35	27.85 ± 0.35	20.30 ± 0.30	7.50 ± 0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EI CORES

MATERIALS – SC32, SC40, SE03, SE05, SE07, SE10



EI-19 SC40

Core Size 規格

Material 材質

TYPE	PARAMETERS				AL-VALUE(nH/N²)±25%					AL±30% (nH/N²)
	Σ 1/A cm⁻¹	Le cm	Ae cm²	Ve cm³	SC32	SC40	SE03	SE05	SE07	SE10
EI-19	26.75	5.866	0.269	1.578	1320	1320	1500	2100		
EI-19J	22.73	5.900	0.260	1.531	1320	1320	1500	2100		
EI-22A	17.67	6.204	0.430	2.670	1700	1700	2300	3500		
EI-25	17.27	7.201	0.509	2.665	2000	2000	2400	3400		
EI-28	8.45	7.441	1.090	8.108	2900	2900	4400	6500		
EI-33	8.68	9.812	1.375	13.493	2900	2900	4800	7100		
EI-40	8.23	11.380	1.690	19.228	4200	4200	5200	7700		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MATERIALS- L25, 2G4W, 3Z4A, 34W, 54U

SYMBOL	UNIT	TEMP. (°C)	MATERIALS				
			L25	2G4W	3Z4A	34W	54U
μiac	---	25	2000 ± 20%	2500 ± 20%	2500 ± 20%	3000 ± 20%	5000 ± 20%
B_s	mT	25	500	495	480	490	460
B_r	mT	25	210	165	200	200	
H_c	A/m	25	16	14	20	15	
P_c (100kHz)	Kw/m³	25	1000	780	850	700	
		100	940	1030	780	1160	
P_c (25kHz)	Kw/m³	25	180	140	120	120	
		100	150	160	125	170	
$\tan\delta/\mu i$ (10kHz)	$\times 10^{-6}$	25	4	3	3	2.5	3
SPM	°C	---	100~120	60~80	50~80	50~70	
T_c	°C	---	> 200	> 180	> 200	> 180	> 160
ρ	Ω m	25	0.4	0.1	0.4	0.4	0.5
d	g/cm³	25	4.8	4.75	4.8	4.8	4.8

SYMBOLS AND DEFINITIONS

- Initial Permeability μ_{iac}
  The value of the permeability at low magnetic field strength.
- B_s
  The flux density.
- $\tan\delta/\mu i$:
  Relative loss factor-losses per unit of permeability, Figure of merit of a material.
- Curie Temperature(T_c) :
  Temperature at which a ferromagnetic material loses its ferromagnetism and becomes paramagnetic.
- SPM :
  Secondary permeability max.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOP221-227

TOPSwitch®-II Family

Three-terminal Off-line PWM Switch

POWER INTEGRATIONS, INC.

Product Highlights

- Lowest cost, lowest component count switcher solution
- Cost competitive with linears above 5W
- Very low AC/DC losses – up to 90% efficiency
- Built-in Auto-restart and Current limiting
- Latching Thermal shutdown for system level protection
- Implements Flyback, Forward, Boost or Buck topology
- Works with primary or opto feedback
- Stable in discontinuous or continuous conduction mode
- Source connected tab for low EMI
- Circuit simplicity and Design Tools reduce time to market

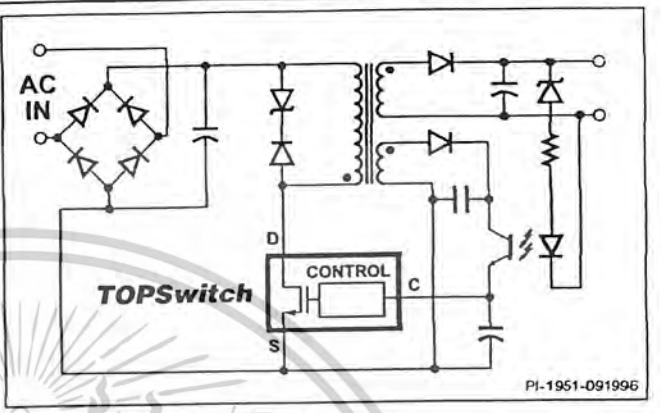


Figure 1. Typical Flyback Application.

Description

The second generation *TOPSwitch-II* family is more cost effective and provides several enhancements over the first generation *TOPSwitch* family. The *TOPSwitch-II* family extends the power range from 100W to 150W for 100/115/230 VAC input and from 50W to 90W for 85-265 VAC universal input. This brings *TOPSwitch* technology advantages to many new applications, i.e. TV, Monitor, Audio amplifiers, etc. Many significant circuit enhancements that reduce the sensitivity to board layout and line transients now make the design even easier. The standard 8L PDIP package option reduces cost in lower power, high efficiency applications. The internal lead frame of this package uses six of its pins to transfer heat from the chip directly to the board, eliminating the cost of a heat sink. *TOPSwitch* incorporates all functions necessary for a switched mode control system into a three terminal monolithic IC: power MOSFET, PWM controller, high voltage start up circuit, loop compensation and fault protection circuitry.

OUTPUT POWER TABLE

TO-220 (Y) Package[1]			8L PDIP (P) or 8L SMD (G) Package[2]		
PART ORDER NUMBER	Single Voltage Input[3] 100/115/230 VAC ±15%	Wide Range Input 85 to 265 VAC	PART ORDER NUMBER	Single Voltage Input[3] 100/115/230 VAC ±15%	Wide Range Input 85 to 265 VAC
	P_{MAX}[4,6]	P_{MAX}[4,6]		P_{MAX}[5,6]	P_{MAX}[5,6]
TOP221Y	12 W	7 W	TOP221P or TOP221G	9 W	6 W
TOP222Y	25 W	15 W	TOP222P or TOP222G	15 W	10 W
TOP223Y	50 W	30 W	TOP223P or TOP223G	25 W	15 W
TOP224Y	75 W	45 W	TOP224P or TOP224G	30 W	20 W
TOP225Y	100 W	60 W			
TOP226Y	125 W	75 W			
TOP227Y	150 W	90 W			

Notes: 1. Package outline: TO-220/3 2. Package Outline: DIP-8 or SMD-8 3. 100/115 VAC with doubler input 4. Assumes appropriate heat sinking to keep the maximum *TOPSwitch* junction temperature below 100 °C. 5. Soldered to 1 sq. in.(6.45 cm²), 2 oz. copper clad (610 gm/m²) 6. P_{MAX} *is the maximum practical continuous power output level for conditions shown. The continuous power capability* in a given application depends on thermal environment, transformer design, efficiency required, minimum specified input voltage, input storage capacitance, etc. 7. Refer to key application considerations section when using *TOPSwitch-II* in an existing *TOPSwitch* design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

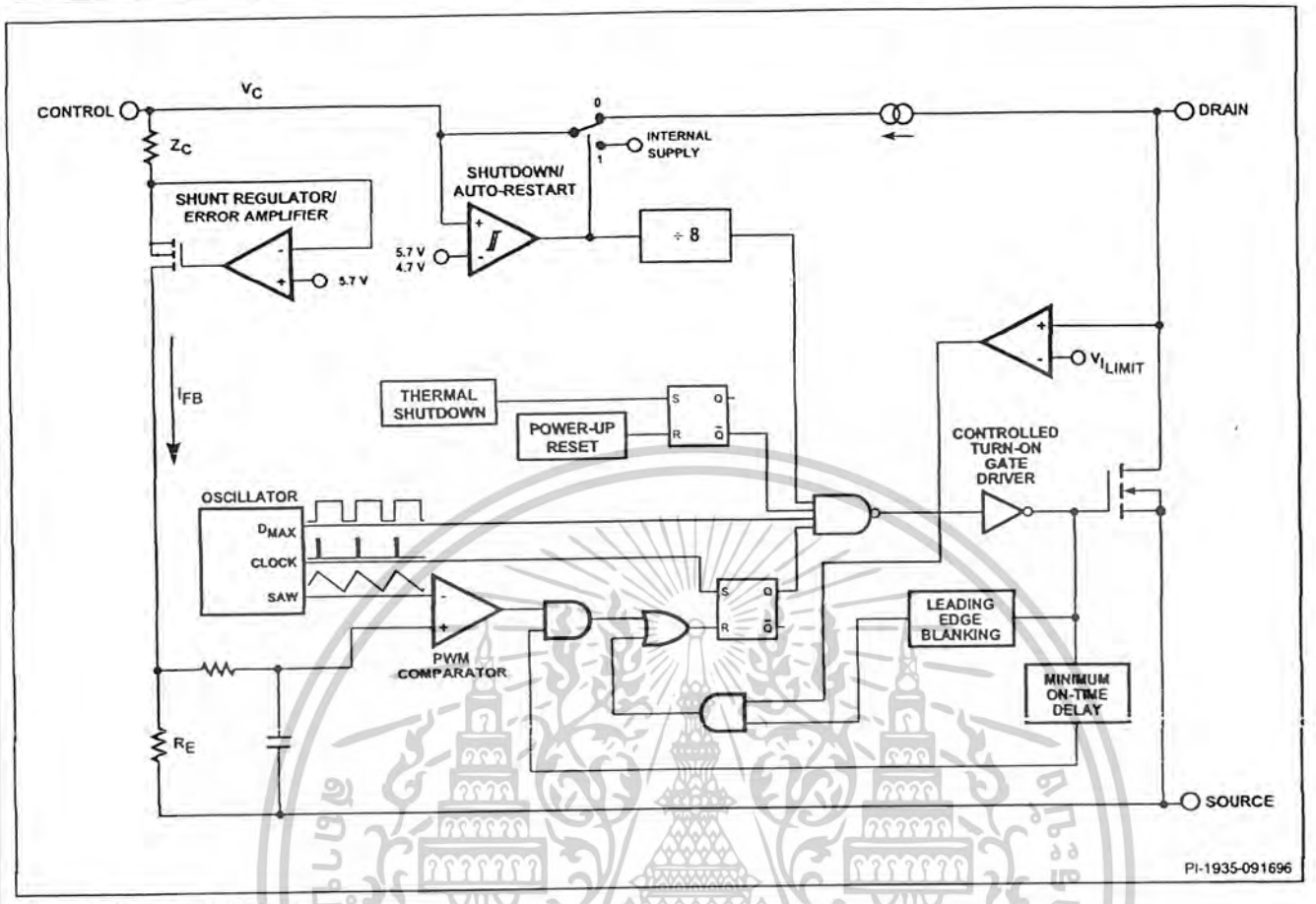


Figure 2. Functional Block Diagram.

Pin Functional Description

DRAIN Pin:
Output MOSFET drain connection. Provides internal bias current during start-up operation via an internal switched high-voltage current source. Internal current sense point.

CONTROL Pin:
Error amplifier and feedback current input pin for duty cycle control. Internal shunt regulator connection to provide internal bias current during normal operation. It is also used as the connection point for the supply bypass and auto-restart/ compensation capacitor.

SOURCE Pin:
Y package – Output MOSFET source connection for high voltage power return. Primary side circuit common and reference point.

P and G package – Primary side control circuit common and reference point.

SOURCE (HV RTN) Pin: (P and G package only)
Output MOSFET source connection for high voltage power return.

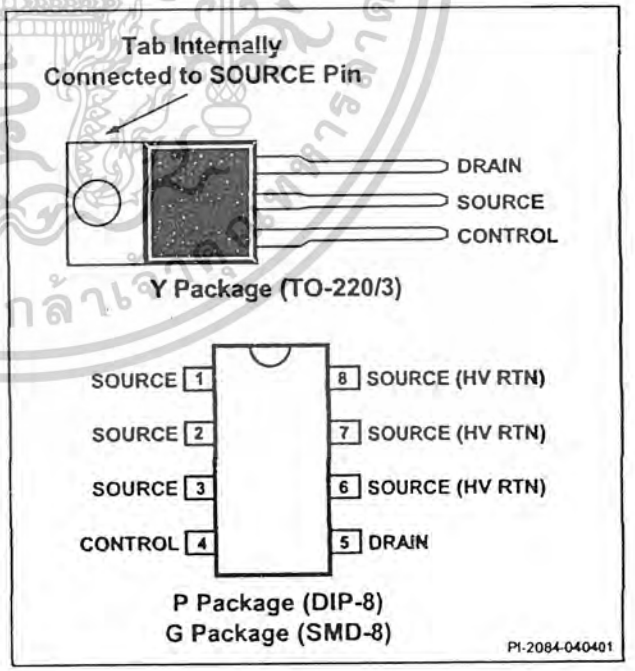


Figure 3. Pin Configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOPSwitch-II Family Functional Description

TOPSwitch is a self biased and protected linear control current-to-duty cycle converter with an open drain output. High efficiency is achieved through the use of CMOS and integration of the maximum number of functions possible. CMOS process significantly reduces bias currents as compared to bipolar or discrete solutions. Integration eliminates external power resistors used for current sensing and/or supplying initial start-up bias current.

During normal operation, the duty cycle of the internal output MOSFET decreases linearly with increasing CONTROL pin current as shown in Figure 4. To implement all the required control, bias, and protection functions, the DRAIN and CONTROL pins each perform several functions as described below. Refer to Figure 2 for a block diagram and to Figure 6 for timing and voltage waveforms of the *TOPSwitch* integrated circuit.

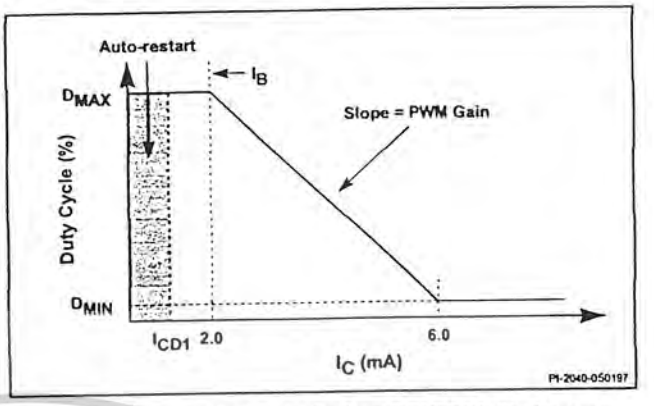


Figure 4. Relationship of Duty Cycle to CONTROL Pin Current.

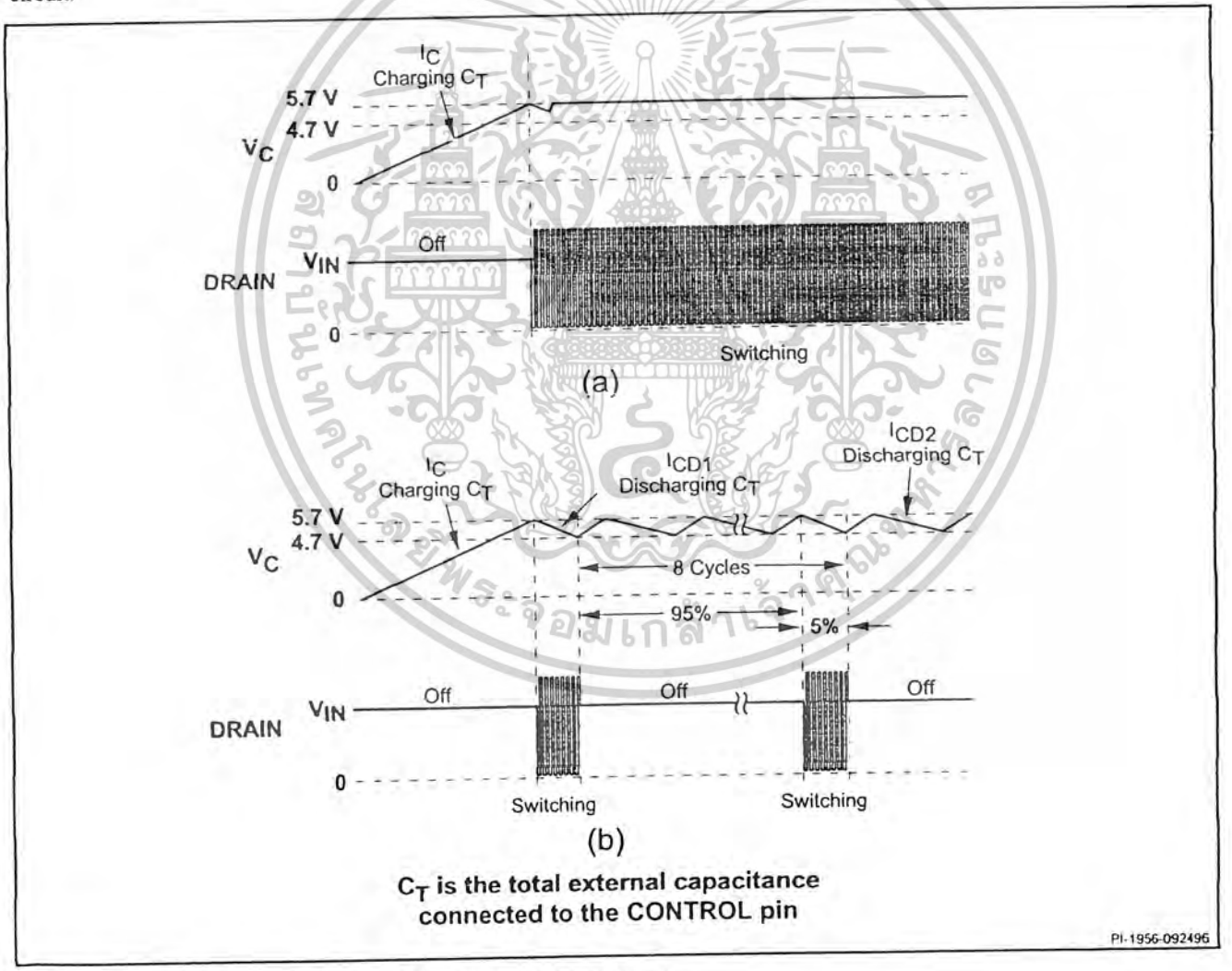


Figure 5. Start-up Waveforms for (a) Normal Operation and (b) Auto-restart.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOPSwitch-II Family Functional Description (cont.)

Control Voltage Supply

CONTROL pin voltage V_C is the supply or bias voltage for the controller and driver circuitry. An external bypass capacitor closely connected between the CONTROL and SOURCE pins is required to supply the gate drive current. The total amount of capacitance connected to this pin (C_T) also sets the auto-restart timing as well as control loop compensation. V_C is regulated in either of two modes of operation. Hysteretic regulation is used for initial start-up and overload operation. Shunt regulation is used to separate the duty cycle error signal from the control circuit supply current. During start-up, CONTROL pin current is supplied from a high-voltage switched current source connected internally between the DRAIN and CONTROL pins. The current source provides sufficient current to supply the control circuitry as well as charge the total external capacitance (C_T).

The first time V_C reaches the upper threshold, the high-voltage current source is turned off and the PWM modulator and output transistor are activated, as shown in Figure 5(a). During normal operation (when the output voltage is regulated) feedback control current supplies the V_C supply current. The shunt regulator keeps V_C at typically 5.7 V by shunting CONTROL pin feedback current exceeding the required DC supply current through the PWM error signal sense resistor R_E. The low dynamic impedance of this pin (Z_C) sets the gain of the error amplifier when used in a primary feedback configuration. The dynamic impedance of the CONTROL pin together with the external resistance and capacitance determines the control loop compensation of the power system.

If the CONTROL pin total external capacitance (C_T) should discharge to the lower threshold, the output MOSFET is turned off and the control circuit is placed in a low-current standby mode. The high-voltage current source turns on and charges the external capacitance again. Charging current is shown with a negative polarity and discharging current is shown with a positive polarity in Figure 6. The hysteretic auto-restart comparator keeps V_C within a window of typically 4.7 to 5.7 V by turning the high-voltage current source on and off as shown in Figure 5(b). The auto-restart circuit has a divide-by-8 counter which prevents the output MOSFET from turning on again until eight discharge-charge cycles have elapsed. The counter effectively limits *TOPSwitch* power dissipation by reducing the auto-restart duty cycle to typically 5%. Auto-restart continues to cycle until output voltage regulation is again achieved.

Bandgap Reference

All critical *TOPSwitch* internal voltages are derived from a temperature-compensated bandgap reference. This reference is also used to generate a temperature-compensated current source which is trimmed to accurately set the oscillator frequency and MOSFET gate drive current.

Oscillator

The internal oscillator linearly charges and discharges the internal capacitance between two voltage levels to create a sawtooth waveform for the pulse width modulator. The oscillator sets the pulse width modulator/current limit latch at the beginning of each cycle. The nominal frequency of 100 kHz was chosen to minimize EMI and maximize efficiency in power supply applications. Trimming of the current reference improves the frequency accuracy.

Pulse Width Modulator

The pulse width modulator implements a voltage-mode control loop by driving the output MOSFET with a duty cycle inversely proportional to the current into the CONTROL pin which generates a voltage error signal across R_E. The error signal across R_E is filtered by an RC network with a typical corner frequency of 7 kHz to reduce the effect of switching noise. The filtered error signal is compared with the internal oscillator sawtooth waveform to generate the duty cycle waveform. As the control current increases, the duty cycle decreases. A clock signal from the oscillator sets a latch which turns on the output MOSFET. The pulse width modulator resets the latch, turning off the output MOSFET. The maximum duty cycle is set by the symmetry of the internal oscillator. The modulator has a minimum ON-time to keep the current consumption of the *TOPSwitch* independent of the error signal. Note that a minimum current must be driven into the CONTROL pin before the duty cycle begins to change.

Gate Driver

The gate driver is designed to turn the output MOSFET on at a controlled rate to minimize common-mode EMI. The gate drive current is trimmed for improved accuracy.

Error Amplifier

The shunt regulator can also perform the function of an error amplifier in primary feedback applications. The shunt regulator voltage is accurately derived from the temperature compensated bandgap reference. The gain of the error amplifier is set by the CONTROL pin dynamic impedance. The CONTROL pin clamps external circuit signals to the V_C voltage level. The CONTROL pin current in excess of the supply current is separated by the shunt regulator and flows through R_E as a voltage error signal.

Cycle-By-Cycle Current Limit

The cycle by cycle peak drain current limit circuit uses the output MOSFET ON-resistance as a sense resistor. A current limit comparator compares the output MOSFET ON-state drain-source voltage, $V_{DS(ON)}$ with a threshold voltage. High drain current causes $V_{DS(ON)}$ to exceed the threshold voltage and turns the output MOSFET off until the start of the next clock cycle. The current limit comparator threshold voltage is temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

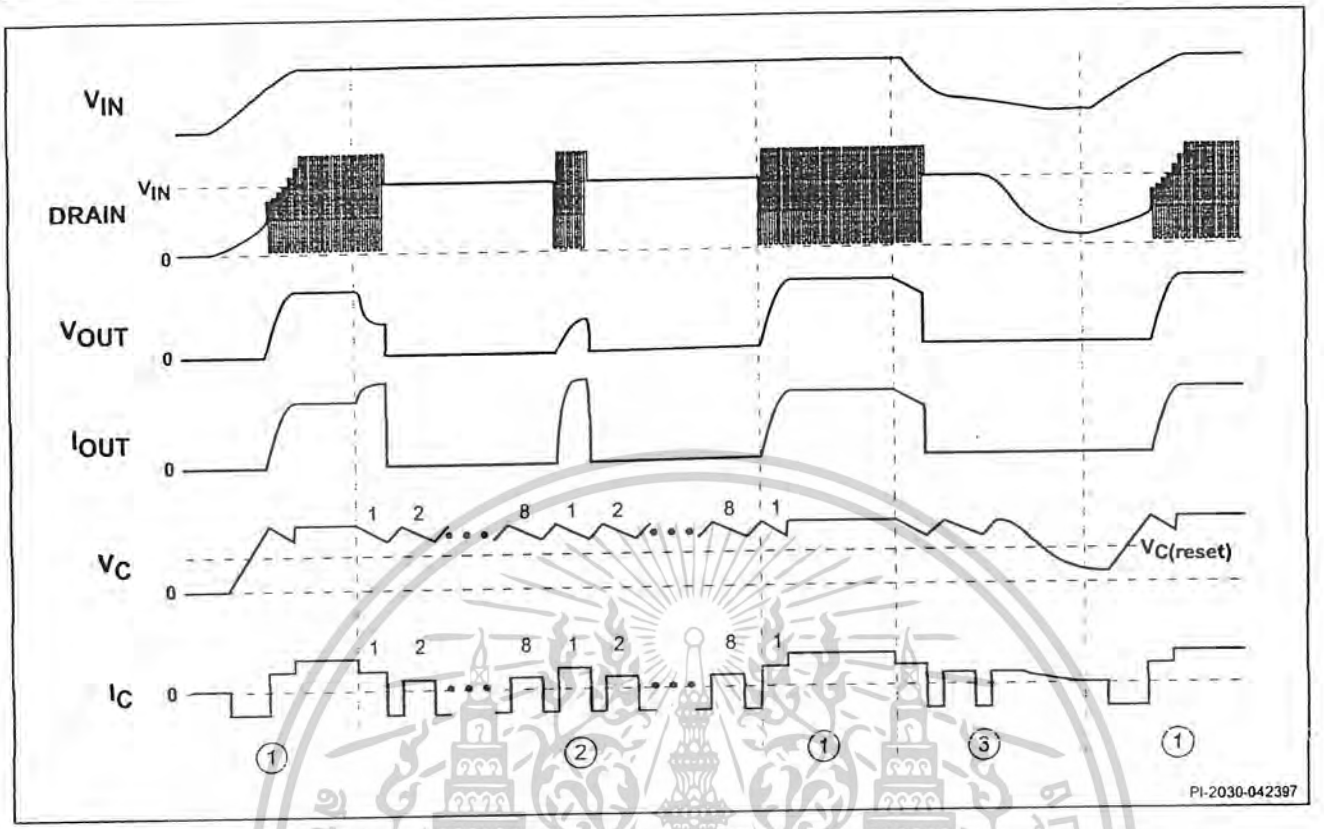


Figure 6. Typical Waveforms for (1) Normal Operation, (2) Auto-restart, and (3) Power Down Reset.

compensated to minimize variation of the effective peak current limit due to temperature related changes in output MOSFET $R_{DS(ON)}$.

The leading edge blanking circuit inhibits the current limit comparator for a short time after the output MOSFET is turned on. The leading edge blanking time has been set so that current spikes caused by primary-side capacitances and secondary-side rectifier reverse recovery time will not cause premature termination of the switching pulse.

The current limit can be lower for a short period after the leading edge blanking time as shown in Figure 12. This is due to dynamic characteristics of the MOSFET. To avoid triggering the current limit in normal operation, the drain current waveform should stay within the envelope shown.

Shutdown/Auto-restart

To minimize *TOPSwitch* power dissipation, the shutdown/auto-restart circuit turns the power supply on and off at an auto-restart duty cycle of typically 5% if an out of regulation condition persists. Loss of regulation interrupts the external current into the CONTROL pin. V_C regulation changes from shunt mode to the hysteretic auto-restart mode described above. When the fault condition is removed, the power supply output becomes regulated, V_C regulation returns to shunt mode, and normal operation of the power supply resumes.

Overtemperature Protection

Temperature protection is provided by a precision analog circuit that turns the output MOSFET off when the junction temperature exceeds the thermal shutdown temperature (typically 135 °C). Activating the power-up reset circuit by removing and restoring input power or momentarily pulling the CONTROL pin below the power-up reset threshold resets the latch and allows *TOPSwitch* to resume normal power supply operation. V_C is regulated in hysteretic mode and a 4.7 V to 5.7 V (typical) sawtooth waveform is present on the CONTROL pin when the power supply is latched off.

High-voltage Bias Current Source

This current source biases *TOPSwitch* from the DRAIN pin and charges the CONTROL pin external capacitance (C_T) during start-up or hysteretic operation. Hysteretic operation occurs during auto-restart and overtemperature latched shutdown. The current source is switched on and off with an effective duty cycle of approximately 35%. This duty cycle is determined by the ratio of CONTROL pin charge (I_C) and discharge currents (I_{CD1} and I_{CD2}). This current source is turned off during normal operation when the output MOSFET is switching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

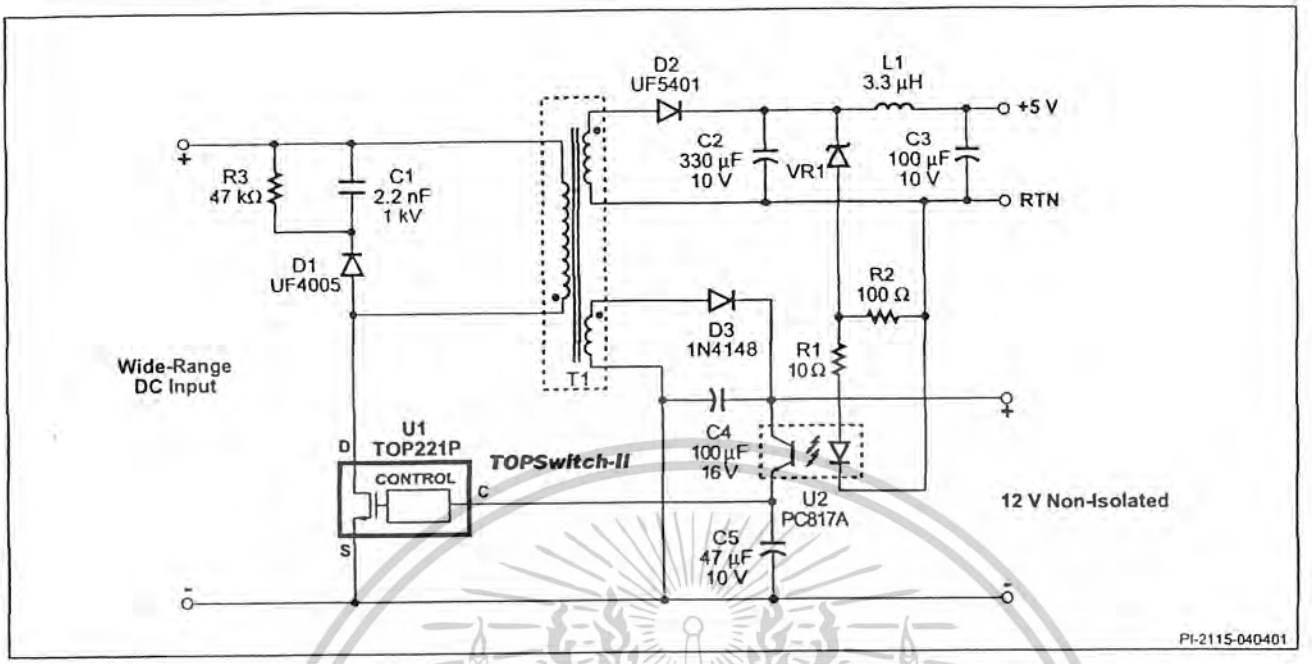


Figure 7. Schematic Diagram of a 4 W TOPSwitch-II Standby Power Supply using an 8 lead PDIP.

Application Examples

Following are just two of the many possible *TOPSwitch* implementations. Refer to the Data Book and Design Guide for additional examples.

4 W Standby Supply using 8 Lead PDIP

Figure 7 shows a 4 W standby supply. This supply is used in appliances where certain standby functions (e.g. real time clock, remote control port) must be kept active even while the main power supply is turned off.

The 5 V secondary is used to supply the standby function and the 12 V non-isolated output is used to supply power for the PWM controller of the main power supply and other primary side functions.

For this application the input rectifiers and input filter are sized for the main supply and are not shown. The input DC rail may vary from 100 V to 380 V DC which corresponds to the full universal AC input range. The TOP221 is packaged in an 8 pin power DIP package.

The output voltage (5 V) is directly sensed by the Zener diode (VR1) and the optocoupler (U2). The output voltage is determined by the sum of the Zener voltage and the voltage drop across the LED of the optocoupler (the voltage drop across R1 is negligible). The output transistor of the optocoupler drives the CONTROL pin of the TOP221. C5 bypasses the CONTROL pin and provides control loop compensation and sets the auto-restart frequency.

The transformer's leakage inductance voltage spikes are snubbed by R3 and C1 through diode D1. The bias winding is rectified and filtered by D3 and C4 providing a non-isolated 12 V output which is also used to bias the collector of the optocoupler's output transistor. The isolated 5 V output winding is rectified by D2 and filtered by C2, L1 and C3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

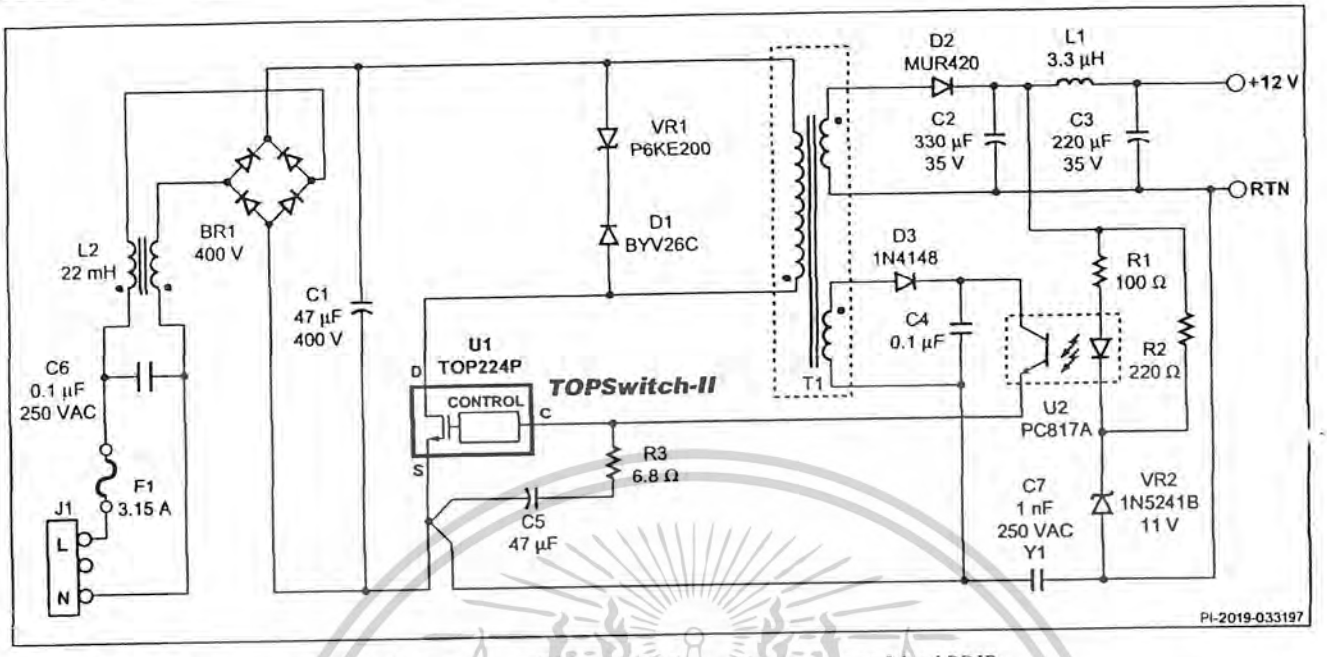


Figure 8. Schematic Diagram of a 20 W Universal Input TOPSwitch-II Power Supply using an 8 lead PDIP.

20 W Universal Supply using 8 Lead PDIP

Figure 8 shows a 12 V, 20 W secondary regulated flyback power supply using the TOP224P in an eight lead PDIP package and operating from universal 85 to 265 VAC input voltage. This example demonstrates the advantage of the higher power 8 pin leadframe used with the *TOPSwitch-II* family. This low cost package transfers heat directly to the board through six source pins, eliminating the heatsink and the associated cost. Efficiency is typically 80% at low line input. Output voltage is directly sensed by optocoupler U2 and Zener diode VR2. The output voltage is determined by the Zener diode (VR2) voltage and the voltage drops across the optocoupler (U2) LED and resistor R1. Other output voltages are possible by adjusting the transformer turns ratio and value of Zener diode VR2.

AC power is rectified and filtered by BR1 and C1 to create the high voltage DC bus applied to the primary winding of T1. The other side of the transformer primary is driven by the integrated *TOPSwitch-II* high-voltage MOSFET. D1 and VR1 clamp leading-edge voltage spikes caused by transformer leakage inductance. The power secondary winding is rectified and filtered by D2, C2, L1, and C3 to create the 12 V output voltage. R2 and VR2 provide a slight pre-load on the 12 V output to improve load regulation at light loads. The bias winding is rectified and filtered by D3 and C4 to create a *TOPSwitch* bias voltage. L2 and Y1-safety capacitor C7 attenuate common mode emission currents caused by high voltage switching waveforms on the DRAIN side of the primary winding and the primary to secondary capacitance. Leakage inductance of L2 with C1 and C6 attenuates differential-mode emission currents caused by the fundamental and harmonics of the trapezoidal or triangular primary current waveform. C5 filters internal MOSFET gate drive charge current spikes on the CONTROL pin, determines the auto-restart frequency, and together with R1 and R3, compensates the control loop.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Key Application Considerations

General Guidelines

- Keep the SOURCE pin length very short. Use a Kelvin connection to the SOURCE pin for the CONTROL pin bypass capacitor. Use single point grounding techniques at the SOURCE pin as shown in Figure 9.

- Minimize peak voltage and ringing on the DRAIN voltage at turn-off. Use a Zener or TVS Zener diode to clamp the drain voltage below the breakdown voltage rating of *TOPSwitch* under all conditions, including start-up and overload. The maximum recommended clamp Zener voltage for the TOP2XX series is 200 V and the corresponding maximum reflected output voltage on the primary is 135 V. Please see Step 4: AN-16 in the 1996-97 Data Book and Design Guide or on our Web site.

- The transformer should be designed such that the rate of change of drain current due to transformer saturation is within the absolute maximum specification (ΔI_D in 100 ns before turn off as shown in Figure 13). As a guideline, for most common transformer cores, this can be achieved by maintaining the Peak Flux Density (at maximum I_{LIMIT} current) below 4200 Gauss (420 mT). The transformer spreadsheets Rev. 2.1 (or later) for continuous and Rev. 1.0 (or later) for discontinuous conduction mode provide the necessary information.

- Do not plug *TOPSwitch* into a "hot" IC socket during test. External CONTROL pin capacitance may be charged to excessive voltage and cause *TOPSwitch* damage.

- While performing *TOPSwitch* device tests, do not exceed maximum CONTROL pin voltage of 9 V or maximum CONTROL pin current of 100 mA.

- Under some conditions, externally provided bias or supply current driven into the CONTROL pin can hold the *TOPSwitch* in one of the 8 auto-restart cycles indefinitely and prevent starting. To avoid this problem when doing bench evaluations, it is recommended that the V_C power supply be turned on before the DRAIN voltage is applied. *TOPSwitch* can also be reset by shorting the CONTROL pin to the SOURCE pin momentarily.

- CONTROL pin currents during auto-restart operation are much lower at low input voltages (< 36 V) which increases the auto-restart cycle time (see the I_C vs. DRAIN Voltage Characteristic curve).

- Short interruptions of AC power may cause *TOPSwitch* to enter the 8-count auto-restart cycle before starting again. This is because the input energy storage capacitors are not completely discharged and the CONTROL pin capacitance has not discharged below the internal power-up reset voltage.

- In some cases, minimum loading may be necessary to keep a lightly loaded or unloaded output voltage within the desired range due to the minimum ON-time.

Replacing *TOPSwitch* with *TOPSwitch-II*

There is no external latching shutdown function in *TOPSwitch-II*. Otherwise, the functionality of the *TOPSwitch-II* devices is same as that of the *TOPSwitch* family. However, **before considering *TOPSwitch-II* as a 'drop in' replacement in an existing *TOPSwitch* design, the design should be verified as described below.**

The new *TOPSwitch-II* family offers more power capability than the original *TOPSwitch* family for the same MOSFET $R_{DS(ON)}$. Therefore, the original *TOPSwitch* design must be reviewed to make sure that the selected *TOPSwitch-II* replacement device and other primary components are not over stressed under abnormal conditions.

The following verification steps are recommended:

- Check the transformer design to make sure that it meets the ΔI_D specification as outlined in the General Guidelines section above.

- Thermal: Higher power capability of the *TOPSwitch-II* would in many instances allow use of a smaller MOSFET device (higher $R_{DS(ON)}$) for reduced cost. This may affect *TOPSwitch* power dissipation and power supply efficiency. Therefore thermal performance of the power supply must be verified with the selected *TOPSwitch-II* device.

- Clamp Voltage: Reflected and Clamp voltages should be verified not to exceed recommended maximums for the TOP2XX Series: 135 V Reflected/200 V Clamp. Please see Step 4: AN-16 in the Data Book and Design Guide and readme.txt file attached to the transformer design spreadsheets.

- Agency Approval: Migrating to *TOPSwitch-II* may require agency re-approval.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

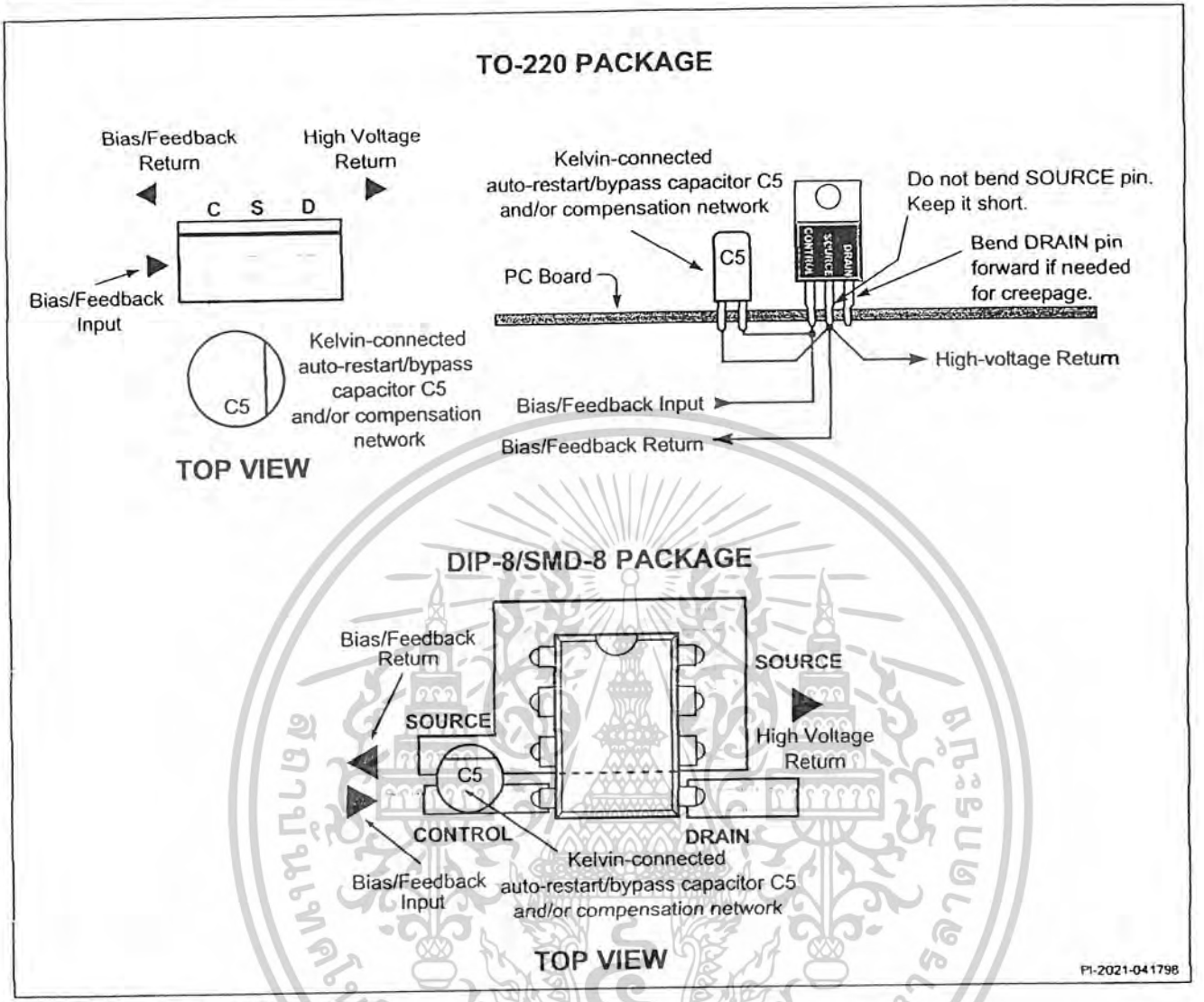


Figure 9. Recommended TOPSwitch Layout.

Design Tools

The following tools available from Power Integrations greatly simplify *TOPSwitch* based power supply design.

- Data Book and Design Guide includes extensive application information
- Excel Spreadsheets for Transformer Design - **Use of this tool is strongly recommended for all *TOPSwitch* designs.**
- Reference design boards – Production viable designs that are assembled and tested.

All data sheets, application literature and up-to-date versions of the Transformer Design Spreadsheets can be downloaded from our Web site at ***www.powerint.com***. A diskette of the Transformer Design Spreadsheets may also be obtained by sending in the completed form provided at the end of this data sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS(1)

DRAIN Voltage ..... -0.3 to 700 V
DRAIN Current Increase (ΔI_D) in 100 ns except during blanking time ..... 0.1 x $I_{LIMIT(MAX)}$ (2)
CONTROL Voltage ..... - 0.3 V to 9 V
CONTROL Current ..... 100 mA
Storage Temperature ..... -65 to 150 °C

Notes:

1. All voltages referenced to SOURCE, T_A = 25 °C.
2. Related to transformer saturation – see Figure 13.
3. Normally limited by internal circuitry.
4. 1/16" from case for 5 seconds.

Operating Junction Temperature(3) ..... -40 to 150 °C
Lead Temperature(4) ..... 260 °C
Thermal Impedance: Y Package (θ_{JA})(5) .....70 °C/W
(θ_{JC})(6) .....2 °C/W
P/G Package:
(θ_{JA}) .....45 °C/W(7); 35 °C/W(8)
(θ_{JC})(6).....11 °C/W

5. Free standing with no heatsink.
6. Measured at tab closest to plastic interface or SOURCE pin.
7. Soldered to 0.36 sq. inch (232 mm²), 2 oz. (610 gm/m²) copper clad.
8. Soldered to 1 sq. inch (645 mm²), 2 oz. (610 gm/m²) copper clad.

Parameter	Symbol	Conditions (Unless Otherwise Specified) See Figure 14 SOURCE = 0 V; T_J = -40 to 125 °C		Min	Typ	Max	Units
CONTROL FUNCTIONS							
Output Frequency	f_{OSC}	I_C = 4 mA, T_J = 25 °C		90	100	110	kHz
Maximum Duty Cycle	D_{MAX}	$I_C = I_{CD1}$ + 0.4 mA, See Figure 10		64	67	70	%
Minimum Duty Cycle	D_{MIN}	I_C = 10 mA, See Figure 10		0.7	1.7	2.7	%
PWM Gain		I_C = 4 mA, T_J = 25 °C See Figure 4		-21	-16	-11	%/mA
PWM Gain Temperature Drift		See Note A			-0.05		%/mA/°C
External Bias Current	I_B	See Figure 4		0.8	2.0	3.3	mA
Dynamic Impedance	Z_C	I_C = 4 mA, T_J = 25 °C See Figure 11		10	15	22	Ω
Dynamic Impedance Temperature Drift					0.18		%/°C
SHUTDOWN/AUTO-RESTART							
CONTROL Pin Charging Current	I_C	T_J = 25 °C	V_C = 0 V	-2.4	-1.9	-1.2	mA
			V_C = 5 V	-2	-1.5	-0.8	
Charging Current Temperature Drift		See Note A			0.4		%/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	Symbol	Conditions (Unless Otherwise Specified) See Figure 14 SOURCE = 0 V; T_J = -40 to 125 °C		Min	Typ	Max	Units
SHUTDOWN/AUTO-RESTART (cont.)							
Auto-restart Threshold Voltage	$V_{C(AR)}$	S1 open			5.7		V
UV Lockout Threshold Voltage		S1 open		4.4	4.7	5.0	V
Auto-restart Hysteresis Voltage		S1 open		0.6	1.0		V
Auto-restart Duty Cycle		S1 open	TOP221-222	2	5	9	%
			TOP223-227	2	5	8	
Auto-restart Frequency		S1 open			1.2		Hz
CIRCUIT PROTECTION							
Self-protection Current Limit	I_{LIMIT}	di/dt = 40 mA/µs, T_J = 25 °C	TOP221Y	0.23	0.25	0.28	A
			TOP221P or G				
		di/dt = 80 mA/µs, T_J = 25 °C	TOP222Y	0.45	0.50	0.55	
			TOP222P or G				
		di/dt = 160 mA/µs, T_J = 25 °C	TOP223Y	0.90	1.00	1.10	
			TOP223P or G				
		di/dt = 240 mA/µs, T_J = 25 °C	TOP224Y	1.35	1.50	1.65	
			TOP224P or G				
		di/dt = 320 mA/µs, T_J = 25 °C	TOP225Y	1.80	2.00	2.20	
		di/dt = 400 mA/µs, T_J = 25 °C	TOP226Y	2.25	2.50	2.75	
		di/dt = 480 mA/µs, T_J = 25 °C	TOP227Y	2.70	3.00	3.30	
Initial Current Limit	I_{INIT}	See Figure 12 T_J = 25 °C	≤ 85 VAC (Rectified Line Input)	0.75 x $I_{LIMIT(MIN)}$			A
			265 VAC (Rectified Line Input)	0.6 x $I_{LIMIT(MIN)}$			
Leading Edge Blanking Time	t_{LEB}	I_C = 4 mA, T_J = 25 °C			180		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	Symbol	Conditions (Unless Otherwise Specified) See Figure 11 SOURCE = 0 V; T_J = -40 to 125 °C	Min	Typ	Max	Units
CIRCUIT PROTECTION (cont.)						
Current Limit Delay	t_{ILD}	I_C = 4 mA		100		ns
Thermal Shutdown Temperature		I_C = 4 mA	125	135		°C
Power-up Reset Threshold Voltage	$V_{C(RESET)}$	S2 open	2.0	3.3	4.3	V
OUTPUT						
ON-State Resistance	$R_{DS(ON)}$	TOP221 I_D = 25 mA, T_J = 25 °C		31.2	36.0	Ω
		TOP221 I_D = 25 mA, T_J = 100 °C		51.4	60.0	Ω
		TOP222 I_D = 50 mA, T_J = 25 °C		15.6	18.0	Ω
		TOP222 I_D = 50 mA, T_J = 100 °C		25.7	30.0	Ω
		TOP223 I_D = 100 mA, T_J = 25 °C		7.8	9.0	Ω
		TOP223 I_D = 100 mA, T_J = 100 °C		12.9	15.0	Ω
		TOP224 I_D = 150 mA, T_J = 25 °C		5.2	6.0	Ω
		TOP224 I_D = 150 mA, T_J = 100 °C		8.6	10.0	Ω
		TOP225 I_D = 200 mA, T_J = 25 °C		3.9	4.5	Ω
		TOP225 I_D = 200 mA, T_J = 100 °C		6.4	7.5	Ω
		TOP226 I_D = 250 mA, T_J = 25 °C		3.1	3.6	Ω
		TOP226 I_D = 250 mA, T_J = 100 °C		5.2	6.0	Ω
		TOP227 I_D = 300 mA, T_J = 25 °C		2.6	3.0	Ω
		TOP227 I_D = 300 mA, T_J = 100 °C		4.3	5.0	Ω
OFF-State Current	I_{DSS}	See Note B V_{DS} = 560 V, T_A = 125 °C			250	µA
Breakdown Voltage	BV_{DSS}	See Note B I_D = 100 µA, T_A = 25 °C	700			V
Rise Time	t_R	Measured in a Typical Flyback Converter Application.		100		ns
Fall Time	t_F			50		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	Symbol	Conditions (Unless Otherwise Specified) See Figure 14 SOURCE = 0 V; T_J = -40 to 125 °C		Min	Typ	Max	Units
OUTPUT (cont.)							
DRAIN Supply Voltage		See Note C		36			V
Shunt Regulator Voltage	$V_{C(SHUNT)}$	I_C = 4 mA		5.5	5.7	6.0	V
Shunt Regulator Temperature Drift					±50		ppm/°C
CONTROL Supply/ Discharge Current	I_{CD1}	Output MOSFET Enabled	TOP221-224	0.6	1.2	1.6	mA
			TOP225-227	0.7	1.4	1.8	
	I_{CD2}	Output MOSFET Disabled		0.5	0.8	1.1	

NOTES:

A. For specifications with negative values, a negative temperature coefficient corresponds to an increase in magnitude with increasing temperature, and a positive temperature coefficient corresponds to a decrease in magnitude with increasing temperature.

B. The breakdown voltage and leakage current measurements can be accomplished as shown in Figure 15 by using the following sequence:

i. The curve tracer should initially be set at 0 V. The base output should be adjusted through a voltage sequence of 0 V, 6.5 V, 4.3 V, and 6.5 V, as shown. The base current from the curve tracer should not exceed 100 mA. This CONTROL pin sequence interrupts the Auto-restart sequence and locks the *TOPSwitch* internal MOSFET in the OFF State.

ii. The breakdown and the leakage measurements can now be taken with the curve tracer. The maximum voltage from the curve tracer must be limited to 700 V under all conditions.

C. It is possible to start up and operate *TOPSwitch* at DRAIN voltages well below 36 V. However, the CONTROL pin charging current is reduced, which affects start-up time, auto-restart frequency, and auto-restart duty cycle. Refer to the characteristic graph on CONTROL pin charge current (I_C) vs. DRAIN voltage for low voltage operation characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

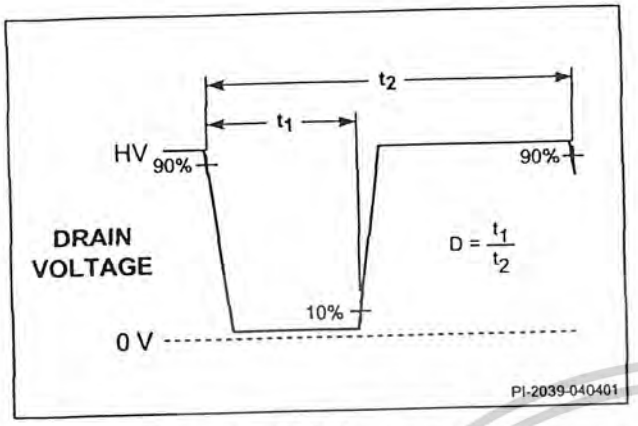


Figure 10. TOPSwitch Duty Cycle Measurement.

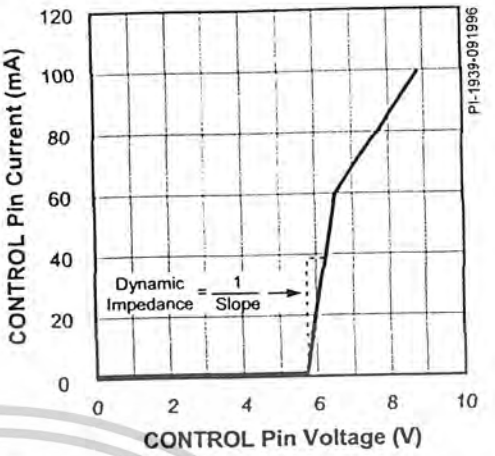


Figure 11. TOPSwitch CONTROL Pin I-V Characteristic.

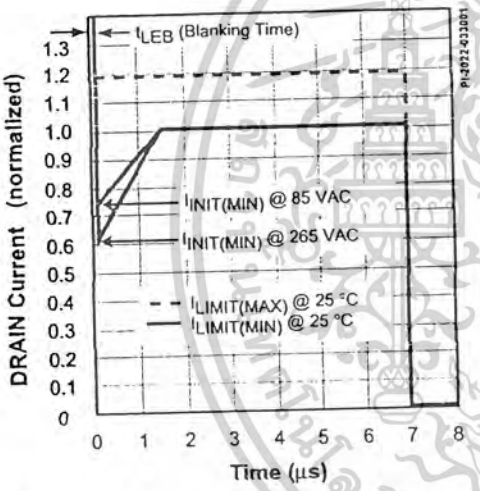


Figure 12. Self-protection Current Limit Envelope.

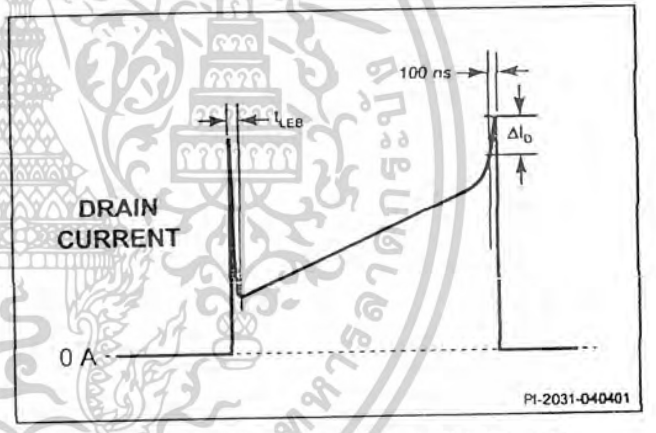


Figure 13. Example of ΔI_D on Drain Current Waveform with Saturated Transformer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

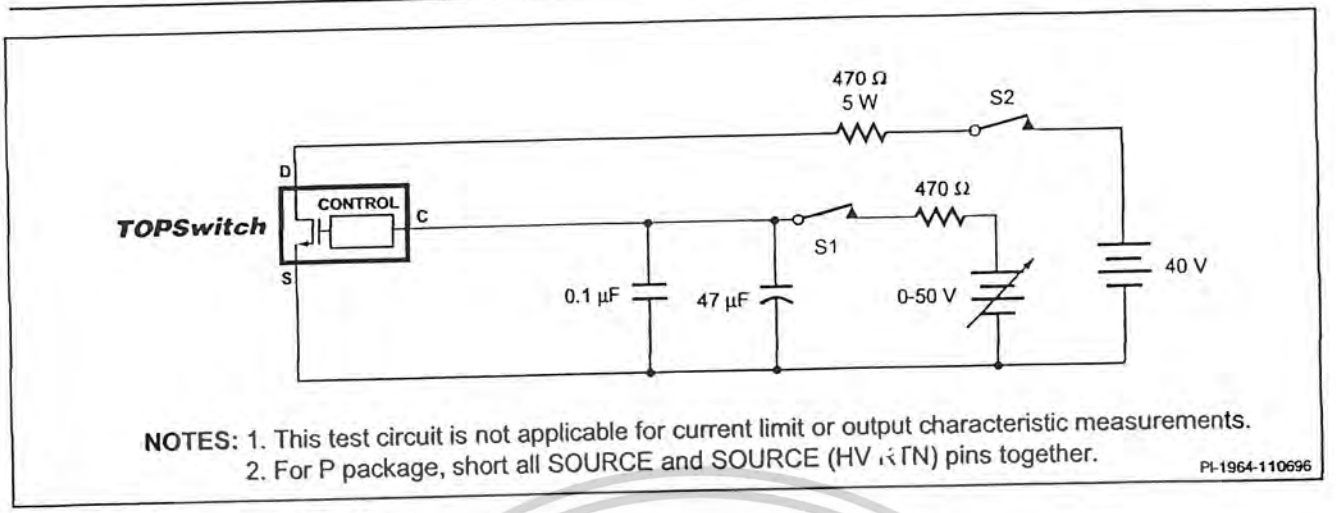


Figure 14. TOPSwitch General Test Circuit.

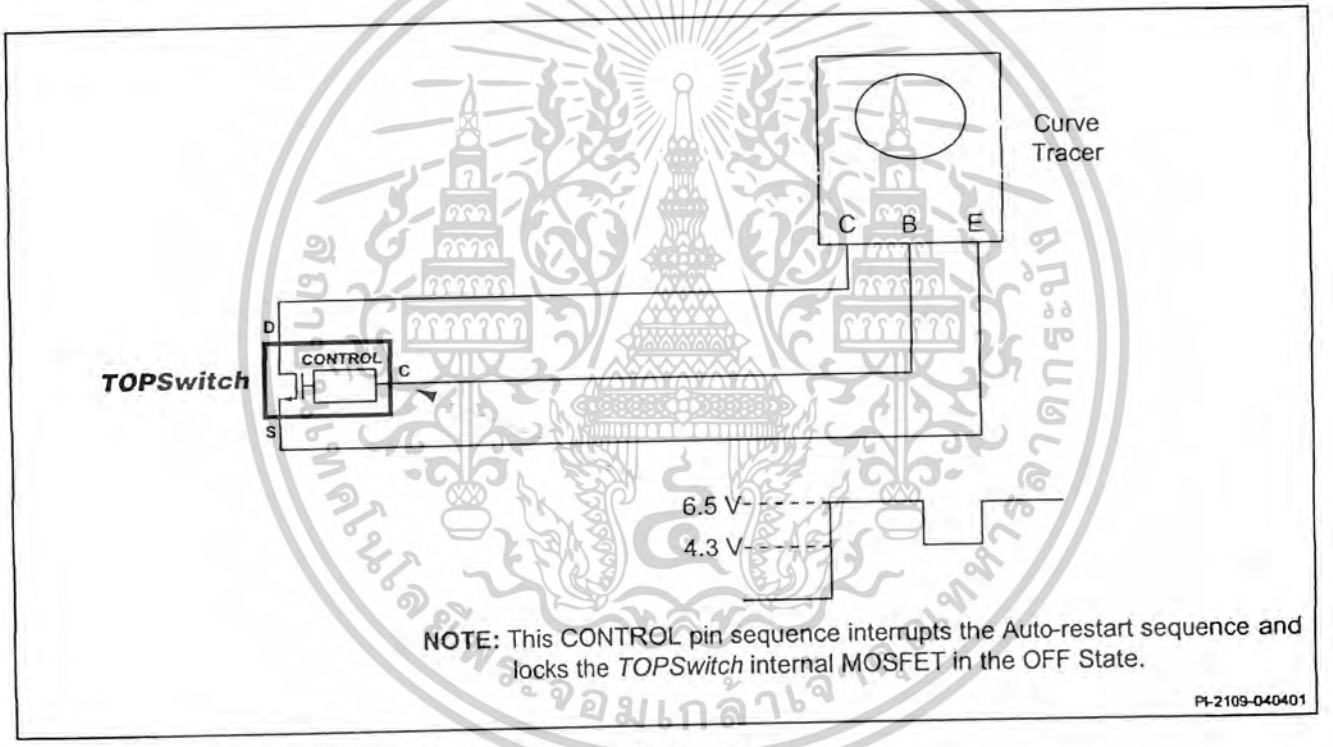


Figure 15. Breakdown Voltage and Leakage Current Measurement Test Circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

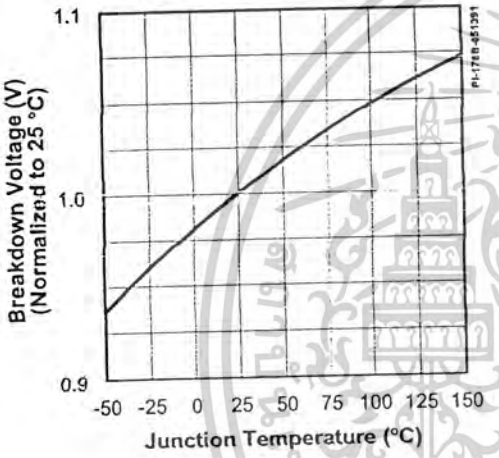
BENCH TEST PRECAUTIONS FOR EVALUATION OF ELECTRICAL CHARACTERISTICS

The following precautions should be followed when testing *TOPSwitch* by itself outside of a power supply. The schematic shown in Figure 14 is suggested for laboratory testing of *TOPSwitch*.

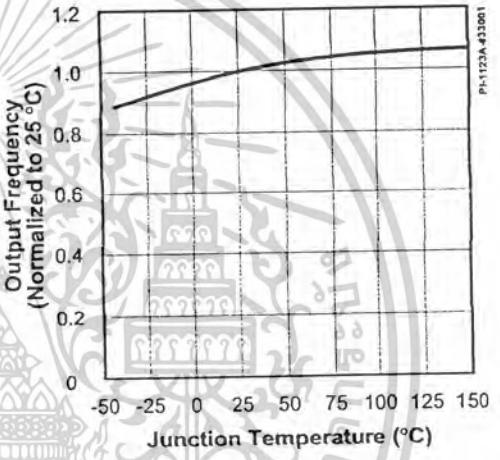
When the DRAIN supply is turned on, the part will be in the Auto-restart mode. The CONTROL pin voltage will be oscillating at a low frequency from 4.7 to 5.7 V and the DRAIN is turned on every eighth cycle of the CONTROL pin oscillation. If the CONTROL pin power supply is turned on while in this Auto-restart mode, there is only a 12.5% chance that the control pin oscillation will be in the correct state (DRAIN active state) so that the continuous DRAIN voltage waveform may be observed. It is recommended that the V_C power supply be turned on first and the DRAIN power supply second if continuous drain voltage waveforms are to be observed. The 12.5% chance of being in the correct state is due to the 8:1 counter. Temporarily shorting the CONTROL pin to the SOURCE pin will reset *TOPSwitch*, which then will come up in the correct state.

Typical Performance Characteristics

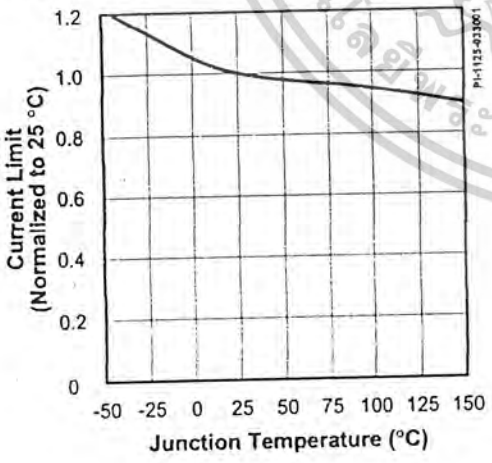
BREAKDOWN vs. TEMPERATURE



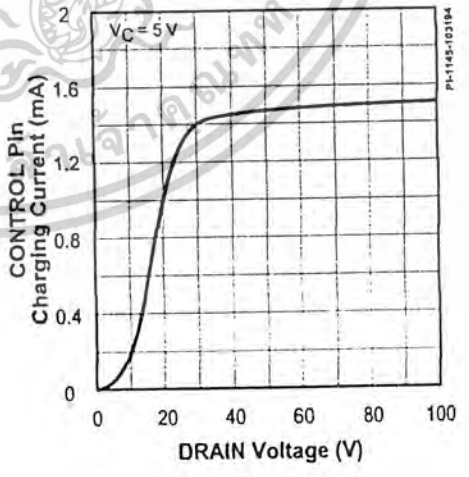
FREQUENCY vs. TEMPERATURE



CURRENT LIMIT vs. TEMPERATURE



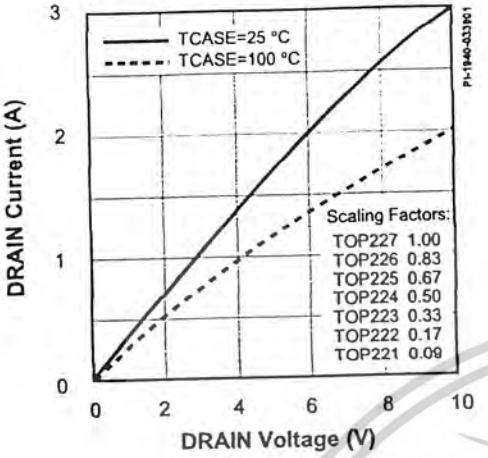
I_C vs. DRAIN VOLTAGE



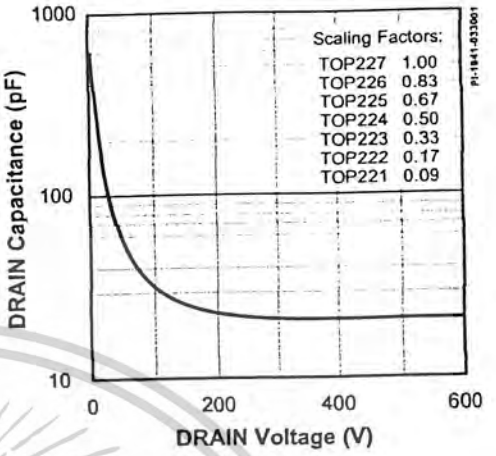
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (cont.)

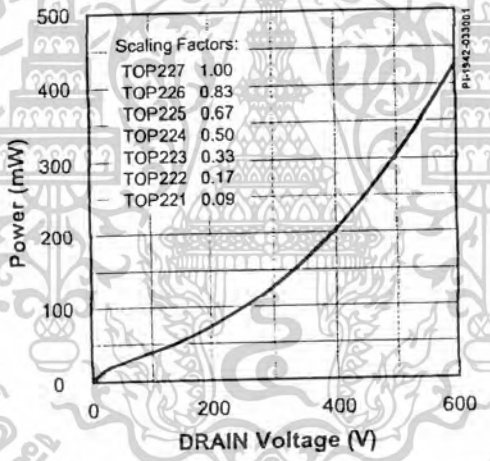
OUTPUT CHARACTERISTICS



COSS vs. DRAIN VOLTAGE



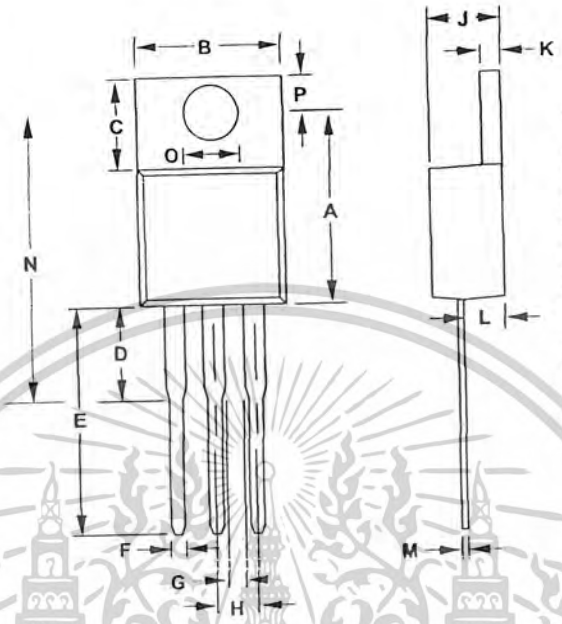
DRAIN CAPACITANCE POWER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TO-220/3

DIM	inches	mm
A	.460-.480	11.68-12.19
B	.400-.415	10.16-10.54
C	.236-.260	5.99-6.60
D	.240 - REF.	6.10 - REF.
E	.520-.560	13.21-14.22
F	.028-.038	.71-.97
G	.045-.055	1.14-1.40
H	.090-.110	2.29-2.79
J	.165-.185	4.19-4.70
K	.045-.055	1.14-1.40
L	.095-.115	2.41-2.92
M	.015-.020	.38-.51
N	.705-.715	17.91-18.16
O	.146-.156	3.71-3.96
P	.103-.113	2.62-2.87



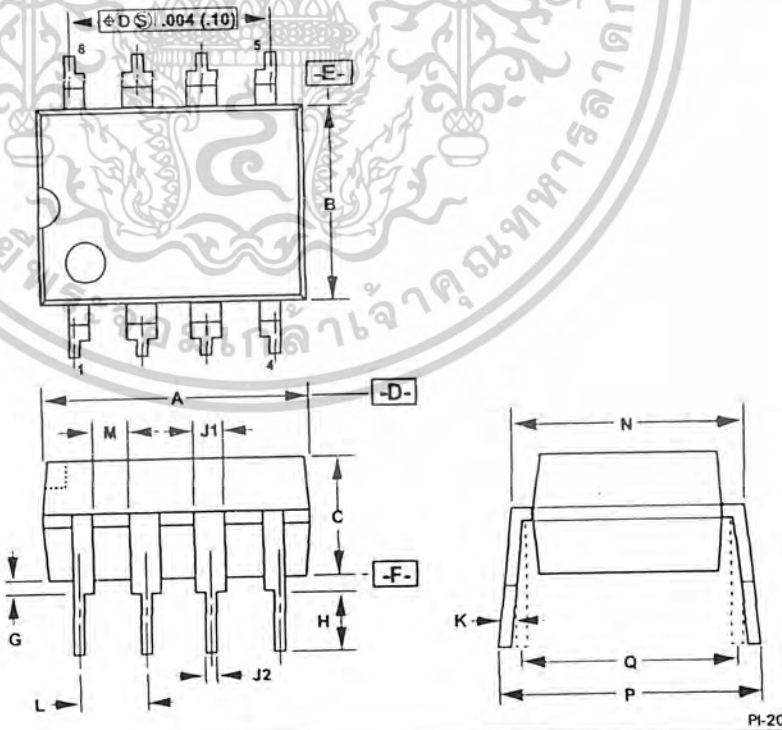
Notes:
1. Package dimensions conform to JEDEC specification TO-220 AB for *standard flange mounted, peripheral* lead package; .100 inch lead spacing (Plastic) 3 leads (issue J, March 1987)
2. Controlling dimensions are inches.
3. Pin numbers start with Pin 1, and continue from left to right when viewed from the top.
4. Dimensions shown do not include mold flash or other protrusions. Mold flash or protrusions shall not exceed .006 (.15 mm) on any side.
5. Position of terminals to be measured at a position .25 (6.35 mm) from the body.
6. All terminals are solder plated.

Y03A

PI-1848-040901

DIP-8

DIM	inches	mm
A	0.370-0.385	9.40-9.78
B	0.245-0.255	6.22-6.48
C	0.125-0.135	3.18-3.43
G	0.015-0.040	0.38-1.02
H	0.120-0.135	3.05-3.43
J1	0.060 (NOM)	1.52 (NOM)
J2	0.014-0.022	0.36-0.56
K	0.010-0.012	0.25-0.30
L	0.090-0.110	2.29-2.79
M	0.030 (MIN)	0.76 (MIN)
N	0.300-0.320	7.62-8.13
P	0.300-0.390	7.62-9.91
Q	0.300 BSC	7.62 BSC



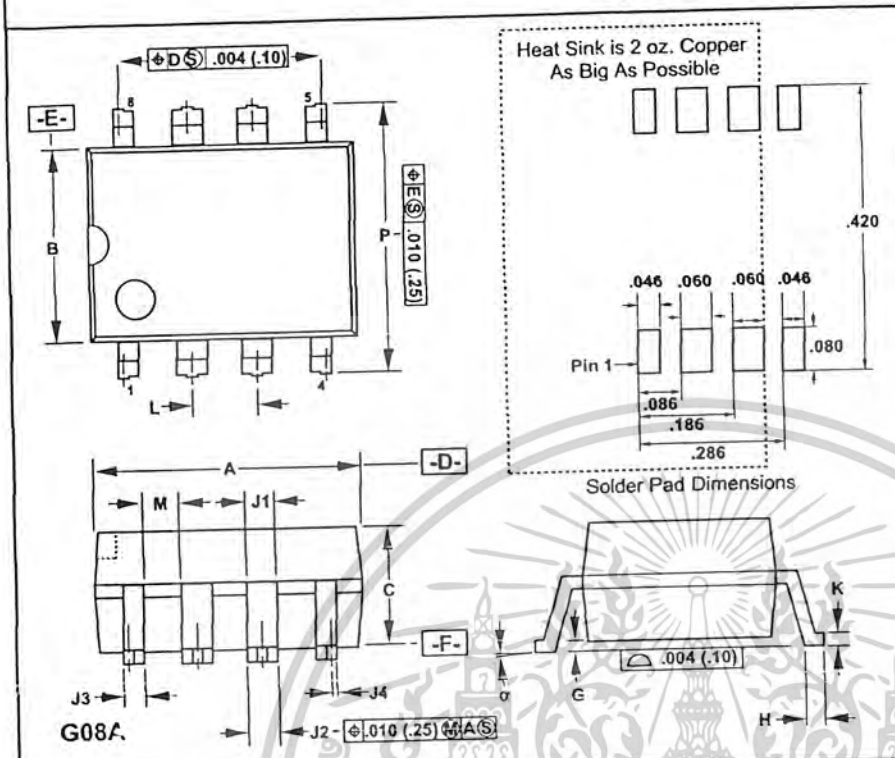
Notes:
1. Package dimensions conform to JEDEC specification MS-001-AB for standard dual in-line (DIP) package .300 inch row spacing (PLASTIC) 8 leads (issue B, 7/85)..
2. Controlling dimensions are inches.
3. *Dimensions shown do not include mold* flash or other protrusions. Mold flash or protrusions shall not exceed .006 (.15) on any side.
4. D, E and F are reference datums on the molded body.

P08A

PI-2076-040901

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SMD-8



DIM	inches	mm
A	0.370-0.385	9.40-9.78
B	0.245-0.255	6.22-6.48
C	0.125-0.135	3.18-3.43
G	0.004-0.012	0.10-0.30
H	0.036-0.044	0.91-1.12
J1	0.060 (NOM)	1.52 (NOM)
J2	0.048-0.053	1.22-1.35
J3	0.032-0.037	0.81-0.94
J4	0.007-0.011	0.18-0.28
K	0.010-0.012	0.25-0.30
L	0.100 BSC	2.54 BSC
M	0.030 (MIN)	0.76 (MIN)
P	0.372-0.388	9.45-9.86
α	0-8°	0-8°

Notes:
1. Package dimensions conform to JEDEC specification MS-001-AB (Issue B, 7/85) except for lead shape and size.
2. Controlling dimensions are inches.
3. Dimensions shown do not include mold flash or other protrusions. Mold flash or protrusions shall not exceed .005 (.15) on any side.
4. D, E and F are reference datums on the *molded body*.

PI-2077-042601

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Revision	Notes	Date
C	-	12/97
D	1) Updated package references. 2) Corrected Spelling. 3) Corrected Storage Temperature θ_{JC} and updated nomenclature in parameter table. 4) Added G package references to Self-Protection Current Limit parameter. 5) Corrected font sizes in figures.	7/01

For the latest updates, visit our Web site: ***www.powerint.com***
Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein, nor does it convey any license under its patent rights or the rights of others.

The PI Logo, ***TOPSwitch***, ***TinySwitch*** and ***EcoSmart*** are registered trademarks of Power Integrations, Inc.
©Copyright 2001, Power Integrations, Inc.

WORLD HEADQUARTERS
AMERICAS
Power Integrations, Inc.
5245 Hellyer Avenue
San Jose, CA 95138 USA
Main: +1 408-414-9200
Customer Service:
Phone: +1 408-414-9665
Fax: +1 408-414-9765
e-mail: usasales@powerint.com

EUROPE & AFRICA
Power Integrations (Europe) Ltd.
Centennial Court
Easthampstead Road
Bracknell
Berkshire, RG12 1YQ
United Kingdom
Phone: +44-1344-462-300
Fax: +44-1344-311-732
e-mail: eurosales@powerint.com

TAIWAN
Power Integrations
International Holdings, Inc.
17F-3, No. 510
Chung Hsiao E. Rd.,
Sec. 5,
Taipei, Taiwan 110, R.O.C.
Phone: +886-2-2727-1221
Fax: +886-2-2727-1223
e-mail: taiwansales@powerint.com

CHINA
Power Integrations
International Holdings, Inc.
Rm# 1705, Bao Hua Bldg.
1016 Hua Qiang Bei Lu
Shenzhen, Guangdong 518031
China
Phone: +86-755-367-5143
Fax: +86-755-377-9610
e-mail: chinasales@powerint.com

KOREA
Power Integrations
International Holdings, Inc.
Rm# 402, Handuk Building
649-4 Yeoksam-Dong,
Kangnam-Gu,
Seoul, Korea
Phone: +82-2-568-7520
Fax: +82-2-568-7474
e-mail: koreasales@powerint.com

JAPAN
Power Integrations, K.K.
Keihin-Tatemono 1st Bldg.
12-20 Shin-Yokohama 2-Chome
Koboku-ku, Yokohama-shi
Kanagawa 222-0033, Japan
Phone +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@powerint.com

INDIA (Technical Support)
Innovatech
#1, 8th Main Road
Vasanthnagar
Bangalore, India 560052
Phone: +91-80-226-6023
Fax: +91-80-228-9727
e-mail: indiasales@powerint.com

APPLICATIONS HOTLINE
World Wide +1-408-414-9660

APPLICATIONS FAX
World Wide +1-408-414-9760

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

15MHz, BiMOS Operational Amplifier with MOSFET Input/CMOS Output

CA3130A and CA3130 are op amps that combine the advantage of both CMOS and bipolar transistors.

Gate-protected P-Channel MOSFET (PMOS) transistors are used in the input circuit to provide very-high-input impedance, very-low-input current, and exceptional speed performance. The use of PMOS transistors in the input stage results in common-mode input-voltage capability down to 0.5V below the negative-supply terminal, an important attribute in single-supply applications.

A CMOS transistor-pair, capable of swinging the output voltage to within 10mV of either supply-voltage terminal (at very high values of load impedance), is employed as the output circuit.

The CA3130 Series circuits operate at supply voltages ranging from 5V to 16V, (±2.5V to ±8V). They can be phase compensated with a single external capacitor, and have terminals for adjustment of offset voltage for applications requiring offset-null capability. Terminal provisions are also made to permit strobing of the output stage.

The CA3130A offers superior input characteristics over those of the CA3130.

Features

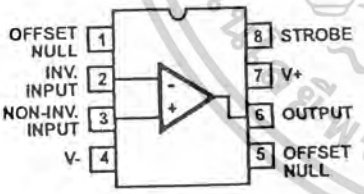
- MOSFET Input Stage Provides:
  - Very High Z_I = 1.5 TΩ (1.5 x 10^{12}Ω) (Typ)
  - Very Low I_I . . . . . 5pA (Typ) at 15V Operation
    . . . . . = 2pA (Typ) at 5V Operation
- Ideal for Single-Supply Applications
- Common-Mode Input-Voltage Range Includes Negative Supply Rail; Input Terminals can be Swung 0.5V Below Negative Supply Rail
- CMOS Output Stage Permits Signal Swing to Either (or both) Supply Rails

Applications

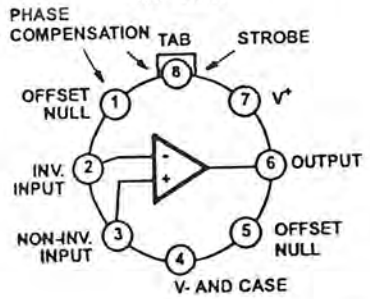
- Ground-Referenced Single Supply Amplifiers
- Fast Sample-Hold Amplifiers
- Long-Duration Timers/Monostables
- High-Input-Impedance Comparators (Ideal Interface with Digital CMOS)
- High-Input-Impedance Wideband Amplifiers
- Voltage Followers (e.g. Follower for Single-Supply D/A Converter)
- Voltage Regulators (Permits Control of Output Voltage Down to 0V)
- Peak Detectors
- Single-Supply Full-Wave Precision Rectifiers
- Photo-Diode Sensor Amplifiers

Pinouts

CA3130, CA3130A
(PDIP, SOIC)
TOP VIEW



CA3130, CA3130A
(METAL CAN)
TOP VIEW



Ordering Information

PART NO. (BRAND)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3130AE	-55 to 125	8 Ld PDIP	E8.3
CA3130AM (3130A)	-55 to 125	8 Ld SOIC	M8.15
CA3130AM96 (3130A)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130AT	-55 to 125	8 Pin Metal Can	T8.C
CA3130E	-55 to 125	8 Ld PDIP	E8.3
CA3130M (3130)	-55 to 125	8 Ld SOIC	M8.15
CA3130M96 (3130)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130T	-55 to 125	8 Pin Metal Can	T8.C

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage (Between V+ And V- Terminals) 16V
Differential Input Voltage 8V
DC Input Voltage . . . . . (V+ +8V) to (V- -0.5V)
Input-Terminal Current 1mA
Output Short-Circuit Duration (Note 1) . . . . . Indefinite

Operating Conditions

Temperature Range . . . . . -50°C to 125°C

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
PDIP Package	100	N/A
SOIC Package	160	N/A
Metal Can Package	170	85

Maximum Junction Temperature (Metal Can Package) . . . . . 175°C
Maximum Junction Temperature (Plastic Package) . . . . . 150°C
Maximum Storage Temperature Range . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Short circuit may be applied to ground or to either supply.
2. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

$T_A = 25°C$, V+ = 15V, V- = 0V, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130			CA3130A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$\lvert V_{IO}\rvert$	$V_S = \pm 7.5V$	-	8	15	-	2	5	mV
Input Offset Voltage Temperature Drift	$\Delta V_{IO}/\Delta T$		-	10	-	-	10	-	µV/°C
Input Offset Current	$\lvert I_{IO}\rvert$	$V_S = \pm 7.5V$	-	0.5	30	-	0.5	20	pA
Input Current	I_I	$V_S = \pm 7.5V$	-	5	50	-	5	30	pA
Large-Signal Voltage Gain	A_{OL}	$V_O = 10V_{P-P}$, $R_L = 2k\Omega$	50	320	-	50	320	-	kV/V
			94	110	-	94	110	-	dB
Common-Mode Rejection Ratio	CMRR		70	90	-	80	90	-	dB
Common-Mode Input Voltage Range	V_{ICR}		0	-0.5 to 12	10	0	-0.5 to 12	10	V
Power-Supply Rejection Ratio	$\Delta V_{IO}/\Delta V_S$	$V_S = \pm 7.5V$	-	32	320	-	32	150	µV/V
Maximum Output Voltage	V_{OM}^+	$R_L = 2k\Omega$	12	13.3	-	12	13.3	-	V
	V_{OM}^-	$R_L = 2k\Omega$	-	0.002	0.01	-	0.002	0.01	V
	V_{OM}^+	$R_L = \infty$	14.99	15	-	14.99	15	-	V
	V_{OM}^-	$R_L = \infty$	-	0	0.01	-	0	0.01	V
Maximum Output Current	I_{OM}^+ (Source) at $V_O = 0V$		12	22	45	12	22	45	mA
	I_{OM}^- (Sink) at $V_O = 15V$		12	20	45	12	20	45	mA
Supply Current	I+	$V_O = 7.5V$, $R_L = \infty$	-	10	15	-	10	15	mA
	I+	$V_O = 0V$, $R_L = \infty$	-	2	3	-	2	3	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications Typical Values Intended Only for Design Guidance, V_{SUPPLY} = ±7.5V, T_A = 25°C Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130, CA3130A	UNITS
Input Offset Voltage Adjustment Range		10kΩ Across Terminals 4 and 5 or 4 and 1	±22	mV
Input Resistance	R_I		1.5	TΩ
Input Capacitance	C_I	f = 1MHz	4.3	pF
Equivalent Input Noise Voltage	e_N	BW = 0.2MHz, R_S = 1MΩ (Note 3)	23	µV
Open Loop Unity Gain Crossover Frequency (For Unity Gain Stability ≥47pF Required.)	f_T	C_C = 0	15	MHz
		C_C = 47pF	4	MHz
Slew Rate:	SR			
Open Loop		C_C = 0	30	V/µs
Closed Loop		C_C = 56pF	10	V/µs
Transient Response:		C_C = 56pF, C_L = 25pF, R_L = 2kΩ (Voltage Follower)		
Rise Time	t_r		0.09	µs
Overshoot	OS		10	%
Settling Time (To <0.1%, V_{IN} = $4V_{P-P}$)	t_S		1.2	µs

NOTE:

3. Although a 1MΩ source is used for this test, the equivalent input noise remains constant for values of R_S up to 10MΩ.

Electrical Specifications Typical Values Intended Only for Design Guidance, V+ = 5V, V- = 0V, T_A = 25°C Unless Otherwise Specified (Note 4)

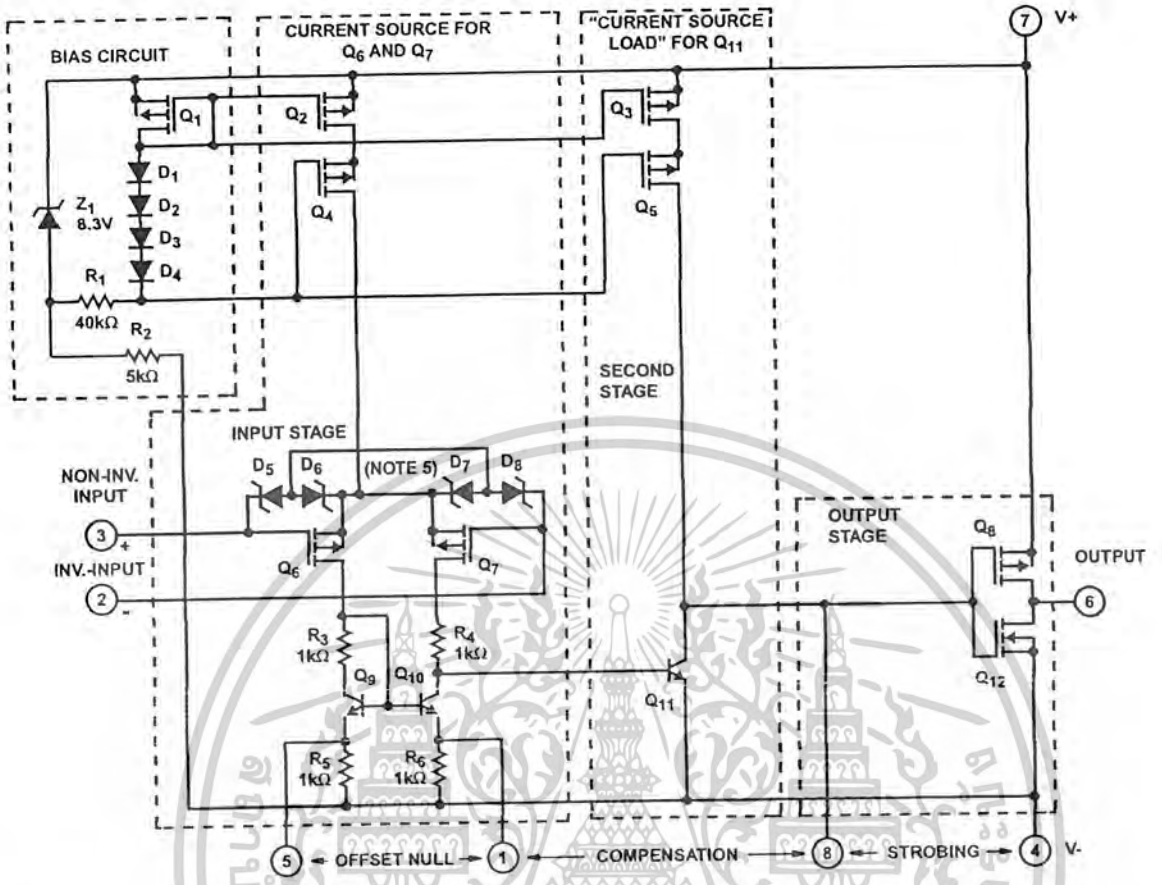
PARAMETER	SYMBOL	TEST CONDITIONS	CA3130	CA3130A	UNITS
Input Offset Voltage	V_{IO}		8	2	mV
Input Offset Current	I_{IO}		0.1	0.1	pA
Input Current	I_I		2	2	pA
Common-Mode Rejection Ratio	CMRR		80	90	dB
Large-Signal Voltage Gain	A_{OL}	V_O = $4V_{P-P}$, R_L = 5kΩ	100	100	kV/V
			100	100	dB
Common-Mode Input Voltage Range	V_{ICR}		0 to 2.8	0 to 2.8	V
Supply Current	I+	V_O = 5V, R_L = ∞	300	300	µA
		V_O = 2.5V, R_L = ∞	500	500	µA
Power Supply Rejection Ratio	$\Delta V_{IO}/\Delta V+$		200	200	µV/V

NOTE:

4. Operation at 5V is not recommended for temperatures below 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



NOTE:

5. Diodes D_5 through D_8 provide gate-oxide protection for MOSFET input stage.

Application Information

Circuit Description

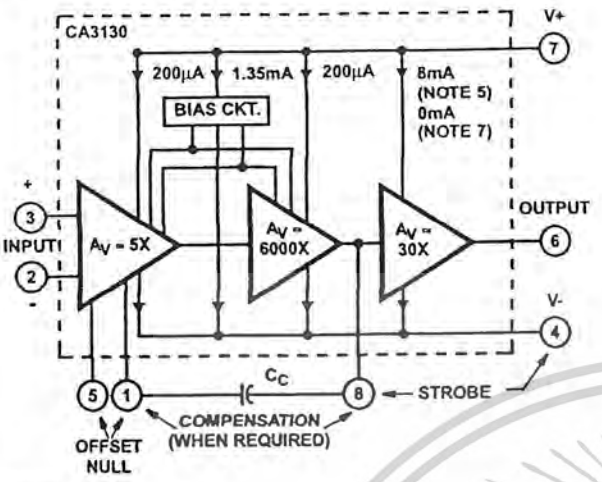
Figure 1 is a block diagram of the CA3130 Series CMOS Operational Amplifiers. The input terminals may be operated down to 0.5V below the negative supply rail, and the output can be swung very close to either supply rail in many applications. Consequently, the CA3130 Series circuits are ideal for single-supply operation. Three Class A amplifier stages, having the individual gain capability and current consumption shown in Figure 1, provide the total gain of the CA3130. A biasing circuit provides two potentials for common use in the first and second stages. Terminal 8 can be used both for phase compensation and to strobe the output stage into quiescence. When Terminal 8 is tied to the negative supply rail (Terminal 4) by mechanical or electrical means, the output potential at Terminal 6 essentially rises to the positive supply-rail potential at Terminal 7. This condition of essentially zero current drain in the output stage under the strobed "OFF" condition can only be achieved when the ohmic load resistance presented to the amplifier is very high (e.g.,when the amplifier output is used to drive CMOS digital circuits in Comparator applications).

Input Stage

The circuit of the CA3130 is shown in the schematic diagram. It consists of a differential-input stage using PMOS field-effect transistors (Q_6, Q_7) working into a mirror-pair of bipolar transistors (Q_9, Q_{10}) functioning as load resistors together with resistors R_3 through R_6. The mirror-pair transistors also function as a differential-to-single-ended converter to provide base drive to the second-stage bipolar transistor (Q_{11}). Offset nulling, when desired, can be effected by connecting a 100,000Ω potentiometer across Terminals 1 and 5 and the potentiometer slider arm to Terminal 4. Cascade-connected PMOS transistors Q_2, Q_4 are the constant-current source for the input stage. The biasing circuit for the constant-current source is subsequently described. The small diodes D_5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

through D_8 provide gate-oxide protection against high-voltage transients, including static electricity during handling for Q_6 and Q_7.



NOTES:

6. Total supply voltage (for indicated voltage gains) = 15V with input terminals biased so that Terminal 6 potential is +7.5V above Terminal 4.
7. Total supply voltage (for indicated voltage gains) = 15V with output terminal driven to either supply rail.

FIGURE 1. BLOCK DIAGRAM OF THE CA3130 SERIES

Second-Stage

Most of the voltage gain in the CA3130 is provided by the second amplifier stage, consisting of bipolar transistor Q_{11} and its cascade-connected load resistance provided by PMOS transistors Q_3 and Q_5. The source of bias potentials for these PMOS transistors is subsequently described. Miller Effect compensation (roll-off) is accomplished by simply connecting a small capacitor between Terminals 1 and 8. A 47pF capacitor provides sufficient compensation for stable unity-gain operation in most applications.

Bias-Source Circuit

At total supply voltages, somewhat above 8.3V, resistor R_2 and zener diode Z_1 serve to establish a voltage of 8.3V across the series-connected circuit, consisting of resistor R_1, diodes D_1 through D_4, and PMOS transistor Q_1. A tap at the junction of resistor R_1 and diode D_4 provides a gate-bias potential of about 4.5V for PMOS transistors Q_4 and Q_5 with respect to Terminal 7. A potential of about 2.2V is developed across diode-connected PMOS transistor Q_1 with respect to Terminal 7 to provide gate bias for PMOS transistors Q_2 and Q_3. It should be noted that Q_1 is "mirror-connected (see Note 8)" to both Q_2 and Q_3. Since transistors Q_1, Q_2, Q_3 are designed to be identical, the approximately 200µA current in Q_1 establishes a similar current in Q_2 and Q_3 as constant current sources for both the first and second amplifier stages, respectively.

At total supply voltages somewhat less than 8.3V, zener diode Z_1 becomes nonconductive and the potential, developed across series-connected R_1, D_1-D_4, and Q_1, varies directly with variations in supply voltage. Consequently, the gate bias for Q_4, Q_5 and Q_2, Q_3 varies in accordance with supply-voltage variations. This variation results in deterioration of the power-supply-rejection ratio (PSRR) at total supply voltages below 8.3V. Operation at total supply voltages below about 4.5V results in seriously degraded performance.

Output Stage

The output stage consists of a drain-loaded inverting amplifier using CMOS transistors operating in the Class A mode. When operating into very high resistance loads, the output can be swung within millivolts of either supply rail. Because the output stage is a drain-loaded amplifier, its gain is dependent upon the load impedance. The transfer characteristics of the output stage for a load returned to the negative supply rail are shown in Figure 2. Typical op amp loads are readily driven by the output stage. Because large-signal excursions are non-linear, requiring feedback for good waveform reproduction, transient delays may be encountered. As a voltage follower, the amplifier can achieve 0.01% accuracy levels, including the negative supply rail.

NOTE:

8. For general information on the characteristics of CMOS transistor-pairs in linear-circuit applications, see File Number 619, data sheet on CA3600E "CMOS Transistor Array".

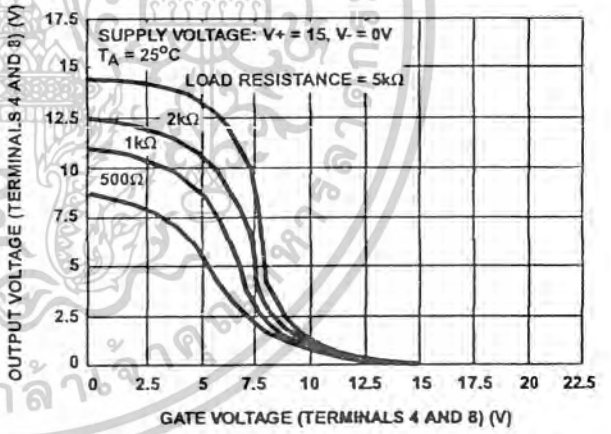


FIGURE 2. VOLTAGE TRANSFER CHARACTERISTICS OF CMOS OUTPUT STAGE

Input Current Variation with Common Mode Input Voltage

As shown in the Table of Electrical Specifications, the input current for the CA3130 Series Op Amps is typically 5pA at T_A = 25°C when Terminals 2 and 3 are at a common-mode potential of +7.5V with respect to negative supply Terminal 4. Figure 3 contains data showing the variation of input current as a function of common-mode input voltage at T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

These data show that circuit designers can advantageously exploit these characteristics to design circuits which typically require an input current of less than 1pA, provided the common-mode input voltage does not exceed 2V. As previously noted, the input current is essentially the result of the leakage current through the gate-protection diodes in the input circuit and, therefore, a function of the applied voltage. Although the finite resistance of the glass terminal-to-case insulator of the metal can package also contributes an increment of leakage current, there are useful compensating factors. Because the gate-protection network functions as if it is connected to Terminal 4 potential, and the Metal Can case of the CA3130 is also internally tied to Terminal 4, input Terminal 3 is essentially "guarded" from spurious leakage currents.

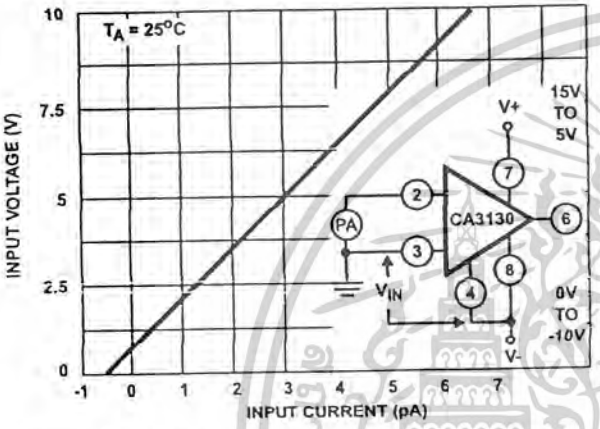


FIGURE 3. INPUT CURRENT vs COMMON-MODE VOLTAGE

Offset Nulling

Offset-voltage nulling is usually accomplished with a 100,000Ω potentiometer connected across Terminals 1 and 5 and with the potentiometer slider arm connected to Terminal 4. A fine offset-null adjustment usually can be effected with the slider arm positioned in the mid-point of the potentiometer's total range.

Input-Current Variation with Temperature

The input current of the CA3130 Series circuits is typically 5pA at 25°C. The major portion of this input current is due to leakage current through the gate-protective diodes in the input circuit. As with any semiconductor-junction device, including op amps with a junction-FET input stage, the leakage current approximately doubles for every 10°C increase in temperature. Figure 4 provides data on the typical variation of input bias current as a function of temperature in the CA3130.

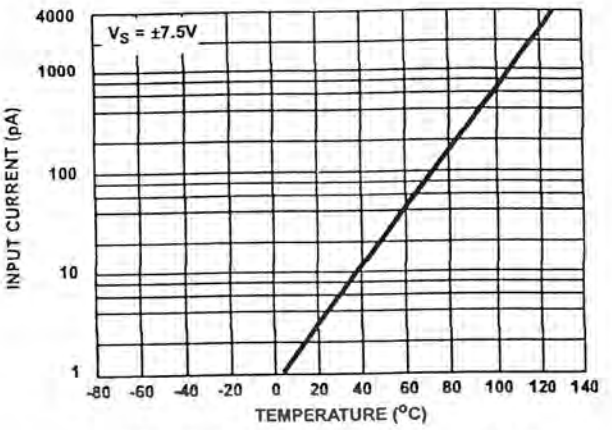


FIGURE 4. INPUT CURRENT vs TEMPERATURE

In applications requiring the lowest practical input current and incremental increases in current because of "warm-up" effects, it is suggested that an appropriate heat sink be used with the CA3130. In addition, when "sinking" or "sourcing" significant output current the chip temperature increases, causing an increase in the input current. In such cases, heat-sinking can also very markedly reduce and stabilize input current variations.

Input Offset Voltage (V_{IO}) Variation with DC Bias and Device Operating Life

It is well known that the characteristics of a MOSFET device can change slightly when a DC gate-source bias potential is applied to the device for extended time periods. The magnitude of the change is increased at high temperatures. Users of the CA3130 should be alert to the possible impacts of this effect if the application of the device involves extended operation at high temperatures with a significant differential DC bias voltage applied across Terminals 2 and 3. Figure 5 shows typical data pertinent to shifts in offset voltage encountered with CA3130 devices (metal can package) during life testing. At lower temperatures (metal can and plastic), for example at 85°C, this change in voltage is considerably less. In typical linear applications where the differential voltage is small and symmetrical, these incremental changes are of about the same magnitude as those encountered in an operational amplifier employing a bipolar transistor input stage. The $2V_{DC}$ differential voltage example represents conditions when the amplifier output stage is "toggled", e.g., as in comparator applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

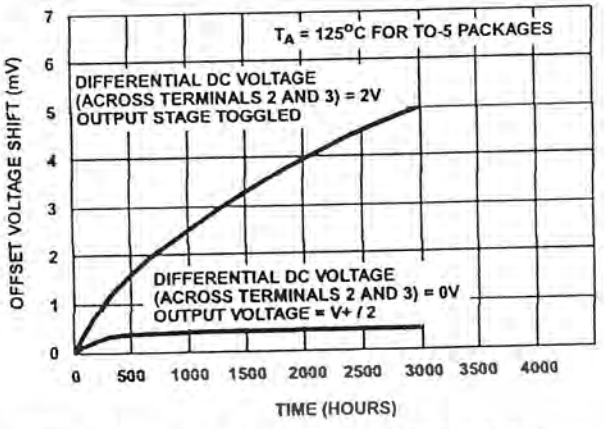


FIGURE 5. TYPICAL INCREMENTAL OFFSET-VOLTAGE SHIFT vs OPERATING LIFE

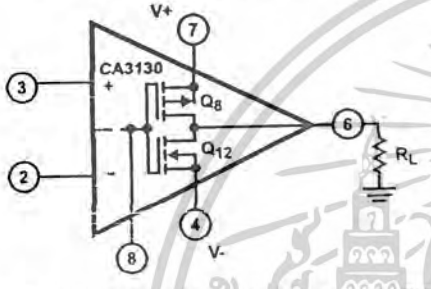


FIGURE 6A. DUAL POWER SUPPLY OPERATION

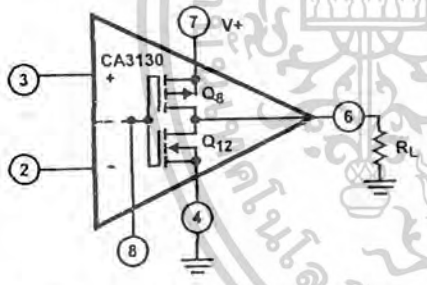


FIGURE 6B. SINGLE POWER SUPPLY OPERATION

FIGURE 6. CA3130 OUTPUT STAGE IN DUAL AND SINGLE POWER SUPPLY OPERATION

Power-Supply Considerations

Because the CA3130 is very useful in single-supply applications, it is pertinent to review some considerations relating to power-supply current consumption under both single-and dual-supply service. Figures 6A and 6B show the CA3130 connected for both dual-and single-supply operation.

Dual-supply Operation: When the output voltage at Terminal 6 is 0V, the currents supplied by the two power supplies are equal. When the gate terminals of Q_8 and Q_{12} are driven increasingly positive with respect to ground, current flow through Q_{12} (from the negative supply) to the load is increased and current flow through Q_8 (from the positive supply) decreases correspondingly. When the gate terminals of Q_8 and Q_{12} are driven increasingly negative with respect to ground, current flow through Q_8 is increased and current flow through Q_{12} is decreased accordingly.

Single-supply Operation: Initially, let it be assumed that the value of R_L is very high (or disconnected), and that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at V+/2, i.e., the voltage drops across Q_8 and Q_{12} are of equal magnitude. Figure 20 shows typical quiescent supply-current vs supply-voltage for the CA3130 operated under these conditions. Since the output stage is operating as a Class A amplifier, the supply-current will remain constant under dynamic operating conditions as long as the transistors are operated in the linear portion of their voltage-transfer characteristics (see Figure 2). If either Q_8 or Q_{12} are swung out of their linear regions toward cut-off (a non-linear region), there will be a corresponding reduction in supply-current. In the extreme case, e.g., with Terminal 8 swung down to ground potential (or tied to ground), NMOS transistor Q_{12} is completely cut off and the supply-current to series-connected transistors Q_8, Q_{12} goes essentially to zero. The two preceding stages in the CA3130, however, continue to draw modest supply-current (see the lower curve in Figure 20) even though the output stage is strobed off. Figure 6A shows a dual-supply arrangement for the output stage that can also be strobed off, assuming $R_L = \infty$ by pulling the potential of Terminal 8 down to that of Terminal 4.

Let it now be assumed that a load-resistance of nominal value (e.g., 2kΩ) is connected between Terminal 6 and ground in the circuit of Figure 6B. Let it be assumed again that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at V+/2. Since PMOS transistor Q_8 must now supply quiescent current to both R_L and transistor Q_{12}, it should be apparent that under these conditions the supply-current must increase as an inverse function of the R_L magnitude. Figure 22 shows the voltage-drop across PMOS transistor Q_8 as a function of load current at several supply voltages. Figure 2 shows the voltage-transfer characteristics of the output stage for several values of load resistance.

Wideband Noise

From the standpoint of low-noise performance considerations, the use of the CA3130 is most advantageous in applications where in the source resistance of the input signal is on the order of 1MΩ or more. In this case, the total input-referred noise voltage is typically only 23μV when the test-circuit amplifier of Figure 7 is operated at a total supply voltage of 15V. This value of total input-referred noise remains essentially constant, even though the value of source resistance is raised by an order of magnitude. This characteristic is due to the fact that reactance of the input capacitance becomes a significant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

factor in shunting the source resistance. It should be noted, however, that for values of source resistance very much greater than 1MΩ, the total noise voltage generated can be dominated by the thermal noise contributions of both the feedback and source resistors.

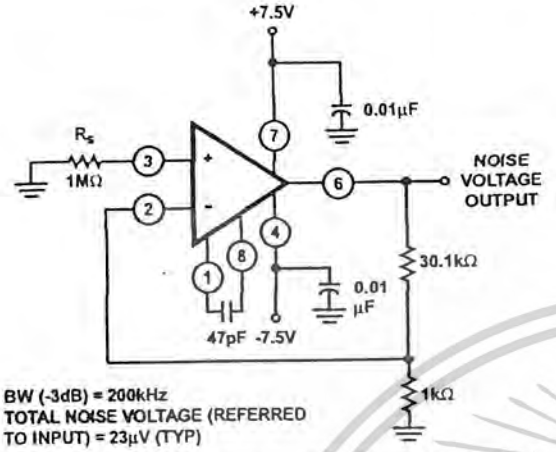


FIGURE 7. TEST-CIRCUIT AMPLIFIER (30-dB GAIN) USED FOR WIDEBAND NOISE MEASUREMENTS

Typical Applications

Voltage Followers

Operational amplifiers with very high input resistances, like the CA3130, are particularly suited to service as voltage followers. Figure 8 shows the circuit of a classical voltage follower, together with pertinent waveforms using the CA3130 in a split-supply configuration.

A voltage follower, operated from a single supply, is shown in Figure 9, together with related waveforms. This follower circuit is linear over a wide dynamic range, as illustrated by the reproduction of the output waveform in Figure 9A with input-signal ramping. The waveforms in Figure 9B show that the follower does not lose its input-to-output phase-sense, even though the input is being swung 7.5V below ground potential. This unique characteristic is an important attribute in both operational amplifier and comparator applications. Figure 9B also shows the manner in which the CMOS output stage permits the output signal to swing down to the negative supply-rail potential (i.e., ground in the case shown). The digital-to-analog converter (DAC) circuit, described later, illustrates the practical use of the CA3130 in a single-supply voltage-follower application.

9-Bit CMOS DAC

A typical circuit of a 9-bit Digital-to-Analog Converter (DAC) is shown in Figure 10. This system combines the concepts of multiple-switch CMOS ICs, a low-cost ladder network of discrete metal-oxide-film resistors, a CA3130 op amp connected as a follower, and an inexpensive monolithic regulator in a simple single power-supply arrangement. An additional feature of the DAC is that it is readily interfaced with CMOS input logic, e.g., 10V logic levels are used in the circuit of Figure 10.

The circuit uses an R/2R voltage-ladder network, with the output potential obtained directly by terminating the ladder arms at either the positive or the negative power-supply terminal. Each CD4007A contains three "inverters", each "inverter" functioning as a single-pole double-throw switch to terminate an arm of the R/2R network at either the positive or negative power-supply terminal. The resistor ladder is an assembly of 1% tolerance metal-oxide film resistors. The five arms requiring the highest accuracy are assembled with series and parallel combinations of 806,000Ω resistors from the same manufacturing lot.

A single 15V supply provides a positive bus for the CA3130 follower amplifier and feeds the CA3085 voltage regulator. A "scale-adjust" function is provided by the regulator output control, set to a nominal 10V level in this system. The line-voltage regulation (approximately 0.2%) permits a 9-bit accuracy to be maintained with variations of several volts in the supply. The flexibility afforded by the CMOS building blocks simplifies the design of DAC systems tailored to particular needs.

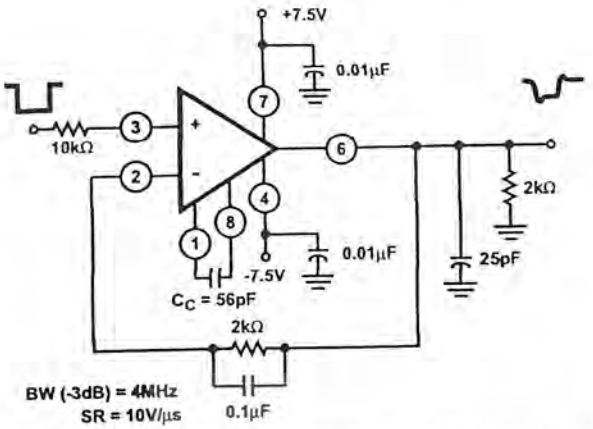
Single-Supply, Absolute-Value, Ideal Full-Wave Rectifier

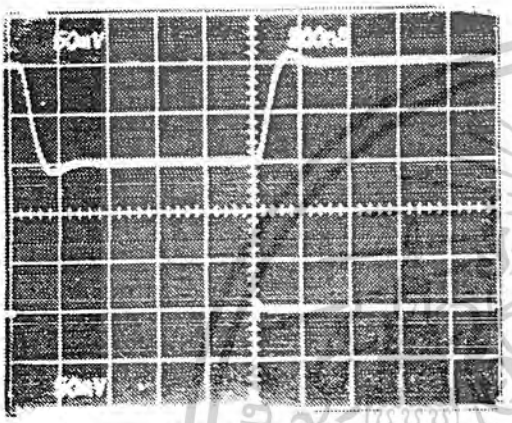
The absolute-value circuit using the CA3130 is shown in Figure 11. During positive excursions, the input signal is fed through the feedback network directly to the output. Simultaneously, the positive excursion of the input signal also drives the output terminal (No. 6) of the inverting amplifier in a negative-going excursion such that the 1N914 diode effectively disconnects the amplifier from the signal path. During a negative-going excursion of the input signal, the CA3130 functions as a normal inverting amplifier with a gain equal to $-R_2/R_1$. When the equality of the two equations shown in Figure 11 is satisfied, the full-wave output is symmetrical.

Peak Detectors

Peak-detector circuits are easily implemented with the CA3130, as illustrated in Figure 12 for both the peak-positive and the peak-negative circuit. It should be noted that with large-signal inputs, the bandwidth of the peak-negative circuit is much less than that of the peak-positive circuit. The second stage of the CA3130 limits the bandwidth in this case. Negative-going output-signal excursion requires a positive-going signal excursion at the collector of transistor Q_{11}, which is loaded by the intrinsic capacitance of the associated circuitry in this mode. On the other hand, during a negative-going signal excursion at the collector of Q_{11}, the transistor functions in an active "pull-down" mode so that the intrinsic capacitance can be discharged more expeditiously.

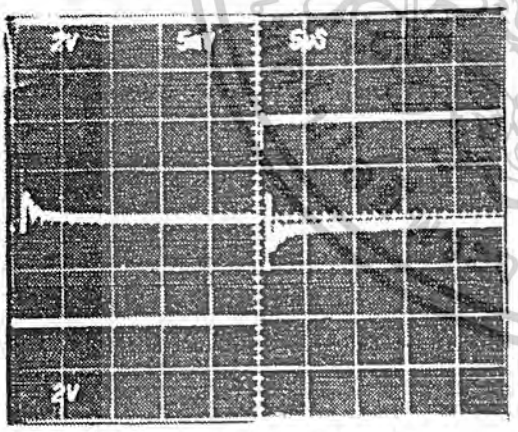
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





Top Trace: Output
Center Trace: Input

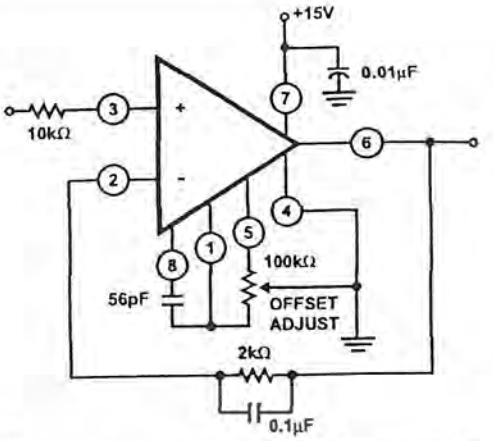
FIGURE 8A. SMALL-SIGNAL RESPONSE (50mV/DIV., 200ns/DIV.)



Top Trace: Output Signal; 2V/Div., 5µs/Div.
Center Trace: Difference Signa; 5mV/Div., 5µs/Div.
Bottom Trace: Input Signal; 2V/Div., 5µs/Div.

FIGURE 8B. INPUT-OUTPUT DIFFERENCE SIGNAL SHOWING SETTLING TIME (MEASUREMENT MADE WITH TEKTRONIX 7A13 DIFFERENTIAL AMPLIFIER)

FIGURE 8. SPLIT SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS



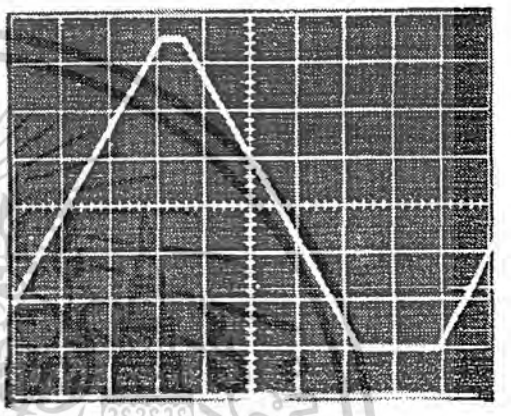
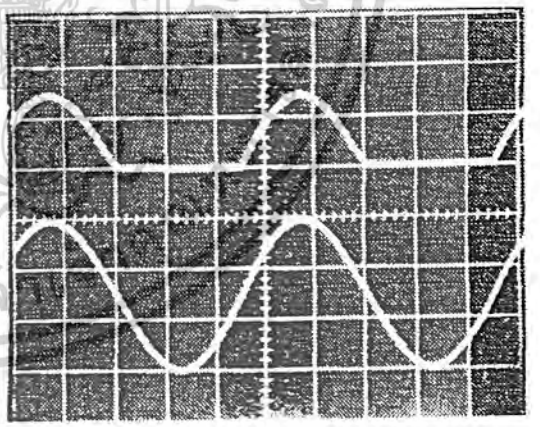


FIGURE 9A. OUTPUT WAVEFORM WITH INPUT SIGNAL RAMPING (2V/DIV., 500µs/DIV.)

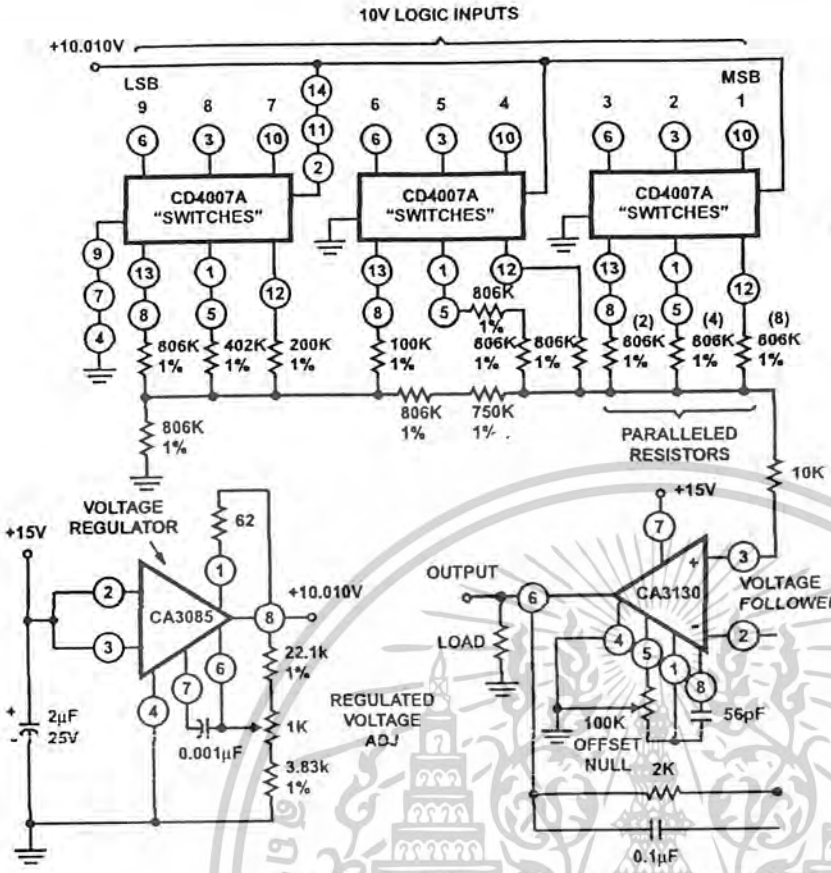


Top Trace:Output; 5V/Div., 200µs/Div.
Bottom Trace:Input Signal; 5V/Div., 200µs/Div.

FIGURE 9B. OUTPUT WAVEFORM WITH GROUND REFERENCE SINE-WAVE INPUT

FIGURE 9. SINGLE SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS. (e.g., FOR USE IN SINGLE-SUPPLY D/A CONVERTER; SEE FIGURE 9 IN AN6080)

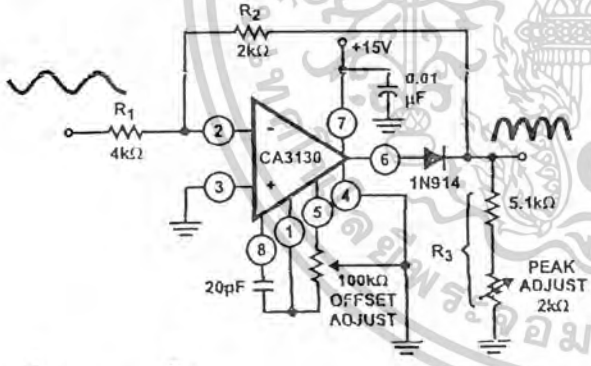
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

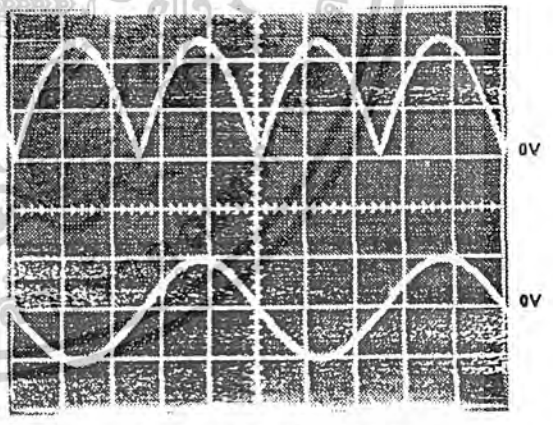


BIT	REQUIRED RATIO-MATCH
1	STANDARD
2	±0.1%
3	±0.2%
4	±0.4%
5	±0.8%
6 - 9	±1% ABS

NOTE: All resistances are in ohms.

FIGURE 10. 9-BIT DAC USING CMOS DIGITAL SWITCHES AND CA3130





Top Trace: Output Signal; 2V/Div.
Bottom Trace: Input Signal; 10V/Div.
Time base on both traces: 0.2ms/Div.

$$\text{ain} = \frac{R_2}{R_1} = X = \frac{R_3}{R_1 + R_2 + R_3}$$

$$R_3 = R_1\left(\frac{X + X^2}{1 - X}\right) \qquad \text{For } X = 0.5\text{: } \frac{2K\Omega}{4k\Omega} = \frac{R_2}{R_1}$$

$$R_3 = 4k\Omega\left(\frac{0.75}{0.5}\right) = 6k\Omega$$

$20V_{P-P}$ Input: BW(-3dB) = 230kHz, DC Output (Avg) = 3.2V
$1V_{P-P}$ Input: BW(-3dB) = 130kHz, DC Output (Avg) = 160mV

FIGURE 11. SINGLE SUPPLY, ABSOLUTE VALUE, IDEAL FULL-WAVE RECTIFIER WITH ASSOCIATED WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

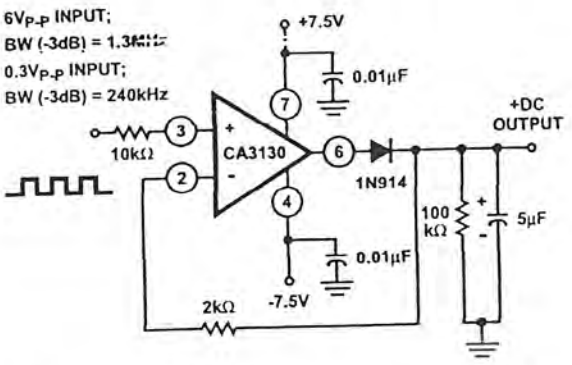


FIGURE 12A. PEAK POSITIVE DETECTOR CIRCUIT

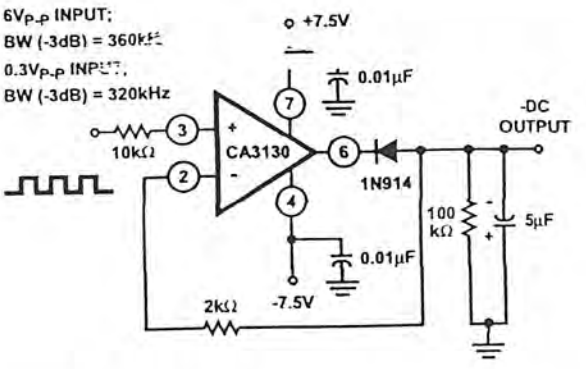
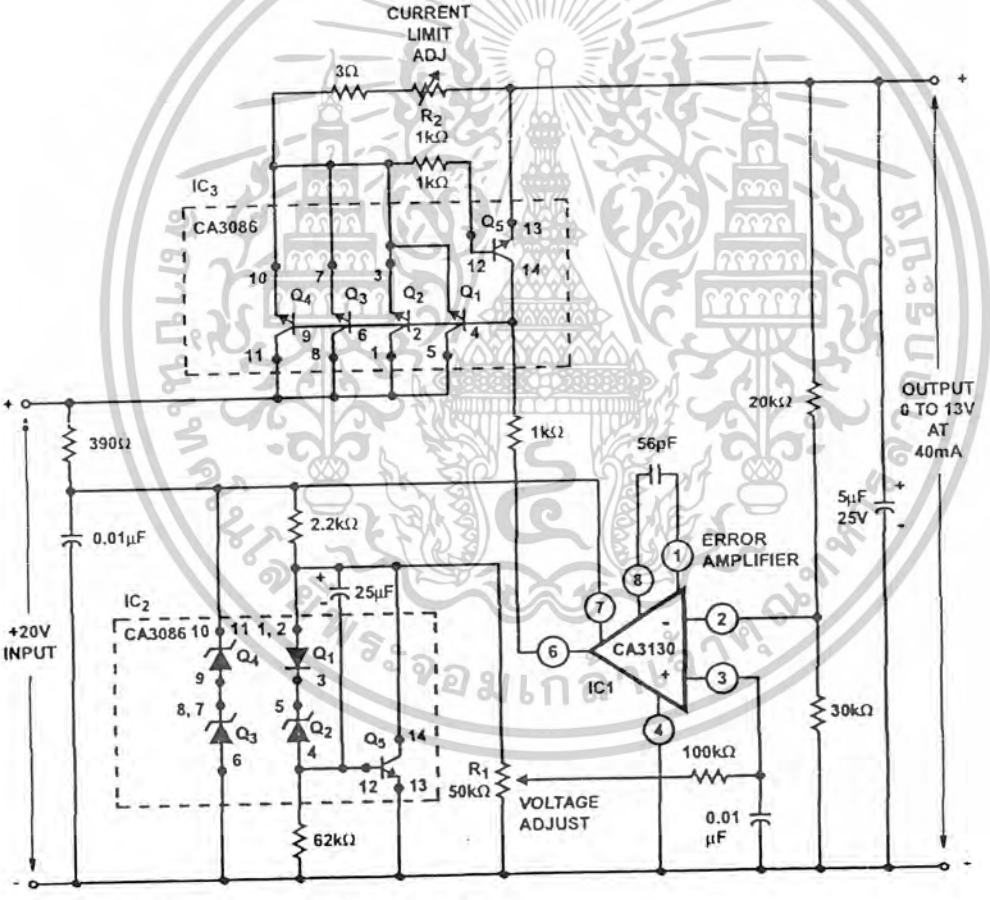


FIGURE 12B. PEAK NEGATIVE DETECTOR CIRCUIT

FIGURE 12. PEAK-DETECTOR CIRCUITS



REGULATION (NO LOAD TO FULL LOAD): <0.01%
INPUT REGULATION: 0.02%/V
HUM AND NOISE OUTPUT: <25µV UP TO 100kHz

FIGURE 13. VOLTAGE REGULATOR CIRCUIT (0V TO 13V AT 40mA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

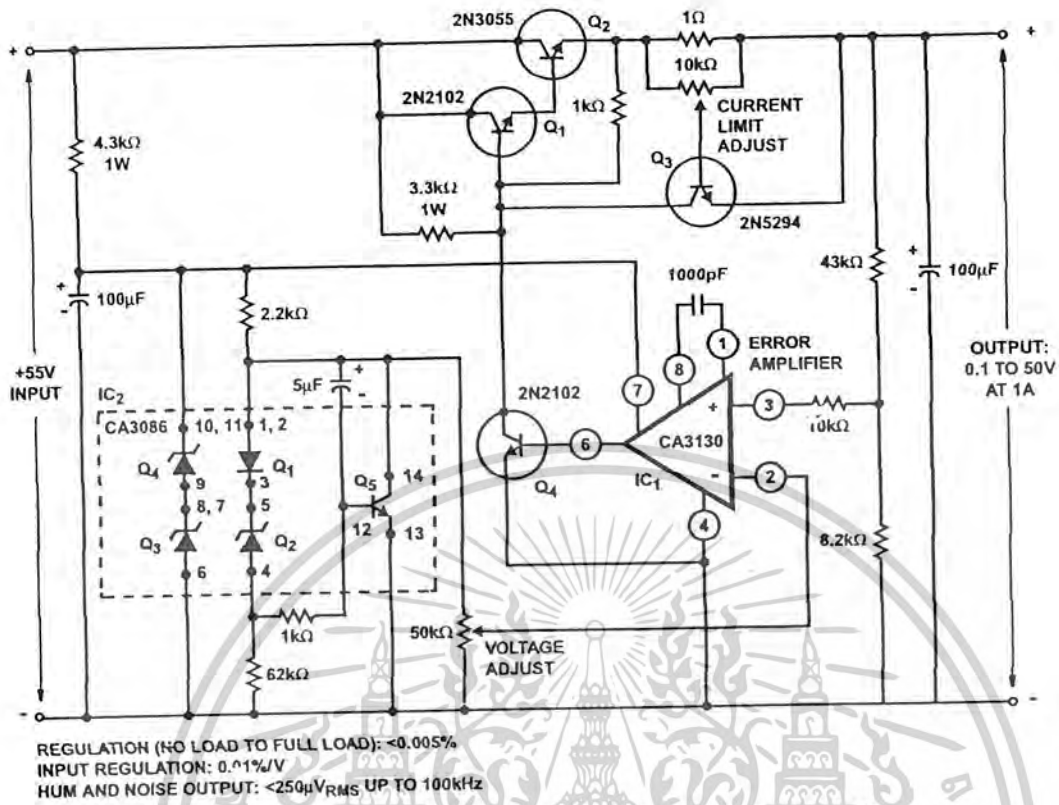


FIGURE 14. VOLTAGE REGULATOR CIRCUIT (0.1V TO 50V AT 1A)

Error-Amplifier in Regulated-Power Supplies

The CA3130 is an ideal choice for error-amplifier service in regulated power supplies since it can function as an error-amplifier when the regulated output voltage is required to approach zero. Figure 13 shows the schematic diagram of a 40mA power supply capable of providing regulated output voltage by continuous adjustment over the range from 0V to 13V. Q_3 and Q_4 in IC_2 (a CA3086 transistor-array IC) function as zeners to provide supply-voltage for the CA3130 comparator (IC_1). Q_1, Q_2, and Q_5 in IC_2 are configured as a low impedance, temperature-compensated source of adjustable reference voltage for the error amplifier. Transistors Q_1, Q_2, Q_3, and Q_4 in IC_3 (another CA3086 transistor-array IC) are connected in parallel as the series-pass element. Transistor Q_5 in IC_3 functions as a current-limiting device by diverting base drive from the series-pass transistors, in accordance with the adjustment of resistor R_2.

Figure 14 contains the schematic diagram of a regulated power-supply capable of providing regulated output voltage by continuous adjustment over the range from 0.1V to 50V and currents up to 1A. The error amplifier (IC_1) and circuitry associated with IC_2 function as previously described, although the output of IC_1 is boosted by a discrete transistor (Q_4) to provide adequate base drive for the Darlington-connected series-pass transistors Q_1, Q_2. Transistor Q_3 functions in the previously described current-limiting circuit.

Multivibrators

The exceptionally high input resistance presented by the CA3130 is an attractive feature for multivibrator circuit design because it permits the use of timing circuits with high R/C ratios. The circuit diagram of a pulse generator (astable multivibrator), with provisions for independent control of the "on" and "off" periods, is shown in Figure 15. Resistors R_1 and R_2 are used to bias the CA3130 to the mid-point of the supply-voltage and R_3 is the feedback resistor. The pulse repetition rate is selected by positioning S_1 to the desired position and the rate remains essentially constant when the resistors which determine "on-period" and "off-period" are adjusted.

Function Generator

Figure 16 contains a schematic diagram of a function generator using the CA3130 in the integrator and threshold detector functions. This circuit generates a triangular or square-wave output that can be swept over a 1,000,000:1 range (0.1Hz to 100kHz) by means of a single control, R_1. A voltage-control input is also available for remote sweep-control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The heart of the frequency-determining system is an operational-transconductance-amplifier (OTA) (see Note 10), IC_1, operated as a voltage-controlled current-source. The output, I_O, is a current applied directly to the integrating capacitor, C_1, in the feedback loop of the integrator IC_2, using a CA3130, to provide the triangular-wave output. Potentiometer R_2 is used to adjust the circuit for slope symmetry of positive-going and negative-going signal excursions.

Another CA3130, IC_3, is used as a controlled switch to set the excursion limits of the triangular output from the integrator circuit. Capacitor C_2 is a "peaking adjustment" to optimize the high-frequency square-wave performance of the circuit.

Potentiometer R_3 is adjustable to perfect the "amplitude symmetry" of the square-wave output signals. Output from the threshold detector is fed back via resistor R_4 to the input of IC_1 so as to toggle the current source from plus to minus in generating the linear triangular wave.

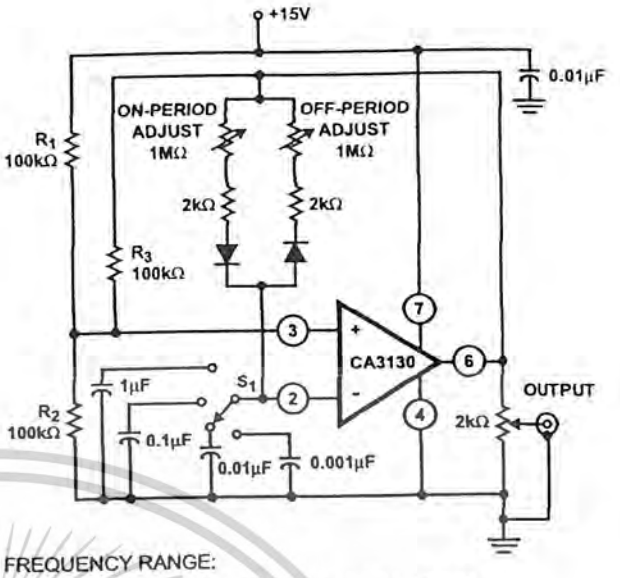
Operation with Output-Stage Power-Booster

The current-sourcing and-sinking capability of the CA3130 output stage is easily supplemented to provide power-boost capability. In the circuit of Figure 17, three CMOS transistor-pairs in a single CA3600E (see Note 12) IC array are shown parallel connected with the output stage in the CA3130. In the Class A mode of CA3600E shown, a typical device consumes 20mA of supply current at 15V operation. This arrangement boosts the current-handling capability of the CA3130 output stage by about 2.5X.

The amplifier circuit in Figure 17 employs feedback to establish a closed-loop gain of 48dB. The typical large-signal bandwidth (-3dB) is 50kHz.

NOTE:

9. See file number 619 for technical information.



FREQUENCY RANGE:

POSITION OF S_1	PULSE PERIOD
0.001µF	4µs to 1ms
0.01µF	40µs to 10ms
0.1µF	0.4ms to 100ms
1µF	4ms to 1s

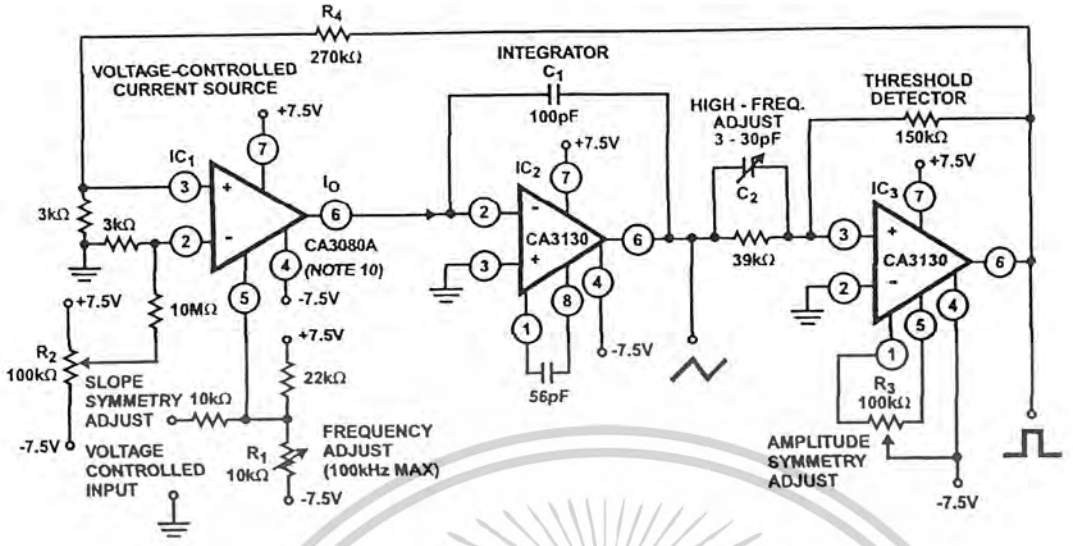
FIGURE 15. PULSE GENERATOR (ASTABLE MULTIVIBRATOR) WITH PROVISIONS FOR INDEPENDENT CONTROL OF "ON" AND "OFF" PERIODS

All Intersil semiconductor products are manufactured, assembled and tested under **ISO9000** quality systems certification.

Intersil semiconductor products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site http://www.intersil.com

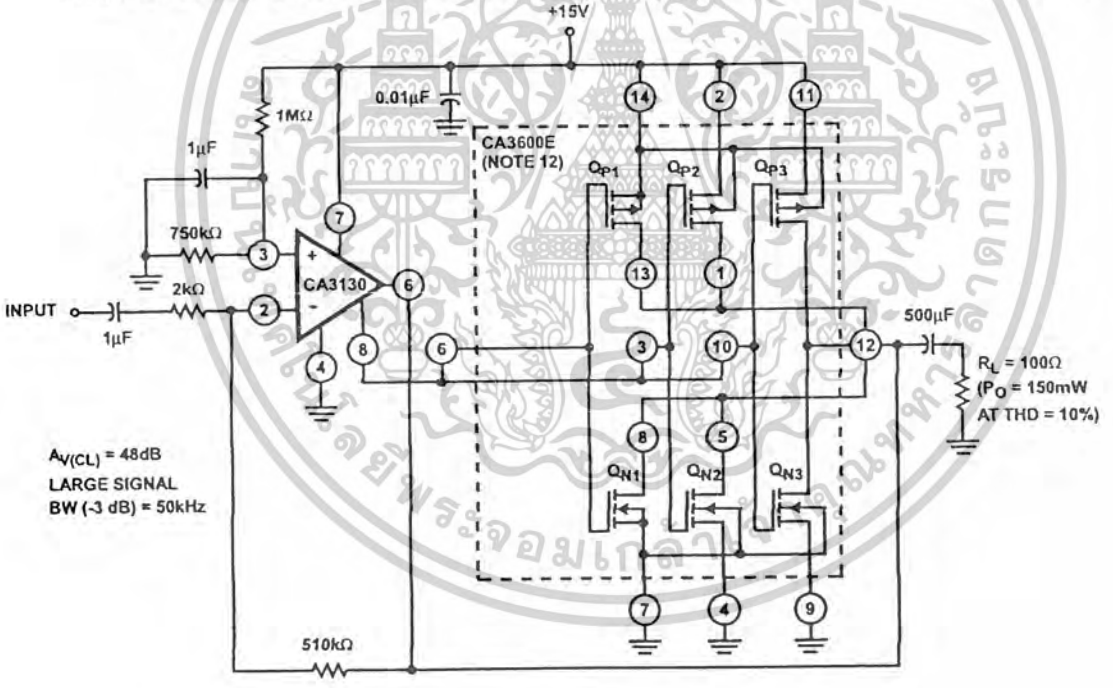
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE:

10. See file number 475 and AN6668 for technical information.

FIGURE 16. FUNCTION GENERATOR (FREQUENCY CAN BE VARIED 1,000,000/1 WITH A SINGLE CONTROL)



NOTES:

11. Transistors Q_{P1}, Q_{P2}, Q_{P3} and Q_{N1}, Q_{N2}, Q_{N3} are parallel connected with Q_8 and Q_{12}, respectively, of the CA3130.

12. See file number 619.

FIGURE 17. CMOS TRANSISTOR ARRAY (CA3600E) CONNECTED AS POWER BOOSTER IN THE OUTPUT STAGE OF THE CA3130

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

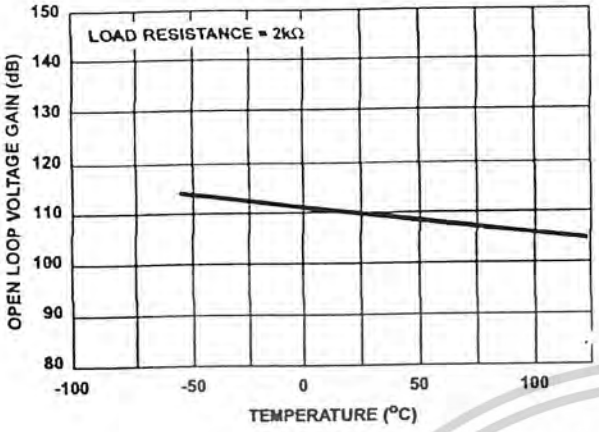
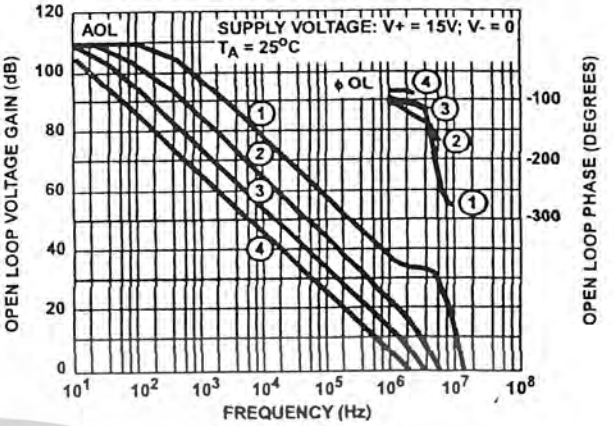


FIGURE 18. OPEN LOOP GAIN vs TEMPERATURE



1 - C_L = 9pF, C_C = 0pF, R_L = ∞
2 - C_L = 30pF, C_C = 15pF, R_L = 2kΩ
3 - C_L = 30pF, C_C = 47pF, R_L = 2kΩ
4 - C_L = 30pF, C_C = 150pF, R_L = 2kΩ

FIGURE 19. OPEN-LOOP RESPONSE

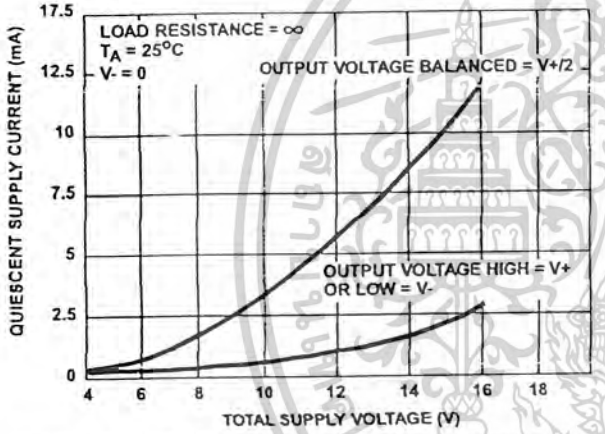


FIGURE 20. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

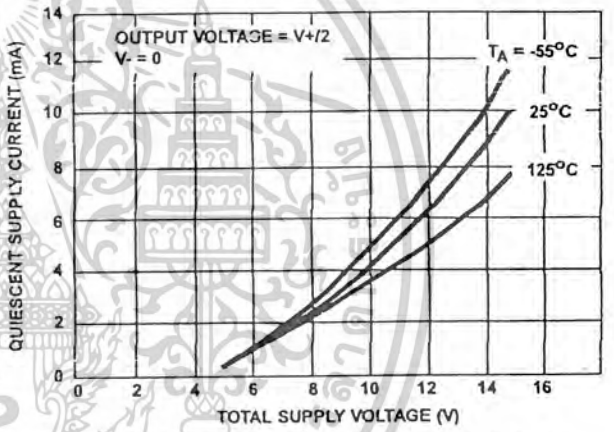


FIGURE 21. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

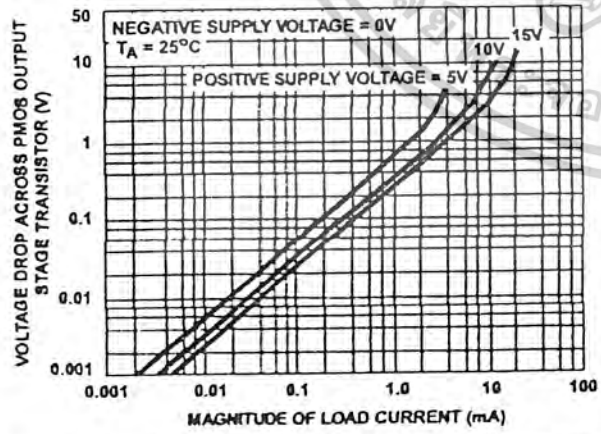


FIGURE 22. VOLTAGE ACROSS PMOS OUTPUT TRANSISTOR (Q_8) vs LOAD CURRENT

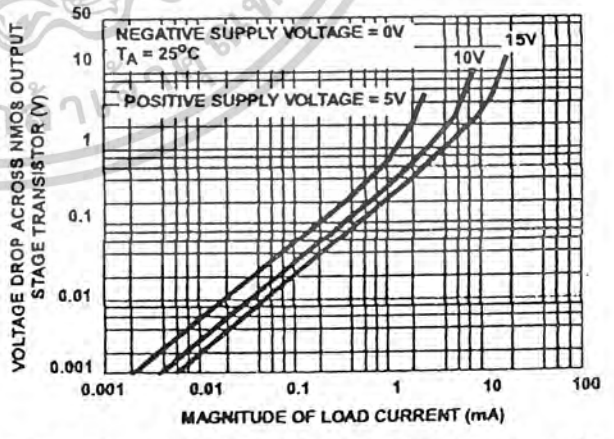


FIGURE 23. VOLTAGE ACROSS NMOS OUTPUT TRANSISTOR (Q_{12}) vs LOAD CURRENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สุวัฒน์ ดั่น : "เทคนิคและการออกแบบ สวิตชิ่งเพาเวอร์ซัพพลาย", บริษัท เอลเทลไทย จำกัด , 245 หน้า , 2538
2. สมบูรณ์ มาลานนท์ และ สมคิด วิริยประสิทธิชัย , " แหล่งจ่ายไฟแบบสวิตชิ่ง (SWITCHING POWER SUPPLY) ", หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์ , 246 หน้า , 2537
3. Alleva, C., Power Supplies – Make the Specs Work for you ,Evaluation Engineering Apr. 1998
4. Fisher,M.J., Power Electronics, PWS-Kent, Boston,1991
5. www.powerint.com เป็นเวปไซต์ ที่มีข้อมูลและเทคนิกในการออกแบบ รวมถึงแนวทางในการแก้ปัญหา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้