สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การศึกษาการสร้างกำลังไฟฟ้ารีแอคทีฟแบบสแตติก โดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด
Study on Static Var Generation Using Cascade Multilevel Inverter

T 0 6 2 0 0 0

นายกรกฤษณ์ หาญณรงค์
นายกิติศักดิ์ จีนลอย
นายจตุพร สุดยอด

เลขหมู่.....
เลขทะเบียน 62000
วัน,เดือน,ปี 25 ก.ค. 2549
b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาการสร้างกำลังไฟฟ้ารีแอคทีฟแบบสแตติก
โดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด
Study on Static Var Generation Using Cascade Multilevel Inverter

โดย

นายกรกฤษณ์ หาญณรงค์ 44010003

นายกิติศักดิ์ จีนลอย 44010028

นายจตุพร สุดยอด 44010056

อาจารย์ที่ปรึกษา

ผศ.ดร.อานันทวัฒน์ คุณากร

ดร. สมภพ ผลไม้

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชา วิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การศึกษาการสร้างกำลังไฟฟ้ารีแอคทีฟแบบสแตติกโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด**
Study on Static Var Generation Using Cascade Multilevel Inverter

ผู้จัดทำ

นายกรกฤษณ์ หาญณรงค์ 44010003

นายกิติศักดิ์ จีนลอย 44010028

นายจตุพร สุดยอด 44010056

..... อาจารย์ที่ปรึกษา

(ผศ.ดร.อานันทวัฒน์ คุณากร)

..... อาจารย์ที่ปรึกษา

(ดร.สมภพ ผลไม้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาการสร้างกำลังไฟฟ้ารีแอกทีฟแบบสแตติกโดยใช้อินเวอร์เตอร์หลายระดับชนิดแคสเคด

นายกรกฤษณ์ หาญณรงค์ 44010003
นายกิติศักดิ์ จีนลอย 44010028
นายจตุพร สุดยอด 44010056
ผศ.ดร.อานันทวัฒน์ คุณากร อาจารย์ที่ปรึกษา
ดร.สมภพ ผลไม้ อาจารย์ที่ปรึกษา

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอเกี่ยวกับการศึกษาการสร้างกำลังไฟฟ้ารีแอคทีฟโดยอินเวอร์เตอร์หลายระดับชนิดคาสเคดโดยอินเวอร์เตอร์หลายระดับชนิดคาสเคดนี้ประกอบด้วยอินเวอร์เตอร์ชนิดฟูลบริดจ์ที่มีการนำแรงดันเอาท์พุตของแต่ละตัวมาต่ออนุกรมกัน ซึ่งอินเวอร์เตอร์ชนิดฟูลบริดจ์แต่ละตัวจะมีการเชื่อมต่อกับแหล่งจ่ายกระแสตรงที่แยกจากกัน อีกทั้งอินเวอร์เตอร์หลายระดับนี้ยังสามารถสร้างแรงดันให้มีลักษณะของรูปสัญญาณคล้ายสัญญาณไซน์ในอุดมคติ โดยมุมในการสวิตช์ชิ่งของแต่ละระดับนั้นคำนวณได้โดยวิธีพื้นที่เท่ากัน

โครงงานนี้ได้ทำการศึกษาอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับแบบหนึ่งเฟส ซึ่งประกอบด้วยอินเวอร์เตอร์ชนิดฟูลบริดจ์ 3 ชุด โดยการทำงานและการควบคุมอินเวอร์เตอร์หลายระดับในการสร้างกำลังไฟฟ้ารีแอคทีฟนั้นในเบื้องต้นได้ทำการประเมินค่าโดยการสร้างรูปแบบจำลอง หลังจากนั้นจึงทำการสร้างระบบที่เป็นต้นแบบมาเพื่อการทดลอง ซึ่งผลที่ได้จากการทดลองเป็นไปตามผลที่ได้จากการจำลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Study on Static Var Generation Using Cascade Multilevel Inverter

Korrakrid Harnnarong		44010003
Kitisak Jeenloy		44010028
Jatuporn Sudyod		44010056
Assist.Prof. Dr.Anantawat Kunakorn		Advisor
Dr. Sompob Polmai		Advisor

ABSTRACT

This project present a study of static var generation using cascade multilevel inverter. The cascade multilevel inverter consist of a number of H-bridge inverters having output terminals connected in-series. Each of these H-bridge inverters has its own separated dc link. The multilevel inverter is capable to generate output voltage in step-wise sinusoidal waveform. The switching angles of each level are calculated by equal-area method.

In this project, a single-phase 7-level cascade multilevel inverter is constructed using three H-bridge inverters. The operation and control of the multilevel inverter for var generation are firstly evaluated by simulation model. Then a proto-type system is constructed for experiment. The experimental results show closed agreement to those of the simulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	**I**
บทคัดย่อภาษาอังกฤษ	**II**
สารบัญ	**III**
สารบัญรูปภาพ	**IV**
สารบัญตาราง	**V**
บทที่ 1 บทนำ	**1**
1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์	1
1.2 วัตถุประสงค์ของปริญญานิพนธ์	2
1.3 ขอบเขตของปริญญานิพนธ์	3
1.4 เนื้อหาของปริญญานิพนธ์	3
บทที่ 2 หลักการและทฤษฎี	**4**
2.1 ส่วนประกอบและหลักการพื้นฐานของการสร้างแรงดันจาก อินเวอร์เตอร์หลายระดับชนิดคาสเคด	4
2.1.1 ส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคด	4
2.1.2 การสร้างแรงดันของอินเวอร์เตอร์หลายระดับชนิดคาสเคด	4
2.1.3 การคำนวณมุมทริกเกทเพื่อไปสร้างอินเวอร์เตอร์หลายระดับ ชนิดคาสเคดโดยวิธีพื้นที่เท่ากัน	6
2.2 การทำงานของ Full-bridge IGBT ที่ระดับแรงดันช่วงต่างๆ	7
2.2.1 ช่วงแรงดันเป็นบวก	7
2.2.2 ช่วงแรงดันเป็นศูนย์	8
2.2.3 ช่วงแรงดันเป็นลบ	8
2.3 อินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	10
2.4 การศึกษาคุณภาพของสัญญาณจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	10
2.5 แนวทางการชดเชยกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด	12
2.6 หลักการชดเชยกำลังไฟฟ้ารีแอคทีฟ	13
บทที่ 3 การคำนวณและการจำลองในโปรแกรม MATLAB	**15**
3.1 การจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า	15
3.1.1 วงจรสร้างแรงดันของอินเวอร์เตอร์	16
3.1.2 วงจรของระบบที่จะทำการชดเชยกำลังไฟฟ้ารีแอคทีฟ	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.2 องค์ประกอบและขอบเขตการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า 27
3.2.1 องค์ประกอบการชดเชยกำลังไฟฟ้ารีแอคทีฟ 27
3.2.2 การออกแบบค่าตัวเหนี่ยวนำที่เชื่อมต่อกับระบบที่ใช้ในการจำลองวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟ 27
3.3 การศึกษาลักษณะของกระแสไฟฟ้ารีแอคทีฟที่ชดเชยให้กับระบบ 28

บทที่ 4 ผลการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟในโปรแกรม MATLAB **30**
4.1 เงื่อนไขและข้อกำหนดของการทดลอง 31
4.2 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 900 VAR , 0.8 p.f. lagging 32
4.3 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1200 Var , 0.8 p.f. lagging 32
4.4 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1500 Var , 0.8 p.f. lagging 33
4.5 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 2400 Var , 0.8 p.f. lagging 33
4.6 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 3000 Var , 0.8 p.f. lagging 34
4.7 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 3333 Var , 0.8 p.f. lagging 34
4.8 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 2000 Var , 0.6 p.f. lagging 35
4.9 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 3200 Var , 0.6 p.f. lagging 35
4.10 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 4000 Var , 0.6 p.f. lagging 36
4.11 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1732 Var , 0.5 p.f. lagging 36
4.12 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 2160 Var , 0.5 p.f. lagging 37
4.13 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 3464 Var , 0.5 p.f. lagging 37
4.14 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 4330 Var , 0.5 p.f. lagging 38
4.15 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1200 Var , 0.8 p.f. leading 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.16 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1600 Var , 0.6 p.f. leading 39
4.17 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอคทีฟเท่ากับ 1732 Var , 0.5 p.f. lagging 39

บทที่ 5 การสร้างแรงดันจากชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ 40

5.1 วงจรควบคุม (Control Circuit) 40
5.1.1 EPROM (Erasable Programmable Read-Only Memory) 40
5.1.2 วงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล (A/D Converter) 43
5.1.3 วงจรตรวจจับแรงดันผ่านศูนย์ (zero crossing) และวงจรควบคุมเฟสของแรงดันอินเวอร์เตอร์ 44
5.1.4 วงจรนับ (counter) ชี้ช่วงเวลาให้กับ EPROM 45
5.1.5 วงจรประวิงเวลา (deadtime) 46
5.1.6 วงจรบัฟเฟอร์ (buffer) 49
5.2 วงจรกำลัง (Power Circuit) 50
5.2.1 วงจรขับเกท 50
5.2.2 วงจรอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ 51

บทที่ 6 ผลการทดลองจากชุดสร้างแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ 52

6.1 ลำดับขั้นตอนการสร้างแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ 52
6.2 การสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ 61
6.3 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 1.0 66
6.4 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.95 68
6.5 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.9 70
6.6 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.85 72
6.7 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.8 74
6.8 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.75 76
6.9 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.7 78
6.10 การเชื่อมต่ออินเวอร์เตอร์ชนิดคาสเคดกับระบบไฟฟ้า 82
6.11 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.75 84
6.12 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.8 85
6.13 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.85 85
6.14 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.9 86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

6.15 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.95 86

บทที่ 7 บทวิจารณ์และบทสรุป **87**

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	แสดงสามเหลี่ยมกำลังไฟฟ้า	1
รูปที่ 2.1	แสดงส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคดแต่ละชั้นแรงดัน	4
รูปที่ 2.2 ก.	แสดงวงจรการต่อของอินเวอร์เตอร์หลายระดับชนิดคาสเคด	5
รูปที่ 2.2 ข.	แสดงรูปสัญญาณของอินเวอร์เตอร์หลายระดับชนิดคาสเคด	5
รูปที่ 2.3	แสดงแนวทางการคำนวณมุมในการนำกระแสโดยวิธีพื้นที่เท่ากัน	6
รูปที่ 2.4	แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงบวก	7
รูปที่ 2.5	แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงศูนย์	8
รูปที่ 2.6	แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงลบ	8
รูปที่ 2.7	แสดงการเปรียบเทียบรูปสัญญาณของ S1, S2, S3 และ S4	9
รูปที่ 2.8ก.	แสดงวงจรการต่อของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	10
รูปที่ 2.8ข.	แสดงรูปสัญญาณของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	10
รูปที่ 2.9	แสดงรูปสัญญาณแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	11
รูปที่ 2.10	แสดงวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า	12
รูปที่ 2.11	แสดงหลักการชดเชยกำลังไฟฟ้ารีแอคทีฟ	13
รูปที่ 2.12	แสดงรูปสัญญาณขณะอินเวอร์เตอร์กระทำตัวเป็นแหล่งจ่ายกำลังไฟฟ้ารีแอคทีฟ	14
รูปที่ 2.13	แสดงรูปสัญญาณขณะอินเวอร์เตอร์กระทำตัวเป็นโหลดรีแอคทีฟ	14
รูปที่ 3.1	แสดงวงจรการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้าในโปรแกรม SIMULINK	15
รูปที่ 3.2	แสดงการต่อชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับในโปรแกรม SIMULINK	16
รูปที่ 3.3	แสดงการแปลงค่ามุมที่คำนวณได้เป็นช่วงเวลาของการทริกเกทในหนึ่งคาบ	18
รูปที่ 3.4	แสดงการเก็บค่าทริกเกทที่คำนวณได้ขนาด 1440x91 ใน MATLAB มาใช้งานใน SIMULINK	19
รูปที่ 3.5	แสดงค่าเมททริกที่คำนวณจากโปรแกรม MATLAB เพื่อส่งไปใช้งานใน SIMULINK	20
รูปที่ 3.6	แสดงการสร้างสัญญาณไปขับเกทสำหรับอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	20
รูปที่ 3.7	แสดงตัวกำเนิดสัญญาณทริกเกทที่จะส่งให้ชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ	21
รูปที่ 3.8	แสดงวงจรการเก็บค่าสัญญาณแรงดันของอินเวอร์เตอร์ในโปรแกรม SIMULINK	21
รูปที่ 3.9	แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 0.3	23
รูปที่ 3.10	แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 0.6	23
รูปที่ 3.11	แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 1.0	23
รูปที่ 3.12	แสดงระบบก่อนที่จะทำการชดเชยกำลังไฟฟ้ารีแอคทีฟ	25
รูปที่ 3.13	แสดงการใส่ค่าในบล็อค AC SOURCE	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.14 แสดงการใส่ค่าในบล็อค RCL LOAD 26
รูปที่ 3.15 แสดงวงจรการจำลองเพื่อหาค่ากระแสที่จะชดเชยให้กับระบบ 28
รูปที่ 3.16 แสดงวงจรการต่ออินเวอร์เตอร์เพื่อวัดค่ากระแสรีแอคทีฟ 28
รูปที่ 5.1 แสดงวงจรของ EPROM 40
รูปที่ 5.2 แสดงข้อมูลช่วงเวลาในการทริกเกทที่แต่ละค่าของ Modulation Index 41
รูปที่ 5.3 แสดงการโปรแกรมข้อมูลลง EPROM 41
รูปที่ 5.4 แสดงวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล 43
รูปที่ 5.5 แสดงวงจรของ zero crossing 44
รูปที่ 5.6 แสดงวงจรการต่อไอซี 74123 44
รูปที่ 5.7 แสดงรูปสัญญาณของวงจร zero crossing และ 74123 45
รูปที่ 5.8 แสดงวงจรนับเพื่อป้อนเป็นแอดเดรสของ EPROM บิตที่ A0-A10 บนบอร์ด CPLD 45
รูปที่ 5.9 แสดงการต่อวงจรการหารความถี่ 1 MHz บนบอร์ด CPLD 46
รูปที่ 5.10 แสดงลักษณะของสัญญาณที่เป็นวงจรหารความถี่ 1 MHz บนบอร์ด CPLD 47
รูปที่ 5.11 แสดงการต่อวงจรประวิงเวลาโดยใช้ ดี ฟลิปฟลอป 4 ตัว บนบอร์ด CPLD 47
รูปที่ 5.12 แสดงช่วงการประวิงเวลาของสัญญาณแต่ละคู่ 48
รูปที่ 5.13 แสดงช่วงประวิงเวลาของสัญญาณ S1 และ S2 เมื่อ S1 เป็นขอบขาขึ้น 49
รูปที่ 5.14 แสดงช่วงประวิงเวลาของสัญญาณ S1 และ S2 เมื่อ S1 เป็นขอบขาลง 49
รูปที่ 5.15 แสดงวงจรบัฟเฟอร์ 49
รูปที่ 5.16 แสดงวงจรขับเกทที่ประกอบด้วย 6N137 และ IR2110 50
รูปที่ 5.17 แสดงสัญญาณขับเกทที่ต่อกับฟูลบริดจ์ IGBT 51
รูปที่ 5.18 แสดงวงจรการอินเวอร์เตอร์และการสร้างแรงดันกระแสตรงให้แก่ฟูลบริดจ์ IGBT 51
รูปที่ 6.1 แสดงวงจรชี้แอดเดรสและเอาท์พุทของ EPROM 52
รูปที่ 6.2 แสดงค่าความถี่ 72 kHz ที่ป้อนให้กับวงจรนับบนบอร์ด CPLD 53
รูปที่ 6.3 สัญญาณที่ออกจาก zero crossing และ 74123 53
รูปที่ 6.4 แสดงสัญญาณ S1 และ S3 ของแต่ละชั้นของอินเวอร์เตอร์ที่ออกมาจาก EPROM 54
รูปที่ 6.5 แสดงสัญญาณ S1 และ S2 ที่มีลักษณะการทำงานตรงข้ามกันตลอดช่วงเวลา 55
รูปที่ 6.6 แสดงช่วง deadtime ของ S1 และ S2 ในช่วงขอบขาขึ้นของ S1 55
รูปที่ 6.7 แสดงช่วง deadtime ของ S1 และ S2 ในช่วงขอบขาลงของ S1 56
รูปที่ 6.8 แสดงสัญญาณของ S1 และ S2 ที่ไม่ได้ผ่านวงจร deadtime 56
รูปที่ 6.9 แสดงขณะก่อนและหลังเข้าสู่วงจรบัฟเฟอร์ 57
รูปที่ 6.10 แสดงสัญญาณที่เข้าและออกจากวงจรขับเกท 58
รูปที่ 6.11 แสดงบล็อคไดอะแกรมของวงจรควบคุมการสร้างแรงดันของอินเวอร์เตอร์ 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.12 แสดงบล็อคไดอะแกรมของวงจรกำลังการสร้างแรงดันของอินเวอร์เตอร์ 60

รูปที่ 6.13 แสดงแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับที่ค่า Modulation Index เท่ากับ 1.0 61

รูปที่ 6.14 แสดงสัญญาณ S1และ S3 ของอินเวอร์เตอร์ชั้นล่างที่ M.I.= 1.0 62

รูปที่ 6.15 แสดงแรงดันชั้นล่างของอินเวอร์เตอร์ที่ M.I. = 1.0 62

รูปที่ 6.16 แสดงสัญญาณ S1และ S3ของอินเวอร์เตอร์ชั้นกลางที่ M.I.= 1.0 63

รูปที่ 6.17 แสดงแรงดันชั้นกลางของอินเวอร์เตอร์ที่ M.I. = 1.0 63

รูปที่ 6.18 แสดงสัญญาณ S1และ S3 ของอินเวอร์เตอร์ชั้นบนที่ M.I.= 1.0 64

รูปที่ 6.19 แสดงแรงดันชั้นบนของอินเวอร์เตอร์ที่ M.I. = 1.0 64

รูปที่ 6.20 แสดงวงจรการสร้างแรงดันจากการปรับค่า A/D 65

รูปที่ 6.21 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 1.0 66

รูปที่ 6.22 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 1.0 66

รูปที่ 6.23 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 1.0 67

รูปที่ 6.24 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 1.0 67

รูปที่ 6.25 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.95 68

รูปที่ 6.26 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.95 68

รูปที่ 6.27 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.95 69

รูปที่ 6.28 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.95 69

รูปที่ 6.29 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.9 70

รูปที่ 6.30 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.9 70

รูปที่ 6.31 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.9 71

รูปที่ 6.32 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.9 71

รูปที่ 6.33 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.85 72

รูปที่ 6.34 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.85 72

รูปที่ 6.35 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.85 73

รูปที่ 6.36 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.85 73

รูปที่ 6.37 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.8 74

รูปที่ 6.38 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.8 74

รูปที่ 6.39 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.8 75

รูปที่ 6.40 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.8 75

รูปที่ 6.41 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.75 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 6.42 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.75 76
รูปที่ 6.43 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.75 77
รูปที่ 6.44 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.75 77
รูปที่ 6.45 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.7 78
รูปที่ 6.46 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.7 78
รูปที่ 6.47 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.7 79
รูปที่ 6.48 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.7 79
รูปที่ 6.49 แสดงการนำอินเวอร์เตอร์จ่ายภาระไฟฟ้าชนิดตัวต้านทาน 81
รูปที่ 6.50 แสดงการนำอินเวอร์เตอร์จ่ายภาระไฟฟ้าชนิดตัวต้านทานกับตัวเหนี่ยวนำ 81
รูปที่ 6.51 แสดงการต่อวงจรก่อนการต่อกับระบบไฟฟ้า 82
รูปที่ 6.52 แสดงการตรวจจับเฟสของแรงดันอินเวอร์เตอร์ก่อนการเชื่อมต่อกับระบบ 82
รูปที่ 6.53 แสดงการต่อวงจรขณะเชื่อมต่อกับระบบไฟฟ้า 83
รูปที่ 6.54 แสดงสัญญาณของกระแสขณะเชื่อมต่อกับระบบที่แรงดันเท่ากัน 83
รูปที่ 6.55 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.75 84
รูปที่ 6.56 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.8 85
รูปที่ 6.57 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.85 85
รูปที่ 6.58 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.9 86
รูปที่ 6.59 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.95 86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 แสดงค่าแรงดันที่ได้จากอินเวอร์เตอร์ที่แต่ละค่า Modulation Index จากการจำลองใน SIMULINK 22

ตารางที่ 3.2 แสดงค่าฮาร์มอนิกส์อันดับต่ำต่างๆและค่า THD ของแรงดันเอาท์พุทที่แต่ละค่า Modulation Index จากการ SIMULATION ในโปรแกรม SIMULINK 24

ตารางที่ 3.3 แสดงค่ากระแสไฟฟ้าจากอินเวอร์เตอร์ที่แต่ละค่า Modulation Index 29

ตารางที่ 4.1 แสดงผลการทดลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบ 31

ตารางที่ 5.1 แสดงการเก็บข้อมูลของ EPROM 42

ตารางที่ 6.1 แสดงค่าแรงดันที่แต่ละค่า M.I. 65

ตารางที่ 6.2 แสดงค่าฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลอง 80

ตารางที่ 6.3 แสดงการเปรียบเทียบการสร้างแรงดันจากการทดลองกับการ SIMULATION ในโปรแกรม SIMULINK 80

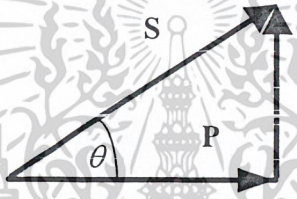
ตารางที่ 6.4 แสดงค่ากระแสรีแอคทีฟที่จ่ายให้กับระบบ 84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์

ปัจจุบันพลังงานไฟฟ้านับเป็นพลังงานที่สำคัญ ดังนั้นจึงต้องมีการแก้ปัญหาการสูญเสียพลังงานไฟฟ้า ซึ่งการสูญเสียนี้มีสาเหตุประการหนึ่งเกิดมาจากภาระไฟฟ้าที่ต่ออยู่กับระบบมีค่าตัวประกอบกำลังไฟฟ้ามีค่าต่ำ เนื่องจากภาระไฟฟ้านั้นมีความต้องการทั้งกำลังไฟฟ้าแอคทีฟและกำลังไฟฟ้ารีแอคทีฟและภาระไฟฟ้าในทางอุตสาหกรรมส่วนใหญ่จะมีตัวประกอบกำลังไฟฟ้าตามหลัง (lagging p.f.) ดังนั้นกระแสของภาระไฟฟ้ารวมจะมีค่ามากขึ้นกว่ากระแสของกำลังไฟฟ้าแอคทีฟที่นำไปใช้ประโยชน์ในการเปลี่ยนรูปพลังงานต่างๆ และกระแสส่วนที่เหลือคือกระแสไฟฟ้าในแกนจินตภาพหรือกระแสรีแอคทีฟจะเป็นกระแสส่วนที่สูญเปล่า



รูปที่ 1.1 แสดงสามเหลี่ยมกำลังไฟฟ้า

$$\cos\theta = \frac{P}{\sqrt{P^2 + Q^2}} \qquad (1.1)$$

จากสมการที่ 1.1 หากต้องการให้มีค่าตัวประกอบกำลังไฟฟ้าที่ดีขึ้น ต้องทำให้ค่า $\cos\theta$ มีค่าใกล้เคียง 1 หรือนั่นก็คือพยายามลดค่ากำลังไฟฟ้ารีแอคทีฟ(Q) ในระบบลงให้มีค่าน้อยที่สุด

แต่ในความเป็นจริงค่า P และ Q จะเป็นค่าเฉพาะอยู่ในภาระไฟฟ้าแต่ละตัวและโดยเฉพาะค่า Q ที่ต้องการจะลดลงนั้นมีความสำคัญเกี่ยวกับการที่จะสร้างสนามแม่เหล็กหรือสะสมพลังงานและอื่นๆ เพราะฉะนั้นค่าQจะลดที่ตัวภาระไฟฟ้าโดยตรงไม่ได้ ด้วยเหตุนี้จึงจำเป็นต้องมีอุปกรณ์ที่สามารถจ่ายกำลังไฟฟ้ารีแอคทีฟแทนการจ่ายจากการไฟฟ้า ตัวอย่างเช่นการติดตั้งตัวเก็บประจุกำลังเข้าไปกับระบบโดยตัวเก็บประจุจะเป็นตัวจ่ายกำลังไฟฟ้ารีแอคทีฟให้แก่ภาระไฟฟ้าที่มีตัวประกอบกำลังล้าหลังเท่านั้น ต่อมาจะกล่าวถึงการจ่ายกำลังไฟฟ้าโดยใช้ synchronous generator แต่กรณีนี้ต้องใช้กำลังทางกลเข้ามาหมุนแกนโรเตอร์ของ generator เพื่อสร้างสนามแม่เหล็กจะใช้กับระบบที่มีขนาดใหญ่ และต่อมามีการนำอุปกรณ์ทางด้านอิเล็กทรอนิกส์กำลังเข้ามาช่วย เช่นใช้หม้อแปลงกับอุปกรณ์สวิตชิ่งเพื่อสร้างแรงดันโดยวิธี PWM และนำไปเชื่อมต่อกับระบบโดยมีตัวเหนี่ยวนำเป็นตัวเชื่อมต่อเพื่อสร้างกระแสไฟฟ้ารีแอคทีฟจ่ายให้กับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวิธีการศึกษาในขั้น ต่อไปคือการศึกษาการสร้างกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคดเพื่อสร้างแรงดันแทนหม้อแปลง ซึ่งแรงดันจะสร้างจากฟูลบริดจ์อินเวอร์เตอร์ที่มีค่าแรงดันกระแสตรงต่ออยู่เพื่อสร้างแรงดันกระแสสลับออกมาและนำค่าแรงดันของแต่ละชั้นมาคาสเคดกันเพื่อสร้างแรงดันให้มีค่าที่สูงได้ รวมทั้งให้แรงดันมีลักษณะที่คล้ายแรงดันไซน์และมีตัวเหนี่ยวนำเป็นตัวเชื่อมต่อเข้ากับระบบเช่นกัน โดยมีหลักการคือให้อินเวอร์เตอร์เป็นตัวสร้างแรงดันไฟฟ้าและเมื่อเกิดความต่างศักย์ระหว่างแรงดันของระบบที่ต่ออยู่และแรงดันของอินเวอร์เตอร์ซึ่งเป็นแรงดันไฟฟ้าตกคร่อมตัวเหนี่ยวนำทำให้เกิดกระแสส่วนจินตภาพขึ้น ซึ่งทำให้เกิดกำลังไฟฟ้ารีแอคทีฟเข้าไปชดเชยและทำให้กระแสของการไฟฟ้าจะมีเฉพาะส่วนจริงหรือกำลังไฟฟ้าแอคทีฟเท่านั้น ตัวประกอบกำลังไฟฟ้าของระบบจึงมีค่าใกล้เคียงหรือเท่ากับ 1 และวิธีการนี้สามารถใช้ชดเชยกำลังไฟฟ้ารีแอคทีฟได้ทั้งแบบตัวประกอบกำลังล้าหลังและนำหน้า

1.2 วัตถุประสงค์ของปริญญานิพนธ์

ส่วนที่ 1 ศึกษาจากการ simulation ในโปรแกรม MATLAB (m-file, simulink)

1.2.1 เพื่อศึกษาส่วนประกอบและหลักการการสร้างอินเวอร์เตอร์หลายระดับชนิดคาสเคด

1.2.2 เพื่อศึกษาการคำนวณมุมทริกเกทเพื่อไปสร้างอินเวอร์เตอร์หลายระดับชนิดคาสเคดโดยวิธีพื้นที่เท่ากัน

1.2.3 เพื่อศึกษาการทำงานของ Full-bridge IGBT เมื่อมีสัญญาณไปทริกที่ระดับแรงดันต่างๆ

1.2.4 เพื่อศึกษาลักษณะของรูปสัญญาณของอินเวอร์เตอร์หลายระดับชนิดคาสเคดที่ค่าแรงดันค่าต่างๆ และศึกษาคุณภาพของสัญญาณที่สร้าง

- ค่าประสิทธิผล (RMS)
- ค่าฮาร์มอนิกส์(Harmonics) และ ค่า Total Harmonics Distortion (THD)

1.2.5 เพื่อศึกษาหลักการและแนวทางการชดเชยกำลังไฟฟ้ารีแอคทีฟ

1.2.6 เพื่อศึกษาองค์ประกอบและขอบเขตการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า

1.2.7 เพื่อศึกษาการจำลองวงจรการสร้างอินเวอร์เตอร์หลายระดับชนิดคาสเคด เพื่อชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้าที่ค่าภาระไฟฟ้าค่าต่างๆ

ส่วนที่ 2 ศึกษาการสร้างชุดอินเวอร์เตอร์หลายระดับชนิดคาสเคดต้นแบบชนิดหนึ่งเฟส

1.2.8 เพื่อศึกษาการสร้างชุดอินเวอร์เตอร์หลายระดับชนิดคาสเคดและวงจรควบคุม

1.2.9 เพื่อศึกษาการสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคด

1.2.10 เพื่อศึกษาการชดเชยกำลังไฟฟ้ารีแอคทีฟในระบบจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของปริญญานิพนธ์

ปริญญานิพนธ์นี้เป็นการศึกษาหลักการของการสร้างกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคดซึ่งในขั้นตอนการเริ่มโครงงานจะศึกษาการสร้างแรงดันของอินเวอร์เตอร์หลายระดับชนิดคาสเคดจากโปรแกรมแมทแลบ (MATLAB) ซึ่งใช้ในการคำนวณมุมทริกเกท และทำการส่งค่ามุมที่คำนวณได้ไปเก็บและนำมาสร้างแรงดันไฟฟ้าเพื่อใช้ในการชดเชยกำลังไฟฟ้ารีแอคทีฟในโปรแกรมซิมมูลิงค์ (SIMULINK) เพื่อไปชดเชยให้กับภาระไฟฟ้าที่มีค่าตัวประกอบกำลังไฟฟ้าต่ำในวงจรที่ได้จำลองขึ้นเพื่อให้เห็นถึงการเปลี่ยนแปลงว่าระบบที่ได้จำลองขึ้นนี้มีค่าตัวประกอบกำลังไฟฟ้าที่ดีขึ้น และศึกษาการสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับโดยการนำข้อมูลจากโปรแกรม MATLAB เก็บในหน่วยความจำ EPROM และนำมาสร้างแรงดันไฟฟ้าที่สามารถปรับค่าได้ เพื่อการชดเชยกำลังไฟฟ้ารีแอคทีฟชนิดเฟสเดียว

1.4 เนื้อหาของปริญญานิพนธ์

บทที่ 2 หลักการและทฤษฎี เนื้อหาเกี่ยวกับส่วนประกอบของอินเวอร์เตอร์หลายระดับชนิดคาสเคดและการคำนวณค่ามุมทริกเกท หลักการสร้างแรงดันที่ระดับแรงดันต่างๆ รวมถึงการศึกษาคุณภาพของสัญญาณแรงดันที่สร้างขึ้นและหลักการชดเชยกำลังไฟฟ้ารีแอคทีฟ

บทที่ 3 การคำนวณและการจำลองในโปรแกรม MATLAB เนื้อหาเกี่ยวกับส่วนของวงจรในการสร้างแรงดันในโปรแกรม SIMULINK ส่วนของวงจรในการชดเชยกำลังไฟฟ้ารีแอคทีฟ และความสัมพันธ์ระหว่างค่าอินพุทที่ใช้ในการสร้างแรงดันกับค่ากระแสไฟฟ้ารีแอคทีฟที่ใช้ในการชดเชย

บทที่ 4 ผลการจำลองการชดเชย กำลังไฟฟ้ารีแอคทีฟในโปรแกรม MATLAB เนื้อหาเกี่ยวกับผลการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟที่ภาระไฟฟ้าและค่าตัวประกอบกำลังค่าต่างๆ เพื่อเปรียบเทียบลักษณะของแรงดันและกระแสของระบบไฟฟ้าก่อนและหลังการชดเชย รวมถึงค่ากระแสและแรงดันที่สร้างจากอินเวอร์เตอร์

บทที่ 5 วงจรการสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคด เนื้อหาเกี่ยวกับวงจรการสร้างแรงดันจากชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ ทั้งส่วนของวงจรควบคุมการสร้างแรงดัน ซึ่งได้แก่ ตัวเก็บข้อมูล วงจรสร้างสัญญาณเพื่อใช้สร้างแรงดัน วงจรประวิงเวลา รวมถึงวงจรกำลัง ซึ่งได้แก่วงจรขับเกท และวงจรอินเวอร์เตอร์ที่ประกอบกันเพื่อสร้างแรงดันไฟฟ้า

บทที่ 6 ผลการทดลองจากชุดสร้างแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ เนื้อหาเกี่ยวกับผลการสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ และผลการสร้างกระแสไฟฟ้ารีแอคทีฟที่จะใช้ในการชดเชยกำลังไฟฟ้ารีแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการและทฤษฎี

การชดเชยกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคดนั้น ประเด็นสำคัญที่จะทำการศึกษาคือการสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคดซึ่งมีหลักการคือการนำฟูลบริดจ์อินเวอร์เตอร์หลายๆ ชั้นมาสร้างแรงดันกระแสสลับตามค่าแรงดันกระแสตรงที่ต่ออยู่และนำค่าแรงดันของแต่ละชั้นมาต่อกันแบบคาสเคดกัน ดังนั้นจึงจำเป็นที่จะต้องทำความเข้าใจเกี่ยวกับส่วนประกอบและหลักการสร้างอินเวอร์เตอร์หลายระดับชนิดคาสเคด รวมถึงหลักการในการชดเชยกำลังไฟฟ้ารีแอคทีฟ

2.1 ส่วนประกอบและหลักการพื้นฐานของการสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคด

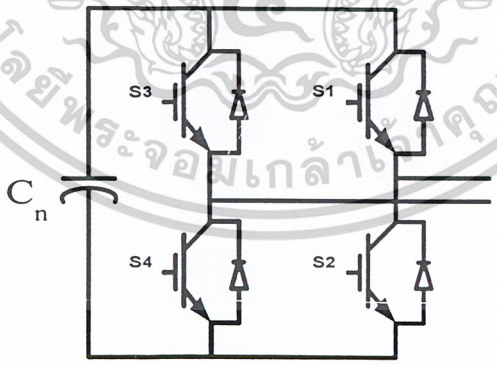
2.1.1 ส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคด

1) เกท (IGBT) แต่ละชั้นจะประกอบด้วย IGBT ทั้งหมด 4 ตัวต่อกันในลักษณะฟูลบริดจ์ดังรูปที่ 2.1

2) ตัวเก็บประจุ ตัวเก็บประจุมีหน้าที่เก็บค่าแรงดันกระแสตรงจะต่อคร่อม IGBTแต่ละข้างและตัวเก็บประจุในแต่ละชั้นของแรงดันจะต่อแยกจากกันอย่างอิสระ

3) สายสัญญาณทริก IGBT แต่ละชั้นจะมีสัญญาณมาที่ IGBT ทั้ง 4 ตัว ซึ่งต่อที่ขา G ของ IGBT ทั้ง 4 ตัว

4) ขาเอาท์พุท จะต่ออยู่ตรงกลางของ IGBT แต่ละข้างทั้งสองข้าง



รูปที่ 2.1 แสดงส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคดแต่ละชั้นแรงดัน

2.1.2 การสร้างแรงดันของอินเวอร์เตอร์หลายระดับชนิดคาสเคด

การสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคดคือนำค่าแรงดันกระแสตรงที่คร่อมอยู่ในแต่ละชั้นมารวมกันแบบคาสเคดที่ค่ามุมต่างๆ ดังรูปที่2.2 ก จะเห็นว่าเมื่อถึง θ_1 จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 1 ให้มีแรงดันกระแสตรงเท่ากับ V_{C1} ออกมาที่ขาเอาท์พุท และเมื่อถึง θ_2 ก็จะมี

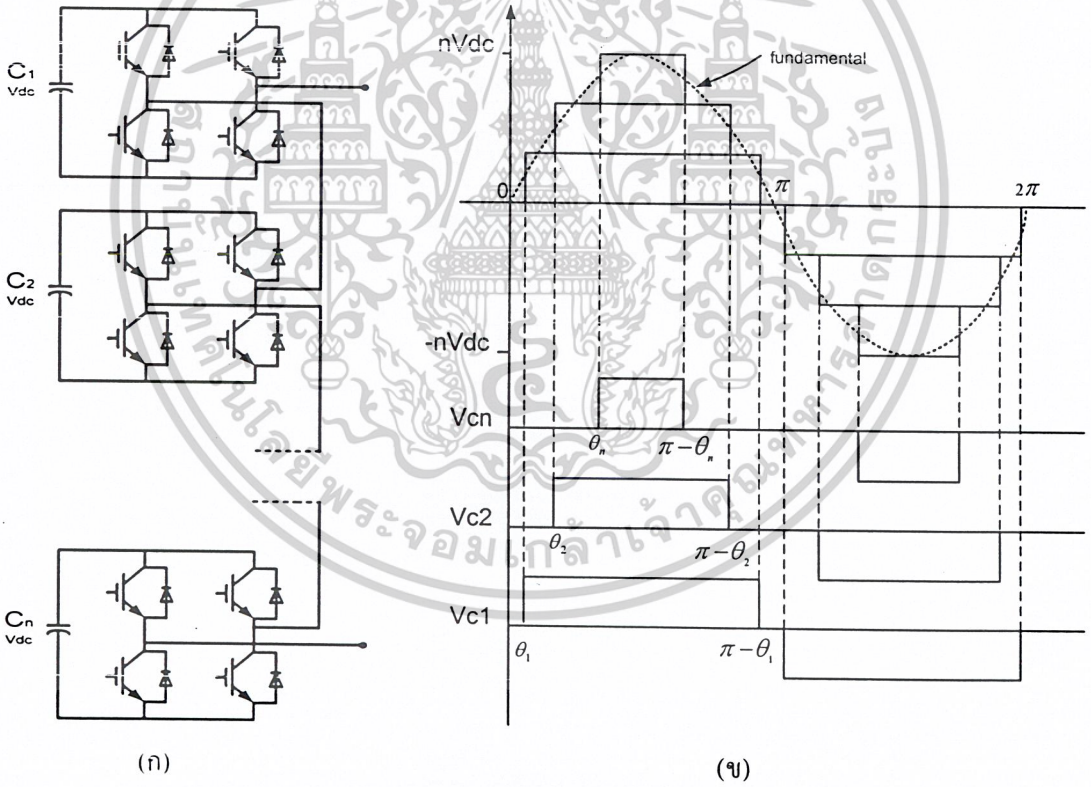
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 2 ให้มีแรงดันกระแสตรงเท่ากับ V_{C2} ออกมาที่ขาเอาท์พุท ซึ่งตอนนี้จะมีแรงดันรวมเท่ากับ $V_{C1}+V_{C2}$ จนถึงชั้นที่ n ก็จะเหมือนกับชั้นที่ 1 และ 2 ที่มุม θ_n ก็จะมีแรงดันรวมที่ขาเอาท์พุทของอินเวอร์เตอร์ชนิดคาสเคด n ระดับ เท่ากัน $V_{C1}+V_{C2}+,\ldots,V_{Cn}$ หรือเท่ากับ nV_{dc}

สำหรับแรงดันฝั่งลบ ก็จะมีลักษณะการทำงานเหมือนกับที่ได้กล่าวมาแล้วแต่ต่างกันตรงสัญญาณที่ส่งมาขับอินเวอร์เตอร์แต่ละชั้น กล่าวคือที่มุม $\pi+\theta_1$ จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 1 ให้มีแรงดันกระแสตรงเท่ากับ $-V_{C1}$ ออกมาที่ขาเอาท์พุท และเมื่อถึง $\pi+\theta_2$ ก็จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 2 ให้มีแรงดันกระแสตรงเท่ากับ $-V_{C2}$ ออกมาที่ขาเอาท์พุท ซึ่งตอนนี้จะมีแรงดันรวมเท่ากับ $-(V_{C1}+V_{C2})$ จนถึงชั้นที่ n ก็จะเหมือนกับชั้นที่ 1 และ 2 ที่มุม $\pi+\theta_n$ ก็จะมีแรงดันรวมที่ขาเอาท์พุทของอินเวอร์เตอร์ชนิดคาสเคด n ระดับเท่ากับ $-(V_{C1}+V_{C2}+,\ldots,V_{Cn})$ หรือเท่ากับ $-nV_{dc}$ ดังรูปที่ 2.2 ข. เพราะฉะนั้นการคำนวณระดับของอินเวอร์เตอร์หลายระดับชนิดคาสเคดจะเป็นด้านบวก n ระดับ และด้านลบ n ระดับ และที่แรงดันศูนย์อีกระดับ

จำนวนระดับ = $(2n)+1$

โดยที่ n คือ จำนวนชั้น



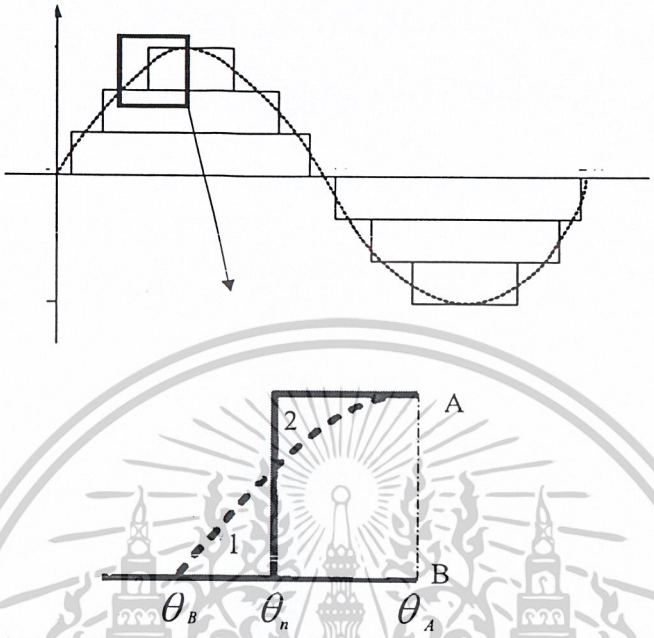
(ก) (ข)

รูปที่ 2.2 ก แสดงวงจรการต่อของอินเวอร์เตอร์หลายระดับชนิดคาสเคด

รูปที่ 2.2 ข แสดงรูปสัญญาณของอินเวอร์เตอร์หลายระดับชนิดคาสเคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การคำนวณมุมในการนำกระแสเพื่อไปสร้างอินเวอร์เตอร์หลายระดับชนิดคาสเคดโดยวิธีพื้นที่เท่ากัน



รูปที่ 2.3 แสดงแนวทางการคำนวณมุมในการนำกระแสโดยวิธีพื้นที่เท่ากัน

วิธีการคำนวณโดยใช้วิธีพื้นที่เท่ากันมีแนวทางการออกแบบจากการต้องการให้พื้นที่ใต้กราฟของอินเวอร์เตอร์เท่ากับพื้นที่ใต้กราฟของสัญญาณไซน์ในอุดมคติ

$$\text{Area 1} = \text{Area 2}$$

$$\text{Area 1} - \text{Area 2} = 0$$

$$\int_{\theta B}^{\theta n}(ma\sin\theta - B)d\theta - \int_{\theta n}^{\theta A}(A - ma\sin\theta)d\theta = 0$$

$$-ma\cos\theta_n + ma\cos\theta_B - B\theta_n + B\theta_B - A\theta_A + A\theta_n - ma\cos\theta_A + ma\cos\theta_n = 0$$

$$\theta_n = \frac{A\theta_A - B\theta_B + ma\cos\theta_A - ma\cos\theta_B}{A - B} \qquad (2.1)$$

จากสมการที่ (2.1) จะสามารถแทน θ_A และ θ_B ได้ดังนี้

$$\theta_A = \sin^{-1} A \ , \ \theta_B = \sin^{-1} B \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.2) จะสามารถแทน A และ B ได้ดังนี้

$$A = \frac{n}{M} \quad , \quad B = \frac{n-1}{M} \tag{2.3}$$

โดยที่ M คือ จำนวนชั้นของอินเวอร์เตอร์ชนิดคาสเคด

ma คือ มอดูเลชั่นอินเดกซ์

A คือ ระดับแรงดันที่ชั้น n

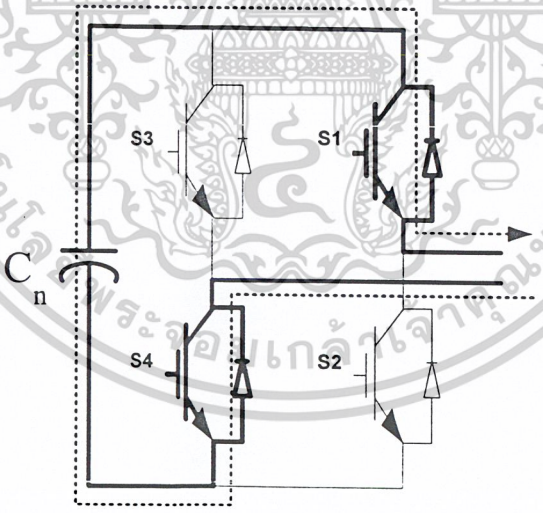
B คือ ระดับแรงดันที่ชั้น $n-1$

$n = 1,2,3,\ldots,M$

2.2 การทำงานของ Full-bridge IGBT ที่ระดับแรงดันช่วงต่างๆ

การทำงานของอินเวอร์เตอร์จะแบ่งช่วงระดับแรงดันของอินเวอร์เตอร์เป็น 3 ช่วงคือช่วงแรงดันเป็นบวก ช่วงแรงดันเป็นศูนย์ และช่วงแรงดันเป็นลบ

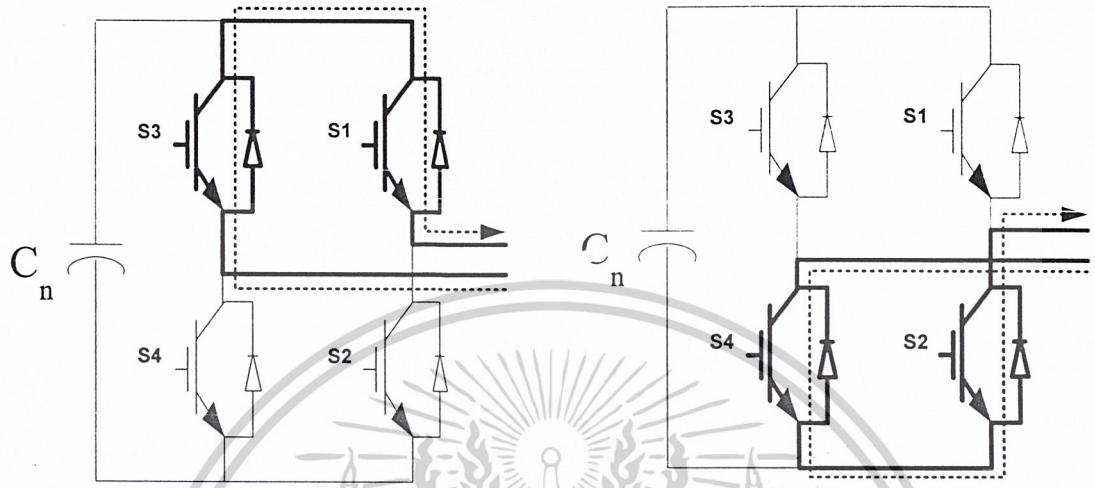
2.2.1 ช่วงแรงดันเป็นบวก การทำงานในช่วงนี้ S1, S4 จะปิดวงจรและ S2, S3 จะเปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นบวกจากตัวเก็บประจุดังรูปที่ 2.4



รูปที่ 2.4 แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงบวก

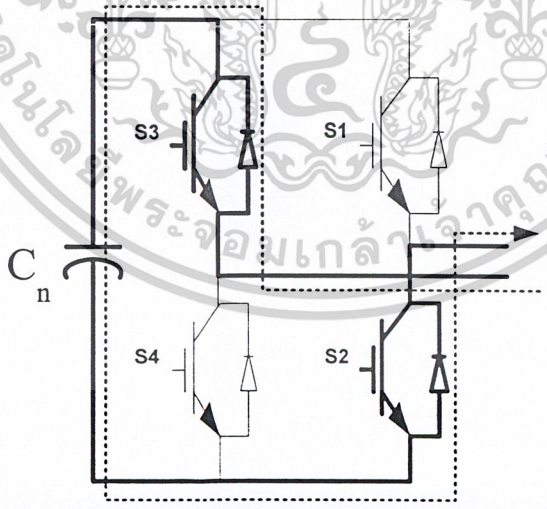
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ช่วงแรงดันเป็นศูนย์ การทำงานในช่วงนี้ S2, S4 จะปิดวงจรและ S1, S3 จะเปิดวงจร หรือในอีกลักษณะหนึ่งคือให้ S2, S4 จะเปิดวงจรและ S1, S3 จะปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นศูนย์ ดังรูปที่ 2.5



รูปที่ 2.5 แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงศูนย์

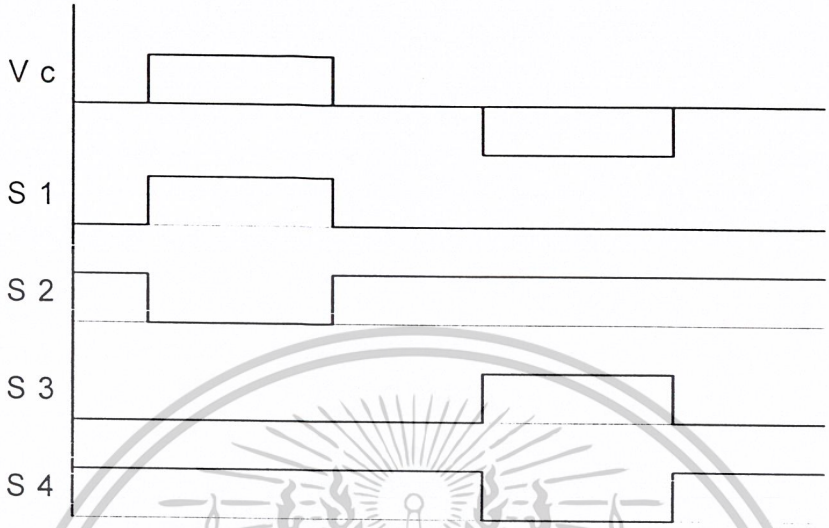
2.2.3 ช่วงแรงดันเป็นลบ การทำงานในช่วงนี้ S2, S3 จะปิดวงจรและ S1, S4 จะเปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นลบจากตัวเก็บประจุ ดังรูปที่ 2.6



รูปที่ 2.6 แสดงลักษณะการทำงานของ IGBT ที่แรงดันช่วงลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากลักษณะการทำงานของ IGBTในรูปที่ 2.4, 2.5 และ 2.6 สามารถนำมาแสดงรูปสัญญาณของ S1, S2, S3 และ S4 ได้ดังรูปที่ 2.7



รูปที่ 2.7 แสดงการเปรียบเทียบรูปสัญญาณของ S1, S2, S3 และ S4

จากรูปสัญญาณทั้ง 4 สัญญาณที่ช่วงระดับแรงดันต่างๆ ในรูปที่ 2.7 จะแบ่งการทำงานการเปลี่ยนแปลงของสัญญาณทริก IGBT เป็น 2 คู่ที่มีการเปลี่ยนแปลงพร้อมกัน คือ S1 กับ S2 และ S3 กับ S4 การทำงานของแต่ละคู่จะเป็นในลักษณะเป็นอินเวอร์สซึ่งกันและกัน ดังนั้นการสร้างสัญญาณที่จะมา ทริก IGBT นั้นจะมีสัญญาณหลักแค่ 2 สัญญาณเท่านั้นคือ S1 และ S3 แล้วจึงนำมาสร้างเป็น S2 และ S4 ได้ดังสมการต่อไปนี้

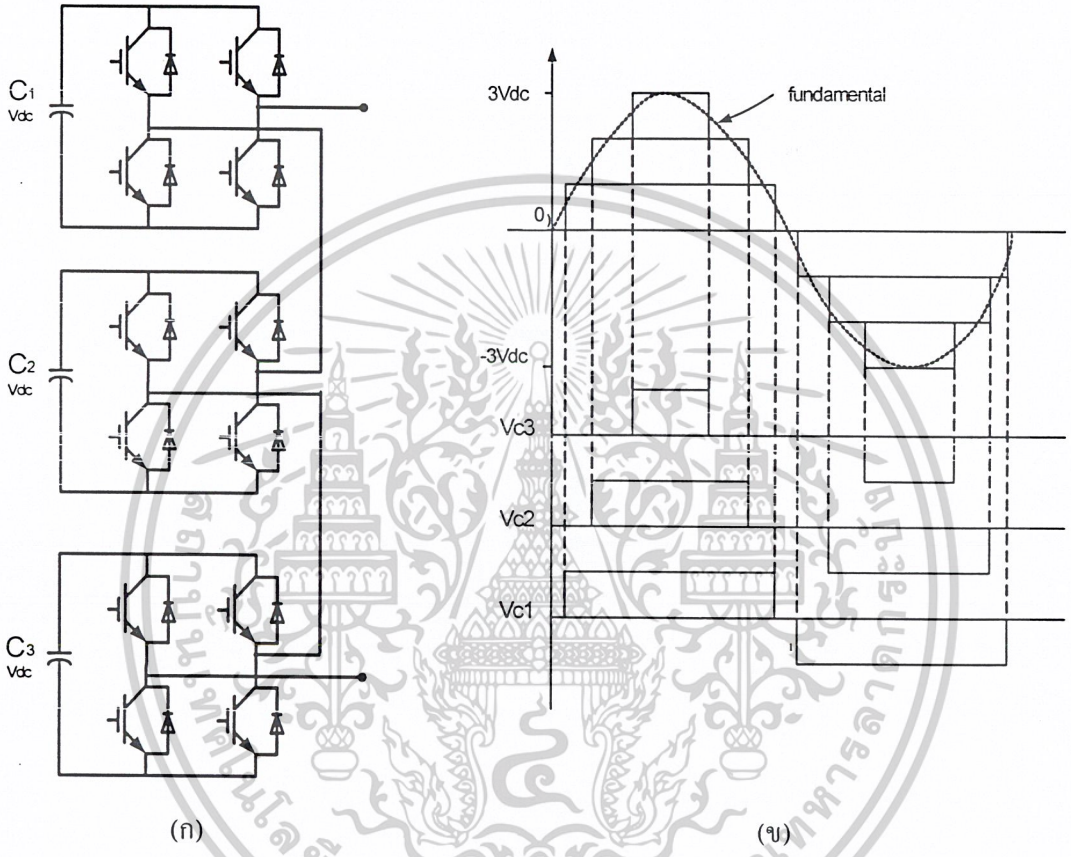
$$S2 = \overline{S1} \quad , \quad S4 = \overline{S3} \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 อินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

วงจรการสร้างอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

ในการเริ่มต้นการจำลองสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคดจะเป็นแบบ 7 ระดับ เนื่องจากงบประมาณอันจำกัดในการสร้างต้นแบบที่ต้องสอดคล้องกับการจำลอง โดยการใช้จำนวนชั้นของการสร้างแรงดัน 3 ชั้น ซึ่งถึงแม้จะก่อให้เกิดฮาร์มอนิกส์อยู่บ้าง แต่ก็ยังอยู่ในระดับที่พอจะรับได้ โดยรูปสัญญาณของแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ แสดงดังรูปที่ 2.8



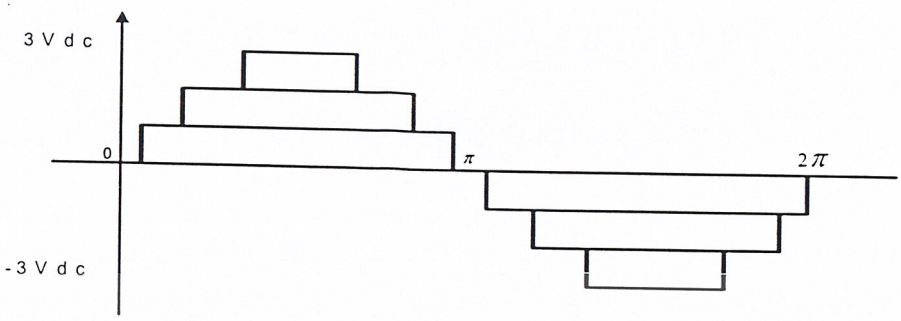
รูปที่ 2.8 ก. แสดงวงจรการต่อของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

รูปที่ 2.8 ข. แสดงรูปสัญญาณของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

2.4 การศึกษาคุณภาพของสัญญาณจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

เมื่อได้คำนวณสัญญาณทริก IGBT ที่ระดับแรงดันค่าต่างๆ โดยวิธีพื้นที่เท่ากันแล้ว จึงนำมาสร้างสัญญาณทริก IGBT นั้นไปขับ Full-bridge IGBTแต่ละชั้นเพื่อให้เกิดแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับดังรูปที่ 2.9 เมื่อได้สัญญาณดังกล่าวแล้วก็นำสัญญาณดังกล่าวไปวิเคราะห์หาค่าต่างๆ เช่นค่า RMS, ค่าฮาร์มอนิกส์ และ ค่า THD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงรูปสัญญาณแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

1. ค่าประสิทธิผล (RMS)

$$V_{rms} = \sqrt{\frac{1}{2\pi}\int_0^{2\pi} V^2(\omega t)d\omega t} \qquad (2.5)$$

$$I_{rms} = \sqrt{\frac{1}{2\pi}\int_0^{2\pi} I^2(\omega t)d\omega t} \qquad (2.6)$$

2. ค่าฮาร์มอนิกส์ (Harmonics)

มีรูปแบบคือ $a_0 + \sum_{n=1}^{\infty} a_n \cos n\omega t + \sum_{n=1}^{\infty} b_n \sin n\omega t$

โดยที่

$$a_0 = \frac{1}{2\pi}\int_0^{2\pi} f(\omega t)d\omega t \qquad (2.7)$$

$$a_n = \frac{1}{\pi}\int_0^{2\pi} f(\omega t)\cos(n\omega t)d\omega t \qquad (2.8)$$

$$b_n = \frac{1}{\pi}\int_0^{2\pi} f(\omega t)\sin(n\omega t)d\omega t \qquad (2.9)$$

n คือ ตำแหน่งฮาร์มอนิกส์อันดับต่างๆ

$n = 1, 2, 3, \ldots, \infty$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ค่า Total Harmonics Distortion (THD)

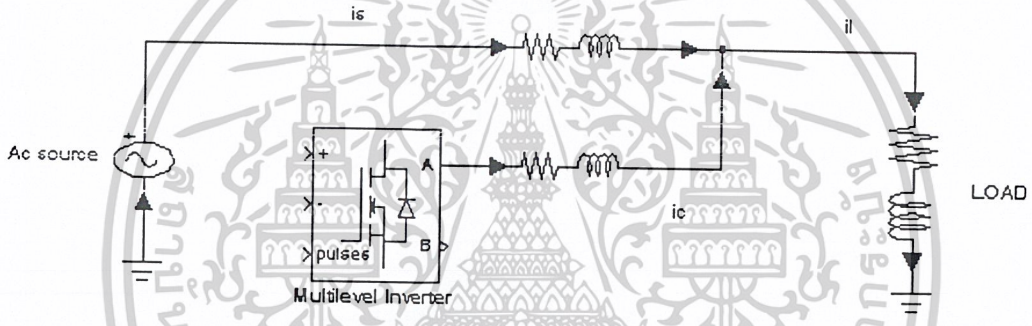
$$\%\text{THD} = \frac{\sqrt{(v_2^2 + v_3^2 + v_4^2 + \ldots + v_n^2}}{v_1} * 100 \qquad (2.10)$$

โดยที่

v_1 คือ ค่าแรงดันฮาร์มอนิกส์อันดับที่ 1 (fundamental)

$v_2, v_3, v_4, \ldots, v_n$ ค่าแรงดันฮาร์มอนิกส์อันดับที่ 2, 3, 4, …, n

2.5 แนวทางการชดเชยกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด



รูปที่ 2.10 แสดงวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า

จากรูปที่ 2.10 เมื่อภาระไฟฟ้าในระบบมีค่าตัวประกอบกำลังไฟฟ้าต่ำกระแสไฟฟ้าของภาระไฟฟ้า (i_L) จะแสดงได้ดังสมการดังนี้

$$i_L = i_{Lp} + i_{Lq} \qquad (2.11)$$

i_{Lp} คือ กระแสไฟฟ้าที่ทำให้เกิดกำลังไฟฟ้าแอคทีฟ

i_{Lq} คือ กระแสไฟฟ้าที่ทำให้เกิดกำลังไฟฟ้ารีแอคทีฟ

เมื่อเราใช้กฎ KCL ที่จุเชื่อมต่อระหว่าง V_c กับ V_s จะได้สมการดังนี้

$$i_L = i_S + i_C \qquad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.12 จะได้ค่า i_S ดังสมการที่ 2.13

$$i_S = i_L - i_C \tag{2.13}$$

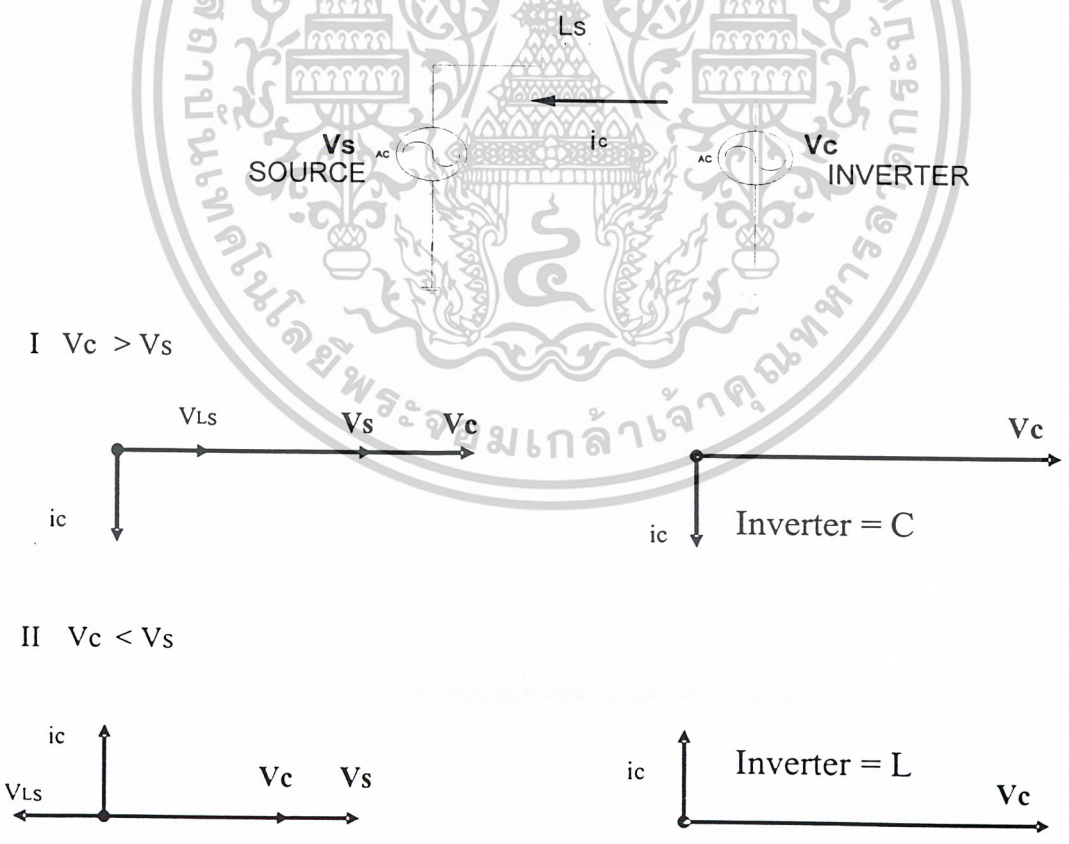
i_C ที่จะชดเชยเข้าระบบจะมีเฟสต่างกับเฟสแรงดันของระบบอยู่ 90 องศาเปรียบเสมือน i_C อยู่ในแกนของกระแสจินตภาพหรือกระแสที่ทำให้เกิดกำลังไฟฟ้ารีแอคทีฟ (i_{Lq}) หรือ $i_C = i_{Lp}$ และจากสมการที่ 2.11 แทนในสมการที่ 2.13 จะได้

$$i_S = (i_{Lp} + ji_{Lq}) - ji_{Lq} \tag{2.14}$$

$$i_S = i_{Lp} \tag{2.15}$$

จากสมการที่ 2.15 กระแสไฟฟ้าของระบบก็จะมีเฉพาะกระแสไฟฟ้าส่วนจริงที่มีเฟสตรงกับแรงดันไฟฟ้าของระบบค่าตัวประกอบกำลังไฟฟ้ามูลฐาน (fundamental power factor หรือ displacement power factor) มีค่าเท่ากับ 1 (unity power factor)

2.6 หลักการชดเชยกำลังไฟฟ้ารีแอคทีฟ



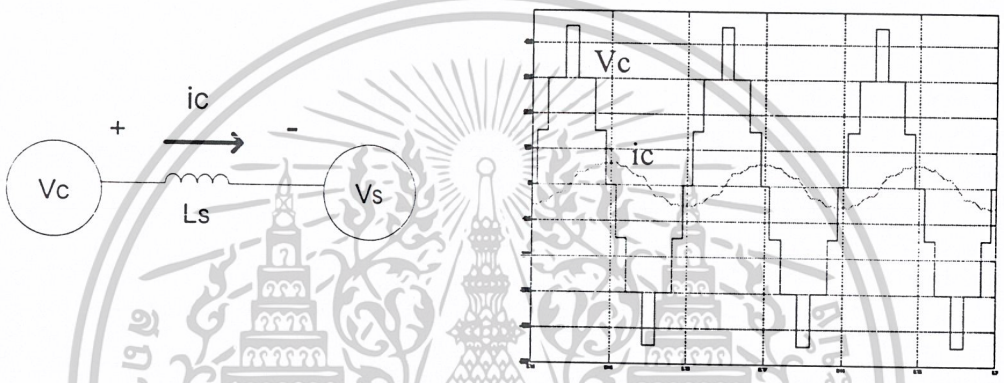
รูปที่ 2.11 แสดงหลักการชดเชยกำลังไฟฟ้ารีแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

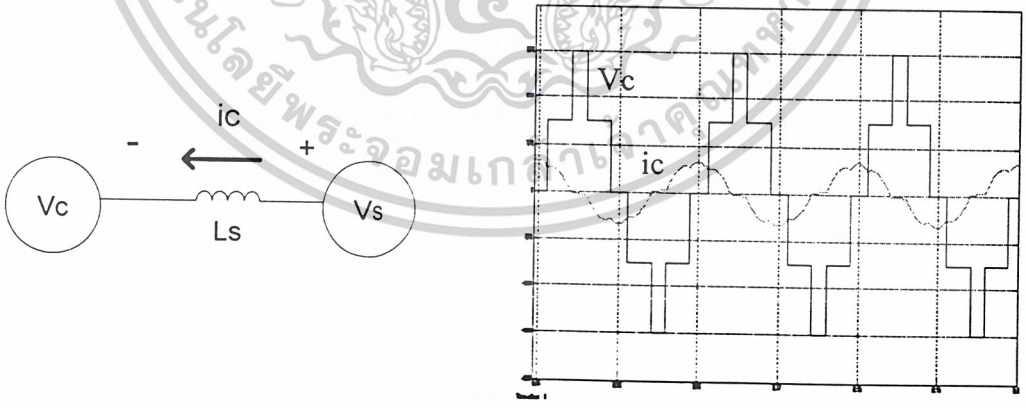
จากรูปที่ 2.11 กำหนดให้รูปวงจรมีทิศของกระแสไหลจากV_cไปยัง V_s และมี L_s เป็นตัวเหนี่ยวนำเชื่อมต่อ (interfacing inductor) ระหว่าง V_c กับ V_s มีกรณีศึกษา แบ่งเป็น 2 กรณีคือ

กรณีที่ 1 $V_c > V_s$ จากกราฟจะเห็นว่า V_c จะนำ i_c เป็นมุม 90 องศาและ V_c กำหนดให้เป็นแหล่งจ่ายเพราะฉะนั้น V_c เสมือนว่าตัวเองกระทำตัวเป็น แหล่งกำเนิดกำลังไฟฟ้ารีแอคทีฟ ซึ่งสามารถนำไปใช้ชดเชยให้แก่โหลดที่มีค่าตัวประกอบกำลังล้าหลังได้ดังรูปที่ 2.12

กรณีที่ 2 $V_c < V_s$ จากกราฟจะเห็นว่า V_c จะตาม i_s เป็นมุม 90 องศาและ V_c กำหนดให้เป็นแหล่งจ่ายเพราะฉะนั้น V_c เสมือนว่าตัวเองกระทำตัวเป็นโหลดกำลังไฟฟ้ารีแอคทีฟ นำไปใช้ชดเชยให้แก่โหลดที่มีค่าตัวประกอบกำลังนำหน้าได้ดังรูปที่ 2.13



รูปที่ 2.12 แสดงรูปสัญญาณขณะอินเวอร์เตอร์กระทำตัวเป็นแหล่งจ่ายกำลังไฟฟ้ารีแอคทีฟ



รูปที่ 2.13 แสดงรูปสัญญาณขณะอินเวอร์เตอร์กระทำตัวเป็นโหลดรีแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

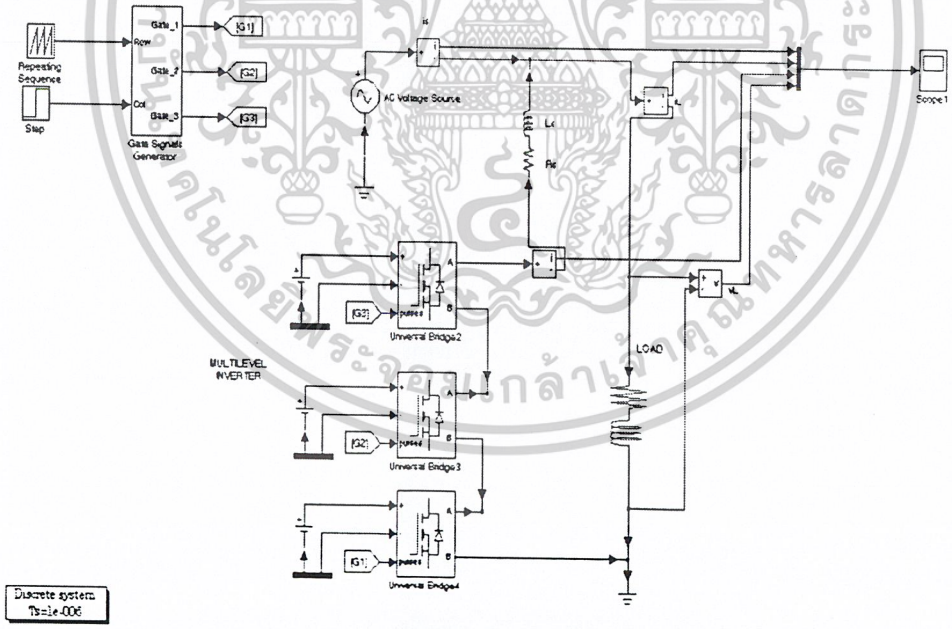
บทที่ 3
การคำนวณและการจำลองในโปรแกรม MATLAB

เมื่อทราบถึงหลักการของการสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคดและหลักการสร้างกำลังไฟฟ้ารีแอคทีฟแล้ว การเริ่มศึกษาเบื้องต้นเพื่อให้เกิดความเข้าใจยิ่งขึ้นทำได้โดยการจำลองวงจร (simulation) ซึ่งการจำลองจะใช้โปรแกรม MATLAB เพื่อให้มีความเข้าใจเกี่ยวกับความรู้พื้นฐานของวงจรก่อนที่จะสร้างวงจรจริง

3.1 การจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า

ในการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้าจะเป็นการชดเชยในลักษณะขนานกับระบบไฟฟ้า โดยจะต่ออินเวอร์เตอร์ชนิดคาสเคด 7 ระดับให้ขนานกับแหล่งจ่ายดังรูปที่ 3.1 ในขณะที่ต่อภาระไฟฟ้าที่มีตัวประกอบกำลังไฟฟ้าไม่เท่ากับ 1 โดยตัวอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับที่ได้สร้างขึ้นนี้จะเป็นตัวสร้างแรงดันที่ค่าต่างๆเพื่อการควบคุมการชดเชยกำลังไฟฟ้ารีแอคทีฟ

การจำลองวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้าในโปรแกรม SIMULINK ตามรูปที่ 3.1 จะมีส่วนประกอบของวงจรด้วยกัน 2 ส่วน คือ



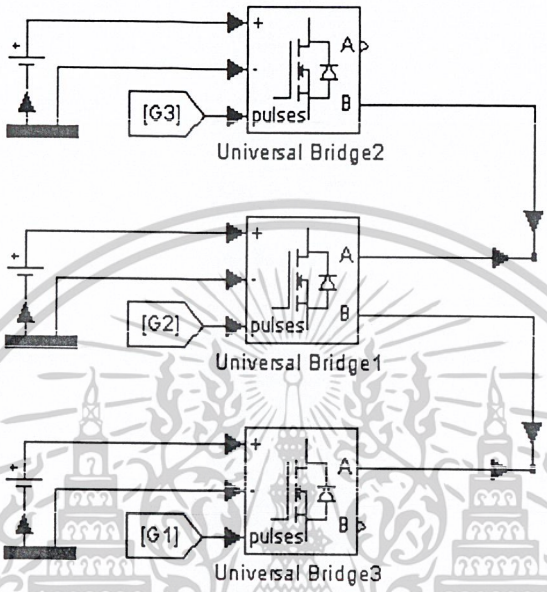
รูปที่ 3.1 แสดงวงจรการจำลองการชดเ ชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้าในโปรแกรม SIMULINK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรสร้างแรงดันของอินเวอร์เตอร์

1) ชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

ในวงจรจะเป็นลักษณะของฟูลบริดจ์ (Universal Bridge) 3 ตัวต่อคาสเคดกันแต่ละชั้นก็จะมีค่าแรงดันกระแสตรงที่เปรียบเสมือนตัวเก็บประจุต่อแยกกันอย่างอิสระแต่ละชั้น และแต่ละชั้นก็จะมีสัญญาณไปทริกเกทจากตัวกำเนิดสัญญาณทริกเกททั้ง 3 ชั้น ดังรูปที่ 3.2



รูปที่ 3.2 แสดงการต่อชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับในโปรแกรม SIMULINK

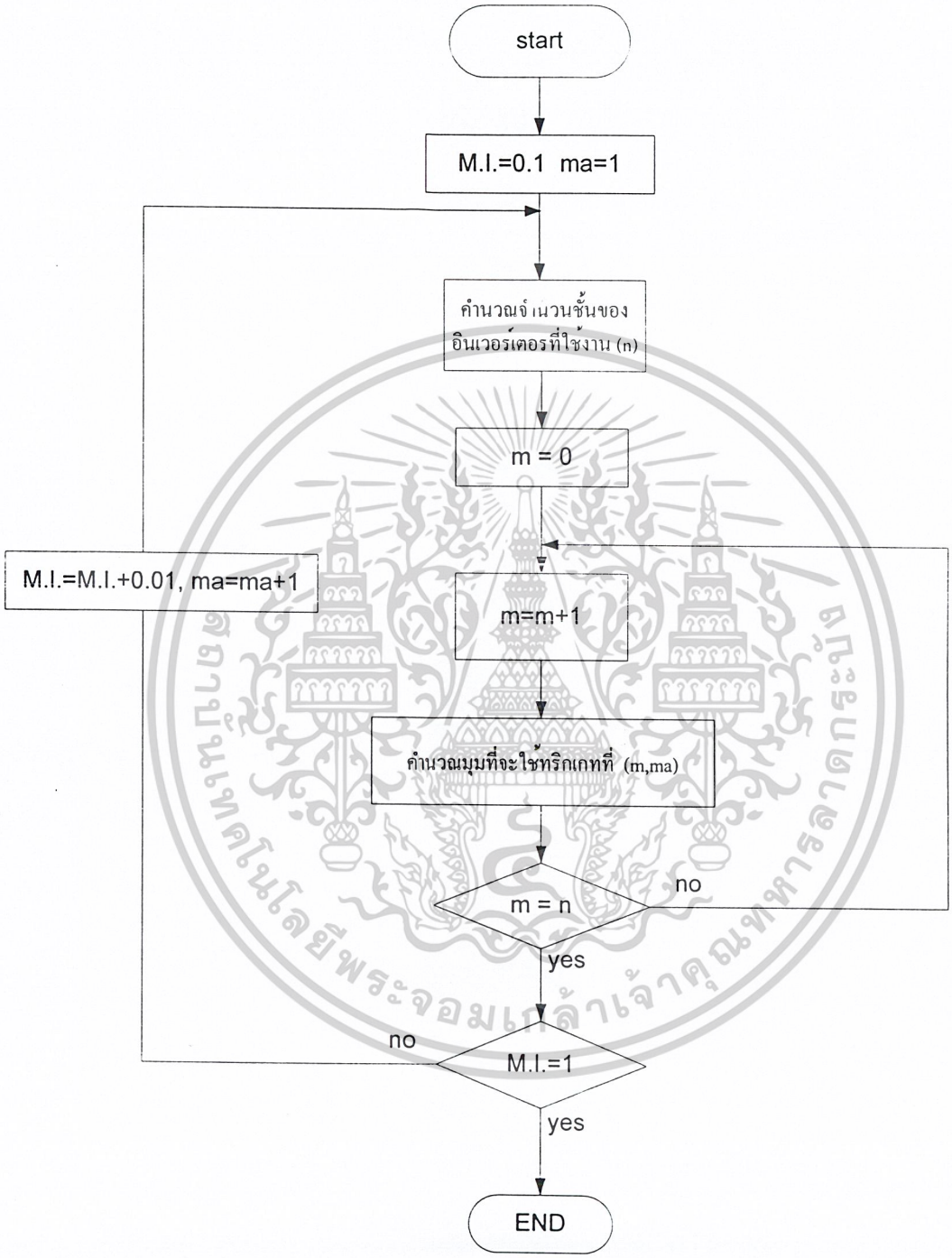
2) ตัวกำเนิดสัญญาณทริกเกทและการสร้างแรงดันไฟฟ้า

ค่ามุมที่จะนำมาใช้สร้างสัญญาณทริกเกทที่ระดับแรงดันต่าง ๆ ได้มาจากการคำนวณในโปรแกรม MATLAB เป็นไฟล์ชนิด m-file โดยวิธีพื้นที่เท่ากันจากบทที่2 และเก็บค่าที่ได้ลงในอาร์เรย์ของโปรแกรมหรือworkspace และสามารถนำไปใช้เป็นตัวเก็บข้อมูลในการจำลองการสร้างแรงดันของอินเวอร์เตอร์ในโปรแกรม SIMULINK ต่อไป และโปรแกรมที่ใช้ในการสร้างสัญญาณทริกเกทจะมีโฟล์วชาร์ทแสดงการคำนวณดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

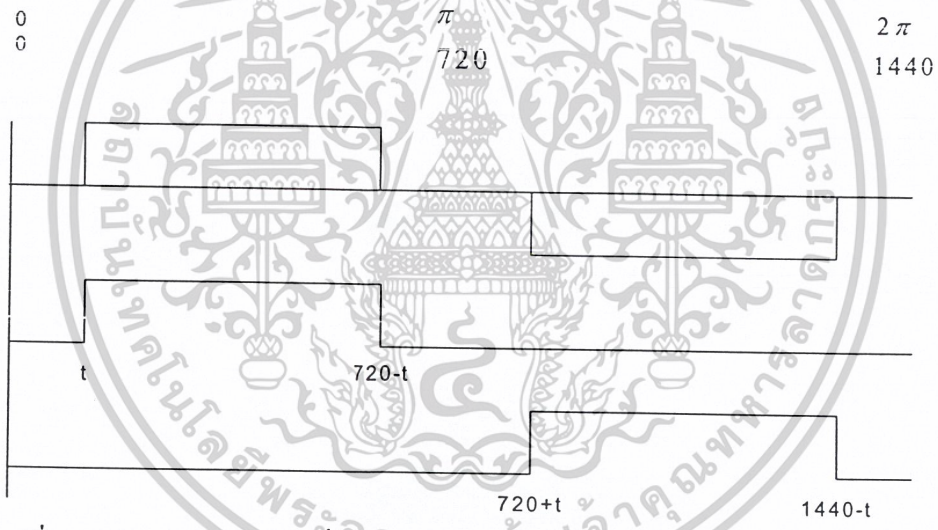
โฟลว์ชาร์ตแสดงแนวทางการคำนวณมุมและเก็บค่ามุมที่แต่ละค่าของ Modulation Index ของอินเวอร์เตอร์แต่ละชั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62000

จากข้อกำหนดเริ่มต้นกำหนดจำนวนชั้นสูงสุด 3 ชั้น (n มีค่าสูงสุดเท่ากับ 3) แต่อาจมีการใช้งานไม่ถึง 3 ชั้นที่ระดับแรงดันต่ำๆ โดยจะมีการคำนวณหาจำนวนชั้นก่อนว่าที่ค่าของ Modulation Index ค่านั้นๆ ต้องใช้จำนวนชั้นของอินเวอร์เตอร์กี่ชั้น และค่าของ Modulation Index จะเริ่มต้นตั้งแต่ 0.1 หลังจากนั้นเมื่อได้จำนวนชั้นก็จะทำการหาค่ามุมที่ทำการทริกเกทของแต่ละชั้นจนครบทุกชั้น นำค่าไปเก็บในรูปของอาร์เรย์และจะเก็บค่าในทุกๆค่าของ Modulation Index โดยค่าจะเพิ่มขึ้นครั้งละ 0.01 จนถึงค่า Modulation Index เท่ากับ 1 จะได้ค่าทั้งหมดเท่ากับ 91 ค่า ตามโฟล์วชาร์ทข้างต้นเพราะฉะนั้นหลังจากจบโปรแกรมจะได้มุมที่ทำการทริกเกทอยู่ในเมททริกขนาด 91x3 (คือ มีค่าในการสร้างแรงดันทั้งหมด 91 ค่า และแต่ละค่ามีการคำนวณมุมทริกเกททั้ง 3 ชั้น)

หลังจากนั้นจะเปลี่ยนค่ามุมในการทริกเป็นค่าของแกนเวลา (จากหนึ่งคาบเท่ากับ 2π เป็นแกนเวลาจาก 1 ถึง 1440 กำหนดขึ้นในโปรแกรม MATLAB เพื่อสะดวกในการป้อนข้อมูลในการจำลองและเก็บข้อมูลในหน่วยความจำต่อไป) และนำค่าช่วงเวลาที่ได้มาสร้างเป็นช่วงเวลาของการทำงานของเกท เริ่มจากการคำนวณมุมในการทริกได้เป็นมุม θ และทำการแปลงมุมที่ได้เป็นช่วงเวลาได้เท่ากับ t ค่าต่างๆ (ซึ่งได้มาจาก $t = \theta x360/(\pi/2)$)



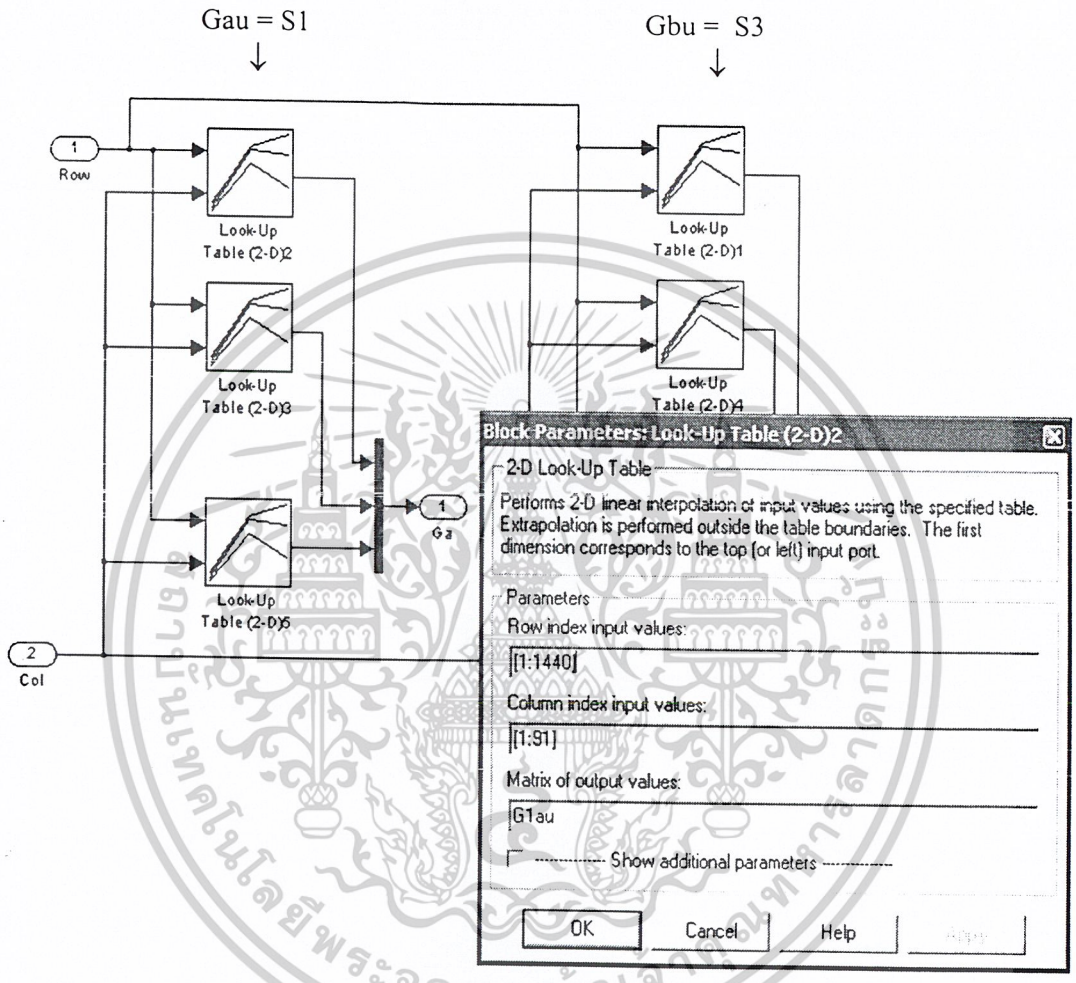
รูปที่ 3.3 แสดงการแปลงค่ามุมที่คำนวณได้เป็นช่วงเวลาของการทริกเกทในหนึ่งคาบ

ดังนั้นหลังจากการแปลงค่ามุมเป็นช่วงเวลาจาก 1 ถึง 1440 แล้วจะได้ค่าของสัญญาณที่จะนำไปสร้างแรงดันที่ค่าต่างๆ (ตามค่า Modulation Index จาก 0.1 ถึง 1 แปลงเป็นค่าตัวเลขจาก 1-91 ตามลำดับ) ซึ่งจะได้เมททริกใหม่ขนาด 1440 x 91 เพื่อใช้ในการสร้างแรงดัน และจากรูปที่ 3.3 ซึ่งหากเทียบกับลักษณะการทำงานของเกทที่ต่อแบบฟูลบริดจ์รูปที่ 2.7 จะเห็นว่าสัญญาณที่ใช้ทริกเกทในช่วงแรงดันเป็นบวกคือสัญญาณที่ตรงกับ S1 ทำงาน กล่าวคือ S1 จะมีระดับสัญญาณในช่วงเวลาจาก t ถึง 720-t เป็น 1 และในช่วงเวลาอื่นๆ เป็น 0 และในช่วงแรงดันเป็นลบคือสัญญาณที่ตรงกับ S3 ทำงาน กล่าวคือ S3 จะมีระดับสัญญาณในช่วงเวลาจาก t ถึง 720+t เป็น 1 และในช่วงเวลาอื่นๆ เป็น 0 และจะนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

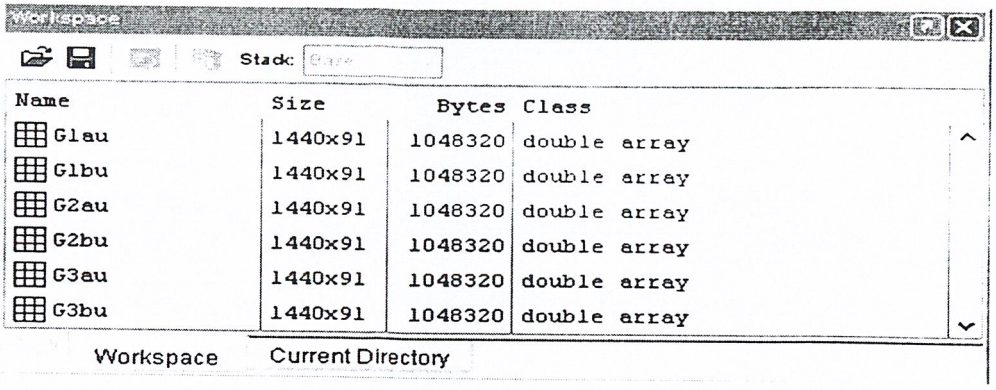
สัญญาณทั้ง 2 สัญญาณนี้ไปสร้างสัญญาณ S2 และ S4 ต่อไปเพื่อนำไปควบคุมการสร้าง แรงดันไฟฟ้าจากอินเวอร์เตอร์แบบฟูลบริดจ์เพื่อนำไปใช้ในกระบวนการสร้างกำลังไฟฟ้ารีแอกทีฟต่อไป

เมื่อมีการคำนวณช่วงเวลาในการทริกมุมที่ค่าแรงดันต่างๆ แล้วก็จะส่งค่าที่ได้นี้ไปเก็บในโปรแกรม SIMULINK ในรูปข้อมูลที่เป็นเมททริก 1440 x 91ดังรูป 3.4 ซึ่งได้จากการสร้างและส่งข้อมูลมาจากโปรแกรม MATLAB ดังรูปที่ 3.5



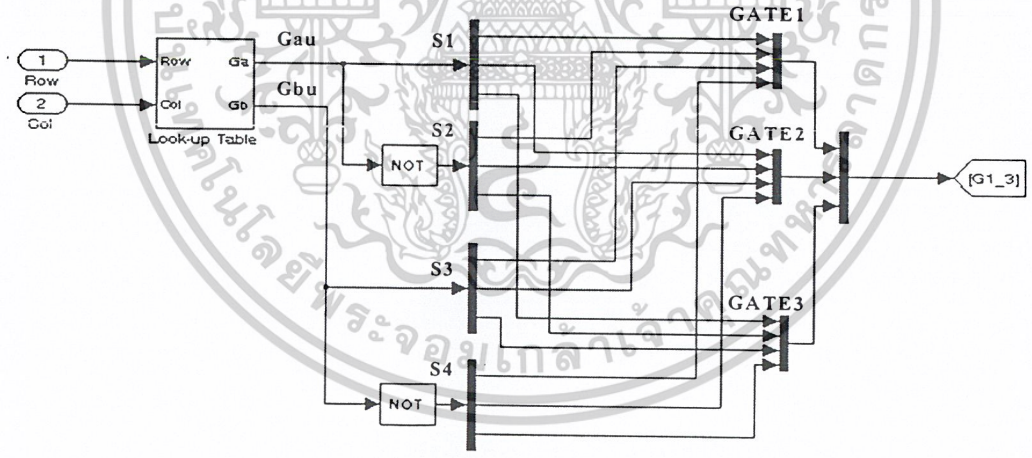
รูปที่ 3.4 แสดงการเก็บค่าทริกเกทที่คำนวณได้ขนาด 1440x91ใน MATLAB มาใช้งานใน SIMULINK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงค่าเมททริกที่คำนวณจากโปรแกรม MATLAB เพื่อส่งไปใช้งานใน SIMULINK

จากรูปที่ 3.4 และ 3.5 จะเห็นว่าในการสร้างสัญญาณเพื่อทริกเกทที่เวลาต่างๆ สัญญาณที่ออกมาของแต่ละชั้นจะเป็นสัญญาณ Gau ซึ่งก็คือสัญญาณ S1 และสัญญาณ Gbu ซึ่งก็คือสัญญาณ S3 นั่นเอง และการทำงานของ S2 จะทำงานตรงข้ามกับ S1 และ S4 จะทำงานตรงข้ามกับ S3 ตลอดเวลาแสดงดังรูปที่ 3.6 จากนี้ก็จะได้สัญญาณทริกเกทครบ 4 สัญญาณ เพื่อให้กับขา pulse ของบล็อคUniversal Bridge แต่ละชั้น สั่งให้ IGBT แต่ละตัวทำงานสร้างแรงดันออกมาที่ขาเอาท์พุท



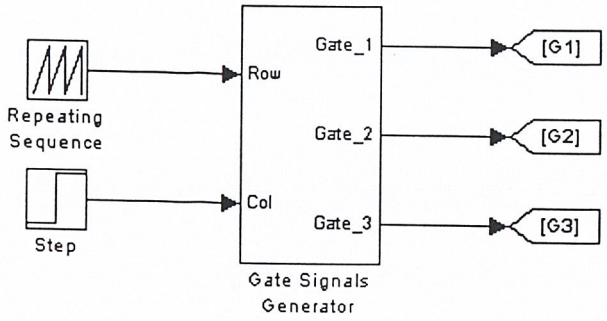
รูปที่ 3.6 แสดงการสร้างสัญญาณไปขับเกทสำหรับอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

ในการสร้างแรงดันต้องมีอินพุทที่ต้องป้อนเข้าไป 2 ค่า เพื่อให้ได้ช่วงเวลาทริกเกทเพื่อไปสร้างแรงดันตามต้องการตามที่ได้เก็บข้อมูลในเมททริกไว้ (1440 x 91) คือ

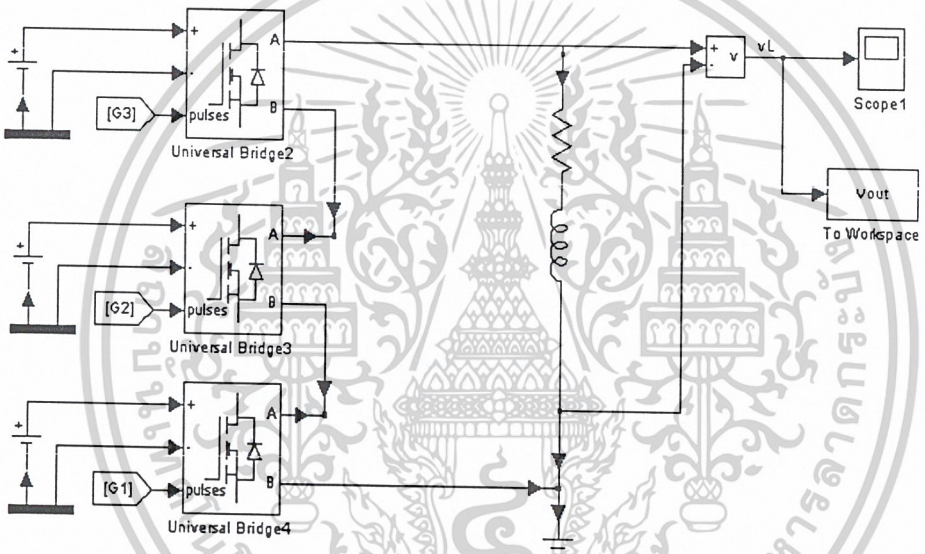
-Repeating Sequence เป็นค่าของคาบเวลา ต้องตั้งค่าให้มีคาบตรงกับของระบบ คือนับจาก 0 ถึง 1440 ในช่วงเวลา 0 ถึง 2π เพื่อสร้างแรงดันให้ครบคาบตามความถี่ 50 Hz

- Step เป็นค่าที่กำหนดระดับแรงดันของอินเวอร์เตอร์ คือ จาก 1 ถึง 91 ตามค่า M.I.จาก 0.1 ถึง 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงตัวกำเนิดสัญญาณทริกเกทที่จะส่งให้ชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ



รูปที่ 3.8 แสดงวงจรการเก็บค่าสัญญาณแรงดันของอินเวอร์เตอร์ในโปรแกรม SIMULINK

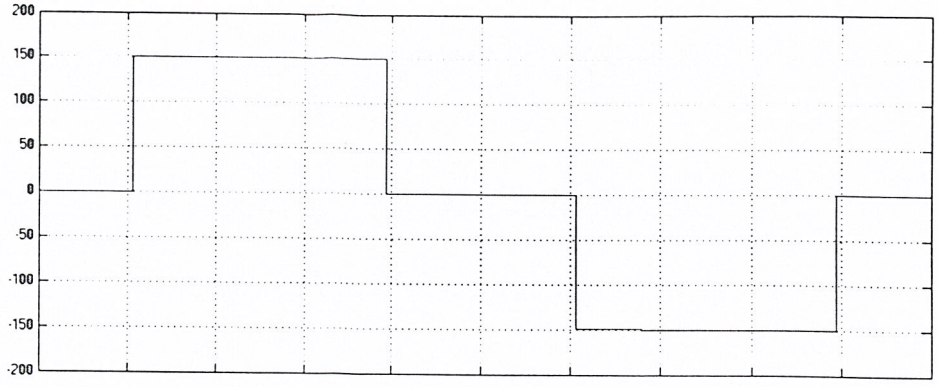
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างแรงดันตามค่า Modulation Index ก็จะต้องป้อนค่าที่บล็อค step(ma) ในรูป 3.7 เพื่อสร้างแรงดันตามรูปวงจรในรูป 3.8 และคำนวณค่าแรงดันจากสัญญาณที่ได้ ดังตารางที่ 3.1 และมีตัวอย่างรูปสัญญาณของแรงดันที่สร้างโดยป้อนค่า ma เท่ากับ 21, 61 และ 91 ซึ่งมีค่า M.I. เท่ากับ 0.3, 0.6, และ 1.0 ซึ่งใช้จำนวนชั้นของฟูลบริดจ์ IGBT 1, 2 และ 3 ชั้นตามลำดับ ดังรูปที่ 3.9, 3.10 และ 3.11

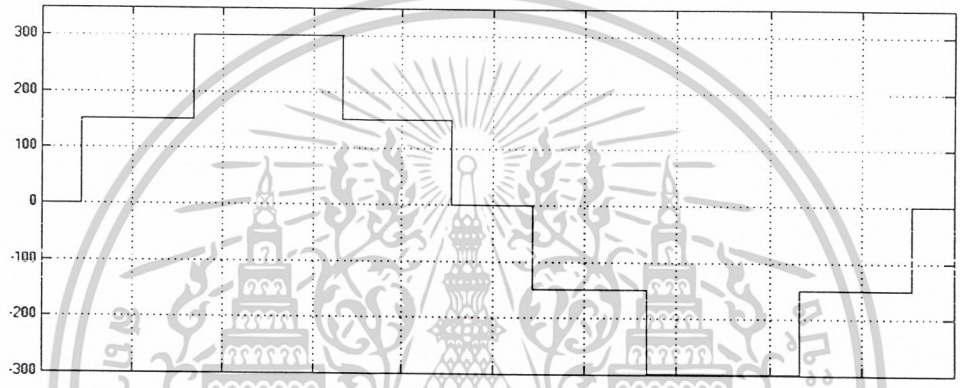
ตารางที่ 3.1 แสดงค่าแรงดันที่ได้จากอินเวอร์เตอร์ที่แต่ละค่า Modulation Index จากการจำลองใน SIMULINK

ma	M .I.	V c
21	0.30	113.75
26	0.35	124.50
31	0.40	139.98
36	0.45	156.32
41	0.50	171.92
46	0.55	187.41
51	0.60	201.93
56	0.65	215.70
61	0.70	230.66
66	0.75	246.67
71	0.80	262.81
76	0.85	278.63
81	0.90	294.34
86	0.95	309.20
91	1.00	323.94

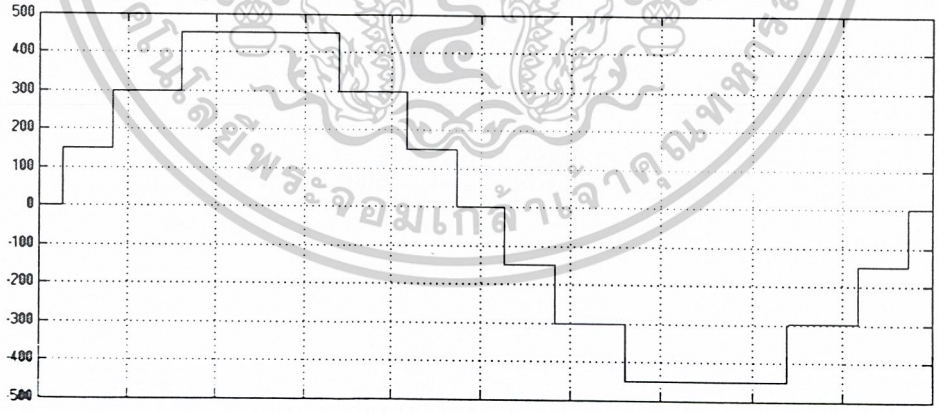
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 0.3 , ma=21



รูปที่ 3.10 แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 0.6 , ma=51



รูปที่ 3.11 แสดงรูปสัญญาณแรงดันที่ค่า M.I. = 1.0 , ma=91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

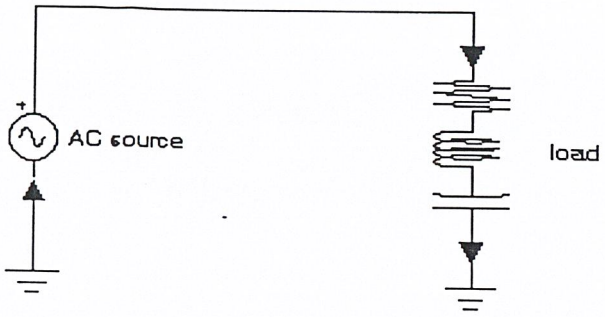
จากการสร้างแรงดันแต่ละค่าของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับจะมีการส่งค่าสัญญาณของแรงดันไปยัง workspace ในโปรแกรม MATLAB เพื่อคำนวณหาค่าฮาร์มอนิกส์รวมถึงค่า THD ดังตารางที่ 3.2 เพื่อศึกษาคุณภาพของสัญญาณที่สร้าง

ตารางที่ 3.2 แสดงค่าฮาร์มอนิกส์อันดับต่ำต่างๆและค่า THD ของแรงดันเอาท์พุทที่แต่ละค่า Modulation Index จากการ SIMULATION ในโปรแกรม SIMULINK

M.I.	h1	h3	h5	h7	h9	h11	h13	THD(%)
0.3	149.9465	26.6897	37.4569	1.0335	20.4336	8.4493	10.8148	38.26
0.35	167.4508	3.3316	31.005	25.6847	3.3231	12.9564	14.7598	31.29
0.4	187.7501	0.4078	8.2676	41.8733	0.4042	10.2985	25.6409	32.58
0.45	209.8912	6.7314	15.3792	50.5283	1.3226	23.6927	16.1328	32.4
0.5	232.3371	14.7706	31.7714	45.6823	8.7124	15.0413	10.2146	30.25
0.55	255.6899	21.0614	35.7687	25.078	28.7821	0.4109	22.5128	26.69
0.6	278.1987	21.3697	26.061	2.3014	38.608	7.9402	6.1879	22.64
0.65	299.4819	14.1496	6.9474	20.1028	24.3644	29.3541	1.7346	**18.79**
0.7	320.916	5.6814	4.1379	15.4302	3.1201	35.4022	15.7162	**17.53**
0.75	342.8177	4.4516	0.0338	1.9814	25.0734	32.3291	15.6523	**18.23**
0.8	365.2835	6.7797	9.9528	19.3744	35.8757	22.5599	12.8824	**18.22**
0.85	387.8904	10.445	19.024	29.3298	30.3797	3.3851	18.4647	**17.38**
0.9	410.8531	13.2967	23.4417	25.2323	11.2737	19.9617	22.5344	**15.79**
0.95	432.8187	13.1112	18.8512	10.9118	10.2589	28.1743	7.5387	**13.86**
1	454.5531	7.4266	6.2036	5.8881	18.6488	13.5428	16.541	**12.01**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

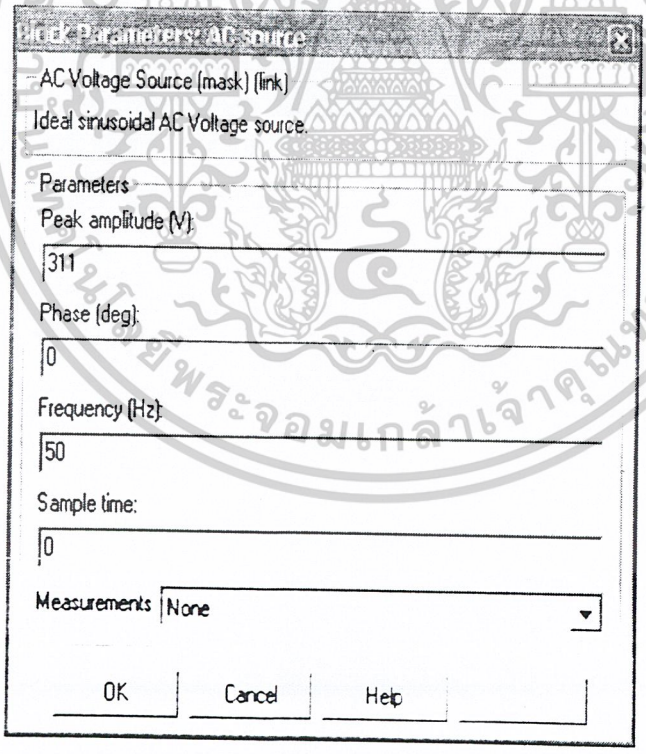
3.1.2 วงจรของระบบที่จะทำการชดเชยกำลังไฟฟ้ารีแอคทีฟ



รูปที่ 3.12 แสดงระบบก่อนที่จะทำการชดเชยกำลังไฟฟ้ารีแอคทีฟ

1) แหล่งจ่ายของระบบ

การใส่ค่าในบล๊อคของ AC SOURCE จะจำลองที่ระบบไฟฟ้าแรงดัน 220 โวลต์ (rms)ที่ค่าความถี่ 50 Hz การใส่ค่าแสดงดังรูปที่ 3.13



รูปที่ 3.13 แสดงการใส่ค่าในบล็อค AC SOURCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ภาระไฟฟ้าที่ต่อกับระบบ

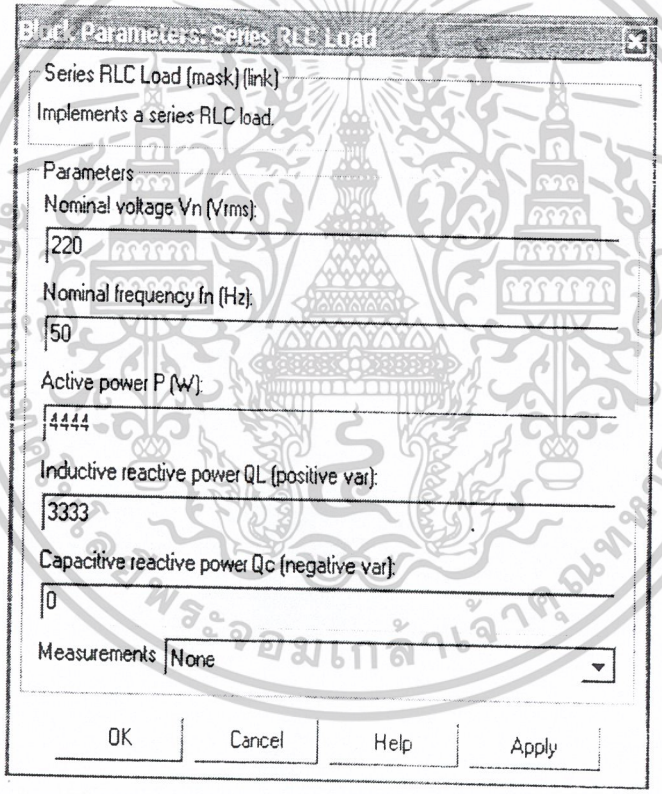
ในการจำลองวงจรก็จะกำหนดภาระไฟฟ้าที่มีค่ากำลังไฟฟ้ารีแอคทีฟค่าต่างๆและค่ากำลังไฟฟ้ารีแอคทีฟซึ่งมาจากกระแสรีแอคทีฟที่ภาระไฟฟ้าต้องการ ซึ่งทำให้ค่าตัวประกอบกำลังไฟฟ้าที่มีค่าน้อยกว่าหนึ่ง ระบบจึงจำเป็นที่จะต้องมีกระแสไฟฟ้ารีแอคทีฟเข้ามาชดเชยแทนการจ่ายจากระบบเพื่อให้ระบบมีค่าตัวประกอบกำลังไฟฟ้าที่สูงขึ้นซึ่งค่ากระแสรีแอคทีฟที่เกิดขึ้นนี้สามารถคำนวณได้จาก

$$I_m = \frac{Q}{V_s} \tag{3.1}$$

เมื่อ Im คือ กระแสไฟฟ้ารีแอคทีฟ

Q คือ กำลังไฟฟ้ารีแอคทีฟ

Vs คือ แรงดันไฟฟ้าของระบบ



รูปที่ 3.14 แสดงการใส่ค่าในบล็อค RCL LOAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 องค์ประกอบและขอบเขตการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบไฟฟ้า

ศึกษาการจำลองสร้างกำลังไฟฟ้ารีแอคทีฟเพื่อชดเชยแทนการจ่ายจากระบบ ทำให้ระบบไฟฟ้าจ่ายโหลดเฉพาะกำลังไฟฟ้าแอคทีฟ ส่งผลให้ระบบมีค่าประกอบกำลังไฟฟ้าใกล้เคียงหรือเท่ากับ 1 (unity power factor)

การศึกษาจำลองการชดเชยโหลดเฟสเดียวสูงสุด 3.333 kVAR โดยส่วนประกอบของวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟในโปรแกรม SIMULINK มีดังนี้

3.2.1 องค์ประกอบการชดเชยกำลังไฟฟ้ารีแอคทีฟ

- ชดเชยกำลังไฟฟ้ารีแอคทีฟของภาระไฟฟ้าเฟสเดียว 3.333 kVAR
- แรงดันของระบบที่จะชดเชย 220 โวลต์ (RMS)
- แรงดันของอินเวอร์เตอร์สูงสุดประมาณ 323 โวลต์ (RMS) ; จากตารางที่ 3.1
- V_{dc} คร่อมตัวเก็บประจุ 150 โวลต์ต่อชั้น
- ค่าตัวเหนี่ยวนำที่เชื่อมต่อกับระบบ 20 mH
- ความถี่ของระบบ 50 Hz

3.2.2 การออกแบบค่าตัวเหนี่ยวนำที่เชื่อมต่อกับระบบที่ใช้ในการจำลองวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟ

$$Q = V * I_{in} \tag{3.2}$$

$$Q_L = V_S * I_C \tag{3.3}$$

$$Q_L = \frac{V_S * (V_C - V_S)}{X_S} \tag{3.4}$$

ค่า V_C ได้จากตารางที่ 1 ที่ M.I. = 1.0 แทนในสมการที่ 3.4 จะได้

$$3333 = \frac{220 * (323 - 220)}{X_S}$$

$$X_S \approx 6.5 \quad \Omega$$

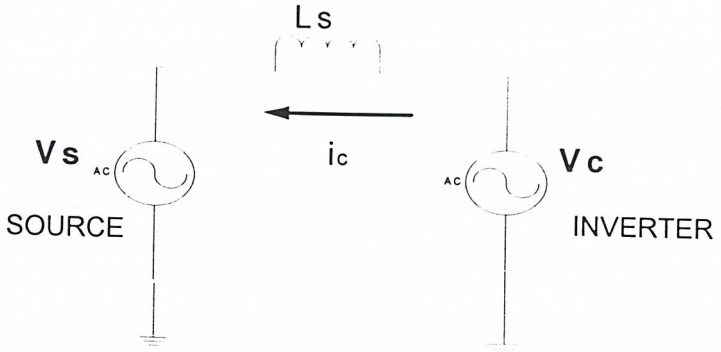
จาก $X_S = 2\pi fL$

$f = 50$ Hz

จะได้ $L_S \approx 20$ mH

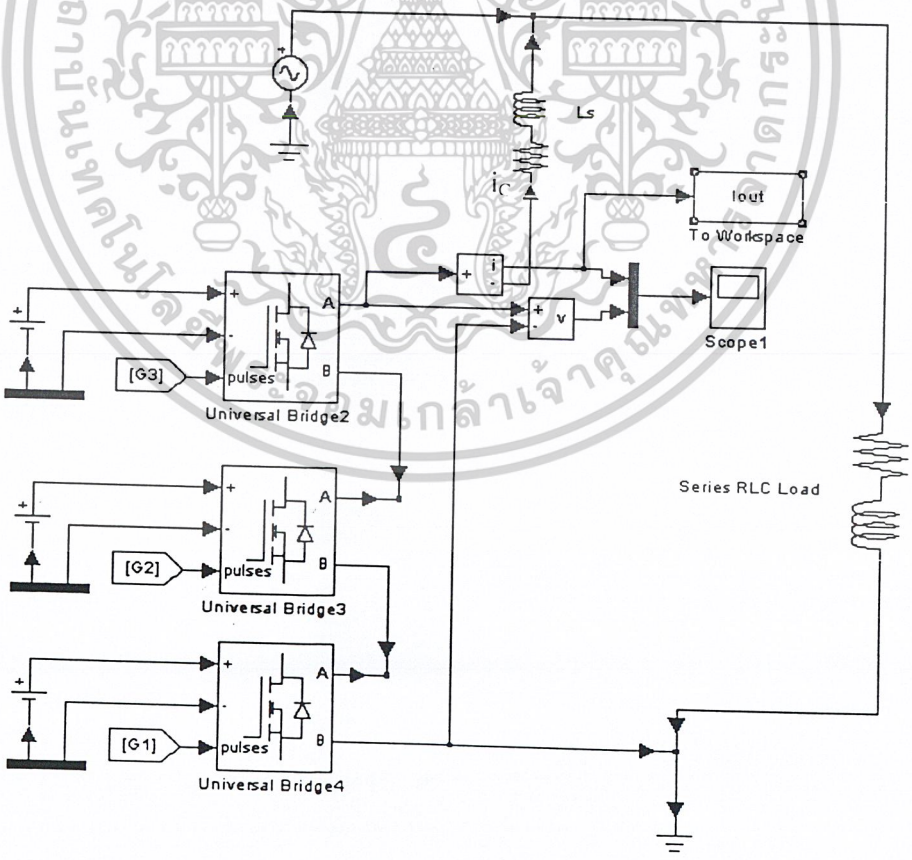
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การศึกษาลักษณะของกระแสไฟฟ้ารีแอคทีฟที่ชดเชยให้กับระบบ



รูปที่ 3.15 แสดงวงจรการจำลองเพื่อหาค่ากระแสที่จะชดเชยให้กับระบบ

เมื่อคำนวณค่าตัวเหนี่ยวนำที่จะนำมาต่อเพื่อเชื่อมต่ออินเวอร์เตอร์หลายระดับชนิดคาสเคดเข้ากับระบบและเป็นไปตามรูปที่ 3.15 และหากแรงดันไฟฟ้าของอินเวอร์เตอร์หลายระดับชนิดคาสเคดมีค่ามากกว่าแรงดันไฟฟ้าของระบบและภาระไฟฟ้าที่ต่ออยู่เป็นตัวเหนี่ยวนำก็จะมีกระแสไฟฟ้ารีแอคทีฟไหลเข้าไปในระบบและทำการวัดและเก็บค่ากระแสไฟฟ้าตามรูปที่ 3.16 และแสดงผลดังตารางที่ 3.3



รูปที่ 3.16 แสดงวงจรการต่ออินเวอร์เตอร์เพื่อวัดค่ากระแสรีแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 แสดงค่ากระแสไฟฟ้าจากอินเวอร์เตอร์ที่แต่ละค่า Modulation Index

m a	M .I.	I c
4 1	0 . 5 0	(-) 8 . 9 0
4 6	0 . 5 5	(-) 6 . 3 3
5 1	0 . 6 0	(-) 3 . 8 4
5 6	0 . 6 5	(-) 1 . 4 5
6 1	0 . 7 0	1 . 2 3
6 6	0 . 7 5	3 . 6 1
7 1	0 . 8 0	6 . 1 0
7 6	0 . 8 5	8 . 6 7
8 1	0 . 9 0	1 1 . 1 2
8 6	0 . 9 5	1 3 . 6 9
9 1	1 . 0 0	1 6 . 1 1

จากตารางที่ 3.3 เป็นตารางเปรียบเทียบค่ากระแสรีแอคทีฟที่จะชดเชยให้กับระบบไฟฟ้ากับค่า ma ที่จะป้อนเข้าไปที่ตัวกำเนิดสัญญาณทริกเกทที่บล็อค Step และค่าที่ป้อนเข้าไปนั้นจะได้จากการคำนวณจากความสัมพันธ์จากตารางตามสมการที่ 3.5 และมีแนวทางการคำนวณเพื่อใช้ในวงจรการชดเชยกำลังไฟฟ้ารีแอคทีฟในระบบไฟฟ้าในบทต่อไป

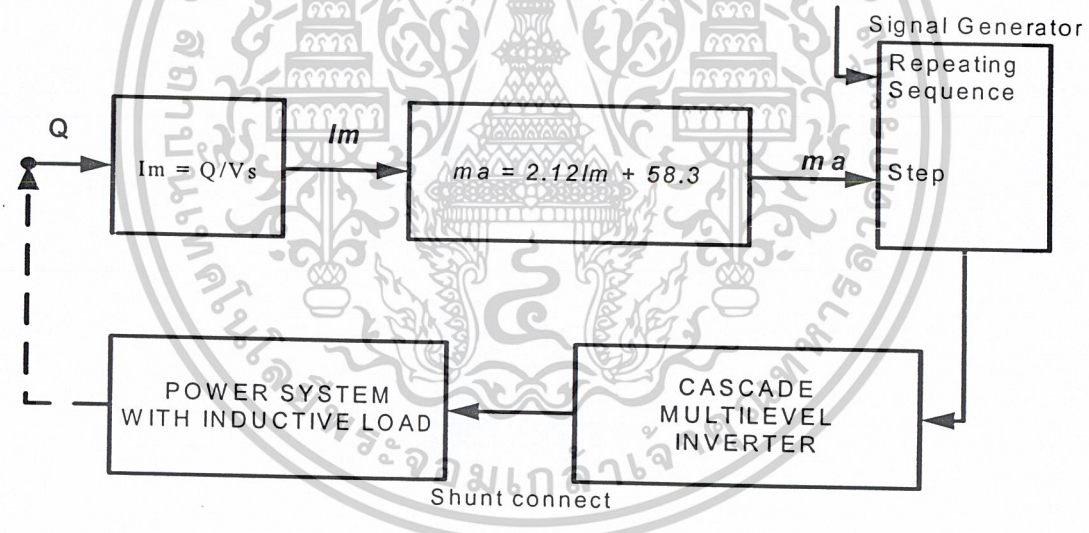
$$ma = 2.12Im + 58.3 \qquad (3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการจำลองการชดเชยกำลังไฟฟ้ารีแอกทีฟในโปรแกรม MATLAB

ปริญญานิพนธ์นี้เป็นการศึกษาเกี่ยวกับการชดเชยกำลังไฟฟ้ารีแอคทีฟในระบบไฟฟ้าโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคดเป็นอุปกรณ์ที่สร้างแรงดันขึ้นเพื่อนำไปสู่กระบวนการชดเชยกำลังไฟฟ้ารีแอคทีฟ(สร้างกระแสไฟฟ้ารีแอคทีฟ)โดยการที่จะสร้างแรงดันขึ้นมานั้นจะใช้หลักการสร้างแรงดันโดยวิธีพื้นที่เท่ากัน

สำหรับโปรแกรมที่ใช้ในการจำลองการชดเชยจะใช้โปรแกรม SIMULINK มีการต่อวงจรของชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับเข้ากับระบบที่มีค่าตัวประกอบกำลังที่มีค่าต่ำกว่า 1 ซึ่งค่าโหลดจะถูกกำหนดขึ้นและคำนวณหาค่ากระแสไฟฟ้ารีแอคทีฟเพื่อป้อนค่าการชดเชยซึ่งได้จากการคำนวณมุมจากโปรแกรม MATLAB และการมีแนวทางการจำลองวงจรการชดเชยได้ตามรูปที่ 4.1 และหากอินดักทีฟโหลดมีการเปลี่ยนแปลงต้องป้อนค่าการชดเชยอีกครั้งซึ่งคำนวณจากสมการ $ma = 2.12\,Im + 58.3$



รูปที่ 4.1 แสดงขั้นตอนการคำนวณเพื่อการชดเชยกำลังไฟฟ้ารีแอคทีฟในระบบไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 เงื่อนไขและข้อกำหนดของการทดลอง

วงจรการจำลองการชดเชยกำลังไฟฟ้ารีแอคทีฟนี้ ภาระไฟฟ้าที่ต่อกับระบบจะเป็นประเภทหนึ่งเฟสประกอบด้วยค่ากำลังไฟฟ้าแอคทีฟและกำลังไฟฟ้ารีแอคทีฟซึ่งทำให้ค่าตัวประกอบกำลังไฟฟ้ามีค่าต่ำกว่า 1 และจะสามารถชดเชยกำลังไฟฟ้ารีแอคทีฟได้สูงสุด 3.33 kVAR

ตารางที่ 4.1 แสดงผลการทดลองการชดเชยกำลังไฟฟ้ารีแอคทีฟให้กับระบบ

S(kVA)	P(kW)	Q(kVAR)	IL(rms)	Im(rms)	Vc	ma	Is(rms)	%THD(Is)
0.8 p.f. lagging								
1.50	1.20	0.90	6.81	4.09	246.50	67	5.12	11.49
2.00	1.60	1.20	9.09	5.45	255.27	70	6.81	10.26
2.50	2.00	1.50	11.36	6.81	264.23	73	8.48	9.51
4.00	3.20	2.40	18.18	10.90	290.81	81	13.63	6.73
5.00	4.00	3.00	22.27	13.63	308.51	86	17.03	4.61
5.56	4.44	3.33	25.25	15.15	321.38	91	18.89	2.71
0.6 p.f. lagging								
1.50	0.90	1.20	6.81	5.44	255.32	70	3.66	19.33
2.00	1.20	1.60	9.09	7.27	267.18	74	4.89	17.35
2.50	1.50	2.00	11.36	9.09	279.00	77	6.15	14.89
4.00	2.40	3.20	18.18	14.54	314.45	89	9.65	6.52
5.00	3.00	4.00	22.27	18.17	*338.06*	*91*	12.50	4.09
0.5 p.f. lagging								
1.50	0.75	1.30	6.81	5.86	258.24	71	2.93	25.94
2.00	1.00	1.73	9.09	7.87	271.08	75	3.94	22.50
2.50	1.25	2.16	11.36	9.84	283.87	79	4.94	18.92
4.00	2.00	3.46	18.18	15.74	*322.25*	*91*	7.79	6.58
5.00	2.50	4.33	22.27	19.67	*347.81*	*91*	10.68	4.77
load leading p.f.								
2.00	1.60	1.20	(-)9.09	(-)5.45	130.51	47	7.78	16.40
2.00	1.20	1.60	(-)9.09	(-)7.27	122.15	43	6.18	20.66
2.00	1.00	1.73	(-)9.09	(-)7.87	119.39	42	5.37	23.52

หมายเหตุ ค่า P และ Q คือค่ากำลังไฟฟ้าแอคทีฟและกำลังไฟฟ้ารีแอคทีฟของภาระไฟฟ้า

ค่า IL คือค่ากระแสไฟฟ้าที่ระบบต้องจ่ายให้แก่ภาระไฟฟ้าก่อนการชดเชย

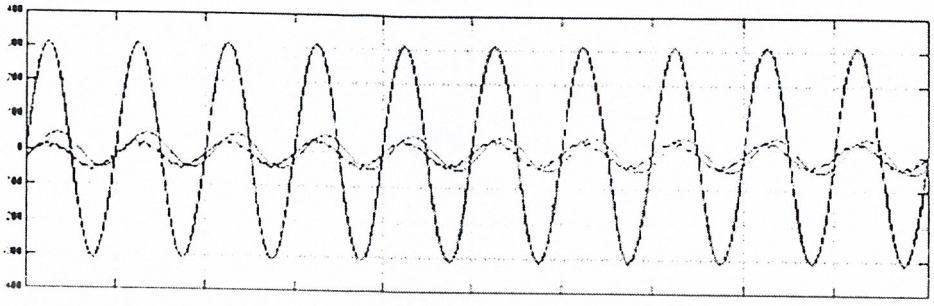
ค่า Im คือค่ากระแสไฟฟ้ารีแอคทีฟที่ต้องชดเชยให้กับระบบ

ค่า Is คือค่ากระแสไฟฟ้าที่ระบบต้องจ่ายให้แก่ภาระไฟฟ้าหลังการชดเชย

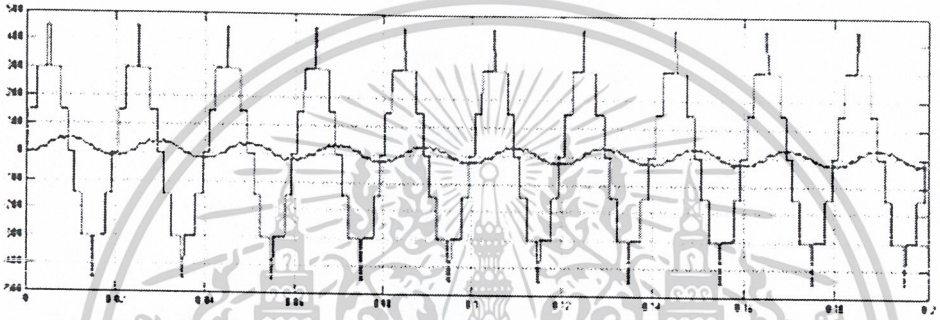
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 900 VAR , 0.8 p.f. lagging

I_m = 4.09 A ma = 67



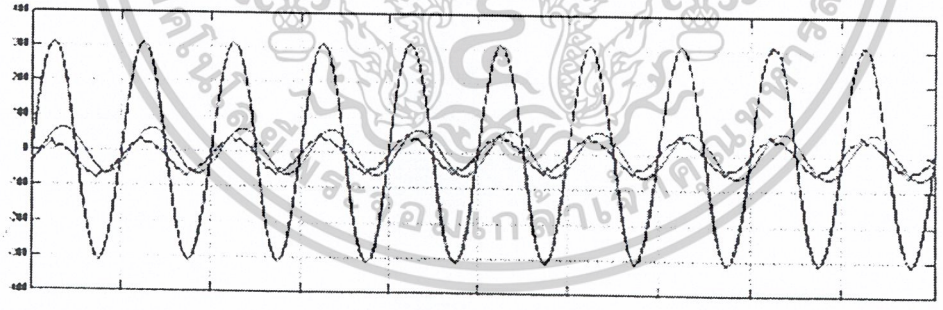
รูปที่4.2 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



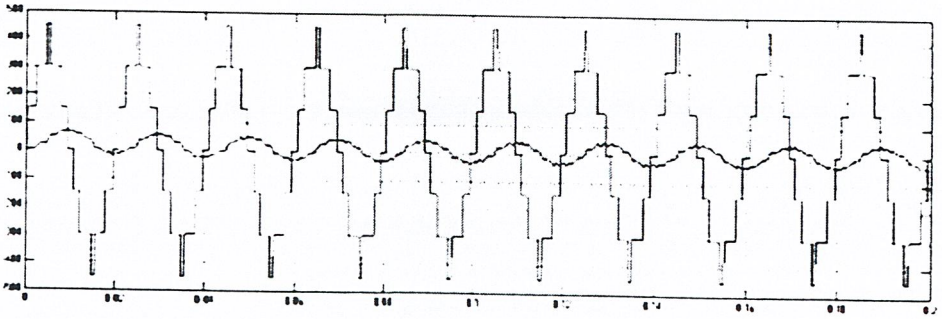
รูปที่4.3 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.3 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1200 VAR , 0.8 p.f. lagging

I_m = 5.45 A ma = 70



รูปที่ 4.4 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

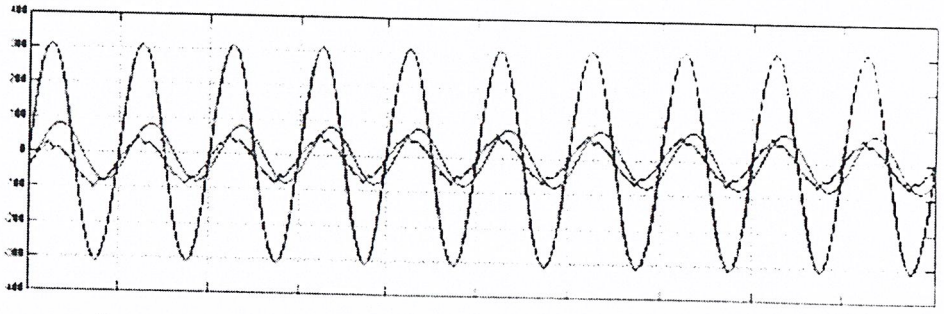


รูปที่ 4.5 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

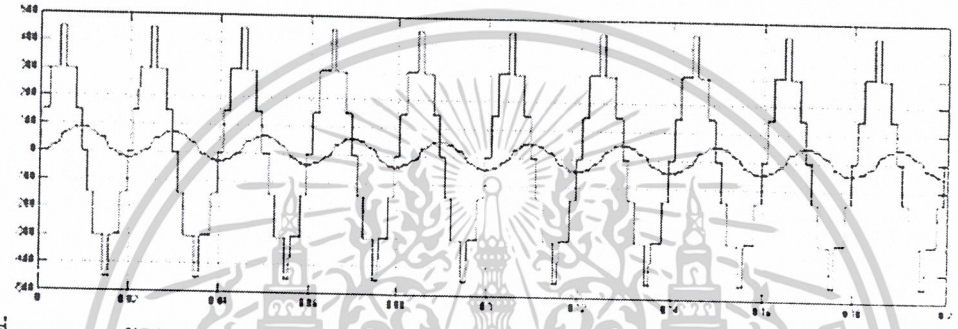
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1500 VAR , 0.8 p.f. lagging

I_m = 6.81 A ma = 73



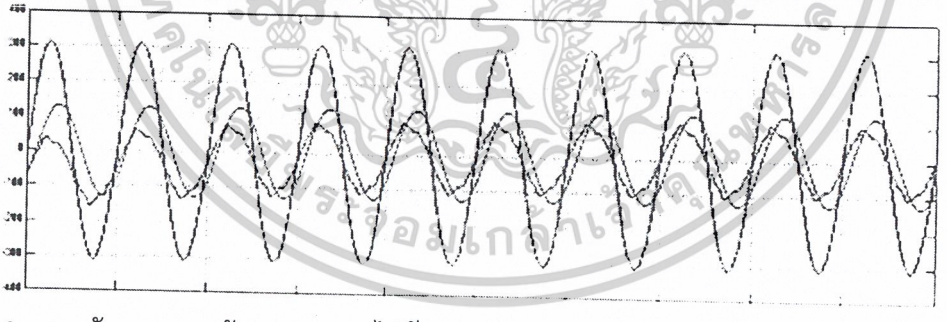
รูปที่ 4.6 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



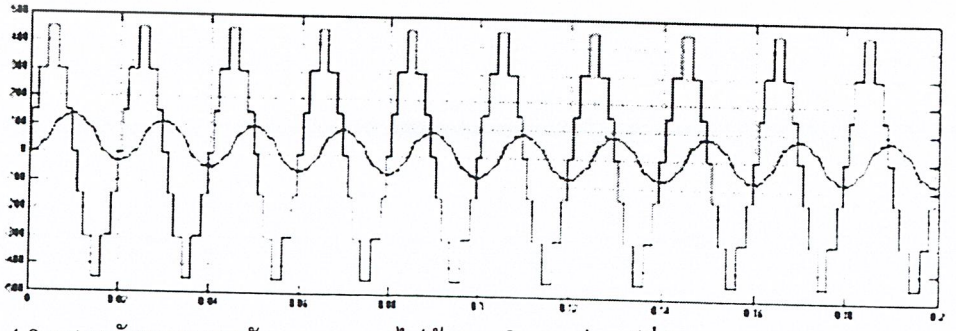
รูปที่ 4.7 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.5 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 2400 VAR , 0.8 p.f. lagging

I_m = 10.9 A ma = 81



รูปที่ 4.8 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

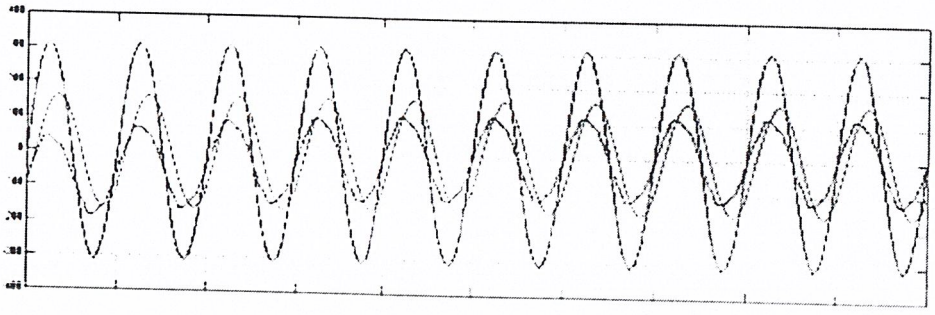


รูปที่ 4.9 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

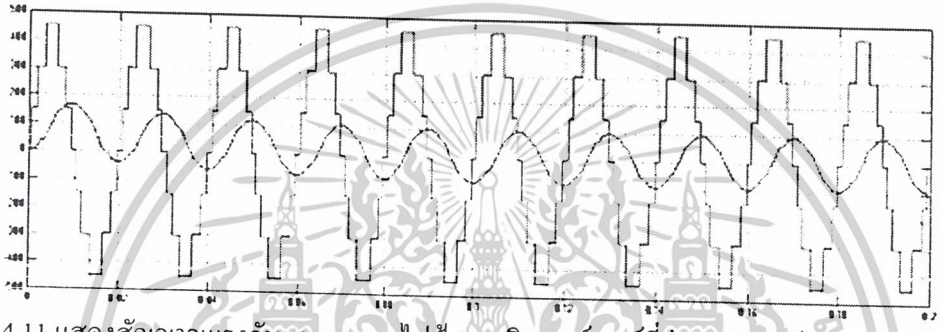
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 3000 VAR, 0.8 p.f. lagging

I_m = 13.63 A ma = 86



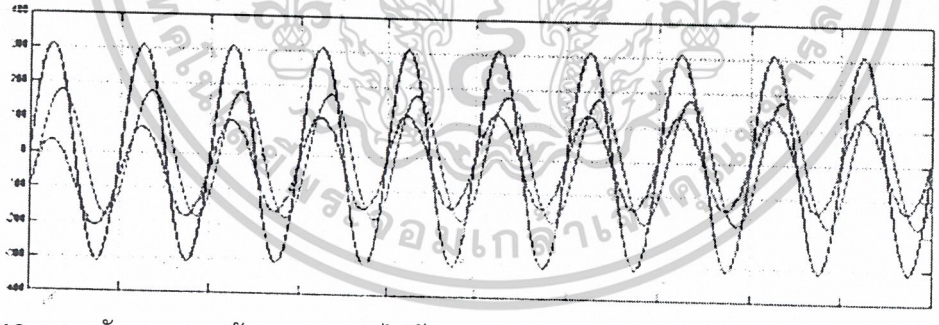
รูปที่ 4.10 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



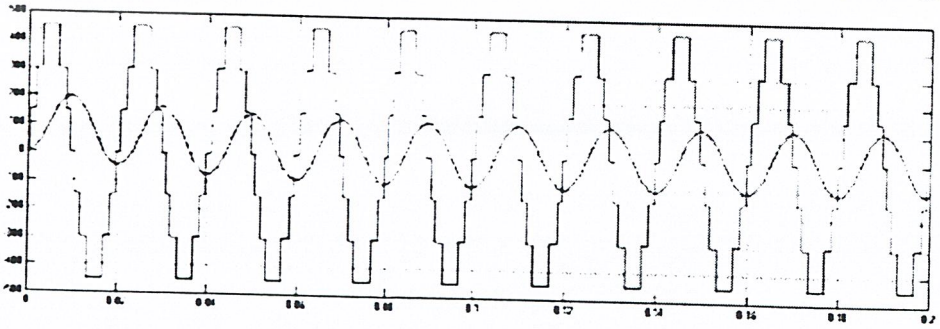
รูปที่ 4.11 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.7 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 3333 VAR , 0.8 p.f. lagging

I_m = 15.15 A ma = 91



รูปที่ 4.12 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

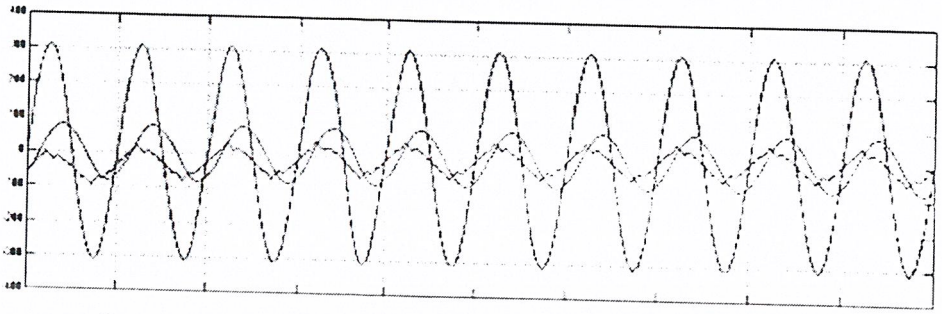


รูปที่ 4.13 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

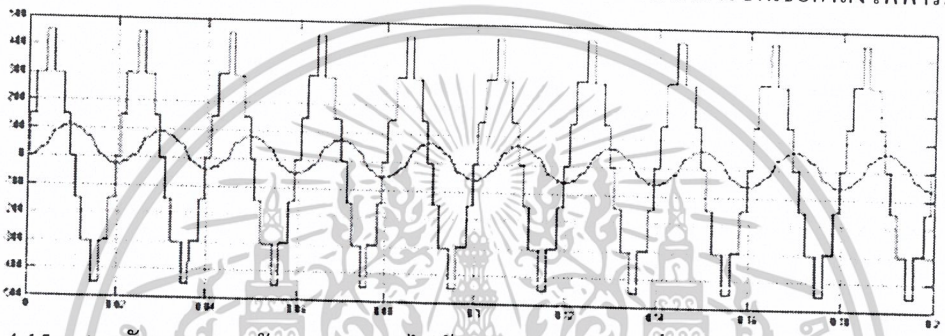
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 2000 VAR , 0.6 p.f. lagging

I_m = 9.09 A ma = 77



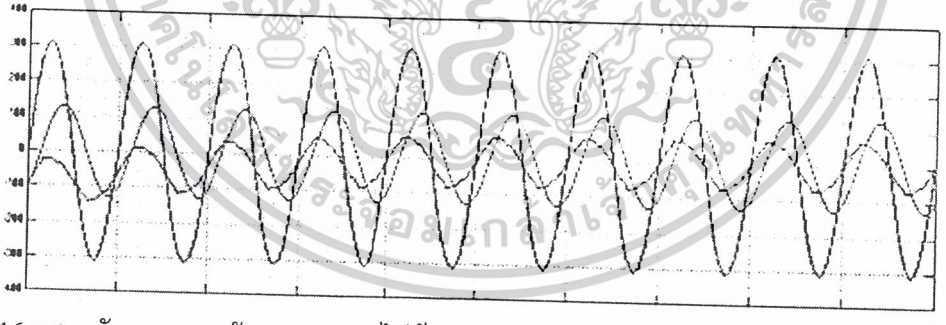
รูปที่ 4.14 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอกทีฟ



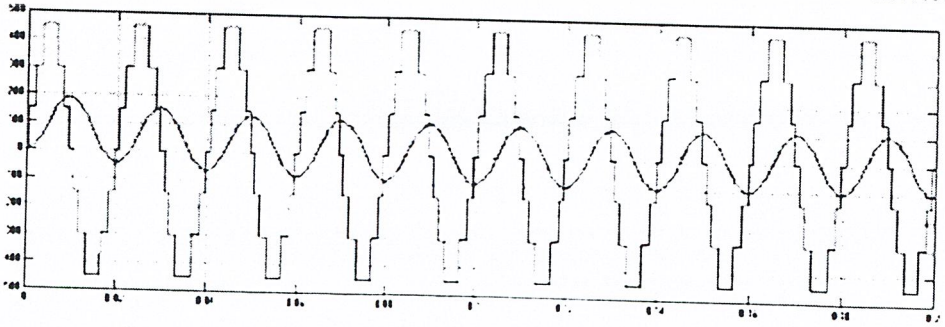
รูปที่ 4.15 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.9 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 3200 VAR , 0.6 p.f. lagging

I_m = 14.54 A ma = 89



รูปที่ 4.16 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอกทีฟ

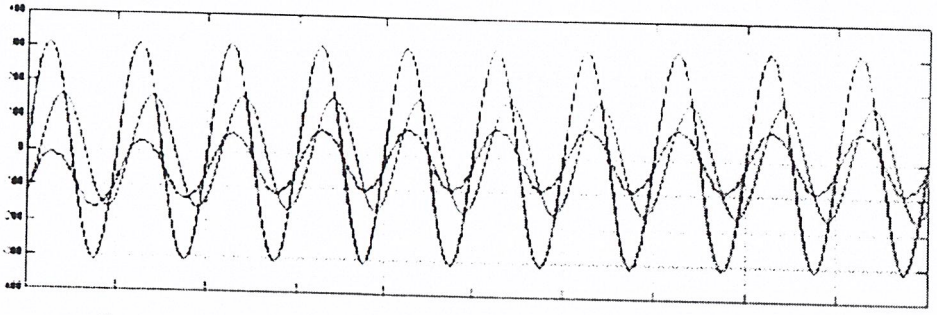


รูปที่ 4.17 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

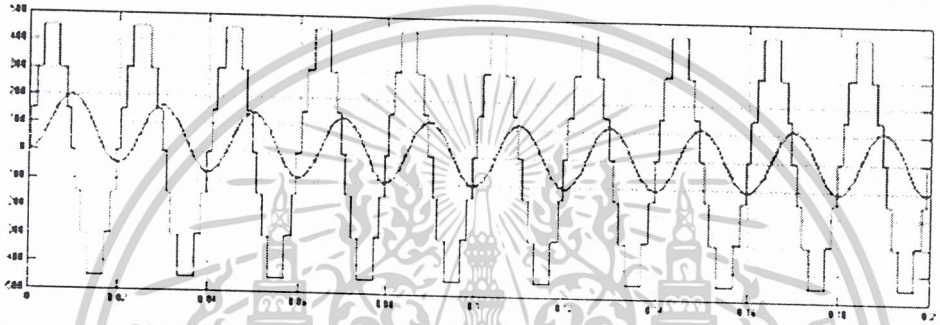
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 4000 VAR , 0.6 p.f. lagging

I_m = 18.17 A ma = 97(ma = 91) สูงสุดที่ ma = 91



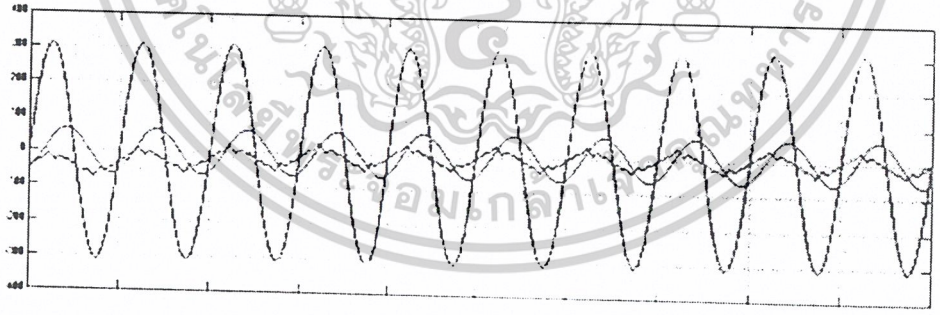
รูปที่ 4.18 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



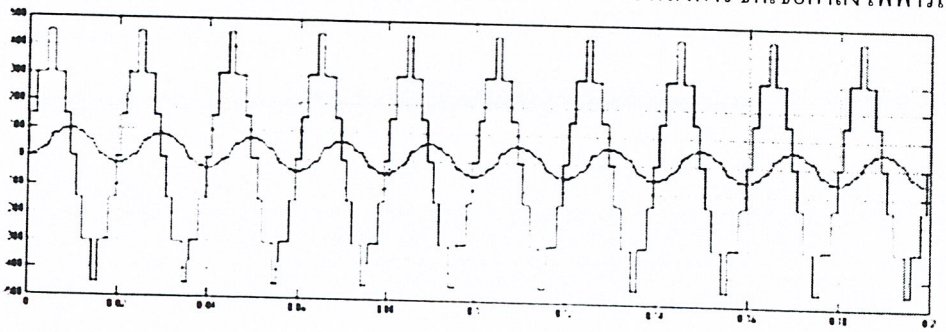
รูปที่ 4.19 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.11 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1732 VAR , 0.5 p.f. lagging

I_m = 7.87 A ma = 75



รูปที่ 4.20 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

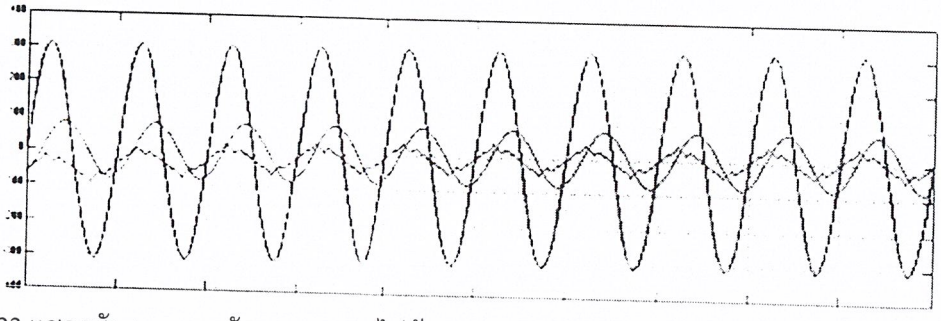


รูปที่ 4.21 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

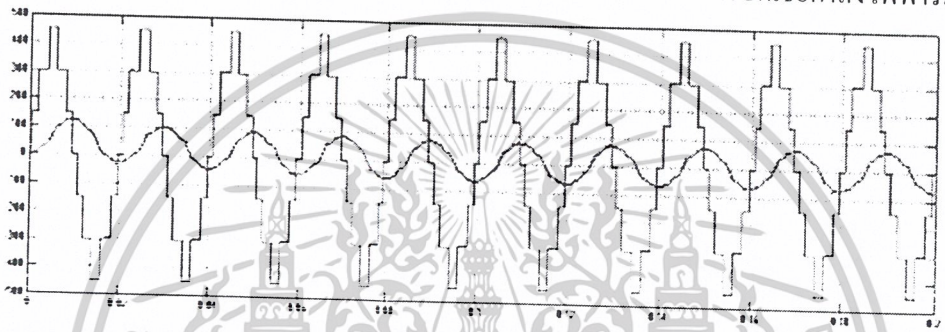
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 2160 VAR , 0.5 p.f. lagging

I_m = 9.84 A ma = 79



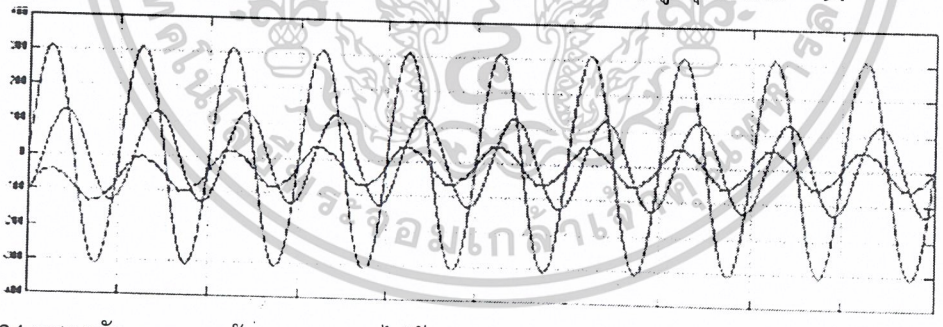
รูปที่ 4.22 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



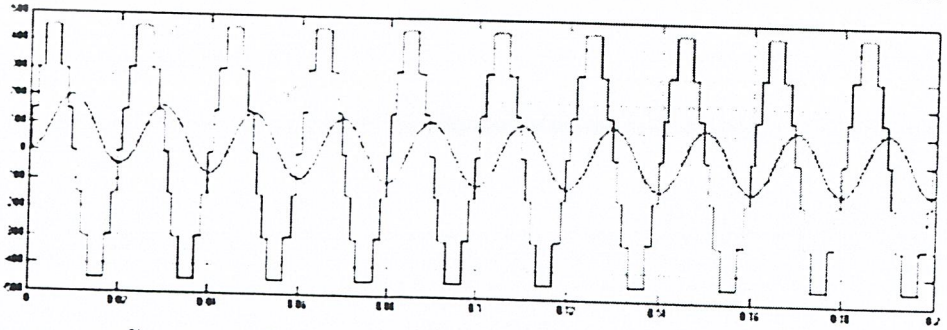
รูปที่ 4.23 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.13 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 3464 VAR , 0.5 p.f. lagging

I_m = 15.74 A ma = 92 (ma = 91) สูงสุดที่ ma = 91



รูปที่ 4.24 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

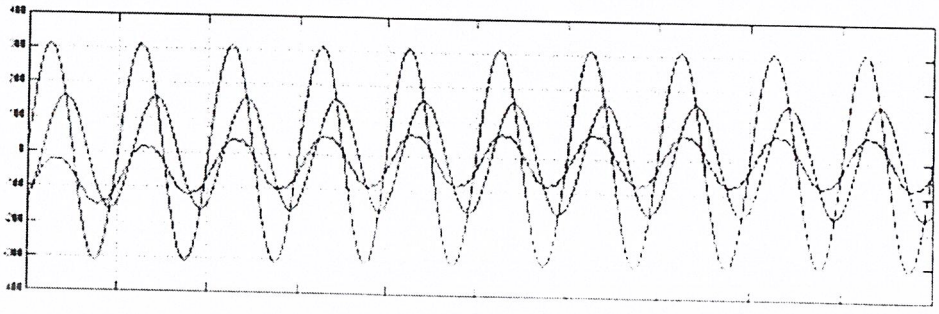


รูปที่ 4.25 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

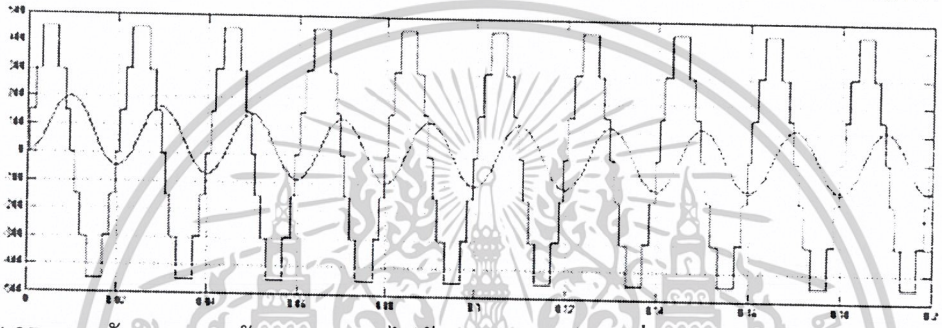
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.14 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 4330 VAR , 0.5 p.f. lagging

I_m = 19.67 A ma = 100(ma = 91) สูงสุดที่ ma = 91



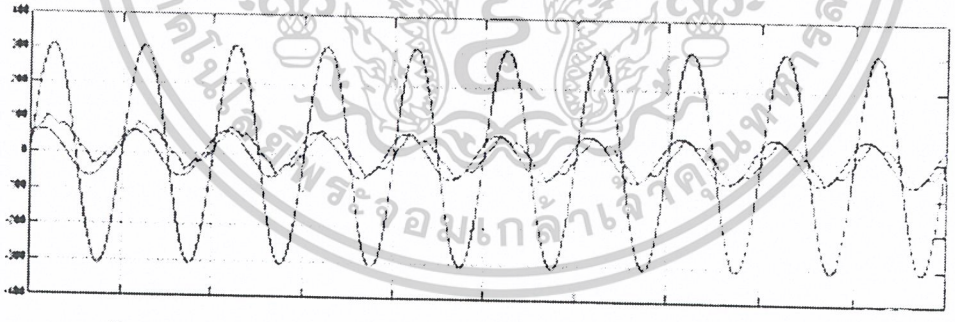
รูปที่ 4.26 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



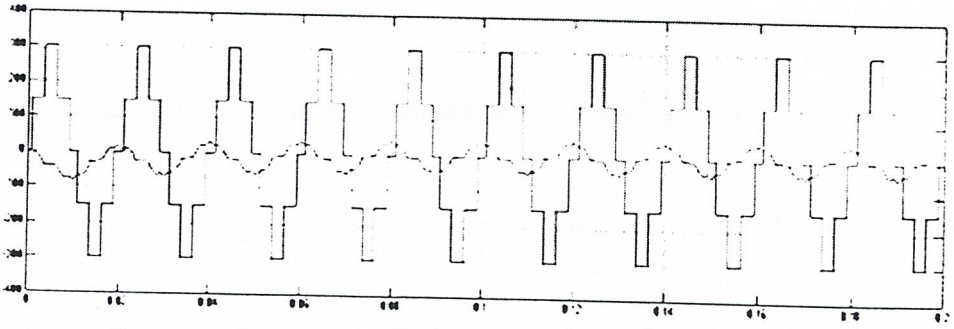
รูปที่ 4.27แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.15 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1200 VAR , 0.8 p.f. leading

I_m = -5.45 A ma = 47



รูปที่ 4.28 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ

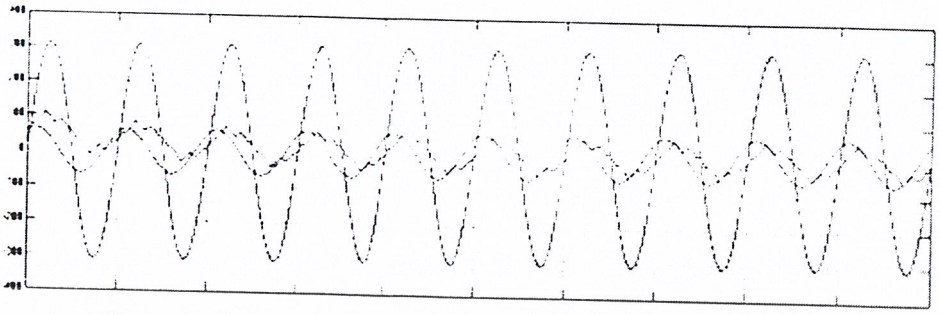


รูปที่ 4.29แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

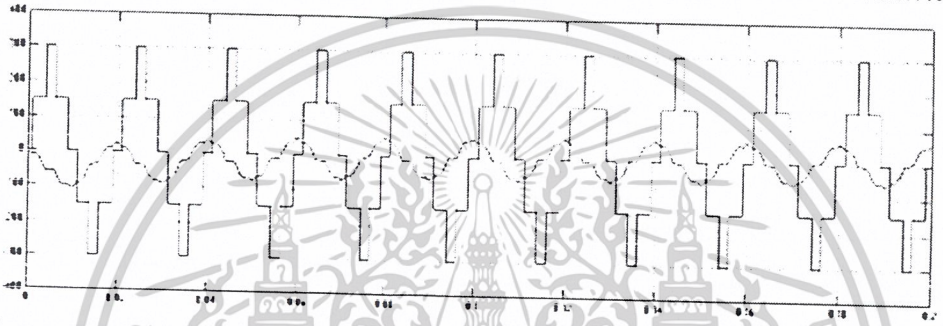
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.16 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1600 VAR , 0.6 p.f. leading

I_m = -7.27 A ma = 43



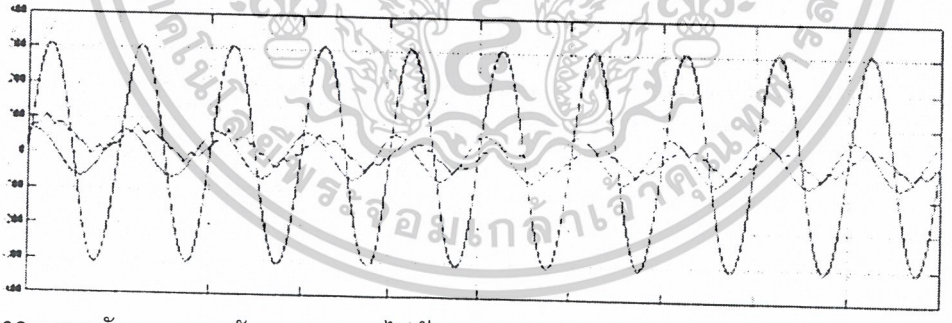
รูปที่ 4.30แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



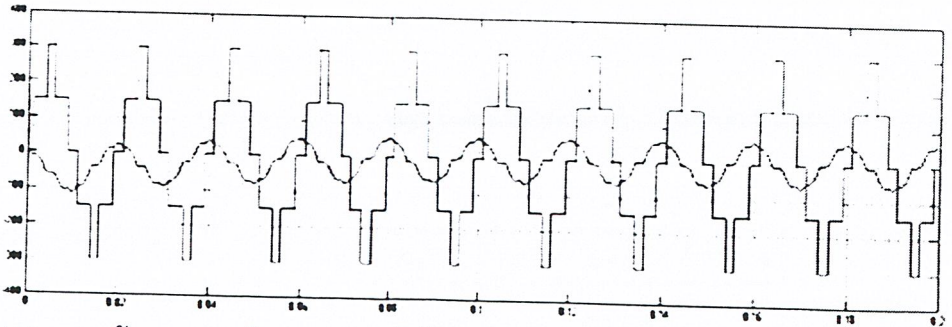
รูปที่ 4.31 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

4.17 ผลการทดลองเมื่อภาระไฟฟ้ามีค่ากำลังไฟฟ้ารีแอกทีฟเท่ากับ 1732 VAR , 0.5 p.f. leading

I_m = -7.87 A ma = 42



รูปที่ 4.32 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของระบบก่อนและหลังการชดเชยกำลังไฟฟ้ารีแอคทีฟ



รูปที่ 4.33 แสดงสัญญาณแรงดันและกระแสไฟฟ้าของอินเวอร์เตอร์ที่จ่ายชดเชยให้กับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การสร้างแรงดันจากชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

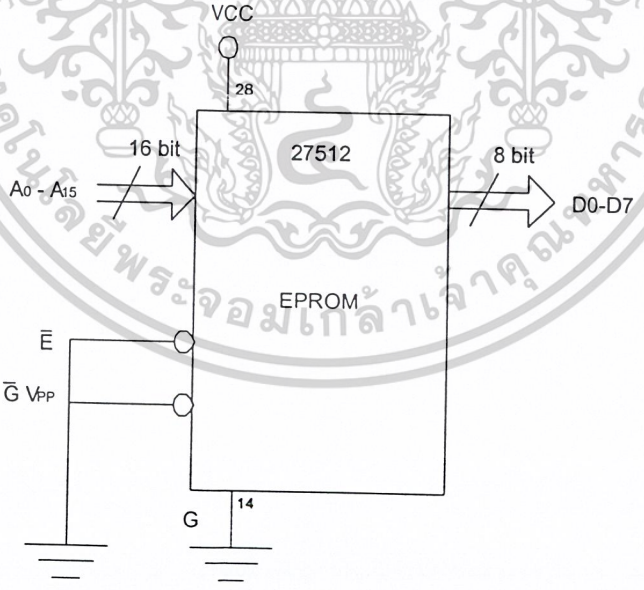
สำหรับการสร้างแรงดันจากชุดอินเวอร์เตอร์อินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ จะมีส่วนของวงจรคล้ายกับการจำลองการสร้างในโปรแกรม MATLAB ซึ่งชุดอินเวอร์เตอร์มีส่วนประกอบ 2 ส่วน คือ วงจรควบคุม ประกอบด้วย ตัวเก็บสัญญาณทริกเกท ตัวควบคุมเฟสแรงดัน ตัวควบคุมการปรับระดับแรงดัน วงจรประวิงเวลา และอีกส่วนคือวงจรกำลัง ประกอบด้วย ชุดอินเวอร์เตอร์และชุดสร้างแรงดันกระแสตรงที่จะต่อกับอินเวอร์เตอร์แต่ละชั้น

5.1 วงจรควบคุม (Control Circuit)

5.1.1 EPROM (Erasable Programmable Read-Only Memory)

EPROM เป็นหน่วยความจำชนิดหนึ่ง ที่สามารถโปรแกรมได้โดยใช้อุปกรณ์ที่สร้างพัลส์ที่มีความต่างศักย์สูงสร้างสัญญาณข้อมูลและสร้างแอดเดรสให้กับ EPROM ข้อมูลนี้จะคงอยู่จนกว่าจะป้อนแสงอัลตร้าไวโอเลตความเข้มสูง ลงบนหน้าต่างควอตซ์ของไอซี ข้อมูลเหล่านี้จะถูกลบหายไปบนค่าแต่ละบิตใน EPROM

สำหรับ EPROM ที่ใช้สำหรับเก็บข้อมูลในการทดลองคือเบอร์ 27512 มีแอดเดรสของไอซีหน่วยความจำทั้งหมด16 บิต ได้แก่ A0-A15 และส่วนของข้อมูลอีก 8 บิตได้แก่ D0-D7 แสดงวงจรของ EPROM ดังรูปที่ 5.1

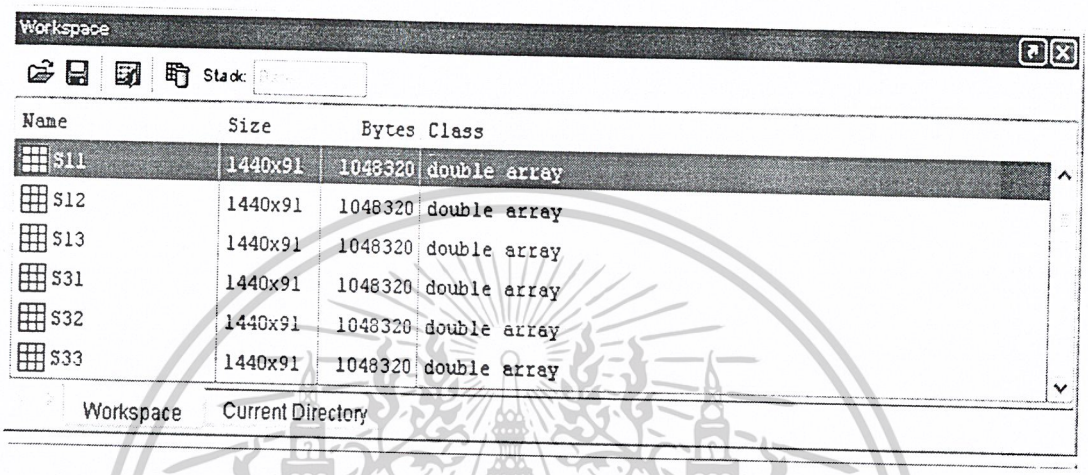


รูปที่ 5.1 แสดงวงจรของ EPROM

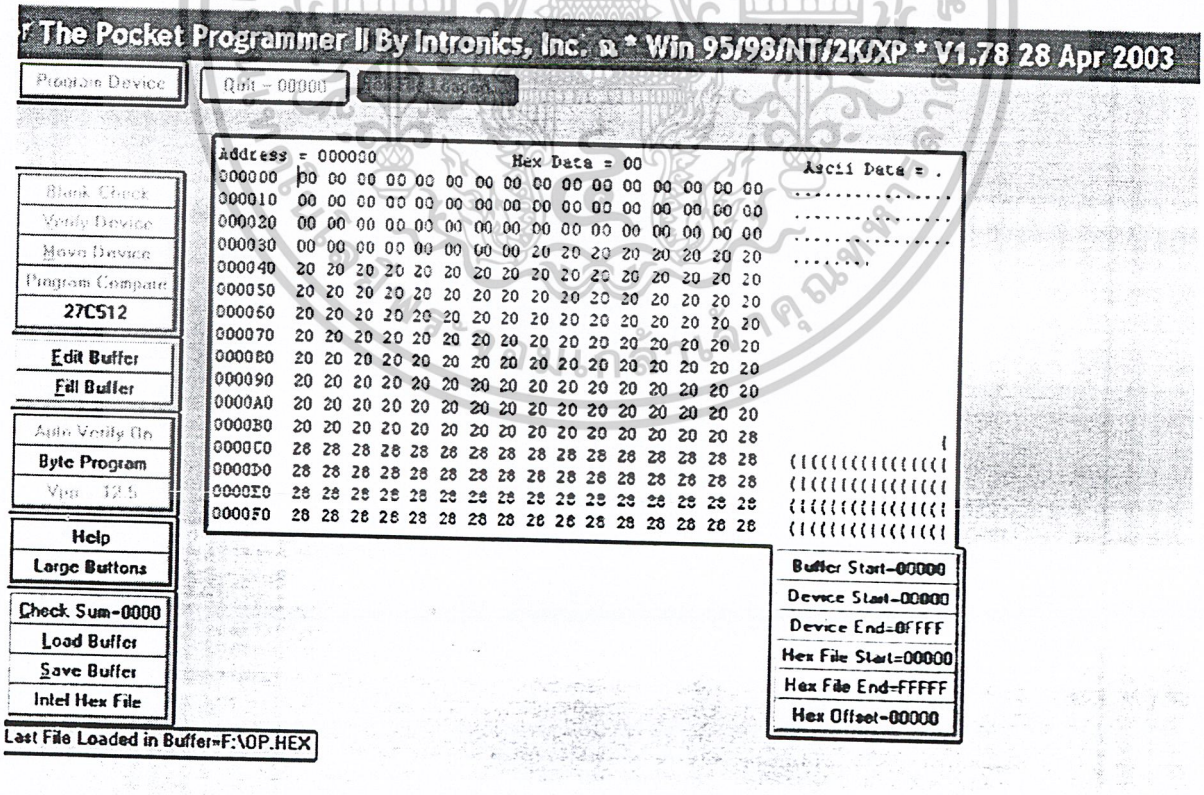
ข้อมูลใน EPROM เป็นข้อมูลที่นำค่าจากการคำนวณช่วงเวลาในการทริกเกทในโปรแกรม MATLAB ซึ่งก็คือสัญญาณ S1 และ S3 ของทั้ง 3 ชั้น ที่แต่ละค่าของ Modulation Index ดังรูปที่ 5.2 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำสัญญาณทั้ง 6 สัญญาณที่ช่วงเวลาเดียวกัน ซึ่งแสดงเป็นค่าตัวเลขฐาน 2 (Binary) มาแปลงเป็นค่าตัวเลขฐาน 16 (Hexa Decimal) ที่แต่ละค่า Modulation Index เพื่อมาใช้เขียนลง EPROM ซึ่งต้องเขียนเป็น HEX file และโปรแกรมลง EPROM โดยเครื่อง ET-STEP PLUS version 2.0 ดังรูปที่ 5.3 และแสดงการเก็บข้อมูลใน EPROM ดังตารางที่ 5.1เพื่อนำข้อมูลเหล่านี้ไปสร้างสัญญาณควบคุมการทำงานของ IGBTต่อไป



รูปที่ 5.2 แสดงข้อมูลช่วงเวลาในการทริกเกทที่แต่ละค่าของ Modulation Index



รูปที่ 5.3 แสดงการโปรแกรมข้อมูลลง EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงการเก็บข้อมูลของ EPROM

ADDRESS		DATA
A15-A11	A10-A0	
(ma=60)		
00000	00000000000	xx
00000	00000000001	
....	....	
00000	10110011111	xx
(ma=61)		
00001	00000000000	xx
00001	00000000001	
....	....	
00001	10110011111	xx
(ma=62)		
00010	00000000000	xx
00010	00000000001	
....	....	
00010	10110011111	xx
.....	.....	.....
(ma=91)		
11111	00000000000	xx
11111	00000000001	
....	....	
11111	10110011111	xx

xx คือ ค่าข้อมูลที่เก็บใน EPROM ซึ่งเก็บข้อมูลเป็นตัวเลขฐาน 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 5.1 แสดงค่าการเก็บข้อมูลใน EPROM ของแต่ละแอดเดรสและแต่ละแอดเดรสมี 16 บิต จะแบ่งเป็น 2 ส่วนคือค่าของ Modulation Index ประกอบด้วยบิตที่ 11-15 และอีกส่วนคือ ค่าของช่วงเวลา ประกอบด้วยบิตที่ 0-10

ค่าของ Modulation Index จะมีทั้งหมด 5 บิต (ทั้งหมด 32 ค่า จาก 00000 ถึง 11111) ดังนั้นการใช้งานของ EPROM จะเลือกใช้ที่ค่า Modulation Index เท่ากับ 0.69 ถึง 1 หรือ ค่า ma ตั้งแต่ 60 ถึง 91 ประกอบกับตารางที่ 3.1 จะสร้างค่าแรงดันในช่วงประมาณ 220 ถึง 318 โวลต์ เพราะฉะนั้นจะศึกษาการชดเชยได้เฉพาะภาระไฟฟ้าที่เป็นอินดักทีฟ (R-L) เท่านั้น สำหรับค่าของช่วงเวลาจะได้จากโปรแกรมที่เขียนในโปรแกรม MATLAB โดยเปลี่ยนค่าของเวลา 1 คาบจากมุม 0 ถึง 2π เป็นค่าตัวเลข จาก 0 ถึง 1439 (จาก 00000000000 ถึง 10110011111) รวมทั้งสิ้น 1440 ค่า

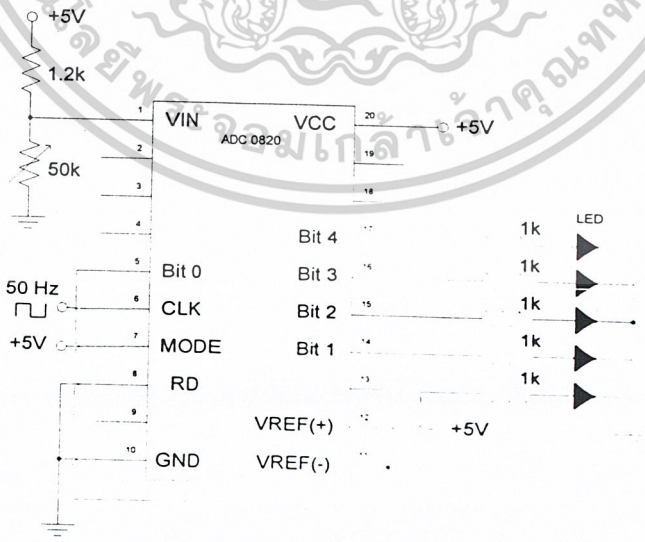
เพราะฉะนั้นค่าที่จะมาชี้แอดเดรสของ EPROM จะมี 2 ส่วน คือ

บิตที่ 11- 15 จะได้มาจากวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล (A/D Converter) ใช้ในการป้อนเพื่อปรับค่าแรงดัน

บิตที่ 0 – 10 จะได้มาจากวงจรนับในบอร์ด CPLD ใช้เพื่อชี้ค่าช่วงเวลาในการสร้างแรงดัน

5.1.2 วงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล (A/D Converter)

วงจร A/D Converter เป็นวงจรที่เปลี่ยนค่าสัญญาณอินพุทที่เป็นค่าแอนาล็อกซึ่งเป็นค่าที่จะมีการเปลี่ยนแปลงไปเพื่อให้ค่าของเอาท์พุทที่ออกเป็นค่าดิจิตอลมีวงจรดังรูปที่ 5.4 ในการทดลองจะเป็น A/D ขนาด 8 บิต และขาของอินพุทที่ป้อนเข้า EPROM เป็นค่าแรงดันไฟฟ้ากระแสตรงที่ปรับค่าแรงดันจากค่าความต้านทานปรับค่าได้เพื่อให้ค่าเอาท์พุทที่เป็นดิจิตอลออกมาตามต้องการ ซึ่งในการใช้งานในวงจรชี้แอดเดรสของ EPROM ในการใช้งานจริงมีทั้งหมด 5 บิต (A11-A15) คือ จาก 00000 ถึง 11111 รวม 32 ค่า

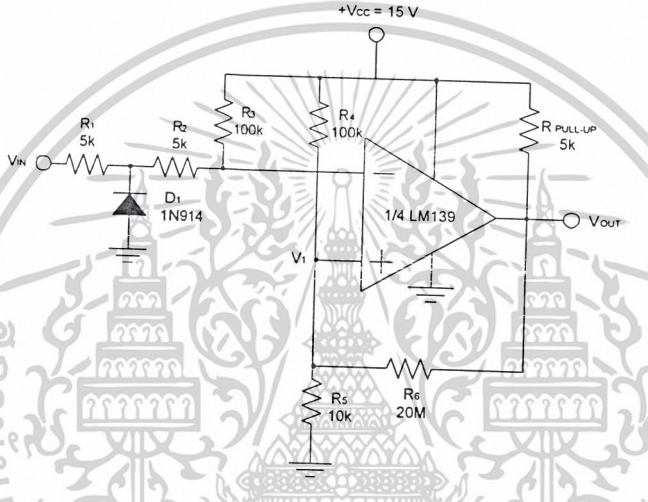


รูปที่ 5.4 แสดงวงจรแปลงสัญญาณแอนาล็อกเป็นดิจิตอล

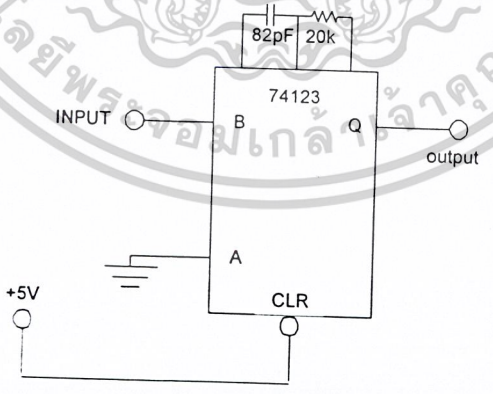
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 วงจรตรวจจับแรงดันผ่านศูนย์ (zero crossing) และวงจรควบคุมเฟสของแรงดันอินเวอร์เตอร์

วงจร zero crossing เป็นวงจรแปลงสัญญาณที่มีลักษณะเป็นรูปคลื่นไซน์เป็นสัญญาณรูปสี่เหลี่ยมที่มีค่าความถี่เท่ากันโดยมีรูปวงจรดังรูปที่ 5.5 และนำสัญญาณสี่เหลี่ยมไปใช้ในวงจรควบคุมเพื่อให้การทำงานของวงจรการสร้างแรงดันของอินเวอร์เตอร์มีเฟสตรงกับเฟสของแรงดันของระบบไฟฟ้า โดยส่งสัญญาณสี่เหลี่ยมเข้าตรงขา B ของไอซี 74123 ดังรูปที่ 5.6 เป็นไอซีสร้างพัลส์ขนาดเล็กตรงขอบขาขึ้นของ zero crossing ดังรูปที่ 5.7 เพื่อส่งค่าพัลส์ที่ได้ออกทางขา Q ไปยังขาเคลียร์ของวงจรนับที่ชี้ช่วงเวลาของ EPROM โดยขนาดความกว้างของพัลส์จะขึ้นอยู่กับค่าความต้านทานและตัวเก็บประจุ โดยในการทดลองใช้ความกว้าง 1 μs เพื่อให้เริ่มนับและเริ่มสร้างแรงดันตรงกับขอบขาขึ้นของแรงดันไซน์ ดังรูปที่ 5.7

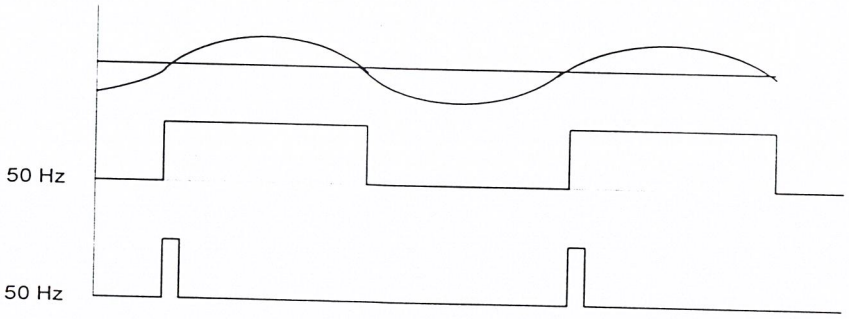


รูปที่ 5.5 แสดงวงจรของ zero crossing



รูปที่ 5.6 แสดงวงจรการต่อไอซี 74123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



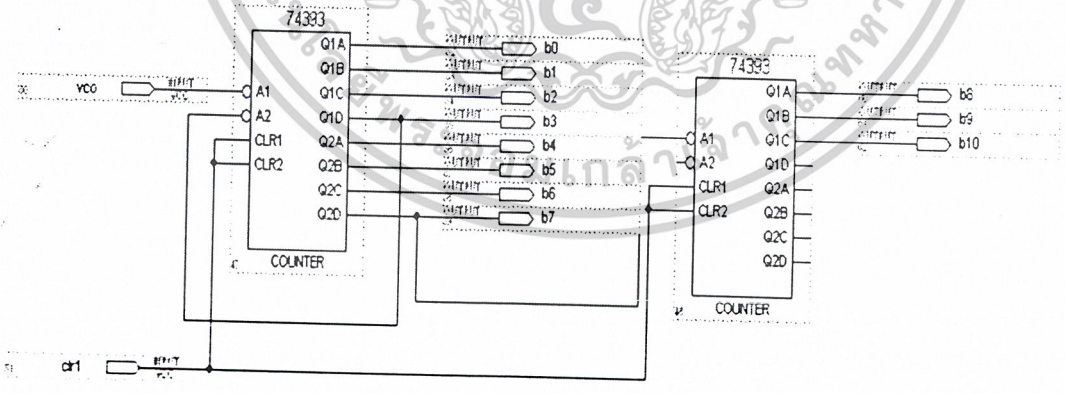
รูปที่ 5.7 แสดงรูปสัญญาณของวงจร zero crossing และ 74123

บอร์ด CPLD (Complex Programmable Logic Device)

บอร์ด CPLD เป็นบอร์ดที่รับคำสั่งจากโปรแกรม MAX PLUS II ซึ่งเป็นโปรแกรมที่สร้างและพัฒนาเพื่อใช้ออกแบบวงจรทางดิจิตอลและโปรแกรมวงจรลอจิกและการออกแบบวงจรนั้นจะออกแบบโดยใช้การวาดวงจร (schematic) หลังจากนั้นจะนำวงจรที่ออกแบบไว้ไปทำการจำลองการทำงาน (simulate) เมื่อได้ผลการจำลองออกมาเป็นที่น่าพอใจก็ทำการ layout และเข้าสู่กระบวนการสร้างชิพไอซีเพื่อการใช้งานต่อไป

5.1.4 วงจรนับ (counter) ชี้ช่วงเวลาให้กับ EPROM

เป็นวงจรที่ใช้งานเพื่อนับค่าเพื่อใช้เป็นแอดเดรสอีก 11 บิต ของ EPROM (A0-A10) ซึ่งก็คือค่าของช่วงเวลาของการสร้างแรงดันใน 1 คาบ (1440 ค่า จากโปรแกรม MATLAB) เพราะฉะนั้นค่าของคล็อค (vco) ที่จะนำมาใช้กับวงจรนับก็จะใช้ความถี่เท่ากับ 72 kHz (1440x50) มีวงจรการต่อในบอร์ด CPLD ดังรูปที่ 5.8 และมีขาเคลียร์(clear) มาจากไอซี 74123 สร้างพัลส์(pulse) มาเคลียร์ให้กับวงจรนับที่จะไปชี้แอดเดรสของ EPROM เพื่อให้วงจรนับเริ่มนับตรงกับขอบขาขึ้นของวงจร zero-crossing



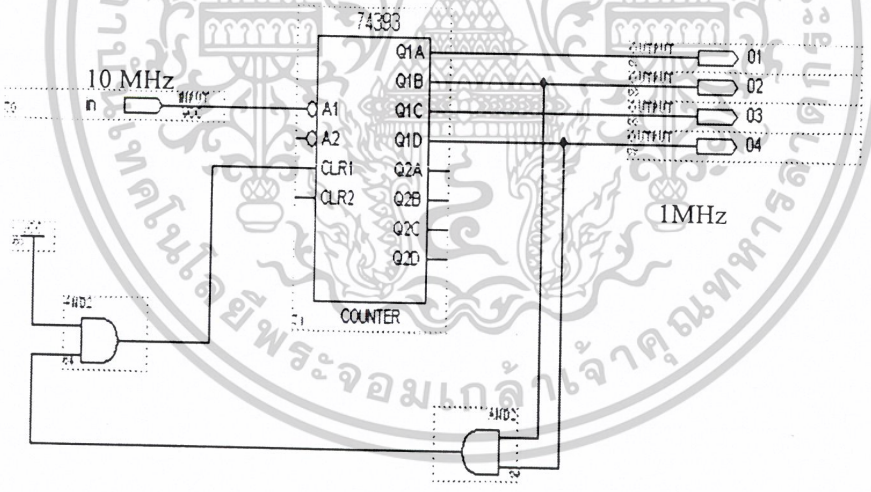
รูปที่ 5.8 แสดงวงจรนับเพื่อป้อนเป็นแอดเดรสของ EPROM บิตที่ A0-A10 บนบอร์ด CPLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 วงจรประวิงเวลา (deadtime)

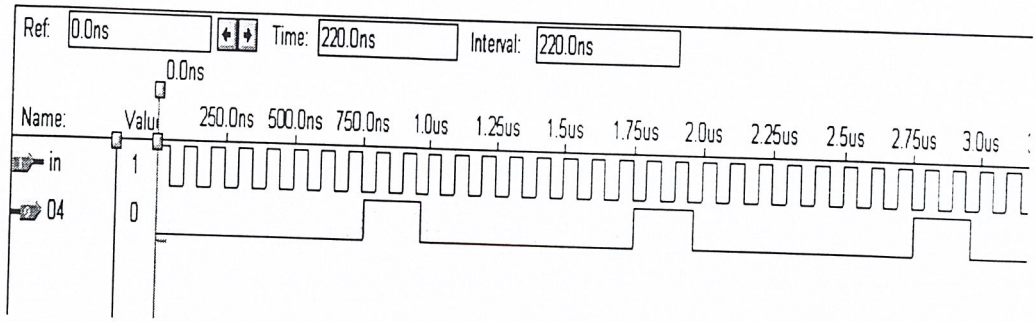
เมื่อมีอินพุทป้อนให้กับแอดเดรสของ EPROM ครบทั้ง 16 บิตก็จะมีสัญญาณที่ออกจากEPROM และจะนำสัญญาณเหล่านี้ไปสร้างสัญญาณ S1,S2,S3 และ S4 ซึ่งจากการวิเคราะห์การสร้างแรงดันแต่ละชั้นที่แต่ละช่วงเวลาจะพบว่าที่เวลาใดๆ สัญญาณ S1 กับ S2 และ S3 กับ S4 จะทำงานในลักษณะที่ตรงข้ามกันตลอดเวลาเพราะหากมีเวลาช่วงใดช่วงหนึ่งที่สัญญาณแต่ละคู่ทำงานพร้อมกันจะทำให้เกิดการลัดวงจรที่ตัวเก็บประจุ เพราะฉะนั้นช่วงที่มีความเสี่ยงมากคือช่วงที่สัญญาณสั่งให้สวิตช์แต่ละคู่เปลี่ยนแปลงสถานะการทำงาน ซึ่งอาจมีช่วงเวลาที่สวิตช์เกิดการปิดวงจรทั้งคู่อาจทำให้เกิดการเกิดลัดวงจรขึ้น

ดังนั้นจึงต้องสร้างวงจรประวิงเวลาหรือ deadtime ให้กับสัญญาณแต่ละคู่เพื่อให้ช่วงของสัญญาณไม่มีสภาวะที่แต่ละคู่ปิดวงจรพร้อมกัน โดยเฉพาะในช่วงการเปลี่ยนแปลงของระดับสัญญาณ กล่าวคือ สวิตช์ที่ตัวที่เปิดวงจรอยู่ต้องรอให้สวิตช์อีกตัวที่ปิดวงจรอยู่เปิดวงจรออกก่อนแล้วจึงค่อยปิดวงจรซึ่งช่วงที่สวิตช์อีกตัวรอเวลาอยู่นั้น ช่วงเวลานี้เรียกว่าช่วงประวิงเวลาหรือ deadtime สำหรับช่วงประวิงเวลาในการทดลองจะใช้ 4 μs จะประกอบด้วยฟลิปฟลอบ 4 ตัว และมี clock 1MHz ป้อนให้กับวงจร แต่จากข้างต้นความถี่ของบอร์ดมีค่าเท่ากับ 10 MHz เพราะฉะนั้นต้องใช้วงจรหารความถี่เพื่อให้ค่าความถี่เป็น 1 MHz แสดงรูปที่จำลองในโปรแกรม max plus II (บอร์ด CPLD) ซึ่งจะนำบิตที่ 4 (output 04) ของวงจรนับไปใช้ดังรูปที่ 5.9 ซึ่งมีค่า 1 MHz และแสดงรูปสัญญาณจากการจำลองดังรูปที่ 5.10



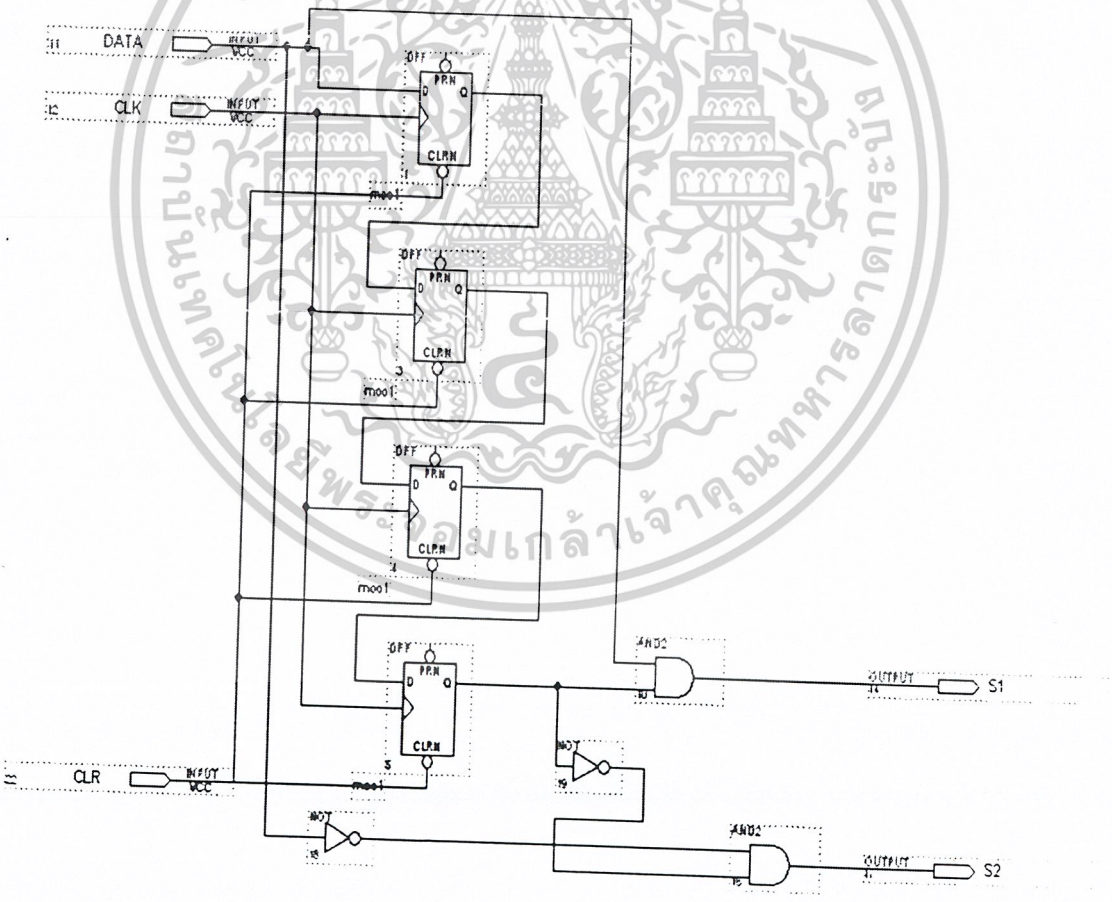
รูปที่ 5.9 แสดงการต่อวงจรการหารความถี่ 1 MHz บนบอร์ด CPLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงลักษณะของสัญญาณที่เป็นวงจรหารความถี่ 1 MHz บนบอร์ด CPLD

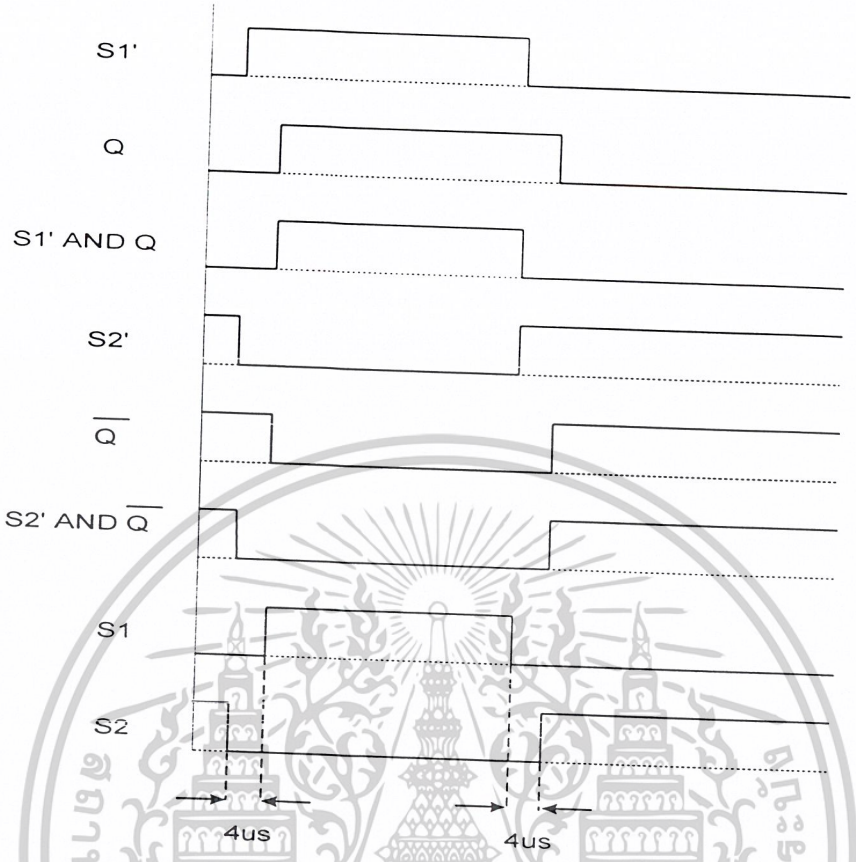
สำหรับวงจรการสร้างช่วงประ งเวลาของแต่ละคู่โดยใช้ฟลิปฟลอปมีลักษณะการสร้างดังรูปที่ 5.11 เมื่อนำสัญญาณที่ได้มาจาก EPROM เมื่อนำมาผ่านวงจรฟลิปฟลอป ทั้ง 4 ตัวโดย clock ที่มีความถี่ 1MHz สัญญาณที่ออกมาจะตามหลังรูปสัญญาณเดิมอยู่ 4 μs หลังจากนั้นนำสัญญาณก่อนเข้าและที่ออกจาก EPROM มาแอนกันจะเป็นสัญญาณที่จะนำไปทริกเกทแต่ละคู่



รูปที่ 5.11 แสดงการต่อวงจรประวิงเวลาโดยใช้ ดี ฟลิปฟลอป 4 ตัว บนบอร์ด CPLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

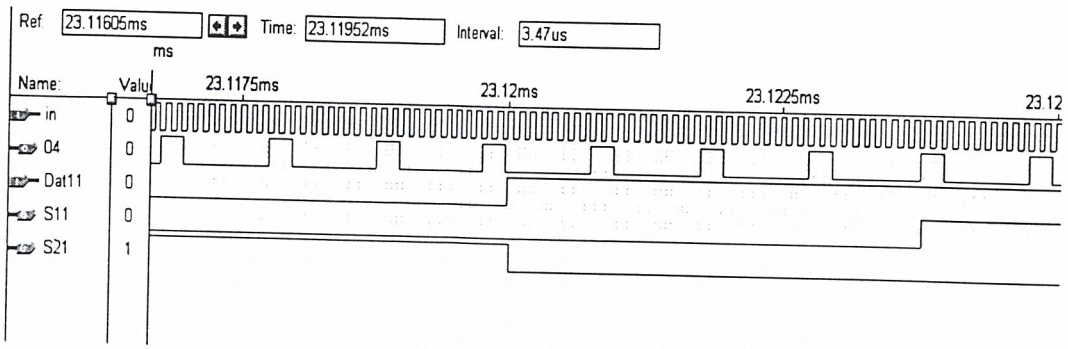
ลักษณะการทำงานของวงจรรูปที่ 5.11 จะแสดงการประวิงเวลาของสัญญาณ ดังรูปที่ 5.12



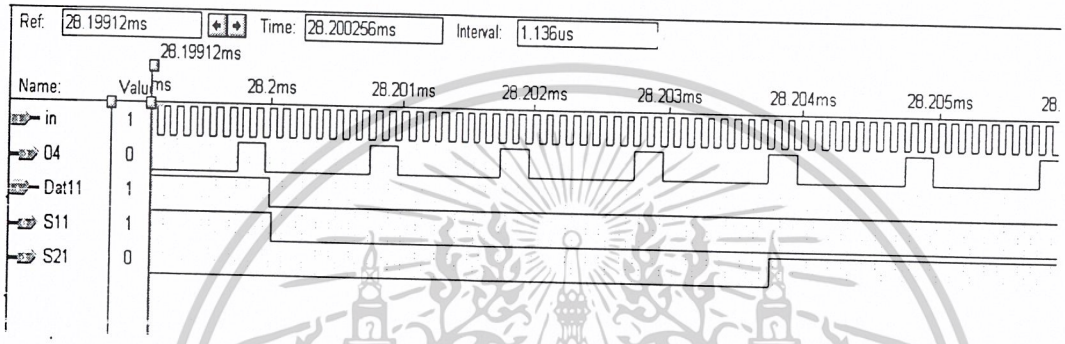
รูปที่ 5.12 แสดงช่วงการประวิงเวลาของสัญญาณแต่ละคู่

จากรูป *S1'* คือสัญญาณ S1 ที่ออกมาจากEPROM และ Q คือสัญญาณ S1 ที่ผ่านวงจรของดีฟลิปฟลอปดังรูปที่ 5.11 ซึ่งสัญญาณจะล้าหลังสัญญาณเดิมอยู่ 4 us และจากนั้นนำสัญญาณทั้งคู่มาแอนกันเป็นสัญญาณ S1 ที่ผ่านวงจรประวิงเวลาเพื่อจะนำไปทริกเกท และเช่นเดียวกันกับ *S2'* ที่ได้จากการกลับสัญญาณ *S1'* และนำมาแอนกับ $\overline{Q}$ เพื่อสร้างสัญญาณ S2 ที่จะนำไปทริกเกทเช่นกัน ซึ่งแสดงไว้ดังรูปที่ 5.12 และรูปที่ 5.13 และ 5.14 คือลักษณะของสัญญาณ S1 และ S2 ช่วงขอบขาขึ้นและขอบขาลงเมื่อผ่านวงจรประวิงเวลาบนบอร์ด CPLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



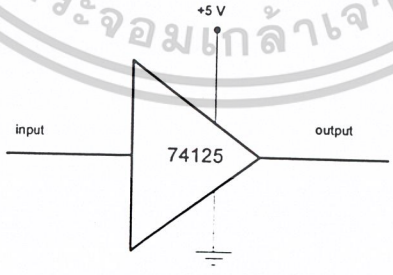
รูปที่ 5.13 แสดงช่วงประวิงเวลาของสัญญาณ S1 และ S2 เมื่อ S1 เป็นขอบขาขึ้น



รูปที่ 5.14 แสดงช่วงประวิงเวลาของสัญญาณ S1 และ S2 เมื่อ S1 เป็นขอบขาลง

5.1.6 วงจรบัฟเฟอร์ (buffer)

เมื่อได้สัญญาณที่จะนำไปขับเกทซึ่งผ่านวงจรประวิงเวลา ได้สัญญาณ S1-S4 ของแต่ละชั้นออกจากบอร์ด CPLD เพื่อนำไปเข้าวงจรขับเกท แต่เนื่องจากบางครั้งค่าสัญญาณที่ออกจากบอร์ด CPLD จะมีค่าไม่ถึง 5 โวลต์ ดังนั้นจึงต้องนำสัญญาณที่สร้างนี้เข้าวงจรบัฟเฟอร์เพื่อให้สัญญาณที่จะไปเข้าวงจรขับเกทมีรูปสัญญาณเป็น 0 และ +5 โวลต์ มีวงจรดังรูปที่ 5.15



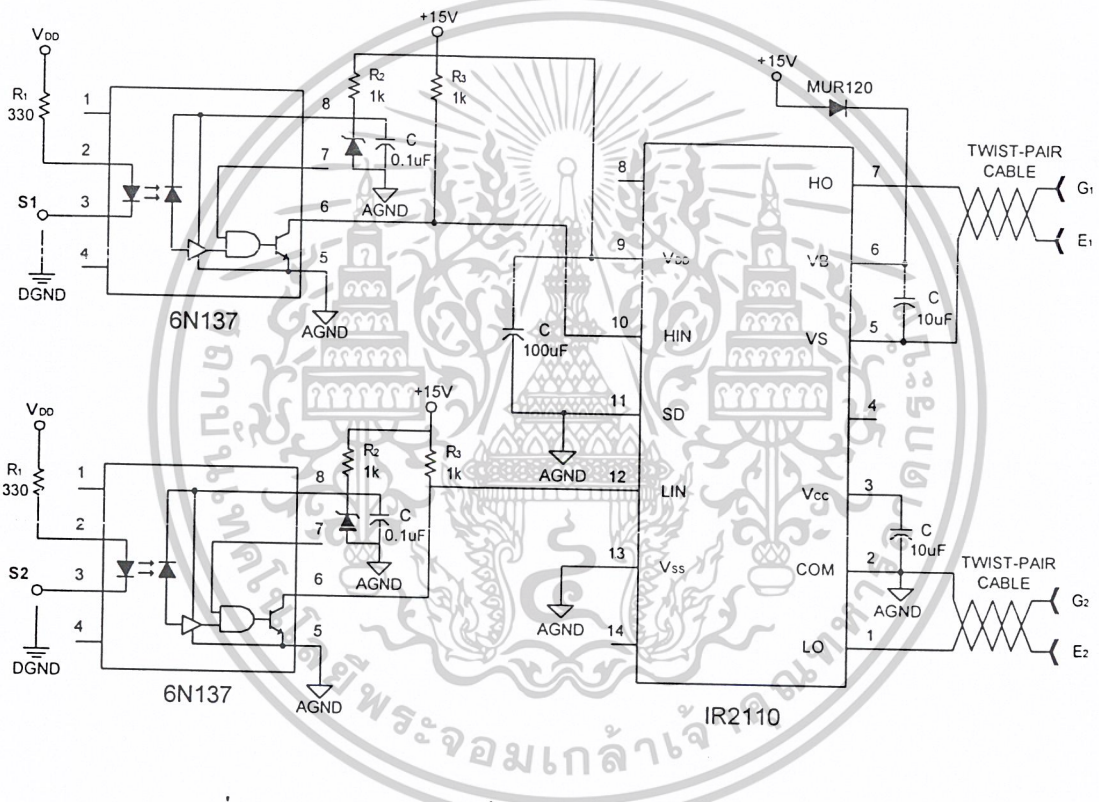
รูปที่ 5.15 แสดงวงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 วงจรกำลัง (Power Circuit)

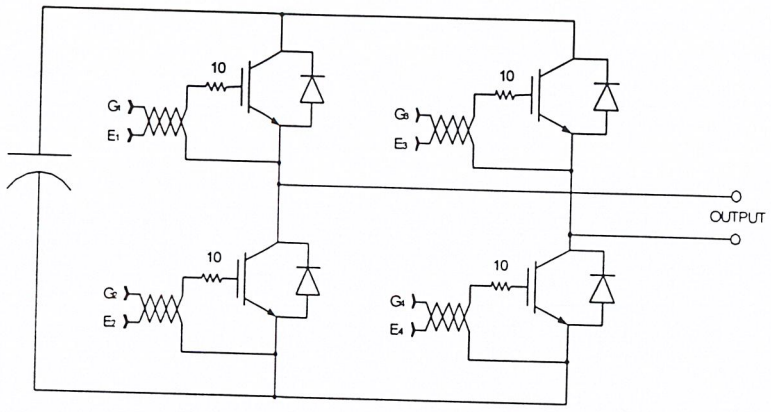
5.2.1 วงจรขับเกท

วงจรขับเกทเป็นวงจรที่จะสร้างสัญญาณเพื่อใช้ในการควบคุมการทำงานของ IGBT ตามค่าสัญญาณที่สร้างจากบอร์ด CPLD ซึ่งสัญญาณที่ออกจากวงจรขับเกทจะมีขนาดของแรงดัน 0 และ+15 โวลต์ วงจรขับเกทมีวงจรดังรูปที่ 5.16 ซึ่งจะประกอบด้วยไอซี 6N137 จะเป็นตัวแยกกราวด์ของวงจรควบคุมกับวงจรกำลังโดยด้านวงจรกำลังจะมีค่าแรงดัน 5 โวลต์ และด้านวงจรกำลังจะมีค่าแรงดัน15 โวลต์ และ IR2110 จะเป็นตัวสร้างสัญญาณที่จะไปทริก IGBT โดยการทำงานของ IR2110 หนึ่งตัว นั้นจะใช้สร้างสัญญาณให้แก่ IGBT ในกิ่งเดียวกันของฟูลบริดจ์ ซึ่งIGBT ทั้ง 2 ตัวจะต่อคร่อมแรงดันกระแสตรงอยู่ ดังรูปที่ 5.17 จะได้ว่า G1 และ G2 จะสร้างจาก IR2110 ตัวเดียวกัน และ G3 และ G4 ก็จะสร้างจาก IR2110 ตัวเดียวกัน



รูปที่ 5.16 แสดงวงจรขับเกทที่ประกอบด้วย 6N137 และ IR2110

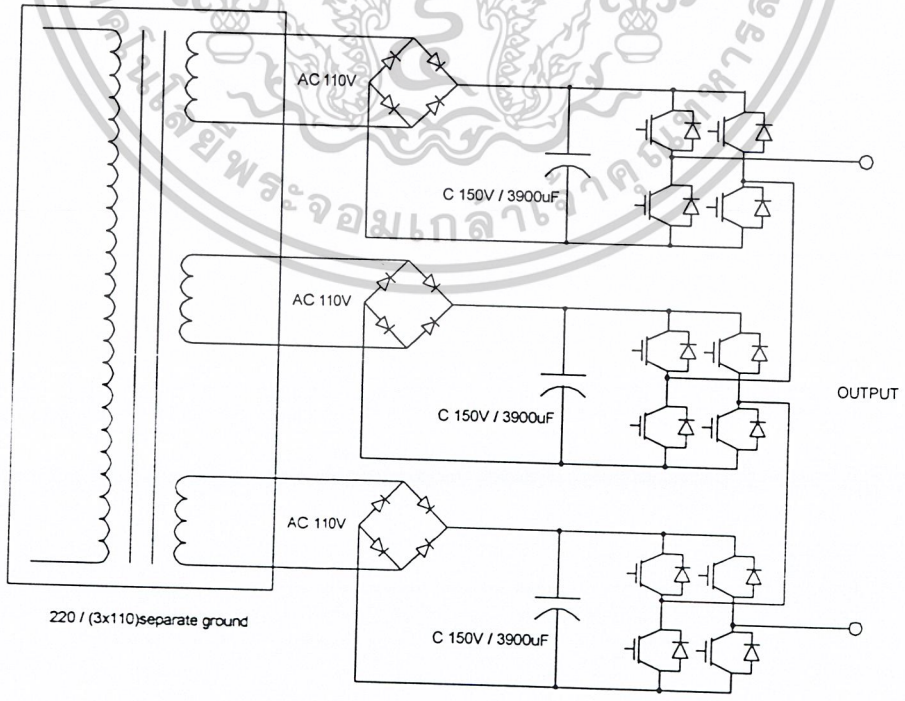
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 แสดงสัญญาณขับเกทที่ต่อกับฟูลบริดจ์ IGBT

5.2.2 วงจรอินเวอร์เตอร์ชนิดคาสเคด7 ระดับ

อินเวอร์เตอร์ชนิดคาสเคด 7 ระดับเป็นวงจรสร้างแรงดันกระแสสลับจากค่าแรงดันกระแสตรงที่ป้อนให้กับวงจรฟูลบริดจ์ โดยวงจรฟูลบริดจ์แต่ละชั้นจะนำค่าแรงดันของฟูลบริดจ์อินเวอร์เตอร์ของแต่ละชั้นมาต่อคาสเคดกันเพื่อให้แรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับมีลักษณะคล้ายสัญญาณไซน์ โดยแรงดันกระแสตรงที่ป้อนให้กับอินเวอร์เตอร์แต่ละชั้นนั้นจะได้มาจากการนำแรงดันไฟฟ้า 220 โวลต์เข้าหม้อแปลงด้านปฐมภูมิและด้านทุติยภูมิแรงดัน 110 โวลต์จำนวน 3 ขด แยกกราวด์เข้าวงจรบริดจ์เรกติไฟร์แปลงเป็นแรงดันไฟฟ้ากระแสตรง 150 โวลต์และต่อคร่อมเข้ากับตัวเก็บประจุขนาด 3900 μF 150 โวลต์ และต่อกับฟูลบริดจ์ IGBT ทั้ง 3 ชั้น สำหรับการศึกษาเริ่มต้นจะใช้แรงดันกระแสตรงจากบริดจ์ต่ออยู่กับตัวเก็บประจุตลอดเวลาดังรูปที่ 5.18



รูปที่ 5.18 แสดงวงจรการอินเวอร์เตอร์และการสร้างแรงดันกระแสตรงให้แก่ฟูลบริดจ์ IGBT

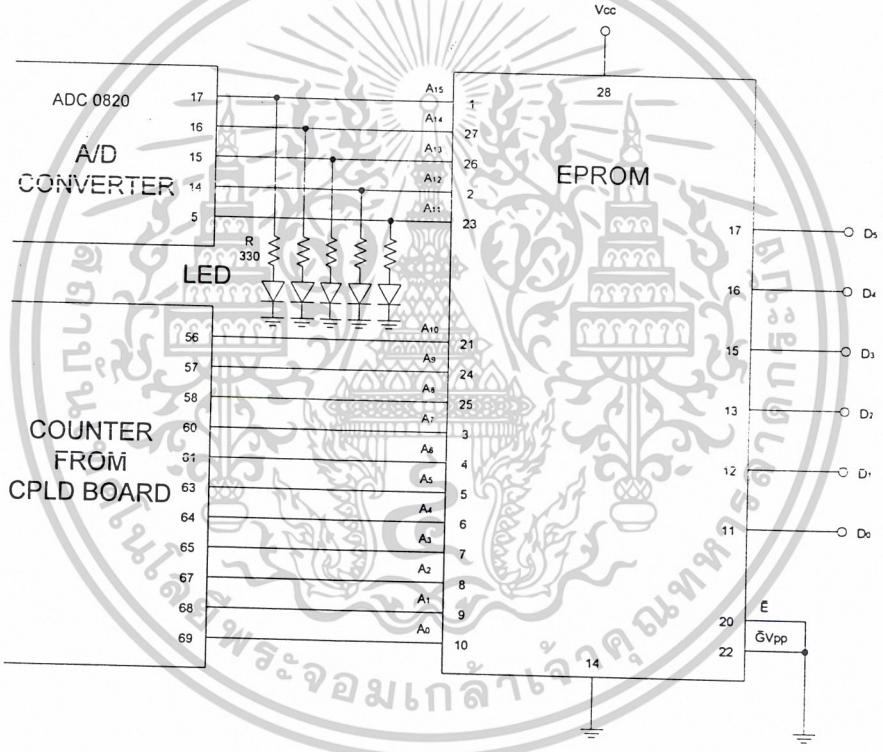
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ผลการทดลองจากชุดสร้างแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

6.1 ลำดับขั้นตอนการสร้างแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

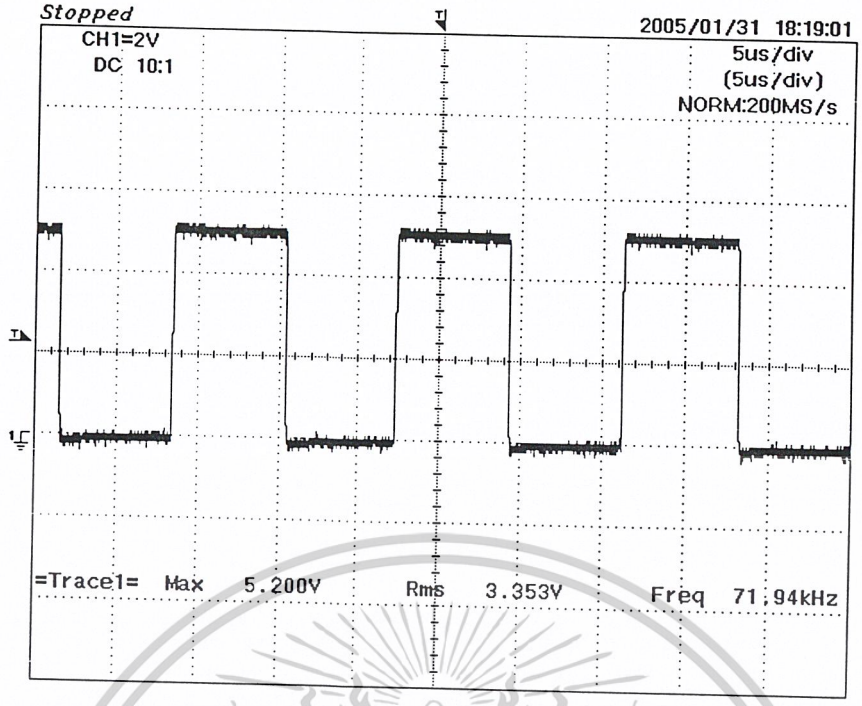
1) ป้อนค่าอินพุทจากวงจร A/D Converter การปรับค่าอินพุทเป็นการปรับขนาดของแรงดันที่สร้างขึ้นจากอินเวอร์เตอร์โดยป้อนค่าให้กับ EPROM ทั้งหมด 5 บิต คือแอดเดรสที่ A11 ถึง A15 ก็คือจะสร้างแรงดันได้ทั้งหมด 32 ค่า ซึ่งจะแสดงได้โดยหลอด LED 5 หลอด ขณะเดียวกันตัวชี้ช่วงเวลาจะชี้แอดเดรสอีก 11 บิต คือ A0 ถึง A10 ซึ่งสร้างมาจากวงจรนับบนบอร์ด CPLD และแสดงการป้อนอินพุทแก่ EPROM ทั้ง 16 บิตได้ดังรูปที่ 6.1 สำหรับวงจรนับที่เป็นตัวชี้ช่วงเวลาจะต้องใช้คล็อคขนาด 72 kHz เพื่อสร้างแรงดันของอินเวอร์เตอร์ให้มีความถี่ 50Hz ตามที่ได้คำนวณในบทที่ 5



รูปที่ 6.1 แสดงวงจรชี้แอดเดรสและเอาท์พุทของ EPROM

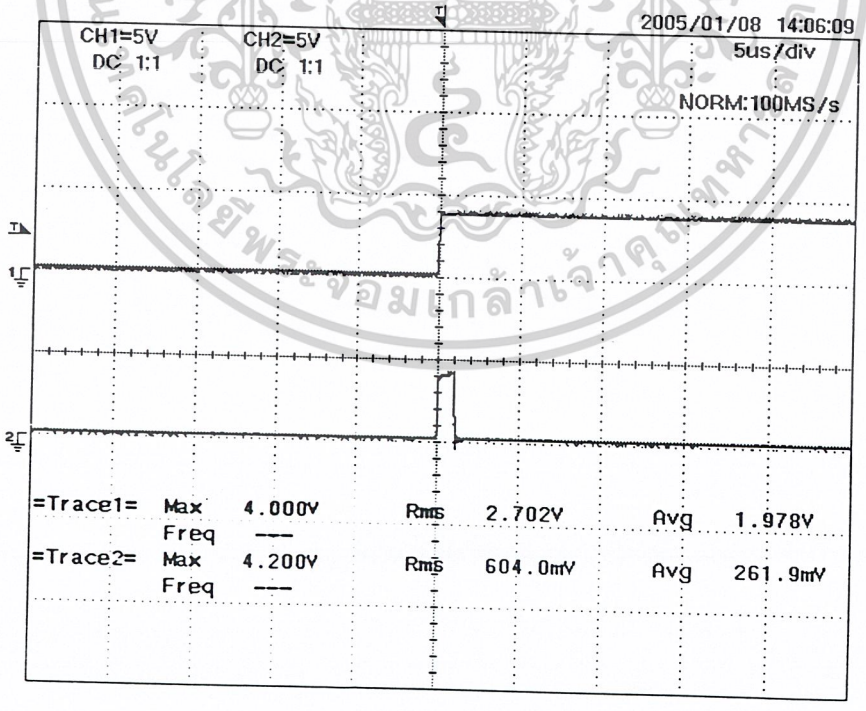
สำหรับค่าความถี่ 72 kHz จะสร้างมาจากออสซิลเลเตอร์ 18.432 MHz ผ่านวงจรหารความถี่ (วงจรหาร256) จนมีความถี่ 72 kHz แสดงดังรูปที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงค่าความถี่ 72 kHz ที่ป้อนให้กับวงจรนับบนบอร์ด CPLD

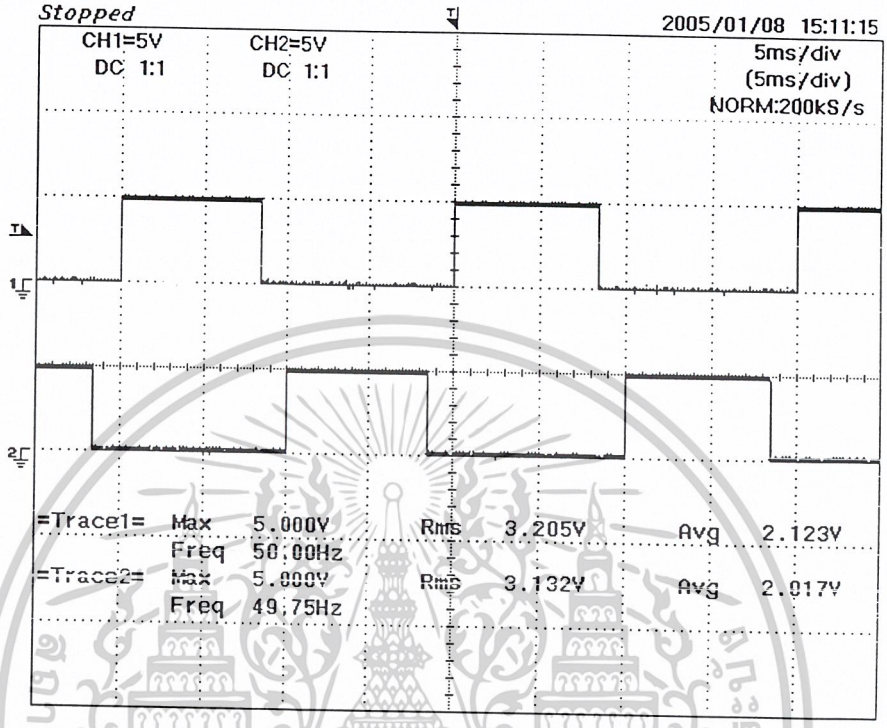
สำหรับการควบคุมการสร้างแรงดันของอินเวอร์เตอร์ให้มีเฟสตรงกับเฟสของแรงดันการไฟฟ้าก็จะใช้วงจร zero crossing กับไอซี 74123 คือมีการสร้างพัลส์มาเคลียร์วงจรนับเพื่อชี้ช่วงเวลาให้เริ่มนับตรงกับขอบขาขึ้นของแรงดันการไฟฟ้าซึ่งแสดงในรูปที่ 6.3



รูปที่ 6.3 สัญญาณที่ออกจาก zero crossing และ 74123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

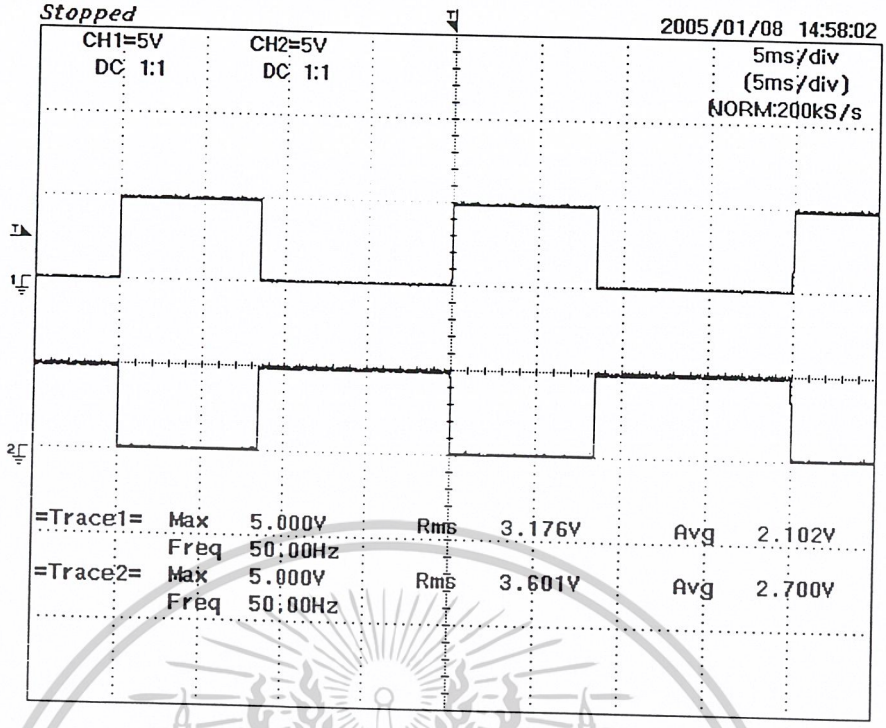
2) เมื่อป้อนอินพุทชี้แอดเดรสให้แก่ EPROM แล้วจะมีสัญญาณเอาท์พุทออกมาจาก EPROM ทั้งสิ้น 6 สัญญาณคือ สัญญาณ S1และ S3 ของอินเวอร์เตอร์ทั้ง 3 ชั้น รูปที่ 6.4 แสดงสัญญาณ S1 และ S3 ของแต่ละชั้นของอินเวอร์เตอร์ที่ออกมาจาก EPROM



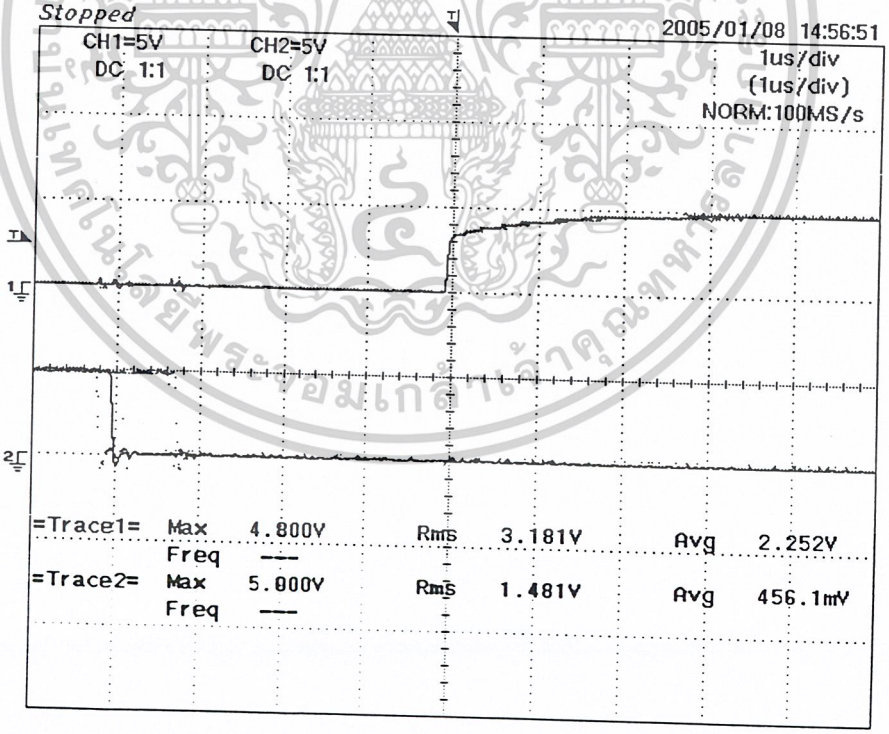
รูปที่ 6.4 แสดงสัญญาณ S1 และ S3 ของแต่ละชั้นของอินเวอร์เตอร์ที่ออกมาจาก EPROM

3) เมื่อสัญญาณ S1 และ S3 ออกจาก EPROM ก็ต้องนำสัญญาณทั้งสองเข้าสู่วงจรประวิงเวลา และจะได้สัญญาณ S2 และ S4 ออกมาจากวงจรนี้ด้วย ซึ่ง S2 ก็จะมีรูปสัญญาณตรงข้ามกับ S1 และสัญญาณ S4 ก็จะมีสัญญาณตรงข้ามกับ S3 ดังรูปที่ 6.5 ซึ่งสัญญาณแต่ละคู่ก็จะมีช่วงการประวิงเวลา 4 μ s ในช่วงการเปลี่ยนแปลงระดับของสัญญาณแสดงดังรูปที่ 6.6 เป็นช่วงขอบขาขึ้นของ S1 และ รูปที่ 6.7 เป็นช่วงขอบขาลงของ S1 ซึ่งสามารถเปรียบเทียบกับรูปที่ 6.8 คือรูปสัญญาณที่ไม่ได้ผ่านวงจรประวิงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

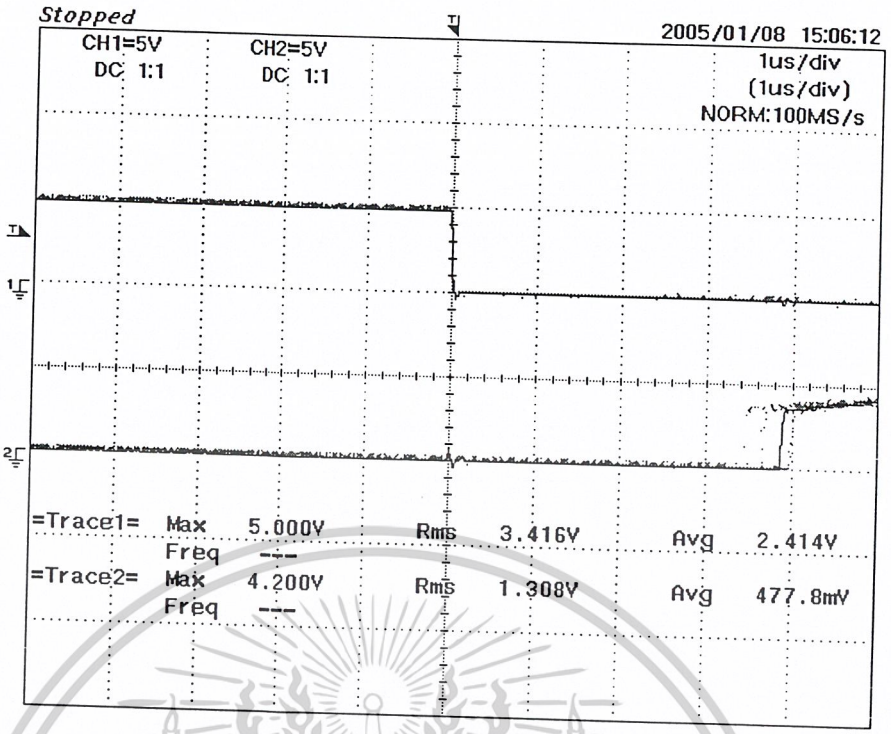


รูปที่ 6.5 แสดงสัญญาณ S1 และ S2 ที่มีลักษณะการทำงานตรงข้ามกันตลอดช่วงเวลา

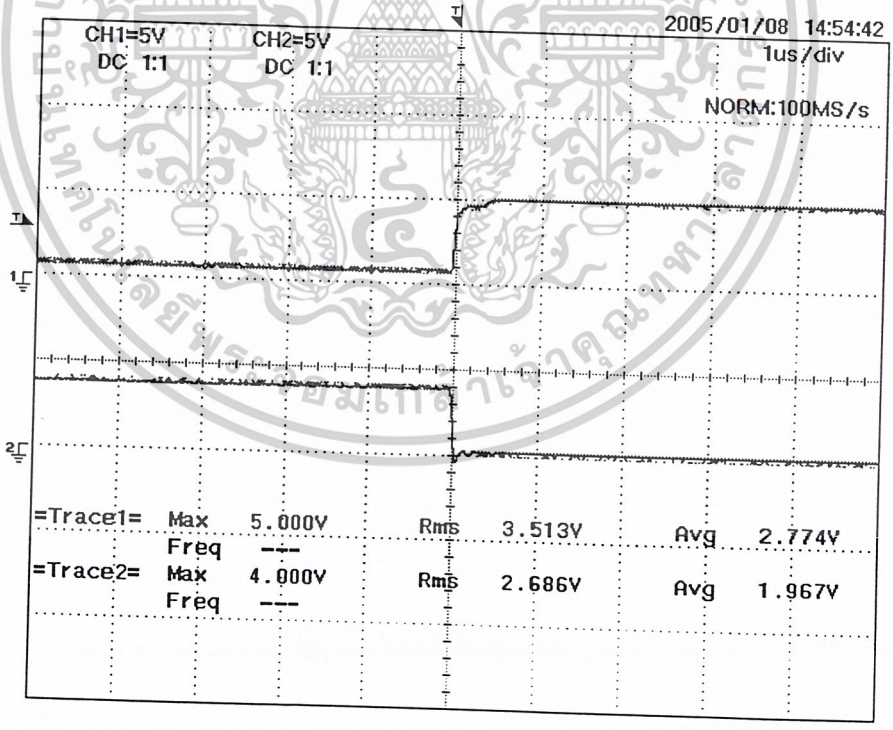


รูปที่ 6.6 แสดงช่วง deadtime ของ S1 และ S2 ในช่วงขอบขาขึ้นของ S1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



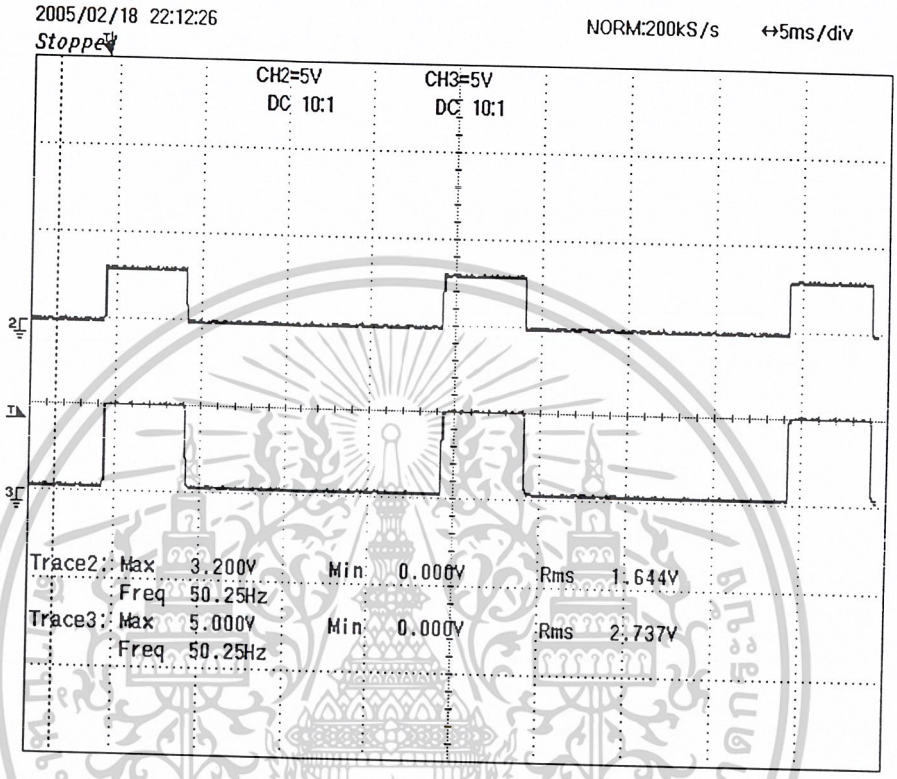
รูปที่ 6.7 แสดงช่วง deadtime ของ S1 และ S2 ในช่วงขอบขาลงของ S1



รูปที่ 6.8 แสดงสัญญาณของ S1 และ S2 ที่ไม่ได้ผ่านวงจร deadtime

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

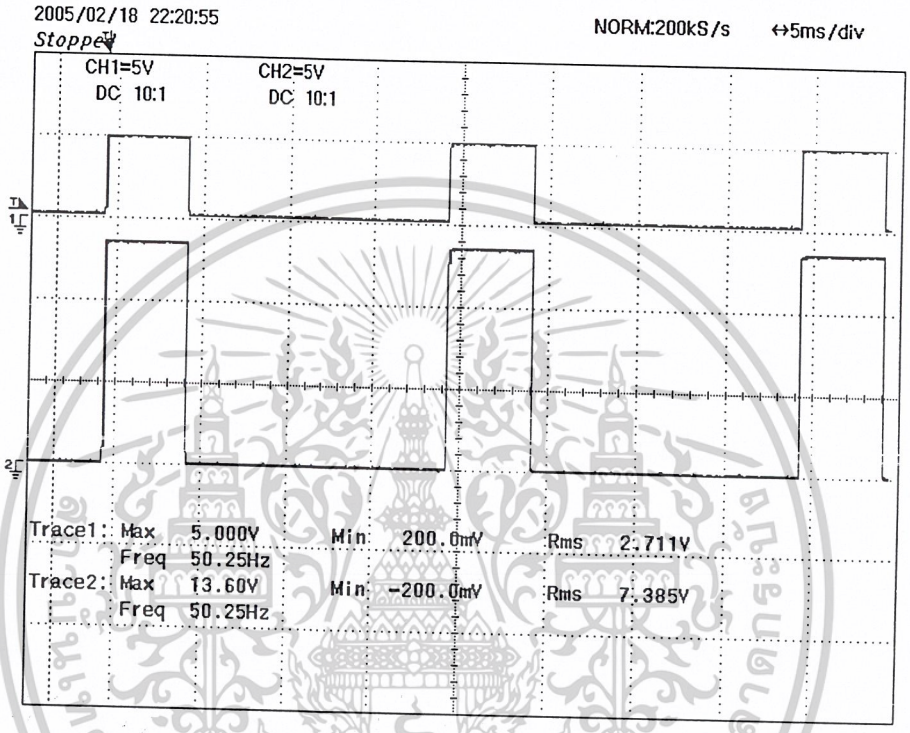
4) เมื่อได้สัญญาณที่ผ่านวงจรประวิงเวลาแล้วจะมีสัญญาณทั้งหมด 12 สัญญาณคือ S1, S2, S3 และ S4 ของแต่ละชั้นที่ออกจากบอร์ด CPLD และหลังจากนั้นจะนำสัญญาณทั้งหมดเข้าวงจรบัฟเฟอร์ทำให้สัญญาณมีระดับแรงดันเป็น +5 และ 0 โวลต์ ซึ่งมีรูปสัญญาณที่ก่อนและหลังเข้าวงจรบัฟเฟอร์แสดงดังรูปที่ 6.9 และส่งสัญญาณต่อไปยังวงจรขับเกทต่อไป



รูปที่ 6.9 แสดงขณะก่อนและหลังเข้าสู่วงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

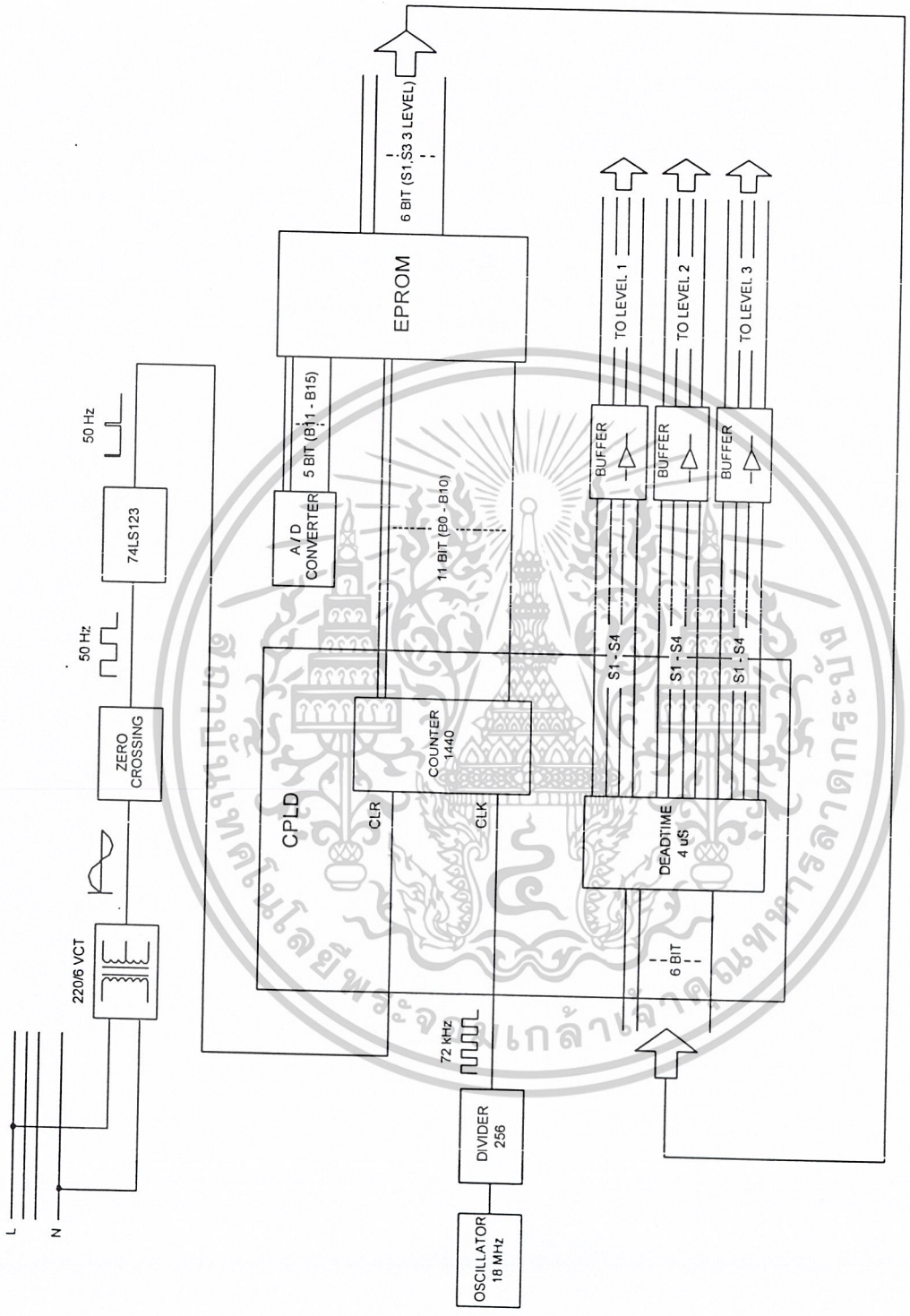
5) วงจรขับเกทจะเป็นวงจรสร้างแรงดัน 15 โวลต์ เพื่อไปทริก IGBT ตามสัญญาณแรงดัน 5 โวลต์ที่ผ่านวงจรบัฟเฟอร์มา วงจรขับเกทจะมีวงจรการทำงานแยกเป็นแต่ละขาของฟูลบริดจ์ซึ่งจะเป็นคู่ของสัญญาณเช่น S1 กับ S2 และ S3 กับ S4 โดยสัญญาณที่ออกมาจากวงจรขับเกทจะออกมาสัญญาณละ 2 เส้นโดยจะต่อกับขา G และ E ของ IGBT ซึ่งในขณะที่ IGBT แต่ละตัวทำงานหรือปิดวงจรขา G และ E จะมีค่าความต่างศักย์เท่ากับ 15 โวลต์และในขณะที่ IGBT แต่ละตัวเปิดวงจรขาทั้งสองจะมีค่าความต่างศักย์เท่ากับ 0 โวลต์ ดังรูปที่ 6.10



รูปที่ 6.10 แสดงสัญญาณที่เข้าและออกจากวงจรขับเกท

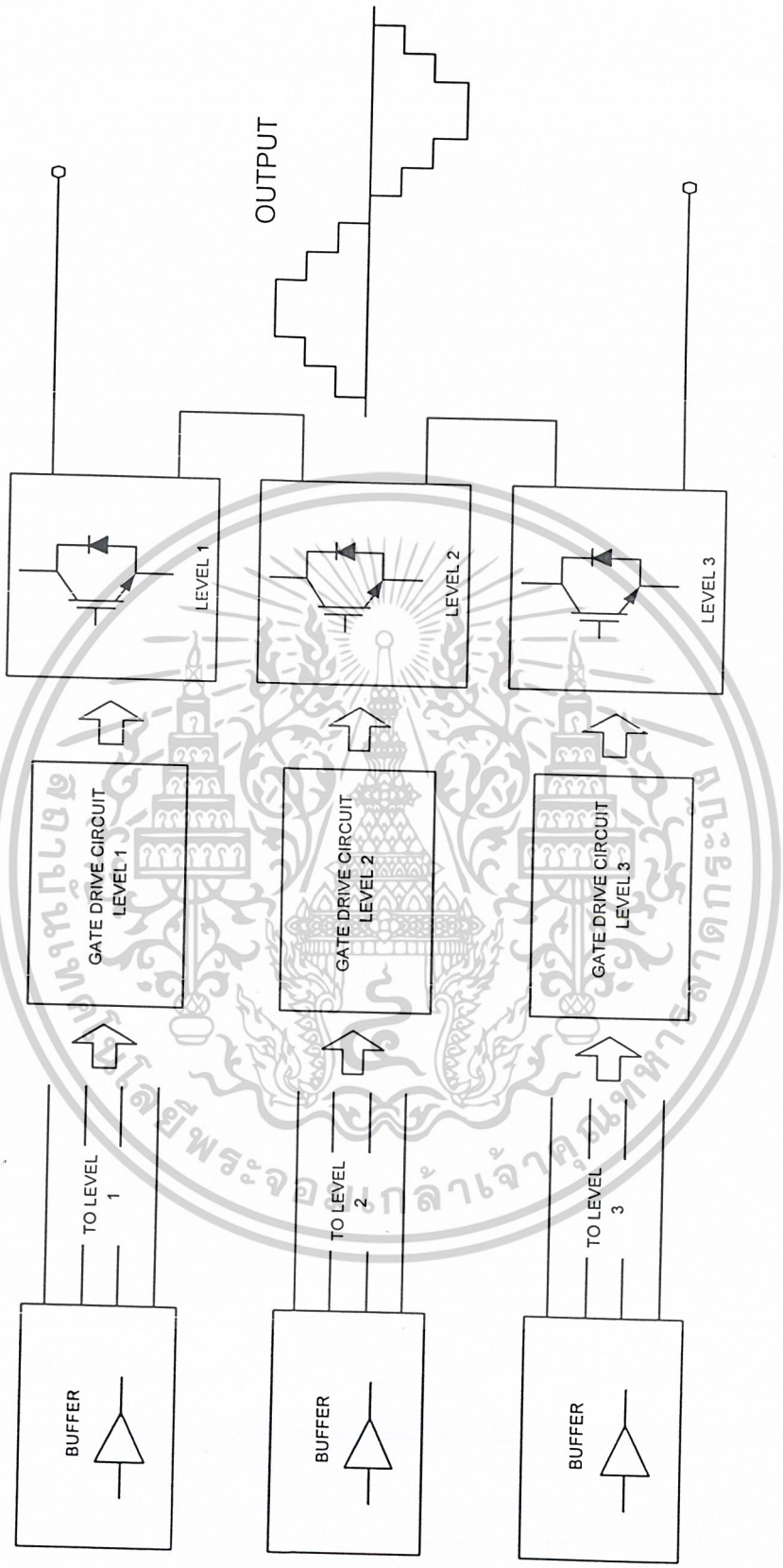
6) เมื่อมีสัญญาณริกเกทให้กับขา G และ E ของ IGBT แต่ละตัวแล้ว วงจรสร้างแรงดันจากชุดอินเวอร์เตอร์แต่ละชั้นก็จะสร้างแรงดันออกมาและเมื่อมีการต่ออินเวอร์เตอร์ทั้ง 3 ชั้นคาสเคดกันก็จะได้แรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 แสดงบล็อคไดอะแกรมของวงจรควบคุมการสร้างแรงดันของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



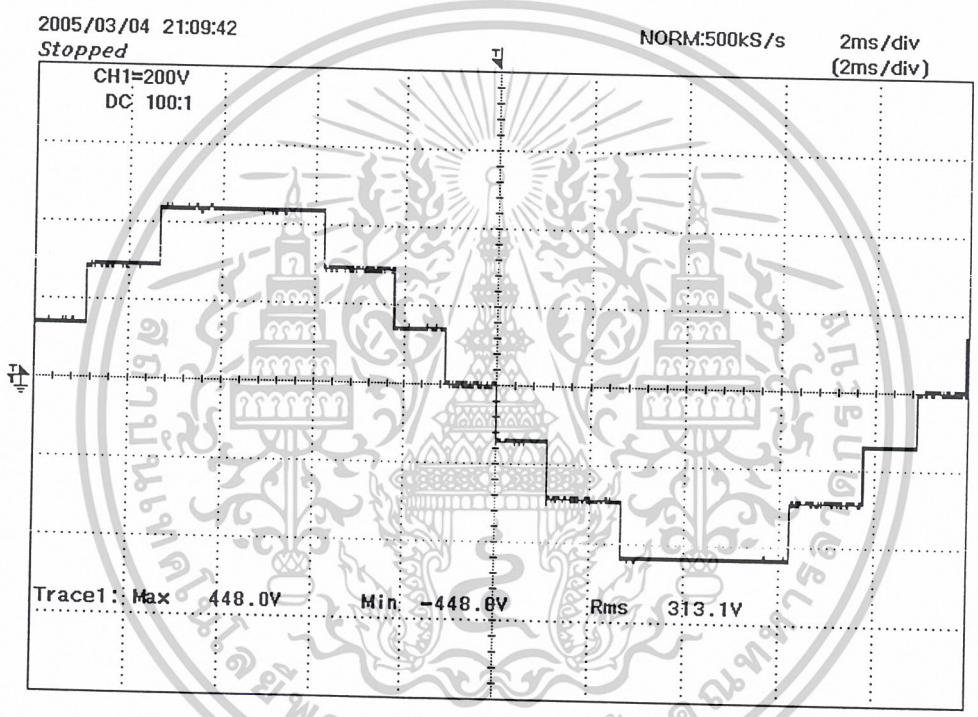
รูปที่ 6.12 แสดงบล็อคไดอะแกรมของวงจรกำลังการสร้างแรงดันของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ

การสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับแสดงเป็นบล็อคไดอะแกรมของวงจรควบคุมดังรูปที่ 6.11 และวงจรกำลังรูปที่ 6.12 โดยที่ขนาดของแรงดันจะขึ้นอยู่กับค่าของอินพุทที่ได้จากการปรับจากวงจรA/D Converter ซึ่งเป็นการปรับค่าความต้านทานปรับค่าได้และนำค่าอินพุทที่ได้นี้ไปสร้างขนาดของแรงดันตามต้องการ

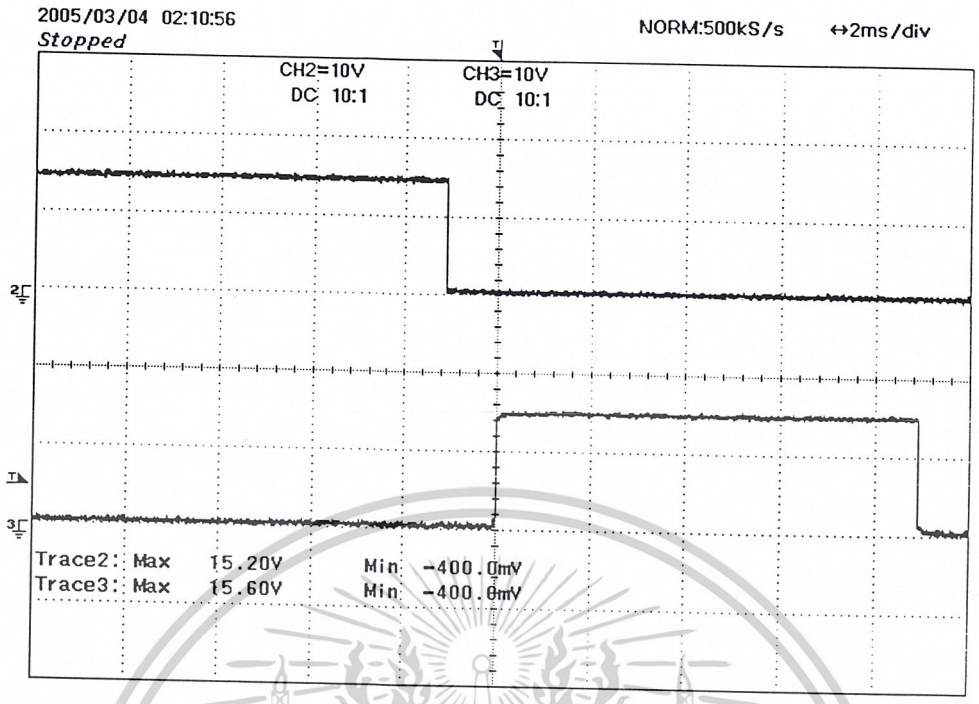
การสร้างแรงดันจากชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับนั้นประกอบด้วยฟูลบริดจ์อินเวอร์เตอร์ 3 ชั้น นำมาต่อกันในลักษณะคาสเคดกันเมื่อนำแรงดันมารวมกันและเพื่อให้มีลักษณะคล้ายสัญญาณไซน์ดังรูปที่ 6.13 แสดงแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับที่ค่า Modulation Index เท่ากับ 1.0



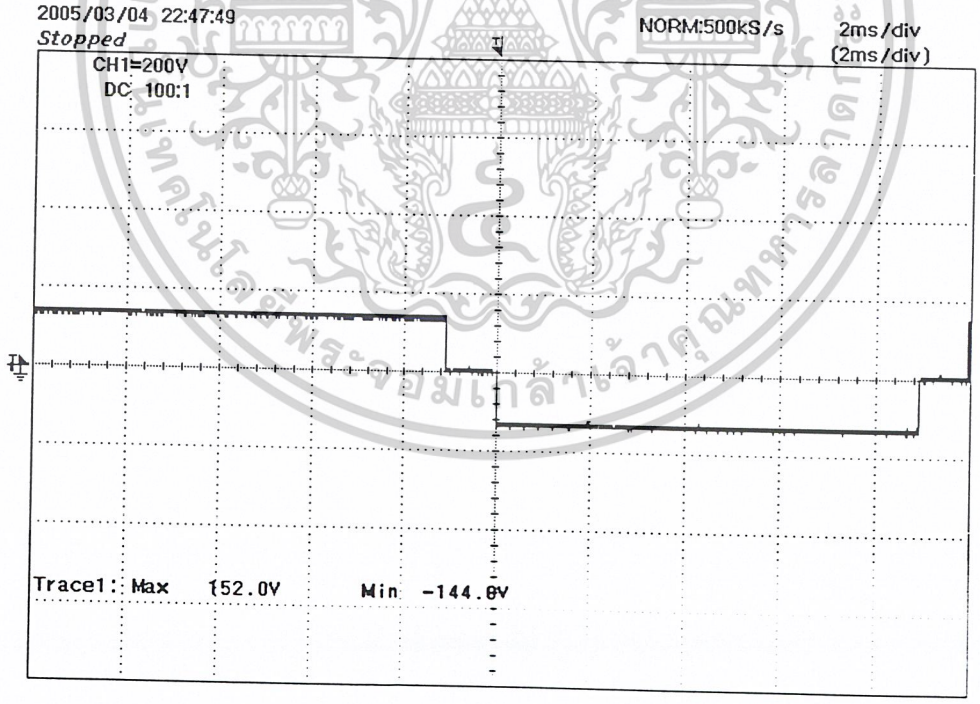
รูปที่ 6.13 แสดงแรงดันของอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับที่ค่า Modulation Index เท่ากับ 1.0

แรงดันดังรูปที่ 6.13 เกิดจากการแรงดันของอินเวอร์เตอร์ทั้ง 3 ชั้นมารวมกันและแรงดันแต่ละชั้นนั้นจะเกิดจากสัญญาณ S1 และ S3 ของแต่ละชั้นที่ได้มาจาก EPROM ซึ่งสัญญาณ S1 จะเป็นตัวควบคุมให้เกิดแรงดันช่วงบวกและสัญญาณ S3 จะเป็นตัวควบคุมให้เกิดแรงดันช่วงลบ รูปที่ 6.14 แสดงสัญญาณ S1 และ S3 ที่อินเวอร์เตอร์ชั้นล่างและเกิดแรงดันที่อินเวอร์เตอร์ชั้นล่างดังรูป 6.15 และรูปที่ 6.16 แสดงสัญญาณ S1 และ S3 ที่อินเวอร์เตอร์ชั้นกลาง และเกิดแรงดันที่อินเวอร์เตอร์ชั้นกลางดังรูป 6.17 สำหรับชั้นบนนั้นแสดง สัญญาณ S1 และ S3 ที่อินเวอร์เตอร์ชั้นบนดังรูปที่ 6.18 และเกิดแรงดันที่อินเวอร์เตอร์ชั้นบนดังรูป 6.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

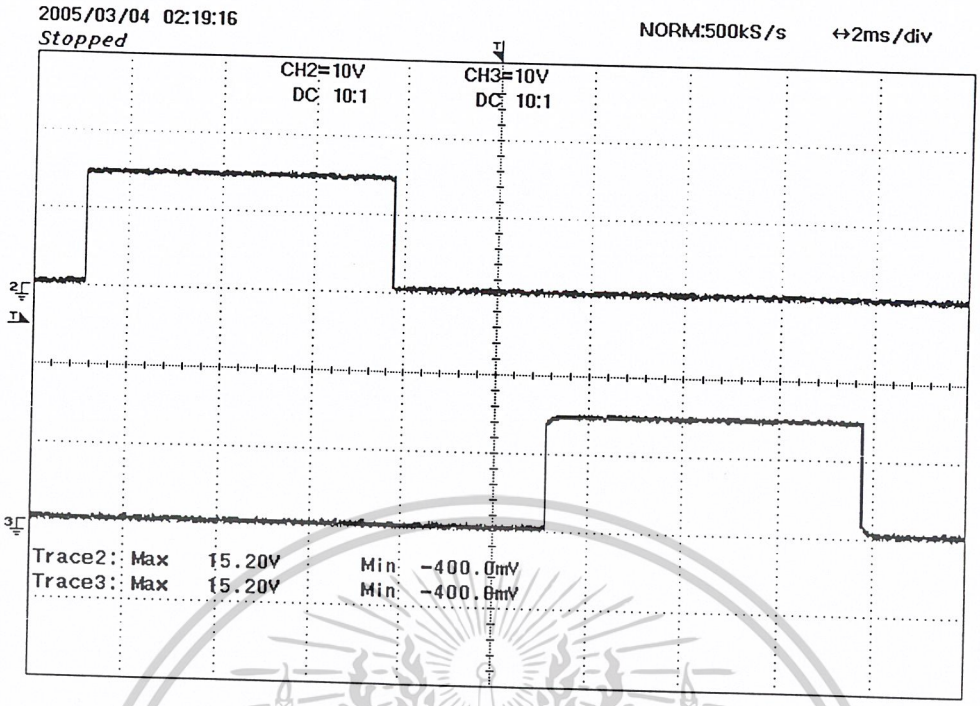


รูปที่ 6.14 แสดงสัญญาณ S1และ S3 ของอินเวอร์เตอร์ชั้นล่างที่ M.I. = 1.0

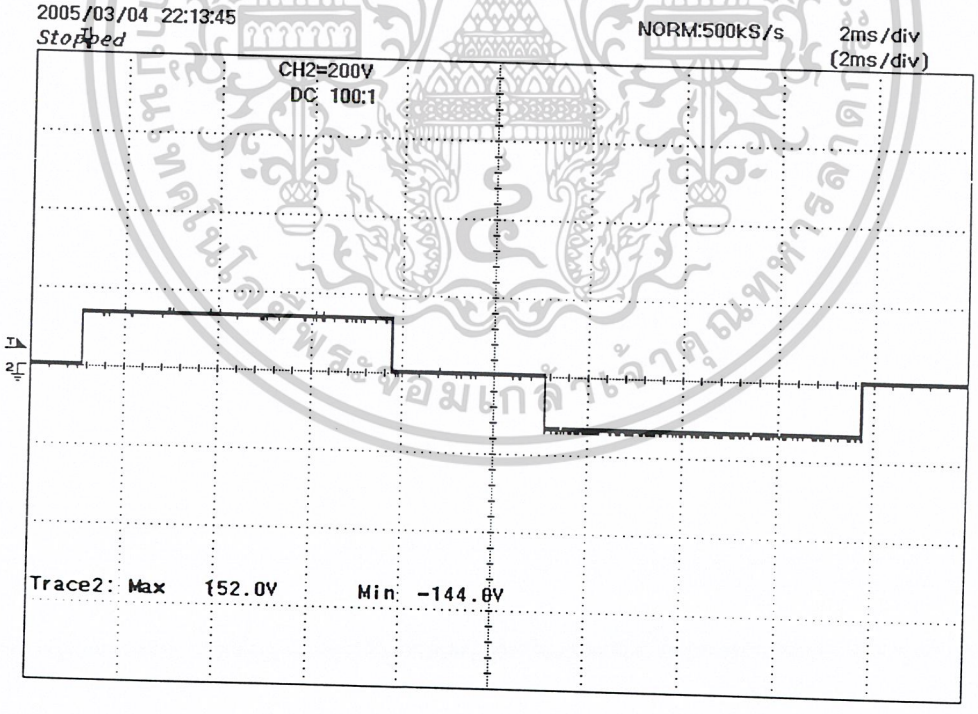


รูปที่ 6.15 แสดงแรงดันชั้นล่างของอินเวอร์เตอร์ที่ M.I. = 1.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

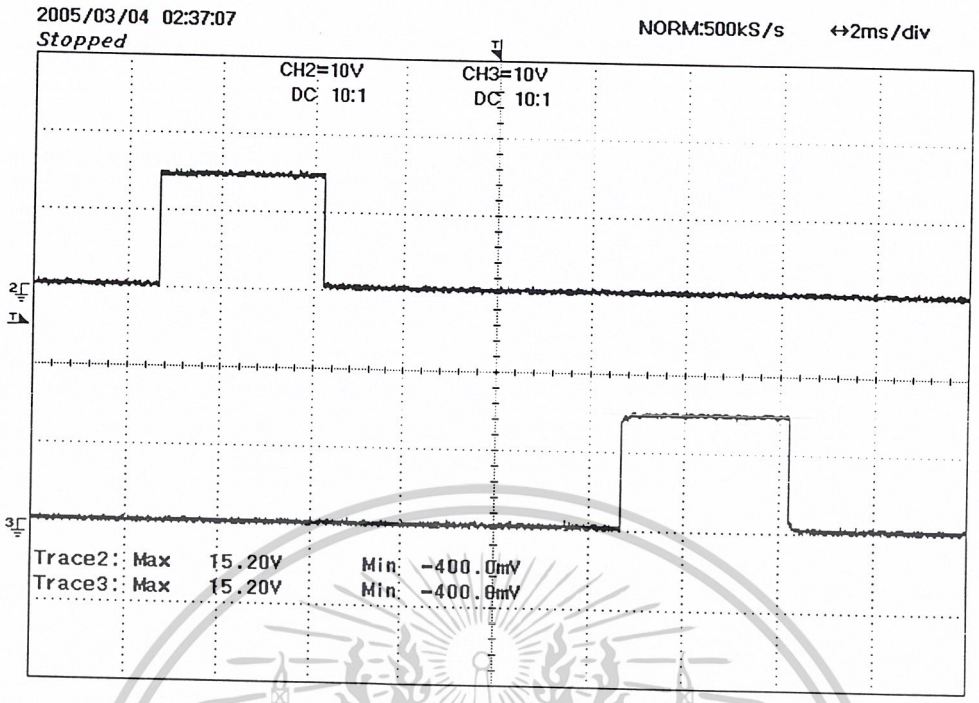


รูปที่ 6.16 แสดงสัญญาณ S1และ S3ของอินเวอร์เตอร์ชั้นกลางที่ M.I. = 1.0

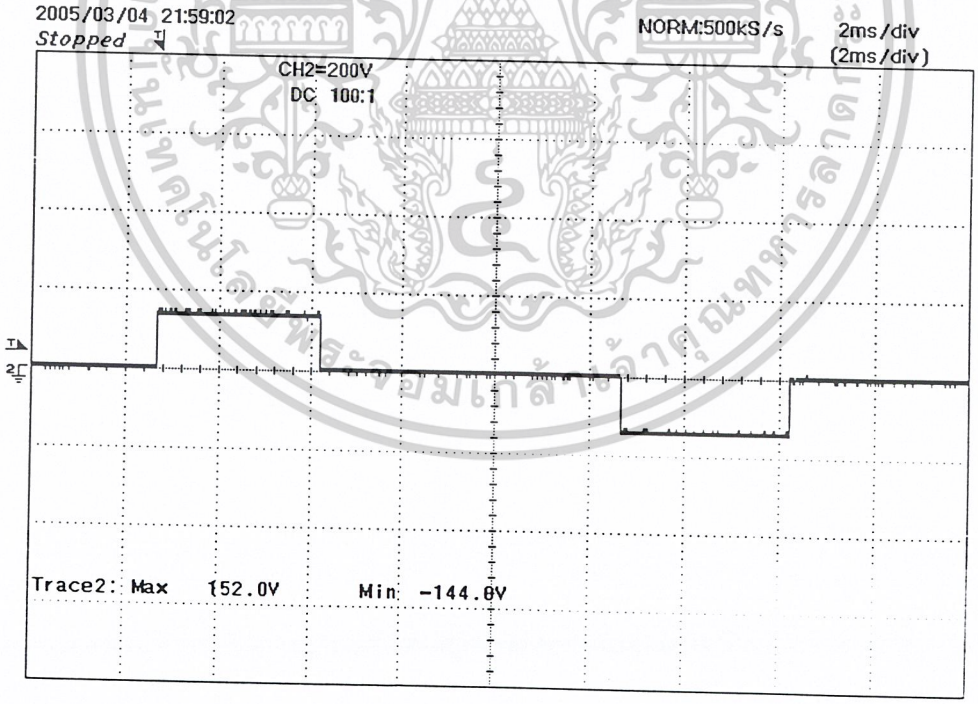


รูปที่ 6.17 แสดงแรงดันชั้นกลางของอินเวอร์เตอร์ที่ M.I. = 1.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



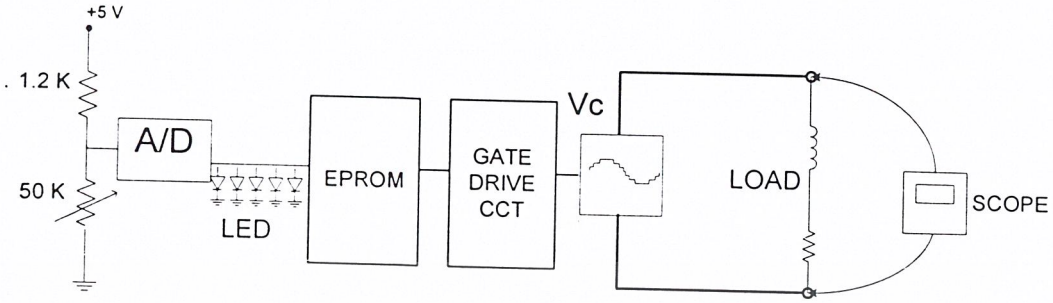
รูปที่ 6.18 แสดงสัญญาณ S1และ S3 ของอินเวอร์เตอร์ชั้นบนที่ M.I. = 1.0



รูปที่ 6.19 แสดงแรงดันชั้นบนของอินเวอร์เตอร์ที่ M.I. = 1.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองสร้างค่าแรงดันจะนำอินเวอร์เตอร์ไปต่อกับภาระไฟฟ้าดังรูปที่ 6.20 และมีผลการทดลองการสร้างแรงดันที่ค่าModulation Index ตามตารางที่ 6.1



รูปที่ 6.20 แสดงวงจรการสร้างแรงดันจากการปรับค่า A/D

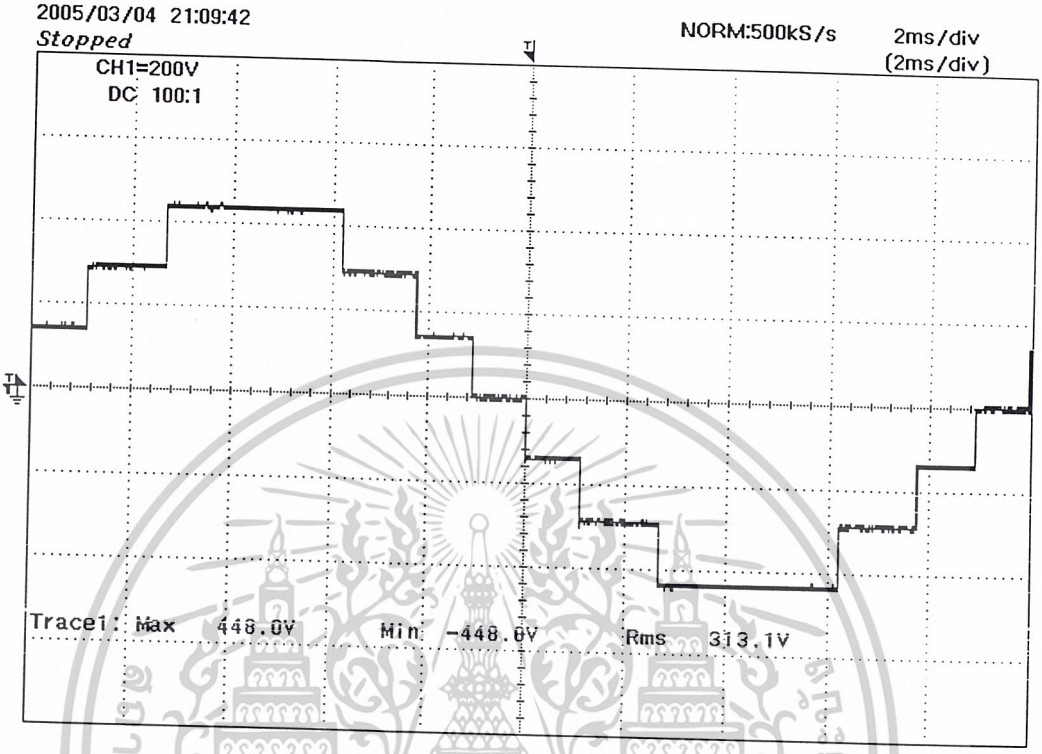
ตารางที่ 6.1 แสดงค่าแรงดันที่แต่ละค่า M.I.

M.I.	LED	V_C
0.70	00001	224.4
0.75	00110	238.9
0.80	01011	254.8
0.85	10000	270.2
0.90	10101	284.7
0.95	11010	298.9
1.00	11111	313.1

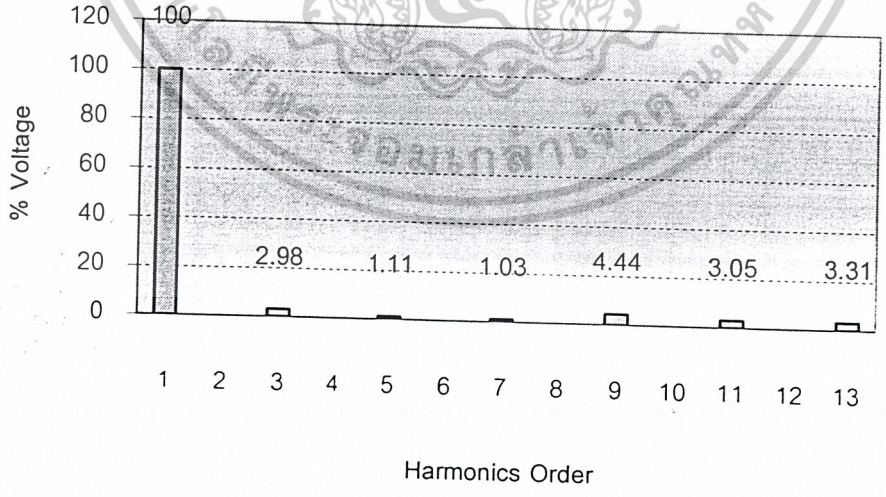
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 1.0

EXPERIMENT

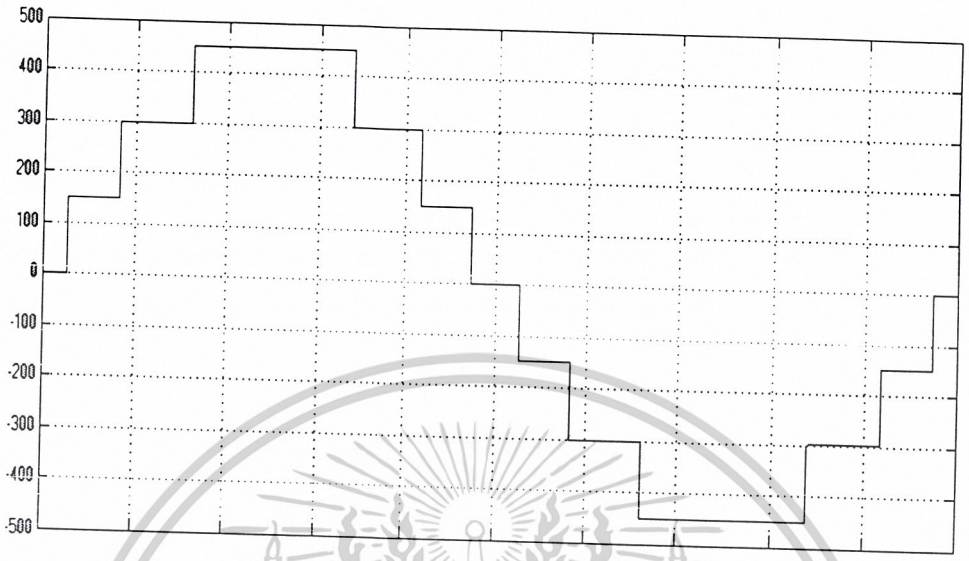


รูปที่ 6.21 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 1.0

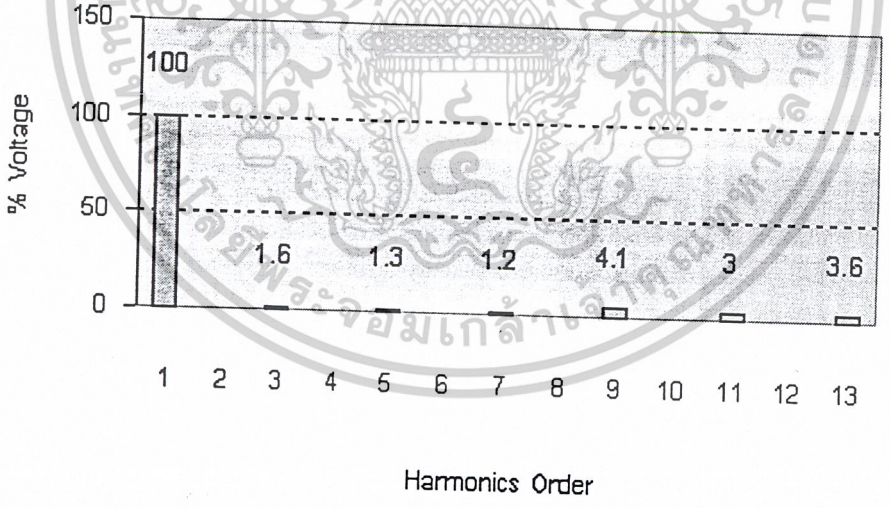


รูปที่ 6.22 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 1.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.23 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 1.0

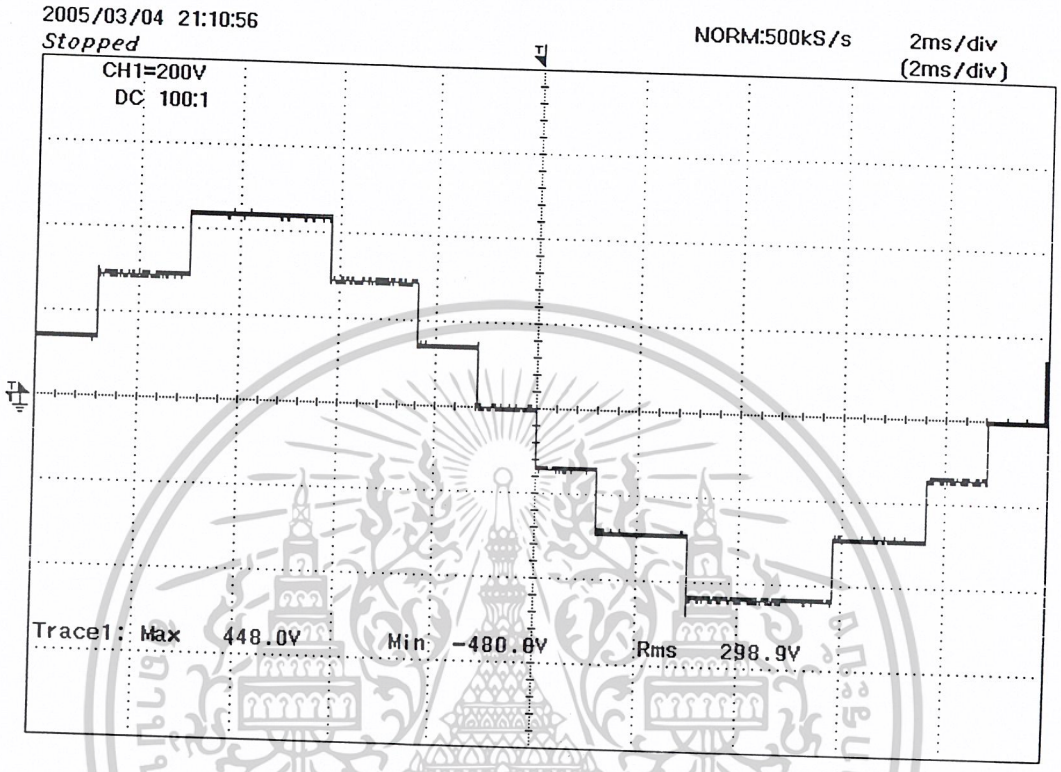


รูปที่ 6.24 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 1.0

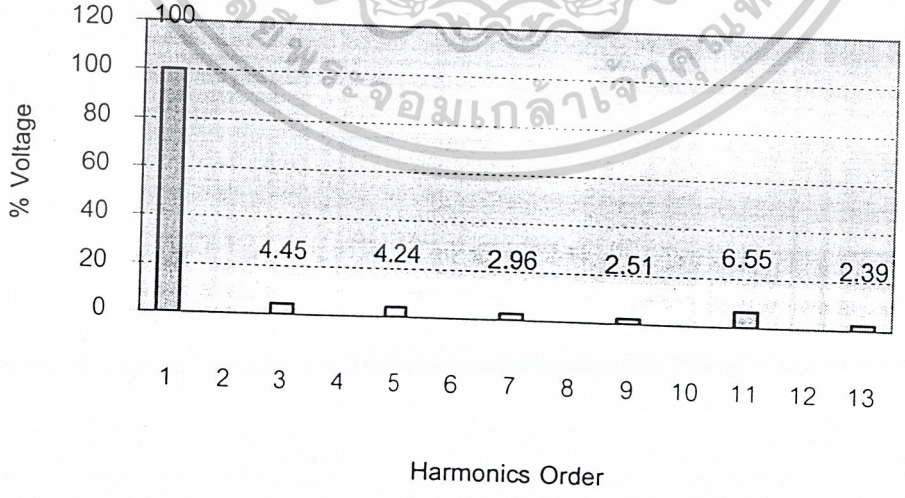
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.95

EXPERIMENT



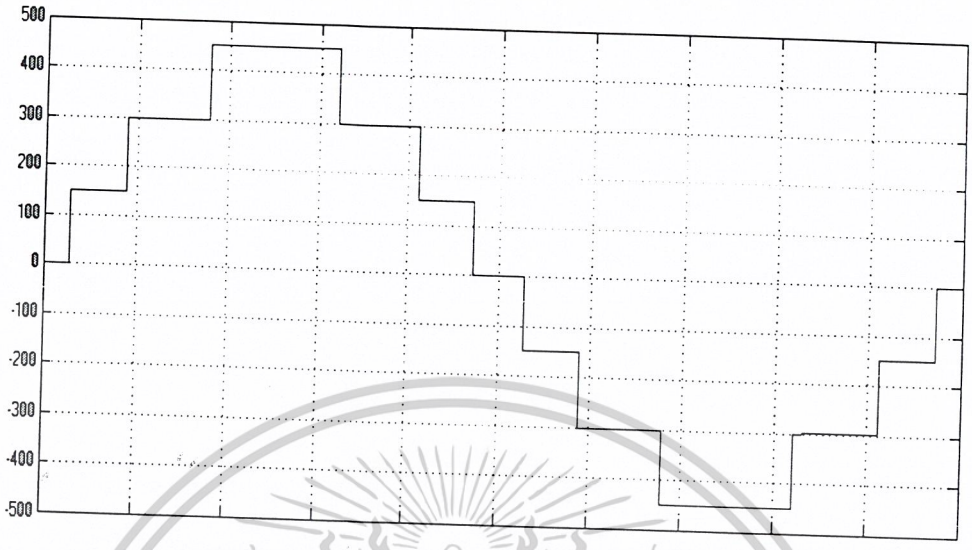
รูปที่ 6.25 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.95



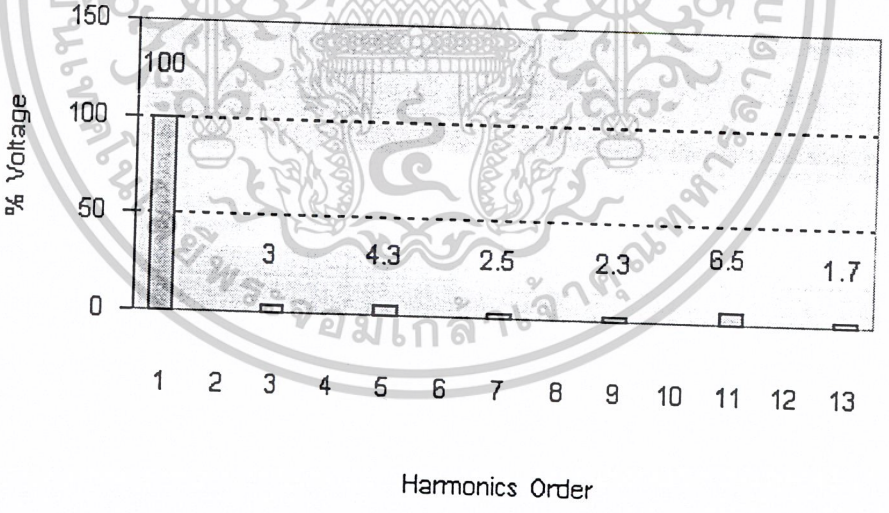
รูปที่ 6.26 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.27 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.95

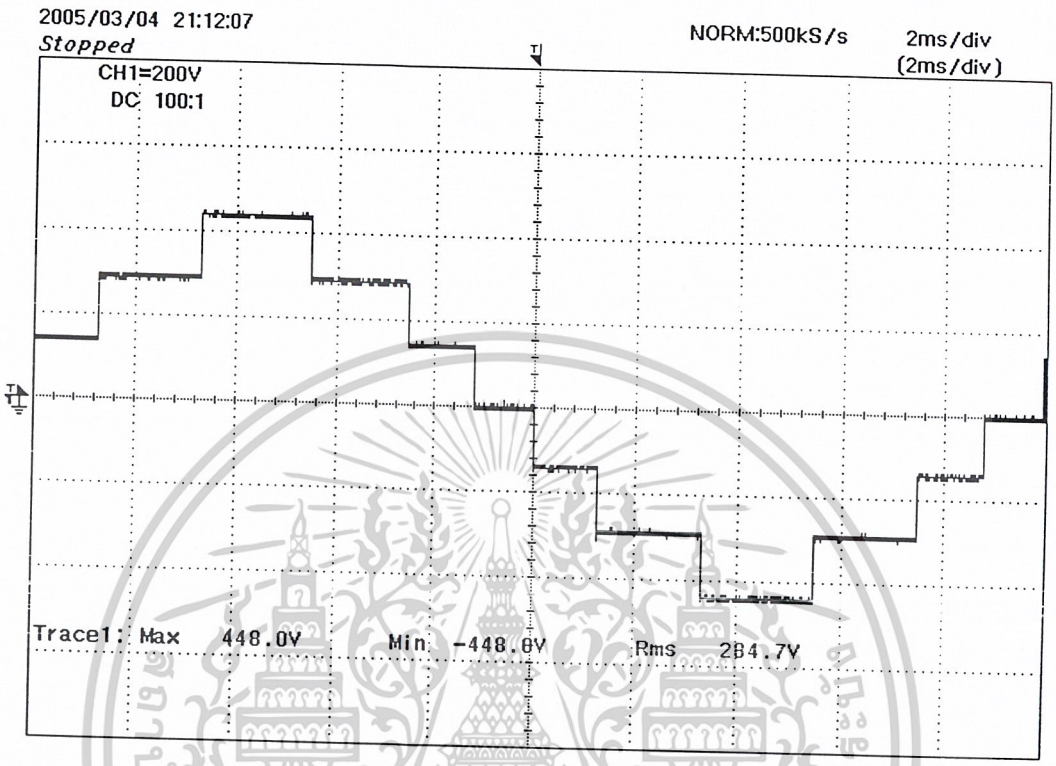


รูปที่ 6.28 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.95

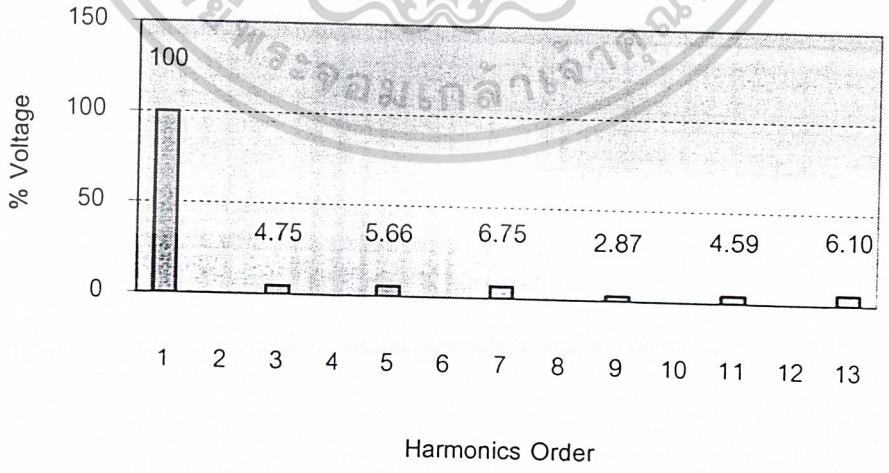
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.9

EXPERIMENT



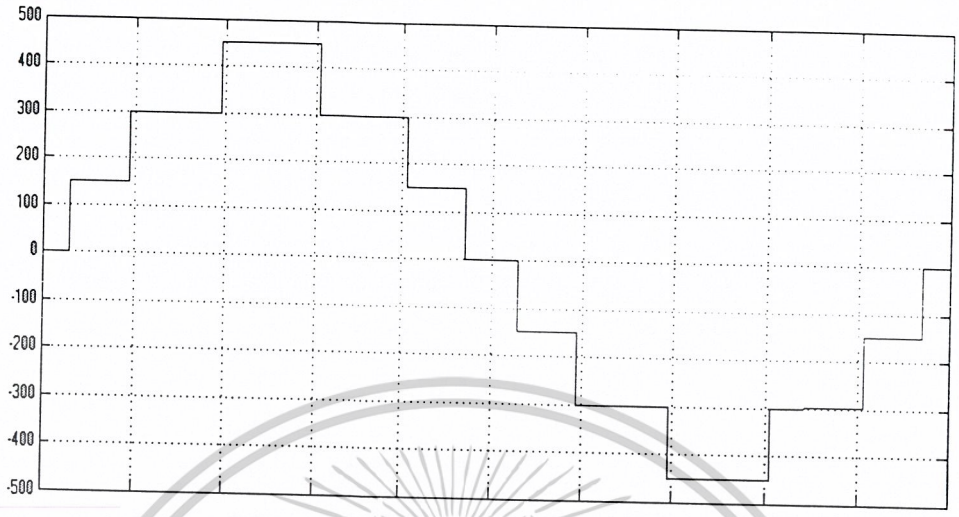
รูปที่ 6.29 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.9



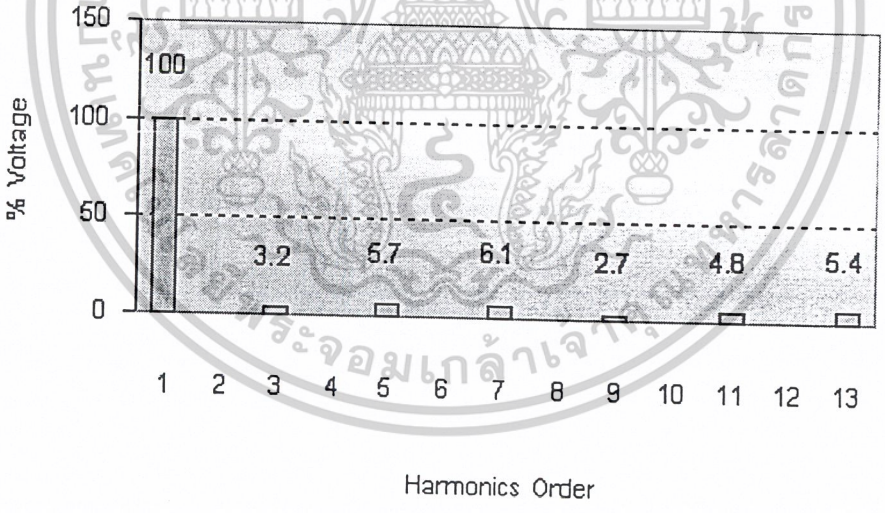
รูปที่ 6.30 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.31 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.9

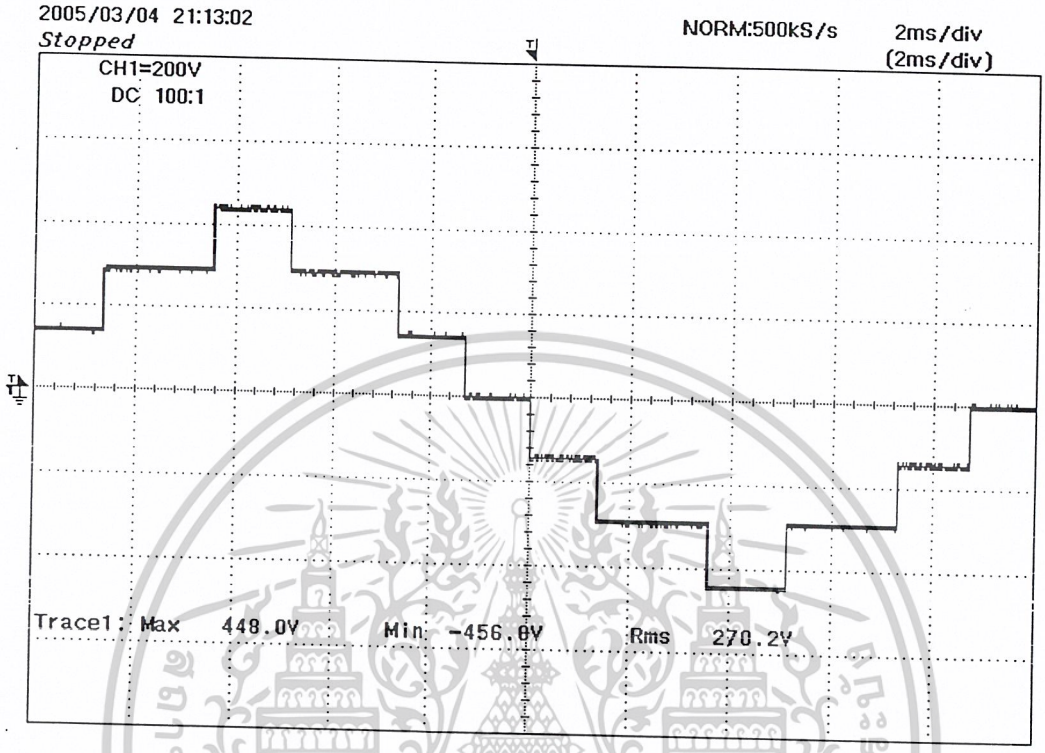


รูปที่ 6.32 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.9

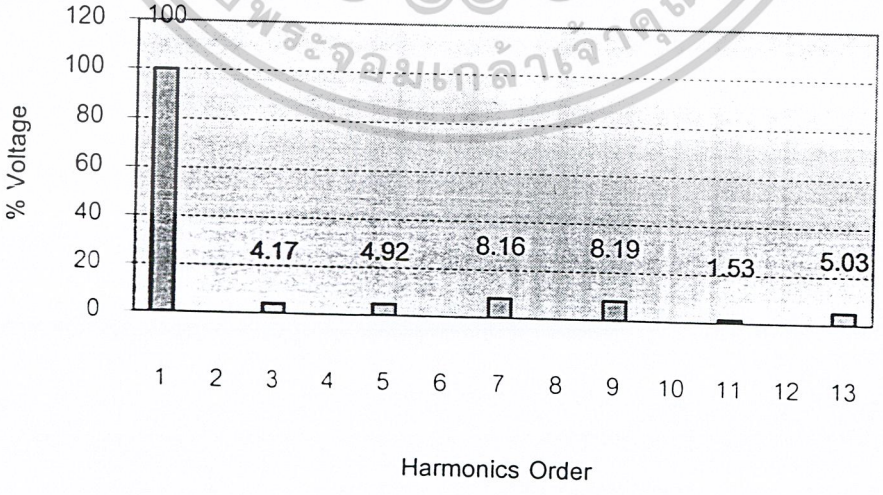
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.85

EXPERIMENT



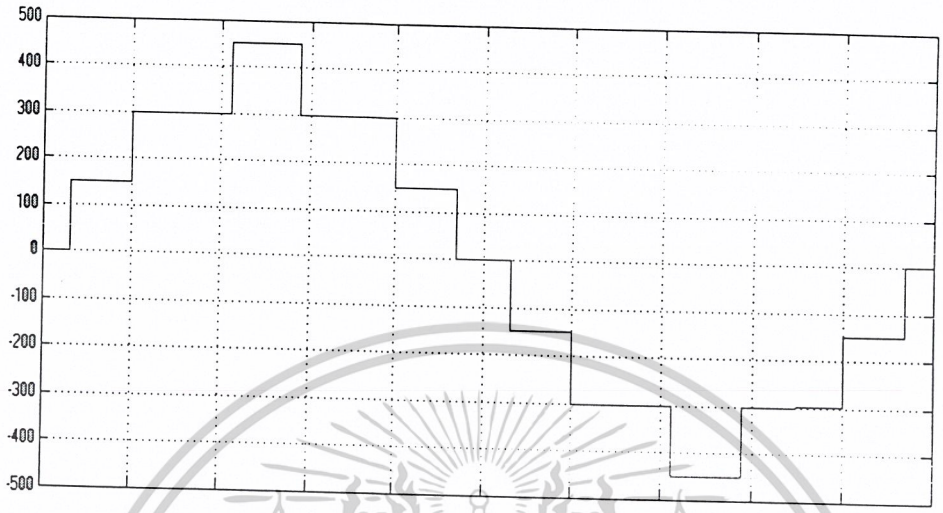
รูปที่ 6.33 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.85



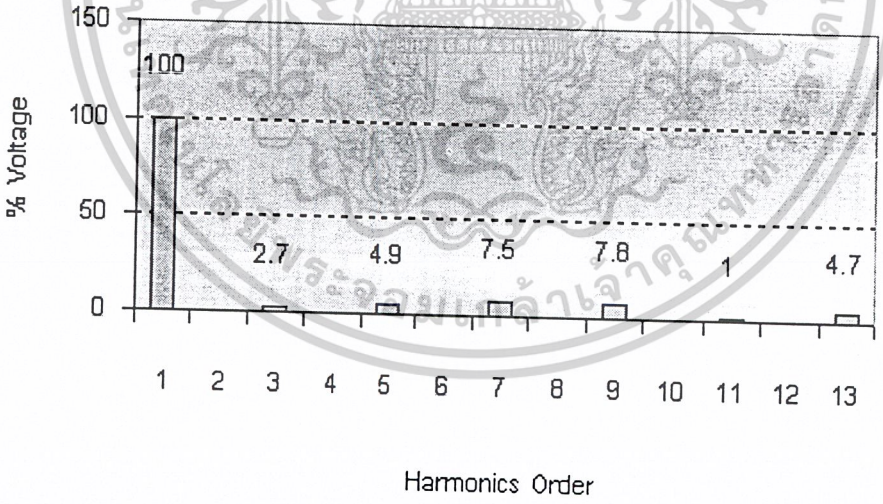
รูปที่ 6.34 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.35 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.85

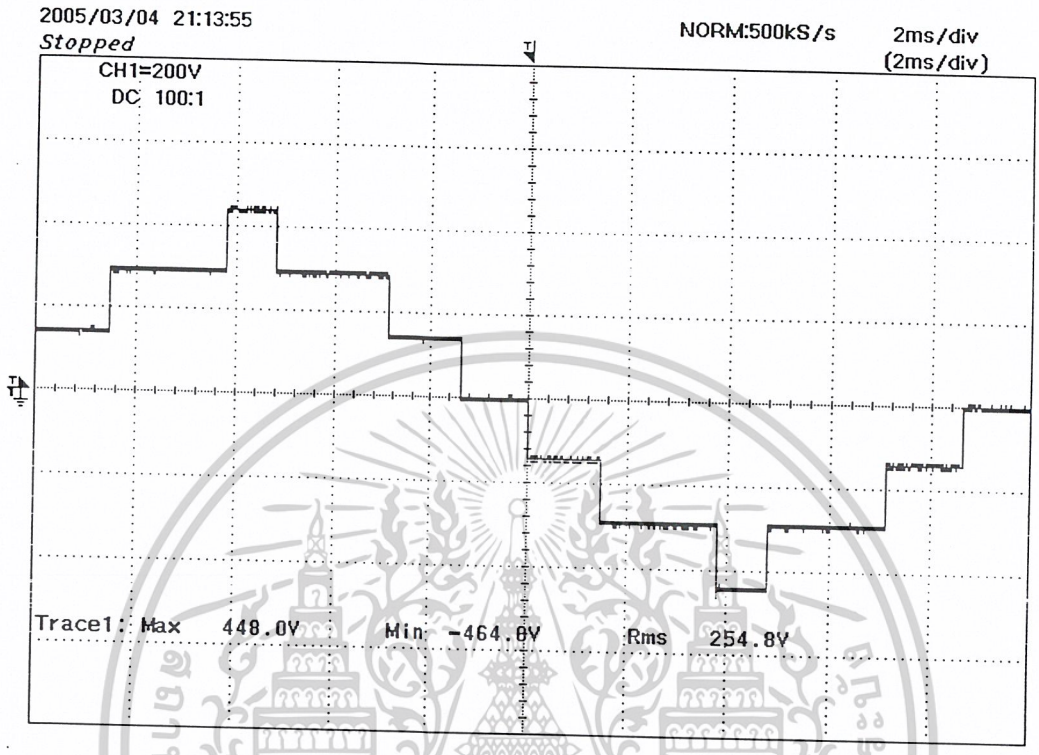


รูปที่ 6.36 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.85

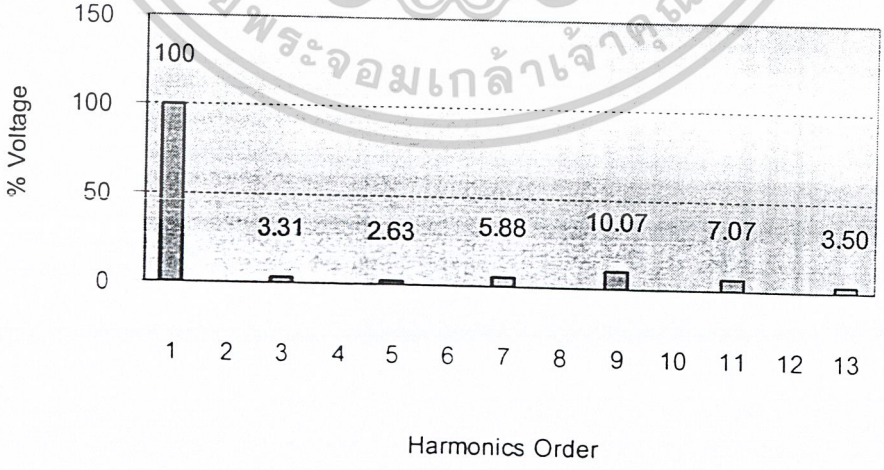
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.8

EXPERIMENT



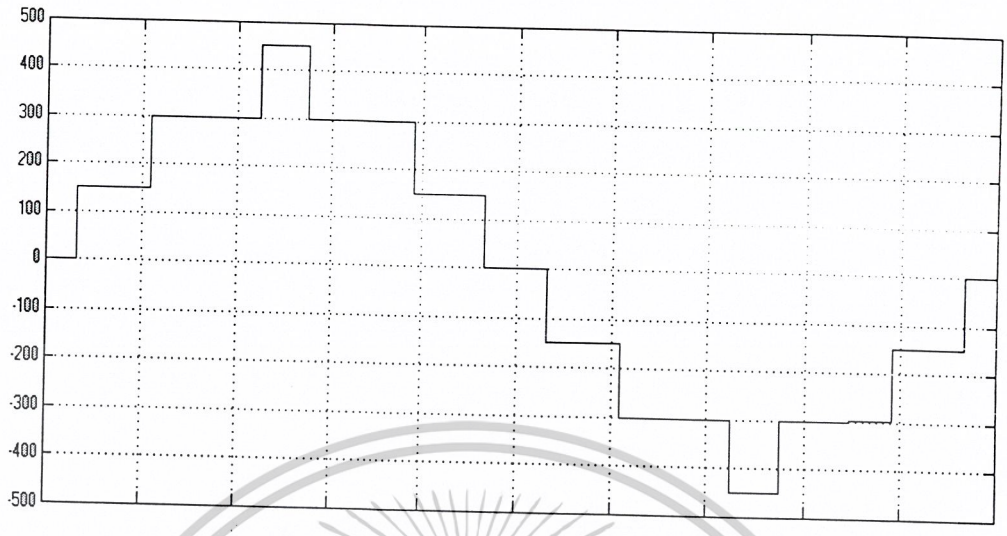
รูปที่ 6.37 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.8



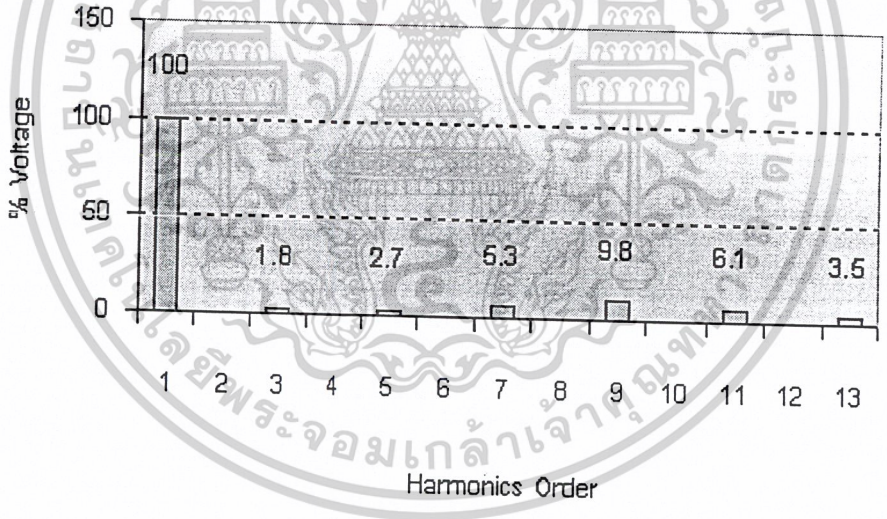
รูปที่ 6.38 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.39 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.8

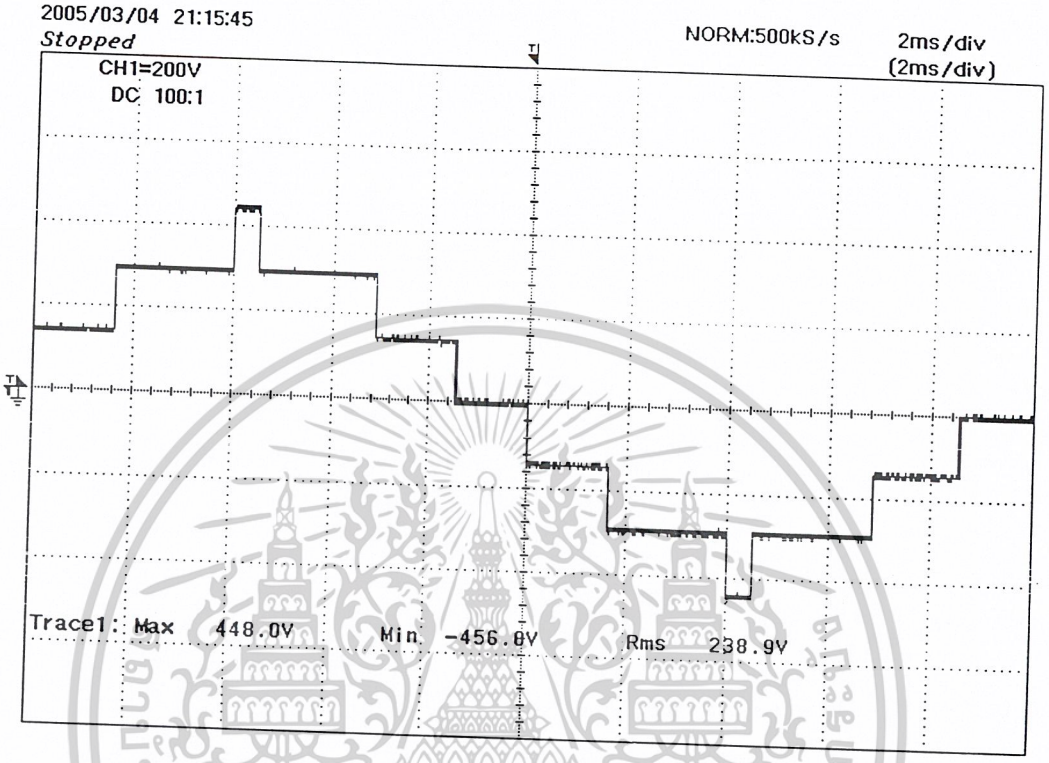


รูปที่ 6.40 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.8

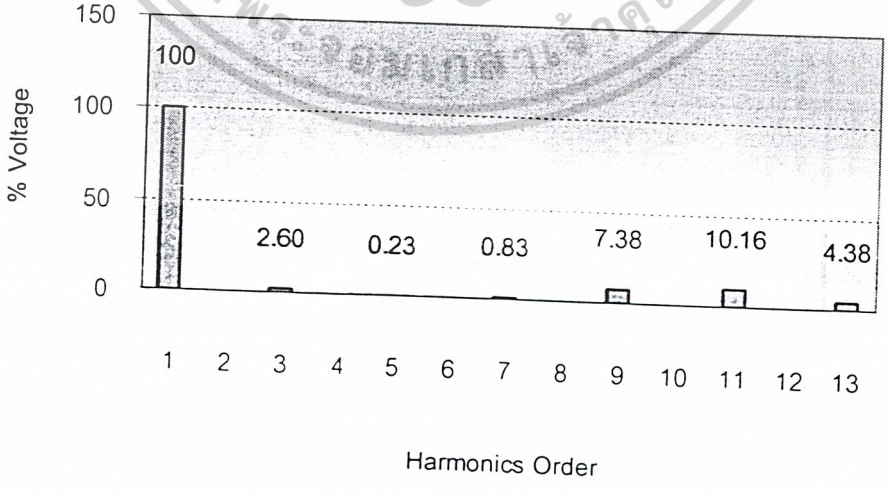
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.8 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.75

EXPERIMENT



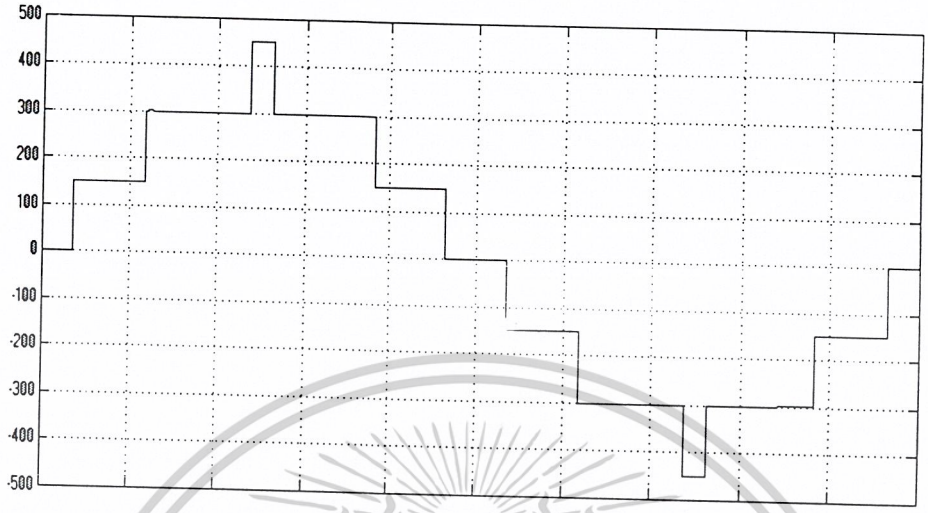
รูปที่ 6.41 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.75



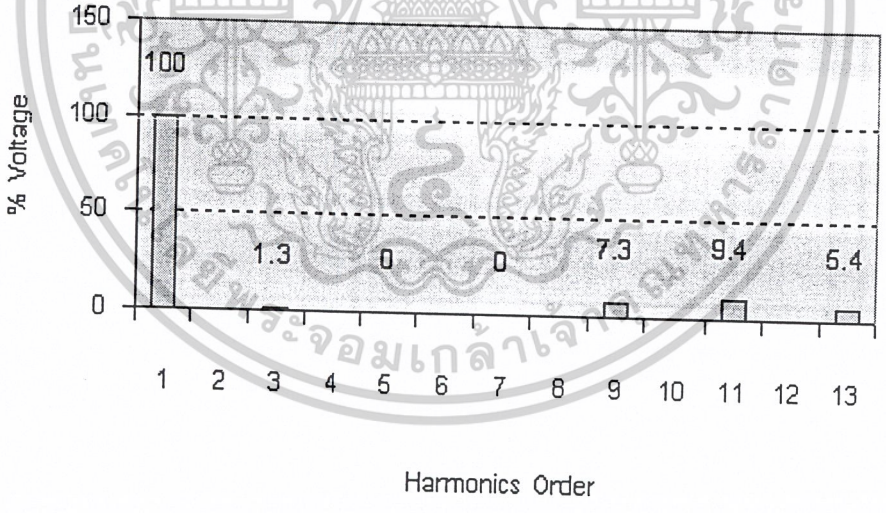
รูปที่ 6.42 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.43 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.75

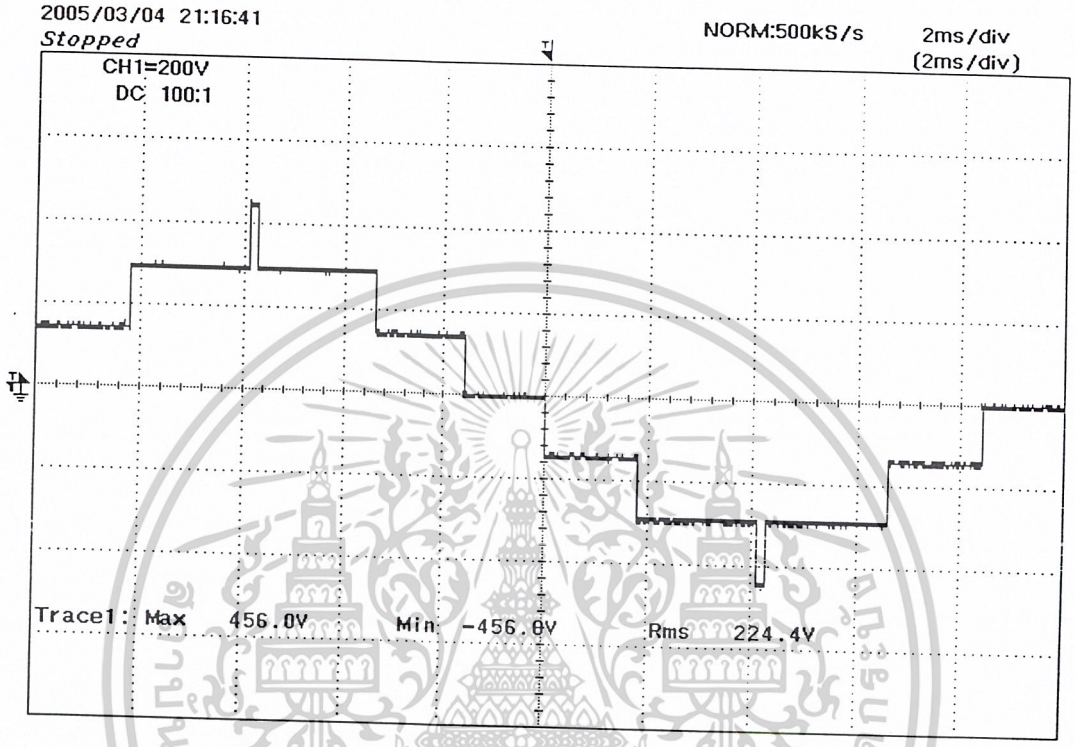


รูปที่ 6.44 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.75

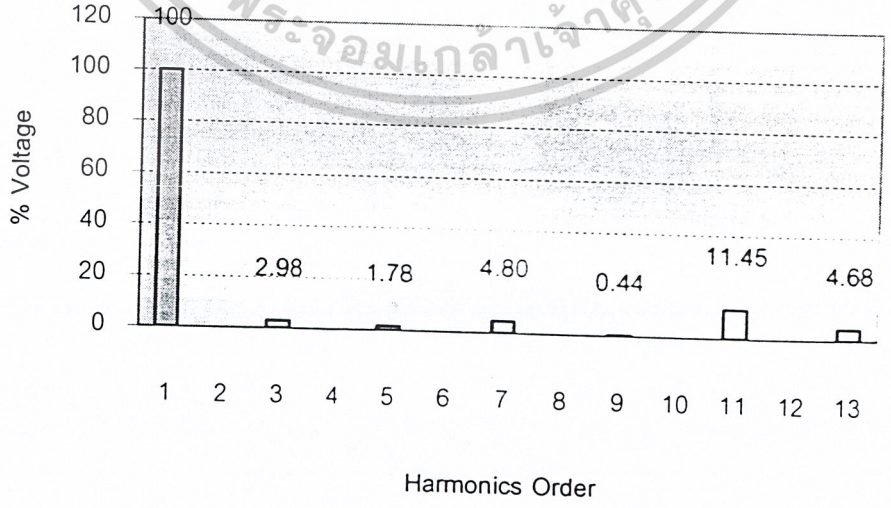
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.9 ผลการสร้างแรงดันที่ Modulation Index เท่ากับ 0.7

EXPERIMENT



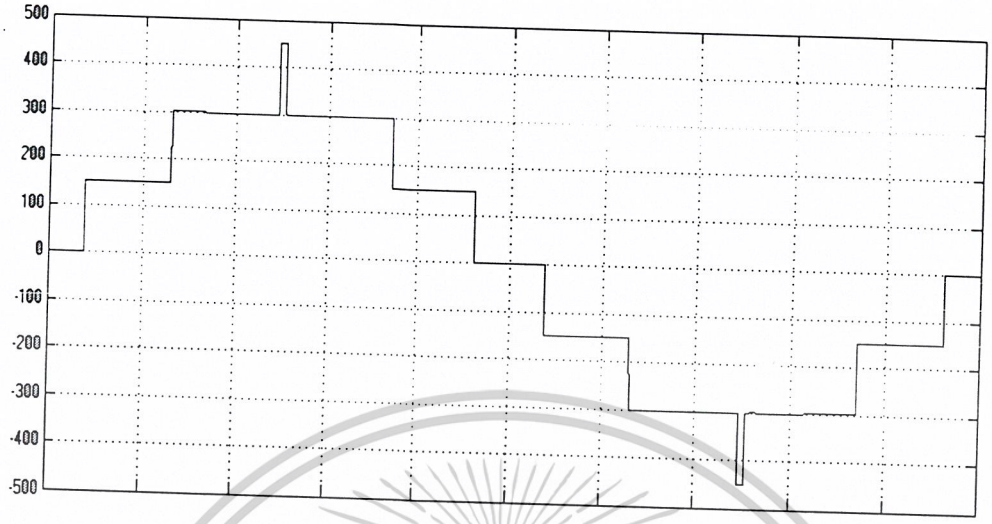
รูปที่ 6.45 แสดงแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.7



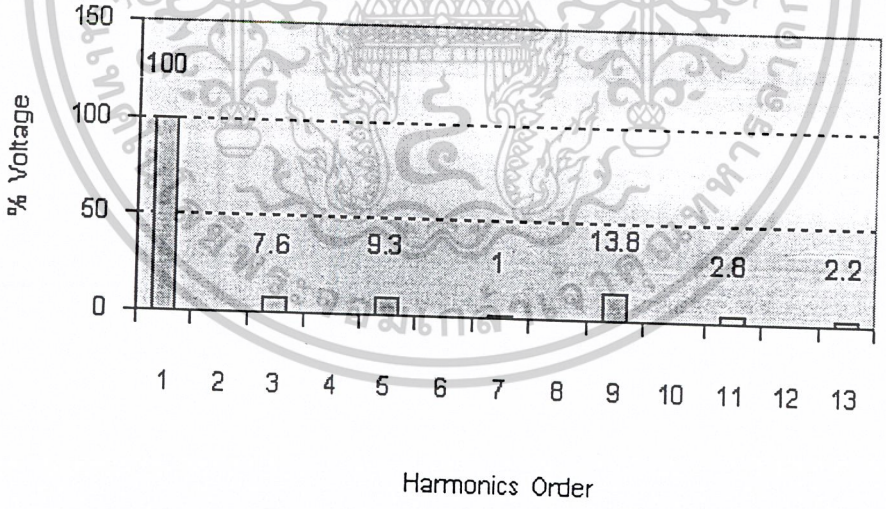
รูปที่ 6.46 แสดงฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลองที่ M.I. เท่ากับ 0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIMULATION



รูปที่ 6.47 แสดงแรงดันที่ได้จากการจำลองใน MATLAB ที่ M.I. เท่ากับ 0.7



รูปที่ 6.48 แสดงฮาร์มอนิกส์ของแรงดันจากการจำลองที่ M.I. เท่ากับ 0.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการสร้างแรงดันจากชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับที่ค่า Modulation Index และนำสัญญาณแรงดันดังกล่าวมาศึกษาคุณภาพของสัญญาณโดยศึกษาจากค่าฮาร์มอนิกส์และค่า THD ได้ดังตารางที่ 6.2 และทำการเปรียบเทียบกับการจำลองสร้างแรงดันโดยใช้โปรแกรม MATLAB ดังตารางที่ 6.3

ตารางที่ 6.2 แสดงค่าฮาร์มอนิกส์ของแรงดันที่ได้จากชุดทดลอง

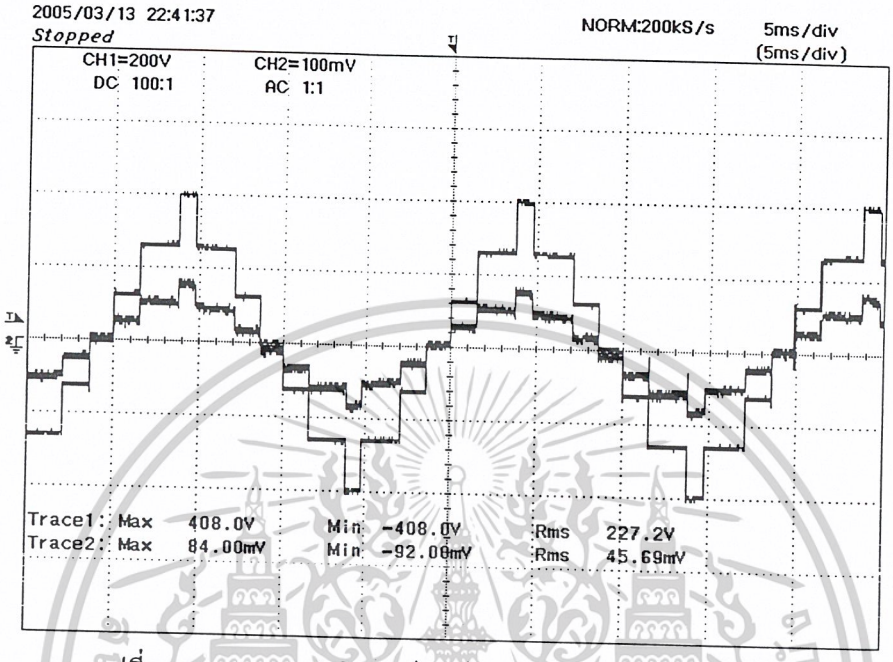
M.I.	h1	h3	h5	h7	h9	h11	h13	%THD
0.70	311.95	9.31	5.54	14.96	1.37	35.72	14.61	17.00
0.75	331.38	8.60	0.76	2.75	24.44	33.65	14.52	18.29
0.80	353.99	11.73	9.32	20.82	35.65	25.02	12.40	18.63
0.85	373.18	15.54	18.35	30.45	30.58	5.71	18.77	17.81
0.90	393.68	18.69	22.27	26.56	11.30	18.09	24.01	16.20
0.95	413.24	18.39	17.51	12.25	10.38	27.07	9.86	14.04
1.00	434.22	12.93	4.817	4.48	19.26	13.25	14.35	11.89

ตารางที่ 6.3 แสดงการเปรียบเทียบการสร้างแรงดันจากการทดลองกับการ SIMULATION ในโปรแกรม SIMULINK

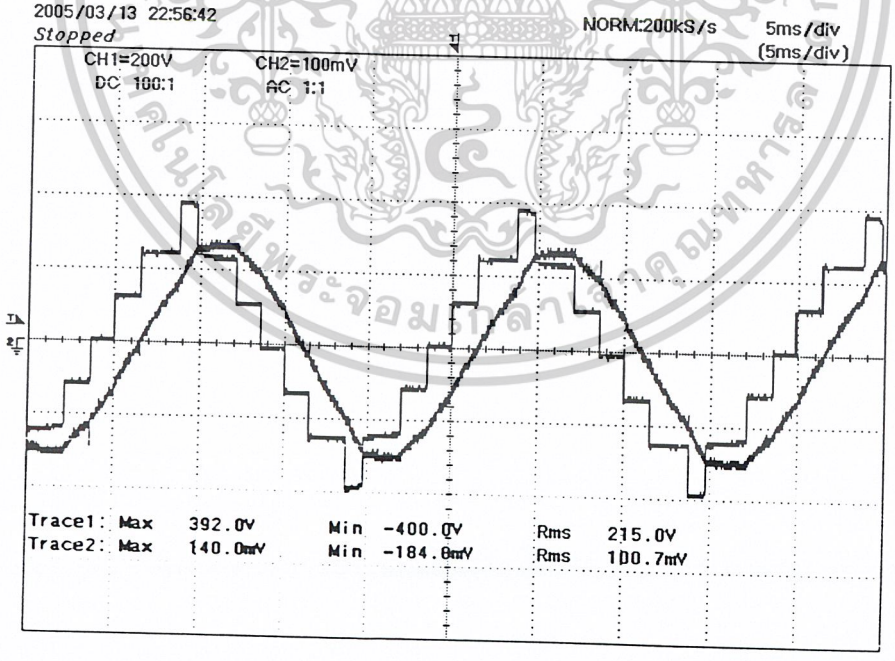
M.I.	แรงดันอินเวอร์เตอร์		% THD v	
	Experiment	Simulation	Experiment	Simulation
0.70	224.40	230.66	17.00	17.53
0.75	238.90	246.67	18.29	18.23
0.80	254.80	262.81	18.63	18.22
0.85	270.20	278.63	17.81	17.38
0.90	284.70	294.34	16.20	15.79
0.95	298.90	309.20	14.04	13.86
1.00	313.10	323.94	11.89	12.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสามารถสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับและสามารถปรับค่าแรงดันจากอินเวอร์เตอร์ได้ตามต้องการในช่วง 220 ถึง 313 โวลต์แล้วจะนำอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับไปทดสอบจ่ายกระแสให้กับภาระไฟฟ้าค่าต่างๆ ซึ่งได้ผลดังรูปที่ 6.49 แสดงการนำอินเวอร์เตอร์จ่ายให้กับภาระไฟฟ้าที่เป็นตัวต้านทานและรูปที่ 6.50 แสดงการจ่ายภาระไฟฟ้าที่เป็นตัวต้านทานกับตัวเหนี่ยวนำ



รูปที่ 6.49 แสดงการนำอินเวอร์เตอร์จ่ายภาระไฟฟ้าชนิดตัวต้านทาน



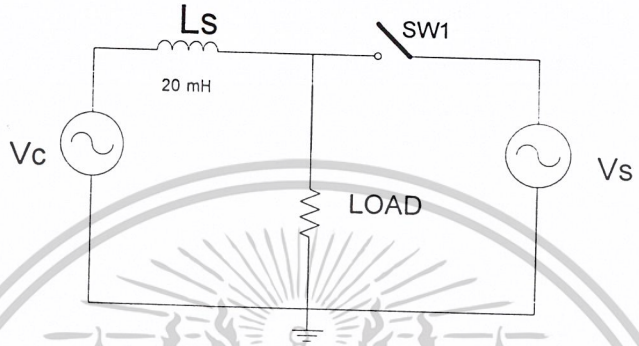
รูปที่ 6.50 แสดงการนำอินเวอร์เตอร์จ่ายภาระไฟฟ้าชนิดตัวต้านทานกับตัวเหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.10 การเชื่อมต่ออินเวอร์เตอร์ชนิดคาสเคดกับระบบไฟฟ้า

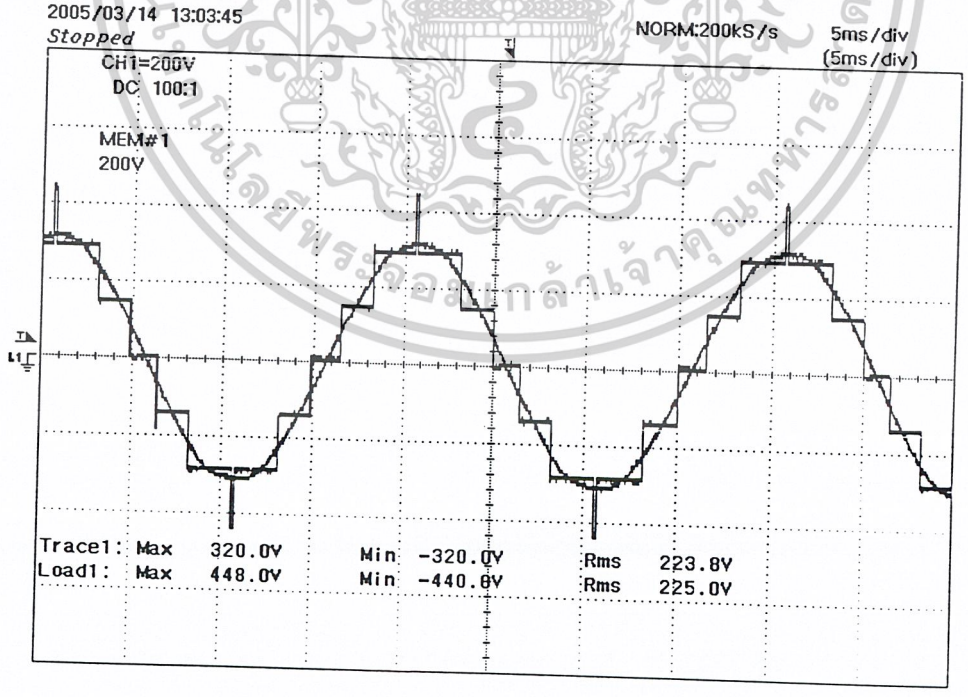
การชดเชยกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เตอร์ชนิดคาสเคดนั้นจะต่อในลักษณะขนานเข้ากับระบบไฟฟ้าและจะมีค่าตัวเหนี่ยวนำเป็นตัวเชื่อมต่อกับระบบไฟฟ้าเพื่อสร้างกระแสไฟฟ้ารีแอคทีฟซึ่งการชดเชยจะสามารถทำได้โดย

1. สร้างแรงดันจากอินเวอร์เตอร์จ่ายภาระไฟฟ้าโดยที่ สวิตช์ S1 เปิดอยู่ดังรูปที่ 6.51 และปรับค่าแรงดันของอินเวอร์เตอร์ให้มีค่าแรงดันเท่ากับระบบไฟฟ้าก่อนการชดเชย



รูปที่ 6.51 แสดงการต่อวงจรก่อนการต่อกับระบบไฟฟ้า

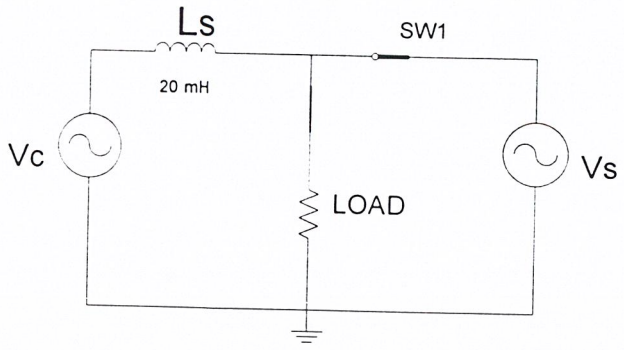
2. เมื่อปรับแรงดันที่อินเวอร์เตอร์ให้มีค่าเท่ากับแรงดันของระบบ แล้วต้องตรวจสอบเฟสของแรงดันอินเวอร์เตอร์และของระบบที่จะชดเชยว่าต้องมีเฟสที่ตรงกันดังรูปที่ 6.52



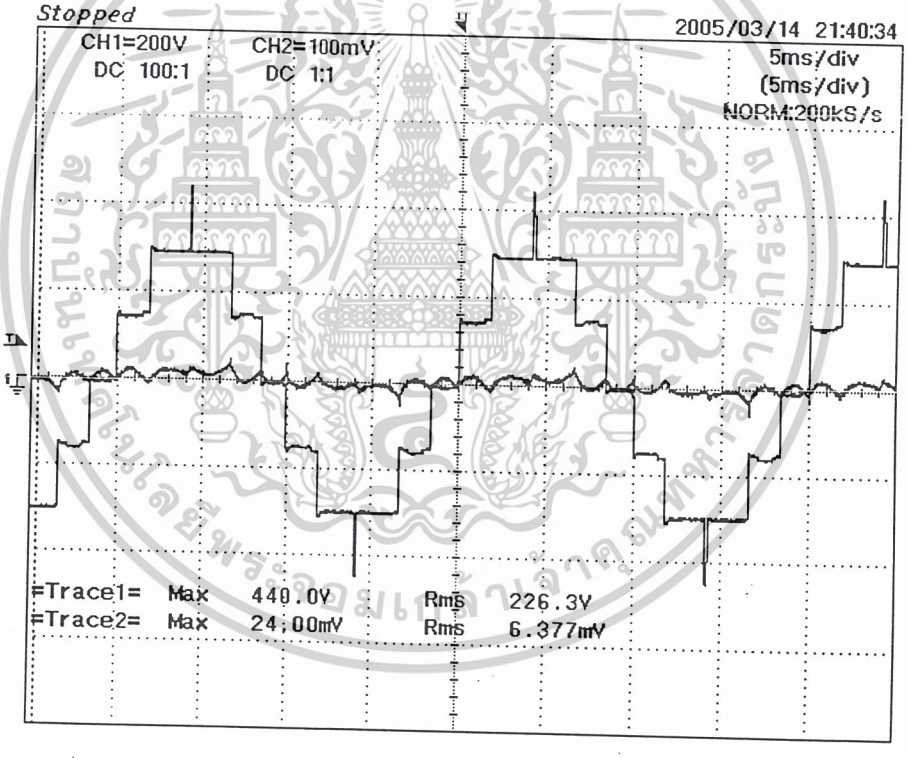
รูปที่ 6.52 แสดงการตรวจจับเฟสของแรงดันอินเวอร์เตอร์ก่อนการเชื่อมต่อกับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ปิดสวิตช์ S1 ตอนนี้ระบบทำการเชื่อมต่อกับระบบเรียบร้อยแล้วดังรูปที่ 6.3 และมีค่ากระแสไฟฟ้าที่ไหลหลังจากปิดสวิตช์ S1 ดังรูปที่ 6. 4



รูปที่ 6.53 แสดงการต่อวงจรขณะเชื่อมต่อกับระบบไฟฟ้า



รูปที่ 6.54 แสดงสัญญาณของกระแสขณะเชื่อมต่อกับระบบที่แรงดันเท่ากัน

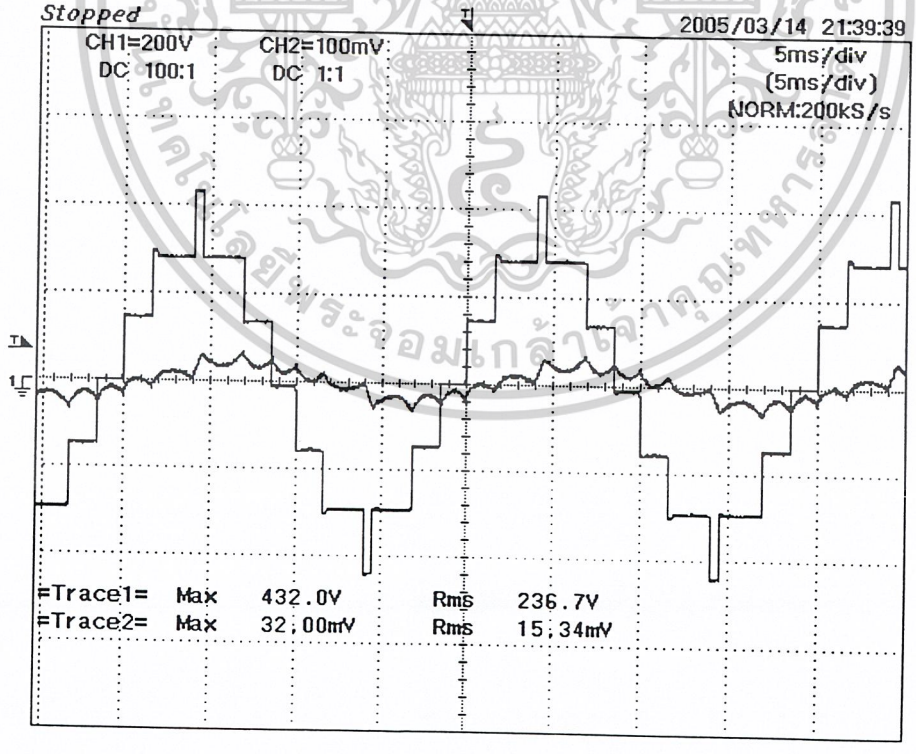
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เริ่มปรับแรงดันของอินเวอร์เตอร์ขึ้นตามค่า Modulation Index ต่างๆและเก็บค่าของกระแสไฟฟ้าที่จะชดเชยให้กับระบบไฟฟ้าดังตารางที่ 6.4

ตารางที่ 6.4 แสดงค่ากระแสรีแอคทีฟที่จ่ายให้กับระบบ

M.I	LED	Ic
0.70	00001	0.63
0.75	00110	1.53
0.80	01011	2.91
0.85	10000	4.69
0.90	10101	6.32
0.95	10110	7.95

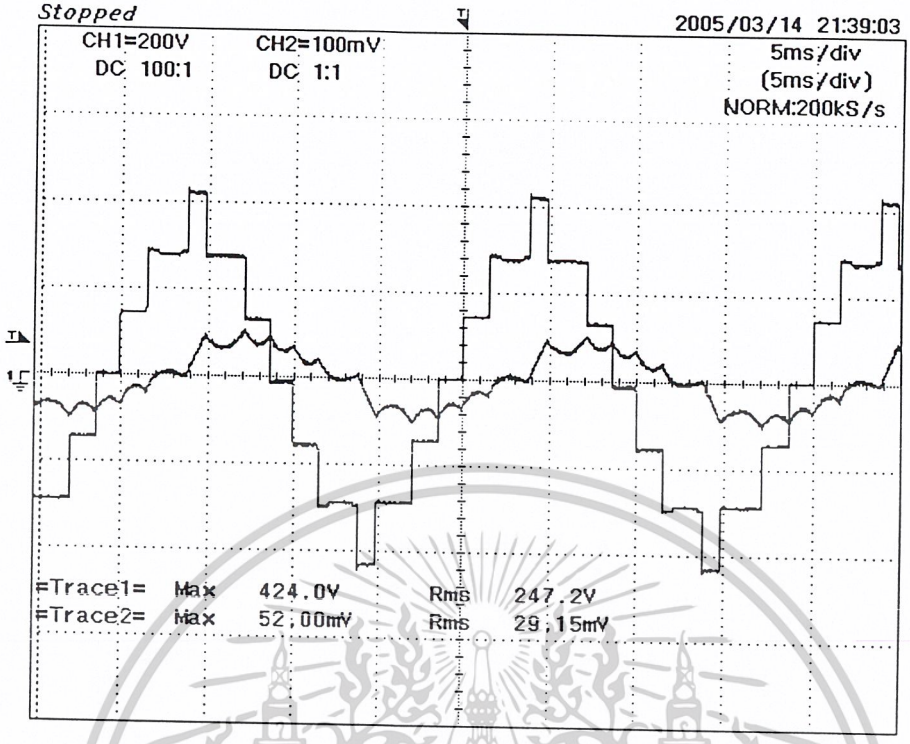
6.11 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.75



รูปที่ 6.55 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.75

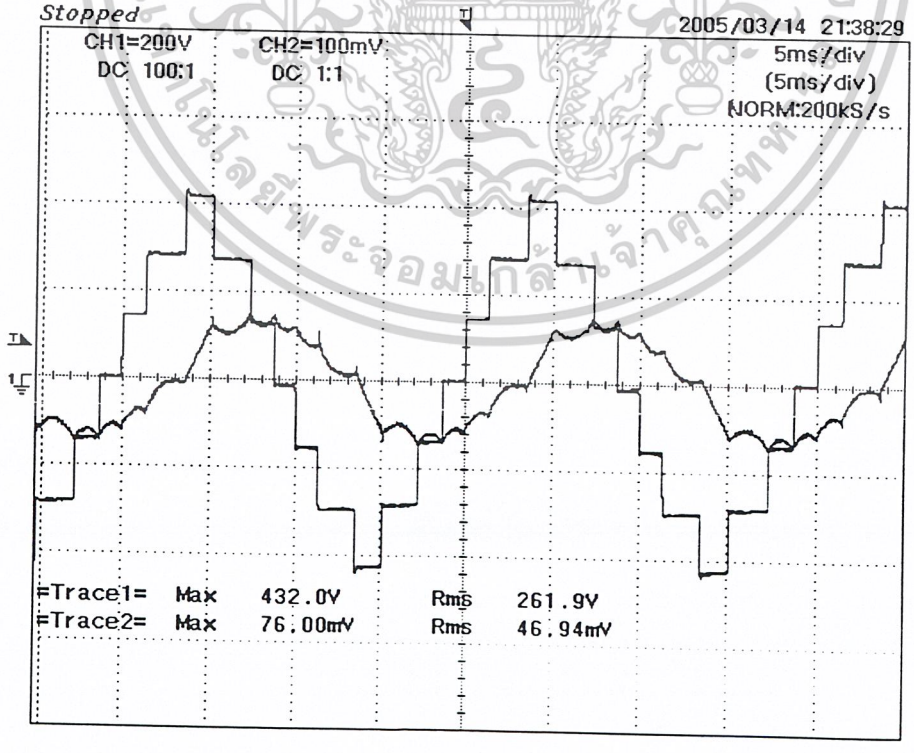
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.12 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.8



รูปที่ 6.56 การสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.8

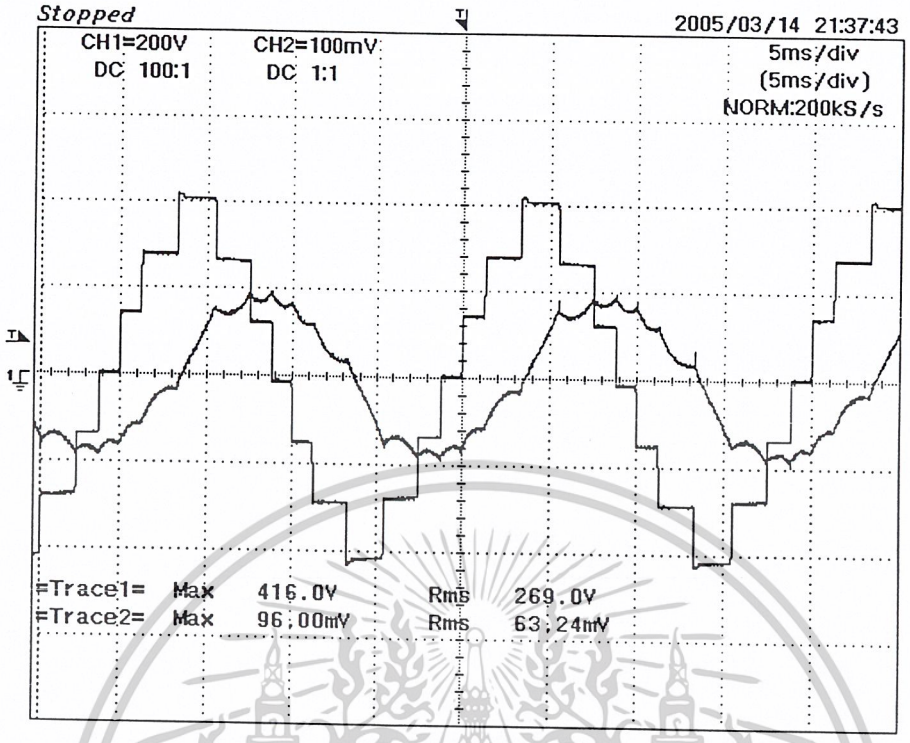
6.13 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.85



รูปที่ 6.57 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.85

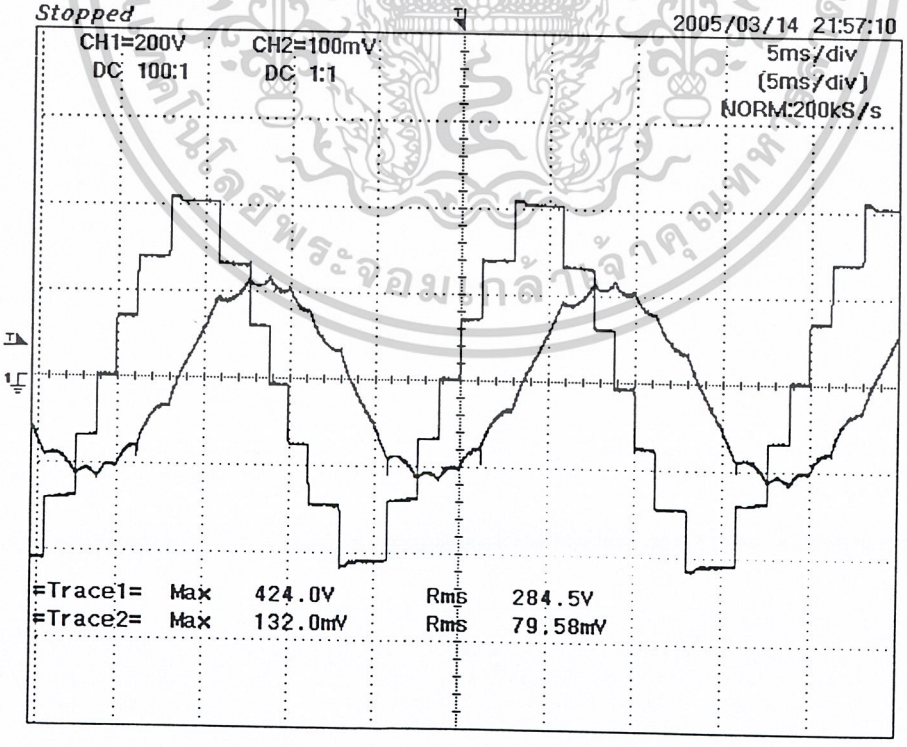
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.14 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.9



รูปที่ 6.58 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.9

6.15 ผลการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.95



รูปที่ 6.59 แสดงการสร้างกระแสรีแอคทีฟที่ Modulation Index เท่ากับ 0.95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทวิจารณ์และบทสรุป

ปริญญานิพนธ์นี้เป็นการศึกษาเบื้องต้นและออกแบบวงจรการชดเชยกำลังไฟฟ้ารีแอกทีฟให้กับระบบไฟฟ้าโดยใช้อินเวอร์เตอร์หลายระดับชนิดคาสเคด ซึ่งจะจำลองและออกแบบโดยโปรแกรม MATLAB ภาระไฟฟ้าที่นำมาจำลองจะใช้ที่ค่าต่างๆกันตามความเหมาะสมเพื่อให้เห็นลักษณะของการชดเชยกำลังไฟฟ้ารีแอกทีฟว่าค่าตัวประกอบกำลังไฟฟ้าของระบบมีค่าสูงขึ้นและผลการทดลองแสดงให้เห็นว่ารูปสัญญาณของแรงดันไฟฟ้าและกระแสไฟฟ้ามีเฟสที่ค่อนข้างตรงกันหลังจากชดเชยกำลังไฟฟ้ารีแอกทีฟเข้ากับระบบ

สำหรับปัญหาที่เกิดขึ้นจากการออกแบบและการทดลองคือ

- รูปสัญญาณของกระแสของระบบที่ได้จากการชดเชยยังมีค่าของฮาร์มอนิกส์ปนอยู่บ้างพอสมควร

รวมถึงการสร้างชุดอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับ เพื่อเป็นตัวสร้างแรงดันและสามารถปรับแรงดันได้ตามต้องการเพื่อใช้ในการสร้างกำลังไฟฟ้ารีแอคทีฟ

สำหรับผลการชดเชยกำลังไฟฟ้ารีแอกทีฟนั้นยังชดเชยกระแสไฟฟ้ารีแอกทีฟได้ค่อนข้างน้อยอยู่ เพราะเมื่อเพิ่มค่าของ Modulation Index ให้สูงขึ้นเพื่อให้แรงดันของอินเวอร์เตอร์สูงขึ้น ค่าของแรงดันกระแสตรงที่คร่อมตัวเก็บประจุจะมีค่าตกลงมา ทำให้ค่าแรงดันที่ตกคร่อมตัวเหนี่ยวนำเพิ่มขึ้นไม่เป็นไปตามต้องการส่งผลถึงค่ากระแสไฟฟ้ารีแอกทีฟที่จะจ่ายเข้าไปชดเชยด้วย

แนวทางในการพัฒนาหัวข้อปริญญานิพนธ์

ชุดสร้างแรงดันจากอินเวอร์เตอร์ชนิดคาสเคด 7 ระดับนี้ยังมีค่าของฮาร์มอนิกส์ปนอยู่ ดังนั้นในการปรับปรุงคือการลดค่าของฮาร์มอนิกส์ลง ซึ่งสามารถทำได้จากการเพิ่มจำนวนชั้นของอินเวอร์เตอร์ขึ้นจาก 3 ชั้น ซึ่งจะสร้างแรงดันได้ 7 ระดับ เป็น 4 ชั้นซึ่งจะเพิ่มจำนวนระดับเป็น 9 ระดับ หรือเพิ่มจำนวนชั้นเป็น 5 ชั้น ซึ่งจะสร้างแรงดันได้ 11 ระดับ ในขอบเขตที่ระดับแรงดันที่สร้างออกมามีค่าเท่ากัน อินเวอร์เตอร์ที่จำนวนชั้นหรือระดับแรงดันมากกว่าจะมีรูปร่างของสัญญาณที่คล้ายกับสัญญาณไซน์มากขึ้น ซึ่งจะส่งผลให้ค่าของฮาร์มอนิกส์ที่เกิดในระบบลดลงด้วยและยังสามารถที่จะปรับการควบคุมที่เป็นเชิงเส้นมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

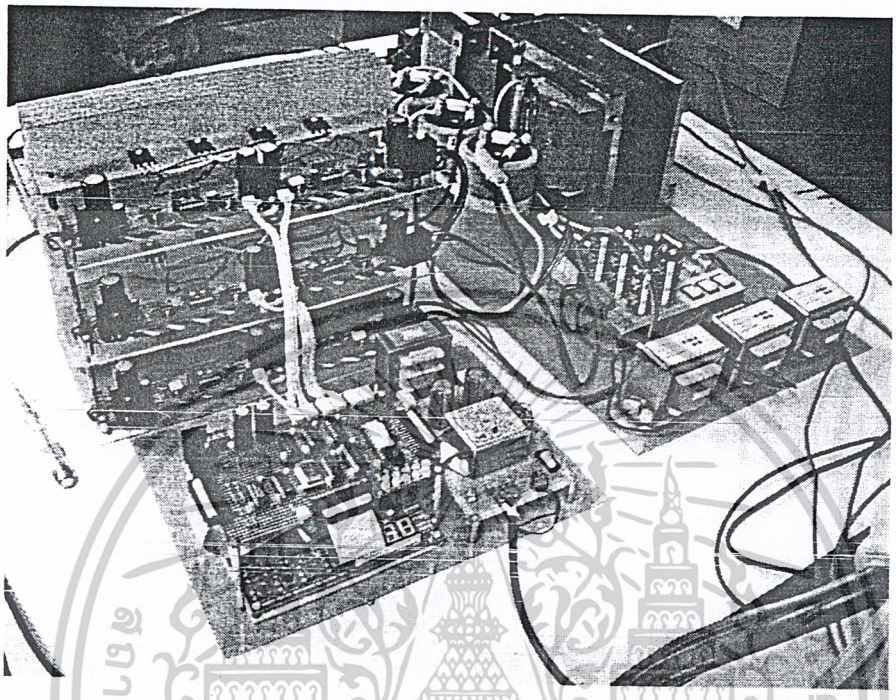
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

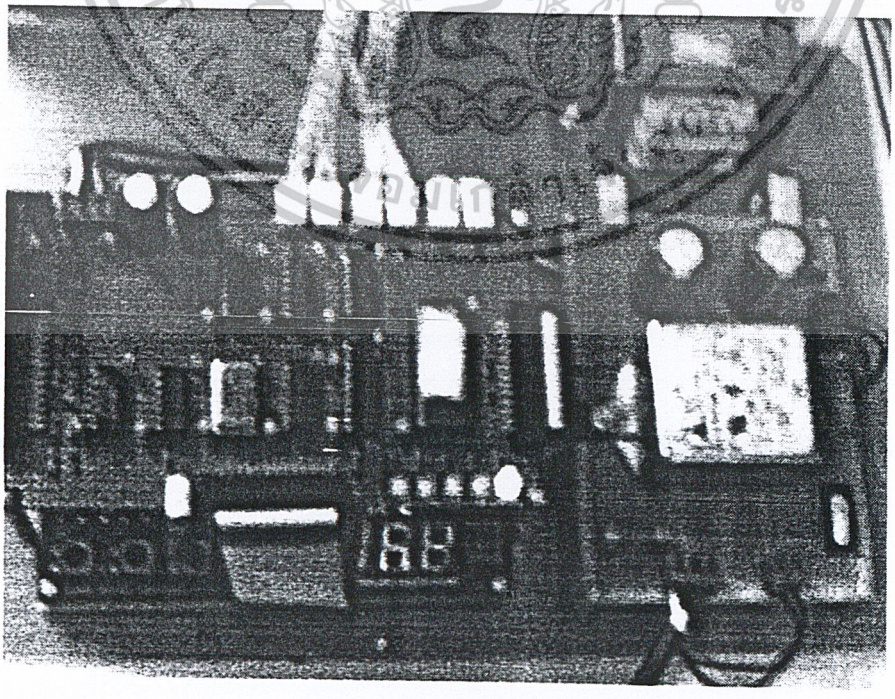
วงจรและอุปกรณ์ที่ใช้ในการทดลอง

I. รูปวงจรต่างๆที่ใช้ในการทดลอง

- ชุดทดลองอินเวอร์เตอร์ 7 ระดับชนิดคาสเคด

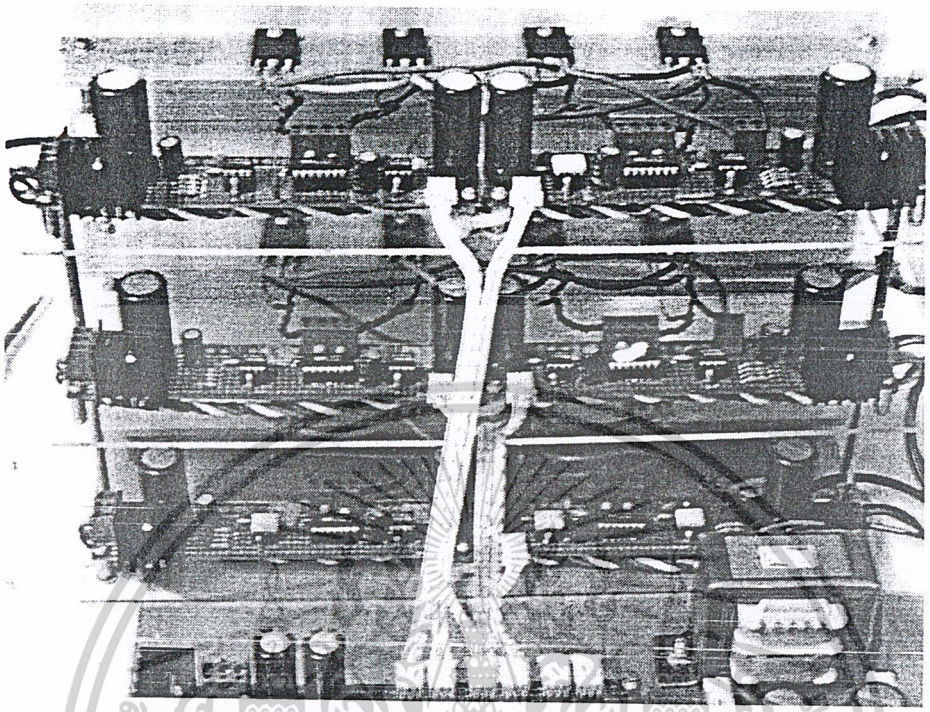


- ชุดสร้างสัญญาณในการทริกเกท

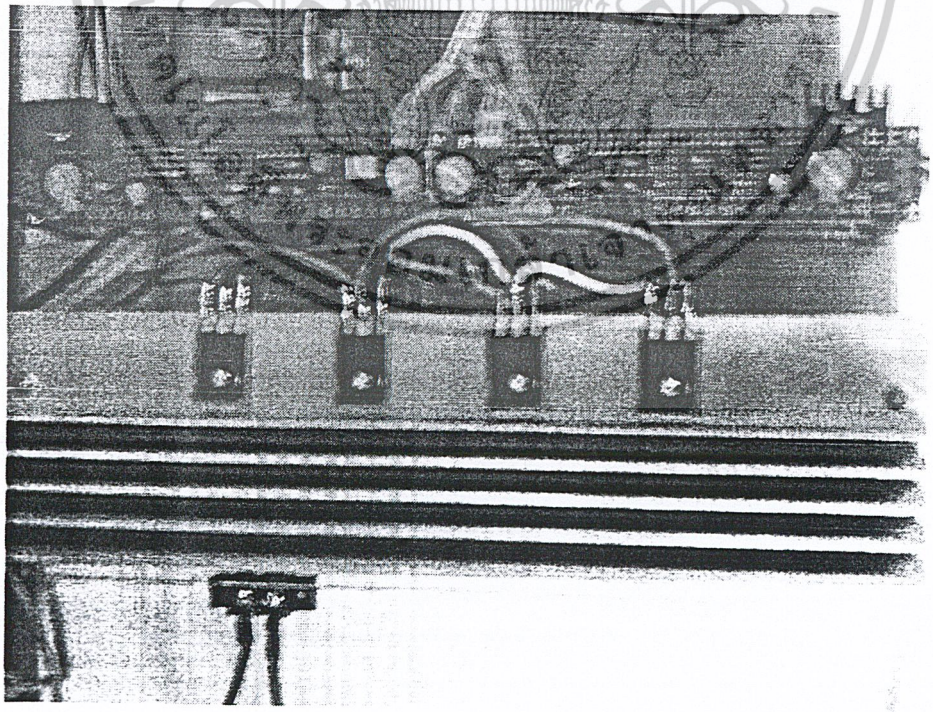


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ชุดควบคุมการทริกเกทของอินเวอร์เตอร์ทั้ง 3 ชั้น

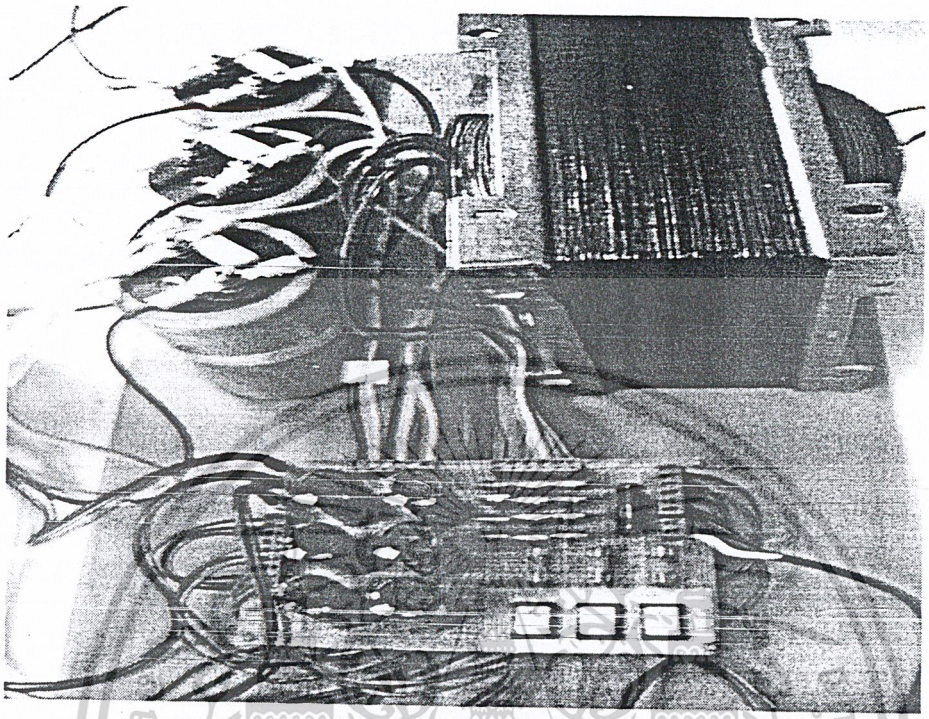


- การเชื่อมต่อของ Full-bridge IGBT ในแต่ละชั้น

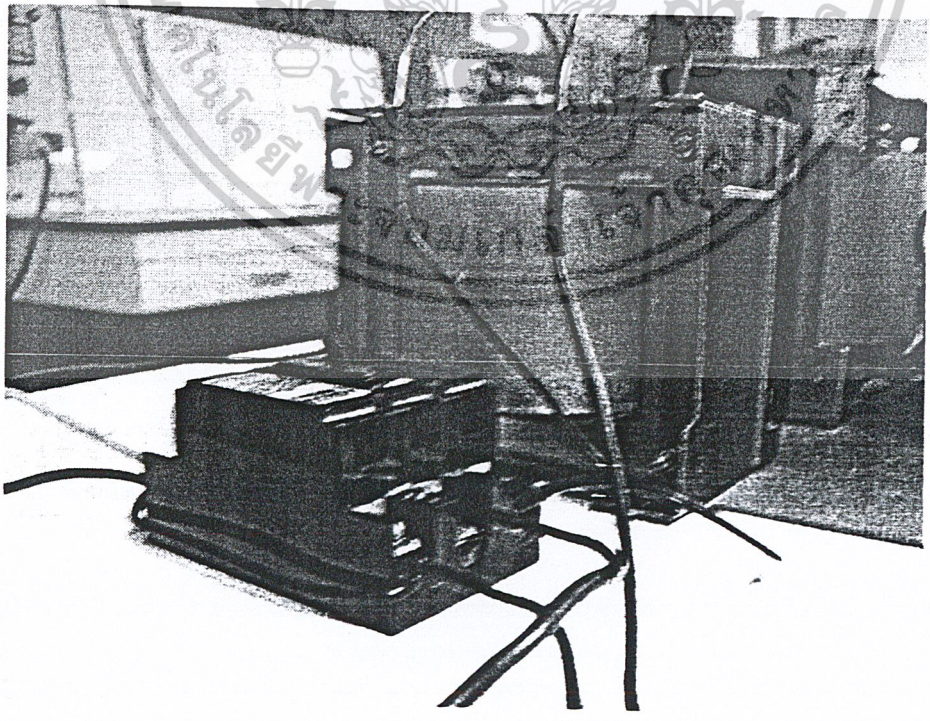


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ชุดกำเนิดการเชื่อมต่อกระแสตรง (DC link) ของ Full-bridge IGBT



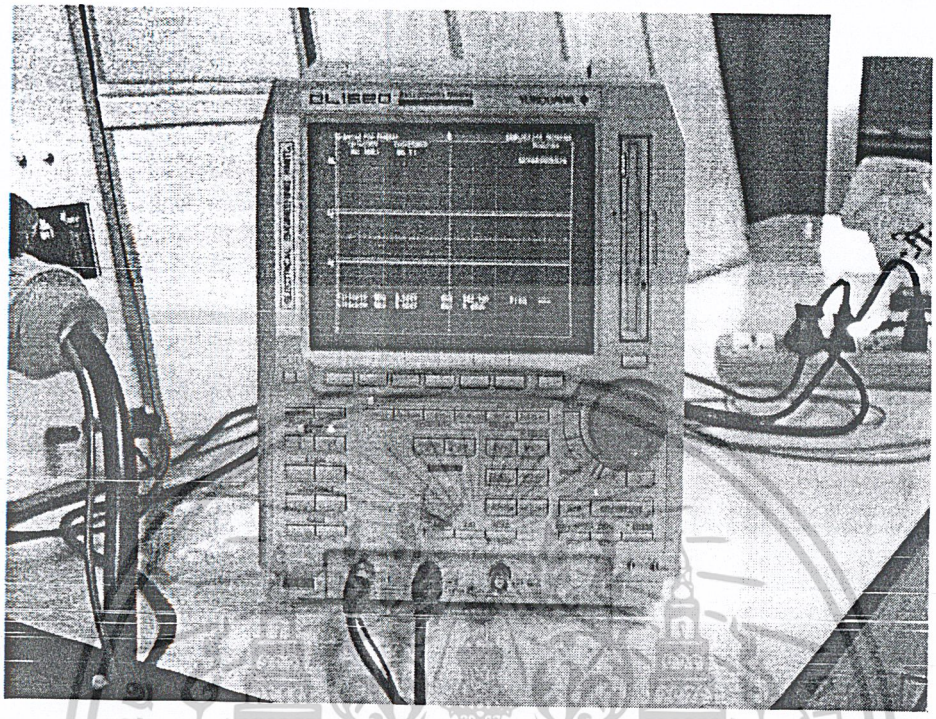
- ตัวเหนี่ยวนำและเบรคเกอร์ที่ใช้ในการเชื่อมต่อเข้ากับระบบ



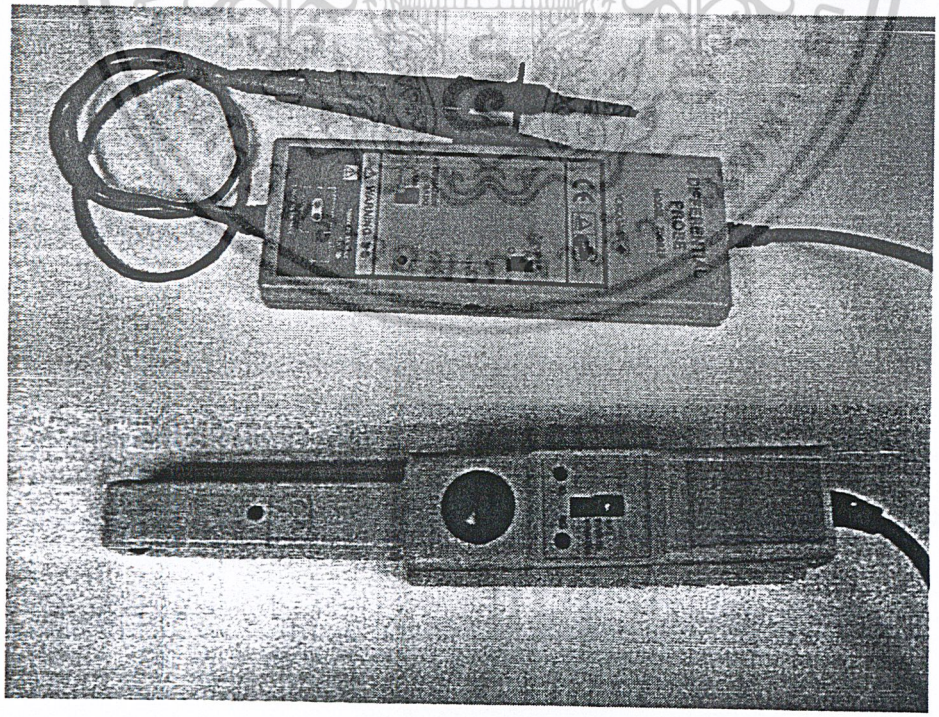
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

II. อุปกรณ์ที่ใช้ในการทดลอง

- Scope...



- Differential probe & Clip amp



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมคำนวณมุมนำกระแสของอินเวอร์เตอร์แบบคาสเคด

% calculate switching angle by equal-area criteria of 7 level cascade inverter

```
% switching angle by equal-area criteria
clear;
mm=0;
for ma=0.1:0.01:1.00
        mm=mm+1;
        nstep=ceil(ma*3);
        vstep=0:1/3:nstep/3;
        x01=asin((1/ma)*vstep´);
        x01(nstep+1)=pi/2;
        x(:,mm)=ones(3,1)*pi/1.99;
          for nn=1:nstep
                x(nn,mm)=3*(nn*x01(nn+1)/3-(nn-1)*x01(nn)/3+
                        ma*cos(x01(nn+1))-ma*cos(x01(nn)));
          end
end
```

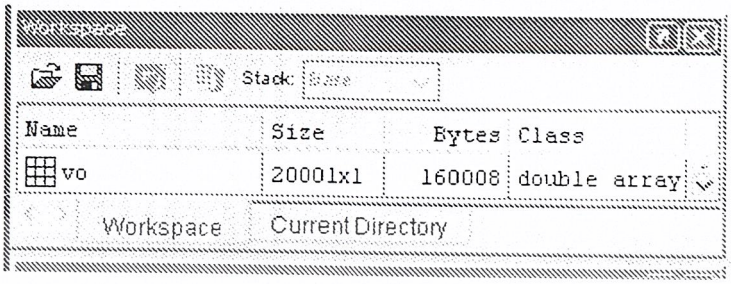
- ต่อ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
x=x';
G1au=zeros(1440,91);
G1bu=zeros(1440,91);
G2au=zeros(1440,91);
G2bu=zeros(1440,91);
G3au=zeros(1440,91);
G3bu=zeros(1440,91);

mm=0;
for ma=0.1:0.01:1.00
    mm=mm+1;
    nn1=x(mm,1)*360/(pi/2);
    nn2=x(mm,2)*360/(pi/2);
    nn3=x(mm,3)*360/(pi/2);

    G1au(nn1:720-nn1,mm)=1;
    G1bu(720+nn1:1440-nn1,mm)=1;
    G2au(nn2:720-nn2,mm)=1;
    G2bu(720+nn2:1440-nn2,mm)=1;
    G3au(nn3:720-nn3,mm)=1;
    G3bu(720+nn3:1440-nn3,mm)=1;

end
save table_sw_ang G1au G1bu G2au G2bu G3au G3bu
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมคำนวณค่า RMS Voltage



Discreat time = 10^{-6} s

Time = 10^{-6} *(20001-1) = 20 ms (1 period)

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

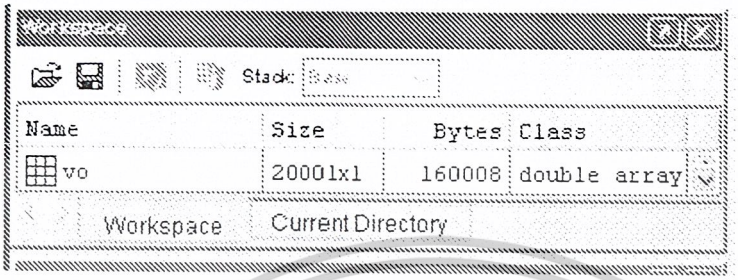
%%% rooot mean square voltage of multilevel inverter %%%

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```
% rms voltage
clear;
v = 0;
for i=1:20001;
    v=v+vo(i)^2;
end
v1=v/20001;
Vrms=sqrt(v1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมคำนวณค่า RMS Current



Discreat time = 10^{-6} s

Time = 10^{-6} *(200001-1) = 200 ms (10 period)

current is steady state from 6th period but calculate at 10th period)

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

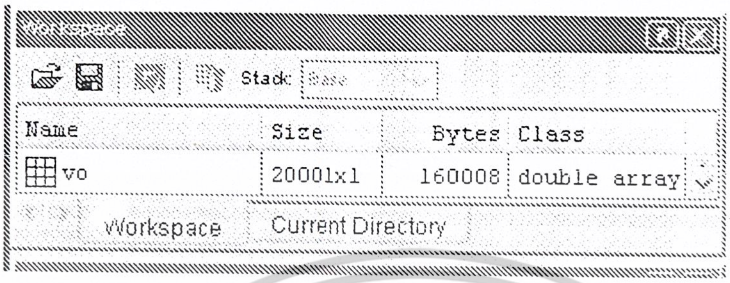
%% rooot mean square current from multilevel inverter %%

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```
% rms current
clear;
for i = 1:20001;
    I(i) = io(180000 +i);
end
I1 = 0;
for i=1:20001;
    I1=I1+I(i)^2;
end
I2=I1/20001;
Irms=sqrt(I2);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมคำนวณค่า THD



Discreat time = 10^{-6} s

Time = 10^{-6} *(20001-1) = 20 ms (1 period)

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%% harmomics & THD of multilevel inverter voltage %%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

    % harmonics order n
    clear;
    v = abs(fft(vo/10000.5));
    i=1: 50;
    bar (i,v(i+1));
    %total harmonics distortion to order 100
    vv=0;
    for j= 1:98;
        vv = vv+v(j+2)^2;
    end
    v_2= sqrt(vv);
    v_1= v(2);
    THDV = (v_2/v_1)*100;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M27C512

512 Kbit (64Kb x8) UV EPROM and OTP EPROM

- 5V ± 10% SUPPLY VOLTAGE in READ OPERATION
- ACCESS TIME: 45ns
- LOW POWER "CMOS" CONSUMPTION:
  - Active Current 30mA
  - Standby Current 100µA
- PROGRAMMING VOLTAGE: 12.75V ± 0.25V
- PROGRAMMING TIMES of AROUND 6sec.
- ELECTRONIC SIGNATURE
  - Manufacturer Code: 20h
  - Device Code: 3Dh

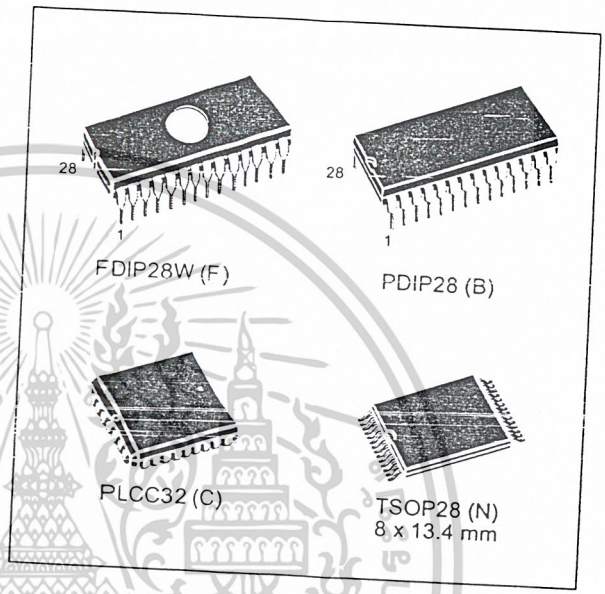
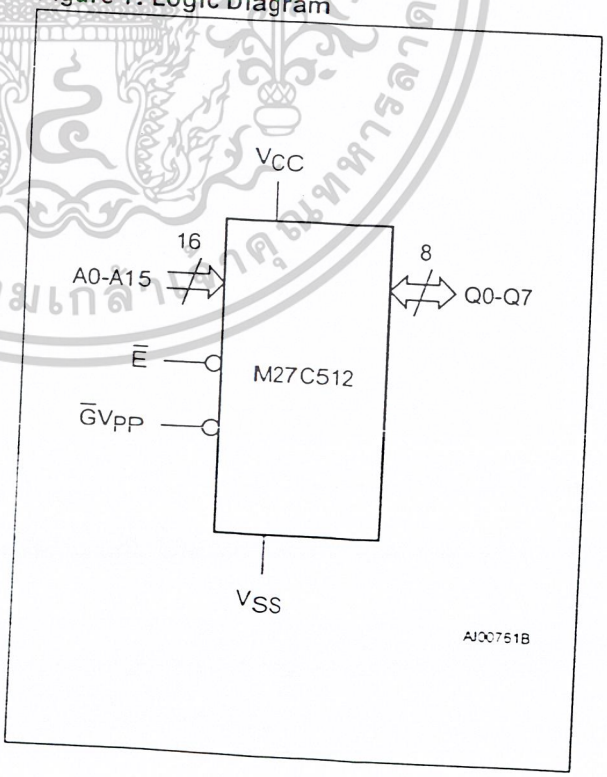


Figure 1. Logic Diagram



DESCRIPTION

The M27C512 is a 512 Kbit EPROM offered in the two ranges UV (ultra violet erase) and OTP (one time programmable). It is ideally suited for applications where fast turn-around and pattern experimentation are important requirements and is organized as 65,536 by 8 bits.

The FDIP28W (window ceramic frit-seal package) has transparent lid which allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

For applications where the content is programmed only one time and erasure is not required, the M27C512 is offered in PDIP28, PLCC32 and TSOP28 (8 x 13.4 mm) packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2A. DIP Connections

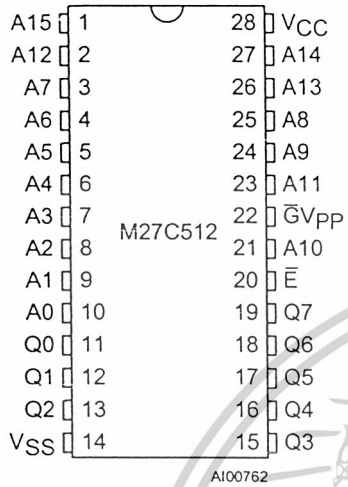


Figure 2B. LCC Connections

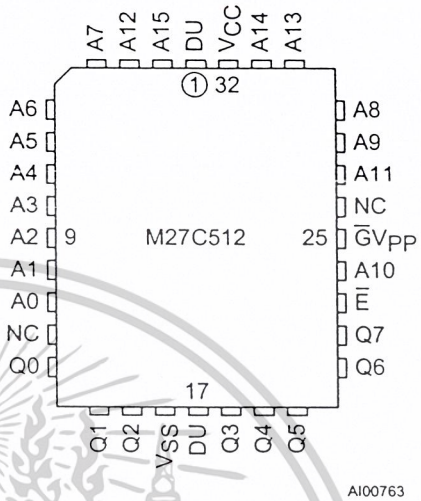


Figure 2C. TSOP Connections

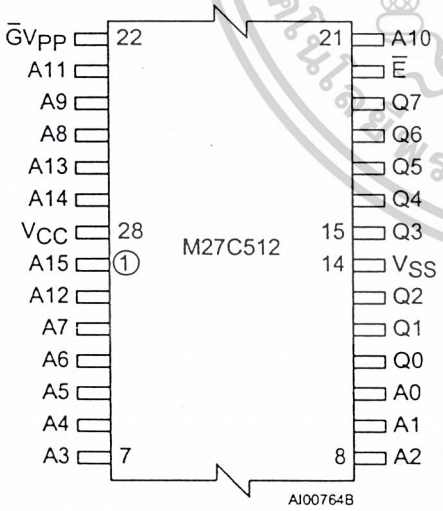


Table 1. Signal Names

A0-A15	Address Inputs
Q0-Q7	Data Outputs
$\overline{E}$	Chip Enable
$\overline{G}V_{PP}$	Output Enable / Program Supply
V_{CC}	Supply Voltage
V_{SS}	Ground
NC	Not Connected Internally
DU	Don't Use

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Absolute Maximum Ratings (1)

Symbol	Parameter	Value	Unit
T_A	Ambient Operating Temperature (3)	–40 to 125	°C
T_{BIAS}	Temperature Under Bias	–50 to 125	°C
T_{STG}	Storage Temperature	–65 to 150	°C
V_{IO} (2)	Input or Output Voltage (except A9)	–2 to 7	V
V_{CC}	Supply Voltage	–2 to 7	V
V_{A9} (2)	A9 Voltage	–2 to 13.5	V
V_{PP}	Program Supply Voltage	–2 to 14	V

Note: 1. Except for the rating "Operating Temperature Range", stresses above those listed in the Table "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those indicated in the Operating sections of this specification is not implied. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability. Refer also to the STMicroelectronics SURE Program and other relevant quality documents.
2. Minimum DC voltage on Input or Output is –0.5V with possible undershoot to –2.0V for a period less than 20ns. Maximum DC voltage on Output is V_{CC} +0.5V with possible overshoot to V_{CC} +2V for a period less than 20ns.
3. Depends on range.

Table 3. Operating Modes

Mode	$\overline{E}$	$\overline{G}V_{PP}$	A9	Q7-Q0
Read	V_{IL}	V_{IL}	X	Data Out
Output Disable	V_{IL}	V_{IH}	X	Hi-Z
Program	V_{IL} Pulse	V_{PP}	X	Data In
Program Inhibit	V_{IH}	V_{PP}	X	Hi-Z
Standby	V_{IH}	X	X	Hi-Z
Electronic Signature	V_{IL}	V_{IL}	V_{ID}	Codes

Note: X = V_{IH} or V_{IL}, V_{ID} = 12V ± 0.5V.

Table 4. Electronic Signature

Identifier	A0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Hex Data
Manufacturer's Code	V_{IL}	0	0	1	0	0	0	0	0	20h
Device Code	V_{IH}	0	0	1	1	1	1	0	1	3Dh

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 5. AC Measurement Conditions

	High Speed	Standard
Input Rise and Fall Times	≤ 10ns	≤ 20ns
Input Pulse Voltages	0 to 3V	0.4V to 2.4V
Input and Output Timing Ref. Voltages	1.5V	0.8V and 2V

Figure 3. Testing Input Output Waveform

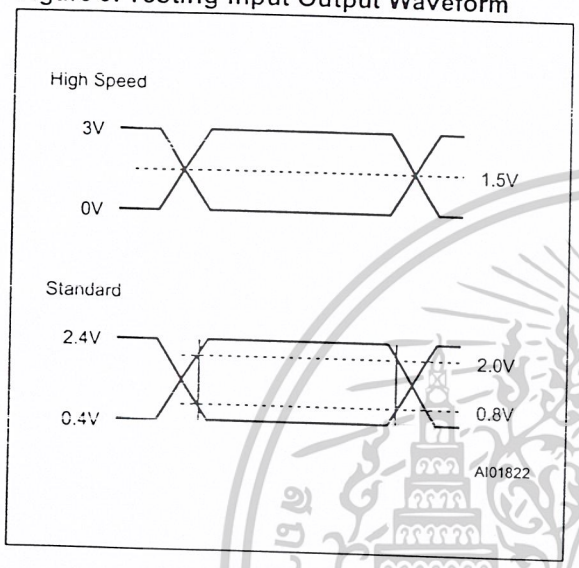


Figure 4. AC Testing Load Circuit

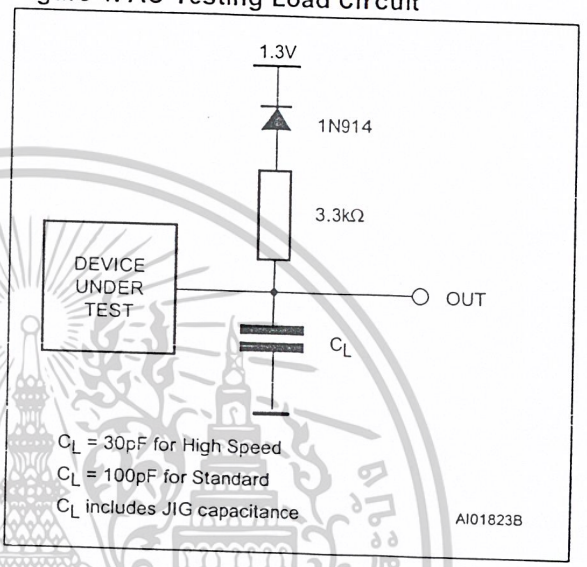


Table 6. Capacitance (1) (T_A = 25 °C, f = 1 MHz)

Symbol	Parameter	Test Condition	Min	Max	Unit
C_{IN}	Input Capacitance	V_{IN} = 0V		6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V		12	pF

Note: 1. Sampled only, not 100% tested.

DEVICE OPERATION

The modes of operations of the M27C512 are listed in the Operating Modes table. A single power supply is required in the read mode. All inputs are TTL levels except for GV_{PP} and 12V on A9 for Electronic Signature.

Read Mode

The M27C512 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{E}$) is the power control and should be used for device selection. Output Enable ($\overline{G}$) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that the addresses are stable, the address access time (t_{AVQV}) is equal to the delay from $\overline{E}$ to output (t_{ELQV}). Data is available at the output after a delay of t_{GLQV} from the falling edge of $\overline{G}$, assuming that $\overline{E}$ has been low and the addresses have been stable for at least t_{AVQV}-t_{GLQV}.

Standby Mode

The M27C512 has a standby mode which reduces the active current from 30mA to 100µA The M27C512 is placed in the standby mode by applying a CMOS high signal to the $\overline{E}$ input. When in the standby mode, the outputs are in a high impedance state, independent of the GV_{PP} input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 7. Read Mode DC Characteristics (1)
(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$0V \le V_{IN} \le V_{CC}$		±10	µA
I_{LO}	Output Leakage Current	$0V \le V_{OUT} \le V_{CC}$		±10	µA
I_{CC}	Supply Current	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$, I_{OUT} = 0mA, f = 5MHz		30	mA
I_{CC1}	Supply Current (Standby) TTL	$\overline{E} = V_{IH}$		1	mA
I_{CC2}	Supply Current (Standby) CMOS	$\overline{E} > V_{CC} - 0.2V$		100	µA
I_{PP}	Program Current	$V_{PP} = V_{CC}$		10	µA
V_{IL}	Input Low Voltage		–0.3	0.8	V
V_{IH} (2)	Input High Voltage		2	V_{CC} + 1	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage TTL	I_{OH} = –1mA	3.6		V
	Output High Voltage CMOS	I_{OH} = –100µA	V_{CC} – 0.7V		V

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Maximum DC voltage on Output is V_{CC} +0.5V.

Table 8A. Read Mode AC Characteristics (1)
(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Alt	Parameter	Test Condition	M27C512								Unit
				-45 (3)		-60		-70		-80		
				Min	Max	Min	Max	Min	Max	Min	Max	
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$		45		60		70		80	ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		45		60		70		80	ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		25		30		35		40	ns
t_{EHQZ} (2)	t_{DF}	Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$	0	25	0	25	0	30	0	30	ns
t_{GHQZ} (2)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$	0	25	0	25	0	30	0	30	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E} = V_{IL}$, $\overline{G} = V_{IL}$	0		0		0		0		ns

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Sampled only, not 100% tested.
3. Speed obtained with High Speed AC measurement conditions.

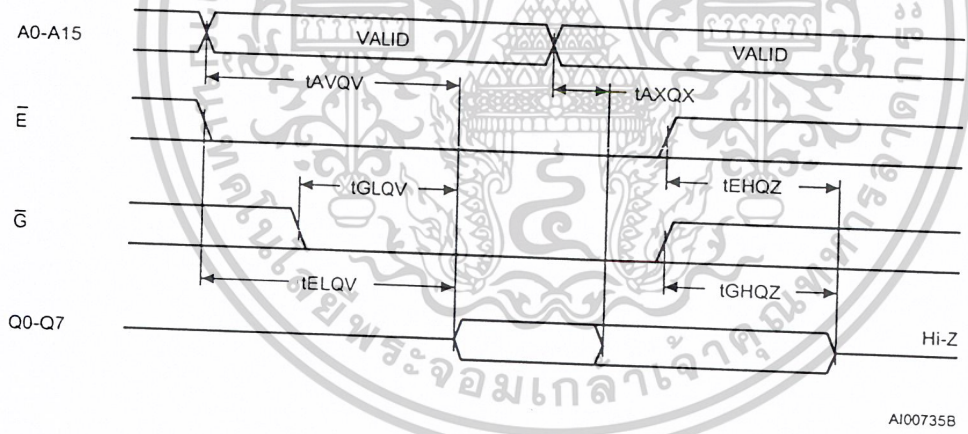
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 8B. Read Mode AC Characteristics (1)
(T_A = 0 to 70 °C, –40 to 85 °C or –40 to 125 °C; V_{CC} = 5V ± 5% or 5V ± 10%; V_{PP} = V_{CC})

Symbol	Alt	Parameter	Test Condition	M27C512								Unit
				-90		-10		-12		-15/-20/-25		
				Min	Max	Min	Max	Min	Max	Min	Max	
t_{AVQV}	t_{ACC}	Address Valid to Output Valid	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}		90		100		120		150	ns
t_{ELQV}	t_{CE}	Chip Enable Low to Output Valid	$\overline{G}$ = V_{IL}		90		100		120		150	ns
t_{GLQV}	t_{OE}	Output Enable Low to Output Valid	$\overline{E}$ = V_{IL}		40		40		50		60	ns
t_{EHQZ} (2)	t_{DF}	Chip Enable High to Output Hi-Z	$\overline{G}$ = V_{IL}	0	30	0	30	0	40	0	50	ns
t_{GHQZ} (2)	t_{DF}	Output Enable High to Output Hi-Z	$\overline{E}$ = V_{IL}	0	30	0	30	0	40	0	50	ns
t_{AXQX}	t_{OH}	Address Transition to Output Transition	$\overline{E}$ = V_{IL}, $\overline{G}$ = V_{IL}	0		0		0		0		ns

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Sampled only, not 100% tested.

Figure 5. Read Mode AC Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 9. Programming Mode DC Characteristics (1)
(T_A = 25 °C; V_{CC} = 6.25V ± 0.25V; V_{PP} = 12.75V ± 0.25V)

Symbol	Parameter	Test Condition	Min	Max	Unit
I_{LI}	Input Leakage Current	$V_{IL} \le V_{IN} \le V_{IH}$		±10	µA
I_{CC}	Supply Current			50	mA
I_{PP}	Program Current	$\overline{E} = V_{IL}$		50	mA
V_{IL}	Input Low Voltage		–0.3	0.8	V
V_{IH}	Input High Voltage		2	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA		0.4	V
V_{OH}	Output High Voltage TTL	I_{OH} = –1mA	3.6		V
V_{ID}	A9 Voltage		11.5	12.5	V

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, the product features a 2 line control function which accommodates the use of multiple memory connection. The two line control function allows:

a. the lowest possible memory power dissipation,

b. complete assurance that output bus contention will not occur.

For the most efficient use of these two control lines, $\overline{E}$ should be decoded and used as the primary device selecting function, while $\overline{G}$ should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This ensures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is required from a particular memory device.

System Considerations

The power switching characteristics of Advanced CMOS EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer: the standby current level, the active current level, and transient current peaks that are produced by the falling and rising edges of $\overline{E}$. The magnitude of the transient current peaks is dependent on the capacitive and inductive loading of the device at the output. The associated transient voltage peaks can be suppressed by complying with the two line output control and by properly selected decoupling capacitors. It is recommended that a 0.1µF ceramic capacitor be used on every device between V_{CC} and V_{SS}. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7µF bulk electrolytic capacitor should be used between V_{CC} and V_{SS} for every eight devices. The bulk capacitor should be located near the power supply connection point.The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of PCB traces.

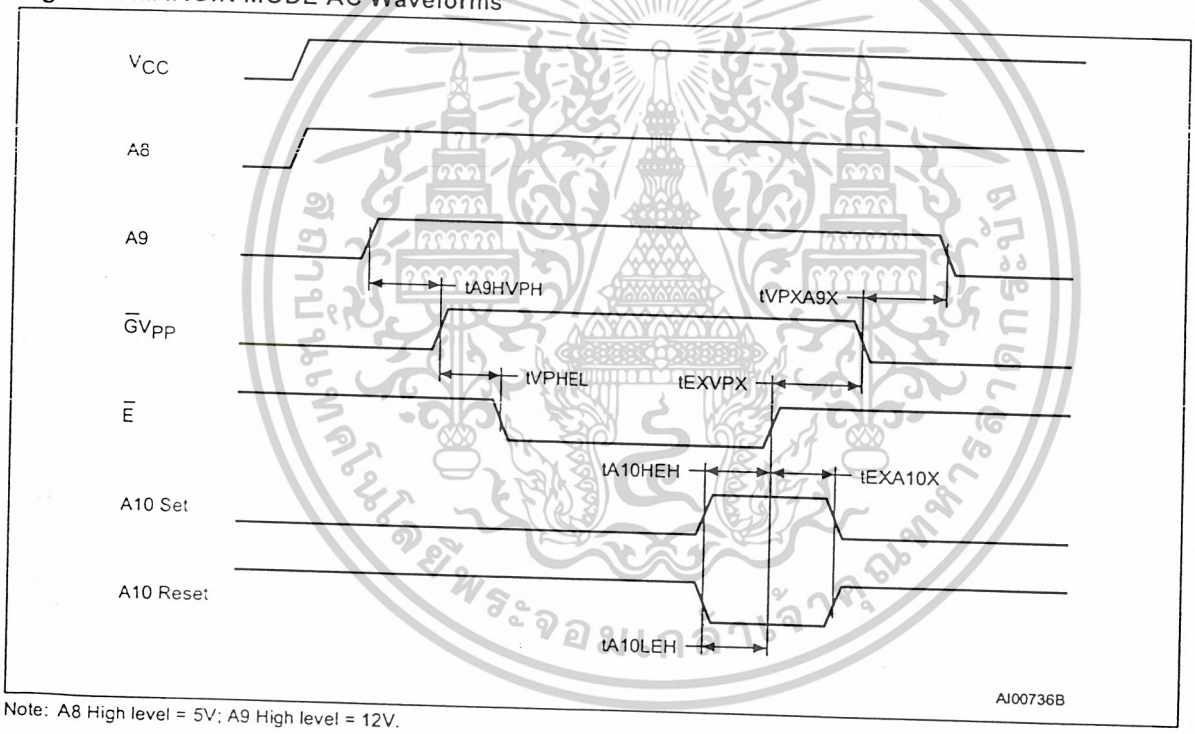
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 10. MARGIN MODE AC Characteristics (1)
(T_A = 25 °C; V_{CC} = 6.25V ± 0.25V; V_{PP} = 12.75V ± 0.25V)

Symbol	Alt	Parameter	Test Condition	Min	Max	Unit
t_{A9HVPH}	t_{AS9}	V_{A9} High to V_{PP} High		2		µs
t_{VPHEL}	t_{VPS}	V_{PP} High to Chip Enable Low		2		µs
t_{A10HEH}	t_{AS10}	V_{A10} High to Chip Enable High (Set)		1		µs
t_{A10LEH}	t_{AS10}	V_{A10} Low to Chip Enable High (Reset)		1		µs
t_{EXA10X}	t_{AH10}	Chip Enable Transition to V_{A10} Transition		1		µs
t_{EXVPX}	t_{VPH}	Chip Enable Transition to V_{PP} Transition		2		µs
t_{VPXA9X}	t_{AH9}	V_{PP} Transition to V_{A9} Transition		2		µs

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.

Figure 6. MARGIN MODE AC Waveforms



Note: A8 High level = 5V; A9 High level = 12V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 11. Programming Mode AC Characteristics (1)
(T_A = 25 °C; V_{CC} = 6.25V ± 0.25V; V_{PP} = 12.75V ± 0.25V)

Symbol	Alt	Parameter	Test Condition	Min	Max	Unit
t_{AVEL}	t_{AS}	Address Valid to Chip Enable Low		2		µs
t_{QVEL}	t_{DS}	Input Valid to Chip Enable Low		2		µs
t_{VCHEL}	t_{VCS}	V_{CC} High to Chip Enable Low		2		µs
t_{VPHEL}	t_{OES}	V_{PP} High to Chip Enable Low		2		µs
t_{VPLVPH}	t_{PRT}	V_{PP} Rise Time		50		ns
t_{ELEH}	t_{PW}	Chip Enable Program Pulse Width (Initial)		95	105	µs
t_{EHQX}	t_{DH}	Chip Enable High to Input Transition		2		µs
t_{EHVPX}	t_{OEH}	Chip Enable High to V_{PP} Transition		2		µs
t_{VPLEL}	t_{VR}	V_{PP} Low to Chip Enable Low		2		µs
t_{ELQV}	t_{DV}	Chip Enable Low to Output Valid			1	µs
t_{EHQZ} (2)	t_{DFP}	Chip Enable High to Output Hi-Z		0	130	ns
t_{EHAX}	t_{AH}	Chip Enable High to Address Transition		0		ns

Note: 1. V_{CC} must be applied simultaneously with or before V_{PP} and removed simultaneously or after V_{PP}.
2. Sampled only, not 100% tested.

Programming

When delivered (and after each erasure for UV EPROM), all bits of the M27C512 are in the '1' state. Data is introduced by selectively programming '0's into the desired bit locations. Although only '0's will be programmed, both '1's and '0's can be present in the data word. The only way to change a '0' to a '1' is by die exposure to ultraviolet light (UV EPROM). The M27C512 is in the programming mode when V_{PP} input is at 12.75V and $\overline{E}$ is pulsed to V_{IL}. The data to be programmed is applied to 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL. V_{CC} is specified to be 6.25V ± 0.25V. The M27C512 can use PRESTO IIB Programming Algorithm that drastically reduces the programming time (typically less than 6 seconds). Nevertheless to achieve compatibility with all programming equipments, PRESTO Programming Algorithm can be used as well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronic Signature

The Electronic Signature (ES) mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment to automatically match the device to be programmed with its corresponding programming algorithm. The ES mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the M27C512. To activate the ES mode, the programming equipment must force 11.5V to 12.5V on address line A9 of the M27C512. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during Electronic Signature mode. Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the STMicroelectronics M27C512, these two identifier bytes are given in Table 4 and can be read-out on outputs Q7 to Q0.

ERASURE OPERATION (applies for UV EPROM)

The erasure characteristics of the M27C512 is such that erasure begins when the cells are exposed to light with wavelengths shorter than approximately 4000 Å. It should be noted that sunlight and some type of fluorescent lamps have wavelengths in the 3000-4000 Å range.

Research shows that constant exposure to room level fluorescent lighting could erase a typical M27C512 in about 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the M27C512 is to be exposed to these types of lighting conditions for extended periods of time, it is suggested that opaque labels be put over the M27C512 window to prevent unintentional erasure. The recommended erasure procedure for the M27C512 is exposure to short wave ultraviolet light which has wavelength 2537 Å. The integrated dose (i.e. UV intensity x exposure time) for erasure should be a minimum of 15 W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 µW/cm^2 power rating. The M27C512 should be placed within 2.5 cm (1 inch) of the lamp tubes during the erasure. Some lamps have a filter on their tubes which should be removed before erasure.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7. Programming and Verify Modes AC Waveforms

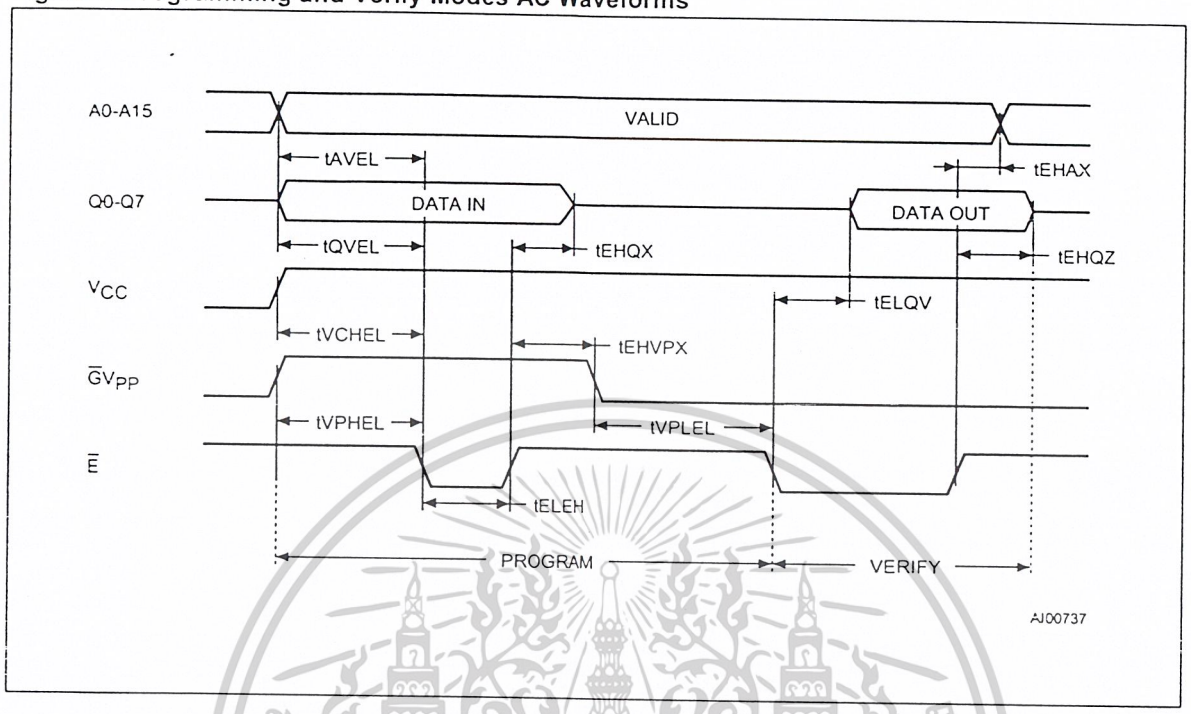
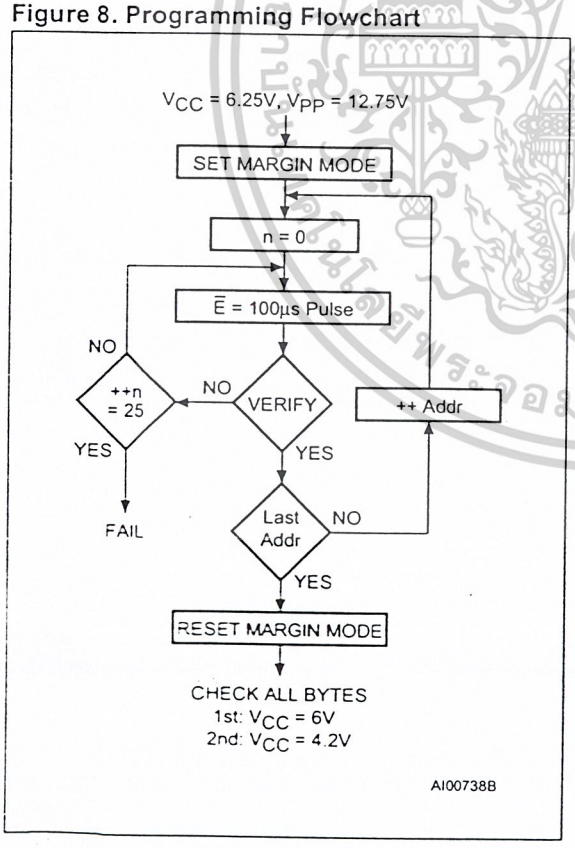


Figure 8. Programming Flowchart



PRESTO IIB Programming Algorithm

PRESTO IIB Programming Algorithm allows the whole array to be programmed with a guaranteed margin, in a typical time of 6.5 seconds. This can be achieved with STMicroelectronics M27C512 due to several design innovations described in the M27C512 datasheet to improve programming efficiency and to provide adequate margin for reliability. Before starting the programming the internal MARGIN MODE circuit is set in order to guarantee that each cell is programmed with enough margin. Then a sequence of 100µs program pulses are applied to each byte until a correct verify occurs. No overprogram pulses are applied since the verify in MARGIN MODE provides the necessary margin.

Program Inhibit

Programming of multiple M27C512s in parallel with different data is also easily accomplished. Except for $\overline{E}$, all like inputs including $\overline{G}V_{PP}$ of the parallel M27C512 may be common. A TTL low level pulse applied to a M27C512's $\overline{E}$ input, with V_{PP} at 12.75V, will program that M27C512. A high level $\overline{E}$ input inhibits the other M27C512s from being programmed.

Program Verify

A verify (read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{G}$ at V_{IL}. Data should be verified with t_{ELQV} after the falling edge of $\overline{E}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR®

HGTG20N60B3D

Data Sheet — **December 2001**

40A, 600V, UFS Series N-Channel IGBT with Anti-Parallel Hyperfast Diode

The HGTG20N60B3D is a MOS gated high voltage switching device combining the best features of MOSFETs and bipolar transistors. The device has the high input impedance of a MOSFET and the low on-state conduction loss of a bipolar transistor. The much lower on-state voltage drop varies only moderately between 25°C and 150°C. The diode used in anti-parallel with the IGBT is the RHRP3060.

The IGBT is ideal for many high voltage switching applications operating at moderate frequencies where low conduction losses are essential.

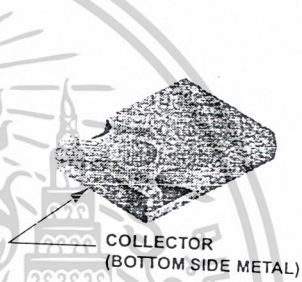
Formerly developmental type TA49016.

Features

- 40A, 600V at T_C = 25°C
- Typical Fall Time. . . . . 140ns at 150°C
- Short Circuit Rated
- Low Conduction Loss
- Hyperfast Anti-Parallel Diode

Packaging

JEDEC STYLE TO-247

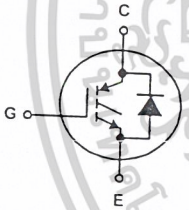


Ordering Information

PART NUMBER	PACKAGE	BRAND
HGTG20N60B3D	TO-247	G20N60B3D

NOTE: When ordering, use the entire part number.

Symbol



FAIRCHILD SEMICONDUCTOR IGBT PRODUCT IS COVERED BY ONE OR MORE OF THE FOLLOWING U.S. PATENTS

4,364,073 4,417,385 4,430,792 4,443,931 4,466,176 4,516,143 4,532,534 4,587,713
4,598,461 4,605,948 4,620,211 4,631,564 4,639,754 4,639,762 4,641,162 4,644,637
4,682,195 4,684,413 4,694,313 4,717,679 4,743,952 4,783,690 4,794,432 4,801,986
4,803,533 4,809,045 4,809,047 4,810,665 4,823,176 4,837,606 4,860,080 4,883,767
4,888,627 4,890,143 4,901,127 4,904,609 4,933,740 4,963,951 4,969,027

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

		HGTG20N60B3D	UNITS
Collector to Emitter Voltage	BV_{CES}	600	V
Collector to Gate Voltage, R_{GE} = 1MΩ	BV_{CGR}	600	V
Collector Current Continuous			
At $T_C = 110^oC$	I_{C25}	40	A
Average Diode Forward Current at 110^oC	I_{C110}	20	A
Collector Current Pulsed (Note 1)	$I_{(AVG)}$	20	A
Gate to Emitter Voltage Continuous	I_{CM}	160	A
Gate to Emitter Voltage Pulsed	V_{GES}	±20	V
Switching Safe Operating Area at $T_C = 150^oC$	V_{GEM}	±30	V
Power Dissipation Total at $T_C = 25^oC$	SSOA	30A at 600V	
Power Dissipation Derating $T_C > 25^oC$	P_D	165	W
Operating and Storage Junction Temperature Range		1.32	W/^oC
Maximum Lead Temperature for Soldering	T_J, T_{STG}	-40 to 150	^oC
Short Circuit Withstand Time (Note 2) at V_{GE} = 15V	T_L	260	^oC
Short Circuit Withstand Time (Note 2) at V_{GE} = 10V	t_{SC}	4	µs
	t_{SC}	10	µs

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Repetitive Rating: Pulse width limited by maximum junction temperature.
2. V_{CE} = 360V, $T_C = 125^oC$, R_G = 25Ω.

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Collector to Emitter Breakdown Voltage	BV_{CES}	I_C = 250µA, V_{GE} = 0V		600	-	-	V
Collector to Emitter Leakage Current	I_{CES}	$V_{CE} = BV_{CES}$	$T_C = 25^oC$	-	-	250	µA
			$T_C = 150^oC$	-	-	2.0	mA
Collector to Emitter Saturation Voltage	$V_{CE(SAT)}$	$I_C = I_{C110}$, V_{GE} = 15V	$T_C = 25^oC$	-	1.8	2.0	V
			$T_C = 150^oC$	-	2.1	2.5	V
Gate to Emitter Threshold Voltage	$V_{GE(TH)}$	I_C = 250µA, $V_{CE} = V_{GE}$		3.0	5.0	6.0	V
Gate to Emitter Leakage Current	I_{GES}	V_{GE} = ±20V		-	-	±100	nA
Switching SOA	SSOA	$T_C = 150^oC$, V_{GE} = 15V, R_G = 10Ω, L = 45µH	V_{CE} = 480V	100	-	-	A
			V_{CE} = 600V	30	-	-	A
Gate to Emitter Plateau Voltage	V_{GEP}	$I_C = I_{C110}$, V_{CE} = 0.5 BV_{CES}		-	8.0	-	V
On-State Gate Charge	$Q_{G(ON)}$	$I_C = I_{C110}$, V_{CE} = 0.5 BV_{CES}	V_{GE} = 15V	-	80	105	nC
			V_{GE} = 20V	-	105	135	nC
Current Turn-On Delay Time	$t_{d(ON)I}$	$T_C = 150^oC$, $I_{CE} = I_{C110}$, V_{CE} = 0.8 BV_{CES}, V_{GE} = 15V, R_G = 10Ω, L = 100µH		-	25	-	ns
Current Rise Time	t_{rI}			-	20	-	ns
Current Turn-Off Delay Time	$t_{d(OFF)I}$			-	220	275	ns
Current Fall Time	t_{fI}			-	140	175	ns
Turn-On Energy	E_{ON}			-	475	-	µJ
Turn-Off Energy (Note 3)	E_{OFF}			-	1050	-	µJ
Diode Forward Voltage	V_{EC}	I_{EC} = 20A		-	1.5	1.9	V
Diode Reverse Recovery Time	t_{rr}	I_{EC} = 20A, dI_{EC}/dt = 100A/µs		-	-	55	ns
		I_{EC} = 1A, dI_{EC}/dt = 100A/µs		-	-	45	ns
Thermal Resistance	$R_{\theta JC}$	IGBT		-	-	0.76	$^oC/W$
		Diode		-	-	1.2	$^oC/W$

NOTE:

3. Turn-Off Energy Loss (E_{OFF}) is defined as the integral of the instantaneous power loss starting at the trailing edge of the input pulse and ending at the point where the collector current equals zero (I_{CE} = 0A) The HGTG20N60B3D was tested per JEDEC standard No. 24-1 Method for Measurement of Power Device Turn-Off Switching Loss. This test method produces the true total Turn-Off Energy Loss. Turn-On losses include diode losses.

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

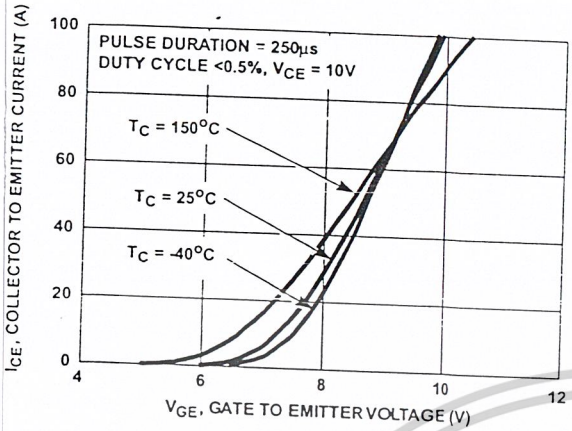


FIGURE 1. TRANSFER CHARACTERISTICS

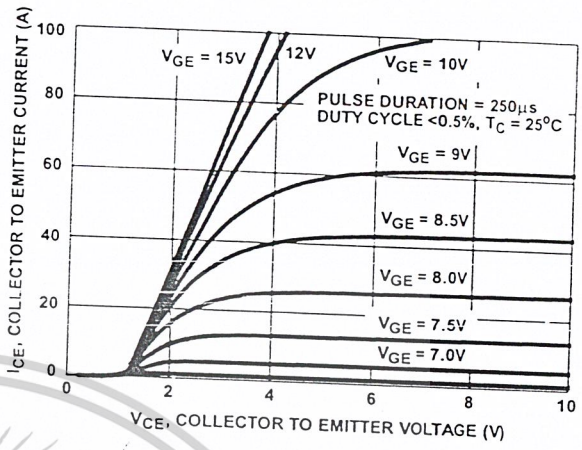


FIGURE 2. SATURATION CHARACTERISTICS

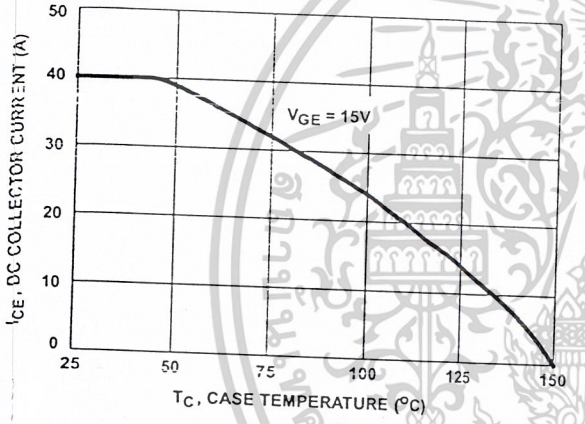


FIGURE 3. DC COLLECTOR CURRENT vs CASE TEMPERATURE

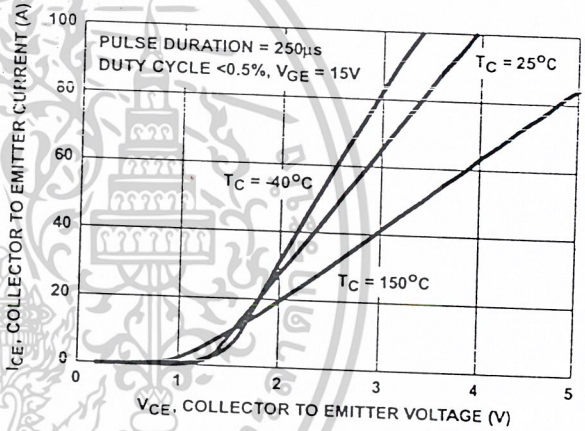


FIGURE 4. COLLECTOR TO EMITTER ON-STATE VOLTAGE

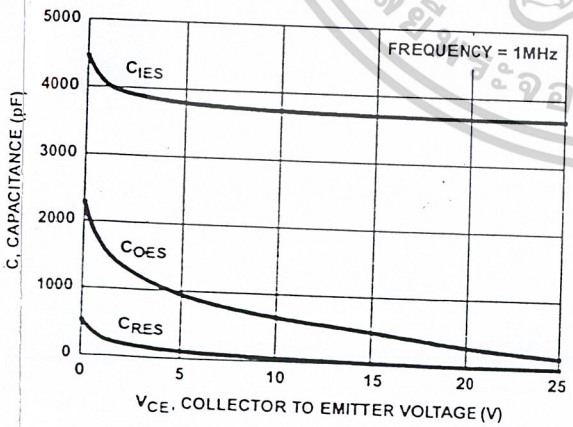


FIGURE 5. CAPACITANCE vs COLLECTOR TO EMITTER VOLTAGE

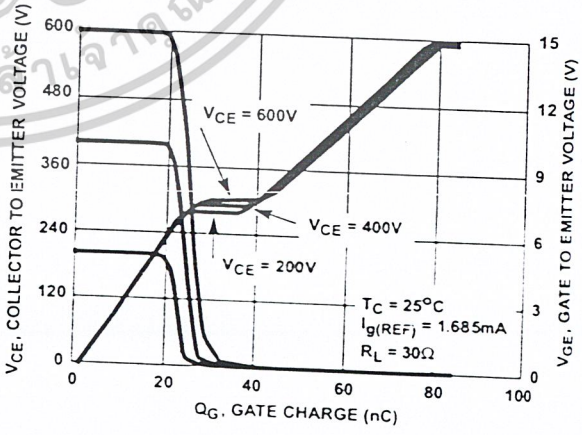


FIGURE 6. GATE CHARGE WAVEFORMS

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

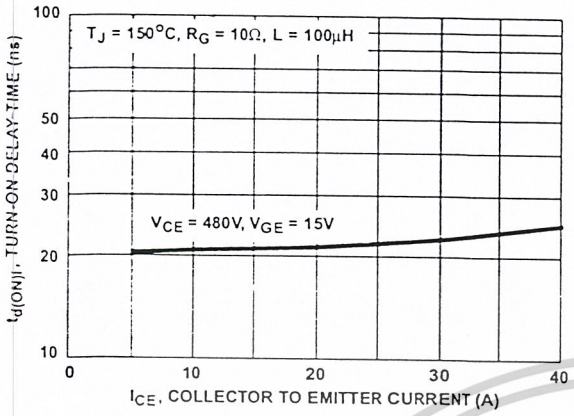


FIGURE 7. TURN-ON DELAY TIME vs COLLECTOR TO EMITTER CURREN T

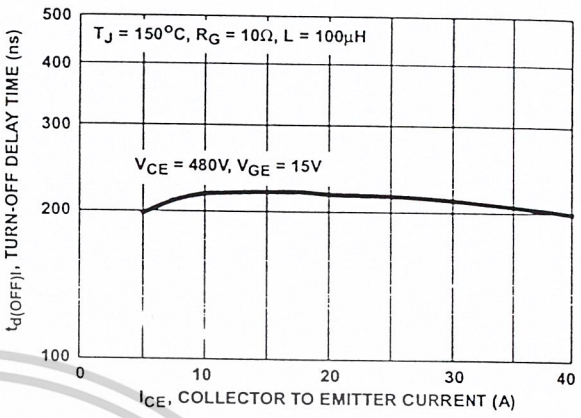


FIGURE 8. TURN-OFF DELAY TIME vs COLLECTOR TO EMITTER CURRENT

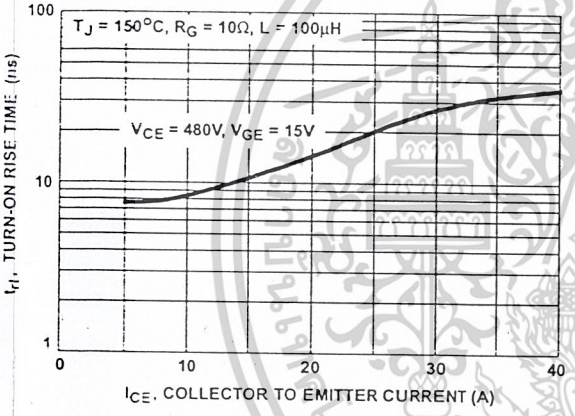


FIGURE 9. TURN-ON RISE TIME vs COLLECTOR TO EMITTER CURRENT

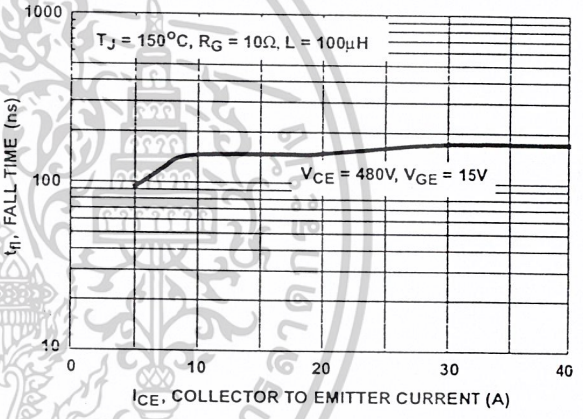


FIGURE 10. TURN-OFF FALL TIME vs COLLECTOR TO EMITTER CURRENT

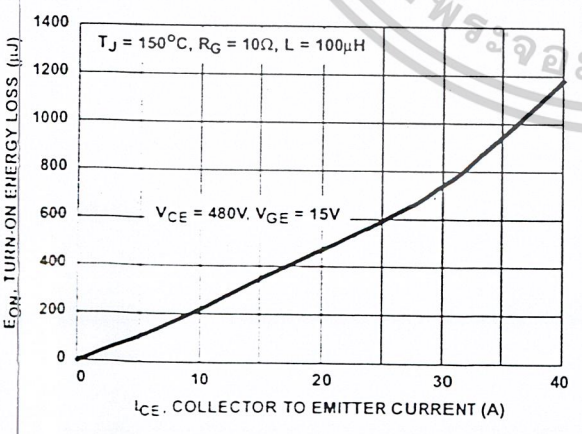


FIGURE 11. TURN-ON ENERGY LOSS vs COLLECTOR TO EMITTER CURRENT

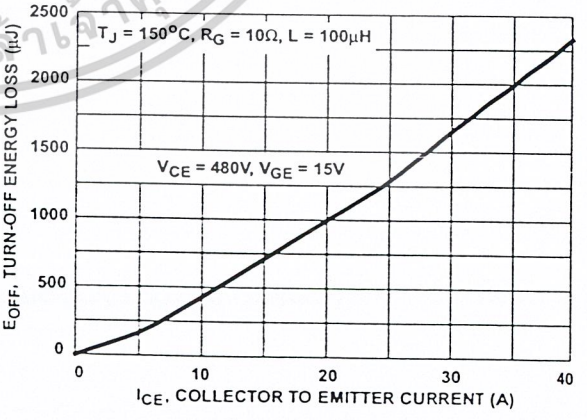


FIGURE 12. TURN-OFF ENERGY LOSS vs COLLECTOR TO EMITTER CURRENT

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

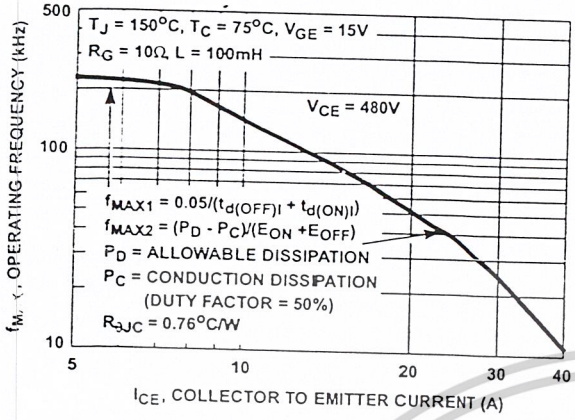


FIGURE 13. OPERATING FREQUENCY vs COLLECTOR TO EMITTER CURREN T

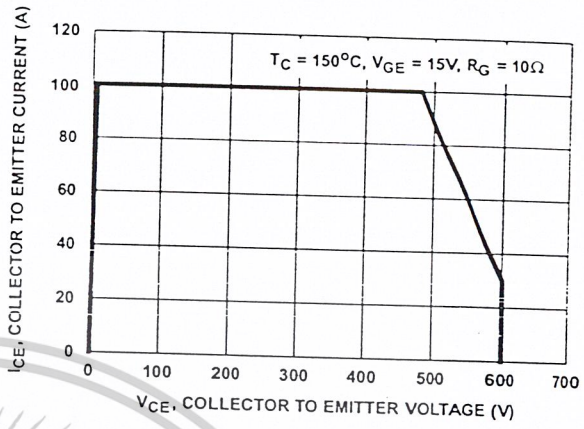


FIGURE 14. SWITCHING SAFE OPERATING AREA

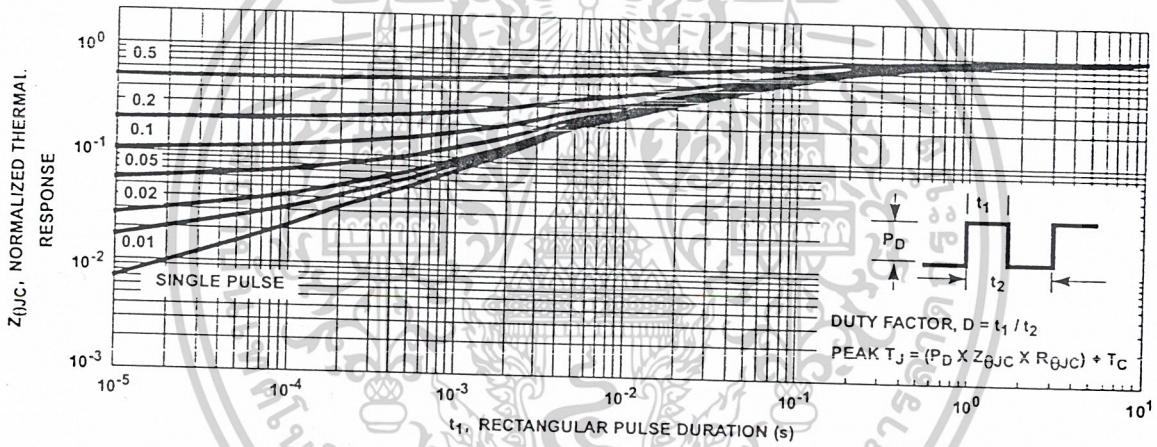


FIGURE 15. IGBT NORMALIZED TRANSIENT THERMAL RESPONSE, JUNCTION TO CASE

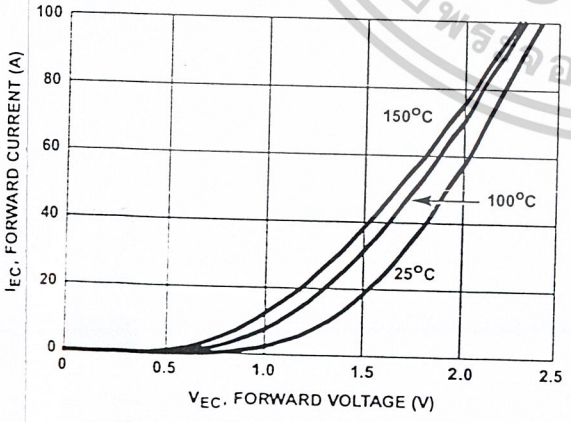


FIGURE 16. DIODE FORWARD CURRENT vs FORWARD VOLTAGE DROP

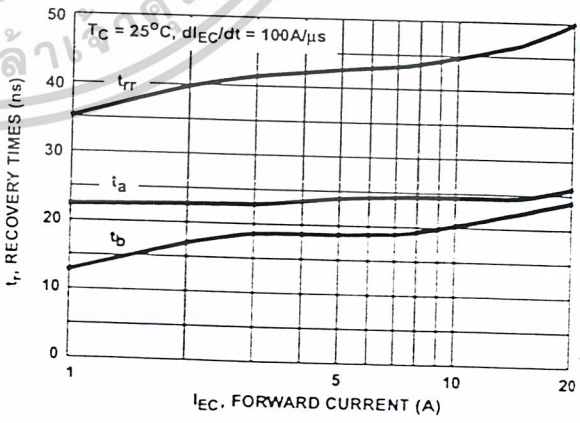


FIGURE 17. RECOVERY TIMES vs FORWARD CURRENT

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuit and Waveform

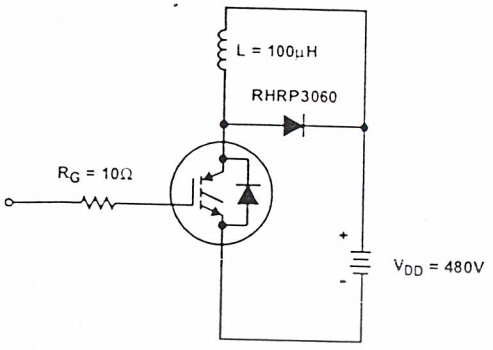


FIGURE 18. INDUCTIVE SWITCHING TEST CIRCUIT

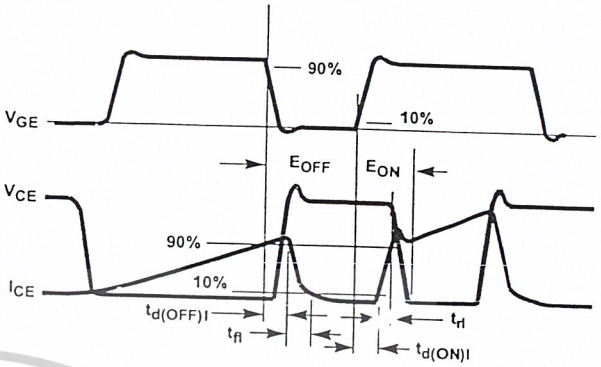


FIGURE 19. SWITCHING TEST WAVEFORMS

Handling Precautions for IGBTs

Insulated Gate Bipolar Transistors are susceptible to gate-insulation damage by the electrostatic discharge of energy through the devices. When handling these devices, care should be exercised to assure that the static charge built in the handler's body capacitance is not discharged through the device. With proper handling and discharge procedures, however, IGBTs are currently being extensively used in production by numerous equipment manufacturers in military, industrial and consumer applications, with virtually no damage problems due to electrostatic discharge. IGBTs can be handled safely if the following basic precautions are taken:

1. Prior to assembly into a circuit, all leads should be kept shorted together either by the use of metal shorting springs or by the insertion into conductive material such as "ECCOSORBD™ LD26" or equivalent.
2. When devices are removed by hand from their carriers, the hand being used should be grounded by any suitable means - for example, with a metallic wristband.
3. Tips of soldering irons should be grounded.
4. Devices should never be inserted into or removed from circuits with power on.
5. **Gate Voltage Rating** - Never exceed the gate-voltage rating of V_{GEM}. Exceeding the rated V_{GE} can result in permanent damage to the oxide layer in the gate region.
6. **Gate Termination** - The gates of these devices are essentially capacitors. Circuits that leave the gate open-circuited or floating should be avoided. These conditions can result in turn-on of the device due to voltage buildup on the input capacitor due to leakage currents or pickup.
7. **Gate Protection** - These devices do not have an internal monolithic zener diode from gate to emitter. If gate protection is required an external zener is recommended.

Operating Frequency Information

Operating frequency information for a typical device (Figure 13) is presented as a guide for estimating device performance for a specific application. Other typical frequency vs collector current (I_{CE}) plots are possible using the information shown for a typical unit in Figures 4, 7, 8, 11 and 12. The operating frequency plot (Figure 13) of a typical device shows f_{MAX1} or f_{MAX2} whichever is smaller at each point. The information is based on measurements of a typical device and is bounded by the maximum rated junction temperature.

f_{MAX1} is defined by $f_{MAX1} = 0.05/(t_{d(OFF)I} + t_{d(ON)I})$. Deadtime (the denominator) has been arbitrarily held to 10% of the on- state time for a 50% duty factor. Other definitions are possible. $t_{d(OFF)I}$ and $t_{d(ON)I}$ are defined in Figure 19.

Device turn-off delay can establish an additional frequency limiting condition for an application other than $T_{JM} \cdot t_{d(OFF)I}$ is important when controlling output ripple under a lightly loaded condition.

f_{MAX2} is defined by $f_{MAX2} = (P_D - P_C)/(E_{OFF} + E_{ON})$. The allowable dissipation (P_D) is defined by $P_D = (T_{JM} - T_C)/R_{\theta JC}$. The sum of device switching and conduction losses must not exceed P_D. A 50% duty factor was used (Figure 13) and the conduction losses (P_C) are approximated by $P_C = (V_{CE} \times I_{CE})/2$.

E_{ON} and E_{OFF} are defined in the switching waveforms shown in Figure 19. E_{ON} is the integral of the instantaneous power loss ($I_{CE} \times V_{CE}$) during turn-on and E_{OFF} is the integral of the instantaneous power loss during turn-off. All tail losses are included in the calculation for E_{OFF}; i.e. the collector current equals zero ($I_{CE} = 0$).

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IOR Rectifier

Data Sheet No. PD60147 Rev.T

IR2110(S)/IR2113(S) & (PbF)

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
  Separate logic supply range from 3.3V to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs
- Also available LEAD-FREE

Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
I_O+/-	2A / 2A
V_{OUT}	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

Packages

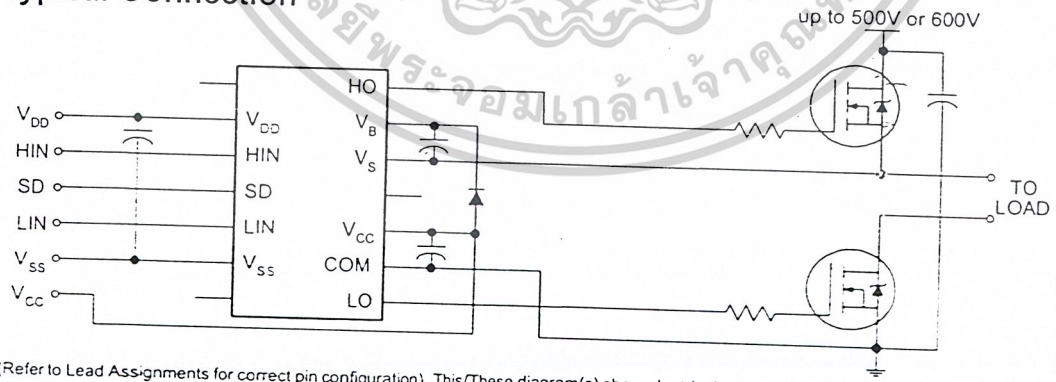
14-Lead PDIP
IR2110/IR2113

16-Lead SOIC
IR2110S/IR2113S
(Also available
LEAD-FREE (PbF))

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply voltage	(IR2110)	-0.3	525	V
		(IR2113)	-0.3	625	
V_S	High side floating supply offset voltage		V_B - 25	V_B + 0.3	
V_{HO}	High side floating output voltage		V_S - 0.3	V_B + 0.3	
V_{CC}	Low side fixed supply voltage		-0.3	25	
V_{LO}	Low side output voltage		-0.3	V_{CC} + 0.3	
V_{DD}	Logic supply voltage		-0.3	V_{SS} + 25	
V_{SS}	Logic supply offset voltage		V_{CC} - 25	V_{CC} + 0.3	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS} - 0.3	V_{DD} + 0.3	
dV_S/dt	Allowable offset supply voltage transient (figure 2)		—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25°C$	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R_{THJA}	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T_J	Junction temperature		—	150	°C
T_S	Storage temperature		-55	150	
T_L	Lead temperature (soldering, 10 seconds)		—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition		Min.	Max.	Units
V_B	High side floating supply absolute voltage		V_S + 10	V_S + 20	V
V_S	High side floating supply offset voltage	(IR2110)	Note 1	500	
		(IR2113)	Note 1	600	
V_{HO}	High side floating output voltage		V_S	V_B	
V_{CC}	Low side fixed supply voltage		10	20	
V_{LO}	Low side output voltage		0	V_{CC}	
V_{DD}	Logic supply voltage		V_{SS} + 3	V_{SS} + 20	
V_{SS}	Logic supply offset voltage		-5 (Note 2)	5	
V_{IN}	Logic input voltage (HIN, LIN & SD)		V_{SS}	V_{DD}	
T_A	Ambient temperature		-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{BS}$. (Please refer to the Design Tip DT97-3 for more details).
Note 2: When $V_{DD} < 5V$, the minimum V_{SS} offset is limited to $-V_{DD}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	V_S = 0V
t_{off}	Turn-off propagation delay	8	—	94	125		V_S = 500V/600V
t_{sd}	Shutdown propagation delay	9	—	110	140		V_S = 500V/600V
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110)	—	—	—	10		
	(IR2113)	—	—	—	20		

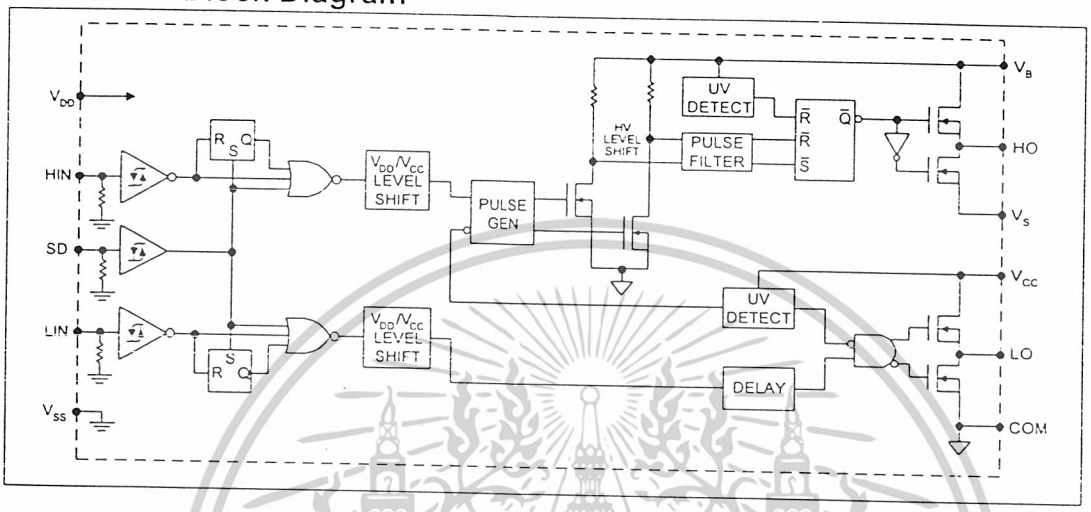
Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, V_{BIAS} - V_O	14	—	—	1.2		I_O = 0A
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		I_O = 0A
I_{LK}	Offset supply leakage current	16	—	—	50	μA	V_B=V_S = 500V/600V
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		V_{IN} = 0V or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		V_{IN} = 0V or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		V_{IN} = 0V or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		V_{IN} = V_{DD}
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		V_{IN} = 0V
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	V_O = 0V, V_{IN} = V_{DD} PW ≤ 10 μs
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		V_O = 15V, V_{IN} = 0V PW ≤ 10 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

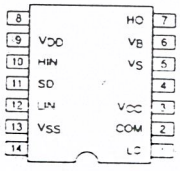
Functional Block Diagram



Lead Definitions

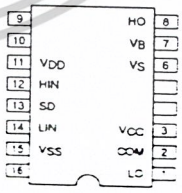
Symbol	Description
V_{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V_{SS}	Logic ground
V_B	High side floating supply
HO	High side gate drive output
V_S	High side floating supply return
V_{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

Lead Assignments



14 Lead PDIP

IR2110/IR2113



16 Lead SOIC (Wide Body)
(Also available LEAD-FREE (PbF))

IR2110S/IR2113S

Part Number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

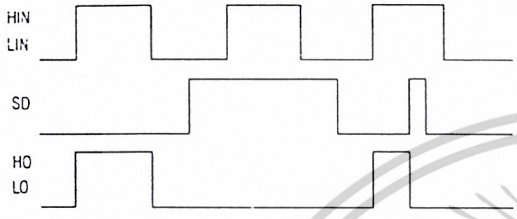


Figure 1. Input/Output Timing Diagram

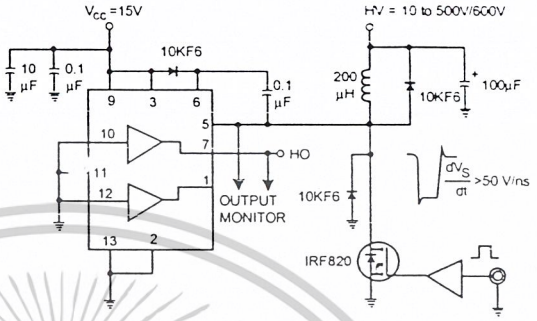


Figure 2. Floating Supply Voltage Transient Test Circuit

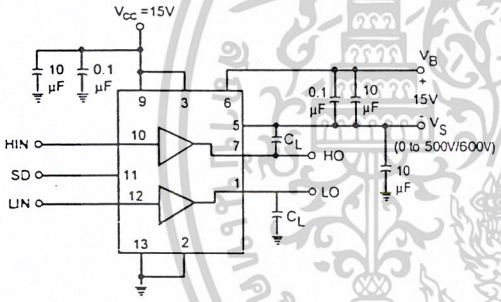


Figure 3. Switching Time Test Circuit

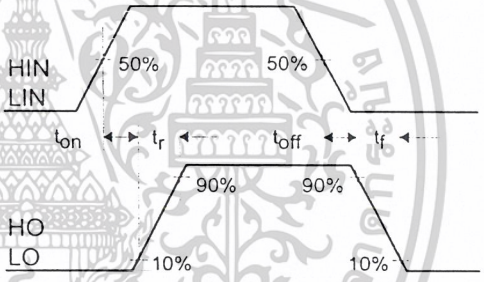


Figure 4. Switching Time Waveform Definition

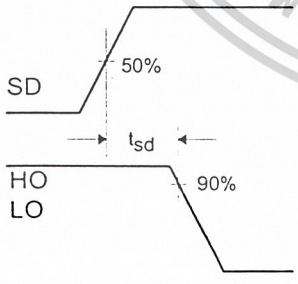


Figure 5. Shutdown Waveform Definitions

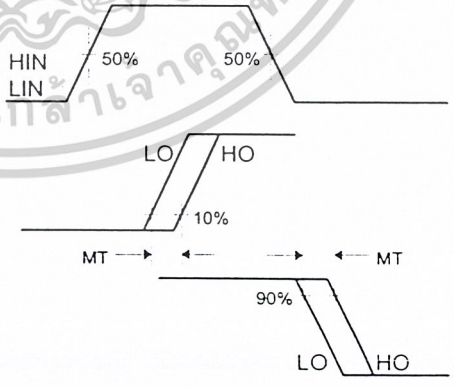
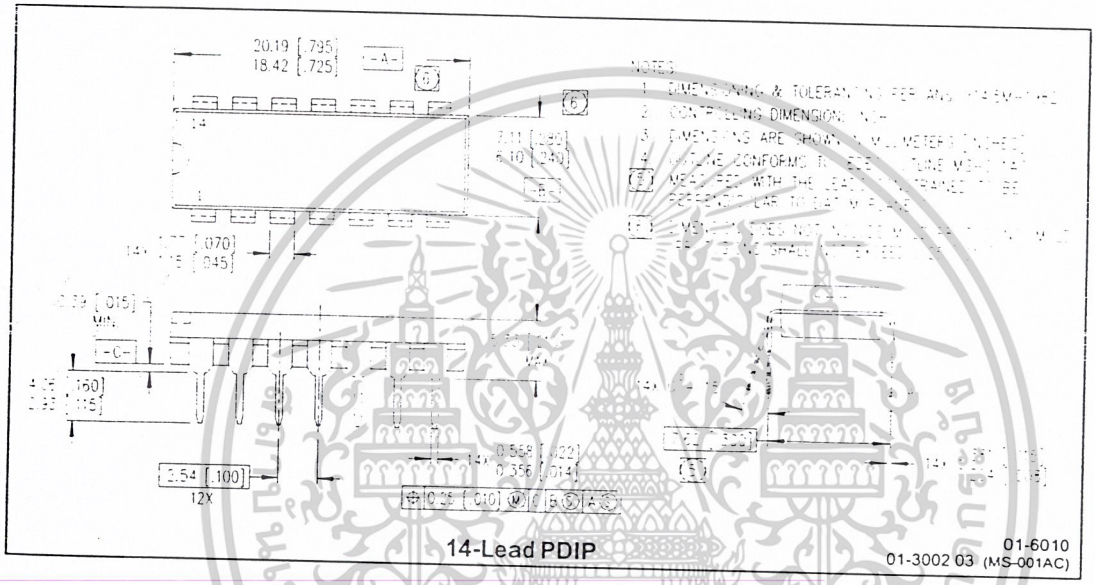


Figure 6. Delay Matching Waveform Definitions

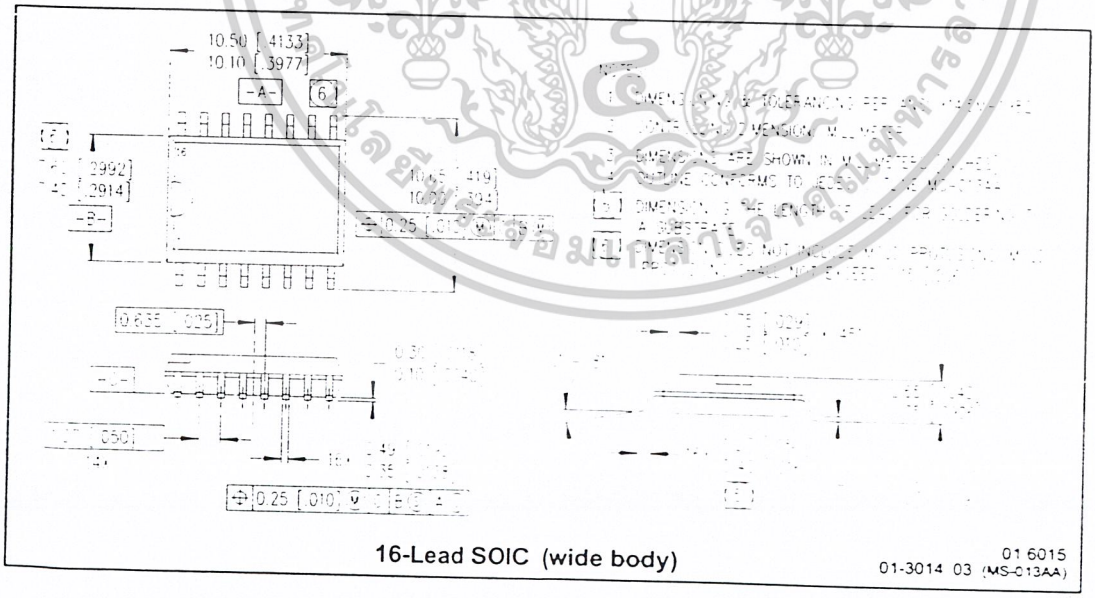
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Case Outlines



14-Lead PDIP

01-6010
01-3002 03 (MS-001AC)

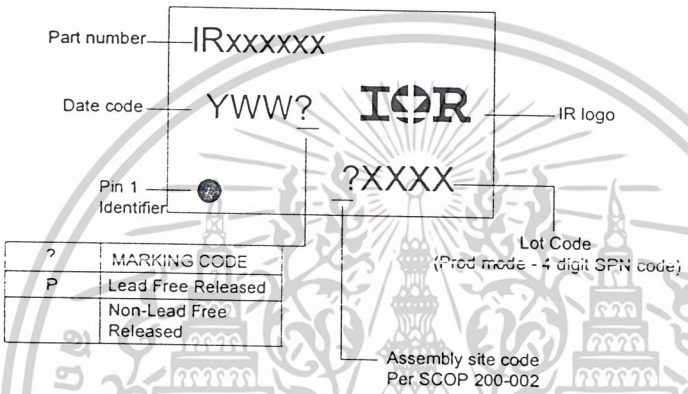


16-Lead SOIC (wide body)

01 6015
01-3014 03 (MS-013AA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LEADFREE PART MARKING INFORMATION



ORDER INFORMATION

Basic Part (Non-Lead Free)	Leadfree Part
14-Lead PDIP IR2110 order IR2110	14-Lead PDIP IR2110 order IR2110PbF
14-Lead PDIP IR2113 order IR2113	14-Lead PDIP IR2113 order IR2113PbF
16-Lead SOIC IR2110S order IR2110S	16-Lead SOIC IR2110S order IR2110SPbF
16-Lead SOIC IR2113S order IR2113S	16-Lead SOIC IR2113S order IR2113SPbF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR®

HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLERS

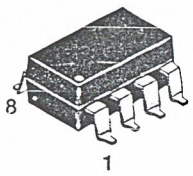
SINGLE-CHANNEL
6N137
HCPL-2601
HCPL-2611

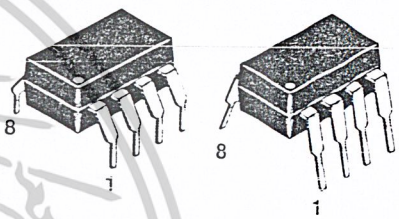
DUAL-CHANNEL
HCPL-2630
HCPL-2631

DESCRIPTION

The 6N137, HCPL-2601/2611 single-channel and HCPL-2630/2631 dual-channel optocouplers consist of a 850 nm AlGaAS LED, optically coupled to a very high speed integrated photodetector logic gate with a strobable output. This output features an open collector, thereby permitting wired OR outputs. The coupled parameters are guaranteed over the temperature range of -40°C to +85°C. A maximum input signal of 5 mA will provide a minimum output sink current of 13 mA (fan out of 8).

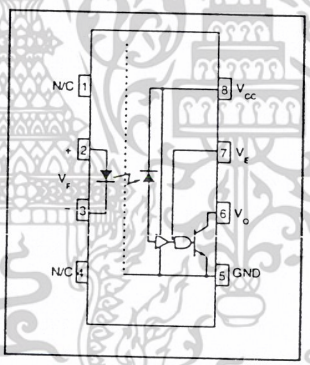
An internal noise shield provides superior common mode rejection of typically 10 kV/µs. The HCPL- 2601 and HCPL- 2631 has a minimum CMR of 5 kV/µs. The HCPL-2611 has a minimum CMR of 10 kV/µs.



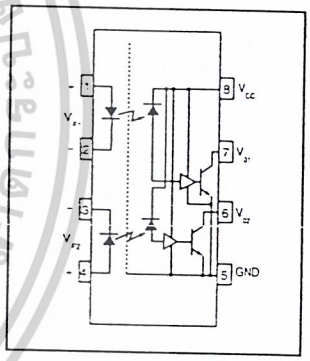


FEATURES

- Very high speed-10 MBit/s
- Superior CMR-10 kV/µs
- Double working voltage-480V
- Fan-out of 8 over -40°C to +85°C
- Logic gate output
- Strobable output
- Wired OR-open collector
- U.L. recognized (File # E90700)



6N137
HCPL-2601
HCPL-2611



HCPL-2630
HCPL-2631

APPLICATIONS

- Ground loop elimination
- LSTTL to TTL, LSTTL or 5-volt CMOS
- Line receiver, data transmission
- Data multiplexing
- Switching power supplies
- Pulse transformer replacement
- Computer-peripheral interface

TRUTH TABLE
(Positive Logic)

Input	Enable	Output
H	H	L
L	H	H
H	L	H
L	L	H
H	NC	L
L	NC	H

A 0.1 µF bypass capacitor must be connected between pins 8 and 5.
(See note 1)

© 2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR®

HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLERS

SINGLE-CHANNEL
6N137
HCPL-2601
HCPL-2611

DUAL-CHANNEL
HCPL-2630
HCPL-2631

ABSOLUTE MAXIMUM RATINGS (No derating required up to 85°C)

Parameter		Symbol	Value	Units
Storage Temperature		T_{STG}	-55 to +125	°C
Operating Temperature		T_{OPR}	-40 to +85	°C
Lead Solder Temperature		T_{SOL}	260 for 10 sec	°C
EMITTER				
DC/Average Forward Input Current	Single channel	I_F	50	mA
	Dual channel (Each channel)		30	
Enable Input Voltage Not to exceed V_{CC} by more than 500 mV	Single channel	V_E	5.5	V
Reverse Input Voltage	Each channel	V_R	5.0	V
Power Dissipation	Single channel	P_I	100	mW
	Dual channel (Each channel)		45	
DETECTOR				
Supply Voltage		V_{CC} (1 minute max)	7.0	V
Output Current	Single channel	I_O	50	mA
	Dual channel (Each channel)		50	
Output Voltage	Each channel	V_O	7.0	V
Collector Output Power Dissipation	Single channel	P_O	85	mW
	Dual channel (Each channel)		60	

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Max	Units
Input Current, Low Level	I_{FL}	0	250	µA
Input Current, High Level	I_{FH}	*6.3	15	mA
Supply Voltage, Output	V_{CC}	4.5	5.5	V
Enable Voltage, Low Level	V_{EL}	0	0.8	V
Enable Voltage, High Level	V_{EH}	2.0	V_{CC}	V
Low Level Supply Current	T_A	-40	+85	°C
Fan Out (TTL load)	N		8	

* 6.3 mA is a guard banded value which allows for at least 20 % CTR degradation. Initial input current threshold value is 5.0 mA or less

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLERS

SINGLE-CHANNEL
6N137
HCPL-2601
HCPL-2611

DUAL-CHANNEL
HCPL-2630
HCPL-2631

ELECTRICAL CHARACTERISTICS (T_A = -40°C to +85°C Unless otherwise specified.)

INDIVIDUAL COMPONENT CHARACTERISTICS

Parameter	Test Conditions	Symbol	Min	Typ**	Max	Unit
EMITTER						
Input Forward Voltage	(I_F = 10 mA) T_A =25°C	V_F		1.4	1.8 1.75	V
Input Reverse Breakdown Voltage	(I_R = 10 µA)	B_{VR}	5.0			V
Input Capacitance	(V_F = 0, f = 1 MHz)	C_{IN}		60		pF
Input Diode Temperature Coefficient	(I_F = 10 mA)	$\Delta V_F/\Delta T_A$		-1.4		mV/°C
DETECTOR						
High Level Supply Current — Single Channel	(V_{CC} = 5.5 V, I_F = 0 mA)	I_{CCH}		7	10	mA
High Level Supply Current — Dual Channel	(V_E = 0.5 V)	I_{CCH}		10	15	mA
Low Level Supply Current — Single Channel	(V_{CC} = 5.5 V, I_F = 10 mA)	I_{CCL}		9	13	mA
Low Level Supply Current — Dual Channel	(V_E = 0.5 V)	I_{CCL}		14	21	mA
Low Level Enable Current	(V_{CC} = 5.5 V, V_E = 0.5 V)	I_{EL}		-0.8	-1.6	mA
High Level Enable Current	(V_{CC} = 5.5 V, V_E = 2.0 V)	I_{EH}		-0.6	-1.6	mA
High Level Enable Voltage	(V_{CC} = 5.5 V, I_F = 10 mA)	V_{EH}	2.0			V
Low Level Enable Voltage	(V_{CC} = 5.5 V, I_F = 10 mA) (Note 3)	V_{EL}			0.8	V

SWITCHING CHARACTERISTICS (T_A = -40°C to +85°C, V_{CC} = 5 V, I_F = 7.5 mA Unless otherwise specified.)

AC Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
Propagation Delay Time to Output High Level	(Note 4) (T_A =25°C) (R_L = 350 Ω, C_L = 15 pF) (Fig. 12)	T_{PLH}	20 25	45	75 100	ns
Propagation Delay Time to Output Low Level	(Note 5) (T_A =25°C) (R_L = 350 Ω, C_L = 15 pF) (Fig. 12)	T_{PHL}	25	45	75 100	ns
Pulse Width Distortion	(R_L = 350 Ω, C_L = 15 pF) (Fig. 12)	$\lvert T_{PHL}-T_{PLH}\rvert$		3	35	ns
Output Rise Time (10-90%)	(R_L = 350 Ω, C_L = 15 pF) (Note 6) (Fig. 12)	t_r		50		ns
Output Fall Time (90-10%)	(R_L = 350 Ω, C_L = 15 pF) (Note 7) (Fig. 12)	t_f		12		ns
Enable Propagation Delay Time to Output High Level	(I_F = 7.5 mA, V_{EH} = 3.5 V) (R_L = 350 Ω, C_L = 15 pF) (Note 8) (Fig. 13)	t_{ELH}		20		ns
Enable Propagation Delay Time to Output Low Level	(I_F = 7.5 mA, V_{EH} = 3.5 V) (R_L = 350 Ω, C_L = 15 pF) (Note 9) (Fig. 13)	t_{EHL}		20		ns
Common Mode Transient Immunity (at Output High Level)	(T_A =25°C) $\lvert V_{CM}\rvert$ = 50 V, (Peak) (I_F = 0 mA, V_{OH} (Min.) = 2.0 V)					
	6N137, HCPL-2630 (R_L = 350 Ω) (Note 10)	$\lvert CM_H\rvert$		10,000		V/µs
	HCPL-2601, HCPL-2631 (Fig. 14)	$\lvert CM_H\rvert$	5000	10,000		V/µs
	HCPL-2611 $\lvert V_{CM}\rvert$ = 400 V	$\lvert CM_H\rvert$	10,000	15,000		V/µs
Common Mode Transient Immunity (at Output Low Level)	(R_L = 350 Ω) (I_F = 7.5 mA, V_{OL} (Max.) = 0.8 V)					
	6N137, HCPL-2630 $\lvert V_{CM}\rvert$ = 50 V (Peak)	$\lvert CM_L\rvert$		10,000		V/µs
	HCPL-2601, HCPL-2631 (T_A =25°C) (Note 11) (Fig. 14)	$\lvert CM_L\rvert$	5000	10,000		V/µs
	HCPL-2611 (T_A =25°C) $\lvert V_{CM}\rvert$ = 400 V	$\lvert CM_L\rvert$	10,000	15,000		V/µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFER CHARACTERISTICS (T_A = -40°C to +85°C Unless otherwise specified.)

DC Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
High Level Output Current	(V_{CC} = 5.5 V, V_O = 5.5 V) (I_F = 250 µA, V_E = 2.0 V) (Note 2)	I_{OH}			100	µA
Low Level Output Current	(V_{CC} = 5.5 V, I_F = 5 mA) (V_E = 2.0 V, I_{CL} = 13 mA) (Note 2)	V_{OL}		.35	0.6	V
Input Threshold Current	(V_{CC} = 5.5 V, V_O = 0.6 V, V_E = 2.0 V, I_{OL} = 13 mA)	I_{FT}		3	5	mA

ISOLATION CHARACTERISTICS (T_A = -40°C to +85°C Unless otherwise specified.)

Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
Input-Output Insulation Leakage Current	(Relative humidity = 45%) (T_A = 25°C, t = 5 s) (V_{I-O} = 3000 VDC) (Note 12)	I_{I-O}			1.0*	µA
Withstand Insulation Test Voltage	(RH < 50%, T_A = 25°C) (Note 12) (t = 1 min.)	V_{ISO}	2500			V_{RMS}
Resistance (Input to Output)	(V_{I-O} = 500 V) (Note 12)	R_{I-O}		10^{12}		Ω
Capacitance (Input to Output)	(f = 1 MHz) (Note 12)	C_{I-O}		0.6		pF

** All typical values are at V_{CC} = 5 V, T_A = 25°C

NOTES

1. The V_{CC} supply to each optoisolator must be bypassed by a 0.1µF capacitor or larger. This can be either a ceramic or solid tantalum capacitor with good high frequency characteristic and should be connected as close as possible to the package V_{CC} and GND pins of each device.
2. Each channel.
3. Enable Input - No pull up resistor required as the device has an internal pull up resistor.
4. t_{PLH} - Propagation delay is measured from the 3.75 mA level on the HIGH to LOW transition of the input current pulse to the 1.5 V level on the LOW to HIGH transition of the output voltage pulse.
5. t_{PHL} - Propagation delay is measured from the 3.75 mA level on the LOW to HIGH transition of the input current pulse to the 1.5 V level on the HIGH to LOW transition of the output voltage pulse.
6. t_r - Rise time is measured from the 90% to the 10% levels on the LOW to HIGH transition of the output pulse.
7. t_f - Fall time is measured from the 10% to the 90% levels on the HIGH to LOW transition of the output pulse.
8. t_{ELH} - Enable input propagation delay is measured from the 1.5 V level on the HIGH to LOW transition of the input voltage pulse to the 1.5 V level on the LOW to HIGH transition of the output voltage pulse.
9. t_{EHL} - Enable input propagation delay is measured from the 1.5 V level on the LOW to HIGH transition of the input voltage pulse to the 1.5 V level on the HIGH to LOW transition of the output voltage pulse.
10. CM_H - The maximum tolerable rate of rise of the common mode voltage to ensure the output will remain in the high state (i.e., V_{OUT} > 2.0 V). Measured in volts per microsecond (V/µs).
11. CM_L - The maximum tolerable rate of rise of the common mode voltage to ensure the output will remain in the low output state (i.e., V_{OUT} < 0.8 V). Measured in volts per microsecond (V/µs).
12. Device considered a two-terminal device: Pins 1,2,3 and 4 shorted together, and Pins 5,6,7 and 8 shorted together.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

Fig.1 Low Level Output Voltage vs. Ambient Temperature

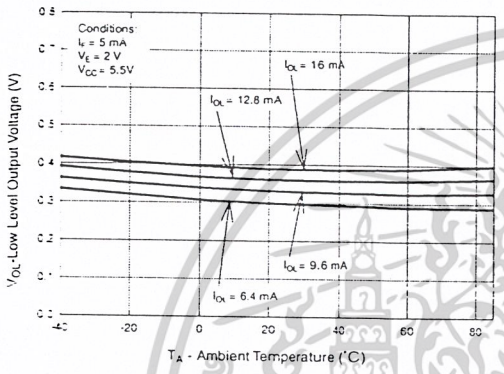


Fig. 2 Input Diode Forward Voltage vs. Forward Current

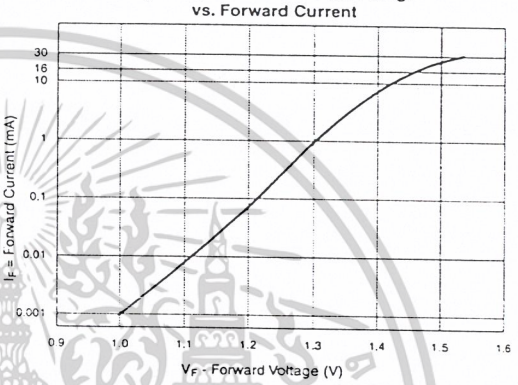


Fig.3 Switching Time vs. Forward Current

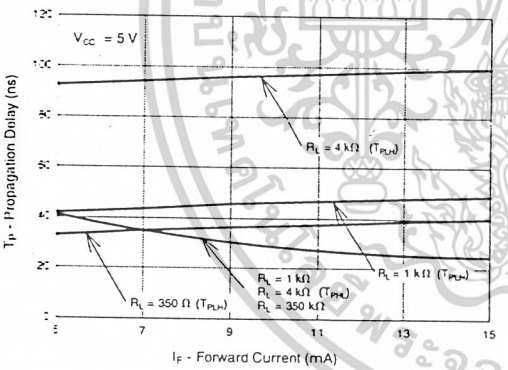


Fig. 4 Low Level Output Current vs. Ambient Temperature

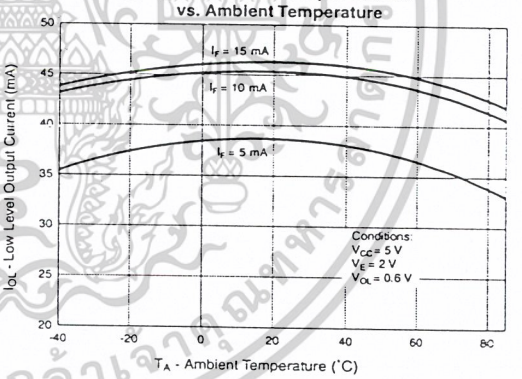


Fig. 5 Input Threshold Current vs. Ambient Temperature

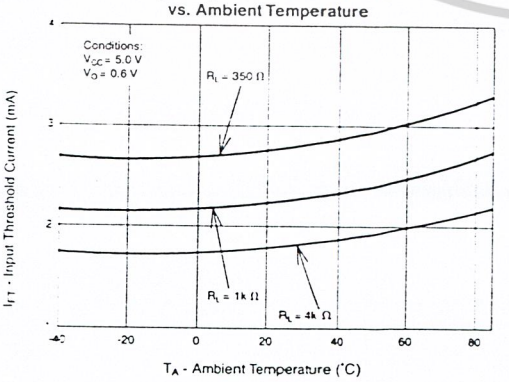
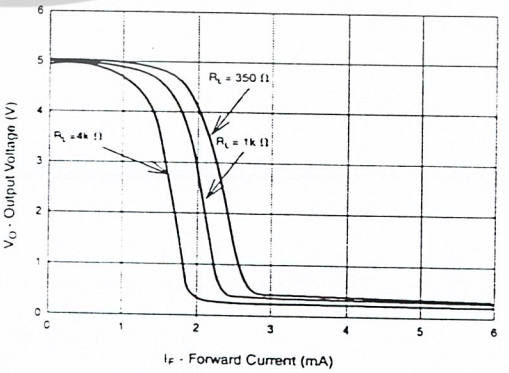


Fig. 6 Output Voltage vs. Input Forward Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 7 Pulse Width Distortion vs. Temperature

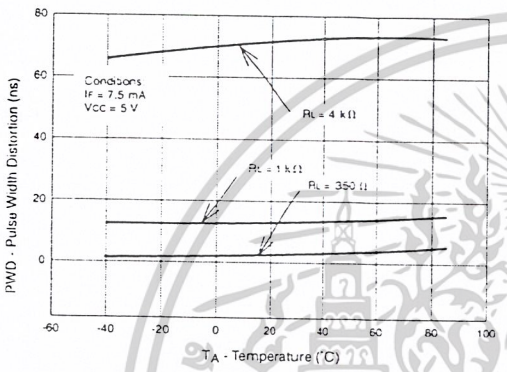


Fig. 8 Rise and Fall Time vs. Temperature

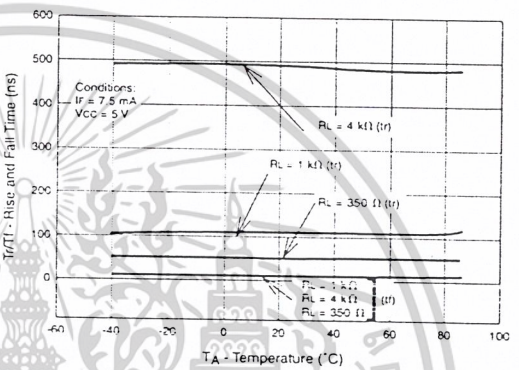


Fig. 9 Enable Propagation Delay vs. Temperature

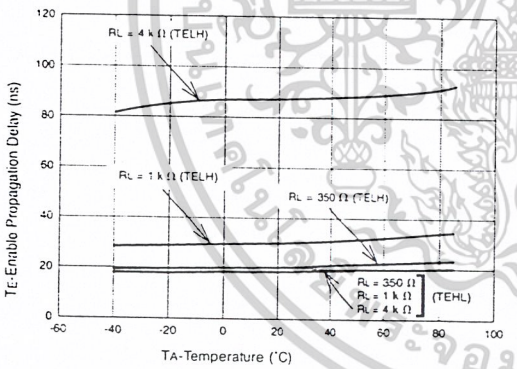


Fig. 10 Switching Time vs. Temperature

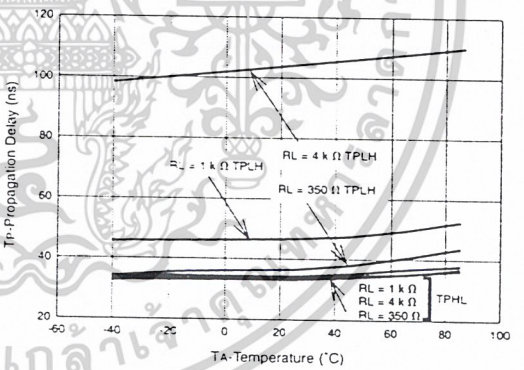
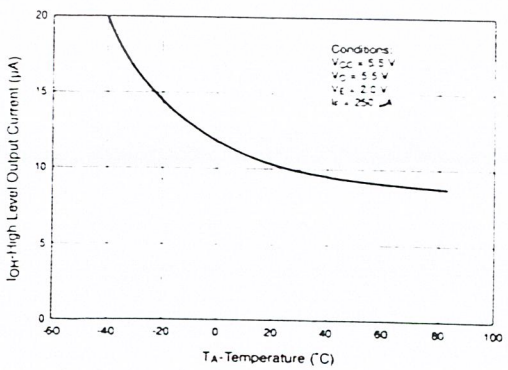


Fig. 11 High Level Output Current vs. Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

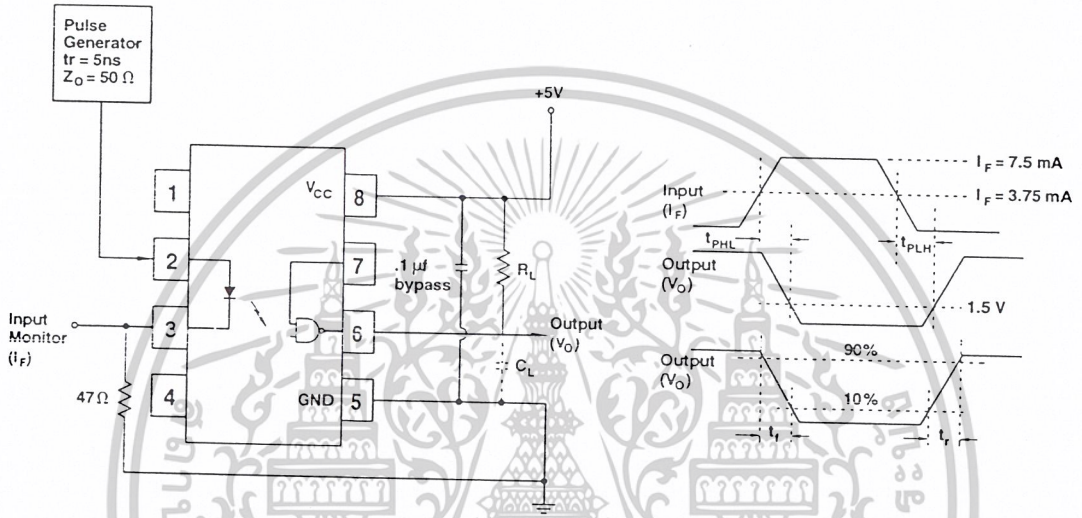


Fig. 12 Test Circuit and Waveforms for t_{PLH}, t_{PHL}, t_r and t_f.

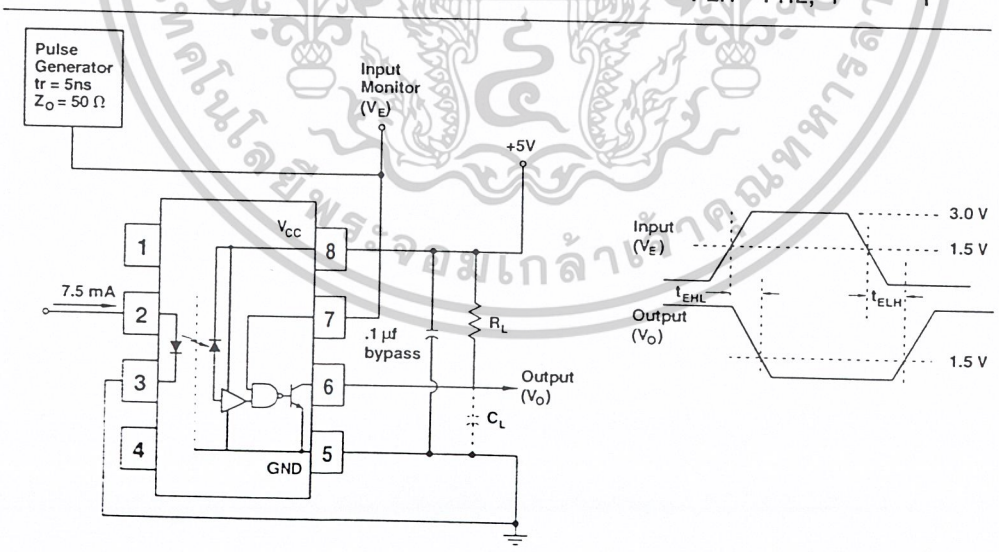


Fig. 13 Test Circuit t_{EHL} and t_{ELH}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

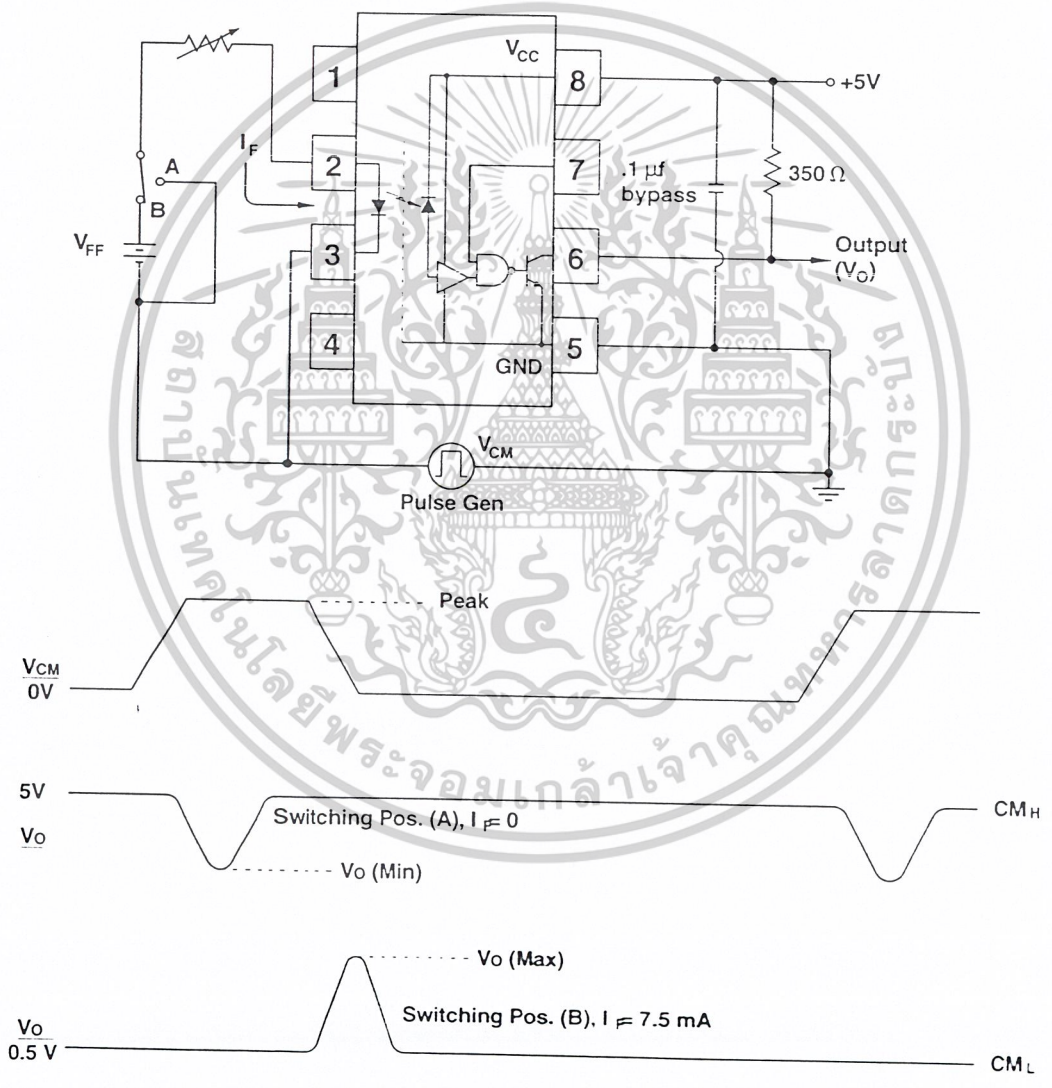


Fig. 14 Test Circuit Common Mode Transient Immunity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 2000

LM78XX
Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expanded to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

Features

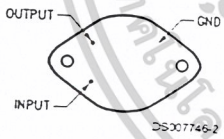
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

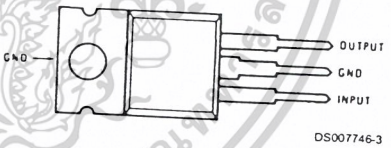
Connection Diagrams

Metal Can Package
TO-3 (K)
Aluminum



Bottom View
Order Number LM7805CK, LM7812CK or LM7815CK
See NS Package Number KC02A

Plastic Package
TO-220 (T)

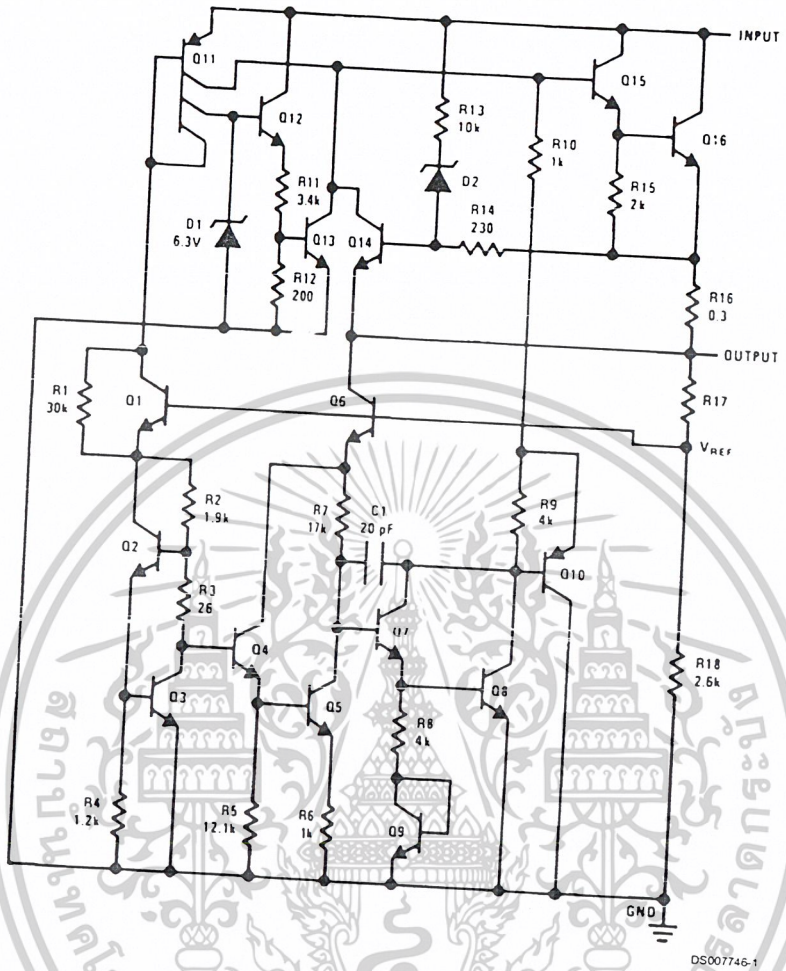


Top View
Order Number LM7805CT, LM7812CT or LM7815CT
See NS Package Number T03B

000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 3)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Input Voltage (V_O = 5V, 12V and 15V)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to +70°C
Maximum Junction Temperature (K Package)	150°C
(T Package)	150°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2)

0°C ≤ T_J ≤ 125°C unless otherwise noted.

Output Voltage				5V			12V			15V			Units
Input Voltage (unless otherwise noted)				10V			19V			23V			
Symbol	Parameter	Conditions		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	Tj = 25°C, 5 mA ≤ I_O ≤ 1A		4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
		P_D ≤ 15W, 5 mA ≤ I_O ≤ 1A, V_{MIN} ≤ V_{IN} ≤ V_{MAX}		4.75 (7.5 ≤ V_{IN} ≤ 20)		5.25	11.4 (14.5 ≤ V_{IN} ≤ 27)		12.6	14.25 (17.5 ≤ V_{IN} ≤ 30)		15.75	V V
ΔV_O	Line Regulation	I_O = 500 mA	Tj = 25°C		3	50		4	120		4	150	mV
			ΔV_{IN}	(7 ≤ V_{IN} ≤ 25)			14.5 ≤ V_{IN} ≤ 30)			(17.5 ≤ V_{IN} ≤ 30)			V
			0°C ≤ Tj ≤ +125°C			50			120			150	mV
			ΔV_{IN}	(8 ≤ V_{IN} ≤ 20)			(15 ≤ V_{IN} ≤ 27)			(18.5 ≤ V_{IN} ≤ 30)			V
		I_O ≤ 1A	Tj = 25°C			50			120			150	mV
			ΔV_{IN}	(7.5 ≤ V_{IN} ≤ 20)			(14.6 ≤ V_{IN} ≤ 27)			(17.7 ≤ V_{IN} ≤ 30)			V
			0°C ≤ Tj ≤ +125°C			25			60			75	mV
			ΔV_{IN}	(8 ≤ V_{IN} ≤ 12)			(16 ≤ V_{IN} ≤ 22)			(20 ≤ V_{IN} ≤ 26)			V
ΔV_O	Load Regulation	Tj = 25°C	5 mA ≤ I_O ≤ 1.5A		10	50		12	120		12	150	mV
			250 mA ≤ I_O ≤ 750 mA			25			60			75	mV
		5 mA ≤ I_O ≤ 1A, 0°C ≤ Tj ≤ +125°C				50			120			150	mV
I_Q	Quiescent Current	I_O ≤ 1A	Tj = 25°C			8			8			8	mA
			0°C ≤ Tj ≤ +125°C			8.5			8.5			8.5	mA
ΔI_Q	Quiescent Current Change	5 mA ≤ I_O ≤ 1A				0.5			0.5			0.5	mA
		Tj = 25°C, I_O ≤ 1A, V_{MIN} ≤ V_{IN} ≤ V_{MAX}				1.0 (7.5 ≤ V_{IN} ≤ 20)			1.0 (14.8 ≤ V_{IN} ≤ 27)			1.0 (17.9 ≤ V_{IN} ≤ 30)	mA V
		I_O ≤ 500 mA, 0°C ≤ Tj ≤ +125°C, V_{MIN} ≤ V_{IN} ≤ V_{MAX}				1.0 (7 ≤ V_{IN} ≤ 25)			1.0 (14.5 ≤ V_{IN} ≤ 30)			1.0 (17.5 ≤ V_{IN} ≤ 30)	mA V
V_N	Output Noise Voltage	T_A =25°C, 10 Hz ≤ f ≤ 100 kHz				40			75			90	μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz	I_O ≤ 1A, Tj = 25°C	62		80	55		72	54		70	dB
			or I_O ≤ 500 mA, 0°C ≤ Tj ≤ +125°C	62			55			54			dB
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(8 ≤ V_{IN} ≤ 18)			(15 ≤ V_{IN} ≤ 25)			(18.5 ≤ V_{IN} ≤ 28.5)			V
R_O	Dropout Voltage	Tj = 25°C, I_{OUT} = 1A			2.0			2.0			2.0		V
	Output Resistance	f = 1 kHz			8			18			19		mΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics LM78XXC (Note 2) (Continued)

$0°C \le T_J \le 125°C$ unless otherwise noted.

Output Voltage			5V			12V			15V			Units
Input Voltage (unless otherwise noted)			10V			19V			23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Short-Circuit Current	Tj = 25°C		2.1			1.5			1.2		A
	Peak Output Current	Tj = 25°C		2.4			2.4			2.4		A
	Average TC of V_{OUT}	0°C ≤ Tj ≤ +125°C, I_O = 5 mA		0.6			1.5			1.8		mV/°C
V_{IN}	Input Voltage Required to Maintain Line Regulation	Tj = 25°C, $I_O \le 1A$		7.5			14.6			17.7		V

Note 1: Thermal resistance of the TO-3 package (K, KC) is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.

Note 2: All characteristics are measured with capacitor across the input of 0.22 µF, and a capacitor across the output of 0.1µF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ($t_w \le 10$ ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

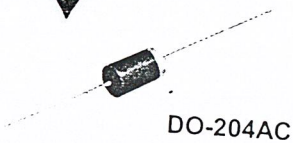
Note 3: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. For guaranteed specifications and the test conditions, see Electrical Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

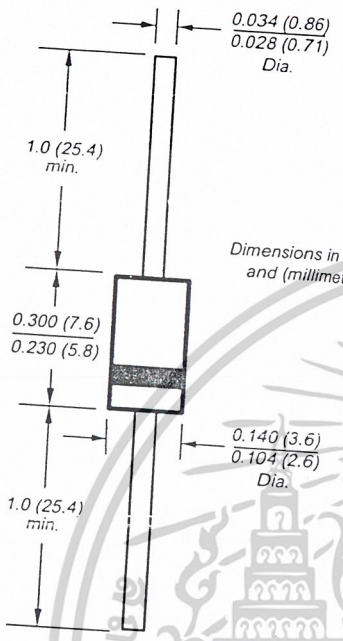
New Product

Vishay Semiconductors
formerly General Semiconductor

Ultrafast Plastic Rectifier



DO-204AC (DO-15)



Reverse Voltage 200V
Forward Current 1.0A
Reverse Recovery Time 25ns

Features

- Plastic package has Underwriters Laboratories Flammability Classification 94V-0
- Ideally suited for use in very high frequency switching power supplies, inverters and as a free wheeling diode
- Ultrafast recovery time for high efficiency
- Excellent high temperature switching
- Glass passivated junction

Mechanical Data

Case: JEDEC DO-204AC, molded plastic body over passivated chip

Terminals: Axial leads, solderable per MIL-STD-750, Method 2026

High temperature soldering guaranteed: 250°C/10 seconds, 0.375" (9.5mm) lead length, 5 lbs. (2.3kg) tension

Polarity: Color band denotes cathode end

Mounting Position: Any

Weight: 0.015 oz., 0.4 g

Maximum Ratings & Thermal Characteristics

Ratings at 25°C ambient temperature unless otherwise specified.

Parameter	Symbol	MUR120	Unit
Maximum repetitive peak reverse voltage	V_{RRM}	200	V
Working peak reverse voltage	V_{RWM}	200	V
Maximum DC blocking voltage	V_{DC}	200	V
Maximum average forward rectified current at T_A = 130°C	$I_{F(AV)}$	1.0	A
Peak forward surge current 8.3 ms single half sine-wave superimposed on rated load (JEDEC Method)	I_{FSM}	35	A
Typical Thermal Resistance Junction to Ambient (2)	$R_{\Theta JA}$	27	°C/W
Operating and storage temperature range	T_J, T_{STG}	−65 to +175	°C

Electrical Characteristics

Ratings at 25°C ambient temperature unless otherwise specified.

Maximum instantaneous forward voltage (1) at	1.0A, T_J = 25°C 1.0A, T_J = 150°C	V_F	0.875 0.710	V
Maximum instantaneous reverse current at rated DC blocking voltage (1)	T_J = 25°C T_J = 150°C	I_R	2.0 50	µA
Maximum reverse recovery time at I_F = 0.5A, I_R = 1.0A, I_{rr} = 0.25A		t_{rr}	25	ns
Maximum reverse recovery time at I_F = 1.0A, di/dt = 50A/µs, V_R= 30V, I_{rr}= 10% I_{RM}		t_{rr}	35	ns
Maximum forward recovery time at I_F = 1.0A, di/dt = 100A/µs, I_{rec} to 1.0V		t_{fr}	25	ns

Notes: (1) Pulse test: t_p = 300µs, duty cycle ≤ 2%
(2) Lead length = 3/8" on P.C. Board with 1.5" x 1.5" copper surface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ratings and Characteristic Curves (T_A = 25°C unless otherwise specified)

Fig. 1 – Forward Current Derating Curve

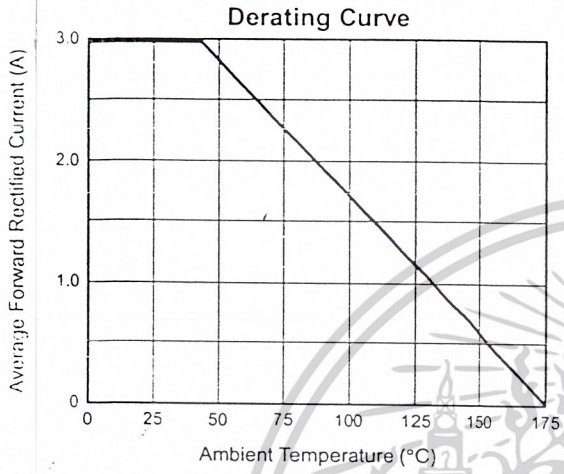


Fig. 2 – Maximum Non-Repetitive Peak Forward Surge Current

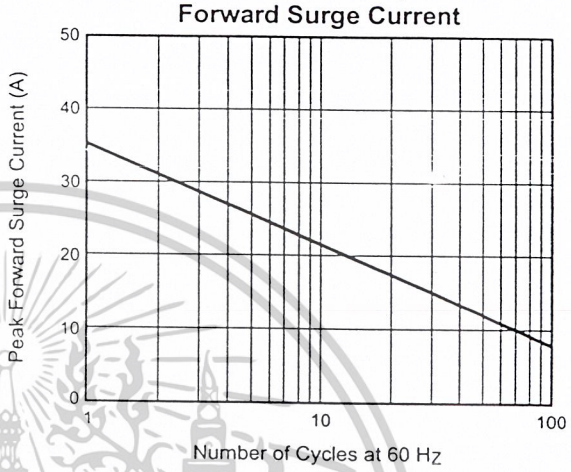


Fig. 3 – Typical Instantaneous Forward Characteristics

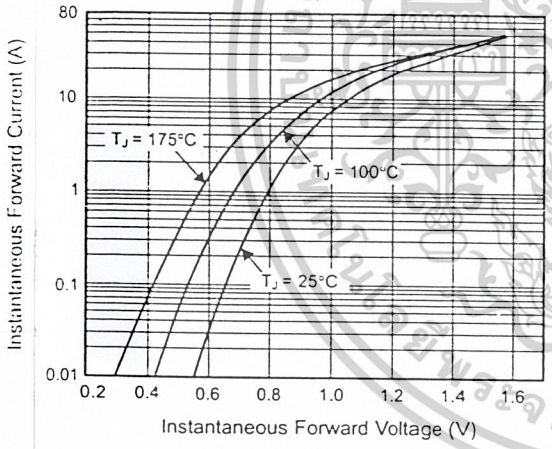


Fig. 4 – Typical Reverse Leakage Characteristics

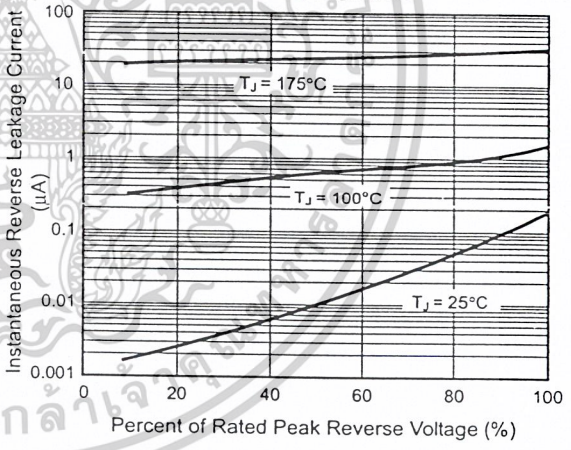
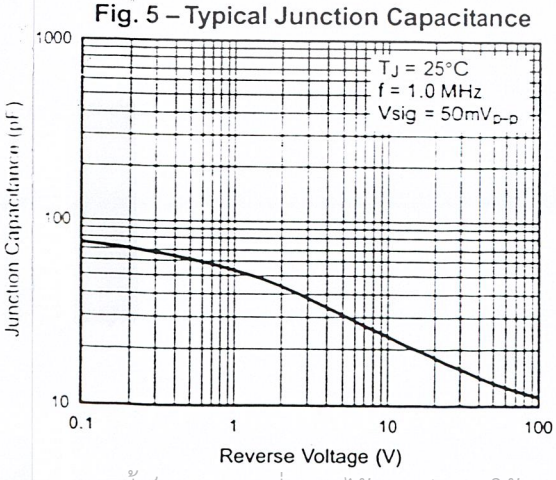


Fig. 5 – Typical Junction Capacitance



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM339, LM239, LM2901, LM2901V, NCV2901, MC3302

Single Supply Quad Comparators

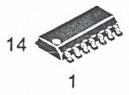
These comparators are designed for use in level detection, low−level sensing and memory applications in consumer, automotive, and industrial electronic applications.

Features

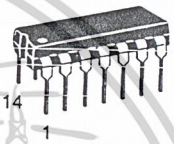
- Pb−Free Packages are Available*
- Single or Split Supply Operation
- Low Input Bias Current: 25 nA (Typ)
- Low Input Offset Current: ±5.0 nA (Typ)
- Low Input Offset Voltage
- Input Common Mode Voltage Range to GND
- Low Output Saturation Voltage: 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible
- ESD Clamps on the Inputs Increase Reliability without Affecting Device Operation

ON Semiconductor®

http://onsemi.com



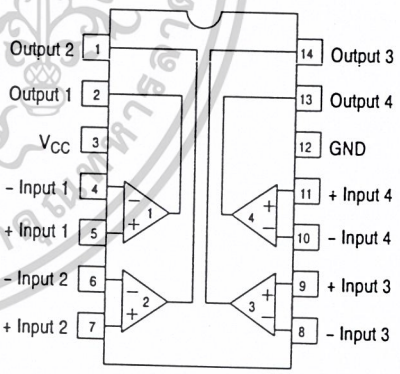
SOIC−14
D SUFFIX
CASE 751A



PDIP−14
N, P SUFFIX
CASE 646

TSSOP−14
DTB SUFFIX
CASE 948G

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 7 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 8 of this data sheet.

*For additional information on our Pb−Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

© Semiconductor Components Industries, LLC, 2004

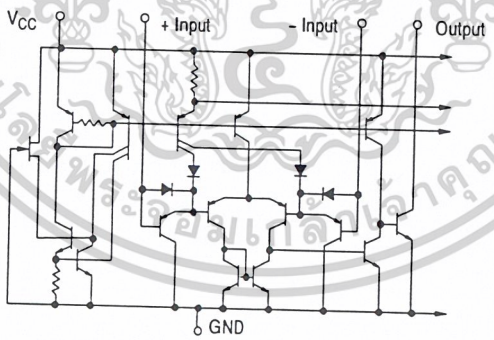
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage LM239/LM339/LM2901, V MC3302	V_{CC}	 +36 or ±18 +30 or ±15	Vdc
Input Differential Voltage Range LM239/LM339/LM2901, V MC3302	V_{IDR}	 36 30	Vdc
Input Common Mode Voltage Range	V_{ICMR}	−0.3 to V_{CC}	Vdc
Output Short Circuit to Ground (Note 1)	I_{SC}	Continuous	
Power Dissipation @ T_A = 25°C Plastic Package Derate above 25°C	P_D $1/R_{\theta JA}$	 1.0 8.0	 W mW/°C
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range LM239 MC3302 LM2901 LM2901V, NCV2901 LM339	T_A	 −25 to +85 −40 to +85 −40 to +105 −40 to +125 0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C
ESD Protection at any Pin Human Body Model Machine Model	V_{esd}	 2000 200	V

Maximum ratings are those values beyond which device damage can occur. Maximum ratings applied to the device are individual stress limit values (not normal operating conditions) and are not valid simultaneously. If these limits are exceeded, device functional operation is not implied, damage may occur and reliability may be affected.

1. The maximum output current may be as high as 20 mA, independent of the magnitude of V_{CC}. Output short circuits to V_{CC} can cause excessive heating and eventual destruction.



NOTE: Diagram shown is for 1 comparator.

Figure 1. Circuit Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = +25°C, unless otherwise noted)

Characteristic	Symbol	LM239/339			LM2901/2901V/ NCV2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 3)	V_{IO}	–	±2.0	±5.0	–	±2.0	±7.0	–	±3.0	±20	mVdc
Input Bias Current (Notes 3, 4) (Output in Analog Range)	I_{IB}	–	25	250	–	25	250	–	25	500	nA
Input Offset Current (Note 3)	I_{IO}	–	±5.0	±50	–	±5.0	±50	–	±3.0	±100	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} −1.5	0	–	V_{CC} −1.5	0	–	V_{CC} −1.5	V
Supply Current	I_{CC}										mA
R_L = ∞ (For All Comparators)		–	0.8	2.0	–	0.8	2.0	–	0.8	2.0	
R_L = ∞, V_{CC} = 30 Vdc		–	1.0	2.5	–	1.0	2.5	–	1.0	2.5	
Voltage Gain R_L ≥ 15 kΩ, V_{CC} = 15 Vdc	A_{VOL}	50	200	–	25	100	–	25	100	–	V/mV
Large Signal Response Time V_I = TTL Logic Swing, V_{ref} = 1.4 Vdc, V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	300	–	–	300	–	–	300	–	ns
Response Time (Note 5) V_{RL} = 5.0 Vdc, R_L = 5.1 kΩ	–	–	1.3	–	–	1.3	–	–	1.3	–	µs
Output Sink Current V_I (−) ≥ +1.0 Vdc, V_I(+) = 0, V_O ≤ 1.5 Vdc	I_{Sink}	6.0	16	–	6.0	16	–	6.0	16	–	mA
Saturation Voltage V_I(−) ≥ +1.0 Vdc, V_I(+) = 0, I_{sink} ≤ 4.0 mA	V_{sat}	–	130	400	–	130	400	–	130	500	mV
Output Leakage Current V_I(+) ≥ +1.0 Vdc, V_I(−) = 0, V_O = +5.0 Vdc	I_{OL}	–	0.1	–	–	0.1	–	–	0.1	–	nA

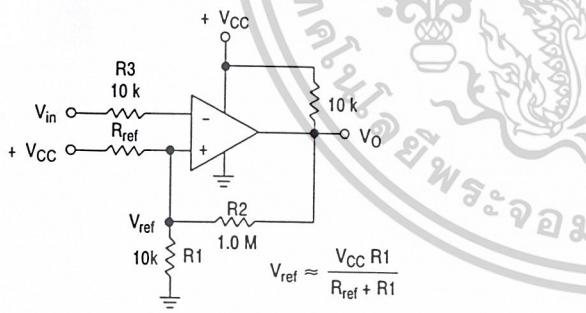
2. (LM239) T_{low} = −25°C, T_{high} = +85°
   (LM339) T_{low} = 0°C, T_{high} = +70°C
   (MC3302) T_{low} = −40°C, T_{high} = +85°C
   (LM2901) T_{low} = −40°C, T_{high} = +105°
   (LM2901V & NCV2901) T_{low} = −40°C, T_{high} = +125°C
   NCV2901 is qualified for automotive use.
3. At the output switch point, V_O ≃ 1.4 Vdc, R_S ≤ 100 Ω 5.0 Vdc ≤ V_{CC} ≤ 30 Vdc, with the inputs over the full common mode range (0 Vdc to V_{CC} −1.5 Vdc).
4. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.
5. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PERFORMANCE CHARACTERISTICS (V_{CC} = +5.0 Vdc, T_A = T_{low} to T_{high} [Note 6])

Characteristic	Symbol	LM239/339			LM2901/2901V/ NCV2901			MC3302			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 7)	V_{IO}	–	–	±9.0	–	–	±15	–	–	±40	mVdc
Input Bias Current (Notes 7, 8) (Output in Analog Range)	I_{IB}	–	–	400	–	–	500	–	–	1000	nA
Input Offset Current (Note 7)	I_{IO}	–	–	±150	–	–	±200	–	–	±300	nA
Input Common Mode Voltage Range	V_{ICMR}	0	–	V_{CC} −2.0	0	–	V_{CC} −2.0	0	–	V_{CC} −2.0	V
Saturation Voltage $V_I(-) \geq +1.0$ Vdc, $V_I(+) = 0$, $I_{sink} \leq 4.0$ mA	V_{sat}	–	–	700	–	–	700	–	–	700	mV
Output Leakage Current $V_I(+) \geq +1.0$ Vdc, $V_I(-) = 0$, $V_O = 30$ Vdc	I_{OL}	–	–	1.0	–	–	1.0	–	–	1.0	μA
Differential Input Voltage All $V_I \geq 0$ Vdc	V_{ID}	–	–	V_{CC}	–	–	V_{CC}	–	–	V_{CC}	Vdc

6. (LM239) T_{low} = −25°C, T_{high} = +85°
   (LM339) T_{low} = 0°C, T_{high} = +70°C
   (MC3302) T_{low} = −40°C, T_{high} = +85°C
   (LM2901) T_{low} = −40°C, T_{high} = +105°
   (LM2901V & NCV2901) T_{low} = −40°C, T_{high} = +125°C
   NCV2901 is qualified for automotive use.
7. At the output switch point, V_O = 1.4 Vdc, $R_S \leq 100\ \Omega$ 5.0 Vdc ≤ V_{CC} ≤ 30 Vdc, with the inputs over the full common mode range (0 Vdc to V_{CC} −1.5 Vdc).
8. The bias current flows out of the inputs due to the PNP input stage. This current is virtually constant, independent of the output state.
9. The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger signals, 300 ns is typical.



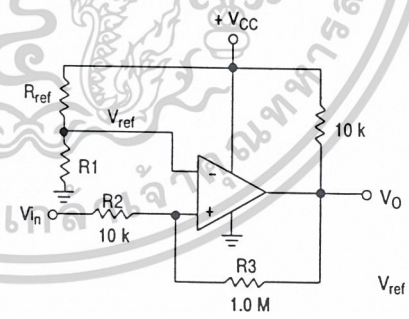
$$V_{ref} \approx \frac{V_{CC}\ R1}{R_{ref} + R1}$$

$$R3 \simeq R1\ //\ R_{ref}\ //\ R2$$

$$V_H = \frac{R1\ //\ R_{ref}}{R1//\ R_{ref} + R2}\ [V_{O(max)} - V_{O(min)}]$$

$$R2 \gg Rref\ //\ R1$$

Figure 2. Inverting Comparator with Hysteresis



$$V_{ref} = \frac{V_{CC}\ R1}{R_{ref} + R1}$$

$$R2 \approx R1\ //\ R_{ref}$$

Amount of Hysteresis V_H

$$V_H = \frac{R2}{R2 + R3}\ [(V_{O(max)} - V_{O(min)}]$$

Figure 3. Noninverting Comparator with Hysteresis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics
(V_{CC} = 15 Vdc, T_A = +25°C (each comparator) unless otherwise noted.)

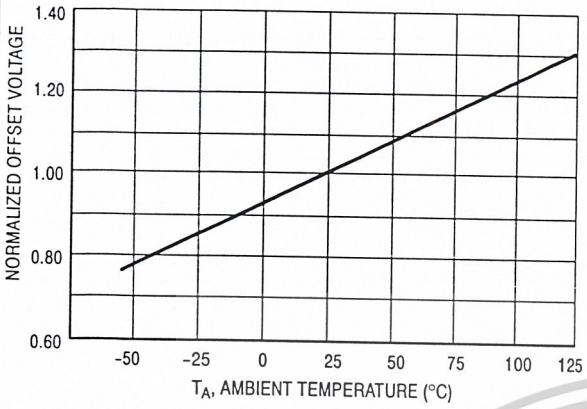


Figure 4. Normalized Input Offset Voltage

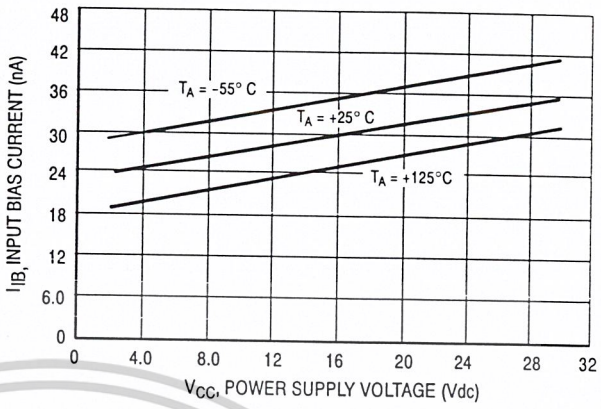


Figure 5. Input Bias Current

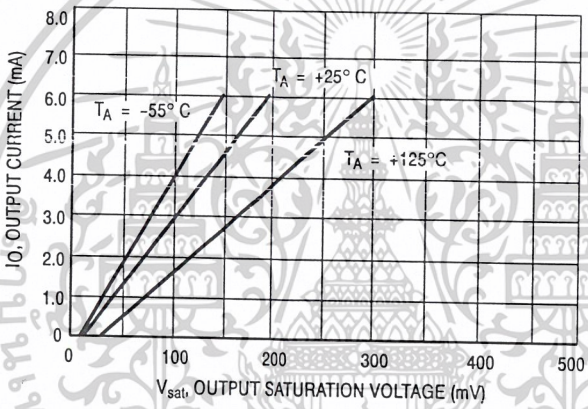
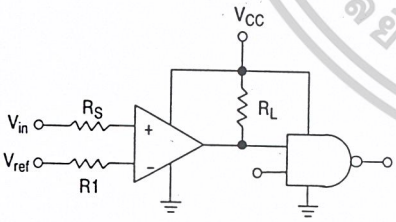


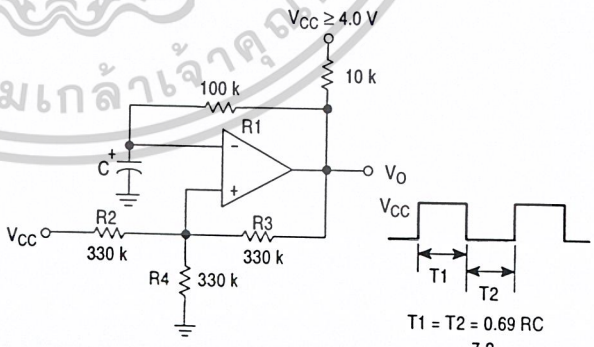
Figure 6. Output Sink Current versus Output Saturation Voltage



R_S = Source Resistance
$R1 \simeq R_S$

Logic	Device	V_{CC} (V)	R_L kΩ
CMOS	1/4 MC14001	+15	100
TTL	1/4 MC7400	+5.0	10

Figure 7. Driving Logic



T1 = T2 = 0.69 RC

$$f \approx \frac{7.2}{C(\mu F)}$$

R2 = R3 = R4
R1 ≈ R2 // R3 // R4

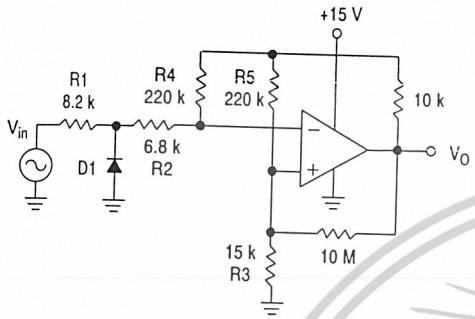
Figure 8. Squarewave Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

These quad comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transitions (V_{OL} to V_{OH}). To alleviate this situation input resistors < 10 kΩ should be used. The addition of positive feedback (< 10 mV) is also recommended. It is good design practice to ground all unused input pins.

Differential input voltages may be larger than supply voltages without damaging the comparator's inputs. Voltages more negative than −300 mV should not be used.



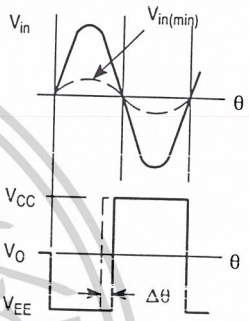
D1 prevents input from going negative by more than 0.6 V.

$R1 + R2 = R3$

$R3 \leq \frac{R5}{10}$ for small error in zero crossing

Figure 9. Zero Crossing Detector (Single Supply)

$V_{in(min)} \approx 0.4$ V peak for 1% phase distortion ($\Delta\theta$).



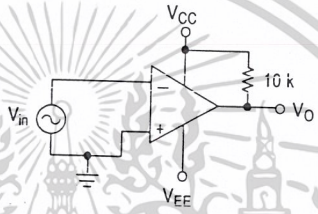
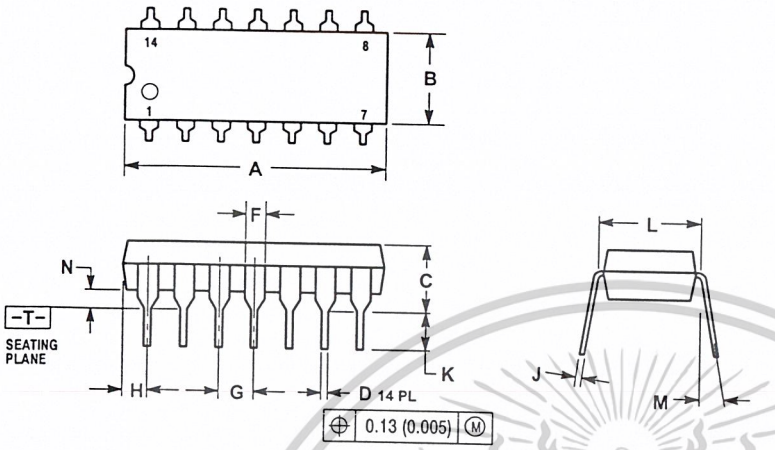


Figure 10. Zero Crossing Detector (Split Supplies)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

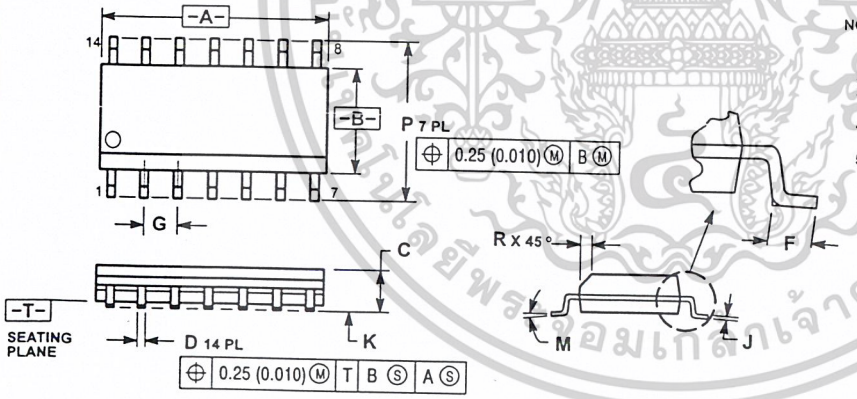
PDIP−14
P SUFFIX
CASE 646−06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

SOIC−14
D SUFFIX
CASE 751A−03
ISSUE G



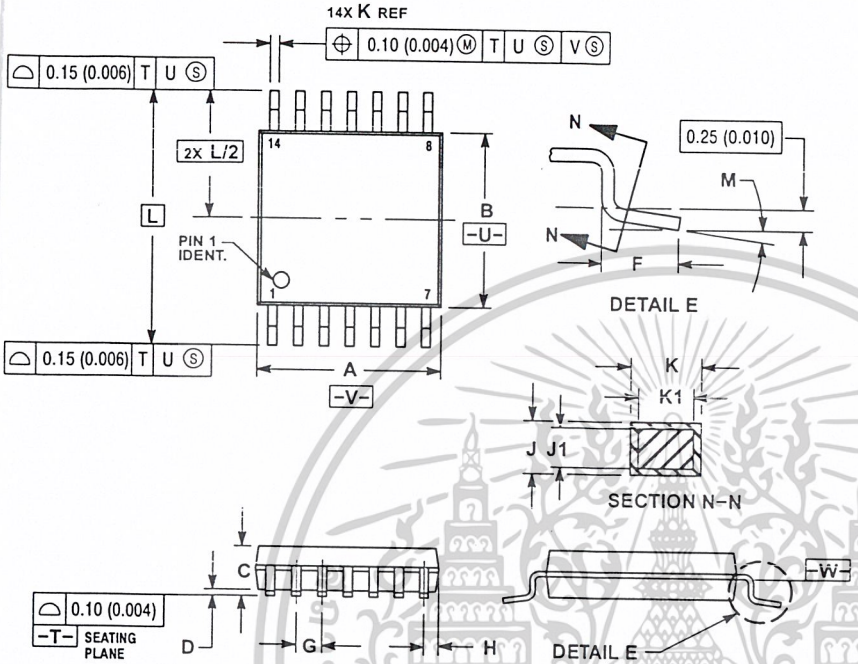
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0 °	7 °	0 °	7 °
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

TSSOP-14
DTB SUFFIX
CASE 948G-01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

ON Semiconductor and ◯ are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
P.O. Box 61312, Phoenix, Arizona 85082-1312 USA
Phone: 480-829-7710 or 800-344-3860 Toll Free USA/Canada
Fax: 480-829-7709 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free USA/Canada

Japan: ON Semiconductor, Japan Customer Focus Center
2-9-1 Kamimeguro, Meguro-ku, Tokyo, Japan 153-0051
Phone: 81-3-5773-3850

ON Semiconductor Website: http://onsemi.com

Order Literature: http://www.onsemi.com/litorder

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

March 1991

DM74LS123 Dual Retriggerable One-Shot with Clear and Complementary Outputs

General Description

The DM74LS123 is a dual retriggerable monostable multivibrator capable of generating output pulses from a few nanoseconds to extremely long duration up to 100% duty cycle. Each device has three inputs permitting the choice of either leading edge or trailing edge triggering. Pin (A) is an active-low transition trigger input and pin (B) is an active-high transition trigger input. The clear (CLR) input terminates the output pulse at a predetermined time independent of the timing components. The clear input also serves as a trigger input when it is pulsed with a low level pulse transition (⎍⎍). To obtain the best trouble free operation from this device please read the operating rules as well as the NSC one-shot application notes carefully and observe recommendations.

Features

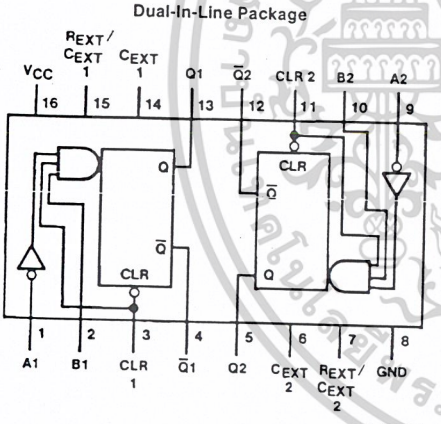
- DC triggered from active-high transition or active-low transition inputs
- Retriggerable to 100% duty cycle
- Compensated for V_{CC} and temperature variations
- Triggerable from CLEAR input
- DTL, TTL compatible
- Input clamp diodes

Functional Description

The basic output pulse width is determined by selection of an external resistor (R_X) and capacitor (C_X). Once triggered, the basic pulse width may be extended by retriggering the gated active-low transition or active-high transition inputs or be reduced by use of the active-low or CLEAR input. Retriggering to 100% duty cycle is possible by application of an input pulse train whose cycle time is shorter than the output cycle time such that a continuous "HIGH" logic state is maintained at the "Q" output.

Connection Diagram

Dual-In-Line Package



TL/F/6386–1

Order Number DM74LS123M or DM74LS123N
See NS Package Number M16A or N16E

Function Table

Inputs			Outputs	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍⎍	⎍⎍
H	↓	H	⎍⎍	⎍⎍
↑	L	H	⎍⎍	⎍⎍

H = High Logic Level
L = Low Logic Level
X = Can Be Either Low or High
↑ = Positive Going Transition
↓ = Negative Going Transition
⎍⎍ = A Positive Pulse
⎍⎍ = A Negative Pulse

© 1995 National Semiconductor Corporation TL/F/6386

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			V
V_{IL}	Low Level Input Voltage				0.8	V
I_{OH}	High Level Output Current				−0.4	mA
I_{OL}	Low Level Output Current				8	mA
t_W	Pulse Width (Note 6)	A or B High	40			ns
		A or B Low	40			
		Clear Low	40			
R_{EXT}	External Timing Resistor		5		260	kΩ
C_{EXT}	External Timing Capacitance		No Restriction			μF
C_{WIRE}	Wiring Capacitance at R_{EXT}/C_{EXT} Terminal				50	pF
T_A	Free Air Operating Temperature		0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V			20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Notes 3,4 and 5)		12	20	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{EXT} = 0.02 μF, and R_{EXT} = 25 kΩ.

Note 4: I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{EXT} = 0.02 μF, and R_{EXT} = 25 kΩ.

Note 5: With all outputs open and 4.5V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5V is applied to the clock.

Note 6: T_A = 25°C and V_{CC} = 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

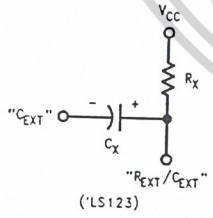
Switching Characteristics at V_{CC} = 5V and T_A = 25°C

Symbol	Parameters	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15pF, C_{EXT} = 0 pF, R_{EXT} = 5 kΩ		C_L = 15pF, C_{EXT} = 1000 pF, R_{EXT} = 10 KΩ		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	A to Q		33			ns
t_{PLH}	Propagation Delay Time Low to High Level Output	B to Q		44			ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A to $\overline{Q}$		45			ns
t_{PHL}	Propagation Delay Time High to Low Level Output	B to $\overline{Q}$		56			ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Clear to $\overline{Q}$		45			ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Clear to Q		27			ns
$t_{WQ(Min)}$	Minimum Width of Pulse at Output Q	A or B to Q		200			ns
$t_{W(out)}$	Output Pulse Width	A or B to Q			4	5	μs

Operating Rules

1. An external resistor (R_X) and an external capacitor (C_X) are required for proper operation. The value of C_X may vary from 0 to any necessary value. For small time constants high-grade mica, glass, polypropylene, polycarbonate, or polystyrene material capacitors may be used. For large time constants use tantalum or special aluminum capacitors. If the timing capacitors have leakages approaching 100 nA or if stray capacitance from either terminal to ground is greater than 50 pF the timing equations may not represent the pulse width the device generates.
2. When an electrolytic capacitor is used for C_X a switching diode is often required for standard TTL one-shots to prevent high inverse leakage current. This switching diode is not needed for the 'LS123 one-shot and should not be used. In general the use of the switching diode is not recommended with retriggerable operation.

Furthermore, if a polarized timing capacitor is used on the 'LS123 the negative terminal of the capacitor should be connected to the "C_{EXT}" pin of the device *(Figure 1)*.



TL/F/6386–8

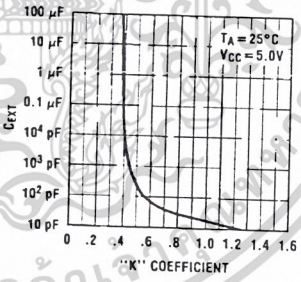
FIGURE 1

3. For C_X > > 1000 pF the output pulse width (T_W) is defined as follows:

$$T_W = KR_X C_X$$

where [R_X is in kΩ]
[C_X is in pF]
[T_W is in ns]
K ≈ 0.37

4. The multiplicative factor K is plotted as a function of C_X below for design considerations:



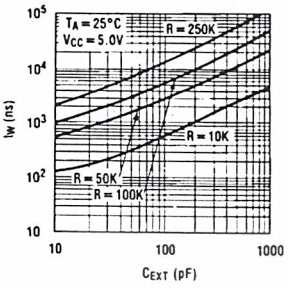
TL/F/6386–2

FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Rules (Continued)

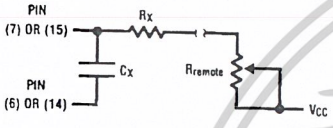
5. For C_X < 1000 pF see *Figure 3* for T_W vs C_X family curves with R_X as a parameter:



TL/F/6386–3

FIGURE 3

6. To obtain variable pulse widths by remote trimming, the following circuit is recommended:



TL/F/6386–4

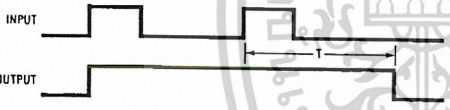
FIGURE 4

Note: "R_{remote}" should be as close to the device pin as possible.

7. The retriggerable pulse width is calculated as shown below:

$$T = T_W + t_{PLH} = K \times R_X \times C_X + t_{PLH}$$

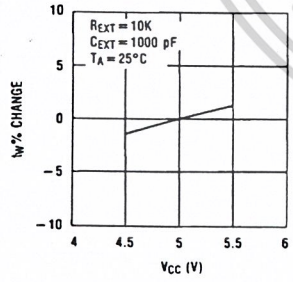
The retriggered pulse width is equal to the pulse width plus a delay time period *(Figure 5)*.



TL/F/6386–5

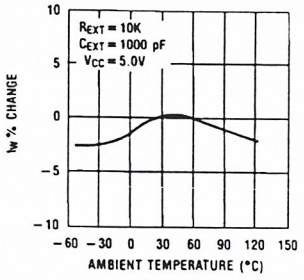
FIGURE 5

8. Output pulse width variation versus V_{CC} and temperatures: *Figure 6* depicts the relationship between pulse width variation versus V_{CC}, and *Figure 7* depicts pulse width variation versus temperatures.



TL/F/6386–6

FIGURE 6



TL/F/6386–7

FIGURE 7

9. Under any operating condition C_X and R_X must be kept as close to the one-shot device pins as possible to minimize stray capacitance, to reduce noise pick-up, and to reduce I-R and Ldi/dt voltage developed along their connecting paths. If the lead length from C_X to pins (6) and (7) or pins (14) and (15) is greater than 3 cm, for example, the output pulse width might be quite different from values predicted from the appropriate equations. A non-inductive and low capacitive path is necessary to ensure complete discharge of C_X in each cycle of its operation so that the output pulse width will be accurate.

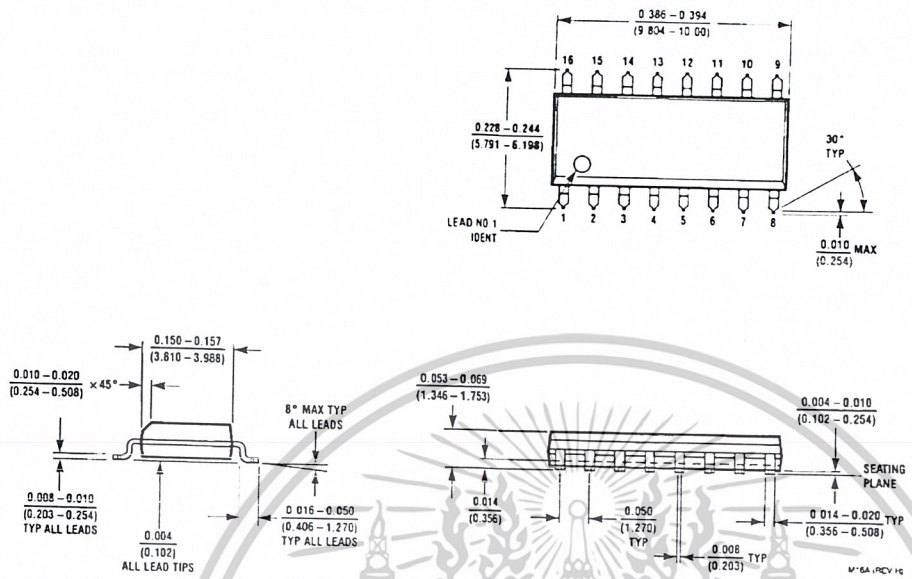
10. The C_{EXT} pins of this device are internally connected to the internal ground. For optimum system performance they should be hard wired to the system's return ground plane.

11. V_{CC} and ground wiring should conform to good high-frequency standards and practices so that switching transients on the V_{CC} and ground return leads do not cause interaction between one-shots. A 0.01 μF to 0.10 μF bypass capacitor (disk ceramic or monolithic type) from V_{CC} to ground is necessary on each device. Furthermore, the bypass capacitor should be located as close to the V_{CC}-pin as space permits.

For further detailed device characteristics and output performance please refer to the NSC one-shot application note AN-372.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

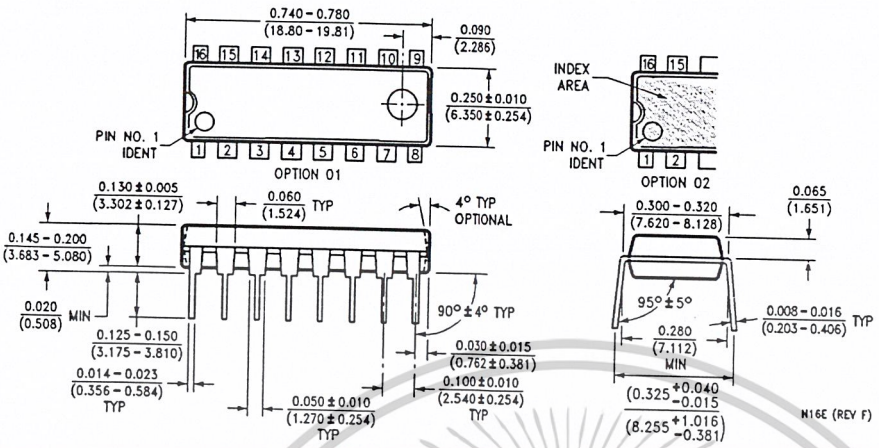
Physical Dimensions inches (millimeters)



16-Lead Small Outline Molded Package
Order Number DM74LS123M
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



16-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS123N
NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จไปได้ด้วยดี ด้วยความช่วยเหลือจากบุคคลหลายท่านดังต่อไปนี้ คณะผู้จัดทำขอขอบคุณอาจารย์ที่ปรึกษา ดร. สมภพ ผลไม้ ที่ได้ให้คำแนะนำทั้งทางทฤษฎีและการทดลองเกี่ยวกับโครงงานนี้ และยังคอยติดตามผลการทำงานอยู่ตลอด ทำให้ทางกลุ่มมีความตั้งใจที่จะทำงานให้สำเร็จ รวมถึงบุคลากรของภาควิชาวิศวกรรมไฟฟ้าทุกท่านที่คอยให้ความร่วมมือในทุกๆเรื่องไม่ว่าจะเป็นการหยิบยืมอุปกรณ์หรือการให้คำปรึกษาในบางเรื่อง และที่สำคัญขอขอบคุณสมาชิกในกลุ่มทุกท่านที่ช่วยกันทำงานและยังอยู่คอยเป็นกำลังใจให้กันและกันอยู่เสมอมา

ผู้จัดทำ
นายกรกฤษณ์ หาญณรงค์
นายกิติศักดิ์ จีนลอย
นายจตุพร สุดยอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Fang Zheng Peng and Jih-Sheng Lai ,"Dynamic Performance and Control of Static Var Generator Using Cascade multilevel Inverter, Oak Ridge National Laboratory Tennessee "

[2] B. HAN, S. Baek and G. Ledwich, "Dynamic Response Analysis of SSSC on H-Bridge Inverter Module, Myongji University Seoul, Korea and Queenland University of Technology Brisbane, Australia "

[3] Leon M.Tolbert , "Modulation Index Regulation of a Multilevel Inverter for Static Var Compensation"

[4] Colin D. Schauder, "Advanced static var compensator control system," U.S. Patent 5,329,221.Jul.12, 1994.

[5] F. Z. Peng, and J. S. Lai, "A multilevel voltage-source inverter with separate dc sources for static var generation."

[6] คู่มือการใช้งาน ET-SPEP Plus Version DOS & Windows , บริษัท อีทีที จำกัด

[7] คู่มือการใช้งาน MAX+PLUS II BASIC MANAUL, บริษัท ASTRON LOGIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้