สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสร้างวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ และวงจรกรองสัญญาณหลายหน้าที่โดยใช้เอฟพีจีเอ

Implementation of IIR Notch Filter and Multi-Functional Filter using FPGA

โดย

นายกานต์ ไพรสณฑ์

นายเกริกฤทธิ์ ห้าวสพโชค

นายพินัฐ พฤกษาโรจนกุล

เลขหมู่.....
เลขทะเบียน 61743
วัน,เดือน,ปี 21 ก.ค. 2549

b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

ภาควิชา

วิศวกรรมโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ และวงจรกรองสัญญาณหลายหน้าที่โดยใช้เอฟพีจีเอ

Implementation of IIR Notch Filter and Multi-Functional Filter using FPGA

โดย

นายกานต์ ไพรสณฑ์ 44010021

นายเกริกฤทธิ์ ห้าวสพโชค 44010035

นายพินัฐ พฤกษาโรจนกุล 44010333

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

อ.ศรวัฒน์ ชิวปรีชา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2547

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2547

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การสร้างวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์และวงจรกรองสัญญาณหลายหน้าที่โดยใช้เอฟพีจีเอ**

Implementation of IIR Notch Filter and Multi-Functional Filter using FPGA

ผู้จัดทำ

1.นายกานต์ ไพรสณฑ์ 44010021

2.นายเกริกฤทธิ์ ห้าวสพโชค 44010035

3.นายพินัฐ พฤกษาโรจนกุล 44010333

อาจารย์ที่ปรึกษา

(รศ.ดร.กอบชัย เดชหาญ)

อาจารย์ที่ปรึกษา

(อ.ศรวัฒน์ ชิวปรีชา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ และวงจรกรองสัญญาณหลายหน้าที่โดยใช้เอฟพีจีเอ

Implementation of IIR Notch Filter and Multi-Functional Filter using FPGA

โดย นายกานต์ ไพรสณฑ์ 44010021

นายเกริกฤทธิ์ ห้าวสพโชค 44010035

นายพินัฐ พฤกษาโรจนกุล 44010333

อาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ

อ.ศรวัฒน์ ชิวปรีชา

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอการออกแบบและสร้างวงจรกรองสัญญาณเชิงเลขแบบผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ และวงจรกรองสัญญาณเชิงเลขแบบหลายหน้าที่ที่ใช้รูปแบบที่ไม่มีการป้อนกลับ โดยการออกแบบจะใช้ภาษา VHDL มาทำการออกแบบลงบนอุปกรณ์ FPGA ของบริษัท Altera และใช้โปรแกรม MAX+PlusII ในการพัฒนาทั้งหมด สุดท้ายผลตอบสนองทางความถี่ที่ได้จากวงจรที่สร้างขึ้นจะถูกเปรียบเทียบกับผลทางทฤษฎี

ABSTRACT

This project presents a design and implementation of Infinite Impluse Response Notch Filter and Multi-Functional Filter based on non-recursive scheme. The hardware implementation can be constructed by using hardware desciption language. For testing will use VHDL to design onto Altera FPGA by using MAX+plusII program, synthesis for IIR and FIR filter. Finally, the experimental results will be compared with theoretical results by using frequency response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 วงจรกรองความถี่แบบดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด หรือ FIR	3
2.2 คุณสมบัติของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข	3
2.2.1 วงจรกรองแบบหน่วงเวลาคงที่	3
2.2.2 ชนิดของ FIR filter	8
2.3 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข	11
2.3.1 การออกแบบโดยใช้อนุกรมฟูริเยอร์	12
2.4 การใช้ฟังก์ชั่นวินโดว์	15
2.5 การจัดโครงสร้างสำหรับวงจรกรองสัญญาณดิจิตอลแบบ FIR	20
2.6 การออกแบบ Multifunction Digital Filter บน FIR Filter	21
2.6.1 ทฤษฎีการออกแบบ Multifunction Digital Filter	21
- หลักการเดิม	21
- หลักการใหม่	23
2.6.2 โครงสร้างแบบใช้ตัวคูณเพียงตัวเดียว	25
2.7 วงจรกรองความถี่ดิจิตอลแบบไม่จำกัดผลตอบสนองอิมพัลส์ หรือ IIR	27
2.8 การออกแบบวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์โดยปรับ เปลี่ยนตำแหน่งของ pole-zero	28
2.8.1 ทฤษฎีที่ใช้ในการออกแบบ	29
2.8.1.1 การออกแบบวงจรกรองแบบนอตช์แบบปกติ	29
2.8.1.2 การออกแบบด้วยวิธีเลื่อนตำแหน่ง pole	31
2.8.2 ตัวอย่างการออกแบบและผลที่ได้	34
2.9 รูปแบบของเลขจำนวนจริง	35
2.10 การคำนวณคณิตศาสตร์ของเลขจำนวนจริง	37
2.10.1 การบวกและการลบ	38
2.10.2 การคูณ	39
2.11 หลักการออกแบบส่วนของฮาร์ดแวร์ (Hardware)	40
2.11.1 วงจรคูณ	40
2.11.2 วงจรบวก	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.11.3 วงจรการเปลี่ยนเลขระบบจำนวนเต็มไปเป็นเลขระบบจำนวนจริง 43
2.11.4 วงจรการเปลี่ยนเลขระบบจำนวนจริงไปเป็นเลขระบบจำนวนเต็ม 44
2.12 การเปรียบเทียบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลขกับวงจรกรอง ความถี่ป้อนกลับเชิงเลข โดยเป็นการเปรียบเทียบที่ตัวกรองอันดับเดียวกัน 44

บทที่ 3 การสร้างค่าสัมประสิทธ์สำหรับวงจรกรองเชิงเลขโดยใช้โปรแกรม MATLAB 46
3.1 การออกแบบตัวกรองแบบ FIR โดยใช้โปรแกรม MATLAB 46
3.2 การใช้โปรแกรม MATLAB ออกแบบและจำลองในการทำงาน ของ FIR อันดับที่ 9 47
3.3 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของวงจรกรองความถี่หลาย หน้าที่ อันดับที่ 45 52
3.4 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของ IIR NOTCH FILTER 59
3.5 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของวงจรกรองความถี่ หลายหน้าที่ อันดับที่ 9 ที่ใช้วิธีการคูณแบบบูท 61
3.6 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของ IIR NOTCH FILTER ที่ใช้วิธีการคูณแบบบูท 65

บทที่4 การใช้งานโปรแกรม Max + plus II สำหรับออกแบบวงจรกรองดิจิตอล ด้วยเอฟพีจีเอ (FPGA)
4.1 การออกแบบวงจรกรองดิจิตอลความถี่ต่ำผ่านแบบ ไม่มีการป้อนกลับอันดับที่ 9 โดยใช้โครงสร้างของ วงจรแบบลดจำนวนตัวคูณ 68
4.1.1 ขั้นตอนการออกแบบวงจร 68
4.1.2 การตรวจสอบและสังเคราะห์วงจร 78
4.1.3 การจำลองการทำงาน 79
4.1.4 การโปรแกรมลงชิพ FPGA 84
4.2 การออกแบบวงจรกรองดิจิตอลหลายหน้าที่แบบ ไม่มีการป้อนกลับอันดับที่ 45 โดยใช้โครงสร้างของ วงจรแบบใช้ตัวคูณตัวเดียว 87
4.2.1 ขั้นตอนการออกแบบวงจร 87
4.2.2 การตรวจสอบและสังเคราะห์วงจร 93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.2.3 การจำลองการทำงาน 94
4.3 การออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว 100
4.3.1 ขั้นตอนการออกแบบวงจร 100
4.3.2 การตรวจสอบและสังเคราะห์วงจร 104
4.3.3 การจำลองการทำงาน 104
4.4 การออกแบบวงจรกรองดิจิตอลหลายหน้าที่แบบไม่มีการป้อนกลับอันดับที่ 9 โดยใช้โครงสร้างแบบตรงด้วยวิธีคูณของบูท 108
4.4.1 ขั้นตอนการออกแบบวงจร 108
4.4.2 การตรวจสอบและสังเคราะห์วงจร 112
4.4.3 การจำลองการทำงาน 112
4.5 การออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ด้วยวิธีการคูณแบบบูทโดยใช้โครงสร้างโดยตรง 113
4.5.1 ขั้นตอนการออกแบบวงจร 113
4.5.2 การตรวจสอบและสังเคราะห์วงจร 114
4.5.3 การจำลองการทำงาน 115

บทที่ 5 ผลการทดลอง
5.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 118
5.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 119
5.2.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านFIR อันดับที่ 9 119
5.2.2 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 120
5.2.3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 123
5.3 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองหลายหน้าที่ FIR อันดับที่ 45 125
5.3.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 1 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45 125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 1 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45 126

5.3.1.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 45 ตัวที่ 1 cut-off อยู่ที่ 1.0 KHz 130

5.3.2 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่1.5 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45 131

5.3.2.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่1.5 KHz ของวงจร FIR Multifunctional Filter อันดับที่45 132

5.3.2.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 45 ตัวที่ 2 cut-off อยู่ที่ 1.5 KHz 136

5.3.3 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ผ่านโดยที่มี cut-off 1 อยู่ที่ 1.00 KHz และ cut-off 2 ที่1.50 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45 137

5.3.3.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ผ่านของวงจร FIR Multifunctional Filter อันดับที่45 138

5.3.3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านแบบ FIR อันดับ 45 141

5.4 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองหลายหน้าที่ FIR อันดับที่ 9 โดยใช้ตัวคูณแบบ Booth Algorithm 142

5.4.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 142

5.4.1.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่ 1 ที่มี cut-off ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 143

5.4.1.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 ตัวที่ 1 cut-off อยู่ที่ 35.0 KHz 146

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

5.4.2 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำ ผ่านตัวที่2 ที่มี cut-off ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 147

5.4.2.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่ 2 ที่มี cut-off ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 148

5.4.2.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 ตัวที่ 2 cut-off อยู่ที่ 100.0 KHz 152

5.4.3 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ผ่าน โดยที่มี cut-off 1 อยู่ที่ 35 KHz และ cut-off 2 ที่100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 153

5.4.3.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9 154

5.4.3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านแบบ FIR อันดับ 9 159

5.4.4 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่สูงผ่าน โดยที่มี cut-off 1 อยู่ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 160

5.4.4.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่สูงผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9 161

5.4.4.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านแบบ FIR อันดับ 9 163

5.4.5 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่สูงผ่าน โดยที่มี cut-off 2 อยู่ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9 164

5.4.5.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่สูงผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9 165

5.4.5.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านแบบ FIR อันดับ 9 167

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.6 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่หยุด โดยที่มี notch frequency อยู่ที่ 60 KHz ของวงจร IIR Notch Filter อันดับที่ 2 168

5.4.6.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่หยุดของวงจร IIR Notch Filter อันดับที่ 2 169

5.4.6.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่หยุดแบบ IIR อันดับ 2 172

บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

บทที่ 2 ทฤษฎีและหลักการ

รูปที่ 2.1 แสดงคุณสมบัติของตัวกรองหน่วงเวลา 3

รูปที่ 2.2 Magnitude และ Amplitude ของเฟสเชิงเส้น FIR filter 5

(ก)magnitude และ phase 5

(ข)amplitude และ phase 5

รูปที่ 2.3 ผลตอบสนองอิมพัลส์สำหรับความหน่วงเฟสและกลุ่มคงที่ 7

(ก)N เป็นจำนวนคู่ 7

(ข) N เป็นจำนวนคี่ 7

รูปที่ 2.4 ผลตอบสนองอิมพัลส์สำหรับความหน่วงกลุ่มคงที่ 8

รูปที่ 2.5 ตัวอย่างผลตอบสนองอิมพัลสทั้ง 4 ชนิด ของเฟสเชิงเส้น FIR ฟิลเตอร์ 11

รูปที่ 2.6 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ 13

รูปที่ 2.7 Normalized Frequency ของวินโดว์สี่เหลี่ยม 17

รูปที่ 2.8 Normalized Frequency ของวินโดว์ ฮานน 18

รูปที่ 2.9 Normalized Frequency ของวินโดว์แฮมมิ่ง 18

รูปที่ 2.10 Normalized Frequency ของวินโดว์แบล็คแมน 19

รูปที่ 2.11 แสดงการจัดโครงสร้างของวงจรกรองสัญญาณดิจิตอล FIR 20

รูปที่ 2.12 แสดงโครงสร้างของวงจรกรองในอันดับที่ 5 โดยลดจำนวนตัวคูณลง 20

รูปที่ 2.13 แสดงรูปแบบของ FIR filter 22

รูปที่ 2.14 แสดงโครงสร้าง FIR Digital filter กับ ความถี่
แบบ multiple ที่เวลาเดียวกัน 25

รูปที่ 2.15 โครงสร้างวงจรกรองสัญญาณแบบใช้ตัวคูณเพียงตัวเดียว 26

รูปที่ 2.16 แสดงโครงสร้างวงจรกรองความถี่ดิจิตอลแบบ IIR 28

รูปที่ 2.17 ค่า pole-zero ของ single notch filter จากการออกแบบขั้นต้น 30

รูปที่ 2.18 ผลที่ได้ของ single notch filter จากการใช้การออกแบบขั้นต้น 30

รูปที่ 2.19 การปรับเปลี่ยนตำแหน่ง pole โดยใช้วิธีใหม่ 31

รูปที่ 2.20 Magnitude response ของ notch filter หลังจากเปลี่ยนตำแหน่ง pole 32

รูปที่ 2.21 พล็อต Pole – zero ที่ $\omega_0 = 0.3\pi$,ที่ r = 0.6, 0.7, 0.8, 0.9 และ 0.95 34

รูปที่ 2.22 ผลของ Magnitude ที่ $\omega_0 = 0.3\pi$,ที่ r = 0.6, 0.7, 0.8, 0.9 และ 0.95 34

รูปที่ 2.23 รูปแบบโครงสร้างข้อมูลโดยทั่วไปของเลขจำนวนจริงขนาด 32 บิต 36

รูปที่ 2.24 การบวกและลบเลขจำนวนจริง 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 2.25 การคูณเลขจำนวนจริง	40
บทที่ 3 การสร้างค่าสัมประสิทธิ์สำหรับวงจรกรองเชิงเลขโดยใช้โปรแกรม MATLAB	
รูปที่ 3.1 แสดงโครงสร้างโดยตรงของวงจรกรองสัญญาณ	48
รูปที่ 3.2 แสดง Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 9	49
รูปที่ 3.3 แสดง Frequency และ Phase Response ของวงจร FIR อันดับที่ 9	50
รูปที่ 3.4 แสดงการจำลองการทำงานหลังจากผ่านวงจรกรองเชิงเลขอันดับที่ 9	50
รูปที่ 3.5 แสดง Input Spectrum และ Output Spectrum ของสัญญาณที่ใช้ในการจำลองการทำงาน	51
รูปที่ 3.6 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1 kHz	55
รูปที่ 3.7 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1.5 kHz	55
รูปที่ 3.8 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่สูงที่ 1 kHz	56
รูปที่ 3.9 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1.5 kHz	56
รูปที่ 3.10 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่ผ่านที่ 1-1.5 kHz	57
รูปที่ 3.11 แสดง Frequency Response และ Phase Response ของวงจรกรองความถี่หยุดที่ 1-1.5 kHz	57
รูปที่ 3.12 ค่า pole-zero ของ IIR NOTCH FILTER	59
รูปที่ 3.13 Frequency Response ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 50 Hz	59
รูปที่ 3.14 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 10 kHz	62
รูปที่ 3.15 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 100 kHz	62
รูปที่ 3.16 Frequency Response และ Phase Response ของวงจรกรองความถี่สูงผ่านที่ 10 kHz	63
รูปที่ 3.17 Frequency Response และ Phase Response ของวงจรกรองความถี่สูงผ่านที่ 100 kHz	63
รูปที่ 3.18 Frequency Response และ Phase Response ของวงจรกรองแถบความที่ 10-100 kHz ผ่าน	64
รูปที่ 3.19 Frequency Response และ Phase Response ของวงจรกรองแถบความถี่ที่ 10-100 kHz	64
รูปที่ 3.20 Frequency Response ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 60 kHz	65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 3.21 ค่า pole-zero ของ IIR NOTCH FILTER	66
บทที่ 4 การใช้งานโปรแกรม Max+plus II สำหรับการออกแบบ วงจรกรองดิจิตอลด้วยเอฟพีจีเอ (FPGA)	
รูปที่ 4.1 แสดงขั้นตอนการออกแบบ	67
รูปที่ 4.2 แสดงหน้าต่าง New	68
รูปที่ 4.3 แสดงหน้าต่าง Enter Symbol	69
รูปที่ 4.4 แสดง Symbol D_flipflop	69
รูปที่ 4.5 แสดงวงจรชิพรีจิสเตอร์ 8 บิต	69
รูปที่ 4.6 แสดงวงจรชิพรีจิสเตอร์ 8 บิตหลังกำหนดเป็น Symbol	70
รูปที่ 4.7 แสดงหน้าต่าง Enter Symbol เพื่อเลือกอุปกรณ์ lpm_mult	70
รูปที่ 4.8 แสดง lmp_mult	71
รูปที่ 4.9 แสดงหน้าต่าง Edit Port/Parameters	71
รูปที่ 4.10 ตัวป้อนค่าคงที่	71
รูปที่ 4.11 แสดงวงจรคูณในโปรแกรม Max+plus II	72
รูปที่ 4.12 แสดงวงจรคูณหลังกำหนดเป็น Symbol	72
รูปที่ 4.13 แสดงหน้าต่าง Enter Symbol เพื่อเลือกกอุปกรณ์ lpm_add_sub	72
รูปที่ 4.14 แสดงหน้าต่าง Edit Ports/Parameters	73
รูปที่ 4.15 แสดงอุปกรณ์ LPM_ADD_SUB	73
รูปที่ 4.16 แสดงอุปกรณ์ CONST	73
รูปที่ 4.17 แสดงวงจรบวกในโปรแกรม Max+plus II	74
รูปที่ 4.18 แสดงวงจรบวกหลังกำหนดเป็น Symbol	74
รูปที่ 4.19 แสดงอุปกรณ์ CON2	74
รูปที่ 4.20 วงจรหน่วงเวลาและวงจรบวก	75
รูปที่ 4.21 แสดง Symbol ที่ผ่านการ Create Default Symbol จากรูปที่ 4.20	75
รูปที่ 4.22 แสดงอุปกรณ์ MAP2MULT	75
รูปที่ 4.23 แสดงอุปกรณ์ MAP2MULT16	76
รูปที่ 4.24 แสดงอุปกรณ์ sumation2	76
รูปที่ 4.25 วงจรกรองสัญญาณ	76
รูปที่ 4.26 แสดงอุปกรณ์ test_9_order_2	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

รูปที่ 4.27 แสดงอุปกรณ์ FIR_CLKNEW 77
รูปที่ 4.28 แสดงอุปกรณ์ CON3 77
รูปที่ 4.29 วงจรกรองสัญญาณที่มีสัญญาณนาฬิกาควบคุม 78
รูปที่ 4.30 ระบุเบอร์ของชิพ FPGA 78
รูปที่ 4.31 แสดงผลการคอมไพล์ 79
รูปที่ 4.32 แสดงการเลือกสร้างไฟล์ Waveform 79
รูปที่ 4.33 แสดงหน้าต่าง Waveform Edition 80
รูปที่ 4.34 แสดงการเลือกโหนดของ input กับ output 80
รูปที่ 4.35 แสดงการกำหนดค่า End Time 81
รูปที่ 4.36 แสดงการกำหนดขนาดของกริด 81
รูปที่ 4.37 การกำหนดสัญญาณ Clock 81
รูปที่ 4.38 แสดงหน้าต่างของตัวจำลองการทำงาน 82
รูปที่ 4.39 แสดงผลการจำลองการทำงาน 82
รูปที่ 4.40 แสดงหน้าต่างวิเคราะห์ค่าหน่วงเวลา 83
รูปที่ 4.41 แสดงหน้าต่างวิเคราะห์หาความถี่สูงสุดที่วงจรสามารถทำงานได้ 83
รูปที่ 4.42 แสดงหน้าต่าง Floorplane Editor ใน Layout แบบ LAB View 84
รูปที่ 4.43 แสดงหน้าต่าง Floorplane Editor ใน Layout แบบ Device View 84
รูปที่ 4.44 แสดงการเลือก Chip,Pin&Device 85
รูปที่ 4.45 แสดงหน้าต่าง Pin/Location/Chipตารางที่ 4.1 แสดงการ
วางตำแหน่งขาใหม่เพื่อสะดวกในการติดต่อกับอุปกรณ์ภายนอก 85
รูปที่ 4.46 แสดงหน้าต่าง Hardware Setup 86
รูปที่ 4.47 แสดงหน้าต่างของ Programmer 87
รูปที่ 4.48 วงจรหน่วงเวลา 8 บิตหลังกำหนดเป็น Symbol 87
รูปที่ 4.49 วงจรหน่วงเวลา 8 บิตต่ออนุกรมกัน 44 ตัว 88
รูปที่ 4.50 วงจรหน่วงเวลา 8 บิตต่ออนุกรมกัน 44 ตัวหลังกำหนดเป็น Symbol 88
รูปที่ 4.51 ตัวมัลติเพลกเซอร์ หลังกำหนดเป็น Symbol 89
รูปที่ 4.52 ตัวคูณ หลังกำหนดเป็น Symbol 89
รูปที่ 4.53 วงจรบวกและสะสมค่าหลังกำหนดเป็น Symbol 89
รูปที่ 4.54 วงจรสร้างสัญญาณควบคุมหลังกำหนดเป็น Symbol 90
รูปที่ 4.55 วงจรสร้างสัญญาณ address หลังกำหนดเป็น Symbol 90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ หน้า

รูปที่ 4.56 หน้าต่าง Edit Ports/Parameters 90
รูปที่ 4.57 ตัวเก็บค่าสัมประสิทธิ์ 91
รูปที่ 4.58 หน้าต่าง Initialize Memory 91
รูปที่ 4.59 หน้าต่าง Export Memory Content File 91
รูปที่ 4.60 รูปหลังจากนำวงจรมาต่อกัน 92
รูปที่ 4.61 สัญลักษณ์ที่ได้จากวงจรในรูปที่ 4.60 91
รูปที่ 4.62 สัญลักษณ์ที่ได้จากวงจรลบ 92
รูปที่ 4.63 สัญลักษณ์ที่ได้จากวงจรสร้างความถี่สุ่มตัวอย่าง 93
รูปที่ 4.64 สัญลักษณ์ที่ได้จากวงจรสร้างความถี่ควบคุม 93
รูปที่ 4.65 วงจรกรองความถี่หลายหน้าที่แบบไม่มีการป้อนกลับอันดับที่ 45 โดย
ใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว 93
รูปที่ 4.66 ระบุเบอร์ของชิพ FPGA 94
รูปที่ 4.67 แสดงผลการคอมไพล์ 94
รูปที่ 4.68 ผลการจำลองการทำงานของวงจรหน่วงเวลา 95
รูปที่ 4.69 ผลการจำลองการทำงานของวงจรมัลติเพลกเซอร์ 95
รูปที่ 4.70 ผลการจำลองการทำงานของวงจรคูณ 96
รูปที่ 4.71 ผลการจำลองการทำงานของวงจรบวกสะสมค่า 96
รูปที่ 4.72 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม 97
รูปที่ 4.73 ผลการจำลองการทำงานของวงจรเก็บค่าสัมประสิทธิ์ 97
รูปที่ 4.74 ผลการจำลองการทำงานของวงจรลบ 98
รูปที่ 4.75 ผลการจำลองการทำงานของหารความถี่เพื่อสร้างสัญญาณสุ่มตัวอย่าง 98
รูปที่ 4.76 ผลการจำลองการทำงานของหารความถี่เพื่อสร้างสัญญาณควบคุม 99
รูปที่ 4.77 ผลการจำลองการทำงานของวงจรกรอง 99
รูปที่ 4.78 วงจรแปลงจากเลขระบบจำนวนเต็มไปเป็นระบบจำนวนจริง 100
รูปที่ 4.79 วงจรแปลงจากเลขระบบจำนวนจริงไปเป็นระบบจำนวนเต็ม 100
รูปที่ 4.80 วงจรหน่วงเวลา 101
รูปที่ 4.81 วงจรเก็บค่าสัมประสิทธิ์ 101
รูปที่ 4.82 วงจรมัลติเพลกซ์สัญญาณจำนวนจริง 101
รูปที่ 4.83 วงจรคูณในระบบจำนวนจริง 102
รูปที่ 4.84 วงจรบวกสะสมค่าในระบบจำนวนจริง 102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

รูปที่ 4.85 วงจรเก็บค่าผลบวก 102
รูปที่ 4.86 วงจรสร้างสัญญาณควบคุม address 103
รูปที่ 4.87 วงจรสร้างสัญญาณควบคุม 103
รูปที่ 4.88 วงจรสร้างสัญญาณความถี่สุ่มตัวอย่าง 103
รูปที่ 4.89 วงจรสร้างสัญญาณความถี่เพื่อสร้างสัญญาณควบคุม 103
รูปที่ 4.90 วงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ 104
โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว 104
รูปที่ 4.91 ผลการจำลองการทำงานของวงจรแปลงเลขระบบจำนวนเต็มไปเป็นระบบจำนวนจริง 105
รูปที่ 4.92 ผลการจำลองการทำงานของวงจรแปลงเลขระบบจำนวนจริงไปเป็นเลข
ระบบจำนวนเต็ม 105
รูปที่ 4.93 ผลการจำลองการทำงานของวงจรหน่วงเวลา 105
รูปที่ 4.94 ผลการจำลองการทำงานของวงจรเก็บค่าสัมประสิทธิ์ 105
รูปที่ 4.95 ผลการจำลองการทำงานของวงจรมัลติเพลกซ์ 106
รูปที่ 4.96 ผลการจำลองการทำงานของวงจรคูณจำนวนจริง 106
รูปที่ 4.97 ผลการจำลองการทำงานของวงจรบวกจำนวนจริงสะสมค่า 106
รูปที่ 4.98 ผลการจำลองการทำงานของวงจรเก็บค่าผลบวก 107
รูปที่ 4.99 ผลการจำลองการทำงานของวงจรสร้างสัญญาณ address 107
รูปที่ 4.100 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม 107
รูปที่ 4.101 ผลการจำลองการทำงานของวงจรหารความถี่ควบคุม 107
รูปที่ 4.102 ผลการจำลองการทำงานของวงจรหารความถี่สุ่มตัวอย่าง 108
รูปที่ 4.103 วงจรเลือกค่าเพื่อนำไปชี้ค่าในรอม 108
รูปที่ 4.104 รอมเก็บค่าสัมประสิทธิแบบบูท 109
รูปที่ 4.105 วงจรบวกสะสมค่า 109
รูปที่ 4.106 วงจรเก็บค่าผลบวก 109
รูปที่ 4.107 วงจรสร้างสัญญาณควบคุม 109
รูปที่ 4.108 รูปแสดงการต่อส่วนต่างๆภายในวงจรคูณ 110
รูปที่ 4.109 วงจรคูณแบบบูท 110
รูปที่ 4.110 วงจรกลับบิทหน้าเพื่อแปลงเป็นเลขส่วนเติมเต็มสอง 110
รูปที่ 4.111 วงจรลบเลขส่วนเติมเต็มสอง 111
รูปที่ 4.112 การนำส่วนย่อยต่างๆมาต่อเป็นวงจรกรองแถบความถี่ต่ำผ่าน 111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

รูปที่ 4.113 วงจรกรองแถบความถี่ต่ำผ่าน 111
รูปที่ 4.114 วงจรกรองความถี่หลายหน้าที่แบบไมม่มีการป้อนกลับอันดับที่ 9 โดยใช้วิธีการคูณแบบบูท 112
รูปที่ 4.115 ผลการจำลองการทำงานของวงจรเลือกค่าเพื่อนำไปชี้ค่าในรอม 113
รูปที่ 4.116 ผลการจำลองการทำงานของวงจรรอมเก็บค่าสัมประสิทธิแบบบูท 113
รูปที่ 4.117 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม 113
รูปที่ 4.118 วงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ โดยใช้ตัวคูณแบบบูท 114

บทที่ 5 ผลการทดลอง

รูปที่ 5.1วงจรแปลงสัญญาณเชิงอะนาล็อกเป็นสัญญาณดิจิตอล 116
รูปที่ 5.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก 117
รูปที่ 5.3 วงจร Active Filter Second order 117
รูปที่ 5.4 การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น 118
รูปที่ 5.5 วงจรรวมสำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น 118
รูปที่ 5.6 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต 120
รูปที่ 5.7 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต 120
รูปที่ 5.8 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 1000 เฮิร์ต 121
รูปที่ 5.9 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 1400 เฮิร์ต 121
รูปที่ 5.10 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 2000 เฮิร์ต 122
รูปที่ 5.11 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อทจากการทดลอง 123
รูปที่ 5.12 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อทจากโปรแกรม MATLAB 124
รูปที่ 5.13 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต 126
รูปที่ 5.14 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต 127
รูปที่ 5.15 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 900 เฮิร์ต 127
รูปที่ 5.16 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1000 เฮิร์ต 128
รูปที่ 5.17 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1100 เฮิร์ต 128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

รูปที่ 5.18 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1200 เฮิร์ต 129
รูปที่ 5.19 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 45 เมื่อพล็อทจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 130
รูปที่ 5.20 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต 132
รูปที่ 5.21 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต 133
รูปที่ 5.22 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 900 เฮิร์ต 133
รูปที่ 5.23 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1400 เฮิร์ต 134
รูปที่ 5.24 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1500 เฮิร์ต 134
รูปที่ 5.25 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1600 เฮิร์ต 135
รูปที่ 5.26 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1700 เฮิร์ต 135
รูปที่ 5.27 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 45 เมื่อพล็อทจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 136
รูปที่ 5.28 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1000 เฮิร์ต 138
รูปที่ 5.29 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1200 เฮิร์ต 139
รูปที่ 5.30 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1300 เฮิร์ต 139
รูปที่ 5.31 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1400 เฮิร์ต 140
รูปที่ 5.32 แสดงสัญญาณอินพุตและเอาท์พุตที่ความถี่ 1600 เฮิร์ต 140
รูปที่ 5.33 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่าน FIR อันดับที่ 45 เมื่อพล็อทจากการทดลอง เมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 141
รูปที่ 5.34 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต 143
รูปที่ 5.35 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 15 กิโลเฮิร์ต 144
รูปที่ 5.36 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 35 กิโลเฮิร์ต 144
รูปที่ 5.37 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 50 กิโลเฮิร์ต 145
รูปที่ 5.38 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 70 กิโลเฮิร์ต 145
รูปที่ 5.39 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 146
รูปที่ 5.40 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต 148
รูปที่ 5.41 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 35 กิโลเฮิร์ต 149
รูปที่ 5.42 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 80 กิโลเฮิร์ต 159
รูปที่ 5.43 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 102 กิโลเฮิร์ต 150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

รูปที่ 5.44 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 120 กิโลเฮิร์ต 150
รูปที่ 5.45 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 135 กิโลเฮิร์ต 151
รูปที่ 5.46 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9
เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 152
รูปที่ 5.47 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 0 กิโลเฮิร์ต 154
รูปที่ 5.48 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 15 กิโลเฮิร์ต 155
รูปที่ 5.49 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 28 กิโลเฮิร์ต 155
รูปที่ 5.50 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 50 กิโลเฮิร์ต 156
รูปที่ 5.51 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 90 กิโลเฮิร์ต 156
รูปที่ 5.52 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 102 กิโลเฮิร์ต 157
รูปที่ 5.53 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 120 กิโลเฮิร์ต 157
รูปที่ 5.54 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 150 กิโลเฮิร์ต 158
รูปที่ 5.55 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่าน FIR อันดับที่ 9
เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 159
รูปที่ 5.56 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 10 กิโลเฮิร์ต 161
รูปที่ 5.57 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 30 กิโลเฮิร์ต 161
รูปที่ 5.58 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 60 กิโลเฮิร์ต 162
รูปที่ 5.59 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต 162
รูปที่ 5.60 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน FIR อันดับที่ 9
เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 163
รูปที่ 5.61 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 10 กิโลเฮิร์ต 165
รูปที่ 5.62 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 55 กิโลเฮิร์ต 166
รูปที่ 5.63 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต 166
รูปที่ 5.64 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน FIR อันดับที่ 9
เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 167
รูปที่ 5.65 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต 169
รูปที่ 5.66 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 20 กิโลเฮิร์ต 170
รูปที่ 5.67 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 40 กิโลเฮิร์ต 170
รูปที่ 5.68 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 60 กิโลเฮิร์ต 171
รูปที่ 5.69 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 80 กิโลเฮิร์ต 171

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ หน้า

รูปที่ 5.70 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต 172
รูปที่ 5.71 ผลตอบสนองทางความถี่ของวงจรกรองความถี่หยุด IIR อันดับที่ 2
เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง 173

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

บทที่ 2 ทฤษฎีและหลักการ

ตารางที่ 2.1 แสดงผลตอบสนองอิมพัลส์ในอุดมคติของวงจรกรองชนิดต่างๆ 14

ตารางที่ 2.2 สรุปคุณสมบัติของวินโดว์ 19

ตารางที่ 2.3 ข้อสรุปของการทำงานพื้นฐานสำหรับการคำนวณทางคณิตศาสตร์ของเลขจำนวนจริง 37

ตารางที่ 2.4 การเปรียบเทียบระหว่างตัวกรองป้อนกลับเชิงเลขกับตัวกรองไม่ป้อนกลับเชิงเลข 44

บทที่3 การสร้างค่าสัมประสิทธิ์สำหรับวงจรกรองเชิงเลขโดยใช้โปรแกรม MATLAB

ตารางที่ 3.1 แสดงฟังก์ชั่นวินโดว์ต่างๆ 46

ตารางที่ 3.2 แสดงฟังก์ชันที่ใช้สำหรับการออกแบบตัวกรองแบบ FIR. 47

ตารางที่ 3.3 แสดงค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 9. 48

ตารางที่ 3.4 แสดงค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 45 คัทออฟที่ 1 kHz 51

ตารางที่ 3.5 แสดงค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 45 คัทออฟที่ 1.5 kHz 53

ตารางที่ 3.6 ค่าสัมประสิทธิ์ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 50 Hz 58 59

ตารางที่ 3.7 ค่า Impulse Responses ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 คัทออฟที่ 10 kHz 61

ตารางที่ 3.8 ค่า Impulse Responses ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 คัทออฟที่ 100 61

ตารางที่ 3.9 ค่าสัมประสิทธิ์ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 60 kHz 65

บทที่ 4 การใช้งานโปรแกรม Max+plus II สำหรับการออกแบบวงจรกรองดิจิตอลด้วยเอฟพีจีเอ (FPGA)

ตารางที่ 4.1 แสดงการวางตำแหน่งขาใหม่เพื่อสะดวกในการติดต่อกับอุปกรณ์ภายนอก 86

ตารางที่ 4.2 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ 104

ตารางที่ 4.3 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ 112

ตารางที่ 4.4 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ 114

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง(ต่อ)

ตารางที่ หน้า

บทที่ 5 ผลการทดลอง

ตารางที่ 5.1 แสดงผลการวัดสัญญาณที่ได้จากวงจรกรอง
ความถี่ต่ำผ่านชนิด FIR อันดับที่ 9 119

ตารางที่ 5.2 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 1 ของ
FIR Multifunctional Filter อันดับที่ 45 125

ตารางที่ 5.3 แสดงผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 2
ของ FIR Multifunctional Filter อันดับที่ 45 131

ตารางที่ 5.4 แสดงผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ผ่าน
ของ FIR Multifunctional Filter อันดับที่ 45 137

ตารางที่ 5.5 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 1
ของ FIR Multifunctional Filter อันดับที่ 9 143

ตารางที่ 5.6 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 2
ของ FIR Multifunctional Filter อันดับที่ 9 147

ตารางที่ 5.7 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ผ่าน
ของ FIR Multifunctional Filter อันดับที่ 9 153

ตารางที่ 5.8 ผลวัดสัญญาณที่ได้จากวงจรกรองความถี่สูงผ่าน
ของ FIR Multifunctional Filter อันดับที่ 9 160

ตารางที่ 5.9 ผลวัดสัญญาณที่ได้จากวงจรกรองความถี่สูงผ่าน
ของ FIR Multifunctional Filter อันดับที่ 9 164

ตารางที่ 5.10 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่หยุด
ของ IIR Notch Filter อันดับที่ 2 168

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบการประมวลผลสัญญาณจะมีรูปแบบการประมวลผลอยู่ 2 ระบบคือระบบสัญญาณอนาลอก(Analog Signal) และระบบการประมวลผลสัญญาณดิจิตอล (Digital Signal Processing:DSP) หรือการประมวลผลสัญญาณชิงเลข ซึ่งระบบสัญญาณอนาลอกนั้นเป็นสัญญาณที่ต่อเนื่องทางเวลา เป็นสัญญาณที่เราพบเห็นในชีวิตประจำวันทั่วไป มีข้อดีตรงที่ราคาถูกและออกแบบง่าย แต่มีข้อเสียตรงประสิทธิภาพต่ำและความแม่นยำในการประมวลผลน้อย ส่วนสัญญาณดิจิตอลเป็นสัญญาณที่ไม่ต่อเนื่องตามเวลา มีข้อดีคือให้ความแม่นยำในการคำนวณและประสิทธิภาพดีกว่า จึงมีการนำมาใช้กันอย่างกว้างขวางในปัจจุบัน

วงจรกรองความถี่แบบดิจิตอล (Digital filter) หรือวงจรกรองความถี่เชิงเลข ซึ่งเป็นแขนงหนึ่งของการประมวลผลสัญญาณดิจิตอล วงจรกรองความถี่ชนิดนี้ เป็นกระบวนการที่ดัดแปลงสเปกตรัมของสัญญาณ ให้มีขนาดตามที่ต้องการ ซึ่งอาจเป็นการเพิ่มค่าหรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนดให้ออกไป หรือเพื่อทำการแยกสัญญาณในแถบความถี่ที่ต้องการออกมาเพื่อใช้งานก็ได้ซึ่งกระบวนการเหล่านี้มีจุดประสงค์เพื่อ

1. ลดความผิดเพี้ยนของสัญญาณเอาท์พุต (Distortion)
2. กำจัดสัญญาณรบกวน (Noise)
3. ต้องการแยกสัญญาณออกจากสัญญาณผสมของสัญญาณที่ส่งมาพร้อมกันในสายส่งเดียวกัน
4. ใช้การแยกแยะในโดเมนเวลาออกเป็นองค์ประกอบของสัญญาณในโดเมนความถี่
5. ใช้ในการแปลงสัญญาณเชิงจำนวนเต็ม (Discrete time signal) ออกเป็นองค์ประกอบทางความถี่
6. ใช้ในการดีมอดูเลตสัญญาณ (Demodulattion)

และจากตามข้อกำหนดที่ต้องการต่างๆสามารถแบ่งวงจรกรองความถี่แบบดิจิตอลได้หลายชนิดซึ่งจะแบ่งเป็น 2 ชนิดใหญ่ๆคือ

1. วงจรกรองความถี่ดิจิตอลแบบจำกัดแบบตอบสนองอิมพัลส์ (Finite Impulse Response Digital Filter:FIR filter) หรือเรียกว่า ตัวกรองป้อนกลับเชิงเลข
2. วงจรกรองความถี่ดิจิตอลแบบไม่จำกัดผลตอบสนองอิมพัลส์ (Infinite Impulse Response Digital Filter:IIR filter) หรือเรียกว่า ตัวกรองป้อนกลับเชิงเลข

ซึ่งจะอธิบายความหมายและคุณสมบัติของวงจรกรองความถี่ทั้งสองต่อไป โดยในปริญญานิพนธ์ฉบับนี้จะสนใจ ทั้งวงจรกรองความถี่ดิจิตอลแบบจำกัดแบบตอบสนองอิมพัลส์และไม่จำกัด โดยใช้โปรแกรมแมทแล็ป (Matlab) ช่วยในการออกแบบค่าสัมประสิทธิ์ และใช้ภาษา VHDL มาออกแบบวงจรต่อไป

ในรายงานได้แบ่งขั้นตอนการทำงานออกเป็นหัวข้อต่างๆดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. จะเป็นการหาสัมประสิทธิ์หรือตัวคูณของวงจรกรองเชิงเลขและการหาผลตอบสนองของวงจร โดยใช้โปรแกรม Matlab

2. จะนำค่าสัมประสิทธิ์ที่ได้ในข้อที่ 1 มาทำการออกแบบวงจรโดยใช้ภาษา VHDL ซึ่งรายละเอียดจะขอกล่าวไว้ในบทที่ 4 การออกแบบวงจรกรอง

3. จากนั้นจะเป็นการนำผลการจำลองการทำงานของวงจรกรองมาเปรียบเทียบกับผลการทดลองวัดสัญญาณจริง

4. สรุปผลการทดลองและข้อเสนอแนะต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 วงจรกรองความถี่แบบดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด หรือ FIR

ในการออกแบบตัวกรองเชิงอุปมาน หรือตัวกรองเชิงเลขโดยทั่วไป เรามักให้ความสำคัญแก่ผลตอบสนองแอมปลิจูดมากกว่า นั่นคือ ออกแบบให้มีผลตอบสนองแอมปลิจูดตามต้องการ โดยยอมให้ผลตอบสนองเฟสเป็นอย่างไรก็ได้ในงานบางลักษณะนั้น เช่น การประมวลผลภาพ เป็นต้น ผลตอบสนองเฟสมีความสำคัญมาก หรือ ในการประมวลผลสัญญาณอีซีจี (ECG : Electrocardiogram) ที่ขนาดและลักษณะรูปคลื่นของสัญญาณ และระยะเวลาในการเกิดสัญญาณมีความสำคัญมาก ในสถานการณ์แบบนี้ถ้าใช้ผลตอบสนองไม่เป็นเชิงเส้นมาทำการประมวลสัญญาณ ก็จะทำให้ค่าขนาด ลักษณะรูปคลื่น หรือเวลาในการเกิดสัญญาณนี้ผิดเพี้ยนไป ในการออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลขสามารถทำได้ 3 วิธี

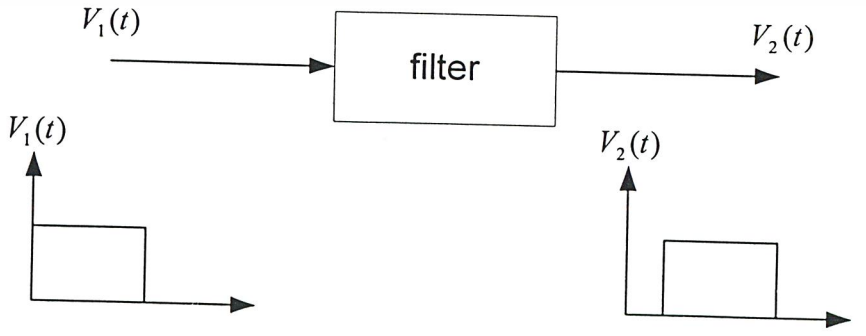
1. ออกแบบโดยใช้อนุกรมฟูริเยอร์ (Fourier series)
2. ออกแบบโดยใช้การแปลงดีสครีตฟูเรียร์ (Discrete Fourier Transform)
3. ออกแบบโดยใช้ Optimization Techniques

2.2 คุณสมบัติของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข

2.2.1 วงจรกรองแบบหน่วงเวลาคงที่ (Constant-Delay Filters)

เพื่อให้ความกระจ่างเกี่ยวกับ คุณสมบัติการมีผลตอบสนองเป็นเชิงเส้น เรามาทำความรู้จักกับวงจรกรองแบบหนึ่งที่มีชื่อเรียกว่า วงจรหน่วงเวลา วงจรกรองแบบนี้มีคุณสมบัติดังแสดงไว้ในรูปที่ 2.1 คือยอมให้สัญญาณผ่านออกไปได้โดยที่ลักษณะของลูกคลื่นสัญญาณออกไปไม่ผิดเพี้ยน เพียงแต่เวลาของการเกิดรูปคลื่นจะมีเวลาหน่วงออกไป τ วินาที โดยที่ τ เป็นค่าเวลาคงตัวที่กำหนดให้ ถ้าให้ $v_2(t)$ เป็นสัญญาณออกจากวงจรกรอง และ $v_1(t)$ เป็นสัญญาณเข้าของวงจรกรอง เราสามารถเขียนความสัมพันธ์ของทั้ง 2 สัญญาณนี้ได้เป็น

$$v_2(t) = v_1(t-T)$$



รูปที่ 2.1 แสดงคุณสมบัติของตัวกรองหน่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากฟังก์ชั่นของวงจรกรองความถี่ไม่ป้อนกลับเชิงที่เป็นเหตุกภาพ

$$H(z)=\sum_{n=0}^{N-1}h(nT)z^{-n} \tag{2.1}$$

และเมื่อให้ $z=e^{j\omega}$ จะได้ผลตอบสนองความถี่เป็น

$$H(\omega)=\sum_{n=0}^{N-1}h(nT)e^{-j\omega nT} \tag{2.2}$$

ถ้าให้ $H(\omega)$ เป็นจำนวนเชิงซ้อน โดยที่ในส่วนจริง $R(\omega)$(Real part)และส่วนจินตภาพ $I(\omega)$ (Imaginary part) ของ $H(\omega)$ จะอยู่ในรูป

$$H(\omega)=R(\omega)+jI(\omega) \tag{2.3}$$

ค่าแมกนิจูด $M(\omega)$ (Magnitude) และ เฟส $d(\omega)$ (Phase) จะได้

$$M(\omega)=|H(\omega)|=\sqrt{R^2+I^2}$$

$$d(\omega)=\arctan\left(\frac{1}{R}\right)$$

ฉะนั้นสามารถหาความสัมพันธ์ในรูปของแมกนิจูดและเฟสได้ดังนี้

$$H(\omega)=M(\omega)e^{jd(\omega)} \tag{2.4}$$

ปัญหาทางคณิตศาสตร์เกิดขึ้นเนื่องจาก $M(\omega)$ ไม่สามารถวิเคราะห์หาคำตอบได้โดยตรงและ $d(\omega)$ ไม่ต่อเนื่อง ทางแก้ปัญหา คือ การสร้างฟังก์ชั่นแอมปลิจูดค่าจริง $A(\omega)$ ซึ่งอาจจะเป็นค่าบวก หรือค่าลบ จะได้ผลตอบสนองความถี่

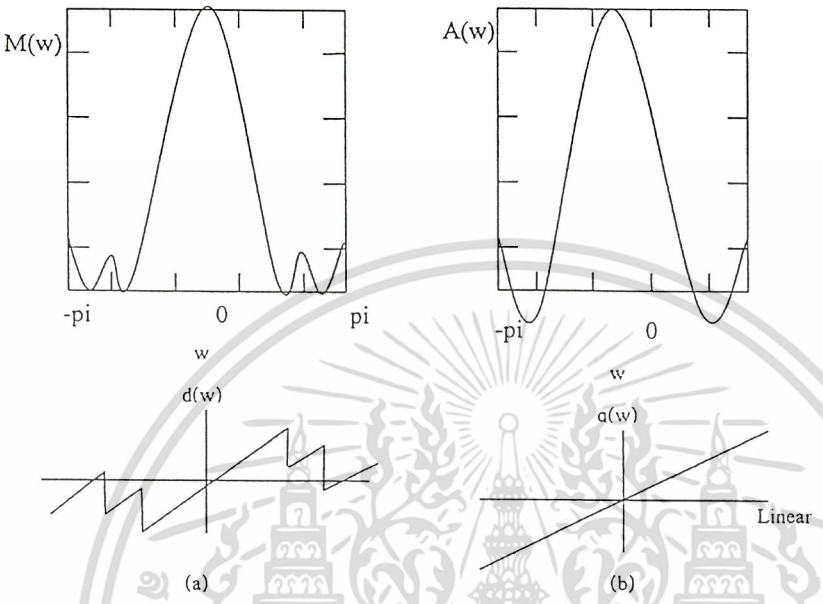
$$H(\omega)=A(\omega)e^{j\theta(\omega)} \tag{2.5}$$

เมื่อ $A(\omega)$ คือ แอมปลิจูด ซึ่งมาจากแมกนิจูด $M(\omega)$ และ $\theta(\omega)$ มีค่าต่อเนื่อง $A(\omega)$ เป็นค่าจริง วิเคราะห์ความสัมพันธ์กับแมกนิจูด

$$A(\omega)=\pm M(\omega) \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนิยามนี้ $A(\omega)$ สามารถทำการวิเคราะห์ และ $\theta(\omega)$ สามารถทำให้ต่อเนื่องได้ ซึ่งคุณสมบัติเหล่านี้นำมาใช้งานง่ายกว่า $M(\omega)$ และ $d(\omega)$ ความสัมพันธ์ระหว่าง $A(\omega)$ กับ $M(\omega)$ และระหว่าง $\theta(\omega)$ กับ $d(\omega)$ แสดงดังรูป



รูปที่ 2.2 Magnitude และ Amplitude ของเฟสเชิงเส้น FIR filter

(ก) magnitude และ phase

(ข) amplitude และ phase

ดังนั้นจะได้

$$A(\omega) = |H(\omega)| \tag{2.7}$$

และ

$$\theta(\omega) = \arg H(\omega)$$

การกล่าวถึงคุณสมบัติของวงจรกรองนั้นยังมีอีกสองคำที่มักใช้บ่งบอกถึงคุณสมบัติของผลตอบสนองเฟสด้วย คำแรกคือ ความหน่วงเฟส (Phase delay) จะเขียนแทนด้วย τ_p ซึ่งนิยามให้เป็น อัตราส่วนของเฟสต่อความถี่

$$\tau_p = -\frac{\theta(\omega)}{\omega}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำที่สองคือ ความหน่วงกลุ่ม (Group หรือ signal หรือ envelope delay) จะเขียนแทนด้วย τ_g ซึ่งนิยามให้เป็น ค่าอนุพันธ์ของเฟสเมื่อเทียบกับความถี่ หรือ

$$\tau_g = -\frac{d\theta(\omega)}{d\omega}$$

ความหน่วงเฟสคงที่ (Constant phase delay) เทียบเท่ากับความหน่วงกลุ่มคงที่ (Constant group delay) ซึ่งผลตอบสนองเฟสต้องเป็นเชิงเส้น

$$\theta(\omega) = -\tau\omega$$

และจากสมการผลต่างสืบเนื่อง

$$\theta(\omega) = -\tau\omega = \tan^{-1}\frac{-\sum_{n=0}^{N-1} h(nT)\sin\omega nT}{\sum_{n=0}^{N-1} h(nT)\cos\omega nT}$$

$$\tan\omega\tau = \frac{\sum_{n=0}^{N-1} h(nT)\sin\omega nT}{\sum_{n=0}^{N-1} h(nT)\cos\omega nT}$$

และจาก

$$\sum_{n=0}^{N-1} h(nT)(\cos\omega nT\sin\omega\tau - \sin\omega nT\cos\omega\tau) = 0$$

หรือ

$$\sum_{n=0}^{N-1} h(nT)\sin(\omega\tau - \omega nT) = 0$$

แก้สมการออกมาได้ดังนี้

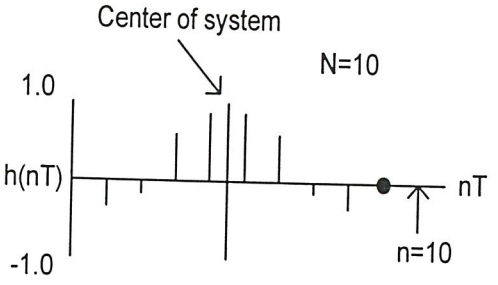
$$\tau = \frac{(N-1)T}{2} \tag{2.8}$$

$$h(nT) = h\left[(N-1-n)T\right] \quad \text{for} \quad 0 \le n \le N-1 \tag{2.9}$$

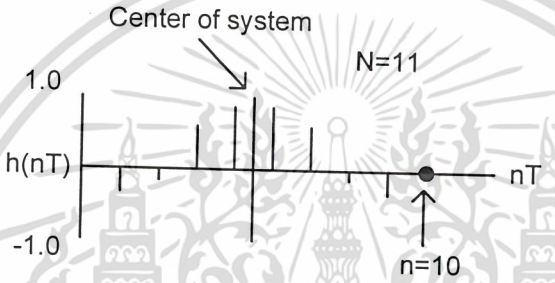
เพราะฉะนั้นวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข ซึ่งมีความหน่วงเฟสและกลุ่มคงที่ครอบคลุมเบสแบนด์ทั้งหมด ซึ่งจะมีผลเพียงเพื่อให้ผลตอบสนองอิมพัลส์นั้นสมมาตรที่จุดกึ่งกลางระหว่างแซมเปิ้ล (N-2)/2 และ N/2 สำหรับ N เป็นเลขคู่ หรือที่ (N-1)/2

สำหรับ N เป็นเลขคี่ สมมาตรที่ต้องการแสดงดังรูปที่ 2.3 เมื่อ N=10 และ 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 2.3 ผลตอบสนองอิมพัลส์สำหรับความหน่วงเฟสและกลุ่มคงที่
(ก) N เป็นจำนวนคู่ (ข) N เป็นจำนวนคี่

ในหลายๆการประยุกต์อาจจะให้คุณสมบัติเพียงการหน่วงเฟส หรือความหน่วงกลุ่มเพียงอย่างเดียวก็ได้ กรณีที่ต้องการเพียงความหน่วงกลุ่ม จะให้ผลตอบสนองเฟสเป็น

$$\theta(\omega) = \theta_0 - \tau\omega$$

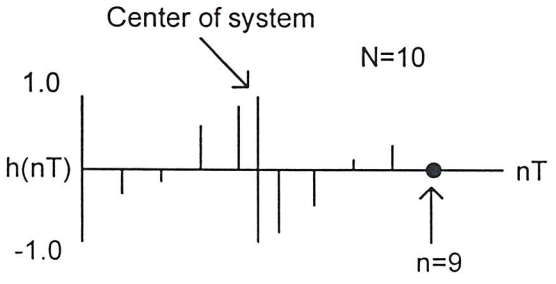
เมื่อ θ_0 เป็นค่าคงที่ ในที่นี้ให้ $\theta_0 = \pm\pi/2$ จะได้

$$\tau = \frac{(N-1)T}{2} \tag{2.10}$$

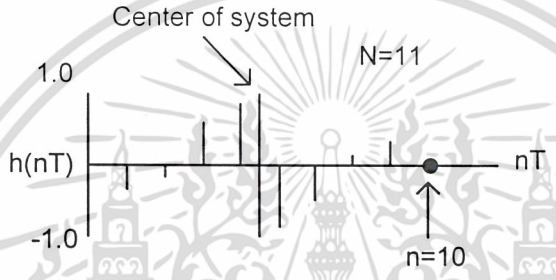
$$h(nT) = -h\left[(N-1-n)T\right] \tag{2.11}$$

ในกรณีนี้ผลตอบสนองอิมพัลส์นั้นจะเกิดการปฏิสมมาตรที่จุดกึ่งกลางระหว่างแซมเปิ้ล (N-2)/2 และ N/2 สำหรับ N เป็นเลขคู่ หรือที่ (N-1)/2 สำหรับ N เป็นเลขคี่ สมมาตรที่ต้องการแสดงดังรูปที่ 2.4 เมื่อ N=10 และ 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

(ก) N เป็นเลขคู่

(ข) N เป็นเลขคี่

รูปที่ 2.4 ผลตอบสนองอิมพัลส์สำหรับความหน่วงกลุ่มคงที่

2.2.2 ชนิดของ FIR Filter

นอกจากนี้ยังมีการพัฒนาคุณลักษณะ และคุณสมบัติของเฟสเชิงเส้น Filter ทำให้เราได้รูปแบบเชิงเส้นทั่วไปสำหรับ Phase Function ในที่นี้พิจารณาเมื่อผ่านการ Normalize โดยการให้คาบเวลาในการ Sampling (T) เท่ากับ 1

$$\theta(\omega) = K_1 + K_2\omega$$

พิจารณาจากสมการผลต่างสืบเนื่อง เมื่อทำการ Normalize สมการแล้วก็จะได้สมการ (2.12) ออกมา ซึ่งก็คือ function ของผลตอบสนองความถี่ของ FIR filter อันดับที่ N

$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(\omega) = e^{-j\omega M} \sum_{n=0}^{N-1} h(n) e^{j\omega(M-n)} \tag{2.12}$$

และ

$$H(\omega) = e^{-j\omega M} \left[h_0 e^{j\omega M} + h_1 e^{j\omega(M-1)} + \ldots + h_{N-1} e^{j\omega(M-N+1)} \right] \tag{2.13}$$

จากสมการ (2.12) สามารถเขียนอยู่ในรูปแบบ

$$H(\omega) = A(\omega) e^{j(K_1 + K_2\omega)} \tag{2.14}$$

ถ้า M (ไม่จำเป็นต้องเป็นจำนวนเต็ม) ถูกกำหนดให้

$$M = \frac{N-1}{2}$$

หรือเท่ากับ

$$M = N - M - 1$$

สมการ (2.14) จะกลายเป็น

$$\begin{aligned} H(\omega) = \{ & (h_0 + h_{N-1}) \cos(\omega M) + j(h_0 - h_{N-1}) \sin(\omega M) + (h_0 + h_{N-2}) \cos(\omega(M-1)) \\ & + j(h_1 - h_{N-2}) \sin(\omega(M-1)) + \ldots \} \end{aligned} \tag{2.15}$$

เมื่อเรานำสมการ (2.15) มาแทนในสมการ (2.14) แล้ว $A(\omega)$ เป็นค่าจริง คือ $K_1 = 0$ หรือ $K_1 = \pi / 2$ กรณีแรกที่ได้ คือ การสมมาตรคู่ หรือ สมมาตร (Even Symmetric or Symmetrical) ซึ่งตรงกับสมการ (2.11)

$$h(n) = h(N-n-1) \tag{2.16}$$

ซึ่งจะได้

$$H(\omega) = A(\omega) e^{-jM\omega}$$

เมื่อ $A(\omega)$ เป็นฟังก์ชั่นค่าจริงของ ω และ $e^{-jM\omega}$ เมื่อ N เป็นเลขคี่ (Odd)

$$A(\omega) = \sum_{n=0}^{M-1} 2h(n) \cos(\omega(M-n) + h(M)) \tag{2.17}$$

เปลี่ยนค่าตัวแปรจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A(\omega) = \sum_{n=1}^{M} 2h(M-n)\cos(\omega n) + h(M) \qquad (2.18)$$

เมื่อ N เป็นเลขคู่ (Even)

$$A(\omega) = \sum_{n=0}^{\frac{N}{2}-1} 2h(n)\cos(\omega(M-n)) \qquad (2.19)$$

เปลี่ยนค่าตัวแปรจะได้

$$A(\omega) = \sum_{n=1}^{\frac{N}{2}} 2h(\frac{N}{2}-n)\cos(\omega(n-\frac{1}{2})) \qquad (2.20)$$

เมื่อ $K_1 = \pi/2$ ในสมการ (2.14) แล้วรูปแบบของ h(n) ของสมการสมมาตรคี่ หรือ ปฏิสมมาตร ซึ่งจะตรงกับสมการ (2.11)

$$h(n) = -h(N-n-1) \qquad (2.21)$$

สำหรับ N เป็นเลขคี่แล้ว $H(\omega)$ จะได้เป็น

$$H(\omega) = jA(\omega)e^{-jM\omega}$$

เมื่อ

$$A(\omega) = \sum_{n=0}^{M-1} 2h(n)\sin(\omega(M-n)) \qquad (2.22)$$

สำหรับ N เป็นเลขคู่

$$A(\omega) = \sum_{n=0}^{\frac{N}{2}-1} 2h(n)\sin(\omega(M-n)) \qquad (2.23)$$

สรุปชนิดของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข ได้ดังนี้

ชนิดที่ 1 ผลตอบสนองอิมพัลส์ที่มี อันดับคี่ และเป็นการสมมาตรคู่ จะอยู่ที่จุดกึ่งกลาง n=M=(N-1)/2 ซึ่งต้องการ h(n)=h(N-n-1)

ชนิดที่ 2 ผลตอบสนองอิมพัลส์ที่มี อันดับคู่ และเป็นการสมมาตรคู่จะอยู่ที่ M แต่ M ไม่เป็นจำนวนเต็ม เพราะฉะนั้นจะไม่มี h(n) ที่จุดสมมาตร

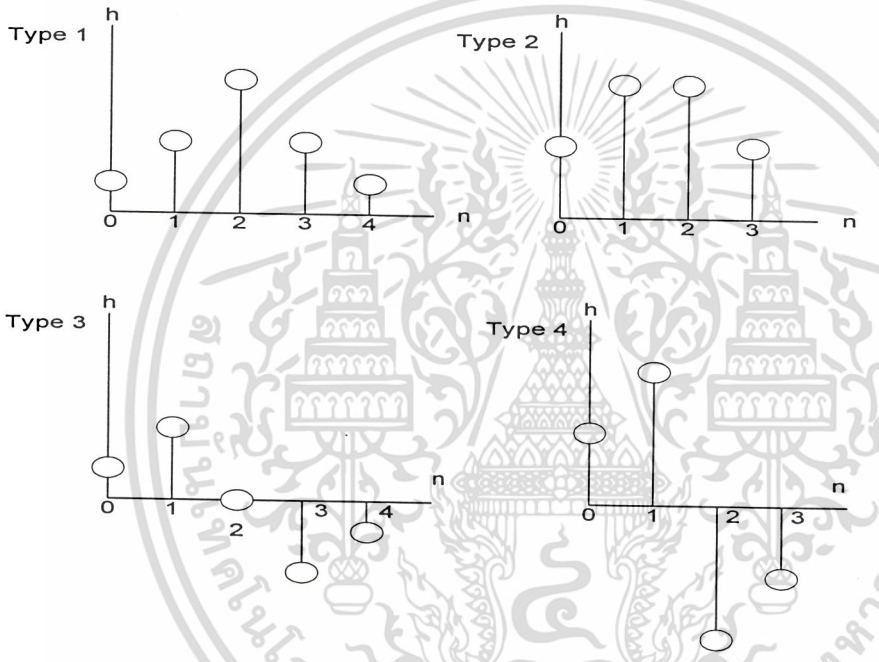
ชนิดที่ 3 ผลตอบสนองอิมพัลส์ที่มี อันดับคี่ และเป็นการสมมาตรคี่ จะให้ผลคูณส่วนจินตภาพสำหรับเฟสเชิงเส้น

ชนิดที่ 4 ผลตอบสนองอิมพัลส์ที่มี อันดับคู่ และเป็นการสมมาตรคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะที่แสดงออกมาของแต่ละชนิดมีความสำคัญในการออกแบบฟิลเตอร์ เช่น ชนิดที่ 3 และ 4 $A(0)=0$ สำหรับทุกสัมประสิทธิ์ h(n) ซึ่งไม่นิยมใช้สำหรับวงจรกรองความถี่ต่ำ ชนิดที่ 2 และ 3 ค่า $A(\pi)=0$ เสมอ ซึ่งไม่นิยมใช้กับวงจรกรองความถี่สูง เป็นต้น

ระหว่างวงจรกรองความถี่สมมาตรคู่ และสมมาตรคี่ วงจรกรองความถี่ที่มีประโยชน์ใช้งานมาก คือ วงจรกรองความถี่สมมาตรคู่เพราะค่าของฟังก์ชันถ่ายโอนมีเฉพาะค่าจริง ทำให้ผลตอบสนองเฟสอาจเป็นค่าคงที่หรือค่าศูนย์หรือที่เรียกกันว่า เป็นวงจรกรองความถี่ที่มีผลตอบสนองเฟสที่แปรเป็นเชิงเส้นกับความถี่ได้ นั่นคือ ไม่เกิดความผิดพลาดในทางด้านเฟสของสัญญาณ



รูปที่ 2.5 ตัวอย่างผลตอบสนองอิมพัลสทั้ง 4 ชนิด ของเฟสเชิงเส้น FIR ฟิลเตอร์

2.3 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข

คำสั่ง FIR ย่อมาจาก Finite Impulse Response ซึ่งแปลว่า ผลตอบสนองอิมพัลส์จำกัด นั่นคือหากเราป้อนสัญญาณอิมพัลส์ให้กับวงจรนี้แล้ว สัญญาณตอบสนองจะมีค่าที่จำกัด โดยที่สัญญาณเอาท์พุตของระบบจะขึ้นอยู่กับสัญญาณอินพุตเท่านั้น จึงเรียกว่า วงจรกรองความถี่ไม่ป้อนกลับ (non-recursive filter) หรือ ไม่ป้อนกลับเชิงเลข ซึ่งสามารถเขียนสมการได้ดังนี้

$$y(n)=\sum_{k=0}^{N-1} b_k x(n-k) \tag{2.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ b_k เป็นค่าคงที่ใดๆที่แทนค่าสัมประสิทธิ์ (Coefficient) ของวงจรกรองความถี่และในทางปฏิบัติค่า k จะมีค่าคงที่ ไม่ถึงกับมีค่าอนันต์ ขึ้นอยู่กับอันดับของวงจรกรองความถี่ N ที่ต้องการใช้ จะได้

$$y(n) = \sum_{k=0}^{N-1} b_k x(n-k) \tag{2.25}$$

และจะได้สมการคอนโวลูชั่น (Convolution) เป็น

$$y(n) = \sum_{n=0}^{N-1} h(m)x(n-m) \tag{2.26}$$

เปลี่ยนค่าตัวแปร จะได้

$$y(n) = \sum_{m=n}^{n-N+1} h(n-m)x(m) \tag{2.27}$$

เมื่อ x(n) เป็นอินพุต และ h(n) เป็นผลตอบสนองอิมพัลส์ลำดับที่ N (length-N impulse response) เมื่อนำมาประยุกต์ใช้งานกับการแปลงแซด จะได้ฟังก์ชั่นถ่ายโอน

$$H(Z) = \sum_{n=0}^{N-1} h(n)z^{-n} \tag{2.28}$$

แทนค่า $z = e^{jw}$ จะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข

$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-jwn} \tag{2.29}$$

2.3.1 การออกแบบโดยใช้อนุกรมฟูริเยอร์

ในการออกแบบวงจรกรองสัญญาณเชิงเลขชนิด ผลตอบสนองอิมพัลส์แบบจำกัด (FIR Filter) โดยทั่วไปจะทำการออกแบบจากอนุกรมฟูเรียร์ (Fourier Series) โดยที่ผลการตอบสนองที่ได้นี้จะเป็นผลตอบสนองในทางอุดมคติ ซึ่งในทางปฏิบัติ ค่าสัมประสิทธิ์หรือผลตอบสนองอิมพัลส์ที่นำมาใช้งานนั้นจะต้องมีจำนวนที่จำกัด ซึ่งผลจากการตัดค่าผลตอบสนองอิมพัลส์ให้มีจำนวนที่จำกัดนี้จะทำให้เกิดความพลิ้ว (Ripples) ขึ้นที่ย่านผ่านและหยุดสัญญาณ รวมทั้งเกิด Overshoot ขึ้นที่ขอบของย่านผ่านสัญญาณ ซึ่งผลที่เกิดขึ้นนี้รวมรียกว่า ปรากฏการณ์กิปส์ (Gibb's Phenomenon) การลดผลที่เกิดขึ้นนี้สามารถทำได้โดยการถ่วงน้ำหนัก (Weighted) ด้วยฟังก์ชั่นหน้าต่าง (Windows function) ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบที่มีผลตอบสนองอิมพัลส์จำกัดจำนวน N ตัวสามารถคำนวณได้จากการแปลงฟูเรียร์เวลาเต็มหน่วย (Discrete-Time Fourier Transform : DTFT) ของผลตอบสนองอิมพัลส์ ได้ดังนี้

$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n} \tag{2.30}$$

สมมติให้เฟสเป็นเชิงเส้น (Linear Phase) จะสามารถเขียนได้เป็น

$$H(\omega) = A(\omega)e^{-jM\omega} \tag{2.31}$$

โดย

$A(\omega)$ คือ ผลตอบสนองแอมปลิจูด

$M = \dfrac{(N-1)}{2}$ คือ ค่าคงที่ความหน่วงกลุ่ม (Constant Group Delay) ของวงจร

สำหรับ N เป็นจำนวนคี่จะได้

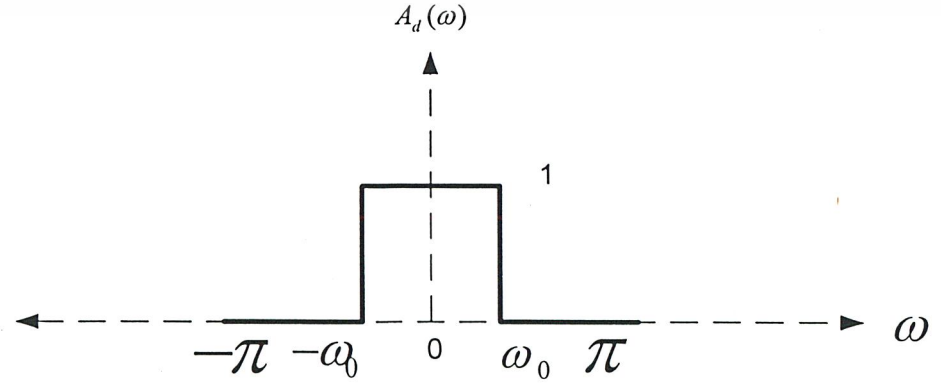
$$A(\omega) = \sum_{n=-M}^{M} \hat{h}(\omega)\cos(\omega n) \tag{2.32}$$

โดย

$\hat{h}(n) = h(n+M)$ ซึ่งคือ ค่า h(n) ที่ถูกเลื่อนไปทางซ้ายเพื่อทำให้เกิดความสมมาตร (Symmetric) ที่ n = 0 ผลการแปลงกลับฟูเรียร์เวลาเต็มหน่วย (Inverse DTFT) ของ $A(\omega)$ ทำให้ได้ผลตอบสนองอิมพัลส์ดังนี้

$$\hat{h}(n) = \frac{1}{\pi}\int_{0}^{\pi} A(\omega)\cos(\omega n)d\omega \tag{2.33}$$

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ ผลตอบสนองทางแอมปลิจูด แสดงได้ดังรูปที่2.6



รูปที่ 2.6 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองในทางอุดมคติจะมีค่าเป็น 1 ถ้าความถี่อยู่ในย่านผ่านสัญญาณ คือระหว่าง 0 ถึง ω_0 และมีค่าเป็น 0 ถ้าความถี่อยู่ในย่านหยุดสัญญาณ คือระหว่าง ω_0 ถึง π (พิจารณาเป็นค่า Normalized Frequency คือ $\omega_s = 2\pi$) ซึ่งเขียนเป็นสมการได้โดย

$$A_d(\omega) = \begin{cases} 1 & 0 < \omega < \omega_o \\ 0 & \omega_o < \omega < \pi \end{cases} \tag{2.34}$$

อาศัยสมการที่ (2.33) และ สมการที่ (2.34) จะทำให้ได้ผลตอบสนองอิมพัลส์ในอุดมคติดังนี้

$$\begin{aligned} \hat{h}_d(n) &= \frac{1}{\pi}\int_0^{\pi} A_d(\omega)\cos(\omega n)d\omega \\ &= \frac{1}{\pi}\int_0^{\omega_0}\cos(\omega n)d\omega = \frac{\sin(\omega_0 n)}{\pi n} \end{aligned} \tag{2.35}$$

ซึ่งค่า $\hat{h}_d(n)$ ที่เป็นผลของสมการที่ (2.35) โดยทั่วไปแล้วจะมีจำนวนเป็นค่าอนันต์ เพื่อที่จะให้ได้ผลตอบสนองในทางอุดมคติ แต่ในทางปฏิบัติจะต้องทำการตัดให้เหลือเพียงจำนวน N ตัว และเลื่อนไปทางขวา M ตำแหน่ง เพื่อที่จะทำให้ระบบ Casual ซึ่งจะทำให้ผลตอบสนองอิมพัลส์เป็น

$$h(n) = \begin{cases} \dfrac{\sin(\omega_o(n-M))}{\pi(n-M)} & for \quad 0 \le n \le N-1 \\ 0 & others \end{cases} \tag{2.36}$$

โดยในทำนองเดียวกันเราสามารถทำการหา $\hat{h}_d(n)$ สำหรับวงจรกรองชนิดอื่นๆที่เราต้องการได้ โดยใช้วิธีข้างต้นกระทำกับผลตอบสนองทางความถี่ของวงจรกรองนั้นๆ ซึ่งตารางที่ 2.1 ได้สรุปค่าของ $\hat{h}_d(n)$ สำหรับวงจรกรองชนิดอื่นๆไว้ดังนี้

ชนิดของวงจรกรอง	$\hat{h}_d(n), -\infty < n < \infty$	$\hat{h}_d(0)$
ความถี่ต่ำผ่าน (LPF)	$\dfrac{\sin(\omega_0 n)}{\pi n}$	$\dfrac{\omega_0}{\pi}$
ความถี่สูงผ่าน (HPF)	$-\dfrac{\sin(\omega_0 n)}{\pi n}$	$1-\dfrac{\omega_0}{\pi}$
แถบความถี่ผ่าน (BPF)	$\dfrac{\sin(\omega_{02} n)-\sin(\omega_{01} n)}{\pi n}$	$\dfrac{\omega_{02}-\omega_{01}}{\pi}$
แถบความถี่หยุด (BSF)	$\dfrac{\sin(\omega_{01} n)-\sin(\omega_{02} n)}{\pi n}$	$1-\dfrac{\omega_{02}-\omega_{01}}{\pi}$

ตารางที่ 2.1 แสดงผลตอบสนองอิมพัลส์ในอุดมคติของวงจรกรองชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การใช้ฟังชั่นวินโดว์

ฟังก์ชั่นวินโดว์เป็นเทคนิคที่นิยมและง่าย ที่ใช้สำหรับการลดผลของการออสซิลเลชั่น โดยการปรับปรุงสัมประสิทธิ์ของอนุกรมฟูเรียร์ คือการถ่วงน้ำหนักอนุกรมฟูเรียร์ด้วยฟังก์ชั่นวินโดว์ที่เหมาะสม สามารถทำให้ลูกคลื่นที่เกิดบนผลตอบสนองความถี่น้อยลงไป ซึ่งโดยทั่วไปการถ่วงน้ำหนักอาจจะกล่าวรายละเอียดในหัวข้อนี้ จากเดิมเราตัดปลายอนุกรมฟูเรียร์จำนวนอนันต์พจน์ผ่านหน้าต่างนี้ออกไปอนุกรมนี้จะถูกถ่วงน้ำหนัก หรือตัดปลายตามต้องการ

ฉะนั้นผลตอบสนองอิมพัลส์ ก็คือ ผลคูณของผลตอบสนองอิมพัลส์อุดมคติ $h_d(n)$ กับค่าฟังก์ชั่นวินโดว์ $a_w(n)$

$$h(n) = h_d(n)a_w(n) \tag{2.37}$$

ถ้า $H_d(\omega)$ แทนผลตอบสนองความถี่ในทางอุดมคติ และผลตอบสนองนี้สามารถเขียนแทนด้วยอนุกรมฟูเรียร์ความยาวอนันต์พจน์ โดยจากสมการ (2.37) จะได้ว่า

$$H_d(\omega) = \sum_{n=-\infty}^{\infty} h_d(n)e^{-jk\omega T} \tag{2.38}$$

โดยที่ $h_d(n)$ หาได้จาก

$$h_d(n) = \left(\frac{1}{2\pi}\right)\int_{-\pi}^{\pi} H_d(\omega)e^{jk\omega T}\,d\omega \tag{2.39}$$

หรือ

$$h_d(k) = \left(\frac{1}{\omega_s}\right)\int_{\frac{-\omega_s}{2}}^{\frac{\omega_s}{2}} H_d(n)e^{jk\omega T}\,d\omega \tag{2.40}$$

โดยที่ ω_s เป็นค่าความถี่ในการสุ่มตัวอย่าง

จากสมการที่ (2.38) และ (2.39) นำมาเขียนใหม่ได้สมการที่ (2.41)

$$H_d = \sum_{n=-\left(\frac{N-1}{2}\right)}^{\frac{N-1}{2}} h_d(n)e^{\pm jk\omega T} \tag{2.41}$$

ซึ่งผลลัพธ์ คือ ทำให้เกิดลูกคลื่นบนผลตอบสนองและแอมปลิจูด แต่ก็ยังไม่สามารถนำสมการ (2.41) ใช้งานได้เพราะผลตอบสนองอิมพัลส์เริ่มจากลำดับที่ n = -(N-1)/2 ซึ่งสำหรับระบบเวลาจริงไม่สามารถสร้างลำดับเวลาที่เป็นลบได้ ข้อนี้แก้ไขได้โดยเลื่อนหรือหน่วงผลตอบสนองอิมพัลส์ออกไป โดยให้เริ่มจากค่า n=0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H\ (\omega) = \sum_{n=0}^{N-1} h\ (n) e^{-jk\omega T}$$

ซึ่งการกระทำแบบนี้มีผลดีคือ ทำให้ตัวกรองมีผลตอบสนองเฟสเป็นเชิงเส้น

ฟังก์ชั่นวินโดว์มีอยู่หลายแบบ ได้แก่

1. วินโดว์สี่เหลี่ยม (Rectangular)
2. วินโดว์วอง ฮาน (Von Hann)
3. วินโดว์แฮมมิ่ง (Hamming)
4. วินโดว์แบล็คแมน (Blackman)
5. วินโดว์ดอล์ฟ เชฟบีเชฟ (Dolph-Chebyshev)
6. วินโดว์เคเซอร์ (Kaiser)

ซึ่งในที่นี้เราจะกล่าวถึงวินโดว์ที่นิยมใช้ คือ แบบที่ 1 ถึง 4

1. วินโดว์สี่เหลี่ยม

จากสมการของฟังก์ชั่นสี่เหลี่ยม

$$a_R(nT) = \begin{cases} 1 & for \quad |n| \le \dfrac{N-1}{2} \\ 0 & otherwise \end{cases} \qquad (2.42)$$

จะได้ Spectrum ของ $a_R(nT)$ เป็น

$$A_R(e^{j\omega T}) = \sum_{n=-(N-1)/2}^{(N-1)/2} e^{-j\omega nT}$$

$$= \frac{e^{j\omega(N-1)T/2} - e^{-j\omega(N+1)T/2}}{1 - e^{-j\omega T}}$$

$$= \frac{e^{j\omega NT/2} - e^{j\omega NT/2}}{e^{j\omega T/2} - e^{-j\omega T/2}}$$

$$= \frac{\sin(\omega NT/2)}{\sin(\omega T/2)}$$

ผลตอบสนองความถี่ที่เป็นเหตุกภาพคือ

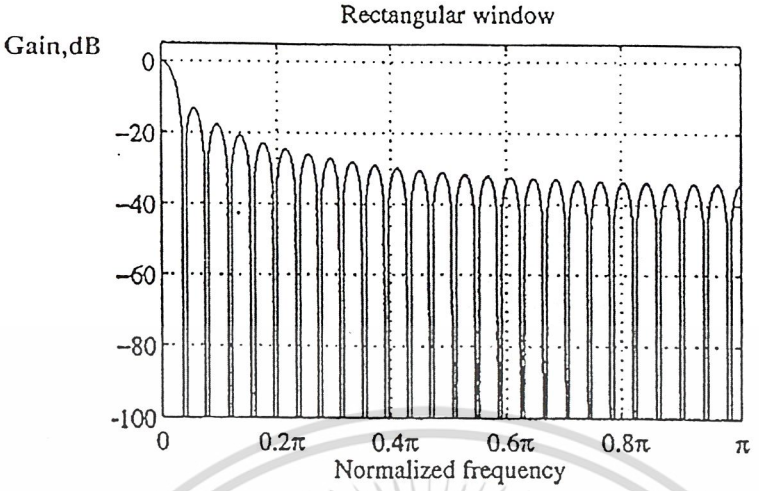
$$A_R(e^{j\omega T}) = \sum_{n=0}^{N-1} e^{-j\omega T} = e^{-j\omega(N-1)T/2} \frac{\sin(\omega NT/2)}{\sin(\omega T/2)}$$

ผลตอบสนองเฟสเชิงเส้นได้จาก

$$\theta(\omega) = -\omega(N-1)T/2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.7 Normalized Frequency ของวินโดว์สี่เหลี่ยม

2. วินโดว์ ฮานน และ แฮมมิ่ง

จากสมการ function ฮานน และ แฮมมิ่ง

$$a_H(nT) = \begin{cases} \alpha + (1-\alpha)\cos\dfrac{2\pi n}{N-1} & for \quad |n| \le \dfrac{N-1}{2} \\ 0 & otherwise \end{cases} \tag{2.43}$$

ความแตกต่างระหว่าง ฮานน และ แฮมมิ่ง นั่นคือค่า α ในกรณีของฮานน $\alpha = 0.5$ และในกรณีของแฮมมิ่ง $\alpha = 0.54$

สเปกตรัมของวินโดว์ฮานนและแฮมมิ่ง สามารถแสดงในพจน์ของวินโดว์สี่เหลี่ยมได้คือ

$$a_H(n) = a_R\left\{\alpha + (1-\alpha)\cos\left(\frac{2\pi n}{N-1}\right)\right.$$

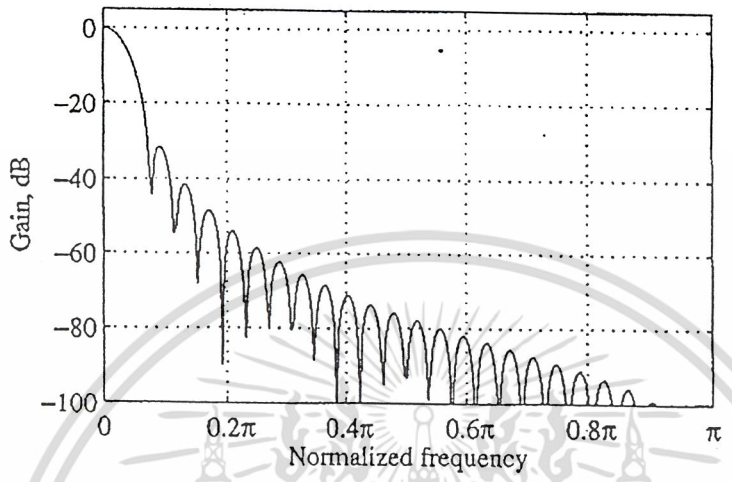
เมื่อประยุกต์ใช้การแปลง z ได้กับผลตอบสนองความถี่เป็น

$$\begin{aligned} A_H(e^{j\omega T}) &= Z[a_H(nT)] \\ &= A_R(e^{j\omega T}) + \frac{1-\alpha}{2}A_R(e^{j[\omega T - 2\pi/(N-1)]}) \\ &\quad + \frac{1-\alpha}{2}A_R(e^{j[\omega T + 2\pi/(N-1)]}) \end{aligned}$$

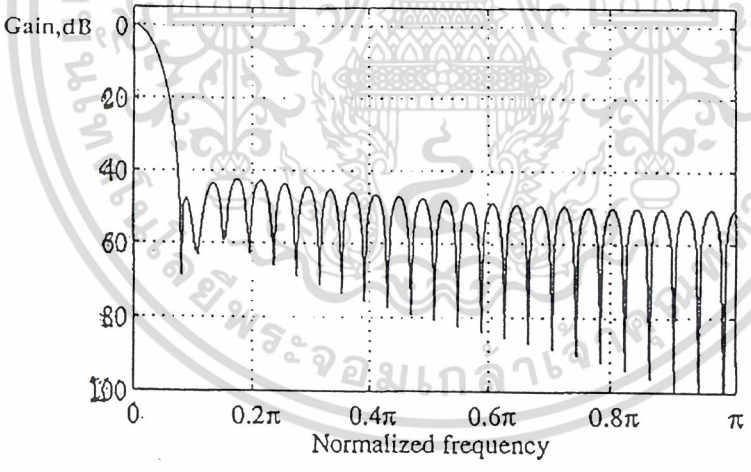
ฉะนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
61743

$$A_H(e^{j\omega T}) = \frac{\alpha \sin(\omega NT/2)}{\sin(\omega T/2)} + \frac{1-\alpha}{2}\frac{\sin[\omega NT/2 - N\pi/(N-1)]}{\sin[\omega T/2 - \pi/(N-1)]} + \frac{1-\alpha}{2}\frac{\sin[\omega NT/2 + N\pi/(N-1)]}{\sin[\omega T/2 + \pi/(N-1)]}$$



รูปที่ 2.8 Normalized Frequency ของวินโดว์ ฮานน



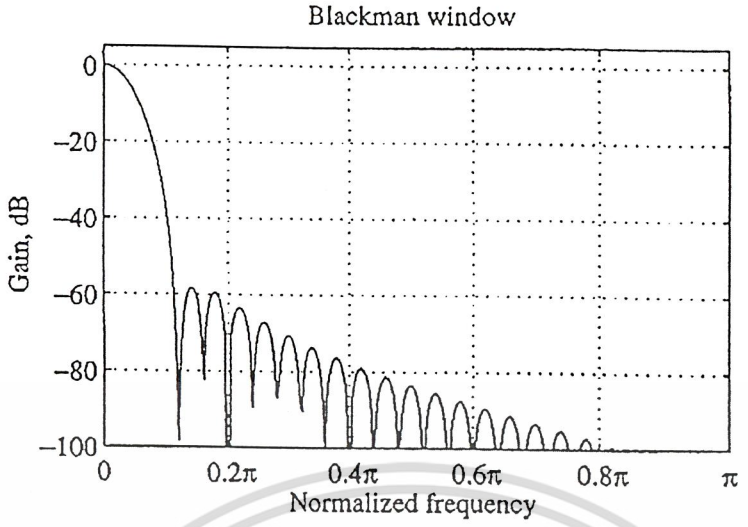
รูปที่ 2.9 Normalized Frequency ของวินโดว์แฮมมิ่ง

3. วินโดว์แบล็คแมน

จากฟังก์ชั่นแบล็คแมน

$$a_B(nT) = \begin{cases} 0.42 + 0.5\cos\frac{2\pi n}{N-1} + 0.08\cos\frac{4\pi n}{N-1} & for \quad |n| \le \frac{N-1}{2} \\ 0 & otherwise \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 Normalized Frequency ของวินโดว์แบล็คแมน

ชนิดของ วินโดว์	Main-Lobe Width	Ripple ratio(%) N=31	Peak amplitude Of Side Lobe (dB)	Minimum Stop Band Attenuation(dB)
สี่เหลี่ยม	$2\omega_s / N$	21.80	-13	-21
ฮาน	$4\omega_s / N$	2.67	-31	-44
แฮมมิ่ง	$4\omega_s / N$	0.82	-41	-53
แบล็คแมน	$6\omega_s / N$	0.12	-57	-74

วินโดว์	Ripple Ration		
	N==11	N=21	N=31
สี่เหลี่ยม	22.34	21.89	21.8
ฮาน	2.62	2.67	2.67
แฮมมิ่ง	1.67	0.93	0.82
แบล็คแมน	0.08	0.12	0.12

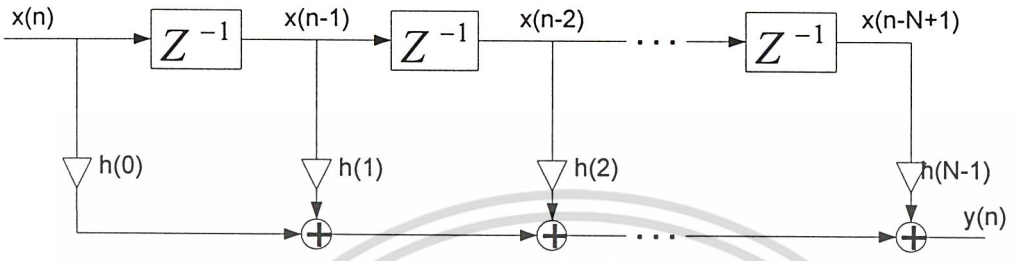
ตารางที่ 2.2 สรุปคุณสมบัติของวินโดว์

โดยที่ ω_s คือความถี่ในการสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การจัดโครงสร้างสำหรับวงจรกรองสัญญาณดิจิตอลแบบ FIR

สำหรับวงจรกรองสัญญาณดิจิตอลแบบ FIR จะใช้ผลตอบสนองอิมพัลส์ หรือ h(n) เพื่อสร้างวงจร ซึ่งกระบวนการทำงานของวงจรกรองในที่นี้ก็คือ การทำ Convolution ระหว่าง h(n) กับสัญญาณอินพุท x(n) โดยสามารถจัดเป็นโครสร้างได้ดังรูปที่ 2.11



รูปที่ 2.11 แสดงการจัดโครงสร้างของวงจรกรองสัญญาณดิจิตอล FIR

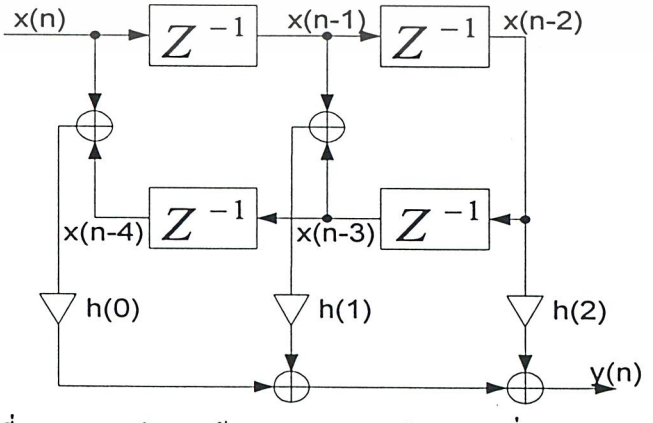
การทำ Convolution ระหว่าง h(n) กับ สัญญาณอินพุท x(n) แสดงได้ดังสมการ

$$y(n) = x(n) * h(n) = \sum_{i=0}^{N-1} h(i)x(n-i)$$

ซึ่งสามารถแสดงเป็นสมการผลต่างสืบเนื่อง (Difference Equation) ได้ดังนี้

$$y(n) = h(0)x(n) + h(1)x(n-1) + h(2)x(n-2) + \ldots + h(N-1)x(n+N-1)$$

สำหรับในกรณีที่อันดับของวงจรกรองหรือจำนวนผลตอบสนองอิมพัลส์ ซึ่งก็คือตัวแปร N เป็นจำนวนคี่ จะทำให้ผลตอบสนองอิมพัลส์มีลักษณะสมมาตรคี่ คือ h(n) = h(N-1-n) เช่นกรณี N=5 จะได้ว่า h(0) = h(4), h(1) = h(3) โดยที่ h(2) ไม่มีคู่สมมาตร ซึ่งทำให้การจัดโครงสร้างสามารถลดจำนวนตัวคูณลงไปได้ทำให้ขนาดของวงจรกรองเล็กลง ซึ่งโดยปกติในทางดิจิตอล ตัวคูณจะมีขนาดของวงจรที่ใหญ่และใช้เวลาในการทำงานมากเมื่อเทียบกับส่วนอื่นๆ โดยวงจรกรองในลำดับที่ 5 ที่ได้จัดโครงสร้างใหม่ แสดงได้ดังรูปที่ 2.12



รูปที่ 2.12 แสดงโครงสร้างของวงจรกรองในอันดับที่ 5 โดยลดจำนวนตัวคูณลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การออกแบบ Multifunction Digital Filter บน FIR Filter

ในหัวข้อนี้จะกล่าวถึงเรื่องการออกแบบ Multifunction digital filter โดยใช้การปรับปรุงการออกแบบรูปแบบของฟิลเตอร์แบบ FIR เพื่อสร้างฟิลเตอร์ที่มีเอาท์พุท 4 ตัว ด้วยตัวเลขที่เหมือนกันของดีเลย์ในรูปแบบ singer output ซึ่งการสร้างโครงสร้างฟิลเตอร์ FIR แบบใหม่นี้จะก่อให้เกิด magnitude response 4 แบบที่เวลาเดียวกัน คือ lowpass, highpass, bandpass และ bandstop filter ด้วยเฟสแบบ linear การออกแบบฟิลเตอร์และการซิมมูเลชั่นจะกระทำให้เสร็จสมบูรณ์ได้ใน MATLAB การทดสอบจะแสดงให้เห็นถึงผลตอบรับของความถี่ของ Multifunction digital filter ในลักษณะโครงสร้างแบบใหม่ โดยผลที่ได้ตรงตามทฤษฎี

Active Multifunction filter เป็นฟิลเตอร์ที่มีรูปแบบความถี่ 3 แบบเกิดขึ้นพร้อมกัน คือ lowpass, highpass และ bandpass ซึ่ง Low-pass, High-pass และ Band-pass ที่เวลาเริ่มต้น Active Multifunction filter เป็นรูปแบบอนาล็อก เช่น Tow-Thomas Active Multifunction filter และ KHN และยังมีการประยุกต์ใช้ IIR digital filter ของ Multifunction filter โดยการเปลี่ยนตำแหน่งของ 0 ที่ Z - Plane เช่นเดียวกับการใช้เครือข่ายของ RCL อย่างไรก็ตาม การทำ Multifunction filter แบบอนาล็อกนั้นจะมีปัญหาถึงเรื่องความถูกต้องแม่นยำที่เกิดจากการเปลี่ยน Multifunction filter แบบอนาล็อกมาเป็น IIR digital filters และตัว IIR Multifunction filter เองก็มีปัญหาในตัวเองเช่นกัน เช่น ผลที่ได้จาก nonlinear phase และความแปรปรวนเมื่อนำมาเปรียบเทียบใน FIR digital filter

เพื่อแก้ปัญหาที่เกิดขึ้นกับฟิลเตอร์แบบ IIR ในหัวข้อนี้จึงแนะนำการออกแบบ Multifunction digital filter แบบประยุกต์ใช้การออกแบบ FIR filter ที่ขั้นเริ่มต้นจะมีการออกแบบ FIR filters ด้วยค่าความถี่คัท-ออฟที่แตกต่างกัน 2 ค่า หลังจากนั้น ค่า FIR แบบ lowpass filter 2 ค่าจะถูกสร้างขึ้นมาใหม่โดยใช้ delay element และ multiply elements เพื่อสร้างโครงสร้างที่มี 4 เอาท์พุทขึ้นมาใหม่ Multifunction digital filter นี้จะมีค่าเอาท์พุทที่แตกต่างกัน 4 ค่าด้วยเฟสแบบลิเนียร์ซึ่งสามารถเกิดขึ้นได้ในเวลาเดียวกัน อันดับของฟิลเตอร์นั้นสามารถเพิ่มขึ้นได้ไม่จำกัดตามทฤษฎี

2.6.1 ทฤษฎีการออกแบบ Multifunction Digital Filter

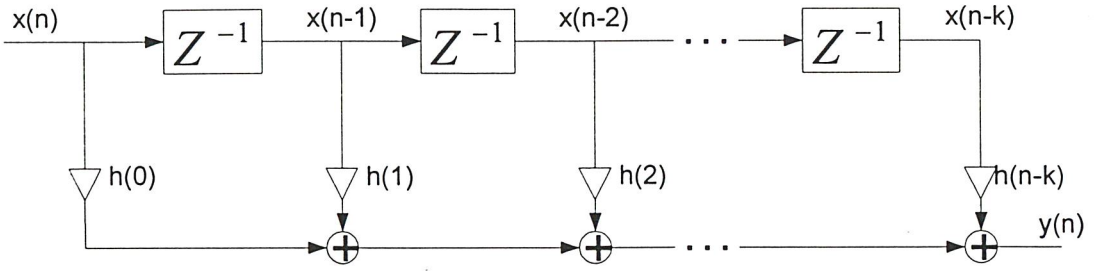
- หลักการเดิม

FIR digital filter มีการเปลี่ยนรูปฟังก์ชั่นตามที่ได้แสดงในสมการที่ (2.44) และผลที่ได้แสดงดังสมการที่ (2.45) จากการศึกษาค้นคว้าพบว่าสามารถเปลี่ยนรูปแบบของ FIR filter จากสมการที่ (2.44) ไปเป็นสมการที่ (2.45) ได้โดยตรง

$$H(z) = \sum_{k=0}^{N-1} h(k) z^{-k} \tag{2.44}$$

$$y(n) = \sum_{k=0}^{N-1} h(k) x(n-k) \tag{2.45}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 รูปแบบของ FIR filter

โดยที่ $h(k)$ คือค่า Impulse Response หรือ ค่าสัมประสิทธิ์ FIR filter

การคำนวณหาค่าสัมประสิทธิ์ของ FIR filter และการออกแบบฟิลเตอร์จะเสร็จสมบูรณ์ได้โดยใช้สมการของ Fourier series ดังที่ได้แสดงในสมการที่ (2.46) และสมการที่ (2.47) ซึ่งจะใช้เฟสแบบลิเนียร์ ค่าสัมประสิทธิ์ของฟิลเตอร์ $h(k)$ จะมี 4 รูปแบบ คือ ค่าบวกที่เป็นเลขคี่ ค่าบวกที่เป็นเลขคู่ ค่าลบที่เป็นเลขคี่และค่าลบที่เป็นเลขคู่

$$h_D(n) = \frac{1}{2\pi}\int_{-\omega_C}^{\omega_C} 1 - e^{j\omega n} d\omega \tag{2.46}$$

$$h_D = \frac{\sin(\omega_c n)}{n\pi} \tag{2.47}$$

การออกแบบ FIR lowpass filter จะเสร็จสมบูรณ์ตั้งแต่ขั้นเริ่มต้นและต่อจากนั้นฟิลเตอร์จะเปลี่ยนจาก FIR highpass fiflger, FIR bandpass filter และ FIR bandstop filter ไปเป็นค่าสัมประสิทธิ์ฟิลเตอร์ $h(k)$ โดยใช้สมการที่ (2.48) ถึง สมการที่ (2.54)

$$h_{D_{Lp}}(n) = \frac{\sin(\omega_c n)}{n\pi} \tag{2.48}$$

$$h_{D_{hp}}(n) = \delta(n) - h_{D_{Lp}}(n) \tag{2.49}$$

$$h_{D_{Bp}}(n) = h_{D_{LpH}}(n) - h_{D_{LpL}}(n) \tag{2.50}$$

$$h_{D_{Bs}}(n) = \delta(n) - h_{D_{Bp}}(n) \tag{2.51}$$

$$n = \frac{M-1}{2} \tag{2.52}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f = \frac{f_c}{f_s} \tag{2.53}$$

$$\omega_c = 2\pi f \tag{2.54}$$

ω_c = Normalized Cutoff Frequency (Rad/Sec)

f = Normalized Cutoff Frequency (Hz)

f_c = Cutoff Frequency f_s = Sampling Frequency

M = Number of order

หลังจากการเปลี่ยนโครงสร้างของ FIR filter ดังแสดงในรูปที่ 2.13 แล้วผลที่ได้จะมีรูปแบบของ singer output เป็นอย่างใดอย่างหนึ่งคือ lowpass, highpass, bandpass หรือ bandstop filter แต่โครงสร้างนี้จะไม่เปลี่ยนตาม FIR filter ที่ใช้ multiple form ในเวลาเดียวกัน

- หลักการใหม่

การออกแบบ Multifunction filter แบบใหม่จะเริ่มจาก FIR Low-pass filter ด้วยค่าความถี่คัทออฟ 2 ค่าที่แตกต่างกันดังแสดงในสมการที่ (2.55) และ (2.56)

$$y_{LP1}(n) = \sum_{k=0}^{M-1} h_1(k)x(n-k) \tag{2.55}$$

$$y_{LP2}(n) = \sum_{k=0}^{M-1} h_2(k)x(n-k) \tag{2.56}$$

$h_1(k)$ = Impulse Response of FIR Low-pass Filter the Cut-off frequency f_1

$h_2(k)$ = Impulse Response of FIR Low-pass Filter at the Cut-off frequency f_2

ถ้าค่าสัมประสิทธิ์ของฟิลเตอร์แบบ FIR เป็นค่าบวกที่เป็นเลขคี่ จะแสดงดังสมการที่ (2.55) และ (2.56) และจะเปลี่ยนไปเป็นดังแสดงในสมการที่ (2.57) และ สมการที่ (2.58)

$$y_{LP1}(n) = h_1(0)x(n) + h_1(1)x(n-1) + \ldots + h_1\left(\frac{k}{2}\right)x\left(n-\frac{k}{2}\right) + \ldots + h_1(k)x(n-k) \tag{2.57}$$

$$y_{LP2}(n) = h_2(0)x(n) + h_2(1)x(n-1) + \ldots + h_2\left(\frac{k}{2}\right)x\left(n-\frac{k}{2}\right) + \ldots + h_2(k)x(n-k) \tag{2.58}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลเอาท์พุท ของ FIR highpass filter ที่ค่าความถี่คัทออฟ f_1 จะแสดงดังสมการที่ (2.59)

$$y_{HP1}(n) = -h_1(0)x(n) - h_1(1)x(n-1) - \ldots - [-1 + h_1(\frac{k}{2})]x(n-\frac{k}{2}) - \ldots - h_1(k)x(n-k)$$

$$y_{HP1}(n) = x\left(n-\frac{k}{2}\right) - h_1(0)x(n) - h_1(1)x(n-1) - \ldots - h_1\left(\frac{k}{2}\right)x\left(n-\frac{k}{2}\right) - \ldots - h_1(k)x(n-k)$$

$$y_{HP1}(n) = x\left(n-\frac{k}{2}\right) - \sum_{k=0}^{M-1} h_1(k)x(n-k)$$

$$y_{HP1}(n) = x\left(n-\frac{k}{2}\right) - y_{LP1}(n) \qquad (2.59)$$

สมการเอาท์พุทที่ได้ของ FIR highpass filter ด้วยค่าคงที่คัทออฟ f_2 สามารถหาได้จากสมการเอาท์พุท FIR highpass filter ด้วยค่าความถี่คัทออฟ f_1 ได้เช่นกันดังแสดงในสมการที่ (2.60)

$$y_{HP2}(n) = x\left(n-\frac{k}{2}\right) - y_{LP2}(n) \qquad (2.60)$$

ค่าเอาท์พุทของ FIR bandpass filter จะแสดงดังสมการที่ (2.61)

$$y_{BP}(n) = (h_2(0) - h_1(0))x(n) + (h_2(1) - h_1(1))x(n-1) + \ldots + (h_2(k) - h_1(k))x(n-k)$$

$$y_{BP}(n) = \sum_{k=0}^{M-1} h_2(k)x(n-k) - \sum_{k=0}^{M-1} h_1(k)x(n-k)$$

$$y_{BP}(n) = y_{LP2}(n) - y_{LP1}(n) \qquad (2.61)$$

สมการค่าเอาท์พุทของ FIR Band-pass filter และ Band-stop filter จะแสดงดังสมการที่ (2.62)

$$y_{BS}(n) = -(h_2(0) - h_1(0))x(n) - (h_2(1) - h_1(1))x(n-1) - \ldots - \left(-1 + \left(h_2\left(\frac{k}{2}\right) - h_1\left(\frac{k}{2}\right)\right)\right)x\left(n-\frac{k}{2}\right)\ldots$$

$$-(h_2(k) - h_1(k))x(n-k)$$

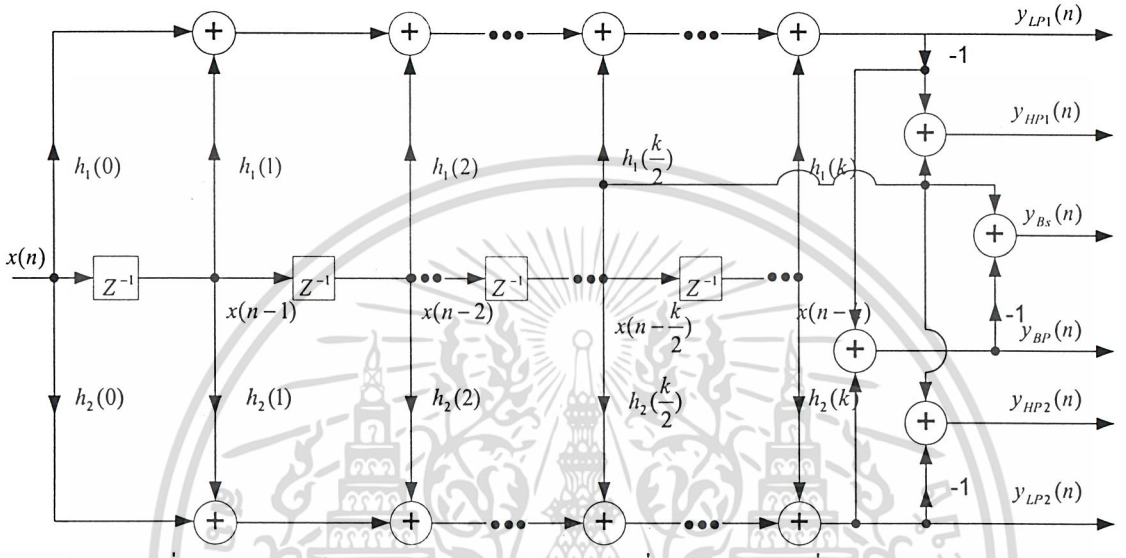
$$y_{BS}(n) = x\left(n-\frac{k}{2}\right) - (h_2(0) - h_1(0))x(n) - (h_2(1) - h_1(1))x(n-1) - \ldots - \left(h_2\left(\frac{k}{2}\right) - h_2\left(\frac{k}{2}\right)\right)x\left(n-\frac{k}{2}\right)\ldots$$

$$-(h_2(k) - h_1(k))x(n-k)$$

$$y_{BS}(n) = x\left(n-\frac{k}{2}\right) - y_{BP}(n) \qquad (2.62)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสังเกตได้ว่าสมการที่ (2.55) ถึงสมการที่ (2.62) จะเป็นสมการแบบ non-recursive discreate ซึ่งจะใช้การรวมกันของตัวแปร คือ $x(n), x(n-1), ..., x\left(n-\frac{k}{2}\right), ..., x(n-k)$ โดยที่จะไม่ใช้ค่าเอาท์พุท $y(h-k)$ ที่ได้ก่อนหน้านี้ ซึ่งเป็นส่วนหนึ่งของฟิลเตอร์หลังจากนั้นการออกแบบโครงสร้างแบบใหม่ของ FIR digital filter จะได้จากสมการที่ (2.55) ถึง สมการที่ (2.62) และจะได้ค่าความถี่แบบ multiple ตามมา ดังแสดงในรูปที่ 2.14



รูปที่ 2.14 โครงสร้าง FIR Digital filter กับ ความถี่แบบ multiple ที่เวลาเดียวกัน

2.6.2 โครงสร้างแบบใช้ตัวคูณเพียงตัวเดียว

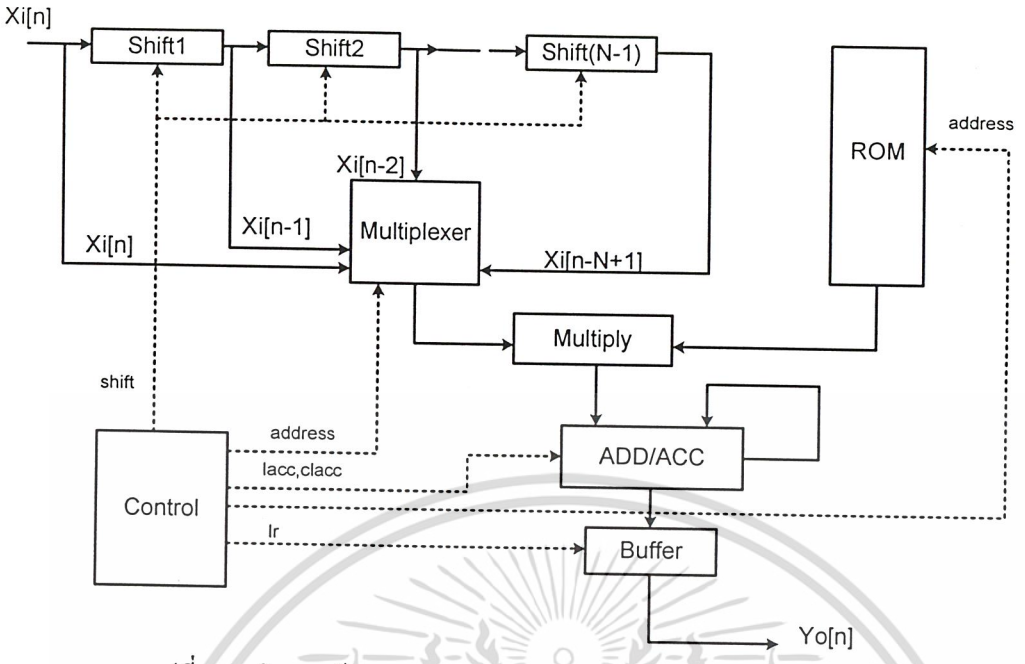
เนื่องจากข้อจำกัดทางด้านเนื้อที่ของชิพเอฟพีจีเอที่ใช้ทำให้ไม่สามารถสร้างวงจรกรองสัญญาณที่มีอันดับสูงได้ และองค์ประกอบที่กินเนื้อที่อย่างมากตัวหนึ่งก็คือตัวคูณ จึงได้เกิดแนวคิดที่จะลดจำนวนตัวคูณในวงจรกรองสัญญาณลงดังในรูปที่ 2.12 สามารถลดตัวคูณลงได้ครึ่งหนึ่งแต่จำนวนตัวคูณก็ยังเพิ่มขึ้น ถ้าจำนวนอันดับเพิ่มขึ้นจึงยังคงมีปัญหาเรื่องเนื้อที่อยู่

ในหัวข้อนี้จะเป็นแนวคิดที่จะใช้โครงสร้างที่มีตัวคูณเพียงตัวเดียวไม่ว่าจะมีจำนวนอันดับเท่าไรก็ตามทำให้ลดปัญหาความสิ้นเปลืองพื้นที่ของตัวคูณได้อย่างมากโดยที่เราจะประยุกต์ใช้โครงสร้างดังกล่าวมาใช้กับวงจรกรองสัญญาณแบบหลายหน้าที่ รูปโครงสร้างแบบตัวคูณตัวเดียวเป็นดังรูปที่ 2.15

จากโครงสร้างของวงจรในรูปที่ 2.15 ค่าสัมประสิทธิ์จะถูกเก็บไว้ในหน่วยความจำรอมโดยจะถูกสัญญาณควบคุม address จากตัวควบคุมเป็นตัวกำหนดเอาท์พุตที่จะออกไปเข้าวงจรคูณเพื่อไปคูณกับสัญญาณอินพุตที่ออกมาจากตัวมัลติเพลกซ์ ซึ่งตัวมัลติเพลกซ์นี้ก็ถูกควบคุมโดยสัญญาณ address จากตัวควบคุมเช่นกัน ดังนั้นตัวมัลติเพลกซ์ก็จะทำหน้าที่คล้ายกับรอมกล่าวคือเลือกเอาท์พุตไปเข้าตัวคูณตามสมการที่ (2.24) โดยที่ตัวมัลติเพลกซ์จะเป็นตัวเลือกสัญญาณอินพุตที่ผ่านตัวหน่วงเวลามาส่วนรอมจะเป็นตัวที่เลือกค่าสัมประสิทธิ์

ส่วนตัวหน่วงเวลาก็จะถูกควบคุมด้วยสัญญาณ shift จากตัวควบคุมซึ่งจะเป็นสัญญาณความถี่เท่ากับสัญญาณสุ่มตัวอย่างของวงจรแปลงจากสัญญาณอนาล็อกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 โครงสร้างวงจรกรองสัญญาณแบบใช้ตัวคูณเพียงตัวเดียว

เมื่อได้ผลคูณจากตัวคูณแล้วก็จะต้องเอามาบวกแบบสะสมค่าให้ครบตามจำนวนอันดับภายในเวลา 1 นาฬิกาของสัญญาณสุ่มตัวอย่างด้วยสัญญาณ Iacc โดยที่ค่าผลบวกจะถูกเก็บไว้ในบัฟเฟอร์จนกว่าจะบวกครบตามจำนวนอันดับและเมื่อบวกครบแล้วค่าในบัฟเฟอร์จะถูกส่งออกไปเป็นสัญญาณ Yo[n] ด้วยสัญญาณควบคุม Ir และค่าผลบวกที่ค้างอยู่ในวงจรบวกสะสมค่าจะถูกลบให้เป็นศูนย์ด้วยสัญญาณควบคุม clacc เพื่อที่จะทำกระบวนการทั้งหมดใหม่ในทุกๆรอบของความถี่สัญญาณสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรกรองความถี่ดิจิตอลแบบไม่จำกัดผลตอบสนองอิมพัลส์ หรือ IIR

คำว่า IIR ย่อมาจาก Infinite Impulse Response ซึ่งแปลว่า ผลตอบสนองอิมพัลส์ไม่จำกัด หรือถึงอนันต์ (infinite) ทั้งนี้ เพราะวงจรกรองความถี่ชนิดนี้มีคุณสมบัติประจำตัวที่สำคัญ คือ หากเราป้อนสัญญาณอิมพัลส์ให้กับวงจรนี้แล้ว สัญญาณตอบสนองจะไม่สิ้นสุด แต่จะมีไปจนถึงอนันต์ ดังนั้นอาจเรียกวงจรนี้ว่าเป็น วงจรกรองความถี่แบบป้อนกลับ (recusive filter) หรือป้อนกลับเชิงเลข เพราะสัญญาณเอาท์พุตจะขึ้นอยู่กับค่าสัญญาณอินพุตที่ป้อนเข้ามา และสัญญาณเอาท์พุตก่อนหน้านั้นโดยทั่วไปถ้าให้สัมประสิทธ์ของวงจรกรองความถี่เชิงเลขมีจำนวนจำกัด อาจเขียนสมการผลต่างสืบเนื่องที่ M(M^{th} order differential equation) สำหรับวงจรกรองความถี่ระบบเวลาจริงได้

$$y(n)=\sum_{k=0}^{M} b_k x(n-k)-\sum_{k=1}^{N} a_k y(n-k) \tag{2.63}$$

หาผลตอบสนองความถี่สามารถหาได้จากสมการผลต่าง โดยจาก

$$y(n)+\sum_{k=1}^{N} a_k y(n-k)=\sum_{k=0}^{M} b_k x(n-k)$$

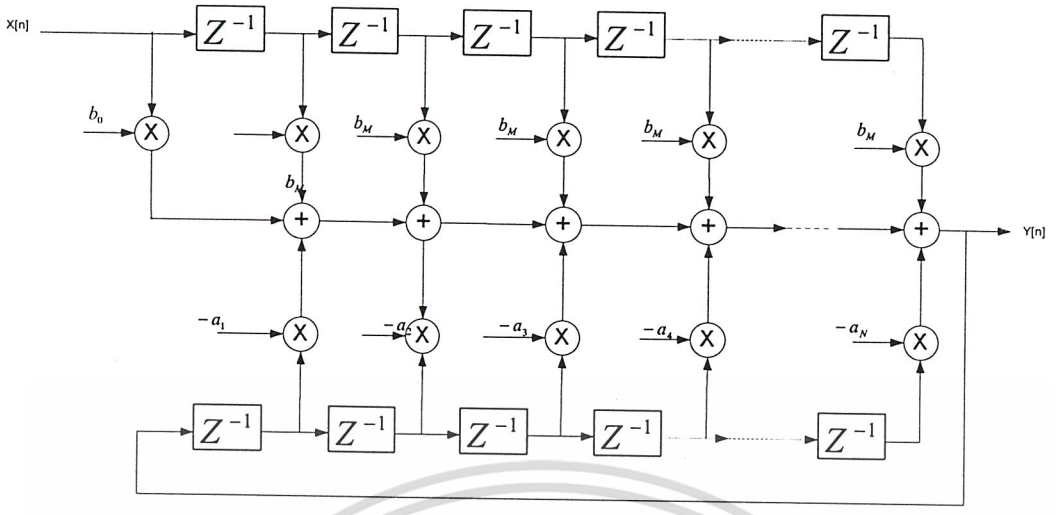
หรือฟังก์ชั่นถ่ายโอนเป็น

$$H(z)=\frac{Y(z)}{X(z)}=\frac{\sum_{k=0}^{M} b_k z^{-k}}{1+\sum_{k==1}^{N} a_k z^{-k}} \tag{2.64}$$

โดยในที่นี้ให้ $b_o=1$ และโดยการแทนค่าให้ $z=e^{j\omega}$ เราจะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ป้อนกลับเชิงเลขแบบทั่วไป คือ

$$H(\omega)=\frac{\sum_{k=0}^{M} b_k z^{-j\omega k}}{1+\sum_{k==1}^{N} a_k z^{-j\omega k}} \tag{2.65}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16โครงสร้างวงจรกรองความถี่ดิจิตอลแบบ IIR

2.8 การออกแบบวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์โดยปรับเปลี่ยนตำแหน่งของ pole-zero

ปริญญานิพนธ์เล่มนี้ได้กล่าวถึงการออกแบบและการปฏิบัติการของวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ โดนปรับเปลี่ยนตำแหน่ง pole-zero ซึ่งดัดแปลงมาจากค่าประมาณกำลังสองที่น้อยที่สุดเพื่อที่จะเปลี่ยนแปลงตำแหน่งของ pole และหาค่าประมาณของสัมประสิทธิ์ที่จะควบคุมระดับ gain ใหม่ ของ pass-band ผลที่ได้จากการคำนวณแสดงในเนื้อหาที่จะกล่าวต่อไป ค่าที่สามารถควบคุมค่า gain pass-band ของ notch filter ตามที่ได้เจาะจงไว้โดยใช้โปรแกรม MATLAB

วงจรกรองแบบนอตช์ สามารถดำเนินการได้ทั้ง FIR หรือ IIR Notch filter อย่างไรก็ตาม FIR Notch filter ไม่สามารถวัดค่า bandwidth ที่แคบได้เนื้อจากค่า FIR filter ไม่ให้ผลเมื่อ pole อยู่ที่จุด origin ในทางตรงกันข้าม IIR filter เป็น filterแบบ recursive ที่ pole ให้ค่าเป็นวงกลมที่จุด origin ของ IIR filter ทำให้เกิด band-pass filter และ notch filter ที่ให้ค่า bandwidth ที่แคบได้

มีหลายวิธีที่ทำให้เกิด IIR notch filter ได้ เช่น

1. เปลี่ยนค่า notch filter จาก all-pass filter
2. เปลี่ยนค่าจาก Analog filter ไปเป็น digital IIR notch filter และ
3. วางตำแหน่ง Pole-zero ที่ z-planes

วิธีทั้งหมดที่กล่าวมา การวางตำแหน่ง Pole-zero จะดำเนินการได้ง่ายที่สุดแต่ตำแหน่ง Pole-zero มีขอบเขตที่ ไม่เหมาะกับ pass-band gain และไม่มีความสามารถดีเพียงพอที่จะควบคุมขนาดของ pass-band gain ได้ ดังนั้น ปริญญานิพนธ์เล่มนี้จะปรับปรุงการวางค่าตำแหน่ง pole-zero เพื่อที่จะออกแบบ IIR notch filter โดยกาปรับค่ากำลังสองที่น้อยที่สุดจากเทคนิคการประมาณค่าเพื่อที่จะแก้ปัญหาการไม่เหมาะสมและไม่สามารถควบคุมค่า pass-band gain ได้ การออกแบบเป็นไปตามขั้นตอนดังนี้ เริ่มจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบค่า single notch filter ที่ตำแหน่ง pole-zero ประยุกต์ค่าประมาณกำลังสองที่น้อยที่สุดที่จะปรับค่าประมาณก่อนหน้าและทำให้เป็นค่าที่เหมาะสมและสามารถควบคุมค่า pass-band gain ได้

2.8.1 ทฤษฎีที่ใช้ในการออกแบบ

2.8.1.1 การออกแบบวงจรกรองแบบนอตช์แบบปกติ

ค่าความถี่ที่ได้จากค่า single notch filter โยการประมาณค่า

$$H\left(e^{j\omega}\right)=\begin{cases}0 & \omega_0 \\ 1 & otherwise\end{cases} \tag{2.66}$$

โดย ω_0 คือค่าความถี่ cut-off ของ notch filter เป็นดังนี้

$$H(z)=b_0\frac{1-2\cos\omega_0 z^{-1}+z^{-2}}{1-2r\cos\omega_0 z^{-1}+r^2 z^{-2}} \tag{2.67}$$

b_0 คือ ค่า filter gain (ไม่ทราบค่า)

ω_0 คือ ค่า มุม pole บน z-plane หรือ ความถี่ cut-off หรือ ความถี่ notch

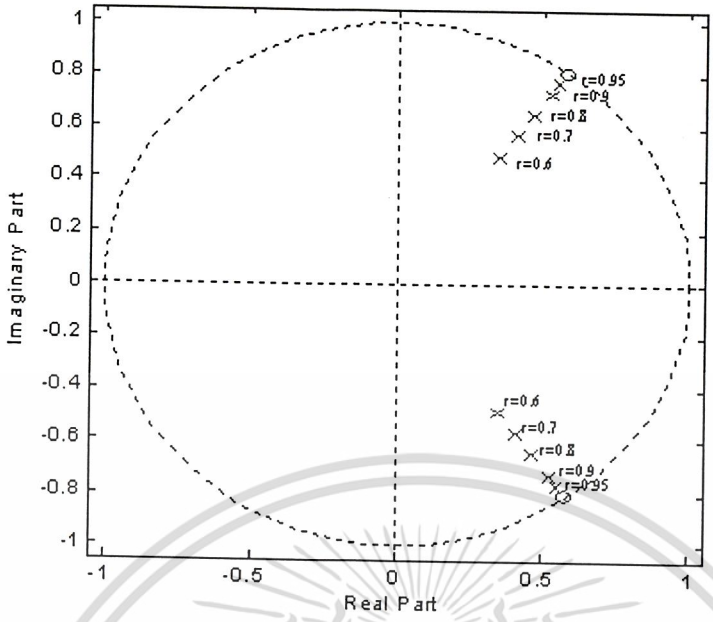
r คือ ระยะทางระหว่าง pole และ origin

ตำแหน่ง pole-zero ที่มุม pole และ zero เดียวกันบน z-plane แสดงดังรูปที่ 2.17

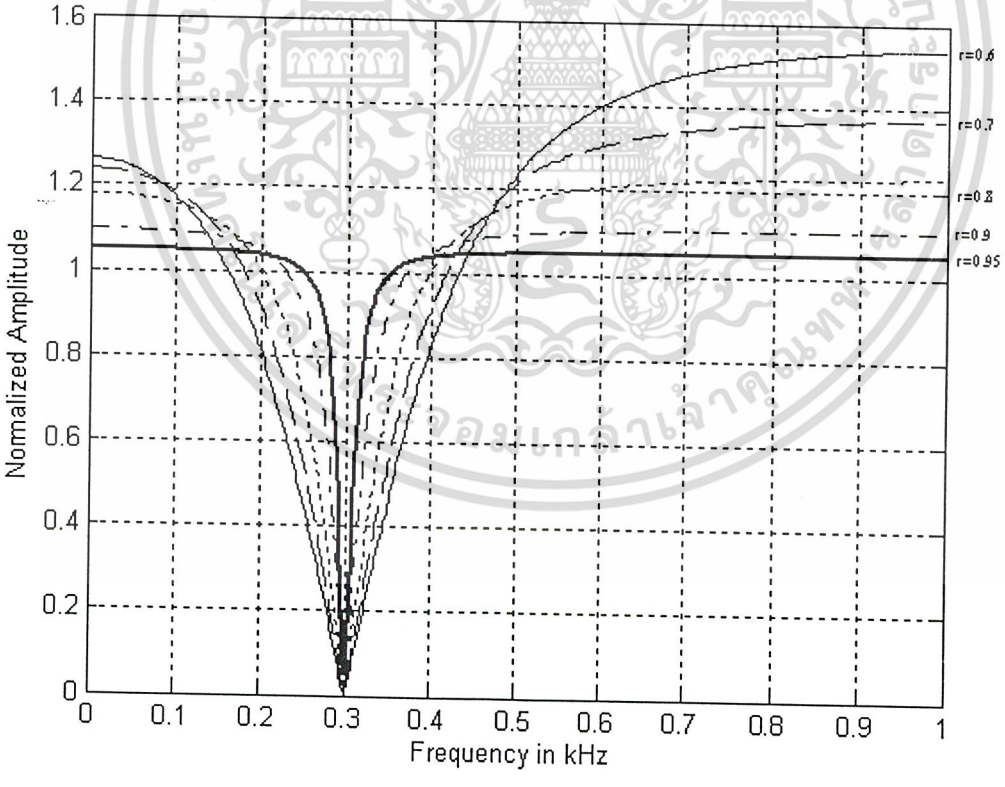
กำหนดให้ $\omega_0 = 0.3\pi$ และ r = 0.6, 0.7, 0.8, 0.9, 0.95 Magnitude response แสดงดังรูปที่ 2.18

รูปที่ 2.18 แสดงให้เห็นถึงมุม r ซึ่งควบคุมค่า bandwidth ของ notch filter ถ้าค่า r ใกล้กับเส้นรอบวงหรือใกล้เคียง 1 bandwidth จะแคบลงและคำนวณได้จากการใช้คุณสมบัติทางเรขาคณิต ค่าความถี่ที่ได้จากรูปที่ 2.18 จะอยู่ที่ 0.3π pass-band gain จะเป็นค่าที่ไม่เหมาะสมตั้งแต่ค่า gain อยู่ที่ dc และจะไม่ไม่เท่ากับค่า gain ที่ ความถี่ Nyquist(π radian) ดังนั้นจำเป็นที่จะต้องหาตำแหน่ง pole จะทำให้เกิดผล gain ที่ไม่เหมาะสม ดังนั้นจำเป็นที่จะต้องหาตำแหน่ง pole ใหม่เพื่อที่จะหาค่า pass-band gain ที่เหมาะสมต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 ค่า pole-zero ของ single notch filter จากการออกแบบขั้นต้น

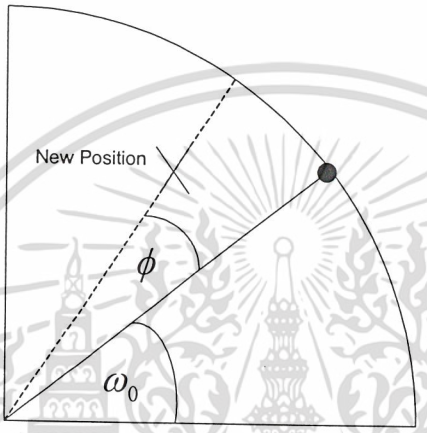


รูปที่ 2.18 ผลที่ได้ของ single notch filter จากการใช้การออกแบบขั้นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.1.2 การออกแบบด้วยวิธีเลื่อนตำแหน่ง pole

จากวิธีการออกแบบขั้นต้นของ notch filter ที่ใช้การวางตำแหน่ง pole-zero ได้แสดงให้เห็นแล้วว่าเป็นตำแหน่ง pole ที่ไม่เหมาะดังนั้นจำเป็นที่จะต้องหาวิธีที่จะได้ตำแหน่ง pole ใหม่ อย่างไรก็ตามตำแหน่ง zero จะไม่เปลี่ยนค่าความถี่กึ่งกลางของ notch filter กำหนดมาจากตำแหน่ง zero จึงจำเป็นต้องหาตำแหน่ง pole ใหม่ ในรูปที่ 2.19 ซึ่งเปลี่ยนรูปมาจาก notch filter ดังสมการที่ 2.66 และปรับเปลี่ยนเป็นสมการที่ 2.68 และ 2.69



รูปที่ 2.19 การปรับเปลี่ยนตำแหน่ง pole โดยใช้วิธีใหม่

$$\hat{H}(z) = b_0\left[\frac{1-2\cos\omega_0 z^{-1}+z^{-2}}{1-2r\cos(\omega_0+\phi)z^{-1}+r^2z^{-2}}\right] \tag{2.68}$$

$$\hat{H}(z) = b_0\left[\frac{1-2\cos\omega_0 e^{-j\omega}+e^{-2jw}}{1-2r\cos(\omega_0+\phi)e^{-j\omega}+r^2e^{-2j\omega}}\right] \tag{2.69}$$

$\hat{H}(z)$คือ ค่าการเปลี่ยนรูปของ notch filter โดยปรับเปลี่ยนตำแหน่ง pole

ϕ คือ ค่ามุม pole ที่ปรับปรุง

การที่จะทำให้ pass-band gain และ frequency response จากการปรับเปลี่ยนค่า IIR notch filter ให้เหมาะสมเป็นดังสมการที่ 2.70 ถึงสมการที่ 2.72

$$\hat{H}(0) = b_0\left[\frac{1-2\cos\omega_0 e^{-j0}+e^{-2j0}}{1-2r\cos(\omega_0+\phi)e^{-j0}+r^2e^{-2j0}}\right] \tag{2.70}$$

$$\hat{H}(\pi) = b_0\left[\frac{1-2\cos\omega_0 e^{-j\pi}+e^{-2j\pi}}{1-2r\cos(\omega_0+\phi)e^{-j\pi}+r^2e^{-2j\pi}}\right] \tag{2.71}$$

$$\hat{H}(0) = \hat{H}(\pi) \tag{2.72}$$

$$b_0\left[\frac{1-2\cos\omega_0 e^{-j0}+e^{-2j0}}{1-2r\cos(\omega_0+\phi)e^{-j0}+r^2e^{-2j0}}\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= b_0\left[\frac{1-2\cos\omega_0 e^{-j\pi}+e^{-2j\pi}}{1-2r\cos(\omega_0+\phi)e^{-j\pi}+r^2e^{-2j\pi}}\right] \tag{2.73}$$

แทนค่า Euler's Rule $e^{j\omega} = \cos\omega + j\sin\omega$ ลงในสมการที่ 2.73 และจะได้ดังสมการที่ 2.74

$$\frac{1+\cos\omega_0}{1+2r\cos(\omega_0+\phi)+r^2} = \frac{1-\cos\omega_0}{1-2r\cos(\omega_0+\phi)+r^2} \tag{2.74}$$

จากสมการที่ 2.74 ผลที่ได้ของ ϕ สามารถเปลี่ยนได้เป็นสมการที่ 2.75

$$2r\cos(\omega_0+\phi) = \cos\omega_0 + r^2\cos\omega_0$$

$$\phi = \cos^{-1}\left[\frac{1+r^2}{2r}\cos\omega_0\right] - \omega_0 \tag{2.75}$$

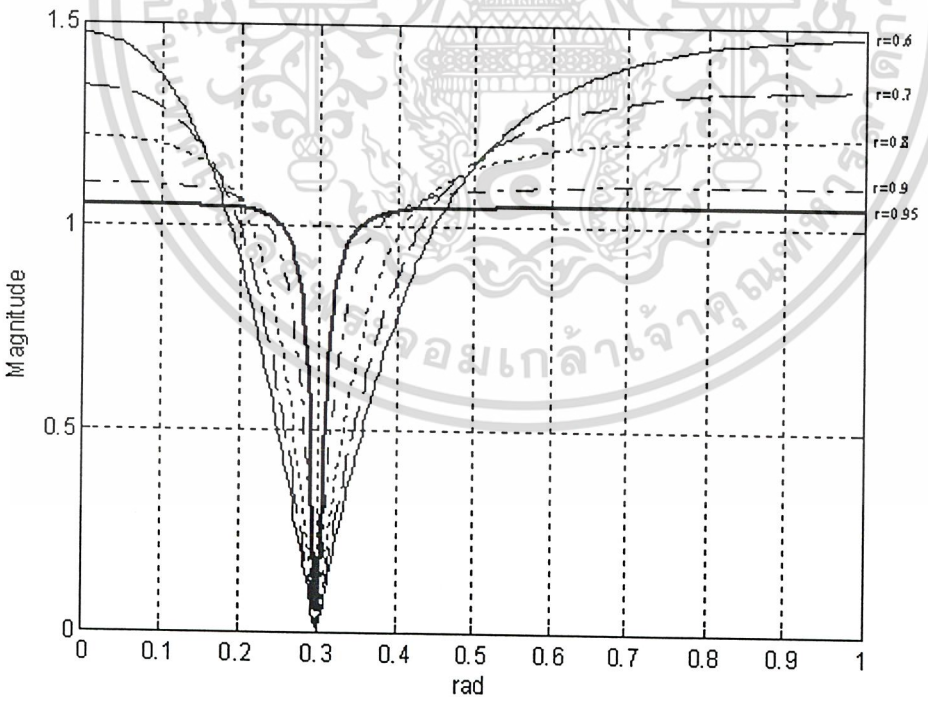
กำหนดค่า $\hat{\omega}_0 = \omega_0 + \phi$

$\hat{\omega}_0$ คือ ค่ามุม pole ที่ปรับเปลี่ยนแล้ว

ดังนั้นค่าที่เปลี่ยนรูปของ digital notch filter แล้วสามารถแสดงได้ดังสมการที่ 2.76

$$\hat{H}(z) = b_0\left[\frac{1-2\cos\omega_0 z^{-1}+z^{-2}}{1-2r\cos\hat{\omega}_0 z^{-1}+r^2z^{-2}}\right] \tag{2.76}$$

ให้ r = 0.6, 0.7, 0.8, 0.9 และ 0.95 , $\omega_0 = 0.3\pi$ และ b_0 = 1 ลงในสมการที่ 2.76 และ Magnitude response ของ IIR filter จะแสดงได้ดังรูปที่ 2.20



รูปที่ 2.20 Magnitude response ของ notch filter หลังจากเปลี่ยนตำแหน่ง pole

รูปที่ 2.20 ผลที่ได้จากการเปลี่ยนตำแหน่ง pole จะทำให้ผลของ notch filter ได้ค่าที่เหมาะสม พร้อมกับค่า gain ที่ความถี่ของ zero และ π radian อย่างไรก็ตาม pass-band gain ยังไม่สามารถควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่กำหนดไว้ได้ รัศมี r จะยังคงควบคุมการเปลี่ยนค่า gain ไว้อยู่จึงจำเป็นต้องหาค่าที่เหมาะสมของ b_0 เพื่อที่จะควบคุมและรักษาระดับ pass-band gain โดยกำหนดค่า gain ดังสมการที่ 2.76 ที่ dc และความถี่ Nyquist ดังแสดงในสมการที่ 2.77 และ 2.78 ตามลำดับ

$$\hat{H}(0) = b_0\left[\frac{1-2\cos\omega_0 e^{-j0}+e^{-2j0}}{1-2r\cos\hat{\omega}_0 e^{-j0}+r^2e^{-2j0}}\right] \tag{2.77}$$

$$\hat{H}(\pi) = b_0\left[\frac{1-2\cos\omega_0 e^{-j\pi}+e^{-2j\pi}}{1-2r\cos\hat{\omega}_0 e^{-j\pi}+r^2e^{-2j\pi}}\right] \tag{2.78}$$

กำหนดให้ค่า gain ที่ dc และความถี่ Nyquist เท่ากับตัวแปร k ผลที่ได้ดังสมการต่อไปนี้

$$b_0\left[\frac{1-2\cos\omega_0 e^{-j0}+e^{-2j0}}{1-2r\cos\hat{\omega}_0 e^{-j0}+r^2e^{-2j0}}\right] = k \tag{2.79}$$

$$b_0\left[\frac{1-2\cos\omega_0 e^{-j\pi}+e^{-2j\pi}}{1-2r\cos\hat{\omega}_0 e^{-j\pi}+r^2e^{-2j\pi}}\right] = k \tag{2.80}$$

กำหนด a_1 และ a_2 ดังนี้

$$a_1 = \left[\frac{1-2\cos\omega_0 e^{-j0}+e^{-2j0}}{1-2r\cos\hat{\omega}_0 e^{-j0}+r^2e^{-2j0}}\right] \quad \text{และ}$$

$$a_2 = \left[\frac{1-2\cos\omega_0 e^{-j\pi}+e^{-2j\pi}}{1-2r\cos\hat{\omega}_0 e^{-j\pi}+r^2e^{-2j\pi}}\right] \quad \text{และ ดังนั้น}$$

แทนค่า a_1 และ a_2 ในสมการที่ 2.79 และ 2.80 แสดงดังสมการที่ 2.81

$$\left.\begin{aligned} a_1 b_0 &= k \\ a_2 b_0 &= k \end{aligned}\right\} \tag{2.81}$$

a_1 , a_2 และ k เป็นค่าคงที่

สมการที่ 2.81 มีตัวแปรมากมายจึงพิจารณาตามเป็นระบบ เช่นนั้นจำเป็นที่จะต้องประมาณค่า b_0 โดยประยุกต์การประมาณค่ากำลังสองน้อยที่สุดโดยทำให้เกิดการผิดพลาดน้อยที่สุดเช่นกัน

การพิจารณาเป็นระบบของสองสมการในตัวแปรที่ไม่ทราบค่า คือ b_0 จะใช้กำลังสองน้อยที่สุดเป็นตัวช่วยกำหนดค่า b_0 คือ ค่าที่ถูกเลือกขึ้นมา ดังนั้น มาตรฐาน Euclidean จะมีค่าเหลือน้อยที่สุดเท่าที่เป็นไปได้ ถ้าค่าที่เหลือมีความแตกต่างระหว่างฝั่งขวาและฝั่งซ้ายดังสมการค่าที่เหลือจะได้ดังสมการที่ 2.82

$$\mathrm{P} = \begin{bmatrix} P_1 \\ P_2 \end{bmatrix} = \begin{bmatrix} k + a_1 b_0 \\ k + a_2 b_0 \end{bmatrix} \tag{2.82}$$

มาตรฐาน Euclidean ของค่าที่เหลือจะเป็นค่ารากที่สอง ของผลรวมของแต่ละค่ายกกำลัง

$$\|\mathrm{P}\|_2 = \sqrt{P_1^{\,2} + P_2^{\,2}} \tag{2.83}$$

ถ้าค่าน้อยที่สุดของ $\|\mathrm{P}\|_2$ เท่ากับค่า $\left(\|\mathrm{P}\|_2\right)^2$ จะได้ค่ากำลังสองน้อยที่สุดดังสมการที่ 2.81 และค่า b_0 จะได้ค่าน้อยที่สุดเช่นกันดังแสดงในสมการที่ 2.84

$$\left(\|\mathrm{P}\|_2\right)^2 = (k + a_1 b_0)^2 + (k + a_2 b_0)^2 \tag{2.84}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

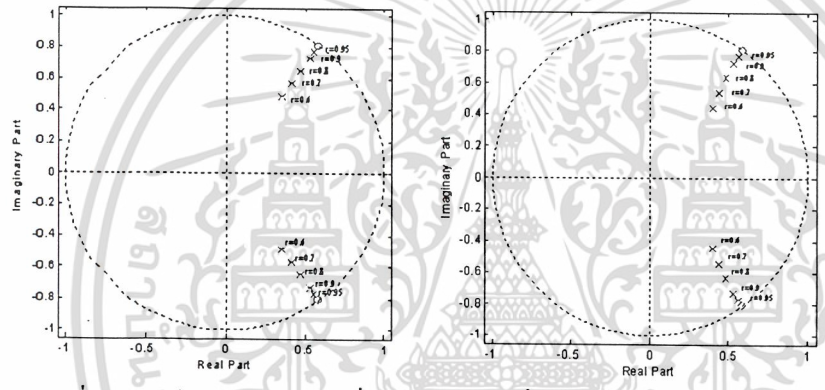
ค่าที่น้อยที่สุดของ – หาได้จากค่าความอนุพันธ์ในสมการที่ 2.84 จากค่า b_0 และกำหนดค่า zero ค่าอนุพันธ์ในสมการที่ 2.84 จะได้ดังสมการที่ 2.85 และ 2.86

$$2[a_1(k + a_1 b_0) + a_2(k + a_2 b_0)] = 0 \tag{2.85}$$

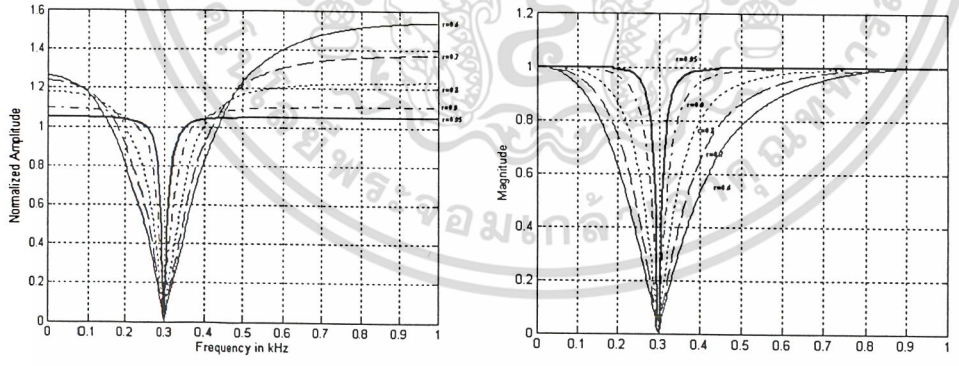
$$b_0 = \frac{-k(a_1 + a_2)}{(a_1^{\,2} + a_2^{\,2})} \tag{2.86}$$

2.8.2 ตัวอย่างการออกแบบและผลที่ได้

การออกแบบตัวอย่างชี้เฉพาะถึงค่าความถี่ notch ที่ $\omega_0 = 0.3\pi$,ที่ r = 0.6, 0.7, 0.8, 0.9 และ 0.95 และ pass-band gain เท่ากับ 1 ในการออกแบบขั้นต้น โดยประยุกต์ค่าในสมการที่ 2 และการวางแผนการออกแบบโดยประยุกต์ค่าในสมการที่ 2.75, 2.76, 2.81 และ 2.86 หลังจากนั้น จะดำเนินการตามโปรแกรมการปรับเปลี่ยนของ MATLAB ซึ่งผลที่ได้จะพล็อตลงใน z-domain ดังรูปที่ 2.21 และผลจะแสดงดังรูปที่ 2.22



รูปที่ 2.21 พล็อต Pole – zero ที่ $\omega_0 = 0.3\pi$,ที่ r = 0.6, 0.7, 0.8, 0.9 และ 0.95



รูปที่ 2.22 ผลของ Magnitude ที่ $\omega_0 = 0.3\pi$,ที่ r = 0.6, 0.7, 0.8, 0.9 และ 0.95

ผลจากการทดลองแสดงให้เห็นว่าการออกแบบใหม่ของ IIR notch filter โดยประยุกต์การปรับเปลี่ยนตำแหน่ง pole-zero ผลที่ได้จะเหมาะสมและสามารถควบคุม pass band gain ตามที่กำหนดไว้ได้ ผลที่ได้จะดีขึ้นเมื่อถ้าสามารถเปรียบเทียบได้กับการออกแบบขั้นต้น ซึ่งขั้นตอนจะซับซ้อนขึ้นไปอีก ยิ่งกว่านั้น filter จะสามารถจำกัด ac noise และ harmonic noise ซึ่งนับว่าเป็นผลที่ดีมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 รูปแบบของเลขจำนวนจริง

รูปแบบของเลขจำนวนเต็ม (Fix-Point number or Integer) เช่น ทูคอมพลีเมนต์ สามารถนำมาใช้แทนตัวเลขทั้งจำนวนบวกและจำนวนลบใดๆที่มี 0 เป็นจุดกึ่งกลางได้ ถ้ากำหนดให้จุดของฐานอยู่ในตำแหน่งที่คงที่แล้ว รูปแบบเช่นนี้ก็สามารถนำมาใช้แทนตัวเลขที่มีส่วนแยก (Fraction component) ได้เหมือนกัน

แนวทางเช่นนี้มีข้อจำกัดอยู่บ้าง คือจะไม่สามารถนำมาใช้แทนตัวเลขขนาดใหญ่มาก หรือตัวเลขที่มีส่วนแยกขนาดเล็กมากได้ ยิ่งกว่านี้ส่วนแยกของตัวเลขจำนวนจริงของผลการหารเลขขนาดใหญ่มากอาจสูญหายไปได้

สำหรับเลขฐานสิบจะใช้รูปแบบทางวิทยาศาสตร์เข้ามาแก้ปัญหานี้ เช่น ตัวเลข 976,000,000,000,000 สามารถเขียนแทนได้ด้วย 9.76×10^{14} และ 0.00000000000976 แทนด้วย 9.76×10^{-14} เป็นต้น สิ่งที่ได้ทำไปนั้นคือการเลื่อนจุดทศนิยมไปยังตำแหน่งที่เหมาะสม และใช้เลขยกกำลังฐานสิบมาแทนตำแหน่งที่ถูกเลื่อนไป ซึ่งทำให้เกิดความคล่องตัวในการเก็บจำนวนเลขที่มีขนาดใหญ่มาก หรือเล็กมากได้อย่างสะดวกสบายด้วยตัวเลขเพียงไม่กี่ตัว

แนวทางนี้สามารถนำมาใช้ได้กับเลขฐานสองซึ่งอยู่ในรูป

$$\pm S\times B^{\pm E}$$

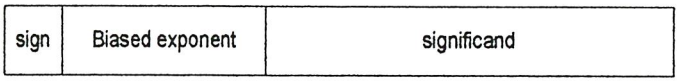
จำนวนเลขใดๆถูกนำมาเก็บไว้สามส่วน คือ

- เครื่องหมาย บวก หรือ ลบ
- Significand S
- Exponent E

ฐาน B นั้นเป็นตัวเลขคงที่เสมอสำหรับเลขทุกจำนวน จึงไม่มีความจำเป็นต้องเก็บไว้ในข้อมูลตัวเลขและโดยทั่วไปตำแหน่งของจุดฐานจะอยู่ในตำแหน่งที่ต่อจากตัวเลขซ้ายสุดของซิกนิฟิแคนด์ (Significand) เสมอซึ่งหมายความว่าจะมีเลขเพียงบิตเดียวที่อยู่ทางซีกซ้ายของจุดฐาน (Radix point)

แนวความคิดพื้นฐานที่นำมาใช้นี้ สามารถอธิบายโดยตัวอย่างได้ดังนี้ รูปที่ 2.23 แสดงโครงสร้างข้อมูลสำหรับเลขจำนวนจริงขนาด 32 บิต บิตซ้ายสุดใช้เป็นบิตเครื่องหมาย (0 คือเลขจำนวน บวก , 1 คือเลขจำนวน ลบ) ค่าของเอ็กซ์โพเนนซ์เก็บอยู่ในพื้นที่ขนาด 8 บิต รูปแบบลักษณะนี้เรียกว่า Bias representation ค่าคงที่จำนวนหนึ่งเรียกว่า ไบอัส จะถูกนำมาลบออกจากเขตข้อมูลนี้ เพื่อให้ได้ค่าเลขยกกำลัง (Exponent value) ที่แท้จริง โยทั่วไปไบอัส มีค่า $2^{k-1}-1$ โดยที่ k คือค่าจำนวนบิตในส่วนของเอ็กซ์โพเนนซ์ที่เป็นไบนารีในที่นี้ เขตข้อมูลขนาด 8 บิต มีค่าอยู่ระหว่าง 0 ถึง 255 ถ้าค่าไบอัส เป็น 127 แล้วจะทำให้ค่า (เลขยกกำลัง) ที่แท้จริงอยู่ระหว่าง -127 ถึง 128 โดยที่เลขฐานคือ 2 (เลขฐานสอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) รูปแบบ

$$1.1010001 \times 2^{10100} = 0\ 10010011\ 10100010000000000000000 = 1.638125 \times 2^{20}$$
$$-1.1010001 \times 2^{10100} = 1\ 10010011\ 10100010000000000000000 = -1.638125 \times 2^{20}$$
$$1.1010001 \times 2^{-10100} = 0\ 01101011\ 10100010000000000000000 = 1.638125 \times 2^{-20}$$
$$-1.1010001 \times 2^{-10100} = 1\ 01101011\ 10100010000000000000000 = -1.638125 \times 2^{-20}$$

(ข) ตัวอย่าง

รูปที่ 2.23 รูปแบบโครงสร้างข้อมูลโดยทั่วไปของเลขจำนวนจริงขนาด 32 บิต

ส่วนสุดท้ายของโครงสร้าง (ตามรูป 2.23) คือ ซิกนิฟิแคนด์ที่เป็นตัวเลขขนาด 23 บิต บางครั้งเรียกว่า แมนทิซซ่า(Mantissa)ซึ่งเป็นส่วนที่บอกตัวเลข เช่น 1.683125×2^{20} มี เอ็กซ์โพเนนซ์เป็น 20 และแมนทิซซ่าเป็น 1.638125 เป็นต้น

เลขจำนวนจริงสามารถเขียนได้หลายรูปแบบที่มีค่าเท่ากันเช่น

$$0.110 \times 2^5$$
$$110 \times 2^2$$
$$0.0110 \times 2^6$$

เพื่อช่วยให้การทำงานเกี่ยวกับเลขจำนวนจริงง่ายขึ้น ก็มีความจำเป็นจะต้องทำการนอมอลไลซ์เลขจำนวนจริงก่อนนำมาใช้งาน หมายเลขที่ถูกนอมอลไลซ์แล้วจะเป็นเลขจำนวนจริงที่มีค่าสูงสุด (Most significant digit) ที่ไม่ใช่ “0” สำหรับเลขฐานสองบิตที่มีค่าสูงสุดของเลขซิกนิฟิแคนด์จะต้องเป็น “1” เสมอ และตามที่ได้กล่าวมาแล้วคือจะมีเลขเพียงบิตเดียวที่หน้า(หรืออยู่ทางซ้าย)จุดฐาน ตัวอย่างเลขจำนวนจริงที่นอมอลไลซ์แล้วเช่น

$$\pm 1.bbb...b \times 2 \pm E$$

โดยที่ b คือบิต “0” หรือ “1” และ E คือเอ็กซ์โพเนนซ์ เนื่องจากบิตที่มีค่าสูงสุดจะต้องเป็น “1” เสมอจึงไม่มีความจำเป็นจะต้องใส่บิตนี้รวมเข้าไปในจำนวนเลขด้วย ทำให้พื้นที่ขนาด 23 บิต สามารถเก็บข้อมูลในส่วนซิกนิฟิแคนด์ขนาด 24 บิตได้โดยมีค่าอยู่ระหว่าง 1 ถึงน้อยกว่า 2 (1.0000-1.9999) เลขจำนวนจริงใดๆสามารถนอมอลไลซ์ได้โดยการเลื่อนจุดฐานไปทางซ้ายแล้วปรับค่าเอ็กซ์โพเนนซ์ ให้สอดคล้องกัน

จากรูปที่ 2.23(ข) แสดงตัวอย่างของเลขจำนวนจริงที่เก็บอยู่ในรูปแบบที่กล่าวถึงนี้ ซึ่งมีคุณสมบัติคือ

- เครื่องหมายจะเก็บไว้ที่บิตแรก
- บิตแรกของซิกนิฟิแคนด์จะเป็น “1” เสมอ ซึ่งจะไม่ได้นำมาเก็บรวมไว้กับตัวเลข
- ค่า 127 จะถูกนำไปบวกเข้ากับเอ็กซ์โพเนนซ์ก่อนที่จะนำไปเก็บไว้ในตัวเลข
- เลขฐานในที่นี้คือ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบตามที่ได้นำเสนอนั้นจะไม่สามารถใช้แสดงแทนเลขจำนวนศูนย์ได้ อย่างไรก็ตามรูปแบบที่ใช้แทนเลขจำนวนจริงนั้น จะมีรูปแบบพิเศษที่ใช้แทนเลขจำนวนศูนย์เป็นการเฉพาะ การเกิดโอเวอร์-โฟลนั้นจะเกิดขึ้นเมื่อผลของการคำนวณมีค่ามากเกินกว่าที่จะสามารถแสดงได้ คือส่วนเอ็กซ์โพเนนซ์มีค่ามากกว่า 128 การเกิดอันเดอร์โฟล จะเกิดขึ้นเมื่อส่วนแมกนิจูดมีค่าน้อยเกินไป การเกิดอันเดอร์โฟลนั้นมีผลเสียน้อยกว่าเนื่องจากค่าน้อยมากนั้นสามารถแสดงแทนได้ด้วยเลขจำนวนศูนย์ซึ่งก็ยังถือว่าใช้ได้

สิ่งสำคัญที่ควรกล่าวถึงคือ รูปแบบของเลขจำนวนจริงไม่ได้เพิ่มจำนวนตัวเลขที่ระบบจะสามารถใช้แทนได้ นั่นคือตัวเลขที่ระบบเลขจำนวนจริงจะสามารถแทนค่าได้นั้นยังคงอยู่ที่ 2^{32} จำนวนเท่ากับรูปแบบของเลขจำนวนเต็ม สิ่งที่ทำไปเป็นเพียงการกระจายจำนวนตัวเลขออกเป็นสองกลุ่ม จำนวนบวกและจำนวนลบ

นอกจากนี้ ตัวเลขในรูปแบบจำนวนจริงยังใช้เนื้อที่ในการแสดงจำนวนเลขไม่เท่ากันเหมือนกับเลขจำนวนเต็ม นั่นคือ จำนวนตัวเลขจะมีค่าใกล้เคียงกันมากเมื่อมีค่าใกล้ศูนย์ และจะมีค่าห่างออกไปเมื่อมีค่ามากขึ้น ทำให้เกิดเป็นผลเสียเมื่อนำมาใช้ในการคำนวณ นั่นคือการคำนวณจำนวนมากจะให้ผลลัพธ์ที่มีค่าผิดไปจากความจริง ซึ่งจะต้องถูกปัดเศษ (Rounded) ให้ไปเป็นตัวเลขที่มีค่าใกล้เคียง(แทนค่าจริง)

2.10 การคำนวณคณิตศาสตร์ของเลขจำนวนจริง

จากตารางที่ 2.3 แสดงข้อสรุปของการทำงานพื้นฐานสำหรับการคำนวณทางคณิตศาสตร์ของเลขจำนวนจริง(Floating-point Arithmetic) สำหรับการบวกและการลบ จำเป็นจะต้องทำให้แน่ใจว่าเลขทั้งสองจำนวนที่จะนำมาบวกหรือลบกันนั้นมีค่าเอ็กซ์โพเนนซ์เท่ากัน จึงอาจจะต้องอาศัยการเลื่อนจุดฐานของตัวถูกดำเนินการตัวใดตัวหนึ่ง ในขณะที่การคูณและการหารนั้นสามารถทำได้โดยทันทีโดยไม่ต้องมีการปรับฐานของตัวเลข

การทำงานกับเลขจำนวนจริงอาจจะทำให้เกิดสิ่งใดสิ่งหนึ่งดังต่อไปนี้

Floating Point Number	Arithmetic Operation
$X = X_s \times B^{X_E}$ $Y = Y_s \times B^{Y_E}$	$\left.\begin{array}{l} X+Y = (X_s \times B^{X_E - Y_E} + Y_s) \times B^{Y_E} \\ X-Y = (X_s \times B^{X_E - Y_E} - Y_s) \times B^{Y_E} \end{array}\right\} X_E \le Y_E$ $X-Y = (X_s \times B^{X_E - Y_E} - Y_s) \times B^{Y_E}$ $X \times Y = (X_s \times Y_s) \times B^{X_E + Y_E}$

ตารางที่ 2.3 ข้อสรุปของการทำงานพื้นฐานสำหรับการคำนวณทางคณิตศาสตร์ของเลขจำนวนจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.1 การบวกและการลบ

ในการคำนวณทางคณิตศาสตร์ของเลขจำนวนจริง การบวกและการลบนั้นมีความซับซ้อนมากกว่าการคูณหรือการหาร ทั้งนี้เนื่องมาจากต้องทำการเลื่อนตำแหน่งจุดฐานให้เลขทั้งสองจำนวนนั้นสมดุลกัน(Word alignment)

ขั้นตอนในการบวกและการลบแบ่งออกเป็นสี่ขั้นตอนดังนี้

1. ตรวจสอบว่าเป็น "0" หรือไม่
2. จัดลำดับจุดฐานของส่วนซิกนิฟีแคนด์ให้ตรงกัน
3. ทำการบวกหรือลบซิกนิฟีแคนด์
4. ทำการนอมอลไลซ์ผลลัพธ์

จากรูปที่ 2.24 ได้แสดงผังงานการบวกและการลบเลขที่เกิดขึ้นโดยทั่วไป ซึ่งแสดงให้เห็นการทำงานแต่ละขั้นตอนของฟังก์ชั่นหลักที่จำเป็นต้องใช้ในการบวกและลบตัวเลข สำหรับการบวกและการลบตัวถูกดำเนินการ (Operand) ทั้งสองตัวจะต้องถูกอ่านเข้ามาเก็บไว้ในรีจิสเตอร์

การทำงานในขั้นตอนที่ 1 : Zero check เนื่องจากการบวกและการลบมีข้อแตกต่างกันเพียงบิตเครื่องหมายที่ไม่เหมือนกัน กระบวนการจะเริ่มต้นที่การเปลี่ยนเครื่องหมายของตัวลบในกรณีที่เป็นการลบ ขั้นต่อไปถ้าตัวถูกดำเนินการเป็น "0" ก็ให้นำตัวตั้งไปเป็นผลลัพธ์ของการคำนวณได้ทันที**การทำงานในขั้นตอนที่ 2 : Significand alignment** ขั้นต่อไปคือ การจัดการให้ตัวเลขทั้งสองมีส่วนเอ็กซ์โพเนนซ์ที่เข้ากันได้ พิจารณาการบวกเลขฐานสิบสองจำนวนเข้าด้วยกันซึ่งจำเป็นต้องจัดการในส่วนเอ็กซ์โพเนนซ์ก่อนที่จะนำมาบวกกัน

$$(123\times10^{0})+(456\times10^{2})$$

เห็นได้ชัดว่าไม่สามารถนำซิกนิฟีแคนด์ของเลขทั้งสองจำนวนมาบวกกันได้ทันที ตัวเลขจะต้องถูกกำหนดให้ไปอยู่ในตำแหน่งที่เหมาะสมเสียก่อน นั่นคือเลข 4 ของจำนวนทางขวาจะต้องถูกจัดตำแหน่งให้ตรงกับเลข 3 ของจำนวนทางซ้ายมือซึ่งจะทำให้เอ็กซ์โพเนนซ์ของเลขทั้งสองจำนวนมีค่าเท่ากัน ดังนั้นจะได้

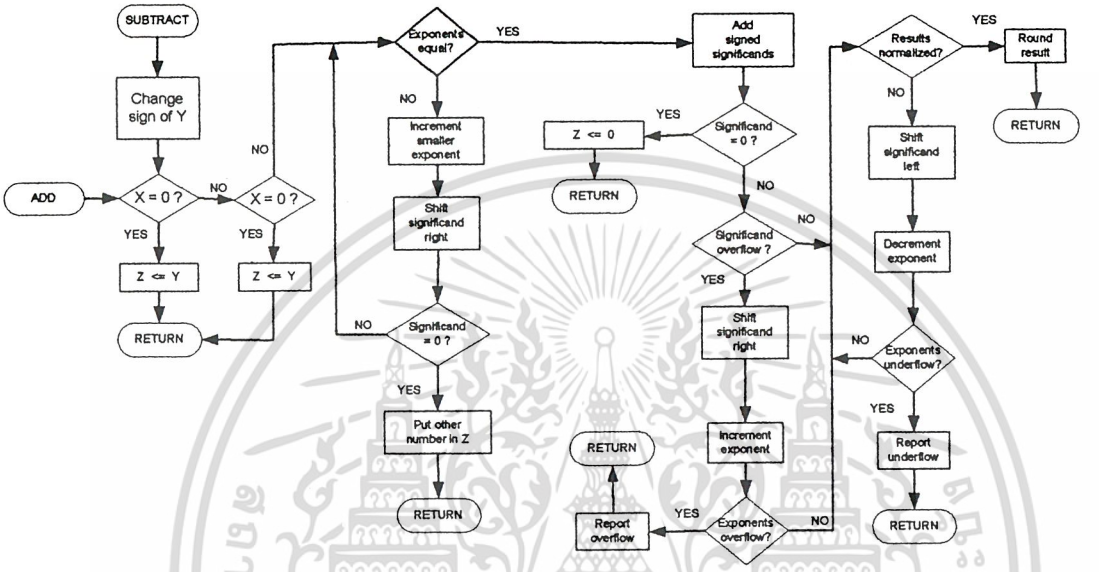
$$(123\times10^{0})+(456\times10^{2})=(123\times10^{0})+(4.56\times10^{0})=127.56\times10^{0}$$

การจัดตำแหน่งของตัวเลข (Alignment) สามารถทำได้โดยการเลื่อนบิตของเลขจำนวนที่มีค่าน้อยกว่าไปทางขวา(เป็นการเพิ่มค่าให้แก่เอ็กซ์โพเนนซ์) หรือการเลื่อนบิตของเลขจำนวนมากกว่าไปทางซ้าย เนื่องจากไม่ว่าจะใช้วิธีการเลื่อนบิตไปทางทิศใดก็ตาม จะต้องเสี่ยงกับการสูญเสียตัวเลขบางส่วนไป ถ้าเป็นการเลื่อนบิตของเลขจำนวนน้อย ตัวเลขที่สูญเสียก็จะมีค่าน้อยไปด้วย การจัดตำแหน่งจึงทำได้โดยการเลื่อนขนาดของซิกนิฟีแคนด์ไปทางขวา 1 ตำแหน่ง และเพิ่มค่าของเอ็กซ์โพเนนซ์ขึ้นไปอีก 1 ทำวนไปจนกว่าค่าของเอ็กซ์โพเนนซ์ของเลขทั้งสองจำนวนจะมีค่าเท่ากัน ถ้ากระบวนการนี้ทำให้ส่วนของซิกนิฟี-แคนด์มีค่าเป็นศูนย์แล้ว เลขที่เหลืออีกจำนวนหนึ่งจะกลายเป็นผลลัพธ์ ดังนั้นถ้าเลขทั้งสองจำนวนมีส่วนของเอ็กซ์โพเนนซ์ที่แตกต่างกันมากแล้ว กระบวนการนี้จะสูญเสียเลขจำนวนที่น้อยกว่าไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานขั้นตอนที่ 3 : Addition ขั้นต่อไปก็จะนำส่วนซิกนิฟีแคนด์ของเลขทั้งสองมาบวกกันโดยจะต้องพิจารณาบิตเครื่องหมายด้วย เนื่องจากบิตเครื่องหมายอาจมีค่าต่างกันซึ่งอาจทำให้ผลลัพธ์มีค่าเป็นศูนย์ก็ได้

การทำงานขั้นตอนที่ 4 : Normalization ขั้นตอนสุดท้ายจะต้องทำการนอมอลไลซ์ผลลัพธ์ที่ได้ ซึ่งประกอบด้วยการเลื่อนบิตซิกนิฟีแคนด์ไปทางซ้าย จนกระทั่งบิตที่มีค่าสูงสุดเป็นตัวเลขที่ไม่ใช่ศูนย์

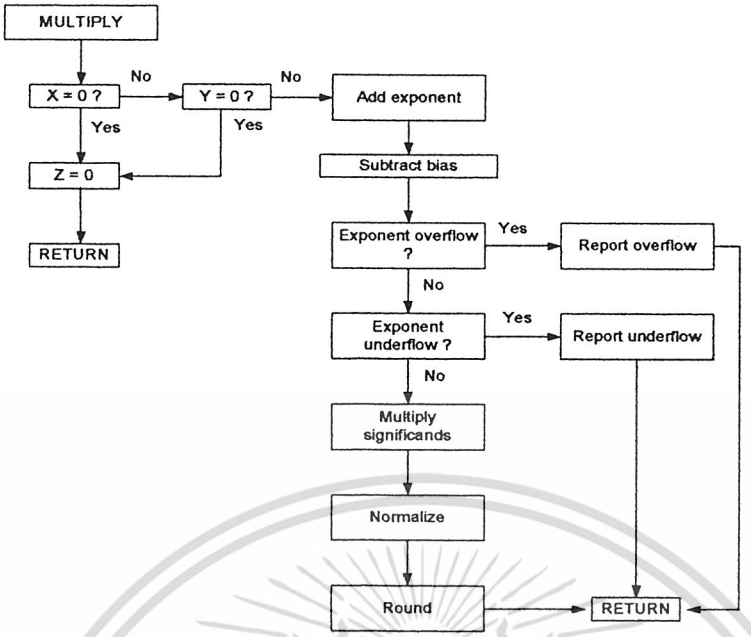


รูปที่ 2.24 การบวกและลบเลขจำนวนจริง

2.10.2 การคูณ

การคูณเลขจำนวนจริง เป็นกระบวนการที่ง่ายกว่าการบวกและการลบ รูปที่2.25 แสดงกระบวนการคูณเลข ถ้าตัวดำเนินการตัวใดมีค่าเป็น 0 ก็จะให้ค่าผลลัพธ์เป็น 0 ขั้นต่อไปก็คือการนำส่วนเอ็กซ์โพเนนซ์มาบวกเข้าด้วยกัน ถ้าส่วนเอ็กซ์โพเนนซ์มีการจัดเก็บแบบ Bias form ผลบวกของเอ็กซ์โพเนนซ์ทั้งสองอาจมีค่ามากกว่า 2 เท่าของค่าไบอัสดังนั้นจึงต้องนำค่าไบอัสมาลบออกจากผลลัพธ์การบวกที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 การคูณเลขจำนวนจริง

ถ้าส่วนของเอ็กซ์โพเนนซ์อยู่ภายในขอบเขตที่เป็นไปได้ ก็จะต้องนำส่วนซิกนิฟิแคนด์มาทำการคูณกัน ซึ่งจะต้องคำนึงบิตเครื่องหมายด้วย กระบวนการคูณเกิดขึ้นในทำนองเดียวกับที่คูณเลขจำนวนเต็ม ผลคูณอาจทำให้จำนวนบิตเพิ่มขึ้นสองเท่าบิตที่เกินมาจะถูกกระบวนการปัดเศษตัดทิ้งไป หลังจากได้ผลลัพธ์แล้วก็จะทำการนอมอลไลซ์และทำการปัดเศษแบบเดียวกับที่ทำในการบวกและการลบ

2.11 หลักการออกแบบส่วนของฮาร์ดแวร์ (Hardware)

ส่วนของหลักการออกแบบฮาร์ดแวร์นี้ เป็นส่วนที่มีความสำคัญมากในการสร้างวงจรขึ้นมาใช้ในการทดสอบวงจรเพื่อนำไปใช้งานจริงต่อไป ซึ่งในส่วนนี้ได้แบ่งการอธิบายออกเป็น 4 ส่วนคือ

- วงจรคูณ
- วงจรบวก
- วงจรการเปลี่ยนเลขระบบจำนวนเต็มไปเป็นเลขระบบจำนวนจริง
- วงจรการเปลี่ยนเลขระบบจำนวนจริงไปเป็นเลขระบบจำนวนเต็ม

2.11.1 วงจรคูณ

รูปแบบของการคูณเลขจำนวนจริงแตกต่างจากการคูณเลขจำนวนเต็มโดยทั่วไป กล่าวคือ เลขรูปจำนวนจริงที่เราทำการเก็บค่าไว้นี้ จะได้รับการแบ่งเก็บไว้ 2 ส่วนใหญ่ๆ คือ ส่วนของ แฟลกชั่น และส่วนของ เอ็กซ์โพเนนท์

โดยหลักการทั่วๆไปคือเมื่อเรารับข้อมูลที่เป็นเลขรูปแบบจำนวนจริงเข้ามา 2 ค่า สามารถทำตามขั้นตอนดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ทำการเคลียร์ค่าของทั้ง เอ็กซ์โพเนนท์ 8 บิต และ แฟลกชั่น 24 บิต โดยทำการเซ็ตค่าให้เป็นค่าศูนย์ทั้งหมดทั้ง 2 ส่วน
2. ค่าของแฟลกชั่นที่เข้ามานั้นเป็นเลขที่มีเครื่องหมาย ดังนั้นจะต้องทำการตรวจสอบดูเสียก่อนว่าค่านั้นเป็นค่าบวก หรือลบ
   - ถ้าบิตที่ 24 ที่เข้ามาเป็น 0 แสดงว่าเป็นค่าบวก ก็ใช้ค่านั้นนำไปคำนวณได้เลย
   - ถ้าบิตที่ 24 ที่เข้ามาเป็น 1 แสดงว่าเลขเป็นค่าลบ ก็ให้ทำการ Two's complement เพื่อให้รู้ค่าขนาดที่แท้จริงของเลขชุดนั้น แล้วนำไปใช้คำนวณต่อไป
3. นำค่าที่ผ่านการตรวจสอบทั้งเครื่องหมาย และทำการหาขนาด (ในกรณีที่เป็นค่าลบ) แล้วไปเข้าในส่วนของกระบวนการคูณเลขแบบ 24 บิต คูณ 24 บิต โดยจะได้ผลลัพธ์ออกมาเป็นเลขที่มีความกว้างเท่ากับ 48 บิต
4. ทำการตรวจสอบว่าผลลัพธ์ที่ผ่านกระบวนการการคูณแล้วนั้น เป็นค่าบวก หรือลบ โดยใช้หลักการคือ
   - ถ้าเลขบวกคูณเลขบวก ก็จะได้ผลออกมาเป็นค่า บวก
   - ถ้าเลขลบคูณเลขลบ ก็จะได้ผลออกมาเป็นค่า บวก
   - ถ้าเลขบวกคูณเลขลบ ก็จะได้ผลออกมาเป็นค่า ลบ
   - ถ้าเลขลบคูณเลขบวก ก็จะได้ผลออกมาเป็นค่า ลบ

   ทำให้ได้ข้อสรุปว่ามี 2 กรณี คือ ผลลัพธ์เป็นค่า บวก หรือไม่ก็เป็นค่า ลบ
5. ส่วนของเลขยกกำลังนั้นแบ่งการคิดออกได้เป็น 2 ช่วงคือ
   - ส่วนแรก คือ ช่วงที่รับค่าอินพุทเข้ามาตอนแรก เรานำเอาเลขยกกำลังมทำการบวกกันได้เลยได้ผลลัพธ์แล้วเก็บไว้ก่อน (เก็บไว้เป็นตัวแปร expo_sum)
   - ส่วนที่สอง คือ ช่วงที่ได้ผลลัพธ์จากการ นอมอลไลซ์ ผลที่ได้จากการคูณเลข 24 บิต แล้ว ซึ่งจะมีการเลื่อนบิตที่ส่วนของแฟลกชั่นผลลัพธ์ โดยมันจะมีผลต่อค่าเอ็กซ์-โพเนนซ์ผลลัพธ์ที่ออกตอนสุดท้ายของวงจรคูณเลขจำนวนจริงนี้(ในโปรแกรมนี้คือตัวแปร expo_out)
6. หลักการในการทำ นอมอลไลซ์ ค่าแฟลกชั่นที่ได้จากการคูณแล้ว แบ่งระบบการคิดออกเป็น 2 ส่วนคือ ส่วนที่ได้ค่าผลลัพธ์การคูณเป็นค่าบวก และส่วนที่ได้ผลลัพธ์จากการคูณเป็นค่าลบ
   - **เมื่อผลจากการคูณเป็นค่า บวก : เนื่องจากการคูณเลข 24 คูณ 24 บิต จะได้ผลออกมาเป็นเลข 48 บิต แต่เนื่องจากเลข 24 บิตที่เป็นอินพุทในการคูณนั้นจะเป็นรูปแบบของ 1. หรือ 0. ดังนั้น ผลลัพธ์ในบิตที่ 48 และ 47 จากการคูณนั้นจะออกมาเป็น 00. ซึ่งหลักการการคิดก็คือ เราต้องหาเลขชุด 2 บิต ที่เป็นเลข 01 ติดกันให้ได้ เมื่อเจอเลขชุดนี้ชุดแรกเมื่อไรก็ให้เก็บค่าผลลัพธ์ตั้งแต่ที่เจอ 01 นั้นไปอีก 22 บิต เพื่อเก็บเป็นผลลัพธ์สุดท้ายของแฟลกชั่น (คือตัวแปร ff ในวงจรนั่นเอง) แต่ถ้าบิตไม่พอก็ให้เติม 0 ไปจนครบ 24 บิต**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อผลจากการคูณเป็นค่า ลบ : ให้ทำการ Two's complement ผลจากการคูณเลข 24 บิตนั้นก่อนจะสามารถนำไปทำการนอมอลไลซ์ได้ เมื่อทำการ Two's complement แล้วจะได้บิตที่ 48 และ 47 เป็น 11. หลักการคือ เราต้องหาเลขชุด 2 บิต ที่เป็นเลข 10 ติดกันให้ได้ เมื่อเจอเลขชุดนี้ชุดแรกเมื่อไรก็ให้เก็บค่าผลลัพธ์ตั้งแต่ที่เจอ 10 นั้นไปอีก 22 บิต เพื่อเก็บเป็นผลลัพธ์สุดท้ายของแฟลกชั่น (คือตัวแปร ff ในวงจรนั่นเอง) แต่ถ้าบิตไม่พอก็ให้เติม 0 ไปจนครบ 24 บิต

7. กระบวนการสุดท้ายคือการปรับค่าของเลขชี้กำลัง ในวงจรเมื่อมีการทำนอมอลไลซ์ส่วนของแฟลกชั่น จะต้องมีการนำค่าไปเพิ่มในส่วนของตัวแปร expo_sum ซึ่งในวงจรส่วนนี้แทนด้วยตัวแปร count แต่ค่า count ที่ได้นี้จะต้องนำไปผ่านกระบวนการ Two's complement ก่อนจึงจะนำไปบวกเข้ากับ expo_sum ได้ ซึ่งผลลัพธ์สุดท้ายของเอ็กซ์โพเนนซ์ก็คือตัวแปร expo_out 8 บิต

2.11.2 วงจรบวก

รูปแบบของการบวกเลขจำนวนจริงมีกระบวนการที่ซับซ้อนพอสมควร ดังนั้นแนวคิดที่นำเสนอนี้จึงได้แบ่งออกเป็นส่วนย่อยๆมากมาย หลักการโดยทั่วไปคือ การจัดในส่วนของเลขชี้กำลังให้เท่ากัน เมื่อเท่ากันแล้วจึงทำการ บวกในส่วนของแฟลกชั่น เสร็จแล้วจึงทำการนอมอลไลซ์

ขั้นตอนการบวกในวงจรมีดังนี้

1. ทำการตรวจสอบเสียก่อนว่า ค่าของเอ็กซ์โพเนนซ์ นั้นเป็นอย่างไร โดยแบ่งการตรวจสอบออกเป็นดังนี้
   - เอ็กซ์โพเนนซ์เป็นค่าบวกทั้งคู่ กำหนดให้ number = 0
   - เอ็กซ์โพเนนซ์ตัวแรกเป็นค่าบวก ตัวที่สองเป็นค่าลบ กำหนดให้ number = 1
   - เอ็กซ์โพเนนซ์ตัวแรกเป็นค่าลบ ตัวที่สองเป็นค่าบวก กำหนดให้ number = 2
   - เอ็กซ์โพเนนซ์ตัวแรกเป็นค่าลบ ตัวที่สองเป็นค่าลบ กำหนดให้ number = 3

   ต่อมาทำการตรวจสอบแฟลกชั่นด้วยว่าเป็นอย่างไร โดย
   - กรณีแฟลกชั่นเป็นค่าบวกทั้งคู่
   - กรณีแฟลกชั่นตัวแรกเป็นค่าบวกตัวที่สองเป็นค่าลบ
   - กรณีแฟลกชั่นตัวแรกเป็นค่าลบตัวที่สองเป็นค่าบวก
   - กรณีแฟลกชั่นตัวแรกเป็นค่าลบตัวที่สองเป็นค่าลบ
2. ส่วนสำคัญที่สุดของตัวบวกก็คือส่วนของเลขชี้กำลัง โดยในวงจรที่จะทำการออกแบบนี้จะใช้การปรับค่าเลขชี้กำลังจากค่ามากไปหาค่าน้อย โดยแยกพิจารณาในการหาว่า ค่าเลขชี้กำลังของตัวใดมากกว่ากันดังนี้
   - กรณี number = 0 เราสามารถพิจารณาได้เลยว่าเลขชี้กำลังตัวใดมากกว่ากันเพราะมันเป็นเลขบวกทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณี number = 1 และ 2 แบบนี้สรุปได้เลยว่าค่าที่เป็นบวกจะต้องมากกว่าค่าลบแน่นอน
- กรณี number = 3 คือเป็นเลขที่ติดลบทั้งคู่ แบบนี้ต้องนำเลขชี้กำลังทั้ง 2 ตัวมาทำการ Two's complement โดยที่ถ้าขนาดของตัวใดที่ผ่านการทำ Two's complement มาแล้วมีขนาดมากกว่าแสดงว่าตัวนั้นคือตัวที่ มีค่าน้อยกว่าอีกตัวหนึ่ง ในทางกลับกันก็เช่นเดียวกัน

3. เมื่อรู้แล้วว่าตัวใดที่มีค่ามากกว่ากัน ต่อไปจะเป็นการคำนวณเพื่อหาความต่างระหว่างความมากน้อยนั้น ว่ามันต่างกันเท่าไร เพื่อนำค่าความต่างนั้นไปใช้ในการปรับเลขชี้กำลังให้เท่ากัน แล้วจะทำให้สามารถทำกระบวนการบวกได้ตามปกติ
4. เมื่อรู้ความต่างของขนาดของเลขชี้กำลังแล้ว ก็ทำการเลื่อนบิตของตัวที่มีค่ามากไปจนกว่า ค่าของเลขชี้กำลังจะเท่ากัน
5. เมื่อทำการเลื่อนบิตจนค่าของเลขชี้กำลังเท่ากันแล้วก็ทำกระบวนการบวกส่วนของแฟลกชั่นได้ตามปกติ
6. ต่อไปเป็นส่วนของการนอมอลไลซ์เพื่อให้ได้ค่าผลลัพธ์ของการบวกมีจำนวนบิตเท่า 24 บิต ตามทฤษฎี แต่เมื่อมีการนอมอลไลซ์แล้ว ก็จะมีผลทำให้ค่าของเลขชี้กำลังเปลี่ยนไปด้วย โดยที่การนอมอลไลซ์นั้นเราได้ทำการแยกพิจารณาเป็น 2 กรณี คือ กรณีที่ได้ค่าเป็นบวก กับกรณีที่ได้ค่าเป็นลบ
   - กรณีที่ได้ค่าเป็น**บวก** คือ บิต MSB เป็น 0 ให้หาชุดของ 2 บิตที่เป็น 01 ชุดแรกให้เจอ เมื่อเจอแล้วก็ให้ทำการเก็บค่าตั้งแต่ 01 ชุดแรกที่เจอนั้นไปอีก 22 บิต รวมเป็น 24 บิต แล้วชุดนั้นก็คือผลลัพธ์ของส่วนแฟลกชั่นที่ได้จากบวกนั่นเอง ต่อมาทำการเลื่อนจุดทศนิยมมาไว้ที่ระหว่าง 0 กับ 1 ที่เจอชุดแรกนั้น แล้วไปทำการเปลี่ยนแปลงค่าของเลขชี้กำลังให้สอดคล้องกันจำนวนบิตที่เลื่อนไป
   - กรณีที่ได้ค่าเป็น**ลบ** คือ บิต MSB เป็น 1 ให้หาชุดของ 2 บิตที่เป็น 10 ชุดแรกให้เจอ เมื่อเจอแล้วก็ให้ทำการเก็บค่าตั้งแต่ 10 ชุดแรกที่เจอนั้นไปอีก 22 บิต รวมเป็น 24 บิต แล้วชุดนั้นก็คือผลลัพธ์ของส่วนแฟลกชั่นที่ได้จากบวกนั่นเอง ต่อมาทำการเลื่อนจุดทศนิยมมาไว้ที่ระหว่าง 1 กับ 0 ที่เจอชุดแรกนั้น แล้วไปทำการเปลี่ยนแปลงค่าของเลขชี้กำลังให้สอดคล้องกันจำนวนบิตที่เลื่อนไป

2.11.3 วงจรการเปลี่ยนเลขระบบจำนวนเต็มไปเป็นเลขระบบจำนวนจริง

ชุดตัวเลขที่เรารับเข้ามาเป็นชุดจำนวนของเลข 8 บิต ในระบบจำนวนเต็ม ไม่คิดเครื่องหมาย แต่ในระบบการทำงานของเราจะใช้เลขชุด 8 บิต แบบคิดเครื่องหมายด้วย นั่นคือเราเรียกว่าเป็นเลข Two's complement ซึ่งเราใช้หลักการง่ายๆในการแปลงคือ เปลี่ยนค่าบิตที่ 8 ที่เข้ามาให้เป็นเลขตรงกันข้ามคือ

- ถ้าบิตที่ 8เป็น 0 ก็ให้เปลี่ยนเป็น 1
- ถ้าบิตที่ 8เป็น 1 ก็ให้เปลี่ยนเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการแปลงเลขเสร็จแล้ว ก็ทำการจัดรูปตามแบบฟอร์ม ของเลขระบบจำนวนจริง โดยที่บิตที่ 24 คือบิตเครื่องหมาย 23 บิตต่อมาคือบิตในส่วนของแฟลกชั่น และอีก 8 บิตสุดท้ายคือ ส่วนของเอ็กซ์โพเนนซ์นั่นเอง โดยที่หลักคือถ้าไม่มีค่าก็ให้เติม 0 จนครบ

2.11.4 วงจรการเปลี่ยนเลขระบบจำนวนจริงไปเป็นเลขระบบจำนวนเต็ม

เมื่อมีเลขระบบจำนวนจริงเข้ามา 1 ชุด 24 บิต แล้วต้องการเปลี่ยนไปเป็นระบบจำนวนเต็มเพียง 8 บิต จะต้องพิจารณาที่ส่วนเอ็กโปแนนท์ก่อนว่ามีค่ามากกว่า 7 หรือไม่ถ้ามากกว่าให้ถือว่าค่าที่แปลงแล้วเป็นค่าสูงสุดเลย แต่ถ้าน้อยกว่า 8 แต่เป็นค่าติดลบก็ให้ถือว่าเป็นค่าต่ำสุดเลย

นอกนั้นใช้หลักการเลื่อนจุดทศนิยมตามค่าเอ็กโปแนนท์ได้เลย

2.12 บูท อัลกอริทึม (Booth Algorithm)

แนวทางอีกแนวหนึ่งที่สามารถนำมาใช้เป็นตัวคูณได้คือ บูท อัลกอริทึม โดยที่แนวทางนี้ใช้เพียงแค่กระบวนการการ เลื่อนบิตและการบวกเท่านั้น ทำให้สามารถประหยัดเนื้อที่ชิพและยังใช้เวลาน้อยกว่าอีกด้วย

หลักการการสร้าง บูท อัลกอริทึม สามารถสรุปได้ดังนี้

- สมมติให้มีอินพุทเข้ามา 2 ตัว คือ A และ X โดยที่เอาท์พุทคือ Y ถ้าให้ A เป็นตัวตั้ง แล้ว X เป็นตัวคูณ ขั้นแรกให้เพิ่มบิต 0 เข้าไปทางขวาสุดของตัวคูณ จะทำให้ตัวคูณตัวใหม่กลายเป็น 9 บิต คือ XXXXXXXX0

- ทำการแบ่งบิตของตัวคูณที่ผ่านการเติมบิตเข้าไปแล้วออกเป็น 4 ชุด สมมติให้เป็น c1 c2 c3 c4 โดยที่ บิต 0-2 เป็น c1...บิต 2-4 เป็น c2 ...บิต 4-6 เป็น c3 ...และบิตที่ 6-8 เป็น c4

- ความสัมพันธ์ระหว่างบิต 3 บิตกับค่า c ที่ได้ออกมาเป็นดังนี้

000 → +0
001 → +A
010 → +A
011 → +2A
100 → -2A
101 → -A
110 → -A
111 → -0

- ขั้นตอนต่อไปเป็นขั้นตอนการบวกและเลื่อนบิต โดยที่การบวกก็คือการเอาค่า c1+ c2+ c3+ c4 แต่ในระหว่างการบวกนั้นจะมีการเลื่อนบิตไปทางซ้าย 2 บิตทุกครั้งที่มีการบวกเสร็จก็จะได้ผลลัพธ์ตามต้องการ

- ตัวอย่างขั้นตอนของ บูท อัลกอริทึมเป็นดังข้างล่างนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
A                    11 01 01  01          -43
X                x   01 11 10  10          122
Y                    10 00 0-1 -10         recoded multiplier
-------------------------------------------------------------
Add -2A          + 0 01 01 01  10
2-Bit Shift        0 00 01 01  01  10
Add -A           + 0 00 10 10  11
-------------------------------------------------------------
                   0 01 00 00  00  10
2-Bit Shift        0 00 01 00  00  00 10
2-Bit Shift Only   0 00 00 01  00  00 00 10
Add 2A           + 1 10 10 10  10
-------------------------------------------------------------
                   1 10 10 11  10  00 00 10
2-Bit Shift        1 11 10 10  11  10 00 00 10 -5246
```

2.13 การเปรียบเทียบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลขกับวงจรกรองความถี่ป้อนกลับเชิงเลข โดยเป็นการเปรียบเทียบที่ตัวกรองอันดับเดียวกัน

ตัวกรองป้อนกลับเชิงเลข	ตัวกรองไม่ป้อนกลับเชิงเลข
1.อาจเกิดการไม่เสถียรได้	1.มีความเสถียรเสมอ
2.ให้ช่วงความถี่ที่ผลตอบสนองความถี่จากผ่านสัญญาณไปเป็นไม่ผ่านสัญญาณ หรือ ทรานซิชั่นแบนด์แคบกว่า	2.ให้ช่วงทรานซิชั่นแบนด์กว้างกว่า
3.ค่าการหน่วงสัญญาณที่จุดออกของสัญญาณ (overall delay) น้อยกว่าจึงเหมาะสำหรับใช้กับระบบเวลาจริง	3.ค่าการหน่วงออกแบบไปของสัญญาณที่จุดสัญญาณออกมากกว่ามาก จึงไม่เหมาะกับระบบเวลาจริง
4.เกิดผลของความผิดเพี้ยนของผลตอบสนองเฟส (phase distortion) สูง	4.สามารถออกแบบให้มีผลตอบสนองเฟสเป็นแบบเชิงเส้นได้
5.ผลของสัญญาณรบกวนเนื่องมาจากการปัดเศษ (round off error) มีค่ามาก	5.สัญญาณรบกวนจากการปัดเศษมีค่าน้อย
6.การออกแบบง่ายโดยเฉพาะการออกแบบโดยใช้วิธีการแปลงมาจากตัวกรองเชิงอุปมาน	6.การออกแบบให้มีผลตอบสนองแอมปลิจูดคมทำได้ยากกว่า

ตารางที่ 2.4 การเปรียบเทียบระหว่างตัวกรองป้อนกลับเชิงเลขกับตัวกรองไม่ป้อนกลับเชิงเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในข้อ 1 นั้นเนื่องจากตัวกรองไม่ป้อนกลับเป็นระบบที่มีเฉพาะซีโร่ ดังนั้นจึงเสถียรเสมอ ผิดกับตัวกรองป้อนกลับที่เป็นระบบที่มีทั้งโพล (pole) และซีโร่ (zero) เมื่อนำตัวกรองไปสร้างใช้งาน โดยการแทนค่าสัมประสิทธ์ของตัวกรองด้ายเลขฐานสองที่มีจำนวนบิตจำกัด ทำให้ค่าสัมประสิทธิ์คลาดเคลื่อนไป ตำแหน่งของโพลอาจเลื่อนไปในตำแหน่งที่ทำให้ตัวกรองไม่เสถียรได้

ส่วนในข้อ 2 นั้นเนื่องจากตัวกรองป้อนกลับทำการประเมินค่าผลตอบสนองความถี่ในอุดมคติโดยใช้อัตราส่วนของพหุนามสองพหุนาม หรือแบบตรรกยะ ส่วนตัวกรองแบบไม่ป้อนกลับทำการประเมินค่าโดยใช้พหุนามธรรมดา และโดยทั่วไปการดูว่าตัวกรองเป็นตัวกรองอันดับเท่าใด เราจะดูที่กำลังสูงสุดของพหุนาม ตัวอย่างเช่น ตัวกรองป้อนกลับอันดับ 2 ตัวกรองประมาณค่าโดยใช้พหุนามอันดับ 2 สองพหุนามมาหารกัน ส่วนตัวกรองไม่ป้อนกลับใช้พหุนามอันดับ 2 อย่างเดียว ดังนั้นเมื่อเปรียบเทียบตัวกรองในอันดับเดียวกันตัวกรองแบบป้อนกลับจึงทำการประมาณค่าได้มีความแม่นยำที่มากกว่า หรือได้ผลตอบสนองแอมปลิจูดได้คมกว่า นั่นก็คือ ช่วงความถี่ แถบเปลี่ยนสถานะ หรือทรานซิชั่นแบนด์ (transition band) หรือช่วงความถี่ที่ผลตอบสนองแอมปลิจูดเปลี่ยนจากผ่านสัญญาณเป็นไม่ผ่านสัญญาณของตัวกรองป้อนกลับจึงแคบกว่า

ส่วนข้อ 3 เป็นผลโดยตรงมาจากข้อ 2 สำหรับตัวกรองที่ให้ผลตอบสนองแอมปลิจูดอย่างเดียวเราสามารถใช้ตัวกรองป้อนกลับที่มีอันดับต่ำกว่า ซึ่งเมื่อใช้อันดับน้อยกว่าโดยทั่วไปในการสร้างตัวกลาง ก็ต้องการอุปกรณ์หน่วงสัญญาณจำนวนที่น้อยกว่าด้วย ข้อเปรียบเทียบดังข้อที่ 4 ตัวกรองป้อนกลับให้ผลตอบสนองเฟสที่ไม่เป็นเชิงเส้น การทำให้ตัวกรองแบบนี้มีผลตอบสนองเฟสเชิงเส้น อาจทำได้โดยในตอนประมวลผล เราทำการประมวลผล 2 ครั้ง ครั้งแรกทำการประมวลผลข้อมูลตามปกติ ส่วนครั้งที่ 2 ทำการประมวลผลในทิศทางย้อนกลับ ซึ่งการทำอย่างนี้ไม่ใช่เป็นการประมวลผลในระบบเวลาจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสร้างค่าสัมประสิทธิ์สำหรับวงจรกรองเชิงเลข
โดยใช้โปรแกรม MATLAB

3.1 การออกแบบตัวกรองแบบ FIR โดยใช้โปรแกรม Matlab

ในการออกแบบตัวกรองเรามักจะให้ความสำคัญแก่ผลตอบสนองแอมพลิจูดมากโดยให้ผลตอบสนองเฟสเป็นอย่างไรก็ได้ แต่งานบางลักษณะผลตอบสนองมีความสำคัญมากเช่นการประมวลผล คลื่นสัญญาณไฟฟ้าหัวใจซึ่งขนาดแอมพลิจูดของสัญญาณที่นำมาวิเคราะห์มีความสำคัญมาก ดังนั้นเราจึงใช้การออกแบบตัวกรองแบบ FIR ช่วยในการออกแบบงานในลักษณะนี้เพราะสามารถออกแบบให้มีผลตอบสนองเฟสได้ง่าย ใช้การออกแบบตัวกรองแบบ IIR จะทำให้สัญญาณที่ได้เกิดความเพี้ยนได้ตัวกรองแบบ FIR เป็นตัวกรองเชิงเลขที่มีผลตอบสนองอยู่ในช่วงจำกัดทำให้ตัวกรองในรูปแบบนี้มีทั้งข้อดีและข้อเสียโดยข้อดีของตัวกรองชนิดนี้คือ

1. สามารถออกแบบให้มีผลตอบเฟสเชิงเส้นได้ง่าย
2. มีเสถียรภาพคงที่
3. สามารถใช้กับอุปกรณ์ที่เป็นฮาร์ดแวร์ได้ดี
4. ทรานเซียนในตอนเริ่มต้นมีช่วงจำกัด

ส่วนข้อเสียของตัวกรองชนิดนี้คือ ใช้อันดับของตัวกรองสูงกว่าแบบ IIR ทำให้เทอมในการคำนวณ มีมากทำให้สิ้นเปลืองเวลาในการคำนวณ

โปรแกรม Matlab จะมีฟังก์ชันในการออกแบบ FIR โดยใช้ฟังก์ชันวินโดวส์ต่างๆ ดังนี้

วินโดวส์	ฟังก์ชัน	รายละเอียด
Blackman window	Blackman (n)	ค่าฟังก์ชันหน้าต่าง Blackman จำนวน n จุดข้อมูล
Rectangular window	Boxcar (n)	ค่าฟังก์ชันหน้าต่าง Rectangular จำนวน n จุดข้อมูล
Hamming window	Hamming (n)	ค่าฟังก์ชันหน้าต่าง Hamming จำนวน n จุดข้อมูล
Kaiser window	Kaiser (n, beta)	ค่าฟังก์ชันหน้าต่าง Kaiser จำนวน n จุดข้อมูล และ beta เป็นค่า ของ Kaiser window
Triangular window	Triang (n)	ค่าฟังก์ชันหน้าต่าง Triangular จำนวน n จุดข้อมูล
Hanning window	Hanning (n)	ค่าฟังก์ชันหน้าต่าง Hanning จำนวน n จุดข้อมูล
Chebyshev window	Chebwin (n, R)	ค่าฟังก์ชันหน้าต่าง Chebyshev จำนวน n จุดข้อมูล เมื่อ R คือ sidelobe ripple ในหน่วย dB

ตารางที่ 3.1 ฟังก์ชั่นวินโดว์ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันที่ใช้สำหรับการออกแบบตัวกรองแบบ FIR มีดังนี้

ฟังก์ชัน	รายละเอียด
B=FIR1 (N, Wn)	การออกแบบตัวกรองผ่านความถี่ต่ำแบบ FIR อันดับที่ N เมื่อ Wn เป็นความถี่คัทออฟที่อยู่ในช่วง 0 < Wn < 1 ในกรณีออกแบบตัวกรองความถี่ต่ำ หรือออกแบบตัวกรองแถบผ่าน (band pass) แบบ FIR อันดับที่ N โดยตัวกรองแถบผ่านจะผ่านความถี่ระหว่าง w1-w2 ซึ่ง wn=[w1 w2]
B=FIR1(N, Wn, 'high')	การออกแบบตัวกรองผ่านความถี่สูงแบบ FIR อันดับที่ N เมื่อ Wn เป็นความถี่คัทออฟซึ่งเป็นเวกเตอร์ (wn=[w1 w2])
B=FIR1 (N, Wn, 'stop')	การออกแบบตัวกรอง stopband แบบ FIR อันดับที่ N เมื่อ Wn เป็นความถี่คัทออฟซึ่งเป็นเวกเตอร์ (wn=[w1 w2])
B=FIR1 (N, Wn, 'Window)	การออกแบบตัวกรองแบบ FIR โดยใช้วินโดวส์ เมื่อ Wn เป็นความถี่คัทออฟ
[n,Wn,beta,ftype]=kaiserord(d,a,dev,Fs)	การประมาณค่าสำหรับการออกแบบตัวกรองเชิงเลขโดยใช้ไกเซอร์วินโดวส์
B=FIRCLS(N, F, A, UP, LO, 'plots')	การออกแบบตัวกรองแบบ FIR สำหรับ multiband filters ด้วยวิธี Constrained least square

ตารางที่ 3.2 ฟังก์ชันที่ใช้สำหรับการออกแบบตัวกรองแบบ FIR

3.2 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของ FIR อันดับที่ 9

หน้าที่หลักของโปแกรม Matlab จะใช้ในการคำนวณหาค่า Impulse Response h(n) ของ Filter ที่ทำการออกแบบจากนั้นจะมีการแสดงค่า Impulse Response ผลตอบสนองทางความถี่ที่ได้ การจำลองการ ทำงานรวมทั้งสเปกตรัมของสัญญาณอินพุตและเอาท์พุตที่ใช้ในการจำลองการทำงาน

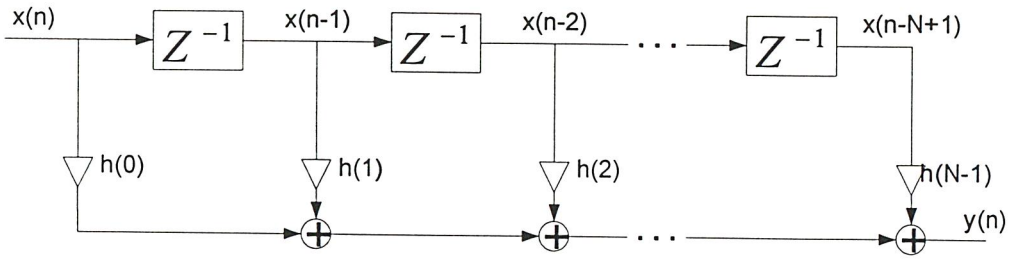
คุณลักษณะของวงจรกรองสัญญาณที่ออกแบบจะเป็นวงจรความถี่เชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัด และค่าสัมประสิทธิ์เก็บเป็นเลขจำนวนโดยตรง (fixed point) ขนาด 8 บิต

ซึ่งจากค่า Impulse Response ดังกล่าวจะสามารถแสดงเป็นสมการผลต่างสืบเนื่องเพื่อคำนวณหา output ได้ดังนี้

$$y(z) = \sum_{k=0}^{n-1} h(k) z^{-k} \tag{3.1}$$

และจากสมการผลต่างสืบเนื่องนี้สามารถแสดงเป็นการจัดโครงสร้างแบบโดยตรงซึ่งได้มาจากสมการผลต่างสืบเนื่องโดยตรงดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 โครงสร้างโดยตรงของวงจรกรองสัญญาณ

แต่เนื่องจากคุณสมบัติสมมาตรของค่า Impulse Response ทำให้สามารถดึงตัวร่วมของสมการได้ จะเห็นได้ว่าการจัดสมการในลักษณะนี้จะสามารถลดจำนวนตัวคูณลงไปได้ครึ่งหนึ่งเมื่อเทียบกับโครงสร้างแบบโดยตรง ซึ่งปกติในการออกแบบวงจรทางดิจิตอล ตัวคูณจะเป็นตัวที่กินขนาดของวงจรออกแบบมากที่สุดและใช้เวลาในการทำงานมากที่สุด ดังนั้นในการลดตัวคูณลงได้นี้จะทำให้ขนาดของวงจรเล็กลง รวมทั้งทำให้ความเร็วของวงจรสูงขึ้นอีกด้วย โครงสร้างที่ได้จากสมการนี้โดยปกติจะเรียกว่าโครงสร้างแบบ Linear phase structure

ค่า h(n) ที่ได้นั้นจะถูกนำมาทำการสเกลค่าใหม่เพื่อให้เหมาะสมกับโครงสร้างของ hardware ที่จะทำ การออกแบบด้วยภาษา VHDL โดยวิธีการที่นำมาใช้ในการสเกลเป็นดังนี้

1.ทำการ normalized ค่า h(n) ให้มีค่า maximum เป็น 1

2.นำค่า h(n) ที่ผ่านการ normalized แล้วนำมาคูณด้วยค่าคงที่มีขนาดไม่เกินขนาดจำนวนบิตที่ ใช้ในการแทน เช่น กรณี 8 บิตค่าที่นำมาคูณต้องมีขนาดไม่เกิน 255 แต่จะเป็นเท่าไรนั้นไม่มีกฎเกณฑ์ตายตัว จากนั้นทำการปัดเศษที่เหลือ

3.ทำการแปลงค่าที่ได้จากข้อที่ 2 ให้เป็นเลขฐานสอง โดยค่าที่ได้นี้จะถูกนำไปใช้ในการออกแบบ VHDL

โดยการสเกลที่ใช้ในการออกแบบนี้ เนื่องจากใช้ขนาดความยาวค่า (word length) เท่ากับ 8 บิต ในการแทนค่าสัมประสิทธิ์ หรือ Impulse Response ดังนั้นค่าที่ใช้ในการคูณดังข้อ 2 ต้องมีค่าไม่เกิน 255 ในการออกแบบจะใช้ค่า 255

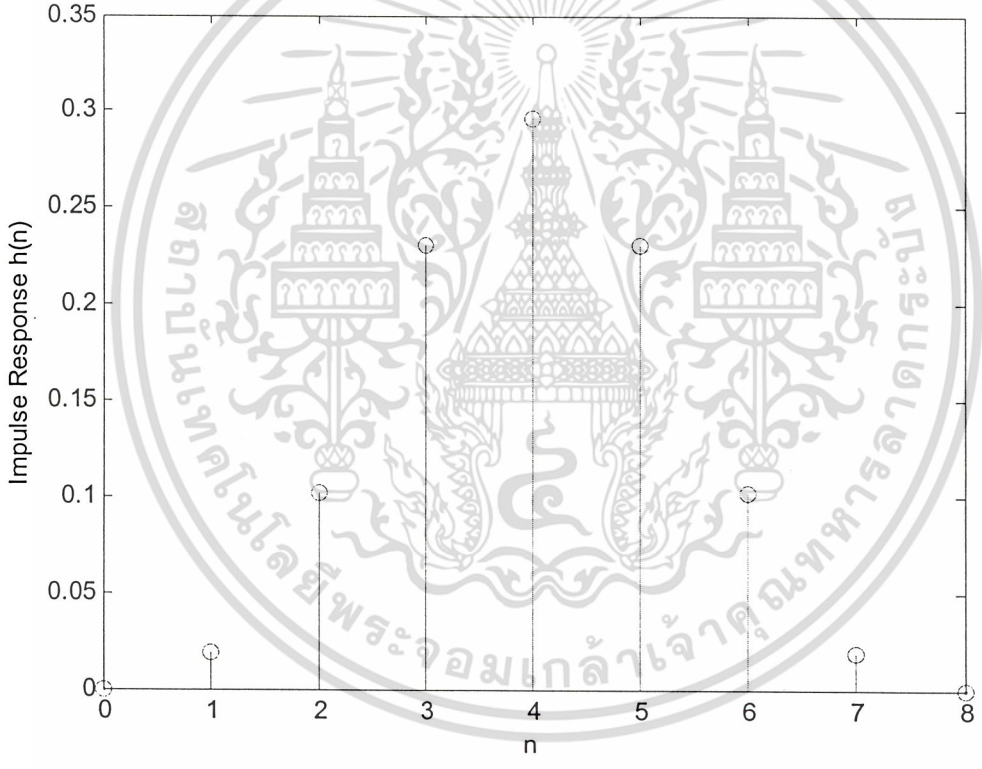
จากการคำนวณหาค่า Impulse Response ของ FIR อันดับที่ 9 ความถี่คัทออฟที่ 1 kHz ความถี่สุ่มตัวอย่างที่ 8 kHz

h(n)	ค่าสัมประสิทธิ์	ค่าที่ผ่านการ normalized	ค่าที่แปลงเป็นเลขฐาน 2
h(1)	0.0000	0.000000000000000	00000000
h(2)	0.0191	0.064441905145250	00010000
h(3)	0.0191	0.343774677078494	01011000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

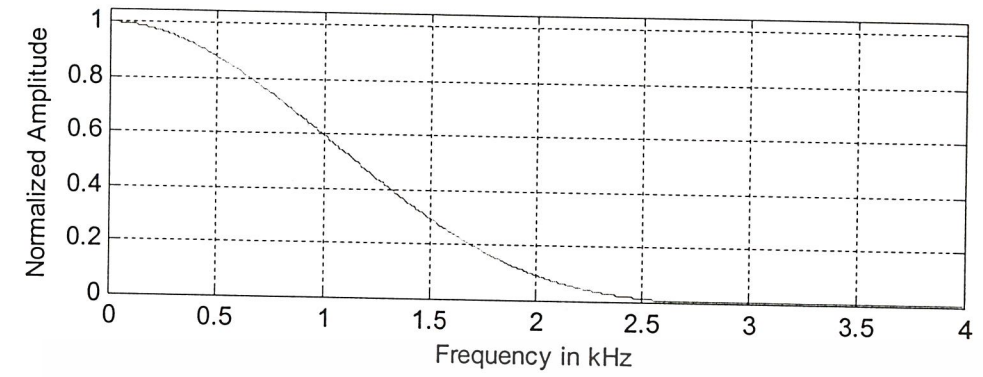
h(4)	0.1.19	0.779015906013925	11000111
h(5)	0.2963	1.000000000000000	11111111
h(6)	0.2309	0.779015906013925	11000111
h(7)	0.1019	0.343774677078494	01011000
h(8)	0.0191	0.064441905145250	00010000
h(9)	0.0000	0.000000000000000	00000000

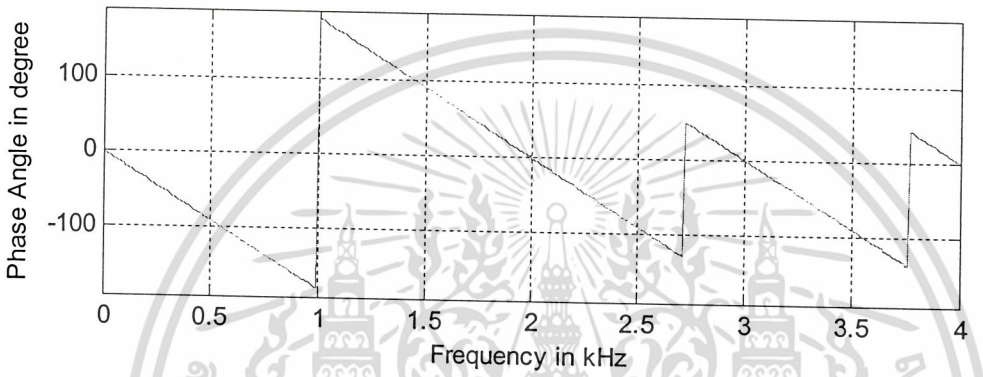
ตารางที่ 3.3 ค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 9



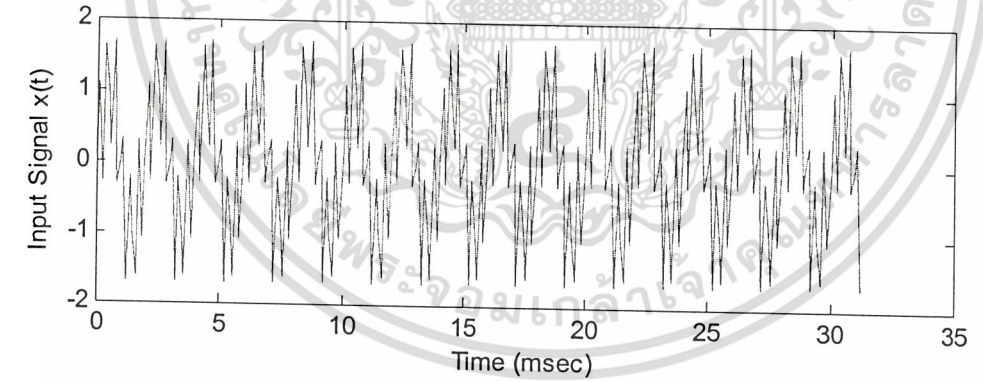
รูปที่ 3.2 Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 9

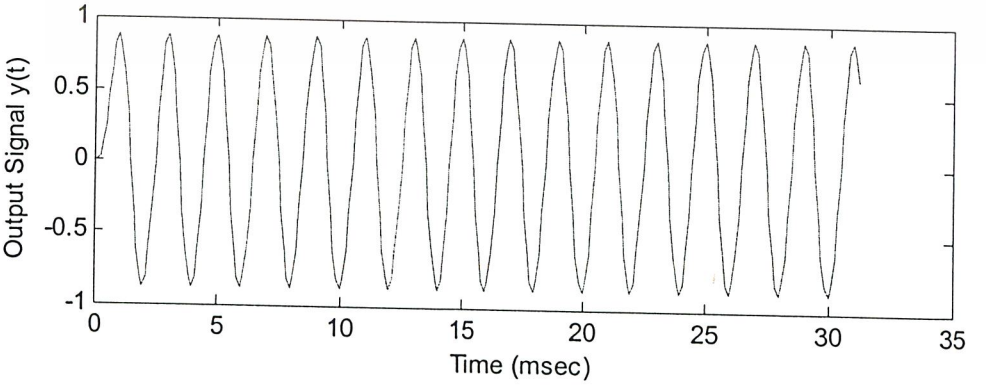
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





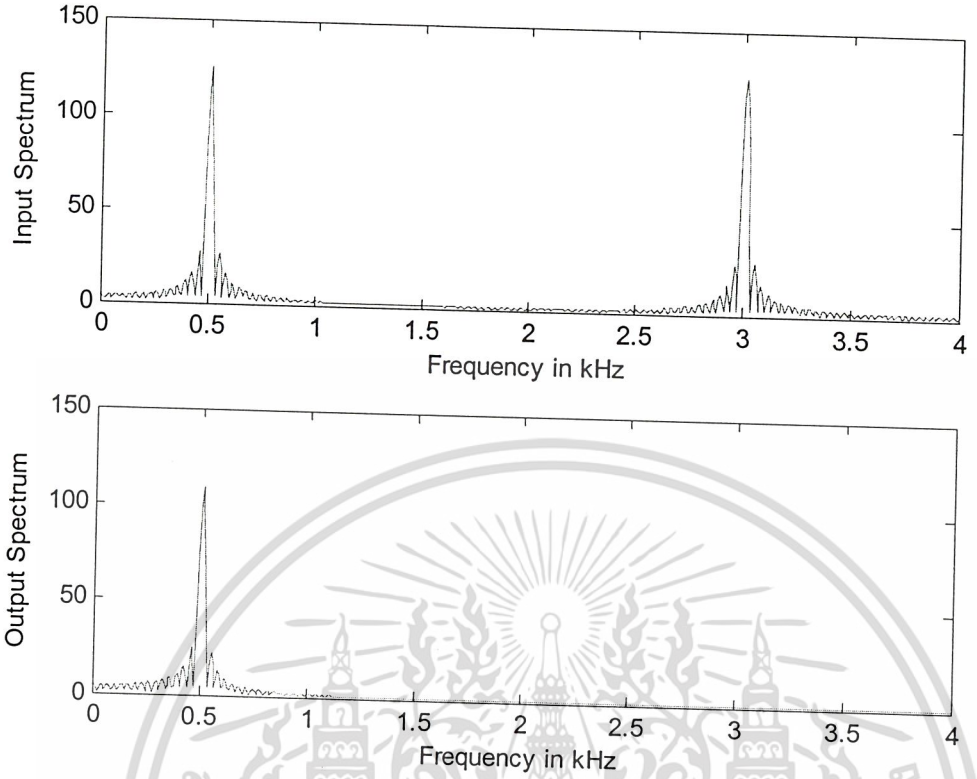
รูปที่ 3.3 Frequency Response และ Phase Response ของวงจรกรองความถี่เชิงเลขอันดับที่ 9





รูปที่ 3.4 การจำลองการทำงานหลังจากผ่านวงจรกรองเชิงเลขอันดับที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 Input Spectrum และ Output Spectrum ของสัญญาณที่ใช้ในการจำลองการทำงาน

3.3 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของวงจรกรองความถี่หลายหน้าที่ อันดับที่ 45

คำนวณหาค่า Impulse Response ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 45 ความถี่คัทออฟที่ 1 kHz ความถี่สุ่มตัวอย่างที่ 8 kHz

h(n)	ค่าสัมประสิทธิ์	ค่าที่ผ่านการ normalized	ค่าที่แปลงเป็นเลขฐาน 2
h(1)	-0.0012	-0.004629961980855	00000001
h(2)	-0.0009	-0.003630509970922	00000001
h(3)	0.0000	0.000000000000000	00000000
h(4)	0.0014	0.005760568855336	00000011
h(5)	0.0027	0.010824189566029	00000011
h(6)	0.0025	0.010187089486687	00000011
h(7)	-0.0000	-0.000000000000000	00000000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

h(8)	-0.0044	-0.017484456408158	00000100
h(9)	-0.0079	-0.031731775430206	00001000
h(10)	-0.0071	-0.028422502967309	00000111
h(11)	0.0000	0.000000000000000	00000000
h(12)	0.0111	0.044197346429531	00001011
h(13)	0.0193	0.077090175890737	00010100
h(14)	0.0168	0.066983231430517	00010001
h(15)	-0.0000	-0.000000000000000	00000000
h(16)	-0.0254	-0.101439253618186	00011010
h(17)	-0.0447	-0.178515810370594	00101110
h(18)	-0.0400	-0.159832220035201	00101001
h(19)	0.0000	0.000000000000000	00000000
h(20)	0.0720	0.287630271066099	01001001
h(21)	0.1564	0.624757488365841	10011111
h(22)	0.2243	0.896100912060313	11100101
h(23)	0.2503	1.000000000000000	11111111
h(24)	0.2243	0.896100912060313	11100101
h(25)	0.1564	0.624757488365841	10011111
h(26)	0.0720	0.287630271066099	01001001
h(27)	0.0000	0.000000000000000	00000000
h(28)	-0.0400	-0.159832220035201	00101001
h(29)	-0.0447	-0.178515810370594	00101110
h(30)	-0.0254	-0.101439253618186	00011010
h(31)	-0.0000	-0.000000000000000	00000000
h(32)	0.0168	0.066983231430517	00010001
h(33)	0.0193	0.077090175890737	00010100
h(34)	0.0111	0.044197346429531	00001011
h(35)	0.0000	0.000000000000000	00000000
h(36)	-0.0071	-0.028422502967309	00000111
h(37)	-0.0079	-0.031731775430206	00001000
h(38)	-0.0044	-0.017484456408158	00000100
h(39)	-0.0000	-0.000000000000000	00000000
h(40)	0.0025	0.010187089486687	00000011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

h(41)	0.0027	0.010824189566029	00000011
h(42)	0.0014	0.005760568855336	00000001
h(43)	0.0000	0.000000000000000	00000000
h(44)	-0.0009	-0.003630509970922	00000001
h(45)	-0.0012	-0.004629961980855	00000001

ตารางที่ 3.4 ค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 45 คัทออฟที่ 1 kHz

จากการคำนวณหาค่า Impulse Response ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 45 ความถี่คัทออฟที่ 1.5 kHz ความถี่สุ่มตัวอย่างที่ 8 kHz

h(n)	ค่าสัมประสิทธิ์	ค่าที่ผ่านการ normalized	ค่าที่แปลงเป็นเลขฐาน 2
h(1)	0.0008	0.002182585008866	00000001
h(2)	-0.0005	-0.001309878558537	00000000
h(3)	-0.0016	-0.004186124386076	00000001
h(4)	-0.0008	-0.002078398266088	00000001
h(5)	0.0019	0.005102571895325	00000001
h(6)	0.0033	0.008873382562124	00000010
h(7)	-0.0000	-0.000000000000000	00000000
h(8)	-0.0057	-0.015229695469263	00000100
h(9)	-0.0056	-0.014958502390525	00000100
h(10)	0.0038	0.010254765174868	00000011
h(11)	0.0126	0.033566497189256	00001001
h(12)	0.0060	0.015946287682982	00000100
h(13)	-0.0136	-0.036340657423469	00001001
h(14)	-0.0219	-0.058345206303238	00001111
h(15)	0.0000	0.000000000000000	00000000
h(16)	0.0331	0.088357847974816	00010111
h(17)	0.0316	0.084153160041373	00010101
h(18)	-0.0216	-0.057667049440506	00001111
h(19)	-0.0738	-0.196710549354241	00110010
h(20)	-0.0389	-0.103776253989978	00011010

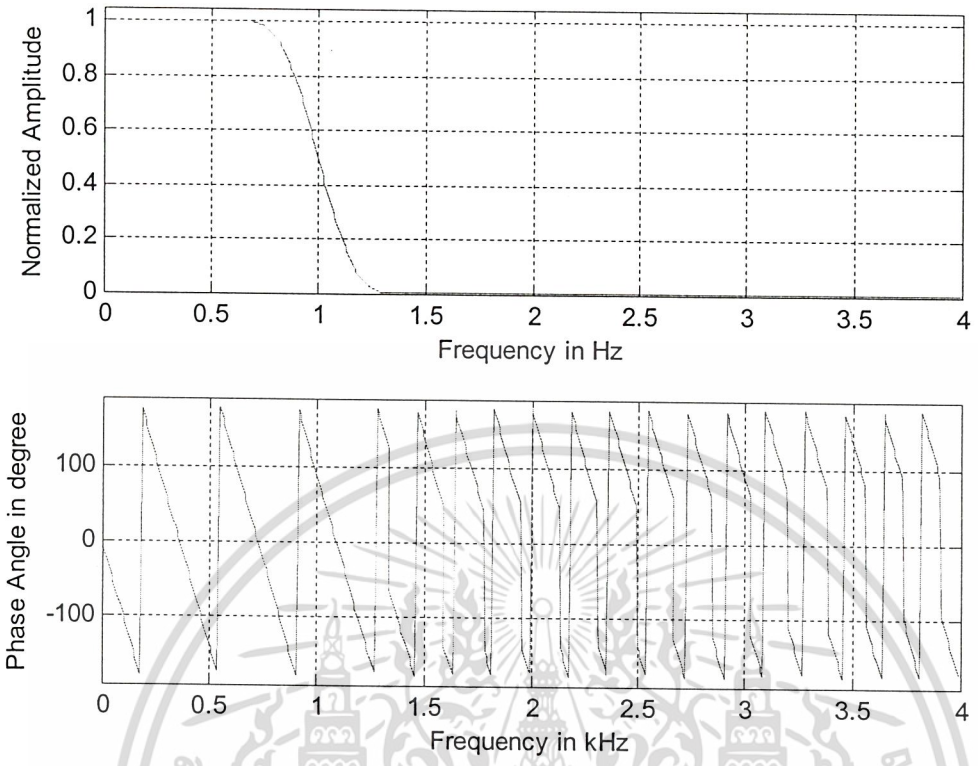
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

h(21)	0.1105	0.294513504413708	01001011
h(22)	0.2928	0.780541509659965	11000111
h(23)	0.3751	1.000000000000000	11111111
h(24)	0.2928	0.780541509659965	11000111
h(25)	0.1105	0.294513504413708	01001011
h(26)	-0.0389	-0.103776253989978	00011010
h(27)	-0.0738	-0.196710549354241	00110010
h(28)	-0.0216	-0.057667049440506	00001111
h(29)	0.0316	0.084153160041373	00010101
h(30)	0.0331	0.088357847974816	00010111
h(31)	0.0000	0.000000000000000	00000000
h(32)	-0.0219	-0.058345206303238	00001111
h(33)	-0.0136	-0.036340657423469	00001001
h(34)	0.0060	0.015946287682982	00000100
h(35)	0.0126	0.033566497189256	00001001
h(36)	0.0038	0.010254765174868	00000011
h(37)	-0.0056	-0.014958502390525	00000100
h(38)	-0.0057	-0.015229695469263	00000100
h(39)	-0.0000	-0.000000000000000	00000000
h(40)	0.0033	0.008873382562124	00000010
h(41)	0.0019	0.005102571895325	00000001
h(42)	-0.0008	-0.002078398266088	00000001
h(43)	-0.0016	-0.004186124386076	00000001
h(44)	-0.0005	-0.001309878558537	00000000
h(45)	0.0008	0.002182585008866	00000001

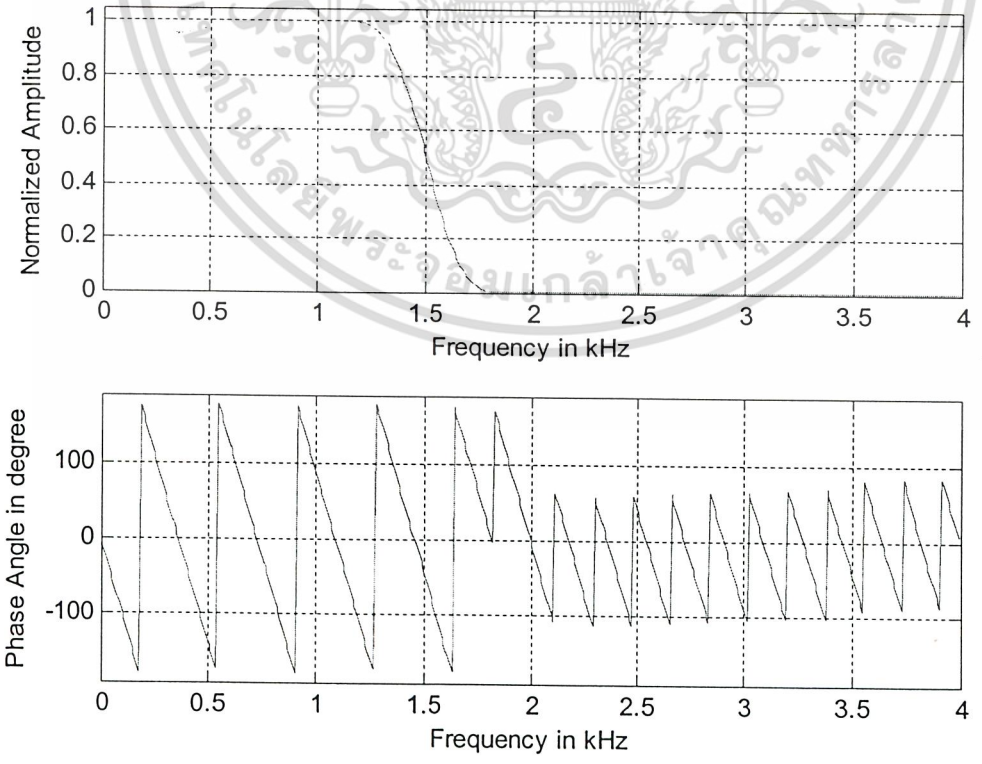
ตารางที่ 3.5 ค่า Impulse Responses ของวงจรกรองความถี่เชิงเลขอันดับที่ 45 คัทออฟที่ 1.5 kHz

เมื่อนำค่าค่า Impulse Responses ที่ได้จากการคำนวณมาทำการจำลองการทำงานจะได้ค่า Frequency Response และ Phase Response ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

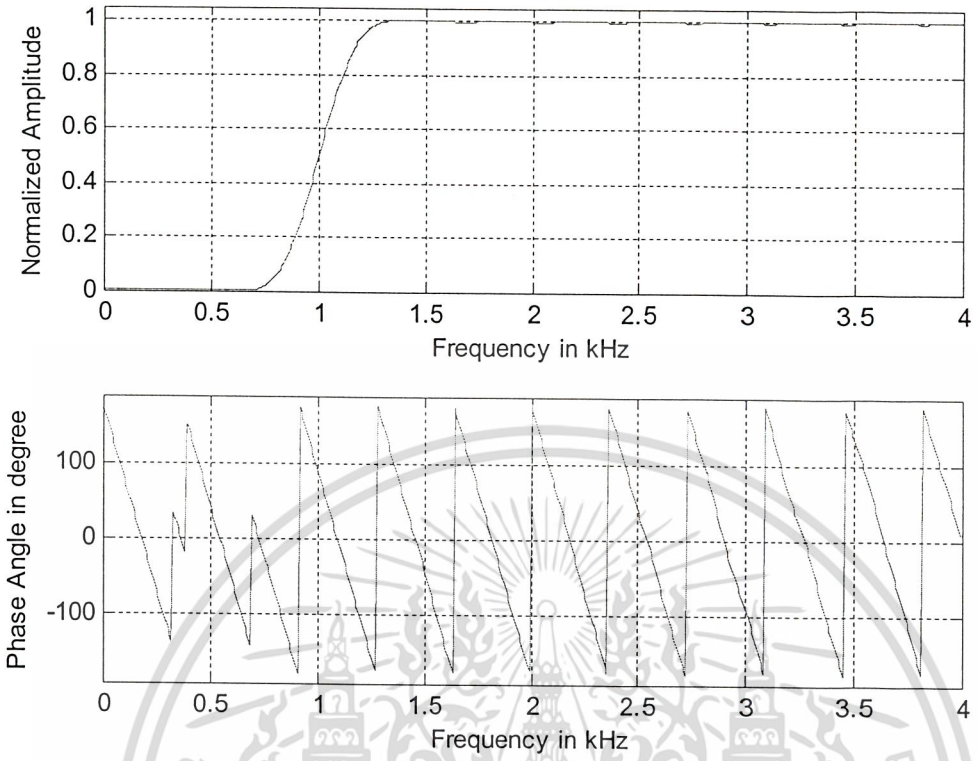


รูปที่ 3.6 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1 kHz

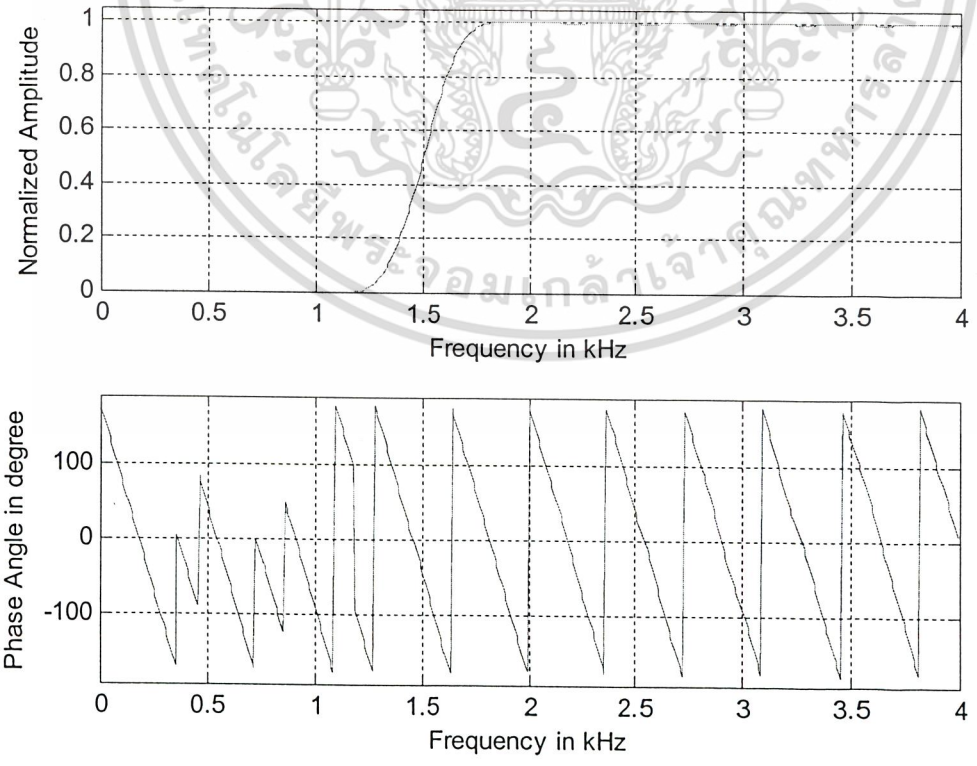


รูปที่ 3.7 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

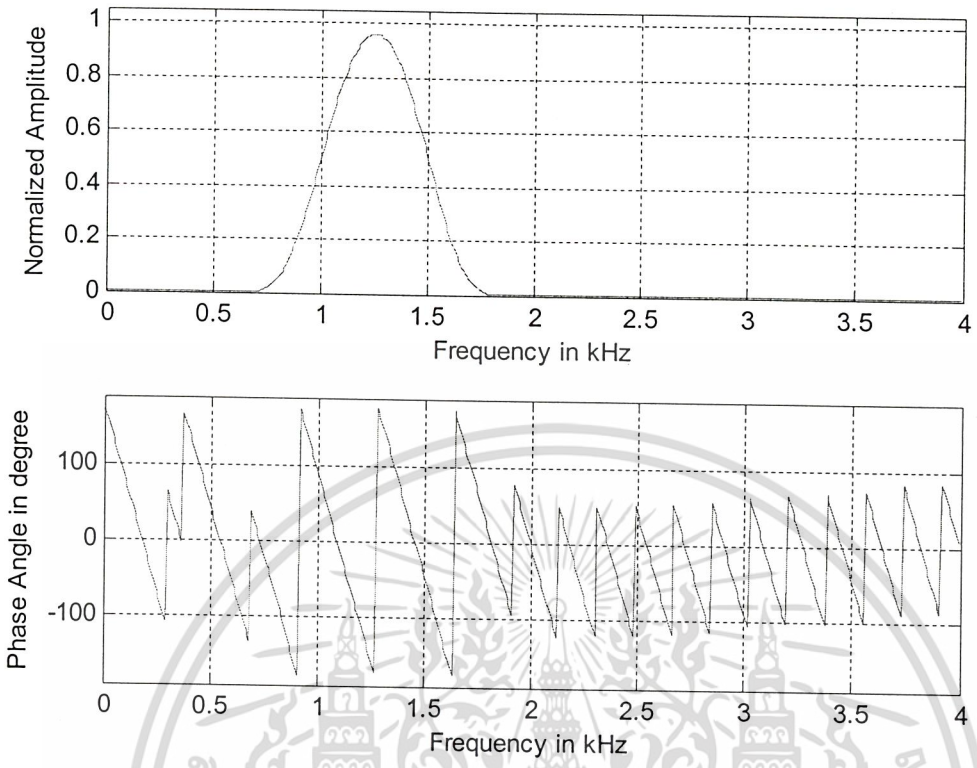


รูปที่ 3.8 Frequency Response และ Phase Response ของวงจรกรองความถี่สูงที่ 1 kHz

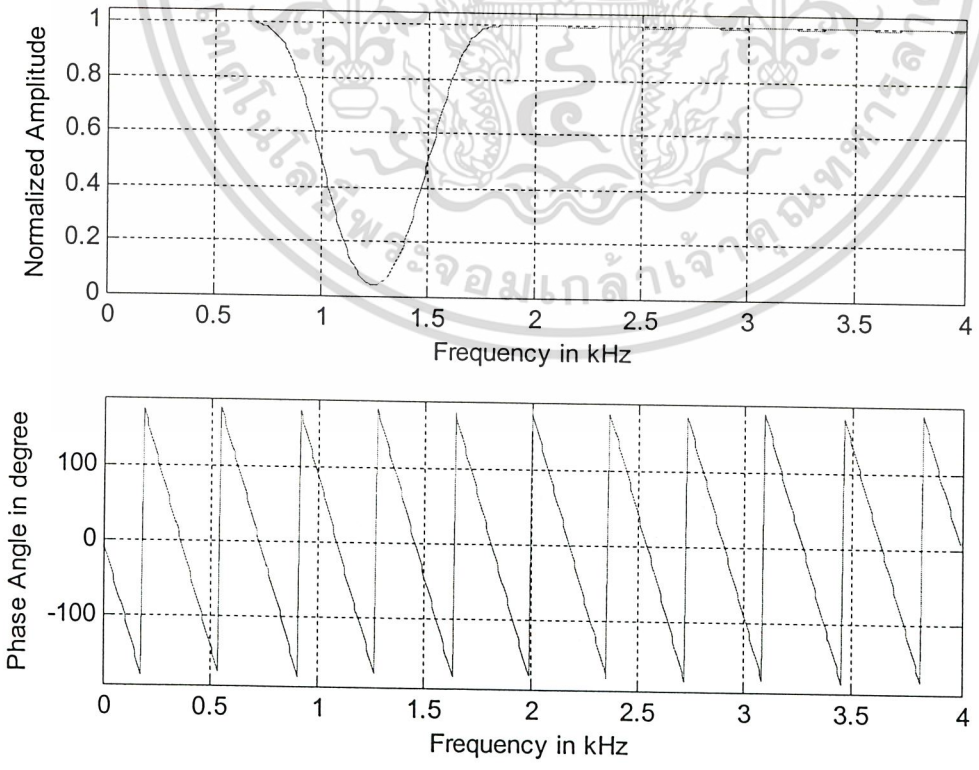


รูปที่ 3.9 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 1.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 Frequency Response และ Phase Response ของวงจรกรองความถี่ผ่านที่ 1-1.5 kHz



รูปที่ 3.11 Frequency Response และ Phase Response ของวงจรกรองความถี่หยุดที่ 1-1.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของ IIR NOTCH FILTER

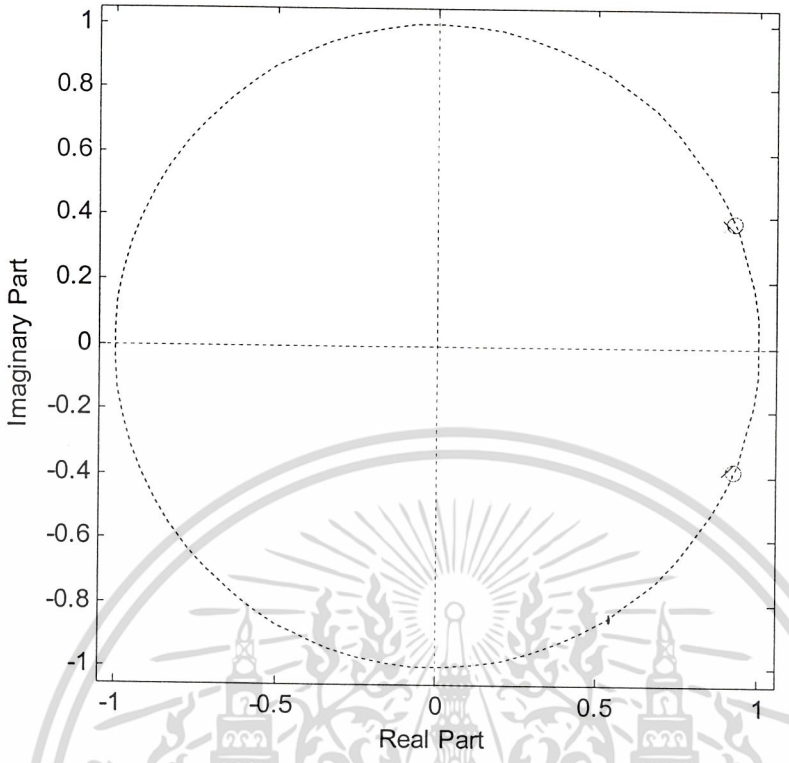
คำนวณหาค่าสัมประสิทธิ์ของ IIR NOTCH FILTER ความถี่คัทออฟที่ 50 Hz ความถี่สุ่มตัวอย่างที่ 800 Hz ช่วงความถี่ 5 Hz

ตัวแปร	ค่าสัมประสิทธิ์	ค่าที่แปลงเป็นเลขฐาน 2
x(n)	0.9806	0.11111011000010001001101 00000000
x(n-1)	-1.8118	1.00011000000101101111000100000001
x(n-2)	0.9806	0.11111011000010001001101 00000000
y(n-1)	1.8118	0.11100111111010010000111100000001
y(n-2)	-0.9611	1.00001001111101010101101 00000000

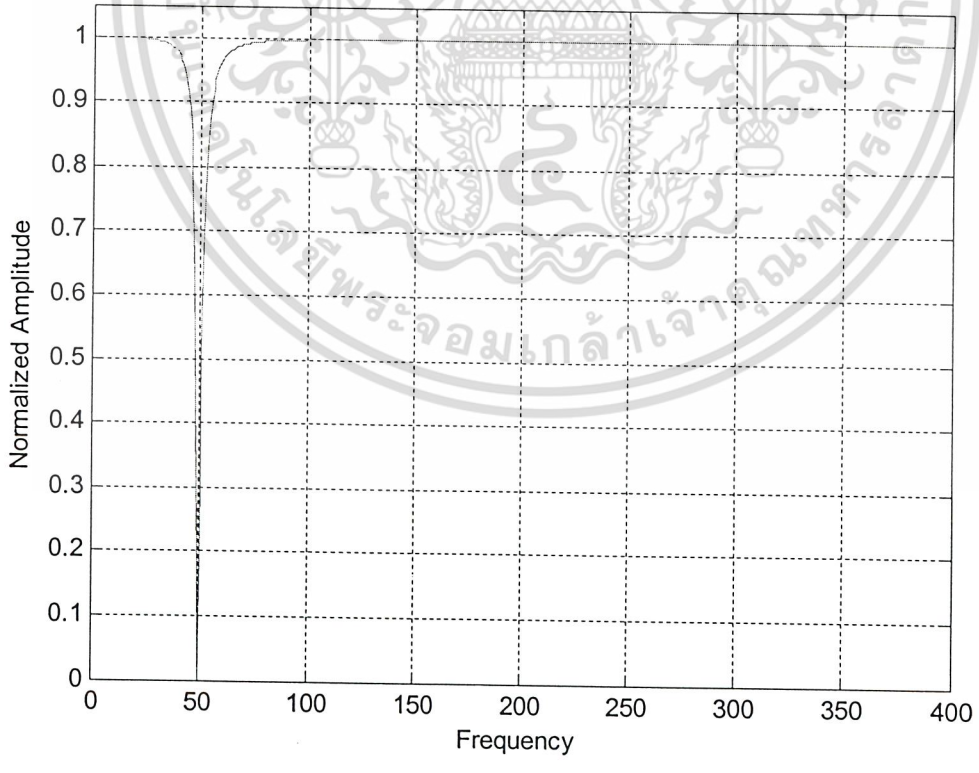
ตารางที่ 3.6 ค่าสัมประสิทธิ์ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 50 Hz

เมื่อนำค่าสัมประสิทธิ์ที่ได้จากการคำนวณมาทำการจำลองการทำงานจะได้ค่า ตำแหน่งของ pole-zero และ Frequency Response ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ค่า pole-zero ของ IIR NOTCH FILTER



รูปที่ 3.13 Frequency Response ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 50 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของวงจรกรองความถี่หลายหน้าที่ อันดับที่ 9 ที่ใช้วิธีการคูณแบบบูท

คำนวณหาค่า Impulse Response ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 ความถี่คัทออฟที่ 10 kHz ความถี่สุ่มตัวอย่างที่ 300 kHz

h(n)	ค่าสัมประสิทธิ์	M	2M	-M	-2M
h(0)	0.0165	000000010	000000100	111111110	111111100
h(1)	0.0466	000000110	000001100	111111010	111110100
h(2)	0.1216	000001111	000011110	111110001	111100010
h(3)	0.1993	000011001	000110010	111100111	111001110
h(4)	0.2320	000011101	000111010	111100011	111000110
h(5)	0.1993	000011001	000110010	111100111	111001110
h(6)	0.1216	000001111	000011110	111110001	111100010
h(7)	0.0466	000000110	000001100	111111010	111110100
h(8)	0.0165	000000010	000000100	111111110	111111100

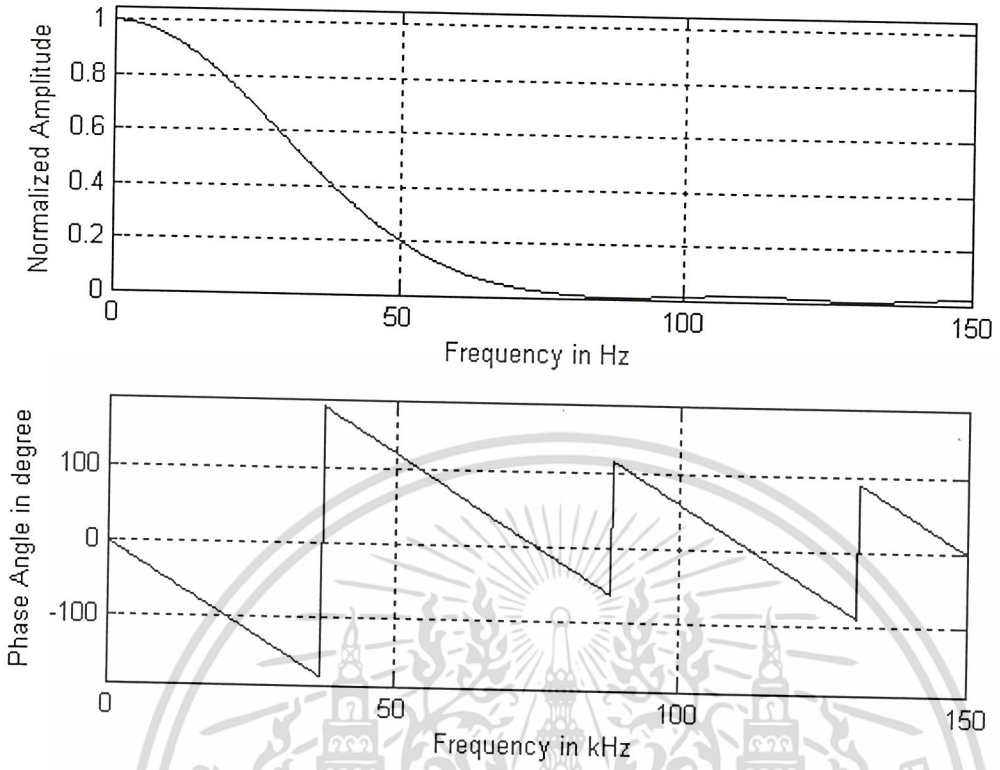
ตารางที่ 3.7 ค่า Impulse Responses ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 คัทออฟที่ 10 kHz

คำนวณหาค่า Impulse Response ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 ความถี่คัทออฟที่ 100 kHz ความถี่สุ่มตัวอย่างที่ 300 kHz

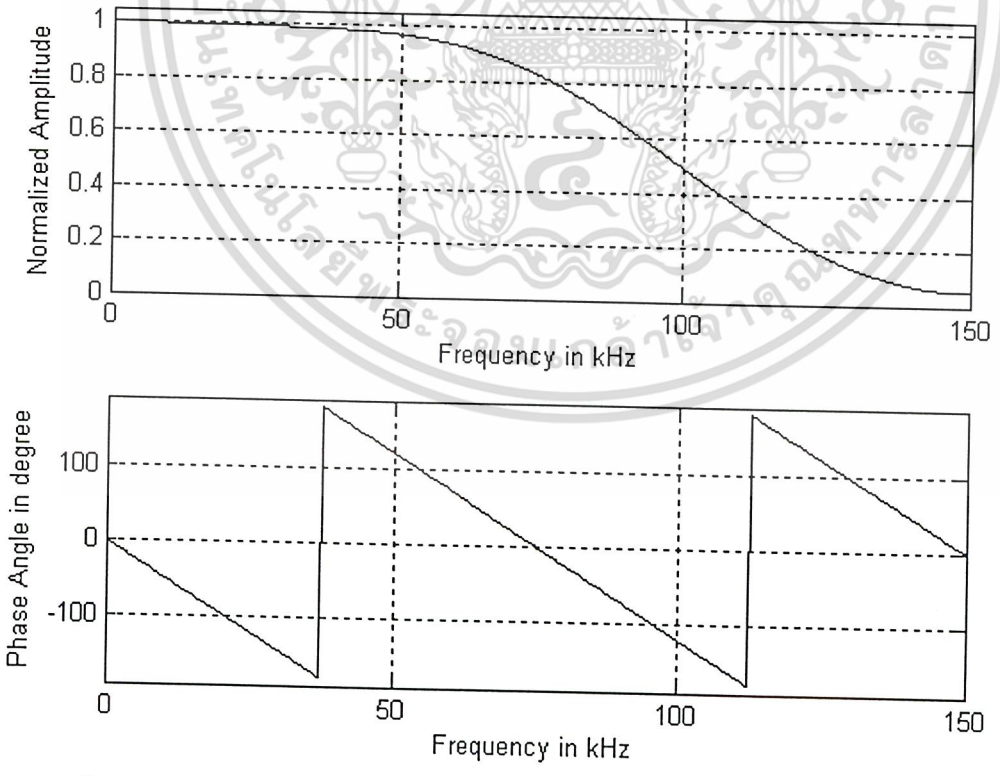
h(n)	ค่าสัมประสิทธิ์	M	2M	-2M	-M
h(0)	0.0055	000000001	000000010	111111111	111111110
h(1)	0.0000	000000000	000000000	000000000	000000000
h(2)	-0.0740	111110111	111101110	000001001	000010010
h(3)	0.2371	000011110	000111100	111100010	111000100
h(4)	0.6628	001010100	010101000	110101100	101011000
h(5)	0.2371	000011110	000111100	111100010	111000100
h(6)	-0.0740	111110111	111101110	000001001	000010010
h(7)	0.0000	000000000	000000000	000000000	000000000
h(8)	0.0055	000000001	000000010	111111111	111111110

ตารางที่ 3.8 ค่า Impulse Responses ของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 9 คัทออฟที่ 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

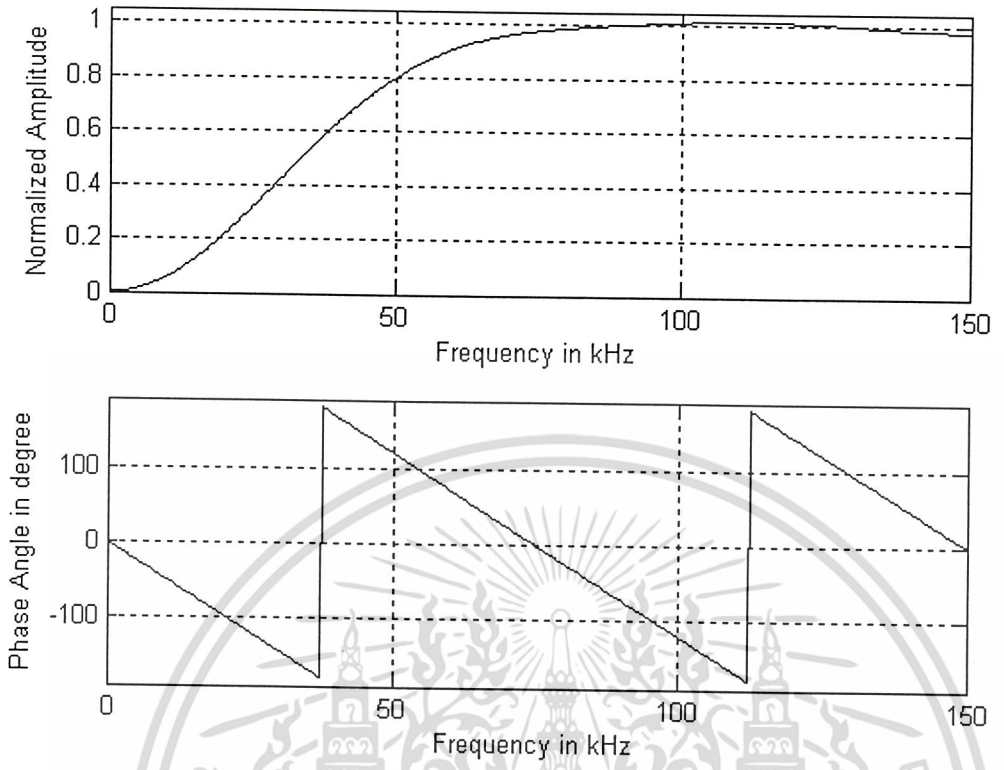


รูปที่ 3.14 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 10 kHz

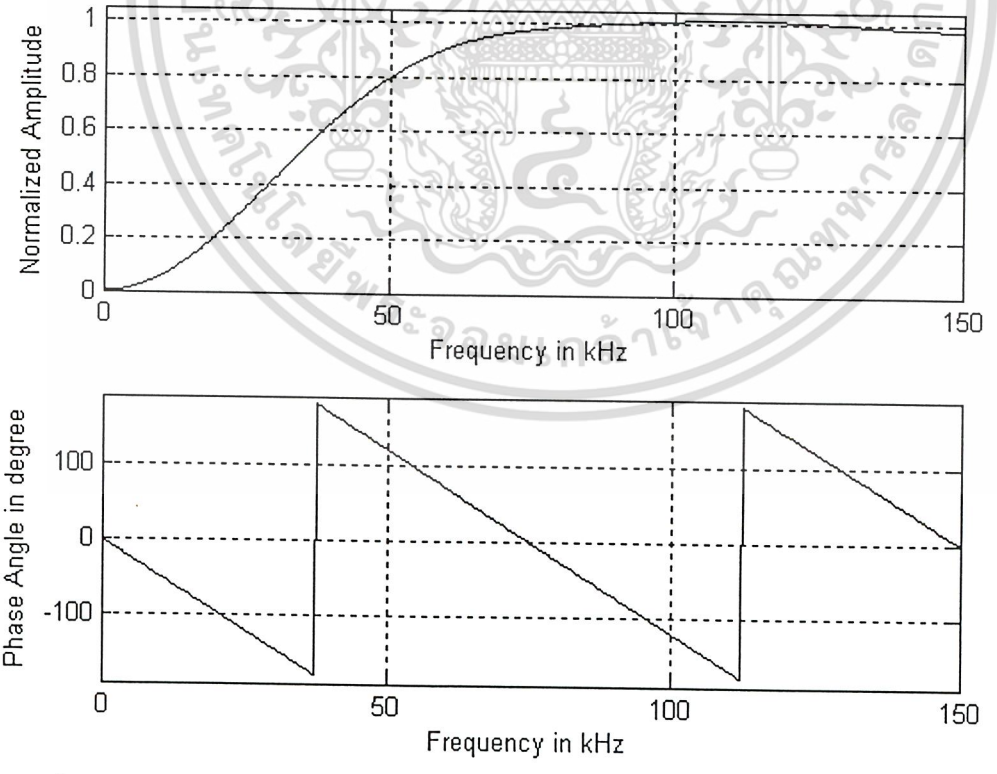


รูปที่ 3.15 Frequency Response และ Phase Response ของวงจรกรองความถี่ต่ำที่ 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

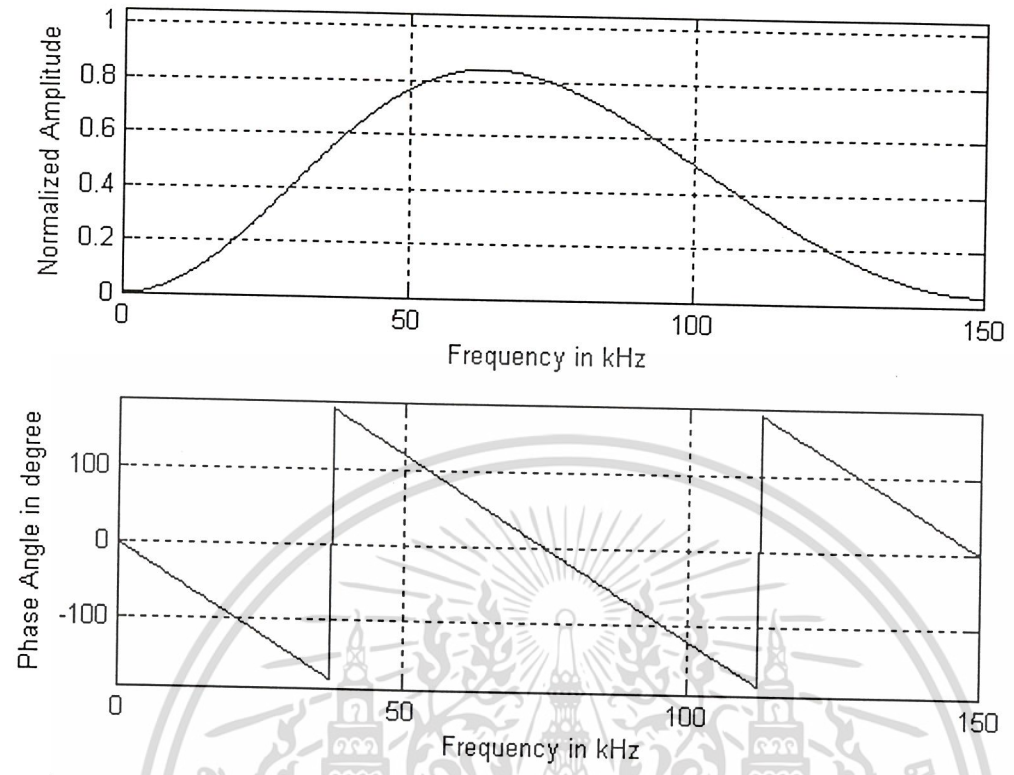


รูปที่ 3.16 Frequency Response และ Phase Response ของวงจรกรองความถี่สูงผ่านที่ 10 kHz

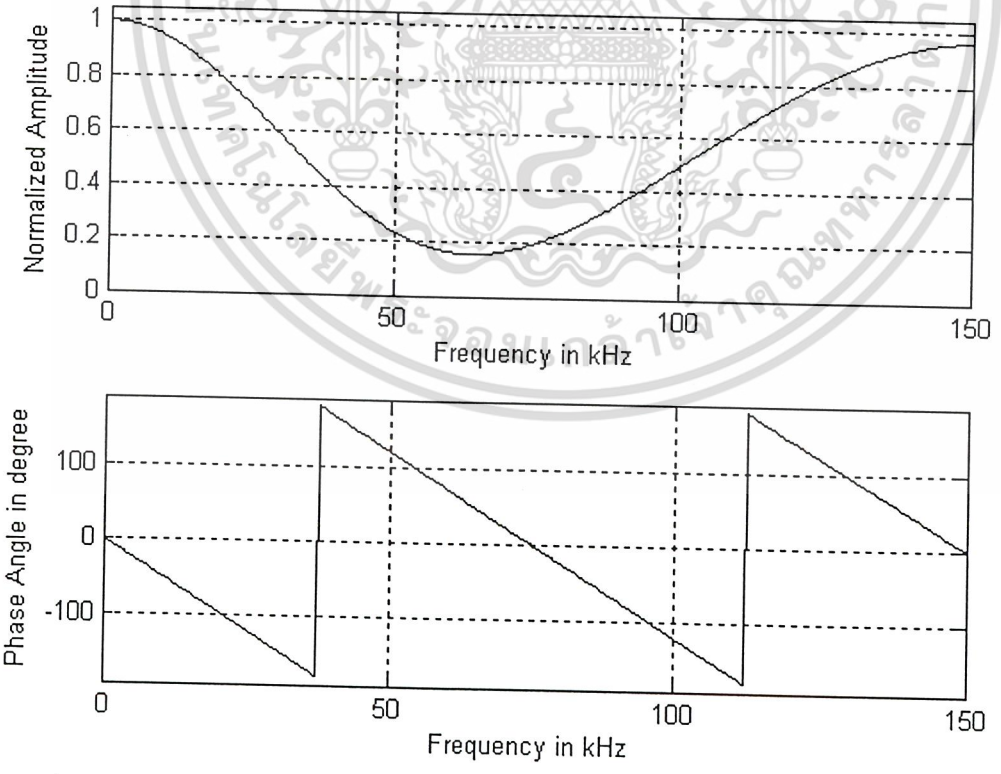


รูปที่ 3.17 Frequency Response และ Phase Response ของวงจรกรองความถี่สูงผ่านที่ 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 Frequency Response และ Phase Response ของวงจรกรองแถบความที่ 10-100 kHz ผ่าน



รูปที่ 3.19 Frequency Response และ Phase Response ของวงจรกรองแถบความถี่ที่ 10-100 kHz

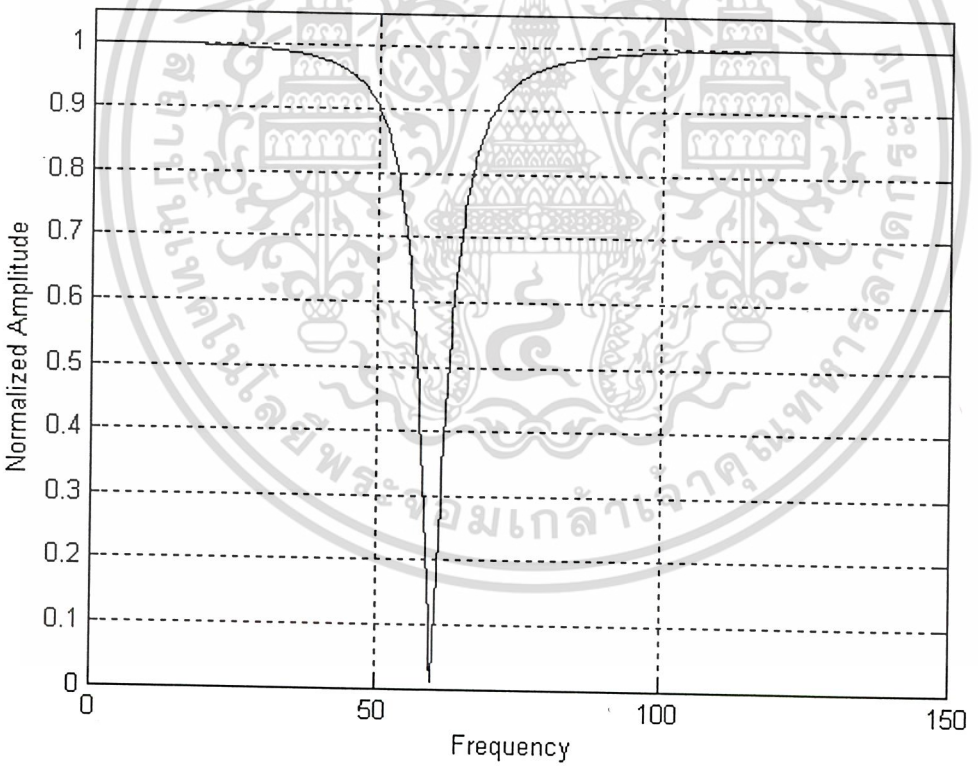
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การใช้โปรแกรม Matlab ออกแบบและจำลองในการทำงานของ IIR NOTCH FILTER ที่ใช้วิธีการคูณแบบบูท

คำนวณหาค่าสัมประสิทธิ์ของ IIR NOTCH FILTER ความถี่คัทออฟที่ 60 kHz ความถี่สุ่มตัวอย่างที่ 300 kHz

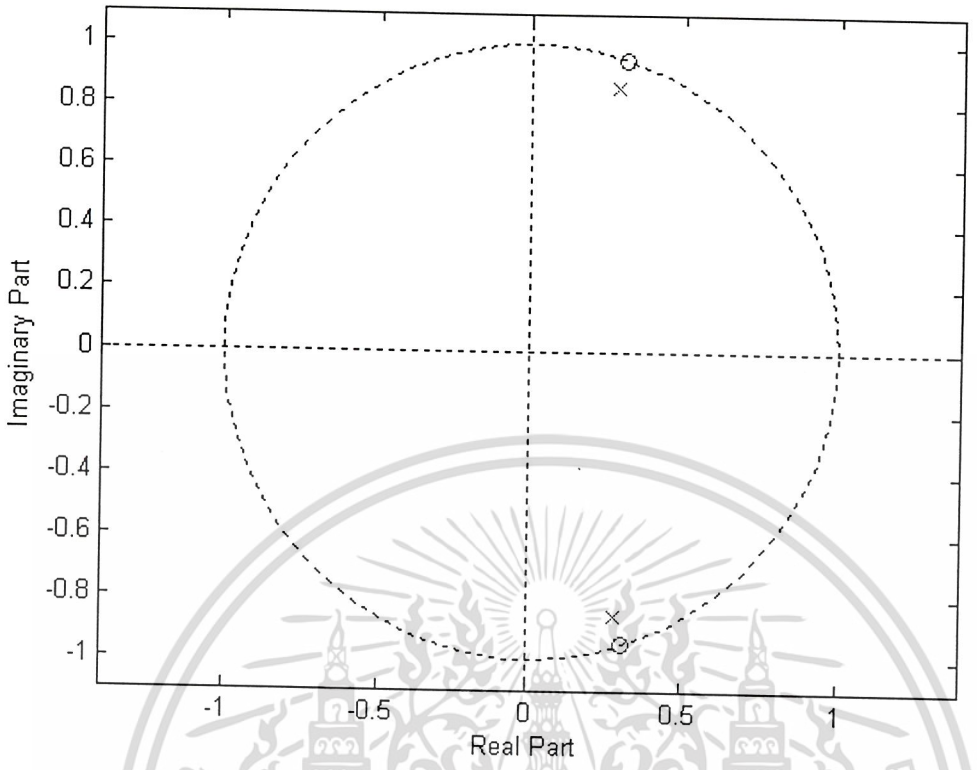
ตัวแปร	ค่าสัมประสิทธิ์	M	2M	-M	-2M
x(n)	0.9050	001110100	011101000	110001100	100011000
x(n-1)	-0.5593	110111000	101110001	001001000	010001111
x(n-2)	0.9050	001110100	011101000	110001100	100011000
y(n-1)	-0.5593	110111000	101110001	001001000	010001111
y(n-2)	0.8100	001101000	011001111	110011000	100110001

ตารางที่ 3.9 ค่าสัมประสิทธิ์ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 60 kHz



รูปที่ 3.20 Frequency Response ของวงจร IIR NOTCH FILTER ความถี่คัทออฟที่ 60 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 ค่า pole-zero ของ IIR NOTCH FILTER

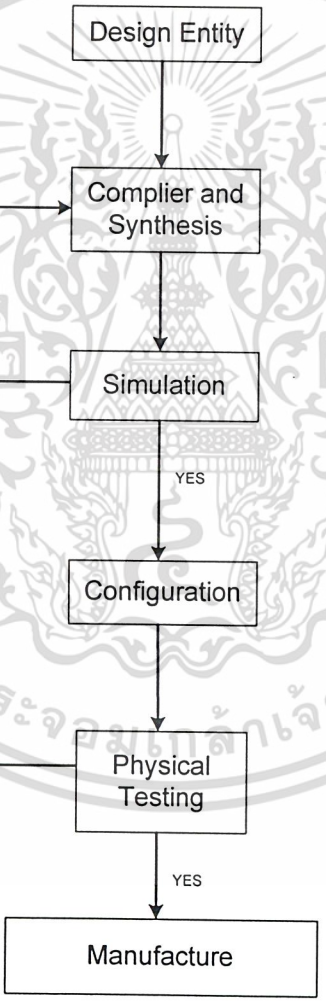
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การใช้งานโปรแกรม Max+plus II สำหรับการออกแบบวงจรกรองดิจิตอลด้วยเอฟพีจีเอ (FPGA)

Max+plusII เป็นโปรแกรมที่ถูกสร้างและพัฒนาขึ้นโดยบริษัท Altera เพื่อใช้สำหรับออกแบบสังเคราะห์วงจรทางดิจิตอลและโปรแกรมลอจิกที่สร้างขึ้นลงในชิพ FPGA

ในการออกแบบด้วยโปรแกรม Max+plusII สามารถทำได้หลายลักษณะ เช่น

- ใช้การกำหนดรูปแบบ Waveform ทางอินพุตและเอาท์พุตของวงจรที่ต้องการ
- วาดวงจรโดยการนำเกทหรือสัญลักษณ์ต่างๆมาเชื่อมต่อกัน
- ใช้ภาษาอธิบายพฤติกรรมของวงจรที่ต้องการ เช่น VHDL, AHDL และ Verilog เป็นต้น



รูปที่ 4.1 ขั้นตอนการออกแบบ

ในการออกแบบวงจรด้วย Max+plusII สามารถทำได้ดังรูปที่ 4.1 ซึ่งในการทดลองนี้จะอธิบายตั้งแต่ขั้นตอนการออกแบบวงจร การตรวจสอบความถูกต้องในการต่อวงจร การคอมไพล์ สังเคราะห์-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร การจำลองการทำงานของวงจรที่ออกแบบมา การโปรแกรมวงจรลงในชิพ ส่วนการตรวจสอบการทำงานจริงจะอยู่ในบทถัดไป

4.1 การออกแบบวงจรกรองดิจิตอลความถี่ต่ำผ่านแบบไม่มีการป้อนกลับอันดับที่ 9 โดยใช้โครงสร้างของวงจรแบบลดจำนวนตัวคูณ

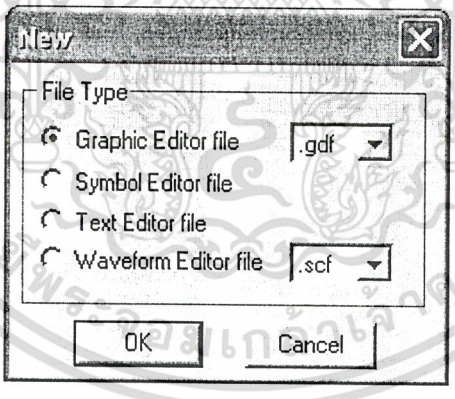
4.1.1 ขั้นตอนการออกแบบวงจร

การทดลองจะเป็นการออกแบบวงจรกรองความถี่ต่ำผ่านในอันดับที่ 9 ความถี่คัทออฟ (Cut-off Frequency) เท่ากับ 1 kHz โดยใช้โครงสร้างของวงจรกรองแบบลดจำนวนตัวคูณลง

ในโปรแกรม Max+plus II จะมี Library อยู่มากมายซึ่งจะเก็บ Symbol พื้นฐานต่างๆเช่น วงบวก, ลบ, คูณ เป็นต้น จากโครงสร้างของวงจรกรองความถี่ดิจิตอลแบบจำกัดแบบตอบสนองอิมพัลส์จะใช้วงจรชิพรีจีสเตอร์, บวกและคูณ

โดยที่ส่วนของวงจร ชิพรีจิสเตอร์ นั้นจะใช้ D_flipflop เป็นตัวเลื่อนบิตส่วนวงจรอื่นๆดึงมาใช้ได้เลยมีขั้นตอนดังนี้

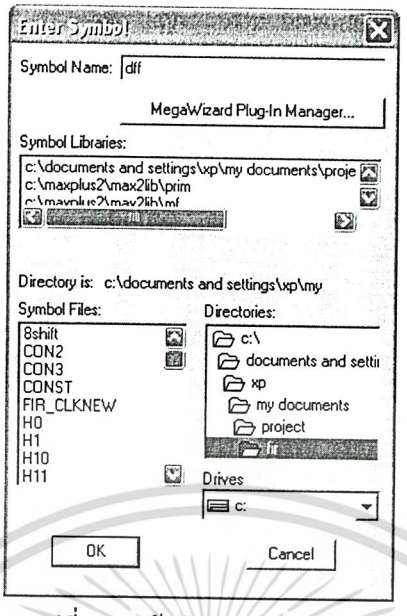
1. ทำการวาด Schematic ของวงจรกรองโดยเลือกเมนูคำสั่ง **File/New** โดยเลือก File Type เป็น Graphic Editor file (.gdf)



รูปที่ 4.2 หน้าต่าง New

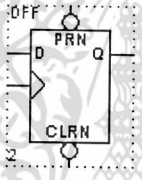
2. เลือกเมนูคำสั่ง **Symbol/Enter Symbol** ที่กรอบของ Symbol name พิมพ์คำว่า **"dff"** แล้ว OK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



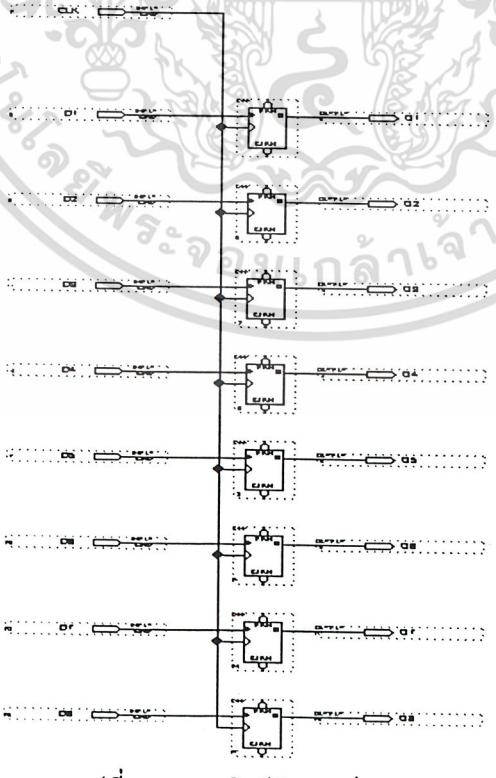
รูปที่ 4.3 หน้าต่าง Enter Symbol

จะได้สัญลักษณ์ดังรูปที่ 4.4



รูปที่ 4.4 Symbol D_flipflop

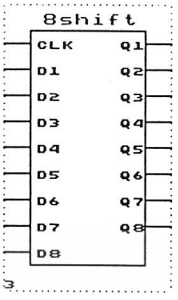
ซึ่งก็คือ D_flipflop ให้นำมาต่อแบบขนาน 8 ตัว และใส่ input ,output แล้ว save ชื่อ 8shift ดังรูปที่ 4.5



รูปที่ 4.5 วงจรชิพรีจิสเตอร์ 8 บิต

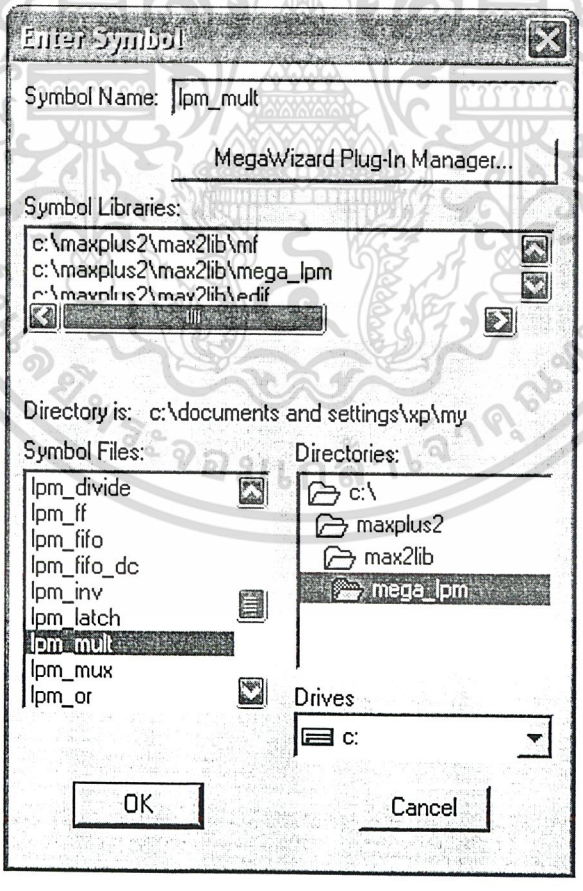
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.6



รูปที่ 4.6 วงจรชิพรีจิสเตอร์ 8 บิตหลังกำหนดเป็น Symbol

3. ต่อไปจะทำการสร้างตัวคูณโดยเลือกเมนูคำสั่ง **Symbol/Enter Symbol** และที่กรอบของ Symbol Libraries ให้ Double คลิกที่ d:\maxplus2\max2lib\mega_lpm ดังรูปที่ 4.7



รูปที่ 4.7 หน้าต่าง Enter Symbol เพื่อเลือกอุปกรณ์ lpm_mult

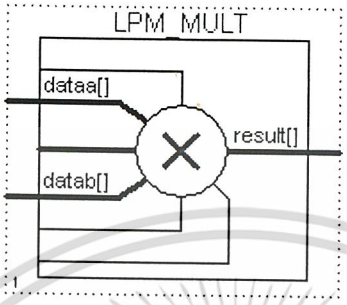
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่กรอบของ Symbol Files เลือก lpm_mult จะขึ้นกรอบของ Edit Ports/Parameters ให้แก้ไข

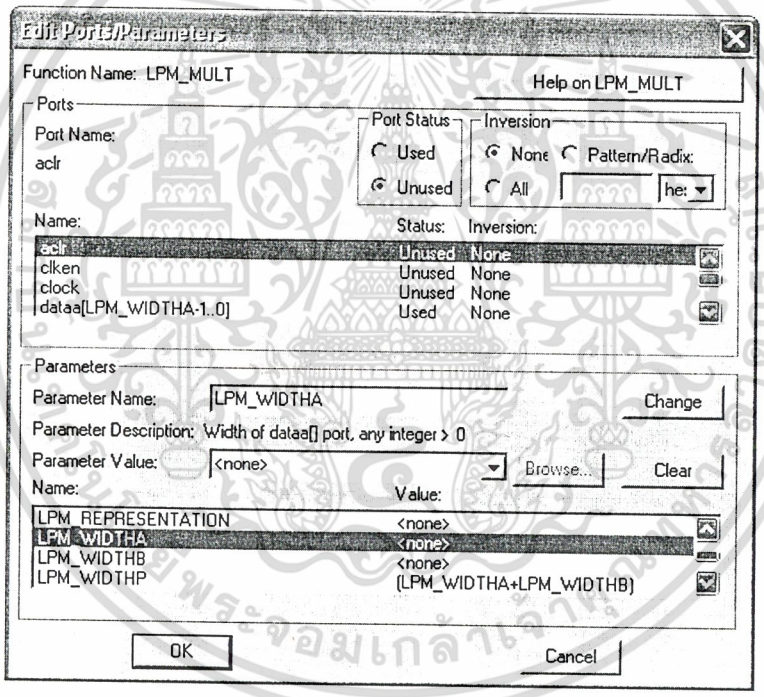
INPUT_B_IS_CONSTANT เป็น “YES”

LPM_WIDTHA เท่ากับ 9 (จำนวน bit ที่ได้จากวงจรบวก)

LPM_WIDTHB เท่ากับ 8 (จำนวน bit ของสัมประสิทธิ์) ดังรูปที่ 4.8

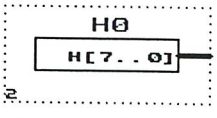


รูปที่ 4.8 lmp_mult



รูปที่ 4.9 หน้าต่าง Edit Port/Parameters

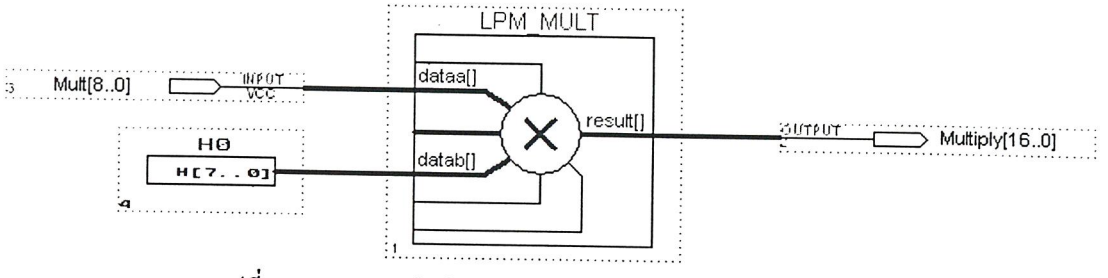
ทำการใส่ input output ให้กับ input_A และ output ส่วน input_B เป็นค่าคงที่จึงจำเป็นต้องเขียนโปรแกรมป้อนค่าคงที่แล้ว save นชื่อ h0.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปข้างล่าง



รูปที่ 4.10 ตัวป้อนค่าคงที่

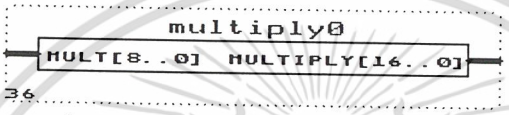
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำไปต่อกับ lpm_mult ได้ดังรูปที่ 4.11



รูปที่ 4.11 วงจรคูณในโปรแกรม Max+plus II

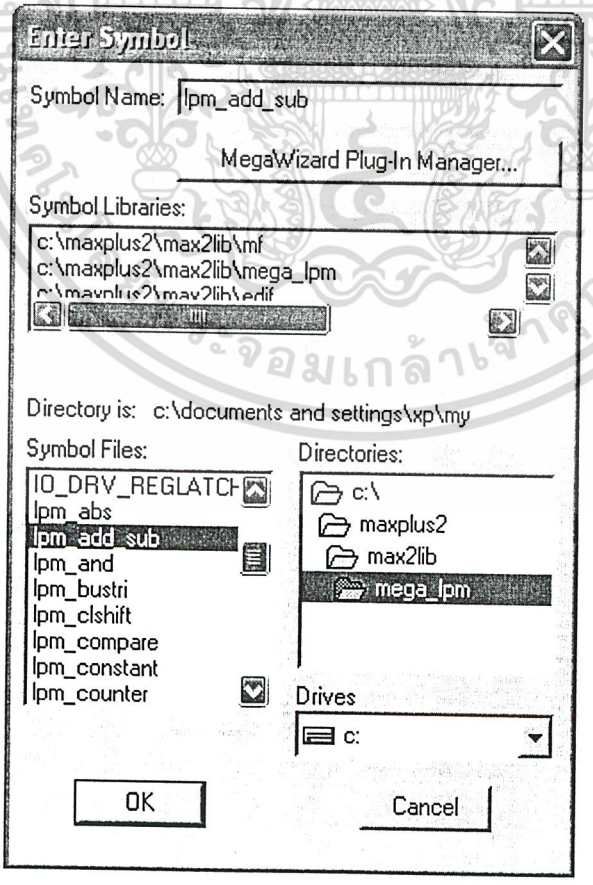
Save ในชื่อ multiply0.gdf, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.12



รูปที่ 4.12 วงจรคูณหลังกำหนดเป็น Symbol

สำหรับวงจรกรองความถี่จะมีวงจรคูณหลายตัวด้วยค่าที่แตกต่างกันดังนั้นตัวคูณตัวอื่นๆจะต้องมาเปลี่ยนค่าสัมประสิทธิในโปรแกรมทุกครั้งแล้ว save ในชื่อใหม่เสมอรวมถึงไฟล์ multiply0.gdf ด้วย

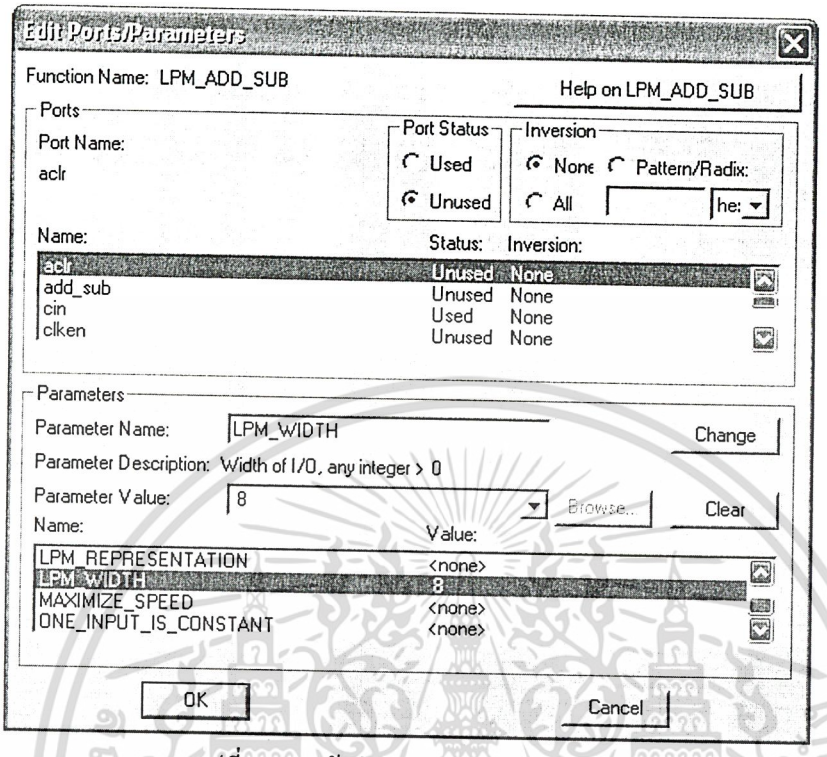
4. ต่อไปจะทำการสร้างตัวบวกโดยเลือกเมนูคำสั่ง **Symbol/Enter Symbol** และที่กรอบของ Symbol Libraries ให้ Double คลิกที่ d:\maxplus2\max2lib\mega_lpm ดังรูปที่4.13



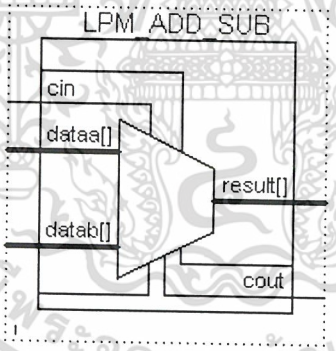
รูปที่ 4.13 หน้าต่าง Enter Symbol เพื่อเลือกกอุปกรณ์ lpm_add_sub

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่กรอบของ Symbol Files เลือก lpm_add_sub จะขึ้นกรอบของ Edit Ports/Parameters ให้แก้ไข LPM_WIDTH เท่ากับ 8 ดังรูปที่ 4.14

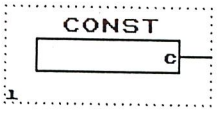


รูปที่ 4.14 หน้าต่าง Edit Ports/Parameters



รูปที่ 4.15 อุปกรณ์ LPM_ADD_SUB

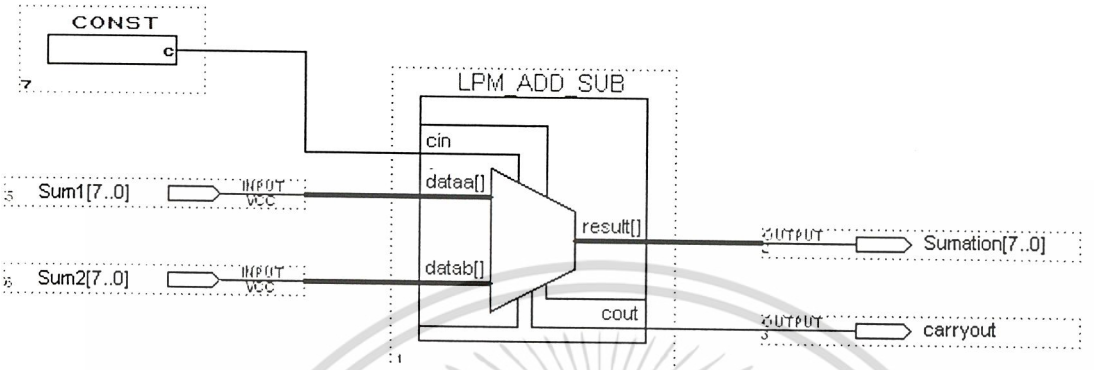
เนื่องจากวงจรบวกตามโครงสร้างจะไม่มี Carry_in ดังนั้น จึงต้องเขียนวงจรป้อนค่าศูนย์ให้กับวงจรบวก แล้ว saveในชื่อ const.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.16



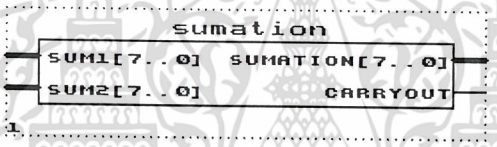
รูปที่ 4.16 อุปกรณ์ CONST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการใส่ input, output, carry_in, carry_out แล้วทำการ save ในชื่อ Sumation.gdf, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.17

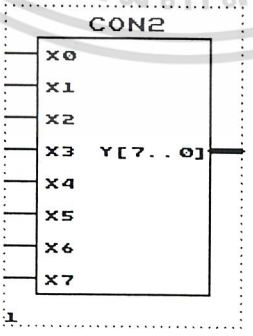


รูปที่ 4.17 วงจรบวกในโปรแกรม Max+plus II



รูปที่ 4.18 วงจรบวกหลังกำหนดเป็น Symbol

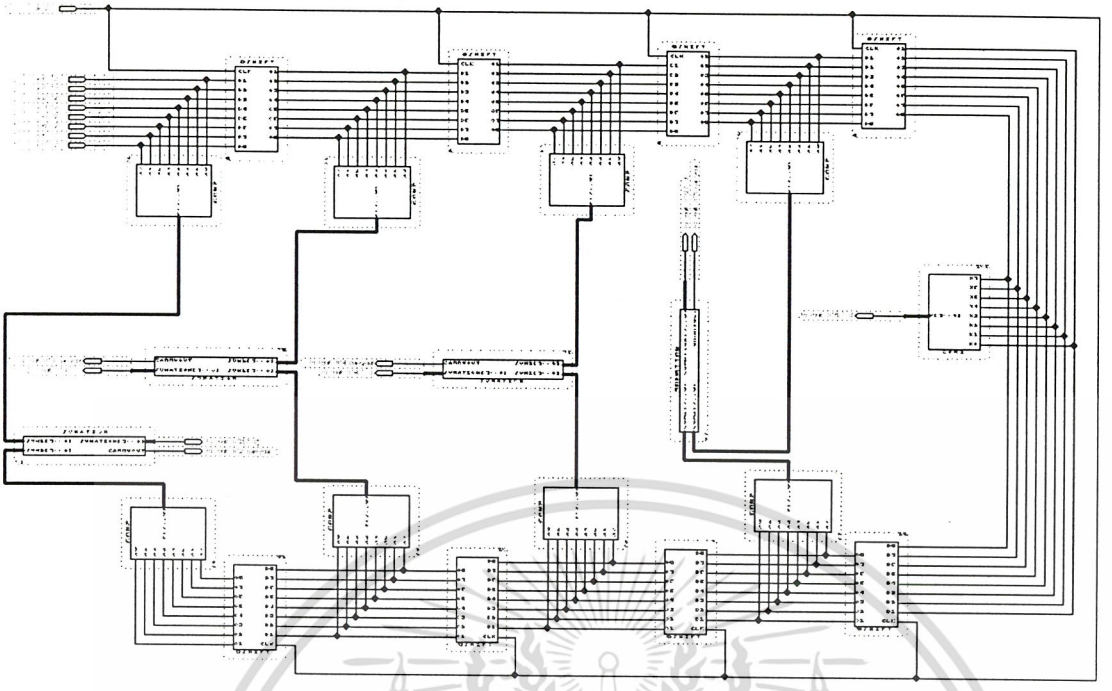
ก่อนที่จะทำการต่อวงจรตามโครงสร้างต้องเขียนวงจรแปลงจากแบบขนานไปเป็นแบบบัสก่อนแล้ว save ในชื่อ con2.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.19



รูปที่ 4.19 อุปกรณ์ CON2

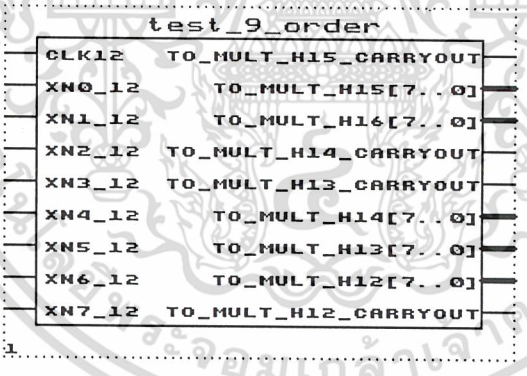
5. นำ Symbol ที่ได้มาต่อตาม diagram แสดงการทำงานของวงจรได้ทันที ดังรูปที่ 4.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



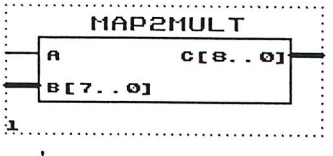
รูปที่ 4.20 วงจรหน่วงเวลาและวงจรบวก

save ในชื่อไฟล์ test_9_order.gdf, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.21



รูปที่ 4.21 Symbol ที่ผ่านการ Create Default Symbol จากรูปที่ 4.20

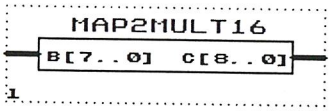
เนื่องจากว่า Output ของวงจรมี Carry_out ด้วยจึงต้องเขียนวงจรรวมค่าsave ในชื่อไฟล์ Map2Mult.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.22



รูปที่ 4.22 อุปกรณ์ MAP2MULT

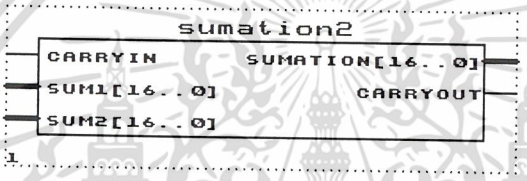
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Output ที่ต้องนำไปคูณกับ h4 ไม่มี Carry_out จึงให้ใส่ค่าศูนย์ในโปรแกรมได้เลยsave ในชื่อไฟล์ Map2Mult16.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.23



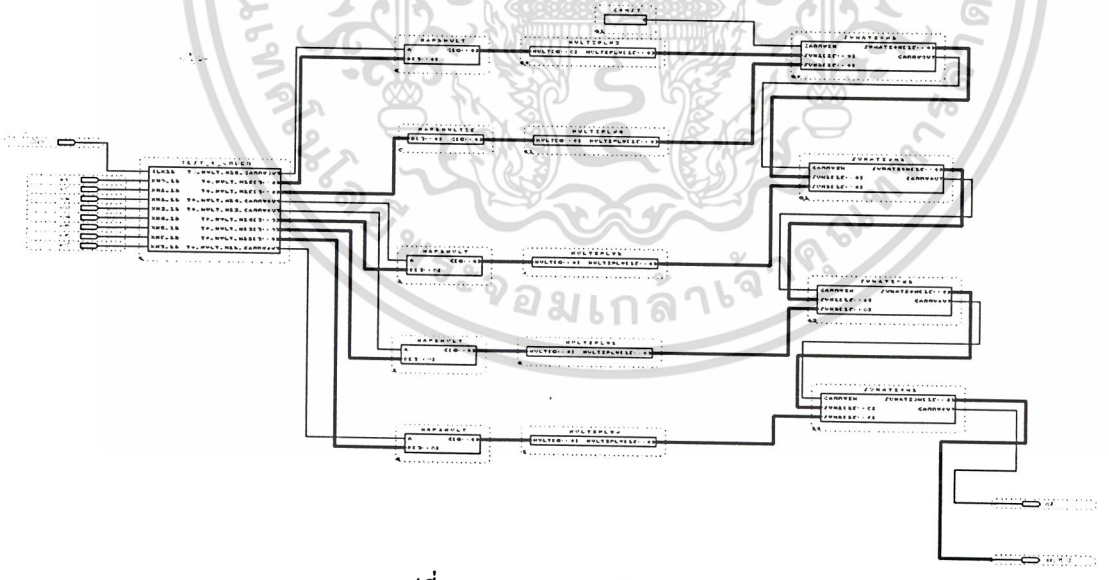
รูปที่ 4.23 อุปกรณ์ MAP2MULT16

และสร้างตัวบวกขึ้นมาใหม่อีกตัวเนื่องจากจำนวน bit ที่เข้ามาเป็น 17 bits ทำเหมือนเดิมแล้ว save ในชื่อไฟล์ Sumation2.gdf, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.24



รูปที่ 4.24 อุปกรณ์ sumation2

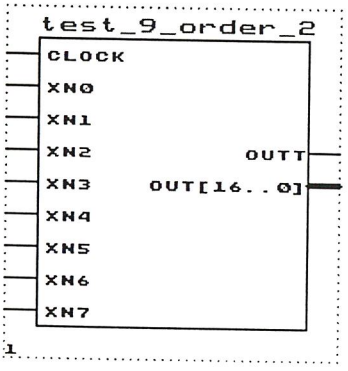
6. ต่อวงจรที่เหลือตามโครงสร้างได้ดังรูปที่ 4.25



รูปที่ 4.25 วงจรกรองสัญญาณ

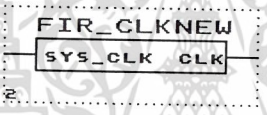
save ในชื่อไฟล์ test_9_order_2.gdf, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



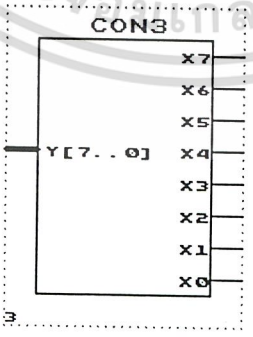
รูปที่ 4.26 อุปกรณ์ test_9_order_2

7. เนื่องจากความถี่จากจาก Cystral Oscillator เท่ากับ 2 MHz และต้องการกำหนดให้ความถี่ Sampling ของ A/D เท่ากับ 8 kHz ดังนั้นสร้างวงจรหารความถี่โดยการเขียนโปรแกรมได้save ในชื่อไฟล์ FIR_CLKNEW.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.27



รูปที่ 4.27 อุปกรณ์ FIR_CLKNEW

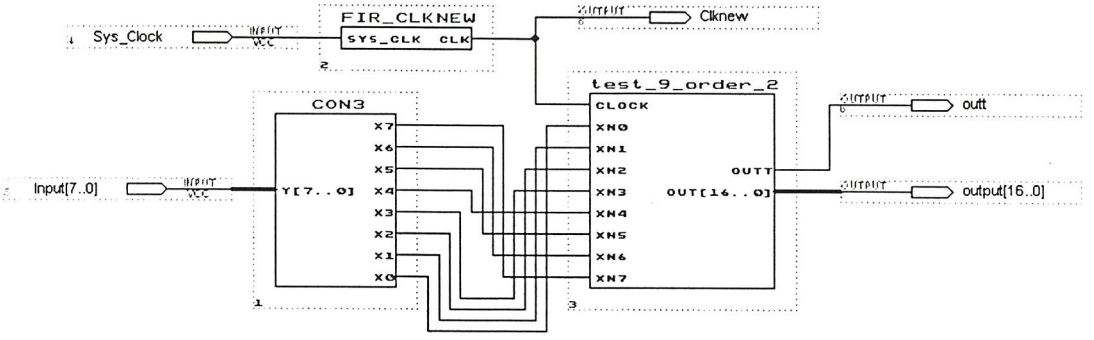
ก่อนที่จะต่อวงจรตามโครงสร้างต้องเขียนวงจรแปลงจากแบบบัสเป็นแบบขนานก่อนแล้ว save ในชื่อ con3.vhd, Compile และสร้างเป็น Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.28



รูปที่ 4.28 อุปกรณ์ CON3

8. นำวงจรหารความถี่มาต่อเข้ากับวงจรกรองที่สร้างดังรูปที่ 4.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

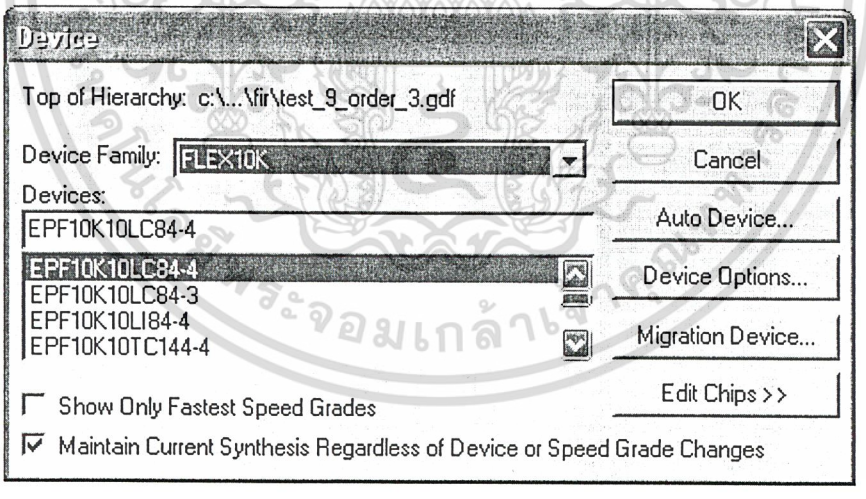


รูปที่ 4.29 วงจรกรองสัญญาณที่มีสัญญาณนาฬิกาควบคุม

save ในชื่อไฟล์ test_9_order_3.gdf แล้ว Compile

4.1.2 การตรวจสอบและสังเคราะห์วงจร

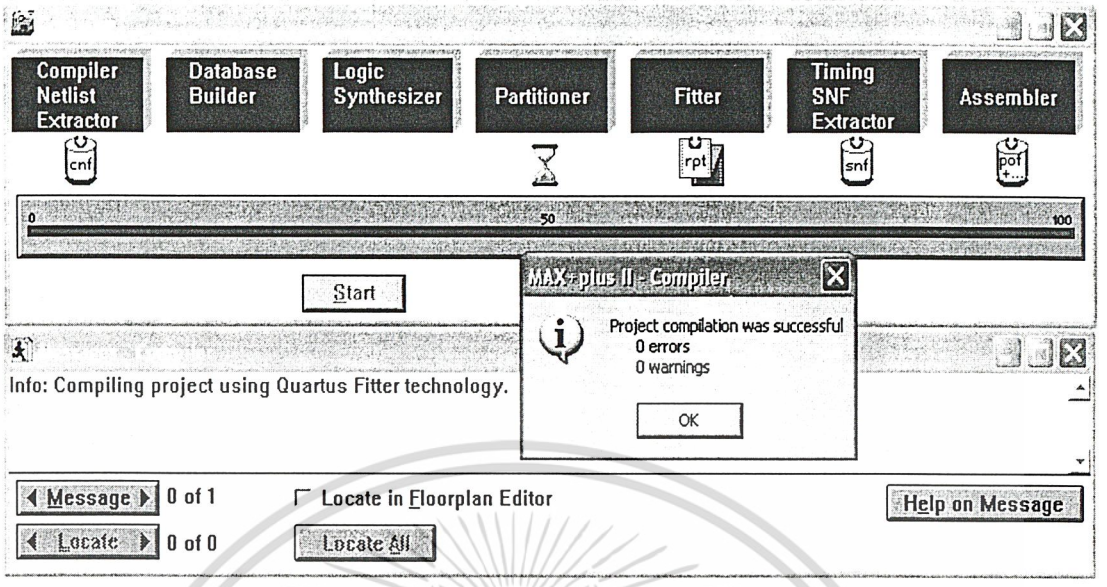
1. เริ่มจากการระบุเบอร์ที่จะใช้จากเมนู **Assign/Device** ซึ่งจะมีไดอะล็อก Device ปรากฏขึ้นมาให้เลือก Device ที่ต้องการ จากนั้นทำการเลือก Device Family เป็น FLEX10K และเลือก Device เป็น EPF10K10LC84-4 ซึ่งต้องการ Uncheck ช่อง Show Only Fastest Speed Grades ก่อน เพื่อให้ไดอะล็อกแสดง Device ที่มีอยู่ทั้งหมดขึ้นมาดังรูปที่ 4.30



รูปที่ 4.30 เบอร์ของชิพ FPGA

2. ทำการคอมไพล์วงจรที่ได้สร้างขึ้นจากเมนู Max+plusII/Compiler หลังจากนั้นจะมีไดอะล็อก Compiler ปรากฏขึ้นมาให้กดปุ่ม Start เพื่อเริ่มทำการคอมไพล์ หลังคอมไพล์เสร็จสิ้นลงก็จะมีหน้าต่างรายงานผลการคอมไพล์ error และ warning หากมีข้อผิดพลาดเกิดขึ้นก็จะมีข้อความสีแดงบอกว่า error พร้อมทั้งเหตุความผิดพลาด ดังรูปที่ 4.31

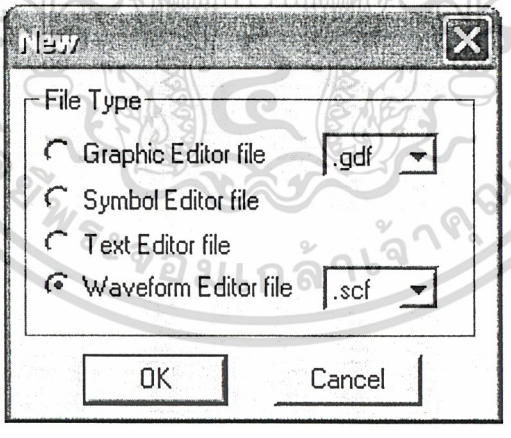
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 ผลการคอมไพล์

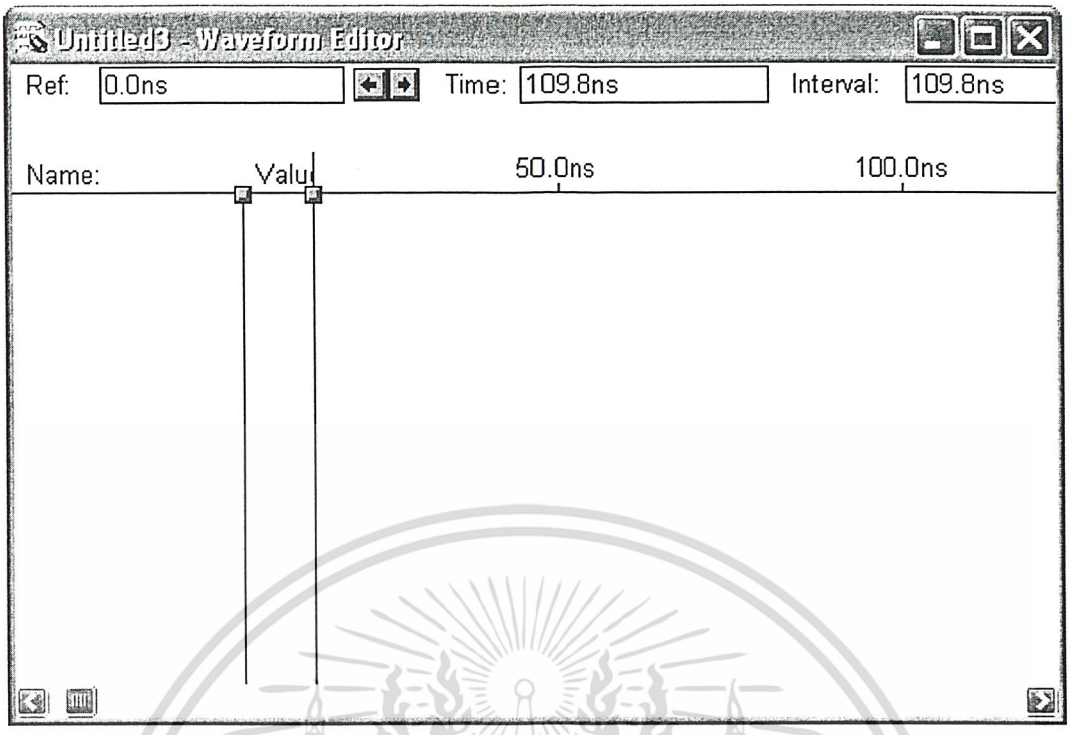
4.1.3 การจำลองการทำงาน

1. สร้างไฟล์ Waveform จากเมนู File/New/Waveform Editor File ซึ่งจะมีไดอาล็อก ปรากฏขึ้น ดังรูปที่ 4.38 โดยขณะนี้ Wave Editor จะปรากฏขึ้นมาดังรูปที่ 4.32



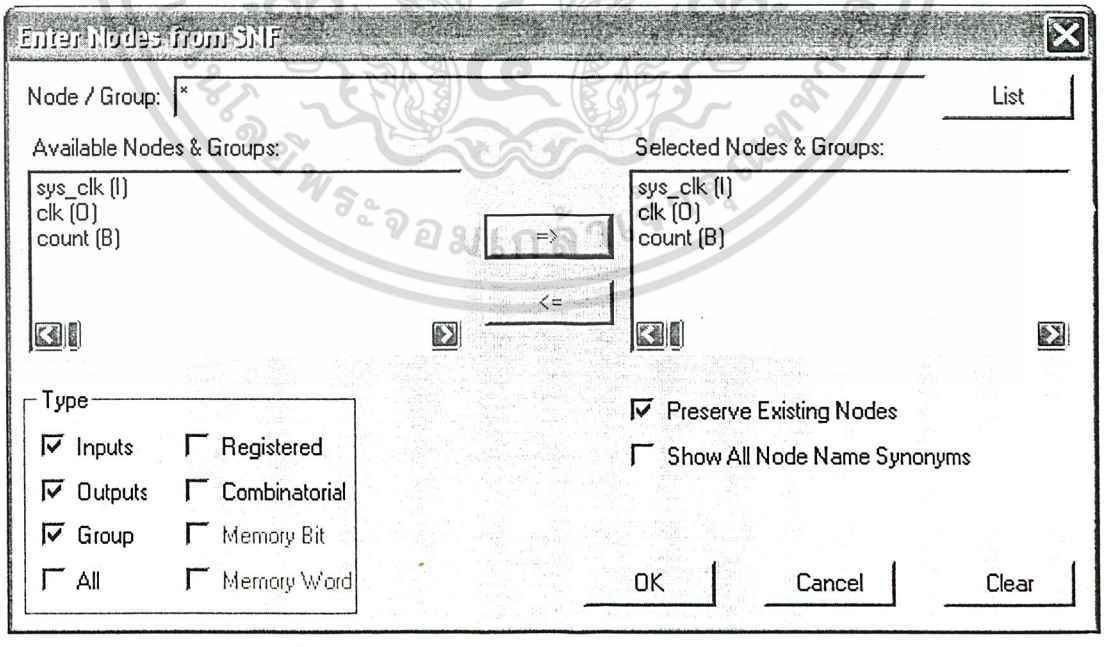
รูปที่ 4.32 การเลือกสร้างไฟล์ Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 หน้าต่าง Waveform Edition

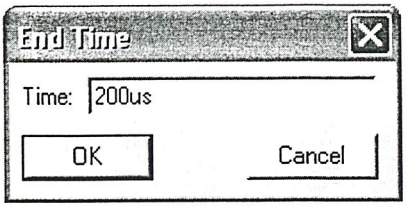
ก่อนทำการจำลองการทำงานเราจะต้องทำการกำหนดลักษณะสัญญาณอินพุตให้แก่วงจรเสียก่อน โดยการโหลดโหนดต่างๆเข้ามาโดยใช้เมนู Node/Enter Node SNF... ซึ่งจะมีไดอะล็อก Enter Nodes form SNF ปรากฏขึ้นมา ต่อไปให้คลิก List เพื่อแสดงโหนดต่างๆที่อยู่ในวงจรขึ้นมา จากนั้นเลือกโหนดที่เป็น input และ output ทั้งหมดที่อยู่ใน Listbox ทางด้านขวาดังรูปที่ 4.34



รูปที่ 4.34 การเลือกโหนดของ input กับ output

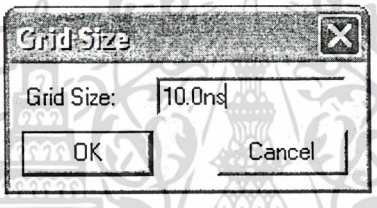
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. กำหนดเวลาสิ้นสุดการจำลองการทำงานให้กับโปรแกรมจากเมนู File/End Time... จากนั้นจะมีไดอะล็อก End Time ปรากฏขึ้นมาให้ใส่ End Time เท่ากับ 200 us ซึ่งเป็นการบอกให้โปรแกรมทำการจำลองการทำงานตั้งแต่ 0.0 us จนถึง 200.0 us ดังรูปที่ 4.35



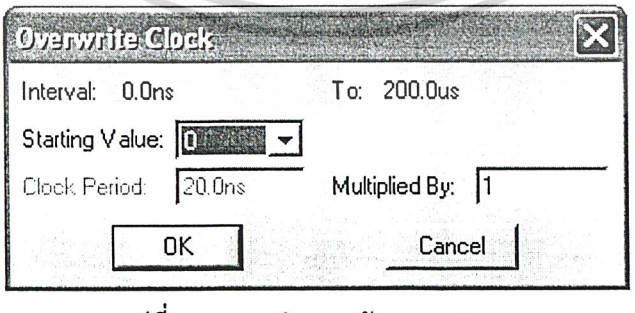
รูปที่ 4.35 การกำหนดค่า End Time

3. กำหนดขนาดของกริดจากเมนู Option/Grid Size ซึ่งจะมีไดอะล็อก Grid Size... ปรากฏขึ้นมา จากนั้นกำหนดให้กริดมีขนาดเท่ากับ 10.0 ns ดังรูปที่ 4.36



รูปที่ 4.36 การกำหนดขนาดของกริด

4. ทำการกำหนดรูปแบบสัญญาณให้กับ Node Input โดยการคลิกที่ CLK_1 ที่ Waveform Editor ให้มีแถบดำปรากฏขึ้นมาหลังจากนั้นทำการกำหนดรูปแบบสัญญาณให้มีลักษณะเป็นพัลซ์ โดยใช้เมนู Editor/Overwrite/Clock โดยจะมีไดอะล็อก Overwrite Clock ปรากฏขึ้นในช่อง Multiply By ให้ใส่ 2 แล้วกดปุ่ม OK ซึ่งจะเป็นการกำหนดให้สัญญาณในช่วงลอจิก " 1 " และลอจิก " 0 " มีค่าเวลาเป็น 2 เท่าของขนาดกริด

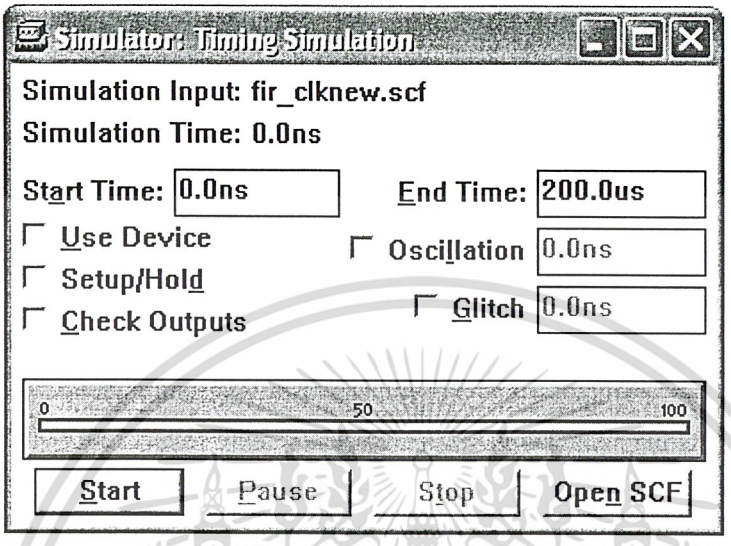


รูปที่ 4.37 การกำหนดสัญญาณ Clock

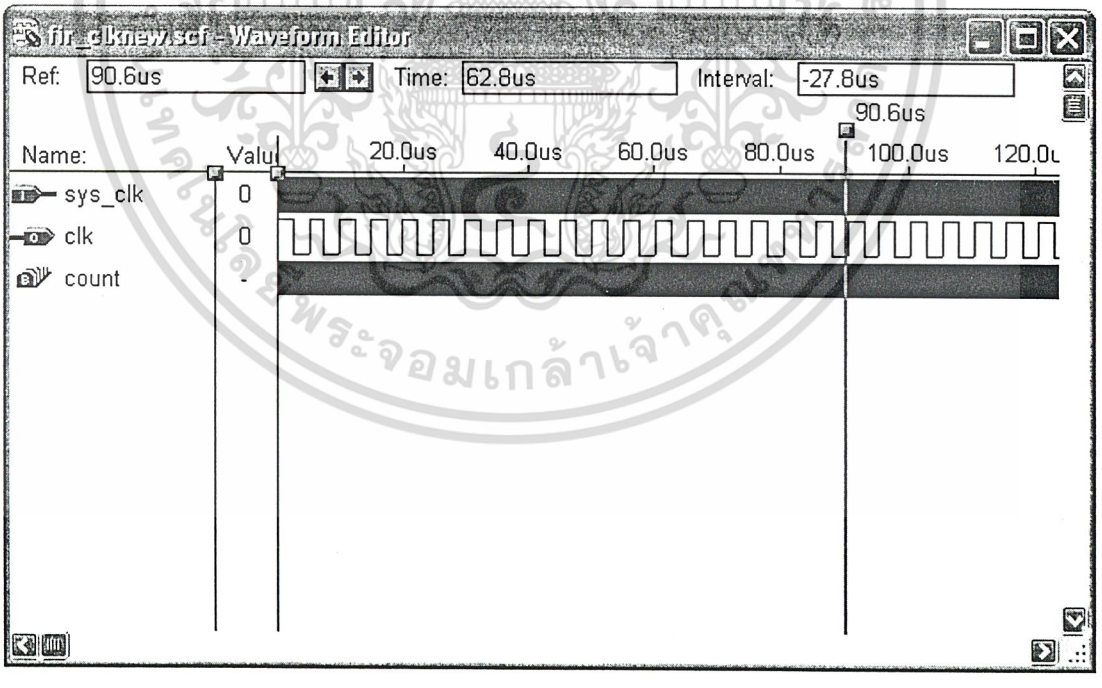
หลังจากนั้นให้ทำการบันทึกไฟล์ Waveform ที่ได้สร้างขึ้นเป็นชื่อเดียวกับวงจรที่เราต้องการจะจำลองการทำงาน ซึ่งส่วนนี้เราต้องการจำลองการทำงานวงจรหารความถี่ดังนั้นบันทึกเป็น Fir_clknew.scf

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. จำลองการทำงานของวงจรจากเมนูคำสั่ง Max+plusII/Simulator ซึ่งจะมีหน้าต่าง Timing Simulation ปรากฏขึ้นดังรูปที่ 4.38 จากนั้นให้กดปุ่ม Start เพื่อทำการจำลองการทำงานของวงจรและเมื่อการคำนวณเสร็จสิ้นลง ก็จะมีไดอะล็อกขึ้นมารายงานผลการจำลองการทำงานว่ามี error หรือ warning หรือไม่ ส่วนผลการจำลองการทำงานจะปรากฏที่ Waveform Editor ดังรูปที่ 4.39



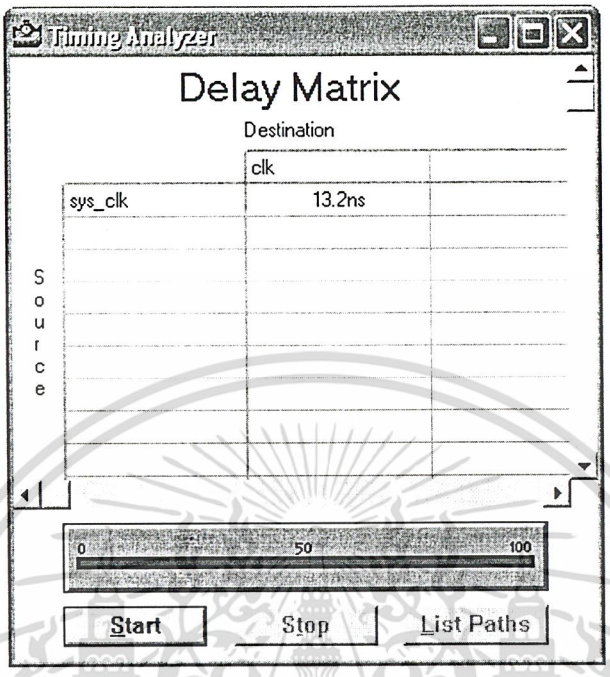
รูปที่ 4.38 หน้าต่างของตัวจำลองการทำงาน



รูปที่ 4.39 ผลการจำลองการทำงานวงจรหารความถี่

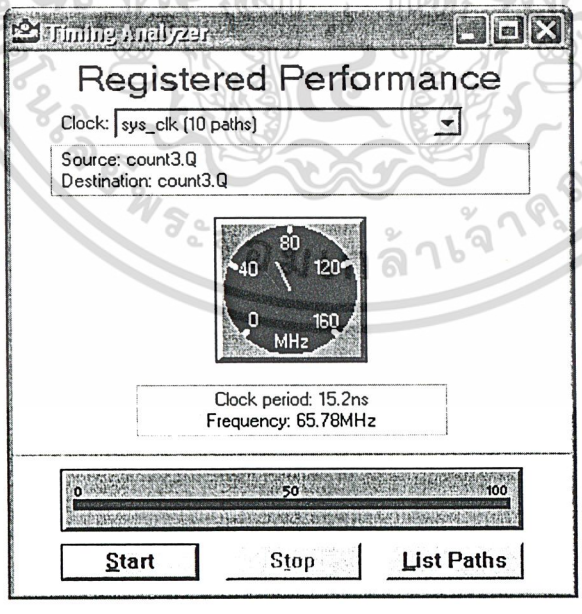
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. จากผลการจำลองการทำงานสามารถนำมาวิเคราะห์ Timing เพื่อใช้สำหรับหาค่า Delay Time ระหว่างโหนดต่างๆโดยใช้เมนู Max+plusII /Timing Analyzer ปรากฏขึ้นมา จากนั้นทำการวิเคราะห์ค่าเวลาหน่วงจากเมนู Analysis/Delay Time ดังรูปที่ 4.40



รูปที่ 4.40 หน้าต่างวิเคราะห์ค่าหน่วงเวลา

นอกจากนี้ยังสามารถวิเคราะห์คำนวณหาค่าความถี่สูงสุดที่วงจรสามารถทำงานได้ โดยเลือกที่เมนู Analysis/Registered Performance ดังรูปที่ 4.41

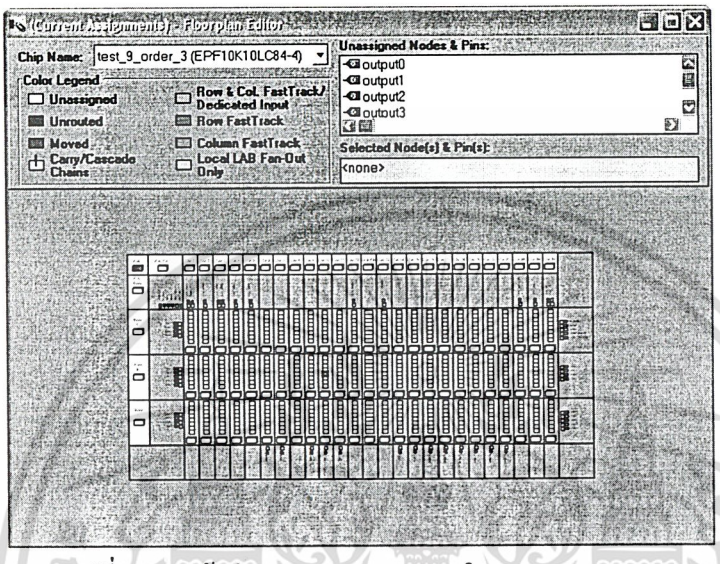


รูปที่ 4.41 หน้าต่างวิเคราะห์หาความถี่สูงสุดที่วงจรสามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

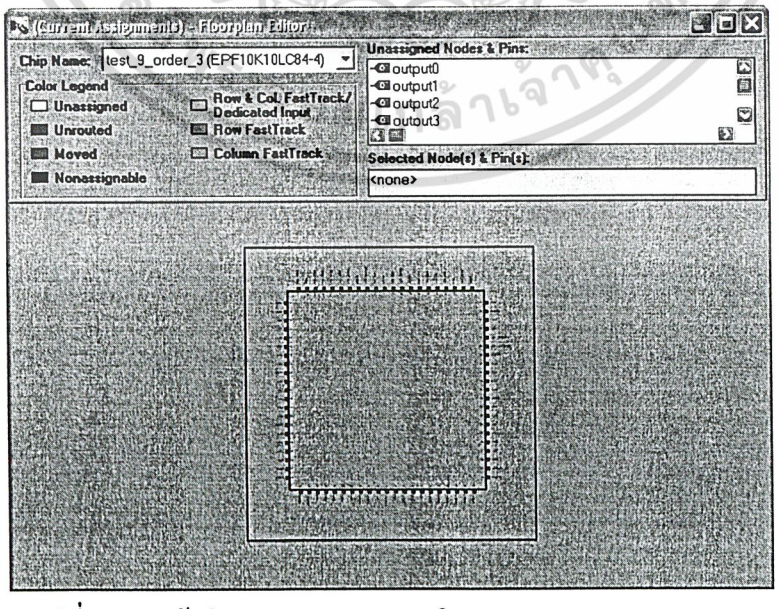
4.1.4 การโปรแกรมลงชิพ FPGA

1. ขั้นตอนนี้จะเป็นการโปรแกรมวงจรที่ออกแบบไว้ลงในชิพ FPGA ซึ่งก่อนที่จะทำการโปรแกรมนั้นจำเป็นต้องมีการกำหนดตำแหน่งขาของอุปกรณ์ต่างๆที่อยู่ในวงจรกับขาของ FPGA ก่อน โดยเริ่มจากการเรียก เมนู Max+plusII /Floorplane Editor หลังจากนั้นหน้าต่าง Floorplan Editor จะปรากฏขึ้นมาดังรูปที่ 4.42 ซึ่งเป็น Layout แบบ LAB View (Logic Array Block View)



รูปที่ 4.42 หน้าต่าง Floorplane Editor ใน Layout แบบ LAB View

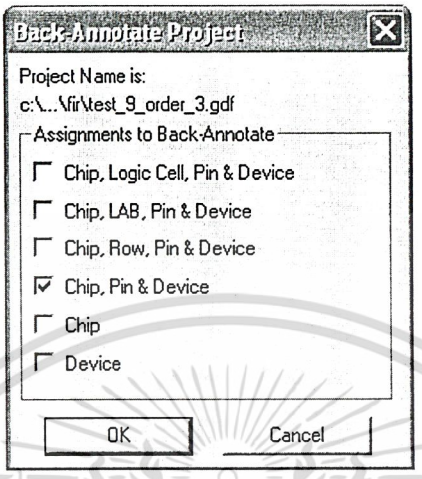
เนื่องจาก Layout แบบ LAB View นี้อาจพิจารณาได้ลำบากในแง่ของการต่อวงจร ดังนั้นจึงควรเปลี่ยน Layout ให้เป็นแบบ Device View ดังรูปที่ 4.43 ซึ่ง Layout แบบนี้จะเป็นการมองจากตำแหน่งขาที่แท้จริงของ FPGA ที่เราระบุ ไว้โดยการเรียกเมนู Layout/Device view



รูปที่ 4.43 หน้าต่าง Floorplane Editor ใน Layout แบบ Device View

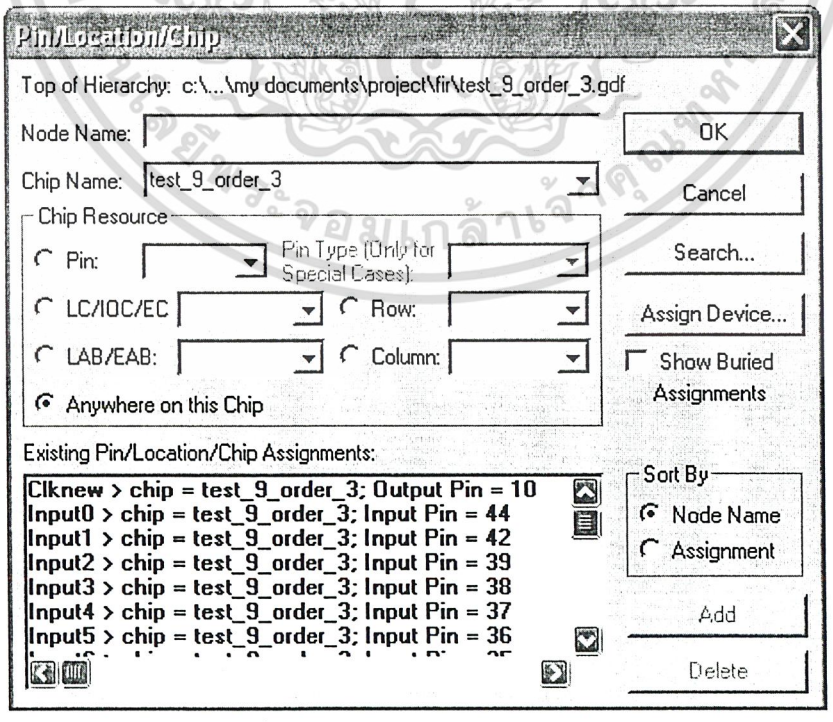
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นจะทำการกำหนดอินพุตและเอาท์พุตของวงจรลงไปโดยเรียกเมนูคำสั่ง Assign/Back-Annotate Project... ซึ่งจะมีไดอะล็อก Back-Annotate Project ปรากฏขึ้นมา จากนั้นให้คลิก Chip, Pin&Device/OK ดังรูปที่ 4.44



รูปที่ 4.44 การเลือก Chip,Pin&Device

สังเกตได้ว่าเมื่อผ่านขั้นตอนนี้ไปแล้วโปรแกรม Max+plusII จะทำการกำหนดขาต่างๆมาให้เรียบร้อยแล้วแต่อาจยังไม่เหมาะสมกับการเชื่อมต่อบอร์ดทดลอง ดังนั้นจึงทำการเปลี่ยนแปลงตำแหน่งขาต่างๆของชิพ FPGA ก่อน โดยเลือกเมนู Layout/Current Assignment Floorplane และตามด้วย Assign/Pin/Location/Chip... แล้ววางตำแหน่งขาต่างๆใหม่ดังรูปที่ 4.45 โดยที่เลือกวางขาตามตารางที่ 4.1



รูปที่ 4.45 หน้าต่าง Pin/Location/Chip

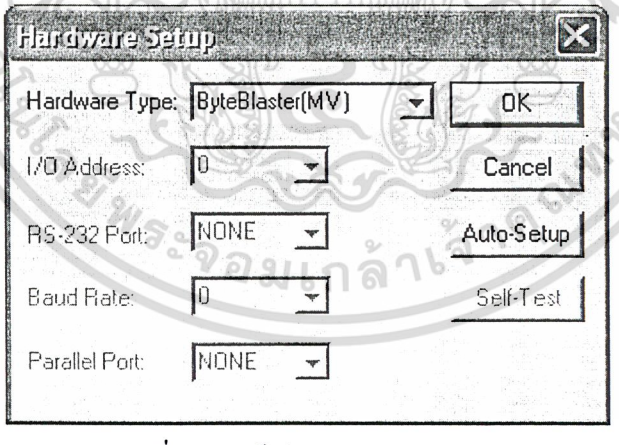
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D	EPF10K10LC84-4	D/A	EPF10K10LC84-4
Input7	Pin 30	Output16	Pin 54
Input6	Pin 35	Output15	Pin 53
Input5	Pin 36	Output14	Pin 52
Input4	Pin 37	Output13	Pin 51
Input3	Pin 38	Output12	Pin 50
Input2	Pin 39	Output11	Pin 49
Input1	Pin 42	Output10	Pin 48
Input0	Pin 44	Output9	Pin 47
Sys_Clock	Pin 1	Clknew	Pin 10

ตารางที่ 4.1 การวางตำแหน่งขาใหม่เพื่อสะดวกในการติดต่อกับอุปกรณ์ภายนอก

หลังจากทำการเปลี่ยนแปลงตำแหน่งขาของชิพเรียบร้อยแล้วให้ Save และคอมไพล์ใหม่อีกครั้ง

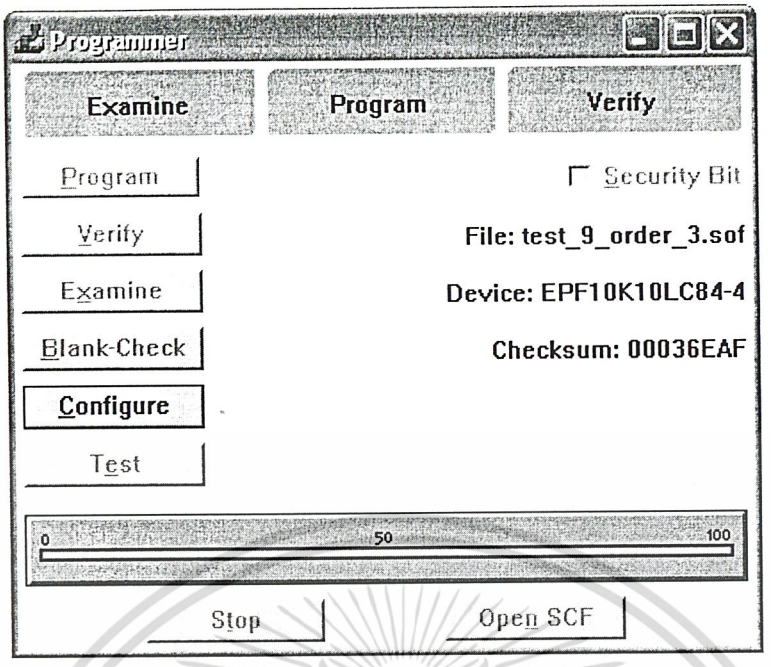
2. ทำการโปรแกรมวงจรลงในชิพ FPGA โดยเลือกที่เมนู Max+plusII /Programmer ซึ่งหากยังไม่เคยติดตั้งอุปกรณ์สำหรับอุปกรณ์ชิพ FPGA (สาย Byte Blaster) ก็จะมีไดอะล็อก Hardware Setup ปรากฏขึ้นมาให้นำสาย Byte Blaster มาต่อที่พอร์ทขนาน (พอร์ต Printer) แล้วเลือก Hardware Type เป็น Byte Blaster (MV) และกดปุ่ม OK ดังรูปที่ 4.46



รูปที่ 4.46 หน้าต่าง Hardware Setup

เมื่อโปรแกรม Max+plus II ตรวจสอบพบว่ามีสาย Byte Blaster ต่ออยู่ที่พอร์ตขนานแล้วหน้าต่าง Programmer จะเป็นดังรูปที่ 4.47 จากนั้นให้กดปุ่ม Configure เพื่อโหลดวงจรเข้าชิพ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.47 หน้าต่างของ Programmer

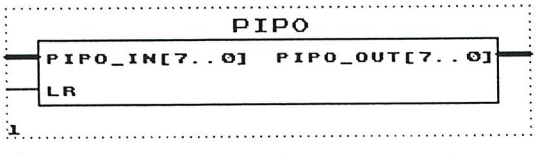
ข้อสังเกตอย่างหนึ่งในการโปรแกรมวงจรคือ หาก Device ของ FPGA ที่เลือกเป็นอุปกรณ์ประเภท EEPROM-Base FPGA หรือที่เรียกว่า CPLD (เบอร์ IC จะขึ้นต้นด้วย EPM) ไฟล์ที่โปรแกรมจะมีนามสกุลเป็น pof ซึ่งก่อนที่จะโปรแกรมวงจรลงในชิพ FPGA ให้ทำการตรวจสอบก่อนว่าได้ทำการต่อสาย Byte Blaster กับบอร์ดทดลองเรียบร้อยแล้ว และได้ทำการจ่ายไฟให้บอร์ดทดลองแล้ว มิฉะนั้นการโปรแกรมข้อมูลลงในชิพ FPGA จะเกิดข้อผิดพลาดได้

4.2 การออกแบบวงจรกรองดิจิตอลหลายหน้าที่แบบไม่มีการป้อนกลับอันดับที่ 45 โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว

4.2.1 ขั้นตอนการออกแบบวงจร

การออกแบบวงจรตามโครงสร้างแบบใช้ตัวคูณตัวเดียวจะต้องใช้บล็อกต่างๆมากมายเช่น ตัวหน่วงเวลา ตัวมัลติเพลกเซอร์ ตัวสร้างสัญญาณควบคุม วงจรคูณ วงจรบวกและสะสมค่า วงจรลบ เป็นต้น ในหัวข้อนี้จะบรรยายการสร้างหน่วยย่อยแต่ละตัวแล้วนำมาต่อรวมกัน โดยที่จะลดการใช้อุปกรณ์ที่มีอยู่แล้วในโปรแกรมเนื่องจากสิ้นเปลืองเนื้อที่ลอจิกเซลมากกว่าการเขียนโค้ด

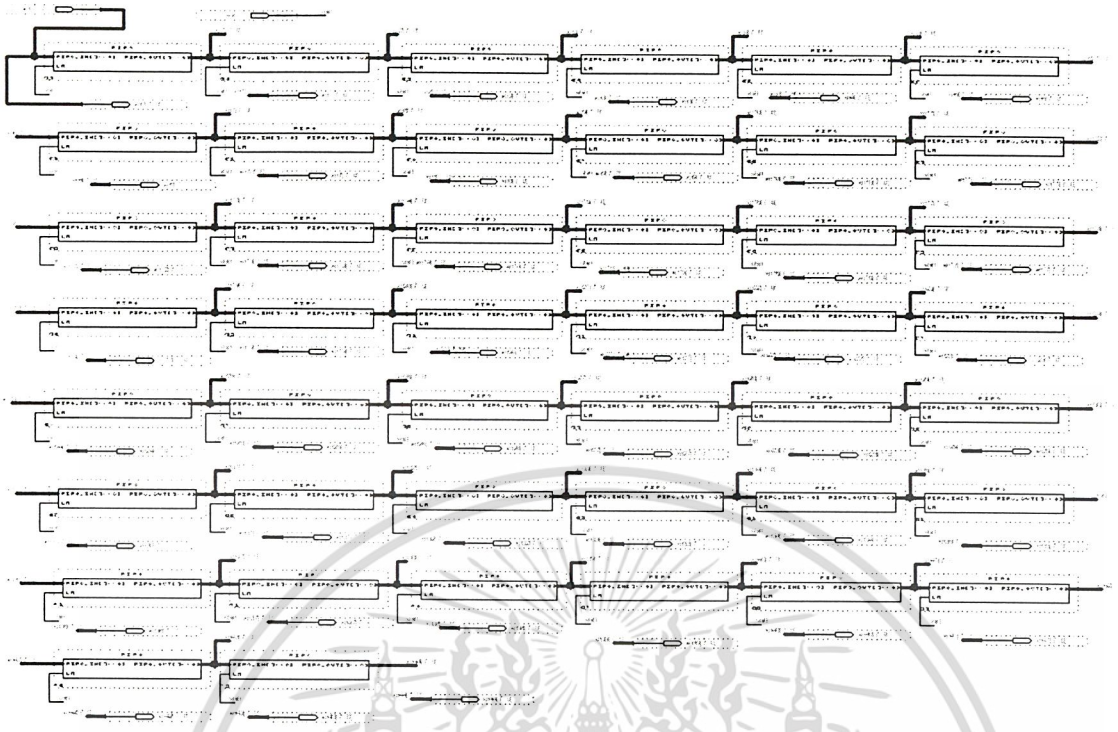
1. ตัวหน่วงเวลา สร้างจากการเขียนโค้ดโดยมีสัญญาณ Lr เป็นตัวควบคุมในการหน่วงเวลาทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.48



รูปที่ 4.48 วงจรหน่วงเวลา 8 บิตหลังกำหนดเป็น Symbol

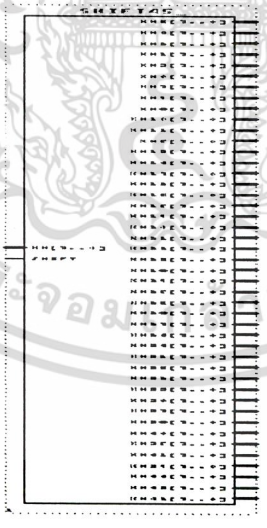
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำมาต่ออนุกรมกัน 44 ตัวเพื่อทำเป็นวงจรหน่วงเวลาของวงจรกรองสัญญาณอันดับที่ 45 ดังรูปที่ 4.49



รูปที่ 4.49 วงจรหน่วงเวลา 8 บิตต่ออนุกรมกัน 44 ตัว

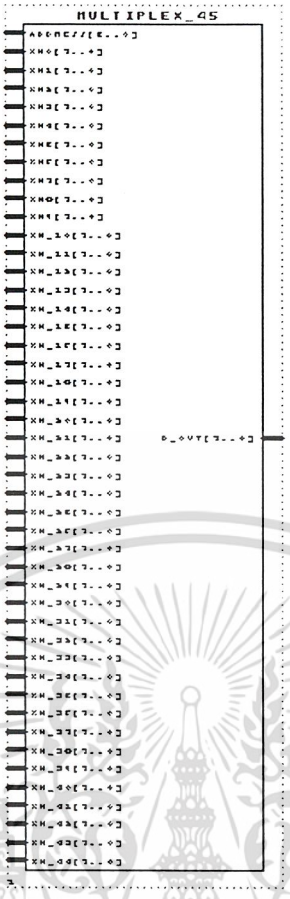
ทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.50



รูปที่ 4.50 วงจรหน่วงเวลา 8 บิตต่ออนุกรมกัน 44 ตัวหลังกำหนดเป็น Symbol

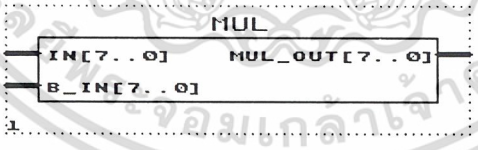
2.ตัวมัลติเพลกเซอร์ สร้างจากการเขียนโค้ดโดยมีสัญญาณ address เป็นตัวควบคุมในการปล่อยเอาท์พุต ทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbol ดังรูปที่ 4.51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



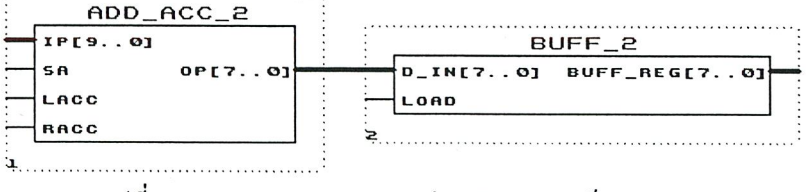
รูปที่ 4.51 ตัวมัลติเพลกเซอร์ หลังกำหนดเป็น Symbol

3.ตัวคูณก็ใช้การเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.52



รูปที่ 4.52 ตัวคูณ หลังกำหนดเป็น Symbol

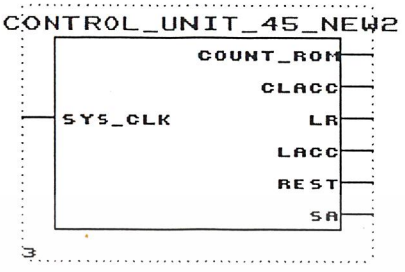
4.วงจรบวกและสะสมค่าก็ใช้การเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.53



รูปที่ 4.53 วงจรบวกและสะสมค่าหลังกำหนดเป็น Symbol

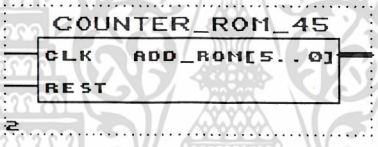
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.วงจรสร้างสัญญาณควบคุมก็ใช้การเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.54



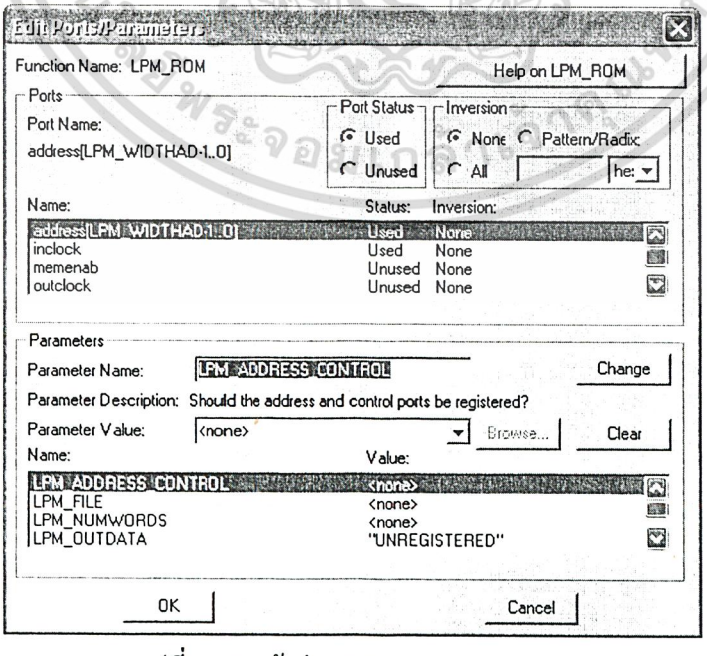
รูปที่ 4.54 วงจรสร้างสัญญาณควบคุมหลังกำหนดเป็น Symbol

6.วงจรสร้างสัญญาณ address ก็ใช้การเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.55



รูปที่ 4.55 วงจรสร้างสัญญาณ address หลังกำหนดเป็น Symbol

7.ตัวเก็บค่าสัมประสิทธิ์ สร้างจากไลบารี่ที่ชื่อ lpm_rom ซึ่งเมื่อเรียกใช้ก็จะขึ้นหน้าต่างดังรูปที่ 4.56



รูปที่ 4.56 หน้าต่าง Edit Ports/Parameters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

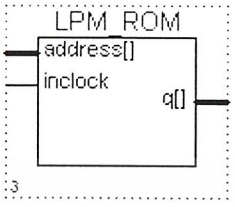
ให้แก้ไข LPM_ADDRESS_CONTROL เป็น "UNREGISTERED"

LPM_NUMWORDS เป็น 45

LPM_WIDTH เป็น 8

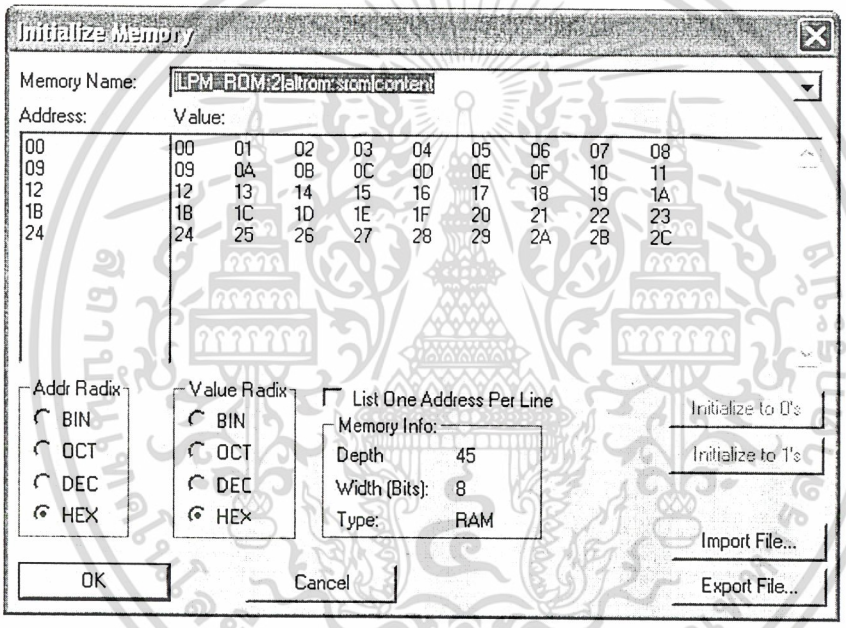
LPM_WIDTHAD เป็น 6

ส่วน LPM_FILE ให้พิมพ์ rom.mif และ Unused ที่ inclock จะได้สัญลักษณ์ดังรูปที่ 4.57



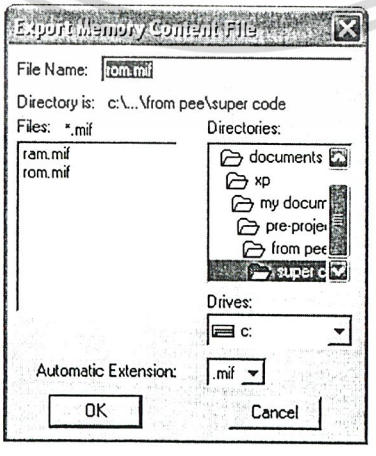
รูปที่ 4.57 ตัวเก็บค่าสัมประสิทธิ์

เลือกคำสั่ง MAX+plusII, Simulator, Initialize/Initialize Memory...จะขึ้นหน้าต่างดังรูปที่ 4.58



รูปที่ 4.58 หน้าต่าง Initialize Memory

เลือก Export File...จะขึ้นหน้าต่างดังรูปที่ 4.59

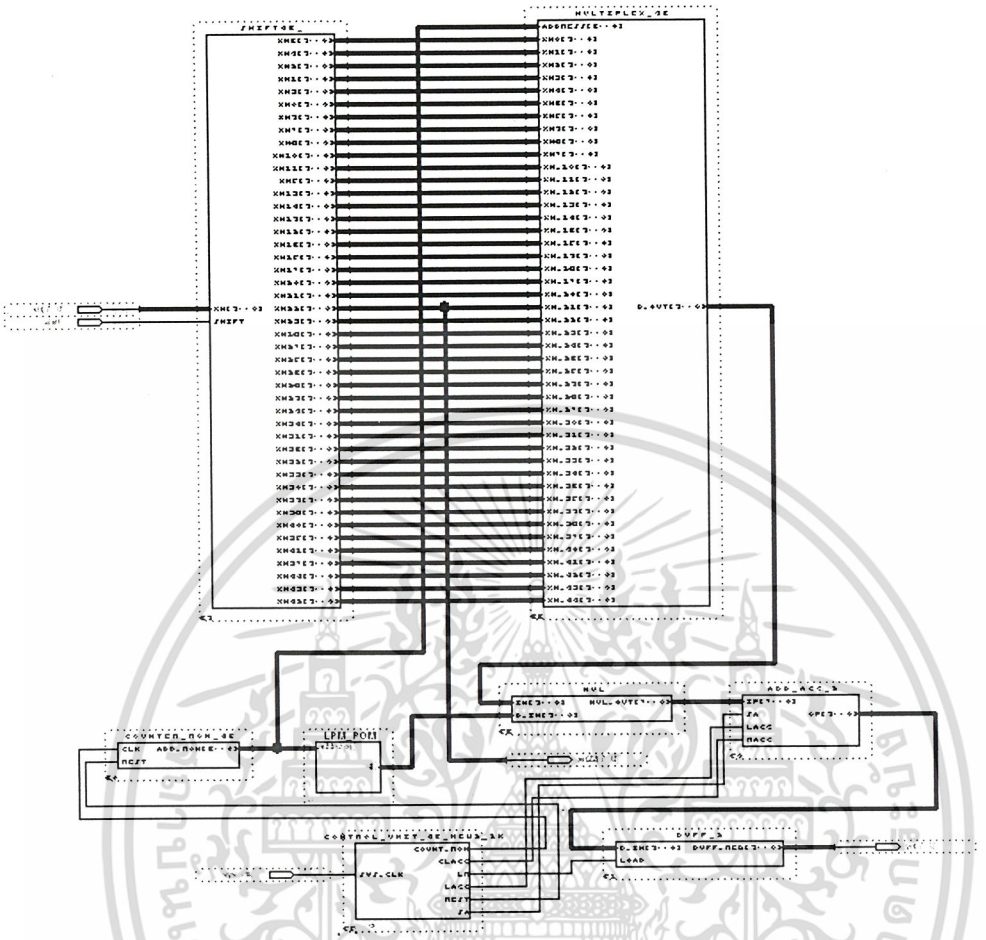


รูปที่ 4.59 หน้าต่าง Export Memory Content File

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

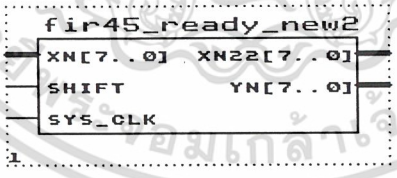
แล้วไปเปิดไฟล์ rom.mif มากำหนดค่าสัมประสิทธิ์ที่จะเก็บแล้วทำการคอมไพล์และบันทึก

8.เอาวงจรต่างๆมาต่อดังรูปที่ 4.60



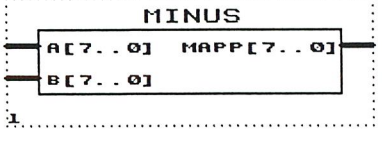
รูปที่ 4.60 รูปหลังจากนำวงจรมาต่อกัน

ทำการคอมไพล์แล้วสร้างเป็นสัญลักษณ์ได้ดังรูปที่ 4.61



รูปที่ 4.61 สัญลักษณ์ที่ได้จากวงจรในรูปที่ 4.60

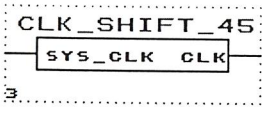
9.ตัวลบสร้างจากการเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.62



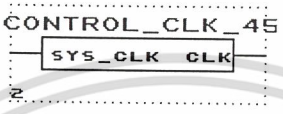
รูปที่ 4.62 สัญลักษณ์ที่ได้จากวงจรลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.วงจรหารความถี่สร้างจากการเขียนโค้ดเช่นกันทำการ Compile เพื่อตรวจสอบความถูกต้องของวงจร และสังเคราะห์เป็นวงจร Symbol เพื่อใช้ในการวาด Schematic โดยใช้เมนูคำสั่ง **File/Create Default Symbol** จะได้ Symbolดังรูปที่ 4.63 และ 4.64

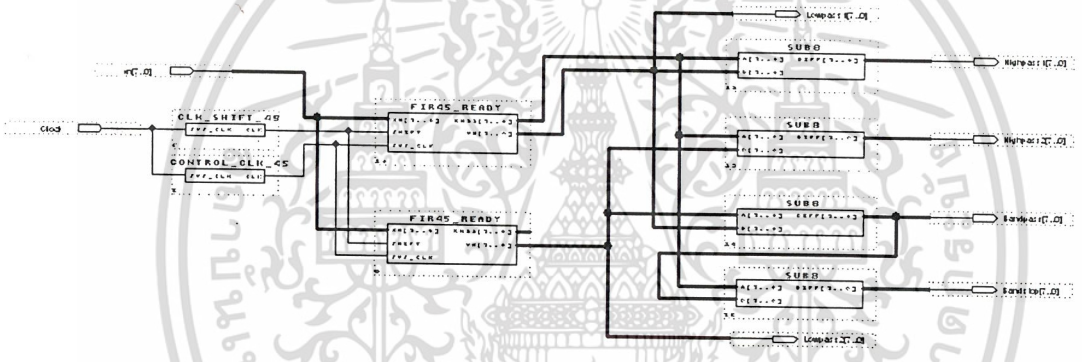


รูปที่ 4.63 สัญลักษณ์ที่ได้จากวงจรสร้างความถี่สุ่มตัวอย่าง



รูปที่ 4.64 สัญลักษณ์ที่ได้จากวงจรสร้างความถี่ควบคุม

11.นำวงจรทั้งหมดมาต่อตามโครงงสร้างแบบตัวคูณตัวเดียวจะได้ดังรูปที่ 4.65

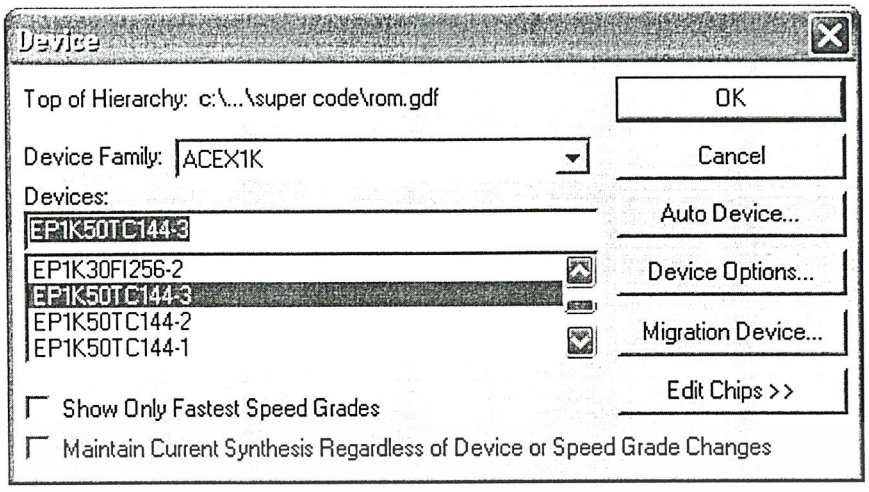


รูปที่ 4.65 วงจรกรองความถี่หลายหน้าที่แบบไม่มีการป้อนกลับอันดับที่ 45 โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว

4.2.2 การตรวจสอบและสังเคราะห์วงจร

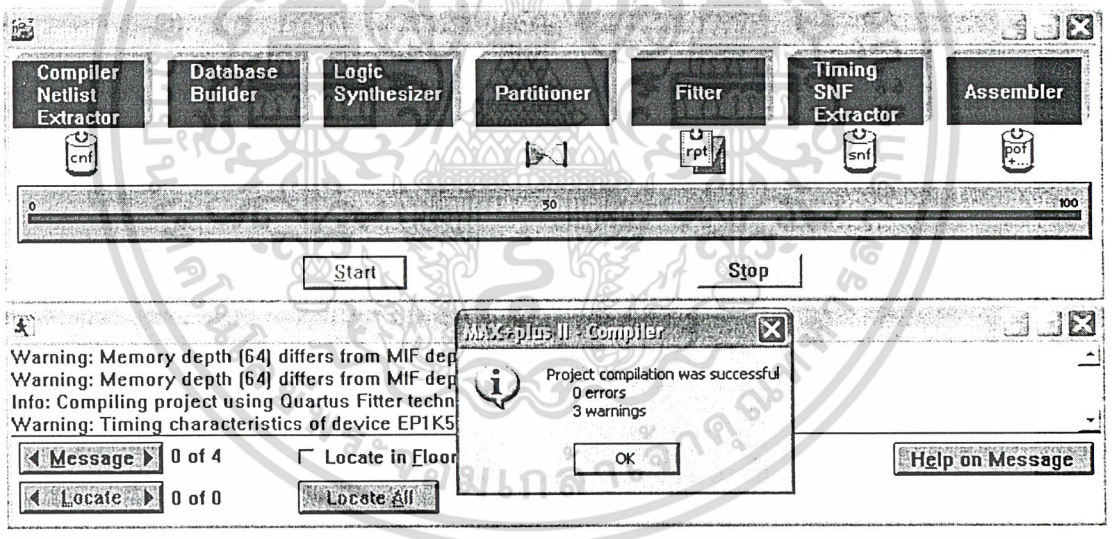
1. เริ่มจากการระบุเบอร์ที่จะใช้จากเมนู **Assign/Device** ซึ่งจะมีไดอะล็อก Device ปรากฏขึ้นมาให้เลือก Device ที่ต้องการ จากนั้นทำการเลือก Device Family เป็น ACEX1K และเลือก Device เป็น EP1K50TC144-3 ซึ่งต้องการ Uncheck ช่อง Show Only Fastest Speed Grades ก่อน เพื่อให้ไดอะล็อกแสดง Device ที่มีอยู่ทั้งหมดขึ้นมาดังรูปที่ 4.66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.66 ระบุเบอร์ของชิพ FPGA

2. ทำการคอมไพล์วงจรที่ได้สร้างขึ้นจากเมนู Max+plusII/Compiler หลังจากนั้นจะมีไดอะล็อก Compiler ปรากฏขึ้นมาให้กดปุ่ม Start เพื่อเริ่มทำการคอมไพล์ หลังคอมไพล์เสร็จสิ้นลงก็จะมีหน้าต่างรายงานผลการคอมไพล์ error และ warning หากมีข้อผิดพลาดเกิดขึ้นก็จะมีข้อความสีแดงบอกว่า error พร้อมทั้งเหตุความผิดพลาด ดังรูปที่ 4.67

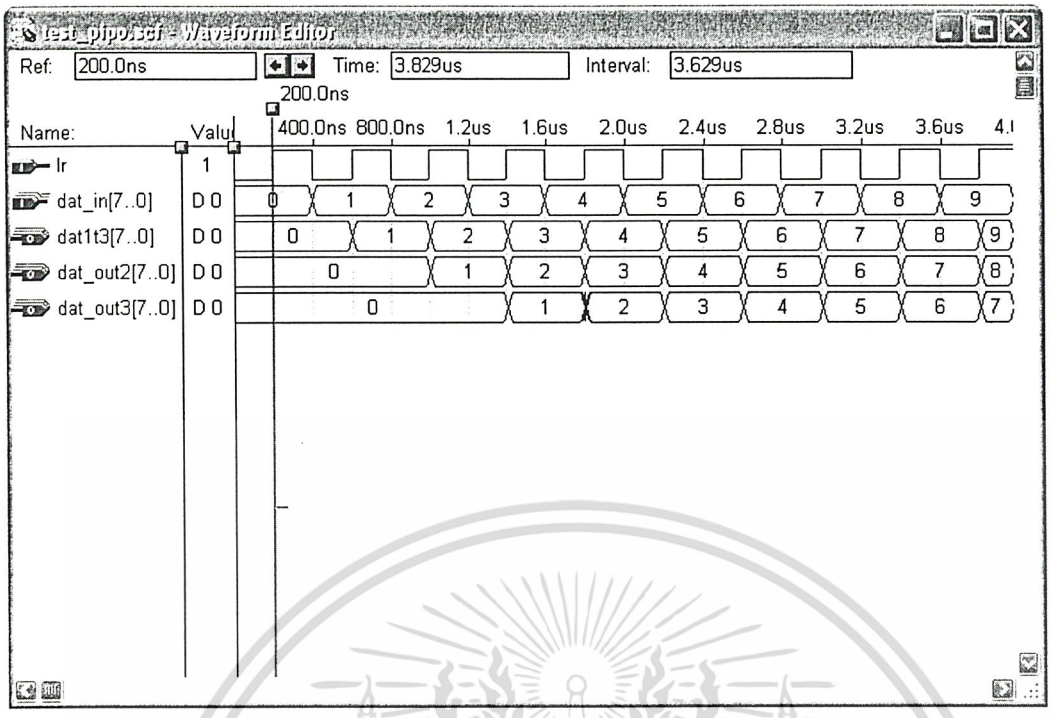


รูปที่ 4.67 ผลการคอมไพล์

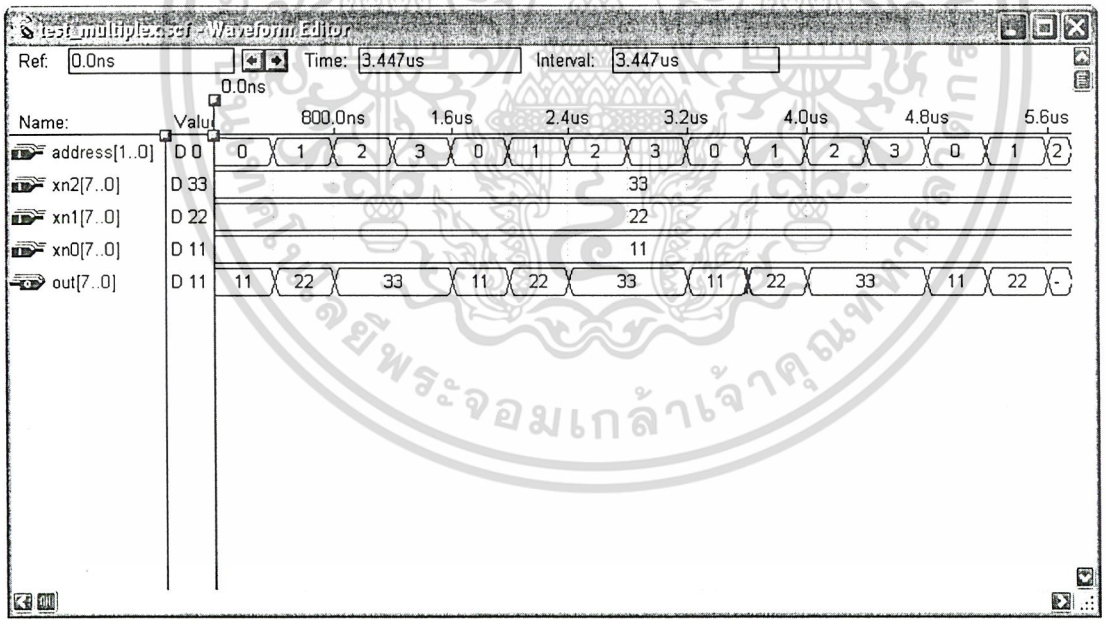
4.2.3 การจำลองการทำงาน

ขั้นตอนการจำลองการทำงานทำเหมือนในหัวข้อ 4.1.3 ดังนั้นจะขอแสดงผลการจำลองการทำงานในแต่ละบล็อกดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

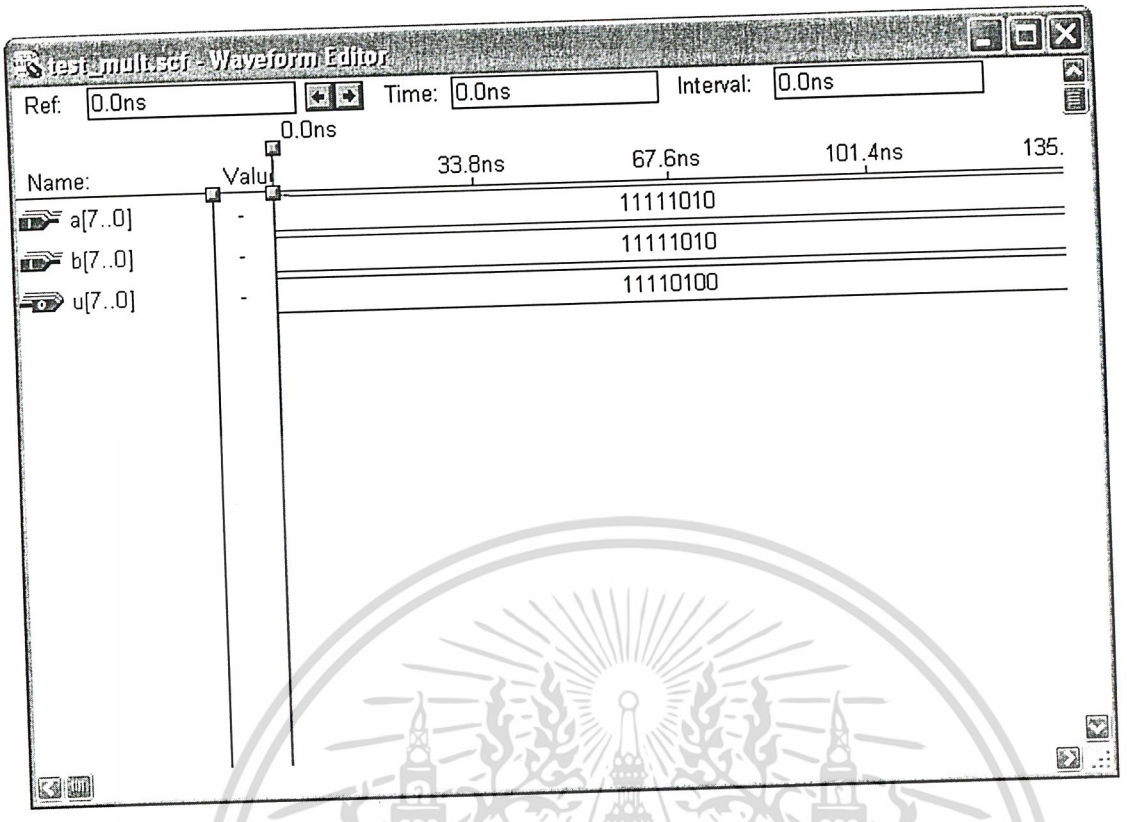


รูปที่ 4.68 ผลการจำลองการทำงานของวงจรหน่วงเวลา

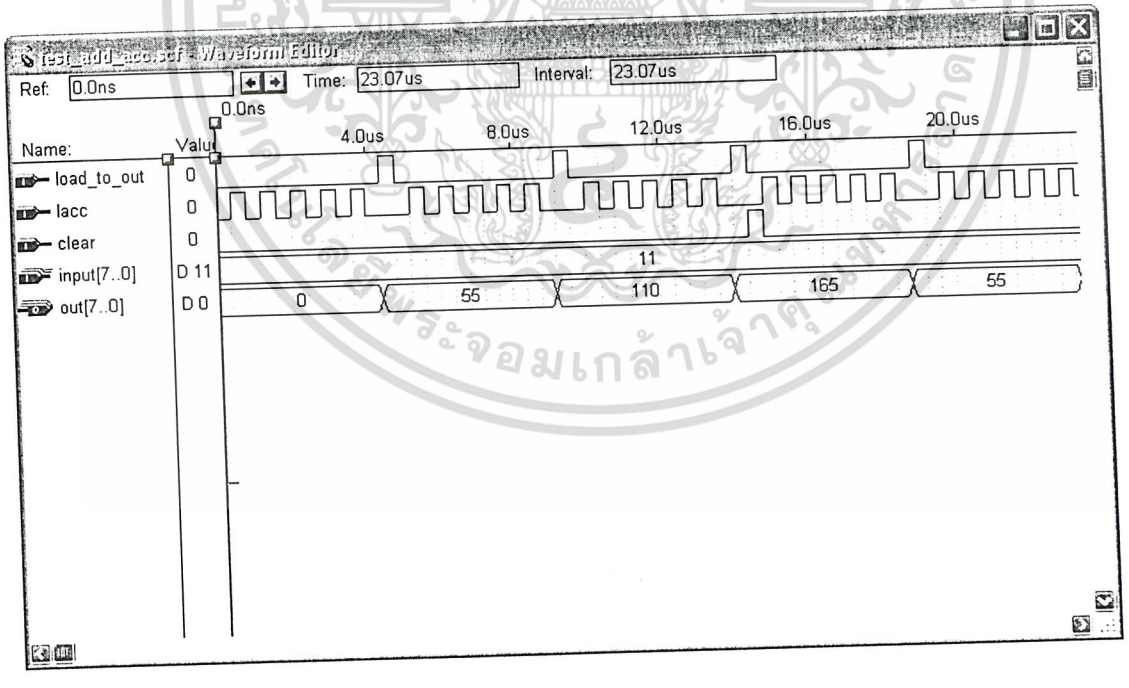


รูปที่ 4.69 ผลการจำลองการทำงานของวงจรมัลติเพลกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

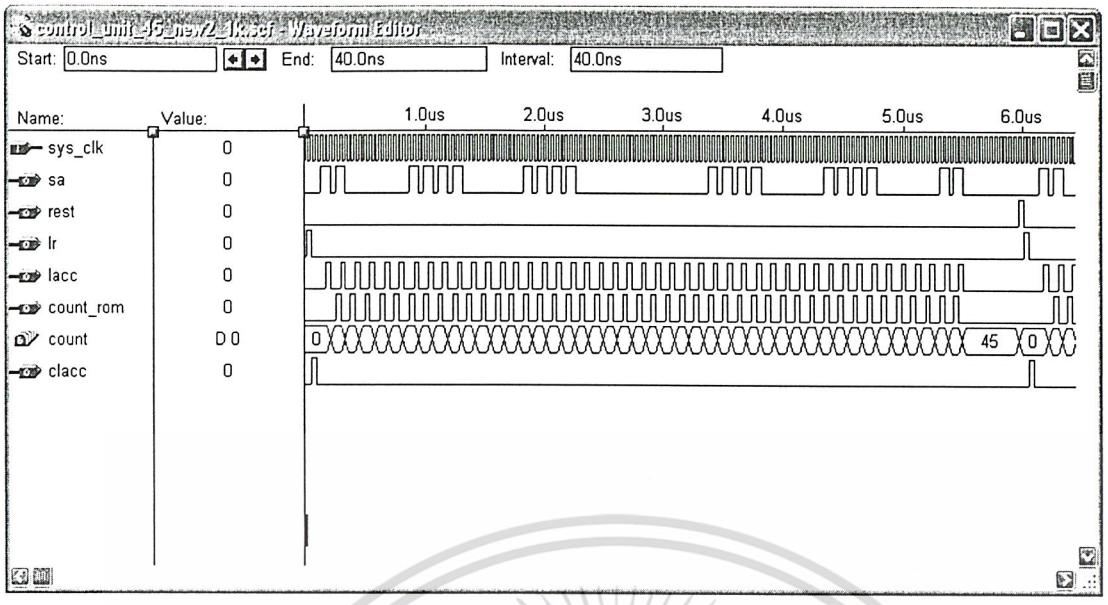


รูปที่ 4.70 ผลการจำลองการทำงานของวงจรคูณ



รูปที่ 4.71 ผลการจำลองการทำงานของวงจรบวกสะสมค่า

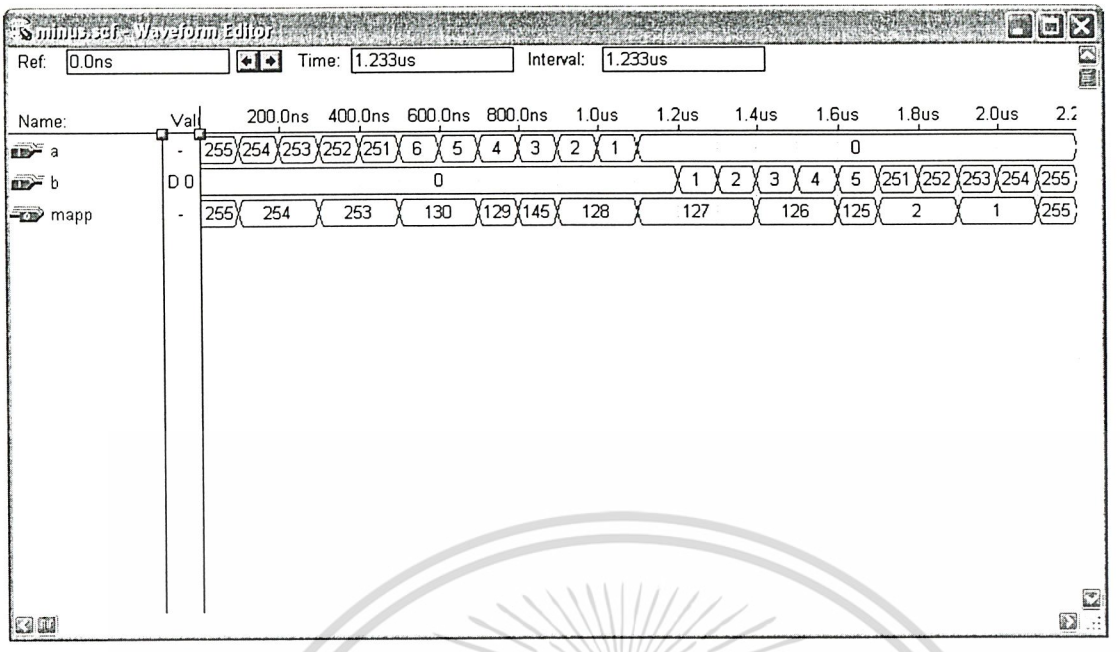
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



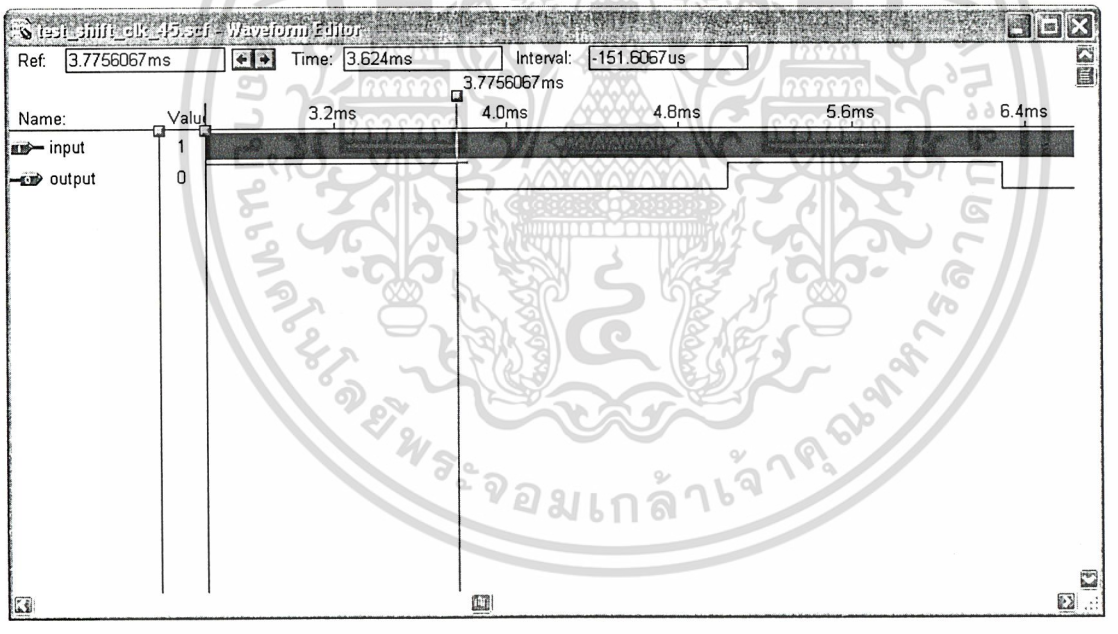
รูปที่ 4.72 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม

รูปที่ 4.73 ผลการจำลองการทำงานของวงจรเก็บค่าสัมประสิทธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

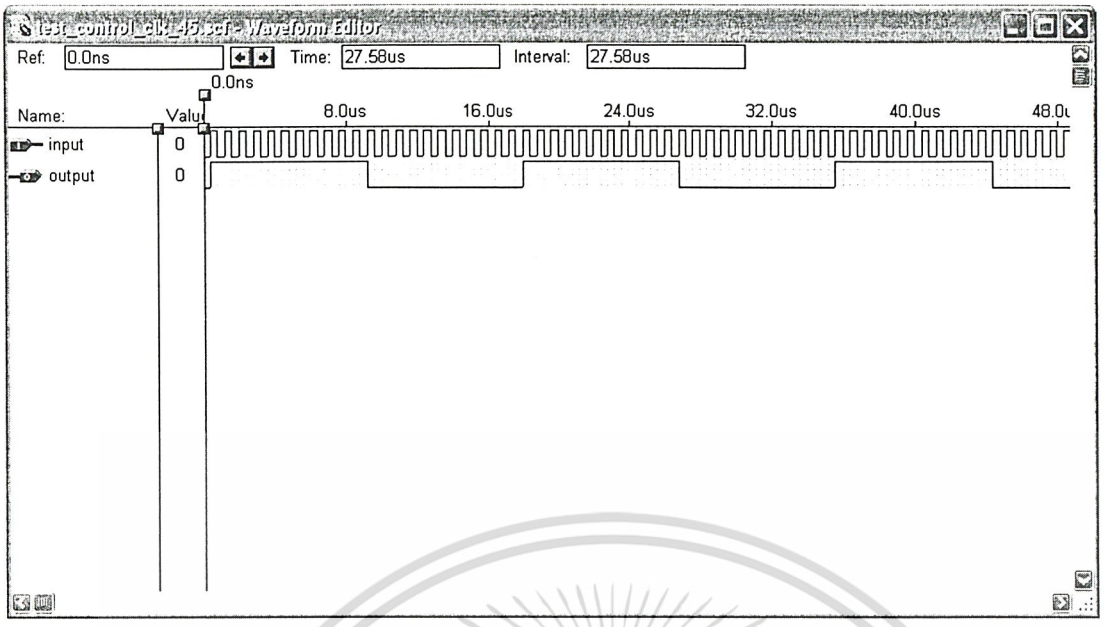


รูปที่ 4.74 ผลการจำลองการทำงานของวงจรลบ

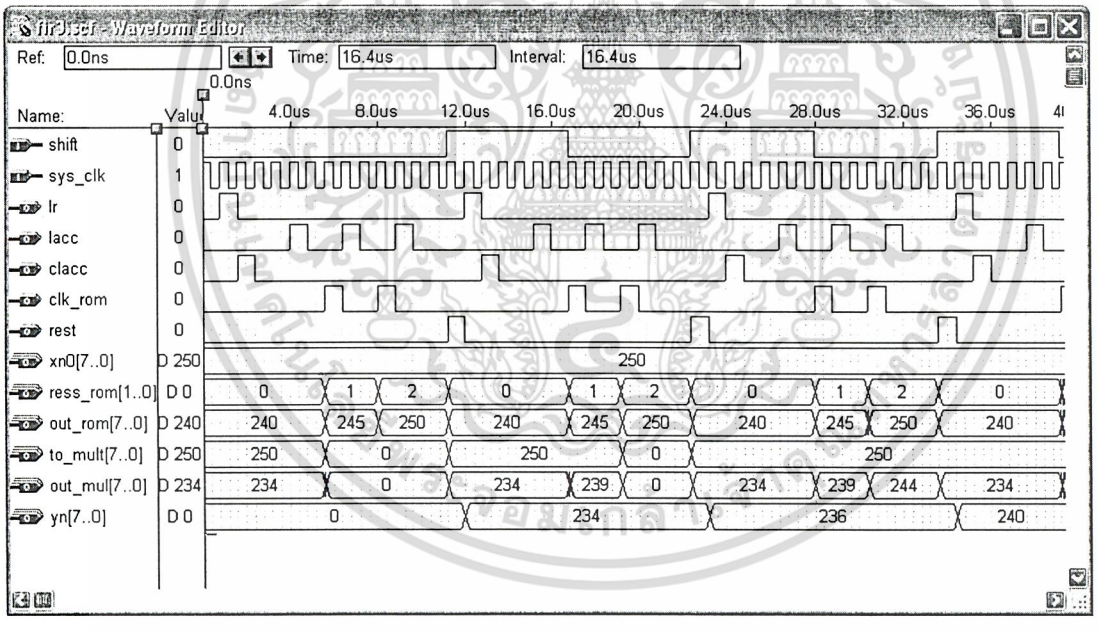


รูปที่ 4.75 ผลการจำลองการทำงานของหารความถี่เพื่อสร้างสัญญาณสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.76 ผลการจำลองการทำงานของหารความถี่เพื่อสร้างสัญญาณควบคุม



รูปที่ 4.77 ผลการจำลองการทำงานของวงจรกรอง

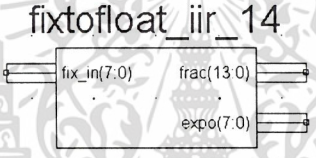
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว

4.3.1 ขั้นตอนการออกแบบวงจร

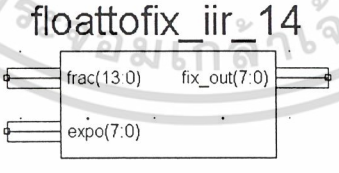
เนื่องจากจำนวนลอจิกเซลที่ใช้ในการสังเคราะห์วงจรกรองนั้นมากกว่าจำนวนลอจิกเซลที่ ACEX 1K50TC144-3 มีจึงต้องหันมาใช้บอร์ดพัฒนาของบริษัท Xilinx รุ่น 3s200tq144-4 โดยที่การออกแบบ ตรวจสอบการทำงานและการจำลองการทำงานจะทำบนโปรแกรม Max+plus II โดยที่ทุกวงจรที่ออแบบจะทำการออกแบบโดยการเขียนโค้ดเพื่อให้สามารถนำโค้ดที่ได้ไปสังเคราะห์บนบอร์ดพัฒนาของบริษัท Xilinx ได้

1. วงจรแปลงจากเลขระบบจำนวนเต็มไปเป็นระบบจำนวนจริง เนื่องจากวงจรกรองเป็นแบบผลตอบสนองอิมพัลส์ไม่จำกัดจึงต้องการความถูกต้องของตัวเลขโดยที่ต้องมีความคลาดเคลื่อนให้น้อยที่สุด ทั้งนี้เพราะความคลาดเคลื่อนอาจส่งผลต่อเสถียรภาพของระบบได้ จากที่ได้กล่าวถึงรายละเอียดของวงจรในบทที่ 2 ก็จะสามารถสร้างวงจรนี้ได้ผลเป็นสัญลักษณ์ดังรูปที่ 4.78



รูปที่ 4.78 วงจรแปลงจากเลขระบบจำนวนเต็มไปเป็นระบบจำนวนจริง

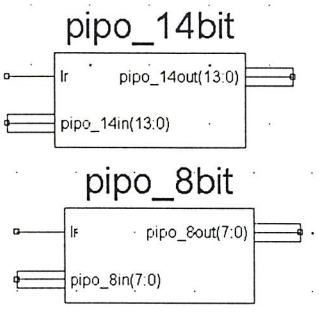
2. วงจรแปลงจากเลขระบบจำนวนจริงไปเป็นระบบจำนวนเต็ม เนื่องจากว่าเมื่อผ่านระบบที่เป็นจำนวนจริงมาแล้วสุดท้ายเอาท์พุตที่ได้ก็ยังคงเป็นระบบจำนวนจริงอยู่ ดังนั้นจึงต้องแปลงกลับไปเป็นจำนวนเต็มเพื่อให้สามารถนำสัญญาณเข้าวงจรแปลงดิจิตอลเป็นอะนาล็อกได้ สามารถสร้างวงจรนี้ได้ผลเป็นสัญลักษณ์ดังรูปที่ 4.79



รูปที่ 4.79 วงจรแปลงจากเลขระบบจำนวนจริงไปเป็นระบบจำนวนเต็ม

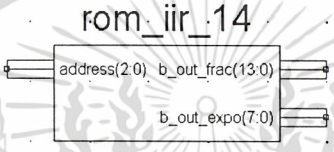
3. วงจรหน่วงเวลา จะใช้ตัวเดียวกับการออกแบบวงจรกรองแบบหลายหน้าที่ แต่เปลี่ยนตรงที่จำนวนบิตที่หน่วงจะใช้จำนวนบิต 2 ชุดคือ 14 บิต และ 8 บิต แทนส่วนของแฟรคชั่นและเอกซ์โปแนนซ์ของตัวเลขระบบจำนวนจริง มีสัญญาณควบคุมการหน่วงเวลาคือ lr ซึ่งจะได้จากวงจรสร้างสัญญาณความถี่สุ่มตัวอย่าง ได้ผลดังรูปที่ 4.80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



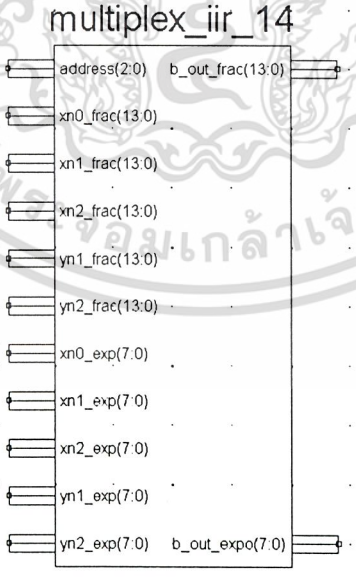
รูปที่ 4.80 วงจรหน่วงเวลา

4. วงจรเก็บค่าสัมประสิทธิ์ เป็นวงจรที่ใช้เก็บค่าสัมประสิทธิ์ของวงจรกรองถูกควบคุมด้วยสัญญาณ address ซึ่งได้รับมาจากวงจรสร้างสัญญาณควบคุม มีสัญลักษณ์ดังรูปที่ 4.81



รูปที่ 4.81 วงจรเก็บค่าสัมประสิทธิ์

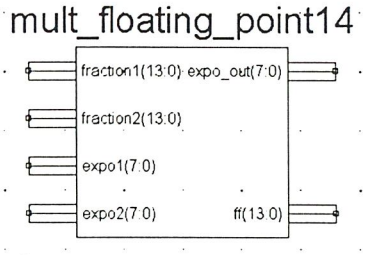
5.วงจรมัลติเพลกซ์สัญญาณจำนวนจริงคล้ายกับวงจรมัลติเพลกซ์ของวงจรกรองแบบหลายหน้าที่แตกต่างกันที่นำสัญญาณเอาท์พุตที่ผ่านวงจรหน่วงเวลากลับมาเข้าวงจรมัลติเพลกซ์ด้วยและสัญญาณที่เข้ามาเป็นระบบจำนวนจริง วงจรมัลติเพลกซ์นี้ถูกควบคุมด้วยสัญญาณ address เช่นเดียวกับวงจรเก็บค่าสัมประสิทธิ์เนื่องจากต้องนำค่าของทั้ง 2 วงจรมาคูณกัน วงจรมีสัญลักษณ์ดังรูปที่ 4.82



รูปที่ 4.82 วงจรมัลติเพลกซ์สัญญาณจำนวนจริง

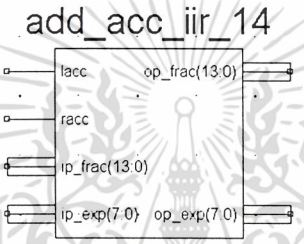
6. วงจรคูณในระบบจำนวนจริง ใช้หลักการออกแบบในบทที่ 2 ออกแบบจะได้สัญลักษณ์ดังรูปที่ 4.83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



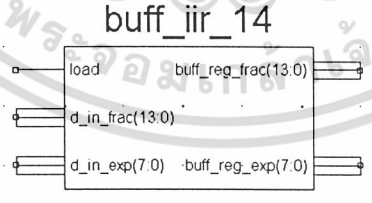
รูปที่ 4.83 วงจรคูณในระบบจำนวนจริง

7. วงจรบวกสะสมค่าในระบบจำนวนจริง คล้ายกับวงจรบวกสะสมค่าของวงจรกรองแบบหลายหน้าที่ แตกต่างกันที่ตัวบวกที่ใช้เปลี่ยนเป็นตัวบวกในระบบจำนวนจริง ได้รับสัญญาณควบคุม lacc,racc จากวงจรสร้างสัญญาณควบคุม ได้ผลเป็นสัญลักษณ์ดังรูปที่ 4.84



รูปที่ 4.84 วงจรบวกสะสมค่าในระบบจำนวนจริง

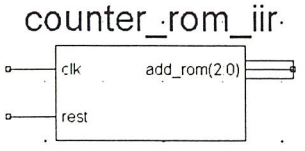
8. วงจรเก็บค่าผลบวก เนื่องจากการบวกนั้นเป็นการบวกแบบสะสมค่าภายในเวลา 1 คาบของความถี่สุ่มตัวอย่างดังนั้นค่าผลบวกที่ได้จึงจำเป็นต้องเก็บค่าผลบวกที่ได้แล้วปล่อยออกเป็นจังหวะเดียวกับความถี่สุ่มตัวตัวอย่าง วงจรนี้ได้รับสัญญาณควบคุม load จากวงจรสร้างสัญญาณควบคุม ได้ผลเป็นสัญลักษณ์ ดังรูปที่ 4.85



รูปที่ 4.85 วงจรเก็บค่าผลบวก

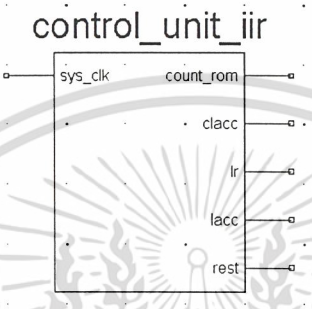
9. วงจรสร้างสัญญาณควบคุม address เหมือนกับวงจรในวงจรกรองแบบหลายหน้าที่ ได้รับสัญญาณควบคุม rest, clk จากวงจรสร้างสัญญาณควบคุม ได้ผลเป็นสัญลักษณ์ดังรูปที่ 4.86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



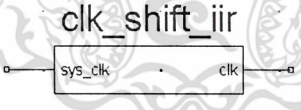
รูปที่ 4.86 วงจรสร้างสัญญาณควบคุม address

10. วงจรสร้างสัญญาณควบคุม เหมือนกับวงจรในวงจรกรองแบบหลายหน้าที่ ได้รับสัญญาณความถี่เพื่อใช้ในการสร้างสัญญาณควบคุมจากวงจรหารความถี่ ได้ผลเป็นสัญลักษณ์ดังรูปที่ 4.87

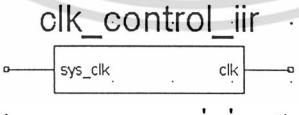


รูปที่ 4.87 วงจรสร้างสัญญาณควบคุม

11. วงจรหารความถี่ที่ใช้ในการสร้างสัญญาณความถี่สุ่มตัวอย่างและสัญญาณความถี่เพื่อสร้างสัญญาณควบคุม เป็นวงจรหารความถี่เดียวกับของวงจรกรองแบบหลายหน้าที่แต่หารได้ความถี่แตกต่างกัน โดยที่ความถี่ของระบบเป็น 25MHz ต้องหารให้ได้ความถี่สุ่มตัวอย่าง 800 Hz และความถี่เพื่อสร้างสัญญาณควบคุม 24 kHz ได้ผลเป็นดังรูปที่ 4.88 และ 4.89



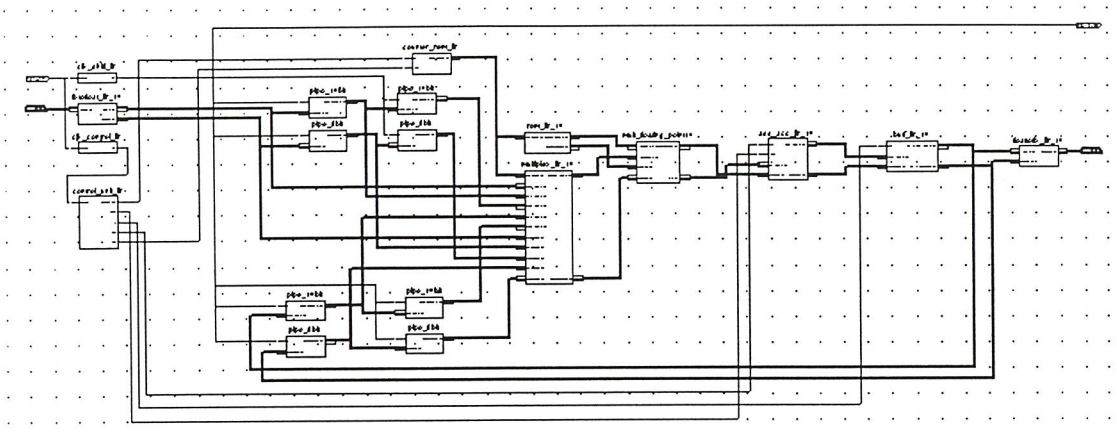
รูปที่ 4.88 วงจรสร้างสัญญาณความถี่สุ่มตัวอย่าง



รูปที่ 4.89 วงจรสร้างสัญญาณความถี่เพื่อสร้างสัญญาณควบคุม

12. นำวงจรทั้งหมดมาต่อตามโครงสร้างตัวคูณตัวเดียวได้ดังรูปที่ 4.90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.90 วงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ โดยใช้โครงสร้างของวงจรแบบใช้ตัวคูณตัวเดียว

4.3.2 การตรวจสอบและสังเคราะห์วงจร

ในขั้นตอนนี้จะทำการตรวจสอบและสังเคราะห์วงจรในส่วนย่อยๆในโปรแกรม Max+plusII เมื่อตรวจสอบในส่วนย่อยว่าถูกต้องหมดแล้วจึงใช้โปรแกรม Xilinx Project Navigator ตรวจสอบวงจรกรองทั้งระบบอีกที ผลที่ได้จากการตรวจสอบและสังเคราห์วงจรกรองสัญญาณโดย โปรแกรม Xilinx Project Navigator ได้ดังตารางที่ 4.2

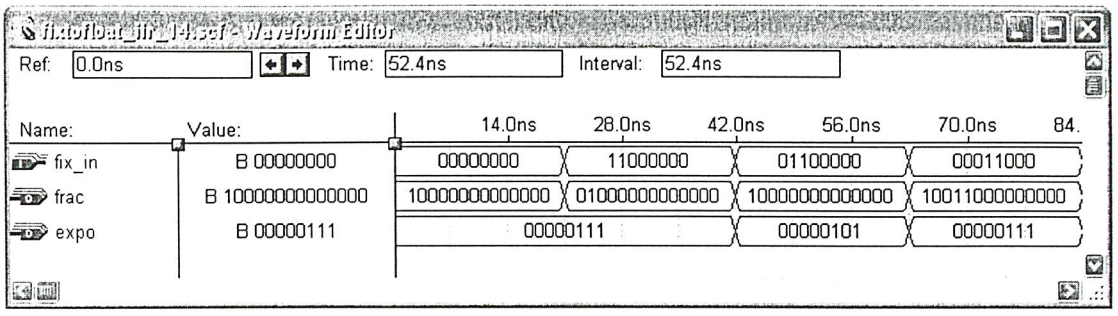
Device utilization summary	
Selected Device : 3s200tq144-4	
Number of Slices	1730 out of 1920 90%
Number of Slice Flip Flops	429 out of 3840 11%
Number of 4 input LUTs	3093 out of 3840 80%
Number of bonded IOBs	17 out of 97 17%
Number of GCLKs	1 out of 8 12%

ตารางที่ 4.2 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ

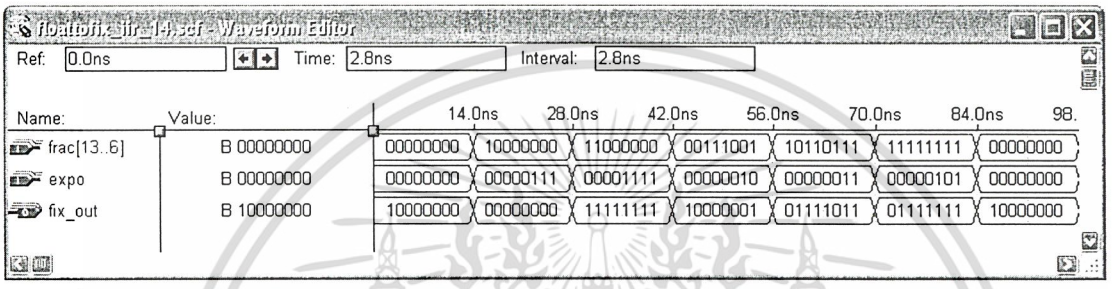
4.3.3 การจำลองการทำงาน

ขั้นตอนการจำลองการทำงานทำเหมือนในหัวข้อ 4.1.3 โดยจะใช้โปรแกรม Max+plusII ในการจำลองการทำงานในแต่ละบล็อก ผลการจำลองการทำ งานในแต่ละบล็อกดังนี้

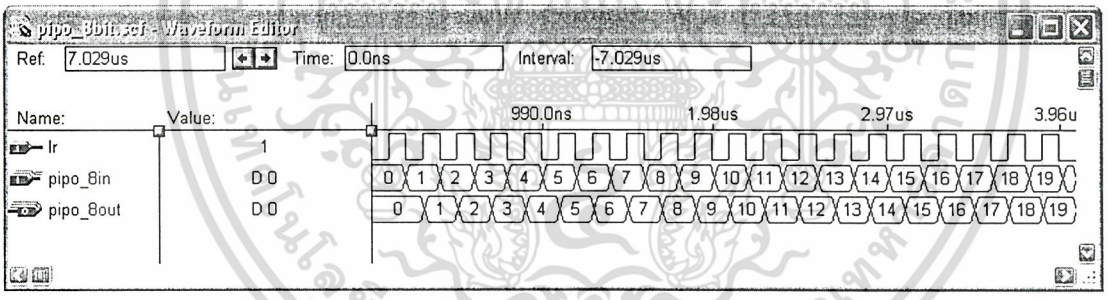
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



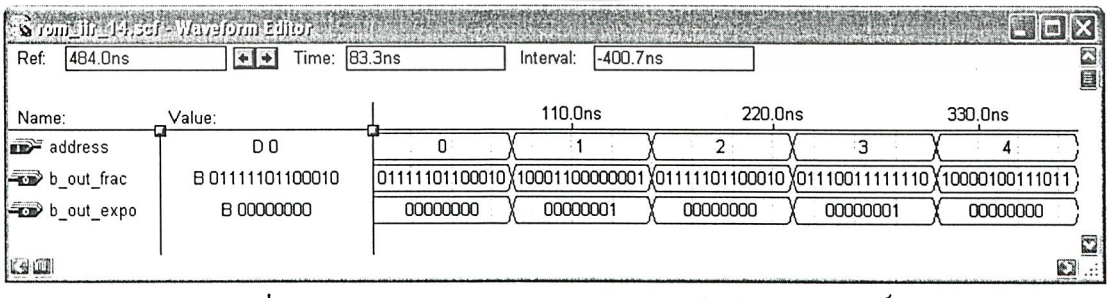
รูปที่ 4.91 ผลการจำลองการทำงานของวงจรแปลงเลขระบบจำนวนเต็มไปเป็นระบบจำนวนจริง



รูปที่ 4.92 ผลการจำลองการทำงานของวงจรแปลงเลขระบบจำนวนจริงไปเป็นเลขระบบจำนวนเต็ม

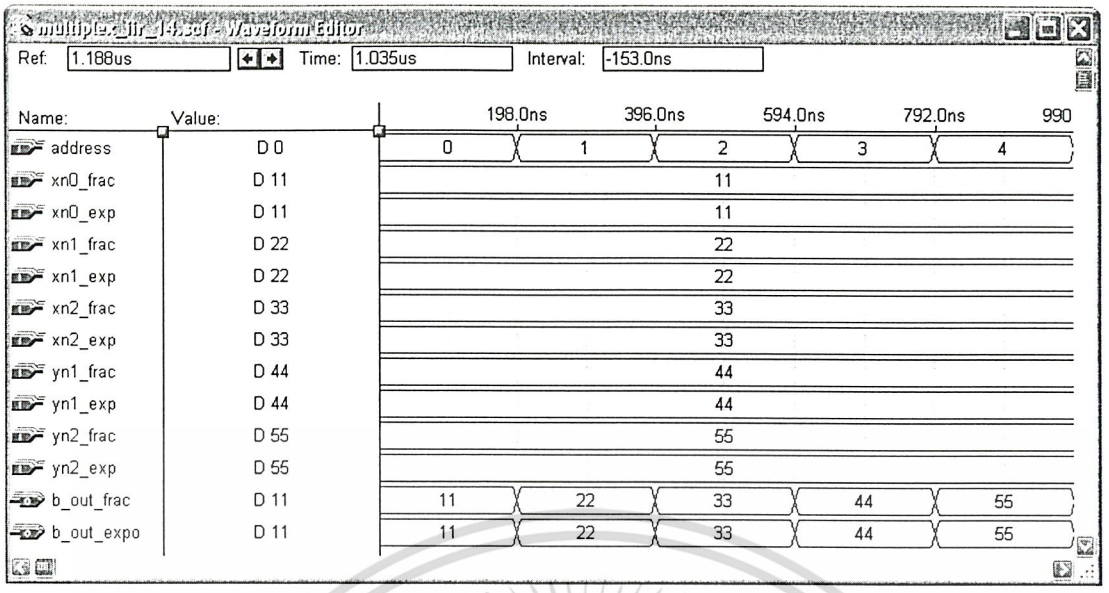


รูปที่ 4.93 ผลการจำลองการทำงานของวงจรหน่วงเวลา

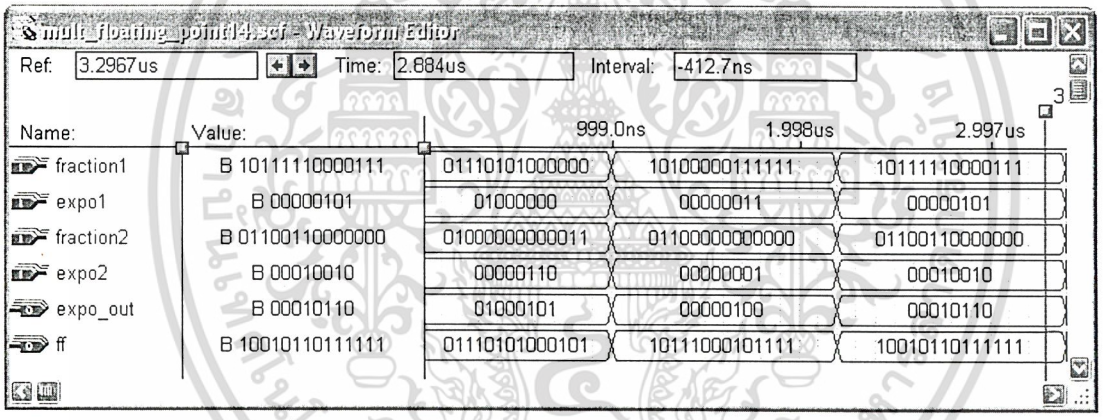


รูปที่ 4.94 ผลการจำลองการทำงานของวงจรเก็บค่าสัมประสิทธิ์

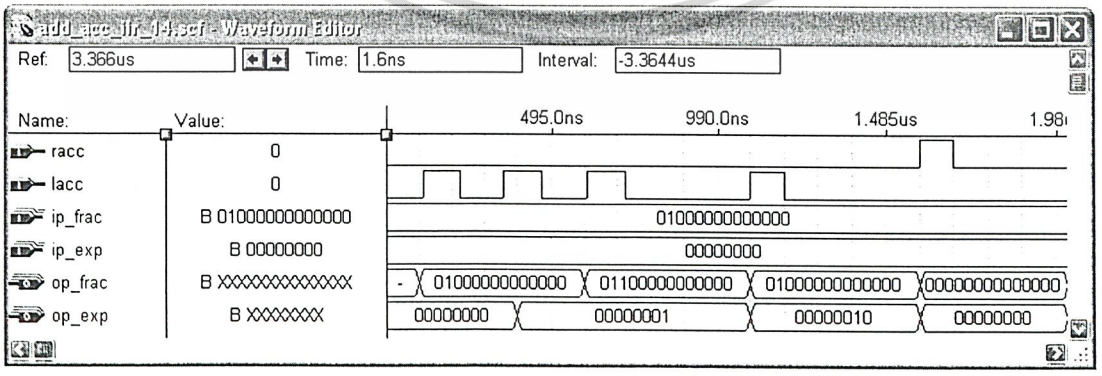
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.95 ผลการจำลองการทำงานของวงจรมัลติเพลกซ์

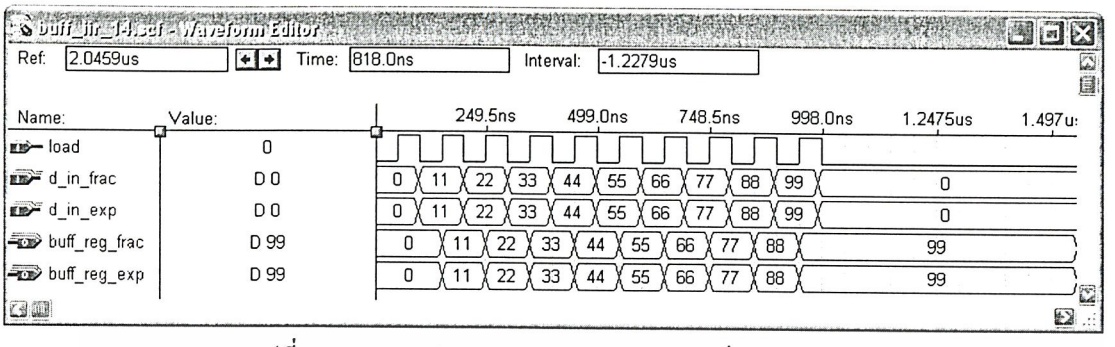


รูปที่ 4.96 ผลการจำลองการทำงานของวงจรคูณจำนวนจริง

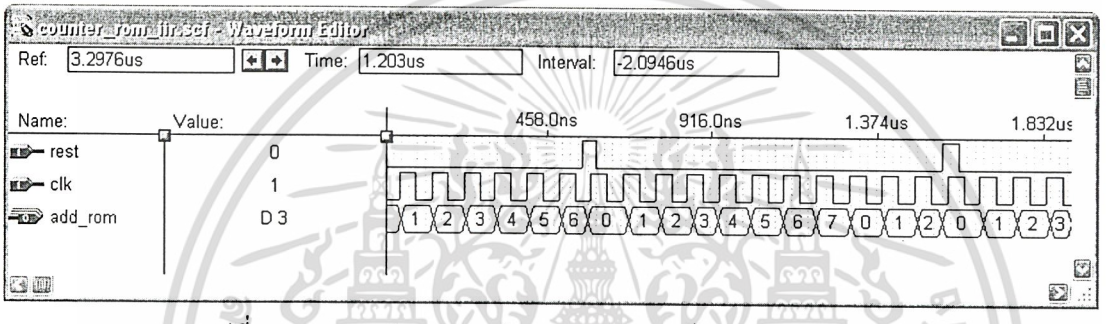


รูปที่ 4.97 ผลการจำลองการทำงานของวงจรบวกจำนวนจริงสะสมค่า

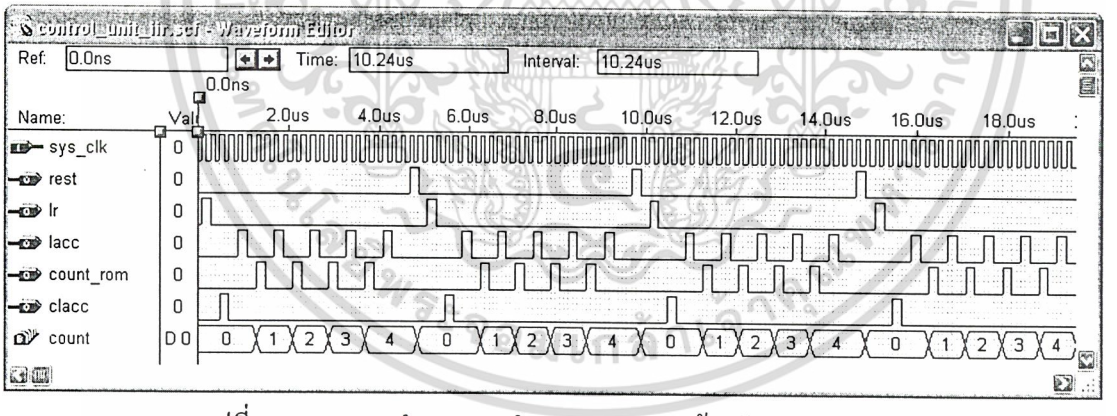
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



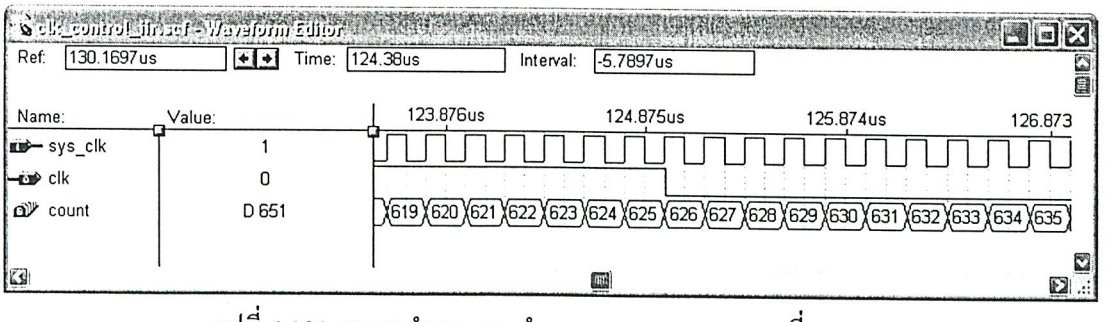
รูปที่ 4.98 ผลการจำลองการทำงานของวงจรเก็บค่าผลบวก



รูปที่ 4.99 ผลการจำลองการทำงานของวงจรสร้างสัญญาณ address

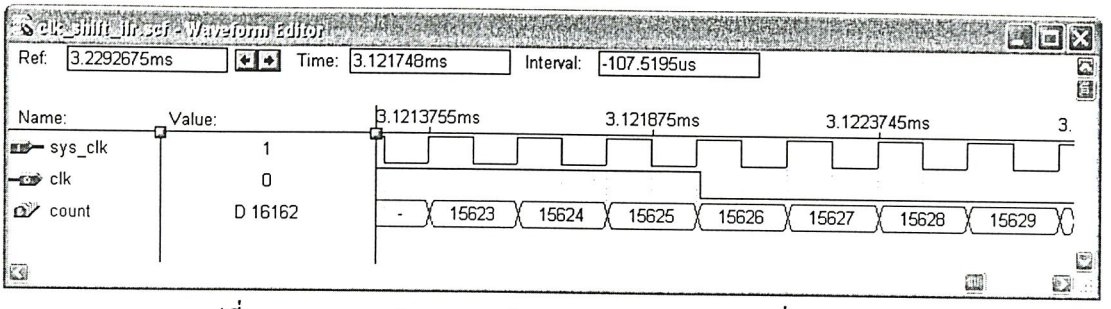


รูปที่ 4.100 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม



รูปที่ 4.101 ผลการจำลองการทำงานของวงจรหารความถี่ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.102 ผลการจำลองการทำงานของวงจรหารความถี่สุ่มตัวอย่าง

4.4 การออกแบบวงจรกรองดิจิตอลหลายหน้าที่แบบไม่มีการป้อนกลับอันดับที่ 9 โดยใช้โครงสร้างแบบตรงด้วยวิธีคูณของบูท

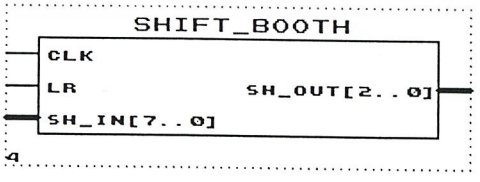
4.4.1 ขั้นตอนการออกแบบวงจร

เนื่องจากระบบตัวเลขที่ใช้ในหัวข้อ 4.2 เป็นแบบไม่มีเครื่องหมายทำให้เกิดปัญหาตอนนำสัญญาณมาลบกันว่าจะทำให้ได้ช่วงของผลลัพธ์เป็นสองเท่า ซึ่งด้วยเหตุนี้เองจึงมีผลทำให้เกิดความคลาดเคลื่อนขึ้น ทั้งนี้ปัญหานี้จะไม่เกิดกับระบบเลขที่มีเครื่องหมาย ซึ่งวิธีการคูณของบูทเป็นวิธีที่ใช้เครื่องหมายทำให้ไม่เกิดปัญหาดังกล่าว ข้อดีหลายอย่างของบูทก็คือ ใช้เวลาในการคำนวณน้อย สามารถใช้การเลื่อนบวกที่มีหน่วยความจำน้อยกว่าวิธีอื่น และมีความถูกต้องของคำตอบสูง

โครงสร้างที่ใช้สร้างวงจรกรองนั้นจะโครงสร้างแบบตรง ดังนั้นจากหัวข้อที่ผ่านมาข้างต้นก็พอจะสามารถอธิบายวงจรย่อยๆที่สำคัญของวงจรกรองได้เช่น ตัวหน่วงเวลา ตัวบวก วงจรหารความถี่ เป็นต้น แต่เนื่องจากหัวข้อนี้ใช้วิธีคูณของบูทซึ่งเป็นระบบตัวเลขแบบมีเครื่องหมาย ดังนั้นจะมีวงจรที่ต่างจากหัวข้อ 4.2 คือ วงจรคูณของบูท วงจรกลับบิทหน้าเพื่อแปลงเป็นเลขส่วนเติมเต็มสอง วงจรลบเลขส่วนเติมเต็มสอง

1. วงจรคูณของบูท จากเทคนิคการคูณด้วยวิธีของบูทที่ได้อธิบายไว้ในบทที่ 2 สามารถสร้างวงจรคูณได้จากวงจรย่อยๆดังนี้

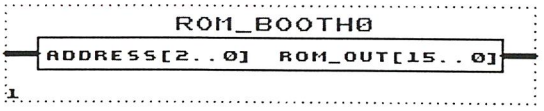
1.1 วงจรเลือกค่าเพื่อนำไปชี้ค่าในรอม มีสัญญาณควบคุม lr, clk จากวงจรสร้างสัญญาณควบคุม สร้างได้สัญลักษณ์ดังรูปที่ 4.103



รูปที่ 4.103 วงจรเลือกค่าเพื่อนำไปชี้ค่าในรอม

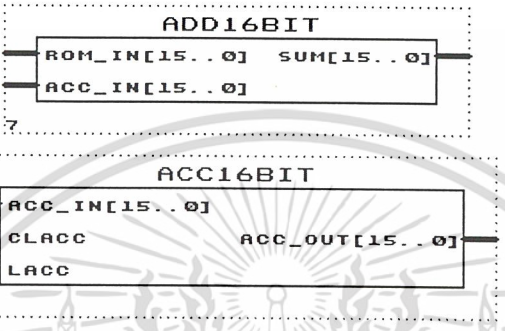
1.2 รอมเก็บค่าสัมประสิทธิแบบบูท รับสัญญาณชี้ค่าจากวงจรชี้ค่า สร้างได้สัญลักษณ์ดังรูปที่ 4.104

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



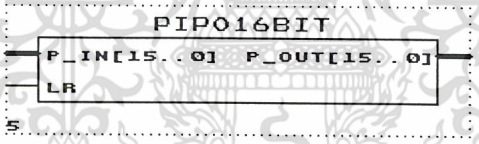
รูปที่ 4.104 รอมเก็บค่าสัมประสิทธิแบบบูท

1.3 วงจรบวกสะสมค่า รับสัญญาณควบคุม clacc, lacc จากวงจรสร้างสัญญาณควบคุม สร้างเป็นสัญลักษณ์ได้ดังรูปที่ 4.105



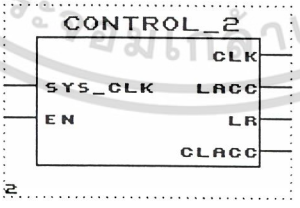
รูปที่ 4.105 วงจรบวกสะสมค่า

1.4 วงจรเก็บค่าผลบวก รับสัญญาณควบคุม lr จากวงจรสร้างสัญญาณควบคุมเพื่อควบคุมการปล่อยค่าผลบวก สร้างได้สัญลักษณ์ดังรูปที่ 4.106



รูปที่ 4.106 วงจรเก็บค่าผลบวก

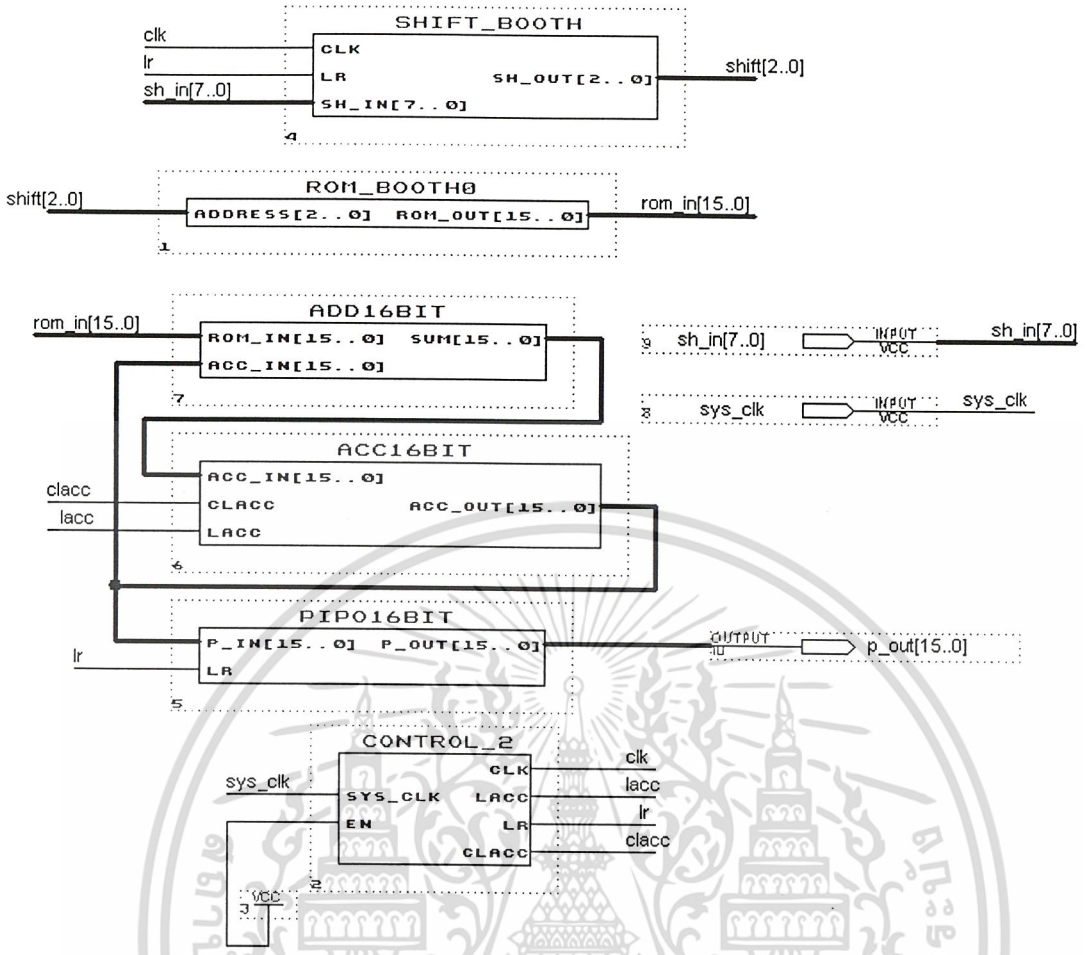
1.5 วงจรสร้างสัญญาณควบคุม สร้างได้สัญลักษณ์ดังรูปที่ 4.107



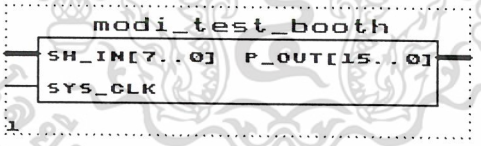
รูปที่ 4.107 วงจรสร้างสัญญาณควบคุม

เมื่อสร้างส่วนย่อยต่างๆของวงจรคูณแบบบูทแล้ว นำมาต่อกันจะได้ดังรูปที่ 4.108 และกำหนดเป็นสัญลักษณ์ได้ดังรูปที่ 4.109

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

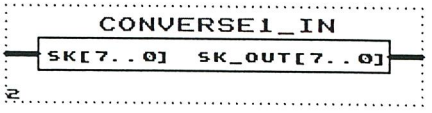


รูปที่ 4.108 รูปแสดงการต่อส่วนต่างๆภายในวงจรคูณ



รูปที่ 4.109 วงจรคูณแบบบูท

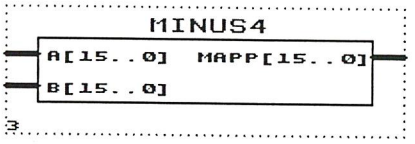
2. วงจรกลับบิทหน้าเพื่อแปลงเป็นเลขส่วนเติมเต็มสอง เนื่องจากสัญญาณที่ออกจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลจะเป็นค่าที่ไม่คิดเครื่องหมาย ดังนั้นก่อนนำสัญญาณมาคำนวณต้องกลับบิตหน้าเพื่อให้ได้เลขส่วนเติมเต็มสอง และกลับบิทอีกครั้งก่อนที่จะเข้าวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก สร้างได้สัญลักษณ์ดังรูปที่ 4.110



รูปที่ 4.110 วงจรกลับบิทหน้าเพื่อแปลงเป็นเลขส่วนเติมเต็มสอง

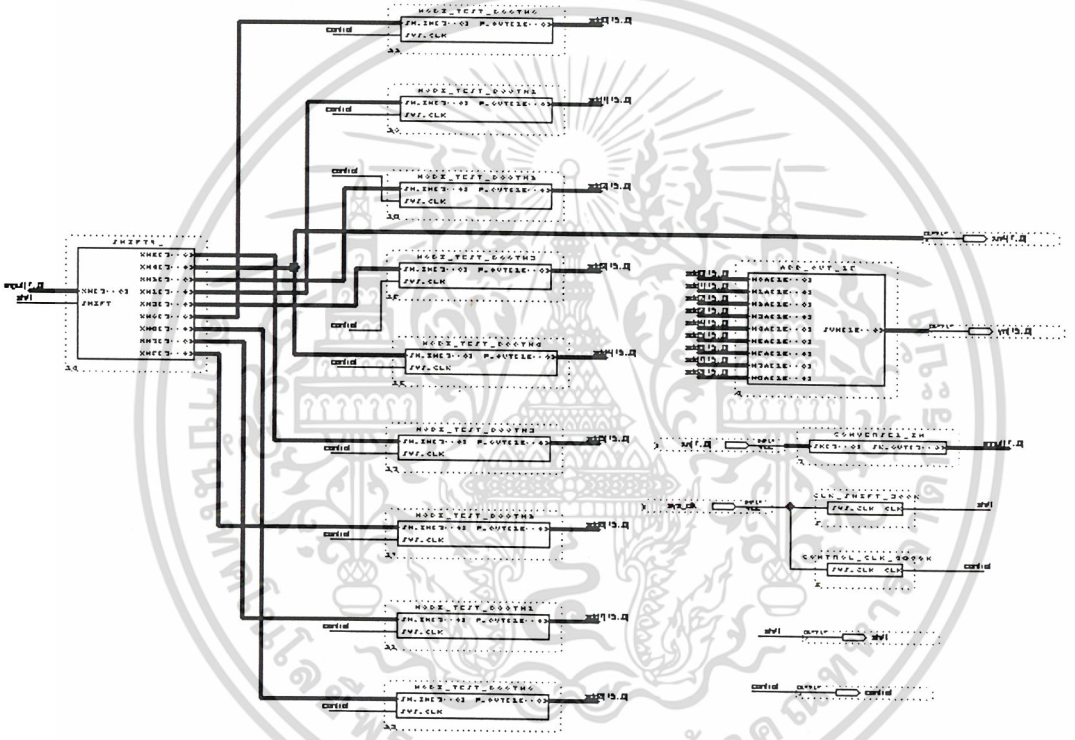
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรลบเลขส่วนเติมเต็มสอง เนื่องจากระบบเลขที่ใช้เป็นระบบเลขส่วนเติมเต็มสองดังนั้นจึงต้องใช้วงจรนี้ สร้างได้สัญลักษณ์ดังรูปที่ 4.111

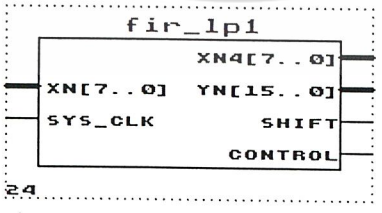


รูปที่ 4.111 วงจรลบเลขส่วนเติมเต็มสอง

จากวงจรที่กล่าวมาแล้วสามารถนำมาสร้างเป็นวงจรกรองแถบความถี่ต่ำผ่านโดยต่อดังรูปที่ 4.112 และกำหนดเป็นสัญลักษณ์ได้ดังรูปที่ 4.113



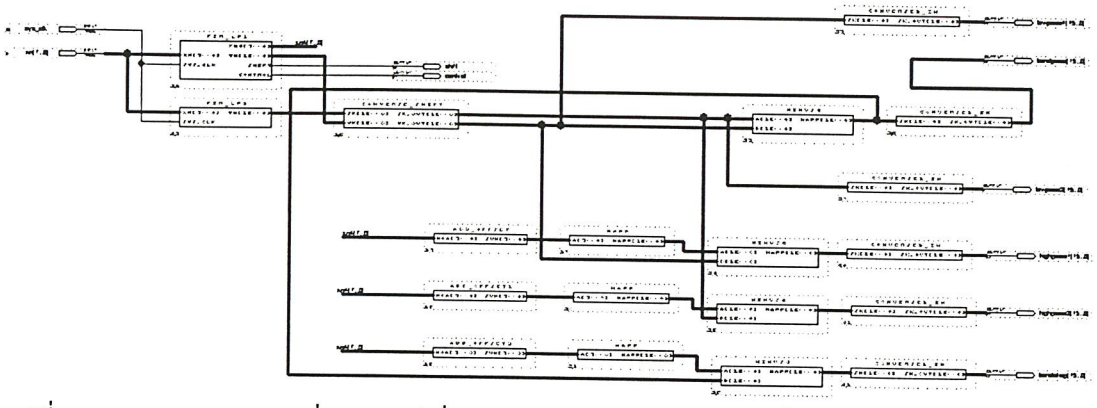
รูปที่ 4.112 การนำส่วนย่อยต่างๆมาต่อเป็นวงจรกรองแถบความถี่ต่ำผ่าน



รูปที่ 4.113 วงจรกรองแถบความถี่ต่ำผ่าน

นำวงจรทั้งหมดมาต่อตามโครงสร้างของวงจรกรองหลายหน้าที่ จะได้ดังรูปที่ 4.114

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.114 วงจรกรองความถี่หลายหน้าที่แบบไมม่มีการป้อนกลับอันดับที่ 9 โดยใช้วิธีการคูณแบบบูท

4.4.2 การตรวจสอบและสังเคราะห์วงจร

ผลที่ได้จากการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ โดย โปรแกรม Max+plusII ได้ผลดังตารางที่ 4.3

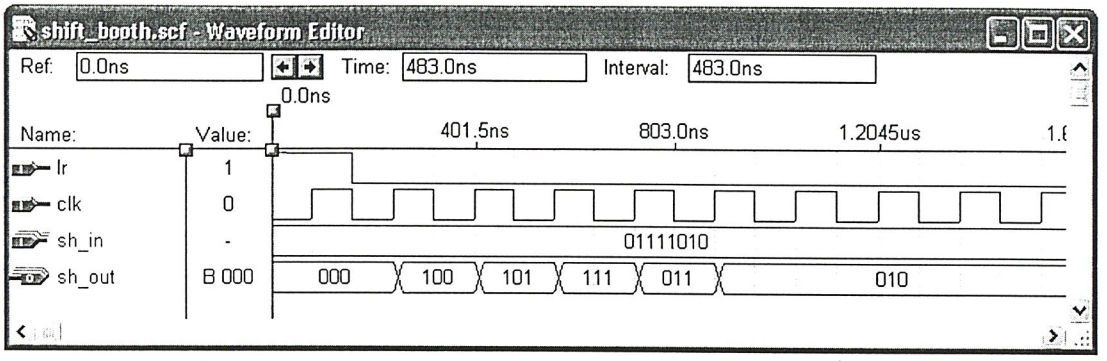
DEVICE SUMMARY							
Chip/ POF Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory %Utilized	LCs	LCs% Utilized
fir_multi EP1K50TC144-3	9	81	0	0	0%	2111	73 %
User Pins	9	81	0				

ตารางที่ 4.3 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ

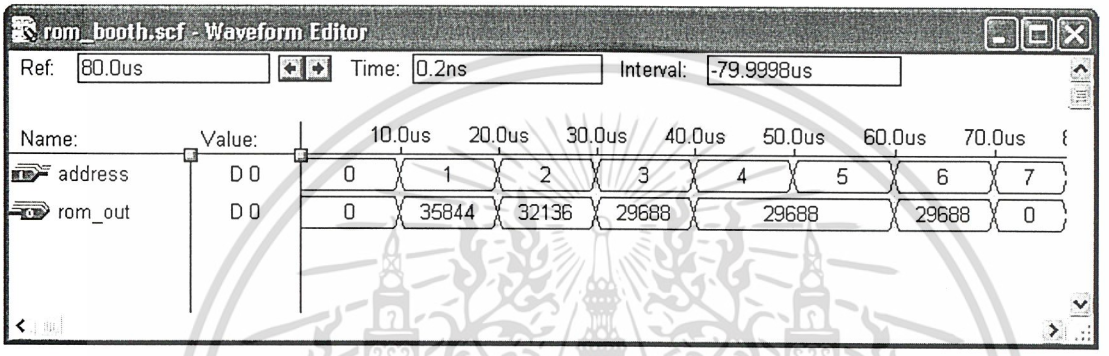
4.4.3 การจำลองการทำงาน

ขั้นตอนการจำลองการทำงานทำเหมือนในหัวข้อ 4.1.3 โดยจะใช้โปรแกรม Max+plusII ในการจำลองการทำงานในแต่ละบล็อก ผลการจำลองการทำงานในแต่ละบล็อกสำคัญๆที่แตกต่างจากหัวข้อข้างบนเป็นดังนี้

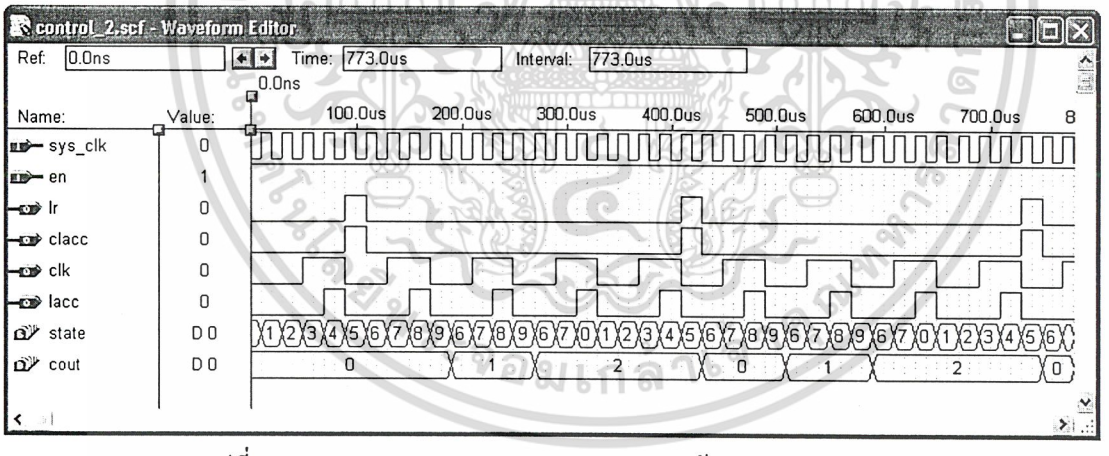
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.115 ผลการจำลองการทำงานของวงจรเลือกค่าเพื่อนำไปชี้ค่าในรอม



รูปที่ 4.116 ผลการจำลองการทำงานของวงจรรอมเก็บค่าสัมประสิทธิแบบบูท



รูปที่ 4.117 ผลการจำลองการทำงานของวงจรสร้างสัญญาณควบคุม

4.5 การออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์ด้วยวิธีการคูณแบบบูทโดยใช้โครงสร้างโดยตรง

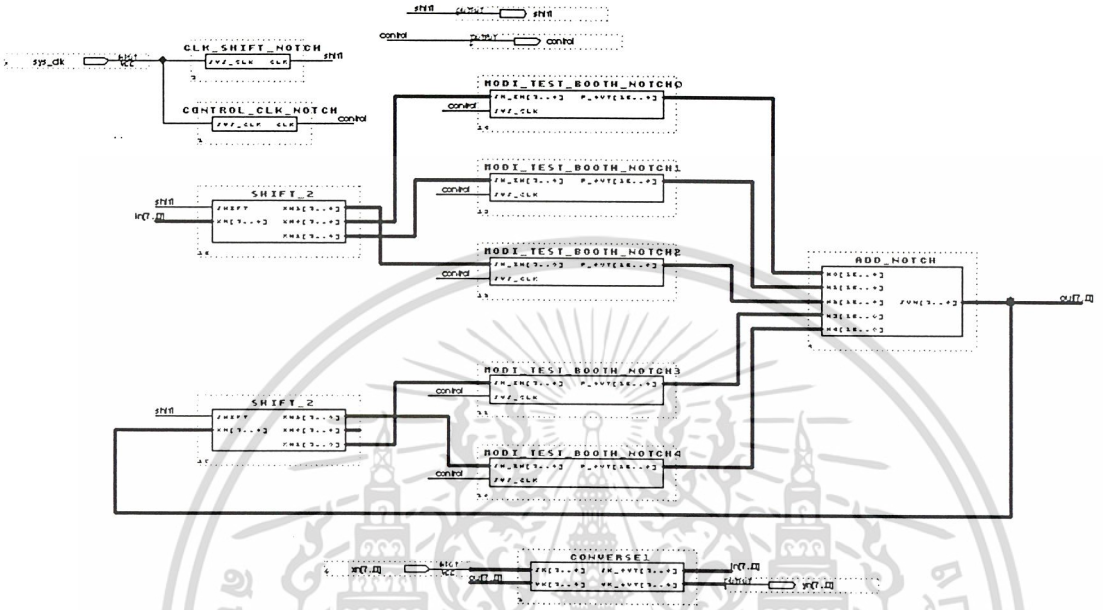
4.5.1 ขั้นตอนการออกแบบวงจร

เนื่องจากปัญหาเนื้อที่ชิปที่มีจำกัดทำให้มีความต้องการตัวคูณซึ่งมีประสิทธิภาพสูงและใช้เนื้อที่ชิปต่ำๆในขณะที่ได้ค่าความแม่นยำในระดับที่ยอมรับได้ ซึ่งถึงแม้ว่าตัวคูณในระบบเลขจำนวนจริงจะให้ค่าความถูกต้องสูงมากแต่มันก็จะมาพร้อมกับเนื้อที่ชิปที่ต้องการมากและเวลาในการคำนวณมากตาม ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบางกรณีก็ไม่จำเป็นต้องมีค่าความถูกต้องมาก ดังนั้นวิธีการคูณแบบบูทจึงเป็นวิธีที่เหมาะสมสำหรับการออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์

เนื่องจากใช้โครงสร้างโดยตรงดังนั้นสามารถใช้วงจรย่อยจากหัวข้อ 4.4 ได้ โดยนำมาต่อตามโครงสร้างแบบตรงจะได้ดังรูปที่ 4.118



รูปที่ 4.118 วงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัดแบบนอตช์โดยใช้ตัวคูณแบบบูท

4.5.2 การตรวจสอบและสังเคราะห์วงจร

ผลที่ได้จากการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ โดย โปรแกรม Max+plusII ได้ผลดังตารางที่ 4.4

DEVICE SUMMARY							
Chip/ POF Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory %Utilized	LCs	LCs% Utilized
notch_order2 EP1K50TC144-3	9	10	0	640	1%	618	21 %
User Pins	9	10	0				

ตารางที่ 4.4 ผลการตรวจสอบและสังเคราะห์วงจรกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.3 การจำลองการทำงาน

เนื่องจากวงจรที่ใช้ทั้งหมดเหมือนในหัวข้อ 4.4 ดังนั้นผลการจำลองการทำงานของวงจรต่างๆ สามารถดูได้จากหัวข้อดังกล่าว

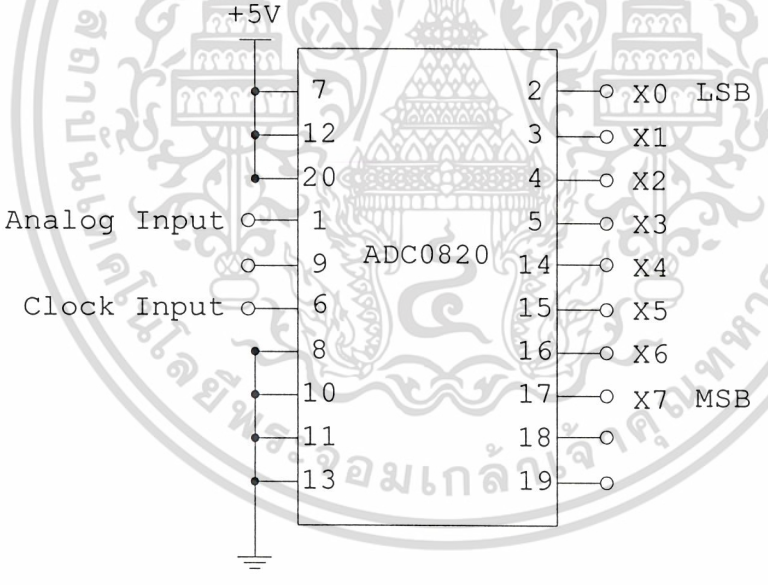
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

ในบทนี้จะเป็นการทดลอง เพื่อดูคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้นว่าไปตาม ที่ออกแบบไว้หรือไม่ โดยจะดูผลการทำงานของวงจรที่ออกแบบขึ้นเทียบกับผลการจำลองการทำงานจากโปรแกรม MATLAB

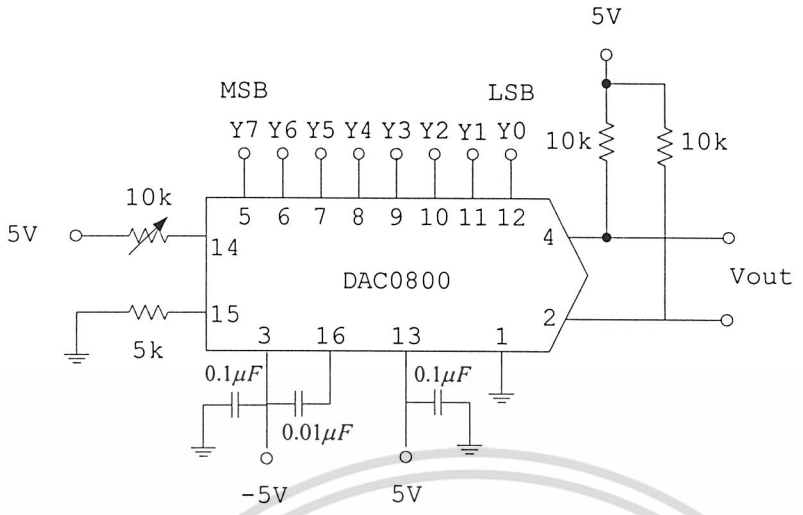
การทดลองนี้จะมีอุปกรณ์ที่ใช้อยู่ 4 ส่วนดังนี้

1. วงจรแปลงสัญญาณเชิงอนาลอก (Analog) เป็นสัญญาณดิจิตอล (Digital) โดยจะใช้อุปกรณ์ที่เรียกว่า Analog To Digital Converter (ADC)
2. วงจรแปลงสัญญาณดิจิตอล (Digital) เป็นสัญญาณเชิงอนาลอก (Analog) โดยจะใช้อุปกรณ์ที่เรียกว่า Digital To Analog Converter (DAC)
3. อุปกรณ์ FPGA ของบริษัท ALTERA ตระกูล ACEX1K เบอร์ EP1K50TC144-3
4. วงจรกรองความถี่อนาล็อก โดยใช่ Active Filter Second order

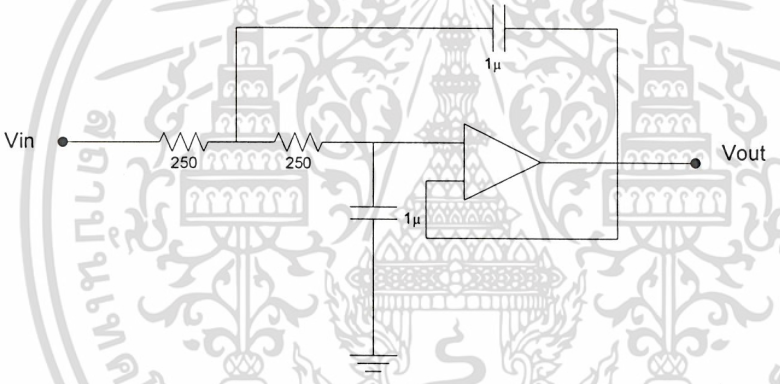


รูปที่ 5.1วงจรแปลงสัญญาณเชิงอนาล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก

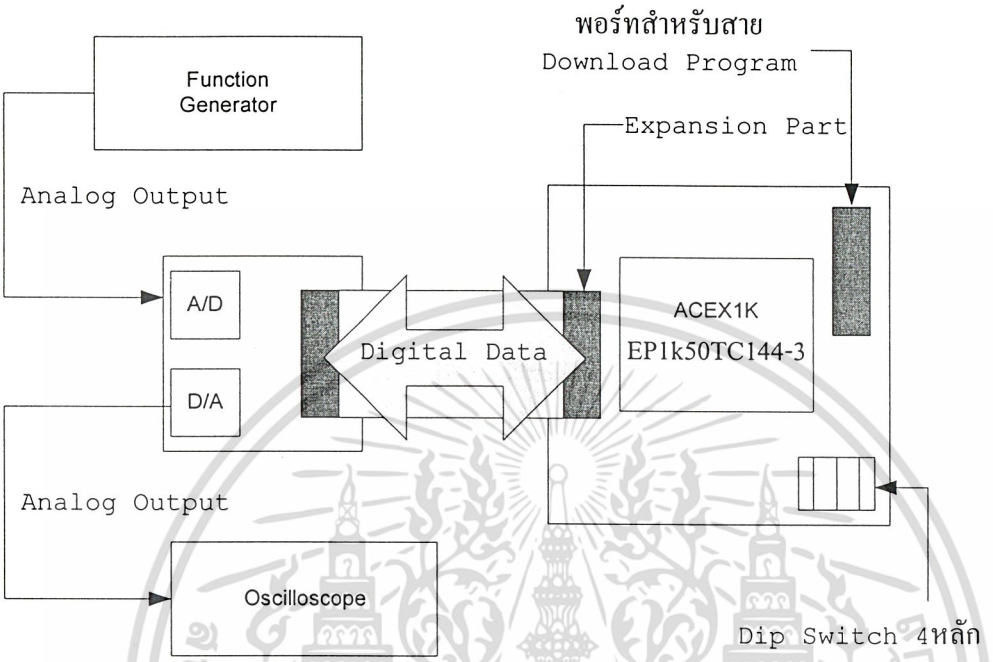


รูปที่ 5.3 วงจร Active Filter Second order

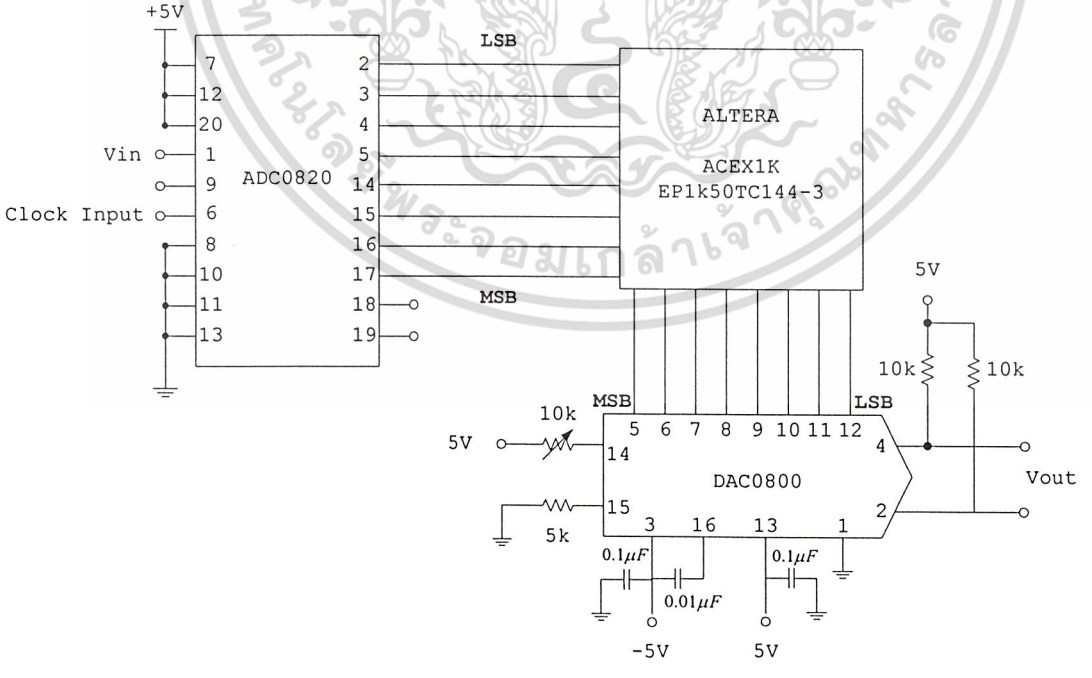
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

ออกแบบวงจรรวมโดยใช้อุปกรณ์ทั้ง 3 ส่วนข้างต้นมาต่อรวมกันดังรูปที่ 5.4 เพื่อนำไปวัดคุณสมบัติของวงจรกรองสัญญาณที่ออกแบบไว้



รูปที่ 5.4 การเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น



รูปที่ 5.5 วงจรรวมสำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9

5.2.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9

เมื่อทำการโปรแกรมวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่าง ความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.1

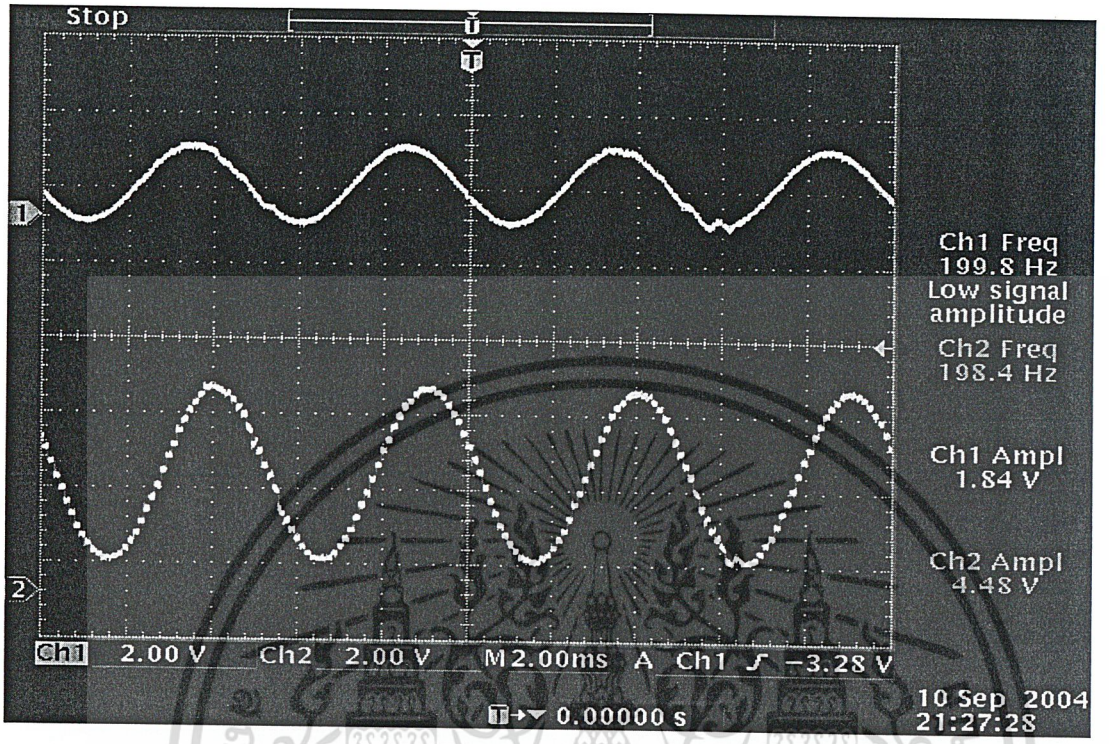
ความถี่ (Hz)	แรงดันทางเอาท์พุท (Volts)
200	4.48
400	4.20
600	3.84
800	3.32
1000	2.64
1200	2.00
1400	1.40
1600	0.64
1800	0.46
2000	0.28
2200	0.12
2400	0.02
2600	0.00
2800	0.00
3000	0.00
3200	0.00
3400	0.00
3600	0.00
3800	0.00
4000	0.00

ตารางที่ 5.1 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านชนิด FIR อันดับที่ 9

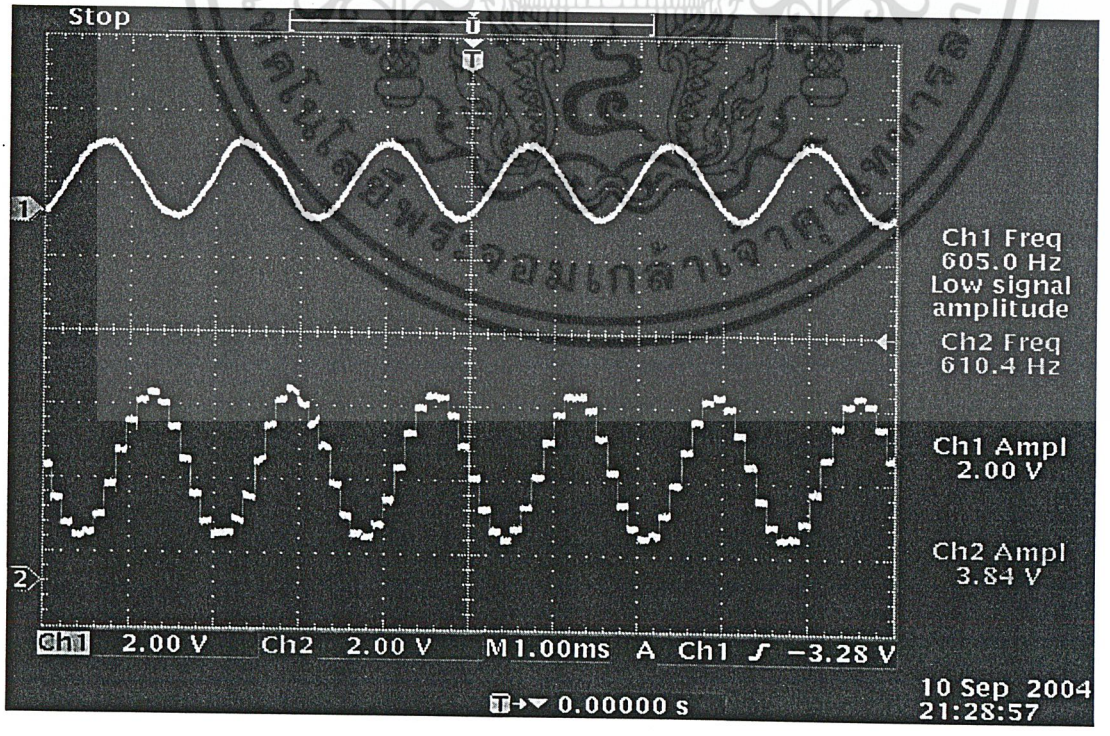
ซึ่งจากการเก็บผลดังตารางแสดงให้เห็นว่าเมื่อเพิ่มความถี่ทางด้านสัญญาณอินพุทให้มากขึ้นแล้ว สัญญาณแรงดันทางด้านเอาท์พุทจะมีค่าลดลงเรื่อยๆ จนมีค่าเป็นศูนย์ในที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9

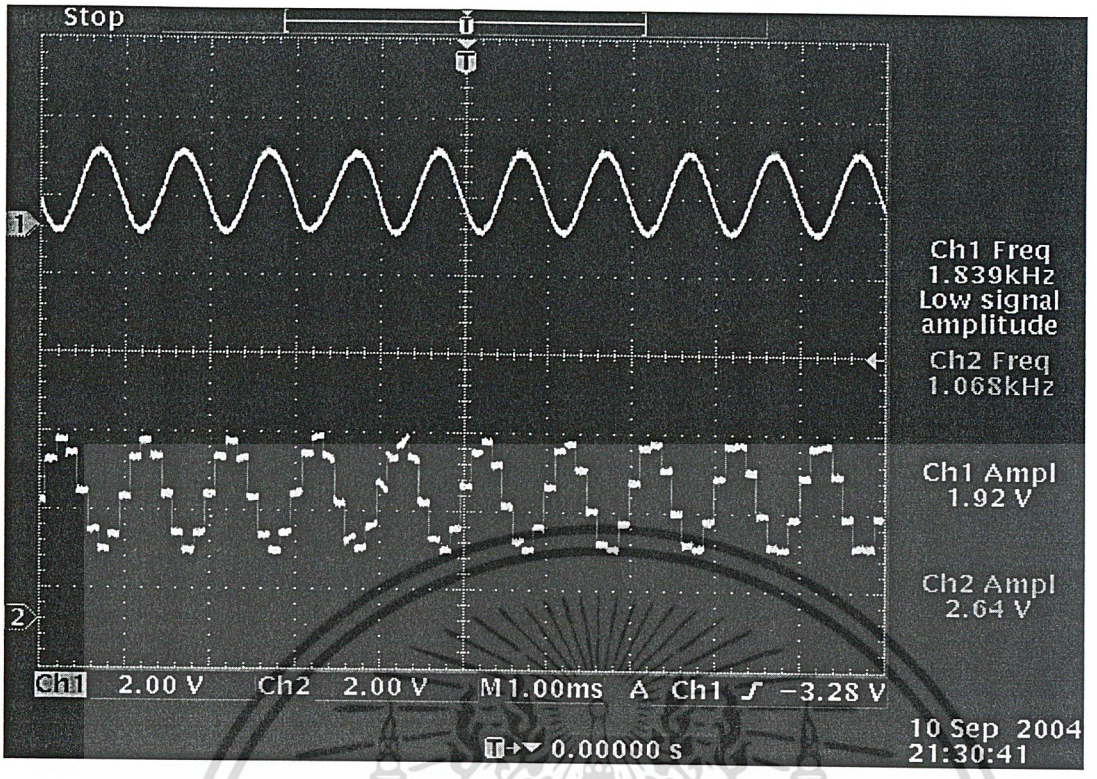


รูปที่ 5.6 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต

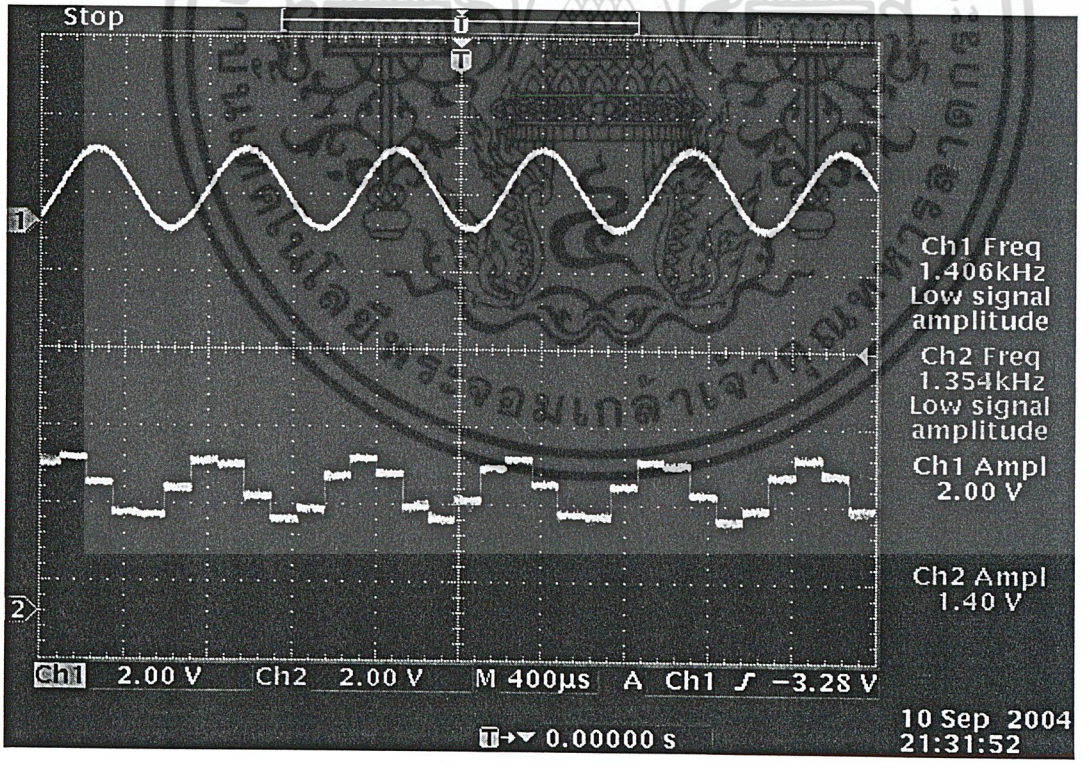


รูปที่ 5.7 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

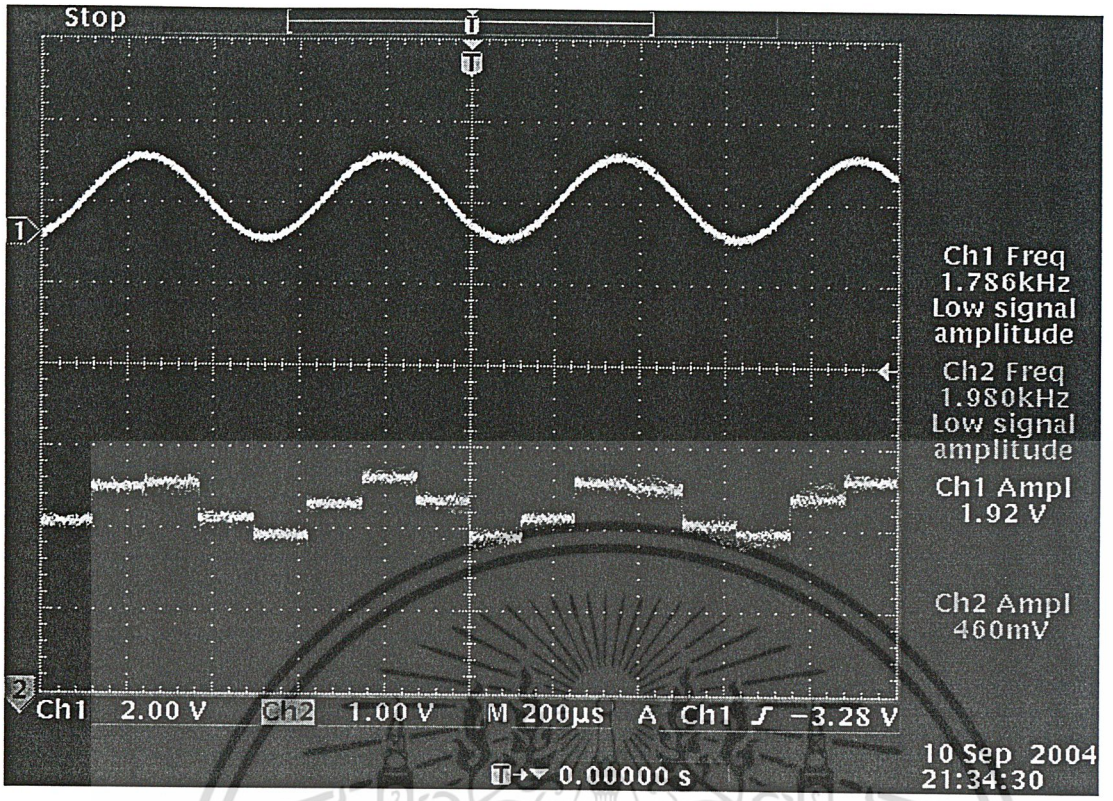


รูปที่ 5.8 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 1000 เฮิร์ต



รูปที่ 5.9 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 1400 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



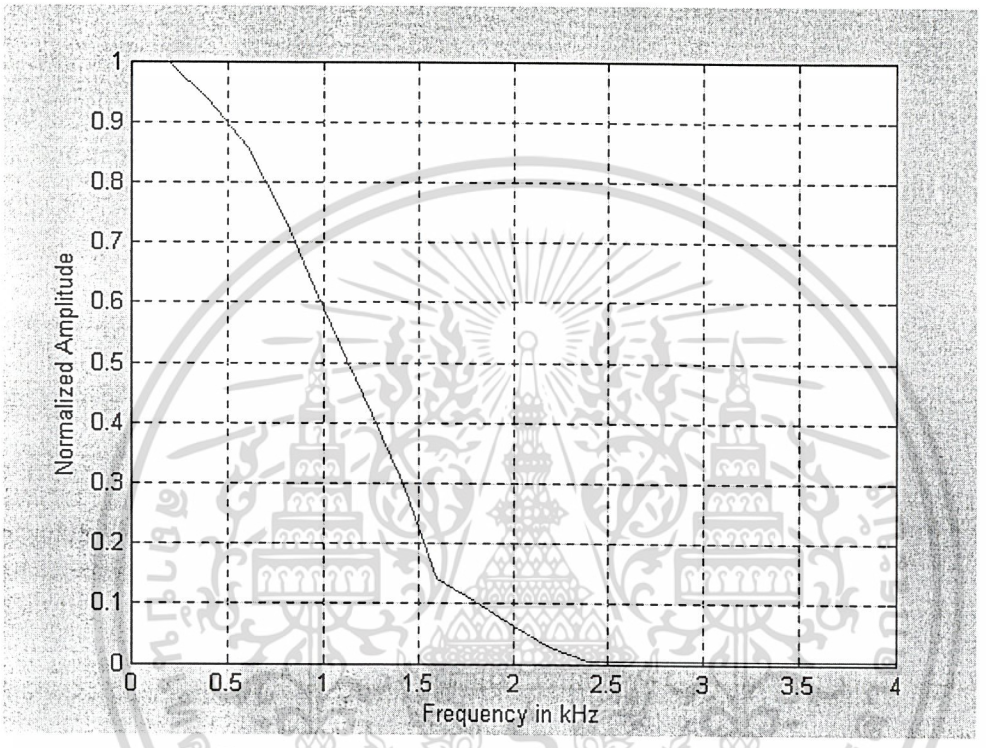
รูปที่ 5.10 สัญญาณอินพุทและเอาท์พุทที่ความถี่ 2000 เฮิร์ต

โดยผลสัญญาณที่วัดได้ที่ความถี่ต่างๆเมื่อเทียบกับค่าแอมปลิจูดจากที่ได้แสดงดังรูปที่ 5.6 ถึง 5.10 ซึ่งจะเห็นได้ว่า พอเปรียบเทียบดูแล้ว ค่าสัญญาณอินพุทเมื่อมีความถี่มากขึ้นเรื่อยๆ ซึ่งจะทำให้ผลของสัญญาณที่ทางด้านเอาท์พุทที่ได้มีแรงดันลดลงตามไปด้วย ซึ่งผลที่ได้นั้นเป็นไปตามทฤษฎีของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9

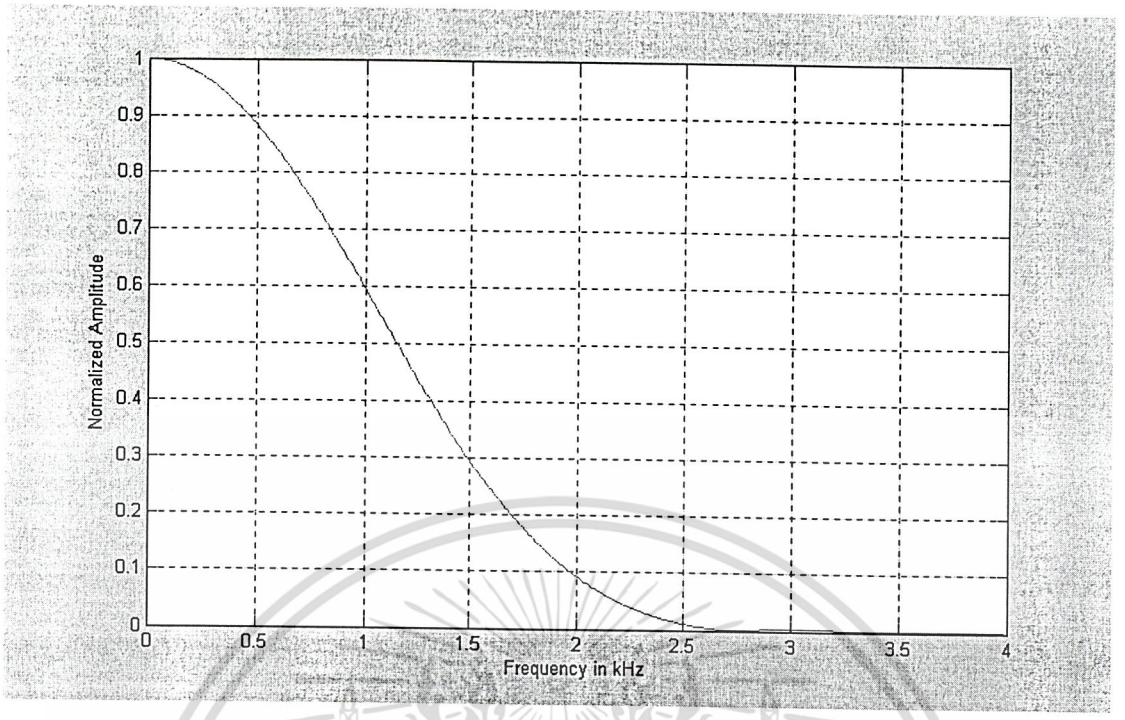
เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 (ในที่นี้คือนำค่าเอาท์พุททุกตัวมาหารด้วย 4.48) ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.11



รูปที่ 5.11 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อทจากการทดลอง

เมื่อนำมาเปรียบเทียบกับการคำนวณทางทฤษฎีของตัววงจรกรองความถี่ต่ำผ่านซึ่งพล็อทกราฟผลตอบสนองทางความถี่ โดยใช้โปรแกรม MATLAB ดังแสดงในรูปที่ 5.12 แล้วจะเห็นได้ว่าผลจากการทดลองมีความใกล้เคียงกับผลทางทฤษฎีมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อทจากโปรแกรม MATLAB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองหลายหน้าที่ FIR อันดับที่ 45

5.3.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 1 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45

เมื่อทำการโปรแกรมวงจรกรองความถี่ต่ำผ่านตัวที่ 1 ของ FIR Multifunctional Filter อันดับที่ 45 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่าง ความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.2

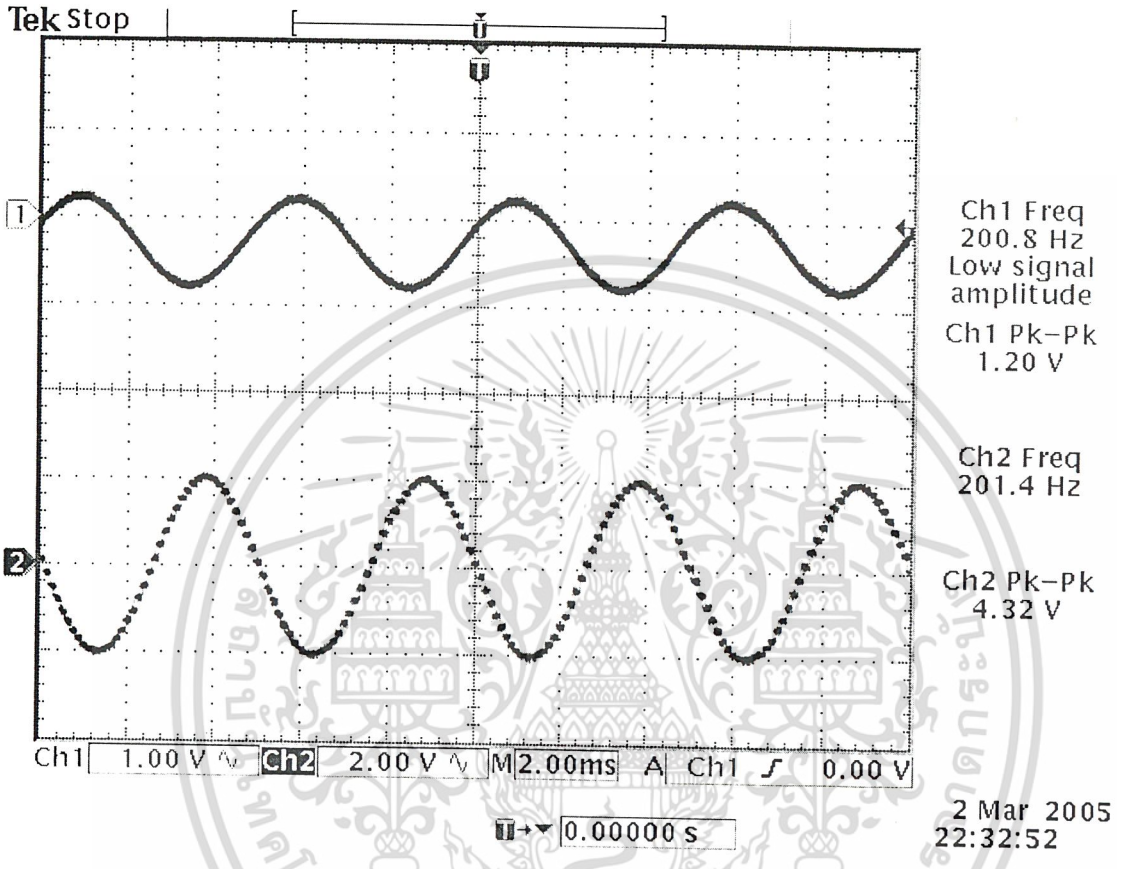
ความถี่ (Hz)	แรงดันทางเอาท์พุท (Volts)
200	4.32
400	4.32
600	4.32
800	4.12
1000	2.28
1200	0.36
1400	0.00
1600	0.00
1800	0.00
2000	0.00
2200	0.00
2400	0.00
2600	0.00
2800	0.00
3000	0.00
3200	0.00
3400	0.00
3600	0.00
3800	0.00
4000	0.00

ตารางที่ 5.2 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 1 ของ FIR Multifunctional Filter อันดับที่ 45

ซึ่งจากการเก็บผลดังตารางแสดงให้เห็นว่าเมื่อเพิ่มความถี่ทางด้านสัญญาณอินพุทให้มากขึ้นแล้ว สัญญาณแรงดันทางด้านเอาท์พุทจะมีค่าลดลงเรื่อยๆ จนมีค่าเป็นศูนย์ในที่สุด

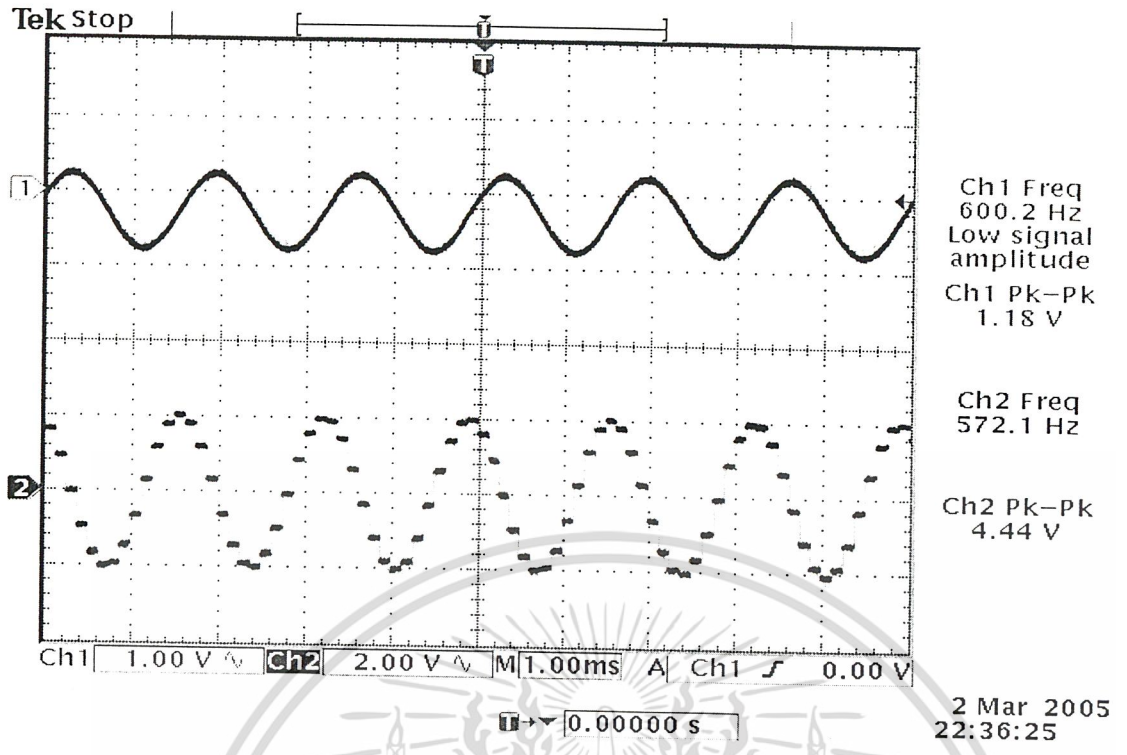
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 1 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45

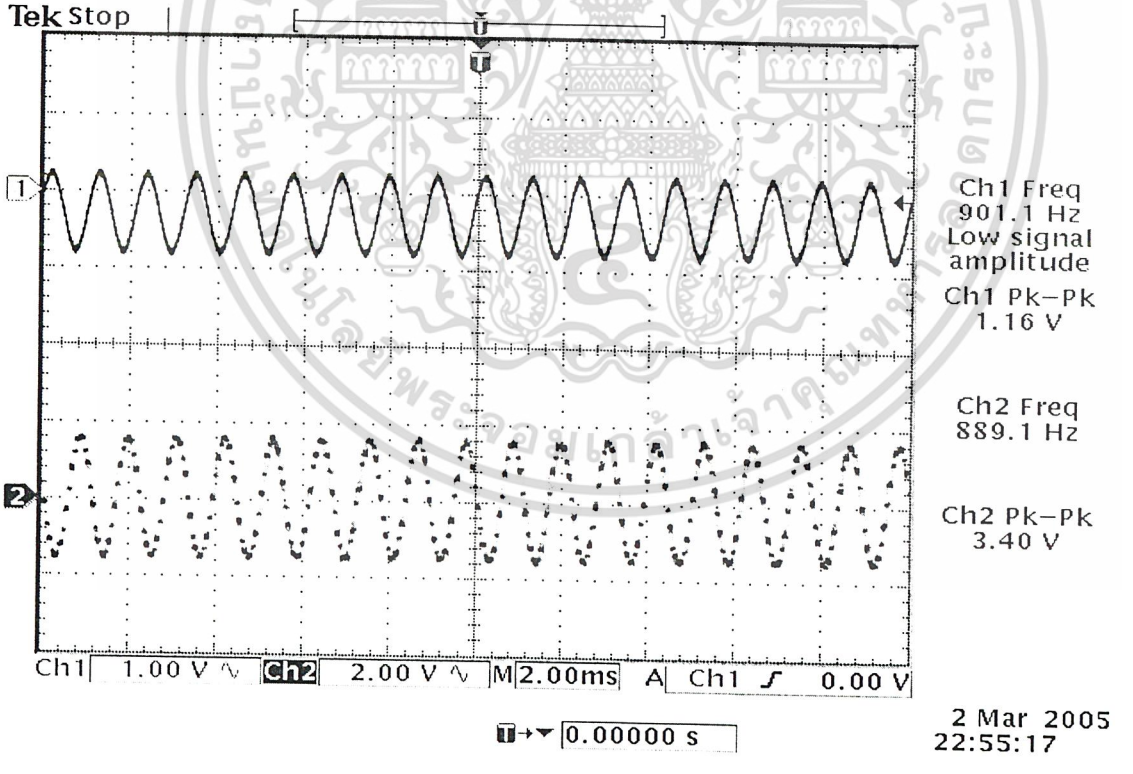


รูปที่ 5.13 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

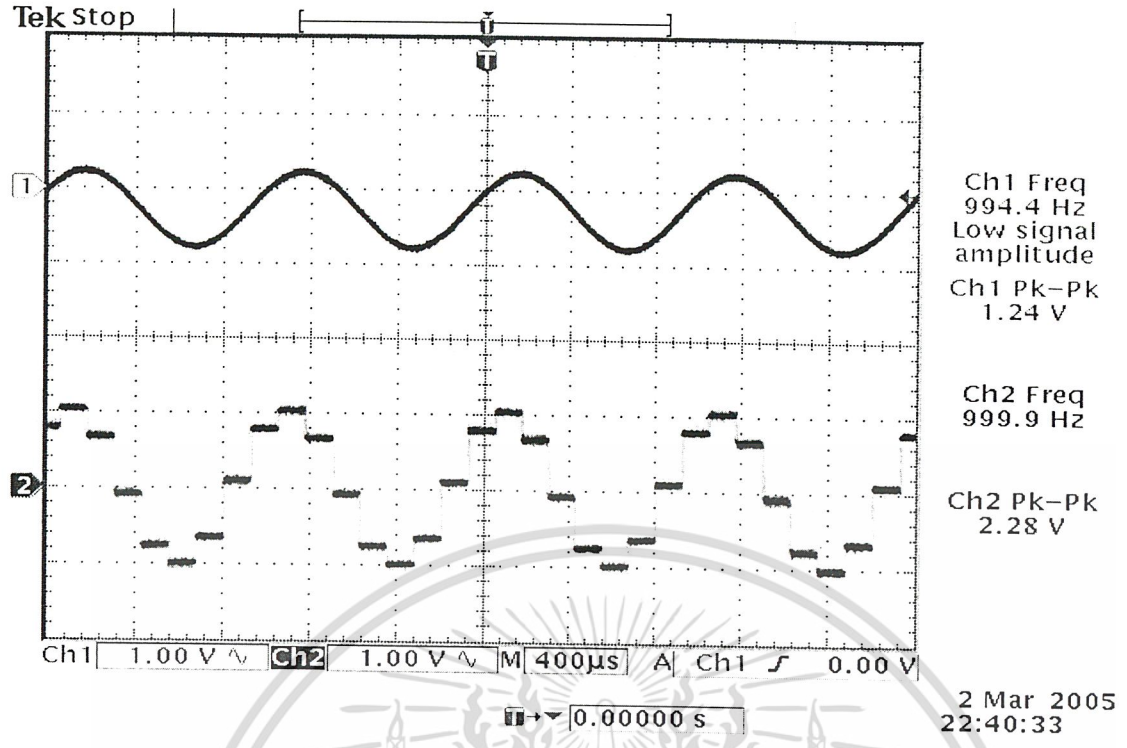


รูปที่ 5.14 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต

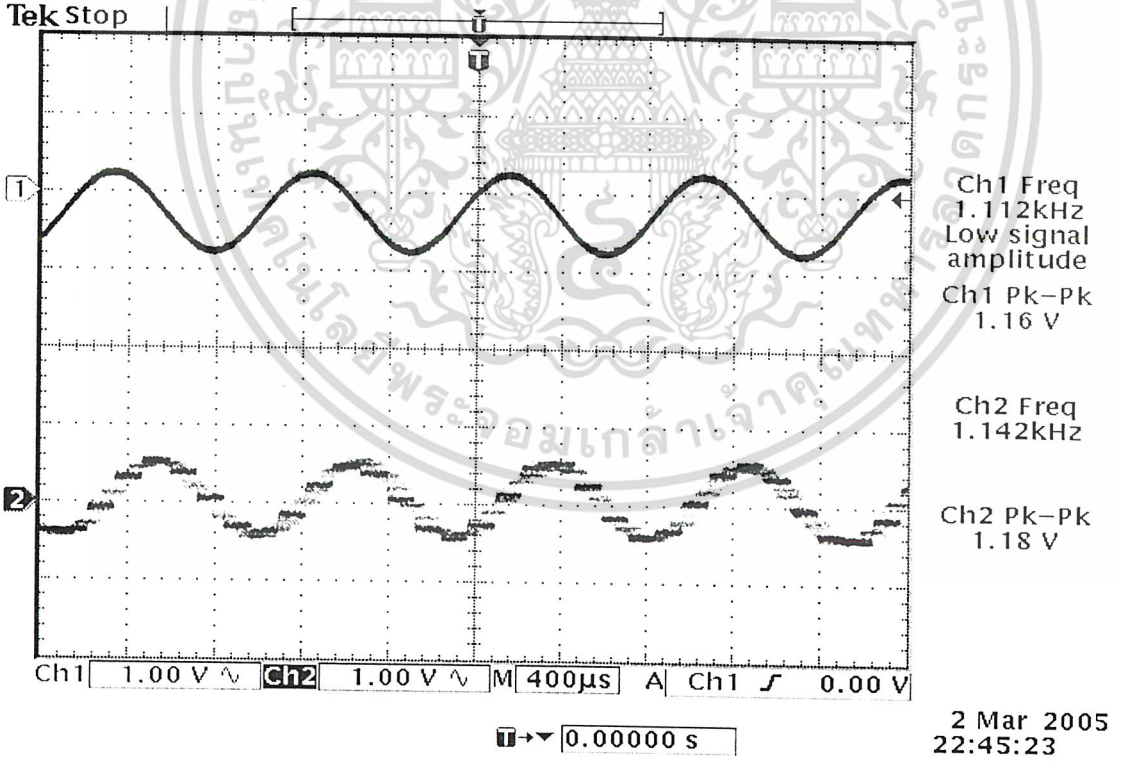


รูปที่ 5.15 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 900 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

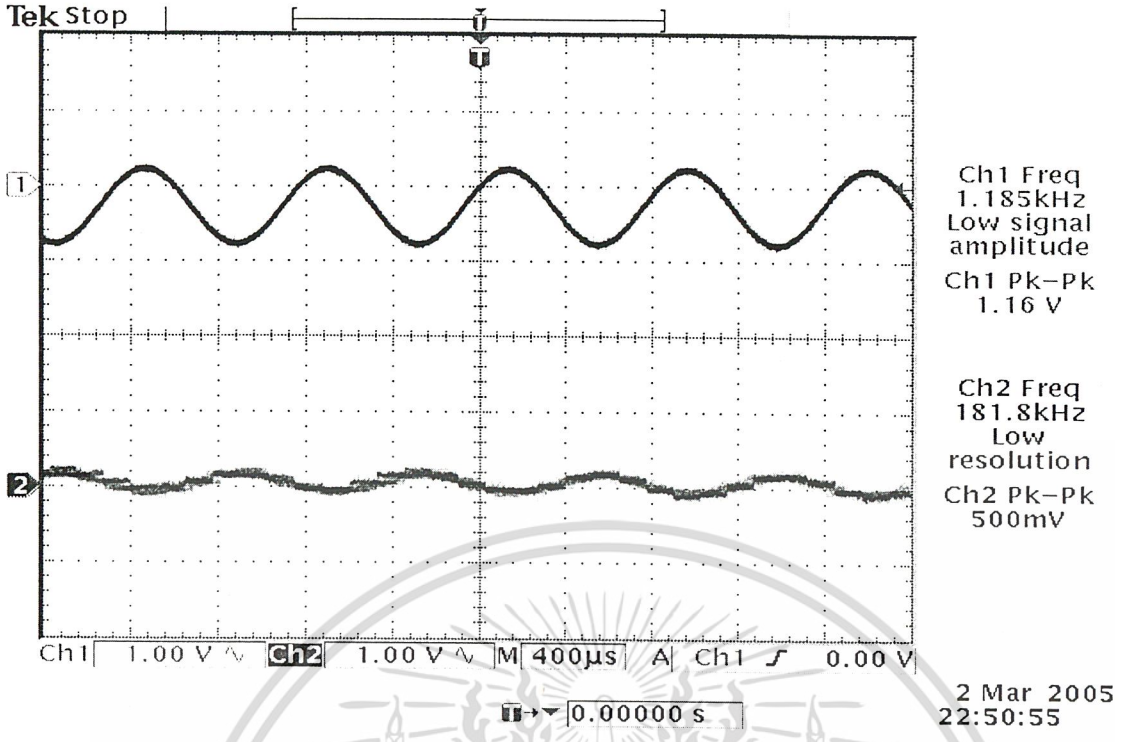


รูปที่ 5.16 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1000 เฮิร์ต



รูปที่ 5.17 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1100 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

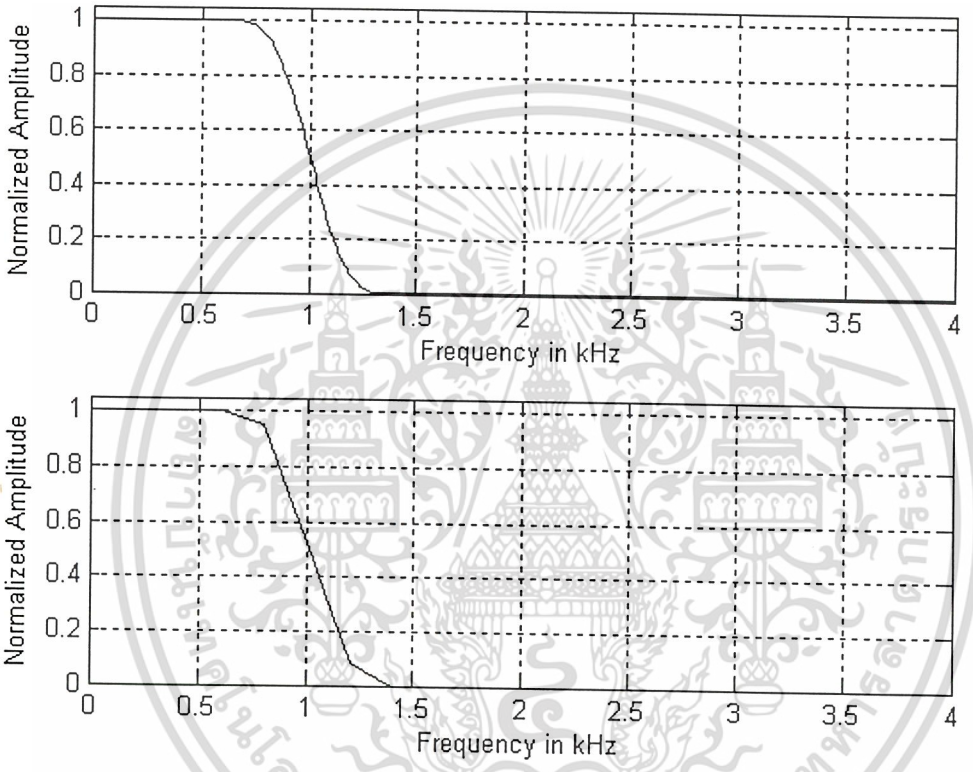


รูปที่ 5.18 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1200 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.1.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 45 ตัวที่ 1 cut-off อยู่ที่ 1.0 KHz

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาทุ์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.19



รูปที่ 5.19 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 45 เมื่อพล็อทจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่ 1.5 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45

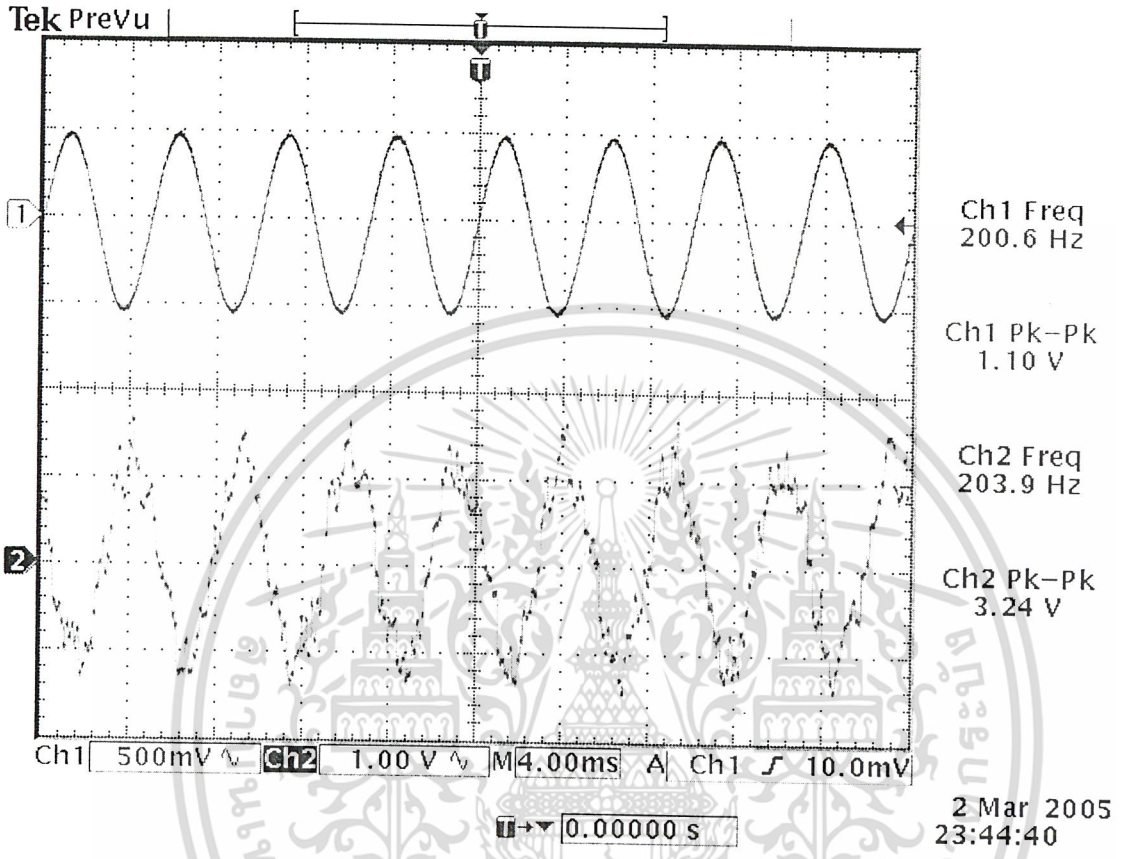
เมื่อทำการโปรแกรมวงจรกรองความถี่ต่ำผ่านตัวที่ 2 ของ FIR Multifunctional Filter อันดับที่ 45 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่าง ความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.3

ความถี่ (Hz)	แรงดันทางเอาท์พุท (Volts)
200	3.00
400	2.80
600	2.90
800	3.10
1000	3.20
1200	3.00
1400	2.62
1600	1.70
1800	1.38
2000	1.18
2200	1.08
2400	0.58
2600	0.30
2800	0.30
3000	0.12
3200	0.00
3400	0.00
3600	0.00
3800	0.00
4000	0.00

ตารางที่ 5.3 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 2 ของ FIR Multifunctional Filter อันดับที่ 45

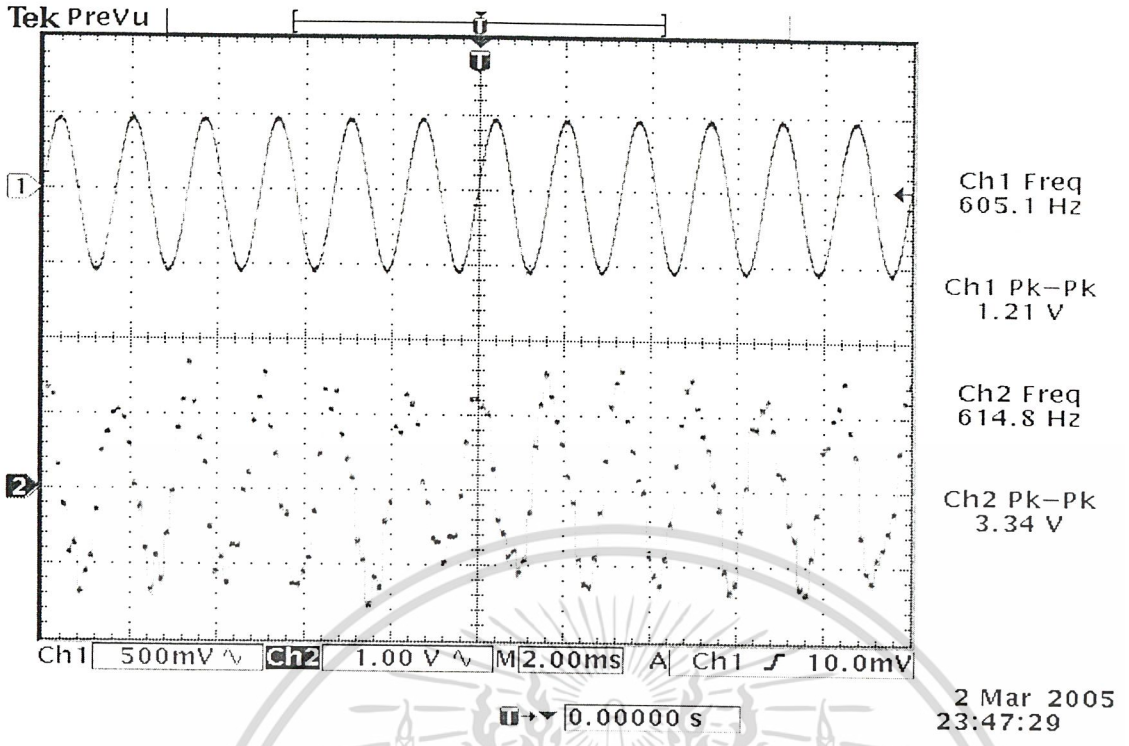
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่1.5 KHz ของวงจร FIR Multifunctional Filter อันดับที่45

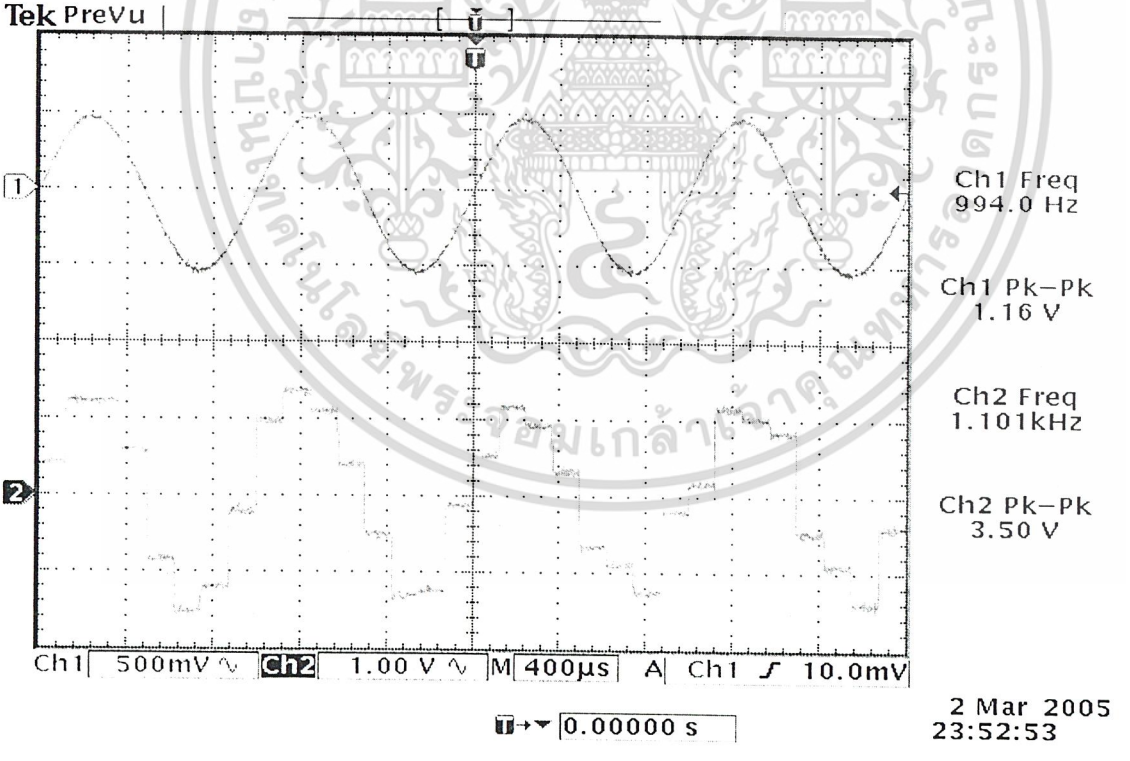


รูปที่ 5.20 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 200 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

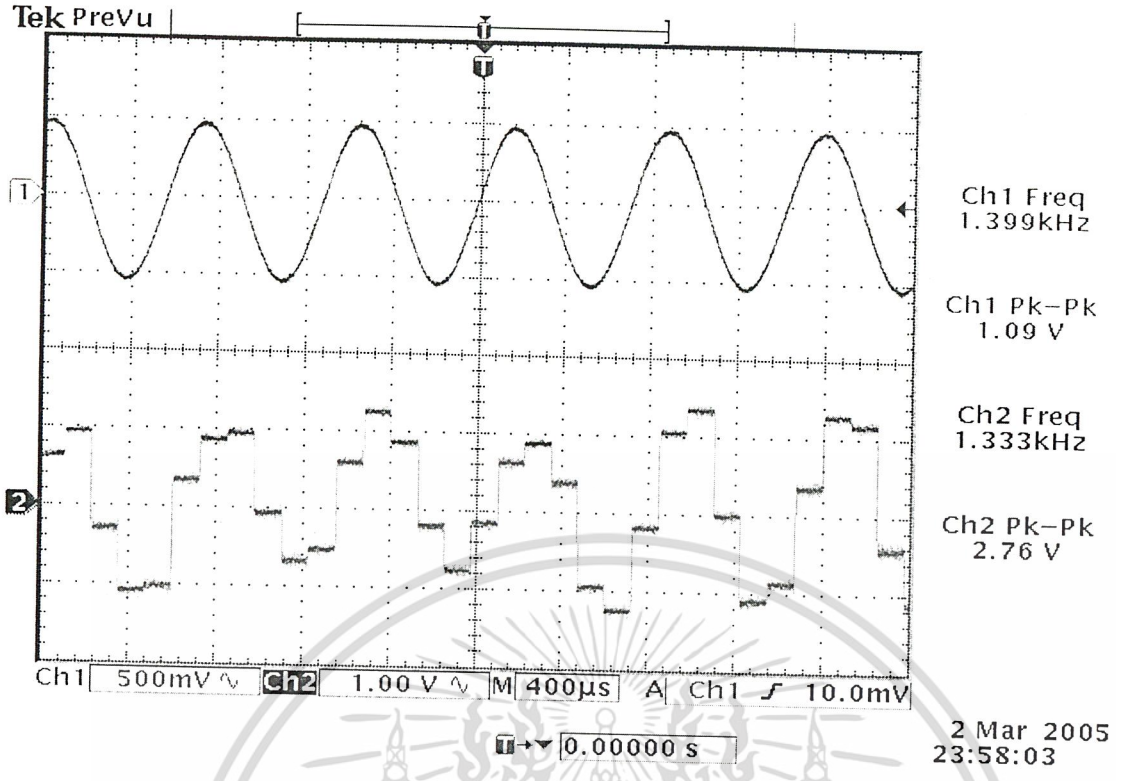


รูปที่ 5.21 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 600 เฮิร์ต

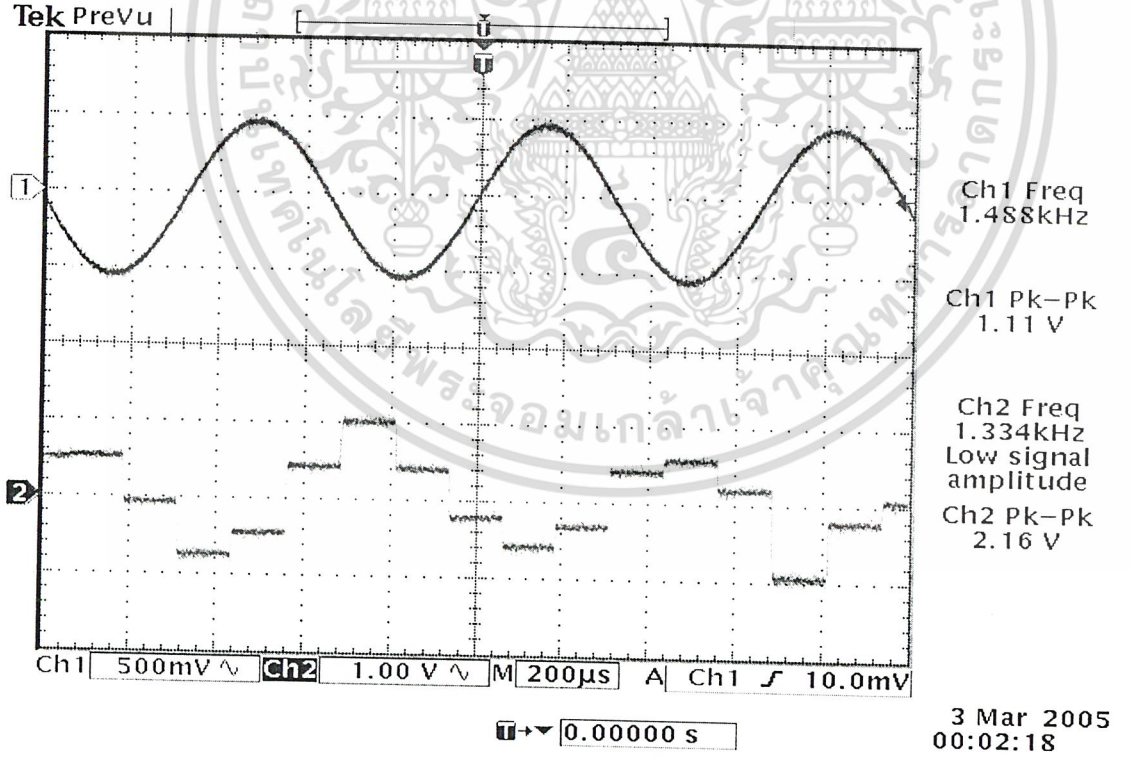


รูปที่ 5.22 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 900 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

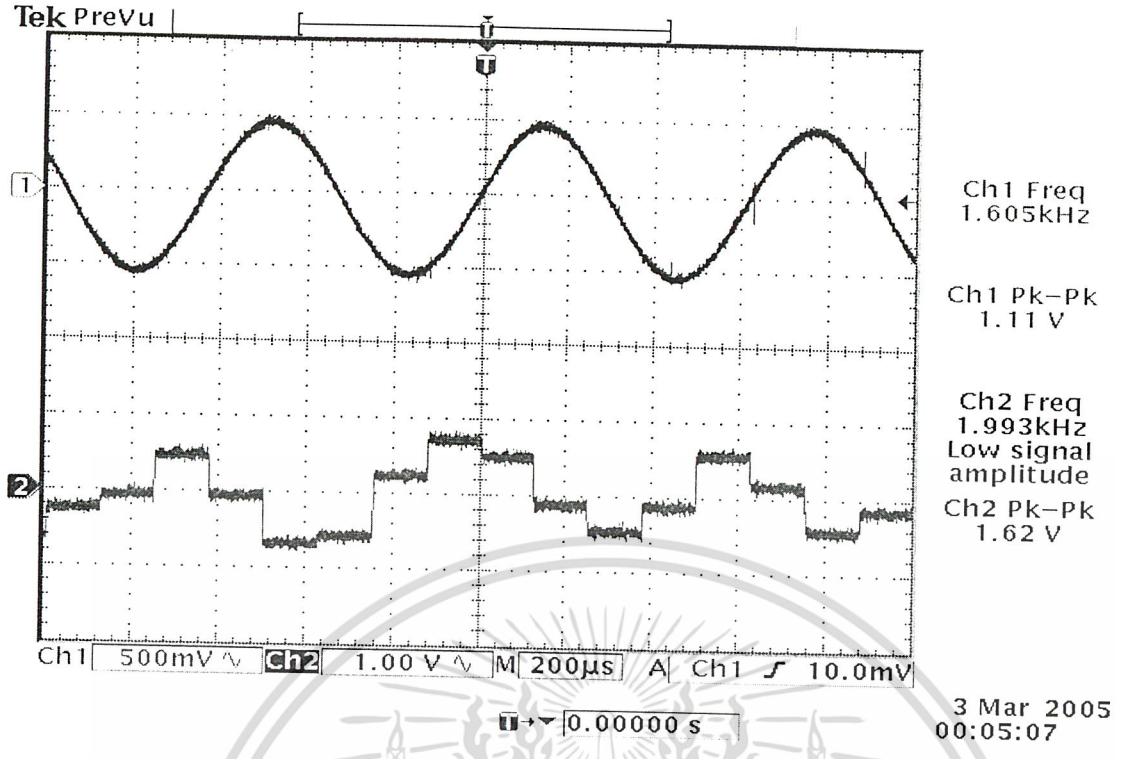


รูปที่ 5.23 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1400 เฮิร์ต

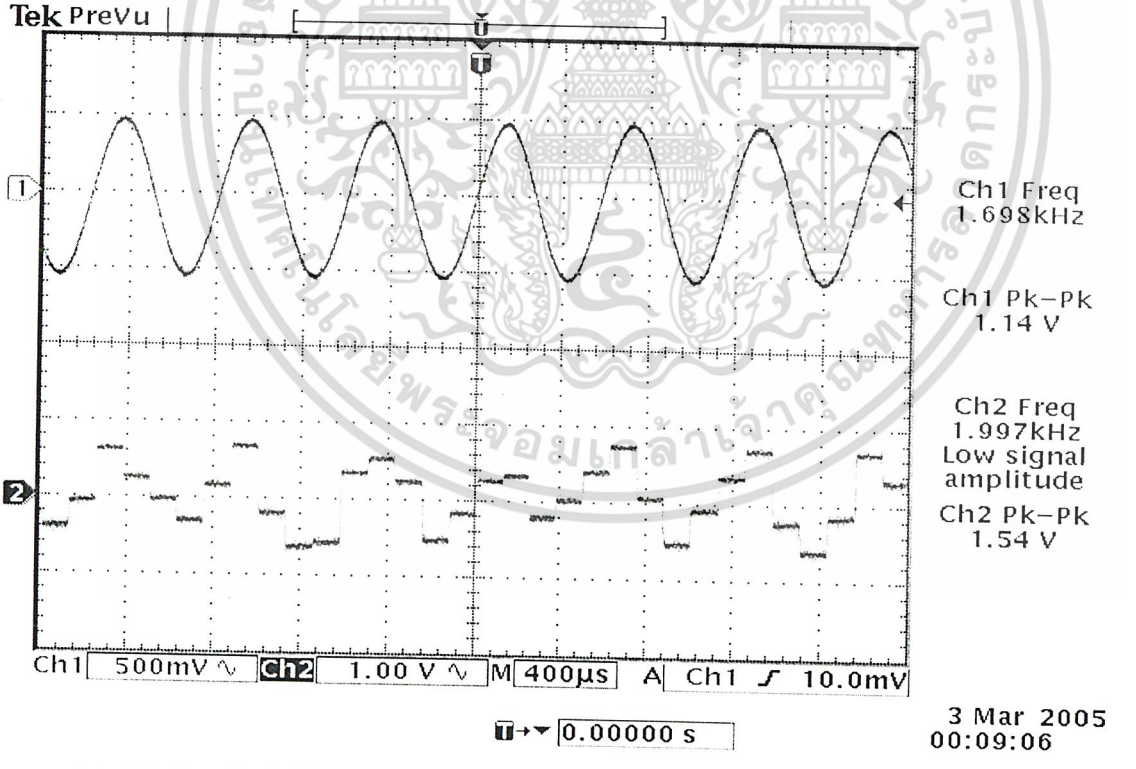


รูปที่ 5.24 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1500 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.25 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1600 เฮิร์ต



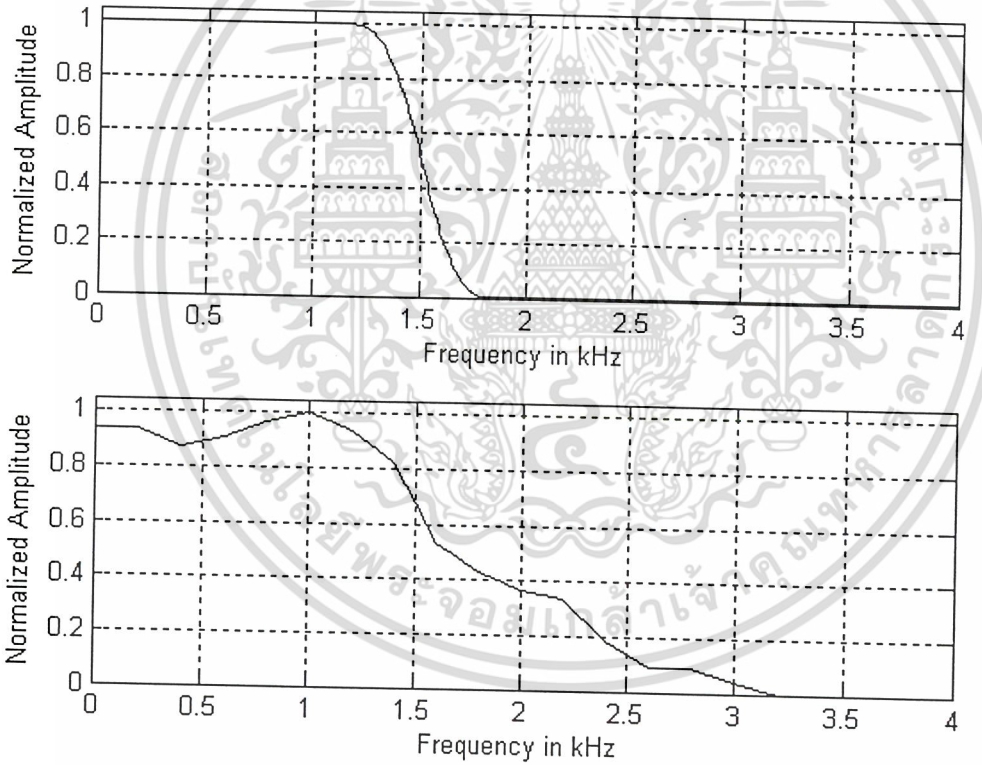
รูปที่ 5.26 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1700 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยผลสัญญาณที่ทำการวัดได้ที่ความถี่ต่างๆเมื่อเทียบกับค่าแอมปลิจูดจากที่ได้แสดงดังรูปที่ 6.8 ถึง 6.19 ซึ่งจะเห็นได้ว่า พอเปรียบเทียบดูแล้ว ค่าสัญญาณอินพุทเมื่อมีความถี่มากขึ้นเรื่อยๆ ซึ่งจะทำให้ผลของสัญญาณที่ทางด้านเอาท์พุทที่ได้มีแรงดันลดลงตามไปด้วย ซึ่งผลที่ได้นั้นเป็นไปตามทฤษฎีของวงจรกรองความถี่ต่ำผ่าน

5.3.2.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 45 ตัวที่ 2 cut-off อยู่ที่ 1.5 KHz

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.27



รูปที่ 5.27 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 45 เมื่อพล็อทจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ผ่านโดยที่มี cut-off 1 อยู่ที่ 1.00 KHz และ cut-off 2 ที่1.50 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 45

เมื่อทำการโปรแกรมวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 45 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่างความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.4

ความถี่ (Hz)	แรงดันทางเอาท์พุท (Volts)
200	0.00
400	0.00
600	0.00
800	0.30
1000	0.528
1200	1.30
1400	1.05
1600	0.58
1800	0.444
2000	0.00
2200	0.00
2400	0.00
2600	0.00
2800	0.00
3000	0.00
3200	0.00
3400	0.00
3600	0.00
3800	0.00
4000	0.00

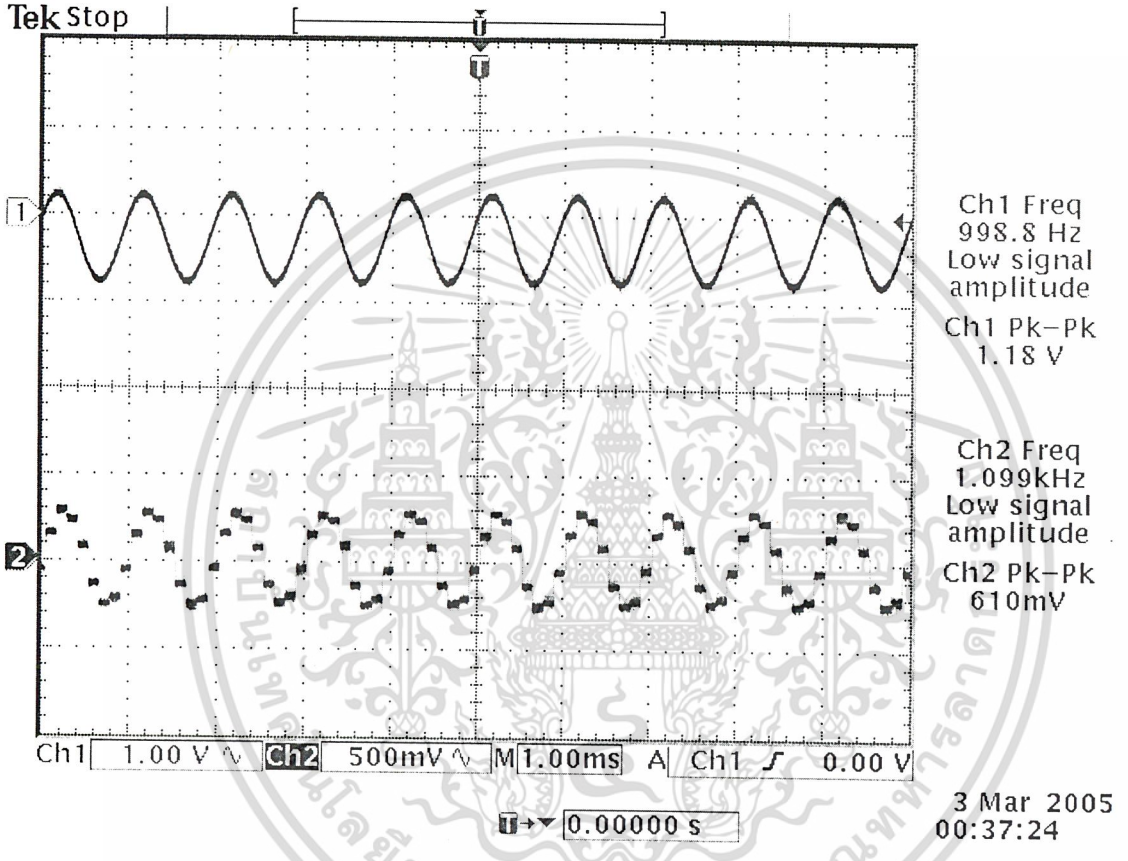
ตารางที่ 5.4 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 45

ซึ่งจากการเก็บผลดังตารางแสดงให้เห็นว่าความถี่ในช่วงแรกจนถึงช่วงประมาณที่ 1 KHz นั้นจะมีแอมปลิจูดประมาณ 0 และจะเริ่มเพิ่มขึ้นเมื่อผ่านความถี่ 1 KHz ไปจนกระทั่งถึงที่ความถี่ประมาณ 1.5 KHz ซึ่งที่ทั้งสองความถี่นี้ก็มาจากความถี่ cut-off ของ low-pass filter ที่ใช้ในการสร้าง วงจร band-pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

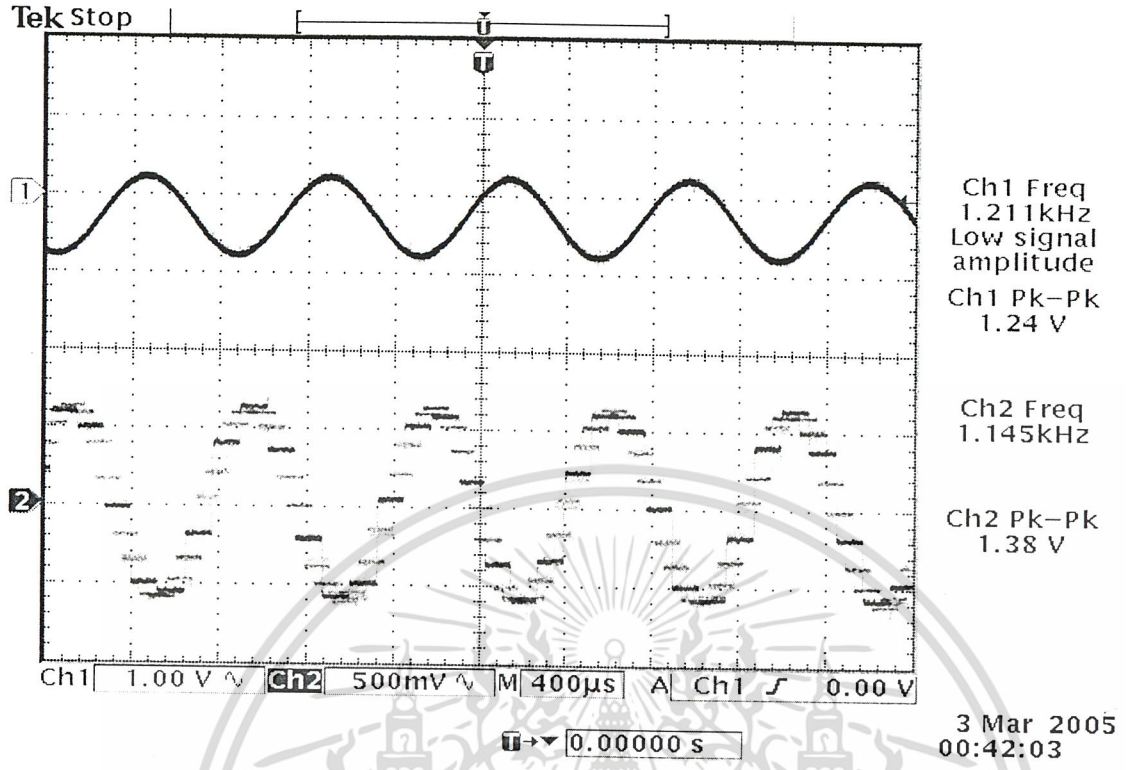
filter นั่นเอง และเมื่อผ่านที่ความถี่ประมาณ 1.5 KHz ไปแล้ว ค่าแอมปลิจูดก็จะเริ่มเป็น 0 อีกครั้งตามทฤษฎี นั่นก็คือ จะยอมให้ความถี่ในช่วง 1.0-1.5 KHz เท่านั้นที่ผ่านได้

5.3.3.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ผ่านของวงจร FIR Multifunctional Filter อันดับที่45

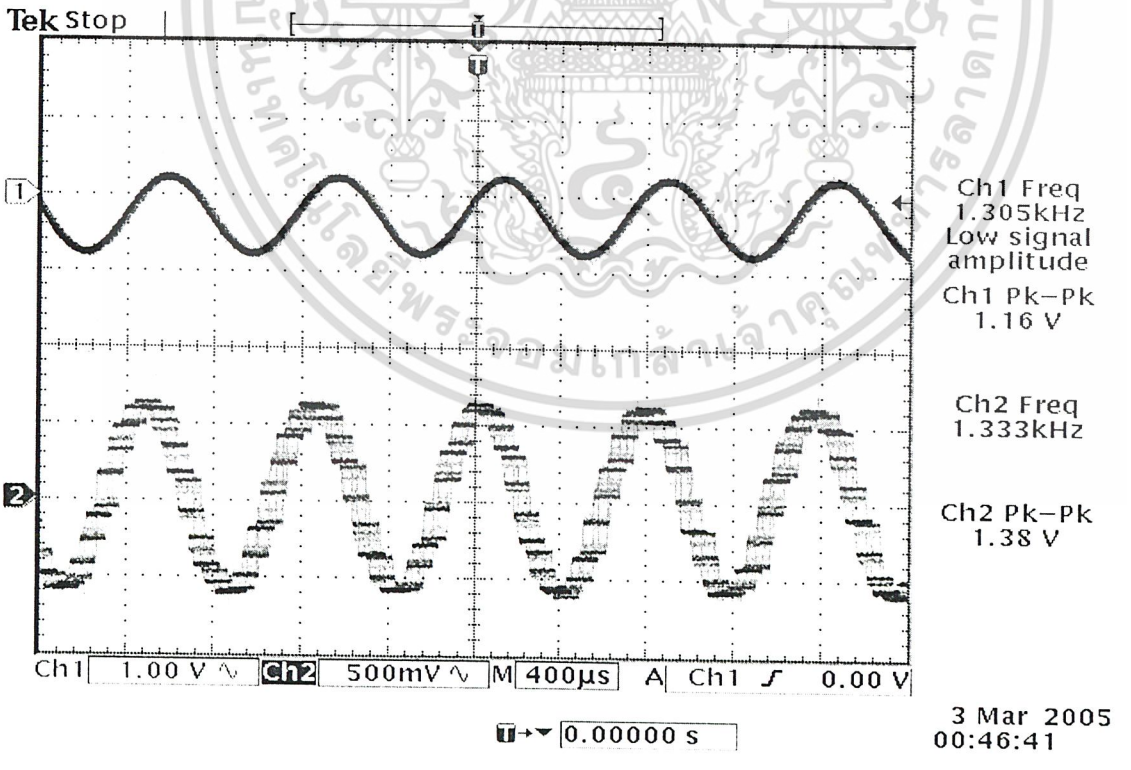


รูปที่ 5.28 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1000 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

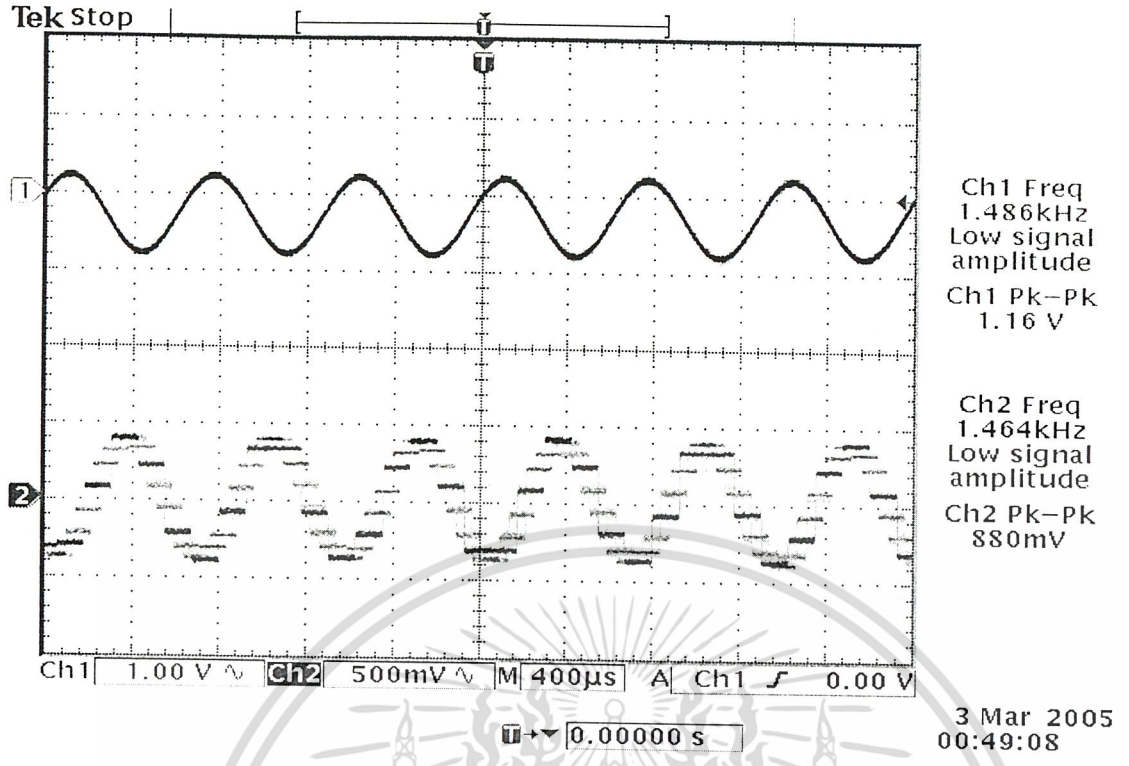


รูปที่ 5.29 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1200 เฮิร์ต

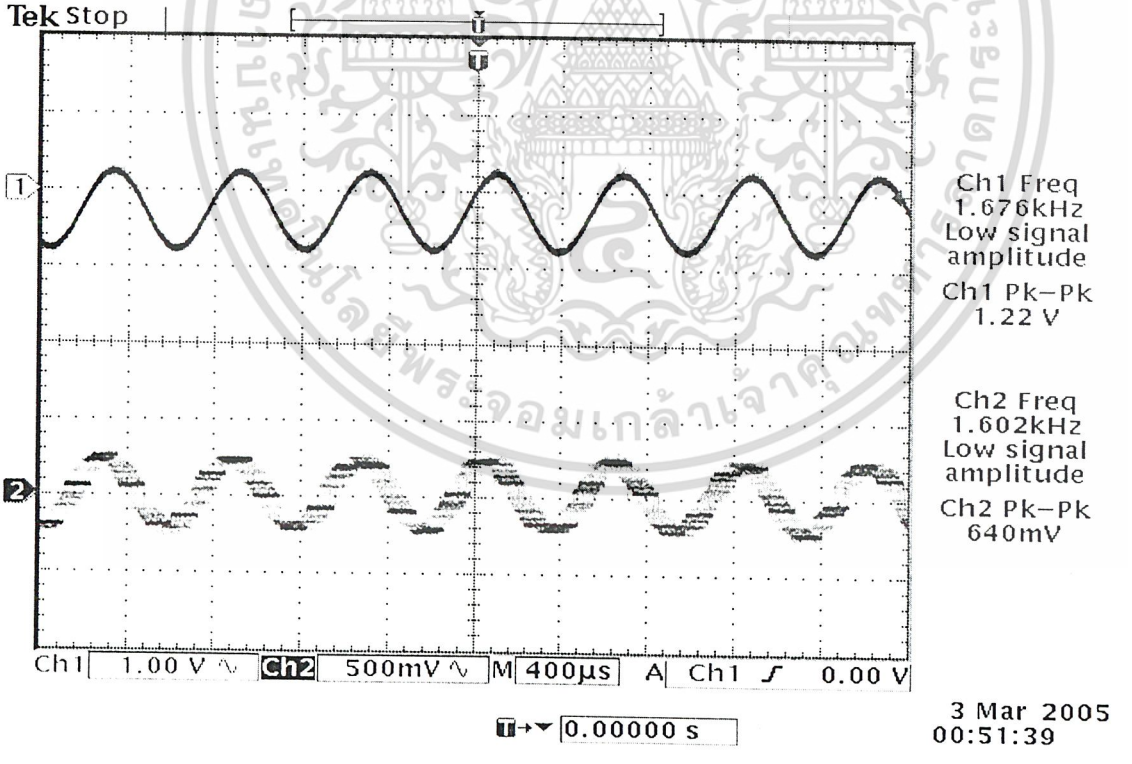


รูปที่ 5.30 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1300 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.31 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1400 เฮิร์ต

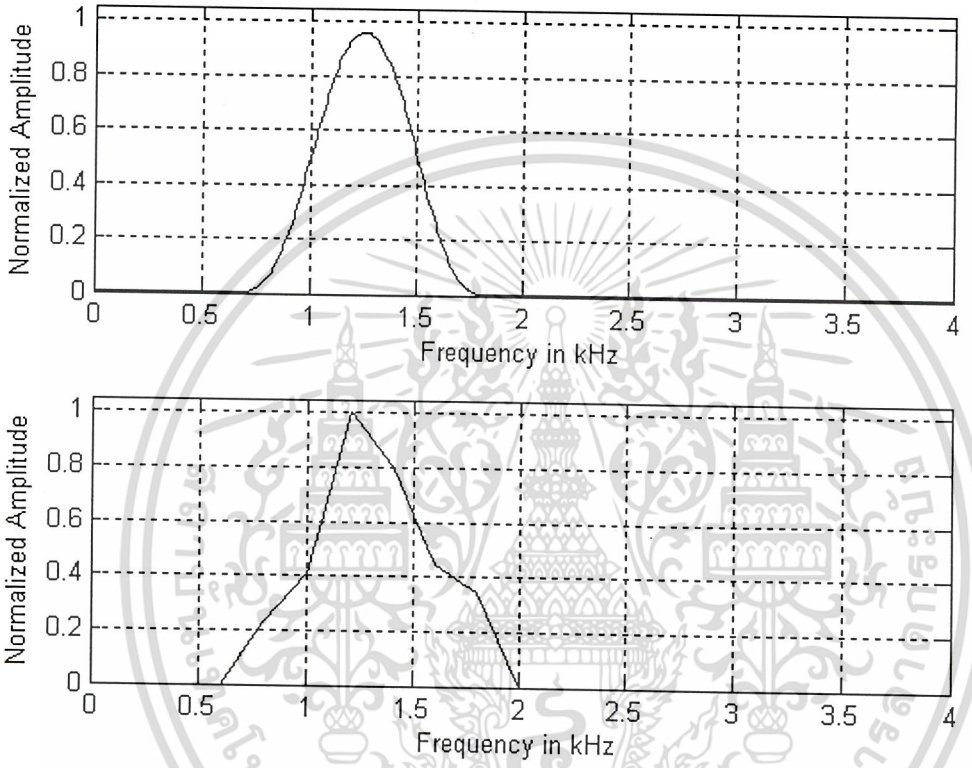


รูปที่ 5.32 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 1600 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านแบบ FIR อันดับ 45

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.33



รูปที่ 5.33 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่าน FIR อันดับที่ 45 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองหลายหน้าที่ FIR อันดับที่ 9 โดยใช้ตัวคูณแบบ Booth Algorithm

5.4.1 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

เมื่อทำการโปรแกรมวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่าง ความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.5

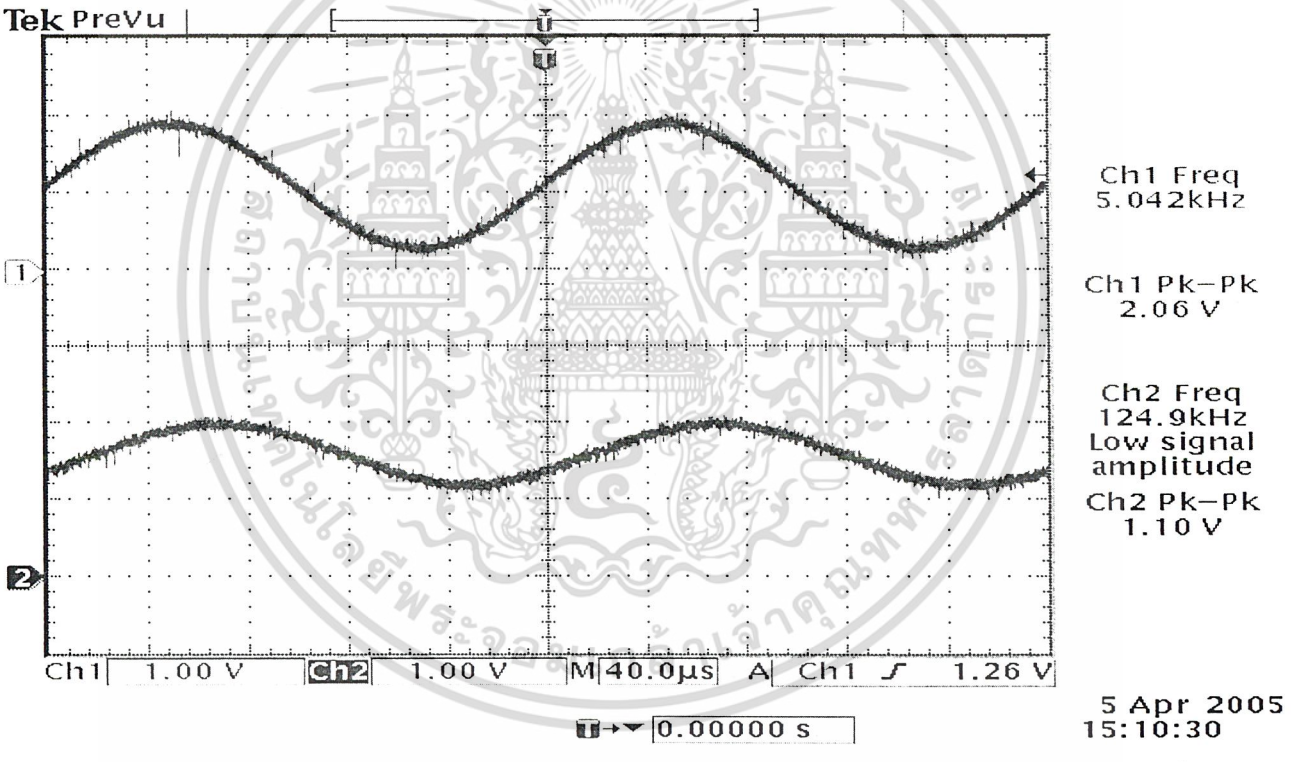
ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
5	0.9
10	0.9
15	0.9
20	0.82
25	0.68
30	0.54
35	0.48
40	0.44
45	0.36
50	0.30
55	0.28
60	0.24
65	0.14
70	0.10
75	0.00
80	0.00
85	0.00
90	0.00
95	0.00
100	0.00
105	0.00
110	0.00
115	0.00
120	0.00
125	0.00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

130	0.00
135	0.00
140	0.00
145	0.00
150	0.00

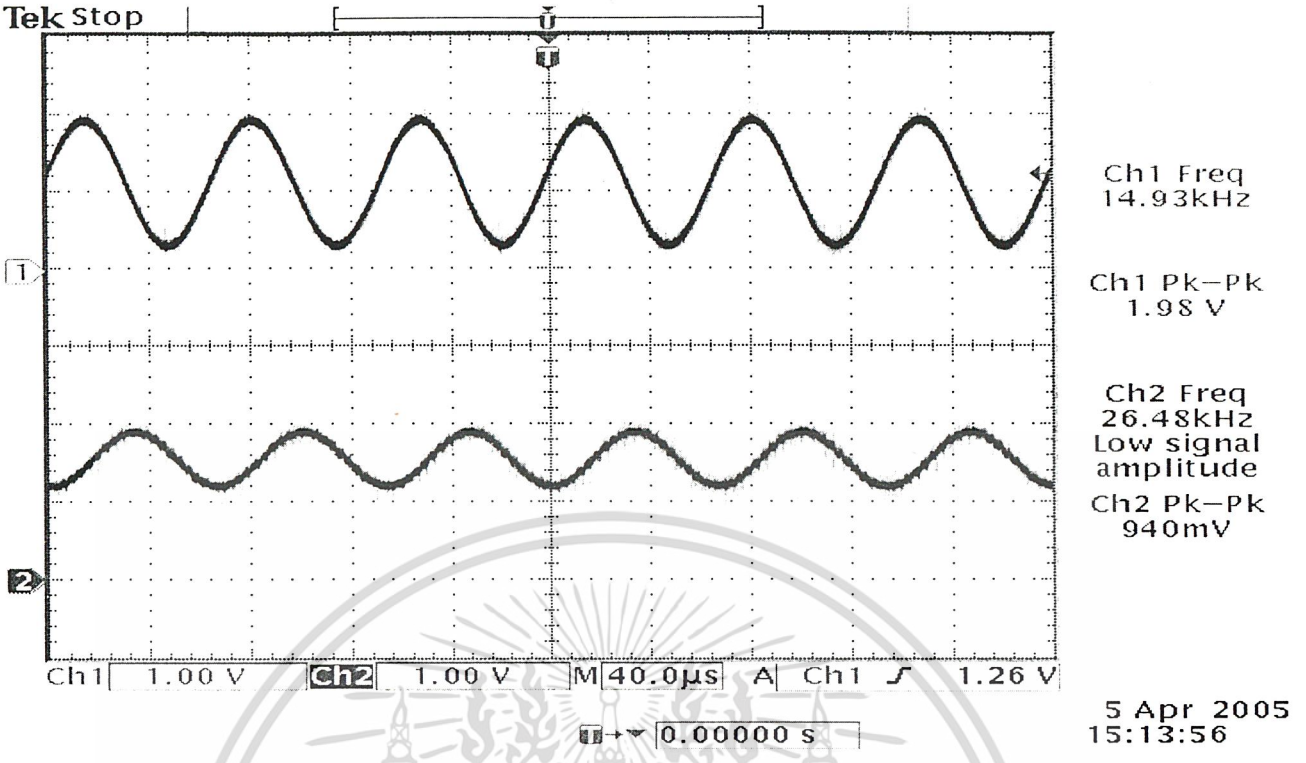
ตารางที่ 5.5 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 1 ของ FIR Multifunctional Filter อันดับที่ 9

5.4.1.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่1 ที่มี cut-off ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

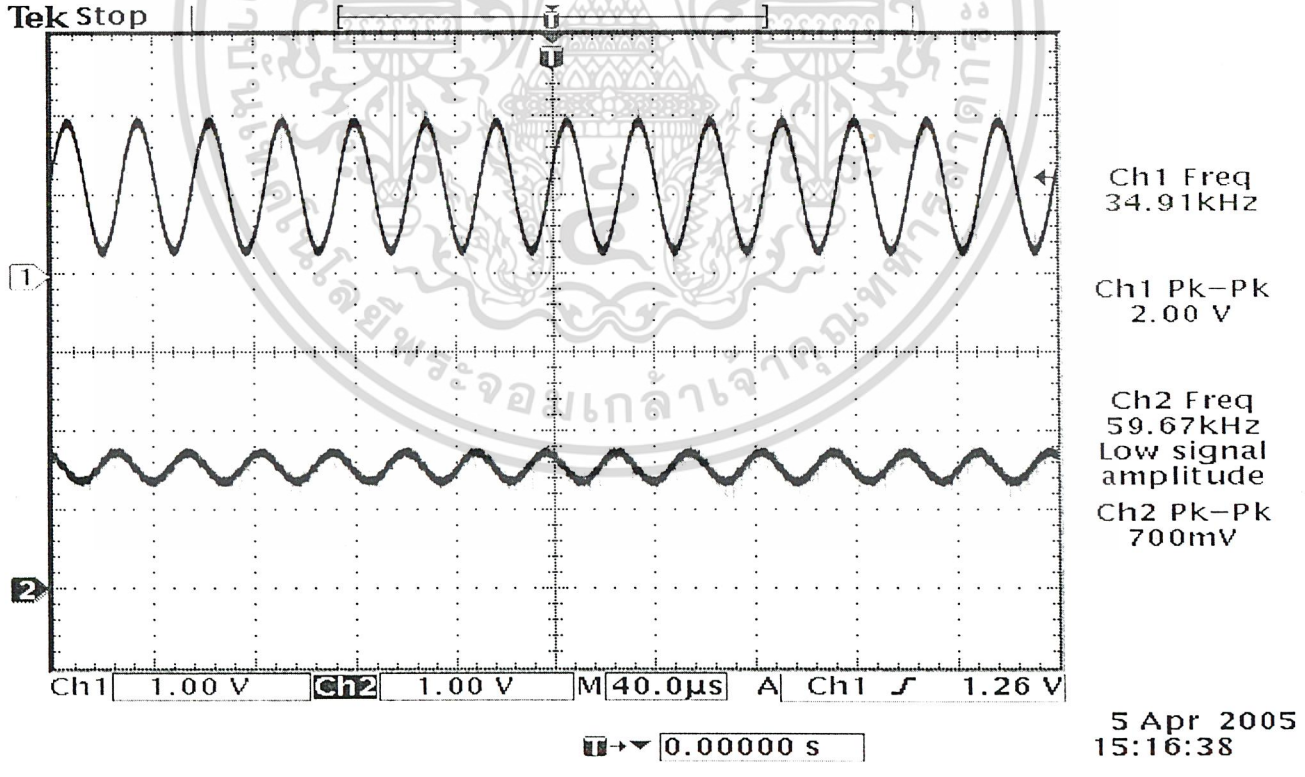


รูปที่ 5.34 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

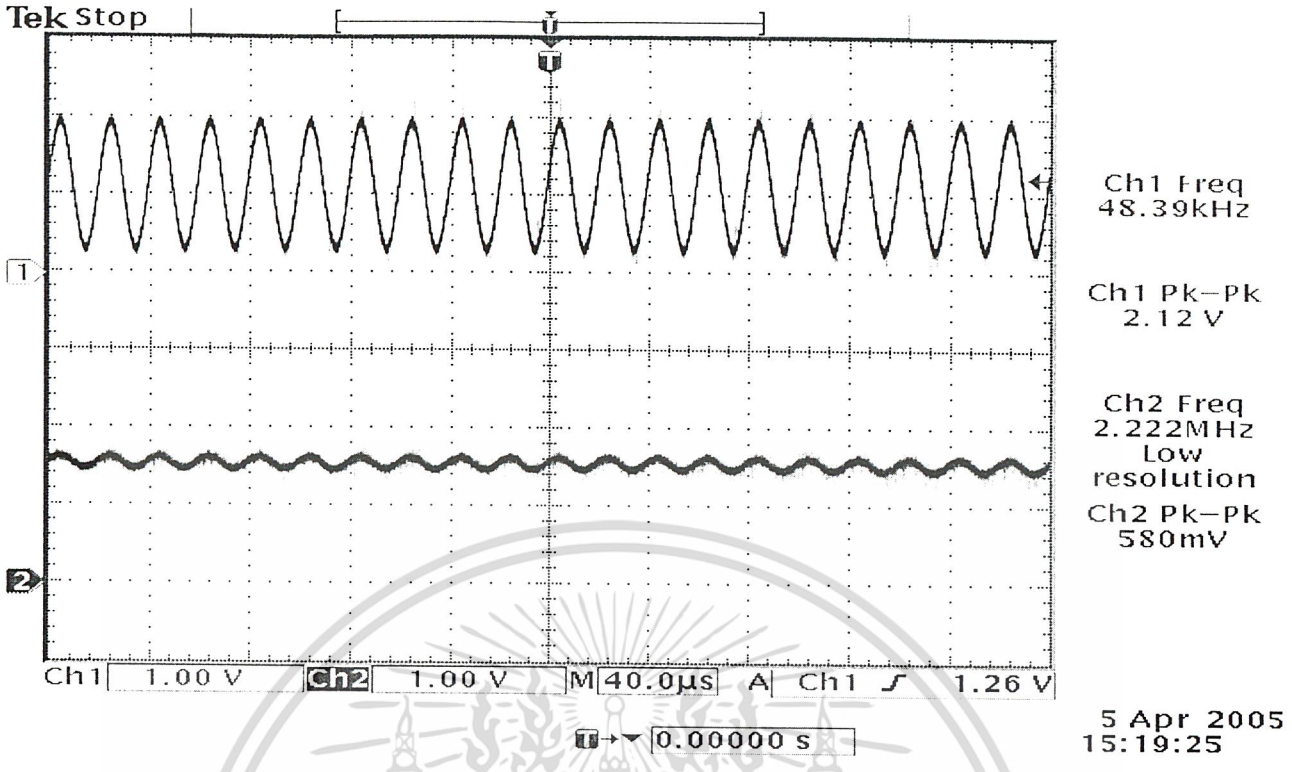


รูปที่ 5.35 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 15 กิโลเฮิร์ต

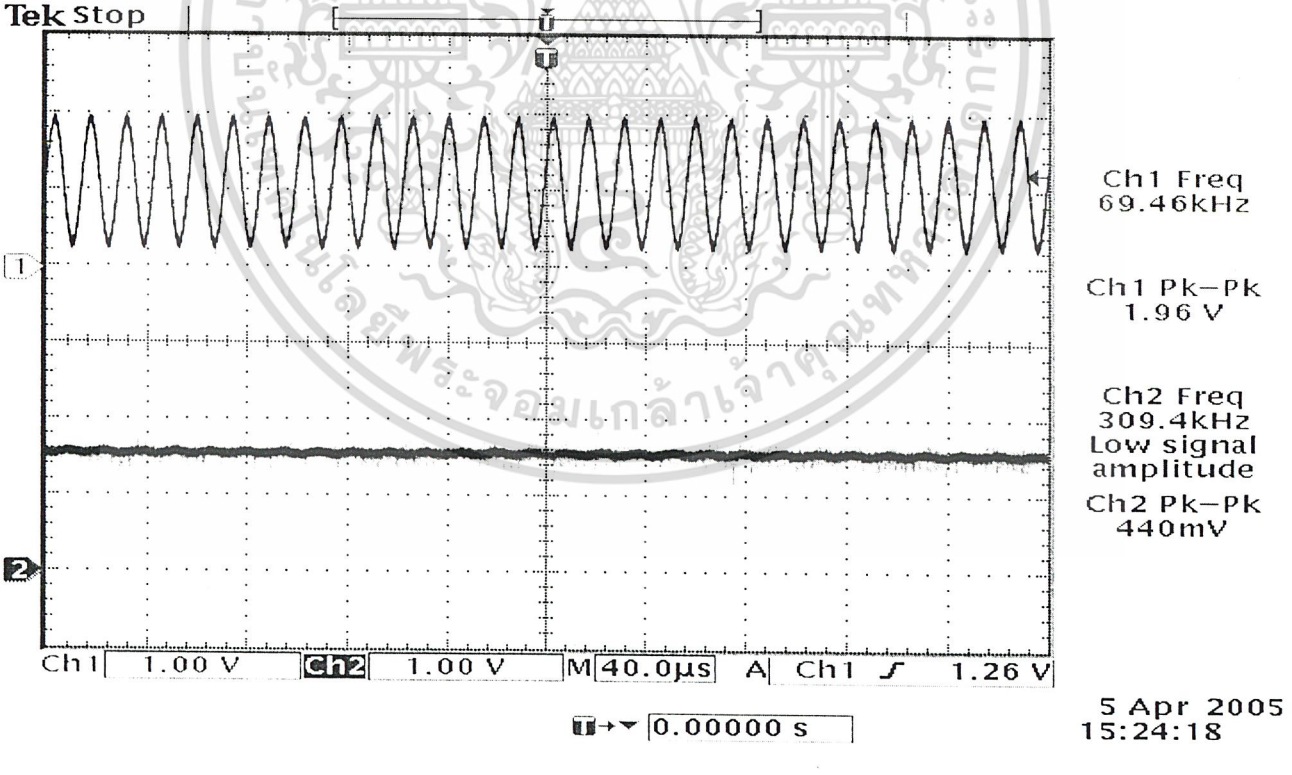


รูปที่ 5.36 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 35 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.37 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 50 กิโลเฮิร์ต

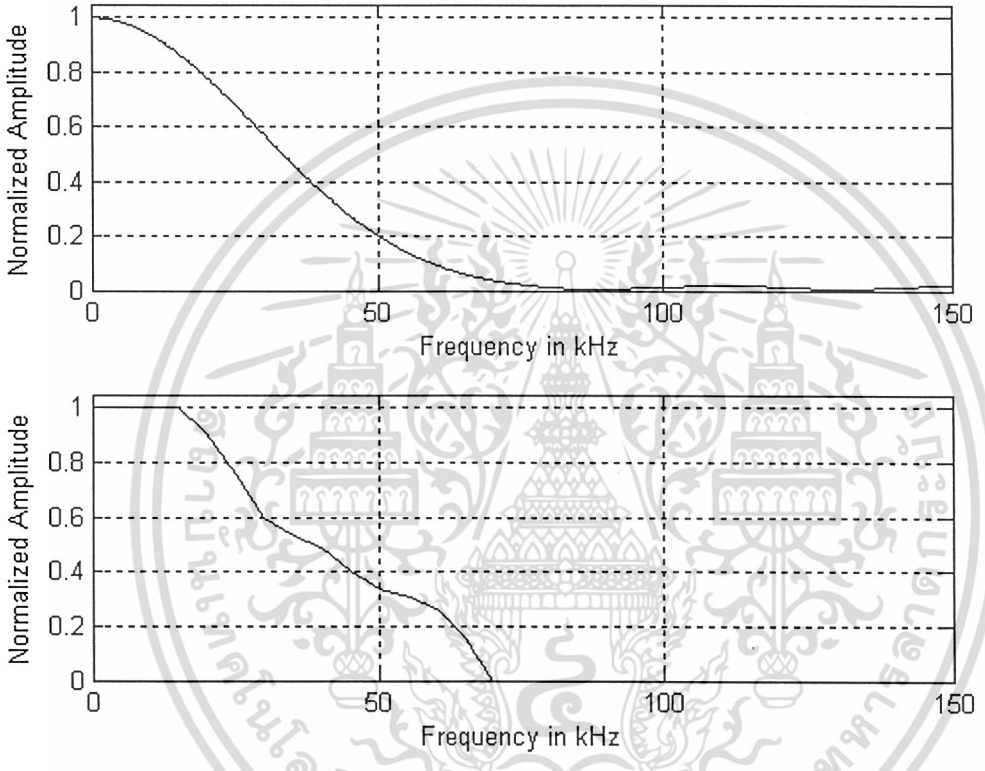


รูปที่ 5.38 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 70 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.1.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 ตัวที่ 1 cut-off อยู่ที่ 35.0 KHz

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาทุ์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.39



รูปที่ 5.39 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

เมื่อทำการโปรแกรมวงจรกรองความถี่ต่ำผ่านตัวที่ 2 ของ FIR Multifunctional Filter อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่าง ความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.6

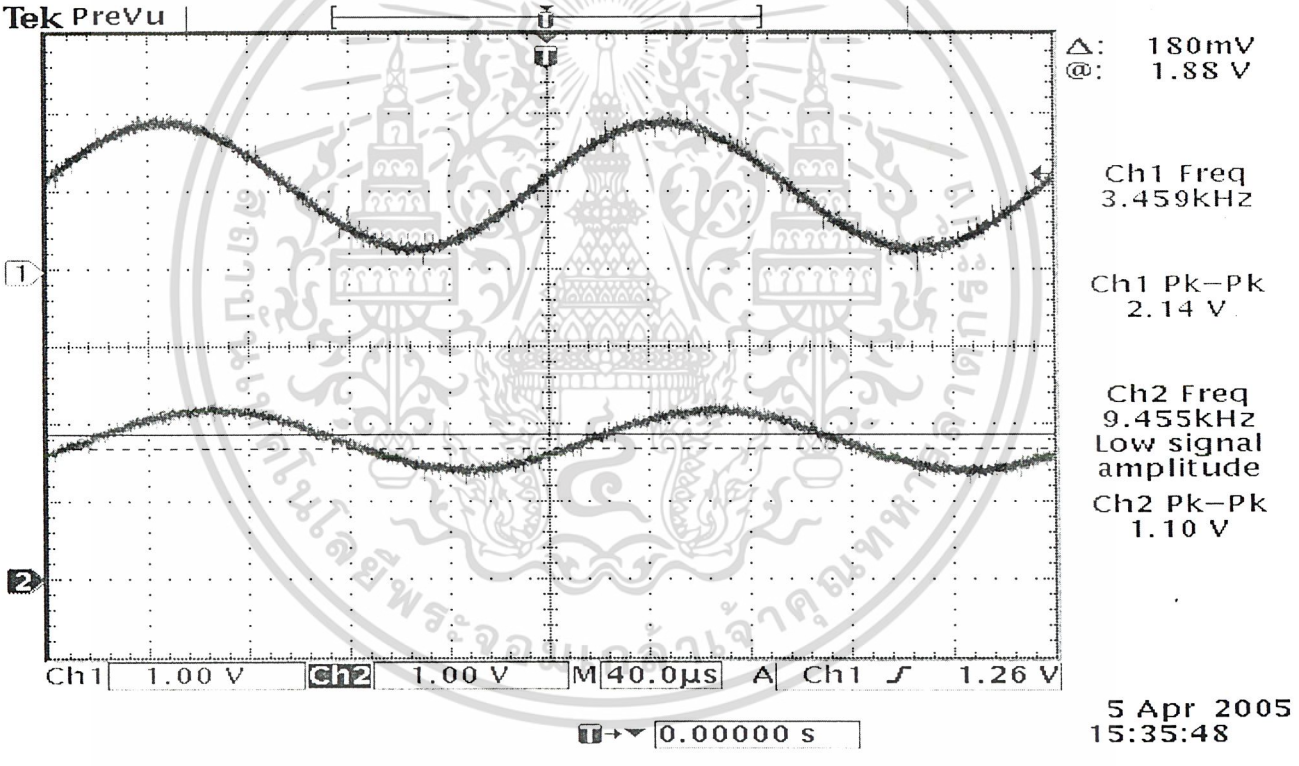
ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
5	0.9
10	0.9
15	0.9
20	0.9
25	0.9
30	0.9
35	0.9
40	0.9
45	0.9
50	0.9
55	0.84
60	0.84
65	0.84
70	0.78
75	0.76
80	0.72
85	0.64
90	0.58
95	0.54
100	0.46
105	0.44
110	0.40
115	0.34
120	0.28
125	0.24
130	0.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

135	0.20
140	0.15
145	0.00
150	0.00

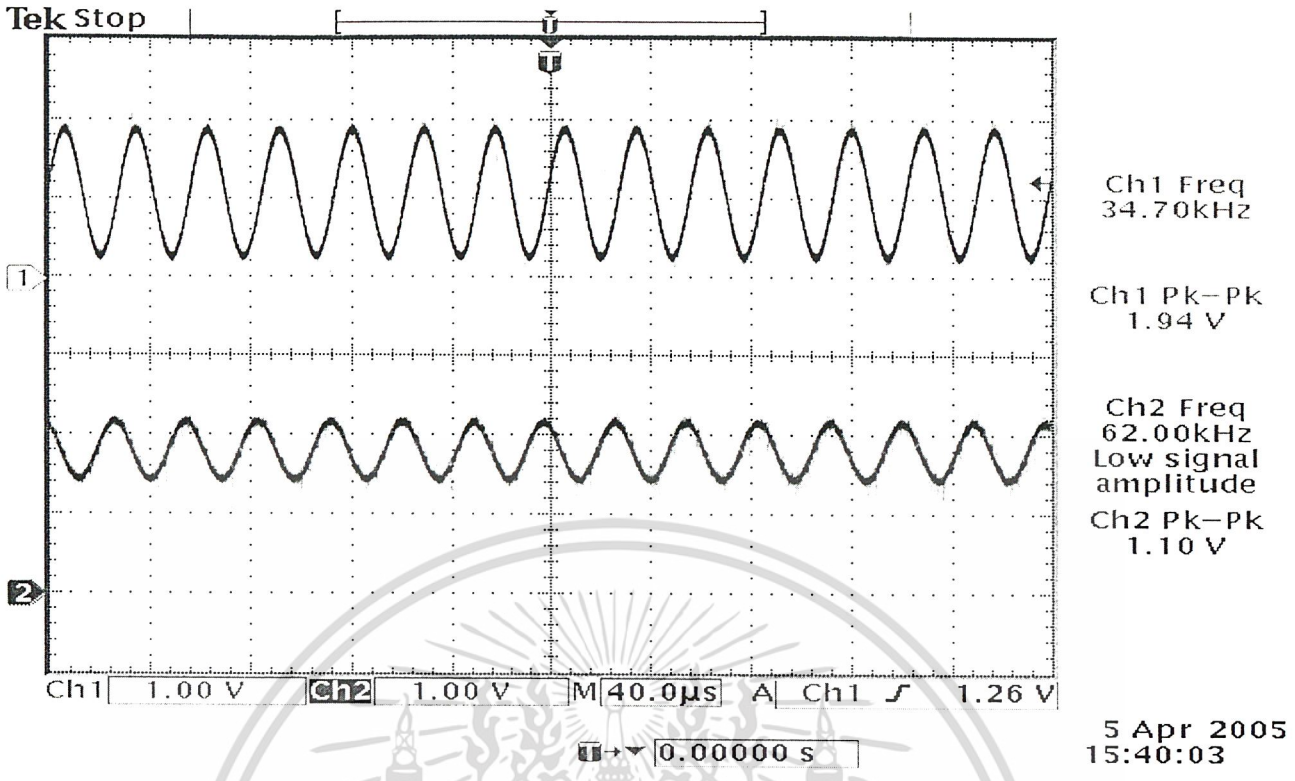
ตารางที่ 5.6 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ต่ำผ่านตัวที่ 2 ของ FIR Multifunctional Filter อันดับที่ 9

5.4.2.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ต่ำผ่านตัวที่2 ที่มี cut-off ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

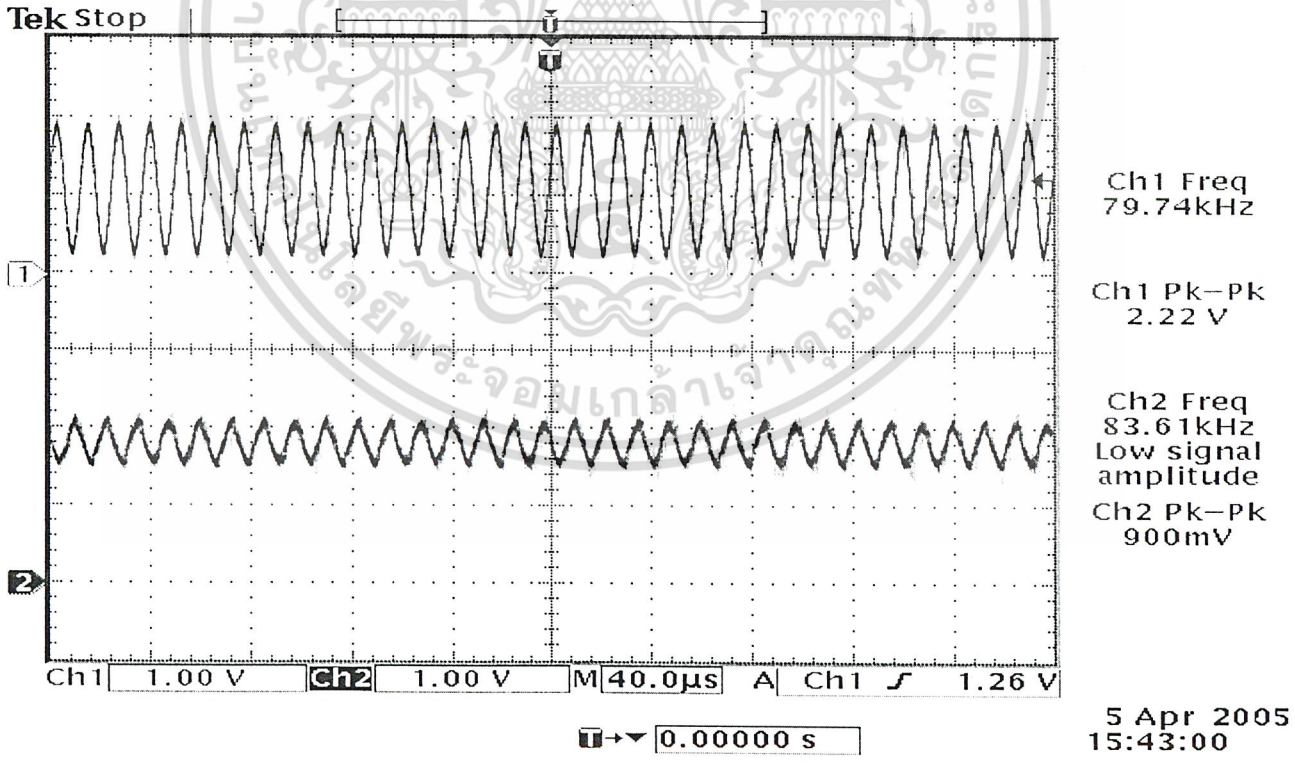


รูปที่ 5.40 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

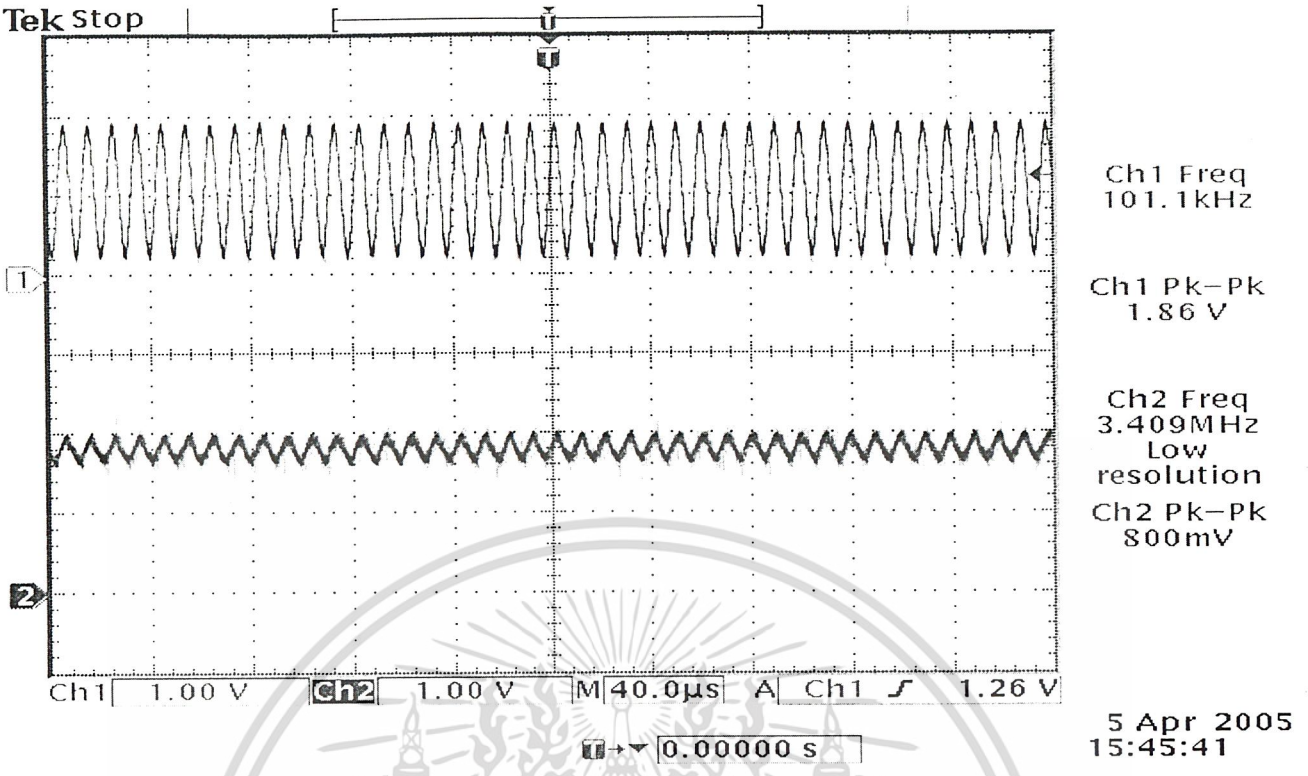


รูปที่ 5.41 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 35 กิโลเฮิร์ต

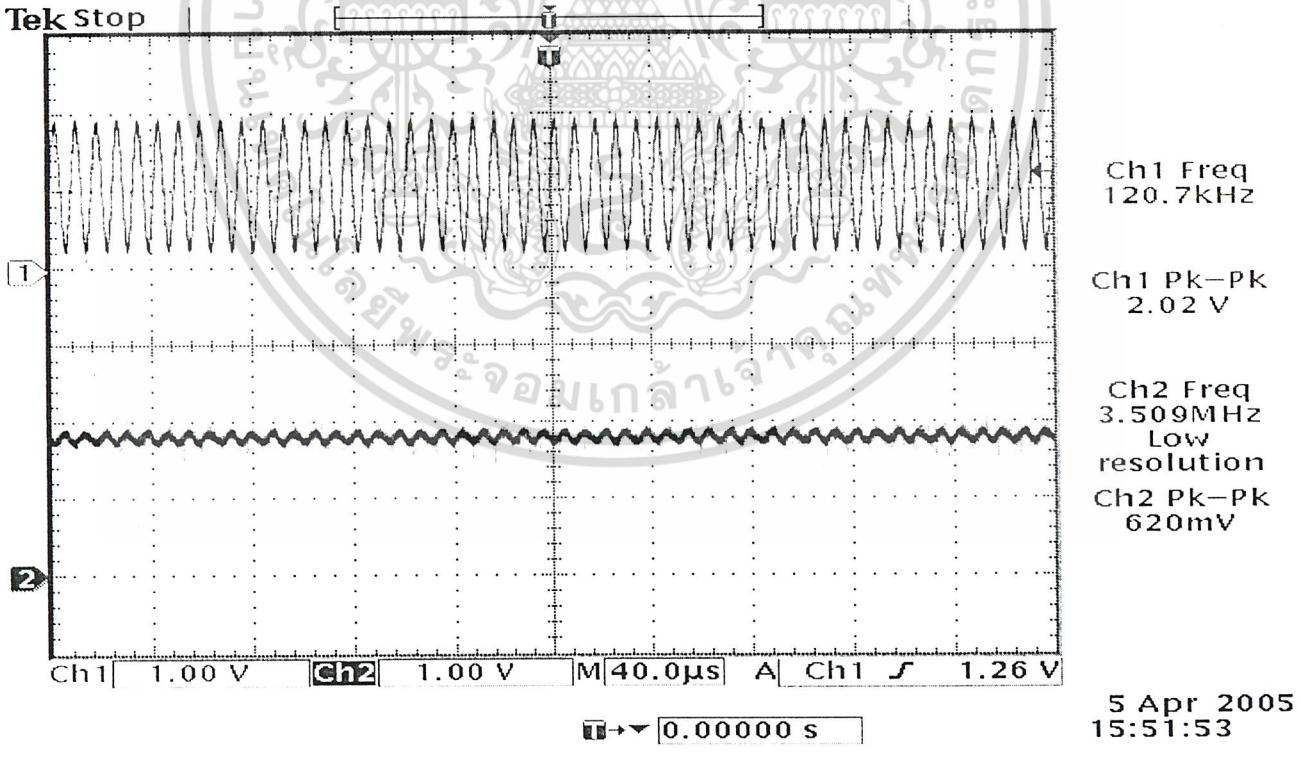


รูปที่ 5.42 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 80 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

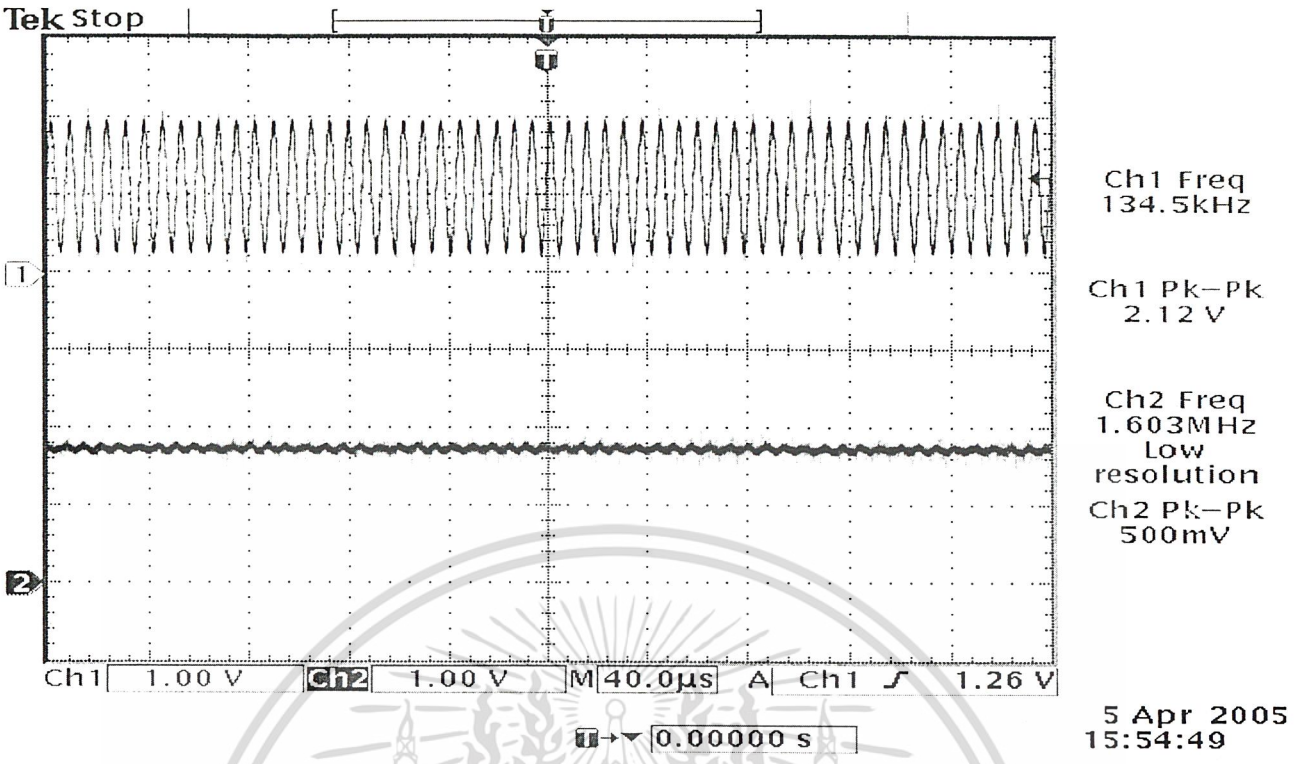


รูปที่ 5.43 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 102 กิโลเฮิร์ต



รูปที่ 5.44 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 120 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

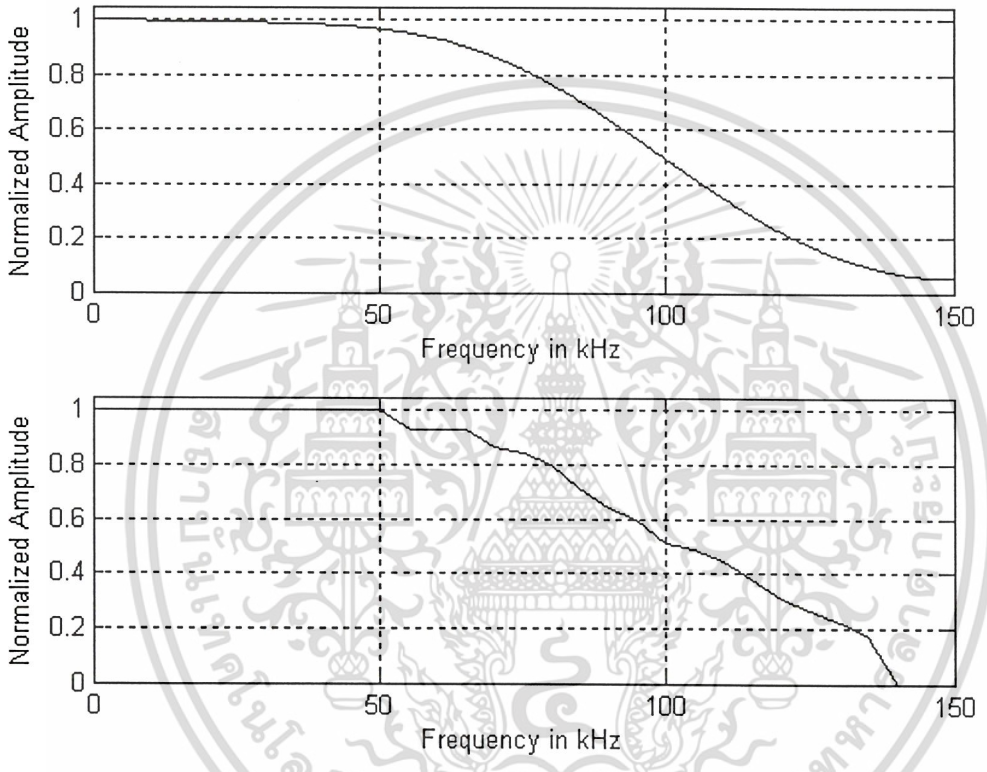


รูปที่ 5.45 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 135 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ FIR อันดับ 9 ตัวที่ 2 cut-off อยู่ที่ 100.0 KHz

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.46



รูปที่ 5.46 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.3 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่ผ่านโดยที่มี cut-off 1 อยู่ที่ 35 KHz และ cut-off 2 ที่100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

เมื่อทำการโปรแกรมวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่างความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.7

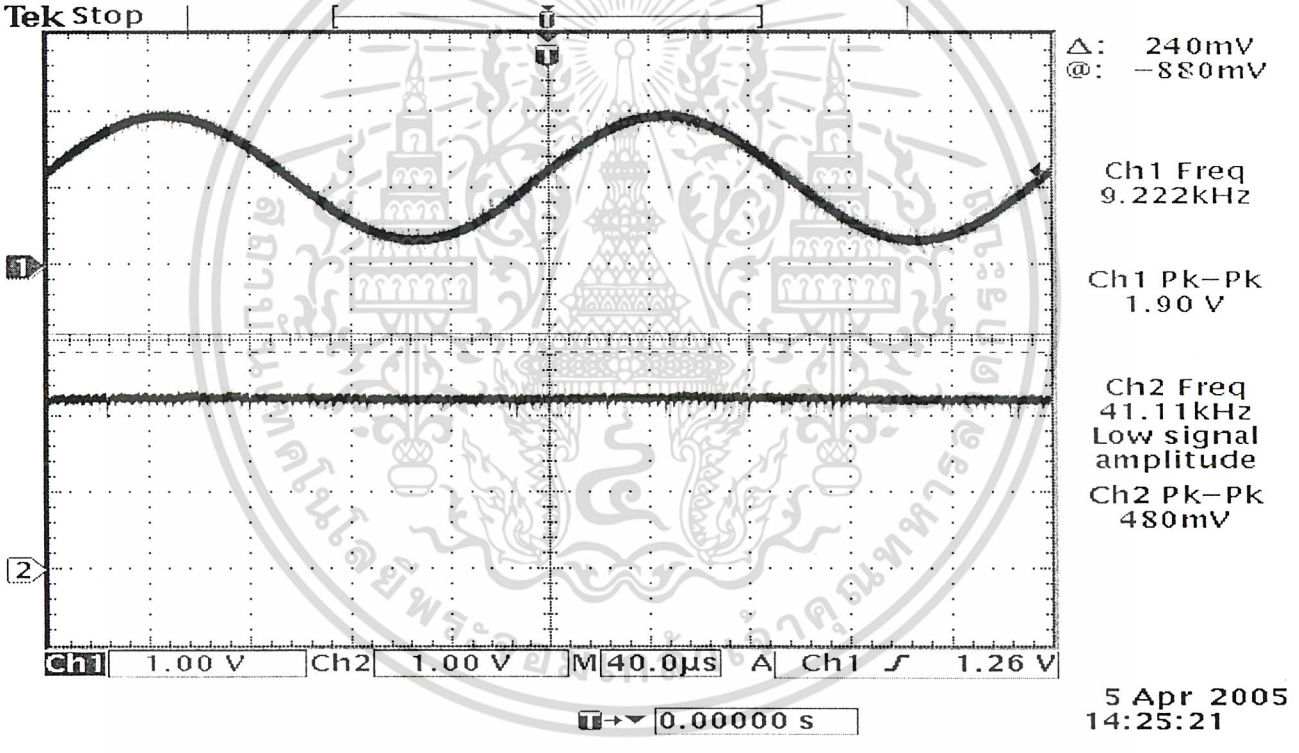
ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
5	0.00
10	0.13
15	0.16
20	0.20
25	0.31
28	0.38
30	0.41
35	0.47
40	0.54
45	0.59
50	0.65
55	0.69
60	0.71
65	0.71
70	0.71
75	0.71
80	0.65
85	0.63
90	0.57
95	0.52
100	0.45
102	0.41
105	0.40
110	0.35
115	0.31
120	0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

125	0.21
130	0.16
135	0.13
140	0.12
145	0.00
150	0.00

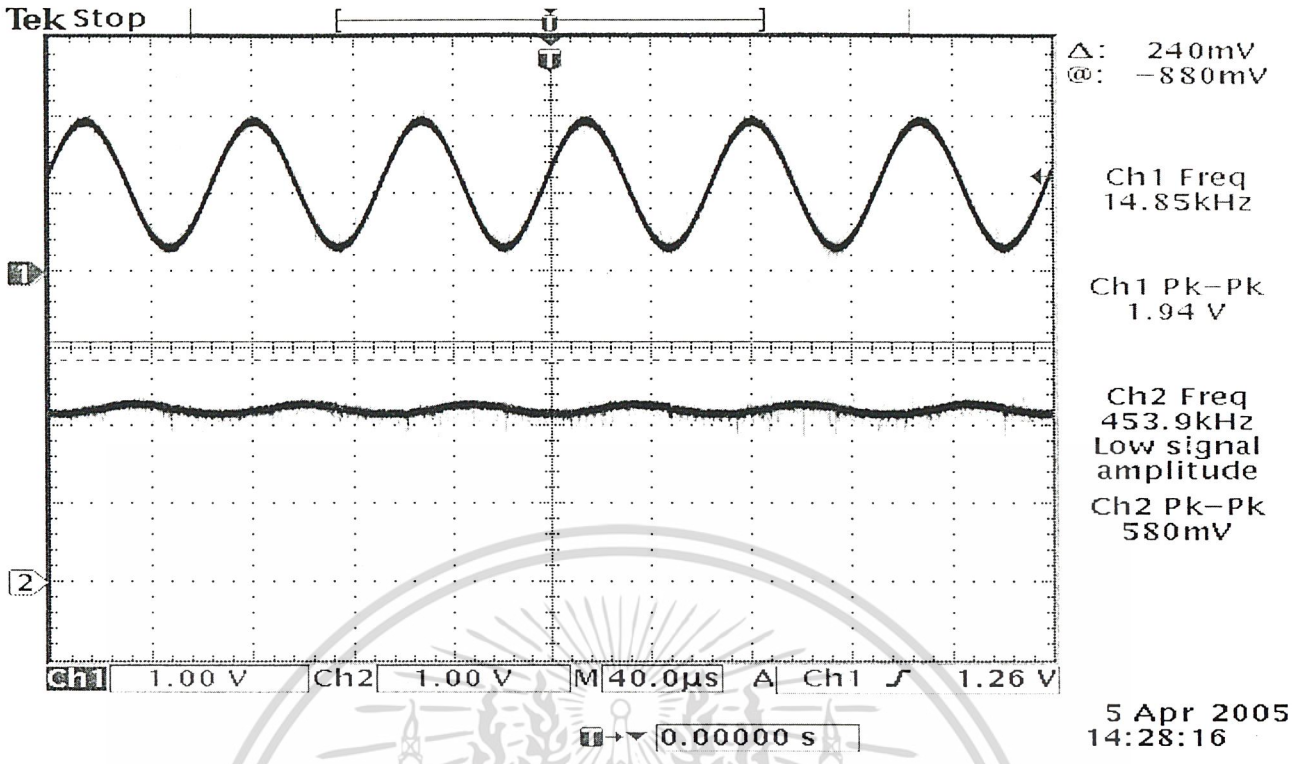
ตารางที่ 5.7 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 9

5.4.3.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่ผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9

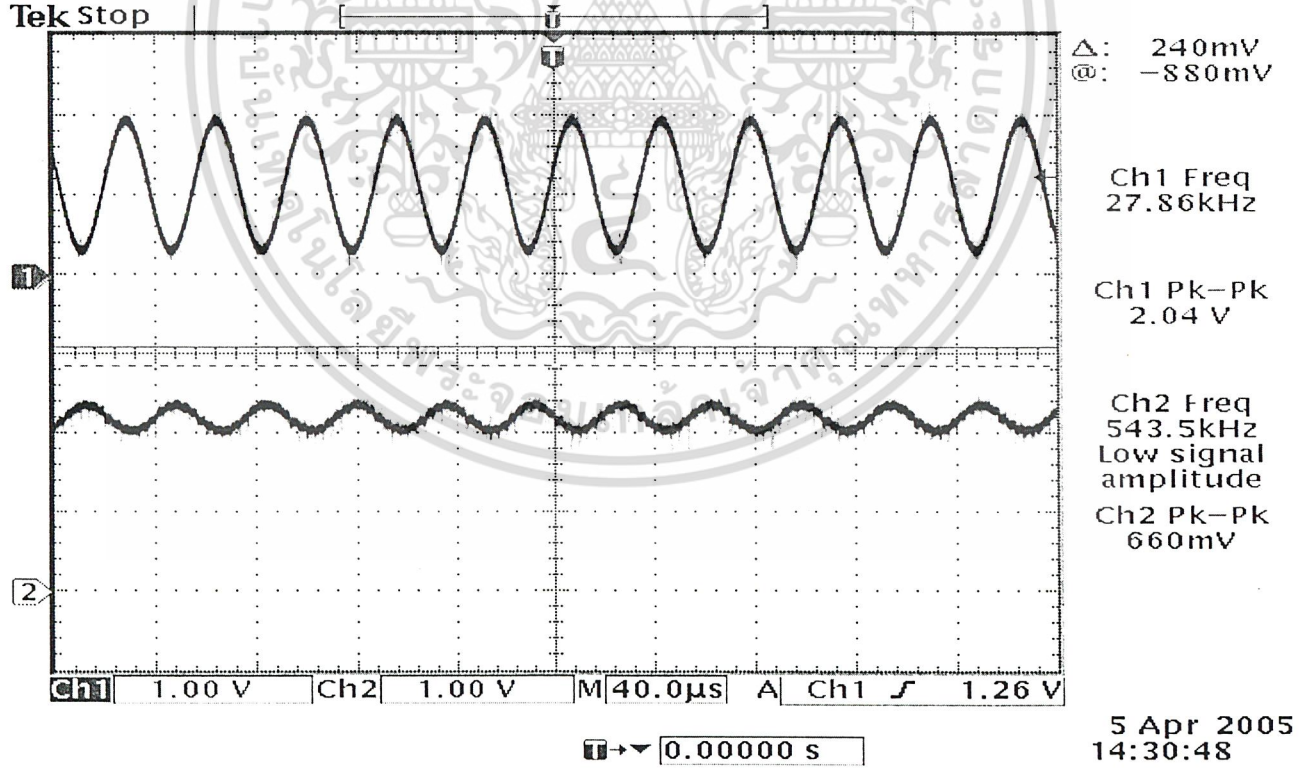


รูปที่ 5.47 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 10 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

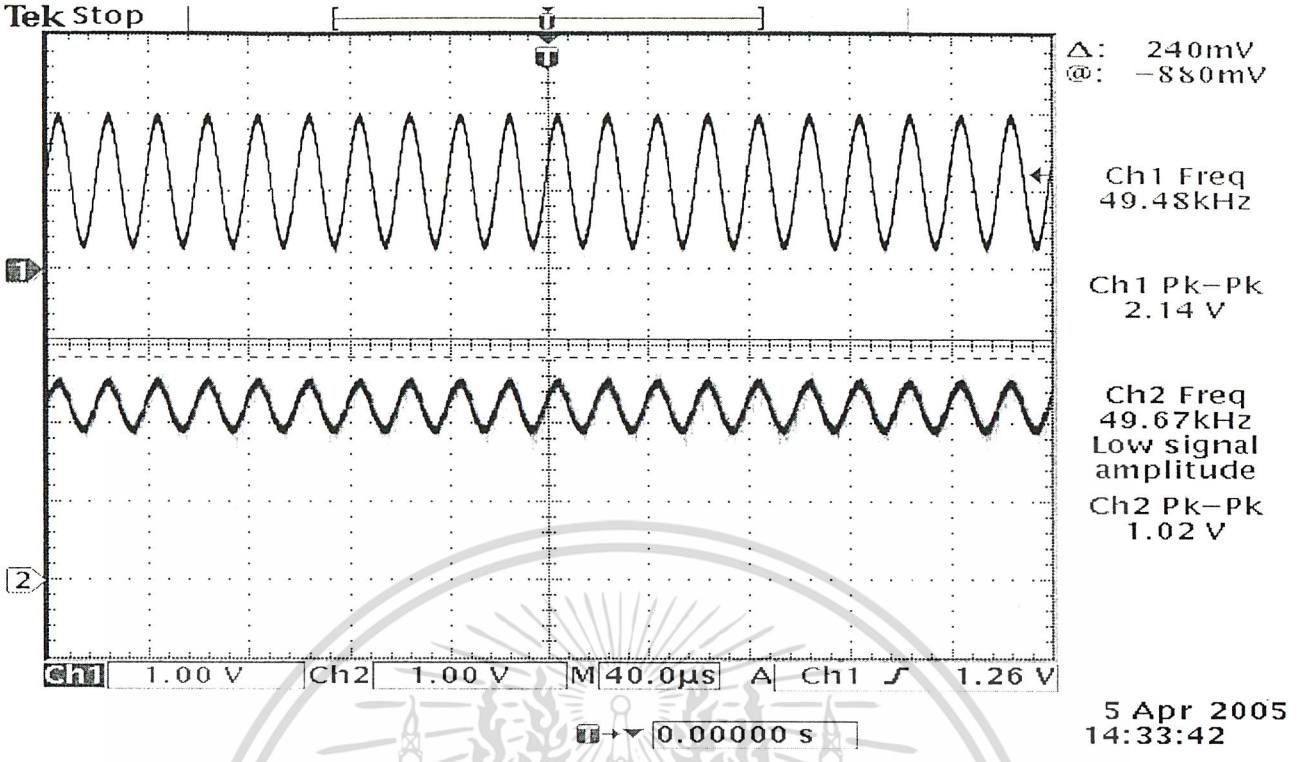


รูปที่ 5.48 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 15 กิโลเฮิร์ต

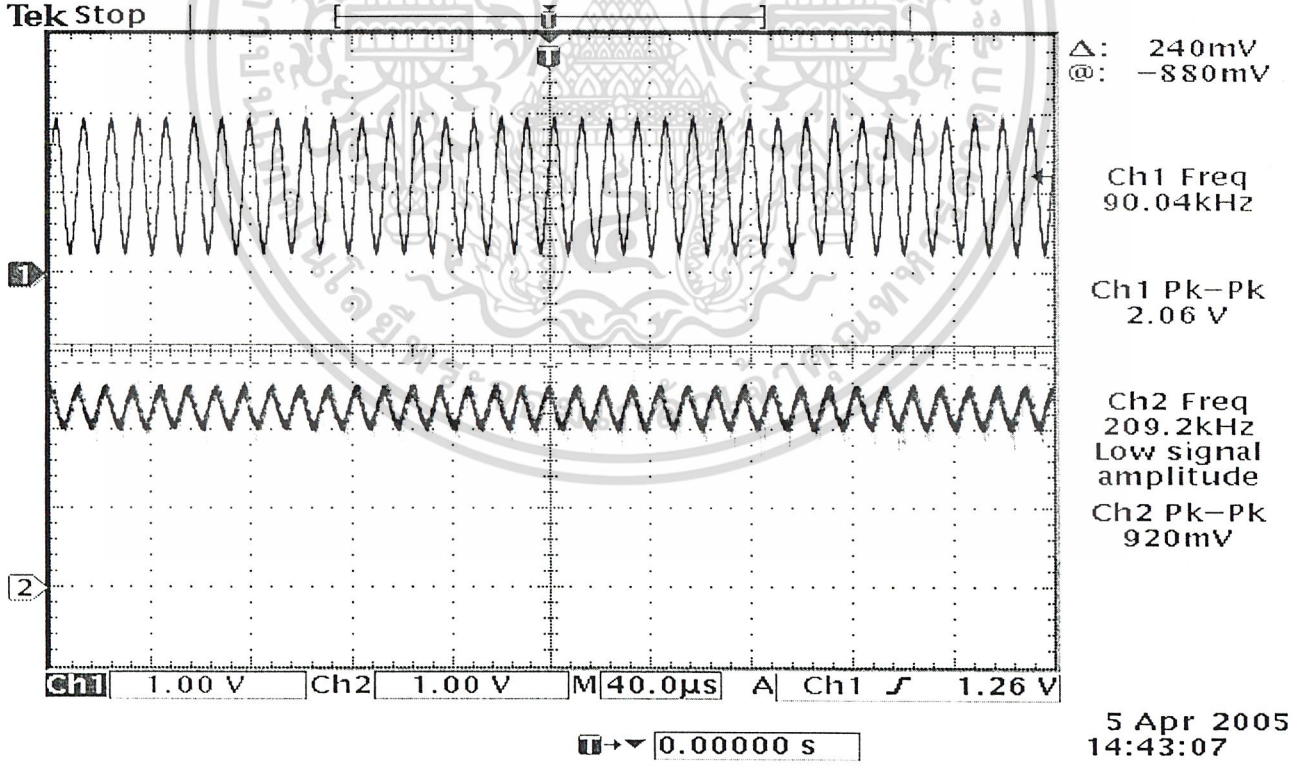


รูปที่ 5.49 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 28 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

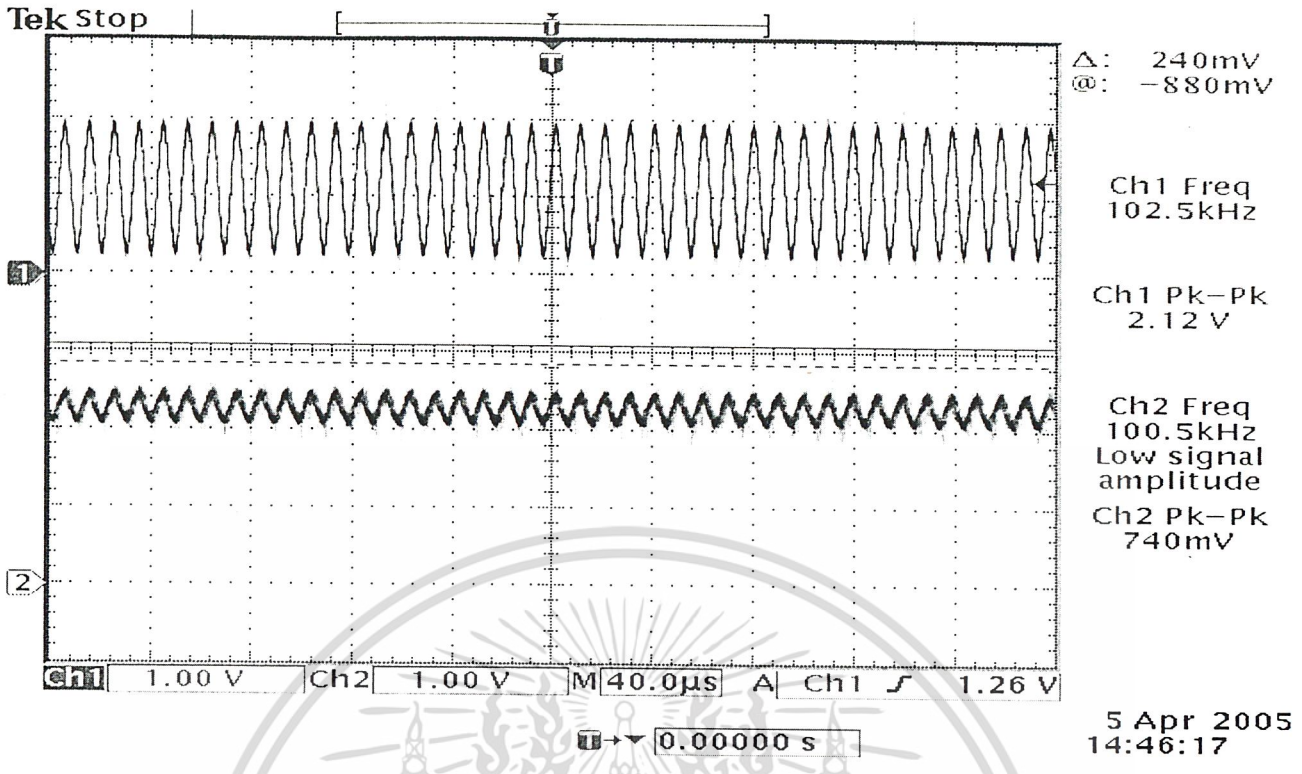


รูปที่ 5.50 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 50 กิโลเฮิร์ต

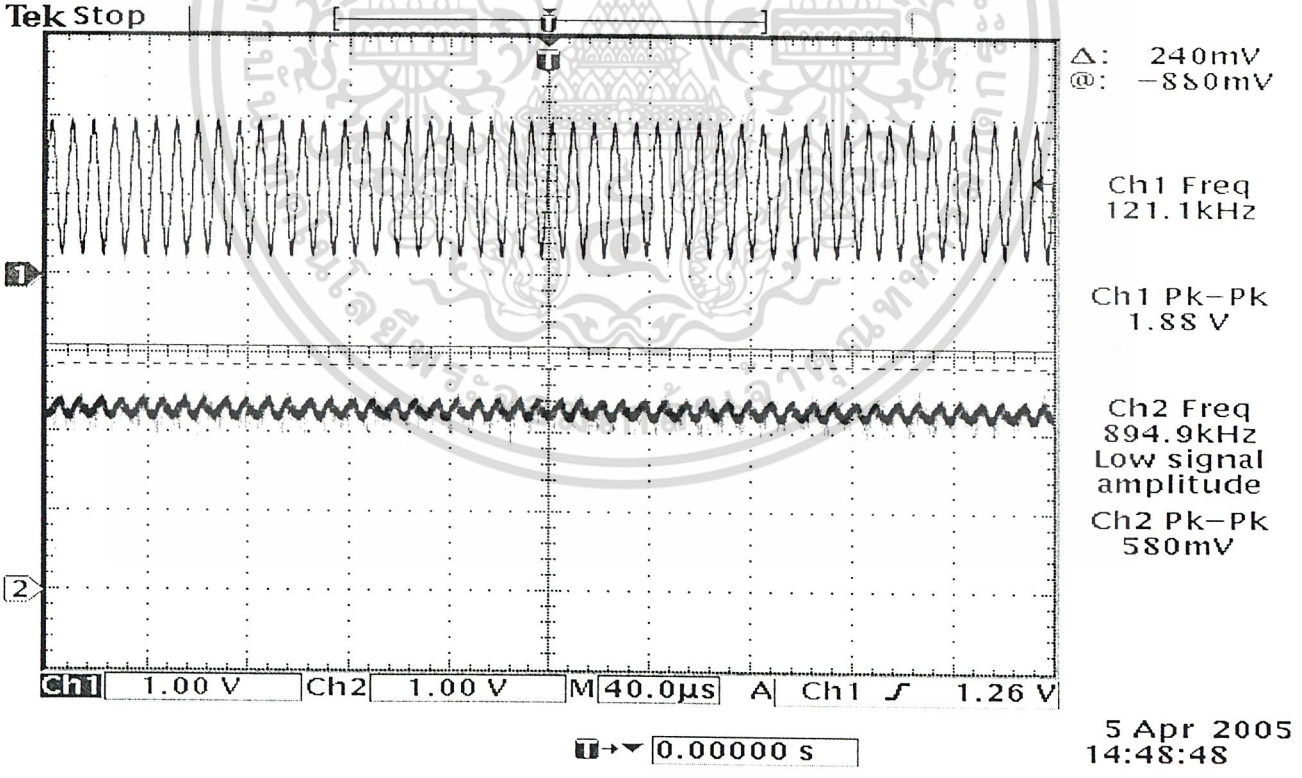


รูปที่ 5.51 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 90 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

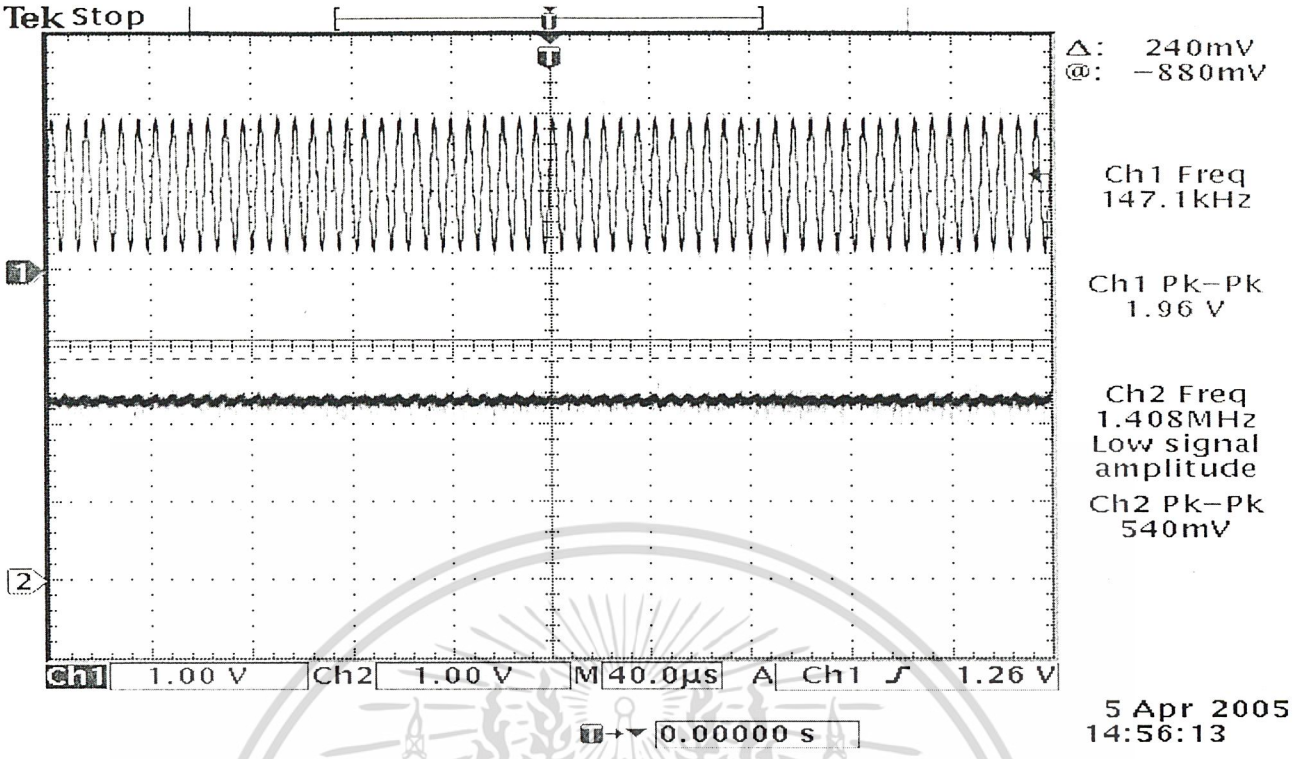


รูปที่ 5.52 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 102 กิโลเฮิร์ต



รูปที่ 5.53 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 120 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

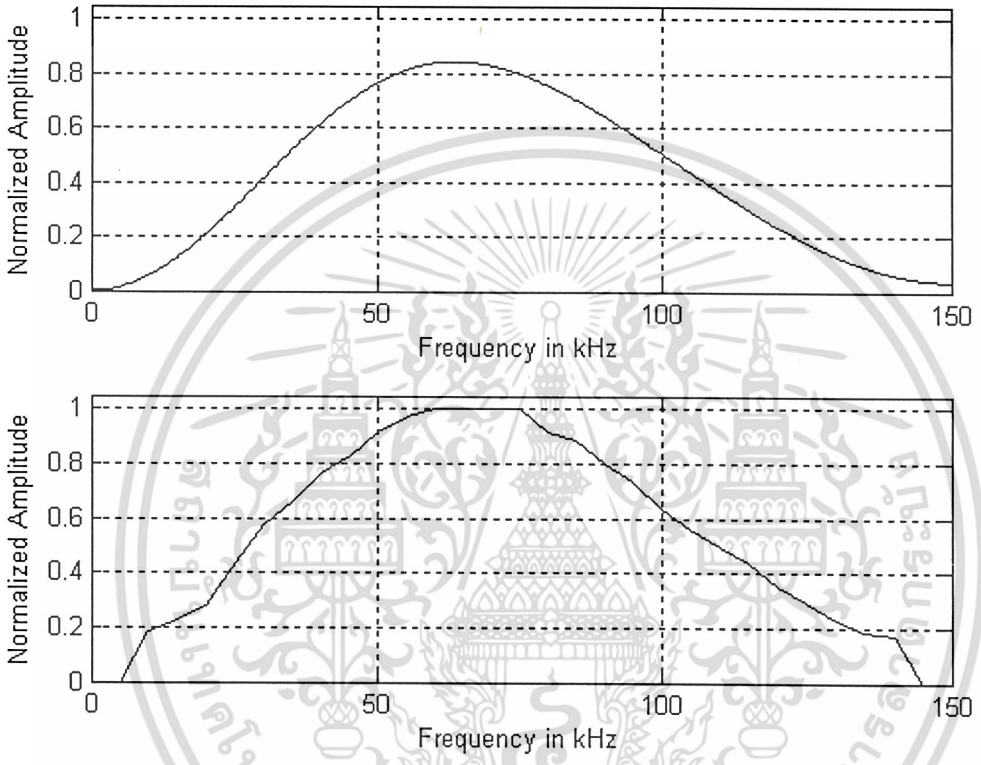


รูปที่ 5.54 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 150 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.3.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่านแบบ FIR อันดับ 9

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.55



รูปที่ 5.55 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.4 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่สูงผ่านโดยที่มี cut-off 1 อยู่ที่ 35 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

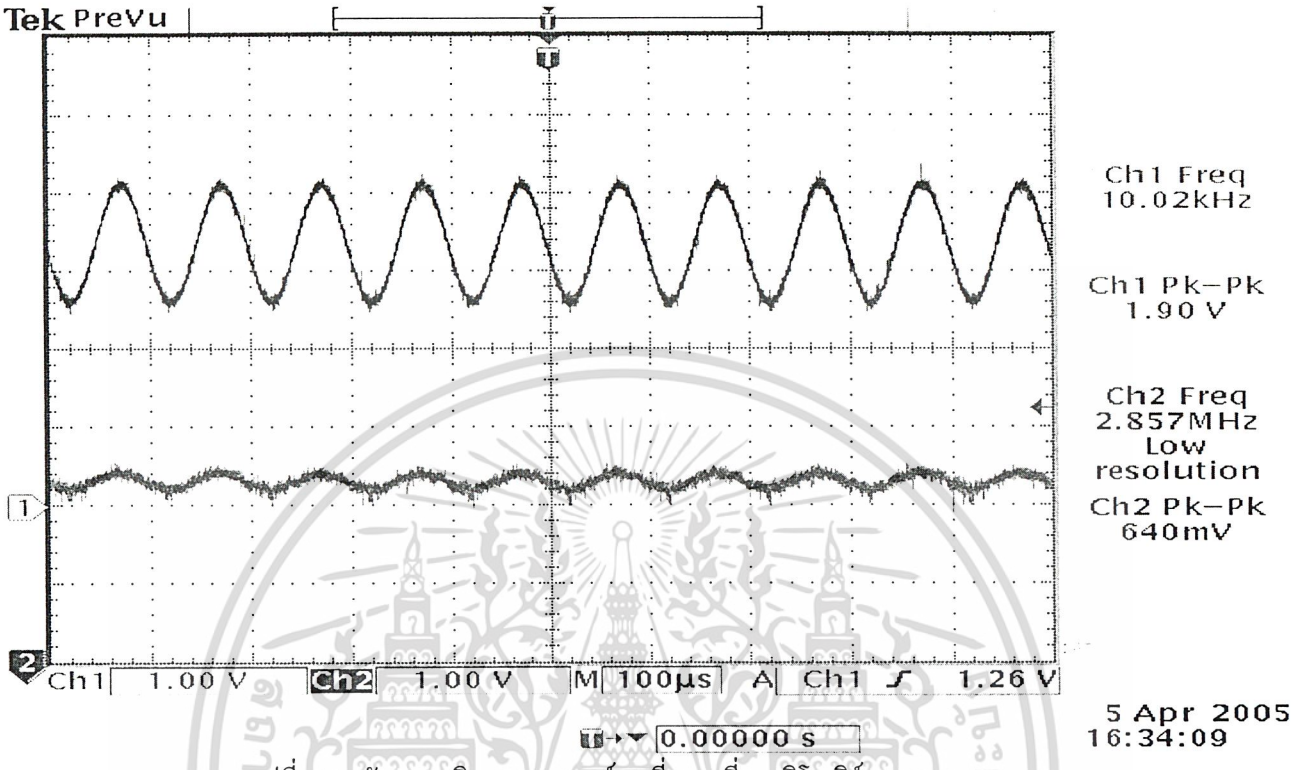
เมื่อทำการโปรแกรมวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่างความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.8

ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
10	0.30
20	0.48
25	0.52
30	0.72
35	0.72
40	0.72
45	0.80
50	0.80
55	0.80
60	0.80
70	0.80
80	0.80
85	0.80
90	0.80
95	0.80
100	0.80
105	0.80
110	0.80
115	0.80.
120	0.80
125	0.80
130	0.80

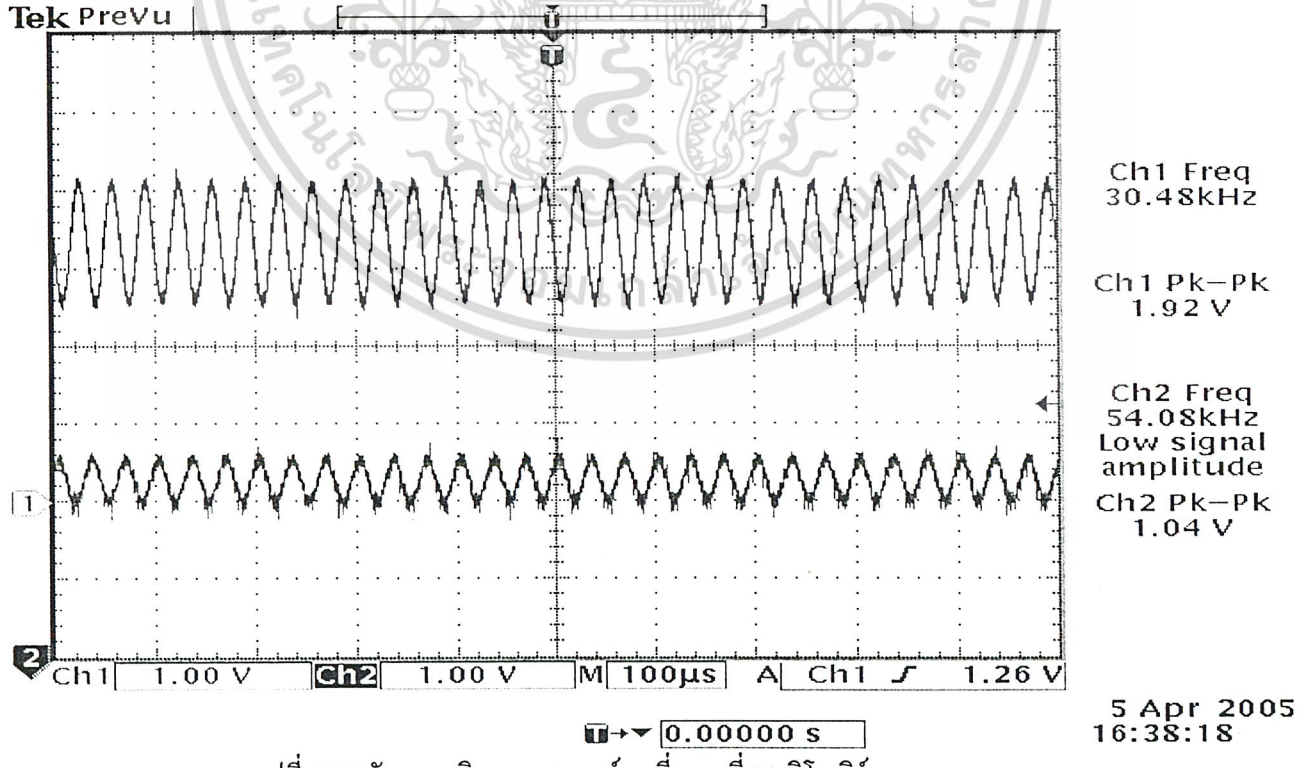
ตารางที่ 5.8 ผลวัดสัญญาณที่ได้จากวงจรกรองความถี่สูงผ่าน ของ FIR Multifunctional Filter อันดับที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.4.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่สูงผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9

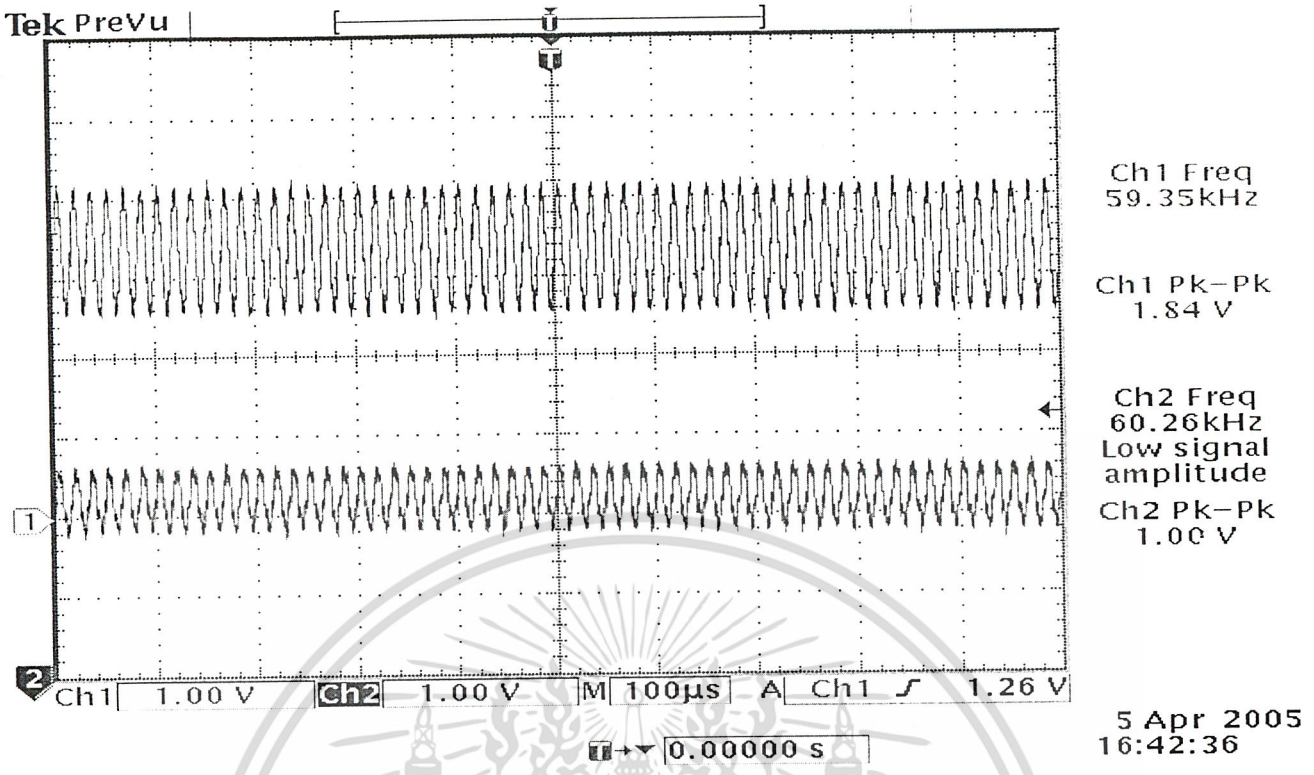


รูปที่ 5.56 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 10 กิโลเฮิร์ต

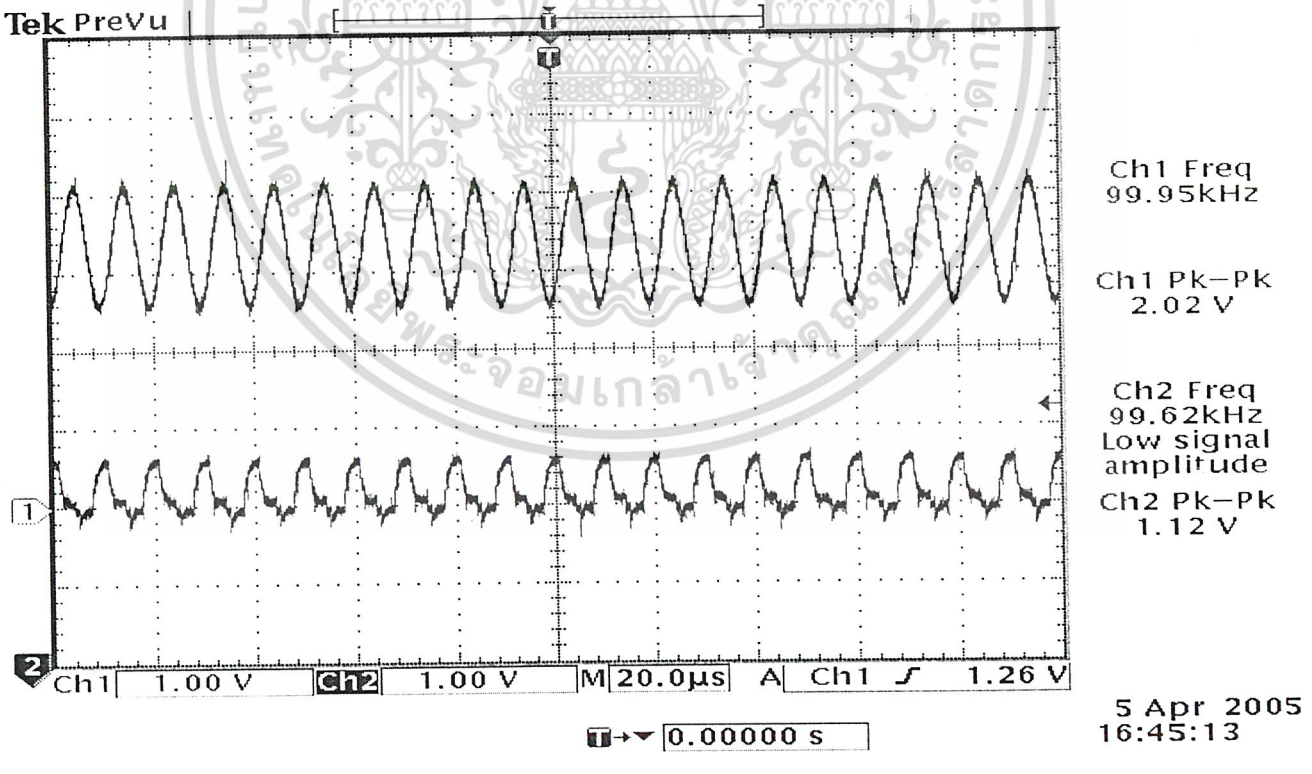


รูปที่ 5.57 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 30 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.58 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 60 กิโลเฮิร์ต

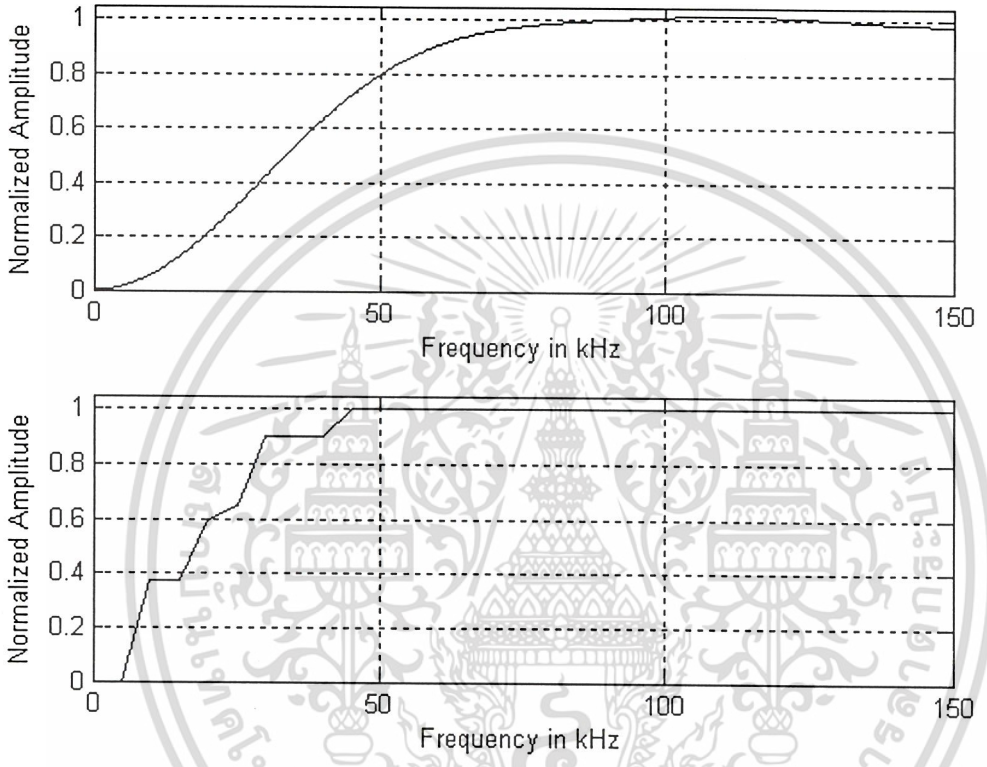


รูปที่ 5.59 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.4.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านแบบ FIR อันดับ 9

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.60



รูปที่ 5.60 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.5 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่สูงผ่านโดยที่มี cut-off 2 อยู่ที่ 100 KHz ของวงจร FIR Multifunctional Filter อันดับที่ 9

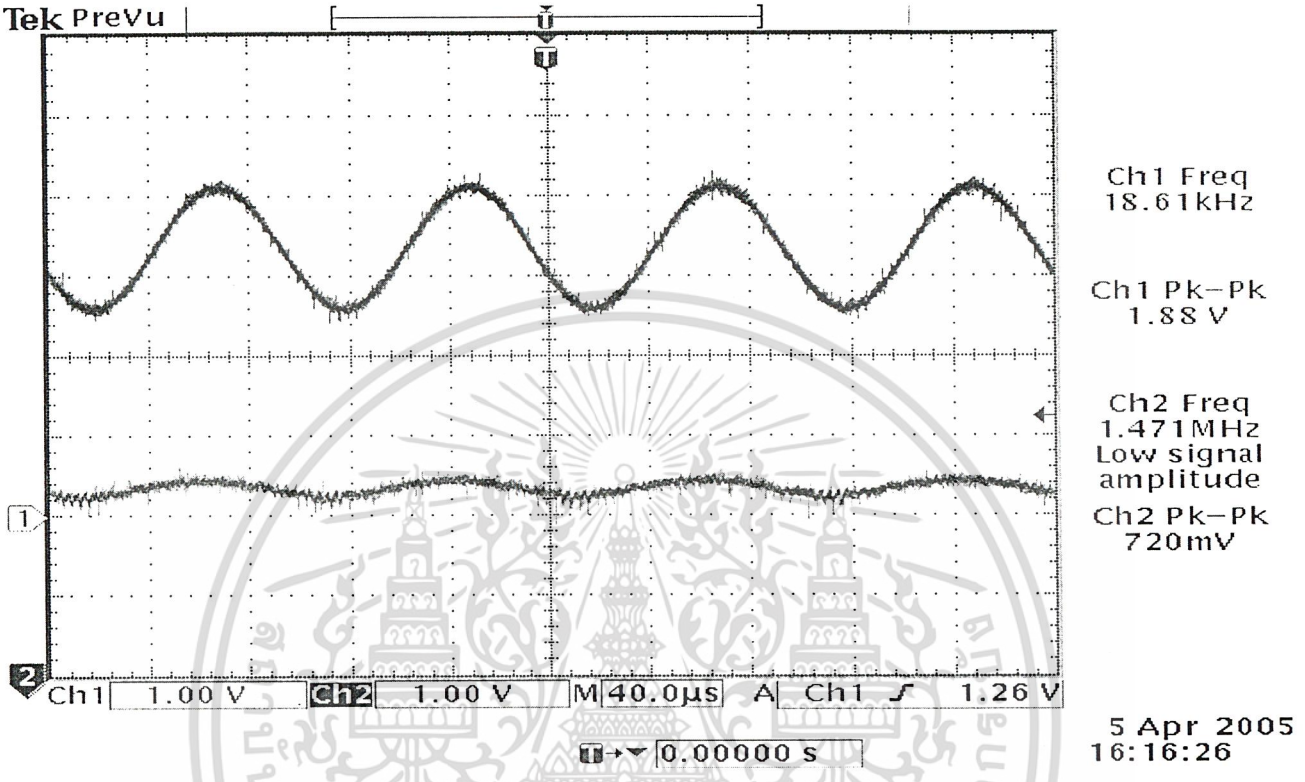
เมื่อทำการโปรแกรมวงจรกรองความถี่ผ่าน ของ FIR Multifunctional Filter อันดับที่ 9 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่างความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.9

ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
10	0.34
20	0.48
25	0.60
30	0.64
35	0.70
40	0.72
45	0.76
50	0.78
55	0.88
60	0.94
70	0.94
80	0.94
85	0.94
90	0.94
95	0.94
100	0.94
105	0.94
110	0.94
115	0.94
120	0.94
125	0.94
130	0.94

ตารางที่ 5.9 ผลวัดสัญญาณที่ได้จากวงจรกรองความถี่สูงผ่าน ของ FIR Multifunctional Filter อันดับที่ 9

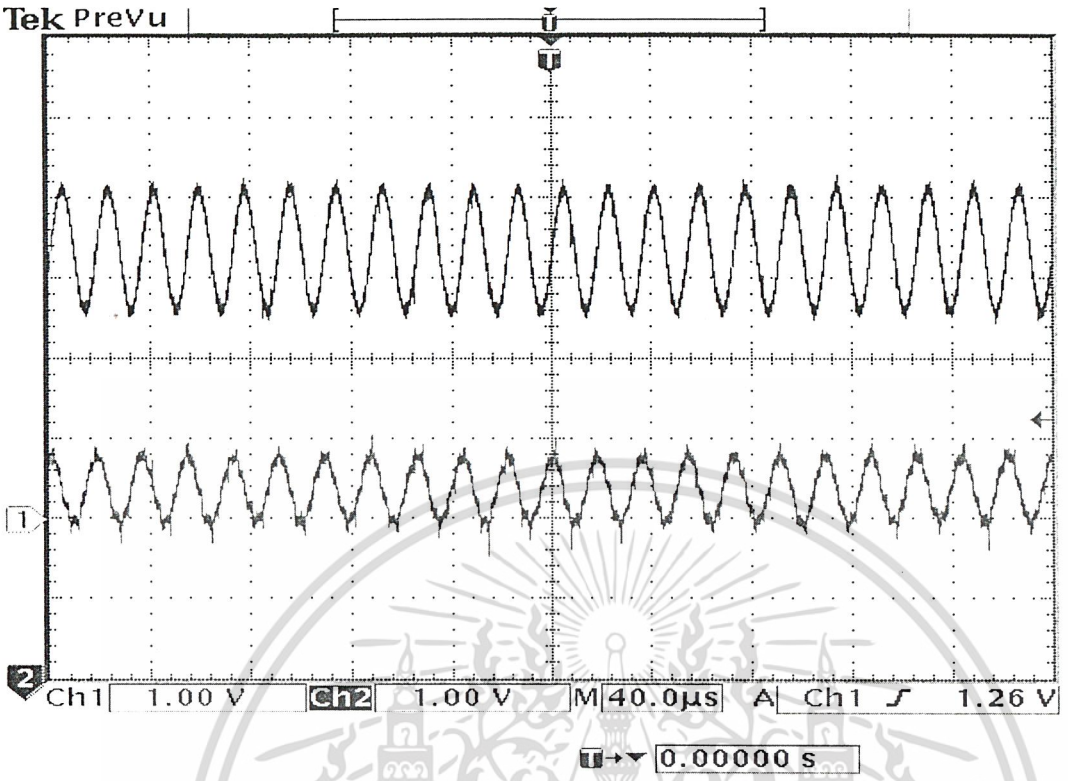
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.5.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่สูงผ่านของวงจร FIR Multifunctional Filter อันดับที่ 9

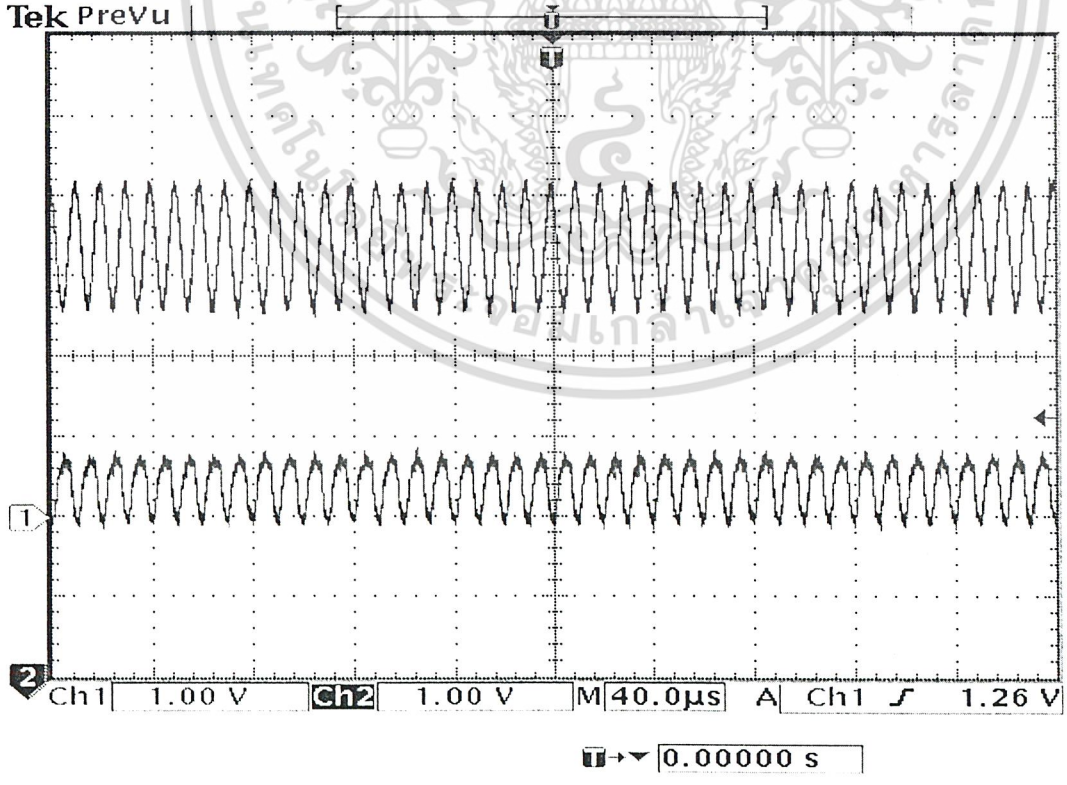


รูปที่ 5.61 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 10 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.62 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 55 กิโลเฮิร์ต

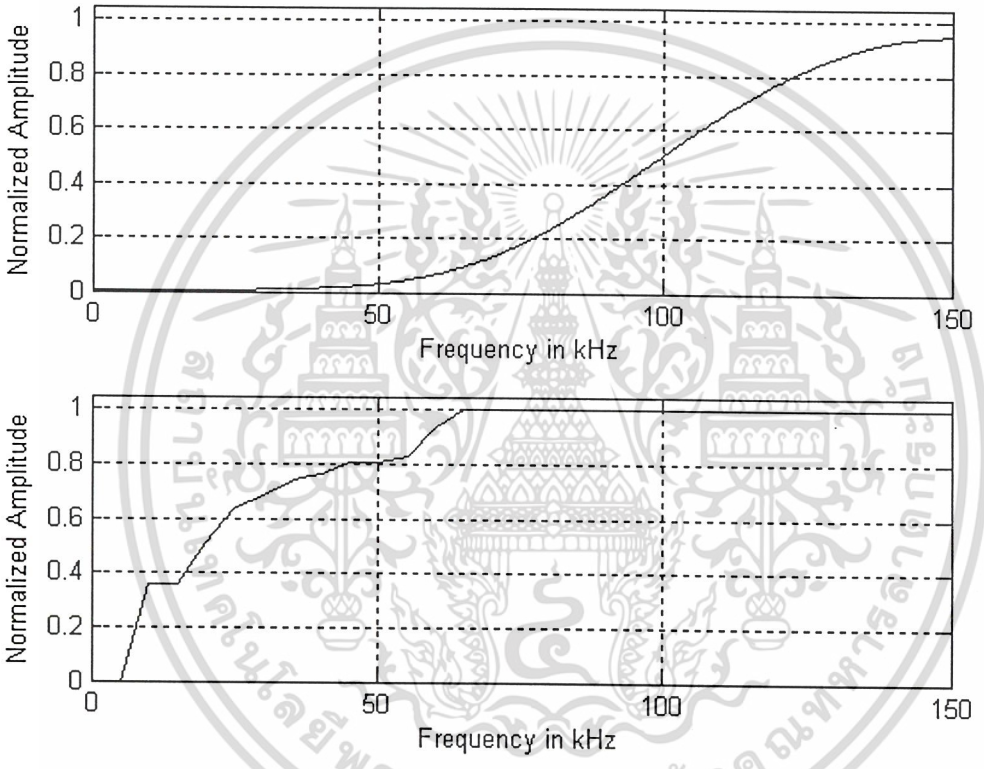


รูปที่ 5.63 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.5.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านแบบ FIR อันดับ 9

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาทุ์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.64



รูปที่ 5.64 ผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน FIR อันดับที่ 9 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.6 ผลการวัดความถี่และแรงดันไฟฟ้าทางด้านเอาท์พุทของวงจรกรองความถี่หยุดโดยที่มี notch frequency อยู่ที่ 60 KHz ของวงจร IIR Notch Filter อันดับที่ 2

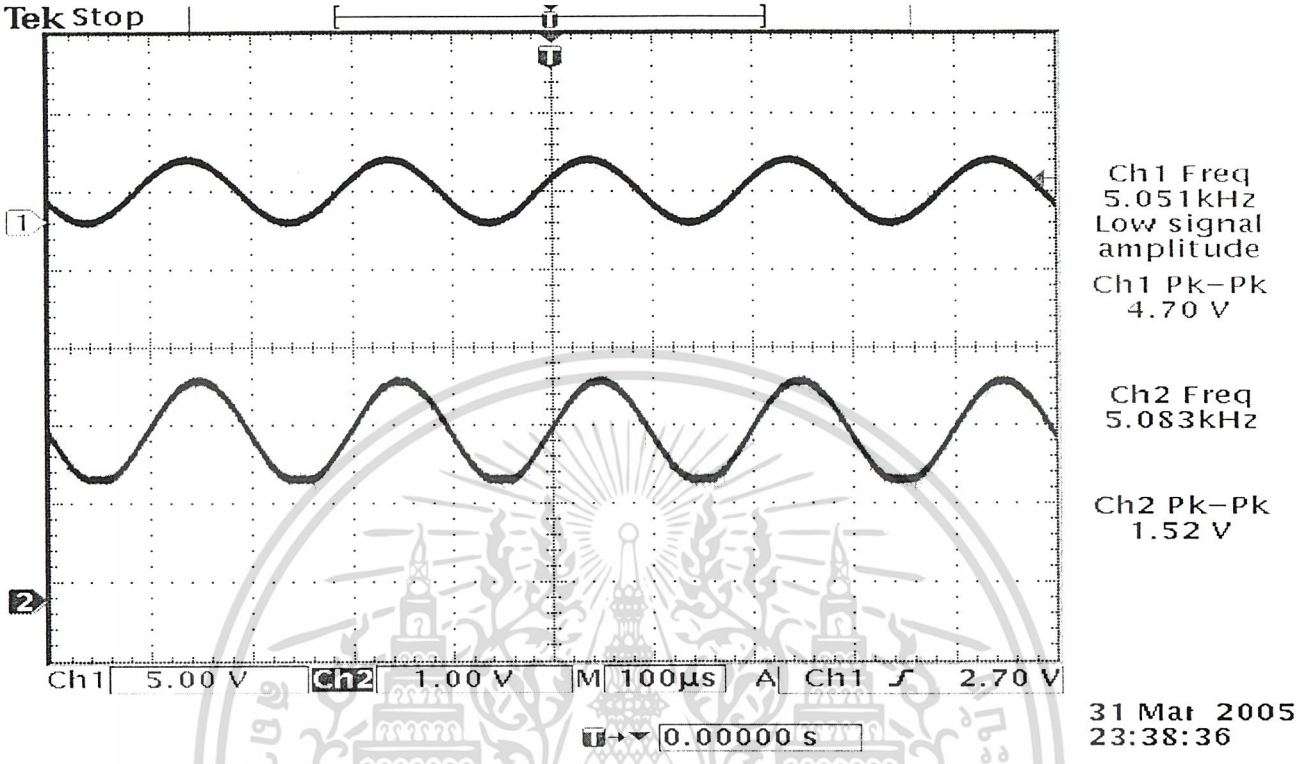
เมื่อทำการโปรแกรมวงจรกรองความถี่หยุด ของ IIR Notch Filter อันดับที่ 2 ที่ได้ทำการออกแบบไว้ในโปรแกรม Max+plus II ลงชิพ FPGA เรียบร้อยแล้ว ทำการวัดความสัมพันธ์ระหว่างความถี่ (Hz) กับสัญญาณแรงดันทางเอาท์พุท (Volts) จากสโคปวัดสัญญาณได้ค่าตามตารางที่ 5.10

ความถี่ (KHz)	แรงดันทางเอาท์พุท (Volts)
5	1.42
10	1.42
15	1.42
20	1.42
25	1.18
30	1.18
35	0.98
40	0.80
45	0.66
50	0.54
55	0.38
60	0.00
65	0.38
70	0.52
75	0.74
80	1.04
85	1.28
90	1.50
95	1.88
100	1.88
105	1.88
110	1.88

ตารางที่ 5.10 ผลการวัดสัญญาณที่ได้จากวงจรกรองความถี่หยุด ของ IIR Notch Filter อันดับที่ 2

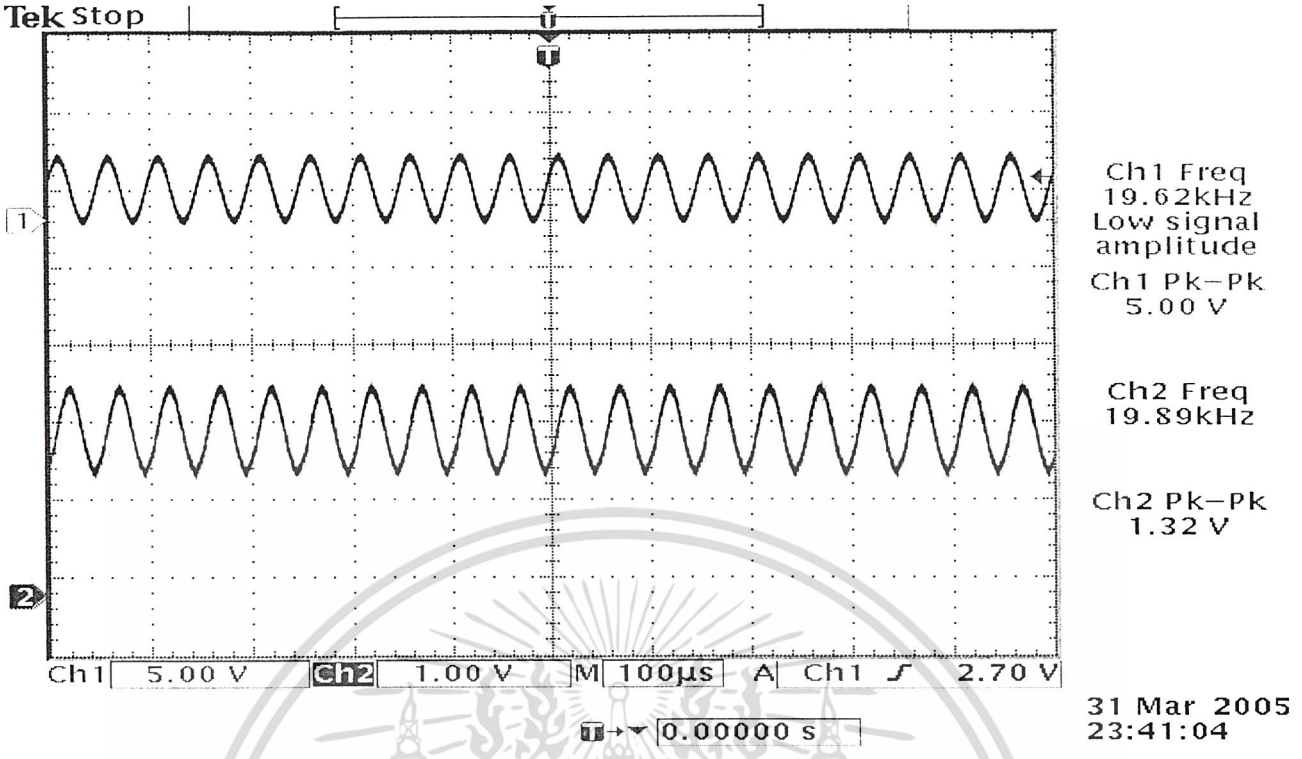
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.6.1 ผลการวัดสัญญาณก่อนและหลังเข้าวงจรกรองความถี่หยุดของวงจร IIR Notch Filter อันดับที่ 2

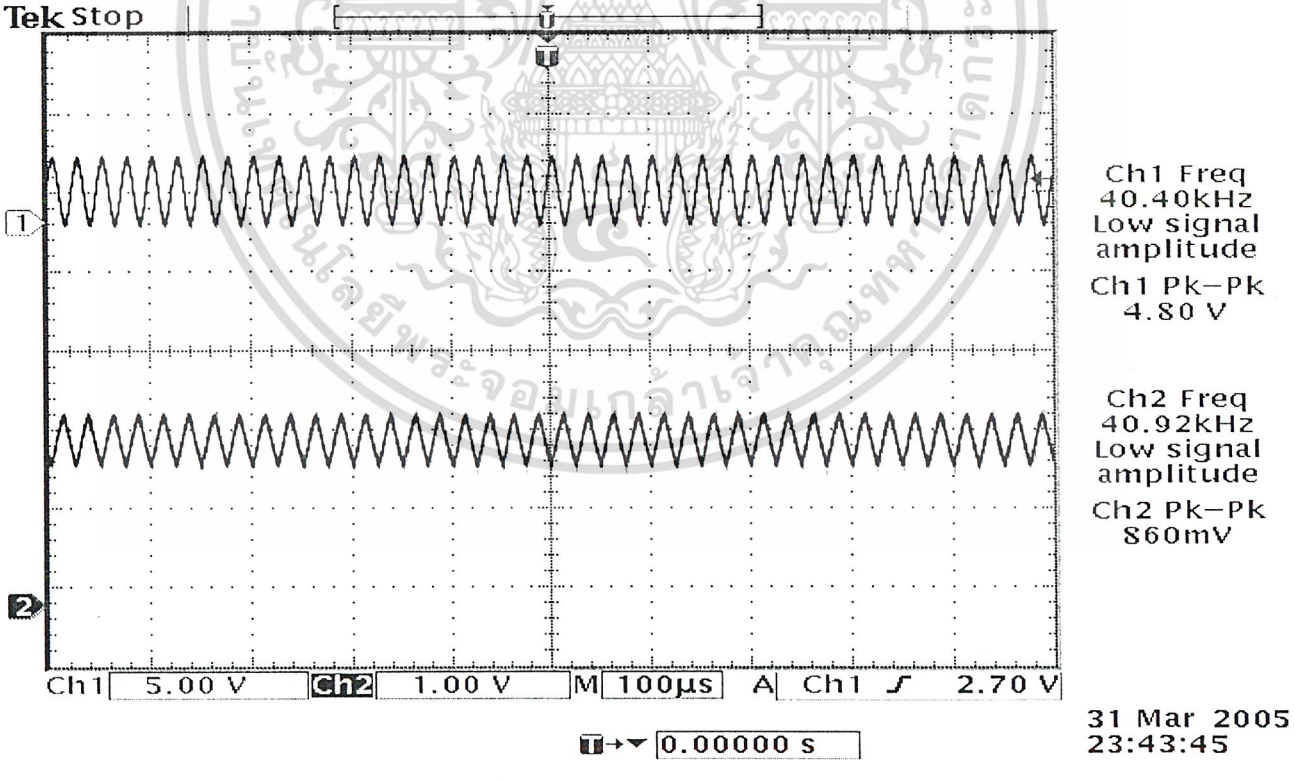


รูปที่ 5.65 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 5 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

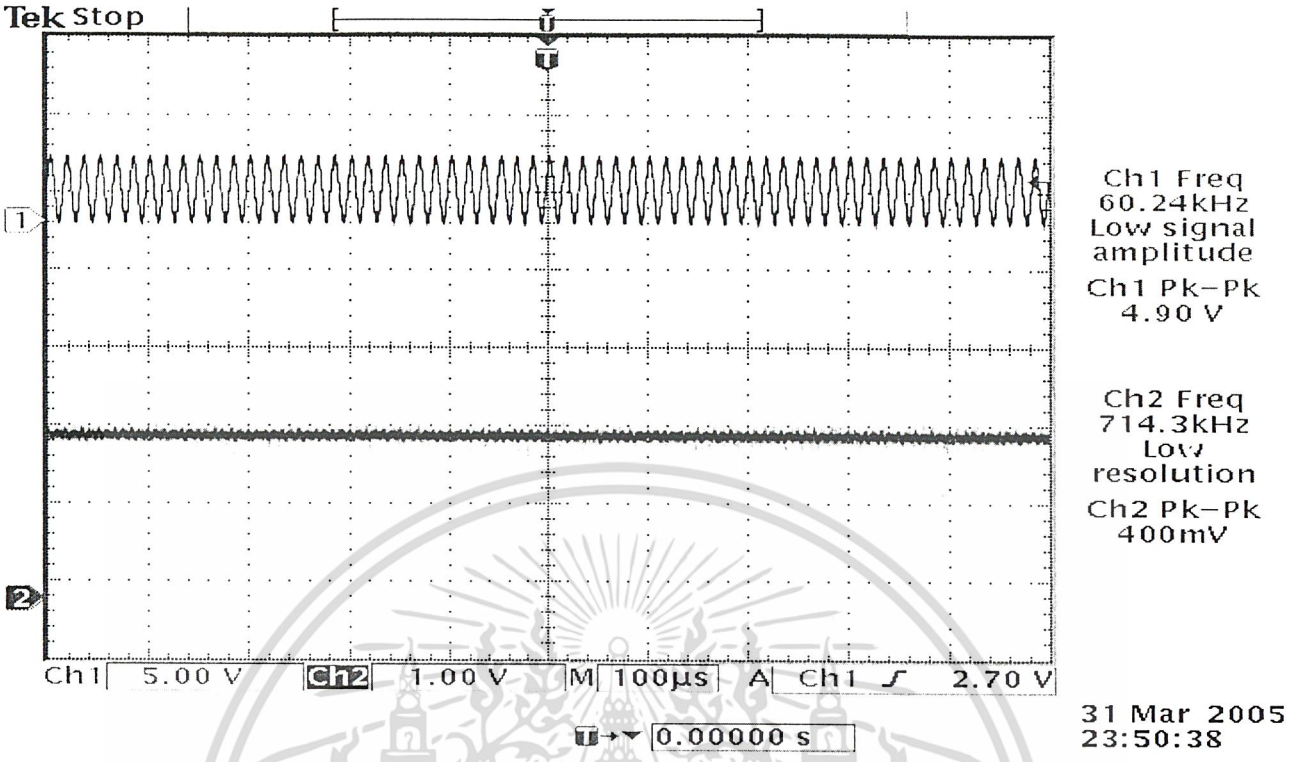


รูปที่ 5.66 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 20 กิโลเฮิร์ต

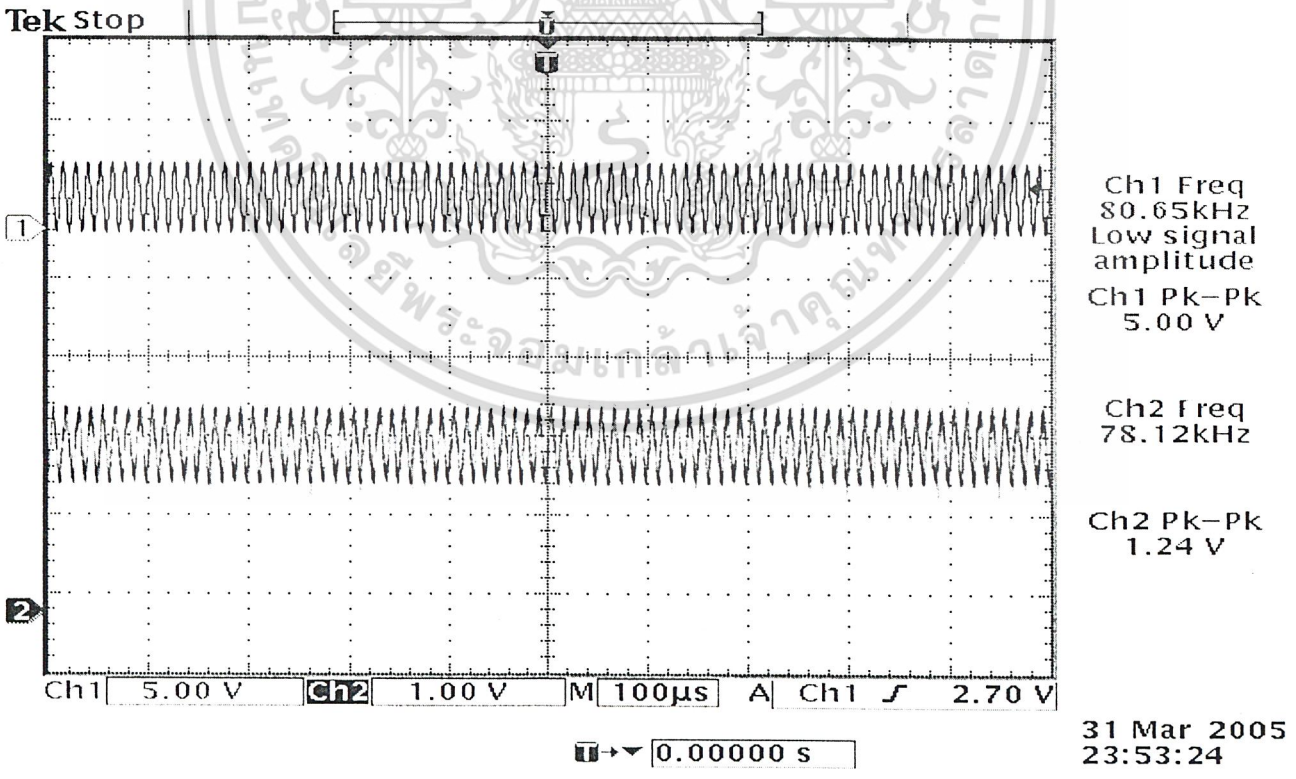


รูปที่ 5.67 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 40 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

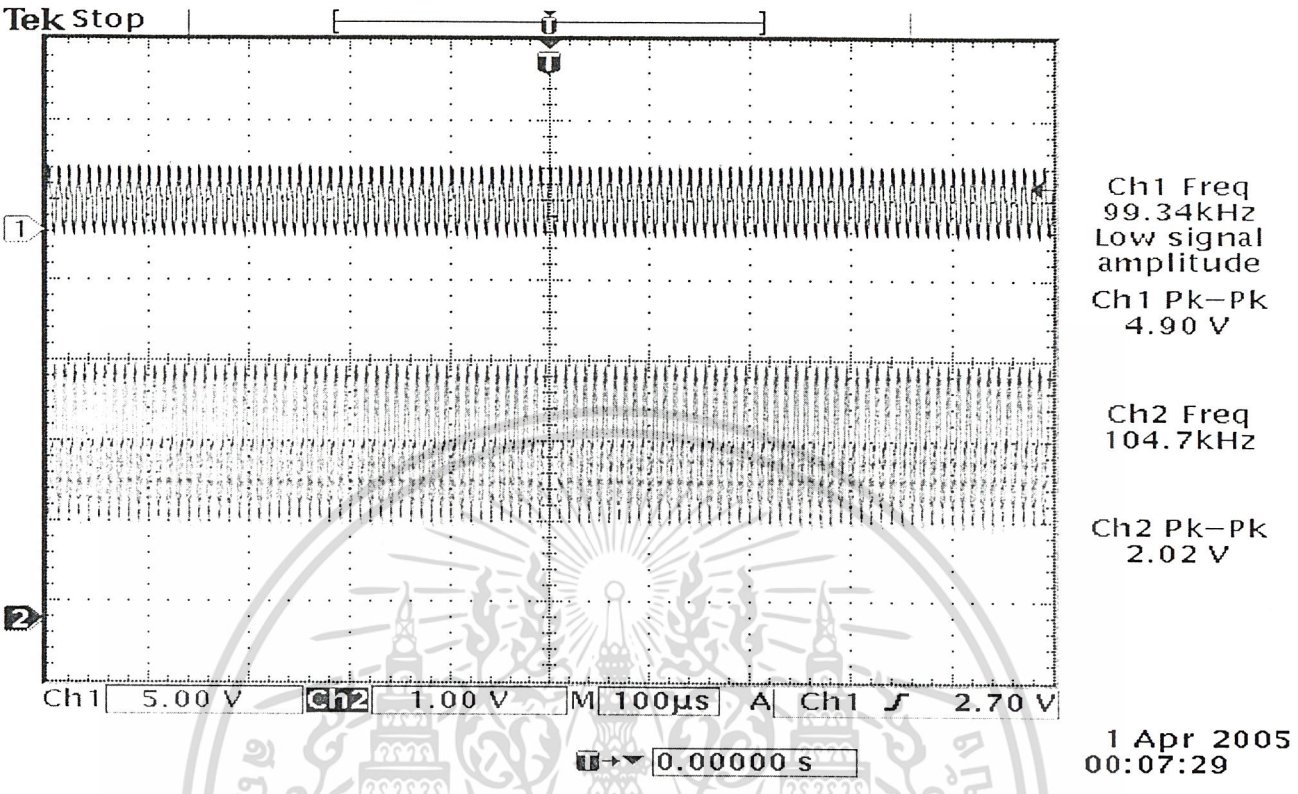


รูปที่ 5.68 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 60 กิโลเฮิร์ต



รูปที่ 5.69 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 80 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

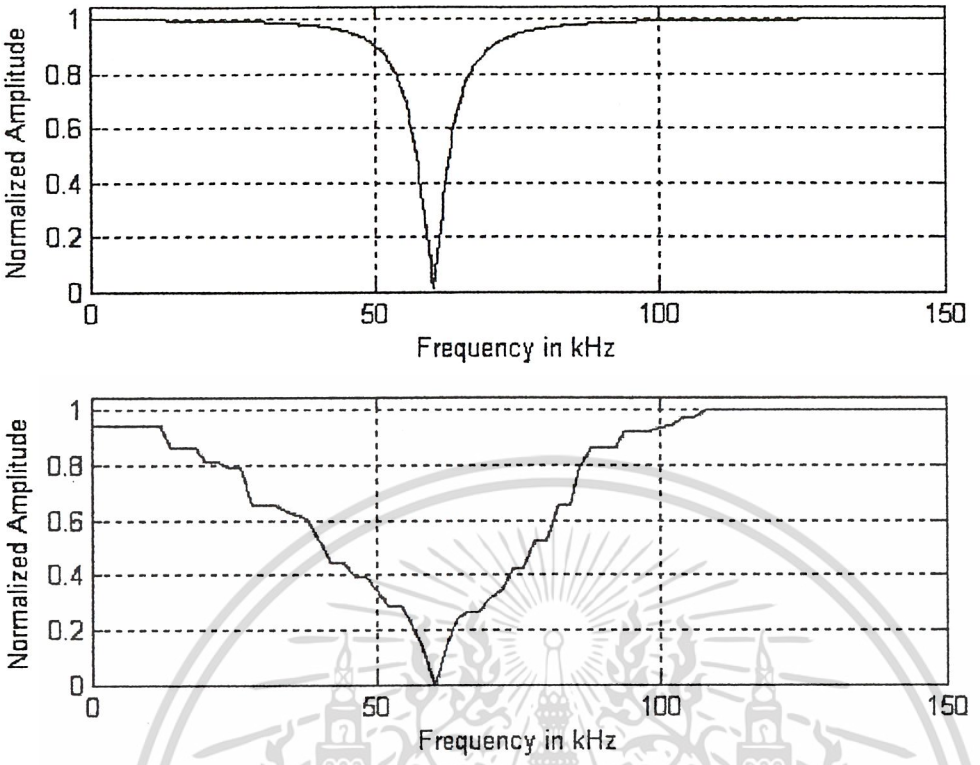


รูปที่ 5.70 สัญญาณอินพุตและเอาท์พุตที่ความถี่ 100 กิโลเฮิร์ต

5.4.6.2 ผลตอบสนองทางความถี่ของวงจรกรองความถี่หยุดแบบ IIR อันดับ 2

เมื่อนำค่าความสัมพันธ์ที่เก็บผลจากการทดลองของ ความถี่ของสัญญาณด้านอินพุท กับแรงดันทางด้านเอาท์พุท แล้วนำมาพล็อทเป็นกราฟของผลตอบสนองทางความถี่ (Frequency Response) โดยที่แรงดันทางด้านเอาท์พุทนั้นจะต้องนำมาผ่านการนอมอลไลซ์ค่าเสียก่อน ซึ่งการนอมอลไลซ์ค่านี้ทำโดยการทำให้ค่าแรงดันทางด้านเอาท์พุทที่มีค่าสูงสุดเป็น 1 ผลจากการพล็อทกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 5.71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.71 ผลตอบสนองทางความถี่ของวงจรกรองความถี่หยุด IIR อันดับที่ 2 เมื่อพล็อตจากการทดลองเมื่อเทียบระหว่างทฤษฎี กับผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดลองและข้อเสนอแนะ

แนวทางการสร้างวงจรกรองในปริญญานิพนธ์นี้ใช้ถึง 3 แนวทางด้วยกันคือ แบบใช้ตัวคูณเพียงตัวเดียวซึ่งแนวทางนี้แม้จะประหยัดในด้านการใช้จำนวนตัวคูณ แต่ก็มีปัญหาในเรื่องของเลขไบนารีที่เป็นเลขแบบไม่คิดเครื่องหมายทำให้ยุ่งยากในกระบวนการของการลบ ซึ่งต้องมาคอยพิจารณาในเรื่องของขนาดทำให้มีโอกาสผิดพลาดได้ แนวทางต่อมาเป็นแบบใช้รูปแบบของเลขจำนวนจริง ซึ่งมีความละเอียดในการเก็บค่าที่สูงที่สุดทำให้ผลลัพธ์ที่ได้มีความถูกต้องมากที่สุดอีกทั้งยังใช้รูปแบบของตัวเลขไบนารีแบบคิดเครื่องหมาย ทำให้สามารถตัดปัญหาในเรื่องของกระบวนการการลบไปได้ แต่มีข้อเสียข้อใหญ่ก็คือ รูปแบบของเลขจำนวนจริงนี้จะใช้เนื้อที่ชิพมากในการสร้าง อีกทั้งยังใช้เวลาในการประมวลผลนานมาก ทำให้เกิดแนวทางสุดท้ายในการสร้างวงจรกรองคือ แทนในส่วนของตัวคูณด้วยรูปแบบการคูณแบบ บูท อัลกอริทึม โดยที่รูปแบบนี้ใช้เพียงกระบวนการการบวก และการเลื่อนบิตของเลขไบนารี่เท่านั้น ทำให้วงจรที่ใช้ บูท อัลกอริทึม จะมีความเร็วในการประมวลผลที่เร็วมาก อีกทั้งยังใช้เนื้อที่ชิพที่ใช้นั้นน้อยมากและระบบตัวเลขที่ใช้เป็นเลขส่วนเติมเต็มสองด้วย ทำให้สามารถเพิ่มจำนวนอันดับของวงจรให้มากขึ้นได้ ซึ่งจะมีผลทำให้ผลตอบสนองของวงจรดีมากยิ่งขึ้น

จากข้อสรุปข้างต้นนั้นจะเห็นได้ว่ารูปแบบที่ใช้ บูท อัลกอริทึม นั้นมีประสิทธิภาพสูงที่สุด ดั้งนั้นข้อเสนอแนะคือ อาจใช้รูปแบบของ บูท อัลกอริทึม ผสมกับแบบการใช้ตัวคูณเพียงตัวเดียวก็น่าจะทำให้ได้ประสิทธิภาพที่ดีขึ้นมากไปอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] พรชัย ภววรษ์ศักดิ์ การประมวลผลสัญญาณดิจิตอลเบื้องต้น มหาวิทยาลัยเทคโนโลยีมหานคร 2543

[2] หนังสือการทดลองปฏิบัติการโทรคมนาคม Telecommunication Laboratory III

[3]. Mr.Watcharakon Noothong, FPGA Design Workshop

[4] วัลลภ สุระกำพลธร การประมวลสัญญาณเชิงเลข การกรองและการแปลง สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2533

[5] Modern Digital Systems Design and Applications ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

[6] ผศ.น.ท.ดร.สุธรรม ศรีเกษม,น.ต.เมธินทร์ ทรงชัยกุล,ร.อ.สง่า ศรีศุภปรีดา Matlab เพื่อการแก้ปัญหาทางวิศวกรรม

[7] รศ.ดร.มนัส สังวรศิลป์มวรรัตน์ ภัทรอมรกุล คู่มือการใช้ Matlab ฉบับสมบูรณ์

[8] S.Sjoholm And L.Lindah, VHDL For Designers, Prentic_Hall,1997

[9] ชำนาญ ปัญญาใสและวัชรากร หนูทอง, ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล

[10] ลัญฉกร วุฒิสิทธิกุลกิจ, พื้นฐานกรรมวิธีสัญญาณดิจิตอล, สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้