สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

มอสฮอลล์เพลทและมิเตอร์วัดสนามแม่เหล็ก

Mos Hall Plate & Magneto Meter

T055487

โดย

นายพิเชฐ อัจฉราวรานนท์

นายเอกชัย ขวยไพบูลย์

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ .....

เลขทะเบียน 55487

วัน,เดือน,ปี 10 พ.ค. 2548

b.....

i.....

มอสฮอลล์เพลทและมิเตอร์วัดสนามแม่เหล็ก

Mos Hall Plate & Magneto Meter

โดย

นายพิเชฐ อัจฉราวรานนท์ รหัสนักศึกษา 44015247

นายเอกชัย ขวยไพบูลย์ รหัสนักศึกษา 44015226

อาจารย์ที่ปรึกษา

ผศ.ดร. เติมพงษ์ เพ็ชรกูล

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2546

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง มอสฮอลล์เพลทและมิเตอร์วัดสนามแม่เหล็ก

Mos Hall Plate & Magneto Meter

ผู้จัดทำ

1. นายพิเชฐ อัจฉราวรานนท์ 44015247
2. นายเอกชัย ขวยไพบูลย์ 44015226

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.เติมพงษ์ เพ็ชรกูล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงาน มอสฮอลล์เพลทและมิเตอร์วัดสนามแม่เหล็ก

Mos Hall Plate & Magneto Meter

ชื่อนักศึกษา นายพิเชฐ อัจฉราวรานนท์ 44015247

นายเอกชัย ขวยไพบูลย์ 44015226

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ผศ.ดร.เติมพงษ์ เพ็ชรกูล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสฮอลล์เพลทและมิเตอร์วัดสนามแม่เหล็ก

นายพิเชฐ อัจฉราวรานนท์
นายเอกชัย ขวยไพบูลย์
ผศ.ดร.เติมพงษ์ เพ็ชรกูล อาจารย์ที่ปรึกษา
ปีการศึกษา 2546

บทคัดย่อ

ปริญญานิพนธ์อธิบายการสร้างมอสฮอลล์เพลท ซึ่งใช้ปรากฏการของฮอลล์ แต่มีโครงสร้างเช่นเดียวกับมอสทราสซิสเตอร์ เพียงแต่เพิ่มเซนเซอร์คอนแทค 2 ขั้ว จากการทดลองพบว่าค่าแรงดันฮอลล์มีค่าน้อย ในขณะที่แรงดันออฟเซ็ทมีค่ามาก นอกจากนี้ยังมีการสร้างมิเตอร์เพื่อวัดค่าสนามแม่เหล็ก โดยการนำค่าแรงดันฮอลล์ที่ได้จากเซนเซอร์คอนแทคมาทำการประมวลผลโดย MCS-51 แล้วจึงนำไปแสดงผลผ่าน LCD monitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mos Hall Plates & Magnetro Meter

Mr.Pichet adcharawaranon

Mr.Eakachai koipiboon

Dr.Toempong phetchakul Advisor

Education Year 2003

Abstract

This project present Mos Hall Plate applications, using Hall Effect theory but mos structure and increasing a pair of Sensor Contacts. The experiment shows low Hall Voltage but high Voltage Offset. In addition, Magneto Meter this invented to measure magnetic field by inputting Hall Votage values from Sensor Contacts into MCS-51 to process and display the output on LCD monitor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	3
2.1 การนำไฟฟ้า ในโลหะ	3
2.2 Field Effect Transistor	6
2.3 FET ชนิดรอยต่อ (JFET)	7
2.4 เฟทชนิดอินซูเลทเตดเกท (IG-FET)	9
2.4.1 Induced Channel IGFET หรือ Enhancement mode MOSFET	10
2.4.2 Diffused Channel IGFET หรือ Depletion Mode MOSFET	10
2.5 ปรากฏการณ์ฮอลล์	15
2.6 แฟคเตอร์ G (Geometry Factor)	20
2.7 มอสฮอลล์เพลท	22
2.8 เทคโนโลยีสารกึ่งตัวนำ	25
2.8.1 สารกึ่งตัวนำและการเตรียมเพื่อประยุกต์ใช้งานด้านวิศวกรรม	25
2.8.2 การทำสารกึ่งตัวนำให้บริสุทธิ์	26
2.8.3 การปลูกผลึกเดี่ยว	27
2.8.4 การทำความสะอาดผิวสารกึ่งตัวนำ	31
2.8.5 กระบวนการออกซิเดชันทางความร้อน	35
2.8.6 การสร้างแผ่นโฟโตมาสก์	38
2.8.7 กระบวนการ โฟโตลิโทกราฟี	39
2.8.8 การกัดกร่อน	41
2.8.9 การฉาบไอระเหย	42
บทที่ 3 การออกแบบ และกระบวนการสร้าง	45
3.1 การออกแบบมอสฮอล์เพลท	45
3.2 กระบวนการสร้าง MOS Hall Plate	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 4 วงจรมิเตอร์วัดสนามแม่เหล็ก	72
4.1 วงจรขยาย (Amplifier)	72
4.2 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital	73
4.3 การเชื่อมต่ออุปกรณ์แสดงผลแบบ LCD	73
4.4 วงจร Power Supply	75
4.5 การประมวลผลสัญญาณ	75
4.6 โปรแกรมที่ใช้ในการควบคุม MCS51	76
บทที่ 5 การทดลองและผลการทดลอง	78
5.1 การวัดรอยต่อพี-เอ็น	82
5.2 การวัดแรงดันขีดเริ่ม (V_T)	84
5.3 การวัด I-V Characteristics	85
5.4 การวัดแรงดันฮอลล์ที่มีผลต่อสนามแม่เหล็กที่เกทโลหะอยู่ด้านบน	86
5.5 ออฟเซ็ท (offset)	90
5.6 ผลการทดสอบแรงดันฮอลล์ต่อสนามแม่เหล็กโดยให้เกทโลหะอยู่ด้านล่าง	91
5.7 ผลการทดสอบ V_H ต่อ B_Z เมื่อเพิ่มความเข้มสนามแม่เหล็กชั่วขณะ	94
บทที่ 6 สรุปและวิจารณ์ผลการทดลอง	
6.1 สรุป	97
6.2 วิจารณ์ผลการทดลอง	99
6.4 ปัญหาและอุปสรรค	100
6.5 ข้อเสนอแนะ	100
ภาคผนวก	
ภาคผนวก ก. สัญลักษณ์	101
ภาคผนวก ข. ค่าคงที่และการแปลงหน่วย	102
ภาคผนวก ค. วัสดุและเคมีภัณฑ์ที่ใช้ในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ	103
ภาคผนวก ง. Flow Chart	104
กิตติกรรมประกาศ	107
หนังสืออ้างอิง	108
Data Sheet	109

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 1.1 รูปร่างอุปกรณ์มอสฮอลล์เพลท	2
รูปที่ 2.1 แสดงการนำกระแสของอิเล็กตรอนอิสระในตัวนำ	4
รูปที่ 2.2 โครงสร้างพื้นฐานของ JFET	7
รูปที่ 2.3 การให้ไบอัสที่ถูกต้องแก่ FET	8
รูปที่ 2.4 กราฟแสดงความสัมพันธ์ระหว่างกระแสและแรงดันเมื่อให้ไบอัสแก่ JFET	9
รูปที่ 2.5 โครงสร้างของ MOSFET ชนิดเอ็น	9
รูปที่ 2.6 MOSFET ประเภท Enhancement mode	10
รูปที่ 2.7 MOSFET ประเภท Depletion Mode	10
รูปที่ 2.8 การเปลี่ยนแปลงของแถบพลังงาน ในขณะ V_G มีค่าต่างๆ	12
รูปที่ 2.9 บัตรของมอสเฟทเอ็นฮานซ์เมนท์ชนิดพีแชนแนล	14
รูปที่ 2.10 ปรากฏการณ์ฮอลล์ในสารกึ่งตัวนำชนิดพี	16
รูปที่ 2.11 รูปร่างฮอลล์เพลท รูปสี่เหลี่ยมผืนผ้า	21
รูปที่ 2.12 ลักษณะโครงสร้างของมอสฮอลล์เพลท	23
รูปที่ 2.13 ระดับต่างๆของความหนา d	24
รูปที่ 2.14 แสดงช่วงต่างๆของสภาพนำไฟฟ้าสำหรับวัสดุที่เป็นฉนวน สารกึ่งตัวนำ และตัวนำ	25
รูปที่ 2.15 แสดงชนิดของของแข็งแบ่งตามลักษณะการเรียงตัวของอะตอม	26
รูปที่ 2.16 แสดงกระบวนการผลิตสารซิลิคอนระดับงานอิเล็กทรอนิกส์	27
รูปที่ 2.17 การปลูกผลึก Si แบบ Crochralski	28
รูปที่ 2.18 แสดงการปลูกผลึกเดี่ยว Si จากแท่งโพลีโดยเทคนิค FZ	30
รูปที่ 2.19 แสดงระบบการปลูกผลึกด้วยเทคนิค LEC	31
รูปที่ 2.20 การขัดแบบแลป	32
รูปที่ 2.21 กระบวนการออกซิเดชั่นทางความร้อนที่ผิวหน้า Si	37
รูปที่ 2.22 แผนภาพระบบออกซิเดชั่น	38
รูปที่ 2.23 ชุดโฟโตมาสก์ที่ใช้ในการสร้างวงจรรวม	39
รูปที่ 2.24 หลักการของกระบวนการถ่ายแบบ	40
รูปที่ 2.25 กระบวนการหมุนเคลือบ(spin coating)	40
รูปที่ 2.26 โปรไฟล์การกัดกร่อน	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.27 ระบบการฉาบไอระเหยโลหะ 43

รูปที่ 2.28 การฉาบไอโลหะแบบขดลวดที่เป็นไส้ 43

รูปที่ 3.1 แบบกระจก Mask ที่ใช้ในการสร้างมอสฮอลล์เพลท 47

รูปที่ 3.2 กระบวนการสร้างมอสฮอลล์เพลท 48

รูปที่ 3.3 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการทำความสะอาดผิวผลึกเริ่มต้น 49

รูปที่ 3.4 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการออกซิเดชั่นแล้ว 50

รูปที่ 3.5 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี I 51

รูปที่ 3.6 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค I 51

รูปที่ 3.7 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop I 52

รูปที่ 3.8 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ I 52

รูปที่ 3.9 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง I 53

รูปที่ 3.10 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการฝากสารเจือ I 54

รูปที่ 3.11 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการขับลึก I 54

รูปที่ 3.12 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 เพื่อป้องกันการแพร่ของสารเจือชนิดพี 54

รูปที่ 3.13 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี II 55

รูปที่ 3.14 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค II 56

รูปที่ 3.15 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop II 56

รูปที่ 3.16 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ II 57

รูปที่ 3.17 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง II 58

รูปที่ 3.18 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการฝากสารเจือ II 58

รูปที่ 3.19 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการขับลึก II 59

รูปที่ 3.20 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 ก่อนการสร้างเกทออกไซด์ 59

รูปที่ 3.21 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี III 60

รูปที่ 3.22 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค III 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 3.23 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop III 62

รูปที่ 3.24 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ III 62

รูปที่ 3.25 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง III 63

รูปที่ 3.26 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 เพื่อสร้างเกทออกไซด์ 64

รูปที่ 3.27 ภาพหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี IV 64

รูปที่ 3.28 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค IV 65

รูปที่ 3.29 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop IV 66

รูปที่ 3.30 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ IV 66

รูปที่ 3.31 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง III 67

รูปที่ 3.32 ภาพตัดขวางของชิ้นงานหลังการเคลือบ Al 68

รูปที่ 3.33 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสง
ในกระบวนการโฟโตลิโทกราฟี V 68

รูปที่ 3.34 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค V 69

รูปที่ 3.35 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop V 69

รูปที่ 3.36 ภาพตัดขวางของชิ้นงานหลังการกัดชั้นอะลูมิเนียม 70

รูปที่ 3.37 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการลอก Az และการซินเตอร์ริง 71

รูปที่ 3.38 อุปกรณ์มอสฮอลล์เพลท

รูปที่ 4.1 วงจร Intrumentation Amplifier 72

รูปที่ 4.2 วงจรแปลงสัญญาณ Analog เป็นสัญญาณ Digital 73

รูปที่ 4.3 ภาพขา LCD module 73

รูปที่ 4.4 ภาพวงจรที่ใช้ทดลองโดยโปรแกรม Proteous 74

รูปที่ 4.5 วงจร Power Supply 75

รูปที่ 5.1 แสดงรอยต่อต่างๆของมอสฮอลล์เพลท 82

รูปที่ 5.2 แสดงขั้วต่างๆจากมาส์คจริงของมอสฮอลล์เพลท 82

รูปที่ 5.3 กราฟแสดงรอยต่อระหว่างขาต่างๆในมอสฮอลล์เพลทที่ L=1200μm W=200μm 84

รูปที่ 5.4 แสดงวงจรการทดลองหา V_T 84

รูปที่ 5.5 กราฟแสดงแรงดันขีดเริ่ม (V_T) 85

รูปที่ 5.6 แสดงวงจรการทดลอง I – V Characteristics 85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 5.7 กราฟแสดงความสัมพันธ์ I-V Characteristics ที่ L=1200μm W=200μm 86

รูปที่ 5.8 การต่อวงจรเพื่อใช้วัดแรงดันฮอลล์ 86

รูปที่ 5.9 แสดงการจ่ายสนามแม่เหล็กโดยให้เกทโลหะอยู่ด้านบน 87

รูปที่ 5.10 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ 87
$V_{GS} = -8V$ $V_{DS} = -2V$

รูปที่ 5.11 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ 88
$V_{GS} = -8V$ $V_{DS} = -4V$

รูปที่ 5.12 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ 88
$V_{GS} = -10V$ $V_{DS} = -2V$

รูปที่ 5.13 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ 89
$V_{GS} = -10V$ $V_{DS} = -4V$

รูปที่ 5.14 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ 89
$V_{GS} = -10V$ $V_{DS} = -6V$

รูปที่ 5.15 แสดงวงการวัดออฟเซ็ท 90

รูปที่ 5.16 แสดงการจ่ายสนามแม่เหล็กโดยเกทโลหะอยู่ด้านล่าง 91

รูปที่ 5.17 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 92
ที่ $V_{GS} = -8V$ $V_{DS} = -2V$

รูปที่ 5.18 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 92
ที่ $V_{GS} = -8V$ $V_{DS} = -4V$

รูปที่ 5.19 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 93
ที่ $V_{GS} = -10V$ $V_{DS} = -2V$

รูปที่ 5.20 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 93
ที่ $V_{GS} = -10V$ $V_{DS} = -7V$

รูปที่ 5.21 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 94
ที่ $V_{GS} = -8V$ $V_{DS} = -2V$

รูปที่ 5.22 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm 95
ที่ $V_{GS} = -8V$ $V_{DS} = -4V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 5.23 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS}=-10V$ $V_{DS}=-2V$ 95

รูปที่ 5.24 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS}=-10V$ $V_{DS}=-4V$ 96

รูปที่ 5.25 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS}=-10V$ $V_{DS}=-6V$ 96

รูปที่ 6.1 แสดงผลของสนามแม่เหล็กต่อเกทโลหะ 97

รูปที่ 6.2 แสดงผลของสนามแม่เหล็กเมื่อผ่านช่องทางเดินกระแส 98

รูปที่ 6.3 แสดงผลของสนามแม่เหล็กทะลุเกทโลหะ 98

รูปที่ 6.4 แสดงการเกิดแรงดันออฟเซ็ท 99

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 ความหนาของชั้นผิวหยาบ	33
ตารางที่ 2.2 ตารางตัวอย่างของสารละลายสำหรับกัด	34
ตารางที่ 5.1 ค่าออฟเซ็ทของมอสฮอลล์เพลท	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

อุปกรณ์แมกเนติกเซ็นเซอร์ (Magnetic Sensor Device) จะทำหน้าที่เป็นตัวแปลงสนามแม่เหล็ก (Magnetic Field) ให้อยู่ในรูปของสัญญานไฟฟ้า อุปกรณ์แมกเนติกเซนเซอร์ ที่สร้างจากสารกึ่งตัวนำ (Semiconductor) จะใช้ประโยชน์จากการเกิดปรากฏการที่เรียกว่า "ปรากฏการณ์ฮอลล์" อันเกิดจากกระแสที่ไหลผ่านวัสดุ เกิดการเปลี่ยนแปลงเนื่องจากสนามแม่เหล็ก สนามแม่เหล็กที่ตั้งฉากกระแสไฟฟ้า ทำให้เกิดแรงกระทำต่อประจุพาหะถเรียกว่า "แรงลอเรนซ์" (Lorentz Force) ผลทำให้เกิดสนามไฟฟ้า (Electric Field) ที่มีทิศทางตั้งฉากกับทิศทางสนามแม่เหล็ก และทิศทางของกระแส

ความเจริญก้าวหน้าทางเทคโนโลยี ทำให้เกิดการแข่งขันทางด้านการผลิตอุปกรณ์อิเล็กทรอนิกส์มากมาย โดยขึ้นอยู่กับราคา การประยุกต์ใช้งาน และขนาดของอุปกรณ์ เกิดเป็นอุปกรณ์ตัวใหม่ๆขึ้นมาเพื่อความสะดวกแก่การประยุกต์ใช้งาน

อุปกรณ์ฮอลล์เซ็นเซอร์ (Hall Sensor Device) ที่สร้างขึ้นโดยอาศัยการเกิดปรากฏการณ์ฮอลล์ โดยใช้โครงสร้างของมอสเฟท (MOSFET) มีชื่อเรียกว่า "ฮอลล์แมกเนติกเซ็นเซอร์ฟิลเอฟเฟค ทรานซิสเตอร์" (Hall MAGFET) หรืออาจเรียกว่า "มอสฮอลล์เพลท" (MOS Hall Plate) ภายในประกอบด้วย 5 ขั้ว โดยมีขั้ว 2 ขั้ว เรียกว่า "เซนเซอร์คอนแทค" (Sensor Contact:SC) โดยอีก 3 ขั้ว จะประกอบด้วยขั้วเดรน ขั้วซอส และขั้วเกท

1.1 วัตถุประสงค์ของโครงงาน

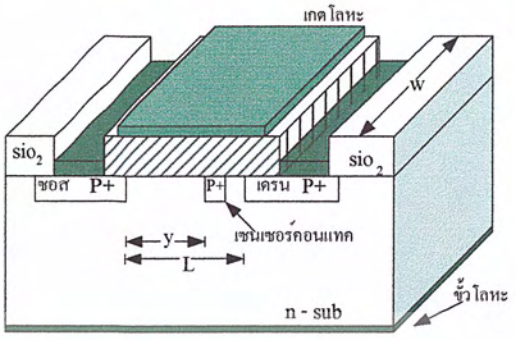
เพื่อศึกษาการประยุกต์ มอสเฟท มาทำเป็นอุปกรณ์ฮอลล์เซ็นเซอร์สนามแม่เหล็ก และศึกษาผลของสนามแม่เหล็กที่มีต่อแรงดันฮอลล์ (Hall Voltage)

1.2 ขอบเขตของโครงงาน

1.2.1 ออกแบบอุปกรณ์มอสฮอลล์เพลท

ทำการออกแบบอุปกรณ์มอสฮอลล์เพลท ให้มีรูปร่างลักษณะรูปร่างดังแสดงในรูป 1.1 โดยค่าความกว้าง (W) มีค่าเท่ากันหมด แต่ค่าความยาว (L) ของอุปกรณ์ที่ทำการออกแบบนั้นจะมีค่าแตกต่างกัน เพื่อทำการทดสอบว่าโครงสร้างของอุปกรณ์มีผลต่อแรงดันฮอลล์ที่วัดได้อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 รูปร่างอุปกรณ์มอสฮอลล์เพลท

1.2.2 ทำการสร้างอุปกรณ์มอสฮอลล์เพลท

ในการสร้างอุปกรณ์ฮอลล์เซ็นเซอร์ โดยใช้โครงสร้างมอสทรานซิสเตอร์ นั้นจะใช้กระบวนการสร้างโดยใช้เทคโนโลยีการสร้างของวงจรรวม (Integrat Circuit)

1.2.3 ประยุกต์ใช้งาน

โดยการนำเอาชิ้นงานที่สร้างและทดสอบคุณสมบัติเสร็จแล้ว ไปใช้งานจริง

1.3 ประโยชน์ที่คาดว่าจะได้รับจากโครงงาน

1. เข้าใจการเกิดปรากฏการฮอลล์
2. เข้าใจถึงกระบวนการสร้างอุปกรณ์มอสฮอลล์เพลท
3. สามารถอธิบายผลของสนามแม่เหล็กที่มีต่อแรงดันฮอลล์
4. สามารถนำความรู้ที่ได้ไปประยุกต์ใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 การนำไฟฟ้าในโลหะ

ในตอนนี้เราจะพิจารณากลไกการนำไฟฟ้าของตัวนำเช่นโลหะ โดยจะกล่าวถึง สมการกระแสไฟฟ้า ที่เกิดขึ้นเมื่อตัวนำได้รับสนามไฟฟ้า การเคลื่อนที่และทิศทางการเคลื่อนที่ของอิเล็กตรอนอิสระ สมการสภาพนำ (Conductivity:σ) , สภาพต้านทาน (Resistivity:ρ) สมการความต้านทาน (Resistance:R) และความนำ (Coductance:G) เป็นต้น

จากกฎของโอห์ม ความหนาแน่นของกระแสไฟฟ้าจะแปรโดยตรงกับสนามไฟฟ้าที่ตัวนำได้รับและเขียนเป็นสมการได้ดังนี้

$$\vec{J} = \sigma\vec{\varepsilon} \tag{2.1}$$

โดย J คือ ความหนาแน่นกระแสไฟฟ้ามีเป็นหน่วยแอมแปร์ต่อตารางเซนติเมตร3

σ คือ สภาพนำไฟฟ้า (Conductivity) ตัวนำ เป็นค่าคงที่ของตัวนำแต่ละชนิดมีหน่วยเป็นโมห์ต่อเซนติเมตรหรือ 1 / โอห์ม.เซนติเมตร

และ ε คือ สนามไฟฟ้าที่ให้แก่ตัวนำมีหน่วยเป็นโวลต์ต่อเซนติเมตร

เมื่อพิจารณาแท่งโลหะแท่งหนึ่งซึ่งมีพื้นที่หน้าตัด A มีความยาว L มีความหนาแน่นของอิเล็กตรอนเป็น n และถูกให้สนามไฟฟ้า ε_x ในทิศบวก x ดังแสดงในรูปที่ 4.10 จะพบว่าเนื่องจากสนมาไฟฟ้าจะทำให้เกิดมีแรงกระทำต่ออิเล็กตรอนซึ่งมีประจุไฟฟ้าลบ อิเล็กตรอนจะเคลื่อนที่แบบดริฟท์ (Drift) ด้วยความเร็ว (V_{-x}) ค่าหนึ่งซึ่งเรียกว่า "ความเร็วดริฟท์" (Drift velocity) โดยมีทิศทางตรงข้ามกับสนามไฟฟ้าคือทิศลบ x และการเคลื่อนที่ของอิเล็กตรอนซึ่งมีประจุไฟฟ้าเป็นลบจะทำให้เกิดกระแสไฟฟ้าไฟลในทิศตรงข้ามกับการเคลื่อนที่ของอิเล็กตรอน หรือก็คือมีกระแสไฟฟ้าไหลในทิศทางเดี่ยวกันกับทิศทางเดี่ยวกันกับทิศของสนามไฟฟ้า สมการความหนาแน่นกระแสไฟฟ้าหาได้ดังนี้จากนิยามของความหนาแน่นกระแส

$$J = \frac{Q}{t.A} \tag{2.2}$$

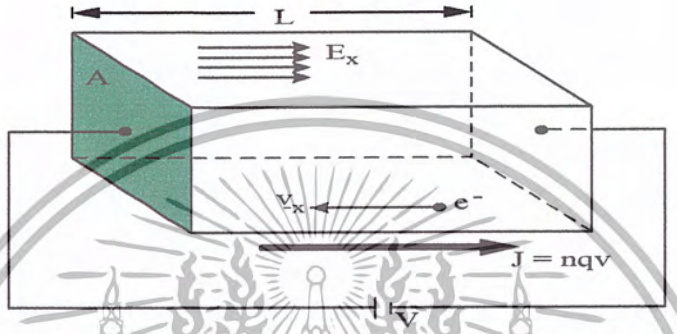
โดย Q คือประจุไฟฟ้าที่เคลื่อนที่ มีหน่วยเป็น คูลอมบ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

t คือ เวลาที่ประจุใช้ในการเคลื่อนที่ มีหน่วยเป็น วินาที

และ A คือ พื้นที่หน้าตัดของแท่งโลหะมีหน่วยเป็นตารางเซนติเมตร

จากรูที่ 2.1 ประจุไฟฟ้าทั้งหมดในแท่งโลหะที่เกิดจากอิเล็กตรอนคือ



รูปที่ 2.1 แสดงการนำกระแสของอิเล็กตรอนอิสระในตัวนำ

แทน $Q = n.q.A.L$ ในสมการที่ (2.2)

ดังนั้น $$\vec{J} = \frac{nqAL}{tA} = \frac{nqL}{t}$$

หรือ $$\vec{J} = nq\vec{v}_p \qquad (2.3)$$

โดย v_D คือ ความเร็วดริฟท์ของอิเล็กตรอน

q คือ ประจุไฟฟ้าของอีเล็กตรอน $= -1.6 \times 10^{-19}$ คูลอมบ์

เนื่องจากอีเล็กตรอนมีประจุเป็นลบ และความเร็วก็มีทิศทางเป็นลบ ดังนั้นสมการ (2.3) จะมีค่าเป็นบวก ซึ่งหมายถึงกระแสมีทิศทางเป็น $+x$ นั่นเอง

เมื่ออีเล็กตรอนซึ่งมีประจุไฟฟ้า -q คูลอมบ์ ได้รับสนามไฟฟ้า ε_x ทำให้เกิดแรงกระทำต่ออิเล็กตรอน F โดยจะได้ว่า

$$\vec{F} = -q\vec{\varepsilon}_x \qquad (2.4)$$

และจากการทดลองพบว่า ความเร็วของอิเล็กตรอนในสมการที่ (2.3) แปร โดยตรงกับค่าของสนามไฟฟ้าที่ได้รับ นั่นคือ $v\alpha -\varepsilon$ (เครื่องหมายลบแสดงทิศทาง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $\vec{v} = -\mu\vec{\varepsilon}_x$ (2.5)

โดย μ คือ ค่าคงที่ ซึ่งเรียกว่า "สภาพคล่อง" (Mobility) และอาจหมายถึงความเร็วต่อหนึ่งหน่วยสนามไฟฟ้า แทนสมการ (2.5) ในสมการที่ (2.3) จะได้ว่า

ความหนาแน่นกระแส $J = nq\mu\varepsilon$ (2.6)

จากการเปรียบเทียบสมการที่ (2.1) และ (2.3) จะได้ว่า

สภาพนำ (Conductuvity) $\sigma = nq\mu$ (2.7)

และถ้ากำหนดให้ สภาพด้านทาน $\rho = \frac{1}{\sigma}$ (2.8)

ดังนั้น สภาพต้านทาน (Resistivity) $\rho = \frac{1}{nq\mu}$ (2.9)

นอกจากนี้ สมการที่ (2.1) อาจเขียนใหม่ได้เป็น

$$\frac{I}{A} = \sigma\frac{V}{L}$$

โดย I คือ กระแสที่ไหลผ่านแท่งโลหะ มีหน่วยเป็น แอมแปร์

V คือ แรงดันที่ให้แก่แท่งโลหะ มีหน่วยเป็น โวลต์

หรือ $I = \sigma.\frac{A}{L}.V$ (2.10)

และอาจเขียนใหม่เป็น $I = G.V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $$G = \sigma . \frac{A}{L} \qquad (2.11)$$

ซึ่งในที่นี้ G ถูกเรียกว่า "ความนำ" หรือ Conductance มีหน่วยเป็น โมห์ (Mho) หรือ ซีเมนส์ (Siemens) ถ้ากำหนดให้ R คือ ความต้านทาน (Resistance) และมีค่าเป็นส่วนกลับของค่าความนำ

ดังนั้น $$R = \frac{1}{G} = \frac{1}{\sigma} \frac{L}{A}$$

หรือ $$R = \rho . \frac{L}{A} \qquad (2.12)$$

โดยที่ R คือ ความต้านทาน มีหน่วยเป็นโอห์ม (Ω)
ดังนั้นสมการ (2.10) เขียนใหม่ได้ว่า

$$I = \frac{V}{R} \qquad (2.13)$$

ซึ่งเป็นสมการที่รู้จักกันดีตามกฎของโอห์มเอง โดยที่ R คือความต้านทานมีหน่วยเป็นโอห์ม (Ω)

2.2 Field Effect Transistor

เป็น Device ที่ทำงานโดยอาศัยผลของสนามไฟฟ้า (Field Effect) ในการทำงานของตัวอุปกรณ์ซึ่งเราเรียกว่า "สิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า" (Field effect device) ที่สำคัญมีประโยชน์มากคือ Field Effect Transistor หรือเรียกย่อๆว่า FET กระแสของประจุพาหะในสิ่งประดิษฐ์ประเภทนี้ จะถูกควบคุมด้วยสนามไฟฟ้าและเป็นกระแสของประจุพาหะส่วนมากเพียงชนิดเดียวและเป็นกระแสดริฟท์ (Drift Current) ดังนั้นเราจึงสามารถที่จะเรียกทรานซิสเตอร์ชนิดนี้ว่า "ยูนิโพล่าร์ ทรานซิสเตอร์ (Unipolar Transistor)" ซึ่งมีคุณสมบัติแตกต่างจาก ไบโพล่าร์ ดังนี้

a) ค่าอินพุทอิมพีแดนซ์มีค่าที่สูงมากประมาณ 10^{10} ถึง 10^{15} โอห์ม ทำให้ไม่มีกระแสรั่ว
b) มีสัญญาณรบกวนต่ำ (noise) กว่าแบบไบโพล่าร์
c) ใช้แรงดันในการควบคุมกระแสทำให้ไม่สิ้นเปลืองพลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

d) มีความสมมาตร(Symmetric)สามารถกลับขั้วได้

e) เป็นกระแส ยูนิโพล่าร์ (กระแสประจุชนิดเดี่ยว) ซึ่งเคลื่อนที่โดยอาศัยสนามไฟฟ้า ดังนั้นประจุจึงมีความเร็วสูง

f) Self-Isolating คืออุปกรณ์แต่ละตัวแยกกันโดยอัตโนมัติไม่ชอร์ตซึ่งกันและกัน มีประโยชน์ในการใช้ทำไอซีมากเนื่องจากจะทำให้งานต่อการออกแบบวงจรรวม

FET สามารถแบ่งได้เป็นสองประเภทคือ

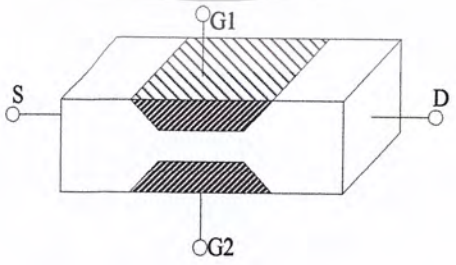
1).จังชั่นเฟททรานซิสเตอร์ (Junction FET) ในการควบคุมเฟทชนิดนี้แนวทางที่ กระแสไหลผ่านจะถูกควบคุมด้วนการให้แรงดันไบอัสแก่รอยต่อ พี-เอ็น

2).เฟทชนิดอินซูเลทเตดเกท (Insulated Gate FET) ในเฟทชนิดนี้มีเกทเป็นฉนวนไฟฟ้าจึงไม่ต้องอาศัยรอยต่อ พี-เอ็น แต่ใช้สนามไฟฟ้าในการควบคุมแนวทางที่กระแสจะไหลได้สามารถแยกการทำงานได้เป็นสองลักษณะคือ

- Depletion Mode หมายถึง การควบคุมกระแสด้วยสนามไฟฟ้าโดยทำให้จำนวนประจุส่วนมากมีจำนวนที่ลดลงจากจำนวนที่มีอยู่เดิมความนำไฟฟ้าจะมีค่าที่ลดลง
- Enhancement Mode หมายถึง การควบคุมกระแสด้วยสนามไฟฟ้า ทำให้มีประจุพาหะส่วนมากเพิ่มขึ้นจากเดิมที่ไม่มีประจุเลยทำให้ความนำไฟฟ้ามีค่าที่เพิ่มขึ้น

2.3 FET ชนิดรอยต่อ (JFET)

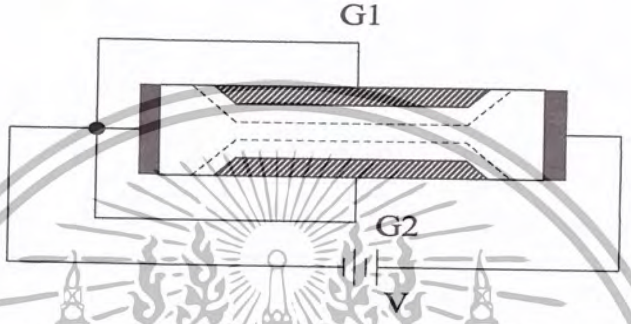
JFET มีลักษณะโครงสร้างพื้นฐานดังรูป



รูป 2.2 โครงสร้างพื้นฐานของ JFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นแท่งผลึกรูปเดี่ยวสารกึ่งตัวนำซิลิคอนชนิดเอ็นที่มีรอยสัมผัสโอห์มิคอยู่ที่ปลายทั้งสองด้านของแท่งผลึกและมีสารกึ่งตัวนำชนิดพีประกบที่ด้านทั้งสองด้านซึ่งอยู่ตรงข้ามกับแท่งผลึกนี้ซึ่งสารกึ่งตัวนำชนิดพีทั้งสองนี้เรียกว่า “เกท” (Gate) คือ G1 และ G2 ส่วนที่ปลายด้านหนึ่งของแท่งผลึกชนิดเอ็นเรียกว่า “ซอส” (Source ; S) และที่ปลายด้านอีกด้านหนึ่งเรียกว่า “เดรน” (Drain ; D)

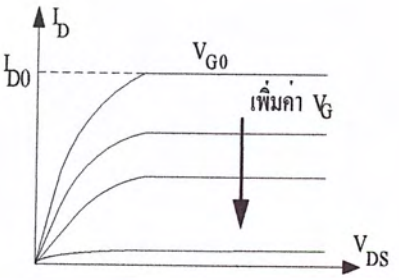


รูปที่ 2.3 การให้ไบอัสที่ถูกต้องแก่ FET

เมื่อให้ G1 และ G2 ถูกต่อเข้ากับขั้ว S โดยที่ขั้ว S และ D ถูกให้แรงดันไบอัส Vd ทำให้เกิดกระแส Id ไหลในวงจรเนื่องจากเป็นแท่งผลึกชนิดเอ็นกระแสที่เกิดขึ้นจึงเป็นกระแสจากการเคลื่อนที่ของอิเลคตรอนจาก S ไป D จึงคล้ายกับว่าขั้ว S เป็นแหล่งจ่ายอิเลคตรอนและที่ขั้ว D เป็นที่รองรับอิเลคตรอนเพราะในแท่งผลึกมีความต้านทาน R อยู่เมื่อมีกระแสไหลผ่านจึงเกิดมีแรงดันตกคร่อมแท่งผลึกและที่ศักย์ที่จุดต่างๆภายในแท่งผลึกจะมีค่าแตกต่างกันคือจะมีค่าแรงดันต่ำสุดที่ขั้ว S และจะค่อยๆเพิ่มขึ้นเมื่อตำแหน่งใกล้ขั้ว D เข้าไปขณะที่เกทต่อยู่กับขั้ว S รอยต่อพี-เอ็นระหว่างเกทชนิดพีกับแท่งผลึกชนิดเอ็นจะอยู่ในสภาพได้รับไบอัสย้อนกลับและค่าของไบอัสนี้จะเพิ่มขึ้นจนถึงตำแหน่ง D รอยต่อ พี-เอ็น นี้จะถูกไบอัสย้อนกลับด้วยค่าสูงสุด และมีผลต่อความกว้างของบริเวณปลอดพาหะด้วย

ขณะที่แรงดันไบอัส Vd มีค่าเพิ่มขึ้นความกว้างของช่องทางเดินกระแสจะแคบลงเนื่องจากบริเวณปลอดพาหะแผ่ขยายกว้างขึ้นดังนั้นค่าความต้านทานระหว่าง S ไปยัง D จะมีค่าเพิ่มขึ้นจนกระทั่งที่แรงดันไบอัสค่าหนึ่ง ซึ่ง Vd = Vp เราเรียกแรงดันนี้ว่าแรงดันพินซ์ออฟ (Pinch-Off Voltage) แล้วบริเวณปลอดพาหะจากเกททั้งสอง จะขยายเข้ามาจนติดเข้าหากัน ทำให้ช่องที่กระแสจะไหลผ่านถูกปิดสนิทลงภาวะนี้กระแสเดรนจะอิ่มตัวและมีค่าคงที่อยู่ค่าหนึ่งคือ Ido ซึ่งความสัมพันธ์ของ Vd และ Id แสดงได้ดังกราฟ

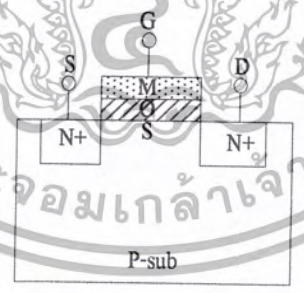
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟแสดงความสัมพันธ์ระหว่างกระแสและแรงดันเมื่อให้ไบอัสแก่ JFET

2.4 เฟทชนิดอินซูเลทเตดเกท (IG-FET)

FET ชนิดนี้จะมีเกทอยู่บนชั้นของฉนวน ซึ่งนิยมเขียนกันว่า IGFET (Insulated Gate Field Effect Transistor) ฉนวนรองรับเกทนี้ได้แก่ออกไซด์เช่น ซิลิคอนไดออกไซด์ (SiO_2) โดยปรกติมีความหนาราว 1000 อังสตรอม ถึง 1500 อังสตรอม ส่วนเกทมักเป็นโลหะ Aluminum และเนื่องจากโครงสร้างนี้เองทำให้เราเรียกว่า MOSFET (Metal Oxide Semiconductor FET)

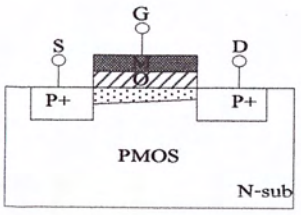


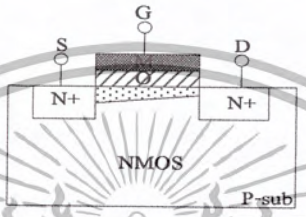
รูปที่ 2.5 โครงสร้างของ MOSFET ชนิดเอ็น

และยังสามารถแยกออกได้สองประเภทคือ Induced Channel IGFET และ Diffused Channel IGFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 Induced Channel IGFET หรือ Enhancement mode MOSFET

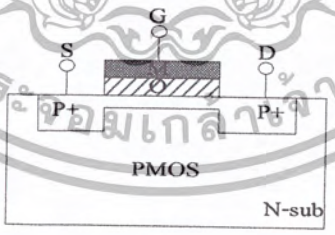


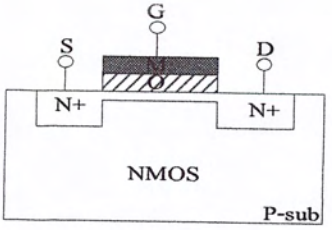


รูปที่ 2.6 MOSFET ประเภท Enhancement mode

ทรานซิสเตอร์แบบนี้จะสามารถทำงานได้ด้วยการเหนี่ยวนำให้เกิด Channel โดยให้แรงดัน Vg ที่เกทจึงมีช่องทางเดินกระแสให้ทรานซิสเตอร์ทำงานได้

2.4.2 .Diffused Channel IGFET หรือ Depletion Mode MOSFET

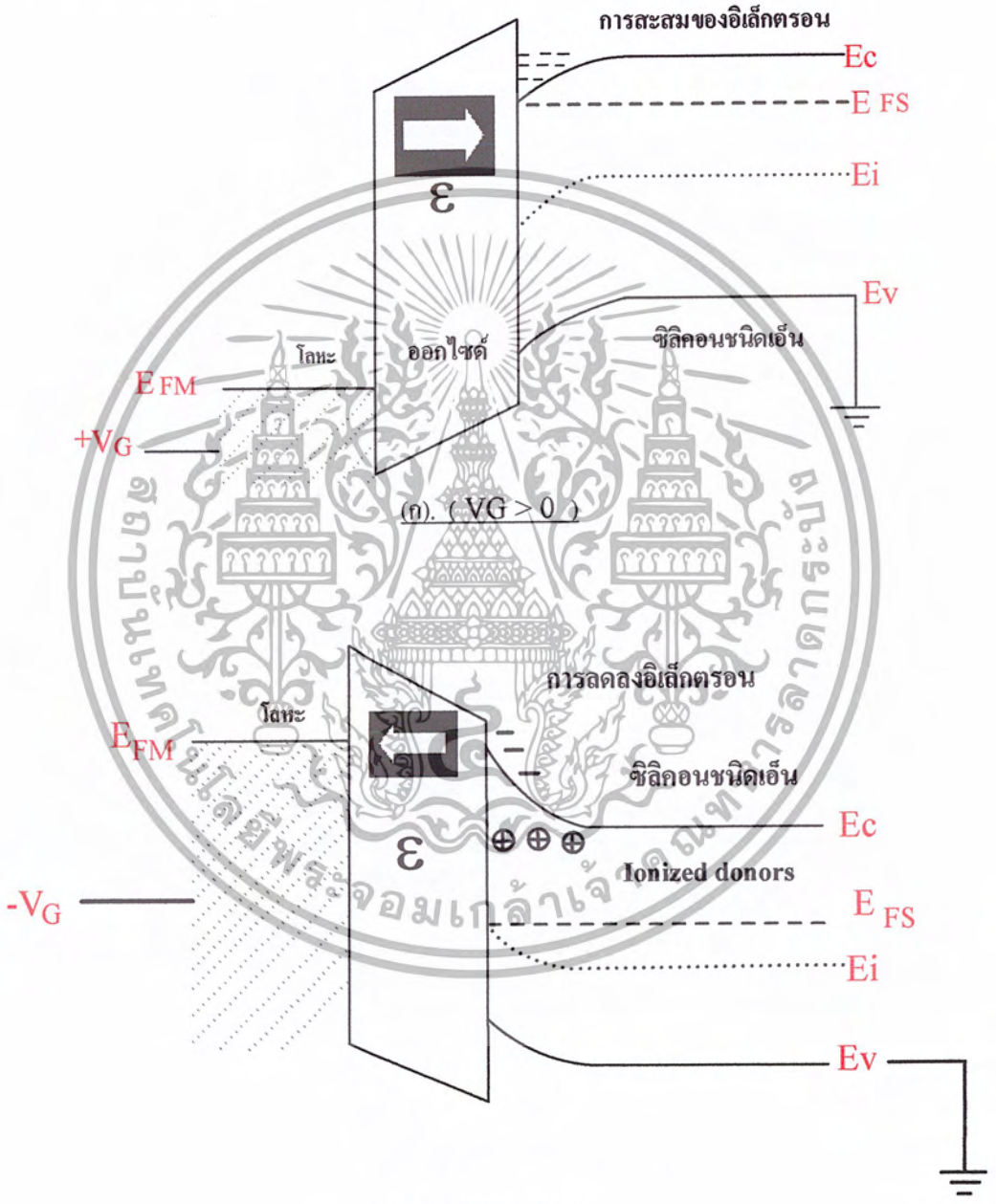




รูปที่ 2.7 MOSFET ประเภท Depletion Mode

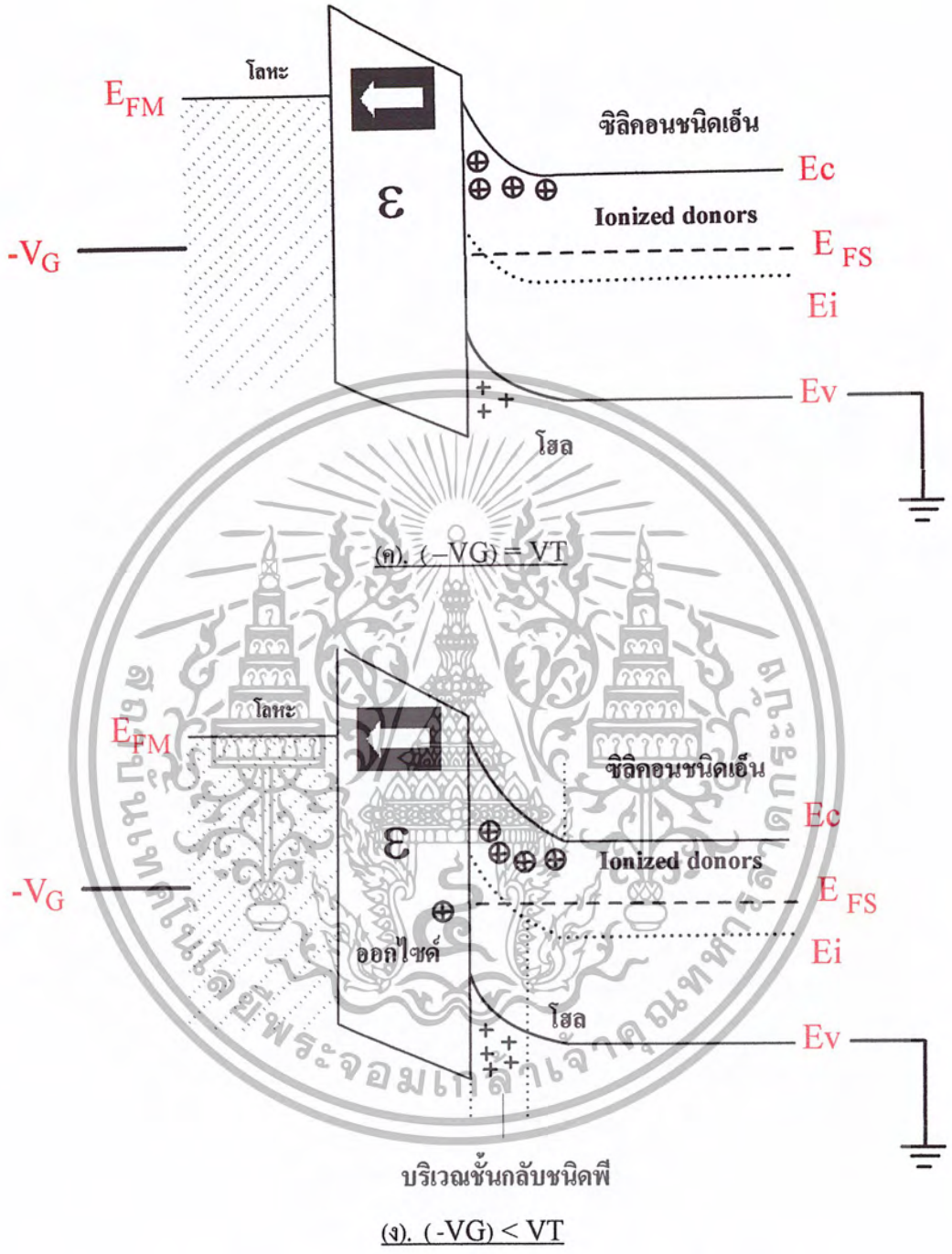
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะแถบพลังงาน (Energy Band Diagram) การเกิด Channel



(ข). (VG < 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 การเปลี่ยนแปลงของแถบพลังงาน ในขณะ V_G มีค่าต่างๆ

การปรับแรงดันเกทมีค่าเป็นบวกเล็กน้อยค่าหนึ่ง จะทำให้เกิดการสะสมของประจุบวกและแถบพลังงานจะเริ่มงอโค้งขึ้น ขนาดของการงอโค้งนี้จะขึ้นอยู่กับแรงดันที่ตกคร่อมชั้นบริเวณปลอดพาหะนี้ นั่นคือถ้าหากแรงดันเกทมีค่าเพิ่มขึ้นบริเวณปลอดพาหะก็จะขยายกว้างขึ้นแรงดันที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตกคร่อมในชั้นก็จะมากขึ้นด้วยดังนั้นแถบพลังงานก็จะมีการงอโค้งขึ้นอีกและเมื่อแรงดันเกทมีค่าสูงมากจะกระทั่งแถบพลังงานโค้งขึ้นใกล้กับระดับพลังงานเฟอร์มิหรือก็คือระดับเฟอร์มิที่บริเวณผิวสัมผัสนี้เข้าไปใกล้กับขอบบนสุดของแถบวาแลนซ์ดังนั้นบริเวณนี้จะเกิดการเหนี่ยวนำให้มีคุณสมบัติกลายเป็นสารกึ่งตัวนำชนิดพี ซึ่งส่วนที่เป็นสารกึ่งตัวนำชนิดพีนี้เองเราเรียก "ชั้นกลับ" (Inversion Layer) หรือก็คือส่วนที่เป็นแชนแนลนั่นเองจะทำหน้าที่เป็นช่องทางเดินกระแสจากซอสไปยังเดรนทำให้นำไฟฟ้าได้

นอกจากนี้เมื่อเพิ่มค่า Vg อีกจะทำให้จำนวนโฮลที่ชั้นกลับมีปริมาณเพิ่มขึ้น นั่นคือชั้นกลับจะมีความนำ ไฟฟ้าเพิ่มขึ้นหรือก็คือค่า Id จะเพิ่มขึ้นการทำงานในขณะนี้เรียกว่า Enhancement Mode เพราะจำนวนของโฮลและ Id มีค่าเพิ่มขึ้น

สำหรับการทำงานของ Enhancement Mode MOSFET ในขณะที่มีการให้แรงดันไบอัสที่เกตที่ค่าคงที่ค่าต่างๆ และแรงดันเดรนมีค่าเปลี่ยนแปลงไป จะทำให้มอสเฟททำงานในย่านต่างๆ ซึ่งอาจพิจารณาแบ่งออกเป็นช่วงๆได้ดังนี้

ก) **ช่วงไม่นำกระแส (Cut off)** ขณะที่แรงดันที่เกทมีค่าน้อยกว่าแรงดันขีดเริ่ม ซึ่งในขณะนี้จะยังไม่เกิดช่องทางเดินกระแสขึ้นจึงไม่มีการแสไหลจากซอสไปยังเดรนแต่ในทางปฏิบัติที่แรงดันเกทเท่ากับศูนย์เมื่อให้แรงดันที่ ซอส-เดรน ค่าสูงๆ จะมีกระแสไหลได้แต่ค่าน้อยมากจนเข้าใกล้ศูนย์ เรียกว่า "กระแสรั่ว" (Leakage Current)

ข) **ช่วงเชิงเส้น (Linear Region)** ช่วงนี้ค่าแรงดันเกทจะมีค่ามากกว่าแรงดันขีดเริ่มทำให้เกิดช่องทางเดินกระแสขึ้นระหว่าง ซอส กับ เดรน โดยมีบริเวณปลอดพาหะล้อมรอบอยู่ที่ Vds ค่าน้อยๆ Ids ที่ได้นี้จะมีค่าแปรผันตามค่า Vds แบบเป็นเชิงเส้นเนื่องจากช่องทางเดินกระแสมีขนาดเท่ากันตลอดเสมือนเป็นตัวต้านทานตัวหนึ่ง

ค) **ช่วงไม่เป็นเชิงเส้น (Nonlinear Region)** คือเมื่อแรงดัน ซอส-เดรน มีค่าเพิ่มขึ้นหรือก็คือแรงดันที่เดรนมีค่าเป็นบวกมากขึ้นสนามไฟฟ้าที่ตกคร่อมชั้นออกไซด์ด้านเดรนจะมีค่าน้อยกว่าด้านซอสทำให้ประจุไฟฟ้าที่ถูกเหนี่ยวนำด้าน Drain มีความหนาแน่นน้อยลง ความนำไฟฟ้าของช่องทางเดินกระแสจึงมีค่าลดลงขณะที่แรงดัน ซอส-เดรน มีค่าเพิ่มขึ้น การเพิ่มของกระแสจะลดลงในช่วงนี้กระแสและแรงดันจะไม่แปรผันอย่างเชิงเส้นและในที่สุดแรงดัน เดรน มีค่าเท่ากับ (Vg-Vt) แล้วจะทำให้ช่องทางเดินกระแสขาดออกพอดีเรียกภาวะนี้ว่า"พินซ์ออฟ (Pinch Off)" ขณะนี้ Id จะมีค่าสูงสุด

ง) **ช่วงอิ่มตัว (Saturation Region)** เมื่อแรงดัน ซอส-เดรน มีค่าสูงกว่า (Vg-Vt) จุด "Pinch Off" จะเคลื่อนเข้าใกล้ขั้วซอสหรือก็คือช่องทางเดินกระแสจะหดสั้นลงกว่าเดิม โดยขาดออกจากด้านเดรนและถูกกั้นด้วยบริเวณปลอดพาหะ (Depletion Region) ซึ่งมีสนามไฟฟ้าปรากฏ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อยู่กระแส เดรน-ซอส จะไม่เปลี่ยนแปลงแม้ว่าแรงดันจะเพิ่มขึ้นก็ตาม เนื่องจากความนำไฟฟ้าขณะนี้เป็นศูนย์นั้นคือกระแส เดรน มีค่าคงที่ ทรานซิสเตอร์จะเข้าสู่ภาวะอิ่มตัว

จ) ช่วง Channel Length Modulation Effect เมื่อให้แรงดัน Vds มีค่าเพิ่มขึ้นมากๆจนช่องทางเดินกระแสหดสั้นมากๆ บริเวณส่วนใหญ่ของช่องทางเดินกระแสจะเป็นเขตปลอดพาหะ ถ้าพิจารณาจากสมาการกระแส เดรน-ซอส ของ มอสทรานซิสเตอร์ เมื่อค่าความยาวของช่องทางเดินกระแสลดลงจะทำให้ค่า K มากขึ้นเป็นผลทำให้กระแส เดรน-ซอส มีค่าเพิ่มขึ้น

รูปที่ 2.9 บัตรของมอสเฟทเอ็นฮานซ์เมนท์ชนิดพีแชนแนล

ก) กราฟ Id- Vd ที่แรงดันเกตคงที่ค่าต่างๆ

ข) กราฟ Id-Vd ขณะอยู่ในย่านอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการความสัมพันธ์ระหว่างกระแสกับแรงดันของ มอสทรานซิสเตอร์

I) ช่วงเชิงเส้น (non - saturation region)

$$I_D = C_{OX} \cdot \mu_p \cdot \frac{W}{L}\left[(V_G - V_T)V_D - \frac{V_D^2}{2}\right] \qquad (2.14)$$

II) ช่วงอิ่มตัว (Seturation region)

$$I_D = C_{OX} \cdot \mu_p \cdot \frac{W}{2L}(V_G - V_T)^2 \qquad (2.15)$$

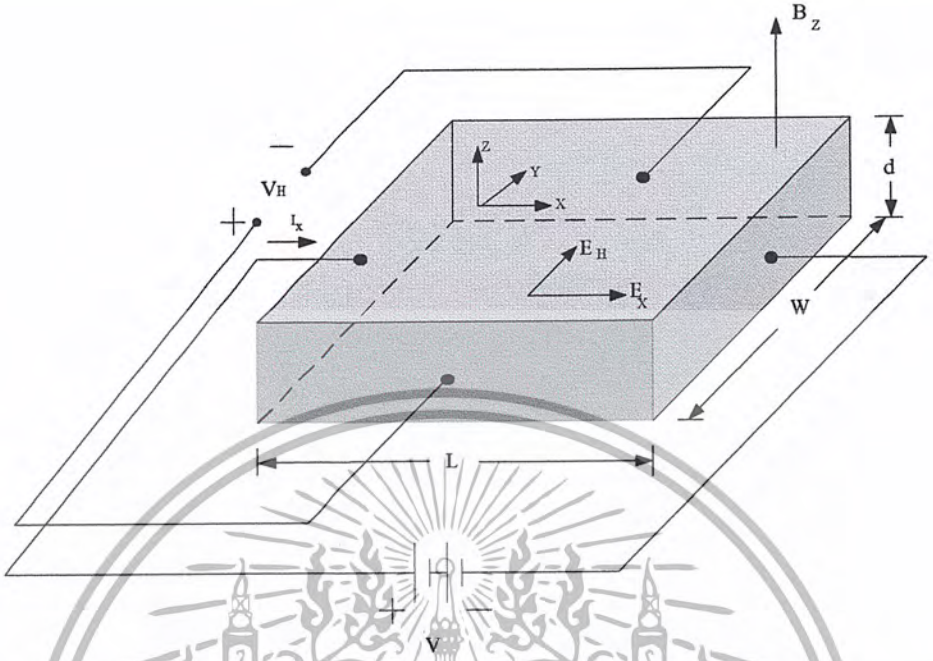
2.5 ปรากฏการณ์ฮอลล์

ถ้ามีกระแสไฟฟ้าไหลผ่านแท่นสารกึ่งตัวนำ และให้สนามแม่เหล็กทำมุมตั้งฉากกับทิศทางการไหลของกระแส จะทำให้มีสนามไฟฟ้าเกิดขึ้นในทิศตั้งฉากกับทิศทางของกระแส และทิศทางของสนามแม่เหล็ก ปรากฏการณ์นี้ถูกเรียกว่า ปรากฏการณ์ฮอล์

การทดลองปรากฏการณ์ฮอลล์เป็นการยืนยันแนวความคิดที่เป็นไปได้เกี่ยวกับชนิดของพาหะประจุ (Charge Carrier) ทั้งสองชนิด คือ อิเล็กตรอน และ โฮล ที่มีอยู่จริงในสารกึ่งตัวนำ ผลจากการทดลองเรื่องนี้สามารถวัด และคำนวนพารามิเตอร์ ที่สำคัญของสารกึ่งตัวนำได้ ทั้งยังนำไปคำนวณหาพารามิเตอร์อื่นๆได้อีกด้วย

พิจารณาแท่งสารกึ่งตัวนำชนิดพีดังรูปที่2.9 นำไปต่อกับแหล่งจ่ายแรงดันที่มีค่าความต่างศักย์ V โวลท์ ทำให้เกิดความหนาแน่นกระแส (Current Densety) J_Xไหลในทิศ +x และให้สนามแม่เหล็กที่มีความหนาแน่นฟลักซ์ (Flux Density) B_Z ตัดผ่านสารกึ่งตัวนำในทิศ +z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ปรากฏการณ์ฮอลล์ในสารกึ่งตัวนำชนิดพี

โฮลซึ่งเป็นพาหะส่วนมากและมีค่าประจุไฟฟ้าเป็นบวกเมื่อได้รับอิทธิพลจากสนามไฟฟ้า ε_x จะเกิดมีแรงกระทำต่อโฮล ทำให้โฮลเคลื่อนที่ด้วยความเร็วดริฟท์ (Drift Velocity) v_{DX} ในทิศทาง +x และเมื่อมีสนามแม่เหล็ก B_z ในทิศตั้งฉากกับกระแส จะเกิดมีแรงลอเรนซ์ กระทำต่อโฮลด้วย ตามสมการ

$$\overline{F}_L = q\overline{V} \times \overline{B} \tag{2.16}$$

โดยที่ F_L คือ แรงลอเรนซ์มีขนาดเป็น

$$\left|\overline{F}_L\right| = q.V_{DX}.B_z \tag{2.17}$$

และมีทิศทางในแกน -y ดังนั้นจะทำให้โฮลเคลื่อนที่เบี่ยงเบนมาแกน -y และสะสมอยู่ที่บริเวณด้านหน้าของแท่งสารกึ่งตัวนำ ด้านตรงข้าม จึงมีประจุไฟฟ้าเป็นลบเกิดขึ้น เนื่องจากโฮลทางด้านมีจำนวนมาก ในขณะที่ทางด้านหลังมีจำนวนโฮลน้อยกว่าทำให้เกิดสนามไฟฟ้าภายใน ε_y ในทิศ +y สนามไฟฟ้านี้จะต้านการเคลื่อนที่ของโฮลซึ่งถูกกระทำด้วยแรงลอเรนซ์ในภาวะสมดุล ซึ่งโฮลสามารถเคลื่อนที่ตรงไปในทิศทาง +x ได้แสดงว่าแรงลอเรนซ์ (F_L) และแรงจากสนามไฟฟ้าภายใน ($q\varepsilon_y$) มีค่าเท่ากัน นั้นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$q\varepsilon_y = F_L = q.V_{DX}.B_Z \tag{2.18}$$

$$\varepsilon_y = V_{DX}.B_Z \tag{2.19}$$

จาก $J_x = q.p.V_{DX}$

หรือ $V_{Dx} = \frac{J_x}{q.p}$

แทนค่า V_{DX} ลงในสมการที่ (2.6) จะได้

$$\varepsilon_y = \frac{J_x B_Z}{q.p}$$

ดังนั้น $$\frac{\varepsilon_y}{J_x B_Z} = \frac{1}{q.p} = R_H \tag{2.20}$$

โดย

R_H คือ สัมประสิทธิ์ของฮอลล์ (Hall coefficient)

จากรูป 2.9 เมื่อทำการวัดแรงดันระหว่างด้านหน้า และด้านหลังของแท่งสารกึ่งตัวนำซึ่งมีระยะห่างเท่ากับ w จะได้

$$V_H = \varepsilon_y W \tag{2.21}$$

โดย

V_H คือ แรงดันฮอลล์ แรงดันที่ตกคร่อมระหว่างด้านข้างของแท่งสารกึ่งตัวนำโดยการแทนค่า $J_x = \frac{I}{w.d}$ และ $\varepsilon_y = \frac{V_H}{W}$ ลงในสมการ (2.20) จะได้

$$R_H = \frac{V_H}{W.I.B_Z}.W.d$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55487

หรือ $$R_H = \frac{d.V_H}{I.B_Z} = \frac{1}{q.p} \qquad (2.22)$$

$$V_H = \frac{I.B_H}{q.p.d} \qquad (2.23)$$

ความหนาแน่นของโฮล คือ

$$p = \frac{I.B_Z}{q.d.V_H} = \frac{1}{q.R_H} \qquad (2.24)$$

และสภาพต้านทานไฟฟ้า คือ

$$\rho = R.\frac{W.d}{L} = \frac{V}{I}.\frac{W.d}{L} \qquad (2.25)$$

จาก $$\rho = \frac{1}{\sigma} = \frac{1}{q.p.\mu_p}$$

ดังนั้นจะได้

$$\mu_p = \frac{1}{q.p.\rho} = \frac{1}{\rho}R_H \qquad (2.26)$$

จากสมการ (2.10) (2.12) และ (2.13) จะเห็นว่าการทดลองปรากฏการณ์ของฮอลล์ทำให้เราสามารถหาค่าพารามิเตอร์ ที่สำคัญของแท่งสารกึ่งตัวนำได้ คือความหน่าแน่นของพาหะ สภาพต้านทานไฟฟ้า และสภาพคล่องของพาหะได้เป็นอย่างดี

ในกรณีที่สารกึ่งตัวนำชนิดเอ็น แรงดันฮอลล์ (V_H) จะมีค่าตรงข้ามกับกรณีของสารกึ่งตัวนำชนิดพี คือ มีค่าเป็นลบ และจะได้ค่าสัมประสิทธิ์ของฮอลล์ R_H เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_H = -\frac{1}{q.n} \qquad (2.27)$$

ดังนั้นโดยการวัดแรงดันฮอลล์ ทำให้เราสามารถบอกชนิดของสารกึ่งตัวว่าเป็นสารชนิดเอ็นหรือชนิดพีได้

ผลตอบสนองของความไว (Sensitivity) คือ แรงดันฮอลล์ต่อหนึ่งหน่วยกระแส และสนามแม่เหล็กจะเป็น

$$S = \frac{V_H}{I.B} = \frac{R_H G}{d} \qquad (2.28)$$

จะเห็นว่าค่าความไวที่สูงจะมีความหนาแน่นของประจุมีค่าต่ำ และฮอลล์เพลทจะมีความหนาแน่นน้อยๆ

ยิ่งไปกว่านั้น เมื่อพิจารณาสนามไฟฟ้าสุทธิ ในแท่งสารกึ่งตัวนำซึ่งเป็นผลรวมทางเวกเตอร์ของ ε_y และ ε_x ซึ่งไม่ได้มีทิศทางไปตามแกน +x แต่มุม θ_H กับแกน +x ดังรูปซึ่งมุมที่เกิดขึ้นนี้เรียกว่า "มุมฮอลล์" (Hall angle) โดย

$$\tan\theta_H = \frac{\varepsilon_y}{\varepsilon_x}$$

โดยการแทนค่า $\varepsilon_y = \frac{J_x B_Z}{q.p}$ และ $J_x = \sigma.\varepsilon_x$ จะได้

$$\tan\theta_H = \frac{J_x B_Z}{q.p}.\frac{\sigma}{J_x} = \frac{\sigma.B_Z}{q.p}$$

หรือ $$\tan\theta_H = \frac{\sigma.B_Z}{q.p} = q.p.\mu_p.\frac{B_Z}{q.p} = \mu_p B_Z$$

$$\frac{\sigma}{q.p} = \mu_p$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_p = \sigma . R_H$$

ซึ่งเท่ากับสมการ (2.26) นั่นเอง

ในการวิเคราะห์ที่กล่าวมาแล้วนี้ ไม่ได้พิจารณาผลของการชนกันระหว่างพาหะกับพาหะ หรือพาหะกับแลททิซ (Lattice Scattering) ดั้งนั้นค่าที่ได้จึงไม่ถูกต้องนัก จะได้ว่า

$$R_{H\text{ชชนกั}} = \frac{3\pi}{8} R_H = 1.18 R_H \qquad (2.29)$$

และ $$\tan\theta_H = \frac{3\pi}{8} . \mu_P . B_Z = \mu_H B_Z$$

หรือ $$\mu_H = \frac{\tan\theta_H}{B_Z} = \frac{3\pi}{8} . \mu_P$$

$$\mu_{H\text{ชชนกั}} = 1.18 \mu_P \qquad (2.30)$$

โดย μ_H คือ Hall mobility

ในกรณีที่พิจารณาการชนกันของพาหะกับอะตอมสารเจือ (Ionized Impurity Scattering) จะได้

$$R_{H\text{ชชนกั}} = \frac{315\pi}{512} . R_H = 1.93 R_H \qquad (2.31)$$

และ $$\mu_{H\text{ชชนกั}} = \frac{315\pi}{512} . R_H = 1.93 \mu_p \qquad (2.32)$$

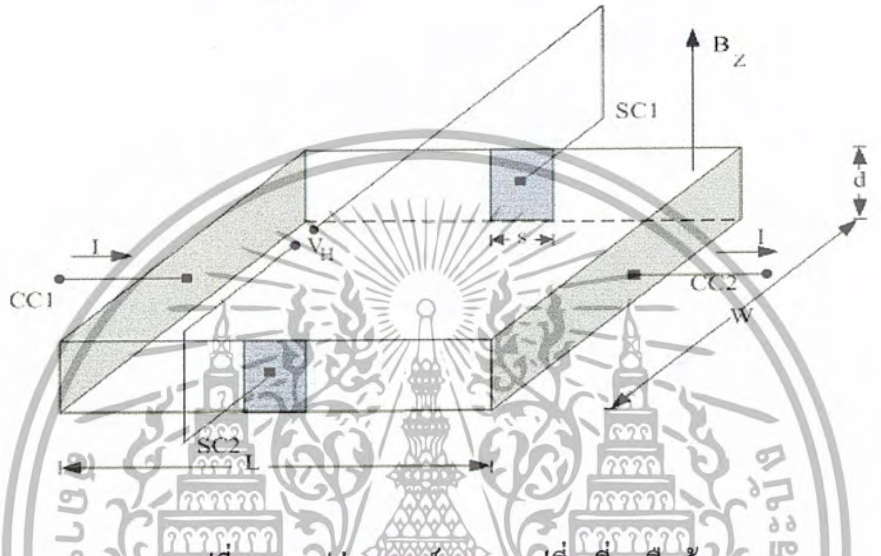
2.6 แฟคเตอร์ G (Geometry Facter)

ฮอลล์เพลท (Hall plate) ของฮอลล์ดีไวซ์ โดยปกติแล้วจะถูกสร้างเป็นรูปสี่เหลี่ยมผืนผ้า โดยมีความหนาน้อยๆ วัสดุที่นำมาสร้างต้องมีความหนาแน่นต่ำ มี 4 ขั้ว และรอยต่อระหว่างขั้วเป็นแบบโอห์มมิค ซึ่งแสดงในรูป 2.10 แรงดันฮอลล์จะวัดได้จากขั้ว SC1 และ SC2 จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(2.22) จะสามารถหาแรงดันฮอลล์ได้ แต่ในฮอลล์เพลทที่รูปร่างเป็นสี่เหลี่ยมผืนผ้า จะขึ้นอยู่กับค่าแฟคเตอร์ G อยู่ด้วย ซึ่งแรงดันฮอลล์จะหาได้จาก

$$V_H = \frac{R_H . G . B_Z}{d} \qquad (2.33)$$



รูปที่ 2.11 รูปร่างฮอลล์เพลท รูปสี่เหลี่ยมผืนผ้า

แฟคเตอร์ G เป็นค่าแรงดันทางเรขาคณิตซึ่งเป็นผลมาจากรูปร่างของฮอลล์เพลท โดยขึ้นอยู่กับความยาว L ความกว้าง W ขนาดของขั้วเซ็นเซอร์คอนแทค (SC1,SC2) และมุมฮอลล์ θ_H

ค่าแฟคเตอร์ G มีค่าประมาณเข้าใกล้ 1 ถ้าช่วงความยาวฮอลล์เพลท L มีค่ามากๆ โดยอธิบายได้ว่ากระแสที่ไหลระหว่างขั้วทั้งสองจะประมาณเป็นแนวเส้นตรง ทำให้ไม่มีผล หรืออาจมีแต่น้อยมากต่อแรงดันฮอลล์ ซึ่งสามารถหาได้จาก [7]

$$G = \left[1 - \exp\left(\frac{-\pi L}{2W}\right) . \frac{\theta_H}{\tan\theta_H}\right]\left[1 - \frac{2S\theta_H}{\pi W \tan\theta_H}\right] \qquad (2.34)$$

สำหรับค่ามุมฮอลล์ ที่มีค่าน้อยๆเทอมแรกในวงเล็บ [ ] จะแสดงผลของระยะห่างระหว่างขั้วเดอร์เรนท์คอนแทค หรือความยาว L ขณะที่เทอมที่ 2 จะจำกัดขนาดของขั้วเซ็นเซอร์คอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทคหรือขนาด S และค่าที่คำนวณได้จะใกล้เคียงมากกว่า 4% ค่า G จะประมาณเข้าใกล้ 1 ถ้า $\frac{L}{w} > 3$ และ $\frac{S}{w} < \frac{1}{20}$ และในทางตรงกันข้ามถ้า $L < W$ และ SC1,SC2 อยู่ที่ตำแหน่ง $Y = \frac{L}{2}$ ค่า G จะประมาณได้

$$G = 0.74\frac{L}{W} \qquad (2.35)$$

ในฮอลล์เพลท ที่เป็นรูปสี่เหลี่ยมผืนผ้า เราสามารถประมาณค่าแฟคเตอร์ G ได้ดังนี้

กรณี $\frac{L}{W} > 3$ ค่า $G \approx 1$

$\frac{L}{W} < 3$ ค่า $G < 0.7$

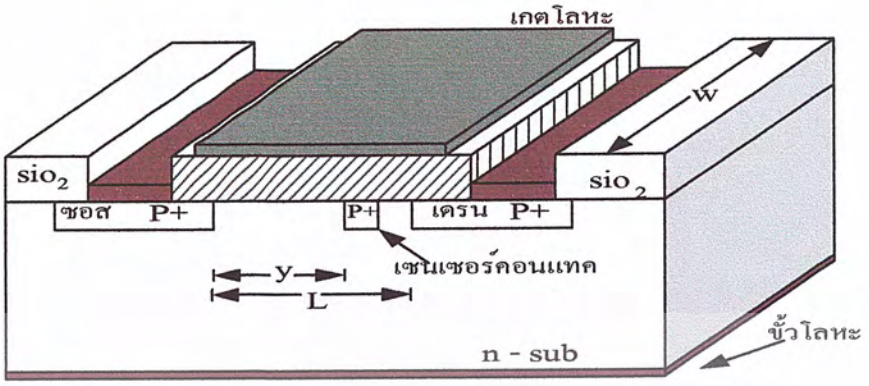
$\frac{L}{W} \approx 3$ ค่า $G \approx 0.7$

จะเห็นได้ว่าเมื่อต้องการค่าแรงดันฮอลล์สูงๆ จะต้องให้ $\frac{L}{w}$ มีค่าต่ำแต่เมื่อค่า $\frac{L}{w}$ ต่ำๆ ทำให้ค่า G มีค่าน้อยดังนั้น G จึงมีผลให้แรงดันฮอลล์ลดลง ฉะนั้นค่า $\frac{L}{w}$ จึงต้องเลือกให้เหมาะสม

2.7 มอสฮอลล์เพลท

MOS หรือMetal Oxide Semiconductor จะมีลักษณะโครงสร้าง และการทำงานดังที่กลมาแล้ว เช่นเดียวกับปรากฏการณ์ฮอลล์ ในหัวข้อนี้จะกล่าวถึงมอสเฟทที่มีพฤติกรรมเป็น แมกเนติกเซนเซอร์ โดยที่ชั้นกลับ หรือแชลแนลสามารถใช้เป็นฮอลล์เพลทได้ โดยที่ประจุพาหะในชั้นกลับจะเกิดการเบี่ยงเบน เมื่อมีสนามแม่เหล็กตัดผ่านตามทฤษฎีของฮอลล์ ลักษณะโครงสร้างของมอสฮอลล์เพลทนั้นจะมีลักษณะโครงสร้างดังรูป 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 ลักษณะโครงสร้างของมอสฮอลล์เพลท

มอสฮอลล์เพลท จะประกอบไปด้วยส่วนซอส และเดรน ซึ่งจะเป็นส่วนของชนแนล ด้านบนจะเป็นส่วนเกท โดยที่ด้านบนนี้เราจะเพิ่มขั้วขาไปอีกสองขั้ว เรียกว่า เซนเซอร์คอนแทค หรือ ฮอลล์โพรบ (Hall Plobe) ตรงส่วนที่จะเกิดแชลแนลนั้น สามารถแทนความกว้าง และความยาว โดยใช้ L และ W และตำแหน่งของฮอลล์โพรบนั้น สามารถแทนด้วยระยะ y โดยระยะ y ก็จะเป็นความยาวระหว่างซอส และฮอลล์โพรบนั่นเอง

พิจารณาการทำงานของ เอ็นแชนแนลมอสฮอลล์เพลท เมื่อ มอสฮอลล์เพลท ทำงานในย่านเชิงเส้น นั่นคือ

$$V_D < V_G - V_T$$

จะได้

$$Q_{ch} = C_{ox}.\left(V_G - V_T\right) \qquad (2.36)$$

โดยที่ Q_{ch} = Channel Charng Density

C_{ox} = Oxide Capacitance

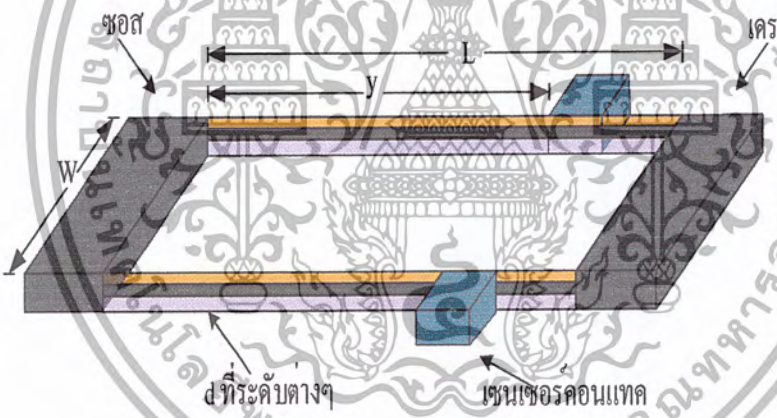
เราสามารถควบคุม Charge Density ได้ โดยอาศัยผลตอบสนองต่อ ซึ่งเราจะได้สมการความไว ในย่านเชิงเส้นของมอสฮอลล์เพลท คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S=\frac{r_n.G}{Q_{ch}}=\frac{r_n.G}{C_{ox}\left(V_G-V_T\right)} \tag{2.37}$$

โดยที่ G = Geomatrical Factor

เพราะฉะนั้นถ้าเราต้องการให้ความไวสูงๆ เราก็ควรจะทำให้ Q_{ch} น้อยๆ ก็จะขึ้นอยู่กับพารามิเตอร์ คือ C_{ox}, V_G และ V_T อย่างไรก็ตามเมื่อเราพิจารณาถึงแรงดันและกระแสที่ขาเดรนมีค่าน้อยๆ จะเป็นผลทำให้แรงดันฮอลล์มีค่าน้อยลงเช่นกัน ซึ่งถ้าเราต้องการจะให้อุปกรณ์มีการเซนเซอร์ที่ดีแล้ว ควรจะให้แรงดันฮอลล์มีค่าสูงๆในขณะที่ $V_D < V_{Sat}$ โดยที่ $V_{SAT}=V_G-V_T$ แชนแนลจะมีขนาดที่แคบ และสภาพความต้านทานค่อนข้างสูง



รูปที่ 2.13 ระดับต่างๆของความหนา d

ค่าความกว้าง W และความยาว L จะมีค่าคงที่ ในขณะที่ค่าความหนา d สามารถปรับโดยแรงดันที่เกต

ขั้วเซนเซอร์คอนแทค นั้น ตำแหน่งของขั้วจะไม่อยู่ในตำแหน่ง $\frac{L}{2}$ ซึ่ง มอสฮอลล์เพลท ที่จะมีความไวสูงๆ ตำแหน่งค่า y ควรจะอยู่ในตำแหน่ง $\frac{L}{2}<y<L$ ซึ่งในตำแหน่งนี้ มอสฮอลล์เพลท จะมีความไวดีกว่าตำแหน่งอื่น

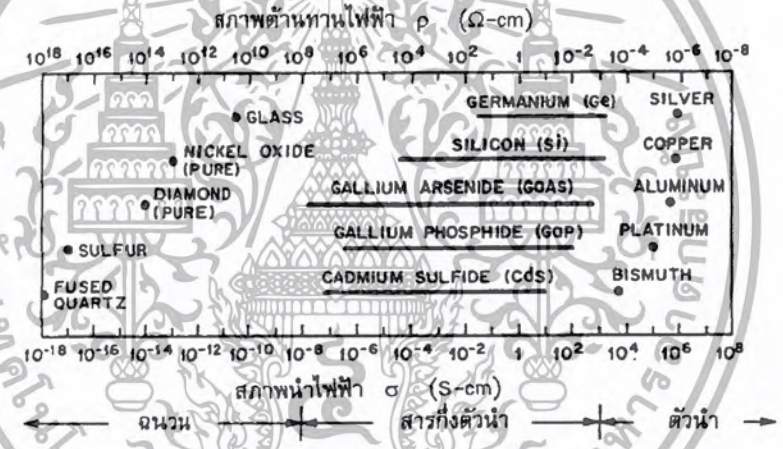
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 เทคโนโลยีการผลิตสารกึ่งตัวนำ

ในบทนี้จะกล่าวถึงเทคโนโลยีและกระบวนการที่สำคัญแต่เพียงคร่าวๆ ที่ใช้ในการสร้างอุปกรณ์สารกึ่งตัวนำเดี่ยวๆ และวงจรรวมเพื่อให้ผู้ศึกษาเข้าใจกรรมวิธีในการผลิต

2.8.1 สารกึ่งตัวนำและการเตรียมเพื่อประยุกต์ใช้งานด้านวิศวกรรม

วัสดุโซลิดสเตตสามารถแบ่งได้เป็น 3 ประเภท คือ ฉนวน สารกึ่งตัวนำ และตัวนำ ซึ่งมีการกำหนดประเภทได้จากสภาพนำไฟฟ้า(σ)ของวัสดุ เช่น ควอรตซ์เป็นวัสดุที่มีสภาพนำไฟฟ้าต่ำมากคืออยู่ในช่วง (10^{-18}-10^{-8})S/cm² นอกจากนี้โดยทั่วไปค่าสภาพนำไฟฟ้าของสารกึ่งตัวนำยังเปลี่ยนแปลงตามอุณหภูมิ แสง สนามแม่เหล็ก และปริมาณเพียงเล็กน้อยของอะตอมสารเจือปนที่เติมลงในสารกึ่งตัวนำเนื่องจากความสามารถในการเปลี่ยนแปลงสภาพนำไฟฟ้าได้ง่ายต่อเฟคเตอร์ต่างๆจึงทำให้สารกึ่งตัวนำเป็นวัสดุที่สำคัญในการใช้งานด้านอุตสาหกรรมอิเล็กทรอนิกส์



รูปที่2.14 แสดงช่วงต่างๆของสภาพนำไฟฟ้าสำหรับวัสดุที่เป็นฉนวน สารกึ่งตัวนำ และตัวนำ

การศึกษาวัสดุสารกึ่งตัวนำได้เริ่มในช่วงต้นศตวรรษที่ 19 จากนั้นได้มีการทำการวิจัยและพัฒนาเกี่ยวกับเทคโนโลยีสารกึ่งตัวนำเป็นจำนวนมาก โดยในช่วงต้นทศวรรษ 1960 วัสดุซิลิคอน (Si)ก็ได้เข้ามามีบทบาทแทนที่เจอร์เมเนียม (Ge) เนื่องจากสิ่งประดิษฐ์เจอร์เมเนียมมีกระแสรั่วไหลสูงและมีอุณหภูมิการใช้งานที่ต่ำ อีกทั้งออกไซด์ของเจอร์เมเนียมยังละลายน้ำได้ โดยสาเหตุที่ซิลิคอนได้รับความนิยมในการประดิษฐ์สารกึ่งตัวนำมาจนถึงปัจจุบันเนื่องจากซิลิคอนมีกระแสรั่วที่ต่ำกว่าเจอร์มันเนียมมาก และออกไซด์ของซิลิคอนก็มีคุณภาพสูง ทั้งยังสามารถปลูกได้ง่ายโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการทางความร้อน นอกจากนี้ หากพิจารณาในแง่เศรษฐศาสตร์ยังพบว่าสิ่งประดิษฐ์ซิลิคอนจะทำให้ผู้ผลิตสิ้นเปลืองค่าใช้จ่ายในการลงทุนน้อยกว่าการใช้สารกึ่งตัวนำชนิดอื่นๆ ดังนั้นวัสดุซิลิคอนจึงมีเทคโนโลยีที่ล้ำยุคมากเมื่อเทียบกับสารกึ่งตัวนำประเภทอื่นๆ

สิ่งประดิษฐ์อิเล็กทรอนิกส์ที่มีสมรรถนะดีจะต้องสร้างจากสารกึ่งตัวนำที่มีความบริสุทธิ์สูงมากโดยมีการเติมสารเจือปนในปริมาณเพียงเล็กน้อยลงในสารเพื่อทำหน้าควบคุมคุณสมบัติทางไฟฟ้านอกจากนี้ยังต้องมีโครงสร้างที่เป็นระเบียบด้วยเนื่องจากคุณสมบัติทางไฟฟ้าของสารจะถูกกำหนดจากความเป็นระเบียบในผลึก และยังขึ้นอยู่กับชนิดของความบกพร่อง(fault) ที่เกิดขึ้นในระหว่างการปลูกผลึก หรือเกิดในระหว่างกระบวนการสร้างเป็นสิ่งประดิษฐ์ โดยทั่วไปสิ่งประดิษฐ์ที่จะนำมาใช้มักอยู่ในรูปของผลึกเดี่ยว (single crystal) ตลอดทั้งชิ้นสาร

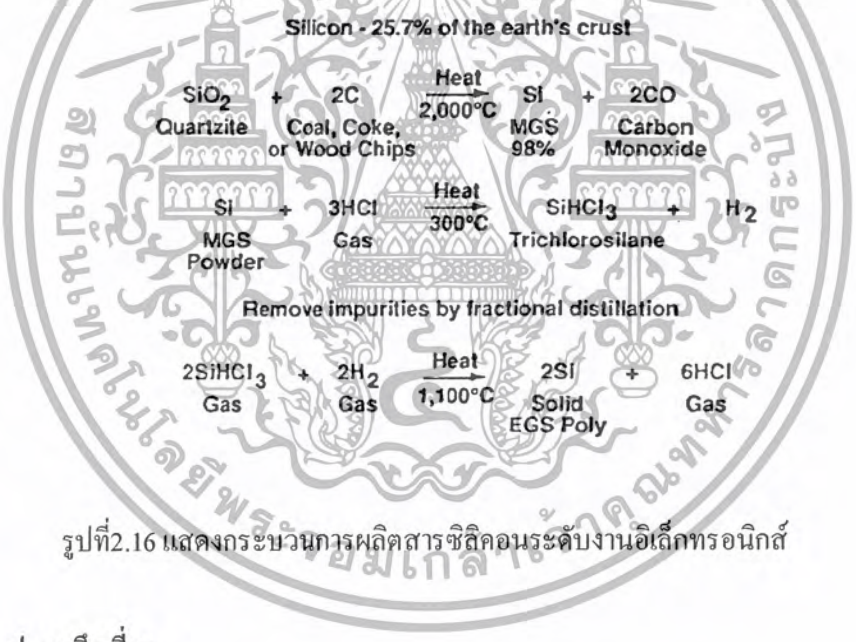
รูปที่2.15 แสดงชนิดของของแข็งแบ่งตามลักษณะการเรียงตัวของอะตอม
(ก)ผลึกโพลี (ข)วัสดุอสัณฐาน (ค)ผลึกเดี่ยว

2.8.2 การทำสารกึ่งตัวนำให้บริสุทธิ์

กระบวนการทำสารให้บริสุทธิ์เริ่มต้นการนำ SiO_2 (quartzite) วางไว้ในเตาแบบอาร์กไฟฟ้า หลังจากนั้นเติมคาร์บอน(c) ในรูปของถ่าน ถ่านโค้ก หรือเศษไม้ และเพิ่มอุณหภูมิเตาจนถึง 2,000°C เพื่อให้วัสดุทำปฏิกิริยาเคมีกันหลังจากที่ทำปฏิกิริยากันแล้วจะได้โพลีซิลิคอน (polysilicon) ที่มีความบริสุทธิ์ถึง 98% ซึ่งมักเรียกว่า ซิลิคอนระดับโลหะการ(metallurgical grade silicon หรือ MGS) ต่อจากนั้น MGS จะถูกบดให้เป็นชิ้นเล็กๆหรือเป็นผงและผงของ MGS เหล่านี้จะทำปฏิกิริยากับก๊าซ HCl ที่อุณหภูมิ300°Cจนกลายเป็นไตรคลอโรไซเลน(trichorosilane หรือ $SiHCl_3$) ที่เป็นของเหลว และ H_2 โดยที่ของเหลว $SiHCl_3$ จะถูกส่งผ่านไปยังกระบวนการตามลำดับส่วนเพื่อทำให้บริสุทธิ์จนถึงระดับที่ต้องการเพื่อการใช้งานด้านสารกึ่งตัวนำ จากนั้น $SiHCl_3$ จะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งผ่านไปยังกระบวนการกลั่นลำดับส่วนเพื่อทำให้บริสุทธิ์จนถึงระดับที่ต้องการเพื่อการใช้งานด้านสารกึ่งตัวนำ จากนั้น $SiHCl_3$ ที่อยู่ในรูปก๊าซที่มีความบริสุทธิ์สูงจะถูกรีดด้วย H_2 กลายเป็นซิลิคอนระดับงานอิเล็กทรอนิกส์ (electronic grade silicon หรือ EGS) ซึ่งมีความบริสุทธิ์ถึง 99.999999 % หลังจากที่ทำให้ซิลิคอนมีความบริสุทธิ์สูงมากแล้ว ขั้นตอนต่อไปคือกระบวนการผลิตซิลิคอนให้เป็นผลึกเดี่ยว โดยที่ในระหว่างการปลูกผลึกเดี่ยวนั้นจะมีการเติมชนิดและปริมาณอะตอมสารเจือให้เป็นไปตามที่กำหนด ทั้งนี้เพื่อทำให้สารกึ่งตัวนำกลายเป็นชนิดเอ็น (N-type) หรือชนิดพี (P-type) และรวมทั้งเพื่อเป็นการควบคุมค่าสภาพต้านทานไฟฟ้าของสารด้วย สาเหตุที่ผลึกเดี่ยวมีข้อได้เปรียบในการนำมาใช้เป็นวัตถุดิบเพื่อสร้างสิ่งประดิษฐ์ก็เนื่องจากการที่ผลึกพวกโพลีมีขอบเกรนปรากฏอยู่ในชิ้นสาร จึงเป็นการทำให้ค่าความคล่องตัวของพาหะ (carrier mobility) ลดลง และยังมีผลทำให้การควบคุมลักษณะสมบัติของรอยต่อพี-เอ็น(PN-junction)กระทำได้ยาก ด้วยเหตุนี้จึงมีความจำเป็นที่ต้องใช้ซิลิคอนผลึกเดี่ยวที่มีคุณภาพดีเลิศในอุตสาหกรรมสารกึ่งตัวนำเพื่อใช้เป็นแผ่นฐานรอง(substrate) หรือที่เรียกว่า แว่นผลึก หรือ เวเฟอร์ (wafer)



รูปที่2.16 แสดงกระบวนการผลิตสารซิลิคอนระดับงานอิเล็กทรอนิกส์

2.8.3 การปลูกผลึกเดี่ยว

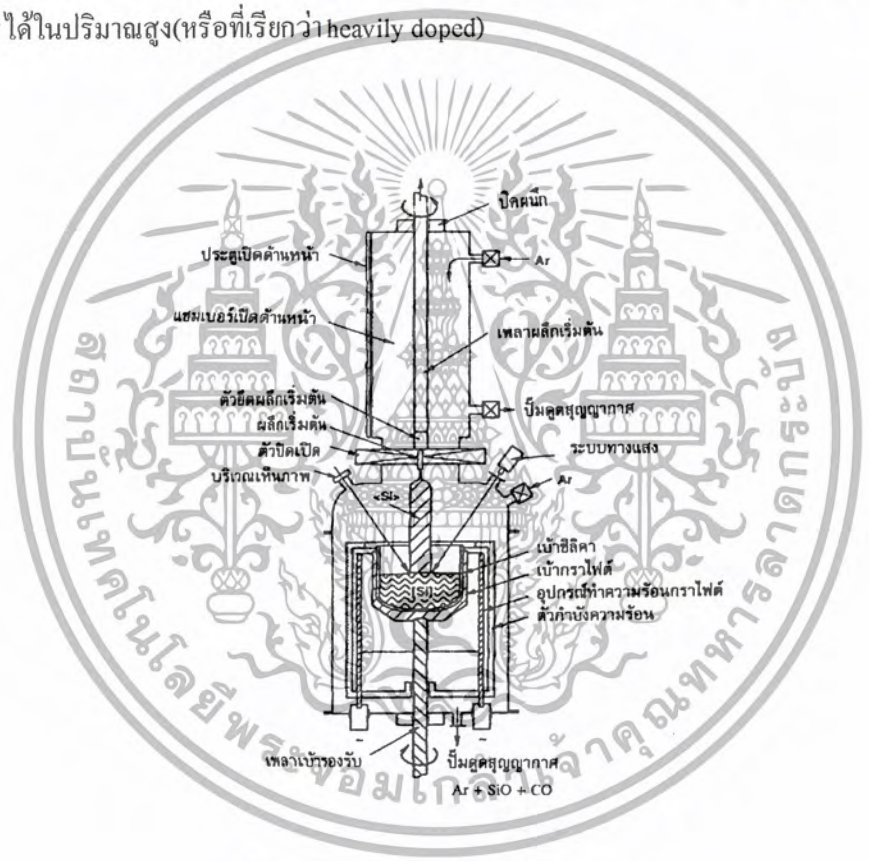
กรรมวิธีในการปลูกผลึกระดับงานอิเล็กทรอนิกส์ที่นิยมผลิตกันในปัจจุบันมีอยู่ 2 วิธี คือ (1)วิธี Crochraski(CZ) ซึ่งเป็นวิธีที่นิยมใช้กันอย่างแพร่หลาย และในกระบวนการผลิตไอซีส่วนใหญ่จะใช้แว่นผลึกที่ผลิตจากกรรมวิธีนี้ ทั้งนี้เนื่องจากเสียค่าใช้จ่ายในการผลิตต่ำเมื่อผลิตเป็นแผ่นฐานชนิดพีที่มีค่าสภาพต้านทานไฟฟ้า$\leq$100Ω-cm และ (2) วิธี float-zone (FZ) เป็นกรรมวิธี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปลูกผลึกเพื่อนำผลึกมาใช้ผลิตสิ่งประดิษฐ์สารกึ่งตัวนำจำพวกอิเล็กทรอนิกส์กำลัง เนื่องจากการปลูกผลึกโดยวิธีนี้จะทำให้วัสดุมีค่าสภาพต้านทานไฟฟ้าสูงกว่าที่ได้รับจากการปลูกผลึกโดยวิธี CZ

(ก) กรรมวิธี Crochraski(CZ)

เทคนิคการปลูกผลึกแบบ CZ ถูกค้นพบเมื่อต้นศตวรรษ 1900 และได้มีการนำมาประยุกต์ใช้ในอุตสาหกรรมการเตรียมวัสดุสารกึ่งตัวนำเป็นครั้งแรกโดย Teal และ Little ใน ค.ศ. 1950 ข้อได้เปรียบของการปลูกผลึกโดยวิธีCZ มีดังนี้คือ (1)ง่ายแก่การปลูกผลึกให้มีเส้นผ่านศูนย์กลางใหญ่ (2) มีความคุ้มในแง่ของเศรษฐศาสตร์ เนื่องจากวัสดุตั้งต้นที่ใช้จะเป็นได้ทั้งเศษวัสดุชิ้นเล็กๆ ของโพลีซิลิคอน(หรือซิลิคอนเดี่ยว) ก็ได้และ (3)สามารถเลือกเติมอะตอมสารเจือชนิดที่ต้องการได้ในปริมาณสูง(หรือที่เรียกว่า heavily doped)



รูปที่2.17 การปลูกผลึก Si แบบ Crochralski

กรรมวิธีการปลูกผลึกโดยวิธี CZ เริ่มต้นด้วยการนำ Si ชนิดโพลีที่มีความบริสุทธิ์สูงมาหลอมละลายในเบ้ารองรับที่ทำจากซิลิคา (silica crucible) ซึ่งเบ้านี้มีเบ้าที่ทำมาจากแกรไฟต์ (graphite crucible) รองรับอีกชั้นหนึ่งดังรูป ตัวเบ้าถูกทำให้ร้อนด้วยอุปกรณ์ทำความร้อน (heater)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งอาจใช้ขดลวดทำความร้อนแบบใช้คลื่นความถี่วิทยุ(RF heating coil) หรือความร้อนจากตัวต้านทานก็ได้ ความร้อนที่ให้กับเบ้าต้องมีอุณหภูมิอย่างน้อยเท่ากับอุณหภูมิหลอมละลายของ Si นั่นคือ ที่1,420°C จากนั้นนำผลึกเริ่มต้น(ที่เรียกว่า seed) ซึ่งมีการจัดเรียงทิศทางผลึกตามที่ต้องการมาติดกับตัวยึดในแนวดิ่งซึ่งหมุนและเคลื่อนที่ขึ้นลงได้ ขั้นต่อไปคือการจุ่มผลึกเริ่มต้นลงไปใน Si ที่กำลังหลอมละลาย ซึ่งขณะนี้มีการลดอุณหภูมิเตาลงอยางช้าๆ จนต่ำกว่าอุณหภูมิหลอมละลายของSiเพียงเล็กน้อย(ซึ่งเรียกว่า supercooling) เมื่อระบบเข้าสู่สภาวะสมดุลความร้อนจึงค่อยๆดึงผลึกขึ้นพร้อมทั้งหมุนไปด้วย(โดยที่ผลึกเริ่มต้นและซิลิคอนที่กำลังหลอมละลายจะหมุนสวนทิศกันเพื่อไม่ให้ผลึกเริ่มต้นและเนื้อซิลิคอนหลอมติดไปด้วยกัน) เพื่อผลในเรื่องความสม่ำเสมอ(uniformity)ของการเติมสารเจือลงในเนื้อผลึกตลอดช่วงรัศมีและความยาวของแท่งผลึกที่จะปลูก และขณะเดียวกัน Si ที่หลอมละลายก็จะติดมากับผลึกเริ่มต้นและเริ่มต้นแข็งตัวขึ้นที่สภาวะนี้ ถ้ามีการควบคุมอุณหภูมิให้เหมาะสมจะทำให้ผลึกที่ปลูกมีเส้นผ่านศูนย์กลางตามที่ต้องการ และมีการจัดเรียงโครงผลึกเป็นไปตามผลึกเริ่มต้น นอกจากนี้ ปริมาณอะตอมสารเจือที่ติดมากับผลึกที่ปลูกจะมีความเข้มข้นเท่ากับความเข้มข้นของอะตอมสารเจือที่เติมลงใน Si ขณะหลอมละลายซึ่งลักษณะนี้คือการกำหนดคุณสมบัติทาง ไฟฟ้าของสารกึ่งตัวนำ ปัจจุบันการปลูกผลึกโดยวิธีนี้สามารถปลูกผลึกที่มีขนาดเส้นผ่านศูนย์กลางประมาณ 15-20cm

(ข) กรรมวิธี Float-zone(FZ)

ผู้คิดค้นกรรมวิธีการปลูกผลึกแบบ FZ คือ H.C. Theurer (ในค.ศ.1952) การปลูกผลึกด้วยวิธีนี้เริ่มต้นจากการติดตั้งแท่งโพลีซิลิคอนหรือโพลีในแนวดิ่งซึ่งโดยทั่วไปยาวประมาณ 50-100cm ไว้ภายในแชมเบอร์(ดังรูป)ที่อยู่ภายใต้บรรยากาศของก๊าซเฉื่อย(มักเป็น Ar) ผลึกเริ่มต้นที่ใช้จะถูกวางติดกับส่วนล่างสุดของแท่งโพลี ในที่นี้ขดลวดทำความร้อนแบบใช้คลื่นความถี่วิทยุถูกใช้เป็นอุปกรณ์ให้ความร้อนเพื่อหลอมละลายส่วนบนของผลึกเริ่มต้นและส่วนล่างของแท่งโพลีเพื่อทำให้เกิดเป็น float zone ที่หลอมละลาย(ซึ่งยาวประมาณ2cm) ถ้าเคลื่อนขดลวดคลื่นความถี่วิทยุ(RF coil)ขึ้นอย่างช้าๆส่วนล่างของวัสดุหลอมเหลวก็จะเริ่มแข็งตัวอยู่บนผลึกเริ่มต้นเพื่อทำให้เกิดเป็นผลึกเดี่ยว ในขณะที่เขตหลอมละลายเคลื่อนผ่านเข้ามาในส่วนของแท่งโพลี ก็จะเปลี่ยนโครงสร้างของแท่งโพลีให้กลายเป็นผลึกเดี่ยว โดยการปลูกผลึกเดี่ยวจะเกิดขึ้นอย่างต่อเนื่องบนผลึกเริ่มต้นและโดยปรกติในระหว่างการปลูกผลึกทั้งแท่งโพลีและปลูกผลึกเริ่มต้นจะถูกหมุนอย่างช้าๆ เพื่อรักษาความสม่ำเสมอของผลึกที่ปลูก ในปัจจุบันผลึกที่ได้จากการปลูกผลึกวิธีนี้โดยทั่วไปจะมีเส้นผ่านศูนย์กลางโดยเฉลี่ยประมาณ 10 cm และยาวประมาณ 50 cm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

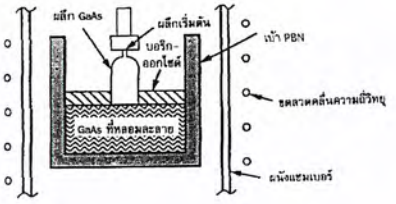
รูปที่2.18 แสดงการปลูกผลึกเดี่ยว Si จากแท่งโพลีโดยเทคนิค FZ

ข้อดีของการปลูกผลึกโดยวิธี FZ คือ ผลึกที่ปลูกได้จะมีความบริสุทธิ์สูงกว่าผลึกที่ปลูกด้วยกรรมวิธี CZ เนื่องจากไม่ต้องใช้เบ้ารองรับในกระบวนการปลูกผลึก ส่วนข้อเสียของการปลูกผลึกโดยวิธี FZ นี้มีข้อเสียอยู่หลักๆ 2 ประการคือ (1) ผลึกที่ปลูกได้มักเกิดดิสโลเคชั่น(dislocation)ได้ง่าย (ดิสโลเคชั่นเป็นความไม่สมบูรณ์ของผลึกชนิดหนึ่ง) และ (2) ต้องเสียค่าใช้จ่ายในการลงทุนมากกว่ากระบวนการ CZ

สำหรับสารประกอบกึ่งตัวนำนั้น การปลูกแท่งผลึกเดี่ยวกระทำได้ลำบากกว่าการปลูกผลึกที่เป็นธาตุเดี่ยว สาเหตุของความยุ่งยากนั้นเกิดจากที่ส่วนประกอบของธาตุต่างๆที่ประกอบเป็นสารประกอบกึ่งตัวนำมีค่าความดันไอที่แตกต่างกันมาก ทำให้เมื่อสารประกอบอยู่ในสภาวะที่หลอมเหลว อะตอมของธาตุที่มีความดันไอสูงมีแนวโน้มที่จะระเหยออกจากวัสดุหลอมละลายได้ง่าย อย่างเช่น แนวโน้มของอะตอมAsที่จะแยกออกจากสารประกอบGaAs ได้ง่ายแม้ขณะที่อุณหภูมิรอบตัวไม่สูงนักก็ตาม เป็นต้น

เทคนิคที่ใช้แก้ปัญหาดังกล่าวนี้ในปัจจุบัน ก็คือวิธี liquid encapsulated Czochralski (LEC) ดังแสดงรายละเอียดของระบบ LEC ในรูป วิธีนี้ส่วนใหญ่จะใช้ปลูกผลึกของ GaAs หรือ GaP โดยการเทของเหลวซึ่งมีความดันไอต่ำและไม่ผสมกับวัสดุหลอมเหลวนั้นเป็นชั้นบางๆ ปกคลุมส่วนบนของสารละลาย ส่วนของเหลวที่นิยมใช้กับการปลูกผลึก GaAs หรือ GaP ก็คือ B_2O_3 นอกจากนี้ยังใช้ก๊าซที่มีความดันสูงปล่อยเข้ามาปกคลุมในเบ้าซึ่งอาจทำจากแก้วควอรตซ์ หรือไพโลไนติกโบรอนไนไตรด์ (pyrolytic boron nitride,PBN) ทั้งนี้เพื่อป้องกันการระเหยเป็นไอของธาตุบางธาตุออกจากสารประกอบในระหว่างการปลูกผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.19 แสดงระบบการปลูกผลึกด้วยเทคนิค LEC

ยังมีเทคนิคการปลูกผลึกสารประกอบกึ่งตัวนำอื่นๆอีกอย่างเช่น การผนึกหลอดแก้วไม่ให้อากาศเข้าและวางในแนวนอน โดยที่ภายในหลอดแก้วมีบริเวณที่มีช่วงอุณหภูมิที่แตกต่างกันหลายช่วงในระหว่างการปลูกผลึก เทคนิคนี้เรียกว่า Horizontal Gridgman แต่วิธีนี้มีปัญหาตรงที่ไม่สามารถปลูกผลึกให้มีเส้นผ่านศูนย์กลางขนาดใหญ่ได้เมื่อเทียบกับวิธี LEC และเนื่องจากเป็นกระบวนการที่กระทำในแนวนอนดังนั้นผลึกที่ปลูกได้จึงมีรูปร่างภาคตัดขวางเป็นตัว “D” ซึ่งไม่สะดวกต่อการประยุกต์ใช้งาน

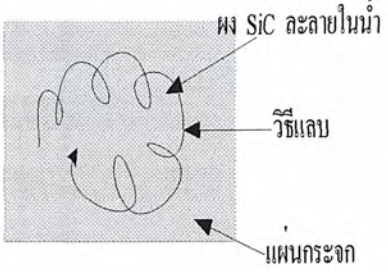
2.8.4 การทำความสะอาดผิวสารกึ่งตัวนำ

คุณสมบัติประการสำคัญที่สุดของผลึกสารกึ่งตัวนำ คือ จะมีคุณสมบัติไวต่อโครงสร้าง ดังนั้น ในการผลิตผิวของสารกึ่งตัวนำจะต้องรักษาให้อยู่ในสภาพดีที่สุด ทั้งในด้านเคมีและด้านกายภาพ เช่น การประดิษฐ์รอยต่อ PN ถ้าผิวของสารกึ่งตัวนำไม่สะอาด จะมีผลทำให้กระแสย้อนกลับมีค่ามากขึ้น

กรรมวิธีแรกในการผลิตอุปกรณ์สารกึ่งตัวนำ คือ การตัดท่อนสารกึ่งตัวนำให้เป็นแว่นผลึก (wafer) และการตัดแว่นผลึกดังกล่าว ให้เป็นแว่นผลึกเล็กๆกรรมวิธีการตัดดังนี้จะใช้ใบเลื่อยซึ่งมีผงเพชรผสมอยู่ และหมุนรอบตัวด้วยความเร็วสูง ซึ่งเรียกว่า เลื่อยเพชร ส่วนการตัดแว่นผลึกออกเป็นแผ่นผลึกเล็กๆอาจใช้เครื่องตัดอุลตราโซนิค หรือ ลวดตัดแทน อย่างไรก็ตาม ภายหลังจากการตัดผิวของแผ่นผลึกจะเกิดรอยชำรุดอันเนื่องมาจากการขัดสีกับผงเพชรของล้อตัด โดยเฉพาะในผลึกซึ่งมีความเหนียวน้อยซึ่งอาจจะเกิดรอยแยกขึ้นได้ทำให้มีผลถึงเนื้อในของแว่นผลึก ดังนั้นกรรมวิธีต่อไปคือ การขัดผิวแว่นผลึกเพื่อกำจัดชั้นชำรุด การขัดมักจะใช้ผง SiC ซึ่งมีหลายชนิดแล้วแต่ขนาดของเม็ดผง การขัดขั้นแรกๆมักจะใช้ผงเม็ดหยาบ และค่อยลดขนาดเม็ดผงในขั้นต่อๆไป จนกระทั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงขั้นขัดมัน ซึ่งจะเลือกขั้นตอนต่างๆของการขัดว่า การไกรน์ การแลป และการโปลิช จากการขัดอย่างหยาบมาจนกระทั่งถึงการขัดอย่างละเอียด



รูปที่2.20 การขัดแบบแลป

ในขั้นตอนการแลปผง SiC มักจะผสมน้ำบนแผ่นกระจกหนา ซึ่งควรจะมีความราบมากที่สุด และแว่นผลึกจะแลปในลักษณะวงกลมบนแผ่นกระจก ที่ใช้ในการผสมผงขัด ควรมีความบริสุทธิ์มากที่สุดเช่นกัน ในกรณีที่ต้องการความหนาแน่นของแว่นผลึกอย่างสม่ำเสมอ ควรจะใช้เครื่องมือแลปเพื่อไม่ให้มีรอยขีดข่วน อันเนื่องมาจากผง SiC ขนาดใหญ่ที่ใช้ในการขัดหยาบขึ้น ก่อนการขัดแต่ละครั้งควรจะล้างทิ้งแว่นผลึก และกระจกรองขัดให้สะอาดโดยใช้เครื่องล้างอุลตราโซนิค ในขั้นขัดมันควรมีผ้าอ่อนปูบนแผ่นกระจกและขัดมันบนแผ่นผ้า แต่จะผลทำให้ขอบของแว่นผลึกไม่ครบ ส่วนผงขัดมักจะใช้ผงอลูมินา โดยมีขนาดของผงขัด อยู่ในช่วง 0.5-0.1μm

ลักษณะขัด	ขนาดผงขัด (um)	ความหนาของชั้นผิวหยาบ (um)
180 mesh sandblast	125	32- 34
600 mesh SiC lapping	25	17- 18
Diamond cutter	-	12- 13
Diamond polish	0.5	1- 2
600 mesh SiC Ultrasond	25	1- 2

ตารางที่2.1 ความหนาของชั้นผิวหยาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิด	ชื่อ	ส่วนผสม (อัตราส่วนโดยปริมาตร)	ระยะเวลากัด	การใช้งาน
สารละลายกัดสำหรับ S_i	Desh etching	HNO_3 3 HF 1 CH_3COOH 8-12	1-16 ชั่วโมง	การขัดจุดชำรุดของโครงผลึก
	CP-4A	HNO_3 5 HF 3 CH_3COOH 3	2-5 นาที	ขัดมัน เพื่อสังเกตรอยชำรุด
		HNO_3 5 HF 3	2-3 นาที	ขัดมันสารละลายกัดต่อจากการใช้ CP-4A
		HNO_3 3 HF 1 CH_3COOH 1	5 นาที	ขัดเงาสำหรับการวัดความเรียบโดยใช้เอ็กซเรย์
	thermo alkali etching	สารละลาย NaOH หรือ KOH 1-30%	1-5 นาที (50-100°C)	หาแกนผลึก
	sirti etching	CrO_3 dissolved In 100cc H_2O_2 HF	5-10 นาที	การหาจุดชำรุดของโครงผลึกสำหรับผลึกซึ่งมีสารเจือปนสูง
	Stain etching	HNO_3 0.01-0.02 HF 10		หารอยต่อโดยการออกซิเดชัน

ตารางที่2.2 ตารางตัวอย่างของสารละลายสำหรับกัด

กรรมวิธีการขัดผิวที่กล่าวมาแล้วเป็นกรรมวิธีทางกายภาพขั้นตอนต่อไปจะอาศัยวิธีการทางเคมีเรียกว่า กรรมวิธีเอดชิ่ง จุดประสงค์ของกรรมวิธีเอดชิ่งคือการกำจัดชั้นชำรุดซึ่งไม่อาจจะกำจัดได้โดยวิธีทางกายภาพ กรรมวิธีเอดชิงขั้นพื้นฐานจะเริ่มจากการออกซิเดชั่น เช่น เมื่อเราแช่ G_e ลงในกรด HNO_3 อัตราเอดชิ่งจะช้ามากทั้งนี้เพราะว่า HNO_3 จะทำให้เกิดออกไซด์บนผิวของGe แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเติมกรดHFลงไปในสารละลายในจำนวนที่เพียงพออัตราเอดชิ่งจะเพิ่มมากขึ้นมาก ทั้งนี้เพราะ HF จะกัดออกไซด์ดังนั้นเราอาจจะกล่าวได้ว่ากรรมวิธีเอดชิ่งแบ่งออกเป็น 2 ขั้นตอน ขั้นแรกจะเกิดออกไซด์ที่ผิว ขั้นที่สองชั้นออกไซด์จะถูกกัดออก

ในกรรมวิธีเอดชิ่ง สารเคมีที่ใช้มักจะมีพิษและเป็นอันตรายมากดังนั้นจึงต้องอาศัยความระมัดระวังมากและจำเป็นต้องกระทำในตู้ดูดไอพิษซึ่งประกอบด้วยอ่างกัดกรด พัดลมดูดอากาศออกและท่อน้ำซึ่งมีก๊อกแบบโปลีไวนิลคลอไรด์ และมีแผ่นโปร่งแสงพลาสติกกันด้านหน้า ในปัจจุบันนี้สารที่ใช้ในการทำตู้ดูดไอพิษมากที่สุดคือโปลีไวนิลคลอไรด์ แต่สารดังกล่าวไม่สามารถทนความร้อนสูงได้ดังนั้นจึงต้องระวังไม่ให้อุณหภูมิสูงกว่า 100 °C นอกจากนี้เครื่องมือทุกชิ้นที่ใช้ในการเอดชิ่งจะต้องทนกรดได้ เครื่องมือโลหะจึงไม่เหมาะสม กรรมวิธีเอดชิ่งมีดังนี้

1) โลหะทุกชนิดควรอยู่นอกตู้ดูดไอพิษ

2) ไม่ควรใช้สารเคมีที่ทิ้งค้างไว้

3) ควรให้ปริมาตรสารเอดชิ่งมากเพื่อกันการเพิ่มอุณหภูมิ

4) ควรคนสารละลายอยู่เสมอ

5) อย่าปล่อยให้แผ่นสารซึ่งกำลังอยู่ในสภาวะเอดชิ่งถูกอากาศ เมื่ออัตราเอดชิ่งเร็วเกินไปอย่ายกแผ่นสารขึ้นให้ลดความเข้มข้นของสารละลายลง โดยการเติมน้ำบริสุทธิ์

6) ล้างน้ำให้สะอาดหลังจากกรรมวิธีเอดชิ่ง

7) ถ้าผิวหนังของผู้ควบคุมกรรมวิธีเอดชิ่งถูกต้องกับสารละลายให้ล้างด้วยน้ำ ทีเอที และปฐมพยาบาล ถ้าแผลไหม้รุนแรงให้ส่งแพทย์ทันที ในการปฐมพยาบาลสำหรับในกรณีที่ถูกกรด HF กัดให้ล้างด้วยสารละลายอิมัลชันของแมกนีเซียมซัลไฟล์หรือสารละลาย70%ของน้ำและแอลกอฮอล์ ในกรณีที่กรด HF กระเด็นเข้าสู่ตาให้ล้างด้วยน้ำทันทีและตามด้วยการล้างด้วยกรดบอริคเข้มข้น 2%

กรรมวิธีเอดชิ่งนอกจากจะใช้ในการทำความสะอาดแล้วยังมีประโยชน์อื่นๆอีก เช่น ใช้ในการสังเกตจุดชำรุดของโครงผลึก หรือใช้ในการสังเกตรอยต่อและใช้ในการหาแกนผลึก บนผิวของแผ่นผลึกซึ่งผ่านกรรมวิธีเอดชิ่งจะปรากฏหลุมอยู่หลุมเหล่านี้จะมีความสัมพันธ์กับจุดชำรุดของโครงผลึกและมักจะเกิด ณ จุดชำรุดของโครงผลึก ดังนั้น โดยการสังเกตหลุมเหล่านี้เราจะทราบจำนวนชำรุดของโครงผลึกได้ ปรากฏการณ์ดังกล่าว เกิดจากเหตุผลหลายประการด้วยกัน ประการหนึ่งคือ ระดับศักดา พลังงานศักย์ที่บริเวณใกล้กับจุดชำรุดจะมีค่าแตกต่างออกไปจากบริเวณส่วนใหญ่บนผิวสารกึ่งตัวนำยังมีผลทำให้ปฏิกิริยาเคมีเกิดขึ้นไม่สม่ำเสมอ นอกจากนี้ การแจกแจงของอิเล็กตรอนและโฮลในบริเวณใกล้เคียงกับจุดชำรุดจะมีค่าแตกต่างไปจากบริเวณส่วนใหญ่อีกด้วย ในกรณีของ Si บริเวณจุดชำรุดสังเกตได้จากกล้องจุลทรรศน์แบบอินฟราเรด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.5 กระบวนการออกซิเดชั่นทางความร้อน

การทำออกซิเดชั่นของซิลิคอนเป็นขั้นตอนที่จำเป็นต้องใช้ในเกือบทุกกระบวนการของการสร้างวงจรรวมเนื่องจากในกระบวนการสร้างมักต้องมีการเติมสารเจือในบริเวณที่ต้องการ และขณะเดียวกันบางบริเวณก็ไม่ต้องการให้มีการเติมสารเจือ ดังนั้นต้องมีการสร้างชั้นกั้นหรือชั้นหน้ากากคลุมแว่นผลึกทั้งหมดจากนั้นจะทำการเปิดช่องหรือหน้าต่างในชั้นดังกล่าวโดยกระบวนการโฟโตลิโทกราฟีและทำการกัดกร่อนเพื่อให้เป็นบริเวณที่สารเจือสามารถผ่านลงมาเติมได้

ซิลิคอนไดออกไซด์(SiO_2)สามารถปลูกลงบนผิวหน้า Si ได้เพื่อสร้างเป็นชั้นหน้ากากสำหรับใช้ในกระบวนการแพร่ซึมสารเจือหรือกระบวนการฝังไอออน นอกจากนี้ยังสามารถใช้เป็นชั้นเฉื่อยงาน หรือใช้ในการแยกโดดสิ่งประดิษฐ์ตัวอื่นในวงจรรวม(ซึ่งเรียกว่า oxideisolation) หรือใช้เป็นส่วนประกอบในโครงสร้างมอส และยังใช้เป็นชั้นแยกโดดทางไฟฟ้าสำหรับระบบการฉาบไอระเหยโลหะหลายชั้น(multilevel metallization)โดยทั่วไปการปลูกชั้นออกไซด์สามารถกระทำได้หลายวิธีเช่น การทำออกซิเดชั่นด้วยกระบวนการทางความร้อน การทำแอโนไดเซชั่นแบบเปียก (anodization)แบบเปียก และการใช้เทคนิคการสร้างชั้นสารจากไอสารเคมี[chemical vapour deposition(CVD)] สำหรับการปลูกชั้นออกไซด์เพื่อทำให้ความหนาแน่นประจุระหว่างผิว Si-SiO_2 มีค่าต่ำมักใช้วิธีการทำออกซิเดชั่นทางความร้อน และการแพร่ซึมสารเจือโดยทั่วไปมักใช้วิธีนี้ในการสร้างหน้ากากกั้นการแพร่ซึม

ชั้นฟิล์ม SiO_2สามารถปลูกโดยการออกซิไดส์แว่นผลึกในบรรยากาศของออกซิเจนหรือไอน้ำซึ่งจะเปลี่ยนชั้นผิวหน้าของSiให้เป็นSiO_2ดังสมการ

$Si+O_2 \rightarrow SiO_2$ (การออกซิเดชั่นแบบแห้ง)

$Si+2H_2O \rightarrow 2H_2+SiO_2$ (การออกซิเดชั่นแบบเปียก)

ปฏิกิริยาจะเกิดช้ามากที่อุณหภูมิห้องอย่างไรก็ตามถ้าเพิ่มอุณหภูมิสูงขึ้น (1,000-1,200°C) จะทำให้การปลูกชั้นออกไซด์เกิดเร็วขึ้น

กระบวนการออกซิเดชั่นทางความร้อนนี้จะแตกต่างจากกระบวนการสร้างฟิล์มแบบอื่นๆ คือ อัตราการเปลี่ยนจาก Si เป็น SiO_2 จะไม่คงที่ เนื่องจากชนิดของสารเจือที่เป็นตัวออกซิไดซ์ (oxidizing species คือ O_2 หรือ H_2O) จะต้องแพร่ซึมผ่านชั้น SiO_2 ที่กำลังปลูกอยู่และทำปฏิกิริยากับ Si ที่ผิวหน้ารอยต่อระหว่าง Si-SiO_2 โดยที่ขณะเริ่มแรกการปลูกชั้นฟิล์มจะถูกควบคุมโดยปฏิกิริยา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้ความหนาของฟิล์ม d_{ox} จะเพิ่มอย่างเชิงเส้นตามเวลา t ดังสมการ

$$d_{ox} \approx \frac{B}{A}\left(t+\tau_0\right) \tag{2.27}$$

เมื่อ $B\tau_0/A$ เป็นความหนาเริ่มต้นของออกไซด์ก่อนปลูกฟิล์มค่า A และ B เป็นค่าคงที่ที่ขึ้นอยู่กับอุณหภูมิเป็นอย่างมาก หลังจากการปลูกออกไซด์ชั่วครู่อัตราการเติบโตของแผ่นฟิล์มจะถูกจำกัดโดยกระบวนการแพร่ซึม (ซึ่งเรียกว่า diffusion-controlled) ดังนั้นความหนาของแผ่นฟิล์มที่ปลูกจะแปรช้าลงตามรากที่สองของเวลา t ดังสมการ

$$d_{ox} \approx \sqrt{Bt} \tag{2.28}$$

สมการ (2.27) และ (2.28) ใช้ในการหาความหนาของออกไซด์ที่ปลูกในกรณีที่ใช้เวลาในการทำออกซิเดชั่นน้อยและมาก ตามลำดับ สำหรับรายละเอียดความหนาของฟิล์มสามารถศึกษาเพิ่มเติมได้จากหนังสือGrove,1967

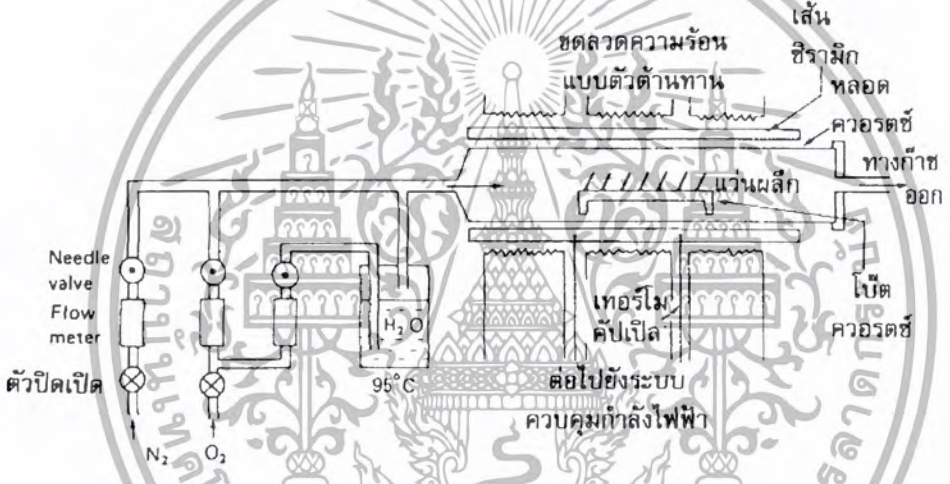
รูปที่2.21 กระบวนการออกซิเดชั่นทางความร้อนที่ผิวหน้า Si

และความสัมพันธ์โดยทั่วไปสำหรับขีดจำกัดในการทำออกซิเดชั่นทั้งสองกรณีตามสมการ (2.27) และ (2.28) สามารถเขียนใหม่ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d_{ox} = \frac{A}{2}\left[\left(1+\frac{t+\tau_0}{A^2/4B}\right)^{1/2} - 1\right] \qquad (2.29)$$

ในทางปฏิบัติการทำออกซิเดชั่นทางความร้อนโดยปรกติจะกระทำในช่วงอุณหภูมิ600-1,200°C ชนิดสารเจือที่เป็นตัวออกซิไดซ์อาจเป็นออกซิเจนแห้ง หรือออกซิเจนเปียก (ที่อิ่มตัวด้วยไอน้ำ) หรือไอน้ำ (ซึ่งได้มาจากการสันดาปของไฮโดรเจนกับออกซิเจนที่เรียกว่า pyrogenic steam) สำหรับระบบออกซิเจนแบบเปียกออกซิเจนจะถูกก่อฟองผ่านน้ำไร้ไอออน(deionized water) ซึ่งควบคุมอุณหภูมิไว้ที่ 90°C ดังแสดงในรูป จากนั้นไอน้ำจะผ่านเข้าเตาออกซิเดชั่นเพื่อทำปฏิกิริยากับผิวหน้าแว่นผลึกจนเกิดเป็นชั้น SiO_2 บนแว่นผลึก Si



รูปที่2.22 แผนภาพระบบออกซิเดชั่น

2.8.6 การสร้างแผ่นโฟโตมาสก์

โดยทั่วไปเมื่อทำการทดสอบหรือจำลองการทำงานของวงจรที่ออกแบบจนเป็นที่เรียบร้อยแล้ว ขั้นตอนแรกในการสร้างไอซีก็คือ การสร้างแพตเทิร์นที่เป็นรูปทรงเรขาคณิตของวงจร แพตเทิร์นต่างๆที่สร้างขึ้นจะประกอบด้วยการวาดส่วนประกอบต่างๆ ของวงจรซึ่งแบ่งออกเป็นหลายระดับสามารถสรุปขั้นตอนการออกแบบสร้างโฟโตมาสก์ได้ดังนี้คือ

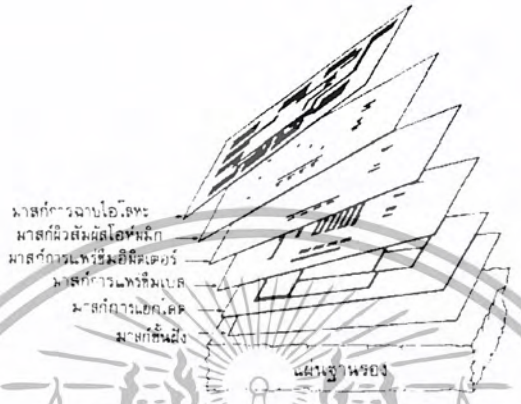
1) เขียนภาพรูปร่างเรขาคณิตส่วนประกอบของวงจรรวมที่จะสร้าง

2) จัดตำแหน่งที่อยู่ของส่วนประกอบแต่ละส่วนในวงจรให้เหมาะสมโดยให้เหลือที่ว่าง (space)ระหว่างส่วนประกอบให้น้อยที่สุด การเดินสายต่อภายในระหว่างส่วนประกอบแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบแต่ละส่วนต้องทำให้สั้นและง่ายนอกจากนี้ต้องสะดวกต่อการต่อสายออกไปยังวงจรภายนอกอีกด้วย

3) ทำการแยกระดับมาสก์กิงก์ของส่วนประกอบออกเป็นระดับต่างๆเพื่อใช้สร้างโฟโตมาสก์แต่ละแผ่น



รูปที่2.23 ชุดโฟโตมาสก์ที่ใช้ในการสร้างวงจรรวม

โดยทั่วไปโฟโตมาสก์ที่ใช้งานมักเป็นแผ่นแก้วโปร่งใสหรือควอรตซ์ และเคลือบด้วยวัสดุไวแสง(mask coating material) ในบริเวณที่มีการสร้างแพตเทิร์นของโฟโตมาสก์ วัสดุที่ใช้เคลือบมักเป็นอิมัลชัน(emulsion)(คล้ายกับสารที่เคลือบบนแผ่นฟิล์มถ่ายภาพ) หรือวัสดุที่มีผิวหน้าแข็ง อย่างเช่น โครเมียม โครเมียมออกไซด์ เหล็กออกไซด์ หรือซิลิคอน แผ่นโฟโตมาสก์ที่เคลือบด้วยอิมัลชั่นจะมีราคาถูก แต่สามารถใช้กับการถ่ายแบบวงจรที่มีขนาดฟีเชอร์ (feature size)$\geq$3μm หากเป็นมาสก์ที่เคลือบด้วยวัสดุที่มีผิวหน้าแข็งจะใช้กับการถ่ายแบบวงจรที่มีขนาด$\approx$ 1μm

สำหรับวงจรที่มีขนาดฟีเชอร์เล็ก(<1μm)จะใช้เครื่องมือที่เรียกว่าลำอิเล็กตรอน(e-beam) ช่วยในการวาดแพตเทิร์นของเลย์เอาต์โดยตรงลงบนแว่นผลึก โดยไม่ต้องอาศัยแผ่นมาสก์ช่วยในการถ่ายแบบ

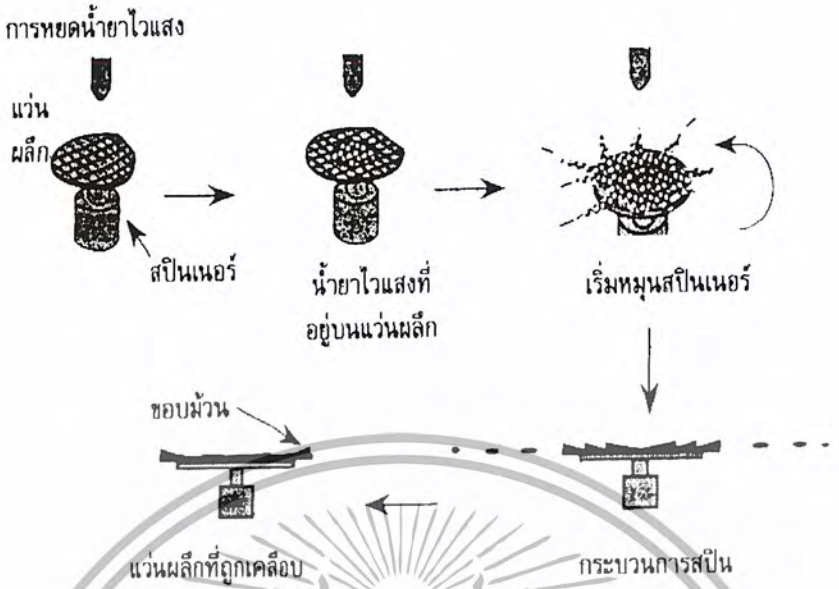
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8.7 กระบวนการโฟโตลิโทกราฟี

จุดประสงค์ของกระบวนการโฟโตลิโทกราฟีคือ การถ่ายแบบของแพตเทิร์นที่อยู่บนแผ่นโฟโตมาสก์ให้ลงไปยังผิวหน้าของแว่นผลึก Si รูปที่ แสดงกระบวนการถ่ายแบบแผนโดย ขั้นตอนแรกทำการปลูกชั้นออกไซด์เพื่อทำให้เกิดเป็น SiO_2 บนผิวหน้า Si ชั้น SiO_2 โดยปรกติหนาประมาณ 1,000-10,000°A จากนั้นจะทำการหยดน้ำยาไวแสงบนผิวหน้าแว่นผลึกซึ่งติดอยู่บนเครื่องสปินเนอร์ (spinner) ด้วยการดูดสูญญากาศ ขั้นต่อไปทำการหมุนสปินเนอร์เพื่อให้น้ำยาไวแสงเคลือบสม่ำเสมอลงบนแว่นผลึกและหนาประมาณ1μm หลังจากเคลือบน้ำยาไวแสงและอบแห้งแล้วจึงทำการฉายแสงอัลตราไวโอเลต (บางครั้งอาจใช้แสงในช่วงความยาวคลื่นอื่นๆ ก็ได้ เช่น deep UV) ผ่านแผ่นโฟโตมาสก์ลงบนผิวหน้าที่เคลือบน้ำยาไวแสงในช่วงเวลาสั้น

รูปที่2.24 หลักการของกระบวนการถ่ายแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.25 กระบวนการหมุนเคลือบ (spin coating) เพื่อทำให้น้ำยาไวแสงเคลือบสม่ำเสมอบนผิวหน้าแว่นผลึก

จากนั้นจึงนำแว่นผลึกไปล้างด้วยน้ำยาล้าง (developer) ในกรณีนี้สมมุติว่าการล้างน้ำยาจะละลายน้ำยาไวแสงออกในส่วนผิวหน้าแว่นผลึกที่ไม่ถูกฉายแสง[น้ำยาไวแสงมี 2 ประเภท คือ ชนิดบวก(positive) เป็นน้ำยาที่บริเวณที่ถูกฉายแสงจะล้างออกด้วยน้ำยาล้าง และชนิดลบ(negative) เป็นน้ำยาที่บริเวณไม่ถูกแสงจะถูกล้างออก] ขั้นต่อไปนำแว่นผลึกมากัดชั้น SiO_2 ออกโดยใช้สารละลายกรดบัฟเฟอร์ไฮโดรฟลูออริก [bufferd hydrofluoric (BHF)] แต่น้ำยานี้จะไม่กัดส่วนที่มีน้ำยาไวแสงเคลือบอยู่ ขั้นตอนสุดท้ายทำการล้างน้ำยาไวแสงออกให้หมด และจะเหลือเพียงรูปภาพหรือแพตเทิร์นที่เป็น SiO_2 ซึ่งเป็นหน้ากากสำหรับกระบวนการสร้างในลำดับถัดไปอย่างเช่น กระบวนการฝังไอออนจะทำการเติมสารเจือเสร็จสิ้นลงจะทำการลอกชั้น SiO_2 ที่คลุมอยู่ หลังจากที่กระบวนการเติมสารเจือเสร็จสิ้นลงจะทำการลอกชั้น SiO_2 ทิ้งไปดังนั้นผิวหน้า Si ก็จะมีแพตเทิร์นที่ถูกเติมสารเจือเป็นบริเวณซึ่งเป็นการคัดลอกแบบจากแพตเทิร์นที่อยู่บนโฟโตมาสก์ให้ลงมาอยู่บนผิวหน้าแว่นผลึก ลำดับต่อไปก็ทำคล้ายกันตั้งแต่ต้นเพียงแต่ขั้นตอนการปรับแต่ง (align)

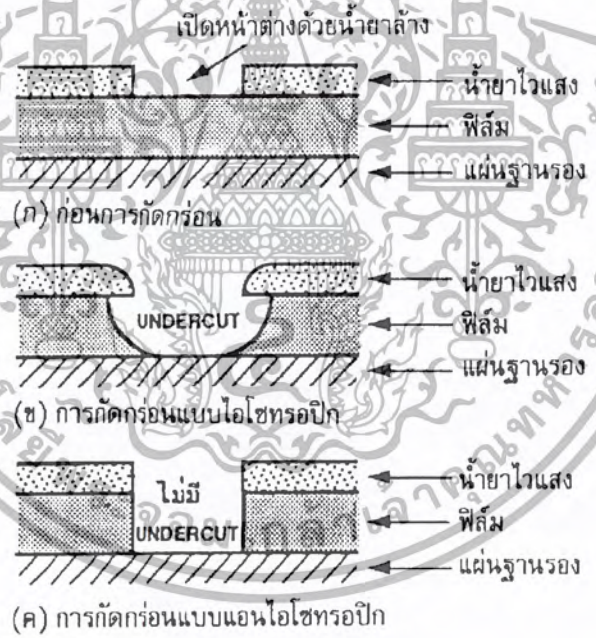
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นโฟโตมาสก์แผ่นอื่นๆ ตามลำดับขั้นตอนสำหรับกระบวนการสร้างถัดๆไปดังนั้นจึงได้วงจรรวมที่สร้างเสร็จบนผิวหน้าแว่นผลึก

2.8.8 การกัดกร่อน

กระบวนการกัดกร่อนคือ กระบวนการลอกวัสดุออก อย่างเช่น พวกออกไซด์หรือฟิล์มบางอื่นๆโดยวิธีทางเคมี อิเล็กโตรไลติก หรือการระดมยิงด้วยพลาสมา-ไอออน(plasma-ion bombardment)

หลังจากที่แพตเทิร์นที่ออกแบบได้ถูกถ่ายแบบจากโฟโตมาสก์ลงบนน้ำยาไวแสงแล้ว จะต้องมีการลอกหรือกัดชั้นฟิล์มที่ถูกปกคลุมด้วยชั้นน้ำยาไวแสงออกบางส่วน ณ บริเวณที่กำหนด โดยจะต้องพิจารณาว่าการกัดกร่อนนั้นเป็นแบบไอโซโทรปิก (isotropic เป็นการกัดกร่อนในทิศทางใดทิศทางหนึ่ง)หรือ แอนไอโซทรอปิก (anisotropic เป็นการกัดกร่อนในทิศทางใดทิศทางหนึ่ง) การกัดกร่อนเป็นแบบเลือกเฟ้นหรือไม่(สารที่ใช้กัดกร่อนจะกัดชั้นอื่นๆมากน้อยเพียงใด) และอัตราการกัดกร่อนมีความสม่ำเสมอหรือมีความเสียหายมากน้อยเพียงใด



รูปที่2.26 โปรไฟล์การกัดกร่อน (ก)ก่อนการกัดกร่อน(ข)การกักร่อนแบบไอโซทรอปิกใช้วิธีการกัดกร่อนแบบเปียก (ค)การกัดกร่อนแบบไอโซทรอปิกด้วยวิธีการกัดกร่อนแบบแห้ง

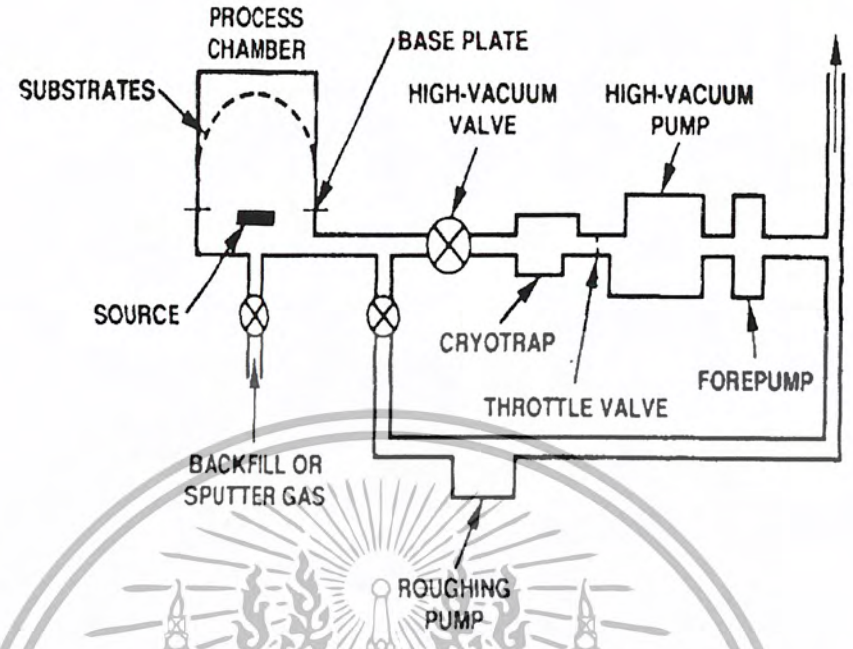
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารที่ใช้ในการกัดกร่อนในเทคโนโลยีการผลิตไอซีตัวแรกคือ สารเคมีพวกกรดบัฟเฟอร์ อย่างเช่น buffered HF ซึ่งใช้ในการกัดกร่อนSiO_2และแก้วการกัดด้วยสารเคมีเหล่านี้เรียกว่าการกัดกร่อนแบบเปียก (wet etching) ซึ่งทำให้บริเวณที่ถูกกัดกร่อนมีลักษณะไอโซทรอปิก และเกิดลักษณะ undercut อย่างมากข้างใต้แผ่นหน้ากาก ดังแสดงในรูปที่ (ข) ลักษณะผิวหน้าที่กัดกร่อนด้วยน้ำยาเคมีจะขึ้นอยู่กับอุณหภูมิและอายุการใช้งานของส่วนผสมน้ำยากัดกร่อน เมื่อไรก็ตามที่ขนาดสิ่งประดิษฐ์ (device feature) หรือขนาดฟีเชอร์ของวงจรที่ต้องการผลิตและเปิดหน้ากากหรือหน้าต่างเพื่อทำการกัดกร่อนมีขนาดเล็กลง จะต้องหลีกเลี่ยงการกัดกร่อนด้วยน้ำยาเคมี ด้วยเหตุนี้จึงได้มีการพัฒนาการกัดกร่อนโดยใช้ปฏิกิริยาเคมีของโมเลกุลก๊าซที่แตกตัวเป็นไอออนหรือพลาสมาเข้ามาช่วยซึ่งเรียกว่า การกัดกร่อนแบบแห้ง (dry etching)

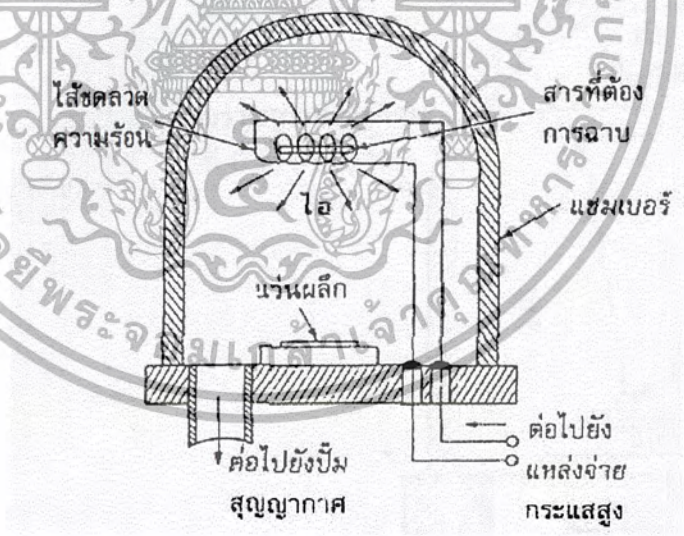
2.8.9 การฉาบไอระเหย

การฉาบไอระเหยเป็นการฉาบโลหะที่วางพาดอยู่ส่วนบนของสิ่งประดิษฐ์สารกึ่งตัวนำหรือวงจรรวม ซึ่งเครื่องมือการฉาบไอระเหยแสดงดังรูปที่ (ก) แว่นผลึกที่ต้องการฉาบโลหะจะวางอยู่ในแชมเบอร์ซึ่งเป็นสูญญากาศ โดยที่มีเครื่องสูบแบบโรตารี [rotary pump (หรือ roughing pump)] ทำหน้าที่ดูดอากาศออกจากแชมเบอร์จากความดันบรรยากาศจนมีค่าประมาณ 10^{-3} Torr จากนั้นเครื่องสูบแพร่น้ำมัน(oil diffusion pump) ที่มีการเติมไนโตรเจนเหลวทำการดึงความดันให้ต่ำลงอีกจนอยู่ในระดับ 10^{-6}-10^{-7} Torr ช่วงความดันนี้ใช้สำหรับการฉาบไอระเหยซึ่งใช้วิธีไส้ขดลวด (filament) หรือ ลำอิเล็กตรอน (e-beam)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.27 ระบบการฉาบไอระเหยโลหะ



รูปที่2.28 การฉาบไอโลหะแบบขดลวดที่เป็นไส้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การฉาบไอระเหยระบบที่ใช้ขดลวดเป็นไส้โลหะที่ต้องการให้ระเหยจะถูกวางอยู่บนไส้ขดลวด ซึ่งแว่นผลึกที่ต้องการฉาบโลหะจะวางอยู่ภายในแชมเบอร์ ณ ตำแหน่งที่พอเหมาะ หลังจากดึงสูญญากาศลงถึงระดับ $<10^{-5}$ Torr แล้วจะให้โลหะที่แขวนอยู่ร้อนจนหลอมละลายและในที่สุดก็จะระเหยและฉาบลงบนแว่นผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ และกระบวนการสร้าง

3.1 การออกแบบมอสฮอลล์เพลท

สิ่งสำคัญในการออกแบบอุปกรณ์เซนเซอร์ (Sensors) สิ่งที่ต้องการคือ ต้องมี ความไว สูง มีขนาดเล็ก จากสมการที่ (2.23)

$$V_H = \frac{I.G.B_H}{q.p.d}$$

หรือ

$$V_H = \frac{R_H.G.I.B_Z}{d}$$

และ

$$S = \frac{V_H}{I.B} = \frac{R_H G}{d}$$

โดย

$$G = \left[1 - \exp\left(\frac{-\pi L}{2W}\right).\frac{\theta_H}{\tan\theta_H}\right]\left[1 - \frac{2S\theta_H}{\pi W \tan\theta_H}\right]$$

จากสมการทำให้ทราบว่าถ้าต้องการให้มี แรงดันฮอลล์ และความไว สูง ทำได้ดังนี้

1. ต้องเติมสารเจือน้อย โดยเป็นการลดค่า p คือความหนาแน่นของประจุพาหะ

2. ทำให้ค่า $G \approx 1$ ซึ่งเป็นค่าทางเรขาคณิต เป็นผลมาจากรูปร่างของ ฮอลล์เพลท โดยทางทฤษฎีแล้วควรสร้าง ให้มีความกว้าง (W) ความยาว (L) และขนาดของขั้วเซ็นเซอร์คอนแทค (S) ให้มีค่า $\frac{L}{w} > 3$ และ $\frac{S}{w} < \frac{1}{20}$ จะทำให้ค่าแฟคเตอร์ $G \approx 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความหนาแน่นของประจุพาหะ สามารถควบคุมได้โดยกระบวนการสร้าง แต่ค่าแฟคเตอร์ G สามารถ ออกแบบได้โดยตรง โดยกำหนดค่า $\frac{L}{w} > 3$ และ $\frac{S}{w} < \frac{1}{20}$

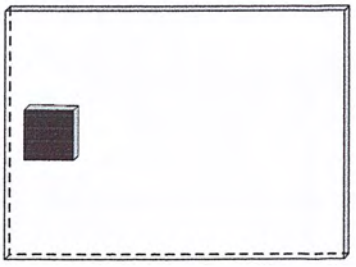
เมื่อพิจารณาค่า $\frac{L}{w} > 3$ อย่างน้อยที่สุดจะต้องออกแบบให้ $L > 3W$ เมื่อกำหนดให้ $W = 200\mu m$ จะได้ $L = 600\mu m$ และเมื่อพิจารณาค่า $\frac{S}{w} < \frac{1}{20}$ จะได้ค่า $S = 10\mu m$ ซึ่งเป็นค่าที่ไม่สามารถทำได้โดยอุปกรณ์และเครื่องมือที่มีอยู่ โดยทำได้ที่ $S = 60\mu m$

เพื่อ พิสูจน์และวิเคราะห์ในการใช้อุปกรณ์ฮอลล์ดีไวซ์ เป็นเมกเนติกเซ็นเซอร์ที่มีความไวที่ดีที่สุด จึงทำการเพิ่ม พารามิเตอร์ (Parameter) ของความยาว L อีก 3 ค่า คือ 800, 1000 และ 1200 μm เพราะฉะนั้นอุปกรณ์มอสฮอลล์เพลท จะมี 4 แบบ โดยมีค่า $S = 60\mu m$, $W = 200\mu m$ และค่า $L = 600\mu m$, $800\mu m$, $1000\mu m$, $1200\mu m$

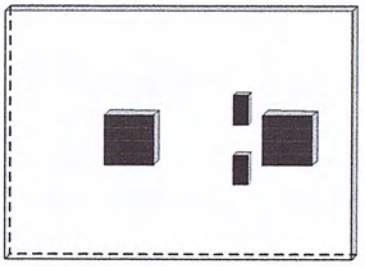
มาส์คของพารามิเตอร์ต่างๆ โดยมีจำนวนทั้งหมด 5 มาส์ค ด้วยกัน ได้แก่

1. Mask Body
2. Mask Source, Drain, Sensor Contact
3. Mask Gate
4. Mask Contact Windows
5. Mask Aluminum

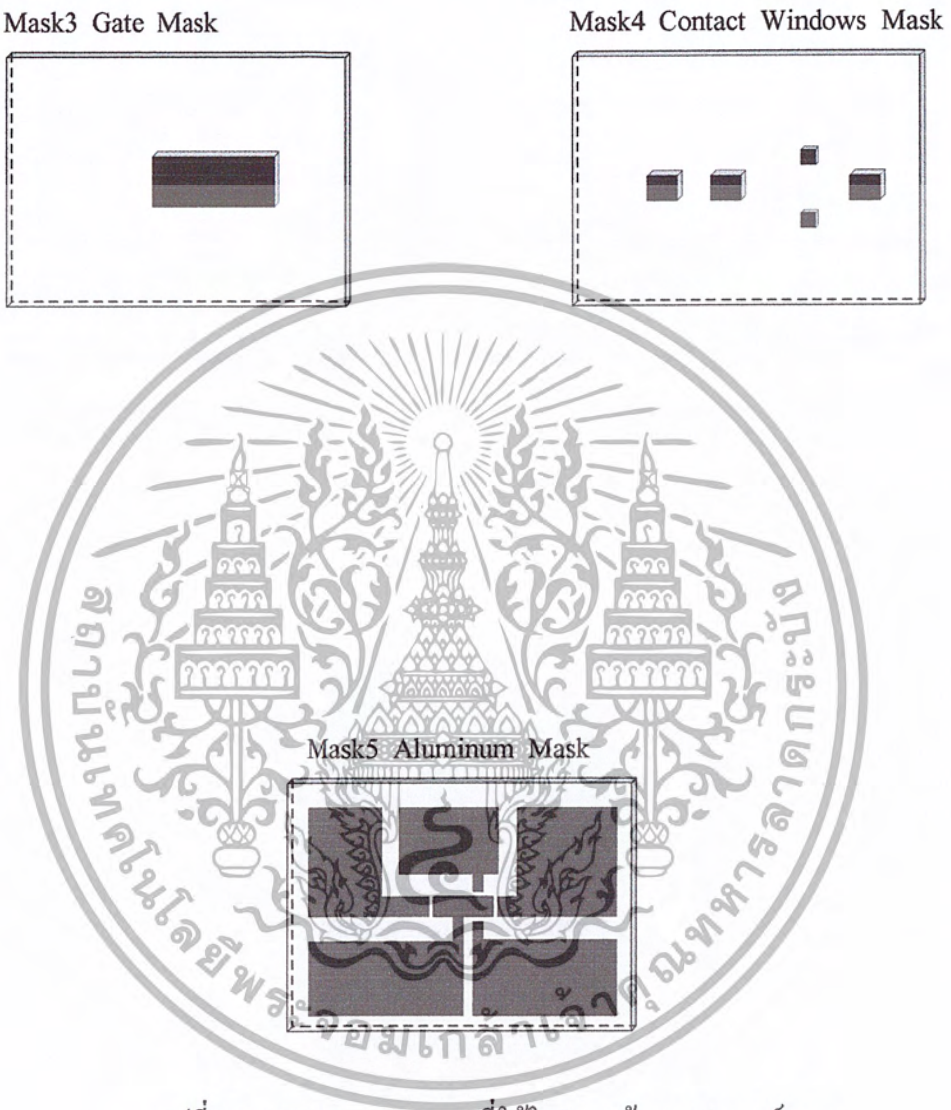
Mask1 Body Mask



Mask2 Source, Drain, Sensor Contact Mask



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

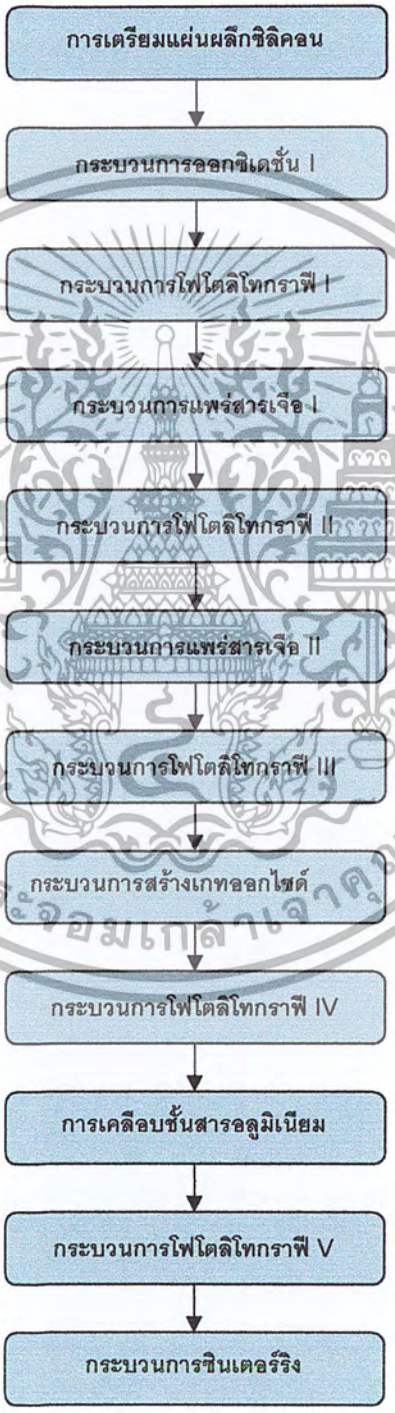


รูปที่ 3.1 แบบกระจก Mask ที่ใช้ในการสร้างมอสฮอลล์เพลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 กระบวนการสร้าง MOS Hall Plate

กระบวนการสร้าง MOS Hall Plate จากการทดลองมีแผนผังดังแสดงในรูปที่ 3.2 โดยเริ่มต้นจากการเตรียมแผ่นผลึกซึ่งเป็นขั้นตอนแรกของการสร้าง ไปจนถึงขั้นตอนสุดท้าย



รูปที่ 3.2 กระบวนการสร้างมอสฮอลล์เพลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นตอนของกระบวนการสร้าง MOS Hall Plate

* การเตรียมแผ่นผลึกซิลิคอน

การเตรียมแผ่นผลึกนี้เป็นการตรวจสอบคุณสมบัติของแผ่นผลึกที่ได้มาโดยนำมาทำการวัดค่าความต้านทานของแผ่นผลึกและค่าความหนาของแผ่นผลึก

-ใช้แผ่นผลึกรูปเดี่ยวแบบ single ชนิดเอ็นมีระนาบ <100>

-ค่าความต้านทานจำเพาะ 4-8 Ω - cm

-ค่าความหนาของแผ่นผลึก 400 μm

*** การทำความสะอาดผิวแผ่นผลึกเริ่มต้น (initial cleaning)**

กระบวนการทำความสะอาดผิวผลึกเพื่อกำจัดสิ่งเจือปนอื่นๆที่ไม่ต้องการออกจากผิวของแผ่นผลึก

-ล้างด้วย HNO_3

-ล้างด้วยน้ำบริสุทธิ์ (DI water) 2 ครั้ง ครั้งละ 5 นาที

-จุ่มในกรดกัดแก้ว (HF) ซึ่งมีความเข้มข้น 3% เป็นเวลา 15 วินาที

-ล้างด้วยน้ำบริสุทธิ์ (DI water) 2 ครั้ง ๆ ละ 5 นาที

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

รูปที่ 3.3 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการทำความสะอาดผิวผลึกเริ่มต้น

*** กระบวนการออกซิเดชั่น I (First Oxidation)**

เพื่อการสร้างชั้นซิลิกอนไดออกไซด์ ให้มีความหนาไม่น้อยกว่า 5000 °A จึงต้องทำกระบวนการออกซิเดชั่น โดยนำแผ่นผลึกซิลิกอนที่ทำความสะอาดแล้ว ทิ้งไว้ในบรรยากาศของก๊าซออกซิเจนที่อุณหภูมิ 1000 °C

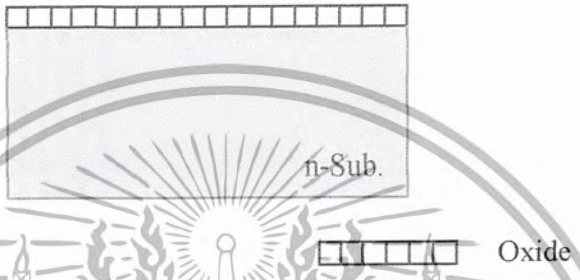
-ทำการออกซิเดชั่นแบบแห้งเป็นเวลา 60 นาที โดยอัตราการไหลของก๊าซออกซิเจน 1.2 ลิตร/นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ทำการออกซิเดชั่นแบบชื้นเป็นเวลา 90 นาที โดยอัตราการไหลผ่านของก๊าซออกซิเจน 1.2 ลิตร/นาที

-ทำการออกซิเดชั่นแบบแห้งเป็นเวลา 60 นาที โดยอัตราการไหลของก๊าซออกซิเจน 1.2 ลิตร/นาที

โดยค่าความหนาของซิลิคอนไดออกไซด์จากการทดลองที่ได้นั้นมีค่า 5620 °A ซึ่งค่าที่ได้มาจากเครื่องมือวัดความหนาของชั้นซิลิคอนไดออกไซด์



รูปที่3.4 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการออกซิเดชั่นแล้ว

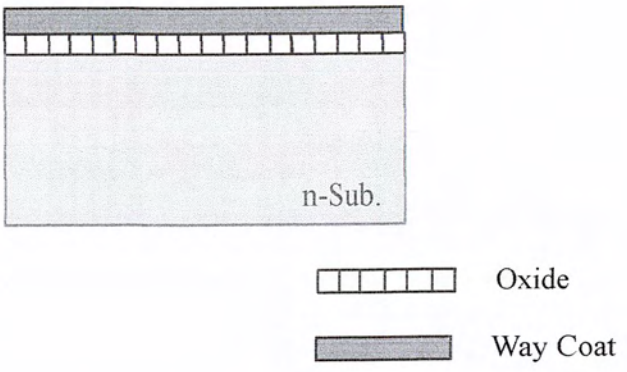
*** กระบวนการโฟโตลิโทกราฟี I**

กระบวนการพิมพ์ลวดลายบนแผ่นผลึกซิลิกอน เพื่อเปิดช่องของชั้นซิลิกอนไดออกไซด์ออกสำหรับการแพร่ส่วนของสารเจือชนิดเอ็น ในขั้นตอนนี้ใช้กระจกมาส์คที่ I โดยการเคลือบน้ำยาไวแสงชนิดลบลงบนแผ่นผลึกซิลิกอน แล้วทำการหมุนเพื่อให้น้ำยาไวแสงนั้นมีการเคลือบที่สม่ำเสมอกัน โดยทำการหมุนด้วยอุปกรณ์ที่เรียกว่า Spinner แล้วนำไปอบให้แห้ง จึงนำไปทำการพิมพ์ภาพ ด้วยต้นแบบกระจกมาส์คที่ I ซึ่งกระบวนการโฟโต้ลิโทกราฟีของน้ำยาไวแสงชนิดลบ มีลำดับขั้นตอนดังนี้

-อบแห้งเพื่อไล่ความชื้นที่อุณหภูมิ 100 °C เป็นเวลา 15-20 นาที

-เคลือบน้ำยาไวแสง โดยใช้อุปกรณ์ Spinner ขนาด 5000 รอบต่อนาที เป็นเวลา 20 วินาที

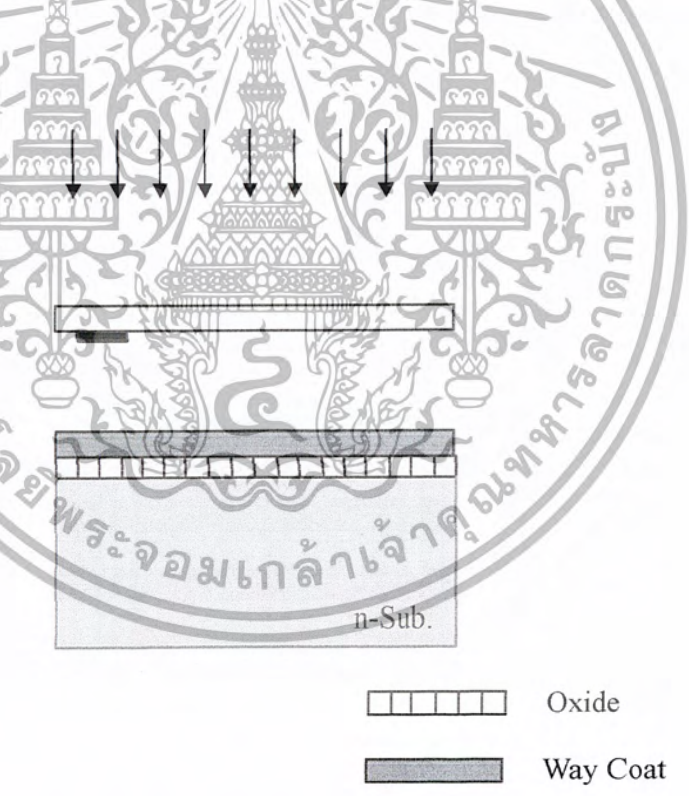
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ภาพตัดขวางของชิ้นงานที่ผ่านกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี I

-อบครั้งแรกให้น้ำยาแห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 30 นาที

-ฉายแสงผ่านกระจกมาส์คที่ I ด้วยอุปกรณ์ Mask Aligner ซึ่งจะให้แสงอุลตาไวโอเลทออกมา แหล่งของแสงคือ หลอดเมอร์คิวรี่ $\lambda = 5000°$ A เป็นเวลา 10 วินาที



รูปที่3.6 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

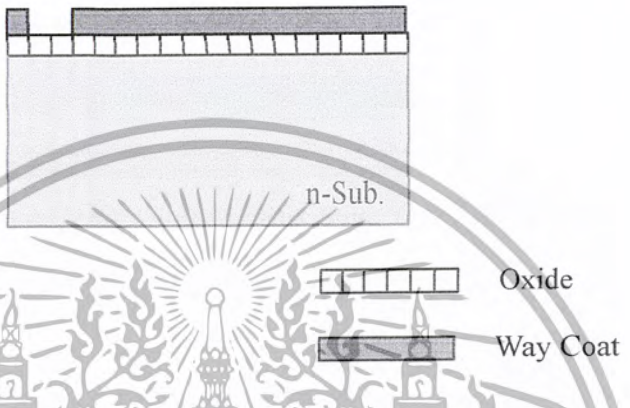
-การล้างภาพ จุ่มในน้ำยาล้างภาพ (Xylene) 2 ครั้งๆ ละ 1 นาที

-จุ่มในน้ำยาทำความสะอาด (Isoprophy) 2 ครั้งๆละ 30 วินาที

-ล้างในน้ำบริสุทธิ์ แล้วเป่าให้แห้งทันทีด้วยก๊าซไนโตรเจน

-อบครั้งที่ 2 ให้แผ่นฟิล์มที่เหลืออยู่แห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 20-30 นาที

-ทาด้านหลังของแผ่นผลึกด้วยน้ำยาไวแสงแล้วนำไปอบแห้งอีกครั้งเป็นเวลา 20 นาที

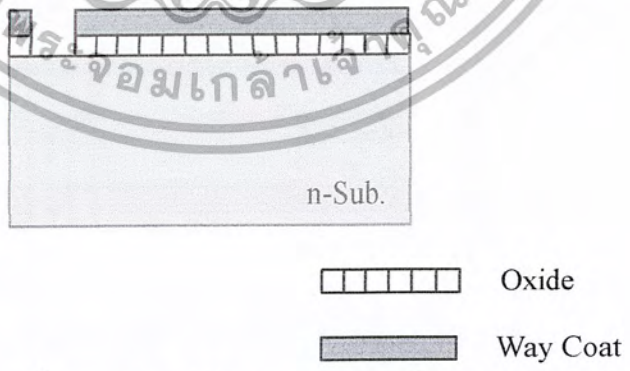


รูปที่3.7 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop I

*** การใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ I**

เพื่อทำการกัดชั้นของซิลิคอนไดออกไซด์ เราใช้สารละลายเคมีซึ่งมีส่วนผสมของกรดกัดแก้วเป็นหลัก ทำการละลายชั้นซิลิคอนไดออกไซด์ตรงบริเวณที่ต้องการเปิดออกสารละลาย

-ใช้สารละลาย buffer ซึ่งมีอัตราการกัดชั้นซิลิคอนไดออกไซด์ประมาณ1,000 °A/นาที



รูปที่ 3.8 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** การลอกชั้นสารไวแสง I**

สารไวแสงที่ถูกแสงและยังคงค้างอยู่บนแผ่นผลึกซิลิคอน สามารถลอกทิ้งได้โดย

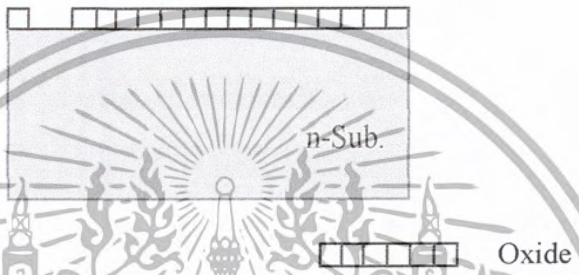
-ต้มกรดซัลฟุริค (H_2SO_4) เป็นเวลา 10 นาที

-ล้างด้วยน้ำบริสุทธิ์ 2 ครั้ง

-ต้มในน้ำบริสุทธิ์ 2 ครั้งๆละ 5 นาที

-ล้างด้วยน้ำบริสุทธิ์

-เป่าให้แห้งด้วยก๊าซไนโตรเจน



รูปที่3.9 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารละลายเคมีลอกชั้นสารไวแสง I

*** กระบวนการแพร่สารเจือ I**

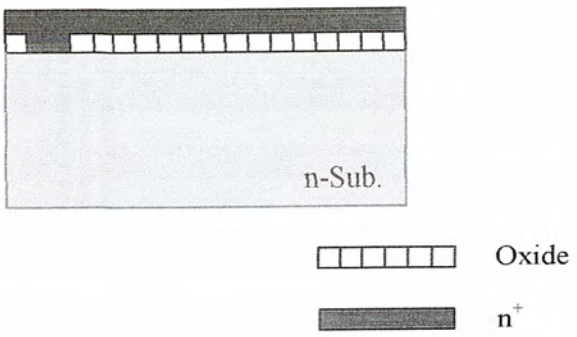
เมื่อทำการสกัดชั้น SiO_2 แล้วขั้นตอนต่อไปคือ การ แพร่สารเจือชนิดเอ็นโดยการแพร่ซึมแบบเหลว ซึ่งประกอบด้วย 2 กระบวนการ คือ

1. ขั้นตอนการฝากสารเจือ (predeposition step)

-เคลือบฟอสฟอรัสเหลว

-Spin 5000 rpm

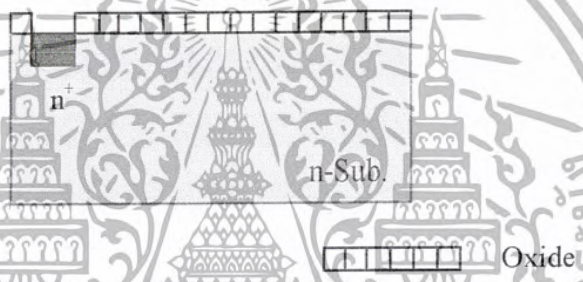
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการฝากสารเจือ I

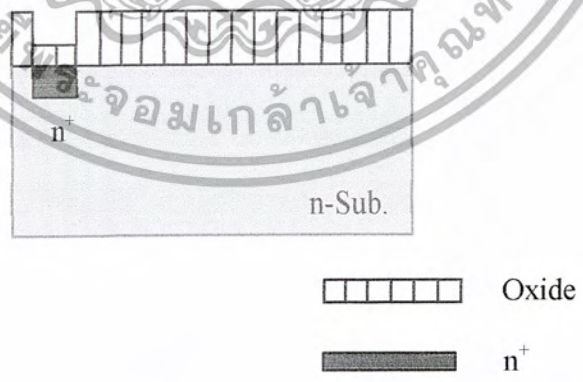
2. ขั้นตอนการขับลึก (drive-in step)

การขับลึก ทั้งนี้ เพื่อผลักอะตอมสารเจือให้ลึกเข้าไปในเนื้อสารต่อไปอีก



รูปที่ 3.11 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการขับลึก I

เมื่อทำการแพร่อะตอมสารเจือแล้วก็ทำการสร้าง SiO_2 เพื่อป้องกันการแพร่ของสารเจือชนิดพี ในกระบวนการแพร่ครั้งต่อไป



รูปที่ 3.12 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 เพื่อป้องกันการแพร่ของสารเจือชนิดพี

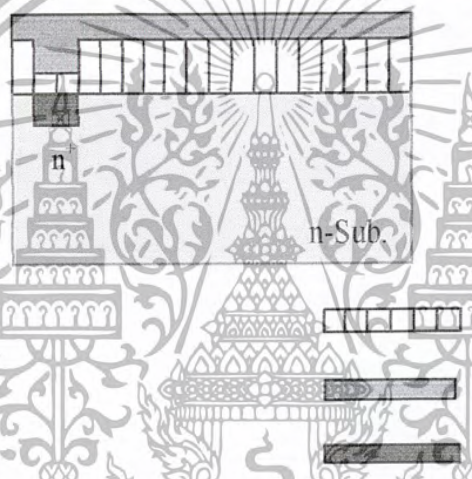
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** กระบวนการโฟโตลิโทกราฟี II**

กระบวนการพิมพ์ลวดลายบนแผ่นผลึกซิลิกอน เพื่อเปิดช่องของชั้นซิลิกอนไดออกไซด์ออกสำหรับการแพร่ส่วนของสารเจือชนิด พี ในขั้นตอนนี้ใช้กระจกมาส์คที่ II โดยการเคลือบน้ำยาไวแสงชนิดลบลงบนแผ่นผลึกซิลิกอน แล้วทำการหมุนเพื่อให้น้ำยาไวแสงนั้นมีการเคลือบที่สม่ำเสมอกัน โดยทำการหมุนด้วยอุปกรณ์ที่เรียกว่า Spinner แล้วนำไปอบให้แห้ง จึงนำไปทำการพิมพ์ภาพ ด้วยต้นแบบกระจกมาส์คที่ I ซึ่งกระบวนการโฟโต้ลิโทกราฟีของน้ำยาไวแสงชนิดลบ มีลำดับขั้นตอนดังนี้

-อบแห้งเพื่อไล่ความชื้นที่อุณหภูมิ 100 °C เป็นเวลา 15-20 นาที

-เคลือบน้ำยาไวแสงโดยใช้อุปกรณ์ Spinner ขนาด 5000 รอบต่อนาที เป็นเวลา 20 วินาที

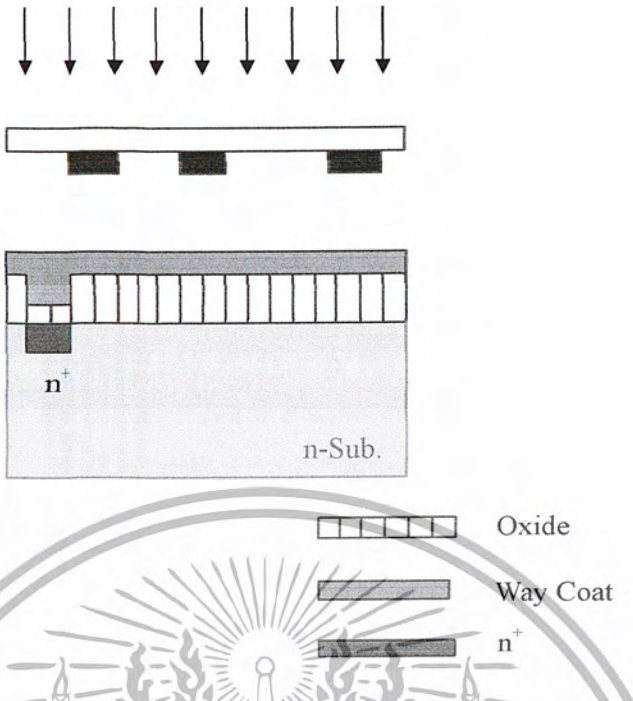


รูปที่ 3.13 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี II

-อบครั้งแรกให้น้ำยาแห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 30 นาที

-ฉายแสงผ่านกระจกมาส์คที่ I ด้วยอุปกรณ์ Mask Aligner ซึ่งจะให้แสงอุลตาไวโอเลทออกมา แหล่งของแสงคือ หลอดเมอร์คิวรี่ $\lambda = 5000°$ A เป็นเวลา 10 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



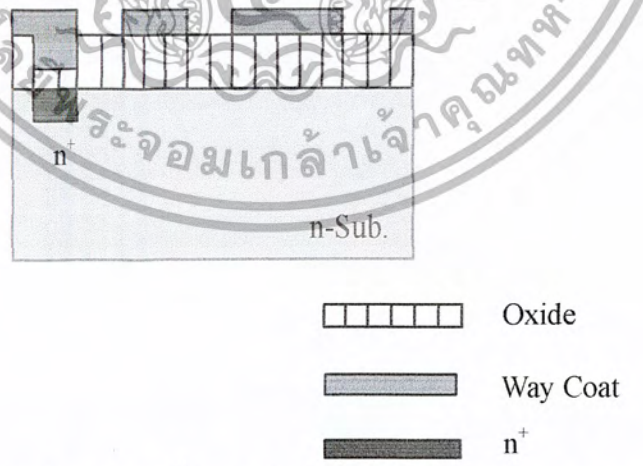
รูปที่ 3.14 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค II

-การล้างภาพ จุ่มในน้ำยาล้างภาพ (Xylene) 2 ครั้งๆ ละ 1 นาที

-จุ่มในน้ำยาทำความสะอาด (Isoprophy) 2 ครั้งๆละ 30 วินาที

-ล้างในน้ำบริสุทธิ์ แล้วเป่าให้แห้งทันทีด้วยก๊าซไนโตรเจน

-อบครั้งที่ 2 ให้แผ่นฟิล์มที่เหลืออยู่แห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 20-30 นาที



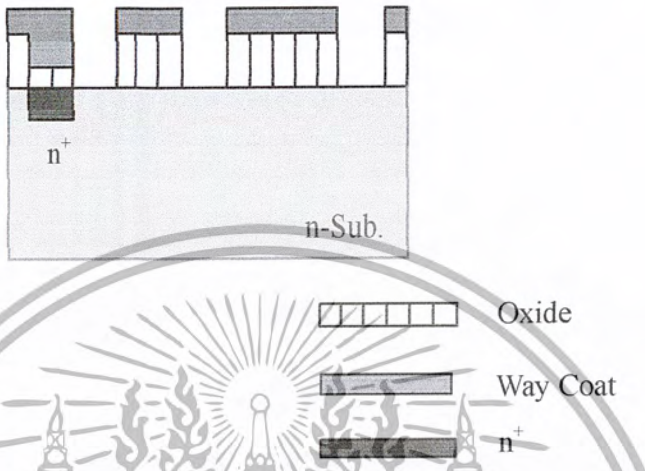
รูปที่3.15 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** การใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ II**

เพื่อทำการกัดชั้นของซิลิคอนไดออกไซด์ เราใช้สารละลายเคมีซึ่งมีส่วนผสมของกรดกัดแก้วเป็นหลัก ทำการละลายชั้นซิลิคอนไดออกไซด์ตรงบริเวณที่ต้องการเปิดออกสารละลาย

- ใช้สารละลาย buffer ซึ่งมีอัตราการกัดชั้นซิลิคอนไดออกไซด์ประมาณ1,000 °A/นาที



รูปที่ 3.16 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ II

*** การลอกชั้นสารไวแสง II**

สารไวแสงที่ถูกแสงและยังคงค้างอยู่บนแผ่นผลึกซิลิคอน สามารถลอกทิ้งได้โดย

-ต้มกรดซัลฟุริค (H_2SO_4) เป็นเวลา 10 นาที

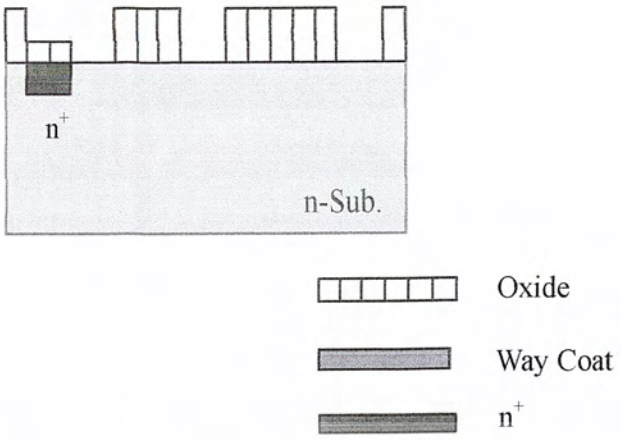
-ล้างด้วยน้ำบริสุทธิ์ 2 ครั้ง

-ต้มในน้ำบริสุทธิ์ 2 ครั้งๆละ 5 นาที

-ล้างด้วยน้ำบริสุทธิ์

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.17 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง II

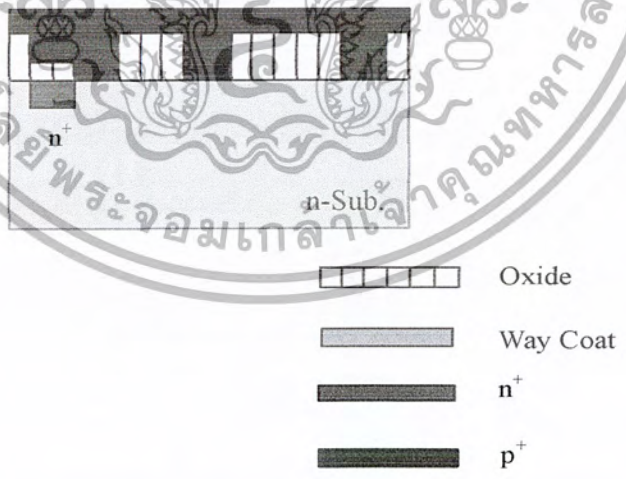
*** กระบวนการแพร่สารเจือโบรอน**

การแพร่สารเจือ โบรอนนั้นเป็นกระบวนการเพื่อสร้างส่วนของ ซอส เดรน และ เซนเซอร์ คอนแทค โดยในกระบวนการนี้เป็น การแพร่สารเจือชนิดพี โดยการแพร่ซึมแบบเหลว ซึ่งประกอบด้วย 2 กระบวนการ คือ

1.ขั้นตอนการฝากสารเจือ (predeposition step)

-เคลือบโบรอนเหลว

-Spin 5000 rpm

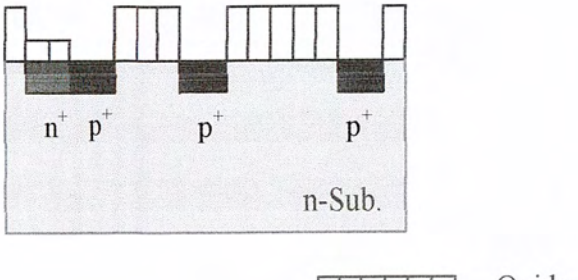


รูปที่ 3.18 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการฝากสารเจือ II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

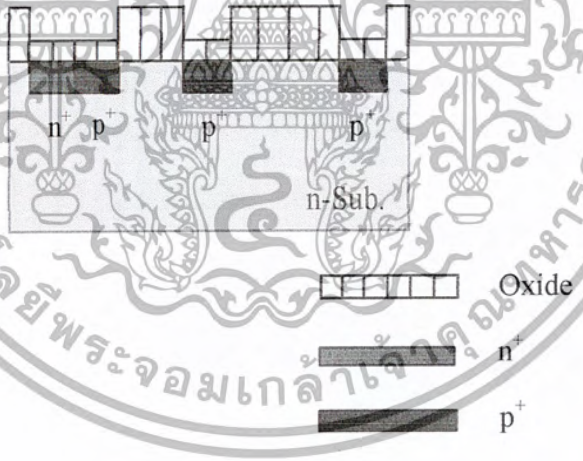
2. ขั้นตอนการขับลึก (drivein step)

การขับลึก ทั้งนี้ เพื่อผลักอะตอมสารเจือให้ลึกเข้าไปในเนื้อสารต่อไปอีก



รูปที่ 3.19 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการขับลึก II

เมื่อทำการแพร่อะตอมสารเจือแล้วก็ทำการสร้าง SiO_2



รูปที่ 3.20 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 ก่อนการสร้างเกทออกไซด์

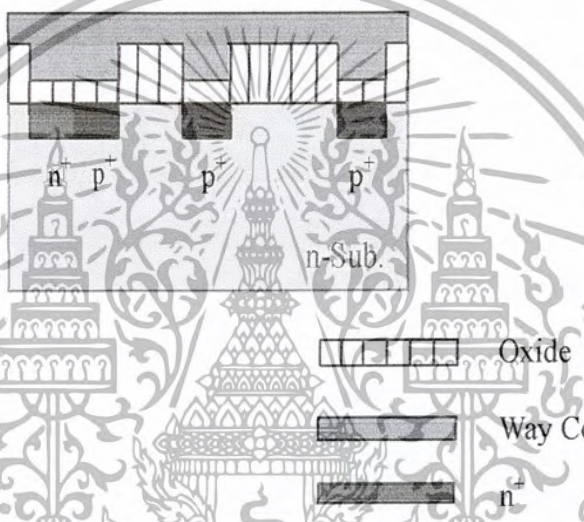
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** กระบวนการโฟโตลิโทกราฟี III**

กระบวนการพิมพ์ลวดลายบนแผ่นผลึกซิลิกอน เพื่อเปิดช่องของชั้นซิลิกอนไดออกไซด์ออกสำหรับการสร้างเกทออกไซด์ ในขั้นตอนนี้ใช้กระจกมาส์คที่ III โดยการเคลือบน้ำยาไวแสงชนิดลบลงบนแผ่นผลึกซิลิกอน แล้วทำการหมุนเพื่อให้น้ำยาไวแสงนั้นมีการเคลือบที่สม่ำเสมอกัน โดยทำการหมุนด้วยอุปกรณ์ที่เรียกว่า Spinner แล้วนำไปอบให้แห้ง จึงนำไปทำการพิมพ์ภาพ ด้วยต้นแบบกระจกมาส์คที่ I ซึ่งกระบวนการโฟโต้ลิโทกราฟีของน้ำยาไวแสงชนิดลบ มีลำดับขั้นตอนดังนี้

-อบแห้งเพื่อไล่ความชื้นที่อุณหภูมิ 100 °C เป็นเวลา 15-20 นาที

-เคลือบน้ำยาไวแสงโดยใช้อุปกรณ์ Spinner ขนาด 5000 รอบต่อนาที เป็นเวลา 20 วินาที

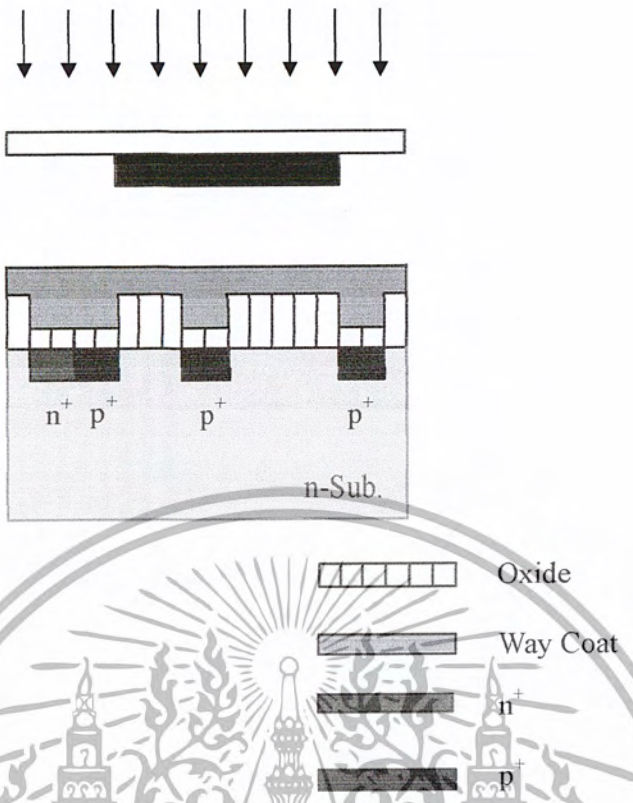


รูปที่ 3.21 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี III

-อบครั้งแรกให้น้ำยาแห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 30 นาที

-ฉายแสงผ่านกระจกมาส์คที่ I ด้วยอุปกรณ์ Mask Aligner ซึ่งจะให้แสงอุลตาไวโอเลทออกมา แหล่งของแสงคือ หลอดเมอร์คิวรี่ $\lambda = 5000°$ A เป็นเวลา 10 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค III

-การล้างภาพ จุ่มในน้ำยาล้างภาพ (Xylene) 2 ครั้งๆ ละ 1 นาที

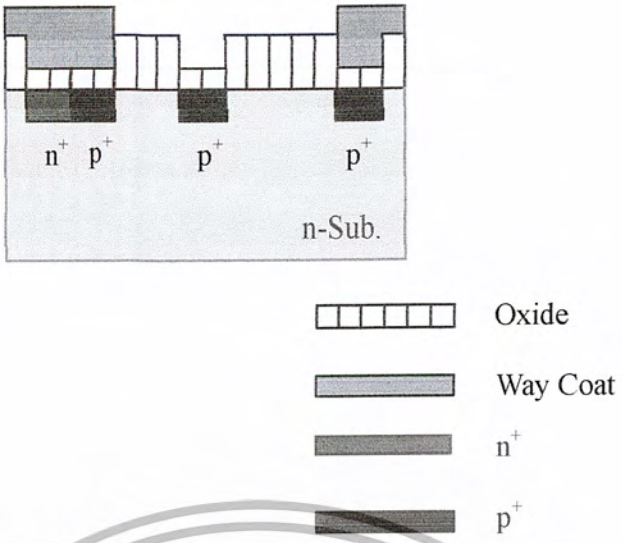
-จุ่มในน้ำยาทำความสะอาด (Isoprophy) 2 ครั้งๆละ 30 วินาที

-ล้างในน้ำบริสุทธิ์ แล้วเป่าให้แห้งทันทีด้วยก๊าซไนโตรเจน

-อบครั้งที่ 2 ให้แผ่นฟิล์มที่เหลืออยู่แห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 20-30 นาที

-ทาด้านหลังของแผ่นผลึกด้วยน้ำยาไวแสงแล้วนำไปอบแห้งอีกครั้งเป็นเวลา 20 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

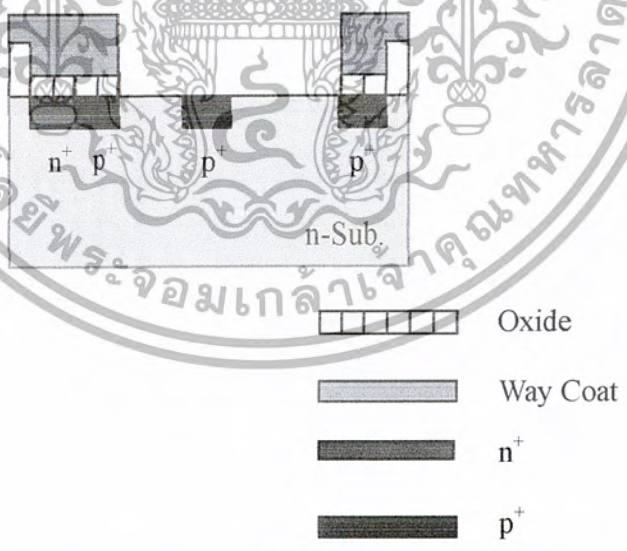


รูปที่3.23 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop II

*** การใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ III**

เพื่อทำการกัดชั้นของซิลิคอนไดออกไซด์ เราใช้สารละลายเคมีซึ่งมีส่วนผสมของกรดกัดแก้วเป็นหลัก ทำการละลายชั้นซิลิคอนไดออกไซด์ตรงบริเวณที่ต้องการเปิดออกสารละลาย

-ใช้สารละลาย buffer ซึ่งมีอัตราการกัดชั้นซิลิคอนไดออกไซด์ประมาณ1,000 °A/นาที



รูปที่ 3.24 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ III

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** การลอกชั้นสารไวแสง III**

สารไวแสงที่ถูกแสงและยังคงค้างอยู่บนแผ่นผลึกซิลิคอน สามารถลอกทิ้งได้โดย

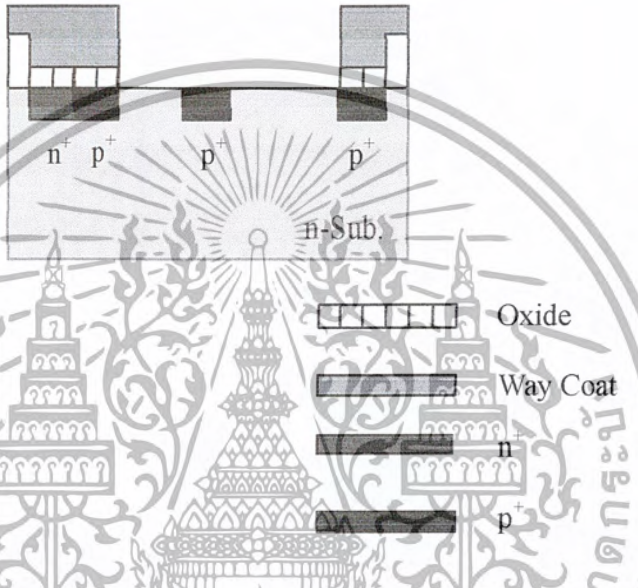
-ต้มกรดซัลฟุริค (H_2SO_4) เป็นเวลา 10 นาที

-ล้างด้วยน้ำบริสุทธิ์ 2 ครั้ง

-ต้มในน้ำบริสุทธิ์ 2 ครั้งๆละ 5 นาที

-ล้างด้วยน้ำบริสุทธิ์

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

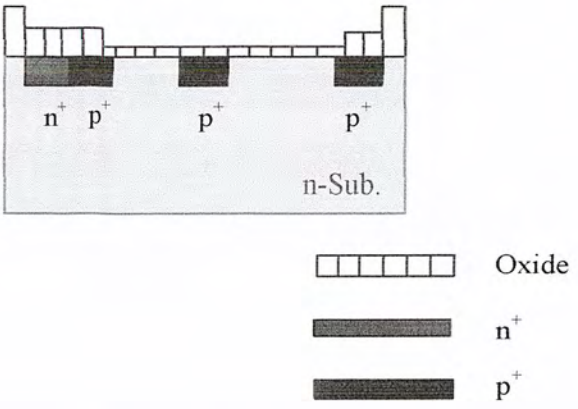


รูปที่3.25 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง III

*** กระบวนการสร้างออกไซด์เกท**

กระบวนการนี้เราจะใช้กระบวนการ Dry Oxidation โดยใช้เวลา 2 ชั่วโมง ที่อุณหภูมิ 1000 C เพื่อ ให้ได้ ส่วนของชั้นออกไซด์ ประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



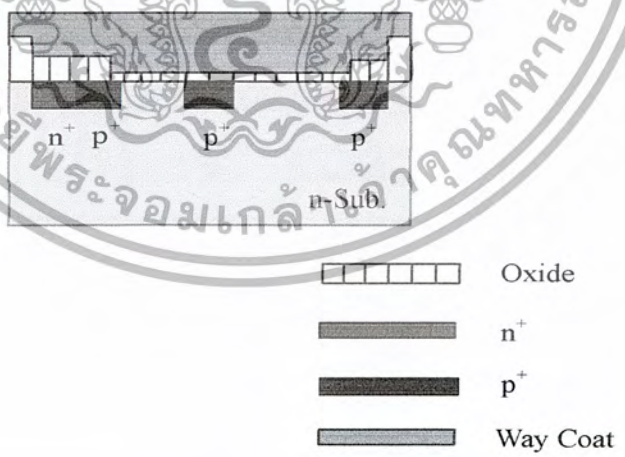
รูปที่ 3.26 ภาพตัดขวางของชิ้นงานที่ทำการสร้าง SiO_2 เพื่อสร้างเกทออกไซด์

*** กระบวนการโฟโตลิโทกราฟี IV**

กระบวนการพิมพ์ลวดลายบนแผ่นผลึกซิลิกอน เพื่อเปิดช่องของชั้นซิลิกอนไดออกไซด์ออกสำหรับการแพร่ส่วนของ Al ในขั้นตอนนี้ใช้กระจกมาส์คที่ IV โดยการเคลือบน้ำยาไวแสงชนิดลบลงบนแผ่นผลึกซิลิกอน แล้วทำการหมุนเพื่อให้น้ำยาไวแสงนั้นมีการเคลือบที่สม่ำเสมอกัน โดยทำการหมุน แล้วนำไปอบให้แห้ง จึงนำไปทำการพิมพ์ภาพ ด้วยต้นแบบกระจกมาส์คที่ I ซึ่งกระบวนการโฟโต้ลิโทกราฟีของน้ำยาไวแสงชนิดลบ มีลำดับขั้นตอนดังนี้

-อบแห้งเพื่อไล่ความชื้นที่อุณหภูมิ 100 ^{o}C เป็นเวลา 15-20 นาที

-เคลือบน้ำยาไวแสงโดยใช้อุปกรณ์ Spinner ขนาด 5000 รอบต่อนาที เป็นเวลา 20 วินาที

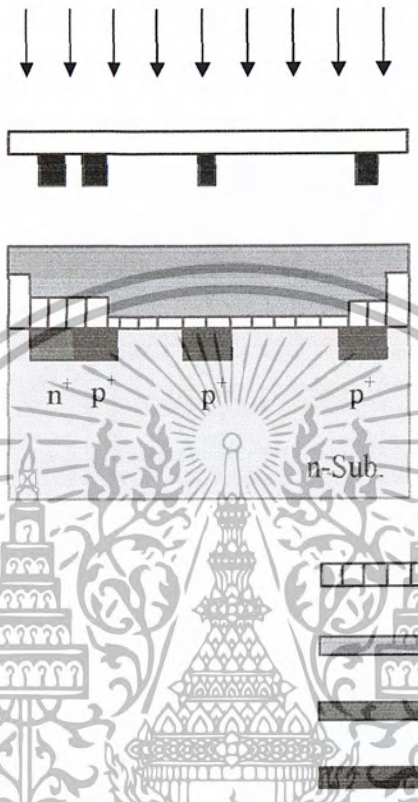


รูปที่ 3.27 ภาพหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี IV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-อบครั้งแรกให้น้ำยาแห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 30 นาที

-ฉายแสงผ่านกระจกมาส์คที่ I ด้วยอุปกรณ์ Mask Aligner ซึ่งจะให้แสงอุลตาไวโอเลทออกมา แหล่งของแสงคือ หลอดเมอร์คิวรี่ $\lambda = 5000°$ A เป็นเวลา 10 วินาที



รูปที่ 3.28 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค IV

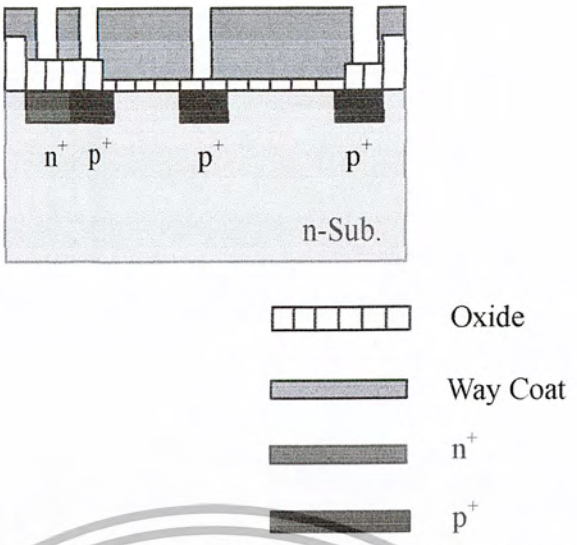
-การล้างภาพ จุ่มในน้ำยาล้างภาพ (Xylene) 2 ครั้งๆ ละ 1 นาที

-จุ่มในน้ำยาทำความสะอาด (Isoprophy) 2 ครั้งๆละ 30 วินาที

-ล้างในน้ำบริสุทธิ์ แล้วเป่าให้แห้งทันทีด้วยก๊าซไนโตรเจน

-อบครั้งที่ 2 ให้แผ่นฟิล์มที่เหลืออยู่แห้งที่อุณหภูมิ 90-100 °C เป็นเวลา 20-30 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

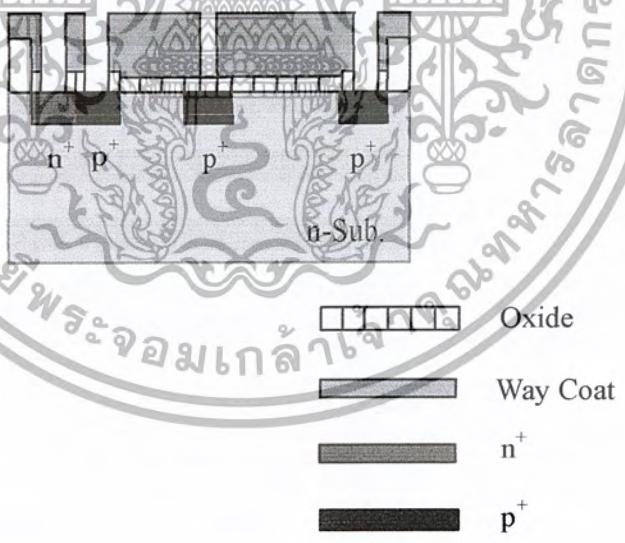


รูปที่3.29 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop IV

*** การใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ IV**

เพื่อทำการกัดชั้นของซิลิคอนไดออกไซด์ เราใช้สารละลายเคมีซึ่งมีส่วนผสมของกรดกัดแก้วเป็นหลัก ทำการละลายชั้นซิลิคอนไดออกไซด์ตรงบริเวณที่ต้องการเปิดออกสารละลาย

-ใช้สารละลาย buffer ซึ่งมีอัตราการกัดชั้นซิลิคอนไดออกไซด์ประมาณ1,000 °A/นาที



รูปที่ 3.30 ภาพตัดขวางของชิ้นงานหลังการใช้สารละลายเคมีกัดชั้นซิลิคอนไดออกไซด์ IV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** การลอกชั้นสารไวแสง IV**

สารไวแสงที่ถูกแสงและยังคงค้างอยู่บนแผ่นผลึกซิลิคอน สามารถลอกทิ้งได้โดย

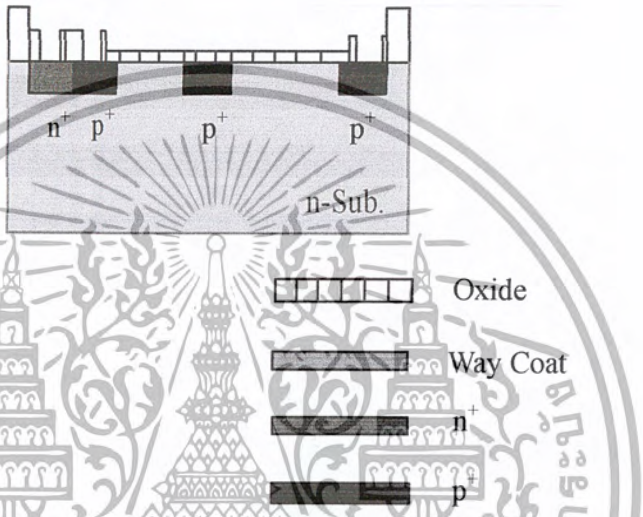
-ต้มกรดซัลฟุริค (H_2SO_4) เป็นเวลา 10 นาที

-ล้างด้วยน้ำบริสุทธิ์ 2 ครั้ง

-ต้มในน้ำบริสุทธิ์ 2 ครั้งๆละ 5 นาที

-ล้างด้วยน้ำบริสุทธิ์

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

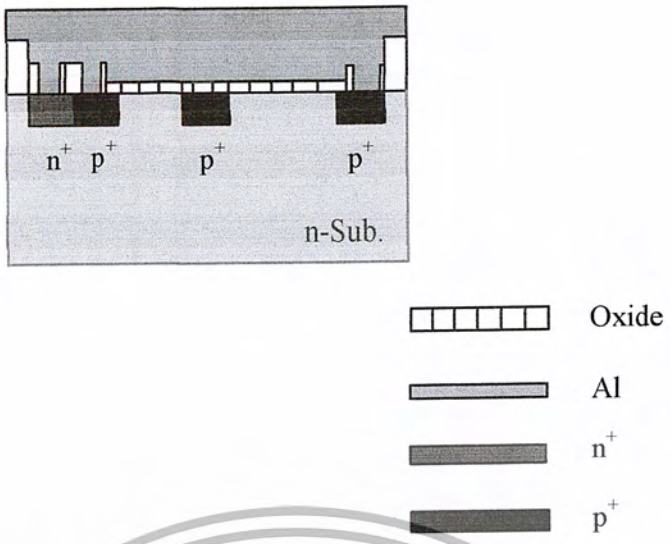


รูปที่3.31 ภาพตัดขวางของชิ้นงานเมื่อผ่านการใช้สารสะสายเคมีลอกชั้นสารไวแสง III

*** การเคลือบชั้นสารอลูมิเนียมในสูญญากาศ I (Aluminium Evaporation)**

โดยการใช้อุปกรณ์ Vacunm Evaporator เริ่มการทำความสะอาดอะลูมิเนียมเพื่อกำจัด Oxide ที่เกาะอยู่บนลวด Al หลังจากนั้นทำการเคลือบแผ่นผลึกด้วยชั้นของอะลูมิเนียมที่ความดัน $1.8X10^{-6}$ Torr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



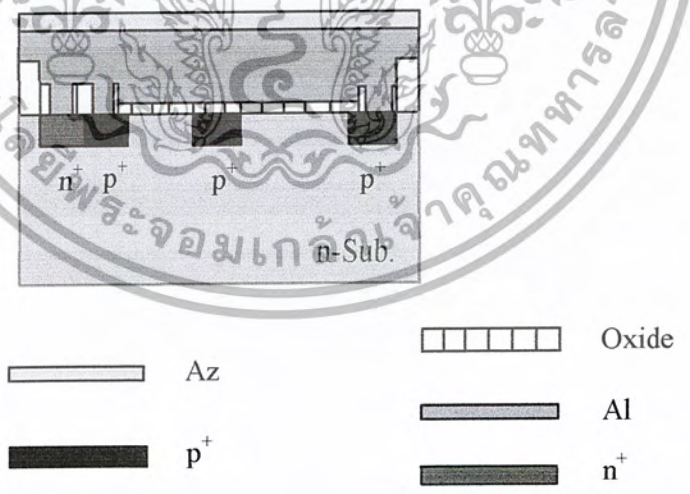
รูปที่3.32 ภาพตัดขวางของชิ้นงานหลังการเคลือบ Al

*** กระบวนการโฟโตลิโทกราฟี V (Aluminium mask photolithography)**

กระบวนการนี้จะใช้กระจกมาส์คที่ V เป็นต้นแบบสำหรับการกัดส่วนของอะลูมิเนียมที่ไม่ต้องการออกขั้นตอนนี้ใช้น้ำยาไวแสงชนิดบวก มีลำดับขั้นตอนดังนี้

-อบแห้งเพื่อไล่ความชื้นที่อุณหภูมิ 100 °C เป็นเวลา 15-20 นาที

-เคลือบน้ำยาไวแสง โดยใช้อุปกรณ์ Spinner ขนาด 5000 รอบต่อนาที เป็นเวลา 20 วินาที

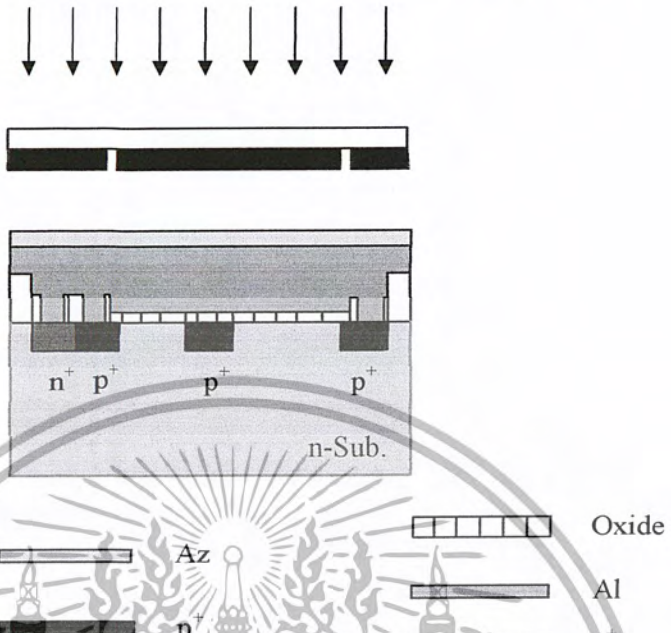


รูปที่ 3.33 ภาพตัดขวางของชิ้นงานหลังจากกระบวนการเคลือบน้ำยาไวแสงในกระบวนการโฟโตลิโทกราฟี V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-อบครั้งแรกให้น้ำยาแห้งที่อุณหภูมิ 85-90 °C เป็นเวลา 20 นาที

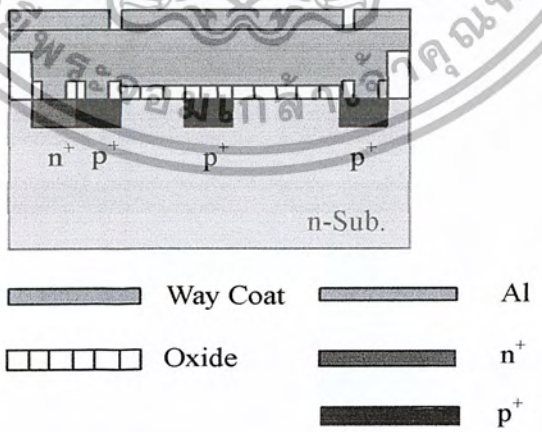
-ฉายแสงผ่านกระจกมาส์คที่ V ด้วยอุปกรณ์ Mask Aligner เป็นเวลา 10 นาที



รูปที่ 3.34 ภาพตัดขวางของชิ้นงานขณะทำการฉายแสงผ่านโฟโตมาส์ค V

-การล้างภาพ จุ่มในน้ำยา AZ-Developer 2 ครั้งๆ ละ 30 วินาที ล้างในน้ำบริสุทธิ์แล้วเป่าให้แห้งทันทีด้วยก๊าซไนโตรเจน

-อบครั้งที่สอง ให้แผ่นฟิล์มที่เหลืออยู่แห้งที่อุณหภูมิ 85-90 °C เป็นเวลา 20-30 นาที

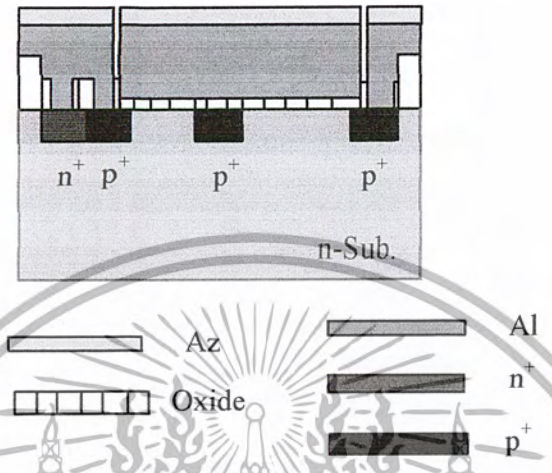


รูปที่3.35 ภาพตัดขวางของชิ้นงานหลังทำการฉายแสง และ Develop V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*** การกัดชั้นอะลูมิเนียม**

สารละลายที่ใช้ละลายชั้นอะลูมิเนียม ได้แก่ สารละลายผสมซึ่งมีกรดฟอสฟอริคเป็นหลัก จุ่มแผ่นผลึกลงในสารละลายนี้ซึ่งมีอุณหภูมิ 50 °C เป็นเวลา 1-2 นาที



รูปที่3.36 ภาพตัดขวางของชิ้นงานหลังการกัดชั้นอะลูมิเนียม

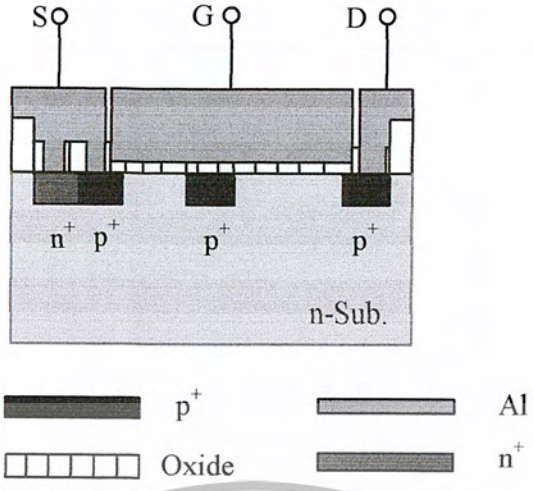
*** การลอกสารชั้นไวแสงชนิดบวก**

-จุ่มแผ่นผลึกลงใน Acetone แก้วที่หนึ่งเป็นเวลา 1 นาที
-จุ่มแผ่นผลึกลงใน Acetone แก้วที่สองเป็นเวลา 1 นาที
-จุ่มในน้ำบริสุทธิ์แก้วที่หนึ่ง
-จุ่มในน้ำบริสุทธิ์แก้วที่สอง
-เป่าให้แห้งด้วยก๊าซไนโตรเจน

*** กระบวนการซินเตอร์ริง (Sintering)**

กระบวนการนี้ทำเพื่อสร้างรอยต่อของรอยต่อโลหะกับซิลิกอน ให้เป็นรอยต่อสัมผัสโอห์มมิค โดยการใส่แผ่นผลึกไว้ในเตาบรรยากาศไนโตรเจนที่มีอัตรการไหล 1 ลิตร/นาที โดยทำการ Sintering ที่อุณหภูมิ 500°C เป็นเวลา 10 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.37 ภาพตัดขวางของชิ้นงานเมื่อผ่านกระบวนการลอก Az และการซินเตอร์ริง

รูปที่ 3.38 อุปกรณ์มอสฮอลล์เพลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรตรวจจับสนามแม่เหล็ก

จากการทดลองเพื่อที่จะนำอุปกรณ์เซนเซอร์นั้นออกมาใช้งานได้จริง คณะผู้จัดทำจึงได้ทำการออกแบบวงจรเตรวจจับสนามแม่เหล็กขึ้น ซึ่งวงจรตรวจจับสนามแม่เหล็กประกอบด้วยภาคการทำงานต่างดังนี้

4.1 วงจรขยาย (Amplifier)

เมื่อเราได้ V_o จาก Sensors สังเกตุว่าค่าแรงดันที่ออกมานั้นอยู่ในหน่วยของ mV ดังนั้นเราจึงต้องใช้วงจรขยายเพื่อที่จะขยายสัญญาณให้มีขนาดพอเหมาะเพื่อใช้กับวงจร A/D สำหรับวงจรขยายที่นำมาใช้นั้นเราจะต้องเลือกใช้ให้มี Low Noise , Low Offset ดังนั้นในโครงงานชิ้นนี้จึงเลือกใช้ Instrumentation Amplifier (INA2126) ดังรูปที่ 1

รูปที่ 4.1 วงจร Intrumentation Amplifier

จากวงจรดังรูปที่ 1 เราสามารถปรับอัตราการขยายของวงจรได้โดยการปรับค่าความต้านทานที่ขา RG ของ INA 2126 โดยมีค่าอัตราการขยายดังสมการที่ (1)

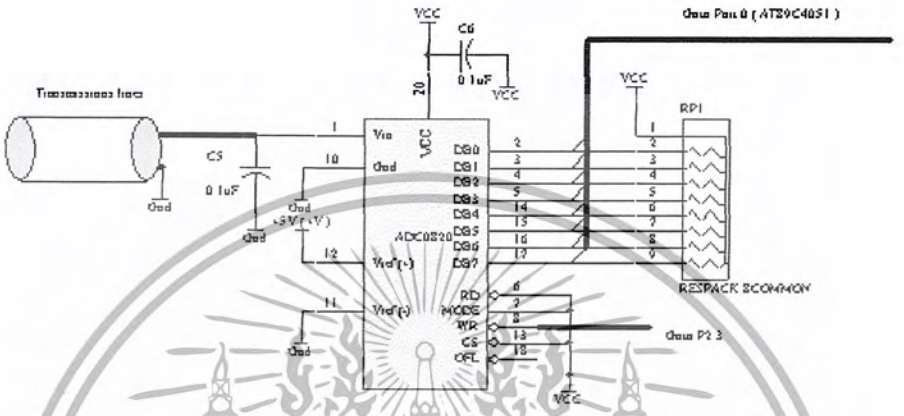
$$G = 5 + \frac{80k}{R_G} \qquad \text{สมการที่ (1)}$$

<u>หมายเหตุ</u> สำหรับเบอร์ INA 2126 นั้นสามารถที่จะขอได้จาก www.ti.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การแปลงสัญญาณ Analog เป็นสัญญาณ Digital

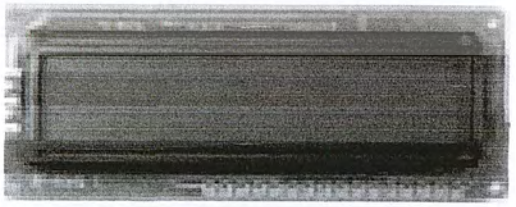
ในโครงงานนี้จะใช้ไอซีเบอร์ ADC0820 เพื่อแปลงสัญญาณ Analog ที่ออกมาจาก Instrument Amp. ออกมาเป็นสัญญาณ Digital เพื่อที่จะสามารถเอาสัญญาณที่ได้ไปคำนวณจากค่า Voltage เป็น Guass สำหรับวงจรที่ใช้งานจะแสดงดังรูปที่ 2



รูปที่ 4.2 วงจรแปลงสัญญาณ Analog เป็นสัญญาณ Digital

4.3 การเชื่อมต่ออุปกรณ์แสดงผลแบบ LCD

อุปกรณ์แสดงผลแบบ LCD นี้บางครั้งเรียกว่า LCD module เนื่องจากภายในประกอบไปด้วยอุปกรณ์ต่างๆ หลายส่วน เช่น รีจิสเตอร์คำสั่ง (Instruction Register : IR) ทำหน้าที่รับคำสั่งควบคุมการแสดงผล หน่วยความจำแสดงผล (Display Data RAM : DDRAM) หน่วยความจำรวมตัวอักษร (Character Generator ROM : GROM) เป็นหน่วยความจำที่เก็บสัญลักษณ์และอักขระต่างๆที่แสดงผล เป็นต้น LCD ที่ใช้ในโครงงานจะเป็นแบบแสดงผล 16 ตัวอักษร แบบบรรทัดเดียว ซึ่งมีลักษณะรูปร่างและขาต่างๆดังรูปที่ 3



16 1

รูปที่ 4.3 ภาพขา LCD module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา V_{CC} (ขา 2) และ V_{SS} (ขา 1)จะใช้ต่อกับไฟเลี้ยง +5 V และ ground ส่วน V_{EE} (ขา 3) จะใช้เป็นขาปรับแรงดันไฟเพื่อควบคุมความสว่างของการแสดงผล **(ควรระวังในการต่อขา V_{CC} และ V_{SS} เนื่องจาก LCD มีความบอบบางมาก)**

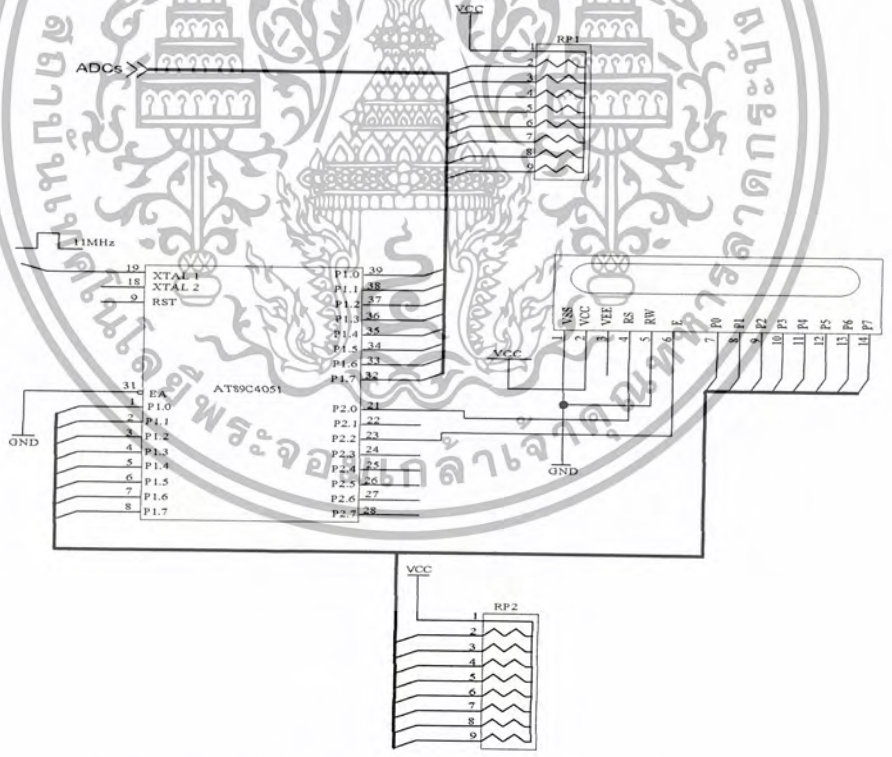
ขา Register Select : RS (ขา 4) เนื่องจากภายใน LCD module จะมีรีจิสเตอร์ที่สำคัญภายใน 2 ตัว คือ รีจิสเตอร์เก็บคำสั่ง และ ข้อมูล ขา RS นี้จ้เป็นตัวเลือกว่าข้อมูลที่ส่งเข้าไปจะเป็นคำสั่งหรือข้อมูล โดย

RS=0 หมายความว่าข้อมูลที่เข้ามาเป็นคำสั่ง

RS=1 หมายความว่าข้อมูลที่เข้ามาเป็นข้อมูลที่จะแสดงผลบนจอLCD

ขา Read/Write : R/W (ขา 5) เป็นขาอินพุท ถ้าขานี้เป็น 1 จะเป็นการอ่านข้อมูลจาก LCD ถ้าขานี้เป็น 0 จะเป็นการเขียนข้อมูลลงเป็นขาที่จะทำให้ LCD ทำงานโดยป้อนสัญญาณพัลซ์เข้าไปหนึ่งลูก โดยพัลซ์นี้จะต้องมีความกว้าง 450 nS เป็นอย่างน้อย

ขา Data : D_0-D_7 (ขา 7 - 14)เป็นขาที่รับส่งข้อมูลระหว่าง LCD module กับอุปกรณ์ภายนอกในการทำให้ LCDmodule ทำการแสดงผล เริ่มต้นจะต้องเขียนคำสั่งควบคุม LCD ลงไปก่อนซึ่งจะเป็นการกำหนดให้แสดงผลในลักษณะต่างๆ จากนั้นก็จะส่งรหัส ASCII ของตัวอักขระต่างๆที่จะแสดงผลออกไปให้กับ LCD

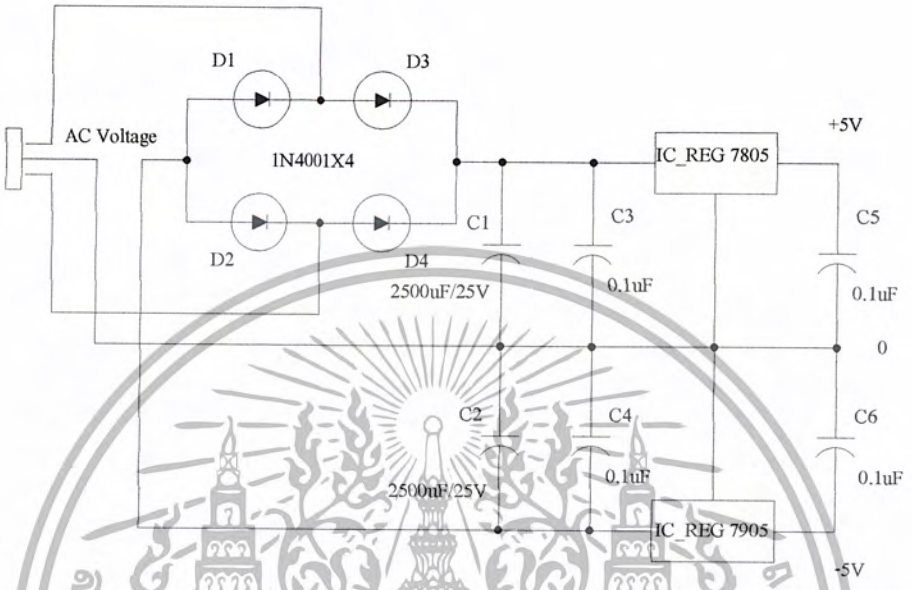


รูปที่ 4.4 ภาพวงจรที่ใช้ทดลองโดยโปรแกรม Proteous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจร Power Supply

สำหรับภาคจ่ายไฟในโครงงานได้ออกแบบให้ใช้แรงดัน (+5V) – (0) – (-5V) เพียงชุดเดียว เนื่องจากป้องกันไม่ให้ภาค Amplifier ขยายสัญญาณออกไปมากเกินจนทำให้ภาค ADCs เสียหาย แล้วยังสามารถจ่ายไฟไปยังวงจรอื่นได้อีกด้วย



รูปที่ 4.5 วงจร Power Supply

4.5 การประมวลผลสัญญาณ

การประมวลผลสัญญาณจากวงจร Analog to Digital เราได้อินพุทเป็นบิทดิจิตอลเข้ามาทาง port 1 เราต้องนำอินพุทมาคำนวณกลับไปให้ เป็น Voltage ก่อนเพื่อที่จะนำ Voltage นั้นมาคำนวณเป็นหน่วยของสนามแม่เหล็กได้ดังสมการที่ (2) และ สมการที่ (3) ตามลำดับ

$$Vin = Vref * {(P_o)}/{n} \qquad \text{สมการที่ (2)}$$

Vin = Input Analog Voltage

Vref = Voltage Reference

Po = Output Port Digital

N = Number of level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Guass = f(Vin)$$ สมการที่ (3)

จากสมการที่ (3) เราสามารถหาค่า Voltage ที่มีความสัมพันธ์กับค่า Guass จากการทดลอง ซึ่งเราต้องเลือกช่วงที่เซนเซอร์มีคุณสมบัติในการทำงานที่เป็นเชิงเส้น เราจะต้องเขียนสมการเส้นตรงนี้ขึ้นเพื่อจะคำนวณค่าของความเข้มสนามแม่เหล็ก ซึ่งสมการความสัมพันธ์นี้จะแตกต่างกันไปในเซนเซอร์แต่ละตัว เมื่อเรารู้ค่าความสัมพันธ์ต่างๆแล้วเราก็เขียนโปรแกรมเพื่อคำนวณหาค่าความเข้มของสนามแม่เหล็กซึ่งโครงงานนี้เราใช้ภาษา C เขียนในโปรแกรม Proviews เพื่อแปลง C File เป็น Hex File เพื่อใช้ในการ Burn ลงใน MCS51

4.6 โปรแกรมที่ใช้ในการควบคุม MCS51

```
#include<reg51.h>
#include<string.h>
#include<math.h>
void delay(unsigned int);
void LCD_CLR();
void LCD_HOME();
void LCD_OFF();
void convert(unsigned int);
void LCD_DATA1(unsigned char *data_send);
void LCD_INI();
void LCD_CLK();
void LCD_ON();
unsigned char read_adc();
void LCD_SETADDR(unsigned char);
void LCD_DATA(unsigned char*);
sbit LCD_RS=P2^0;
sbit LCD_EN=P2^2;
sbit wr=P2^3;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void main()
{               int datadigit,analogg;
                delay(2000);
                LCD_INI();
                while(1)
          {     datadigit=read_adc();
                analogg=20*datadigit;
                convert(analogg);
          }
}
unsigned char read_adc()
{
 unsigned char data_adc;
 wr=1;
 delay(100);
 wr=0;
 delay(100);
 wr=1;
 delay(100);
 data_adc=P0;
 return  data_adc;
}
void convert(unsigned int number)
{
 unsigned int buf;
 unsigned char num[4];
 num[0]=(number/1000)+0x30;
 buf=number%1000;
 num[1]=(buf/100)+0x30;
 buf%=100;
 num[2]=(buf/10)+0x30;
```

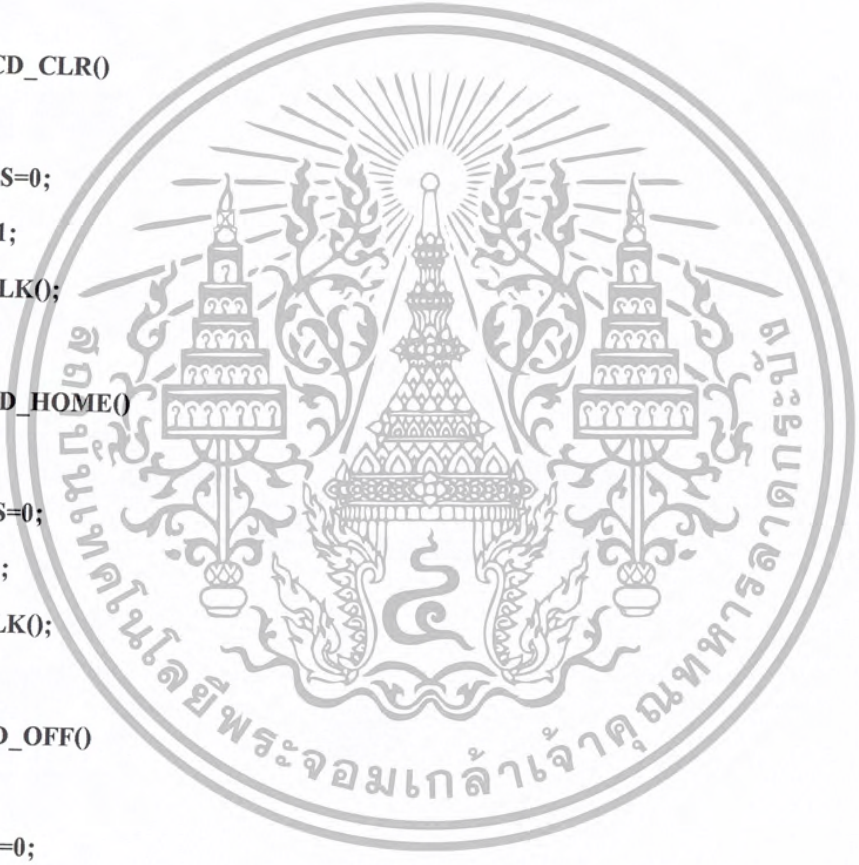
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    num[3]=(buf%10)+0x30;
    LCD_DATA(num);
    LCD_DATA1("GUASS");
   }
  void delay(unsigned int delay) /*delay n ms*/
  {
  unsigned int i,delayn=delay;
  while (delayn)
          {
                  for(i=0;i<=113;i++);
                  delayn--;
          }
  }
  void LCD_INI()
  {
          delay(100);
          LCD_RS=0;
          P1=0x38;
          LCD_CLK();
          LCD_OFF();
          LCD_CLR();
          P1=0x06;
          LCD_CLK();
          LCD_ON();
          LCD_HOME();
  }
  void LCD_ON()
  {
  LCD_RS=0;
  P1=0x0C;
  LCD_CLK();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}
void LCD_CLK()
{
 LCD_EN=1;
 delay(10);
 LCD_EN=0;
 delay(10);
}


void LCD_CLR()
{
LCD_RS=0;
P1=0x01;
LCD_CLK();
}
void LCD_HOME()
{
LCD_RS=0;
P1=0x02;
LCD_CLK();
}
void LCD_OFF()
{
LCD_RS=0;
P1=0x10;
LCD_CLK();
}
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void LCD_DATA1(unsigned char *data_send)
{
        unsigned int i,m;
        LCD_SETADDR(0x40);
        m=strlen(data_send);
        for(i=1;i<=m;i++){
                        LCD_RS=1;
                        P1=*data_send;
                        data_send++;
                        LCD_CLK();
        }
}
void LCD_DATA(unsigned char *data_send)
{
        unsigned int i,m;
        LCD_SETADDR(0x00);
        m=strlen(data_send);
        for(i=1;i<=m;i++){
                        if (i==9)
                                LCD_SETADDR(0x40);
                        LCD_RS=1;
                        P1=*data_send;
                        data_send++;
                        LCD_CLK();
        }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void LCD_SETADDR(unsigned char addr)
{
        LCD_RS=0;
        P1=addr|0x80;
         LCD_CLK();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

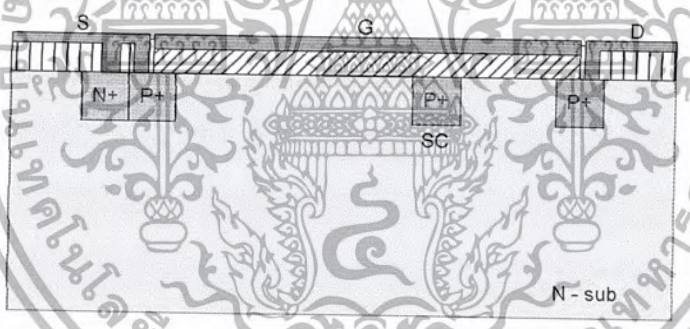
บทที่ 5

การทดลองและผลการทดลอง

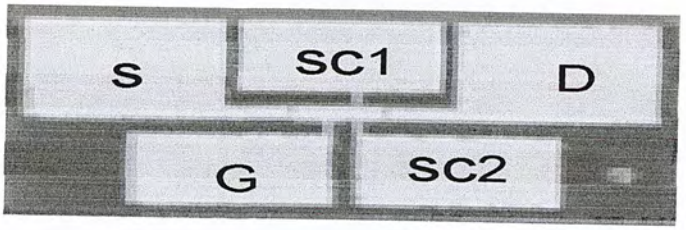
ในการทดลองโดยเริ่มจากการทดสอบความเป็นรอยต่อพี – เอ็น แล้วไปวัดแรงดันขีดเริ่มเพื่อเลือกค่า V_{GS} ที่เหมาะสม ต่อจากนั้นไปวัดคุณสมบัติ I – V ของมอสเฟท สุดท้ายวัดผลตอบสนองของแรงดันฮอลล์ต่อสนามแม่เหล็ก และเนื่องจากสัญญาณที่ได้จากเอาท์พุทมีค่าน้อย ทำให้เกิดการรบกวนจากสัญญาณต่างๆที่ไม่ต้องการได้ง่าย ทั้งที่เกิดโดยธรรมชาติ โดยตัวอุปกรณ์เอง และต้นกำเนิดสัญญาณรบกวนอื่นๆ ดังนั้นเพื่อให้ค่าที่ได้มีความถูกต้องมากที่สุด จำเป็นที่จะต้องป้องกันสัญญาณเหล่านี้ตลอดการทดลอง

5.1 การวัดรอยต่อพี-เอ็น

ภายในอุปกรณ์มอสฮอลล์เพลท จะมีรอยต่อ พี-เอ็น ซึ่งมีคุณสมบัติเช่นเดียวกับ ไดโอด (Diode) ดังนั้นจะสามารถตรวจสอบความถูกต้องของอุปกรณ์ โดยใช้คุณสมบัติของไดโอดมีผลดังนี้



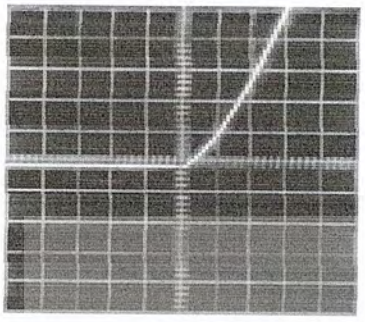
รูปที่ 5.1 แสดงรอยต่อต่างๆของมอสฮอลล์เพลท



รูปที่ 5.2 แสดงขั้วต่างๆจากมาส์คจริงของมอสฮอลล์เพลท

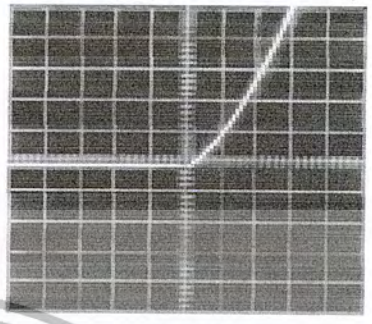
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $2\text{V}/\text{DIV}$



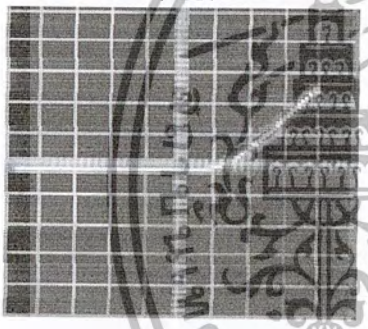
S – SC1

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $2\text{V}/\text{DIV}$



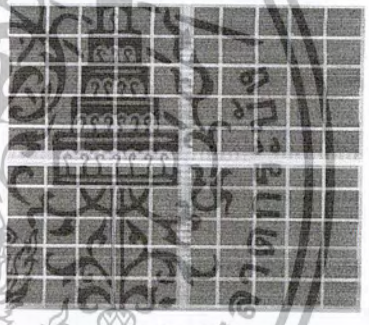
S – SC2

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $0.2\text{V}/\text{DIV}$



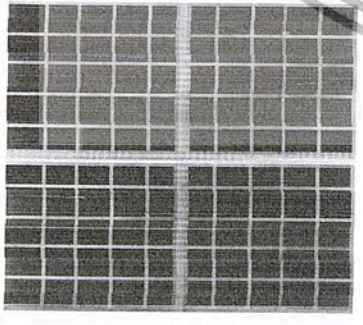
S - D

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $2\text{V}/\text{DIV}$



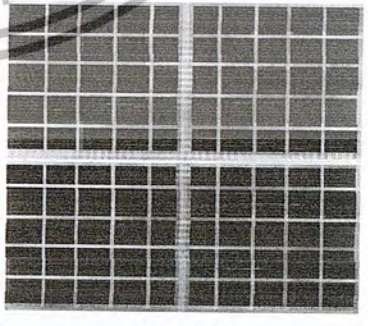
S - G

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $2\text{V}/\text{DIV}$



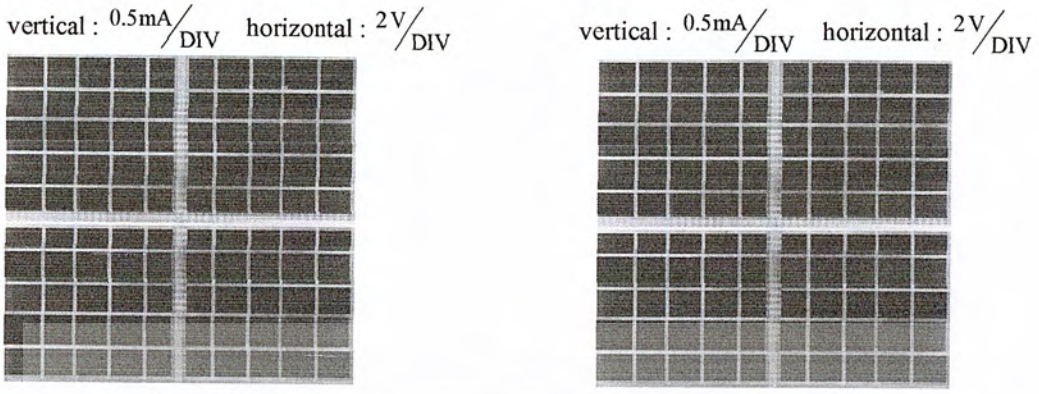
G – D

vertical : $0.5\text{mA}/\text{DIV}$ horizontal : $2\text{V}/\text{DIV}$



G – SC1

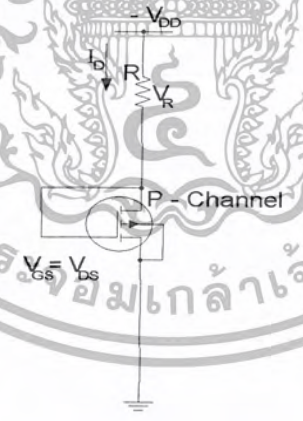
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 กราฟแสดงรอยต่อระหว่างขาต่างๆในมอสฮอลล์เพลทที่ L=1200μm W=200μm

5.2 การวัดแรงดันขีดเริ่ม (V_T)

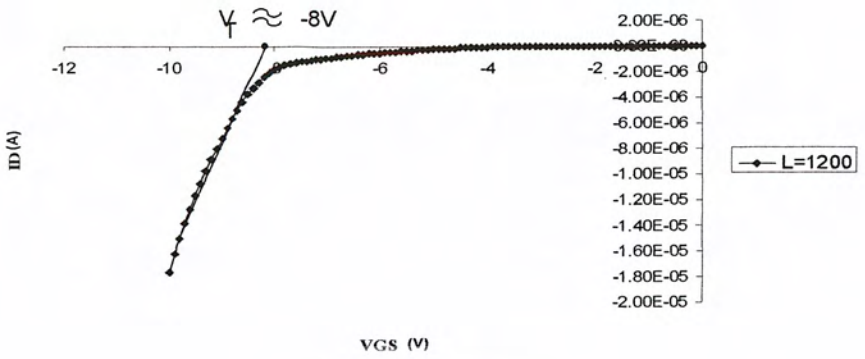
ในการวัดแรงดันขีดเริ่มของอุปกรณ์มอสฮอลล์เพลท มีลักษณะเช่นเดียวกับมอสเฟทโดย การช็อทขาเดรนเข้ากับขาซอทดังรูปการทดลองที่ 4.4 แล้วป้อน V_{DD} ที่ค่าต่างๆ จากนั้นวัดกระแส



รูปที่ 5.4 แสดงวงจรการทดลองหา V_T

เดรน แล้วนำผลการวัดที่มีความสมพันธ์ระหว่างกระแสเดรน I_D กับแรงดัน V_{DD} ไปพล็อทกราฟได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

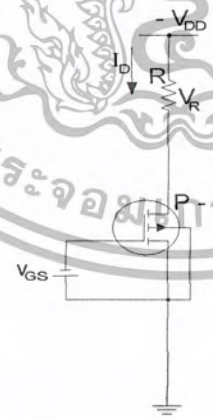


รูปที่ 5.5 กราฟแสดงแรงดันขีดเริ่ม (V_T)

จากกราฟเมื่อป้อน V_{GS} น้อยกว่า -8V ทำกระแสเดรนยังไม่สามารถไหลได้ แต่กระแสเดรนไหลเมื่อ V_{GS} มากกว่า -8V นั่นคือแรงดันขีดเริ่ม

5.3 การวัด I-V Characteristics

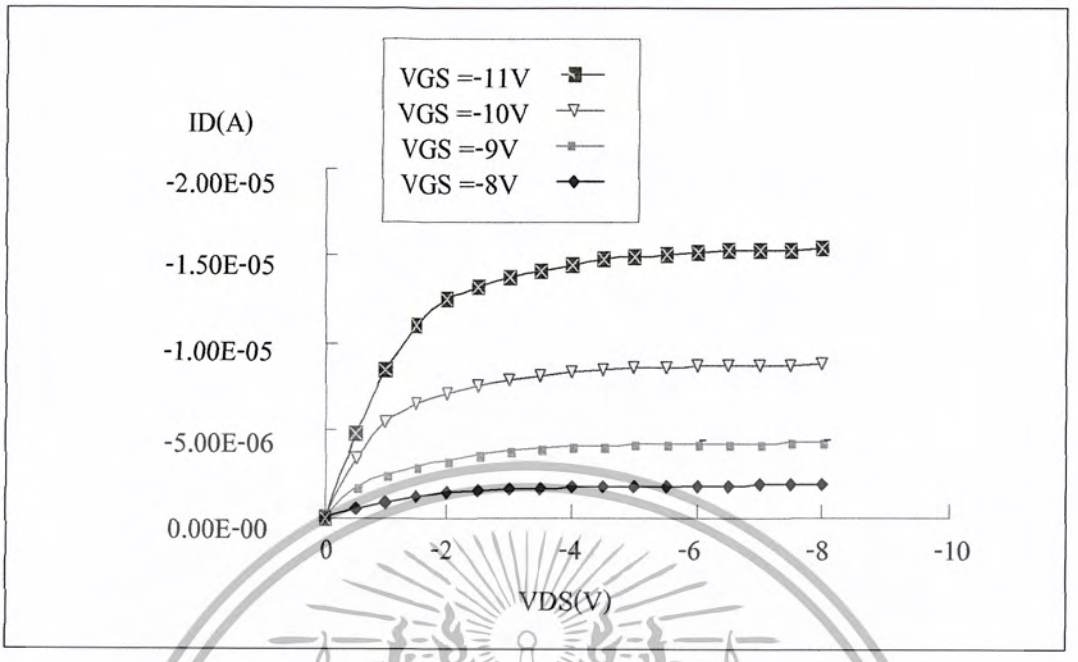
ขณะที่ขาเซนเซอร์ดอนแทคไม่ถูกใช้งาน มอสฮอลล์เพลทจะมีการทำงานเช่นเดียวกับมอสทรานซิสเตอร์ มีวิธีการวัด **I-V Characteristics** โดยการต่อวงจรตามรูปที่ 4.6 แล้วป้อนไฟลบให้กับขาเกทที่แรงดัน



รูปที่ 5.6 แสดงวงจรการทดลอง I – V Characteristics

มากกว่าแรงดันขีดเริ่มที่ V_{GS} เท่ากับ -8 -9 -10 -11 โวลท์ตามลำดับ และป้อนแรงดันไฟลบให้กับขาเดรนจาก 0 – 8 โวลท์ แล้ววัดกระแสเดรน จากนั้นนำค่ามาพล็อทกราฟได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

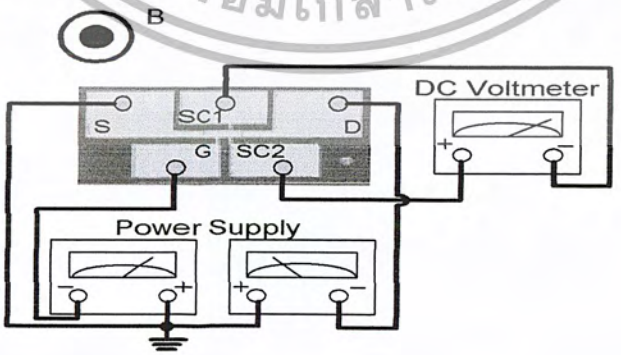


รูปที่ 5.7 กราฟแสดงความสัมพันธ์ I-V Characteristics ที่ L=1200μm W=200μm

จากกราฟผลการทดลองอุปกรณ์มอสฮอลล์เพลทมีคุณสมบัติเป็นมอสเฟท คือที่แรงดันเกทมากกว่าแรงดันขีดเริ่มทำให้กระแสเดรนไหลและมีทั้งช่วงเชิงเส้นและช่วงอิ่มตัว

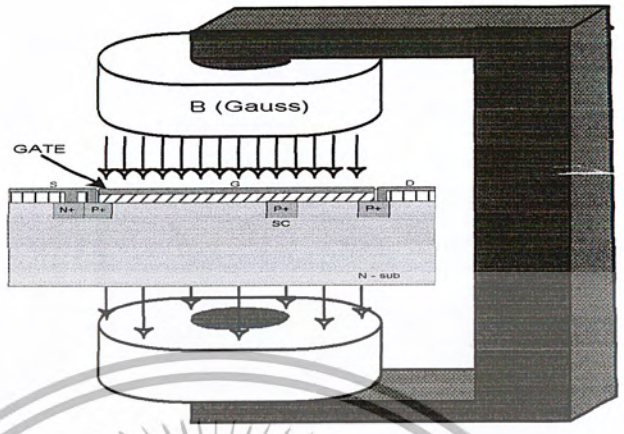
5.4 การวัดแรงดันฮอลล์ที่มีผลต่อสนามแม่เหล็กที่เกทโลหะอยู่ด้านบน

ต่อวงจรตามรูป 5.8 ดำเนินการวัดโดยป้อนแรงดันไบอัสที่ค่าต่างๆ แล้วทำการป้อนสนามแม่เหล็กตามรูปที่ 5.9 ในทิศทางตั้งฉากในช่วง 0-5000 Gauss ได้ผลของแรงดันฮอลล์ ดังกราฟต่อไปนี้



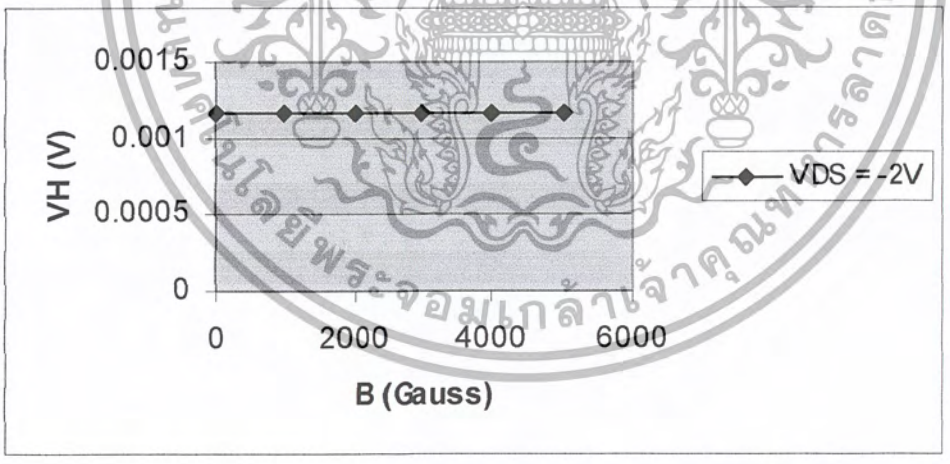
รูปที่ 5.8 การต่อวงจรเพื่อใช้วัดแรงดันฮอลล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงการจ่ายสนามแม่เหล็กโดยให้เกทโลหะอยู่ด้านบน

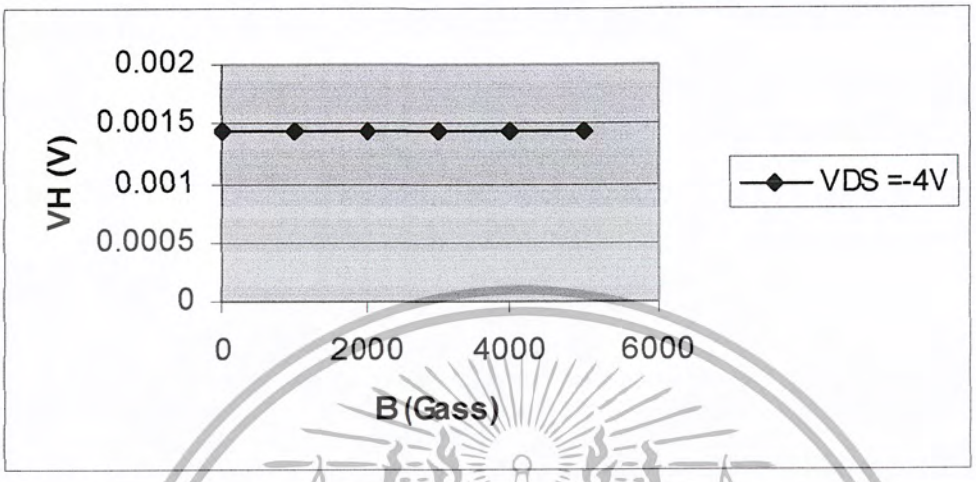
ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -2V$ $I_D = -1.14\,\mu A$



รูปที่ 5.10 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS} = -8V$ $V_{DS} = -2V$

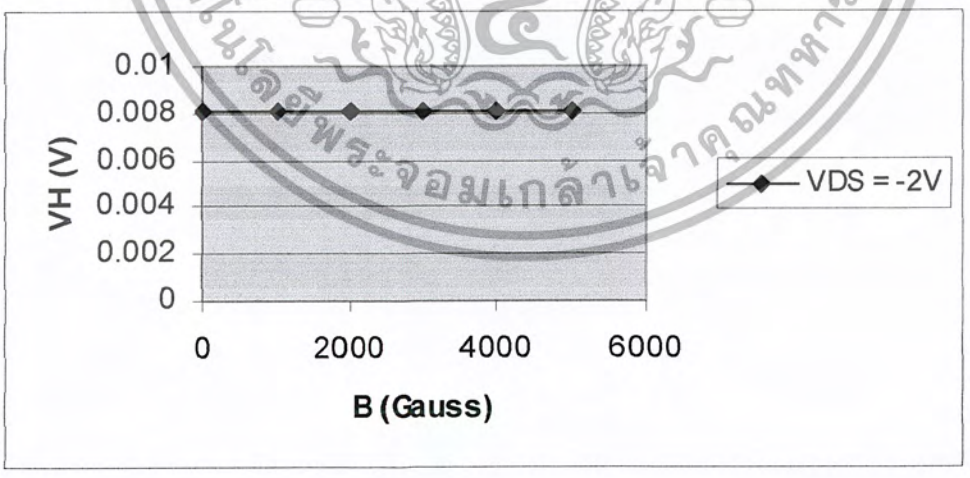
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -4V$ $I_D = -1.42\,\mu A$



รูปที่ 5.11 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -8V$ $V_{DS} = -4V$

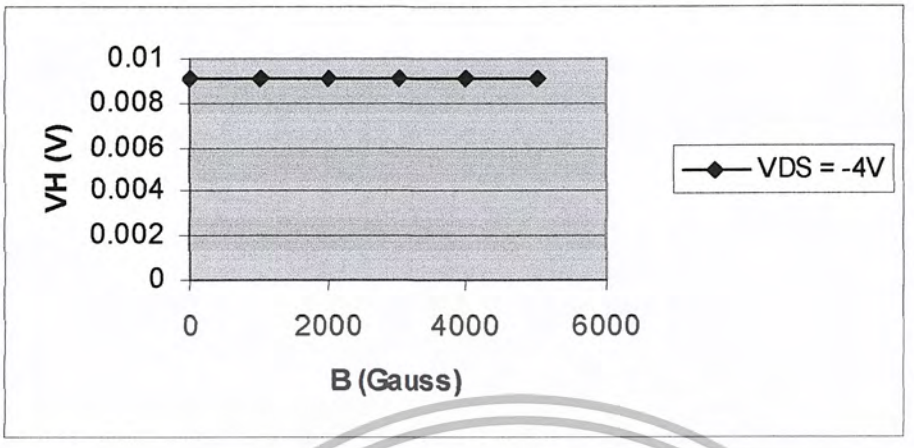
ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -2V$ $I_D = -6.77\,\mu A$



รูปที่ 5.12 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -2V$

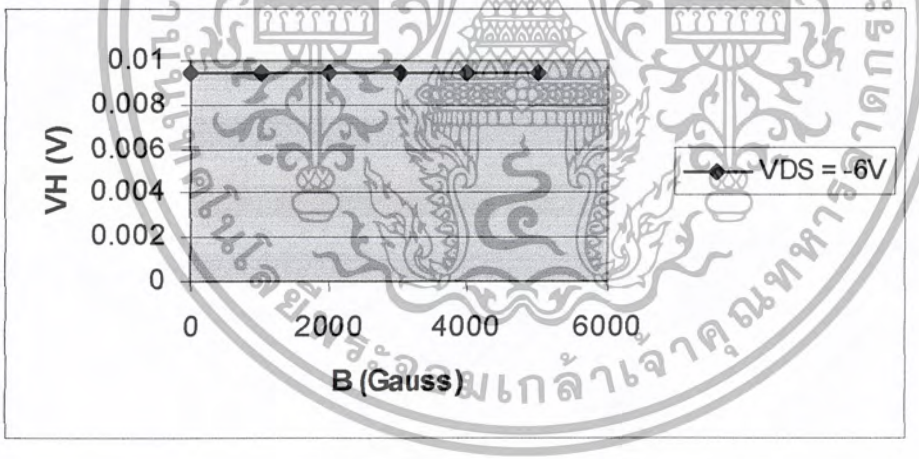
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -4V$ $I_D = -8.09\,\mu A$



รูปที่ 5.13 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -4V$

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -6V$ $I_D = -8.5\,\mu A$



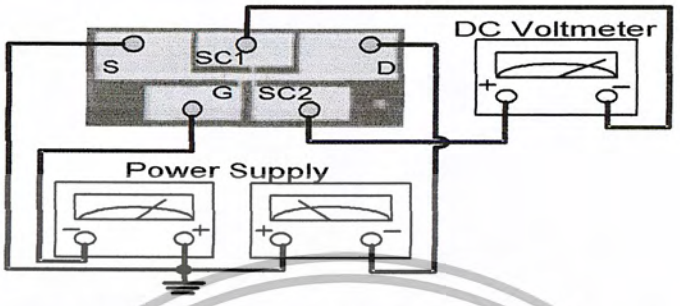
รูปที่ 5.14 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -6V$

จากผลการทดลองเมื่อให้เกทโลหะอยู่ด้านบน และจ่ายสนามแม่เหล็กตั้งแต่ 0 – 5000 Gauss แล้วไบอัสแรงดันที่ค่าต่างๆ ผลที่ได้นั้นแรงดันฮอลล์ไม่เปลี่ยนแปลงต่อผลของสนามแม่เหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 ออฟเซ็ท (offset)

จากการทดลองแรงดันออฟเซ็ทโดยต่อวงจรตามรูปที่ 5.15 โดยการป้อนแรงดันเกท V_{GS} เท่ากับ -8V และ -10V ตามลำดับ แล้วป้อน V_{DS} ระหว่าง 0 – 7V ทำการวัดแรงดันฮอลล์ที่ค่า V_{DS} ต่างๆ ในขณะที่ไม่ได้จ่ายสนามแม่เหล็ก ซึ่งได้ผลการทดลองดังตาราง 5.1



รูปที่ 5.15 แสดงวงการวัดออฟเซ็ท

ตาราง 5.1 ค่าออฟเซ็ทของมอสฮอลล์เพลท

V_{GS} (V)	V_{DS} (V)	แรงดันค่าออฟเซ็ทที่ (mV)
		L = 1200μm W = 200μm
-8	0	0.00728
	-1	0.7066
	-2	1.167
	-3	1.332
	-4	1.433
	-5	1.434
	-6	1.434
	-7	1.434
-10	0	1.816
	-1	6.745
	-2	8.08
	-3	8.766

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

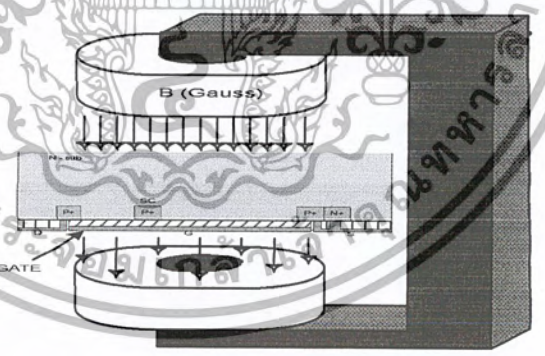
ตาราง 5.1 ค่าออฟเซ็ทของมอสฮอลล์เพลท (ต่อ)

V_{GS} (V)	V_{DS} (V)	แรงดันค่าออฟเซ็ทที่ (mV)
		L = 1200μm W = 200μm
-10	-4	9.12
	-5	9.379
	-6	9.422
	-7	9.422

จากตารางมีค่าออฟเซ็ทอยู่ค่าหนึ่งในขณะที่ยังไม่ได้ป้อนสนามแม่เหล็กและเมื่อเพิ่ม V_{GS} และ V_{DS} ค่าออฟเซ็ทจะเพิ่มขึ้นตาม

5.6 ผลการทดสอบแรงดันฮอลล์ต่อสนามแม่เหล็กโดยให้เกทโลหะอยู่ด้านล่าง

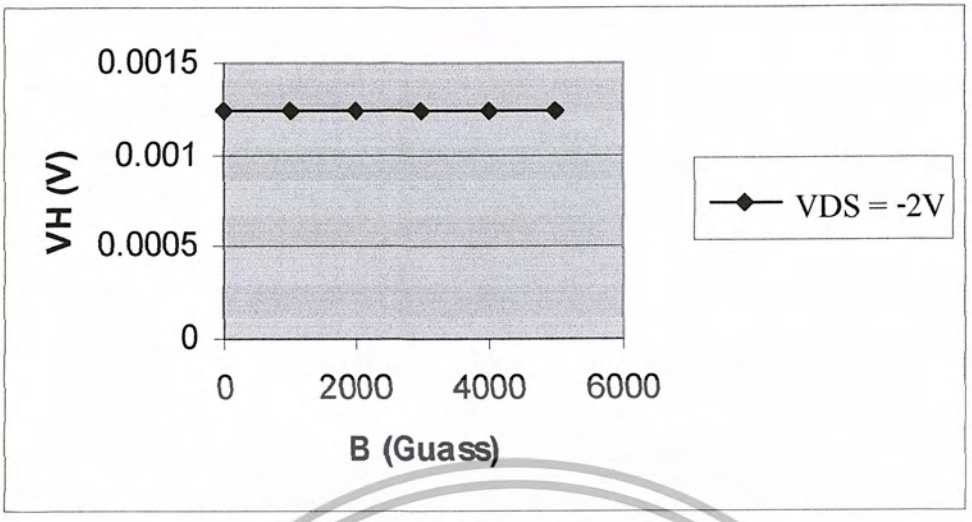
เมื่อทำการทดลองโดยให้เกทโลหะอยู่ด้านล่างหรือพลิกให้ฐานรองชนิด n – type ได้รับสนามแม่เหล็กก่อนเกทโลหะดังรูปที่ 4.16 แล้ววัดแรงดันฮอลล์เมื่อไบอัสแรงดันที่ค่าต่างๆ ซึ่งได้ผลการทดลองดังกราฟต่อไปนี้



รูปที่ 5.16 แสดงการจ่ายสนามแม่เหล็กโดยเกทโลหะอยู่ด้านล่าง

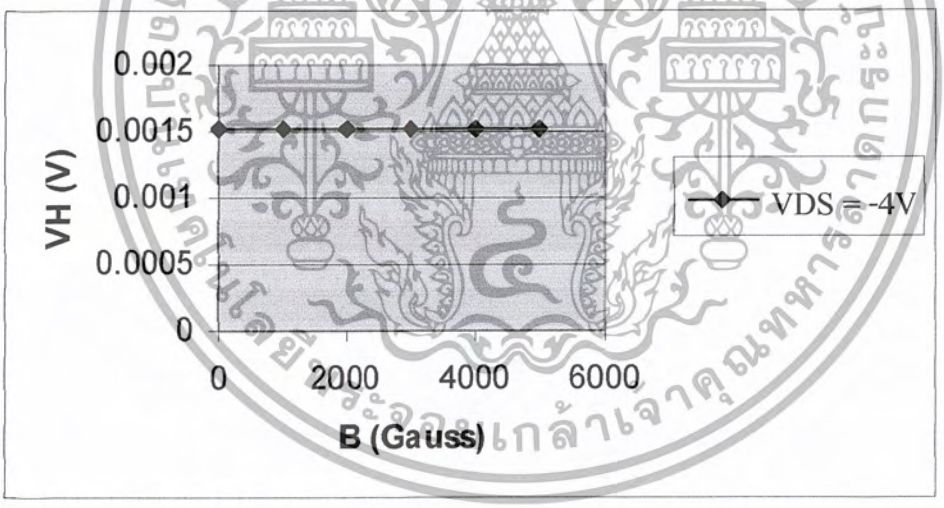
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -2V$ $I_D = -1.14\,\mu A$



รูปที่ 5.17 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200µm W=200µm ที่** $V_{GS} = -8V$ $V_{DS} = -2V$

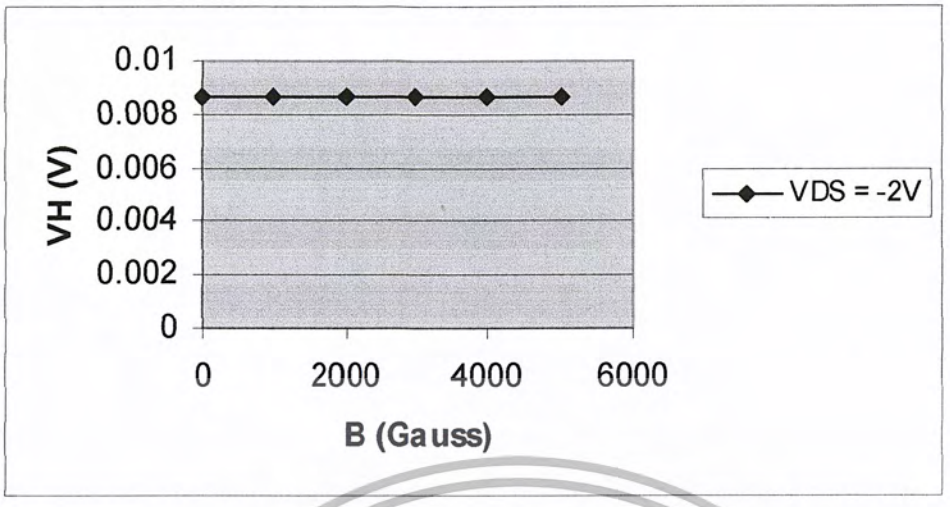
ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -4V$ $I_D = -1.42\,\mu A$



รูปที่ 5.18 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200µm W=200µm ที่** $V_{GS} = -8V$ $V_{DS} = -4V$

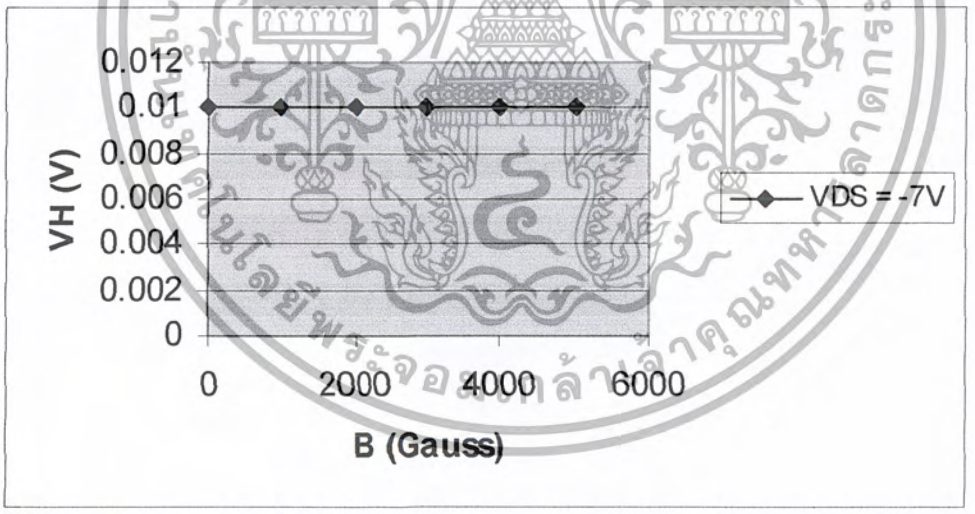
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -2V$ $I_D = -6.77\,\mu A$



รูปที่ 5.19 กราฟความสัมพันธ์ระหว่าง V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -2V$

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -7V$ $I_D = -8.55\,\mu A$



รูปที่ 5.20 กราฟความสัมพันธ์ระหว่าง V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -7V$

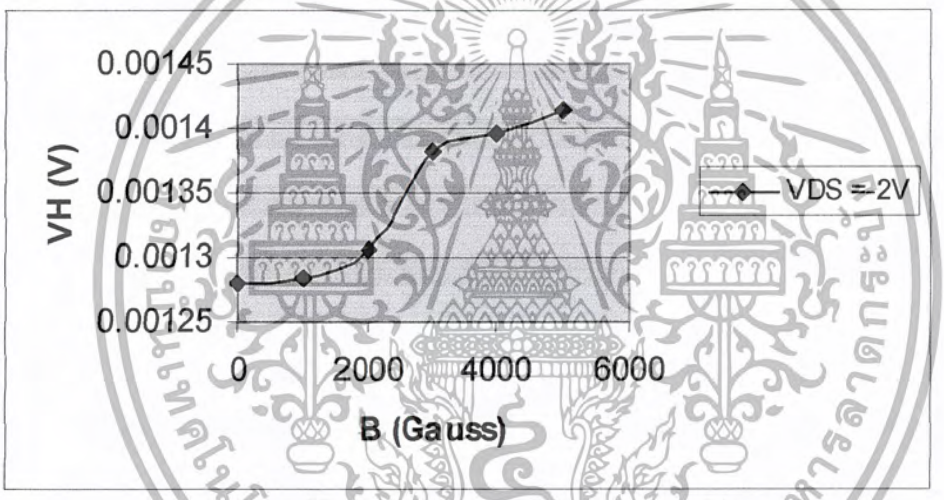
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองผลของสนามแม่เหล็กทำให้แรงดันฮอลล์เพิ่มขึ้นเพียงเล็กน้อยอยู่ในระดับไมโครโวลท์จนทำให้สัญญาณที่ไม่ต้องการรบกวนได้ ค่าที่แสดงจากเครื่องวัดไม่คงที่จึงถือว่าอุปกรณ์มอสฮอลล์เพลทไม่ตอบสนองต่อสนามแม่เหล็ก

5.7 ผลการทดสอบ V_H ต่อ B_Z เมื่อเพิ่มความเข้มสนามแม่เหล็กชั่วขณะ

เมื่อทำการทดลองโดยให้เกทโลหะอยู่ด้านบนและป้อนแรงดันไบอัสที่ค่าต่างๆ แล้ววัดแรงดันฮอลล์ในขณะที่เพิ่มสนามแม่เหล็กอย่างรวดเร็ว ทำให้แรงดันฮอลล์มีค่าสูงสุดที่ค่าใดค่าหนึ่ง โดยการนำค่าแรงดันฮอลล์สูงสุดมาพล็อทกราฟได้ดังนี้

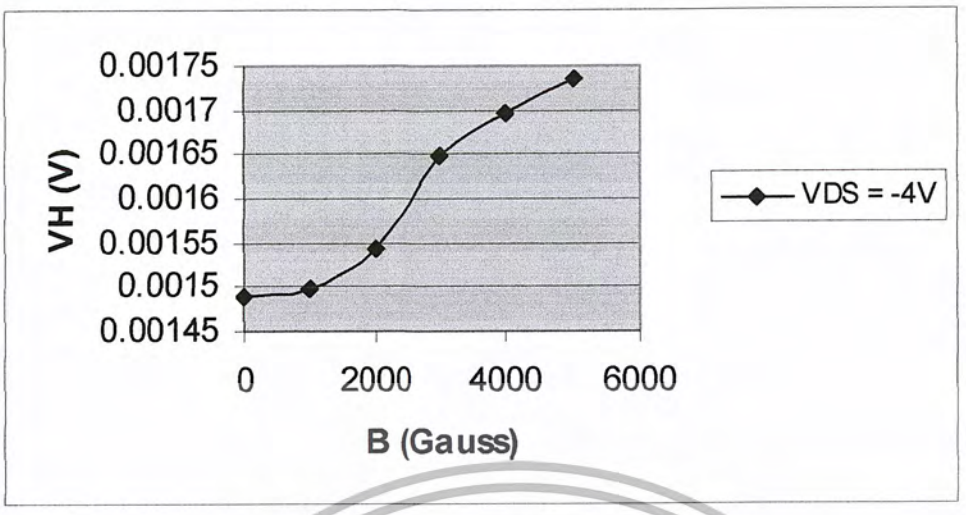
ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -2V$ $I_D = -1.14\,\mu A$



รูปที่ 5.21 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS} = -8V$ $V_{DS} = -2V$

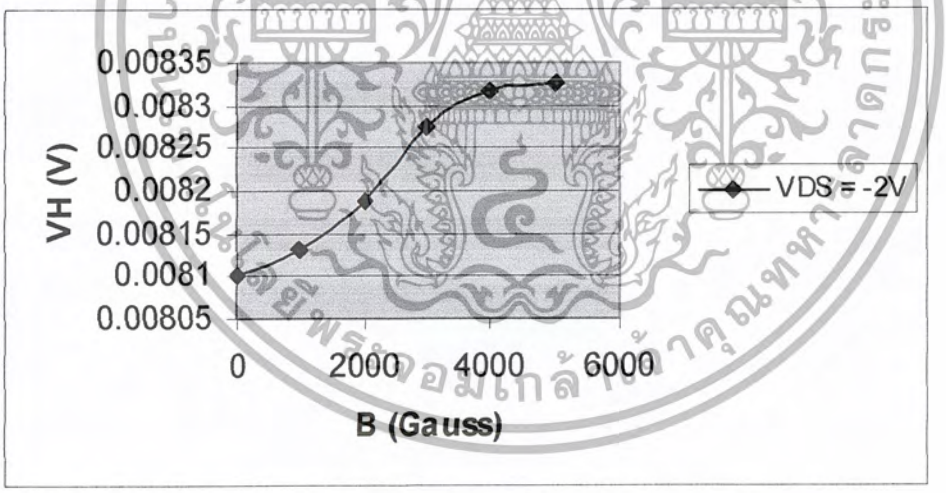
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -8V$ $V_{DS} = -4V$ $I_D = -1.42\,\mu A$



รูปที่ 5.22 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS} = -8V$ $V_{DS} = -4V$

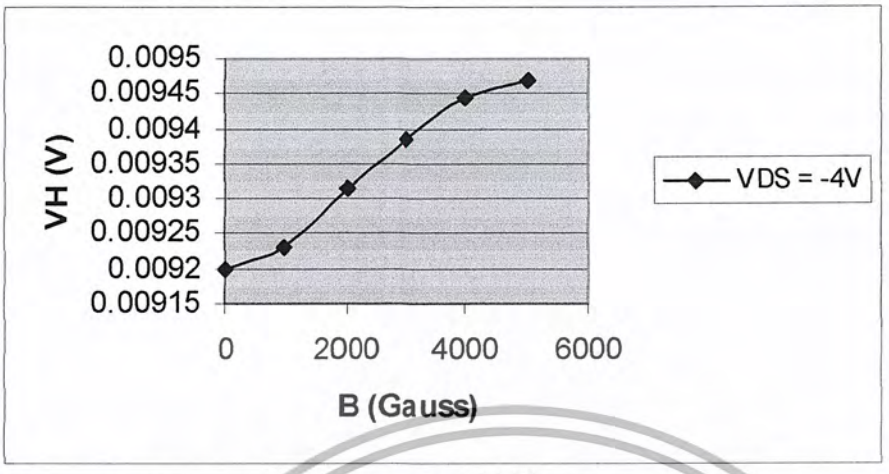
ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -2V$ $I_D = -6.77\,\mu A$



รูปที่ 5.23 กราฟความสัมพันธ์ระหว่าง V_H กับ B_Z ที่ L=1200μm W=200μm ที่ $V_{GS} = -10V$ $V_{DS} = -2V$

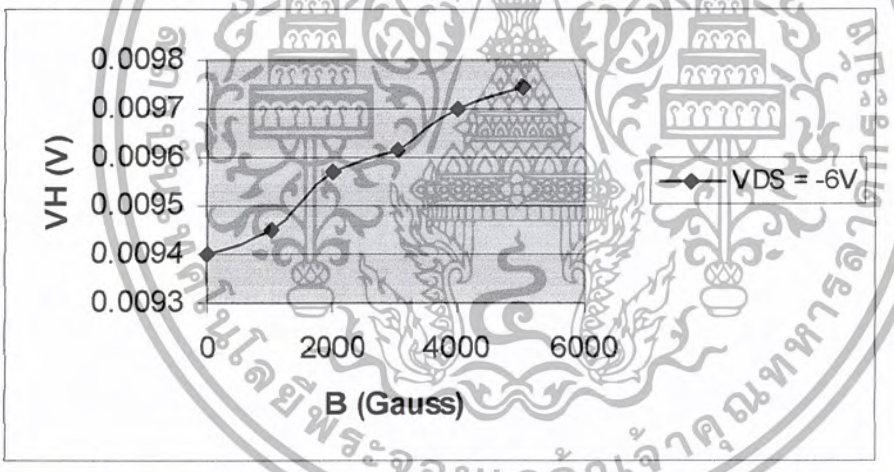
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -4V$ $I_D = -8.09\,\mu A$



รูปที่ 5.24 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -4V$

ผลการวัดเมื่อไบอัส $V_{GS} = -10V$ $V_{DS} = -6V$ $I_D = -8.5\,\mu A$



รูปที่ 5.25 **กราฟความสัมพันธ์ระหว่าง** V_H **กับ** B_Z **ที่ L=1200μm W=200μm ที่** $V_{GS} = -10V$ $V_{DS} = -6V$

จากการทดลองเมื่อเพิ่มสนามแม่เหล็กอย่างรวดเร็ว ที่ค่าใดค่าหนึ่งเช่นจาก 0 – 1000 Gauss ทำให้แรงดันฮอลล์เพิ่มขึ้นสูงสุดค่าหนึ่ง ก่อนจะลดลงคงที่อีกค่าหนึ่ง และเมื่อเพิ่มสนามแม่เหล็กจาก 0 – 2000 Gauss ทำให้แรงดันฮอลล์สูงสุด สูงกว่าในกรณีที่จ่ายสนามแม่เหล็ก 0 – 1000 Gauss แต่สุดท้ายแล้วแรงดันฮอลล์จะค่อยๆลดลงเท่ากันกับขณะที่จ่ายสนามแม่เหล็ก 0 – 1000 Gauss

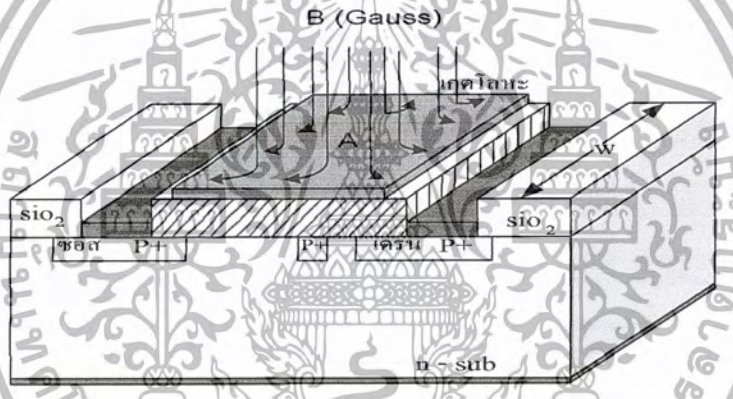
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผลการทดลอง

6.1 สรุป

อุปกรณ์ที่เสียส่วนใหญ่เกิดที่ความสกปรกของออกไซด์ ทำให้กระแสไหลผ่านได้ ดังนั้นควรพิถีพิถันในกระบวนการสร้างเกทออกไซด์ให้เป็นพิเศษ

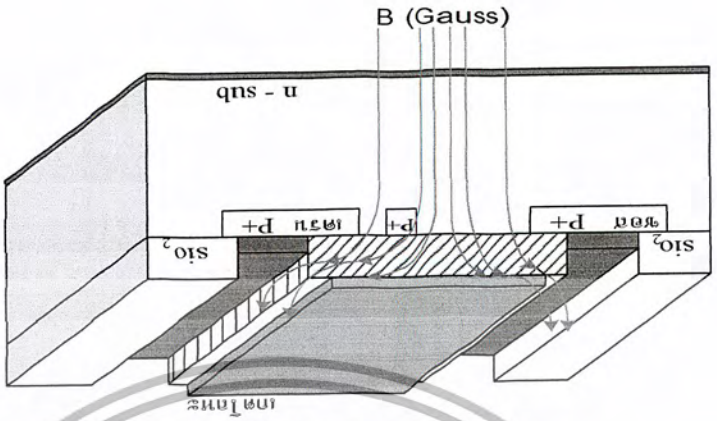
จากผลการทดลอง อุปกรณ์มอสฮอลล์เพลทที่สร้างขึ้น มีคุณสมบัติเป็นมอสเฟท แต่เมื่อวัดโดยให้เกทโลหะอยู่ด้านบนทำให้รู้ว่าไม่ตอบสนองต่อสนามแม่เหล็กทั้งนี้อาจเกิดจากผลของเกทออกโลหะที่มีขนาดใหญ่ จึงส่งผลให้สนามแม่เหล็กเบี่ยงเบนในช่องทางเดินกระแส



รูปที่ 6.1 แสดงผลของสนามแม่เหล็กต่อเกทโลหะ

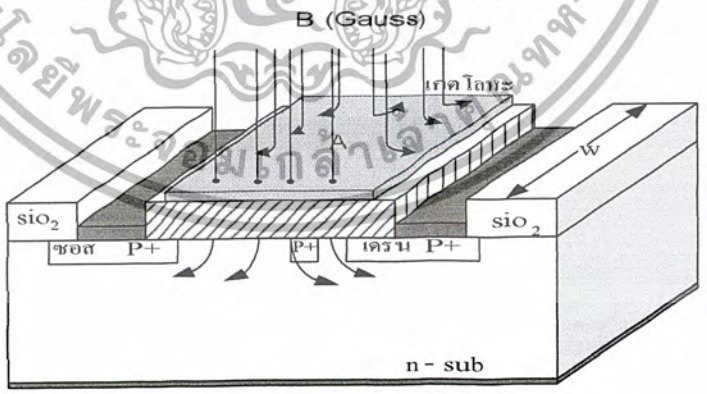
เมื่อทดลองโดยให้เกทโลหะอยู่ด้านล่าง จากผลการทดลองพบว่าแรงดันฮอลล์มีการเปลี่ยนแปลงเล็กน้อย สาเหตุอาจเกิดมาจากการเบี่ยงเบนของเส้นแรงแม่เหล็กในช่องทางเดินกระแส ทำให้แรงลอเรนซ์มีทิศทางไม่ตรงกับขั้วเซนเซนต์คอนแทคตามต้องการ โดยเกิดจากผลของเกทโลหะที่ติดกับช่องทางเดินกระแสมีพื้นที่ขนาดใหญ่ ทำให้เส้นแรงแม่เหล็กเบี่ยงเบนไปดังรูปที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงผลของสนามแม่เหล็กเมื่อผ่านช่องทางเดินกระแส

ผลจากการเพิ่มค่าสนามแม่เหล็ก ทำให้เกิดแรงดันฮอลล์สูงสุดชั่วขณะแล้วค่อยๆลดลง ทั้งนี้เกิดจากขณะที่เพิ่มความเข้มสนามแม่เหล็กอย่างรวดเร็ว ทำให้สนามแม่เหล็กสามารถทะลุผ่านเกทโลหะ ไปตั้งฉากกับกระแสเดรน ส่งผลให้เกิดแรงดันฮอลล์มากกว่าการทดลองอื่นๆ ดังเส้นแรงแม่เหล็กที่ผ่านเกทโลหะในรูปที่ 6.3



รูปที่ 6.3 แสดงผลของสนามแม่เหล็กทะลุเกทโลหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 วิจารณ์ผลการทดลอง

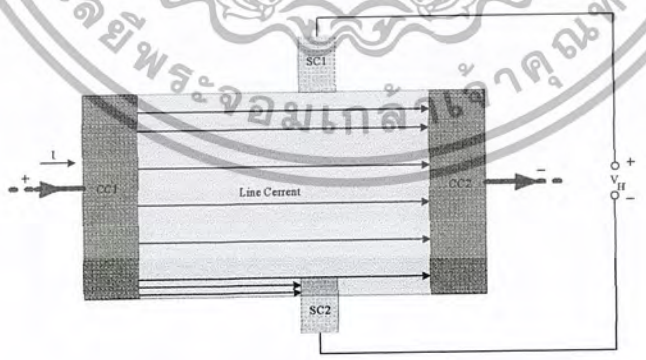
สำหรับการทดลองครั้งนี้ เมื่อได้สร้างอุปกรณ์เซนเซอร์สนามแม่เหล็กด้วยโครงสร้างมอสเฟทเสร็จแล้ว หลังจากนั้นได้นำมาวัดคุณสมบัติของมอสเฟท ซึ่งได้ว่ามีเพียงมอสเฟทที่ L = 1200 μm W = 200 μm เท่านั้นที่ใช้ได้ จากมอสเฟททั้งหมด โดยมอสเฟทที่ใช้ไม่ได้ คือ $L/W = 3$ $L/W = 4$ $L/W = 5$ ซึ่งเกิดจากความไม่เป็นฉนวนที่ดีของออกไซด์ทำให้กระแสไฟฟ้าไหลผ่านได้

จากการวัดแรงดันขีดเริ่มของมอสเฟทได้แรงดันขีดเริ่มประมาณ -7V จากนั้นทำการไบอัสแรงดันต่างๆ ให้แก่มอสเฟท แล้วป้อนสนามแม่เหล็กในทิศทางตั้งฉากกับกระแสเดรน โดยป้อนค่าตั้งแต่ 0 – 5000 Gauss จากนั้นทำการวัดผลการตอบสนองของแรงดันฮอลล์ต่อสนามแม่เหล็กในสามลักษณะ

1. วัดโดยให้เกทโลหะอยู่ด้านบนที่มีทิศทางของแม่เหล็กดิ่งลงมา
2. วัดผลโดยให้เกทโลหะอยู่ด้านล่าง
3. วัดโดยบันทึกผลของแรงดันฮอลล์ต่อสนามแม่เหล็กสูงสุดชั่วขณะ

จากการวัดการตอบสนองนของแรงดันฮอลล์ต่อสนามแม่เหล็ก ทำให้ทราบว่าอุปกรณ์มอสฮอลล์เพลทที่สร้างไม่สามารถเซนเซอร์สนามแม่เหล็กได้ ที่เป็นเช่นนี้ ได้สันนิษฐานว่าเกิดจากผลของเกทโลหะที่มีขนาดใหญ่ ทำให้เส้นแรงแม่เหล็กเบี่ยงเบนไป

และจากการวัดแรงดันออฟเซ็ทมีค่าสูงขึ้น เมื่อแรงดันเกทที่มากกว่าแรงดันขีดเริ่ม ค่าสูงขึ้นเช่นเดียวกับการเพิ่ม V_{DS} ให้สูงขึ้น แต่ที่แรงดันมากกว่า $V_{D(SAT)}$ แรงดันออฟเซทจะสูงขึ้นเล็กน้อย ผลดังกล่าวเกิดจากความไม่สมมาตรของรูปร่างมอสฮอลล์เพลทดังรูป 6.4



รูปที่ 6.4 แสดงการเกิดแรงดันออฟเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 ปัญหาและอุปสรรค

เนื่องจากอุปกรณ์ที่ใช้เป็น โครงสร้างของมอสเฟท ซึ่งมีหลายมาส์คทำให้จำเป็นต้องใช้เวลาในการสร้างแต่ละครั้ง มอสเฟทที่สร้างเสร็จแล้วประสบปัญหากับความสกปรกของการสร้างออกไซด์ และความบางของออกไซด์ จนทำให้เหลืออุปกรณ์ที่ใช้ทดสอบเพียงตัวเดียวคือ L = 1200 μm W = 200 μm ทำให้การทดลองไม่สมบูรณ์ และในการทดสอบนั้นสัญญาณเอาท์พุทที่ออกมามีค่าน้อยมากอยู่ในระดับไมโครโวลท์ จึงจำเป็นอย่างยิ่งที่จะต้องทำการป้องกันสัญญาณรบกวนตลอดการทดลอง

ข้อเสนอแนะ

ขั้นแรกควรพิถีพิถันในกระบวนการสร้างเกทออกไซด์เป็นพิเศษ เพราะอุปกรณ์ส่วนใหญ่ที่เสียเกิดจากเกทออกไซด์ เพื่อโอกาสที่จะได้อุปกรณ์ครบทุกขนาดและการทดลองที่สมบูรณ์ยิ่งขึ้น ซึ่งอุปกรณ์ที่ L(μm) ต่ำๆ อาจจะสามารถเซนเซอร์สนามแม่เหล็กได้ดี เพราะเกทโลหะมีพื้นที่น้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ภาคผนวก ก. สัญลักษณ์

B สนามแม่เหล็ก (T=เทสลา)

F แรงลอเรนท์ (N=นิวตัน)

G ค่าความแม่นยำของแรงดันฮอลล์ที่คำนวณได้

I กระแส (mA)

J_n ความหนาหนาแน่นกระแส (mA/CM^2)

L ความยาวระหว่างขั้วเคอร์เรนคอนแทค (μm)

p ความหนาแน่นอะตอมสารเจือ

r_n สัมประสิทธิ์ฮอลล์ของสารกึ่งตัวนำชนิดเอ็น

r_p สัมประสิทธิ์ฮอลล์ของสารกึ่งตัวนำชนิดพี

R_H สัมประสิทธิ์ฮอลล์ ($c^{-1} m^3$)

S ขนาดของขั้วเซ็นเซอร์คอนแทค (μm)

d ความหนาของฮอลล์เพลท (μm)

V_H แรงดันฮอลล์ (mV)

W ความกว้างระหว่างขั้วเซ็นเซอร์คอนแทค (μm)

σ ความนำไฟฟ้า ($\Omega^{-1} cm^{-1}$)

μ_n ความคล่องตัวของประจุพาหะอิเล็กตรอน ($cm^2 / v-sec$)

μ_p ความคล่องตัวของประจุพาหะโฮล ($cm^2 / v-sec$)

v ความเร็วเฉลี่ยของประจุพาหะ (m / sec)

θ_H มุมฮอลล์ (องศา)

ρ พิกัดความต้านทาน (Ω-cm)

ε สนามไฟฟ้า (V/m)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข. ค่าคงที่และการแปลงหน่วย

ข.1 ค่าคงที่

สัมประสิทธิ์ฮอลล์ของสารกึ่งตัวนำชนิดเอ็น	$r_n = 1.15$
สัมประสิทธิ์ฮอลล์ของสารกึ่งตัวนำชนิดพี	$r_p = 0.7$
ความคล่องตัวของประจุพาหะอิเล็กตรอน ในสารกึ่งตัวนำซิลิกอน	$\mu_n = 1400$
ความคล่องตัวของประจุพาหะโฮล ในสารกึ่งตัวนำซิลิกอน	$\mu_p = 480$
ประจุไฟฟ้า	$q = 1.6\times10^{-19}$ c
ค่าคงที่โบสแมน	$k = 1.38\times10^{-23}$ j/k
ค่าคงที่แพลงค์	$h = 6.625\times10^{-34}$ j−S

ข. การแปลงหน่วย

1 T = 10^{-4} Gauss หรือ 1 wb / m^2

1 A^o = 10^{-10} m

1 mil = 2.54 μm

1 eV= 1.6×10^{-19} J

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค. วัสดุและเคมีภัณฑ์ที่ใช้ในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ

Boron (B) : โบรอน

เป็นธาตุกลุ่มที่ 5 ของตารางพิริออดิคของธาตุ ใช้เป็นอะตอมสารเจือในการแพร่เพื่อสร้างส่วนเดรนและส่วนซอสในเอ็นฮานซ์เทนท์มอสทรานซิสเตอร์ชนิดพีแชนแนล

Isopropyl alcohol : ไอโซโพรพิลแอลกอฮอล์

เป็นสารละลายชนิดหนึ่ง ซึ่งใช้สำหรับล้างทำความสะอาดแผ่นผลึกครั้งสุดท้ายก่อนทำให้แห้ง

Methylalcohol : เมทิลแอลกอฮอล์

เป็นสารละลาย ซึ่งใช้สำหรับล้างแผ่นผลึกในครั้งสุดท้าย เพื่อขจัดสารอื่นๆก่อนทำให้แห้ง

Nitric acid (HNO_3) : กรดดินประสิว

เป็นกรดแก่ ซึ่งใช้สำหรับทำสะอาดผิวหน้าของผลึก เพื่อกำจัดเศษโลหะต่างๆที่อาจมีได้

Nitrogen (N_2) : ไนโตรเจน

เป็นก๊าซเฉื่อยที่ใช้สำหรับทำหน้าที่ ในการแพร่สารเจือลงไปในแผ่นซิลิกอน หรือใช้สำหรับเป่าแผ่นผลึกให้แห้งภายหลังการล้าง

Oxygen (O_2) : ออกซิเจน

เป็นก๊าซที่ใช้สำหรับกระบวนการออกซิเดชั่นเพื่อสร้างชั้นซิลิกอนไดออกไซด์ขึ้น

Phosphorus (P) : ฟอสฟอรัส

เป็นธาตุในกลุ่มที่ 5 ใช้เป็นอะตอมสารเจือชนิดเอ็นในการแพร่เพื่อสร้างส่วนเดรนและส่วนซอสในพีมอสทรานซิสเตอร์ทั่วๆไป

Silicon dioxide (SiO_2) : ซิลิกอนไดออกไซด์

ใช้เป็นชั้นป้องกันการแพร่สารเจือ และเป็นชั้นป้องกันผิวหน้าของแผ่นผลึกที่สมบูรณ์แล้ว เตรียมได้ด้วยกระบวนการออกซิเดชั่น

Sulfulric acid (H_2SO_4) : กรดกำมะถัน

เป็นกรดแก่ใช้ในการทำความสะอาดแผ่นซิลิกอนและสารละลายสารไวแสงในแผ่นผลึกภายหลังกระบวนการโฟโต้ลิโทกราฟฟี่

Trichloroethylene : ไตรคลอโรเอทีลีน

เป็นสารละลายซึ่งใช้สำหรับล้างไขมันและสิ่งสกปรกที่อยู่บนผิวแผ่นซิลิกอน หรือภาชนะอื่นๆที่เกี่ยวข้องกับงานสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ

Xylean : ไซลีน

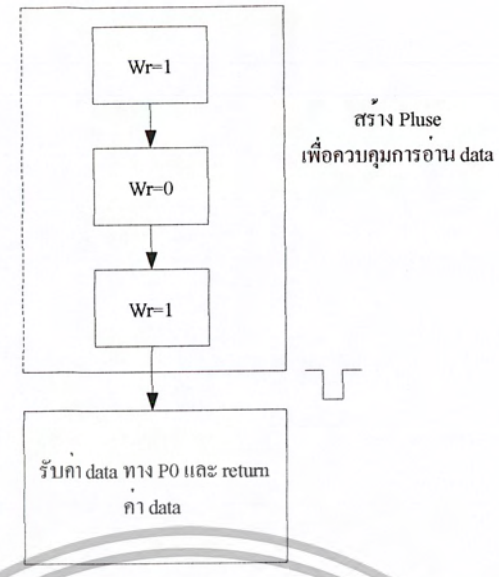
เป็นสารละลายที่ใช้ในกระบวนการโฟโต้ลิโทกราฟฟี่ เพื่อละลายน้ำยาไวแสงที่ไม่ถูกฉายแสงออกจากแผ่นผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง. Flow chart

Flow chart 1 main program

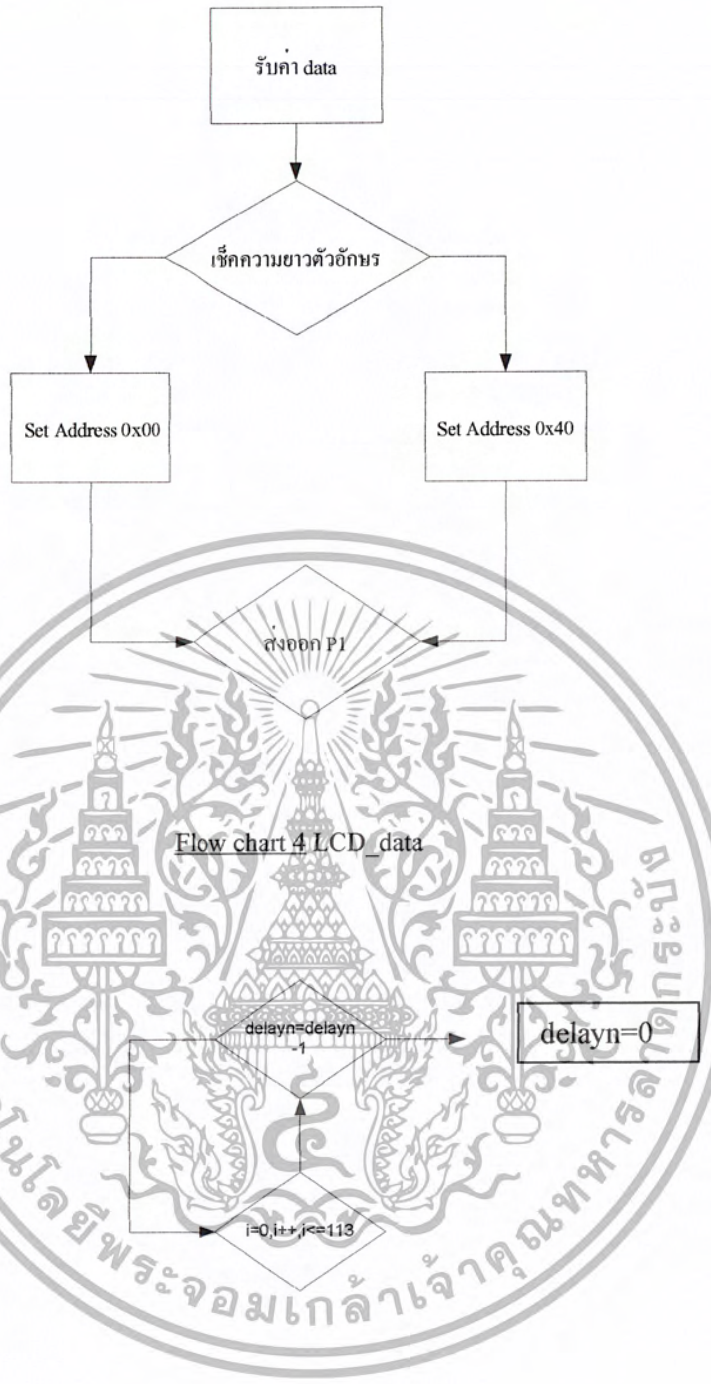
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow chart 2 recieve data from ADCs

Flow chart 3 convert data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow chart 4 LCD_data

Flow chart 5 Delays

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานกระบวนการสร้างมอสฮอลล์เพลทโดยใช้มอสทรานซิสเตอร์ชนิดพีแชนแนล สำเร็จลุล่วงได้ดี อันเนื่องมาจากความอนุเคราะห์ มาจากอาจารย์ประจำภาควิชาอิเล็กทรอนิกส์ทุกท่าน ที่อนุญาตให้ทำการทดลอง ขอขอบคุณท่าน ผศ.ดร. เดิมพงษ์ เพ็ชรกุล อาจารที่ปรึกษาเป็นอย่างสูง ที่ให้คำแนะนำ ให้ข้อเสนอที่เป็นประโยชน์ ทำให้โครงงานสำเร็จลงด้วยความเรียบร้อย รวมทั้งนักวิจัยในศูนย์วิจัยอิเล็กทรอนิกส์ ที่ได้เสียสละเวลามาช่วยทำในกระบวนการสร้างมอสทรานซิสเตอร์ ตั้งแต่เริ่มต้นจนเสร็จสมบูรณ์ รวมถึงการแนะนำการใช้อุปกรณ์ เครื่องมือต่างๆ ในศูนย์วิจัยอิเล็กทรอนิกส์ จึงขอถือโอกาสแสดงความขอบพระคุณมา ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ผศ.ดร.เติมพงษ์ เพ็ชรกูล, "อุปกรณ์สารกึ่งตัวนำ", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พฤษภาคม 2544
2. รศ.ดร.สมเกียรติ ศุภเดช, "เซมิคอนดัคเตอร์ฟิสิกส์", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, สิงหาคม 2544
3. รศ.ดร.สมเกียรติ ศุภเดช, "สิ่งประดิษฐ์สารกึ่งตัวนำ", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, มิถุนายน 2545
4. Julinan W.Gardner, "Microsensors", McGraw-Hill Book Company, INC, 1994
5. Henry P.Bates and Radivoje S.Popovic, "Integrated Semiconductor Magnetic Field Sensors, Vol 74, No 8", August 1986
6. ผศ.ธีรวัฒน์ ประกอบผล "การพัฒนาไมโครคอนโทรลเลอร์ด้วยภาษาซี ", สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น)
7. ผศ.ขนิษฐา แซ่ตั้ง ,รศ.ดร.สุริภณ สมควรพาณิชย์, "สนามและคลื่นแม่เหล็กไฟฟ้า" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, มิถุนายน 2545
8. www.ti.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEETs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

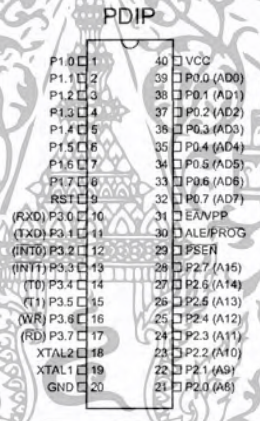
- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low-power Idle and Power-down Modes

Description

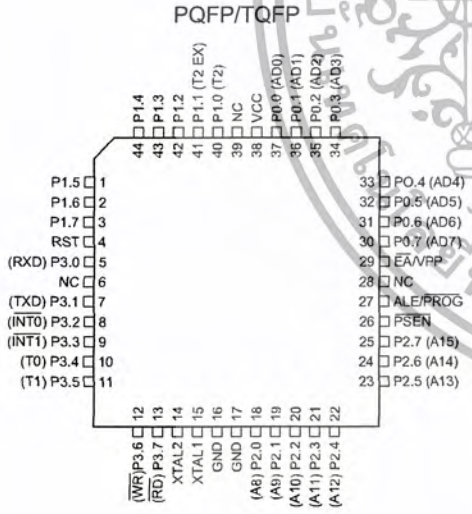
The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard MCS-51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

Pin Configurations

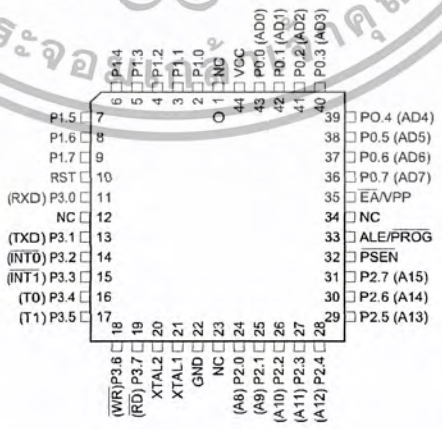
PDIP



PQFP/TQFP



PLCC



8-bit Microcontroller with 4K Bytes Flash

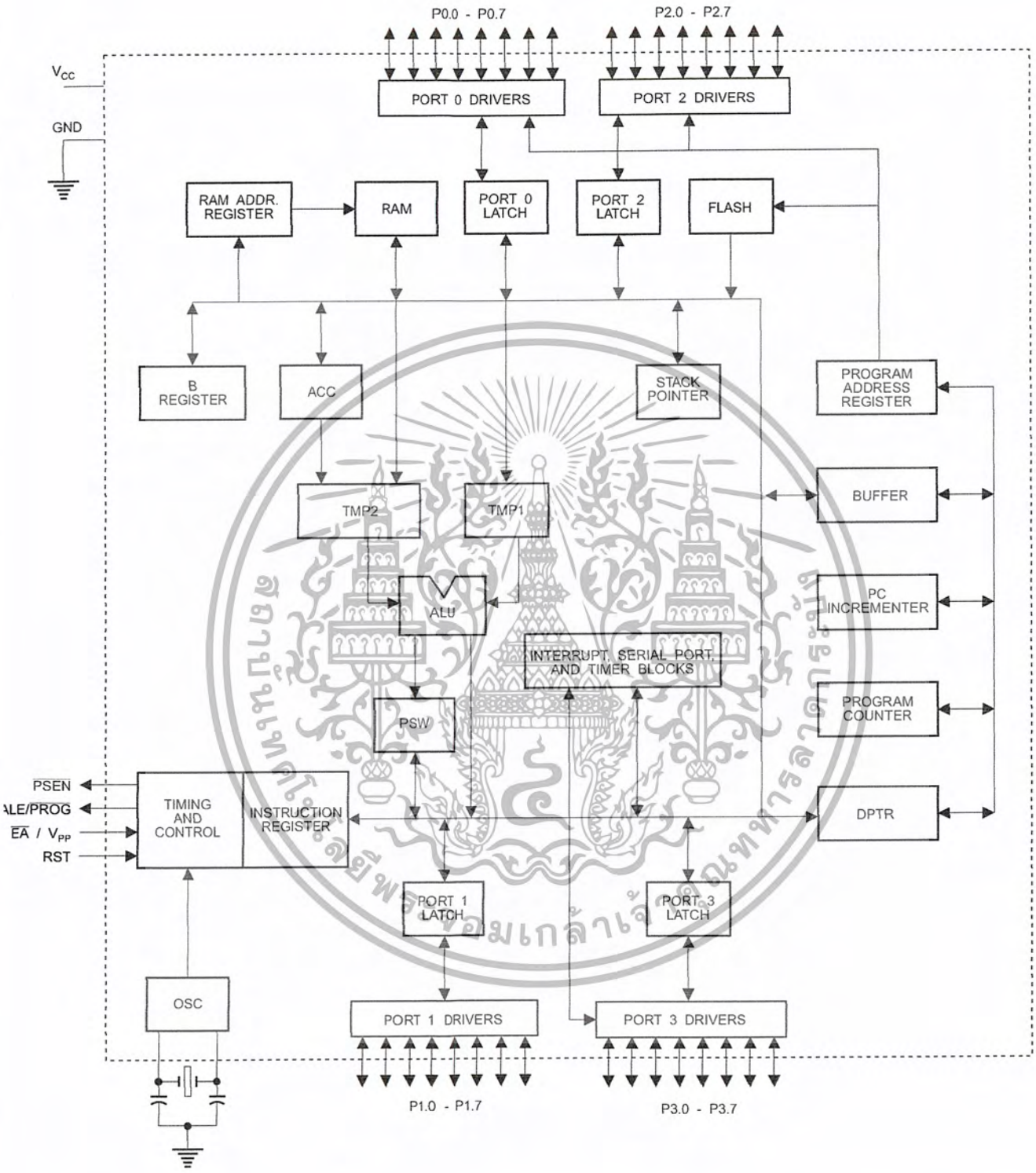
AT89C51

Not Recommended for New Designs. Use AT89S51.

Rev. 0265G–02/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power-down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open-drain bi-directional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{\text{PSEN}}$

Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

$\overline{\text{EA}}$/VPP

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

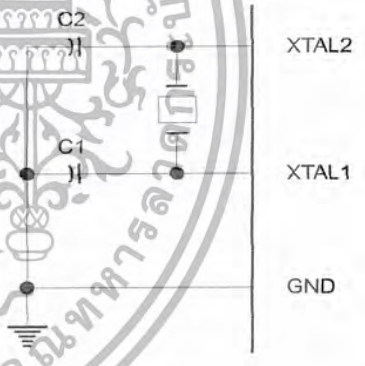
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

It should be noted that when idle is terminated by a hard ware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



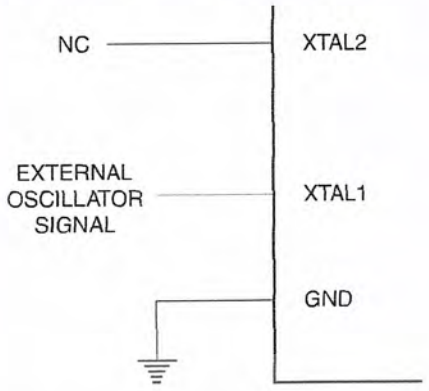
Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	$\overline{\text{PSEN}}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. External Clock Drive Configuration



Power-down Mode

In the power-down mode, the oscillator is stopped, and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. The only exit from power-down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled
3	P	P	U	Same as mode 2, also verify is disabled
4	P	P	P	Same as mode 3, also external execution is disabled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low-voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third-party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H) = 1EH (031H) = 51H (032H) =F FH	(030H) = 1EH (031H) = 51H (032H) = 05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figure 3 and Figure 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

$\overline{Data}$ Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H, 031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming Modes

Mode		RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}$/V_{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L		H/12V	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase		H	L	(1)	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10 ms $\overline{PROG}$ pulse.

Figure 3. Programming the Flash

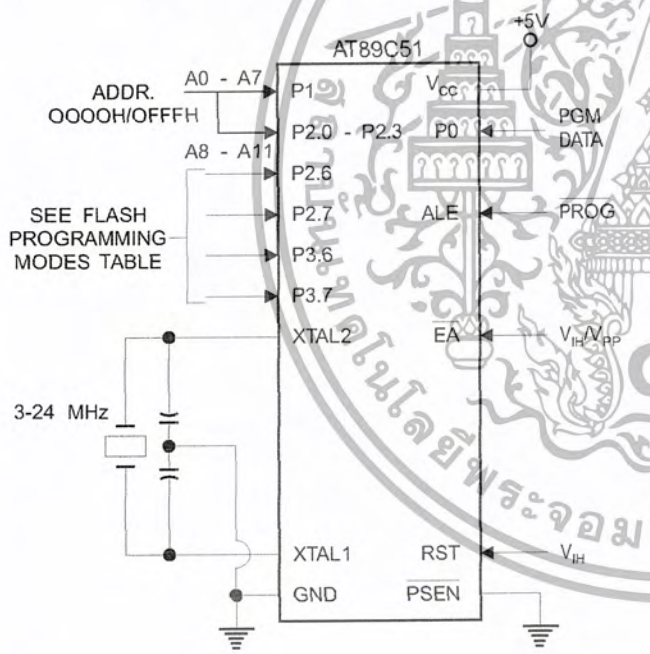
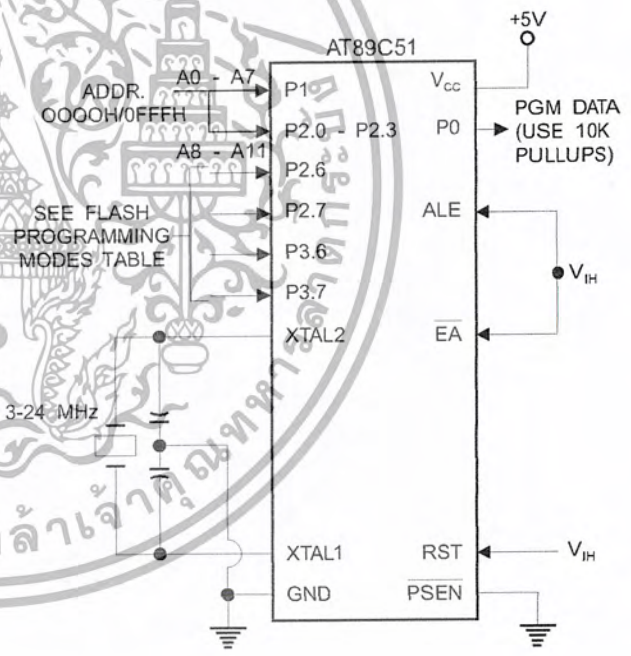
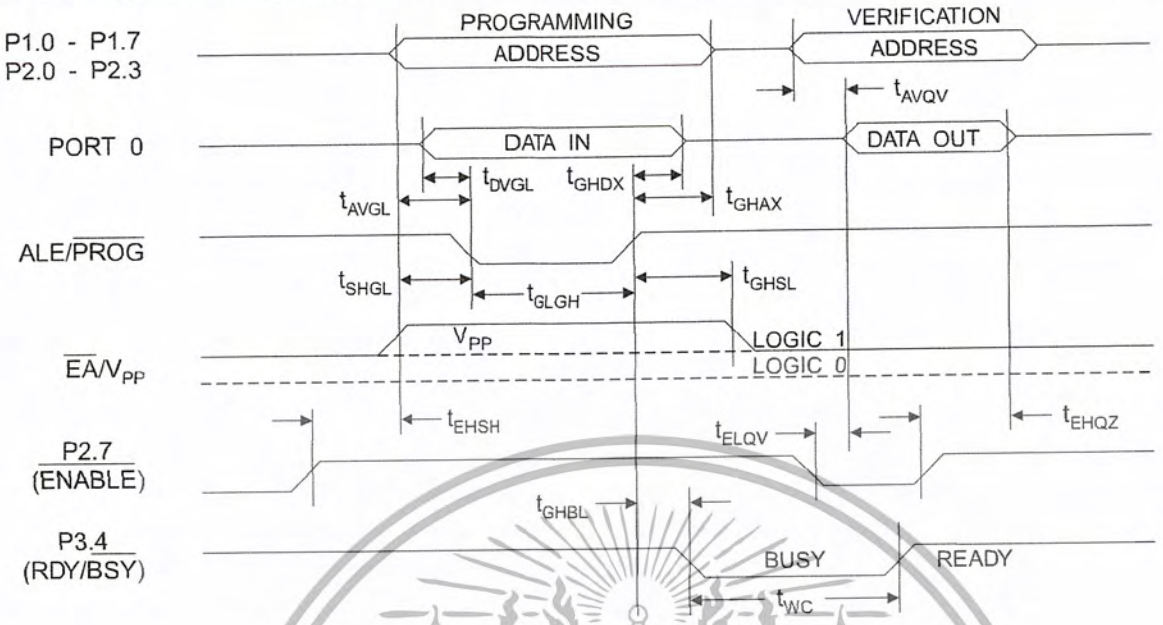


Figure 4. Verifying the Flash

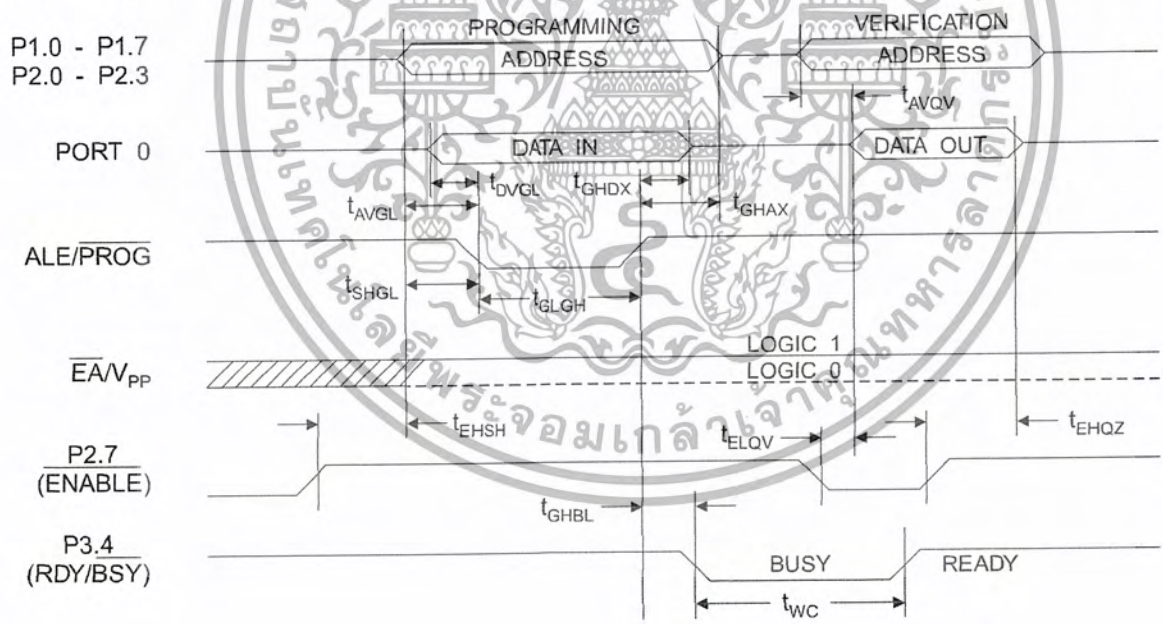


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High-voltage Mode (V_{PP} = 12V)



Flash Programming and Verification Waveforms - Low-voltage Mode (V_{PP} = 5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold after $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold after $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold after $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float after $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0V ±20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low-voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input High-voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High-voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low-voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low-voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High-voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High-voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, VCC = 5V ±10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pull-down Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power-down Mode[2]	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 10 mA
   Maximum I_{OL} per 8-bit port: Port 0: 26 mA
   Ports 1, 2, 3: 15 mA
   Maximum total I_{OL} for all output pins: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

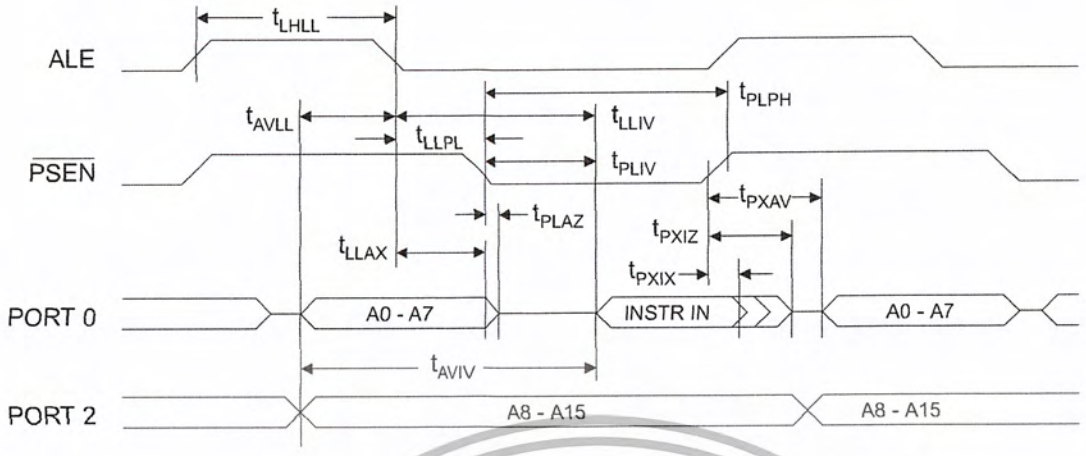
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

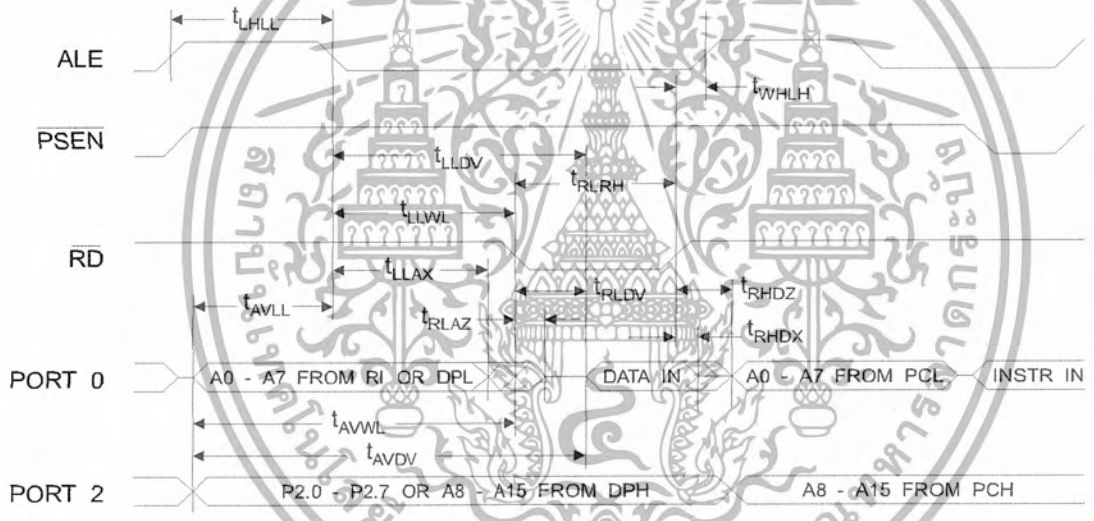
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	43		t_{CLCL}-13		ns
t_{LLAX}	Address Hold after ALE Low	48		t_{CLCL}-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float after $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float after $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold after $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

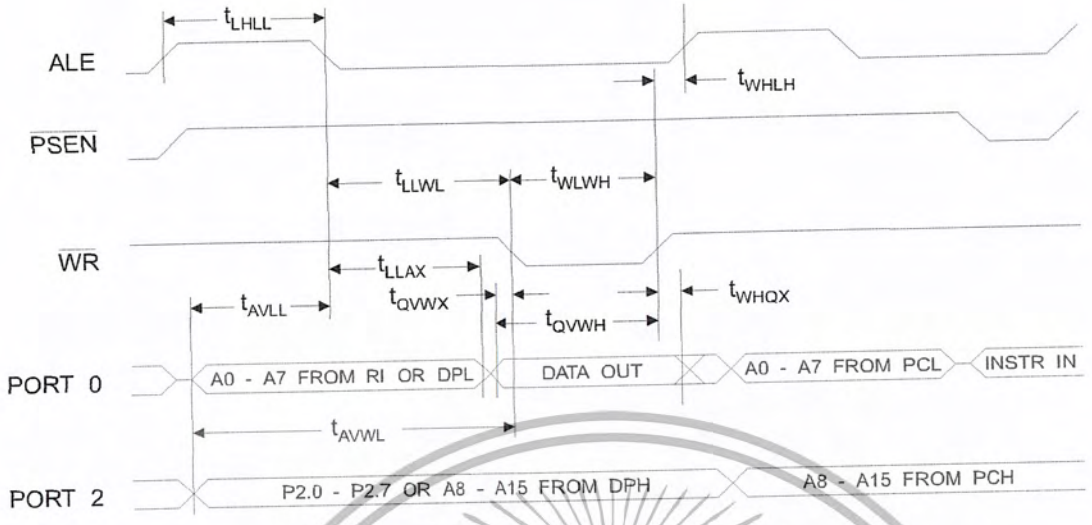


External Data Memory Read Cycle

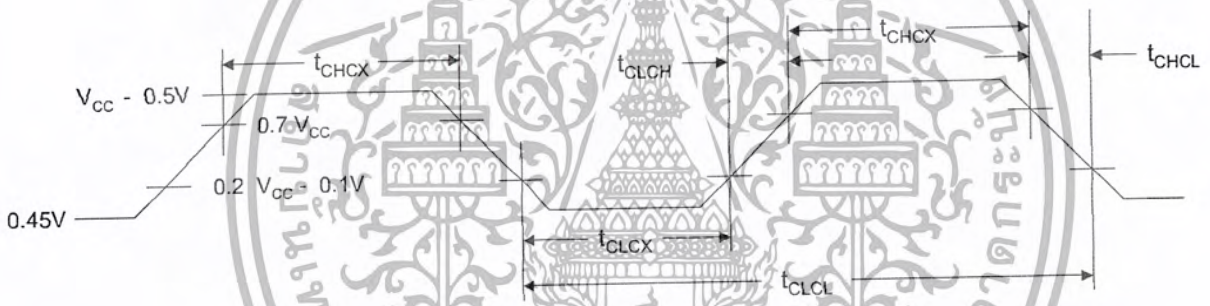


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

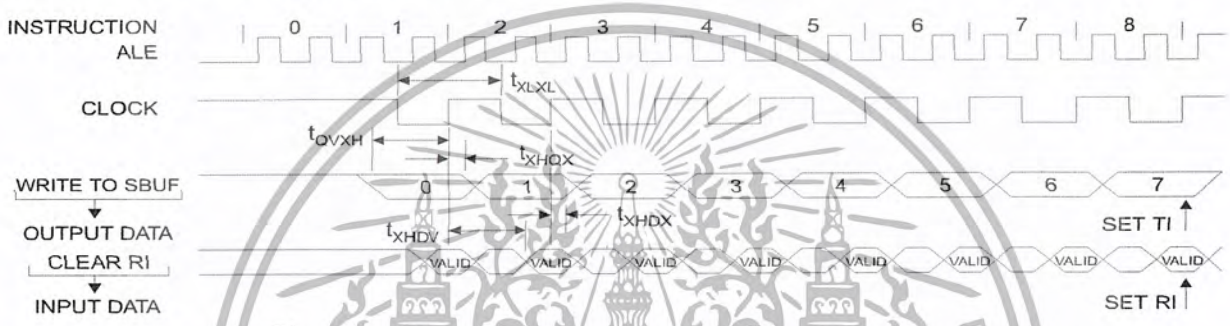
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

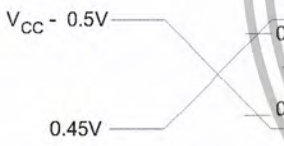
(V_{CC} = 5.0 V ±20%; Load Capacitance = 80 pF)

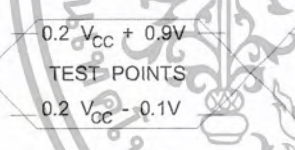
Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold after Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold after Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms



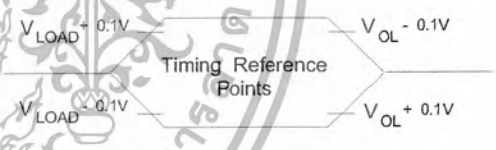
AC Testing Input/Output Waveforms[1]





Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

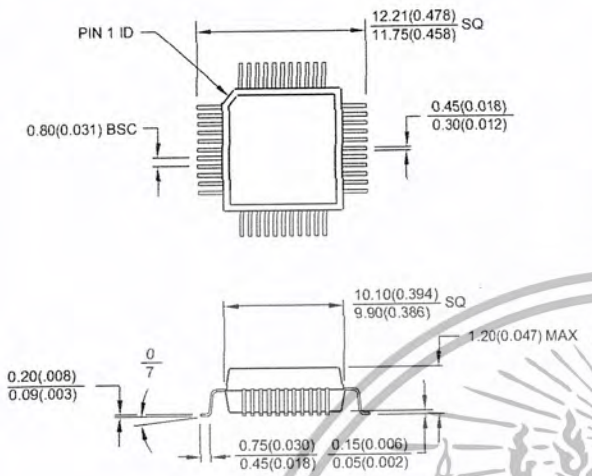
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ±20%	AT89C51-12AC	44A	Commercial (0° C to 70° C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial (-40° C to 85° C)
		AT89C51-12JI	44J	
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
16	5V ±20%	AT89C51-16AC	44A	Commercial (0° C to 70° C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial (-40° C to 85° C)
		AT89C51-16JI	44J	
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
20	5V ±20%	AT89C51-20AC	44A	Commercial (0° C to 70° C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial (-40° C to 85° C)
		AT89C51-20JI	44J	
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	
24	5V ±20%	AT89C51-24AC	44A	Commercial (0° C to 70° C)
		AT89C51-24JC	44J	
		AT89C51-24PC	40P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40° C to 85° C)
		AT89C51-24JI	44J	
		AT89C51-24PI	40P6	
		AT89C51-24QI	44Q	

Package Type	
44A	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44-lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

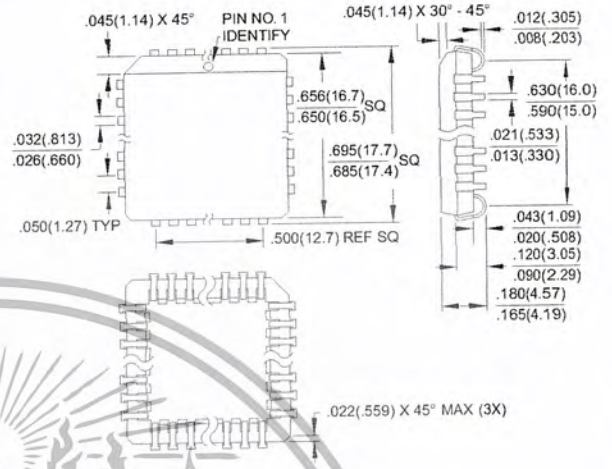
Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flatpack (TQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-026 ACB

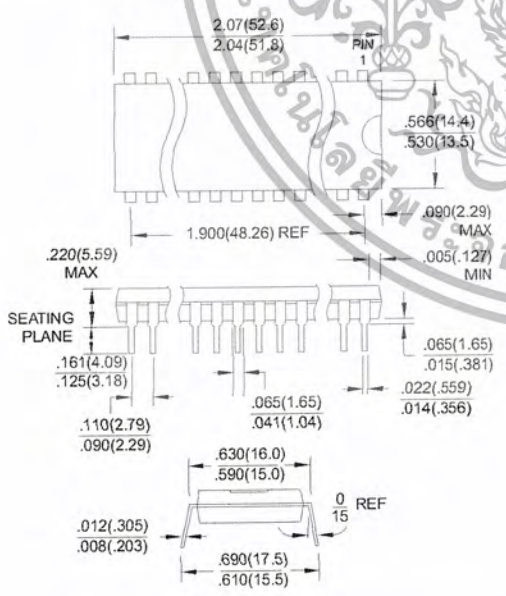


Controlling dimension: millimeters

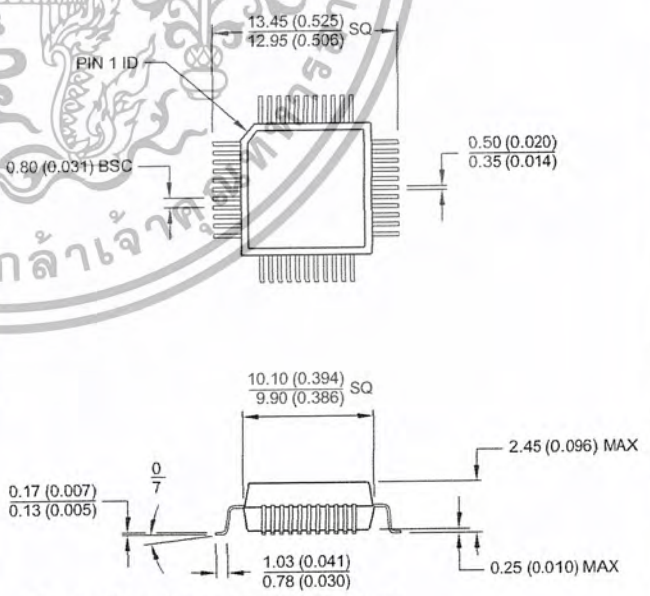
44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-018 AC



40P6, 40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44-lead, Plastic Quad Flat Package (PQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-022 AB



Controlling dimension: millimeters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Headquarters

Corporate Headquarters
2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel U.K., Ltd.
Coliseum Business Centre
Riverside Way
Camberley, Surrey GU15 3YL
England
TEL (44) 1276-686-677
FAX (44) 1276-686-697

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan
Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Fax-on-Demand
North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail
literature@atmel.com

Web Site
http://www.atmel.com

BBS
1-(408) 436-4309

© Atmel Corporation 2000.
Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Marks bearing ® and/or ™ are registered trademarks and trademarks of Atmel Corporation.

Terms and product names in this document may be trademarks of others.

Printed on recycled paper.

0265G–02/00/xM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1999

National Semiconductor

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

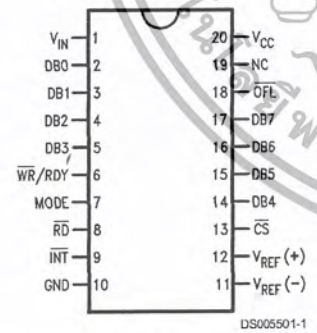
■ Resolution	8 Bits
■ Conversion Time	2.5 µs Max (RD Mode) 1.5 µs Max (WR-RD Mode)
■ Low Power	75 mW Max
■ Total Unadjusted Error	±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched STRI-STATE output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

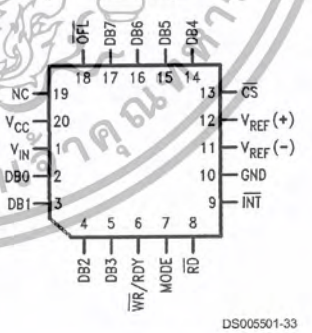
Dual-In-Line, Small Outline and SSOP Packages



DS005501-1

Top View

Molded Chip Carrier Package



DS005501-33

© 2001 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection and Functional Diagrams (Continued)

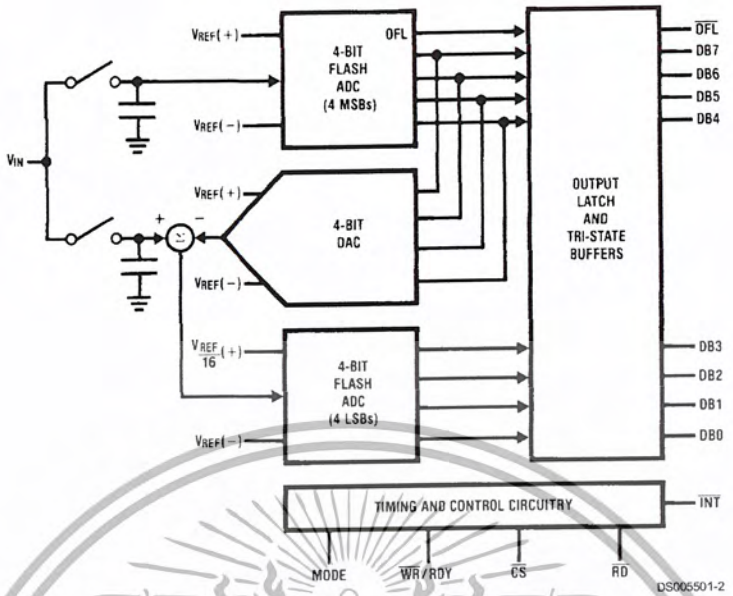


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CCJ	±1 LSB	J20A—Cerdip	−40°C to +85°C
ADC0820CCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B—Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	$-40°C \le T_A \le +85°C$
ADC0820CIWM	$-40°C \le T_A \le +85°C$
ADC0820BCN, ADC0820CCN	$0°C \le T_A \le 70°C$
ADC0820BCV	$0°C \le T_A \le 70°C$
ADC0820BCWM, ADC0820CCWM	$0°C \le T_A \le 70°C$
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), V_{CC}=5V, $V_{REF}(+)$=5V,and $V_{REF}(-)$=GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A=T_j=25°C$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM					±½	±½	LSB
	ADC0820CCJ		±1					LSB
	ADC0820CCN, CCWM, CIWM					±1	±1	LSB
	ADC0820CCMSA					±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC}+0.1			V_{CC}+0.1	V_{CC}+0.1	V
Minimum V_{IN} Input Voltage			GND−0.1			GND−0.1	GND−0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ =V_{CC}							
	V_{IN}=V_{CC}		3			0.3	3	μA
	V_{IN}=GND		−3			−0.3	−3	μA
Power Supply Sensitivity	V_{CC}=5V±5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for V_{CC}=5V, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A=T_J$=25°C.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	V_{CC}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**2.0**			2.0	**2.0**	V
		Mode		**3.5**			3.5	**3.5**	V
$V_{IN(0)}$, Logical "0" Input Voltage	V_{CC}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**0.8**			0.8	**0.8**	V
		Mode		**1.5**			1.5	**1.5**	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$		0.005	**1**		0.005		**1**	μA
	$V_{IN(1)}$=5V; $\overline{WR}$		0.1	**3**		0.1	0.3	**3**	μA
	$V_{IN(1)}$=5V; Mode		50	**200**		50	170	**200**	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	**−1**		−0.005		**−1**	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	V_{CC}=4.75V, I_{OUT}=−360 μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**2.4**			2.8	**2.4**	V
	V_{CC}=4.75V, I_{OUT}=−10 μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**4.5**			4.6	**4.5**	V
$V_{OUT(0)}$, Logical "0" Output Voltage	V_{CC}=4.75V, I_{OUT}=1.6 mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			**0.4**			0.34	**0.4**	V
I_{OUT}, TRI-STATE Output Current	V_{OUT}=5V; DB0–DB7, RDY		0.1	**3**		0.1	0.3	**3**	μA
	V_{OUT}=0V; DB0–DB7, RDY		−0.1	**−3**		−0.1	−0.3	**−3**	μA
I_{SOURCE}, Output Source Current	V_{OUT}=0V; DB0–DB7, $\overline{OFL}$ $\overline{INT}$		−12	**−6**		−12	−7.2	**−6**	mA
			−9	**−4.0**		−9	−5.3	**−4.0**	mA
I_{SINK}, Output Sink Current	V_{OUT}=5V; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	**7**		14	8.4	**7**	mA
I_{CC}, Supply Current	$\overline{CS}$=$\overline{WR}$=$\overline{RD}$=0		7.5	**15**		7.5	13	**15**	mA

AC Electrical Characteristics

The following specifications apply for V_{CC}=5V, $t_r=t_f$=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25°C unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *Figure 2*	1.6		2.5	μs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *Figure 2*	t_{CRD}+20		t_{CRD}+50	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD}=600 ns; *Figures 3, 4*			1.52	μs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *Figures 3, 4*		600		ns
	Max	(Note 4) See Graph	50			μs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *Figures 3, 4* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD}<t_i$; *Figure 3* C_L=15 pF	190		280	ns
		C_L=100 pF	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25°C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC}, t_{RD}>t_i; *Figure 4*				
	C_L=15 pF	70		120	ns
	C_L=100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)	R_{PULLUP} = 1k and C_L = 15 pF	30			ns
t_i, Internal Comparison Time	Pin 7=V_{CC}; *Figures 4, 5* C_L=50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L=1k, C_L=10 pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L= 50 pF				
	t_{RD}>t_i; *Figure 4*			t_i	ns
	t_{RD}<t_i; *Figure 3*	t_{RD}+200		t_{RD}+290	ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*Figures 2, 3, 4* C_L=50 pFc	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*Figure 5*, C_L=50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*Figure 2*, C_L=50 pF, Pin 7 =0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*Figure 5*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7=V_{CC}, t_{RD}<t_i *Figure 3*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*Figures 2, 3, 4, 5* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/µs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V^- or V_{IN} > V^+) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

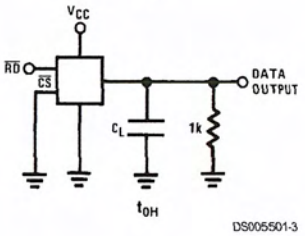
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharaged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

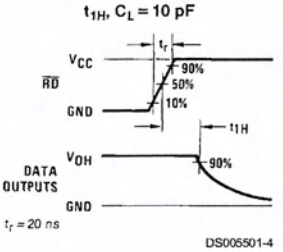
TRI-STATE Test Circuits and Waveforms

t_{1H}



DS005501-3

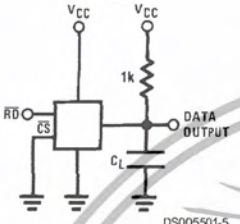
t_{1H}, C_L = 10 pF



DS005501-4

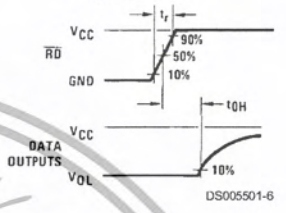
t_r=20 ns

t_{0H}



DS005501-5

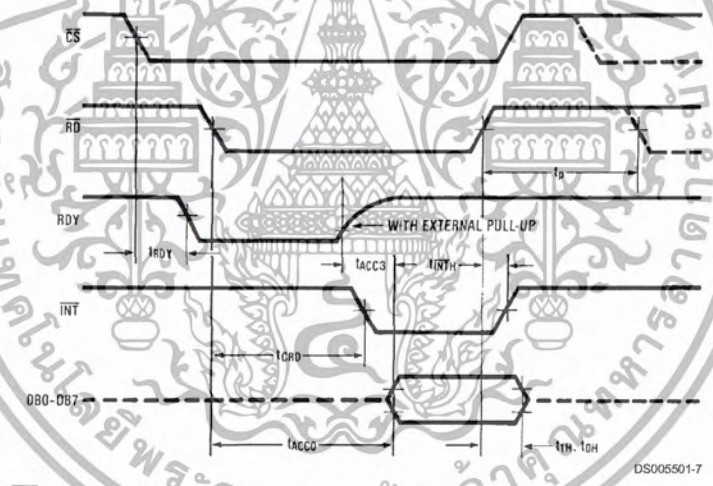
t_{0H}, C_L = 10 pF



DS005501-6

t_r=20 ns

Timing Diagrams



DS005501-7

Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

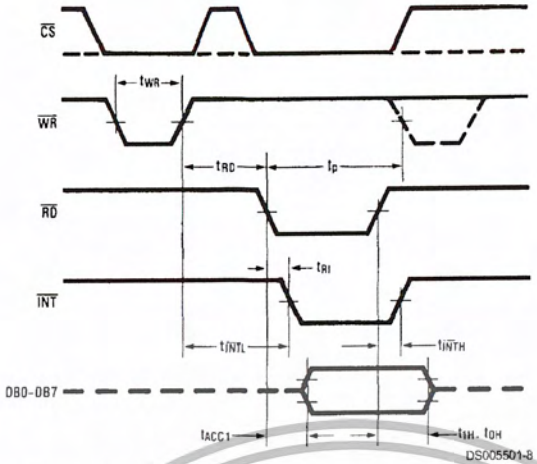


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

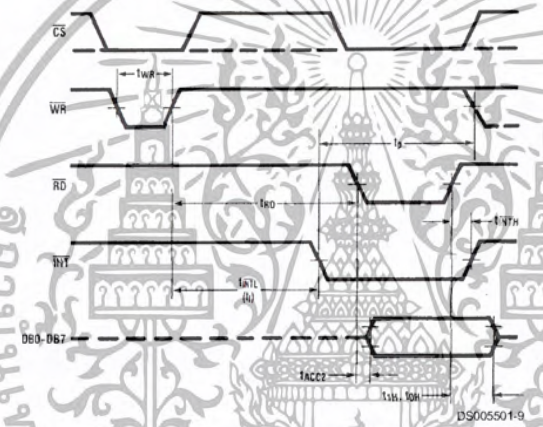


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

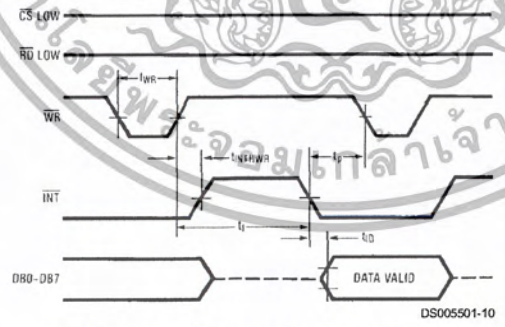
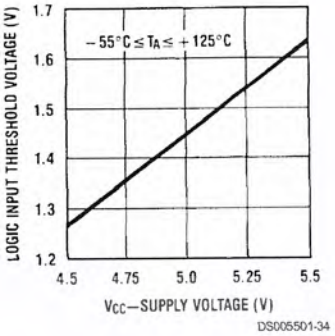


FIGURE 5. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

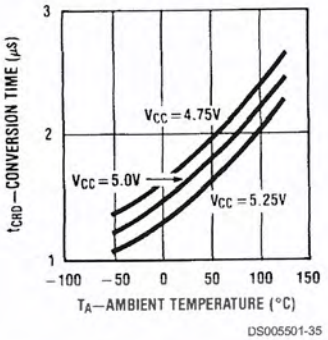
Typical Performance Characteristics

Logic Input Threshold Voltage vs Supply Voltage



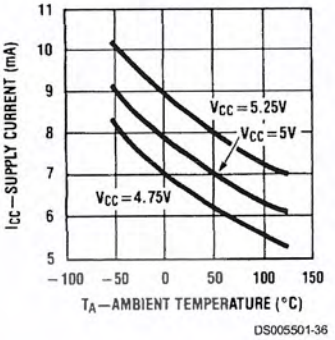
DS005501-34

Conversion Time (RD Mode) vs Temperature



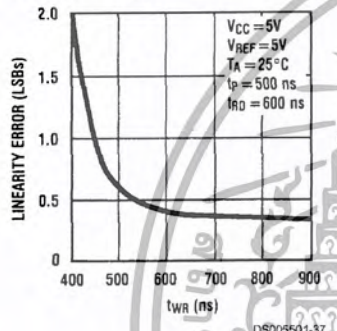
DS005501-35

Power Supply Current vs Temperature (not including reference ladder)



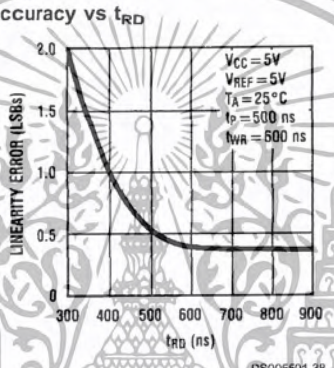
DS005501-36

Accuracy vs t_{WR}



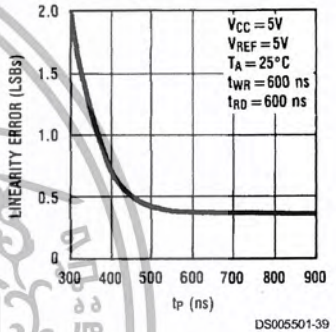
DS005501-37

Accuracy vs t_{RD}



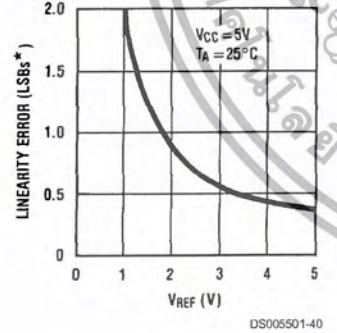
DS005501-38

Accuracy vs t_P



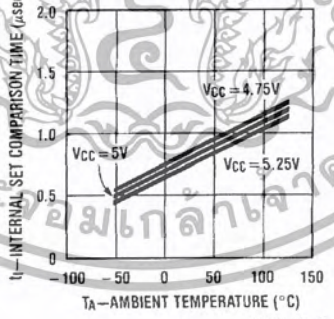
DS005501-39

Accuracy vs V_{REF} [$V_{REF}=V_{REF}(+)-V_{REF}(-)$]



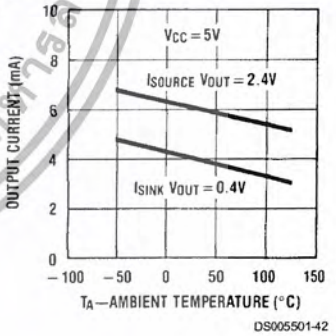
DS005501-40

t_I, Internal Time Delay vs Temperature



DS005501-41

Output Current vs Temperature



DS005501-42

*1 LSB = $\frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range =GND≤V_{IN}≤V_{CC}
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$ /RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3, 4*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input—it is internally tied to GND through a 50 µA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 5*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3, 4*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 4*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3, 4*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: GND≤$V_{REF}(-)$≤$V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-)$≤$V_{REF}(+)$≤V_{CC} (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.2 THE SAMPLED-DATA COMPARATOR

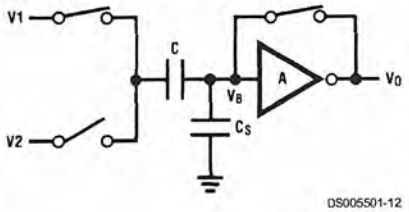
Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figures 6, 7*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 6*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 7*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B' - V_B$.

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 8*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

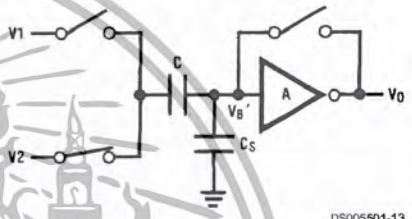


DS005501-12

- $V_O = V_B$
- V on C = V1−V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

FIGURE 6. Sampled-Data Comparator

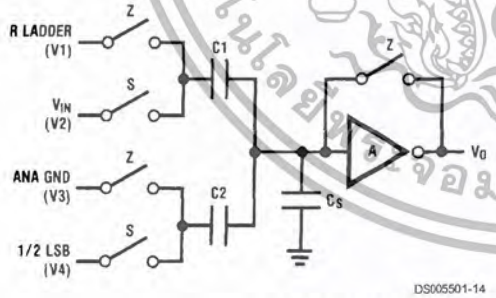


DS005501-13

- $V_B' - V_B = (V2 - V1)\frac{C}{C + C_S}$
- $V_O' = \frac{-A}{C + C_S}[CV2 - CV1]$
- V_O' is dependent on V2−V1

Compare Phase

FIGURE 7. Sampled-Data Comparator



DS005501-14

FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

$$V_O = \frac{-A}{C1 + C2 + C_S}[C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S}[\Delta Q_{C1} + \Delta Q_{C2}]$$

DS005501-45

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 12*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure 11*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 11 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

measured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure 10*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure 9*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.

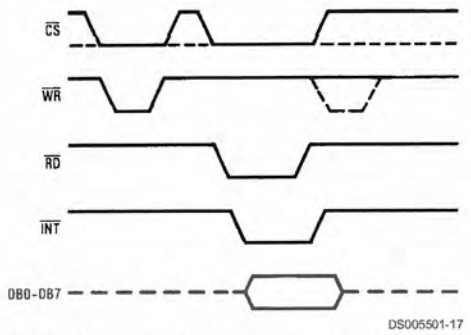


FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

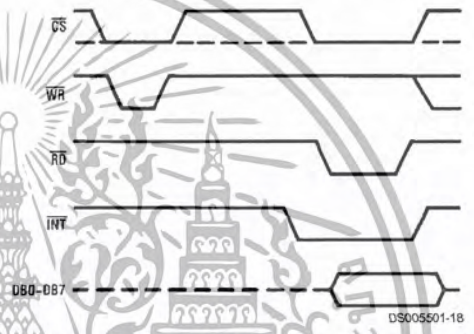
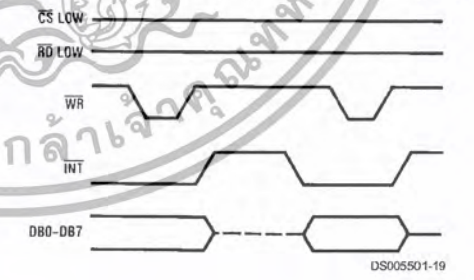


FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

Stand-Alone

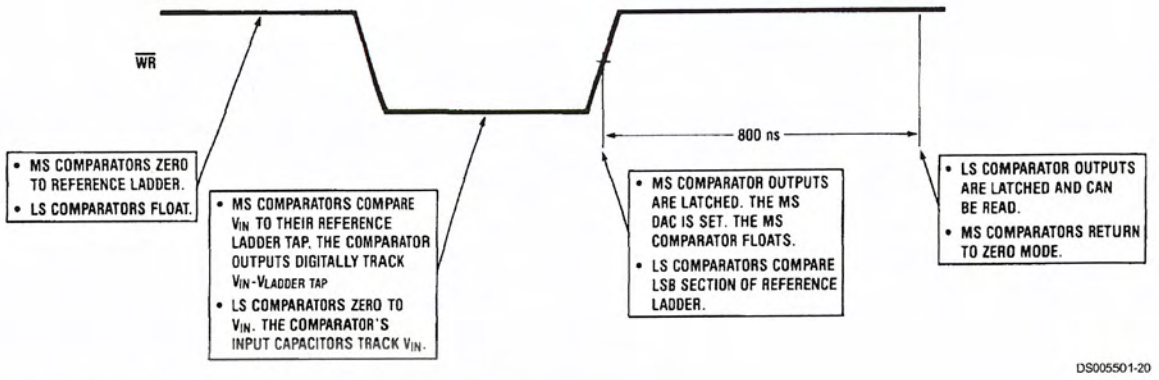
For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



Note: MS means most significant
LS means least significant

FIGURE 11. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 µs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 8*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3, 4, 5*) is 500 ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram

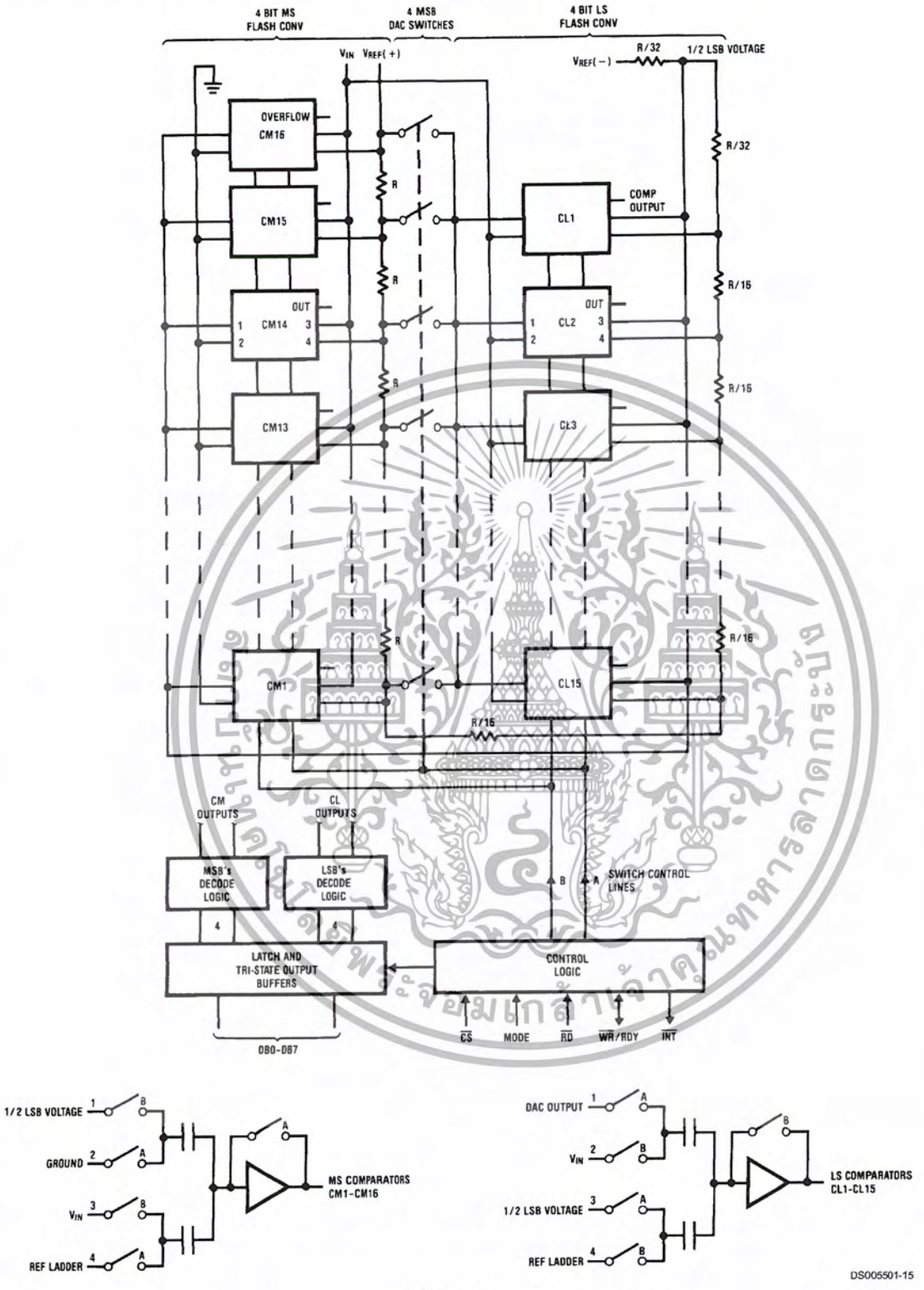


FIGURE 12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing $V_{REF}(V_{REF}=V_{REF}(+)-V_{REF}(-))$ to less than 5V, the sensitivity of the converter can be increased (i.e., if V_{REF}=2V then 1 LSB=7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. *Figure 13* shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in *Figure 14*. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in *Figure 15*. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

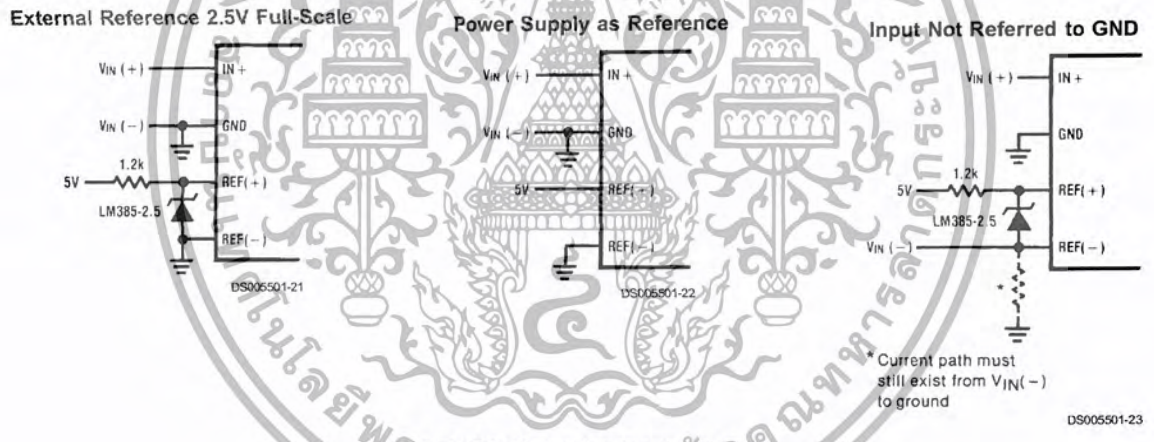


FIGURE 13. Analog Input Options

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations (Continued)

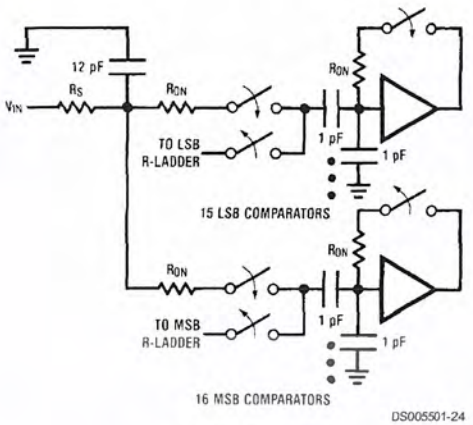


FIGURE 14.

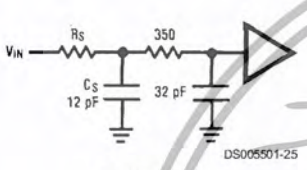


FIGURE 15.

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

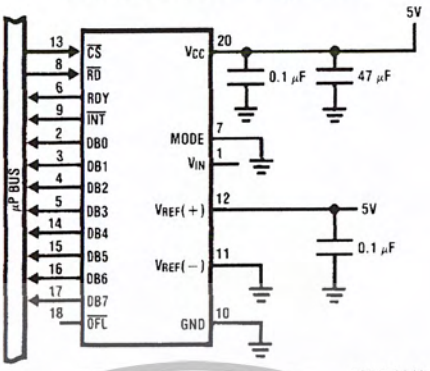
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 µs, the time through which V_{IN} must be ½ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/µs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 µs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

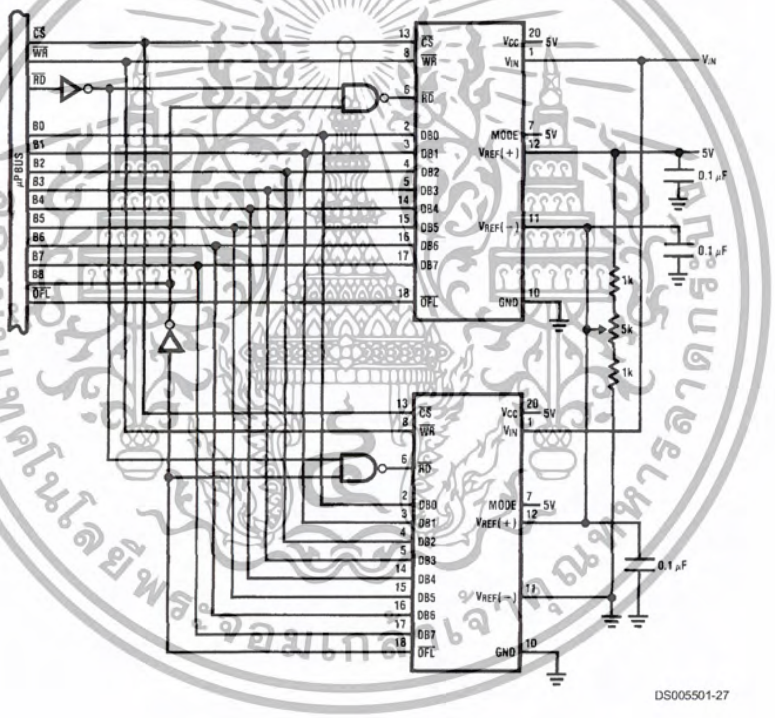
3.0 Typical Applications

8-Bit Resolution Configuration



DS005501-26

9-Bit Resolution Configuration

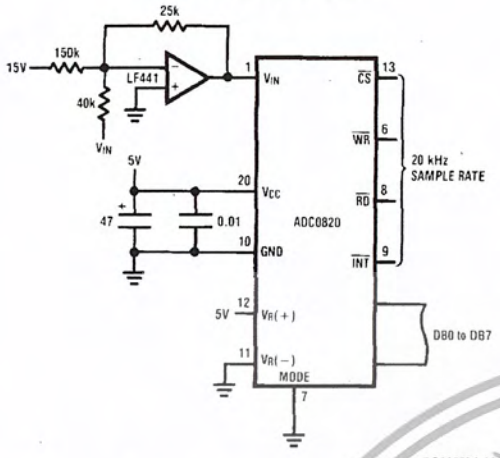


DS005501-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

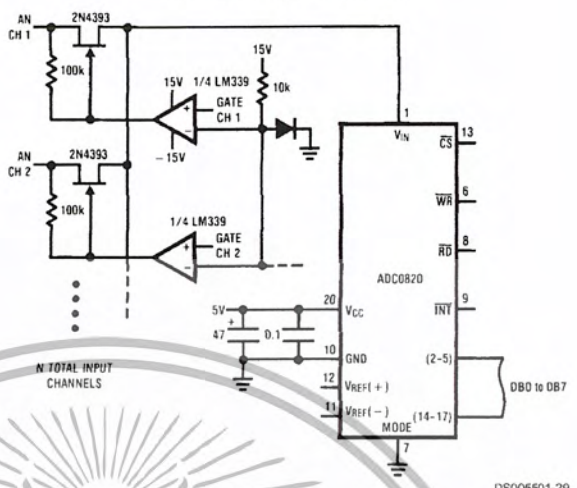
3.0 Typical Applications (Continued)

Telecom A/D Converter



DS005501-28

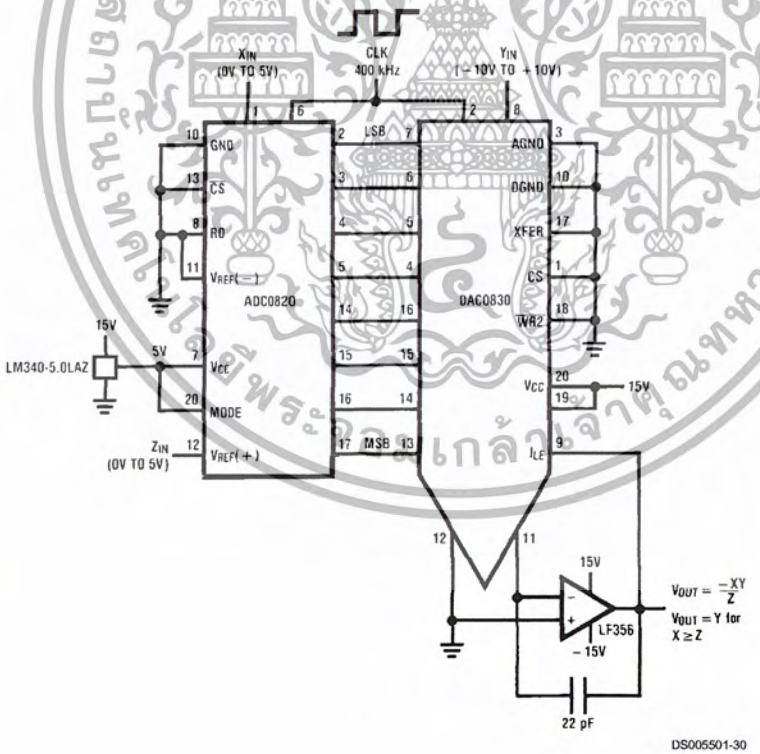
Multiple Input Channels



DS005501-29

- V_{IN}=3 kHz max ± 4V_P
- No track-and-hold needed
- Low power consumption

8-Bit 2-Quadrant Analog Multiplier

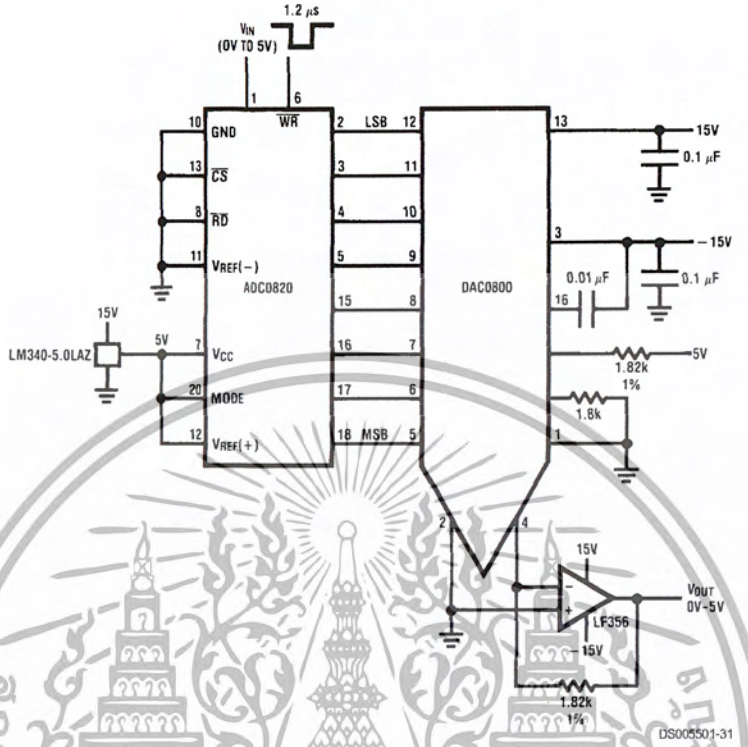


DS005501-30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

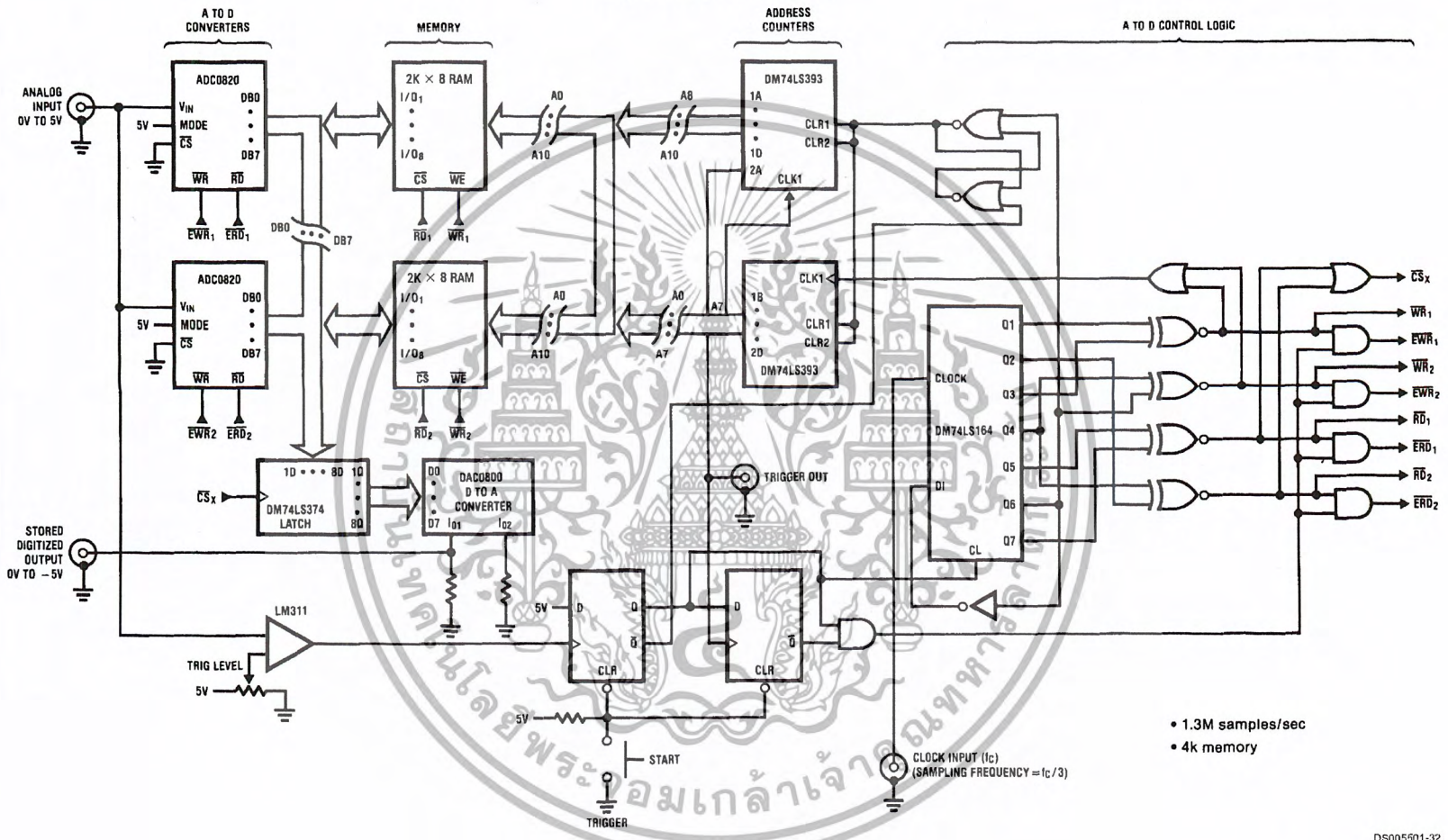
3.0 Typical Applications (Continued)

Fast Infinite Sample-and-Hold

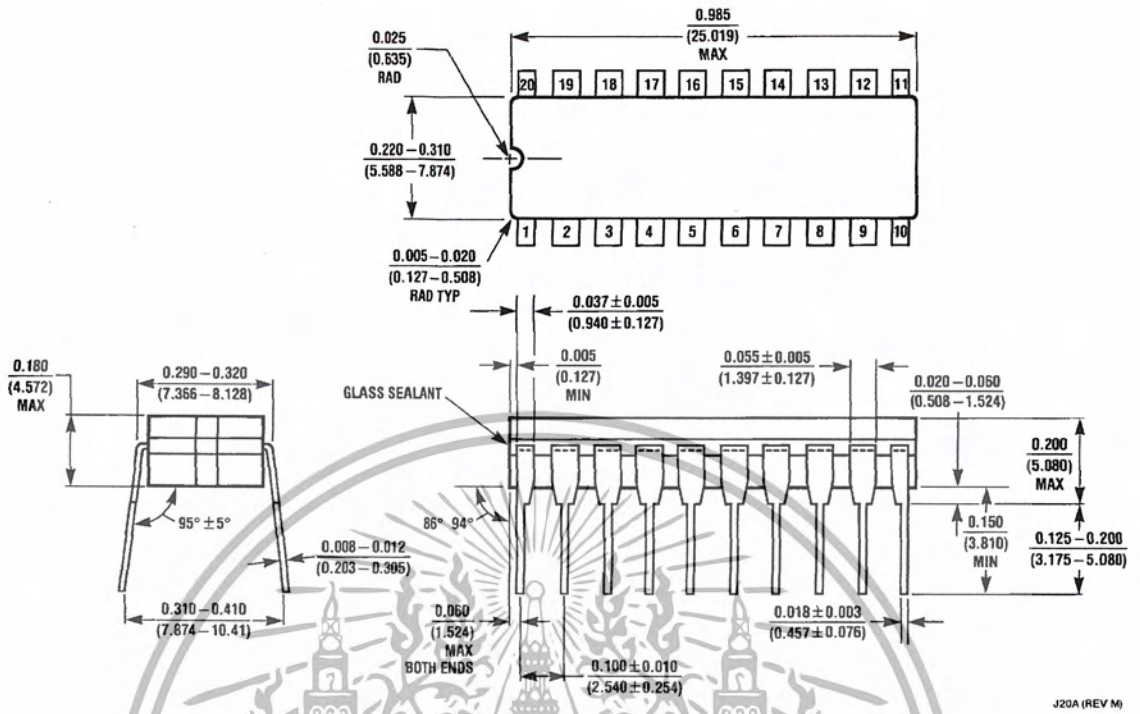


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Waveform Recorder



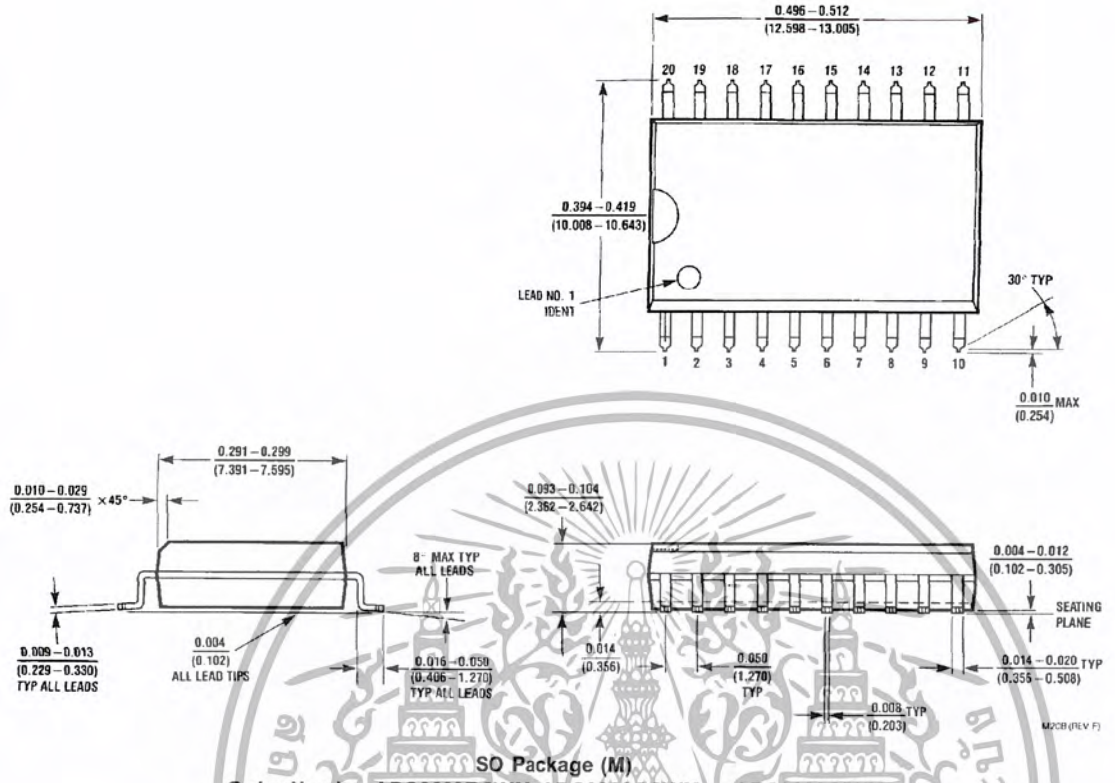
Physical Dimensions inches (millimeters) unless otherwise noted



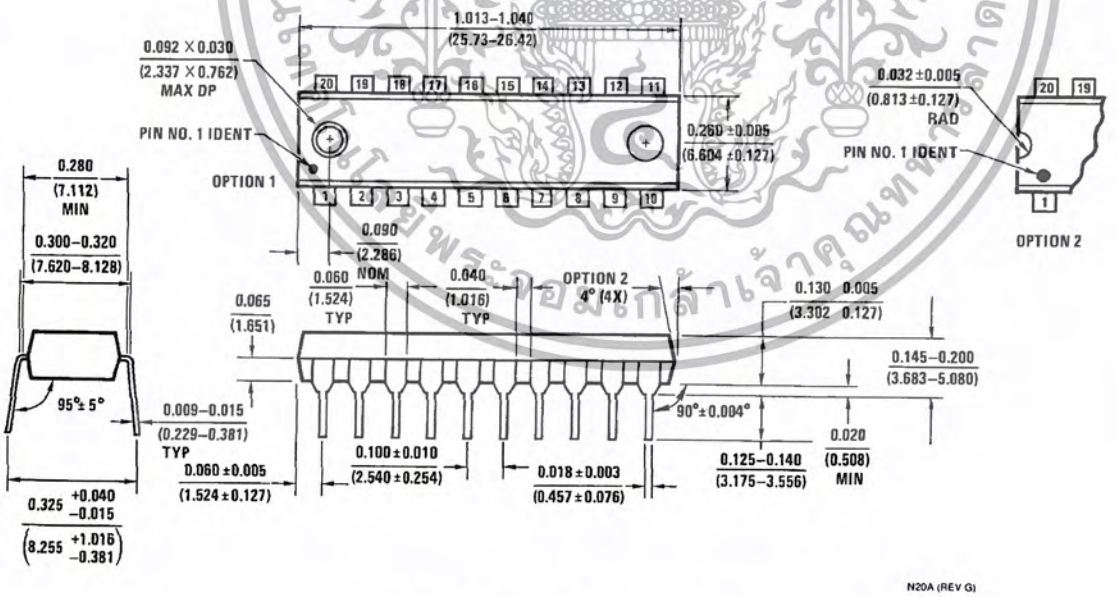
Hermetic Dual-In-Line Package (J)
Order Number ADC0820CCJ
NS Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



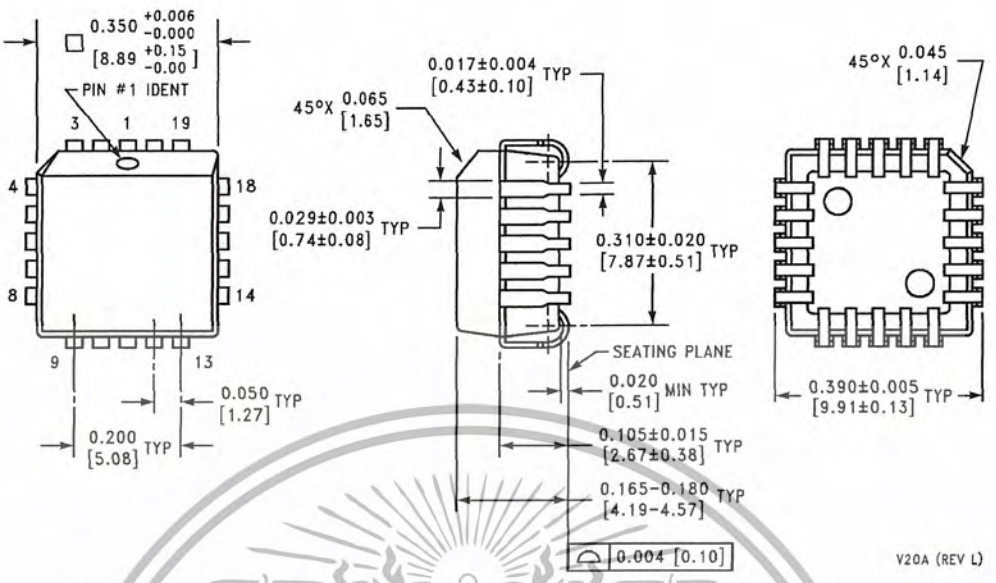
SO Package (M)
Order Number ADC0820BCWM, ADC0820CCWM or ADC0820CIWM
NS Package Number M20B



Molded Dual-In-Line Package (N)
Order Number ADC0820BCN or ADC0820CCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Chip Carrier Package (V)
Order Number ADC0820BCV
NS Package Number V20A

ธนาคารเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

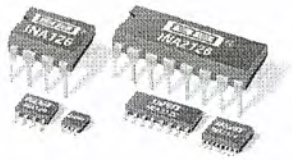
National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®



INA126
INA2126

*Micro*POWER INSTRUMENTATION AMPLIFIER
Single and Dual Versions

FEATURES

- LOW QUIESCENT CURRENT: 175µA/chan.
- WIDE SUPPLY RANGE: ±1.35V to ±18V
- LOW OFFSET VOLTAGE: 250µV max
- LOW OFFSET DRIFT: 3µV/°C max
- LOW NOISE: 35nV/√Hz
- LOW INPUT BIAS CURRENT: 25nA max
- 8-PIN DIP, SO-8, MSOP-8 SURFACE-MOUNT
  DUAL: 16-Pin DIP, SO-16, SSOP-16

APPLICATIONS

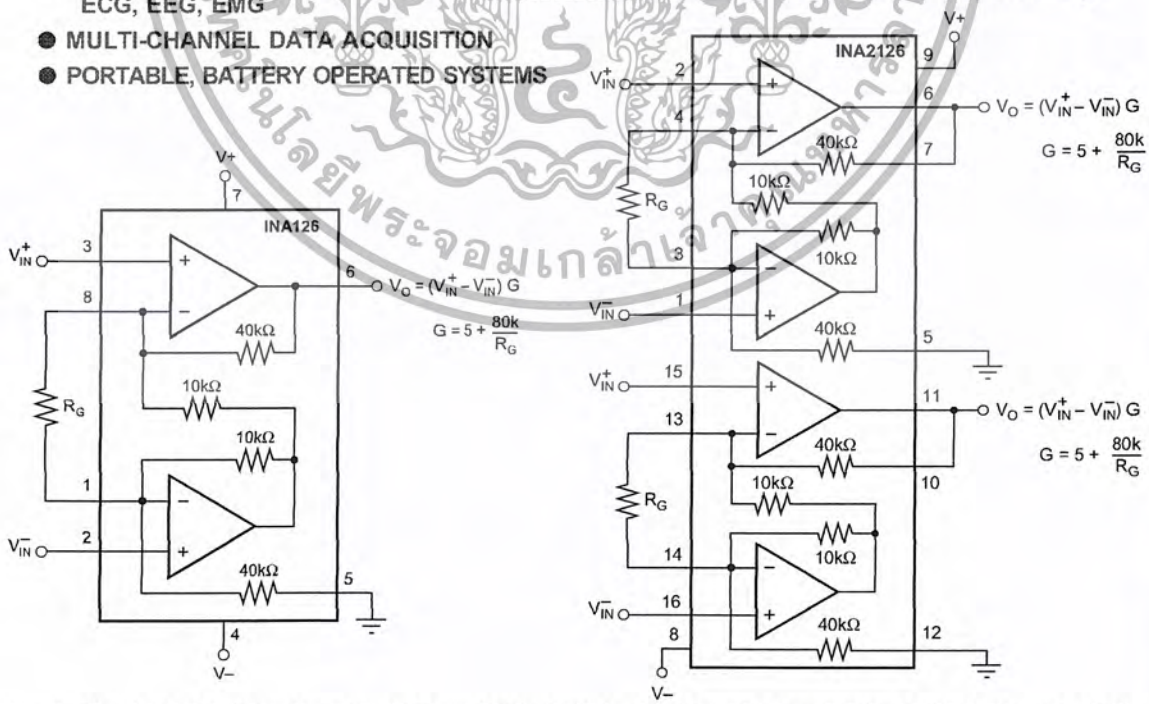
- INDUSTRIAL SENSOR AMPLIFIER:
  Bridge, RTD, Thermocouple
- PHYSIOLOGICAL AMPLIFIER:
  ECG, EEG, EMG
- MULTI-CHANNEL DATA ACQUISITION
- PORTABLE, BATTERY OPERATED SYSTEMS

DESCRIPTION

The INA126 and INA2126 are precision instrumentation amplifiers for accurate, low noise differential signal acquisition. Their two-op-amp design provides excellent performance with very low quiescent current (175µA/chan.). This, combined with wide operating voltage range of ±1.35V to ±18V, makes them ideal for portable instrumentation and data acquisition systems.

Gain can be set from 5V/V to 10000V/V with a single external resistor. Laser trimmed input circuitry provides low offset voltage (250µV max), low offset voltage drift (3µV/°C max) and excellent common-mode rejection.

Single version package options include 8-pin plastic DIP, SO-8 surface mount, and fine-pitch MSOP-8 surface-mount. Dual version is available in the space-saving SSOP-16 fine-pitch surface mount, SO-16, and 16-pin DIP. All are specified for the –40°C to +85°C industrial temperature range.



International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111
Internet: http://www.burr-brown.com/ • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

©1996 Burr-Brown Corporation
PDS-1365C
Printed in U.S.A. September, 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
05062

SPECIFICATIONS

At T_A = +25°C, V_S = ±15V, R_L = 25kΩ, unless otherwise noted.

PARAMETER	CONDITIONS	INA126P, U, E *INA2126P, U, E*			INA126PA, UA, EA *INA2126PA, UA, EA*			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
INPUT								
Offset Voltage, RTI			±100	±250		±150	±500	µV
vs Temperature			±0.5	±3		*	±5	µV/°C
vs Power Supply (PSRR)	V_S = ±1.35V to ±18V		5	15		*	50	µV/V
Input Impedance			10^9 || 4			*		Ω || pF
Safe Input Voltage	R_S = 0	(V–)–0.5		(V+)+0.5	*		*	V
	R_S = 1kΩ	(V–)–10		(V+)+10	*		*	V
Common-Mode Voltage Range	V_O = 0V	±11.25	±11.5		*	*		V
Channel Separation (dual)	G = 5, dc		130					dB
Common-Mode Rejection	R_S = 0, V_{CM} = ±11.25V	83	94		74	90		dB
INA2126U (dual SO-16)		80	94					dB
INPUT BIAS CURRENT			–10	–25		*	–50	nA
vs Temperature			±30			*		pA/°C
Offset Current			±0.5	±2		*	±5	nA
vs Temperature			±10			*		pA/°C
GAIN			G = 5 to 10k			*		V/V
Gain Equation			$G = 5 + 80k\Omega/R_G$			*		V/V
Gain Error	V_O = ±14V, G = 5		±0.02	±0.1		*	±0.18	%
vs Temperature	G = 5		±2	±10		*	*	ppm/°C
Gain Error	V_O = ±12V, G = 100		±0.2	±0.5		*	±1	%
vs Temperature	G = 100		±25	±100		*	*	ppm/°C
Nonlinearity	G = 100, V_O = ±14V		±0.002	±0.012		*	*	%
NOISE								
Voltage Noise, f = 1kHz			35			*		$nV/\sqrt{Hz}$
f = 100Hz			35			*		$nV/\sqrt{Hz}$
f = 10Hz			45			*		$nV/\sqrt{Hz}$
f_B = 0.1Hz to 10Hz			0.7			*		µVp-p
Current Noise, f = 1kHz			60			*		$fA/\sqrt{Hz}$
f_B = 0.1Hz to 10Hz			2			*		pAp-p
OUTPUT								
Voltage, Positive	R_L = 25kΩ	(V+)–0.9	(V+)–0.75		*	*		V
Negative	R_L = 25kΩ	(V–)+0.95	(V–)+0.8		*	*		V
Short-Circuit Current	Short-Circuit to Ground		+10/–5			*		mA
Capacitive Load Drive			1000			*		pF
FREQUENCY RESPONSE								
Bandwidth, –3dB	G = 5		200			*		kHz
	G = 100		9			*		kHz
	G = 500		1.8			*		kHz
Slew Rate	V_O = ±10V, G = 5		0.4			*		V/µs
Settling Time, 0.01%	10V Step, G = 5		30			*		µs
	10V Step, G = 100		160			*		µs
	10V Step, G = 500		1500			*		µs
Overload Recovery	50% Input Overload		4			*		µs
POWER SUPPLY								
Voltage Range		±1.35	±15	±18	*	*	*	V
Current (per channel)	I_O = 0		±175	±200		*	*	µA
TEMPERATURE RANGE								
Specification Range		–40		+85	*		*	°C
Operation Range		–55		+125	*		*	°C
Storage Range		–55		+125	*		*	°C
Thermal Resistance, θ_{JA}								
8-Pin DIP			100			*		°C/W
SO-8 Surface-Mount			150			*		°C/W
MSOP-8 Surface-Mount			200			*		°C/W
16-Pin DIP (dual)			80			*		°C/W
SO-16 (dual)			100			*		°C/W
SSOP-16 (dual)			100			*		°C/W

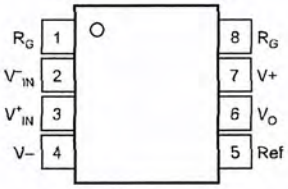
* Specification same as INA126P, INA126U, INA126E; INA2126P, INA2126U, INA2126E.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

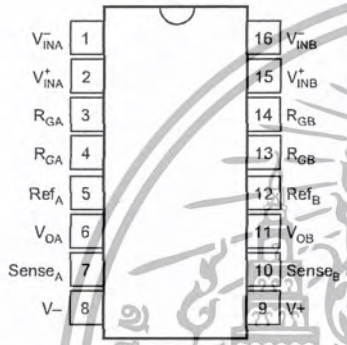
PIN CONFIGURATION (Single)

Top View — 8-Pin DIP, SO-8, MSOP-8



PIN CONFIGURATION (Dual)

Top View — 16-Pin DIP, SO-16, SSOP-16



ABSOLUTE MAXIMUM RATINGS[1]

Power Supply Voltage, V+ to V–	36V
Input Signal Voltage[2]	(V–)–0.7 to (V+)+0.7V
Input Signal Current[2]	10mA
Output Short Circuit	Continuous
Operating Temperature	–55°C to +125°C
Storage Temperature	–55°C to +125°C
Lead Temperature (soldering, 10s)	+300°C

NOTES: (1) Stresses above these ratings may cause permanent damage. (2) Input signal voltage is limited by internal diodes connected to power supplies. See text.

ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

PACKAGE INFORMATION

PRODUCT	PACKAGE	PACKAGE DRAWING NUMBER[1]	PACKAGE MARKING	ORDERING NUMBER	TRANSPORT MEDIA
Single					
INA126PA	8-Pin DIP	006	INA126PA	INA126PA	Rails
INA126P	8-Pin DIP	006	INA126P	INA126P	Rails
INA126UA	SO-8	182	INA126UA	INA126UA	Rails or Reel
INA126U	SO-8	182	INA126U	INA126U	Rails or Reel
INA126EA[2]	MSOP-8	337	A26[3]	INA126EA-250	Reel Only
"	"	"	"	INA126EA-2500	"
INA126E[2]	MSOP-8	337	A26[3]	INA126E-250	Reel Only
"	"	"	"	INA126E-2500	"
Dual					
INA2126PA	16-Pin DIP	180	INA2126PA	INA2126PA	Rails
INA2126P	16-Pin DIP	180	INA2126P	INA2126P	Rails
INA2126UA	SO-16	265	INA2126UA	INA2126UA	Rails
INA2126U	SO-16	265	INA2126U	INA2126U	Rails
INA2126EA[2]	SSOP-16	322	INA2126EA	INA2126EA-250	Reel Only
"	"	"	"	INA2126EA-2500	"
INA2126E[2]	SSOP-16	322	INA2126E	INA2126E-250	Reel Only
"	"	"	"	INA2126E-2500	"

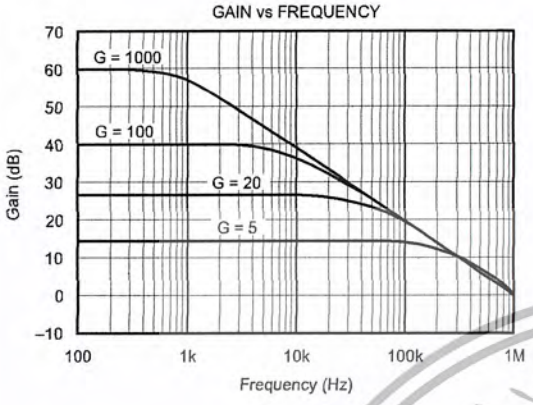
NOTES: (1) For detailed drawing and dimension table, see end of data sheet, or Appendix C of Burr-Brown IC Data Book. (2) MSOP-8 and SSOP-16 packages are available only on 250 or 2500 piece reels. (3) Grade designation is marked on reel.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

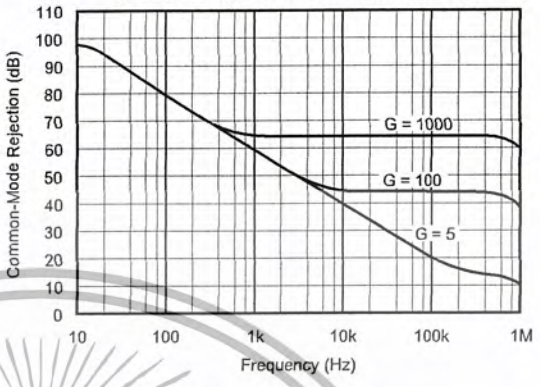
TYPICAL PERFORMANCE CURVES

At T_A = +25°C and V_S = ±15V, unless otherwise noted.

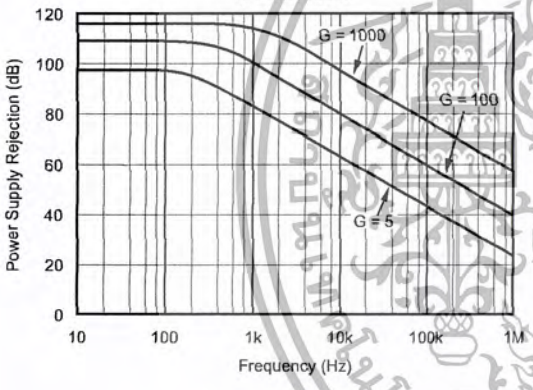
GAIN vs FREQUENCY



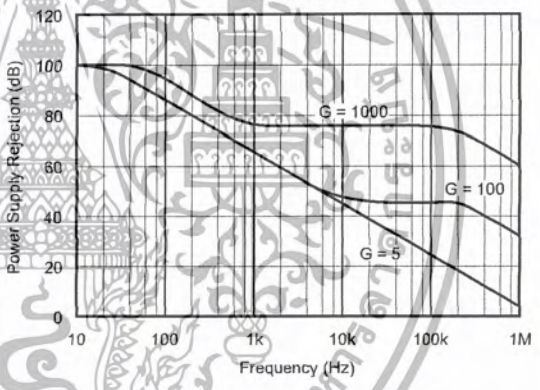
COMMON-MODE REJECTION vs FREQUENCY



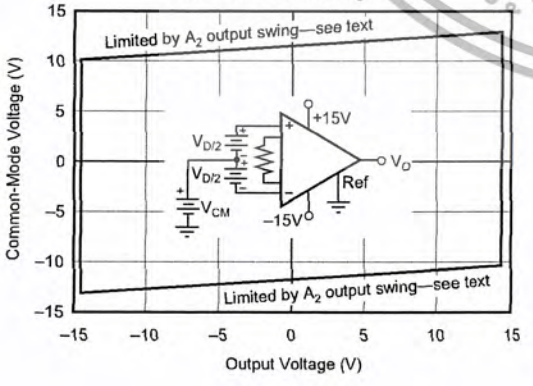
POSITIVE POWER SUPPLY REJECTION vs FREQUENCY



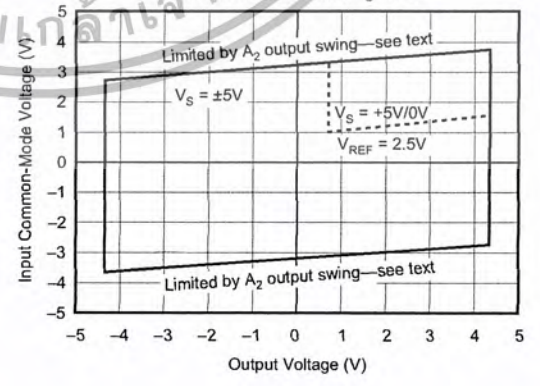
NEGATIVE POWER SUPPLY REJECTION vs FREQUENCY



INPUT COMMON-MODE RANGE vs OUTPUT VOLTAGE, V_S = ±15V



INPUT COMMON-MODE VOLTAGE RANGE vs OUTPUT VOLTAGE, V_S = ±5V

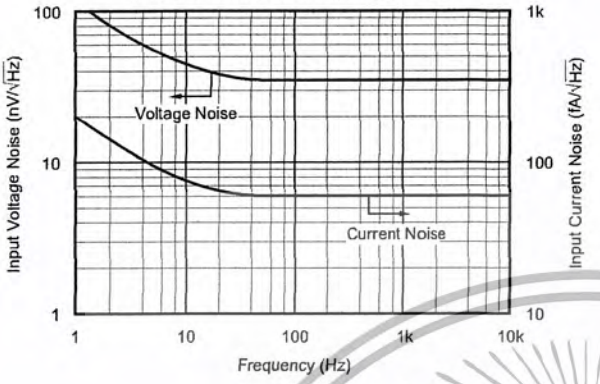


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

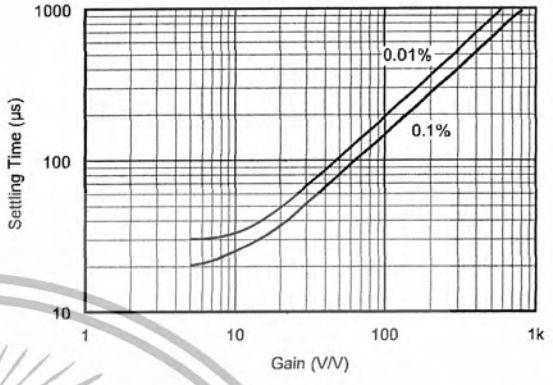
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C and V_S = ±15V, unless otherwise noted.

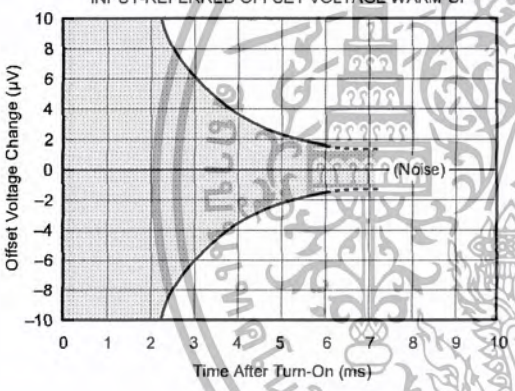
INPUT-REFERRED NOISE vs FREQUENCY



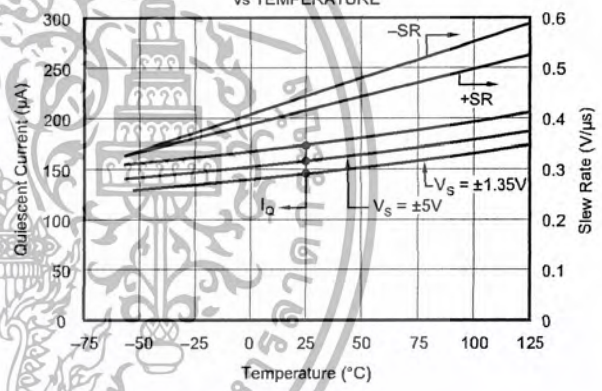
SETTLING TIME vs GAIN



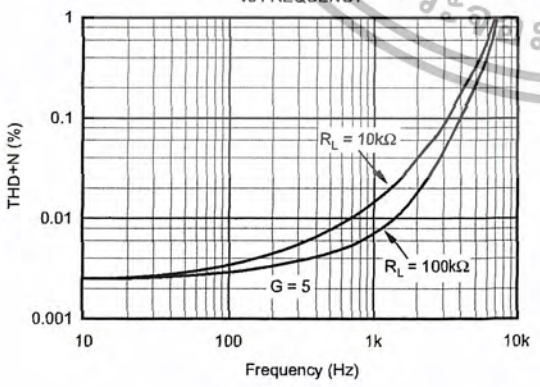
INPUT-REFERRED OFFSET VOLTAGE WARM-UP



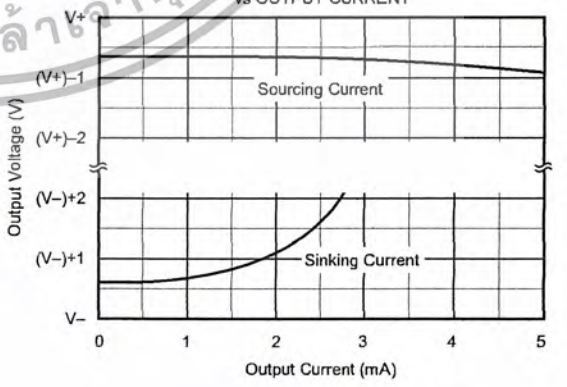
QUIESCENT CURRENT AND SLEW RATE vs TEMPERATURE



TOTAL HARMONIC DISTORTION+NOISE vs FREQUENCY



OUTPUT VOLTAGE SWING vs OUTPUT CURRENT

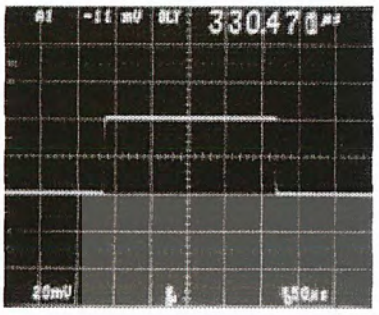


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

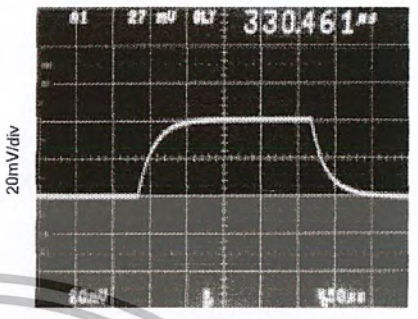
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C and V_S = ±15V, unless otherwise noted.

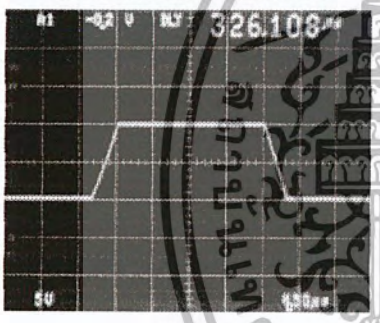
SMALL-SIGNAL RESPONSE, G = 5



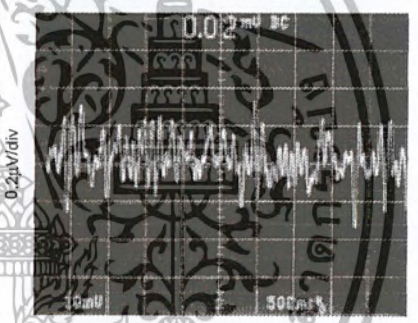
SMALL-SIGNAL RESPONSE, G = 100



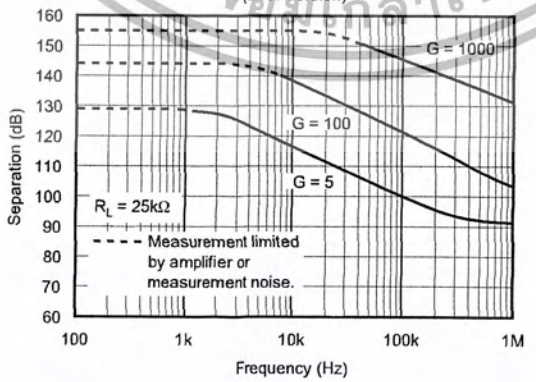
LARGE-SIGNAL RESPONSE, G = 5



VOLTAGE NOISE, 0.1Hz to 10Hz



CHANNEL SEPARATION vs FREQUENCY, RTI
(Dual Version)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Figure 1 shows the basic connections required for operation of the INA126. Applications with noisy or high impedance power supplies may require decoupling capacitors close to the device pins as shown.

The output is referred to the output reference (Ref) terminal which is normally grounded. This must be a low-impedance connection to ensure good common-mode rejection. A resistance of 8Ω in series with the Ref pin will cause a typical device to degrade to approximately 80dB CMR.

Dual versions (INA2126) have feedback sense connections, $Sense_A$ and $Sense_B$. These must be connected to their respective output terminals for proper operation. The sense connection can be used to sense the output voltage directly at the load for best accuracy.

SETTING THE GAIN

Gain is set by connecting an external resistor, R_G, as shown:

$$G = 5 + \frac{80k\Omega}{R_G} \quad (1)$$

Commonly used gains and R_G resistor values are shown in Figure 1.

The 80kΩ term in equation 1 comes from the internal metal film resistors which are laser trimmed to accurate absolute values. The accuracy and temperature coefficient of these resistors are included in the gain accuracy and drift specifications.

The stability and temperature drift of the external gain setting resistor, R_G, also affects gain. R_G's contribution to gain accuracy and drift can be directly inferred from the gain equation (1). Low resistor values required for high gain can make wiring resistance important. Sockets add to the wiring resistance, which will contribute additional gain error in gains of approximately 100 or greater.

OFFSET TRIMMING

The INA126 and INA2126 are laser trimmed for low offset voltage and offset voltage drift. Most applications require no external offset adjustment. Figure 2 shows an optional circuit for trimming the output offset voltage. The voltage applied to the Ref terminal is added to the output signal. An op amp buffer is used to provide low impedance at the Ref terminal to preserve good common-mode rejection.

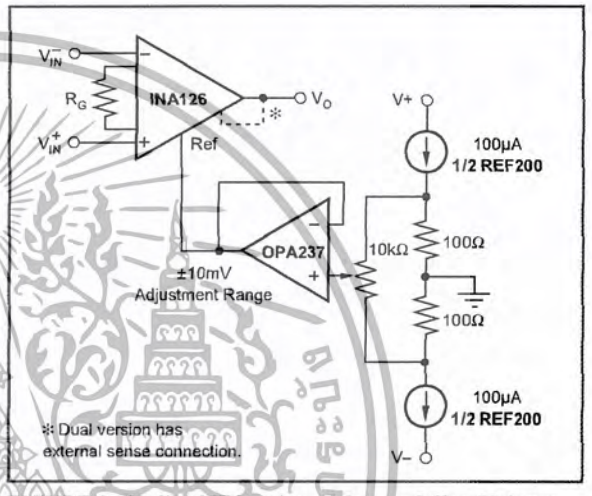


FIGURE 2. Optional Trimming of Output Offset Voltage.

DESIRED GAIN (V/V)	R_G (Ω)	NEAREST 1% R_G VALUE
5	NC	NC
10	16k	15.8k
20	5333	5360
50	1779	1780
100	842	845
200	410	412
500	162	162
1000	80.4	80.6
2000	40.1	40.2
5000	16.0	15.8
10000	8.0	7.87

NC: No Connection.

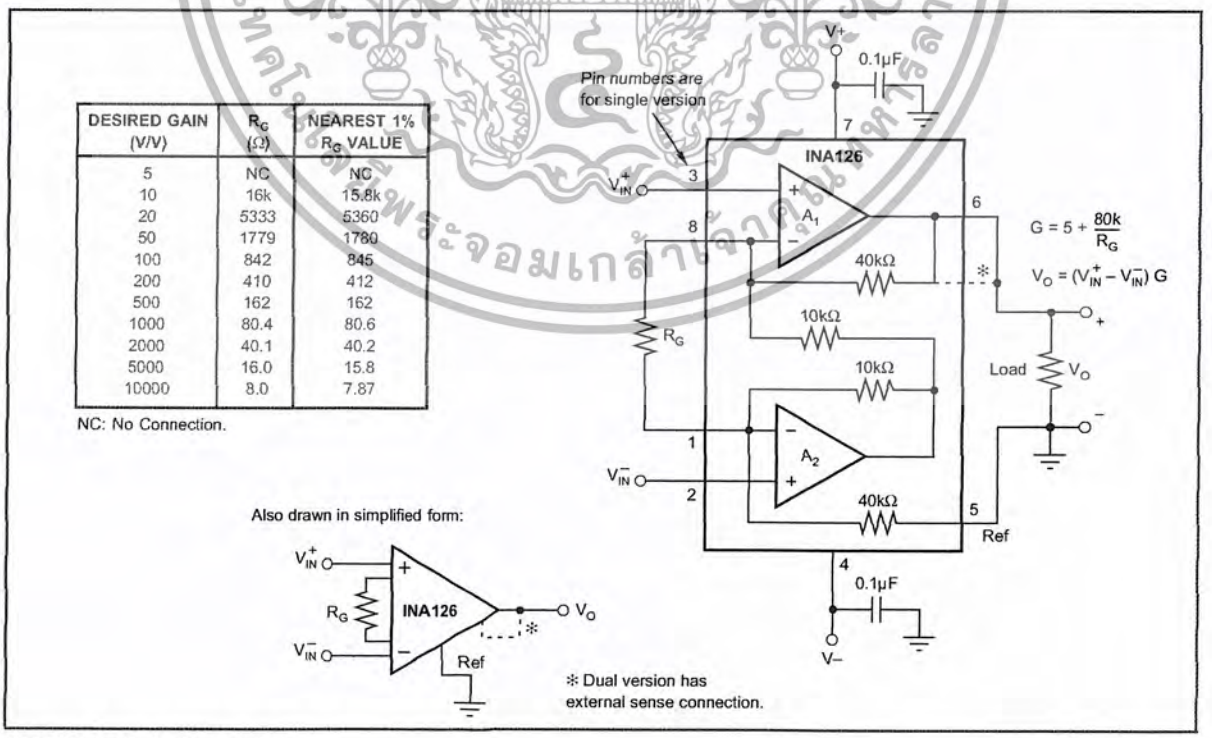


FIGURE 1. Basic Connections.

BURR-BROWN®
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT BIAS CURRENT RETURN

The input impedance of the INA126/2126 is extremely high—approximately $10^9\Omega$. However, a path must be provided for the input bias current of both inputs. This input bias current is typically −10nA (current flows out of the input terminals). High input impedance means that this input bias current changes very little with varying input voltage.

Input circuitry must provide a path for this input bias current for proper operation. Figure 3 shows various provisions for an input bias current path. Without a bias current path, the inputs will float to a potential which exceeds the common-mode range and the input amplifiers will saturate.

If the differential source resistance is low, the bias current return path can be connected to one input (see the thermocouple example in Figure 3). With higher source impedance, using two equal resistors provides a balanced input with advantages of lower input offset voltage due to bias current and better high-frequency common-mode rejection.

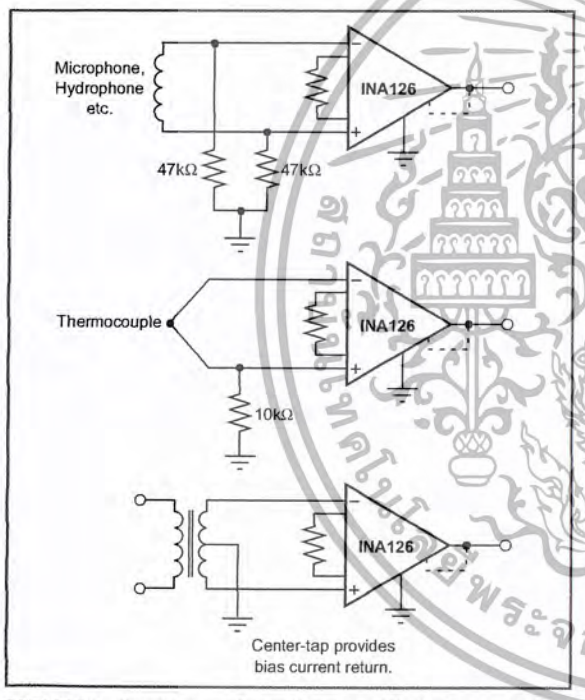


FIGURE 3. Providing an Input Common-Mode Current Path.

INPUT COMMON-MODE RANGE

The input common-mode range of the INA126/2126 is shown in typical performance curves. The common-mode range is limited on the negative side by the output voltage swing of A_2, an internal circuit node that cannot be measured on an external pin. The output voltage of A_2 can be expressed as:

$$V_{O2} = 1.25\ V_{IN}^- - (V_{IN}^+ - V_{IN}^-)\ (10k\Omega/R_G) \qquad (2)$$

(Voltages referred to Ref terminal, pin 5)

The internal op amp A_2 is identical to A_1 and its output swing is limited to typically 0.7V from the supply rails. When the input common-mode range is exceeded (A_2's output is saturated), A_1 can still be in linear operation and respond to changes in the non-inverting input voltage. The output voltage, however, will be invalid.

LOW VOLTAGE OPERATION

The INA126/2126 can be operated on power supplies as low as ±1.35V. Performance remains excellent with power supplies ranging from ±1.35V to ±18V. Most parameters vary only slightly throughout this supply voltage range—see typical performance curves. Operation at very low supply voltage requires careful attention to ensure that the common-mode voltage remains within its linear range. See "Input Common-Mode Voltage Range."

The INA126/2126 can be operated from a single power supply with careful attention to input common-mode range, output voltage swing of both op amps and the voltage applied to the Ref terminal. Figure 4 shows a bridge amplifier circuit operated from a single +5V power supply. The bridge provides an input common-mode voltage near 2.5V, with a relatively small differential voltage.

INPUT PROTECTION

The inputs are protected with internal diodes connected to the power supply rails. These diodes will clamp the applied signal to prevent it from exceeding the power supplies by more than approximately 0.7V. If the signal source voltage can exceed the power supplies, the source current should be limited to less than 10mA. This can generally be done with a series resistor. Some signal sources are inherently current-limited and do not require limiting resistors.

CHANNEL CROSSTALK—DUAL VERSION

The two channels of the INA2126 are completely independent, including all bias circuitry. At DC and low frequency there is virtually no signal coupling between channels. Crosstalk increases with frequency and is dependent on circuit gain, source impedance and signal characteristics.

As source impedance increases, careful circuit layout will help achieve lowest channel crosstalk. Most crosstalk is produced by capacitive coupling of signals from one channel to the input section of the other channel. To minimize coupling, separate the input traces as far as practical from any signals associated with the opposite channel. A grounded guard trace surrounding the inputs helps reduce stray coupling between channels. Carefully balance the stray capacitance of each input to ground, and run the differential inputs of each channel parallel to each other, or directly adjacent on top and bottom side of a circuit board. Stray coupling then tends to produce a common-mode signal that is rejected by the IA's input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

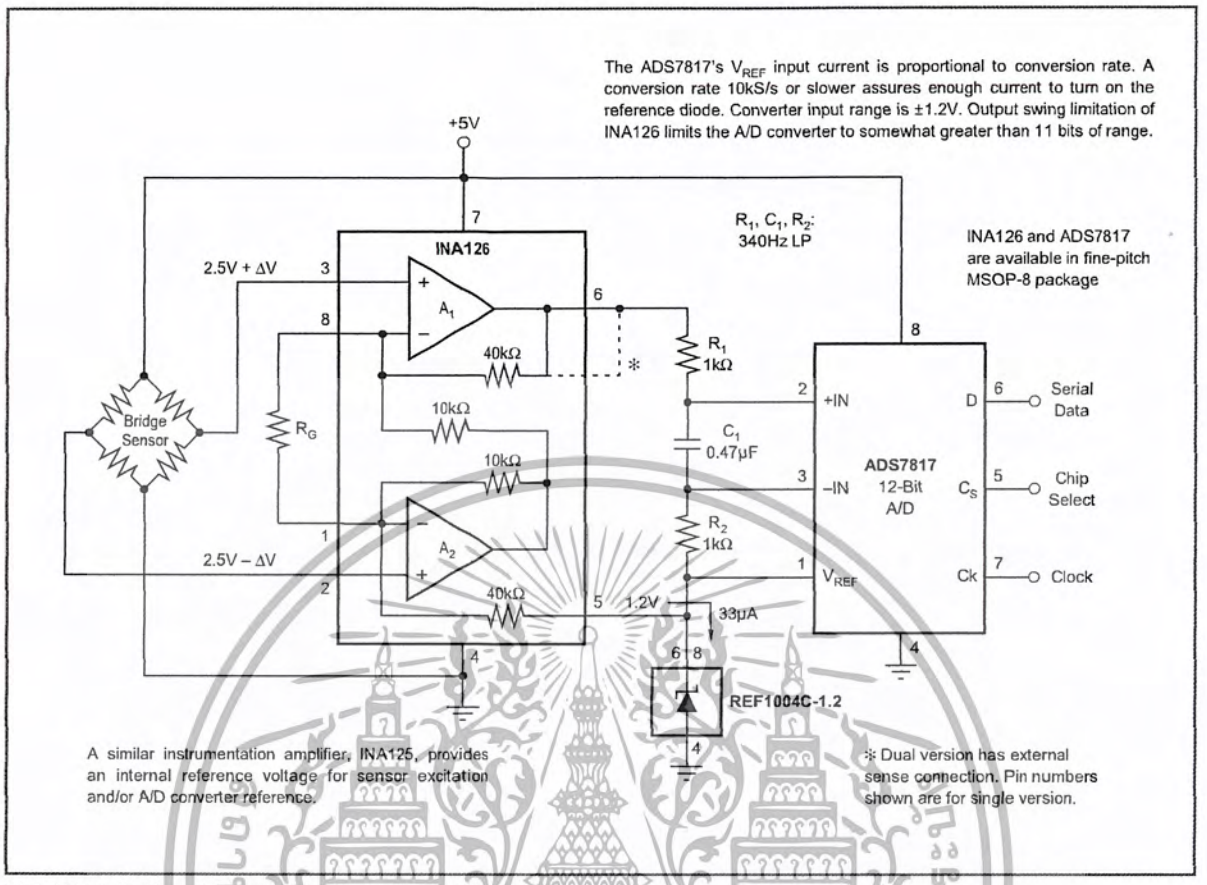
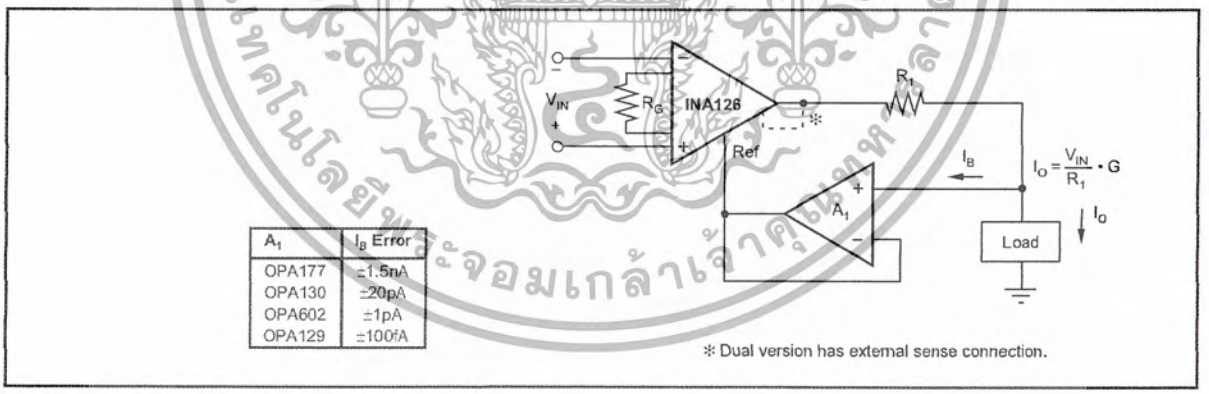


FIGURE 4. Bridge Signal Acquisition—Single 5V Supply.



A_1	I_B Error
OPA177	±1.5nA
OPA130	±20pA
OPA602	±1pA
OPA129	±100fA

FIGURE 5. Differential Voltage-to-Current Converter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGING INFORMATION

ORDERABLE DEVICE	STATUS(1)	PACKAGE TYPE	PACKAGE DRAWING	PINS	PACKAGE QTY
INA126E/250	ACTIVE	VSSOP	DGK	8	250
INA126E/2K5	ACTIVE	VSSOP	DGK	8	2500
INA126EA/250	ACTIVE	VSSOP	DGK	8	250
INA126EA/2K5	ACTIVE	VSSOP	DGK	8	2500
INA126P	ACTIVE	PDIP	P	8	50
INA126PA	ACTIVE	PDIP	P	8	50
INA126U	ACTIVE	SOIC	D	8	100
INA126U/2K5	ACTIVE	SOIC	D	8	2500
INA126UA	ACTIVE	SOIC	D	8	100
INA126UA/2K5	ACTIVE	SOIC	D	8	2500
INA2126E/250	ACTIVE	SSOP	DBQ	16	250
INA2126E/2K5	ACTIVE	SSOP	DBQ	16	2500
INA2126EA/250	ACTIVE	SSOP	DBQ	16	250
INA2126EA/2K5	ACTIVE	SSOP	DBQ	16	2500
INA2126P	ACTIVE	PDIP	N	16	25
INA2126PA	ACTIVE	PDIP	N	16	25
INA2126U	ACTIVE	SOIC	D	16	48
INA2126U/2K5	ACTIVE	SOIC	D	16	2500
INA2126UA	ACTIVE	SOIC	D	16	48
INA2126UA/2K5	ACTIVE	SOIC	D	16	2500

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		**Applications**	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2003, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

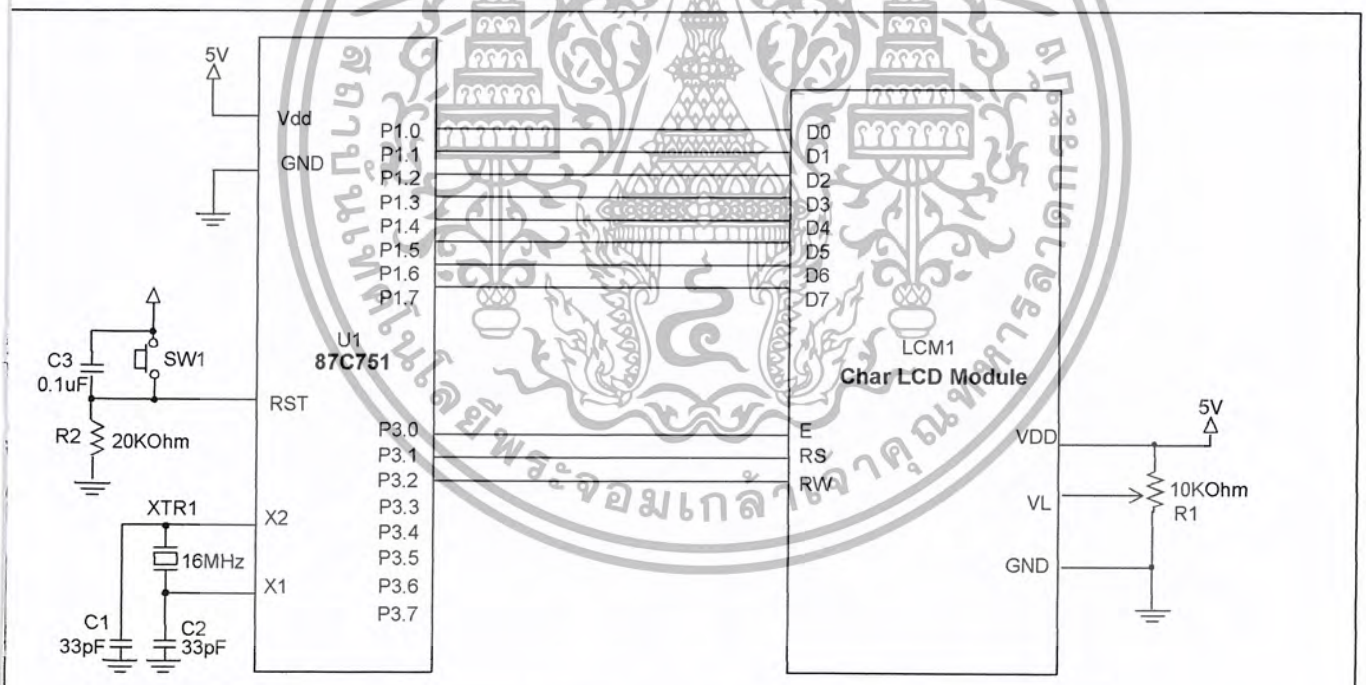
Displaying Characters on an LCD Character Module

I. Introduction:

This application note describes a simple technique to display characters from both the internal character generator and user designed characters on an LCD character module.The controlling microcontroller is a Phillips 87C751, a derivitive of the popular Intel 8051. The LCD module is connected to the microcontroller through its I/O ports. It could also be connected directly to the data bus with the addition of address decoding logic.

The process of displaying character to this module is divided into three steps. First the module must be initialized. This sets up the built-in LCD controller chip. Second, some user designed characters are uploaded to the CGRAM. This allows the displaying of up to 8 custom characters in addition to the 192 character permanently stored in the module. Lastly, a message consisting of a mix of standard ASCII characters and custom designed characters is displayed on the module.

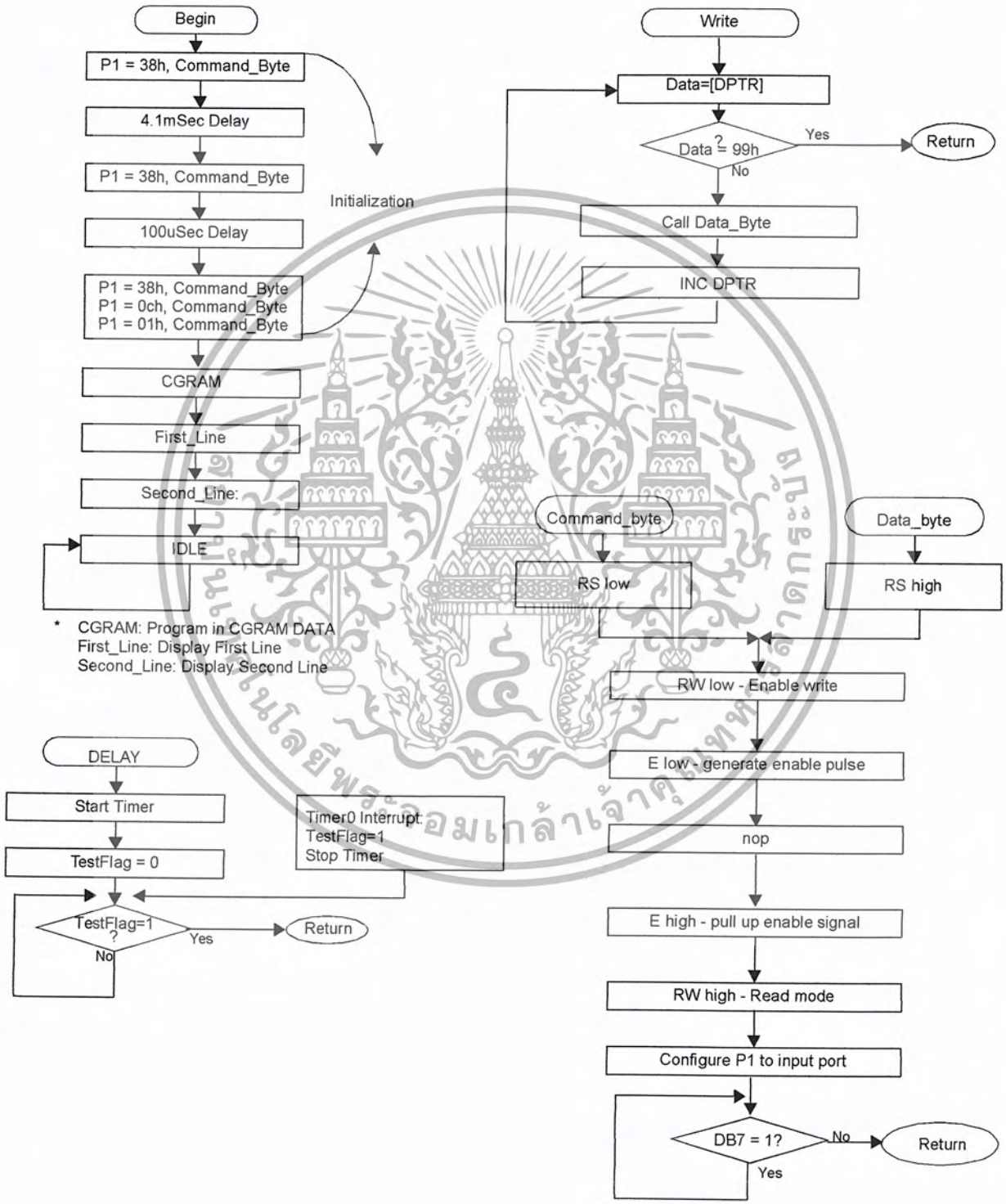
II. Circuit Schematic



Parts List	Part Number	Description
LCM1	HDM16216H-5	Hantronix Alphanumeric LCD Module
U1	87C751	Phillips Microcontroller
XTR1	NMP160	16MHz Crystal
C1,C2	33pF	Capacitor
SW1	--	Push Button Switche (Reset)
R1	10Kohm	Pot
R2	20Kohm	Resistor
C3	0.1 uF	Capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I. Software Flowchart:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*********************************************************
;       Application Note:
;       =================
;       Displaying Characters on an LCD Character Module
;
;       Description:    Demo software to display "canned"
;                       message and custom characters.
;       Controller:     Phillips 87C751
;       LCD controller: HD44780, KS0066, SED1278
;
;*********************************************************
;       Constant Definition
;*********************************************************
EnableT0        equ     082h    ;enable timer0
Disable         equ     000h    ;disable timer
D4100h          equ     00ch    ;timer reload high byte def.
D4100l          equ     003h    ;timer reload = 4.1mSec.
D100h           equ     000h    ;timer reload
D100l           equ     04ch    ;timer reload = 100uSec.
;*****************************************
;       Ram Definition
;*****************************************
Flags           DATA    020h    ;flag
TstFlag         BIT     Flags.0 ;interrupt flag bit
;*****************************************
;       Port Connections
;       ================
;       P1.0 -> D0
;       P1.1 -> D1
;       P1.2 -> D2
;       . . .
;       P1.7 -> D7
;       P3.0 -> Enable
;       P3.1 -> RS
;       P3.2 -> RW
;*****************************************
;       Interrupt Vectors
;       -----------------
        org     000h
        jmp     PowerUp         ; Power up reset vector
        org     003h
        jmp     ExInt0          ; External interrupt 0 vector
        org     00bh
        jmp     Timer0          ; Counter/ Timer 0 int vector
        org     013h
        jmp     ExInt1          ; External int 1 vector
        org     01bh            ;
        jmp     Timer1          ; Timer 1 int vector
        org     023h
        jmp     I2C             ; I2C serial int vector

        org     50h
PowerUp:
;*****  Timer 0 Interrrupt preparation
        clr     TR              ;disable timer
        clr     TF              ;clear overflow
;*************************************
;       LCD Initialization Routine
;*************************************
Linit:  clr     P3.1            ;RS low
        clr     P3.2            ;RW low
        setb    P3.0            ;Enable

        mov     RTL,#D4100l     ;set timer reload value
        mov     RTH,#D4100h     ;dealy time = 4.1mSec
        mov     p1,#38h
        acall   command_byte
        acall   ddelay          ;initial delay 4.1mSec

        mov     RTL,#D100l      ;set timer reload value
        mov     RTH,#D100h      ;dealy time = 100uSec
        mov     p1,#38h         ;function set
        acall   command_byte
        acall   ddelay          ;busy flag not avail. yet

        mov     p1,#38h         ;function set
        acall   command_byte
        mov     p1,#0ch         ;display on
        acall   command_byte
        mov     p1,#01h         ;clear display
        acall   command_byte

        acall   cgram           ;define custom fonts
        acall   first_line      ;display first line
        acall   second_line     ;display second line
sdone:
        setb    IDLE            ;power down mode
        jmp     sdone
;*********************************************************
;Subroutine: WRITE
;=================
;Purpose: To feed in data/command bytes to the LCD module
;Parameters:dptr =  should be set to the beginning of
;                   the data byte address
;                   Data bytes should be finished with 99H
;Alg:    get a new data/command byte
;        while (new data != 99h) {
;                   set port1 with new data
;                   call data_byte
;                   increment data pointer
;                   }
;        return
;*********************************************************
write:
write_loop:
        mov     a,#0
        movc    a,@a+dptr
        cjne    a,#99h,write_cont
        ret
write_cont:
        mov     p1,a
        acall   data_byte
        inc     dptr
        jmp     write_loop

;*********************************************
;       Delay Routine:
;       Delay periond = 4/3uSec * DefRth,l
;*********************************************
ddelay:
        setb    TR              ;start timer
        mov     IE,#EnableT0    ;enable timer
        clr     TstFlag         ;reset flag
dloop:  jnb     TstFlag,dloop
        ret
;*******************************
;       set address to beginning
;       of CG RAM
;*******************************
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

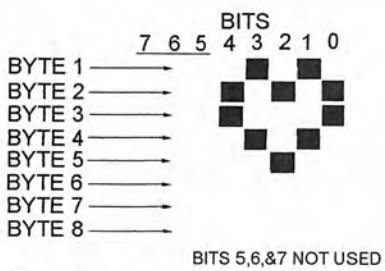
```
gram:
        mov     p1,#40h
        acall   command_byte
        mov     dptr,#cgram_data
        acall   write
        ret
*********************************
        Set DDRAM to the beginnig of
        the first line - 00
*********************************
irst_line:
        mov     p1,#080h ;set DDRAM
        acall   command_byte
        mov     dptr,#fline_data
        acall   write
        ret
*********************************
        Set DDRAM to the beginning of
        the second line - 40
*********************************
econd_line:
        mov     p1,#0c0h ;set DDRAM
        acall   command_byte
        mov     dptr,#sline_data
        acall   write
        ret
*****************************************************
        Feed Command/Data to the LCD module
*****************************************************
ommand_byte:
        clr     p3.1            ; RS low for a command byte.
        jmp     bdelay
ata_byte:
        setb    p3.1            ; RS high for a data byte.
        nop
delay:
        clr     p3.2            ; R/w low for a write mode
        clr     p3.0
        nop
        setb    p3.0            ;enable pulse
        nop
****************** Check Busy Flag
        mov     p1,#0ffh  ;configure port1 to input mode
        setb    p3.2            ;set RW to read
        clr     p3.1            ;set RS to command
        clr     p3.0            ;generate enable pulse
        nop
        setb    p3.0
loop:   nop
        mov     a,p1
        anl     a,#80h          ;check bit#7 busy flag
        cjne    a,#00h,bloop;keep waiting until busy flag clears
;*************************************
        check busy flag twice
;*************************************
bwait:
        mov     a,p1
        anl     a,#80h
        cjne    a,#00h,bloop
        clr     p3.2            ;return to write mode
        ret
*************************************
        Interrupt Routines
*************************************
ExInt0:
ExInt1:
Timer1:
I2C:
        reti
;*************************************
Timer0:
        setb    TstFlag
        clr     TR
        mov     IE,#Disable
        reti
;*************************************
;       Data Bytes
;*************************************
FLINE_DATA:
        db      '>>> HANTRONIX <<<'
        db      099h
SLINE_DATA:
        db      00h,01h,02h,03h,04h,05h,06h,07h
        db      099h
CGRAM_DATA:
font1:  db      0ah,15h,11h,11h,0ah,04h,00h,00h
font2:  db      04h,0ah,11h,11h,15h,0ah,00h,00h
font3:  db      04h,0eh,15h,04h,04h,04h,04h,00h
font4:  db      04h,04h,04h,04h,15h,0eh,04h,00h
font5:  db      18h,18h,1fh,1fh,1fh,18h,18h,00h
font6:  db      1fh,1fh,03h,03h,03h,1fh,1fh,00h
font7:  db      0ah,15h,0ah,15h,0ah,15h,0ah,00h
font8:  db      15h,0ah,15h,0ah,15h,0ah,15h,00h
        db      99h
        end
```

*Display on a 16x2 Character Module

* Display Character Position and DDRAM Address of a 16x2 Character Module.

	Display Position							
	1	2	3	4	.....	14	15	16
First Line	00	01	02	03	.....	0D	0E	0F
Second Line	40	41	42	43	.....	4D	4E	4F

DDRAM Address



* Custom characters memory map.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้