สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ดิจิตอลออดิโอ
Digital Audio

โดย
นายโกสินทร์ ลาพรัตน์
นายณชวรรษ กลิกรรุ่งโรจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ .....
เลขทะเบียน 55492
วัน,เดือน,ปี 10 พ.ค. 2548
b.....
i.....

ดิจิตอลออดิโอ
Digital Audio

โดย

นายโกสินทร์ กาฬรัตน์ 43010037

นายณฐวรรษ คลิกรุ่งโรจน์ 43010116

อาจารย์ที่ปรึกษา

รศ.ดร.มนัส สังวรศิลป์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ดิจิตอลออดิโอ(Digital Audio)

ผู้จัดทำ

1. นาย โกสินทร์ กาพรัตน์ 43010037

2. นาย ณธวรรษ กสิกรรุ่งโรจน์ 43010116

.....อาจารย์ที่ปรึกษา

(รศ. ดร. มนัส สังวรศิลป์)

วันที่ 9 / พ.ย. / 47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลออดิโอ

นาย ไกสินทร์ กาฬรัตน์ รหัส 43010037
นาย ณธวรรษ กสิกรรุ่งโรจน์ รหัส 43010116

รศ.ดร. มนัส สังวรศิลป์ (อาจารย์ที่ปรึกษา)

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาอีกด้านหนึ่งของกระบวนการและหลักการทางดิจิตอลออดิโอ โดยใช้ AD1954 Evaluation Board ซึ่งเป็นบอร์ดดิจิตอลอีควอไลเซอร์ และยังมีฟังก์ชันในการประมวลผลสัญญาณดิจิตอลออดิโอในรูปแบบต่างๆ โดยปริญญานิพนธ์ฉบับนี้เน้นการศึกษาในด้านการทดลองใช้งาน และการควบคุมบอร์ดโดยใช้ไมโครคอนโทรลเลอร์ ซึ่งสามารถนำไปประยุกต์ใช้งานในลักษณะต่าง ๆ ได้หลายอย่าง เช่น การสร้างดิจิตอลอีควอไลเซอร์ การสร้างระบบเสียงดิจิตอล หรือเพิ่มสุนทรีย์ในการฟังโดยอาศัยหลักการและองค์ประกอบทางความรู้ด้านดิจิตอลอันได้แก่ การประมวลผลสัญญาณเชิงเลข หรือ DSP(Digital Signal Processing) ตัวกรองแบบเชิงเลข(Digital Filter) มาใช้เพื่อวิเคราะห์ และควบคุมการทำงานของบอร์ด โดยในปริญญานิพนธ์ฉบับนี้จะกล่าวถึงเนื้อหาโดยสรุป ถึงสิ่งที่ศึกษาได้ ซึ่งเป็นประโยชน์สำหรับผู้สนใจเพื่อจะนำไปประยุกต์ใช้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Audio

Mr. KOSIN KALARATT 43010037
Mr.NATAWAT KASIKORNRUNGROJ 43010116
Assoc.Prof.Dr. MANAS SANGWORASIL ADVISOR

ABSTRACT

This thesis is telling about testing and controling the AD1954 Evaluation Board by using microcontroller. It can use for varies application such as making a digital equallization, a digital sound system which basing on DSP (Digital Signal Processing) and Digital Filter principle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการศึกษา การทดลอง รวมทั้งปริญญานิพนธ์ฉบับนี้จะสำเร็จลุล่วงไปด้วยดีไม่ได้เลย ถ้าหากขาดความกรุณาจากคณะอาจารย์โดยเฉพาะอย่างยิ่งอาจารย์ที่ปรึกษาคือรศ.ดร.มนัส สังวรศิลป์ ที่ให้ความรู้และคำแนะนำมาตลอด รวมทั้งต้องกล่าวขอบคุณรุ่นพี่ปริญญาโท ณ ห้อง Biolab และเพื่อน ๆ ที่ร่วมงาน และให้ความช่วยเหลือด้วยดีเสมอมา

นาย โกสินทร์ กาฬรัตน์
นาย ณธวรรษ กสิกรรุ่งโรจน์

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 ดิจิตอลออดิโอ	2
2.2 ไมโครคอนโทรลเลอร์	8
2.3 AD1954	13
2.4 AD1954 Evaluation Board	23
บทที่ 3 หลักการออกแบบและการสร้าง	25
3.1 การออกแบบวงจรบน AD1954 Evaluation Board	25
3.2 การควบคุมบอร์ดโดยใช้ไมโครคอนโทรลเลอร์	28
บทที่ 4 ผลจากการศึกษาทดลอง	32
บทที่ 5 สรุปผล	44
หนังสืออ้างอิง	45
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปริญญานิพนธ์นี้เป็นการศึกษากระบวนการและหลักการอีกด้านหนึ่งของดิจิตอลออดิโอ และการประยุกต์ใช้งาน โดยใช้ AD1954 Evaluation Board ซึ่งเป็นบอร์ดดิจิตอลอีควอไลเซอร์ และยังมีฟังก์ชันในการประมวลผลสัญญาณดิจิตอลออดิโอในรูปแบบต่างๆ ซึ่งบอร์ดนี้มีความสามารถในการโปรแกรมควบคุมเพื่อทำการเปลี่ยนแปลงคำสั่งและพารามิเตอร์ต่างๆของบอร์ดเพื่อให้บอร์ดทำงานตามที่เราต้องการได้เช่น การควบคุมแถบความถี่หรือเลือกความถี่ที่ต้องการ การควบคุมระดับเสียง และการปรับแต่งคุณลักษณะทางเสียงให้มีสุนทรียภาพในการฟัง ฯลฯ ซึ่งโดยทั่วไปการควบคุมการทำงานของบอร์ดนี้จะใช้ซอฟแวร์ของบริษัท Analog Device โดยใช้โปรแกรม ControlFreq. SigmaComposer และ ImpLoader นอกจากนี้ยังสามารถออกแบบวงจรหรือการประมวลผลสัญญาณต่าง ๆ ของบอร์ดโดยใช้โปรแกรม Orcad ซึ่งเราสามารถนำวงจรที่ออกแบบมาสั่งงานให้ AD1954 Evaluation Board ทำงาน ได้ และการควบคุมคำสั่งนี้จะส่งผ่านมาทาง SPI พอร์ต

โดยปริญญานิพนธ์ฉบับนี้เน้นการศึกษาในด้านการทดลองใช้งาน และการควบคุม AD1954 Evaluation Board โดยใช้ไมโครคอนโทรลเลอร์ ควบคุมการทำงานของบอร์ดแทนซอฟแวร์ที่ทำหน้าที่ในการโหลดข้อมูล โดยมีการควบคุมผ่านทาง SPI พอร์ต ซึ่งรูปแบบในการติดต่อนั้นใช้การติดต่อรูปแบบ I2S ซึ่งมีการส่งสัญญาณที่ใช้สัญญาณอ้างอิง 3 สัญญาณ คือ สัญญาณนาฬิกา สัญญาณข้อมูล และสัญญาณที่เรียกว่า Select-Word และในการใช้ไมโครคอนโทรลเลอร์นี้ทำให้เราสามารถควบคุมบอร์ดโดยไม่ต้องใช้คอมพิวเตอร์ ทำให้เราสามารถนำมาประยุกต์ใช้งานกว้างขวางขึ้น เช่น ในระบบเครื่องเสียงรถยนต์ การควบคุมระบบเสียงต่างๆได้มีประสิทธิภาพมากขึ้น ซึ่งในปริญญานิพนธ์ฉบับนี้ได้ศึกษาการควบคุมเบื้องต้นเท่านั้น ซึ่งบอร์ดนี้ยังมีความสามารถในการทำงานได้หลากหลายกว่าที่กล่าวในปริญญานิพนธ์ฉบับนี้ ดังนั้นผู้ที่สนใจยังสามารถใช้ปริญญานิพนธ์ฉบับนี้เพื่อเป็นพื้นฐานในการพัฒนาได้อีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ดิจิตอล ออดิโอ (Digital Audio)

ปัจจุบันเทคโนโลยีคอมพิวเตอร์ได้เข้ามามีบทบาทในเรื่องของเสียง และการบันทึกเสียงอย่างสูง ลองหันไปมองรอบๆ ตัวเรา เทคโนโลยีดิจิตอลออดิโอแทรกซึมไปเกือบทุกที่ เมื่อก่อนฟิล์มภาพยนตร์จะบันทึกเสียงแบบอนาล็อก ลงบนแผ่นฟิล์มไปพร้อมๆ กับหนัง แต่เดี๋ยวนี้แยกเสียงออกมาเก็บแยกแทร็กไว้ต่างหาก โดยการเก็บแบบดิจิตอล ทำให้แม้ฟิล์มจะเสื่อมลงไปบ้างตามจำนวน รอบที่ฉายซึ่งทำให้ภาพเสื่อมคุณภาพลงไป แต่เสียงกลับยังคงมีคุณภาพเท่าเดิม ทำไมจึงเป็นเช่นนั้น ? คำตอบก็คงจะเป็นเช่นเดียวกับที่สิ่งที่เกิดกับ CD และ tape cassette นั่นเอง การรักษาสัญญาณให้คงรูปอยู่เสมอ ไม่ว่าจะเปลี่ยนตัวกลางที่เก็บสัญญาณไปเป็นอย่างไร หรือมีระยะการเดินทางไกลแค่ไหน เป็นข้อดีของระบบดิจิตอลที่ทำให้มันก้าวเข้ามาแทนที่ระบบอนาล็อก โดยข้อดีอีกประการของดิจิตอลนั้น ก็คือการที่เราสามารถทำสัญญาณเสียงให้อยู่ในรูปดิจิตอลได้ ทำให้เราสามารถสร้างและแก้ไข ดัดแปลงสัญญาณนั้นได้ง่ายโดยการช่วยเหลือจากคอมพิวเตอร์

สัญญาณเสียง

เสียงที่เราได้ยินนั้นเป็นเพราะอากาศมีการเปลี่ยนแปลงความดัน เช่นมีใครเคาะโต๊ะ ก็จะเกิดการชนกันระหว่างโมเลกุล ของมือกับโมเลกุลของโต๊ะ ทำให้โมเลกุลของโต๊ะซึ่งมีความเครียดมากกว่ามือเกิดการสั่นมากขึ้น (เพราะปรกติมันก็สั่นอยู่แล้ว) การสั่นของมันนี้สามารถจะลดลงได้โดยการถ่ายเทพลังงานให้โมเลกุลของอากาศที่วิ่งมาชน ทำให้โมเลกุลอากาศมีความเร็วสูงขึ้น โดยความดันของอากาศขึ้นกับพลังงานของมัน เมื่อโมเลกุลมันชนกันแล้วถ่ายเทพลังงานต่อกันมาเป็นทอดๆ มันก็เหมือนเป็นคลื่นของความดันที่แผ่ออกไป พอมาถึงหูของเราแผ่นไดอะแฟรมที่หูก็จะเปลี่ยนความดันอากาศ ให้เป็นสัญญาณไฟฟ้า ส่งไปยังสมอง ดังนั้นเราจะได้ยินเสียงก็ต่อเมื่อ ความดันบรรยากาศเปลี่ยนแปลงในเวลาหนึ่งๆ เท่านั้น

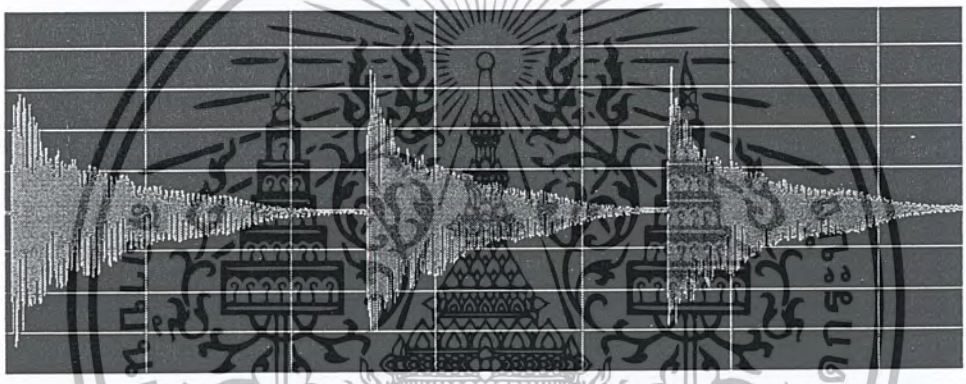
เมื่อไม่มีคลื่นเสียง ความดันบรรยากาศจะคงที่ เมื่อมีคลื่นเสียงเกิดขึ้น ความดันบรรยากาศจะแกว่งรอบๆ ค่าความดันปรกติ ถ้ามันแกว่งออกจากค่าปรกติมาก เราก็จะรับรู้ว่าเสียงดังมาก อัตราการเปลี่ยนแปลงความดันนี้ ทางวิชาเสียงเขาเรียกว่า Pitch สำหรับเรารู้จักกันดีในแง่ของ amplitude กับ frequency

เราอาจจะมองอัตราการเปลี่ยนแปลงของความดัน ให้อยู่ในรูป sine wave ก็ได้ แต่ว่าจริงๆ แล้ว คลื่นเสียงในธรรมชาติ มีความซับซ้อนมากๆ คือลักษณะของคลื่นเสียงเป็น เหมือนหยักคลื่นของภูเขา ที่ขึ้นๆ ลงๆ มี amplitude และ frequency ที่เปลี่ยนแปลงตลอดเวลา เราเรียกลักษณะรูป

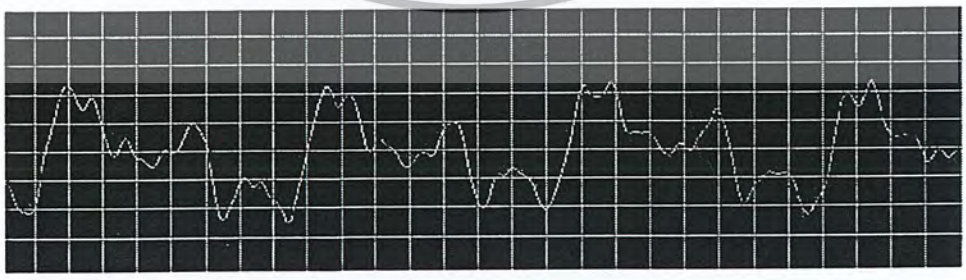
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นเช่นนี้ว่า waveform ถึงแม้ว่า waveform จะมีความซับซ้อนอย่างไรก็ตาม เราก็สามารถที่จะกระจาย waveform หนึ่งออกเป็นรูป sine wave ที่มี amplitude และ frequency แตกต่างกันหลายๆ ลูก ชุดของ sine wave นี้เมื่อนำมารวมกันก็จะได้ waveform อันนั้น จากกลศาสตร์ควอนตัม ได้แสดงว่า wave function ของระบบหนึ่งๆ สามารถเขียนให้อยู่ในรูปของ Gaussian functions หลายๆ เทอม ตัว Gaussian functions นี้ในกลศาสตร์ควอนตัมเขาเรียกว่า basis set แต่สำหรับในวิชาเสียงเขาเรียกว่า **timbre**

ตัว Timbre นี้เองที่ทำให้เสียงของเปียโน มีความแตกต่างจากเสียงกลอง ถึงแม้ว่าเราจะเล่นเปียโน ด้วยระดับเสียงที่แตกต่างกัน เช่น โด เร มี เป็นต้น เจ้า timbre นี้ก็จะไม่ค่อยมีความแตกต่างกันเท่าใดนักเลย



รูปที่ 2.1 แสดงเสียง โด เร มี จากเปียโน ลักษณะของ Timbre โดยแม้เราจะเล่นเปียโนที่มีระดับเสียงต่างกัน timbre หรือรูปแบบ waveform จะไม่ค่อยต่างกันนัก นั่นคือ timbre เป็น basis set ของ waveform นี้ ระดับเสียง โด เร มี นั่นใช้ basis set เดียวกัน แต่ว่าผสมเสียงโดยใช้ปริมาณของแต่ละ sine wave ที่ต่างกันนั่นเอง (16 Bit sample, 1 channel, 44.1 kHz)

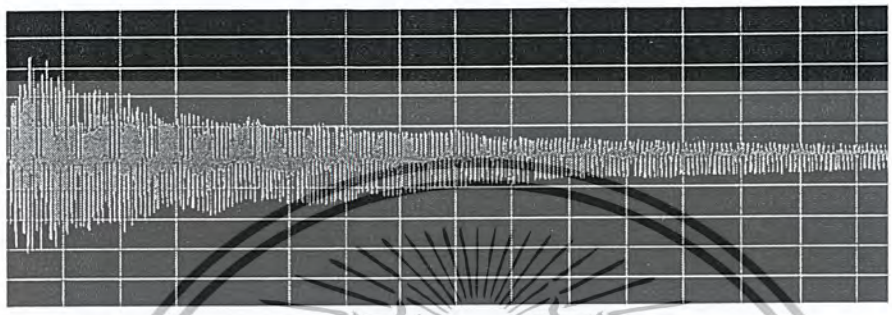


รูปที่ 2.2 เป็นการขยายเข้าไปดูรูปที่ จะเห็นว่า Waveform นั้นมีลักษณะที่เกิดจากการผสมของ sine wave

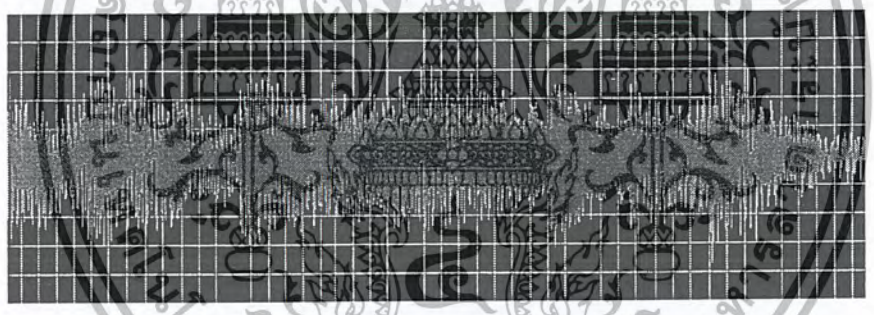
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสียงดนตรี

เสียงดนตรีแต่ละชิ้นมี Timbre หรือ basis set เฉพาะของตนเอง ซึ่งจะแตกต่างกันระหว่าง เปียโน กีตาร์ กลอง ทีนี้ถ้าดนตรีมารวมเล่น เป็นวงจะเกิดอะไรขึ้น waveform ที่ได้ก็คงจะมีความซับซ้อนมากยิ่งๆ ขึ้นไปใช่ไหม เมื่อวงดนตรีเล่นรวมเป็นวง waveform ก็จะเกิดจากการรวมของ timbre หลายๆ แบบ โดยแต่ละส่วนก็จะมี sine wave ในส่วนผสมต่างๆ กัน



รูปที่ 2.3 แสดง Timbre ของเสียงเปียโน



รูปที่ 2.4 มีเสียงคนลงไป Mix รวมกับ waveform ก่อนหน้านี้ ทำให้ waveform ยิ่งซับซ้อนลงไปอีก

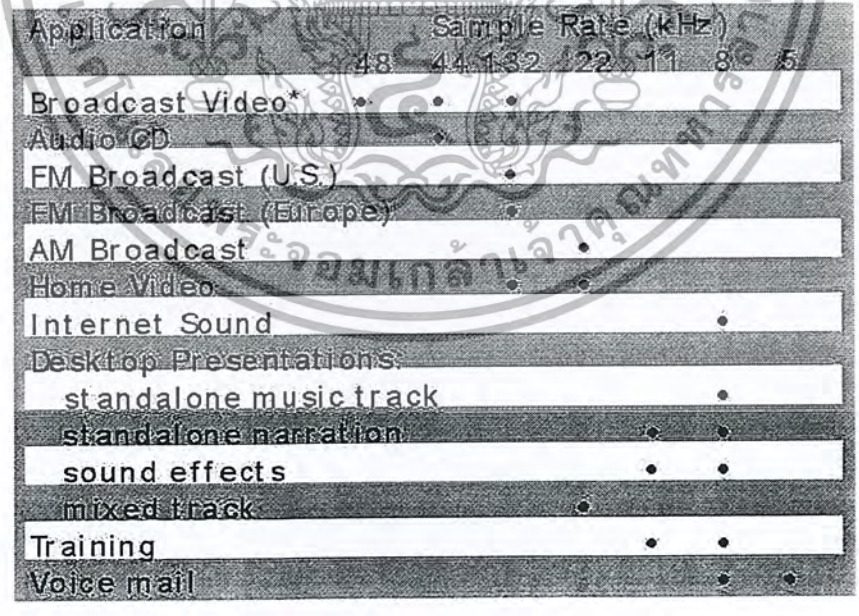
การสุ่มหน้าคลื่น (Sampling of Waveform)

การเก็บตัวอย่าง (sampling) เนื่องจาก สัญญาณเสียงเป็นสัญญาณต่อเนื่อง แต่สัญญาณดิจิตอลนั้นไม่ใช่ สมัยก่อนเมื่อเราจะอัดเสียง เราใช้ไมโครโฟนในการเปลี่ยนคลื่นความดันบรรยากาศ ไปเป็น voltage จากนั้นก็เก็บ สัญญาณไฟฟ้านี้ในรูปของ สนามแม่เหล็กบนวัสดุแม่เหล็กเช่น cassette tape สัญญาณพวกนี้เป็นสัญญาณอนาล็อก เพราะสัญญาณมีความต่อเนื่อง สมมติว่าวันหนึ่งเราต้องการอัดเสียง จากเทปม้วนหนึ่งลงอีกม้วนหนึ่ง เราจะต้องแปลงสัญญาณแม่เหล็กให้เป็นสัญญาณไฟฟ้า จากนั้นก็บันทึกสัญญาณไฟฟ้านี้ ให้เป็นสัญญาณแม่เหล็กบนเทปอีกม้วน ขั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนในการแปลงสัญญาณไปมา นี่เอง ที่เราสอดใส่เสียงรบกวน (noise) ลงไปในเสียงที่ต้องการ การอัดเสียงแบบดิจิตอลจะไม่เกิดเรื่องแบบนี้ เนื่องจากสัญญาณเสียงมันต่อเนื่อง เราสามารถทำให้เป็นสัญญาณดิจิตอลได้โดยการสุ่มหน้าคลื่น ด้วยการหยิบหน้าคลื่นมาดูว่า ขณะนี้มันมี amplitude เท่าไหร่ อัตราในการสุ่มหน้าคลื่นนี้ เราเรียกว่า sampling rate เช่น ถ้าสุ่ม 8000 ครั้งต่อวินาที ก็เรียกว่า 8kHz Sampling หมายความว่าใน 1 วินาทีนี้ เรามีข้อมูลของ amplitude จำนวน 8000 จุด ถ้าเราใช้ sampling rate 8kHz เราจะสามารถบันทึกเสียงที่มีความถี่ได้ไม่เกิน 4000 Hz นั่นเป็นเหตุผลว่าทำไมเสียงที่อัดที่ rate ต่ำๆ ถึงไม่ค่อยเพราะหู โดยในการบันทึกเสียงในงานต่างๆ ก็จะใช้ sampling rate ที่แตกต่างกันไป เช่น CD จะทำการสุ่มที่ 44 kHz ทำให้เราสามารถฟังเสียงที่มีความถี่ได้ถึง 20,000 Hz คุณภาพของเสียงจึงแตกต่างจากการสุ่มที่ rate ต่ำ

รูปที่ 2.5 แสดงการ Sampling สัญญาณที่ต่อเนื่องมาเป็นสัญญาณที่ดิจิตอลโดย A/D และแปลงกลับเป็นสัญญาณเดิมโดยใช้ D/A



รูปที่ 2.6 แสดงอัตราการ sampling ของสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของคลื่น (Amplitude)

Sampling rate เป็นตัวกำหนดความมากน้อย ของจำนวนจุดที่ใช้แทนหน้าคลื่น เมื่อเรากำหนดจุดลงไปแล้ว เราก็ต้องมาคิดว่าเราบันทึกอะไร นั่นก็คือ ขนาดของคลื่น สมมติว่าคลื่นของเรารูปคลื่นของ การเปิดปิดไฟ เหมือนกับรหัสมอส เราก็จะมีความสูงของคลื่นแค่ 2 ค่าเท่านั้น คือ เป็น 0 (แบนราบ) กับเป็น 1 (จุดสูงสุด) คลื่นที่ได้ก็จะดูเหมือนคลื่น 4 เหลี่ยม ดังนั้น เราจะใช้ตัวเลขแค่ 0 กับ 1 แทน amplitude ของคลื่น เราเรียกการบันทึกแบบนี้ว่ามี quantization แบบ 2 bit ถ้าเราเพิ่มจำนวน bit มาเป็น 4 bit เราสามารถกำหนดระดับ amplitude ได้เพิ่มขึ้นเป็น 16 ระดับ โดยเสียงในธรรมชาตินั้น มีระดับความดังค่อย ที่แตกต่างกัน ดังนั้นหากเราบันทึกเสียงโดยใช้ 8 bit ระดับความแตกต่างก็จะเพิ่มขึ้นมา เป็น 256 ระดับ ถามว่าเพียงพอหรือยัง ถ้าหากเป็นเสียงของการพูดคุยกัน เราคงคิดว่ามันพอแล้ว แต่ถ้าหากเป็นเสียงของดนตรี ที่มีระดับความดัง ค่อย ต่างกันเพียง 256 ระดับ ก็คงขาดความไพเราะไปมาก โดยเฉพาะเพลง classic ที่มีความดังค่อย เปลี่ยนแปลงค่อนข้างเร็ว จะไม่เหมาะต่อการบันทึกแบบ 8 bit การเพิ่มขนาดการเก็บข้อมูลเป็น 16 bit ทำให้เราสามารถ กำหนดความดังค่อย ได้ถึง 65,000 ระดับทีเดียว

Channel กับการเพิ่มความเป็น 3 มิติให้เสียง

ถ้าข้อมูลเสียงของเรามีหนึ่งทางหรือ 1 Channel หรือ mono เราสามารถทำให้การได้ยินของเรามีความเป็น 3 มิติ นั่นก็คือ การเพิ่ม channel ของเสียงให้เป็น 2 channels แล้วแยกให้แต่ละ channel มี แหล่งกำเนิดเสียงของตัวเอง แยกจากกันในระยะที่พอเหมาะ ก็จะทำให้ ผู้รับฟังสามารถรับรู้ ระยะของจุดที่ทำให้เกิดเสียงแตกต่างได้ เราเรียกระบบนี้ว่า stereo การที่เราเพิ่มจำนวนของ channel ขึ้นมา ทำให้เราต้องใช้เนื้อที่ในการเก็บข้อมูลมากขึ้นด้วย

ขนาดของไฟล์เสียง และ การบีบอัดข้อมูล

การทำการบันทึกเสียง ก่อนอื่นต้องมีการประมาณ ว่าถ้าเราบันทึกเสียงด้วย Sampling rate ต่างๆ จำนวน bit ต่างๆ จะมีขนาดต่างกันอย่างไรสูตรในการคำนวณก็ง่ายๆ คือ

ขนาดของไฟล์เสียงเป็นไบต์ = (Sampling rate หน่วยเป็น Hertz) x (จำนวนวินาทีของเสียง) x (quantization หน่วยเป็นบิต) x (จำนวน Channel) / 8

เช่น สมมติว่าต้องการอัดเพลงของซึ่งยาว 3 นาที ด้วย sampling rate คุณภาพ CD คือ 44.1 kHz และ ใช้ระดับ quantization แบบ 16 bit มี 2 channels จะต้องใช้ขนาดไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดไฟล์ (3 mins, 44.1 kHz, 16 bit, stereo) = (44,100)x(180)x(16)x(2) / (8) = 31.752.000 Byte

จะเห็นได้ว่า ถ้าต้องการคุณภาพระดับดีมาก จะต้องใช้ 10 Megabytes เพื่อเก็บเสียงหนึ่งนาที ทำให้ CD แผ่นหนึ่งเก็บเสียงได้ ประมาณ 60 นาที ด้วยเหตุนี้หารต้องการกระจายเสียงบนอินเตอร์เน็ตจึงเป็นเรื่องที่ลำบากน่า แต่เราสามารถลดขนาดของข้อมูลได้ โดยอาศัยการบีบอัดข้อมูล หรือ data compression ซึ่งมีมากมายหลายวิธี เช่น Ohm's Law compression (U-Law) Amp's Law compression (A-Law) และ ADPCM ซึ่ง 2 ตัวแรกมีอัตราส่วนในการบีบอัด ประมาณ 2:1 แต่ตัวหลังสามารถทำได้ 4:1 ในปัจจุบันเรามี MPEG ที่สามารถบีบอัดได้ถึง 16:1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎีไมโครคอนโทรเลอร์

โครงสร้างของไมโครคอนโทรลเลอร์ตระกูล MCS – 51

ไมโครคอนโทรลเลอร์ตระกูล MSC – 51 มีสมาชิกในตระกูลหลายเบอร์ด้วยกัน แต่ละเบอร์จะมีคุณสมบัติพิเศษบางอย่างแตกต่างกัน เช่น มีหน่วยความจำภายในสำหรับเก็บโปรแกรมและข้อมูลภายในชิพเพิ่มขึ้น มีวงจรเปลี่ยนค่าสัญญาณอนาลอกเป็นดิจิตอลในตัว สามารถรับสัญญาณอินเตอร์รัพได้หลายชนิด ทำกระบวนการ DMA (Direct Memory Access) ได้ในตัว มีรีจิสเตอร์สำหรับใช้เป็นไทม์เมอร์หรือเคาน์เตอร์เพิ่มขึ้น

ไมโครคอนโทรลเลอร์ตระกูล MCS – 51 ทุกเบอร์ใช้แรงดันเพียง 5 โวลต์ในการทำงาน ส่วนกระแสไฟฟ้าที่ใช้ จะแตกต่างกันไปตามชนิดของเทคโนโลยีที่ใช้การผลิต เบอร์ของไมโครคอนโทรลเลอร์ตระกูลนี้ที่มีตัวอักษร C อยู่ตรงกลางเบอร์ เช่น 80C31 , 80C51 จะเป็นเบอร์ของชิพที่ผลิตโดยอาศัยเทคโนโลยี CMOS ซึ่งใช้พลังงานในการทำงานน้อยกว่าและสามารถควบคุมการใช้พลังงานของตัวชิพได้จากโปรแกรมเพื่อการประหยัดพลังงานในระบบ

รูปที่ 2.7 แสดงตำแหน่งขาของไมโครคอนโทรเลอร์ MCS51

หน้าที่การใช้งานแต่ละขาของชิพไมโครคอนโทรลเลอร์ในตระกูล MCS – 51 มีดังนี้

- ขา Vss (ขา 20) สำหรับต่อลงกราวนด์
- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์ (DC 5 Volt)
- ขาพอร์ต 0 (ขา 32 – 39) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 0 ขนาด 8 บิต (P0.0 – 0.7) แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุทเอาท์พุทพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะถูกปล่อยลอย (มีสถานะ high impedance) นอกจากใช้งานเป็นอินพุทพอร์ตแล้ว พอร์ต 0 ยังใช้ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิพด้วยโดยส่งค่าแอดเดรสบัสไบต์ต่ำ (A0 – A7) และมัลติเพลกซ์กับการรับส่งข้อมูล(D0 –D7) จากหน่วยความจำภายนอกระหว่างการเขียน หรืออ่านข้อมูลโดยมีวงจรพูลอัพภายใน

- ขาพอร์ต 1 (ขา 1 – 8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 1 (P1.0 –P1.7) สามารถใช้งานเป็นอินพุทหรือเอาท์พุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยมีวงจรพูลอัพภายใน

- ขาพอร์ต 2 (ขา 21 – 28) มี 8 ขา ใช้เป็นขาสำหรับพอร์ต 2 (P2.0 – P2.7) ขนาด 8 บิต แบบ Open Drain Bidirectional พอร์ตนี้สามารถใช้งานเป็นอินพุทเอาท์พุทพอร์ตทั่วไปได้ โดยหากใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อบังคับให้ขาอยู่ในสถานะ high impedance นอกจากจะใช้งานเป็นอินพุทเอาท์พุทพอร์ตทั่วไปแล้ว พอร์ต 2 ยังใช้งานในการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิปด้วย โดยใช้สำหรับส่งค่าแอดเดรสบัสไบต์สูง (A8 – A15) และมีวงจรพูลอัพภายใน

- ขาพอร์ต 3 (ขา 10 – 17) มี 8 ขาใช้เป็นขาสำหรับพอร์ต 3 (P3.0 – 3.7) สามารถใช้งานเป็นอินพุทเอาท์พุทพอร์ตทั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ต ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ตนี้ เพื่อให้มีสถานะ high impedance โดยใช้วงจรพูลอัพภายใน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่าง ๆ อีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลไปภายนอกแบบอนุกรม

ขาP3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพชนิดที่ 0

ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพชนิดที่ 1

ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 0

ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 1

ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูล ไปยังหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิป

การใช้งานพอร์ต 3 ในหน้าที่พิเศษดังกล่าวนี้จะต้องโหลดค่า 1 แต่ละบิตที่ต้องการใช้ก่อนทุกครั้ง

- ขา RST (ขา 9) ใช้สำหรับการรีเซตวงจรทุกอย่างภายในชิพเพื่อเริ่มต้นการทำงานใหม่ การรีเซตใช้เมื่อเริ่มจ่ายพลังงานหรือเมื่อโปรแกรมเกิดทำงานผิดพลาด เมื่อต้องการรีเซตชิพ MCS – 51 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมชชีนไซเคิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 กิโลโอห์ม เพื่อทำหน้าที่พูลดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นกราวนด์) และเพื่อให้ตัวชิพรีเซทเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10 ไมโครฟา รัดคร่อมระหว่างขา RST กับ Vcc

- ขา ALE/PROG (ขา 30) เป็นขาใช้สำหรับส่งสัญญาณออกไปภายนอก เพื่อควบคุมการแลตช์ค่าแอดเดรสไบต์ต่ำ (address latch enable) จากพอร์ต 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรม หรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอก ขานี้จะส่งสัญญาณพัลซ์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ ที่ใช้ตลอดเวลา ดังนั้นเราสามารถใช้ความถี่ที่จากขานี้ไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขานี้จะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิพ นอกจากนี้ขา ALE ยังใช้สำหรับควบคุมการเขียนโปรแกรมลงไปใน EPROM สำหรับ MCS – 51 เบอร์ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพเป็น EPROM

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรปเพื่ออ่านสัญญาณจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป (program strobe enable) เมื่อชิพทำงานด้วยโปรแกรมภายนอก ขานี้จะส่งสัญญาณสโตรป 2 ครั้งในแต่ละเมชชีนไซเคิล แต่ในช่วงการเขียนหรืออ่านข้อมูลจากหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพจะไม่มีสัญญาณออกมาจากขานี้

- ขา EA/Vpp (ขา 31) เป็นขาสำหรับใช้เลือกให้ MCS – 51 ทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิป โดยหากขานี้มีสถานะเป็น 0 หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น 1 หมายถึงบังคับให้ MCS – 51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป และสำหรับ MCS – 51 ที่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป สามารถเลือกให้ทำงานได้ทั้งจากโปรแกรมที่เก็บในหน่วยความจำภายในชิป หรือจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิปด้วยการต่อขาEN กับไฟเลี้ยงหรือกราวน์ตามลำดับ ส่วนใน MCS –51 ที่ไม่มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิป ให้ต่อขานี้ลงกราวน์เสมอ

- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอ โดยเป็นอินพุทเข้าสู่วงจรออสซิเลเตอร์

- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาท์พุทออกจากวงจออสซิลเลเตอร์

โครงสร้างพอร์ต MCS – 51

MCS – 51 ทุกเบอร์จะมีพอร์ตขนาด 8 บิต จำนวน 4 พอร์ต (P0.P1.P2.P3) โดยสามารถกำหนดให้ทำงานแบบพอร์ตขนาน 8 บิต 4 พอร์ต หรือจะให้เป็นพอร์ตขนาด 1 บิต ได้ถึง 32 พอร์ต ทั้งนี้ผู้ใช้ยังสามารถกำหนดให้แต่ละพอร์ตใช้งานเป็นอินพุทหรือเอาท์พุทพอร์ตอย่างใดอย่างหนึ่งได้อย่างอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ผู้ออกแบบต้องการใช้หน่วยความจำภายนอกไม่ว่าจะเป็นหน่วยความจำสำหรับเก็บข้อมูลหรือสำหรับเก็บโปรแกรม พอร์ต 0 จะถูกกำหนดการใช้งานดาต้าบัสและแอดเดรสบัสไบต์ต่ำ ส่วนพอร์ต 2 จะถูกกำหนดการใช้งานเป็นตัวส่งแอดเดรสบัสไบต์สูง และบางส่วนของพอร์ต 3 จะถูกใช้ส่งสัญญาณควบคุมหรือคอนโทรลบัส (สัญญาณที่ใช้ควบคุมการอ่านหรือเขียนข้อมูล) แต่หากหน่วยความจำที่ใช้ภายนอกต้องการใช้ไม่ถึง 64 กิโลไบต์ พอร์ต 2 ที่ใช้เป็นแอดเดรสบัสไบต์สูงจะไม่ถูกนำมาใช้ทั้งหมด แต่พอร์ต 0 จะถูกใช้ทั้งหมดทั้ง 8 เส้น เพราะต้องใช้เป็นดาต้าบัส ส่วนพอร์ต 3 จะนำมาใช้ติดต่อกับหน่วยความจำด้วยหรือไม่นั้นขึ้นอยู่กับหน่วยความจำที่ใช้ภายนอกว่ามีหน่วยความจำส่วนที่ใช้เก็บข้อมูลด้วยหรือไม่ ดังนั้นในการออกแบบระบบ หากต้องการใช้หน่วยความจำภายนอกมากขึ้นเพียงใดก็ยิ่งทำให้เหลือจำนวนพอร์ตที่จะนำมาใช้งานลดลง ในการออกแบบจริงจึงต้องพยายามลดขนาดหน่วยความจำภายนอกให้เหลือน้อยที่สุด

พอร์ต 3 ซึ่งมีขนาด 8 บิต นอกจากจะใช้ส่งสัญญาณสำหรับการอ่านหรือเขียนข้อมูลในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลภายนอกชิพแล้ว มันยังถูกใช้เป็นตัวรับสัญญาณอินเตอร์รัพ (INTO. INT1) สัญญาณอินพุทที่ต้องการนับสำหรับเคาน์เตอร์ (TO. T1) รวมทั้งใช้งานในการติดต่อสื่อสารข้อมูลอนุกรมกับอุปกรณ์ภายนอก (รับและส่งข้อมูลผ่านขา RXD. TXD) อีกด้วย

ภายในแต่ละพอร์ตที่ใช้เป็นอินพุทหรือเอาท์พุท ผู้ใช้สามารถกำหนดให้ทำงานเป็นอินพุทหรือเอาท์พุทพอร์ตได้อย่างอิสระ โดยอาศัยการควบคุมจากโปรแกรม ซึ่งสามารถควบคุมให้แต่ละพอร์ตถูกใช้เป็นอินพุทในช่วงเวลาหนึ่ง และเป็นเอาท์พุทในอีกช่วงเวลาหนึ่งได้

ไทม์เมอร์/เคาน์เตอร์

ใน MCS – 51 มีรีจิสเตอร์ใช้งานเฉพาะที่สามารถนับจำนวนสัญญาณนาฬิกาหรือแมชชีนไซเคิลของ วงจรออสซิลเลเตอร์ภายใน (ทำงานเป็นไทม์เมอร์) หรือนับจำนวนครั้งของการเปลี่ยนสถานะของสัญญาณภายนอก (นับจำนวนพัลซ์ภายนอก) ที่ขา TO.T1 ของพอร์ต 3 (ทำงานเป็นเคาน์เตอร์) รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์มีขนาด 16 บิต จำนวน 2 ตัว คือรีจิสเตอร์ไทม์เมอร์ 0 และรีจิสเตอร์ไทม์เมอร์ 1 ตามลำดับ เมื่อต้องการใช้ไทม์เมอร์ 0 หรือ ไทม์เมอร์ 1 จะต้องโหลดค่าที่ต้องการนับไปไว้ในรีจิสเตอร์ไทม์เมอร์ 0 หรือรีจิสเตอร์ไทม์เมอร์1 และเมื่อนับได้ครบจำนวนที่ตั้งไว้จะมีสัญญาณอินเตอร์รัพเพื่อบอกให้ซีพียูทราบ

การควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์ สามารถควบคุมได้จากวงจรภายนอกหรือควบคุมจากคำสั่งในโปรแกรม ดังนั้นรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ใน MCS – 51 จะสามารถวัดช่วงห่างของเวลา วัดความกว้างของพัลซ์ หรือนับจำนวนครั้งของเหตุการณ์ที่เกิดขึ้นภายนอกที่เปลี่ยนให้อยู่ในรูปของสัญญาณไฟฟ้าแล้ว รวมทั้งใช้กำเนิดสัญญาณอินเตอร์รัพที่คาบเวลาที่แน่นอนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างการอินเตอร์รัพ

MCS – 51 สามารถรับสัญญาณอินเตอร์รัพได้ถึง 5 ชนิด โดยจะเป็นสัญญาณอินเตอร์รัพที่เกิดจากภายนอก 2 ชนิด และที่เกิดจากภายในชิปอีก 3 ชนิด เมื่อมีสัญญาณอินเตอร์รัพเกิดขึ้น MCS – 51 จะละการทำงานโปรแกรมที่กำลังทำอยู่และข้ามไปทำงานโปรแกรมบริการอินเตร์รัพ (interrupt service routine) ที่อยู่ในหน่วยความจำตำแหน่งต่าง ๆ ขึ้นอยู่กับชนิดของสัญญาณอินเตอร์รัพได้

เราสามารถเลือกให้ซีพียูใน MCS – 51 ถูกอินเตอร์รัพโดยสัญญาณอินเตอร์รัพที่เกิดขึ้นได้ โดยการกำหนดค่าในรีจิสเตอร์ใช้งานเฉพาะ IE นอกจากนี้ยังสามารถควบคุมลำดับความสำคัญในการตอบสนองต่อสัญญาณอินเตอร์รัพของ MCS – 51 ได้ด้วยรีจิสเตอร์ใช้งานเฉพาะ IP

รีจิสเตอร์ใช้งาน เฉพาะ IE (Interrupt Enable Register) เข้าถึงข้อมูลได้ในระดับบิต

รีจิสเตอร์ใช้งาน เฉพาะ IP (Interrupt Priority Register) เข้าถึงข้อมูลได้ในระดับบิต

วิธีการเข้าถึงข้อมูล

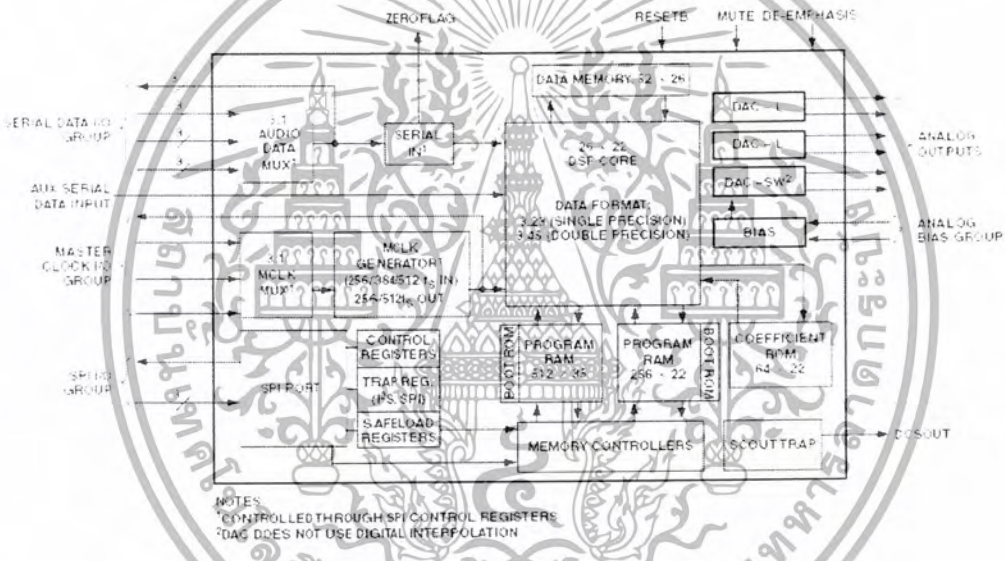
คำสั่งที่ใช้ควบคุมการทำงานของ MCS – 51 มีสองประเภทคือ คำสั่งที่ต้องการข้อมูลมาดำเนินการเพื่อให้ได้ผลลัพธ์ และ คำสั่งที่ไม่ต้องการข้อมูลมาดำเนินการคำสั่งที่ต้องการข้อมูลจะมีวิธีในการเข้าถึงข้อมูลได้หลายวิธีดังนี้

- วิธีการเข้าถึงข้อมูลโดยตรง (direct addressing)
- วิธีการเข้าถึงข้อมูลโดยทางอ้อม (indirect addressing)
- วิธีการเข้าถึงข้อมูลในรีจิสเตอร์ใช้งานทั่วไป (register instructions)
- วิธีการเข้าถึงข้อมูลในรีจิสเตอร์เฉพาะของตัวคำสั่ง (register – specific instructions)
- วิธีการเข้าถึงข้อมูลที่กำหนดเองโดยตรง (immediate constants)
- วิธีการเข้าถึงข้อมูลที่มีตัวชี้อ้างอิง (indexed addressing)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 AD1954

AD1954 เป็น chip DSP ที่เกี่ยวข้องกับการประมวลผลทางเสียงดิจิตอล (Digital Audio) มีการประมวลผลแบบ 26 บิต มีสัญญาณเอาท์พุท 3 channel (right, left, sub) นอกจากนี้ยังมีฟังก์ชันที่ใช้ในการ Equalization สำหรับ speaker ทั่วๆ ไป ซึ่งกระบวนการเหล่านี้สามารถลดข้อจำกัดของ Speaker , Amplifier เพื่อเพิ่มสุนทรียภาพในการฟังได้เป็นอย่างดี โดย AD1954 นี้สามารถเทียบได้กับระบบชั้นสูงในสตูดิโอ ซึ่งการประมวลผลส่วนใหญ่เป็นแบบ 48 บิต double precision มีประสิทธิภาพกับสัญญาณในระดับ low level นอกจากนี้ยังมี SPI port ที่ใช้ในการ update parameter หรือใช้อ่าน/เขียนค่าไปยัง AD1954 ได้



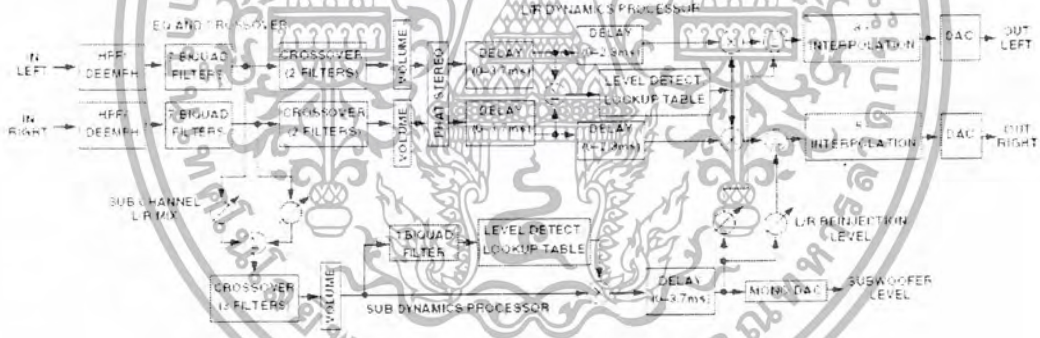
รูปที่ 2.8 Block Diagram ของ AD1954

นอกจากนี้ AD1954 ยังประกอบด้วยโปรแกรม RAM ที่ boot จาก โปรแกรม ROM ภายในในตอนเริ่มต้นเปิดเครื่อง ส่วน parameter ที่ใช้ในการประมวลผลจะเก็บไว้ใน parameter RAM โดยค่า parameter นี้จะถูกเรียกมาจาก boot ROM ในตอนเริ่มต้นเปิดเครื่องเช่นเดียวกันกับโปรแกรม ส่วนค่า parameter ค่าใหม่ที่ต้องการใส่เข้าไปสามารถเขียนผ่านได้ทาง SPI Port โดยค่านี้จะเก็บไว้ใน parameter RAM โดย SPI port นี้สามารถใช้ในการติดต่อได้ทั้งการอ่านและเขียนข้อมูล ทั้งของ program RAM และ parameter RAM ซึ่งมี register ที่ใช้ในการควบคุม SPI นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมวลผลสัญญาณ (Signal Processing)

จากรูปที่ 2.9 แสดงการประมวลผลสัญญาณภายใน AD1954 โดย AD1954 นี้ได้ออกแบบมาเพื่อใช้กับระบบเสียง 2.0 หรือ 2.1 โดยมี biquad equalizer stereo input จำนวน 7 ตัวในแต่ละ channel ทำงานประมวลผลสัญญาณอินพุท จากนั้นสัญญาณจะถูกส่งไปยัง biquad cross over filter ส่วนผลรวมโมโนของสัญญาณจากทั้งซ้ายและขวาจะถูกส่งไปยัง biquad cross over filter จำนวน 3 ตัว เพื่อใช้สำหรับ sub channel โดยแต่ละ channel จะมี delay ที่ใช้ในการชดเชยทางเวลา โดยมี compressor/limiter ที่มีคุณภาพสูงสำหรับแต่ละ channel จากนั้นสัญญาณจาก sub channel จะถูกนำกลับมารวมกันอีกครั้งกับสัญญาณจาก left และ right channel เพื่อเป็นเอาท์พุทให้กับการประมวลผลในระบบ 2.0 ส่วนในระบบ 2.1 ก็จะส่งสัญญาณ subwoofer output ออกมาด้วย โดยการประมวลผลส่วนใหญ่ใน AD1954 นี้ประมวลผลแบบ 48 bit double precision สัญญาณอินพุทจะมีขนาด 24 บิต โดยจะมี 2 บิตพิเศษที่เพิ่มเข้ามาเพื่อให้สามารถที่อัตราขยายได้ถึง 12dB โดยไม่มีการขลิบของสัญญาณ



รูปที่ 2.9 แสดงการประมวลผลสัญญาณภายใน AD1954

โดย AD1954 นี้มี graphical user interface (GUI) ที่ใช้ในการควบคุม AD1954 evaluation board ซึ่งสามารถควบคุมการทำงานของ board ได้ทั้งหมด

รูปแบบของตัวเลขที่ใช้ในการประมวลผล (Numeric Format)

ใน AD1954 ได้ใช้รูปแบบข้อมูลเป็นแบบ 2' completment เป็นมาตรฐานของระบบ รูปแบบของตัวเลขในแบบเศษส่วนจะอยู่ในรูปแบบ A.B โดย A คือ เลขที่อยู่ทางซ้ายมือของจุดทศนิยม B คือ เลขที่อยู่ทางขวามือของจุดทศนิยม ในรูปแบบของ 2' completment เช่น ในระบบ 1.23 รูปแบบข้อมูลเป็น 2' completment แสดงว่า ข้อมูลจะมีค่าอยู่ในช่วง –1.0 ถึง + (1.0-1 LSB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย AD1954 ใช้รูปแบบข้อมูลอยู่ 2 รูปแบบในการประมวลผล คือ ใช้กับค่า coefficient อีกรูปแบบคือใช้กับข้อมูลสัญญาณ

รูปแบบของสัมประสิทธ์ (Coefficient Format)

จะอยู่ในรูปแบบ 2.20 ในช่วง –2.0 ถึง + (2.0 - LSB) เช่น

10000000000000000000 = -2.0

11000000000000000000 = -1.0

11111111111111111111 = (น้อยกว่า 0 อยู่1LSB)

00000000000000000000 = 0.0

01000000000000000000 = 1.0

01111111111111111111 = (2.0- 1LSB)

โดยรูปแบบนี้จะใช้กับค่า Coefficient ที่ใช้กับ biquad filter

รูปแบบของสัญญาณที่ใช้ในการประมวลผลภายใน AD1954

จะอยู่ในรูปแบบ 3.23 ในช่วง –4.0 ถึง +(4.0 - LSB) เช่น

100000000000000000000000= -4.0

110000000000000000000000 = -2.0

111000000000000000000000 = -1.0

111111111111111111111111 = (น้อยกว่า 0 อยู่1LSB)

000000000000000000000000 = 0.0

001000000000000000000000 = 1.0

010000000000000000000 00= 2.0

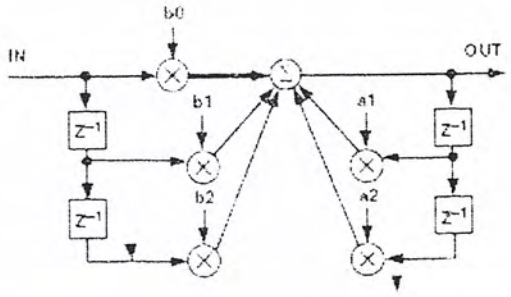
011111111111111111111111 = (4.0- 1LSB)

โดยรูปแบบนี้จะเป็นสัญญาณภายใน AD1954

Biquad Filters

ในแต่ละ Channel จะมี Biquad Filters อันดับ 2 จำนวน 7 ตัว ที่ใช้ในการสร้าง อีกวอไลเซอร์ นอกจากนี้ก็ยังมี biquad cross over filter อีกด้วย โดย biquad filer 1 ตัวแสดงในรูปแบบ IIR filter ได้ดังรูป 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 biquad filter

โดยที่ Transfer function คือ

$$H(Z) = \frac{(b0 + b1 \cdot Z^{-1} + b2 \cdot Z^{-2})}{(1 - a1 \cdot Z^{-1} - a2 \cdot Z^{-2})}$$

Coefficient a1, a2, b0, b1, b2 จะอยู่ในรูปแบบ 2' completement ซึ่งอยู่ในรูปแบบ 2.20 double precision โดยเราสามารถออกแบบ biquad filter ให้เป็นตัวกรองชนิดต่างๆที่เราต้องการได้โดยการเปลี่ยนค่า coefficient

Volume

เราสามารถใช้ SPI port ในการควบคุม volume ของ AD1954 ได้ ทั้ง 3 channel โดย Volume Control นั้นอยู่ในรูปแบบ 2.20 ซึ่งมีค่าอยู่ในช่วง -2 ถึง +2 โดยค่าปกติอยู่ที่ +1 ซึ่งเราต้องใช้ 1024 audile frame ในการปรับค่า volume จาก +2 ถึง 0

SPI Port (Serial Programmable Interface Port)

AD1954 มีตัวเลือกในการควบคุมได้หลายแบบโดยใช้ SPI port การประมวลผลสัญญาณ parameter ส่วนใหญ่ควบคุมโดยการเขียนค่าใหม่ไปยัง Parameter RAM ผ่านทาง SPI port

SPI Port มีสายสัญญาณ 4 เส้น ในการติดต่อกับ AD1954 ประกอบด้วย CLATCH, CDATA, CCLK, COUT

- CLATCH จะเป็นสัญญาณ low ในตอนเริ่มต้นของการส่งสัญญาณ และ high เมื่อสิ้นสุดการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ คณะวิศวกรรมศาสตร์

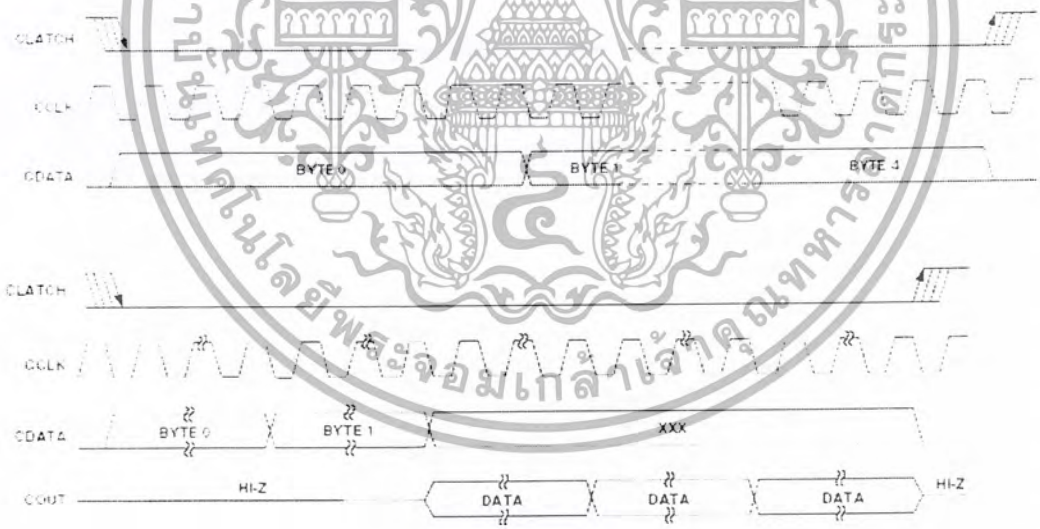
- CDATA เป็นสายสัญญาณที่ใช้ในการส่งข้อมูลอินพุทอนุกรม
- CCLK เป็นสัญญาณนาฬิกาในการส่งข้อมูล ทำงานที่ระดับสัญญาณเปลี่ยนจาก low เป็น high
- COUT เป็นสายสัญญาณข้อมูลเอาพุทอนุกรม

ซึ่งทำให้เราสามารถใช้อุปกรณ์อื่นๆที่เข้ากันได้กับ SPI port นี้มาทำงานร่วมกันได้

SPI port มีความสามารถในการ อ่านและเขียนหน่วยความจำทั้งหมด (parameter ,program memory) และ SPI register บางตัว (control register1 , control register2) โดยการเข้าถึงหน่วยความจำ สามารถทำได้ทั้ง single address mode หรือ burst mode โดยการติดต่อกับ SPI สามารถทำได้ตามรูปแบบพื้นฐานดังตารางที่ 2.1

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
[illegible] Wb R, adr[9:8]	Adr[7:0]	Data	Data	Data

ตารางที่ 2.1 SPI word format



รูปที่ 2.11 แสดง Timing Diagram ของการส่งข้อมูลผ่าน SPI Port

โดยบิต R/W เป็น Low ในการเขียน เป็น high ในการอ่าน โดยมี address จำนวน 10 บิต ที่ใช้ในการอ้างถึงตำแหน่งใดตำแหน่งหนึ่งของหน่วยความจำ (program memory , parameter memory)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55492

หรืออ้างถึง SPI register โดยจำนวนของ data-byte ขึ้นอยู่กับชนิดของข้อมูล ส่วนใน brust mode (ใช้กับการ load RAM เท่านั้น) ค่า address เริ่มต้นจะถูกกำหนดและลำดับของ address จะเพิ่มขึ้นเพื่อเรียงลำดับข้อมูลให้ต่อเนื่องไปตามตำแหน่งของ RAM

ตารางที่ 2.2 SPI port address decoding

SPI Address	Register Name	Read/Write wordlength.
0-255	Parameter RAM	Write 22 Bits Read 22 Bits
256	SPI Control Register 1	Write 11 Bits Read 2 Bits
257	SPI Control Register 2	Write 9 Bits Read N/A
258	Volume Left	Write 22 Bits Read N/A
259	Volume Right	Write 22 Bits Read N/A
260	Volume Sub	Write 22 Bits Read N/A
261	Data Capture SPI Out #1	Write 9 Bit Program Counter Value, 2 Bit Register Address Read 24 Bits
262	Data Capture SPI Out #2	Write 9 Bit Program Counter Value 2 Bit Register Address Read 24 Bits
263	Data Capture Serial Out Left	Write 9 Bit Program Counter Value, 2 Bit Register Address Read N/A
264	Data Capture Serial Out Right	Write 9 Bit Program Counter value, 2 Bit Register Address Read N/A
265	Parameter RAM Safe Load Register 0	Write 8 Bit Parameter RAM Address, 22 Bit Parameter Data Read N/A
266	Parameter RAM Safe Load Register 1	Write 8 Bit Parameter RAM Address, 22 Bit Parameter Data Read N/A
267	Parameter RAM Safe Load Register 2	Write 8 Bit Parameter RAM Address, 22 Bit Parameter Data Read N/A
268	Parameter RAM Safe Load Register 3	Write 8 Bit Parameter RAM Address, 22 Bit Parameter Data Read N/A
269	Parameter RAM Safe Load Register 4	Write 8 Bit Parameter RAM Address, 22 Bit Parameter Data Read N/A
269-510	Unused	
511	Test Register	Write 8 Bits Read N/A
512-1024	Program RAM	Write 35 Bits Read 35 Bits

SPI Address decoding

ตารางที่ 2.2 แสดง Address decoding ที่ใช้ใน SPI port โดย SPI address จะประกอบด้วยกลุ่มของ register และ RAM 2 ชุด โดยชุดหนึ่งเก็บค่า parameter และ อีกชุดหนึ่งเก็บค่า program instruction โดย RAM ทั้ง 2 ชุด สามารถ load ได้จากตอนเริ่มเปิดเครื่อง จาก boot ROM บน board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Register 1

ใช้ในการควบคุม SPI port ในการติดต่อกับหน่วยความจำ โดยมี function การทำงานตามตาราง ที่ 2.3และตารางที่ 2.4 แสดงการอ่านข้อมูลของ control registers 1

ตารางที่ 2.3 Controls register 1 write definition

Register Bits	Function
11	De-emphasis Aux. Serial Input Pin Select (1 = Aux. Serial Input)
10	Halt Program (1 = Halt)
9	Initiate safe transfer (1 = transfer)
8	Enable D0,SCLK,LT output pin (1 = enable)
7	Soft Mute (1 = start mute sequence)
6	Soft Power down (1 = power down)
5,4	De-emphasis curve select 00 = none 01 = 44.1 kHz 10 = 32 kHz 11 = 48 kHz
3,2	Serial In Mode 00 = I²S 01 = Right-Justified 10 = DSP 11 = Left-Justified
1,0	Wordlength 00 = 24 Bits 01 = 20 Bits 10 = 16 Bits 11 = 16 Bits

ตารางที่ 2.4 Control register 1 read definition

Register Bits	Function
1	DSP core shutdown complete 1 = shutdown complete 0 = not shut down
0	Safe Memory Load Complete 1 = complete (note: cleared after read) 0 = not complete

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Register2

เป็น Register ที่ใช้ในการควบคุม MCLK Clock, Volume Ramp Speed, Serial Port Input Select โดยสามารถควบคุมได้ดังตารางที่ 2.5

ตารางที่ 2.5 Control Register 2 Write Definitions

Register Bits	Function
8	Serial Port Output Enable 1 = enabled 0 = disabled
7-6	Serial Port Input Select 00 = IN0 01 = IN1 10 = IN2 11 = NA
5-4	MCLK Input Select 00 = MCLK0 01 = MCLK1 10 = MCLK2 11 = NA
3-2	MCLK In Frequency Select 00 = 512 × fs 01 = 256 × fs 10 = Not Available 11 = 384 × fs
1-0	MCLK Out Frequency Select 00 Disabled 01 512 × fs 10 256 × fs 11 MCLK_out = MCLK_in feed-thru

Parameter Update

Parameter และ program RAM สามารถเขียนได้หลายวิธีดังนี้

1 การอ่าน/เขียนโดยตรง เป็นวิธีที่เข้าถึงหน่วยความจำโดยตรง ใช้ในการประมวลผลแบบ Real- Time

2 การอ่าน/เขียนโดยตรงหลังจากที่ AD1954 Shut down เป็นวิธีการที่ใช้ในการส่งข้อมูลจำนวนมาก เช่น การ initial RAM หรือการ load program ใหม่ ซึ่งต้องทำใน burst mode

3 Safe load write เป็นการเก็บค่าparameter ที่ต้องการ load ไว้ใน register ก่อน แล้วจึงค่อยส่งไปยัง RAM

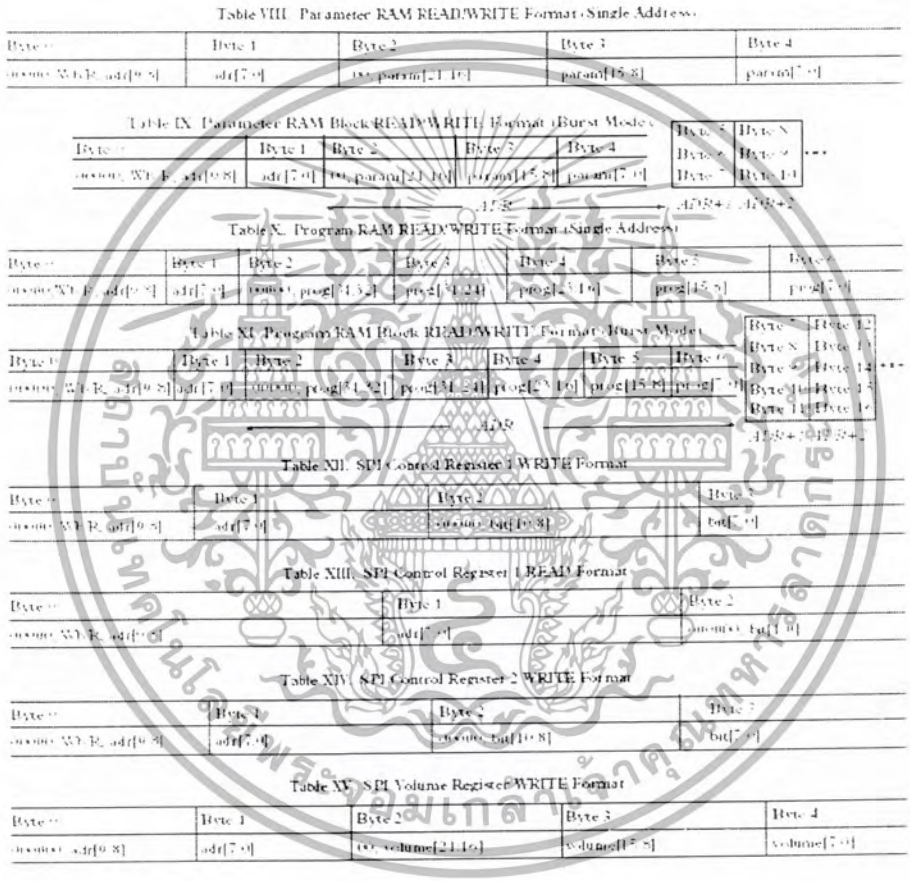
SPI Read/Write Format

SPI Read/Write Format ได้ออกแบบมาเพื่อให้สามารถโปรแกรมได้ด้วย microcontroller โดยการแยก byte ออกจากกัน โดย 2 byte จะใช้เก็บ address และ read/write format โดย 0 ที่เพิ่มเข้ามาเพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ ข้อมูลครบ byte ส่วน byte ต่อมาก็จะเป็นข้อมูลซึ่งขนาดของข้อมูลก็จะขึ้นกับชนิดของข้อมูล เช่น program จะมีขนาด 5 byte parameter จะมีขนาด 3 byte เป็นต้น โดยตารางที่ 2.6 แสดงถึงขนาด และชนิด RAM ใน SPI port ส่วนในตารางที่ 2.7 แสดง read/write format ของ parameter RAM , program RAM และ Register

ตารางที่ 2.6 แสดงขนาดและชนิด RAM ใน SPI port



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table XVI. Data Capture Register WRITE Format

Byte 0	Byte 1	Byte 2	Byte 3
<unreadable> WR, adr[9:8]	adr[7:0]	<unreadable>, progCount[8:6]	progCount[5:0], regSel[1:0]

NOTES
1. ProgCount[5:0] = value of program counter where instruction was taken at.
2. RegSel[1:0] selects one of four registers (see Data Capture Register section).

Table XVII. Data_Capture_Serial Out Register (Address and Register Select) WRITE Format

Byte 0	Byte 1	Byte 2	Byte 3
<unreadable> WR, adr[9:8]	adr[7:0]	<unreadable>, progCount[8:6]	progCount[5:0], regSel[1:0]

NOTES
1. ProgCount[5:0] = value of program counter where instruction was taken at.
2. RegSel[1:0] selects one of four registers (see Data Capture Register section).

Table XVIII. Data Capture READ Format

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5
<unreadable> WR, adr[9:8]	adr[7:0]	<unreadable>	data[23:16]	data[15:8]	data[7:0]

Table XIX. Safeload Register Write Format

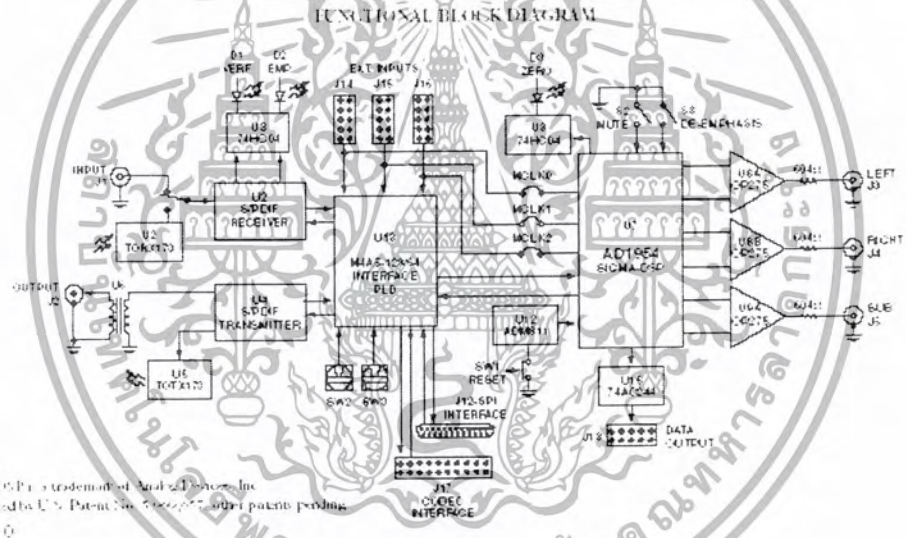
Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5
<unreadable> WR, adr[9:8]	adr[7:0]	param3[7:0]	<unreadable>, param[21:16]	param[15:8]	param[7:0]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 AD1954 Evaluation Board (EVAL-AD1954EB)

เป็น Board ที่ใช้ในการทดสอบและแสดงการทำงานของชิพ AD1954 ซึ่งการประมวลผลการ ในทั้งโปรแกรมและพารามิเตอร์ ของ AD1954EB สามารถควบคุมได้โดย SPI port ติดต่อกับ PC โดยผ่าน parallel port

ไฟเลี้ยงที่ board ต้องการใช้ได้ตั้งแต่ + - 9 ถึง +12 VDC ทั้งในส่วนของ analog และ digital บน board จะมีวงจรรักษาระดับแรงดันคงที่ 5VDC โดยจะรับสัญญาณอนุกรมดิจิตอลอินพุทมาจาก RCA jack หรือ optical ในรูปแบบ S/PDIF โดยสาย analog RCA phone jack ทั้ง 3 เส้น จะจ่ายสัญญาณ output ที่เป็น analog ออกมา ส่วนดิจิตอลเอาท์พุทจะส่งออกมาในแบบ optical หรือ S/PDIF ทางสาย RCA โดยรูปที่ 2.12 แสดง Block Diagram ของ AD1954 Evaluation Board



รูปที่ 2.12 แสดง Block Diagram ของ AD1954 Evaluation Board

ฟังก์ชันการทำงานของไอซีต่างๆบน AD1954 Evaluation Board

- U1 (TORX173) ตัวรับสัญญาณ digital audio optical ซึ่งรับสัญญาณที่มอดดูเลตมากับแสงในช่วงสีแดง ในรูปแบบ -S/PDIF แล้วนำมาเปลี่ยนเป็น standard TTL digital เพื่อนำมาเป็น input ให้กับ digital audio receiver (U2).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- U2 (CS8414-CS) รับสัญญาณอนุกรม S/PDIF digital audio encoded และทำการ decodes ให้เป็น audio information

- U3 (74HC04) เป็น 3 quad input logic inverter และทำหน้าที่เป็น buffer นอกจากนี้ยังใช้ทำหน้าที่ในการ interface

- U4 (CS8404A-CS) เป็นตัวส่งสัญญาณ S/PDIF ที่รับมาจากข้อมูลอนุกรม SDATA, MCLK, LRCLK, BCLK ไปยัง to slink และ RCA output

- U5 (TOTX173) เป็น digital audio optical transmitter สร้างสัญญาณในรูปแบบ S/PDIF จาก standard TTL digital signal output of the digital audio transmitter (U4)

- U6 (SC937-02) เป็น digital audio transformer ที่ใช้เป็น buffer ให้กับ board เพื่อป้องกัน ground loop

- U7 (AD1954) เป็น SigmaDSP digital audio processor และ converter

- U8,U9 (OP275) เป็น op amps ที่มีสัญญาณรบกวนและความผิดเพี้ยนต่ำ โดย U8 จะเปลี่ยนสัญญาณ differential-to-single-ended ให้เป็นสัญญาณ left right channel outputs, U9 ก็ทำเช่นเดียวกันแต่ส่งไปยัง sub channel

- U10 (LM317) สร้าง 5 V DC voltage regulation ให้กับ digital section ของ evaluation board

- U11 (ADP3303-5) เป็นส่วนที่สร้าง 5 V DC regulator ให้กับ analog section สำหรับ AD1954

- U12 (ADM811) สร้างสัญญาณ RESET เมื่อกดสวิตซ์ (SW1) โดยจะใช้ 240 ms reset pulse

- U13 (M4A5-128/64) ทำหน้าที่ในการ decode, buffer

- U14 (74HC243) เป็น quad 3-state non-inverting buffer

- U15 (74AC244) เป็น octal non-inverting buffer/line driver ใช้ในการขับ 3-state outputs

- U16 (NC7S14) เป็นinverter ที่มีคุณภาพสูงใช้ Schmitt trigger เป็น input

Software

AD1954 ได้ออกแบบมาให้ใช้กับ software ที่สามารถควบคุมการทำงานและฟังก์ชันทั้งหมดได้ โดยใช้การติดต่อกับ SPI port นอกจากนั้นยังสามารถใช้ Orcad และ Graphical Compiler เพื่อสร้างการประมวลผลสัญญาณที่ให้กับ AD1954EB ซึ่งเราสามารถโปรแกรม parameter และ program โดยใช้ SPI port ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการออกแบบและวิธีการสร้าง

หลักการออกแบบนั้นคือเราต้องการควบคุม AD1954 evaluation board โดยไม่ต้องใช้ software ใดๆเลย ซึ่งเราได้ใช้ไมโครคอนโทรลเลอร์เป็นตัวควบคุมแทน โดยใช้การติดต่อกับ board ผ่านทาง SPI port โดยเราได้แบ่งการออกแบบและการสร้างนี้ออกเป็น 2 ส่วน คือ

1. การออกแบบวงจรบน AD1954EB ให้เป็นไปตามที่ต้องการ
2. การควบคุม AD1954EB โดยใช้ไมโครคอนโทรลเลอร์

ซึ่งมีรายละเอียดดังต่อไปนี้

3.1การออกแบบวงจรบน AD1954EB ให้เป็นไปตามที่ต้องการ

แบ่งออกได้เป็นขั้นตอนดังนี้

- การออกแบบวงจรโดยใช้โปรแกรม Orcad
- การตรวจสอบวงจรที่ได้ออกแบบและการสร้าง hex file

3.1.2 การออกแบบวงจรโดยใช้โปรแกรม Orcad

จากการที่ AD1954 ได้ออกแบบมาให้สามารถใช้โปรแกรม Orcad ออกแบบการประมวลผลสัญญาณบน AD1954 evaluation board ได้โดยใช้ library ของ Orcad ที่ได้ออกแบบไว้ให้ ซึ่งหลังจากออกแบบวงจรตามที่ต้องการได้แล้ว ก็ทำการสร้างไฟล์ netlist ของวงจรที่สร้างนั้น จากนั้นจึงนำไฟล์ที่ได้นั้นมาทำการ compile โดยไฟล์ที่ได้จากการ compile นี้ จะให้ ไฟล์ที่เป็นโปรแกรมและพารามิเตอร์สำหรับใช้ในการควบคุม AD1954 ได้ ในรูปแบบ hex ซึ่งจะนำไปใช้กับไมโครคอนโทรลเลอร์อีกทีหนึ่ง โดยมีรายละเอียดดังนี้

- ทำการออกแบบการประมวลผลสัญญาณตามที่เราต้องการโดยใช้ Library ของ Orcad โดยมี library ที่ใช้ในการออกแบบดังนี้

INTERPOLATORS.OLB เป็น library ที่เกี่ยวกับ interpolation filters

DYNAMICS.OLB เป็น library ที่เกี่ยวกับ dynamics processing blocks

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IIR_FILTERS_SINGLEP.OLB เป็น library ที่เกี่ยวกับการสร้าง IIR filters ชนิดที่มีความเอียด 26 บิต (single-precision 26-bit)

IIR_FILTERS_DOUBLEP.OLB เป็น library ที่เกี่ยวกับ ที่เกี่ยวกับการสร้าง IIR filter ชนิดที่มีความเอียด 48 บิต

MIX_VOL.OLB เป็น library ที่เกี่ยวกับ mixers and volume controls

GAIN.OLB เป็น library ที่เกี่ยวกับ static gain

SOURCES.OLB เป็น library ที่เกี่ยวกับแหล่งจ่ายสัญญาณ เช่น serial port, oscillatorและ noise generator

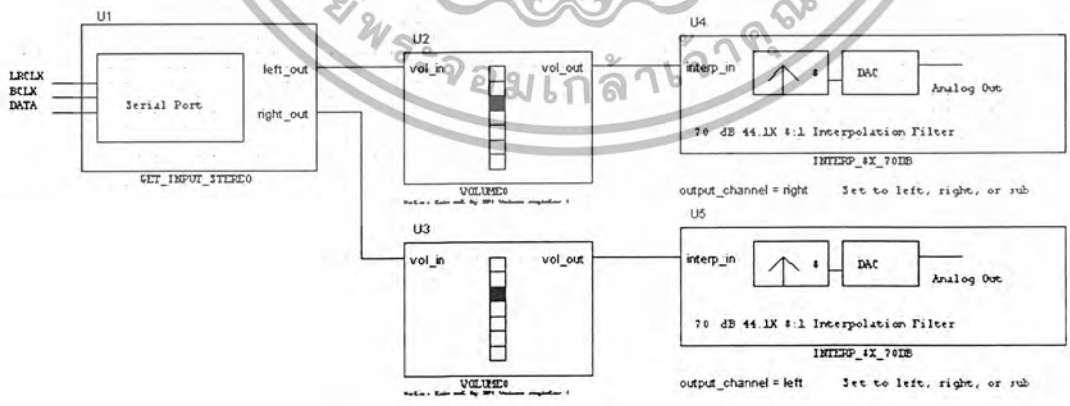
DAC_OUT.OLB เป็น library ที่เกี่ยวกับ DAC output โดยมีการ interpolation ร่วมด้วย

DELAY.OLB เป็น library ที่เกี่ยวกับ fixed และ dynamic delay

MISC.OLB เป็น library ที่เก็บการทำงานอื่นๆที่จำเป็น

โดยการออกแบบวงจรทั้งหมดทำโดยใช้โปรแกรม OrCAD Schematic Capture โดยขั้นตอนดังนี้

1. ทำการเปิดโปรแกรม PSpice Student แล้วเลือกไปที่ Capture Student
2. ทำการสร้างโปรเจกใหม่เลือกไปที่ New >> Project >> Schematic
3. ทำการเลือก Library ทั้งหมดที่ต้องการใช้
4. ทำการสร้างโปรเจ็กใหม่บน Schematic Capture โดยในขั้นตอนนี้เราสามารถออกแบบวงจรต่างๆ ตามที่เราต้องการได้ เช่น วงจรนี้เป็นการรับ serial digital input แล้วนำมาผ่าน volume control ทั้ง channel ซ้ายและขวา แล้วส่งผ่าน DAC ด้วย interpolation 70 dB



รูปที่ 3.1 แสดงวงจรที่ออกแบบโดยใช้ Orcad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- input เลือก get_input_stereo

- Output เลือก interp_8x_70db

5. ทำการ Save Project แล้วทำการ Create Netlist Files

- เลือกไปที่ Tool >> Create Netlist…

- เลือกไปที่ Spice เลือก Options ☑Include Unconnected pins และ ☑Use net names

- เลือก Path ที่เก็บไฟล์ Netlist ที่ C:\SigmaComposer*.CIR

6. ทำการคอมไพล์ไฟล์ Netlist ที่ได้

- เลือกไปที่ Sigma ImpLoader แล้วทำการ Set Clock Mode

- เลือกไฟล์ที่จะทำการคอมไพล์ *.cir

7. ทำการ Compile Files Netlist โดยไฟล์ที่คอมไพล์ได้ออกมาจะเป็นไฟล์ .dat จำนวน 6 ไฟล์ ประกอบด้วย

program_data.dat: จะเป็น ASCII file ที่ประกอบด้วยข้อมูล binary ใช้สำหรับ load program ด้วย software ของ ADI

hex_program_data.dat: จะเป็น hex file ที่ใช้ในการโปรแกรม ad1954 สามารถ load ได้ด้วย microcontroller ซึ่งเราจะใช้ file นี้ในขั้นตอนการควบคุม board ด้วย microcontroller

hex_spi_data.dat: จะเป็น hex file ที่ใช้เป็นพารามิเตอร์ให้กับ ad1954 สามารถ load ได้ด้วย microcontroller

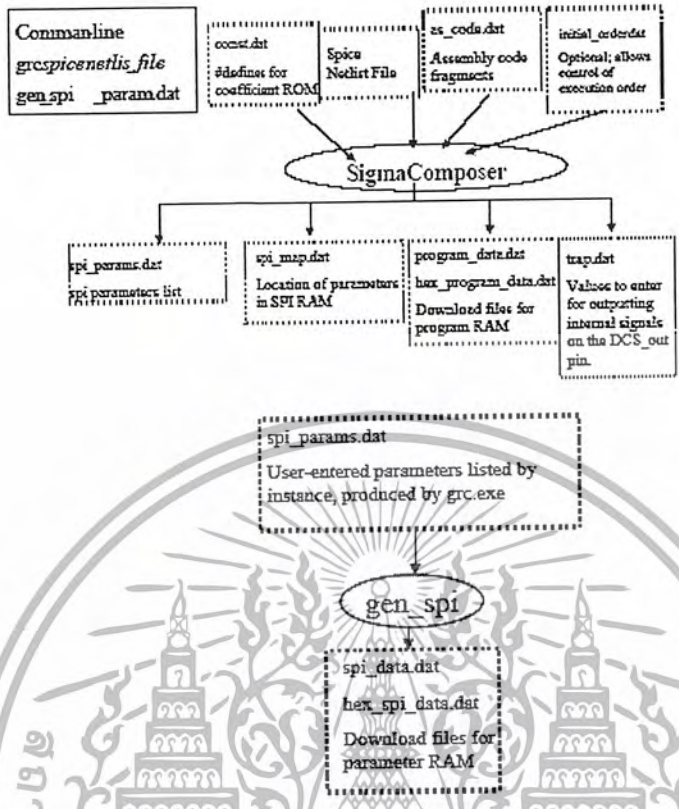
spi_data.dat: จะเป็น ASCII file ที่ประกอบด้วยข้อมูล binary ใช้สำหรับ load parameter ด้วย software ของ ADI

spi_map.dat: จะเป็น mapping ของ parameter ที่เก็บไว้ใน SPI port

trap.dat: แสดงค่าของสัญญาณ output ที่เก็บไว้ใน trap register

ซึ่งเราจะใช้ hex_program_data.dat, hex_spi_data.dat นี้ในขั้นตอนการควบคุม board ด้วย microcontroller โดยรูปที่ 3.2 แสดง flow graph ของ SigmaComposer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 SigmaComposer file flow graph

3.2 การควบคุม AD1954EB โดยใช้ไมโครคอนโทรลเลอร์

โดยหลักการออกแบบคือเราต้องการใช้ไมโครคอนโทรลเลอร์ในการควบคุม AD1954 Evaluation Board โดยไม่ต้องใช้ software ใดๆซึ่งก็คือ เราต้องออกแบบให้ board ซึ่งเดิมเป็นการติดต่อกับพีซีโดยผ่านทาง parallel port มองเห็นไมโครคอนโทรลเลอร์ของเราเป็นพีซีแทน ทำให้เราต้องใช้มาตรฐานในการติดต่อกับ board โดยผ่านทาง SPI port ซึ่ง AD1954 ได้มีออกแบบมาไว้เพื่อใช้ในการติดต่อนี้ ส่วนค่าโปรแกรมและพารามิเตอร์ที่ได้จากการออกแบบก่อนหน้านี้ที่อยู่ในรูปแบบ hex file เราจะนำมาเก็บไว้ในไมโครคอนโทรลเลอร์ในรูปแบบ look up table แล้วเขียนโปรแกรมให้ไมโครคอนโทรลเลอร์ส่งค่าที่อยู่ใน table นี้ออกไปในรูปแบบที่สามารถติดต่อกับ board ได้ โดยมีรายละเอียดดังนี้

-การติดต่อกับ SPI port

ในการติดต่อกับ SPI port ของ board นั้นจะใช้สัญญาณในการติดต่อจำนวน 4 เส้น คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLATCH จะเป็นสัญญาณ low ในตอนเริ่มต้นของการส่งสัญญาณ และ high เมื่อสิ้นสุดการส่งสัญญาณ

CDATA เป็นสายสัญญาณที่ใช้ในการส่งข้อมูลอินพุทอนุกรม

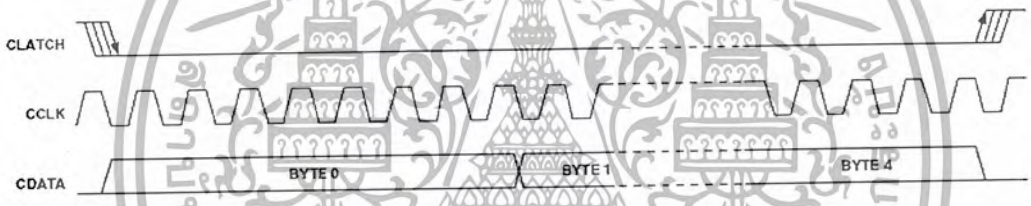
CCLK เป็นสัญญาณ clock ในการส่งข้อมูล ทำงานที่ระดับสัญญาณเปลี่ยนจาก low เป็น high

COUT เป็นสายสัญญาณข้อมูลเอาพุทอนุกรม

โดยในการส่งข้อมูล ไปยัง SPI port ต้องเป็นไปตามรูปแบบทั่วๆไปเป็นดังตารางที่ 3.1 และมี Timing Diagram รูปที่ 3.3

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
00000, Wb/R, adr[9:8]	Adr[7:0]	Data	Data	Data

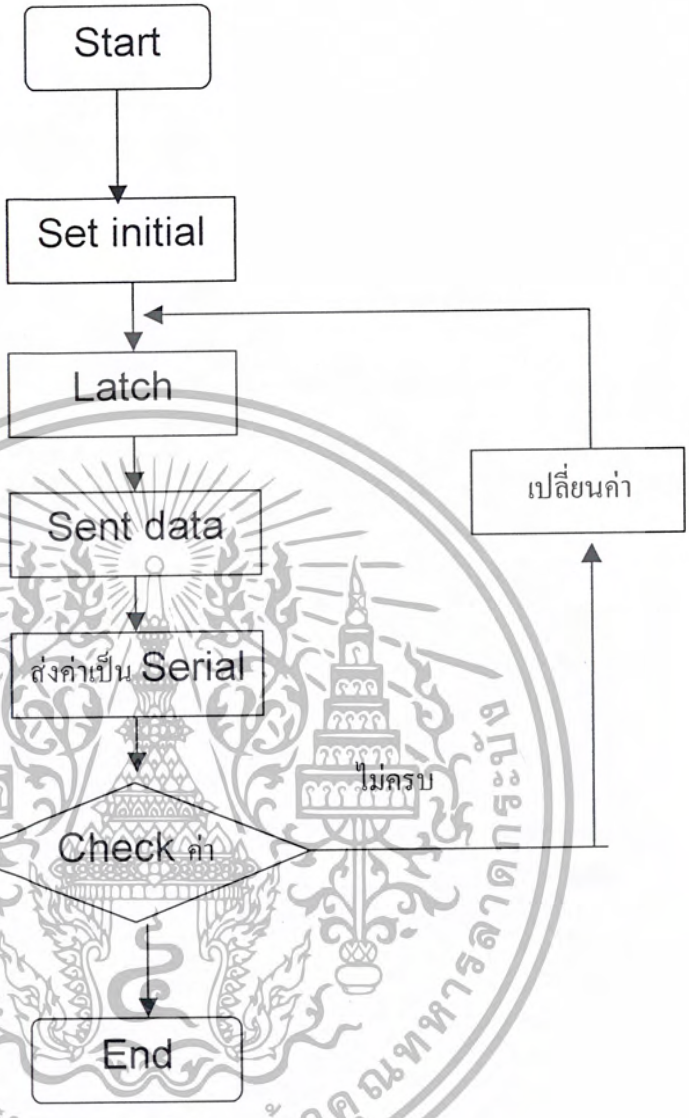
ตารางที่ 3.1 SPI word format



รูปที่ 3.3 Timing Diagram ของ SPI Port ในการส่งข้อมูล

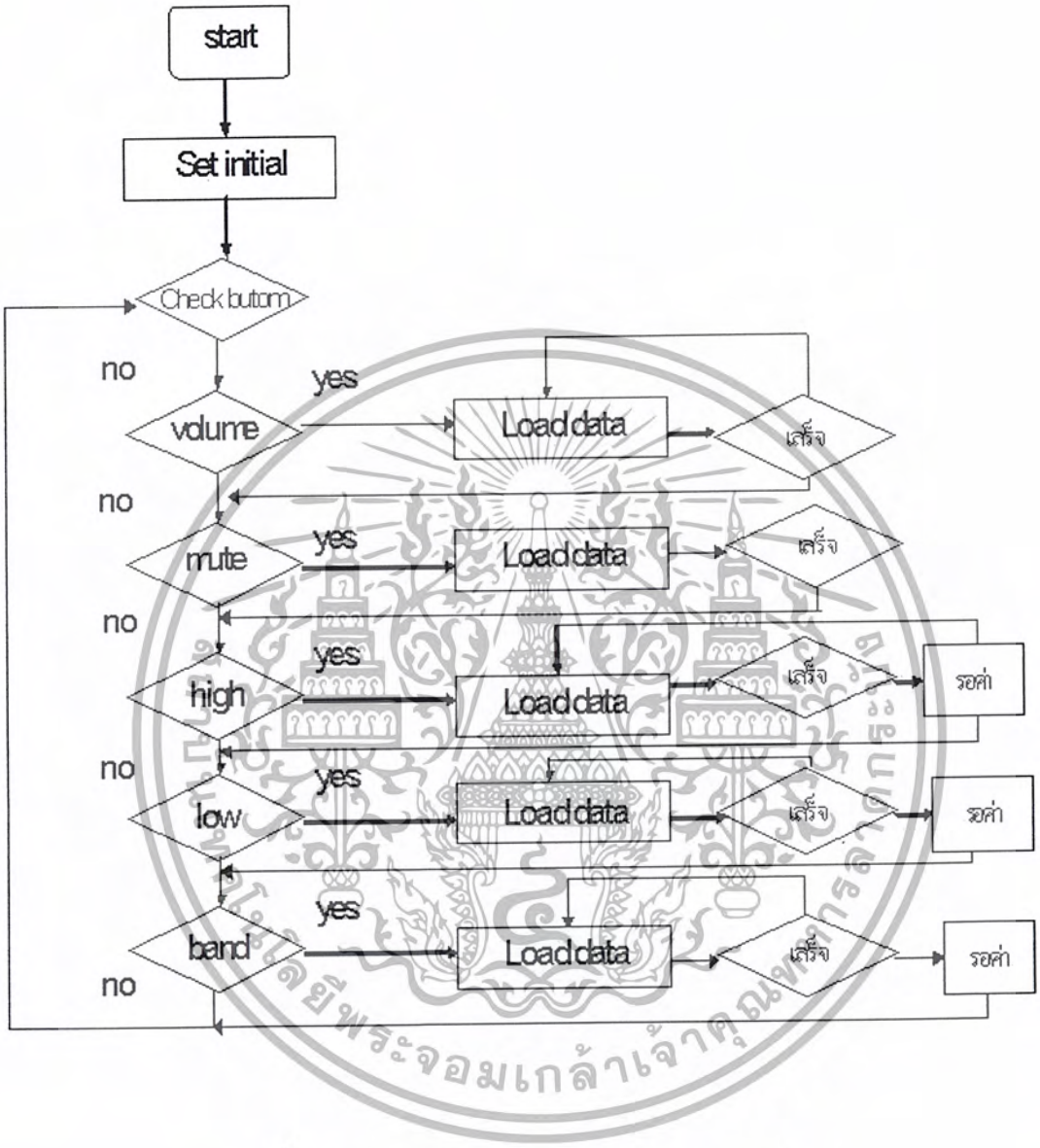
ส่วนในการส่งในการส่งรูปแบบอื่นๆมีรายละเอียดดังที่ได้กล่าวไว้แล้วในเรื่อง AD1954 โดยข้อมูลที่เราต้องทำการส่งไปยัง board ก็ประกอบด้วยการ control register ,program instruction hex_program_data.dat) ,parameter (hex_spi_data.dat) โดยมี Flow Chart ในการทำงานดังรูปที่ 3.4 และ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 Flow Chart Load Data ไปยัง AD1954EB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 Flow Chart การทำงานของ Microcontroller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

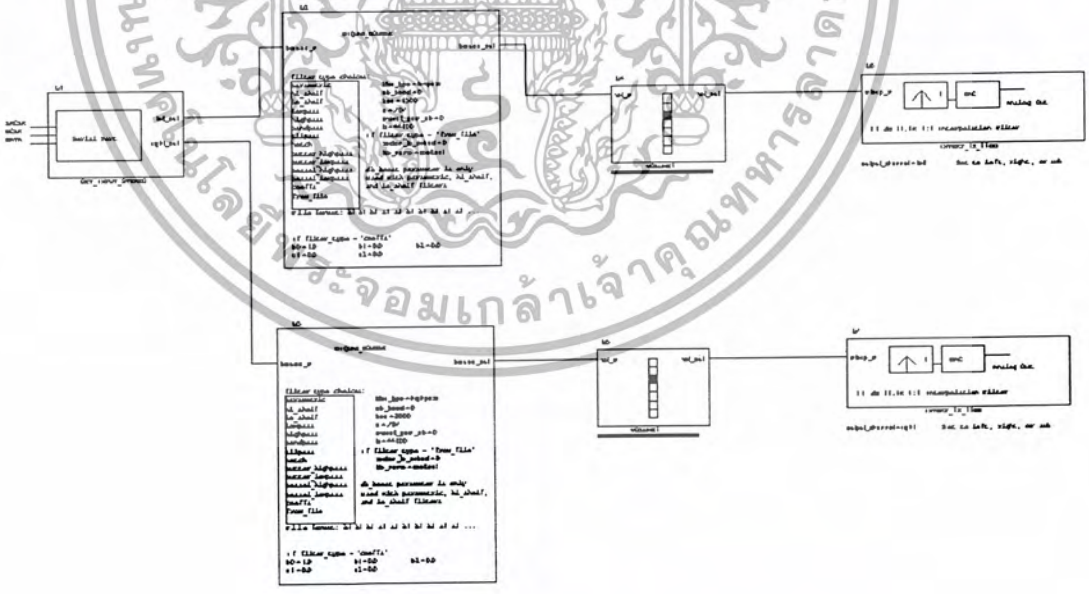
การทดลองและผลการทดลอง

จากการทดลองการใช้งานและการควบคุมบอร์ด AD1954EB ได้แบ่งการทดลองออกเป็น 2 ส่วน คือ

- การทดลองออกแบบการประมวลผลตามที่ต้องการ โดยใช้ Library ที่มีอยู่ใน orcad
- ใช้ Microcontroller ควบคุมการทำงานต่างๆ ของบอร์ด

4.1 แบบการประมวลผลตามที่ต้องการโดยใช้ Library ที่มีอยู่ใน orcad

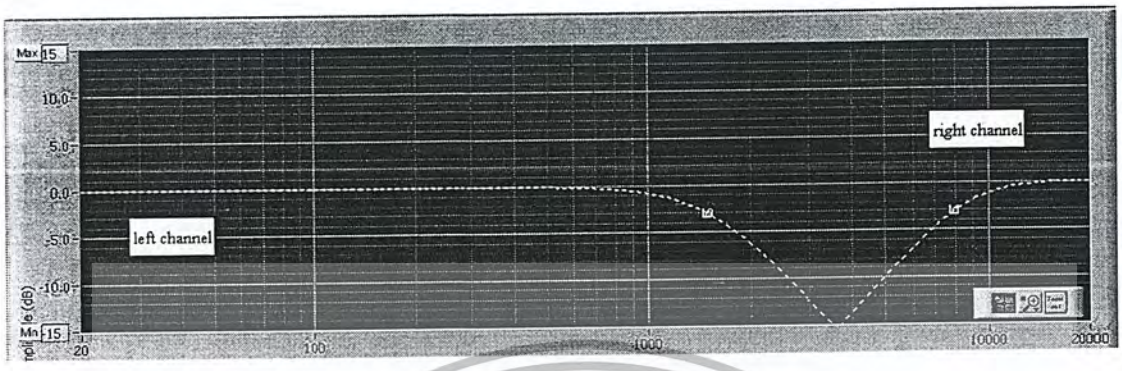
โดยทดลองทำการสร้างวงจรที่ประมวลผลสัญญาณ โดยใช้ Library IIR_FILTERS_DOUBLEP มาสร้าง Filter ที่ทำหน้าที่เป็นวงจรกรองสัญญาณเสียงย่านความที่ต่ำ 1.5 kHz ออกที่ลำโพงด้านซ้าย ส่วนด้านขวาจะเป็นสัญญาณที่ถูกกรองด้วยวงจรกรองสัญญาณเสียงย่านความที่สูง 8 kHz โดยมีวงจรดังนี้



รูปที่ 4.1 วงจรที่ได้สร้างโดยใช้ Orcad

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีผลตอบสนองความถี่ดังนี้



รูปที่ 4.2 ผลตอบสนองความถี่

โดยจากการทดลองพบว่าสามารถสร้างเสียงได้ตามคุณลักษณะที่ต้องการอยู่ในขั้นที่น่าพอใจ

4.2 การทดลองใช้ Microcontroller ควบคุมการทำงานต่างๆ ของบอร์ด

เราได้ใช้ควบคุมการทำงานของบอร์ดได้โดยการส่งค่าต่างๆ ไปควบคุมพารามิเตอร์ต่างๆที่อยู่ในพารามิเตอร์แรมของบอร์ด เช่น Biquade coefficient, volume control register, control register แบบ Real time โดยมีการทดลองดังนี้

- การควบคุมระดับเสียง (Volume control) ของ AD1954 EB

ทำการทดลองโดยการใช้ไมโครคอนโทรลเลอร์สั่งให้ AD1954EB ทำการปรับระดับเสียง โดยให้มีระดับเสียง 9 ระดับ นอกจากนี้ยังมีการทำให้มีการสั่งให้บอร์ดหยุดการส่งเสียง (mute) ออกมา โดยการควบคุม Volume Register Left, Volume Register Right และ Control Register I ของ AD1954EB โดยพบว่าวงจรทำการตอบสนองในระดับที่น่าพอใจ

- การทดลองสัญญาณในการกรองความถี่

เนื่องจากการที่ได้ทดลองในการติดต่อกับบอร์ด AD1954EB ซึ่งสามารถติดต่อได้อย่างดี จึงได้ทำการทดลองในส่วนที่ 2 คือการสร้างฟิลเตอร์ให้เป็นไปตามที่ออกแบบในโปรแกรมที่มีอยู่ โดยใช้ไมโครคอนโทรลเลอร์ ซึ่งใช้ค่าอินพุทที่รับสัญญาณมาจาก DRIVE CD-ROM จากคอมพิวเตอร์ ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุทในส่วนนี้มีลักษณะเป็นแบบ bit stream ซึ่งก็คือมีการไหลของข้อมูลซึ่งเป็นดิจิตอลไหลไปเรื่อย ๆ ดังนั้นในการทดลองการกรองความถี่จึงเกิดปัญหาคือ ไม่สามารถนำอินพุทที่มีลักษณะเป็นอนาล็อกและสามารถปรับความถี่ได้มาใช้ในการทดลองเนื่องจาก บอร์ด AD1954EB นี้จะทำการประมวลผลสัญญาณหรือเอาท์พุทเป็นดิจิตอลเท่านั้น จึงต้องทำการแปลงลักษณะของสัญญาณจากสัญญาณอนาล็อกมาเป็น bit stream เพื่อที่จะสามารถป้อนสัญญาณที่เป็นดิจิตอลเข้าทางอินพุทของบอร์ดได้ ซึ่งการแปลงสัญญาณได้นำเครื่องมือซึ่งเป็นตัวขยายสัญญาณที่สามารถแปลงจากสัญญาณอนาล็อกที่มาจากฟังก์ชั่นเจนเนอเรเตอร์ ออกมาเป็น bit stream ได้ ซึ่งสามารถอธิบายโดยละเอียดได้ดังนี้

วิธีการทดลอง

1. ต่อวงจรกับบอร์ดทดลองร่วมกันดังรูปที่4.3

รูปที่ 4.3 แสดงบล็อกไดอะแกรมของวงจรที่ได้ทำการทดลอง

2. ป้อนสัญญาณซายน์ขนาด 0.5 โวลต์ แล้วทำการปรับค่าความถี่ของสัญญาณตั้งแต่ 0-22 kHz
3. ใช้ไมโครคอนโทรลเลอร์ที่ทำการเขียนโปรแกรมไว้ ในการควบคุมบอร์ด
   3.1 LOWPASS FILTER
   3.2 BANDPASS FILTER
   3.3 HIGHPASS FILTER
4. วัดค่าผลการทดลอง โดยวัดอินพุทที่ทางออกของฟังก์ชั่นเจนเนอเรเตอร์ และเอาท์พุทที่ทางออกของตัวขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. นำค่าที่ได้จากผลการทดลองมาพล็อตกราฟเปรียบเทียบกับกราฟที่สร้างมาจากซอฟแวร์ของบอร์ด

รูปที่ 4.4 แสดงตัวเครื่องแปลงสัญญาณจากสัญญาณอินพุทที่เป็นอนาลอกให้เป็นสัญญาณดิจิตอล ซึ่งเป็นยี่ห้อ ONKYO CD/MD TUNER AMPLIFIER รุ่น FRX7

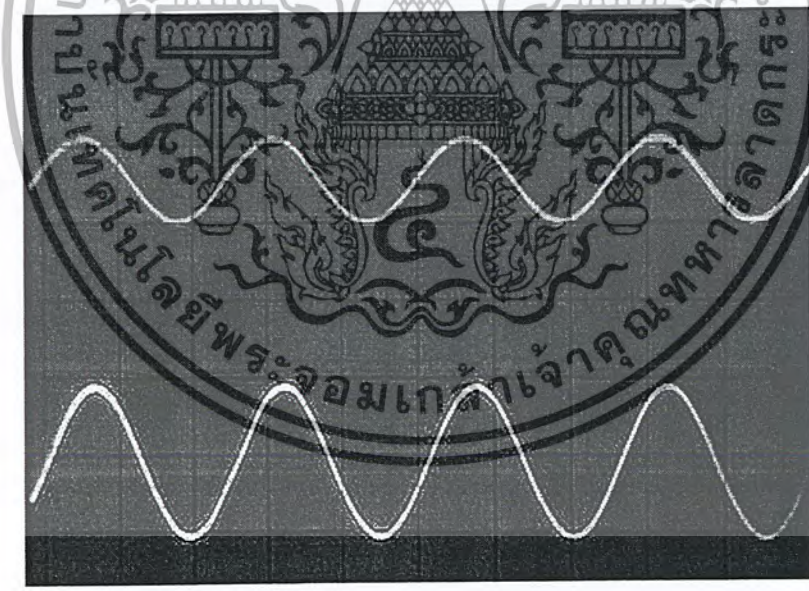
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

โดยขณะที่วงจรยังไม่มีการสร้างเป็นวงจรกรองความถี่ ทำการป้อนสัญญาณ Sine wave ขนาด 0.5 โวลต์ ที่ความถี่กลางจะให้สัญญาณเอาท์พุท ขนาด 4 โวลต์ โดยหลังจากสร้างเป็นวงจรกรองความถี่ชนิดต่างๆ มีผลการทดลองดังนี้

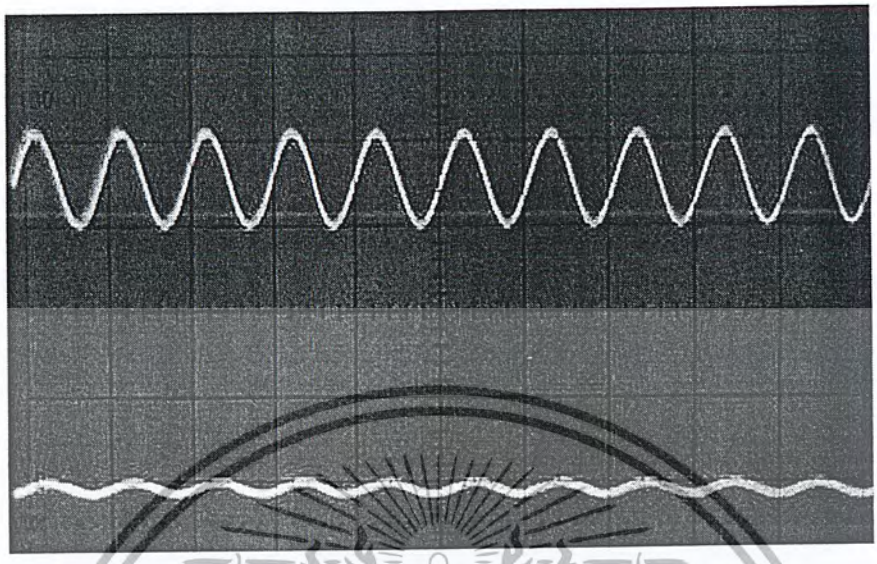
- การสร้างวงจรกรองความถี่ต่ำผ่าน

โดยการออกแบบ Biquade Filter ที่มีความถี่ตัดที่ 1 kHz อัตราขยาย 0 dB มีค่า Q = 0.7 โดยพบว่าเราสัญญาณเอาท์พุทที่ได้มีผลลัพธ์ที่ใกล้เคียงกับที่ได้ออกแบบไว้ โดยรูปที่ 4.5 แสดงสัญญาณเอาท์พุทในช่วงที่ต่ำกว่าค่าความถี่คัทออฟ รูปที่ 4.6 แสดงสัญญาณเอาท์พุทในช่วงที่สัญญาณอินพุทมีความถี่สูงกว่าค่าความถี่คัทออฟ ส่วนในรูปที่ 4.7 แสดงสัญญาณอินพุทที่ป้อนเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่สูงกว่าค่าความถี่คัทออฟ ซึ่งจะเห็นว่าสัญญาณสี่เหลี่ยมได้ถูกกรององค์ประกอบในช่วงความถี่ที่สูงกว่าค่าความถี่คัทออฟออกไป ทำให้เหลือแต่ในช่วงความที่ต่ำทำให้ได้สัญญาณเอาท์พุทเป็นสัญญาณรูปไซน์



รูปที่ 4.5 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

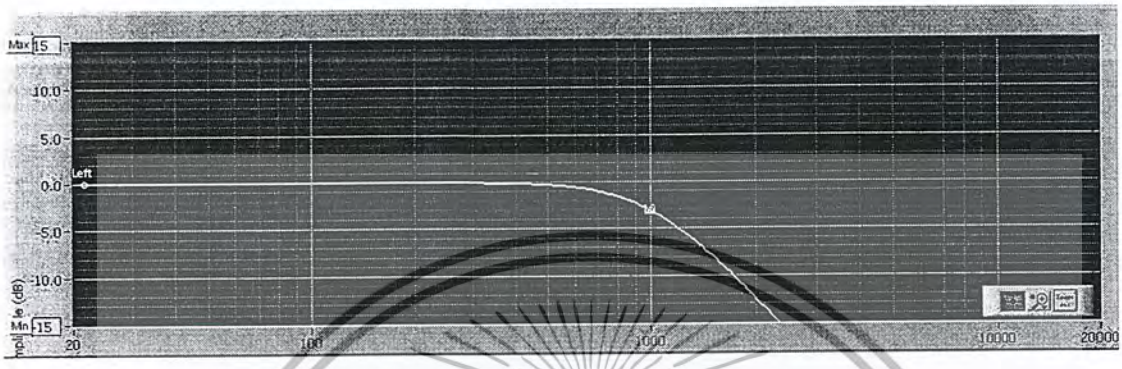


รูปที่ 4.6 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความถี่สูง

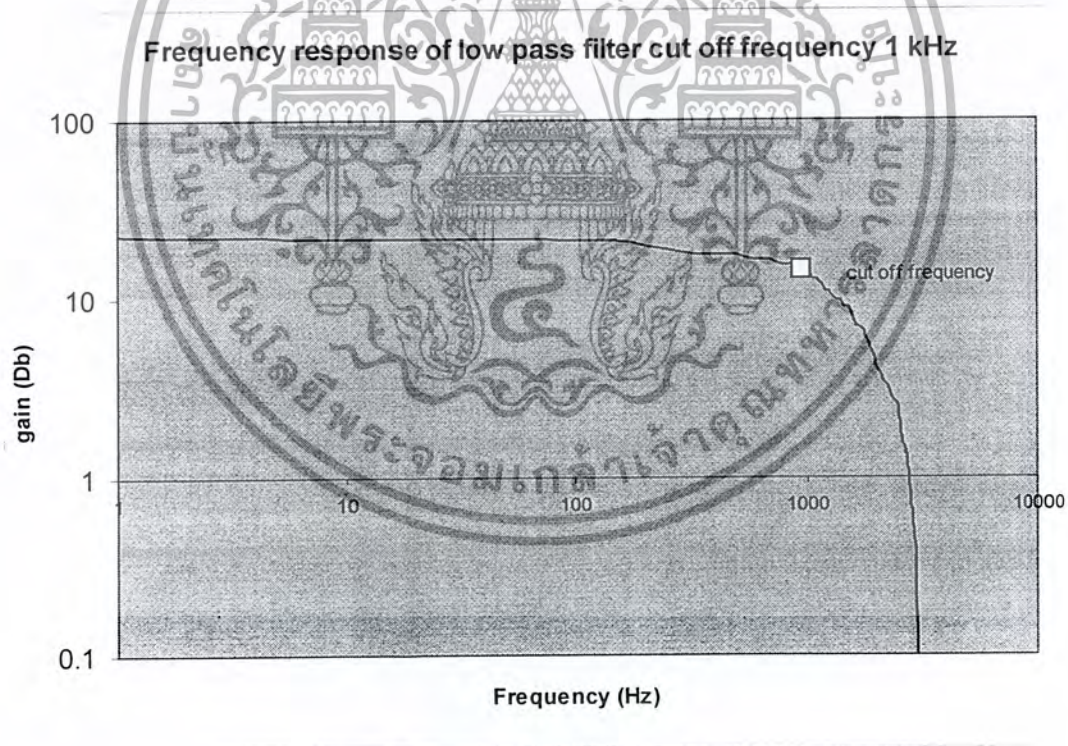
รูปที่ 4.7 แสดงอินพุท(รูปบน)ที่ป้อนเป็นสัญญาณสี่เหลี่ยม
และเอาท์พุท(รูปล่าง)ที่ผ่าน Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากการทดลองมีผลตอบสนองทางความถี่ใกล้เคียงกับกราฟที่ได้ใช้ซอฟแวร์จากบอร์ด โดยรูปที่ 4.8 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผลออกมา ส่วนในรูปที่ 4.9 แสดงผลตอบสนองทางความถี่ที่ได้จากการทดลอง



รูปที่ 4.8 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผลออกมา

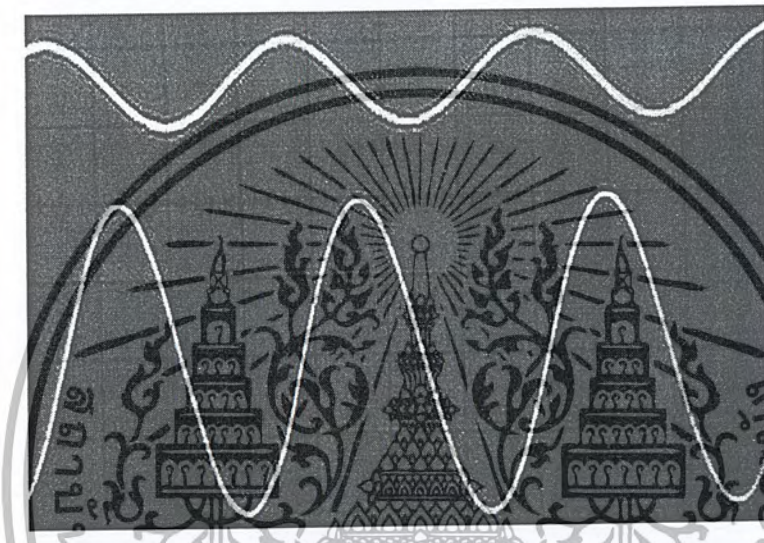


รูปที่ 4.9 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน ค่าความถี่คัทออฟ 1 KHz ที่ได้จากการทดลอง

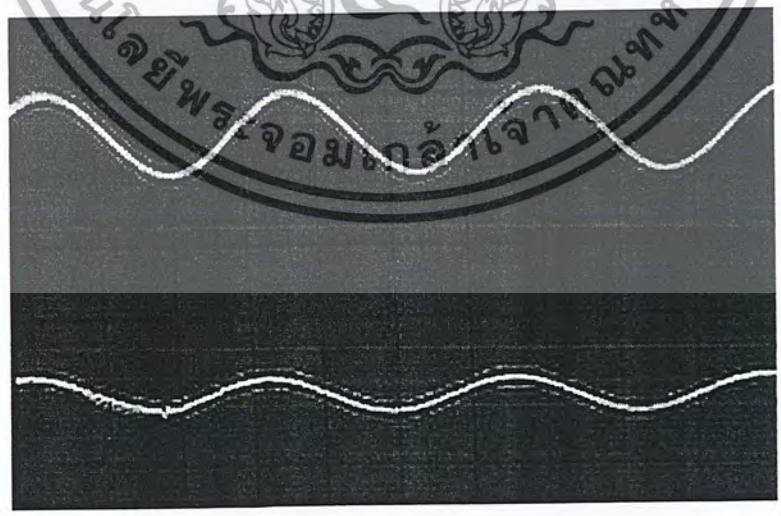
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การสร้างวงจรกรองความถี่แถบผ่าน

โดยการออกแบบ Biquade Filter ที่มีความถี่กลางที่ 3 kHz อัตราขยาย 0 dB มีค่าQ = 0.7 โดยพบว่าเราสัญญาณเอาท์พุทที่ได้มีผลลัพธ์ที่ใกล้เคียงกับที่ได้ออกแบบไว้ โดยรูปที่ 4.10 แสดงสัญญาณเอาท์พุทที่ได้จากสัญญาณอินพุทที่อยู่ในช่วงแถบผ่านความถี่ ส่วนรูปที่ 4.11 แสดงสัญญาณเอาท์พุทที่ได้จากสัญญาณอินพุทที่อยู่นอกช่วงแถบผ่านความถี่



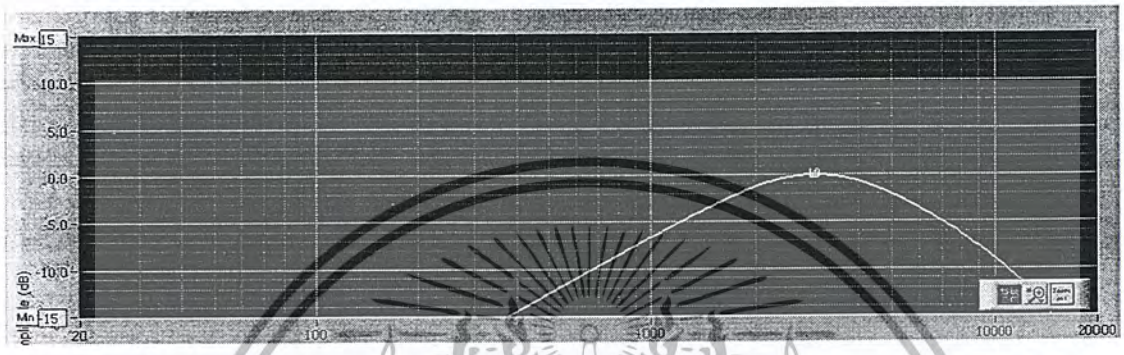
รูปที่ 4.10 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความถี่ pass band



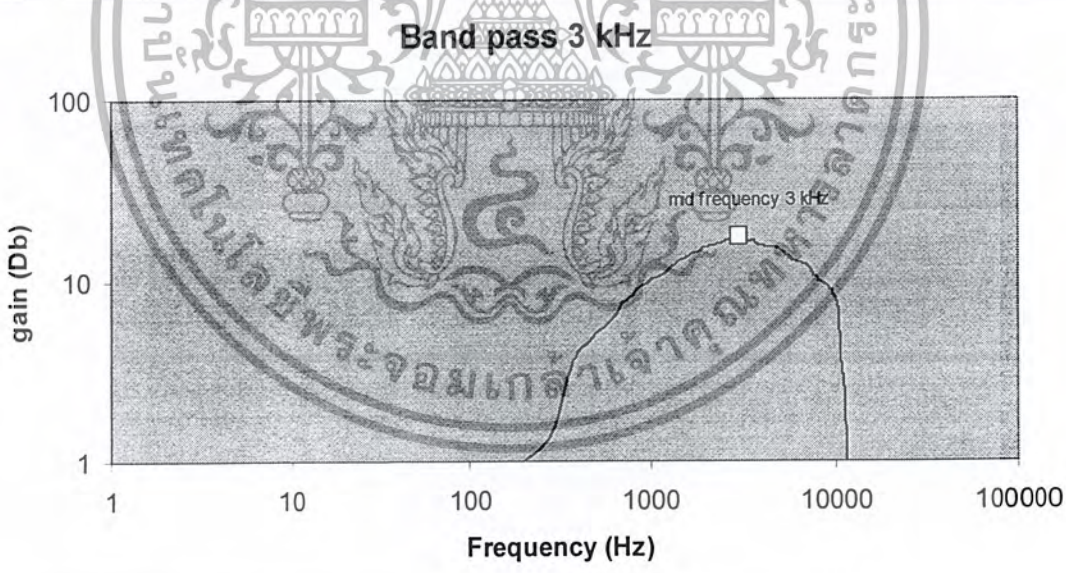
รูปที่ 4.11 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความstop band

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากการทดลองมีผลตอบสนองทางความถี่ใกล้เคียงกับกราฟที่ได้ใช้ซอฟแวร์จากบอร์ด โดยรูปที่ 4.12 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผลออกมา ส่วนในรูปที่ 4.13 แสดงผลตอบสนองทางความถี่ที่ได้จากการทดลอง



รูปที่ 4.12 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผล

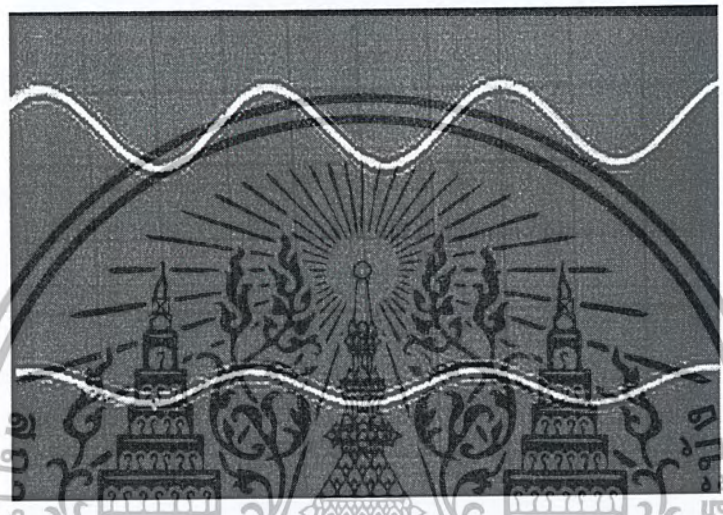


รูปที่ 4.13 แสดงผลตอบสนองทางความของวงจรกรองความถี่แถบผ่าน ความถี่กลาง 3 kHz ที่ได้จากการทดลอง

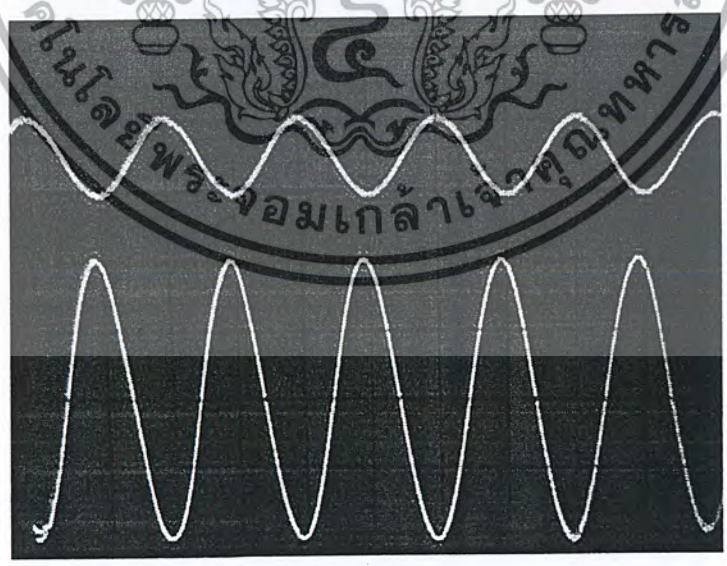
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การสร้างวงจรกรองความถี่สูงผ่าน

โดยการออกแบบ Biquade Filter ที่มีความถี่คัทออฟที่ 8 kHz อัตราขยาย 0 dB มีค่าQ = 0.7 โดยพบว่าเราสัญญาณเอาท์พุทที่ได้มีผลลัพธ์ที่ใกล้เคียงกับที่ได้ออกแบบไว้ ไว้ โดยรูปที่ 4.14 แสดงสัญญาณเอาท์พุทในช่วงที่สัญญาณอินพุทต่ำกว่าค่าความถี่คัทออฟทำให้เกิดการลดทอนของสัญญาณ ส่วนในรูปที่ 4.15 แสดงสัญญาณเอาท์พุทในช่วงที่สัญญาณอินพุทมีความถี่สูงกว่าค่าความถี่คัทออฟ



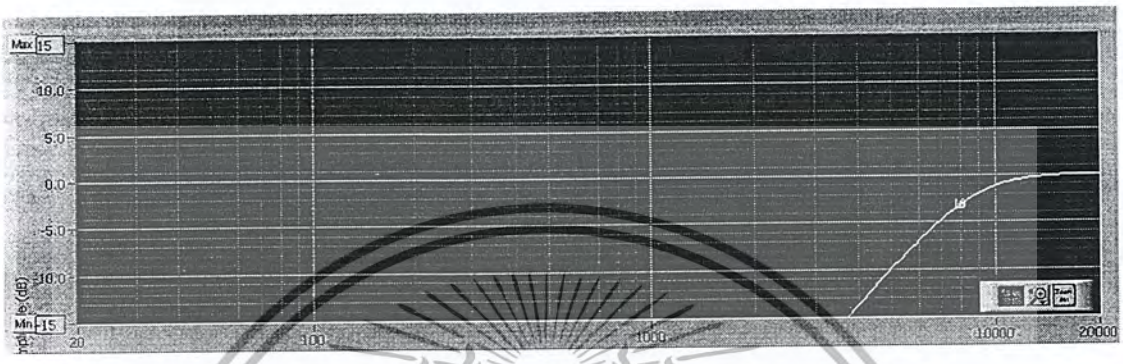
รูปที่ 4.14 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความถี่ต่ำ



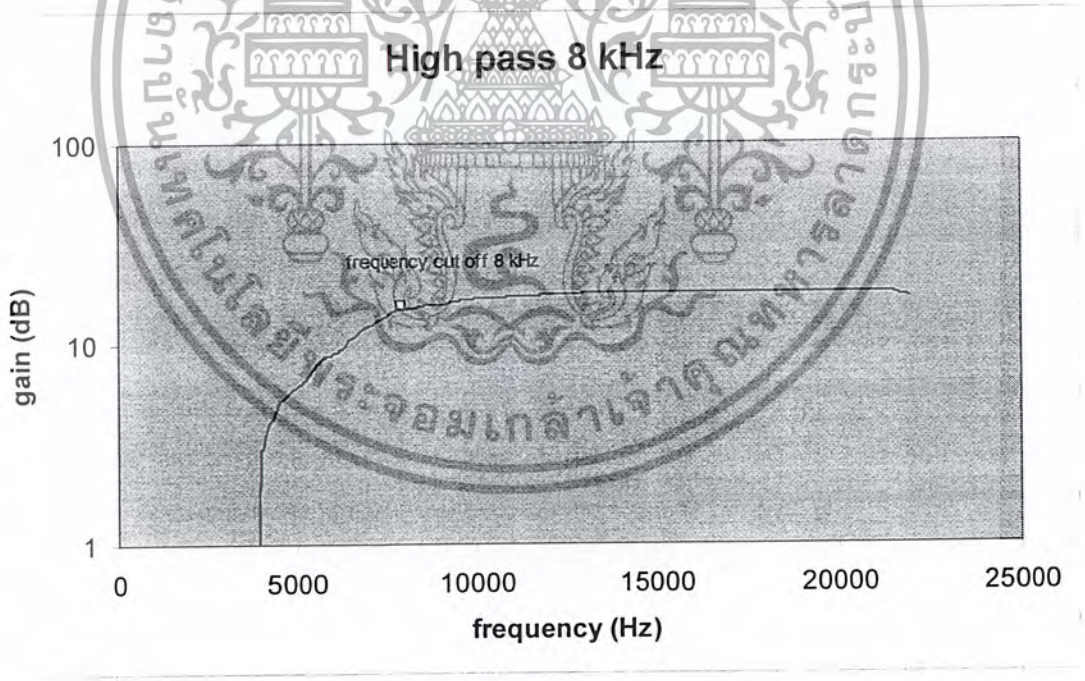
รูปที่ 4.15 แสดงสัญญาณอินพุท(รูปบน)-เอาท์พุท(รูปล่าง)ที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากการทดลองมีผลตอบสนองทางความถี่ใกล้เคียงกับกราฟที่ได้ใช้ซอฟแวร์จากบอร์ด โดยรูปที่ 4.8 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผลออกมา ส่วนในรูปที่ 4.9 แสดงผลตอบสนองทางความถี่ที่ได้จากการทดลอง



รูปที่ 4.16 แสดงผลตอบสนองทางความถี่ที่ได้ใช้ซอฟแวร์จากบอร์ดแสดงผล



รูปที่ 4.17 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูง ค่าความถี่คัทออฟ 8 kHzที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยพบว่าการตอบสนองความถี่ของทั้ง 3 วงจรนั้นสามารถสร้างได้จริง ทำงานได้แบบเป็นเวลาจริง (Real Time) และผลเป็นอย่างดีโดยใช้ AD1954EB แต่ยังพบปัญหาในขณะที่ทำการโหลดค่าสัมประสิทธิ์ของตัวกรองบางครั้งทำให้เกิดสัญญาณเสียงที่ไม่ต้องการออกมา หรือการสะดุดของเสียงที่กำลังประมวลผลอยู่ และจากการทดลองได้ทำการทดลองวัดขนาดของสัญญาณโดยการปรับเปลี่ยนค่าของความถี่โดยใช้ฟังก์ชันเจนเนอเรเตอร์ที่สามารถปรับค่าความถี่ได้เป็นตัวเปลี่ยนค่าความถี่ให้เป็นไปตามที่เราต้องการ ในความสามารถของบอร์ด AD1954EB นั้นสามารถที่จะทำงานได้ในช่วงของความถี่ 0 – 22 KHz ซึ่งหากป้อนความถี่มากกว่านั้นจะเกิดความผิดเพี้ยนของสัญญาณเพราะ บอร์ดได้ออกแบบมาให้ใช้ได้ในย่านความถี่เสียง 0- 22 kHz ซึ่งเป็นช่วงความถี่ที่มนุษย์สามารถได้ยินเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

จากการที่ได้ทำการทดลองการและการควบคุมการใช้งาน AD1954 Evaluation Board พบว่าบอร์ดนี้สามารถใช้งานได้หลายด้านในการประมวลผลสัญญาณดิจิตอลออดิโอ โดยจากการศึกษาทดลองพบว่าได้ผลเป็นที่น่าพอใจในระดับหนึ่ง โดยสามารถใช้ไมโครคอนโทรลเลอร์ในการติดต่อและควบคุมการทำงานของบอร์ดผ่านทาง SPI Port ได้ และที่เราออกแบบตัวกรองแบบต่าง ๆ นั้น ซึ่งตรงกับผลการทดลองที่แสดงให้เห็นจากกราฟผลการทดลอง เช่น การเปลี่ยนค่าสัมประสิทธิ์ของตัวกรองของ biquade filter เพื่อสร้างเป็นตัวกรองชนิดต่างๆ, การควบคุมระดับเสียง , register ต่างๆของบอร์ดรวมถึงการควบคุมบอร์ดโดยการสร้างวงจรประมวลผลที่ต้องการจากโปรแกรม orcad

ปัญหาที่พบคือ ความผิดพลาดที่เกิดขึ้นในการส่งข้อมูลผ่านทาง SPI Port เช่น การส่งข้อมูลผิดรูปแบบทำให้บอร์ดไม่ตอบสนอง ตอบสนองไม่ตรงตามที่ต้องการ จึงต้องทำการทดสอบการส่งข้อมูลหลายๆรูปแบบ หรือปัญหาที่พบในส่วนของฮาร์ดแวร์อย่างเช่น การที่กราวด์ไม่ตรงกันระหว่างบอร์ดกับไมโครคอนโทรลเลอร์ ทำให้ข้อมูลที่ส่งไปยังบอร์ดผิดพลาด ซึ่งสามารถแก้ไขได้โดยการใช้กราวด์ร่วมกัน

แนวทางในการพัฒนาการควบคุมการและใช้งาน AD1954 Evaluation Board นี้ยังสามารถพัฒนาได้อีกมากเช่น การใช้ไมโครคอนโทรลเลอร์ควบคุมการทำงานให้เป็นดิจิตอลอีควอไลเซอร์ โดยต่อฮาร์ดแวร์ในส่วนการติดต่อและการเขียนโปรแกรมเพิ่มเติม หรือนำไปใช้งานในระบบเสียงติดรถยนต์ หรือสร้างระบบเสียงดิจิตอลที่มีคุณภาพสูง นอกจากนี้เรายังสามารถพัฒนาในส่วนของซอร์ฟแวร์ได้โดยการสร้างโปรแกรมติดต่อกับบอร์ด (GUI: Graphical User Interface) เองโดยการพัฒนาซอร์ฟแวร์ขึ้นมาใช้งานเอง ซึ่งต้องทำการศึกษาและทดลองรูปแบบของการส่งข้อมูลทุกๆรูปแบบโดยละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

อุดม จีนประดับ , ไมโครคอนโทรลเลอร์ MCS-51 (Micro Controller MCS-51) ศูนย์ผลิตตำรา สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ 2541

วรพจน์ กรแก้ววัฒนากุลมชัยวัฒน์ ลิ้มีรติตรวิไล , เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51 แบบแฟรช บริษัทอินโนเวทีฟ เอ็กเพอร์ริเมนต์

ผศ.ธีรวัฒน์ ประกอบผล , การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ , บริษัทพิมพ์ดี จำกัด

AD1954 Evaluation Board REV0 , บริษัทอนาลอกดีไวซ์ จำกัด

AD1954 REV0 , บริษัทอนาลอกดีไวซ์ จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SigmaDSP™ Evaluation Board

EVAL-AD1954EB

OVERVIEW

The AD1954 (EVAL-AD1954EB) evaluation board permits testing and demonstration of the AD1954 3-channel, 24-bit SigmaDSP audio processor. An input signal is required in either optical or coaxial S/PDIF format, or directly via one of three 10-pin headers in I²S, left-justified, right-justified, or DSP modes. The internal signal processing program and parameters of the AD1954 can be controlled by a 25-lead SPI interface to a computer's parallel port.

Power requirements are a ±9 V to +12 V DC source for both the analog and digital sections. On-board regulators drive separate "clean" 5 V DC supplies for the digital and analog sections. Three analog RCA phone jacks provide analog audio output. Digital output comes from optical and RCA jacks in S/PDIF format.

AD1954 OVERVIEW

The AD1954 is a complete 26-bit, single-chip, 3-channel digital audio playback system with built-in DSP functionality for speaker equalization, dual-band dynamics processing (compressor expander/limiter/noise gate), delay compensation, and spatial enhancement. These algorithms can be used to compensate for real-world limitations of speakers, amplifiers, and listening environments, resulting in a dramatic improvement of perceived audio quality.

The signal processing used in the AD1954 is comparable to that found in high end studio equipment. Most of the processing is done in full 48-bit double-precision mode, resulting in very good low level signal performance and the absence of limit cycles or idle tones. The compressor/limiter uses a sophisticated two-band algorithm often found in high end broadcast compressors.

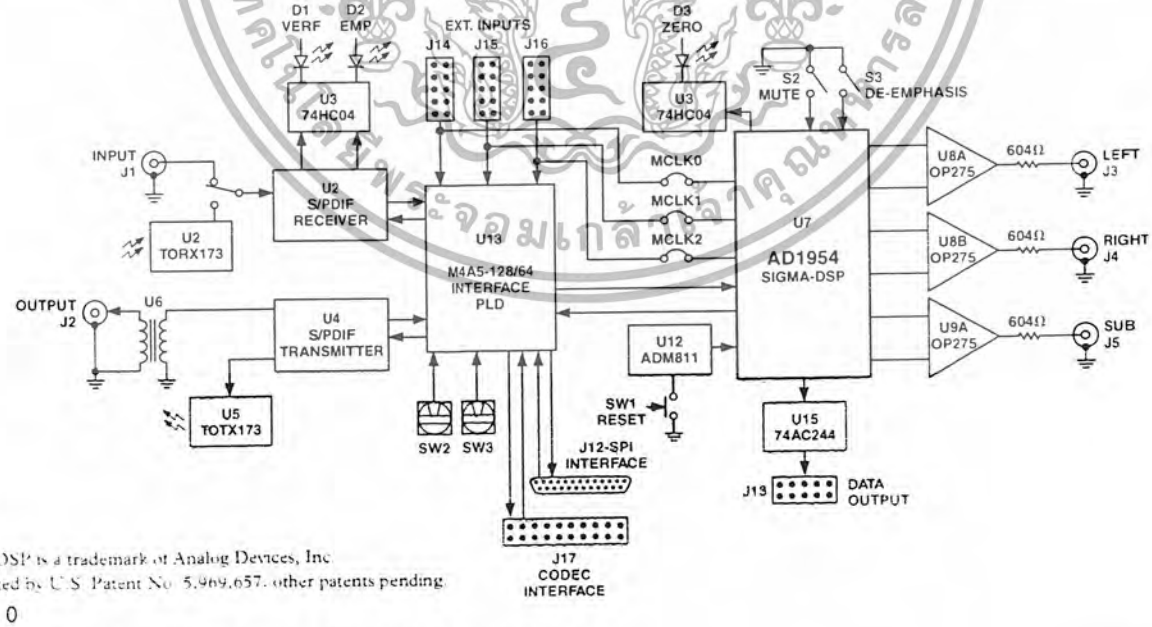
An extensive SPI port allows click-free parameter updates, along with readback capability from any point in the algorithm flow.

The AD1954 also includes ADI's patented multibit sigma-delta DAC architecture that provides 112 dB SNR and dynamic range, and THD+N of −100 dB. These specifications allow the AD1954 to be used in applications ranging from low end boom boxes to high end professional mixing/editing systems.

The AD1954 also has a digital output that allows it to be used purely as a DSP. This digital output can be used to drive an external DAC to extend the number of channels beyond the three that are provided on the chip.

The AD1954 operates from a single 5 V power supply. It is fabricated on a single monolithic integrated circuit and is housed in either a 44-lead MQFP or a 48-lead LQFP package for operation over the temperature range −40°C to +105°C.

FUNCTIONAL BLOCK DIAGRAM



SigmaDSP is a trademark of Analog Devices, Inc.
Protected by U.S. Patent No. 5,969,657; other patents pending.

REV. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700
Fax: 781/326-8703
www.analog.com

© Analog Devices, Inc., 2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PERFORMANCE SPECIFICATIONS

The typical evaluation board performance is tabulated below.

1. SNR	112 dB ± 1 dB
2. DR, A-Weighted	112 dB ± 1 dB
3. THD + N	−100 dB ± 2 dB
4. Frequency Response	±0.2 dB, 20 Hz to 20 kHz (0 dBFS)
5. Noise Floor	−145 dB
6. Full-Scale Audio Output	2.0 V_{RMS}

FUNCTIONAL DESCRIPTION

The AD1954 evaluation board presents a reference design that can be used as a suggested layout and circuit implementation that will deliver optimal performance from the SigmaDSP audio processor. As far as is possible, current assembly methods and components are used on the evaluation board. Most components are surface-mount devices, although there is a version of the evaluation board that uses through-hole components in the output filters, and a four-layer printed circuit board is used with full internal power and ground planes for superior noise performance. A schematic, bill of materials, and PCB plots are included for guidance.

POWER SUPPLIES

The board is divided into analog and digital sections, with common power supplies.

The power supply is input via binding posts J8, J9, and J10. The recommended supply settings are +12 V DC with a maximum current of 350 mA and −12 V DC with a maximum current of −50 mA. An on-board, low noise voltage regulator (U11) provides 5 V DC, ±5% to the evaluation board circuit.

DIGITAL SIGNAL INPUTS AND OUTPUTS

RCA phone jack J1 and optical TOSLINK input U1 may be used for standard consumer mode S/PDIF input signals. J1 is terminated with a 75 Ω resistor. Switch S1 selects between J1 and U1 inputs and feeds the selected signal to the digital interface receiver (U2).

The EXT DATA INTF 1/2/3 (J14, J15, and J16) inputs permit access, buffered via U13, to the BCLK, LRCLK, SDATA, and MCLK inputs of the AD1954. This permits testing with left-justified, I^2S, or right-justified serial input modes. Note that switch SW3 must be set to correspond to the input data format. When using the direct input header, it is necessary to provide all four signals: MCLK, BCLK, LRCLK, and SDATA. A termination network consisting of a series-connected 100 Ω resistor and a 47 pF capacitor is shunted across each signal line to reduce line reflections.

Digital audio signals are output through the RCA phone jack J2 or TOSLINK output U5. Both output jacks are always "on," so no switch is needed to select between the two. The transformer (U6) on the output buffers the external connection from the rest of the evaluation board to prevent a ground loop.

Header J13 is for the serial data output from the input MUX and the data capture serial output. Either of these two signals, coupled with the left right clock and bit clock signals, form a valid 3-wire output. This header can be used to connect an external DAC to the AD1954 evaluation board.

Twenty-lead header J17 is for interfacing to an Analog Devices' codec evaluation board. This connection can be used to supply two serial data lines from external ADCs and all of the necessary clocks to the AD1954 evaluation board, as well as to send the serial data to the external DACs.

Headers J6 and J7 are for future expansion and functionality of the evaluation board.

EXTERNAL SPI CONTROL PORT

The AD1954 evaluation board includes a 25-lead header that interfaces the chip's SPI input with a computer's parallel port. This port is capable of full read/write operation for all of the memories (program and parameter) and some of the SPI registers. Most signal processing parameters are controlled by writing new values to the parameter RAM using the SPI port. Other functions, such as volume and de-emphasis filtering, are programmed by writing to SPI control registers. Details of signal format and timing can be found in the AD1954 data sheet.

AUDIO SIGNAL OUTPUTS

RCA jacks J3, J4, and J5 provide left, right, and subs outputs, respectively. The output is low pass filtered with an anti-image filter, and converted from a differential voltage output to single-ended voltage by op amps U8 and U9. The left and right channel filters' −3 dB cutoff frequency is 100 kHz and has an approximate third order Bessel (linear phase) response. The subwoofer channel uses the same filter but with a −3 dB cutoff at 10 kHz. The output impedance is approximately 600 Ω. The full-scale output signal is 2.0 V_{rms} for all channels.

SWITCH AND JUMPER FUNCTIONS

A quick reference for the default switch and jumper positions is shown in Table I. These settings should be used for a first-time use of the evaluation board. All directional references assume that the board is facing, with the digital connections on the left and the analog connections on the right. A more detailed description of each switch and jumper follows.

Table I. Default Switch/Jumper Positions

Jumper/Switch	Position	Setting
S1	Down	RCA Input
S2	Right	Mute Off
S3	Right	De-Emphasis Off
S4	Don't Care	For Future Functionality
S5	Don't Care	For Future Functionality
SW2	0	See Tables II and III
SW3	0	See Table IV
LK2	B (Right)	5 V
LK5	On (Down)	AVDD Reference
LK6	Off (Up)	XREF Off
LK9	C (Bottom)	DIR_MCLK
LK10	B (Right)	MCLK1_INTF
LK11	B (Right)	MCLK2_INTF

Slide switch S1 selects between the RCA S/PDIF input and the TOSLINK input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Push button switch SW1 provides a RESET function via reset generator U12 (ADM811) and a "clean" 240 ms delay after release. U12 also provides a 240 ms reset pulse at power-up.

A 16-position rotary switch (SW2) controls the signal routing on the evaluation board. The source of the SDATA, BCLK, and LRCLK signals for each of the three MUXes is indicated in Table II. Table III shows the source of signals driving the CS8404A (U4, S/PDIF digital output transmitter). In each of these two tables, the column entries are the signal sources and the headings are the signal destinations for a given switch position.

Note: Switch positions B–F are not used.

Table II. SW2 Settings—Signal Sources

SW2 Pos.	MUX 0	MUX 1	MUX 2
0	CS8414 (U2)	Ext. port 1	Ext. port 2
1	Ext. port 0	CS8414 (U2)	Ext. port 2
2	Ext. port 0	Ext. port 1	CS8414 (U2)
3	Ext. port 0	Ext. port 1	Ext. port 2
4	CS8414 (U2)	Ext. port 1	Ext. port 2
5	Ext. port 0	CS8414 (U2)	Ext. port 2
6	Ext. port 0	Ext. port 1	CS8414 (U2)
7	Ext. port 0	Ext. port 1	Ext. port 2
8	CS8414 (U2)	Ext. port 1	Ext. port 2
9	Ext. port 0	CS8414 (U2)	Ext. port 2
A	Ext. port 0	Ext. port 1	CS8414 (U2)

Table III. SW2 Settings—CS8404A Signal Sources

SW2 Pos.	CS8404 SDI	CS8404 LRCLK/BCLK	CS8404 MCLK (128 Fs)*
0	DCSOUT	8414	CS8414 (U2)
1	DCSOUT	8414	CS8414 (U2)
2	DCSOUT	8414	CS8414 (U2)
3	DCSOUT	MUX OUT	MCLKOUT
4	SDATAOUT	MUX OUT	CS8414 (U2)
5	SDATAOUT	MUX OUT	CS8414 (U2)
6	SDATAOUT	MUX OUT	CS8414 (U2)
7	SDATAOUT	MUX OUT	CS8414 (U2)
8	DCSOUT	MUX OUT	MCLKOUT
9	DCSOUT	MUX OUT	MCLKOUT
A	DCSOUT	MUX OUT	MCLKOUT

*MCLK input signals to the CS8404 are divided by two in the PLD because this part runs on 128 Fs, while the rest of the board runs on a 256 Fs MCLK.

Rotary switch SW3 determines what serial interface format is selected. Table IV shows the different modes.

Note: Switch positions 6–F are not used.

Table IV. SW3 Settings

SW3 Position	Serial Data Format
0	I²S
1	Right Justified – 24-bit
2	DSP
3	Left Justified
4	Right Justified – 20-bit
5	Right Justified – 16-bit

Switch S2 enables the AD1954 mute function.

Switch S3 is used to turn on the AD1954 de-emphasis filter.

Push-button switch SW4 and switches S4 and S5 are not currently functional but will be used in future evaluation board revisions.

Jumper LK2 selects between an external supply (Position A) or a 5 V input (Position B) to the AD1954's ODVDD pin. ODVDD is the supply for the digital output pins. Using an external supply at 3 V allows the outputs to be 3.3 V compatible. The switch should be left in the 5 V position if no external power supply is connected to the EXT side of the jumper.

Jumper LK9, LK10, and LK11 select between internal and external MCLK inputs to the MCLK MUX for MCLK0, MCLK1, and MCLK2, respectively. For LK9, Position A selects the MCLK0_INTF from External Data Interface 0 (J14), Position B selects the MCLK from the codec interface header (J17), and Position C selects the recovered DIR_MCLK from the S/PDIF receiver (U2). For LK10 and LK11, in the left Position (A), the DIR_MCLK signal from U2 is selected. Position B selects the MCLKx_INTF signal from external data header J15 and J16.

Jumpers LK5 and LK6 connect the reference voltage to the VREF_IN pin. If LK5 is on, then the voltage will come from AVDD. With LK6 on, the reference voltage will be taken from the external reference Test Point 1 (TP1).

INDICATOR DISPLAY LEDS

Five LED indicators are provided for status indication.

- Display LED D1, VERF, indicates that the S/PDIF digital interface receiver has detected an error condition in the received signal. When not illuminated, this LED is a good indicator that there is a signal present on the S/PDIF input.
- Display LED D2, EMP, indicates that the incoming signal has had pre-emphasis added.
- Display LED D3, ZERO, is provided to show that the AD1954 is detecting a zero input in one of the two input channels.
- Display LEDs D6 and D11, DVDD and AVDD, show the presence of 5 V DC on the digital and analog 5 V power supplies, respectively.

INTEGRATED CIRCUIT FUNCTIONS

There are 16 active devices on the AD1954 evaluation board. Following is a brief description of the function of each part.

- U1 (TORX173) is the Toshiba digital audio optical receiver. It accepts the visible red S/PDIF modulated signal and converts it to a standard TTL digital signal suitable for input to the digital audio receiver (U2).
- U2 (CS8414-CS) receives the serial S/PDIF digital audio encoded signal and decodes the audio information. The CS8414 decodes four digital signals from the serial input stream: the serial data SDATA, the master clock MCLK, the left/right frame clock LRCLK, and the serial bit clock BCLK at 64 Fs. The output interface mode of U2 must be compatible with the input to the AD1954 (U7). This mode is selected at the same time for both U2 and U7 via switch SW3.
- U3 (74HC04) is a quad input logic inverter that provides miscellaneous buffering and interface functions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- U4 (CS8404A-CS) is the S/PDIF transmitter that takes in the serial data SDATA, master clock MCLK, the left/right frame clock LRCLK, and the serial bit clock BCLK, and outputs the S/PDIF signal to the TOSLINK transmitter and the RCA output jack.
- U5 (TOTX173) is the Toshiba digital audio optical transmitter. It creates a visible red S/PDIF modulated signal from the standard TTL digital signal output of the digital audio transmitter (U4).
- U6 (SC937-02) is a digital audio transformer with low jitter and high CMRR that provides buffering between the evaluation board and the external circuit, preventing ground loops.
- U7 (AD1954) is the SigmaDSP digital audio processor and converter.
- U8 and U9 (OP275) are low noise and distortion audio op amps. U8 provides differential-to-single-ended conversion for the left and right channel outputs, while U9 does the same for the subchannel. A third order low pass Bessel filter response is implemented with a −3 dB corner frequency of 100 kHz on the left and right channels, 10 kHz on the subchannel, and a 60 dB/decade (18 dB/octave) roll-off. This type of filter is characterized by a linear phase response and fast transient response without overshoot.
- U10 (LM317) provides 5 V DC low voltage regulation for the digital section of the evaluation board.
- U11 (ADP3303-5) is a low noise 5 V DC regulator for the analog section of the AD1954.
- U12 (ADM811) is a RESET generator that provides a debounced reset signal from the push button (SW1) or a 240 ms reset pulse on power-up.
- U13 (M4A5-128/64) provides decoding, buffering, and selection functions between the different modes of operation.
- U14 (74HC243) is a quad three-state noninverting buffer.
- U15 (74AC244) is an octal noninverting buffer line driver with three-state outputs.
- U16 (NC7S14) is a high performance inverter with Schmitt trigger input.

SOFTWARE

The AD1954 evaluation board comes with software that can be used to control all of the part's functions. The evaluation board interfaces with this software via the 25-lead header (J12), which connects to a computer's parallel port.

Custom programming tools are available for the AD1954. A Graphical Compiler, in conjunction with OrCAD, can be used to design custom signal processing algorithms using any of the AD1954's processing blocks. All settings can be programmed with this Graphical Compiler, which writes to the program and parameter RAMs through the SPI port of the AD1954.

More in-depth documentation is available for all software.

FURTHER INFORMATION

Ordering information: order number is EVAL-AD1954EB.

For application questions, please contact our Central Applications Department at 1-781-937-1428.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

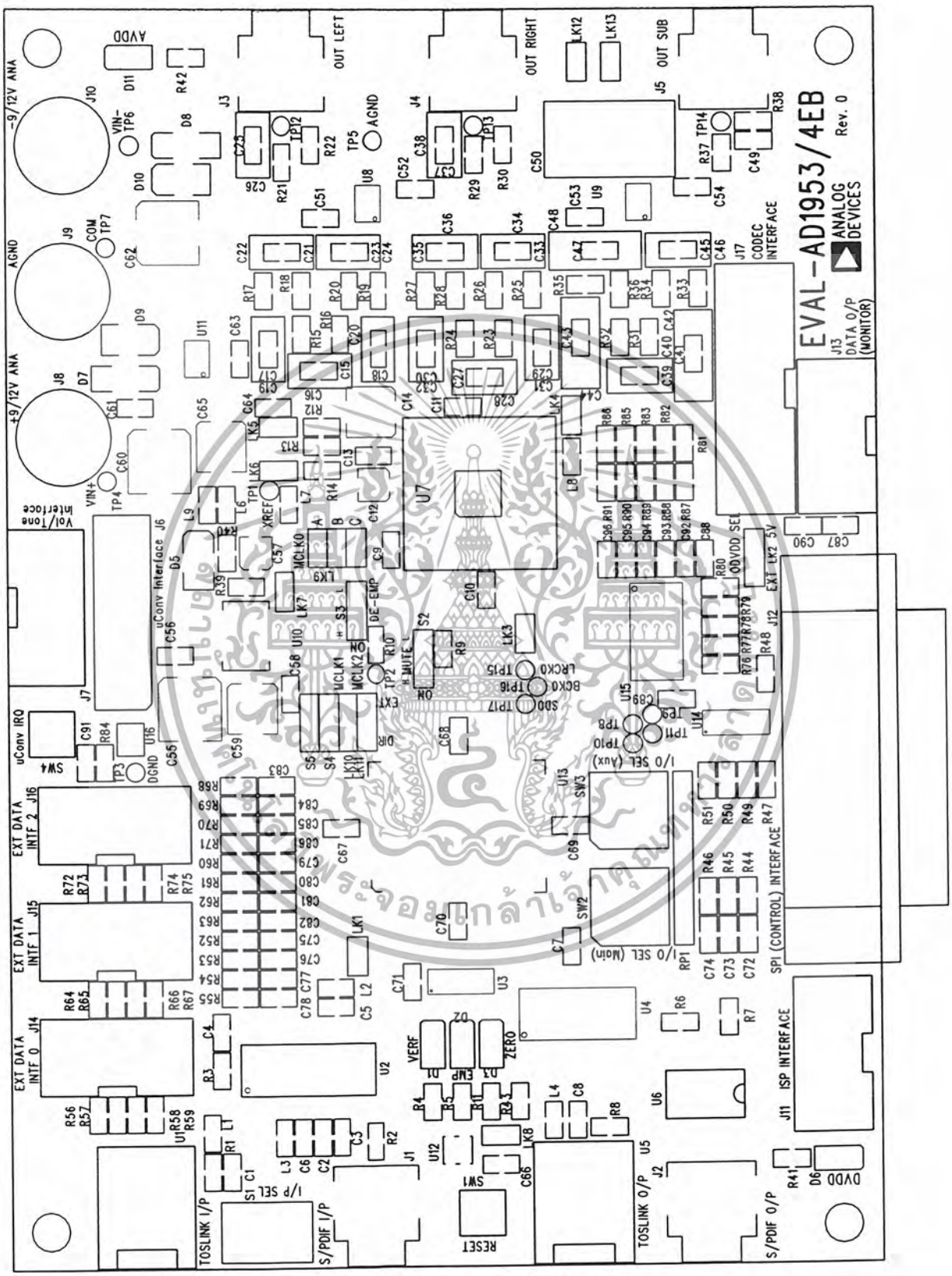


Figure 1. Silkscreen – Top Overlay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

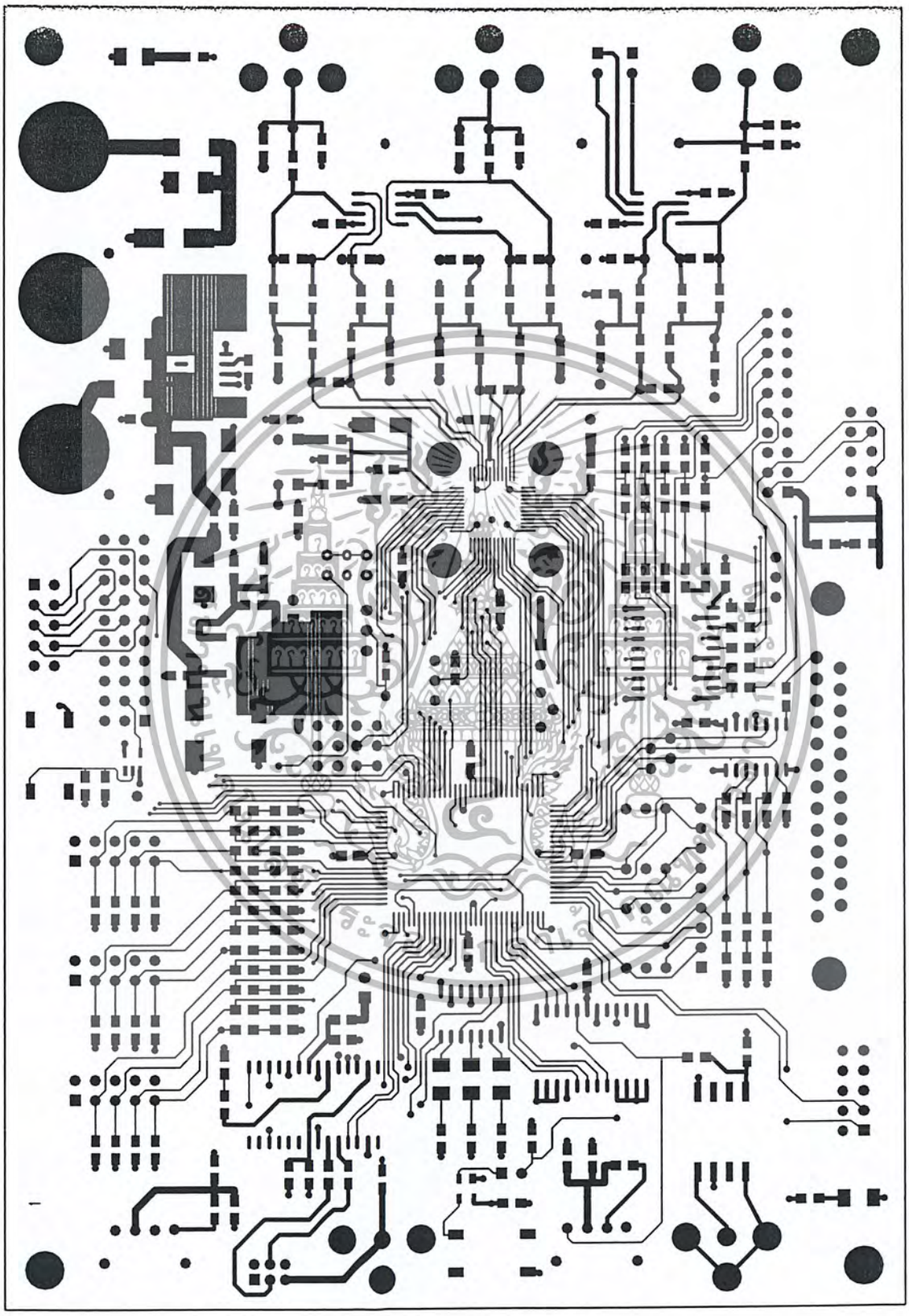


Figure 2. Component – Top Layer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

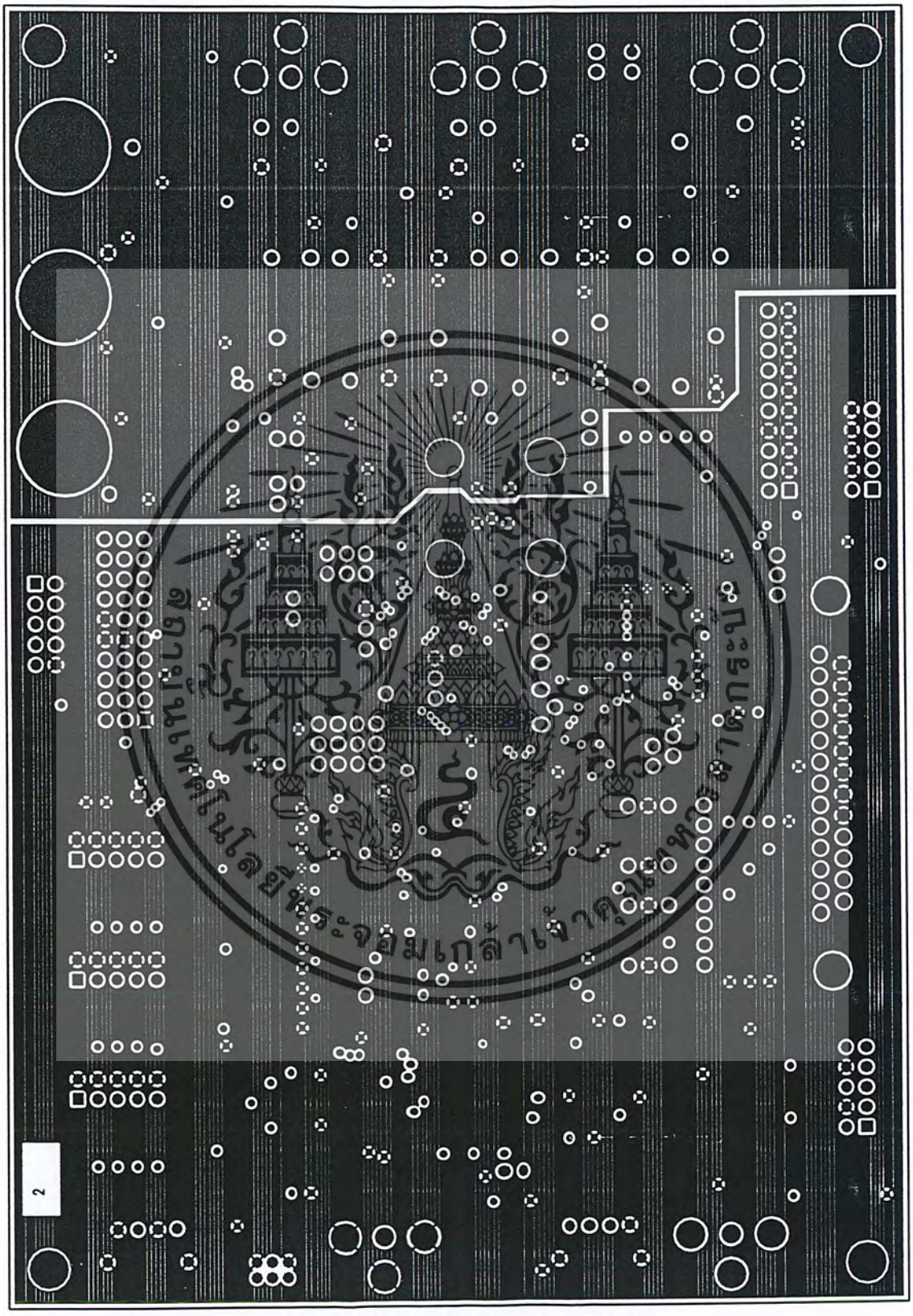


Figure 3. Internal Plane 2 – Ground Planes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

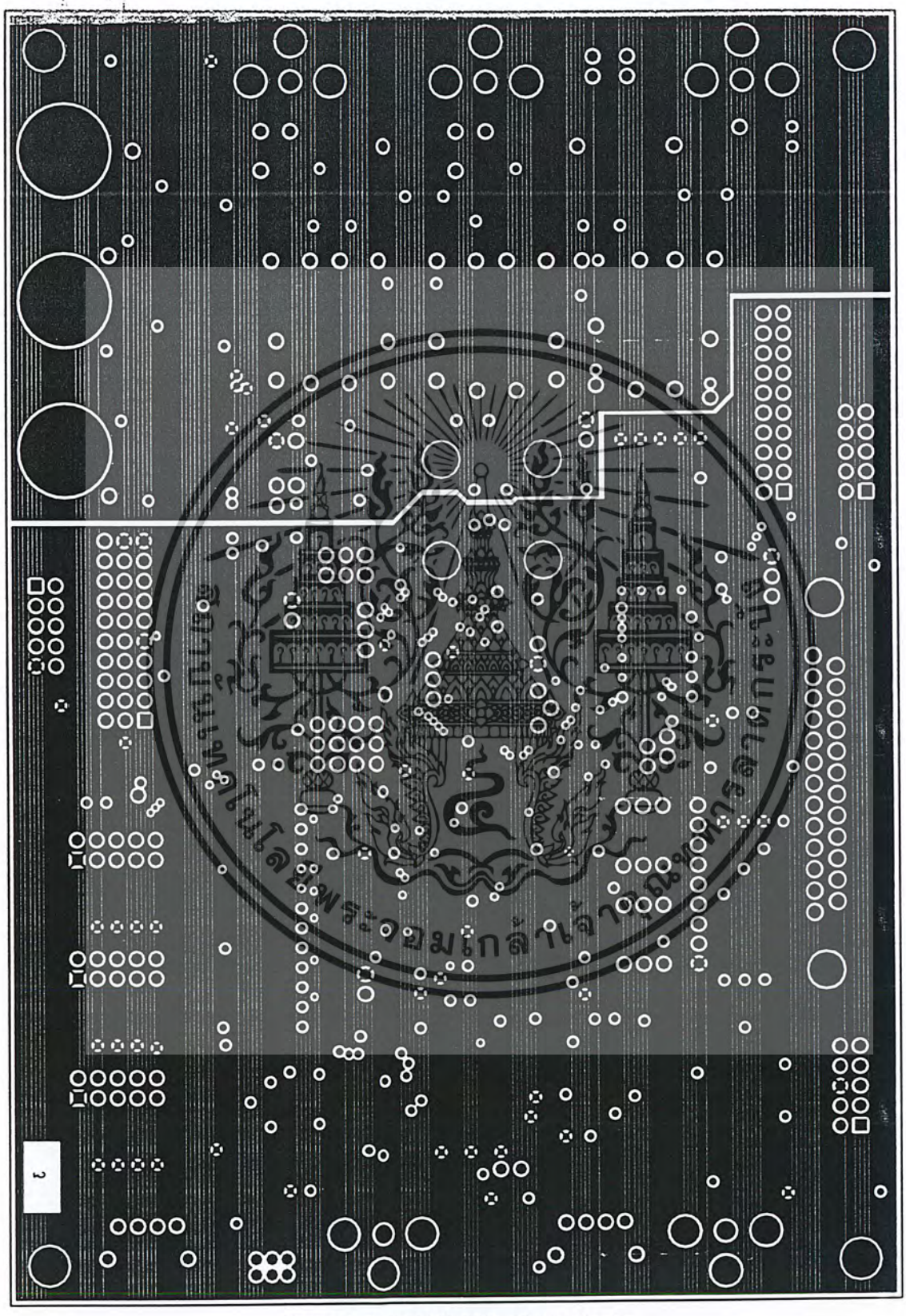


Figure 4. Internal Plane 3 – Power Planes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

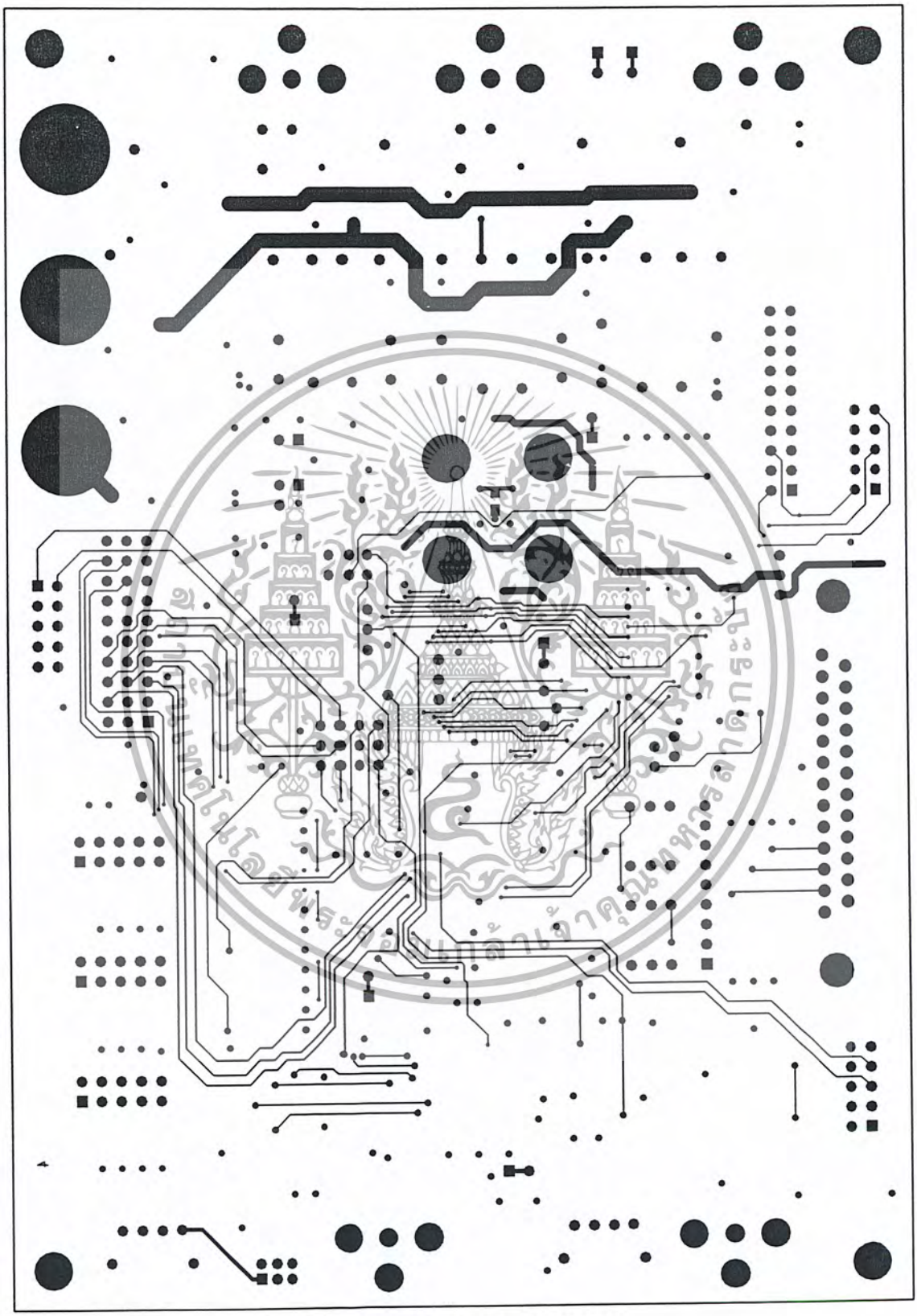


Figure 5. Bottom Layer – Solder Side

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bill of Materials

Qty. Used	Designator	Description	Part Decal	Value
27	C1, C5–C11, C13, C51–C54, C56, C58, C61, C64, C66–C71, C87–C90	Multilayer Ceramic 50 V X7R	SMD 0805 Case	0.1 µF
4	C2, C3, C63, C91	Multilayer Ceramic 50 V X7R	SMD 0805 Case	10 nF
1	C4	Multilayer Ceramic 50 V X7R	SMD 0805 Case	68 nF
2	C12, C57	SMD Aluminium Electrolytic Capacitor (Case B) 16 V	CAP\ELEK_SMD_B	10 µF
3	C14, C59, C65	SMD Aluminium Electrolytic Capacitor (Case D) 16 V	CAP\ELEK_SMD_D	47 µF
3	C15, C27, C39	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	100 pF
3	C16, C28, C40	P-Series Polypropylene Capacitor	CAP-5 mm	100 pF
2	C17, C29	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	1 nF
2	C18, C30	Film Chip Capacitor, 5%, 50 V, PPS	SMD 0805 Case	2 n7F
2	C19, C31	P-Series Polypropylene Capacitor	CAP-5 mm	1 nF
2	C20, C32	P-Series Polypropylene Capacitor	CAP-5 mm	2 n7F
2	C21, C33	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	270 pF
2	C22, C34	P-Series Polypropylene Capacitor	CAP-5 mm	270 pF
2	C23, C35	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	820 pF
2	C24, C36	P-Series Polypropylene Capacitor	CAP-5 mm	820 pF
2	C25, C37	Film Chip Capacitor, 5%, 50 V, PPS	SMD 0805 Case	2n2F
2	C26, C38	P-Series Polypropylene Capacitor	CAP-5 mm	2n2F
1	C41	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	270 pF
1	C42	Panasonic PPS (ECHS) Series Capacitor	CAP-5 mm	27 nF
1	C43	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	560 pF
1	C44	Panasonic PPS (ECHS) Series Capacitor	CAP-5 mm	56 nF
1	C45	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	68 pF
1	C46	Panasonic PPS (ECHS) Series Capacitor	CAP-5 mm	6n8F
1	C47	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	150 pF
1	C48	Panasonic PPS (ECHS) Series Capacitor	CAP-5 mm	15 nF
1	C49	Film Chip Capacitor, 5%, 50 V, PPS	SMD 0805 Case	2n2F
1	C50	Panasonic PPS (ECHS) Series Capacitor	CAP-5 mm	220 nF
3	C55, C60, C62	SMD Aluminium Electrolytic Capacitor (Case D) 25 V	CAP\ELEK_SMD_E	47 µF
20	C72–C86, C92–C96	Ceramic Chip Capacitor, 5%, 50 V, NPO	SMD 0805 Case	47 pF
2	D1, D6	Red Light Emitting Diode	LED_SMT	Red
2	D2, D3	Yellow Light Emitting Diode	LED_SMT	Yellow
1	D11	Green Light Emitting Diode	LED_SMT	Green
2	D7–D8	SMD Rectifier Diode, 50 V, 1 A, SOD-87	MELF1	
3	D5, D9–D10	15 V Zener Diode	DIODE-SMB	15 V
5	J1–J5	Audio Connector—RCA Female Right Angle	PHONO	
1	J8	Connector, Binding Post (Uninsulated Base)	BINDING-POST	Yellow
1	J9	Connector, Binding Post (Uninsulated Base)	BINDING-POST	Green
1	J10	Connector, Binding Post (Uninsulated Base)	BINDING-POST	Blue
6	J7, J11, J13–J16	10-Way (5 × 2) IDC Header—Shrouded	HEADER10-POL	
1	J12	CON DB25HM	DB25-HM	
	J17	20-Way (10 × 2) IDC Header—Shrouded		
6	L1–L4, L8–L9	Chip Ferrite Bead 600 Ω @ 100 MHz	SMD 0805 Case	
1	L5	Chip Ferrite Bead 600 Ω @ 100 MHz	SMD 0805 Case	
2	L6, L7	Do Not Insert	SMD 0805 Case	
2	LK5–LK6	Jumper Block, 2 PINS 0.1" SPACING	SIP-2P	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bill of Materials (continued)

Qty. Used	Designator	Description	Part Decal	Value
7	LK1, LK3–LK4, LK7–LK8, LK12–LK13	Do Not Insert	SIP-2P	
6	LK2, LK10–LK11, S2, S4, S5	Jumper Changeover ×1	LINK-3P	
1	LK9	6-Pin Square Pin Header (3 × 2) 0.1" Pitch		
1	S3	Jumper Changeover ×1	LINK-3P	
27	R1, R9, R12–R14, R43, R47, R49–R51, R56–R59, R64–R67, R72–R75, R81, R82, R83, R85, R86	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	10.0 kΩ
1	R10	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	10.0 kΩ
1	R2	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	75 Ω
1	R3	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	475 Ω
5	R4–R5, R11, R41–R42	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	649 Ω
1	R6	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	374 Ω
1	R7	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	90.9 kΩ
1	R8	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	8.25 kΩ
2	R15, R23	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	2.80 kΩ
2	R16, R24	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	806 Ω
3	R17, R25, R34	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	3.01 kΩ
3	R18, R26, R36	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	1.50 kΩ
2	R19, R27	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	1.00 kΩ
2	R20, R28	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	499 Ω
2	R21, R29	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	549 Ω
3	R22, R30, R38	Resistor	SMD 0805 Case	OPEN
2	R31, R33	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	11.0 kΩ
2	R32, R35	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	5.62 kΩ
1	R37	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	604 Ω
1	R39	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	243 Ω
1	R40	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	715 Ω
20	R44–R46, R52–R55, R60–R63, R68–R71, R87–R91	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	100 Ω
6	R48, R76–80	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	22.1 Ω
1	R84	Chip Resistor 1% 100 mW Thick Film	SMD 0805 Case	100 kΩ
1	RP1	RES-PACK8	SIP-9P	10 kΩ
1	S1	DPDT PCB Switch (Top Actuator)	SW-DPDT-SLIDE	
2	SW1, SW4	SMD Push Button Switch (Sealed 6 mm × 6 mm)	SWPB-SMALL	
2	SW2–3	HEX Rotary Switch	SW-ROTARY-HEX	
17	TP1–17	Testpoint	TESTPOINT	
1	U1	Fiber Optic Receiving Module for Digital Audio	TORX173	TORX173
1	U2	96 kHz Digital Audio Receiver	SO28WB	DIR-CS8414-CS
1	U3	HEX INV	SO14NB	74HC04
1	U4	96 kHz Digital Audio Transmitter	SO24WB	CS8404A-CS
1	U5	Fiber Optic Transmitting Module for Digital Audio	TORX173	TOTX173
1	U6	Digital Audio Signal Transformer (AES/EBU)	TRAFFO-SC937-02	TRAFFO-SC937-02
1	U7	AD1954 – SigmaDSP	LQFP48	AD1954YST
2	U8–9	Dual Bipolar/JFET Audio Op Amp	SO8NB	OP275GP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bill of Materials (continued)

Qty. Used	Designator	Description	Part Decal	Value
1	U10	Three Terminal Adjustable Regulator	D-PAK	LM317
1	U11	Precision Low Dropout Voltage Regulator	SO8NB	ADP3303AR-5
1	U12	Voltage Monitor	SOT143	ADM811R-ART
1	U13	CPLD	QFP100-3	CPLD-M4A5-128/64-10YC
1	U14	Quad Bus Transciever Three-State Noninverting	SO14NB	74HC243
1	U15	Octal Buffer Line Driver Three-State Outputs	SO20WB	74AC244
1	U16	NC7S14	SOT23-5	NC7S14
4		PCB Standoffs		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

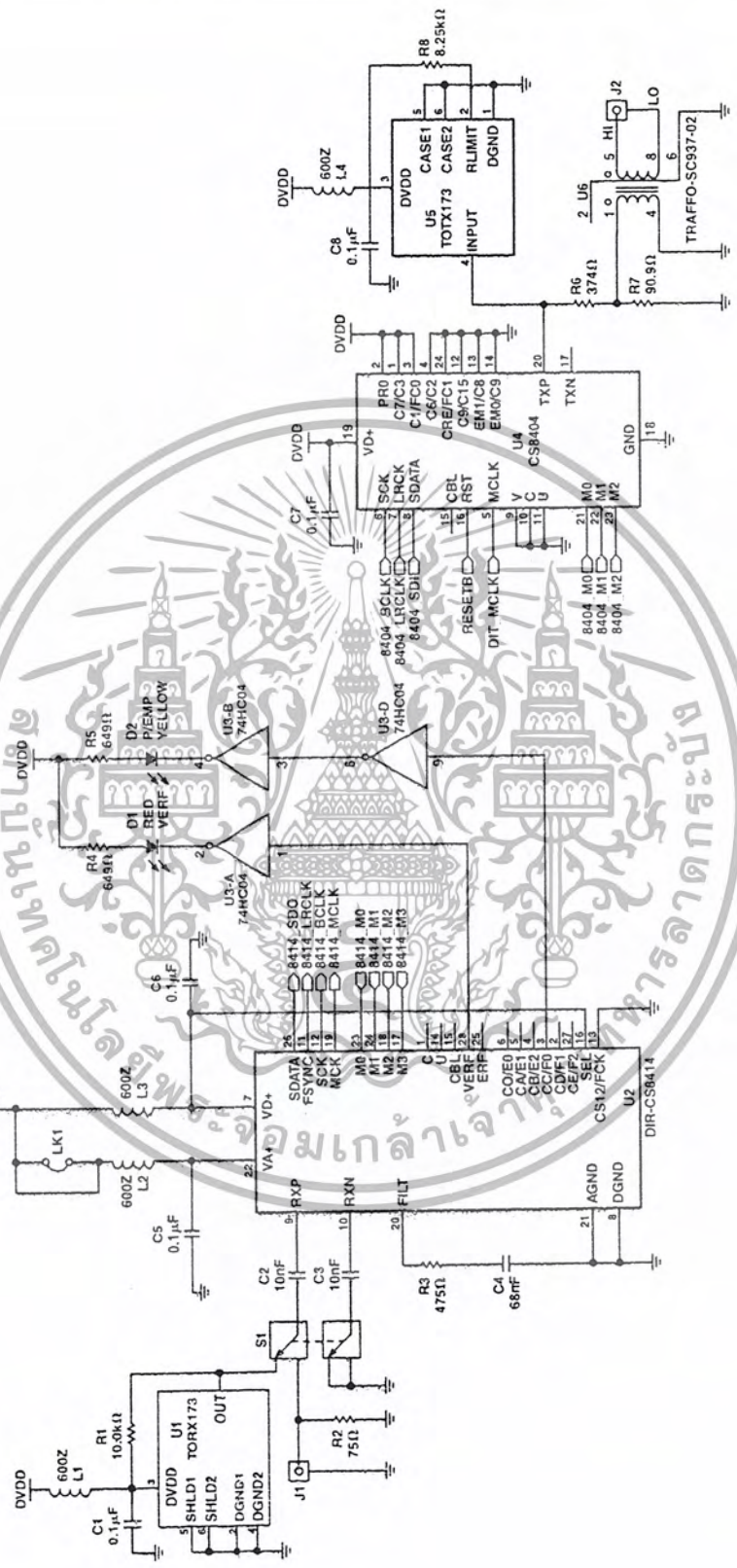


Figure 6. Evaluation Board, S/PDIF Interfaces

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

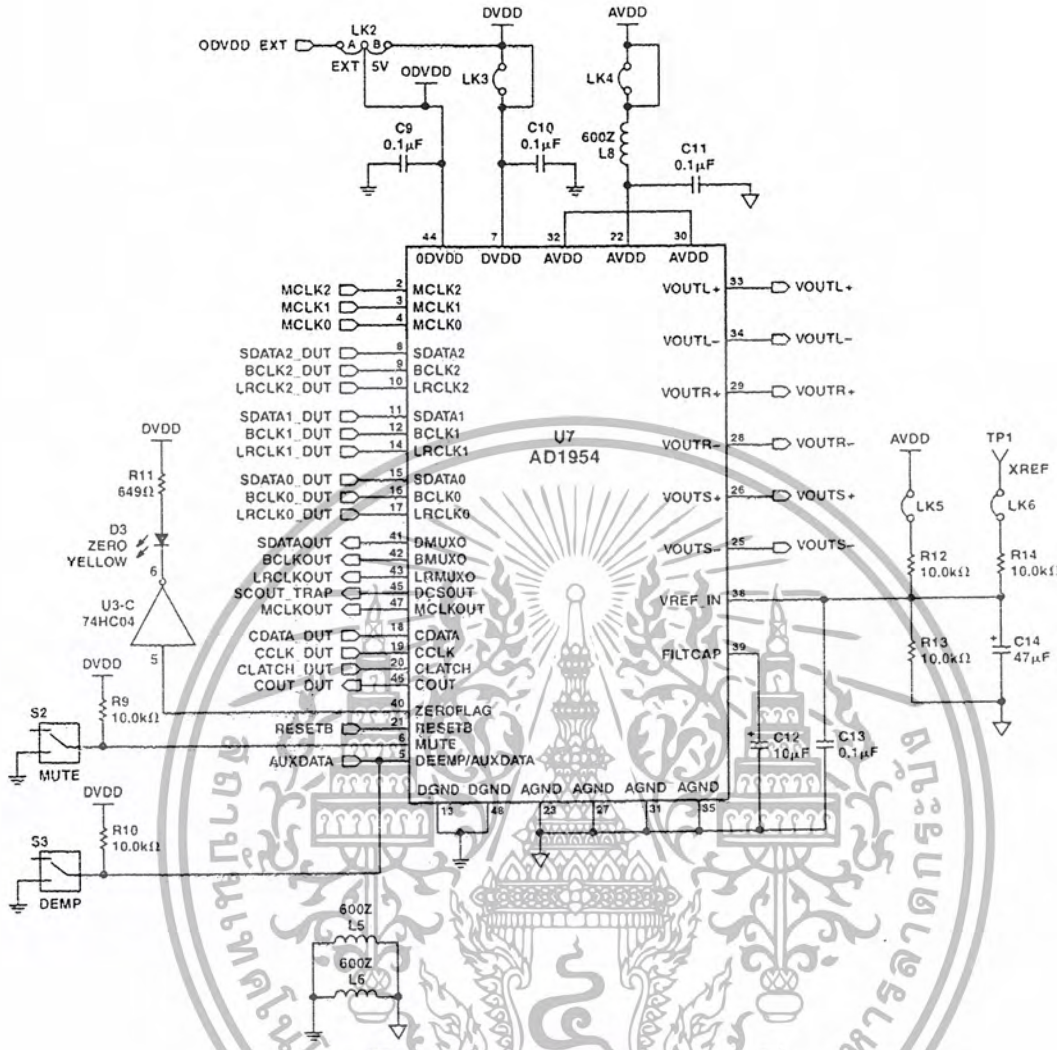


Figure 7. Evaluation Board, DUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

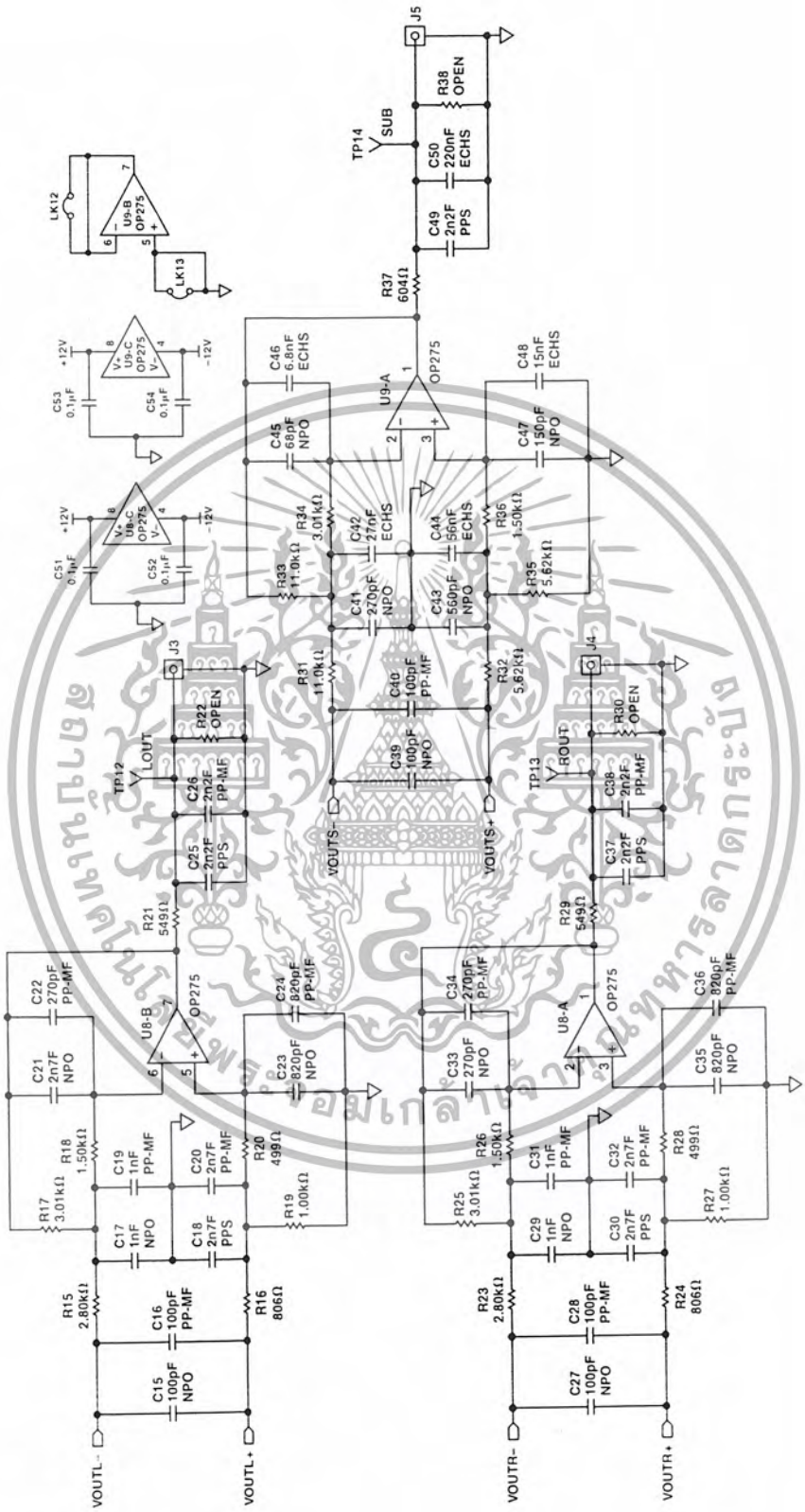


Figure 8. Evaluation Board, Analog Output Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

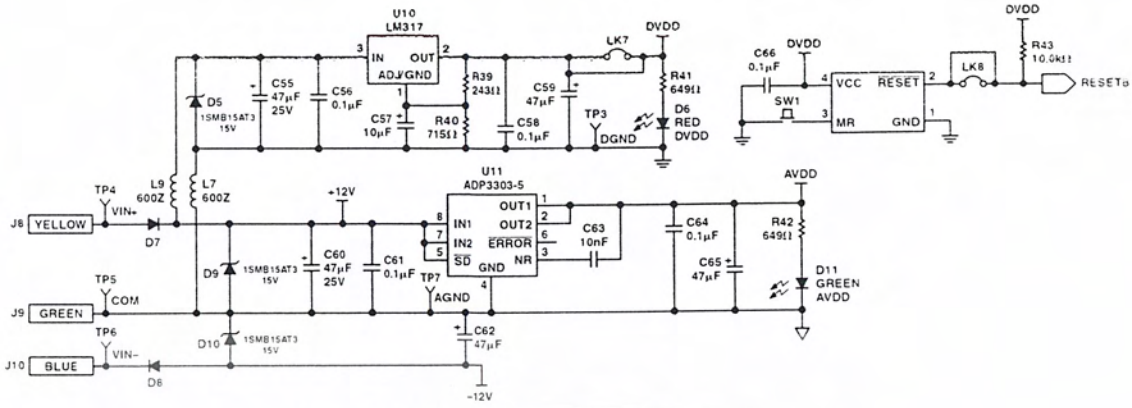


Figure 9. Evaluation Board, Power Supply Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

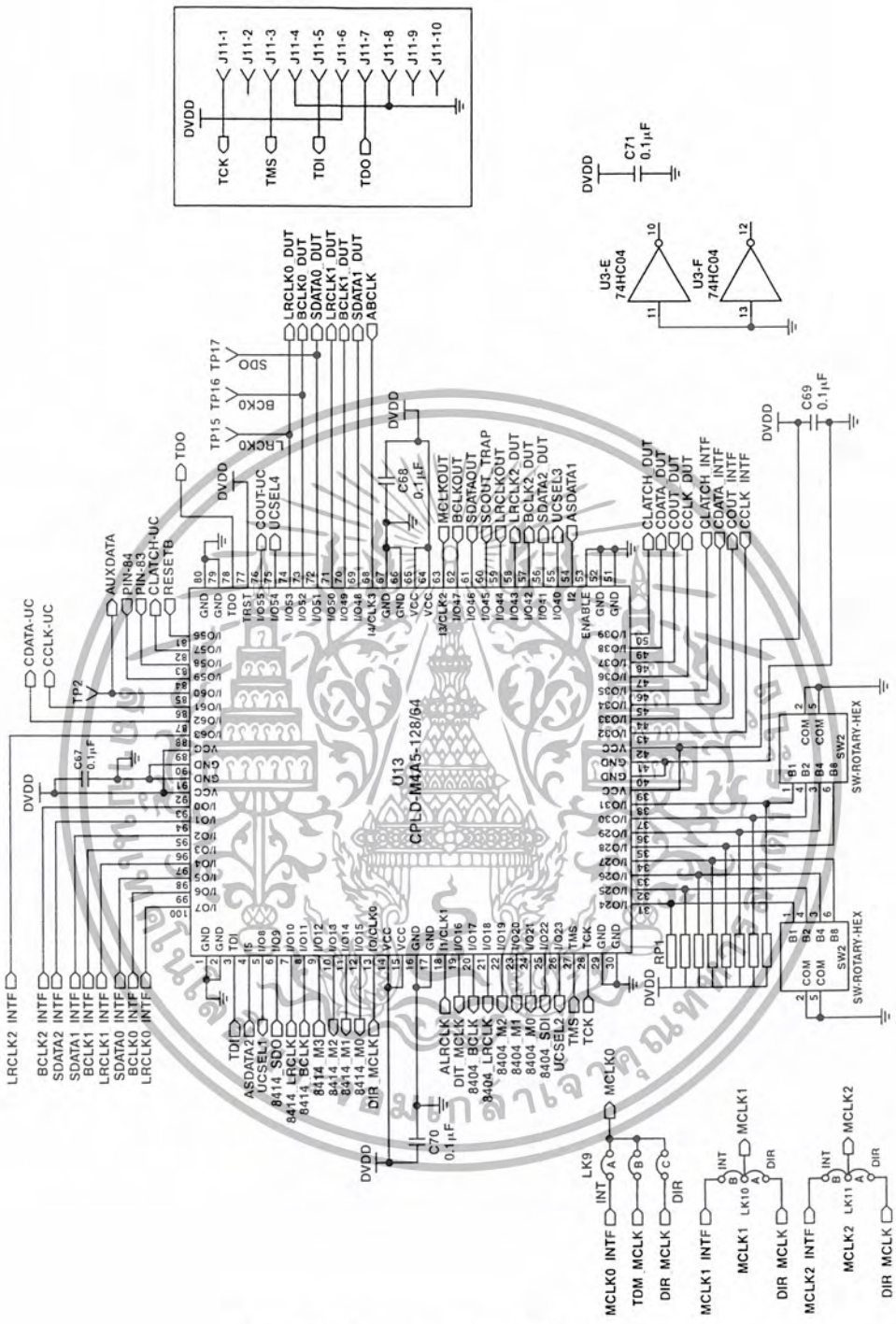


Figure 10. Evaluation Board, CPLD Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

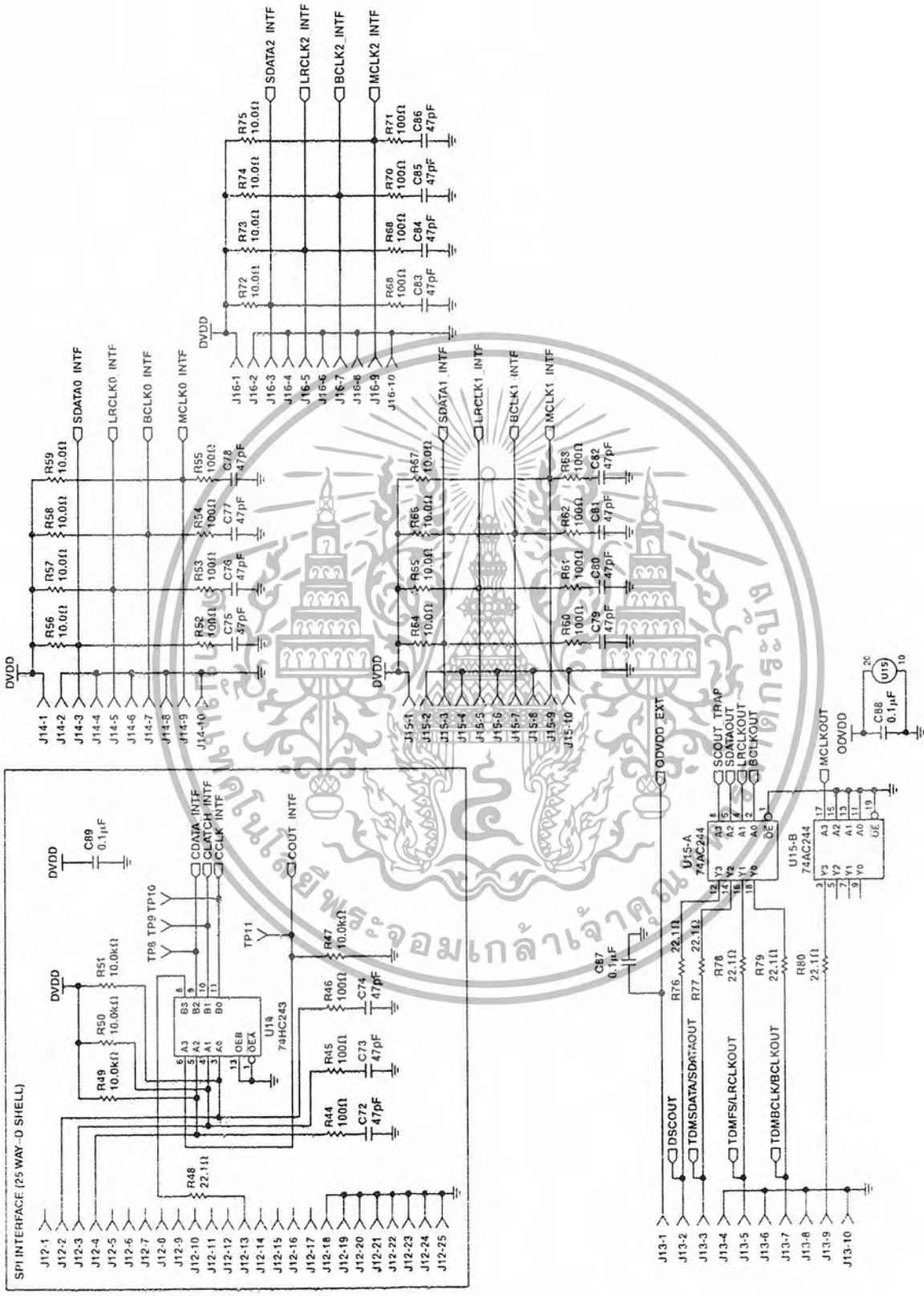


Figure 11. Evaluation Board, External Digital Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

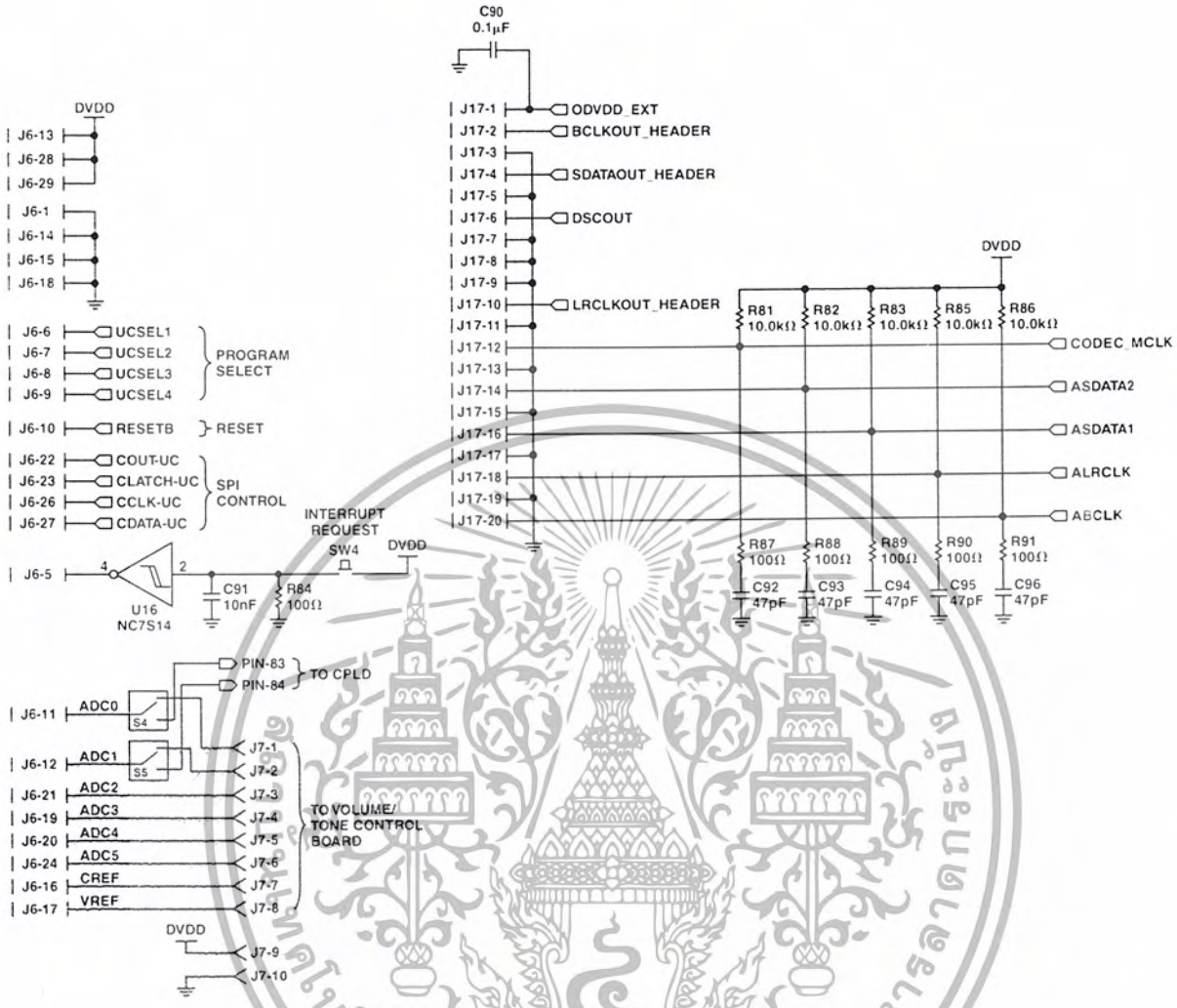


Figure 12. Evaluation Board, ADuC812S Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SigmaDSP™ 3-Channel, 26-Bit Signal Processing DAC

AD1954

FEATURES

5 V 3-Channel Audio DAC System
Accepts Sample Rates up to 48 kHz
7 Biquad Filter Sections per Channel
Dual Dynamic Processor with Arbitrary Input/Output Curve and Adjustable Time Constants
0 ms to 6 ms Variable Delay/Channel for Speaker Alignment
Stereo Spreading Algorithm for Phat Stereo™ Effect
Program RAM Allows Complete New Program Download via SPI Port
Parameter RAM Allows Complete Control of More Than 200 Parameters via SPI Port
SPI Port Features Safe-Upload Mode for Transparent Filter Updates
2 Control Registers Allow Complete Control of Modes and Memory Transfers
Differential Output for Optimum Performance
112 dB Signal-to-Noise (Not Muted) at 48 kHz Sample Rate (A-Weighted Stereo)
70 dB Stop-Band Attenuation
On-Chip Clickless Volume Control
Hardware and Software Controllable Clickless Mute
Digital De-emphasis Processing for 32 kHz, 44.1 kHz, and 48 kHz Sample Rates
Flexible Serial Data Port with Right-Justified, Left-Justified, I²S Compatible, and DSP Serial Port Modes
Auxiliary Digital Input
Graphical Custom Programming Tools
44-Lead MQFP or 48-Lead LQFP Plastic Package

APPLICATIONS

2.0/2.1 Channel Audio Systems (Two Main Channels plus Subwoofer)
Multimedia Audio
Automotive Sound Systems
Minicomponent Stereo
Home Theater Systems (AC-3 Postprocessor)
Musical Instruments
In-Seat Sound Systems (Aircraft, Motor Coaches)

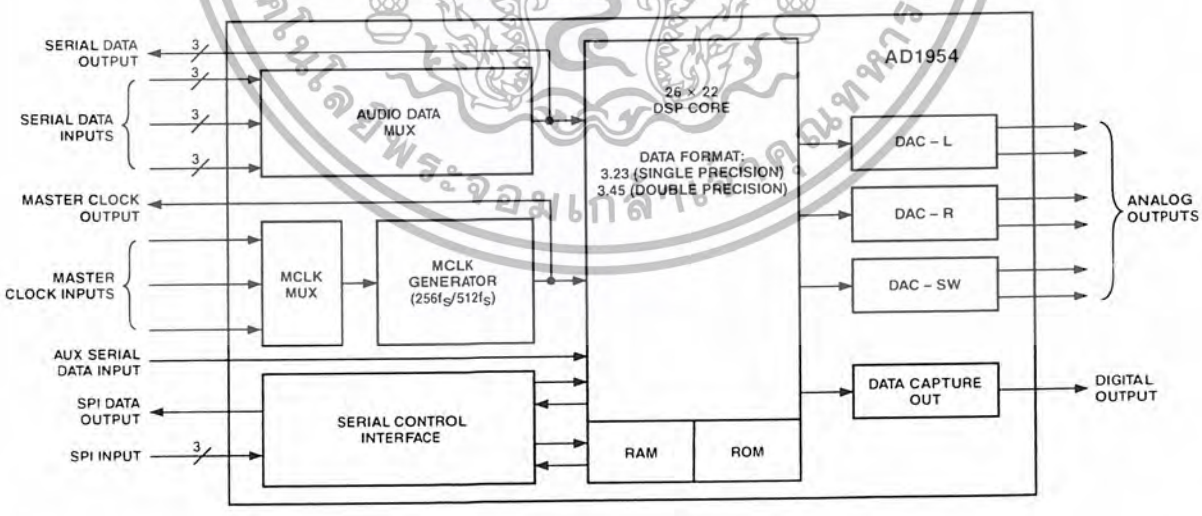
GENERAL DESCRIPTION

The AD1954 is a complete 26-bit single-chip 3-channel digital audio playback system with built-in DSP functionality for speaker equalization, dual-band compression/limiting, delay compensation, and image enhancement. These algorithms can be used to compensate for real-world limitations of speakers, amplifiers, and listening environments, resulting in a dramatic improvement of perceived audio quality.

The signal processing used in the AD1954 is comparable to that found in high-end studio equipment. Most of the processing is done in full 48-bit double-precision mode, resulting in very good low-level signal performance and the absence of limit cycles or idle tones. The compressor/limiter uses a sophisticated two-band algorithm often found in high-end broadcast compressors.

(Continued on 9)

FUNCTIONAL BLOCK DIAGRAM



REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700
Fax: 781/326-8703
www.analog.com
© 2003 Analog Devices, Inc. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE OF CONTENTS

FEATURES/APPLICATIONS 1
GENERAL DESCRIPTION 1
FUNCTIONAL BLOCK DIAGRAM 1
SPECIFICATIONS 3
ABSOLUTE MAXIMUM RATINGS 6
ORDERING GUIDE 6
PIN CONFIGURATIONS 6
PIN FUNCTION DESCRIPTIONS 7
TYPICAL PERFORMANCE CHARACTERISTICS 8
GENERAL DESCRIPTION (continued from page 1) 9
FEATURES 9
PIN FUNCTIONS 10
SIGNAL PROCESSING 12
Signal Processing Overview 12
Numeric Formats 12
Coefficient Format 12
Internal DSP Signal Data Format 12
High-Pass Filter 13
Biquad Filters 13
Volume 14
Stereo Image Expander 14
Delay 15
Main Compressor/Limiter 15
RMS Time Constant 17
RMS Hold Time 17
RMS Release Rate 17
Look-Ahead Delay 17
Postcompression Gain 17
Subwoofer Compressor/Limiter 17
De-emphasis Filtering 18
Using the Sub Reinjection Paths for Systems with No Subwoofer 18
Interpolation Filters 18
SPI PORT 19
Overview 19
SPI Address Decoding 20
Control Register 1 20
Control Register 2 21
Volume Registers 22
Parameter RAM Contents 22
Options for Parameter Updates 22
Soft Shutdown Mechanism 22
Safeload Mechanism 24
Summary of RAM Modes 24
SPI READ/WRITE DATA FORMATS 24
INITIALIZATION 26
Power-Up Sequence 26
Setting the Clock Mode 26
Setting the Data and MCLK Input Selectors 26
DATA CAPTURE REGISTERS 26
SERIAL DATA INPUT PORT 29
Serial Data Input Modes 29
DIGITAL CONTROL PINS 29
Mute 29
De-emphasis 29
ANALOG OUTPUT SECTION 30
GRAPHICAL CUSTOM PROGRAMMING TOOLS 31
APPENDIX 32
Cookbook Formulae for Audio EQ Biquad Coefficients 32
OUTLINE DIMENSIONS 33
Revision History 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD1954–SPECIFICATIONS

Test conditions, unless otherwise noted.

Supply Voltages (AV_{DD}, DV_{DD})	5.0 V
Ambient Temperature	25°C
Input Clock	12.288 MHz
Input Signal	1.000 kHz 0 dB Full Scale
Input Sample Rate	48 kHz
Measurement Bandwidth	20 Hz to 20 kHz
Word Width	24 Bits
Load Capacitance	2200 pF
Load Impedance	2.74 kΩ
Input Voltage High	2.1 V
Input Voltage Low	0.8 V

ANALOG PERFORMANCE*

Parameter	Min	Typ	Max	Unit
RESOLUTION		24		Bits
SIGNAL-TO-NOISE RATIO (20 Hz to 20 kHz) (Left/Right Output)				
No Filter (Stereo)		109		dB
With A-Weighted Filter		112		dB
DYNAMIC RANGE (20 Hz to 20 kHz, –60 dB Input) (Left/Right Output)				
No Filter		109		dB
With A-Weighted Filter	108	112		dB
TOTAL HARMONIC DISTORTION PLUS NOISE (Left/Right Output)				
V_O = –0.5 dB	–93	–100		dB
SIGNAL-TO-NOISE RATIO (20 Hz to 20 kHz) (Subwoofer Output)				
No Filter (Stereo)		104		dB
With A-Weighted Filter		107		dB
DYNAMIC RANGE (20 Hz to 20 kHz, –60 dB Input) (Subwoofer Output)				
No Filter		104		dB
With A-Weighted Filter	104	107		dB
TOTAL HARMONIC DISTORTION PLUS NOISE (Subwoofer Output)				
V_O = –0.5 dB	–90	–96		dB
ANALOG OUTPUTS				
Differential Output Range (± Full Scale) (Left/Right Output)		2.74		V p-p
Differential Output Range (± Full Scale) (Subwoofer Output)		2.77		V p-p
CMOUT		2.50		V
DC ACCURACY				
Gain Error (Left/Right Channel)	–5		+5	%
Gain Error (Subwoofer Channel)	–8		+8	%
Interchannel Gain Mismatch	–0.250		+0.250	dB
Gain Drift		150		ppm/°C
DC Offset	–30		+30	mV
INTERCHANNEL CROSSTALK (EIAJ Method)		–120		dB
INTERCHANNEL PHASE DEVIATION		±0.1		Degrees
MUTE ATTENUATION		–107		dB
DE-EMPHASIS GAIN ERROR			±0.1	dB

*Performance of right and left channels are identical (exclusive of the Interchannel Gain Mismatch and Interchannel Phase Deviation specifications).

Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS (continued)

DIGITAL I/O

Parameter	Min	Typ	Max	Unit
Input Voltage High (V_{IH})	2.1			V
Input Voltage High (V_{IH}) – RESETB	2.25			V
Input Voltage Low (V_{IL})			0.8	V
Input Leakage (I_{IH} @ V_{IH} = 2.1 V)			10	µA
Input Leakage (I_{IL} @ V_{IL} = 0.8 V)			10	µA
High Level Output Voltage (V_{OH}), I_{OH} = 2 mA	DVDD – 0.5			V
Low Level Output Voltage (V_{OL}), I_{OL} = 2 mA			0.4	V
Input Capacitance			20	pF

Specifications subject to change without notice.

POWER

Parameter	Min	Typ	Max	Unit
SUPPLIES*				
Voltage, Analog and Digital	4.5	5	5.5	V
Analog Current		42	48	mA
Analog Current, Power-Down		40	46	mA
Digital Current		65	75	mA
Digital Current, SPI Power-Down		6	10	mA
Digital Current, Reset Power-Down		53	61	mA
DISSIPATION				
Operation, Both Supplies		510		mW
Operation, Analog Supplies		210		mW
Operation, Digital Supplies		325		mW
SPI Power-Down, Both Supplies		230		mW
Reset Power-Down, Both Supplies		465		mW
POWER SUPPLY REJECTION RATIO				
1 kHz 300 mV p-p Signal at Analog Supply Pins		–80		dB
20 kHz 300 mV p-p Signal at Analog Supply Pins		–80		dB

*ODVDD current is dependent on load capacitance and clock rate.

Specifications subject to change without notice.

TEMPERATURE RANGE

Parameter	Min	Typ	Max	Unit
Specifications Guaranteed		25		°C
Functionality Guaranteed	–40		+105	°C
Storage	–55		+125	°C

Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL TIMING

Parameter		Min	Typ	Max	Unit
t_{DMDC}	MCLK Recommended Duty Cycle @ 12.288 MHz (256 f_S Mode)	45		55	%
t_{DMDC}	MCLK Recommended Duty Cycle @ 24.576 MHz (512 f_S Mode)	40		60	%
t_{DMD}	MCLK Delay (All Mode)			25	ns
t_{DBH}	BCLK Low Pulsewidth	10			ns
t_{DBH}	BCLK High Pulsewidth	10			ns
t_{DBD}	BCLK Delay (to BCLKO)			25	ns
t_{DLS}	LRCLK Setup	0			ns
t_{DLH}	LRCLK Hold	10			ns
t_{DLD}	LRCLK Delay (to LRCLKO)			25	ns
t_{DDS}	SDATA Setup	0			ns
t_{DDH}	SDATA Hold	10			ns
t_{DDD}	SDATA Delay (to SDATAO)			25	ns
t_{CCL}	CCLK Low Pulsewidth	12			ns
t_{CCH}	CCLK High Pulsewidth	12			ns
t_{CLS}	CLATCH Setup	10			ns
t_{CLH}	CLATCH Hold	10			ns
t_{CLD}	CLATCH High Pulsewidth	10			ns
t_{CDS}	CDATA Setup	0			ns
t_{CDH}	CDATA Hold	10			ns
t_{COD}	COUT Delay			35	ns
t_{COH}	COUT Hold	2			ns
t_{DCD}	DCSOUT Delay			35	ns
t_{DCH}	DCSOUT Hold	2			ns
t_{PDRP}	PD/RST Low Pulsewidth	5			ns

Specifications subject to change without notice.

DIGITAL FILTER CHARACTERISTICS AT 44.1 kHz

Parameter	Min	Typ	Max	Unit
Pass-Band Ripple			±0.01	dB
Stop-Band Attenuation		70		dB
Pass Band		20		kHz
		0.5442 × f_S		
Stop Band		24		kHz
		0.4535 × f_S		
Group Delay		24.625/f_S		sec

Specifications subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

DVDD to DGND	–0.3 V to +6 V
ODVDD to DGND	–0.3 V to +6 V
AVDD to AGND	–0.3 V to +6 V
Digital Inputs	DGND – 0.3 V to DVDD + 0.3 V
Analog Inputs	AGND – 0.3 V to AVDD + 0.3 V
AGND to DGND	–0.3 V to + 0.3 V
Reference Voltage	(AVDD + 0.3)/2 V
Maximum Junction Temperature	125°C
Storage Temperature Range	–65°C to +150°C
Soldering	300°C/10 sec

*Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Characteristics (44-Lead MQFP)

	Min	Typ	Max	Unit
θ_{JA} (Thermal Resistance—Junction to Ambient)		72		°C/W
θ_{JC} (Thermal Resistance—Junction to Ambient)		19.5		°C/W

Package Characteristics (48-Lead LQFP)

	Min	Typ	Max	Unit
θ_{JA} (Thermal Resistance—Junction to Ambient)		76		°C/W
θ_{JC} (Thermal Resistance—Junction to Ambient)		17		°C/W

ORDERING GUIDE

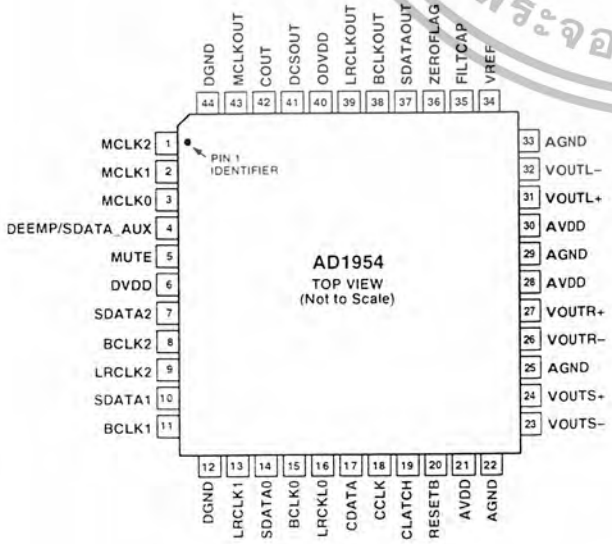
Model	Temperature Range	Package Description	Package Option
AD1954YS	–40°C to +105°C	44-Lead MQFP	S-44
AD1954YSRL	–40°C to +105°C	44-Lead MQFP	S-44 on 13" Reel
AD1954YST	–40°C to +105°C	48-Lead LQFP	ST-48
AD1954YSTRL	–40°C to +105°C	48-Lead LQFP	ST-48 on 13" Reel
AD1954YSTRL7	–40°C to +105°C	48-Lead LQFP	ST-48 on 7" Reel
EVAL-AD1954EB		Evaluation Board	

CAUTION

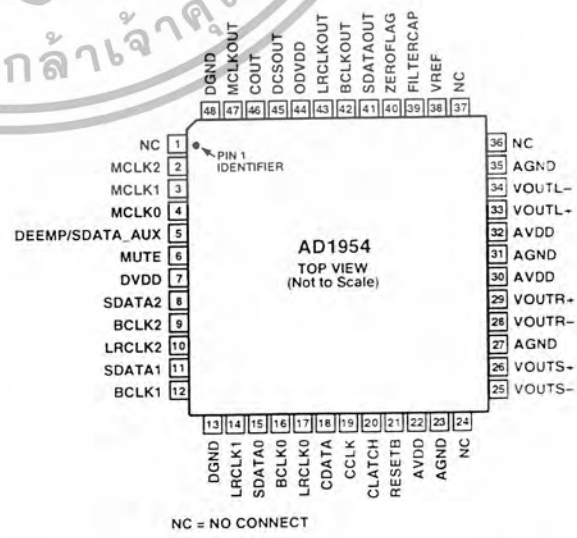
ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD1954 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

PIN CONFIGURATIONS

44-LEAD MQFP



48-LEAD LQFP



NC = NO CONNECT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

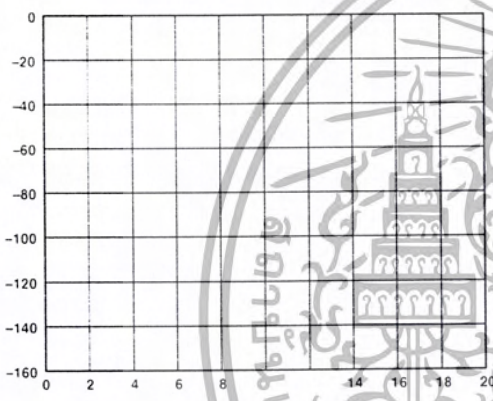
PIN FUNCTION DESCRIPTIONS

Pin No. (44-MQFP)	Pin No. (48-LQFP)	Mnemonic	Input/ Output	Description*
	1	NC		No Connect
1	2	MCLK2	IN	Master Clock Input 2 256 f_S/512 f_S
2	3	MCLK1	IN	Master Clock Input 1 256 f_S/512 f_S
3	4	MCLK0	IN	Master Clock Input 0 256 f_S/512 f_S
4	5	DEEMP/ SDATA_AUX	IN	Enables 44.1 kHz De-emphasis Filter (Others Available through SPI Control) Auxiliary Serial Data Input
5	6	MUTE	IN	Mute Signal. Initiates volume ramp-down.
6	7	DVDD		Digital Supply for DSP Core, 4.5 V to 5.5 V
7	8	SDATA2	IN	Serial Data Input 2
8	9	BCLK2	IN	Bit Clock 2
9	10	LRCLK2	IN	Left/Right Clock 2
10	11	SDATA1	IN	Serial Data Input 1
11	12	BCLK1	IN	Bit Clock 1
12	13	DGND		Digital Ground
13	14	LRCLK1	IN	Left/Right Clock 1
14	15	SDATA0	IN	Serial Data Input 0
15	16	BCLK0	IN	Bit Clock 0
16	17	LRCLK0	IN	Left/Right Clock 0
17	18	CDATA	IN	SPI Data Input
18	19	CCLK	IN	SPI Data Bit Clock
19	20	CLATCH	IN	SPI Data Framing Signal
20	21	RESETB	IN	Reset Signal, Active Low
21	22	AVDD		Analog 5 V Supply
22	23	AGND		Analog GND
	24	NC		No Connect
23	25	VOUTS–	OUT	Negative Sub Analog DAC Output
24	26	VOUTS+	OUT	Positive Sub Analog DAC Output
25	27	AGND		Analog GND
26	28	VOUTR–	OUT	Negative Left Analog DAC Output
27	29	VOUTR+	OUT	Positive Left Analog DAC Output
28	30	AVDD		Analog 5 V Supply
29	31	AGND		Analog GND
30	32	AVDD		Analog 5 V Supply
31	33	VOUTL+	OUT	Positive Left Analog DAC Output
32	34	VOUTL–	OUT	Negative Left Analog DAC Output
33	35	AGND		Analog GND
	36	NC		No Connect
	37	NC		No Connect
34	38	VREF	IN	Connection for Filtered AVDD/2
35	39	FILTCAP	IN	Connection for Noise Reduction Capacitor
36	40	ZEROFLAG	OUT	Zero Flag Output. High when both left and right channels are 0 for 1024 frames.
37	41	SDATAOUT	OUT	Serial Data Mux Output
38	42	BCLKOUT	OUT	Bit Clock Mux Output
39	43	LRCLKOUT	OUT	Left/Right Clock Mux Output
40	44	ODVDD		Digital Supply Pin for Output Drivers, 2.5 V to 5.5 V
41	45	DCSOUT	OUT	Data Capture Serial Output for Data Capture Registers. Use in conjunction with selected LRCLK and BCLK to form a 3-wire output.
42	46	COUT	OUT	SPI Data Output. Three-stated when inactive.
43	47	MCLKOUT	OUT	Master Clock Output 512 f_S/256 f_S (Frequency Selected by SPI Register)
44	48	DGND		Digital Ground

*For a complete description of the pins, refer to the Pin Functions section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD1954–Typical Performance Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DESCRIPTION *(continued from page 1)*

An extensive SPI port allows click-free parameter updates, along with read-back capability from any point in the algorithm flow.

The AD1954 includes ADI's patented multibit Σ-Δ DAC architecture. This architecture provides 112 dB SNR and dynamic range and THD+N of –100 dB. These specifications allow the AD1954 to be used in applications ranging from low-end boom boxes to high-end professional mixing editing systems.

The AD1954 also has a digital output that allows it to be used purely as a DSP. This digital output can also be used to drive an external DAC to extend the number of channels beyond the three that are provided on the chip.

This chip can be used with either its default signal processing program or with a custom user-designed program. Graphical programming tools are available from ADI for custom programming.

FEATURES

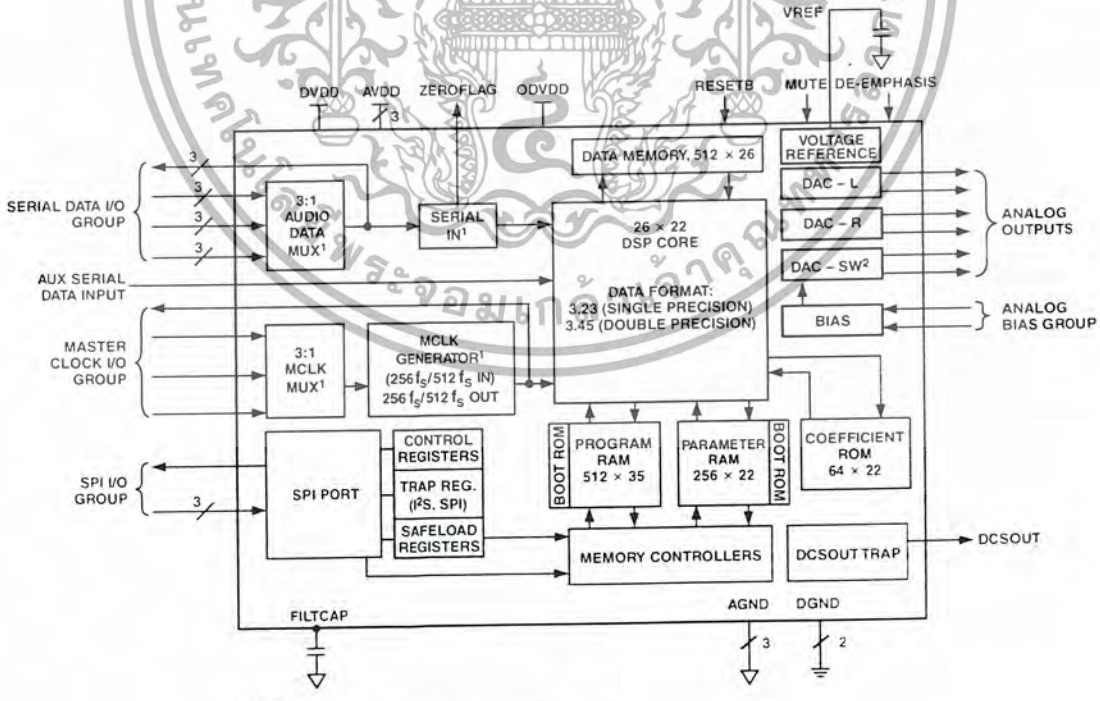
The AD1954 is comprised of a 26-bit DSP (48 bits with double precision) for interpolation and audio processing, three multibit Σ-Δ modulators, and analog output drive circuitry. Other features include an on-chip parameter RAM that uses a safe-upload feature for transparent and simultaneous updates of filter coefficients and digital de-emphasis filters. Also, on-chip input selectors allow up to three sources of serial data and master clock to be selected. The 3-channel configuration is especially useful for 2.1 playback systems that include two satellite speakers and a subwoofer. The default program allows for independent equalization and compression/limiting for the satellite and subwoofer outputs. Figure 1 shows the block diagram of the device.

The AD1954 contains a program RAM that boots from an internal program ROM on power-up. Signal processing parameters are stored in a 256-location parameter RAM, which is initialized on power-up by an internal boot ROM. New values are written to the parameter RAM using the SPI port. The values stored in the parameter RAM control the IIR equalization filters, the dual-band compressor/limiter, the delay values, and the settings of the stereo spreading algorithm.

The AD1954 has a very sophisticated SPI port that supports complete read/write capability of both the program and the parameter RAM. Two control registers are also provided to control the chip serial modes and various other optional features. Handshaking is also included for ease of memory uploads/downloads.

The AD1954 contains four independent data capture circuits, which can be programmed to tap the signal flow of the processor at any point in the DSP algorithm flow. These captured signals can be accessed either through a separate serial out pin (i.e., that can be connected to an external DAC or DSP) or by reading from the data capture SPI registers. This allows the basic functionality of the AD1954 to be easily extended.

The processor core in the AD1954 has been designed from the ground up for straightforward coding of sophisticated compression/limiting algorithms. The AD1954 contains two independent compressor/limiters with rms based amplitude detection and attack/hold/release controls, together with an arbitrary compression curve that is loaded by the user into a look-up table that resides in the parameter RAM. The compressor also features look-ahead compression that prevents compressor overshoots.



NOTES
¹CONTROLLED THROUGH SPI CONTROL REGISTERS.
²DAC DOES NOT USE DIGITAL INTERPOLATION.

Figure 1. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AD1954 has a very flexible serial data input port, which allows for glueless interconnection to a variety of ADCs, DSP chips, AES/EBU receivers, and sample rate converters. The AD1954 can be configured in left-justified, I²S, right-justified, or DSP serial port compatible modes. It can support 16 bits, 20 bits, and 24 bits in all modes. The AD1954 accepts serial audio data in MSB first, twos complement format. The part can also be set up in a 4-channel serial input mode by simultaneously using the serial input mux and the auxiliary serial input.

The AD1954 operates from a single 5 V power supply. It is fabricated on a single monolithic integrated circuit and is housed in a 44-lead MQFP or 48-lead LQFP package for operation over the temperature range –40°C to +105°C.

PIN FUNCTIONS

All input pins have a logic threshold compatible with TTL input levels and can therefore be used in systems with 3.3 V logic. All digital output levels are controlled by the ODVDD pin, which may range from 2.7 V to 5.5 V, for compatibility with a wide range of external devices. (See Pin Function Descriptions table.)

SDATA0, SDATA1, SDATA2—Serial Data Inputs
One of these three inputs is selected by an internal mux, set by writing to Bits 7 and 6 in Control Register 2. Default is 00, which selects SDATA0. The serial format is selected by writing to Bits 3–0 of Control Register 0. See SPI Read/Write Data Formats section for recommendations on how to change input sources without causing a click or pop noise.

LRCLK0, LRCLK1, LRCLK2—Left Right Clocks for Framing the Input Data
The active LRCLK input is selected by writing to Bits 7 and 6 in Control Register 2. The default is 00, which selects LRCLK0. The interpretation of the LRCLK changes according to the serial mode, set by writing to Control Register 0.

BCLK0, BCLK1, BCLK2—Serial Bit Clocks for Clocking in the Serial Data
The active BCLK input is selected by writing to Bits 7 and 6 in Control Register 2. Default is 00, which selects BCLK0. The interpretation of BCLK changes according to the serial mode, which is set by writing to Control Register 0.

LRCLKOUT, BCLKOUT, SDATAOUT—Output of Mux that Selects One of the Three Serial Input Groups
These pins may be used to send the selected serial input signals to other external devices. This output pin is enabled by writing a 1 to Bit 8 of Control Register 2. The default mode is 0 or Off.

MCLK0, MCLK1, MCLK2—Master Clock Inputs
Active input selected by writing to Bits 5 and 4 of Control Register 2. The default is 00, which selects MCLK0. The master clock frequency must be either 256 × f_S or 512 × f_S, where f_S is the input sampling rate. The master clock frequency is programmed by writing to Bit 2 of Control Register 2. The default is 0 (512 × f_S). See the Initialization section for recommendations concerning how to change clock sources without causing an audio click or pop. Note that since the default MCLK source pin is MCLK0, there must be a clock signal present on this pin on power-up so that the AD1954 can complete its initialization routine.

MCLKOUT—Master Clock Output
The master clock output pin may be programmed to produce either 256 × f_S, 512 × f_S, or a copy of the selected MCLK input pin. This pin is programmed by writing to Bits 1 and 0 of Control Register 2. The default is 00, which disables the MCLKO pin.

CDATA—Serial Data In for the SPI Control Port
See SPI Port section for more information on SPI port timing.

COUT—Serial Data Output
This is used for reading back registers and memory locations. It is three-stated when an SPI read is not active. See SPI Port section for more information on SPI port timing.

CCLK—SPI Bit Rate Clock
This pin either may run continuously or be gated off in between SPI transactions. See SPI Port section for more information on SPI port timing.

CLATCH—SPI Latch Signal
It must go low at the beginning of an SPI transaction and high at the end of a transaction. Each SPI transaction may take a different number of CCLKs to complete, depending on the address and read/write bit that are sent at the beginning of the SPI transaction. Detailed SPI timing information is given in SPI Port section.

RESETB—Active Low Reset Signal
After RESETB goes high, the AD1954 goes through an initialization sequence where the program and parameter RAMs are initialized with the contents of the on-board boot ROMs. All SPI registers are set to 0, and the data RAMs are also zeroed. The initialization is complete after 1024 MCLK cycles. Since the MCLK IN FREQ SELECT (Bit 2 in Control Register 2) defaults to 512 × f_S at power-up, this initialization will proceed at the external MCLK rate and will take 1024 MCLK cycles to complete, regardless of the absolute frequency of the external MCLK. New values should not be written to the SPI port until the initialization is complete.

ZEROFLAG—Zero-Input Indicator
This pin will go high if both serial inputs have been inactive (zero data) for 1024 LRCLK cycles. This pin may be used to drive an external mute FET for reduced noise during digital silence. This pin also functions as a test out pin, controlled by the test register at SPI Address 511. While most Test Modes are not useful to the end user, one may be of some use. If the Test Register is programmed with the number 7 (decimal), the ZEROFLAG output will be switched to the output of the internal pseudo-random noise generator. This noise generator operates at a bit rate of 128 × f_S and has a repeat time of once per 224 cycles. This mode may be used to generate white noise (or, with appropriate filtering, pink noise) to be used as a test signal for measuring speakers or room acoustics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DCSOUT—Data Capture Serial Out
This pin will output the DSP's internal signals, which can be used by external DACs or other signal processing devices. The signals that are captured and output on the DCSOUT pin are controlled by writing program counter trap numbers to SPI Addresses 263 (for the left output) and 264 (for the right output). When the internal program counter contents are equal to the trap values written to the SPI port, the selected DSP register is transferred to the DCSOUT parallel-to-serial registers and shifted out on the DCSOUT pin. Table XX shows the program counter trap values and register-select values that should be used to tap various internal points of the algorithm flow.

The DCSOUT pin is meant to be used in conjunction with the LRCLK and BCLK signals that are provided to the serial input port. The format of DCSOUT is the same as the format used for the serial port. In other words, if the serial port is running in I²S mode, then the DCSOUT pin, together with the LRCLK0 and BCLK0 pins (assuming input 0 is selected), will form a valid 3-wire I²S output.

The DCSOUT pin can be used for a variety of purposes. If the DCSOUT pin is used to drive another external DAC, then a 4.1 system is possible using a new program downloaded into the program RAM.

DEEMP/SDATA_AUX—De-emphasis Input Pin/Auxiliary Serial Data Input
In de-emphasis mode, if this pin is asserted high, then a digital de-emphasis filter will be inserted into the signal flow. The de-emphasis curve is valid only for a sample rate of 44.1 kHz; curves for 32 kHz and 48 kHz may be programmed using the SPI port. This pin can also be used as an auxiliary 2-channel serial data input. This function is set by writing a 1 to Bit 11 of Control Register 1. The same clocks are used for this serial input as are used for the SDATA0, SDATA1, and SDATA2 signals. This serial input can only be used in the signal processing flow when using Analog Devices' custom programming tools; see the Graphical Custom Programming Tools section. The use of de-emphasis is still available while this pin is used as a serial input but only through SPI control.

MUTE—Mute Output Signal
When this pin is asserted high, a ramp sequence is started, which gradually reduces the volume to zero. When de-asserted, the volume ramps from zero back to the original volume setting. The ramp speed is timed so that it takes 10 ms to reach 0 volume when starting from the default 0 dB volume setting.

VOUTL+, VOUTL2—Left Channel Differential Analog Outputs
Full-scale outputs correspond to 1 Vrms on each output pin or 2 V rms differential, assuming a VREF input voltage of 2.5 V. The full-scale swing scales directly with VREF. These outputs are capable of driving a load of >5 kΩ, with a maximum peak current of 1 mA from each pin. An external third order filter is recommended for filtering out-of-band noise.

VOUTR+, VOUTR2 —Right Channel Differential Outputs
See characteristics for left channel VOUTL+, VOUTL.

VOUTS+, VOUTS2 —Subchannel Differential Outputs
These outputs are designed to drive loads of 10 kΩ or greater, with a peak current capability of 250 µA. This output does not use digital interpolation, since it is intended for low frequency applications. An external third order filter with a cutoff frequency <2 kHz is recommended.

VREF—Analog Reference Voltage Input
The nominal VREF input voltage is 2.5 V; the analog gain scales directly with the voltage on this pin. When using the AD1954 to drive a power amplifier, it is recommended that the VREF voltage be derived by dividing down and heavily filtering the supply to the power amplifier. This provides a benefit if the compressor/limiter in the AD1954 is used to prevent amplifier clipping. In this case, if the DAC output voltage is scaled to the amplifier power supply, a fixed compressor threshold can be used to protect an amplifier whose supply may vary over a wide range. Any ac signal on this pin will cause distortion, and therefore, a large decoupling capacitor may be necessary to ensure that the voltage on VREF is clean. The input impedance of VREF is greater than 1 MΩ.

FILTCAP—Filter Capacitor Point
This pin is used to reduce the noise on an internal biasing point in order to provide the highest performance. It may not be necessary to connect this pin, depending on the quality of the layout and the grounding used in the application circuit.

DVDD—Digital VDD for Core
5 V nominal.

ODVDD—Digital VDD for All Digital Outputs
Variable from 2.7 V to 5.5 V.

DGND (2)—Digital Ground

AVDD (3)—Analog VDD
5 V nominal. For best results, use a separate regulator for AVDD. Bypass capacitors should be placed close to the pins and connected directly to the analog ground plane.

AGND (3)—Analog Ground
For best performance, separate nonoverlapping analog and digital ground planes should be used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

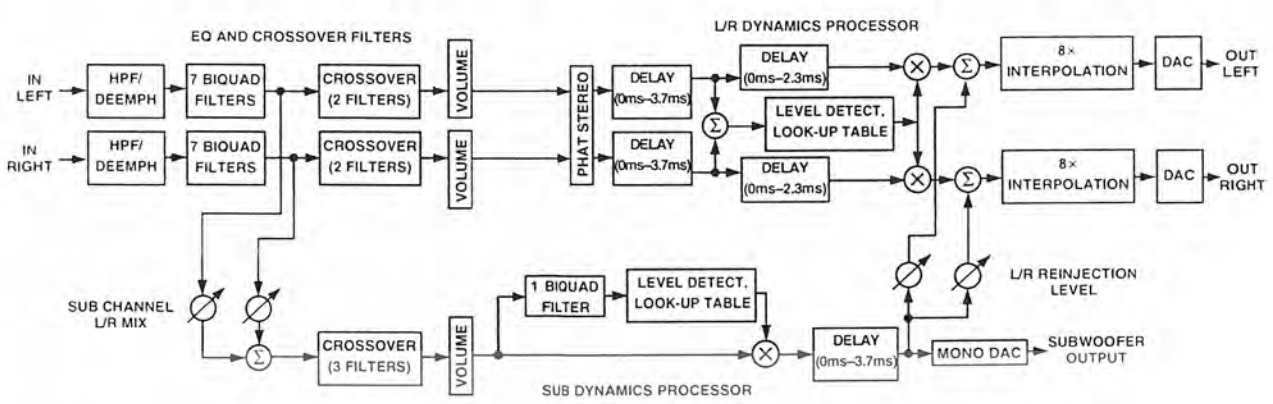


Figure 2. Signal Processing Flow

SIGNAL PROCESSING

Signal Processing Overview

Figure 2 shows the signal processing flow diagram of the AD1954. The AD1954 is designed to provide all the signal processing functions commonly used in 2.0 or 2.1 playback systems. A seven-biquad equalizer operates on the stereo input signal. The output of this equalizer is fed to a two-biquad crossover filter for the main channels, and the mono sum of the left and right equalizer outputs is fed to a three-biquad crossover filter for the subchannel. Each of the three channels has independent delay compensation. There are two high quality compressor/limiters available: one operating on the left/right outputs and one operating on the subwoofer channel. The subwoofer output may be blended back into the left/right outputs for 2.0 playback systems. In this configuration, the two independent compressor/limiters provide two-band compression, which significantly improves the sound quality of compressed audio. In addition, the main channels have a stereo widening algorithm that increases the perceived spread of the stereo image.

Most of the signal processing functions are coded using full 48-bit double-precision arithmetic. The input word length is 24 bits, with two extra headroom bits added in the processor to allow internal gains up to 12 dB without clipping (additional gains can be accommodated by scaling down the input signal in the first biquad filter section).

A graphical user interface (GUI) is available for evaluation of the AD1954 (Figure 3). This GUI controls all of the functions of the chip in a very straightforward and user friendly interface. No code needs to be written to use the GUI to control the chip. For more information on AD1954 software tools, send an e-mail to SigmaDSP@analog.com.

Each section of this flow diagram will be explained in detail on the following pages.

Numeric Formats

It is common in DSP systems to use a standardized method of specifying numeric formats. To better comprehend issues relating to precision and overflow, it is helpful to think in terms of fractional twos complement number systems. Fractional number systems are specified by an A.B format, where A is the number of bits to the left of the decimal point, and B is the number of bits to the right of the decimal point. In a twos complement system, there is also an implied offset of one-half of the binary range; for example, in a twos complement 1.23 system, the legal signal range is –1.0 to +(1.0 – 1 LSB).

The AD1954 uses two different numeric formats: one for the coefficient values (stored in the parameter RAM) and one for the signal data values. The coefficient format is as follows:

Coefficient Format

Coefficient Format: 2.20
Range: –2.0 to +(2.0 – 1 LSB)
Examples:
1000000000000000000000 = –2.0
1100000000000000000000 = –1.0
1111111111111111111111 = (1 LSB below 0.0)
0000000000000000000000 = 0.0
0100000000000000000000 = 1.0
0111111111111111111111 = (2.0 – 1 LSB)

This format is used because standard biquad filters require coefficients that range between +2.0 and –2.0. It also allows gain to be inserted at various places in the signal path.

Internal DSP Signal Data Format

Input Data Format: 1.23
This is sign extended when written to the data memory of the AD1954.
Internal DSP Signal Data Format: 3.23
Range: –4.0 to +(4.0 – 1 LSB)
Examples:
100000000000000000000000 = –4.0
110000000000000000000000 = –2.0
111000000000000000000000 = –1.0
111111111111111111111111 = (1 LSB below 0.0)
000000000000000000000000 = 0.0
001000000000000000000000 = 1.0
010000000000000000000000 = 2.0
011111111111111111111111 = (4.0 – 1 LSB).

The sign extension between the serial port and the DSP core allows for up to 12 dB of gain in the signal path without internal clipping. Gains greater than 12 dB can be accommodated by scaling the input down in the first biquad filter and scaling the signal back up at the end of the biquad filter section.

A digital clipper circuit is used between the output of the DSP core and the input to the DAC Σ-Δ modulators to prevent overloading the DAC circuitry (see Figure 4). Note that there is a gain factor of 0.75 used in the DAC interpolation filters, and therefore signal values of up to 1/0.75 will pass through the DSP without clipping. Since the DAC is designed to produce an analog output of 2 V rms (differential) with a 0 dB digital input, signals between

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

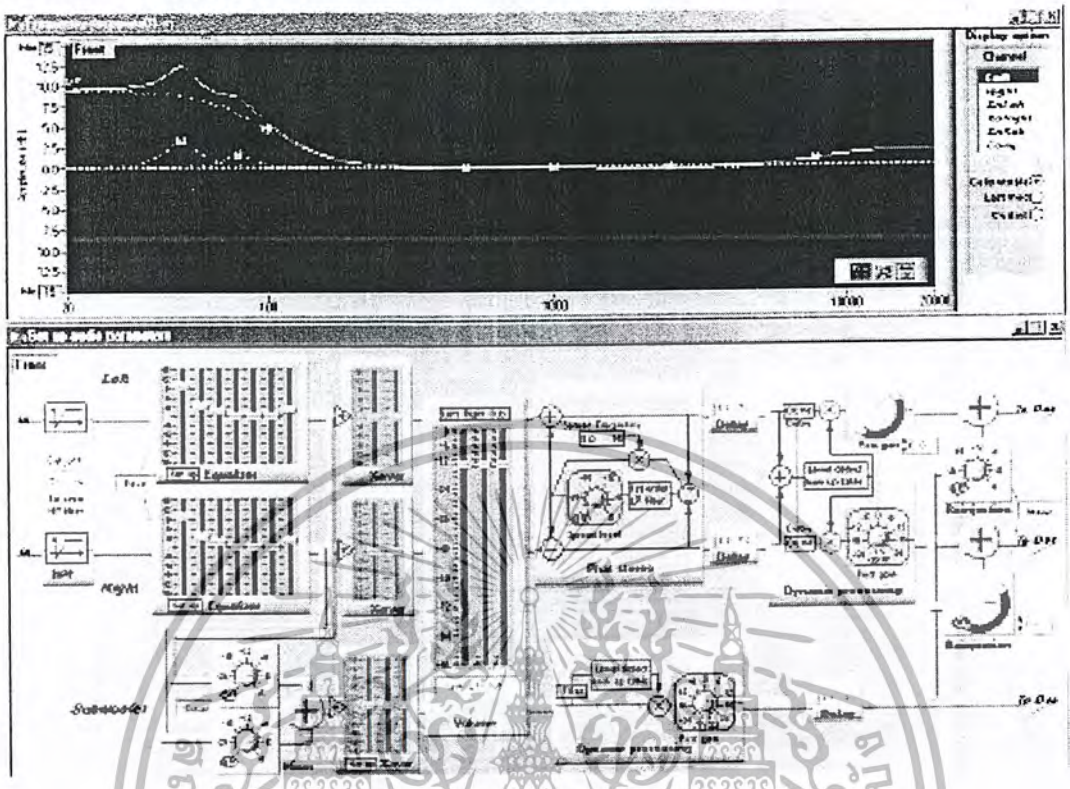


Figure 3. Graphical User Interface

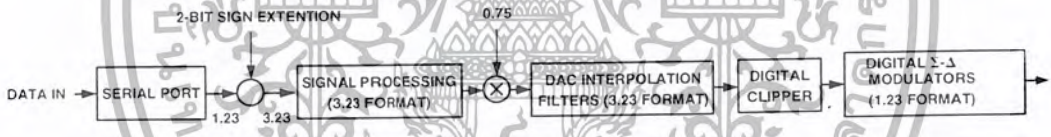


Figure 4. Numeric Precision and Clipping Structure

0 dB and 1.0.75 (approximately 3 dB) will produce larger analog outputs and result in slightly degraded analog performance. This extra analog range is necessary in order to pass 0 dBFS square waves through the system, since these square waves cause overshoots in the interpolation filters, which would otherwise briefly clip the digital DAC circuitry.

A separate digital clipper circuit is used in the DSP core to ensure that any accumulator values that exceed the numeric 3.23 format range are clipped when taken from the accumulator.

High-Pass Filter

The high-pass filter is a first order double-precision design. The purpose of the high-pass filter is to remove digital dc from the input. If this dc were allowed to pass, the detectors used in the compressor/limiter would give an incorrect reading for low signal levels. The high-pass filter is controlled by a single parameter (alpha_HPF), which is programmed by writing to SPI location 180 in 2.20 twos complement format. The following equation can be used to calculate the parameter alpha_HPF from the –3 dB point of the filter:

$$Alpha_HPF = 1.0 - EXP\left(\frac{-2.0 \times p \times HPF_Cutoff}{f_S}\right)$$

where *EXP* is the exponential operator, *HPF_cutoff* is the high-pass cutoff in Hz, and f_S is the audio sampling rate. The default value for the –3 dB cutoff of the high-pass filter is 2.75 Hz at a sampling rate of 44.1 kHz.

Biquad Filters

Each of the two input channels has seven second order biquad sections in the signal path. In addition, the left and right channels have two additional biquad filters that may be used either as crossover filters or as additional equalization filters. The subchannel has three additional biquad filters that are also to be used as equalization and/or crossover filters. In a typical scenario, the first seven biquads would be used for speaker equalization and or tone controls, and the remaining filters would be programmed to function as crossover filters. Note that there is a common equalization section used for both the main and sub channels, followed by the crossover filters. This arrangement prevents any interaction from occurring between the crossover filters and the equalization filters. One section of the biquad IIR filter is shown in Figure 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

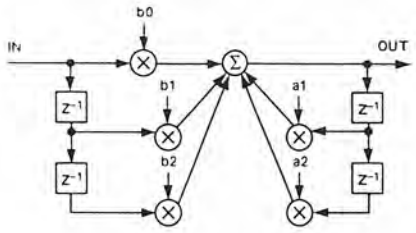


Figure 5. Biquad Filter

This section implements the transfer function:

$$H(Z) = \frac{(b0 + b1 \times Z^{-1} + b2 \times Z^{-2})}{(1 - a1 \times Z^{-1} - a2 \times Z^{-2})}$$

The coefficients a1, a2, b0, b1, and b2 are all in twos complement 2.20 format with a range from –2 to +2 (minus 1 LSB). The negative sign on the a1 and a2 coefficients is the result of adding both the feed-forward b terms as well as the feedback a terms. Some digital filter packages automatically produce the correct a1 and a2 coefficients for the topology of Figure 5, while others assume a denominator of the form $1 + a1 \times Z^{-1} + a2 \times Z^{-1}$. In this case, it may be necessary to invert the a1 and a2 terms for proper operation.

The biquad structure shown in Figure 5 is coded using double-precision math to avoid limit cycles from occurring when low frequency filters are used. The coefficients are programmed by writing to the appropriate location in the parameter RAM, through the SPI port (see Table VI). There are two possible scenarios for controlling the biquad filters:

1. Dynamic Adjustment (e.g., Bass/Treble Control or Parametric Equalizer)
   When using dynamic filter adjustment, it is highly recommended that the user employ the safeload mechanism to avoid temporary instability when the filters are dynamically updated. This could occur if some, but not all, of the coefficients were updated to new values when the DSP calculates the filter output. The operation of the safeload registers is detailed in the Options for Parameter Updates section.
2. Setting Static EQ Curve after Power-Up.
   If many of the biquad filters need to be initialized after power-up (e.g., to implement a static speaker correction curve), the recommended procedure is to set the processor shutdown bit, wait for the volume to ramp down (about 20 ms), and then write directly to the parameter RAM in burst mode. After the RAM is loaded, the shutdown bit can be de-asserted, causing the volume to ramp back up to the initial value. This entire procedure is click-free and faster than using the safeload mechanism.

The data paths of the AD1954 contain an extra two bits on top of the 24 bits that are input to the serial port. This allows up to 12 dB of boost without clipping. However, it is important to remember that it is possible to design a filter that has less than 12 dB of gain at the final filter output, but more than 12 dB of gain at the output of one or more intermediate biquad filter sections. For this reason, it is important to cascade the filter sections in the correct order, putting the sections with the largest peak gains at the end of the chain rather than at the beginning. This is standard practice when coding IIR filters and is covered in basic books on DSP coding.

If gains larger than 12 dB cannot be avoided, then the coefficients b0 through b2 of the first biquad section may be scaled down to fit the signal into the 12 dB maximum signal range and then scaled back up at the end of the filter chain.

Volume

Three separate SPI registers are used to control the volume—one each for the left, right, and sub channels. These registers are special in that they include automatic digital ramp circuitry for clickless volume adjustment. The volume control word is in 2.20 format and therefore gains from +2.0 to –2.0 are possible. The default value is 1.0. It takes 1024 audio frames to adjust the volume from 2.0 down to 0; in the normal case where the maximum volume is set to 1.0, it will take 512 audio frames for this ramp to reach zero. Note that a mute command is the same as setting the volume to zero, except that when the part is unmuted, the volume returns to its original value.

These volume ramp times assume that the AD1954 is set for the fast volume ramp speed. If the slow setting is selected, it will take 8192 audio frames to reach zero from a setting of 2.0. Correspondingly, it will take 4096 frames to reach 0 volume from the normal setting of 1.0.

The volume blocks are placed after the biquad filter sections to maximize the level of the signal that is passed through the filter sections. In a typical situation, the nominal volume setting might be –15 dB, allowing a substantial increase in volume when the user increases the volume. The AD1954 was designed with an analog dynamic range of >112 dB, so that in the typical situation with the volume set to –15 dB, the signal-to-noise ratio at the output will still exceed 97 dB. Greater output dynamic ranges are possible if the compressor/limiter is used, since the post-compression gain parameter can boost the signal back up to a higher level. In this case, the compressor will prevent the output from clipping when the volume is turned up and the input signal is large.

Stereo Image Expander

The image enhancement processing is based on ADI's patented Phat Stereo algorithm. The block diagram is shown in Figure 6.

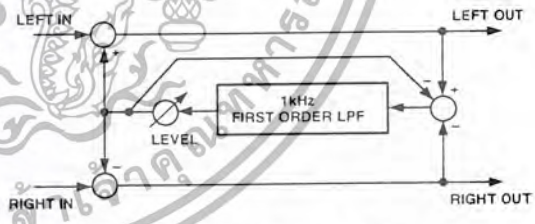


Figure 6. Stereo Image Expander

The algorithm works by increasing the phase shift for low frequency signals that are panned left or right in the stereo mix. Since the ear is responsive to interaural phase shifts below 1 kHz, this increase in phase shifts results in a widening of the stereo image. Note that signals panned to the center are not processed, resulting in a more natural sound. There are two parameters that control the Phat Stereo algorithm: the level variable, which controls how much out-of-phase information is added to the left and right channels, and the cutoff frequency of the first order low-pass filter, which determines the frequency range of the added out-of-phase signals. For best results, the cutoff frequency should be in the range of 500 Hz to 2 kHz. These parameters are controlled by altering the parameter RAM locations that store the parameters spread_level and alpha_spread. The spread_level is a linear number in 2.20 format that multiplies the processed left-right signal before it is added to or subtracted from the main channels. The parameter alpha_spread

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

is related to the cutoff frequency of the first order low-pass filter by the equation:

$$Alpha_Spread = 1.0 - EXP\left(\frac{-2.0 \times p \times Spread_Freq}{f_S}\right)$$

where *EXP* is the exponential operator, *Spread_Freq* is the low-pass cutoff in Hz, and f_S is the audio sampling rate.

Note that the stereo spreading algorithm assumes that frequencies below 1 kHz are present in the main satellite speakers. In some systems, the crossover frequency between the satellite and subwoofer speakers is quite high (>500 Hz). In such a case, the stereo spreading algorithm will not be effective, since the frequencies that contribute to the spreading effect will come mostly from the subwoofer, which is a mono source.

Delay

Each of the three DAC channels has a delay block that allows the user to introduce a delay of up to 165 audio samples. The delay values are programmed by entering the delay (in samples) into the appropriate location of the parameter RAM. With a 44.1 kHz sample rate, a delay of 165 samples corresponds to a time delay of 3.74 ms. Since sound travels at approximately 1 foot ms, this can be used to compensate for speaker placements that are off by as much as 3.74 feet.

An additional 100 samples of delay are used in the look-ahead portion of the compressor limiter but only for the main two channels. This can be used to increase the total delay for the left and right channels to 265 samples or 6 ms at 44.1 kHz.

Main Compressor/Limiter

The compressor used in the AD1954 is quite sophisticated and is comparable in many ways to the professional compressor/limiters used in the professional audio and broadcast fields. It uses rms peak detection with adjustable attack/hold/release, look-ahead compression, and table-based entry of the input/output curve for complete flexibility.

The AD1954 uses two compressor/limiters: one in the subwoofer DAC and one in the main left/right DAC. It is well known that having independent compressors operating over different frequency ranges results in a superior perceived sound. With a single-band compressor, loud bass information will modulate the gain of the entire audio signal, resulting in suboptimal maximum perceived loudness as well as gain pumping or modulation effects. With independent compressors operating separately on the low and high frequencies, this problem is dramatically reduced. If the AD1954 is being operated in two-channel mode, an extra path is added so that the subwoofer channel can be added back into the main channel. This maintains the advantage of using a two-band compressor, even in a 2.0 system configuration.

Figure 7 shows the traditional basic analog compressor limiter. It uses a voltage controlled amplifier to adjust gain and a feed-forward detector path using an rms detector with adjustable time constants, followed by a nonlinear circuit, to implement the desired input output relationship. A simple compressor will have a single threshold above which the gain is reduced. The amount of compression above the threshold is called the compression ratio and is defined as dB change in input/dB change in output. For example, if the input to a 2:1 compressor is increased by 2 dB, the output will rise by 1 dB for signals above the threshold.

A single hard threshold results in more audible behavior than a so-called soft-knee compressor, where the compression is introduced more gradually. In an analog compressor, the soft-knee characteristic is usually made by using diodes in their exponential turn-on region.

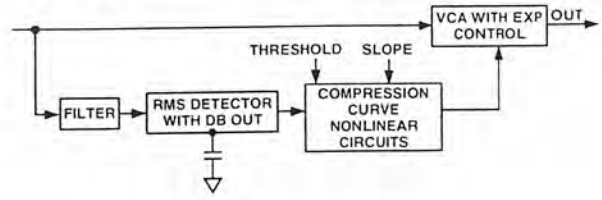


Figure 7. Analog Compressor

The best analog compressors use rms detection as the signal amplitude detector. The only class of detectors that is not sensitive to the phase of the harmonics in a complex signal are rms detectors. The ear also bases its loudness judgment on the overall signal power and therefore using an rms detector results in the best audible performance. Compressors that are based on peak detection, while good for preventing clipping, are generally quite poor for audible performance.

RMS detectors have a certain time constant that determines how rapidly they can respond to transient signals. There is always a trade-off between speed of response and distortion. Figure 8 shows this trade-off.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

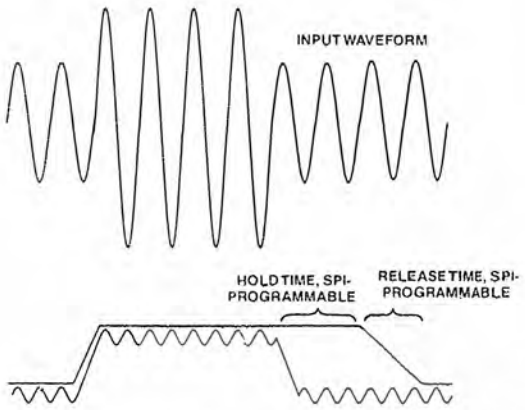


Figure 9. Using the Hold and Release Time Feature

Using this idea of a modified rms algorithm, the true rms value is still obtained for all but the lowest frequency signals, while the distortion due to rms ripple is reduced. It also allows the user to set the hold and release times of the compressor independently.

The detector path of the AD1954 is shown in Figure 10. The rms detector is controlled by three parameters stored in the parameter RAMs: the rms time constant, the hold time, and the release rate. The log output of the rms detector is applied to a look-up table with interpolation. The higher bits of the rms output form an offset into this table, and the lower bits are used to interpolate between the table entries to form a high-precision gain word. The look-up table resides in the parameter RAM and is loaded by the user to give the desired curve. The look-up table contains 33 data locations, and the LSB of the address into the look-up table corresponds to a 3 dB change in the amplitude of the detector signal. This gives the user the ability to program an input/output curve over a 99 dB range. For the main compressor, the table resides in Locations 110 to 142 in the SPI parameter RAM.

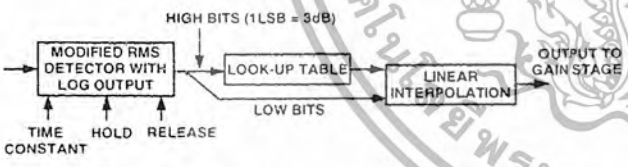


Figure 10. Gain Derived from Interpolated Look-Up Table

One subtlety of the look-up table involves the difference between the rms value of a sine wave and that of a square wave. If a full-scale square wave is applied to the AD1954, the rms value of this signal will be 3 dB higher than the rms value of a 0 dBFS sine wave. Therefore, the table ranges from +9 dB (Location 142) to -87 dB (Location 110).

The entries in the table are linear gain words in 2.20 format. Figure 11 shows an example of the table entries for a simple above-threshold compressor.

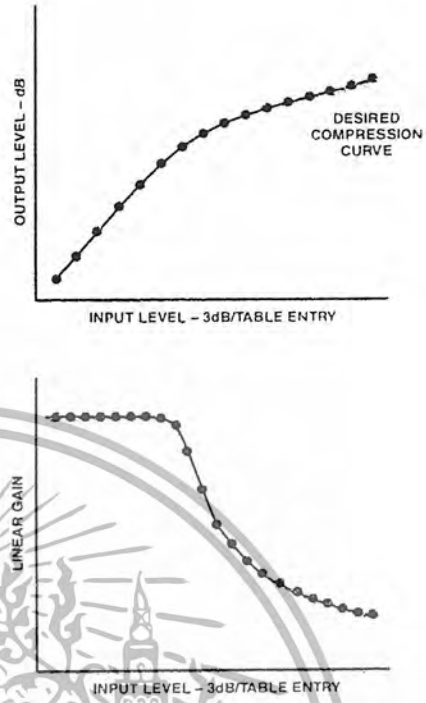


Figure 11. Example of Table Entry for a Given Compression Curve

Note that the maximum gain that can be entered in the table is 2.0 (minus 1 LSB). If more gain is required, the entire compression curve may be shifted upward by using the post-compression gain block following the compressor/limiter.

The AD1954 compressor/limiter also includes a look-ahead compression feature. The idea behind look-ahead compression is to prevent compressor overshoots by applying some digital delay to the signal before the gain-control multiplier but not to the detector path. In this way, the detector can acquire the new amplitude of the input signal before the signal actually reaches the multiplier. A comparison of a tone burst fed to a conventional compressor versus a look-ahead compressor is shown in Figure 12.

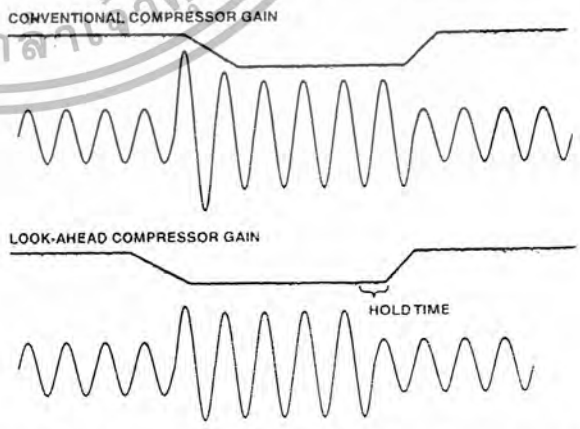


Figure 12. Conventional Compression vs. Look-Ahead Compression

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In the look-ahead compressor, the gain has already been reduced by the time that the tone-burst signal arrives at the multiplier input. Note that when using a look-ahead compressor, it is important to set the detector hold time to a value that is at least the same as the look-ahead delay time or the compressor release will start too soon, resulting in an expanded tail of a tone-burst signal. The complete flow of the left/right dynamics processor is shown in Figure 13.

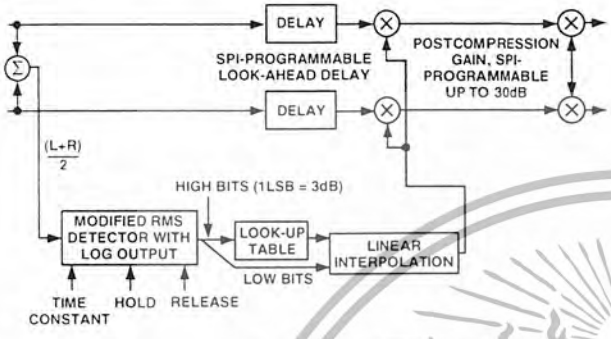


Figure 13. Complete Dynamics Flow, Main Channels

The detector path works from the sum of the left and right channels (L + R) 2). This is the normal way that compressors are built and counts on the fact that the main instruments in any stereo mix are seldom recorded deliberately out of phase, especially in the lower frequencies that tend to dominate the energy spectrum of real music.

The compressor is followed by a block known as post-compression gain. Most compressors are used to reduce the dynamic range of music by lowering the gain during loud signal passages. This results in an overall loss of volume. This loss can be made up by introducing gain after the compressor. In the AD1954, the coefficient format used is 2.20, which has a maximum floating-point representation of slightly less than 2.0. This means that the maximum gain that can be achieved in a single instruction is 6 dB. To get more gain, the program in the AD1954 uses a cascade of five multipliers to achieve up to 30 dB of post-compression gain.

To program the compressor/limiter, the following formulas may be used to determine the 22-bit numbers (in 2.20 format) to be entered into the parameter RAM.

RMS Time Constant

This can be best expressed by entering the time constant in terms of dB sec raw release rate (without the peak-riding circuit). The attack rate is a rather complicated formula that depends on the change in amplitude of the input sine wave.

$$rms_tconst_parameter = 1.0 - 10^{\left(\frac{release_rate}{(10.0 \times f_S)}\right)}$$

where *rms_tconst_parameter* = the fractional number to enter into the SPI RAM (after converting to 22-bit 2.20 format), and the release_rate = the *release rate* of the raw rms detector in dB/sec. This must be negative, and f_S = the audio sample rate.

RMS Hold Time

$$rms_hold_time_parameter = int(f_S \times hold_time)$$

Where *rms_holdtime_parameter* = the integer number to enter into the SPI RAM, f_S = the audio sample rate, *hold_time* = the absolute time to wait before starting the release ramp-down of the detector output, and *int*() = the integer part of the expression.

RMS Release Rate

$$rms_decay_parameter = int(rms_decay / 0.137)$$

where *rms_decay_parameter* = the decimal integer number to enter into the SPI RAM, *rms_decay* = the decay rate in dB/sec, and *int*() = the integer part of the expression.

Look-Ahead Delay

$$lookahead_delay_parameter = lookahead_delay \times f_S$$

where *lookahead_delay* = the predictive compressor delay in absolute time, f_S = the audio sample rate, and the maximum *lookahead_delay_parameter* value is 100.

Postcompression Gain

$$post_compression_gain_parameter = post_compression_gain_linear^{\wedge}(1/5)$$

where *post_compression_gain_linear* is the linear post-compression gain and ^ = the raise to the power.

Subwoofer Compressor/Limiter

The subwoofer compressor/limiter differs from the left/right compressor in the following ways:

1. The subwoofer compressor operates on a weighted sum of the left and right inputs (aa × Left + bb × Right), where aa and bb are both programmable.
2. The detector input has a biquad filter in series with the input in order to implement frequency-dependent compression thresholds.
3. There is no predictive compression since presumably the input signals are filtered to pass only low frequencies and therefore transient overshoots are not a problem.

The subwoofer compressor signal flow is shown in Figure 14.

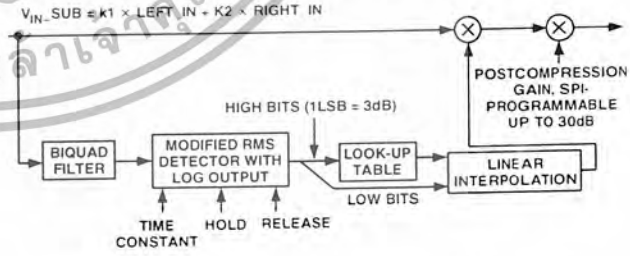


Figure 14. Signal Flow for Subwoofer Compressor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The biquad filter before the detector can be used to implement a frequency-dependent compression threshold. For example, assume that the overload point of the woofer is very frequency dependent. In this case, one would have to set the compressor threshold to a value that corresponded to the most sensitive overload frequency of the woofer. If the input signal happened to be mostly in a frequency range where the woofer was not so sensitive to overload, then the compressor would be too pessimistic and the volume of the woofer would be reduced. If, on the other hand, the biquad filter were designed to follow the woofer excursion curve of the speaker, then the volume of the woofer could be maximized under all conditions. This is illustrated in Figure 15.

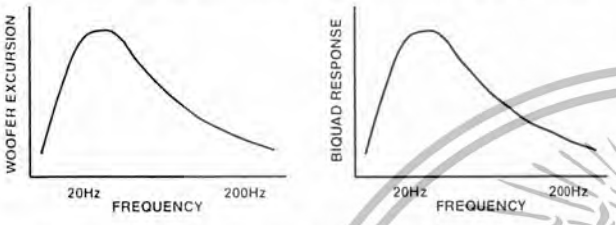


Figure 15. Optimizing Woofer Loudness Using the Subwoofer rms Biquad Filter

When using a filter in front of the detector, a confusing side effect occurs. If one measures the frequency response by using a swept sine wave with an amplitude large enough to be above the compressor threshold, the resulting frequency response will not look flat. However, this is not real in the sense that, as the sine wave is swept through the system, the gain is being slowly modulated up and down according to the response of the biquad filter in front of the detector. If one measures the response using a pink noise generator, the result will look much better, since the detector will settle on only one gain value. The perceptual effect of the swept sine wave test is not at all what would be predicted by simply looking at the frequency response curve; it is only the signal path filters that will affect the perception of the frequency response, not the detector path filters.

De-emphasis Filtering

The standard for encoding CDs allows the use of a pre-emphasis curve during encoding, which must be compensated for by a de-emphasis curve during playback. The de-emphasis curve is defined as a first order shelving filter with a single pole at $1/(2 \times \pi \times 50\ \mu s)$ followed by a single zero at $(1/(2 \times \pi \times 15\ \mu s))$. This curve may be accurately modeled using a first order digital filter. This filter is included in the AD1954; it is not part of the bank of biquad filters and so does not take away from the number of available filters.

Since the specification of the de-emphasis filter is based on an analog filter, the response of the filter should not depend on the incoming sampling rate. However, when the de-emphasis filter is implemented digitally, the response will scale with the sampling rate unless the filter coefficients are altered to suit each possible input sampling rate. For this reason, the AD1954 includes three separate de-emphasis curves: one each for sampling rates of 32 kHz, 44.1 kHz, and 48 kHz. These curves are selected by writing to Bits 5 and 4 of Control Register 1 over the SPI port. Alternatively, the 44.1 kHz curve can be called upon using the DEEMP/SDATA_AUX pin. This pin is included for compatibility with CD decoder chips that have a de-emphasis output pin.

Using the Sub Reinjection Paths for Systems with No Subwoofer

Many systems will not use a subwoofer but would still benefit from two-band compression/limiting. This can be accommodated by using sub reinjection paths in the program flow. These parameters are programmed by entering two numbers (in 2.20 format) into the parameter RAM. Note that if the biquad filters are not properly designed, the frequency response at the crossover point may not be flat. Many crossover filters are designed to be flat in the sense of adding the powers together, but nonflat if the sum is done in voltage mode. The user must take care to design an appropriate set of crossover filters.

Interpolation Filters

The left and right channels have a 128:1 interpolation filter with 70 dB stop-band attenuation that precedes the digital Σ-Δ modulator. This filter has a group delay of approximately $24.1875/f_S$ taps, where f_S is the sampling rate. The sub channel does not use an interpolation filter. The reason for this (besides saving valuable MIPS) is that it is expected that the bandwidth of the sub output will be limited to less than 1 kHz. With no interpolation filter, the first image will therefore be at 43.1 kHz (which is f_S – 1 kHz for CD audio). The standard external filter used for both the main and sub channels is a third order, single op amp filter. If the cutoff frequency of the external subwoofer filter is 2 kHz, then there are more than four octaves between 2 kHz and the first image at 43.1 kHz. A third order filter will roll off by approximately 18 dB/oct × 4 octaves = 72 dB attenuation. This is approximately the same as the digital attenuation used in the main channel filters, so no internal interpolation filter is required to remove the out-of-band images.

Note that by having interpolation filters in the main channels but not the subwoofer channel, there is a potential time-delay mismatch between the main and sub channels. The group delay of the digital interpolation filters used in the main left/right channels is about 0.5 ms. This must be compared to the group delay of the external analog filter used in the subwoofer path. If the group-delay mismatch causes a frequency response error (when the two signals are acoustically added), then the programmable delay feature can be used to put extra delay in either the subwoofer path or the main left/right path.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPI PORT

Overview

The AD1954 has many different control options. Most signal processing parameters are controlled by writing new values to the parameter RAM using the SPI port. Other functions, such as volume and de-emphasis filtering, are programmed by writing to the SPI control registers.

The SPI port uses a 4-wire interface, consisting of CLATCH, CCLK, CDATA, and COUT signals. The CLATCH signal goes low at the beginning of a transaction and high at the end of a transaction. The CCLK signal latches the serial input data on a low-to-high transition. The CDATA signal carries the serial input data, and the COUT signal is the serial output data. The COUT signal remains three-stated until a read operation is requested. This allows other SPI compatible peripherals to share the same readback line.

The SPI port is capable of full read/write operation for all of the memories (parameter and program) and some of the SPI registers (Control Register 1 and the data capture registers). The memories may be accessed in both a single address mode or in burst mode. All SPI transactions follow the same basic format that is shown in Table I.

Table I. SPI Word Format

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
00000, R/$\overline{W}$, Addr[9:8]	Addr[7:0]	Data	Data	Data

The R/$\overline{W}$ bit is low for a write and high for a read operation. The 10-bit address word is decoded into either a location in one of the two memories (parameter or program) or one of the SPI registers. The number of data bytes varies according to the register or memory being accessed. In burst-write mode (available for loading the RAMs only), an initial address is given followed by a continuous sequence of data for consecutive RAM locations. The detailed data format diagram for continuous-mode operation is given in SPI read/write data formats.

A sample timing diagram for a single SPI write operation to the parameter RAM is shown in Figure 16.

A sample timing diagram of a single SPI read operation is shown in Figure 17. The COUT pin goes from three-state to driven at the beginning of Byte 2. Bytes 0 and 1 contain the address and R/$\overline{W}$ bit, and Bytes 2 through 4 carry the data. The exact format is shown in Tables VIII to XIX.

The AD1954 has several mechanisms for updating signal-processing parameters in real time without causing loud pops or clicks. In cases where large blocks of data need to be downloaded, the DSP core can be shut down and new data loaded, and then the core can be restarted. The shutdown and restart mechanisms employ a gradual volume ramp to prevent clicks and pops. In cases where only a few parameters need to be changed (e.g., a single biquad filter), a safeload mechanism is used, which allows a block of SPI registers to be transferred to the parameter RAM within a single audio frame while the core is running. The safeload mode uses internal logic to prevent contention between the DSP core and the SPI port.

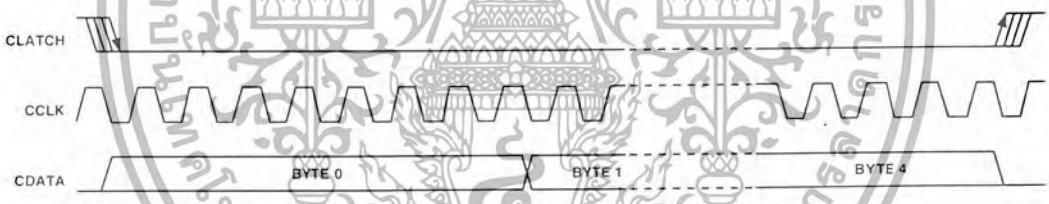


Figure 16. Sample of SPI Write Format (Single-Write Mode)

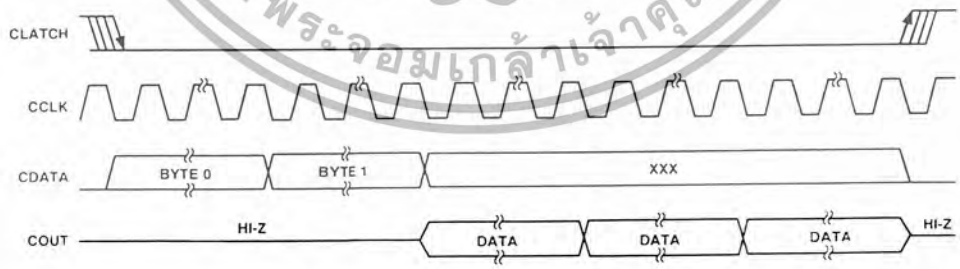


Figure 17. Sample of SPI Read Format (Single-Write Mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table II. SPI Port Address Decoding

SPI Address	Register Name	Read/Write Word Length
0–255	Parameter RAM	Write: 22 Bits Read: 22 Bits
256	SPI Control Register 1	Write: 11 Bits Read: 2 Bits
257	SPI Control Register 2	Write: 9 Bits Read: N/A
258	Volume Left	Write: 22 Bits Read: N/A
259	Volume Right	Write: 22 Bits Read: N/A
260	Volume Sub	Write: 22 Bits Read: N/A
261	Data Capture (SPI Out) #1	Write: 9-Bit Program Counter Value, 2-Bit Register Address Read: 24 Bits
262	Data Capture (SPI Out) #2	Write: 9-Bit Program Counter Value, 2-Bit Register Address Read: 24 Bits
263	Data Capture (Serial Out) Left	Write: 9-Bit Program Counter Value, 2-Bit Register Address Read: N/A
264	Data Capture (Serial Out) Right	Write: 9-Bit Program Counter Value, 2-Bit Register Address Read: N/A
265	Parameter RAM Safe Load Register 0	Write: 8-Bit Parameter RAM Address, 22-Bit Parameter Data Read: N/A
266	Parameter RAM Safe Load Register 1	Write: 8-Bit Parameter RAM Address, 22-Bit Parameter Data Read: N/A
267	Parameter RAM Safe Load Register 2	Write: 8-Bit Parameter RAM Address, 22-Bit Parameter Data Read: N/A
268	Parameter RAM Safe Load Register 3	Write: 8-Bit Parameter RAM Address, 22-Bit Parameter Data Read: N/A
269	Parameter RAM Safe Load Register 4	Write: 8-Bit Parameter RAM Address, 22-Bit Parameter Data Read: N/A
270–510	Unused	
511	Test Register	Write: 8 Bits Read: N/A
512–1024	Program RAM	Write: 35 Bits Read: 35 Bits

SPI Address Decoding

Table II shows the address decoding used in the SPI port. The SPI address space encompasses a set a registers and two RAMs, one for holding signal processing parameters and one for holding the program instructions. Both of the RAMs are loaded on power-up from on-board boot ROMs.

Control Register 1

Control Register 1 is an 11-bit register that controls data capture, serial modes, de-emphasis, mute, power-down, and SPI-to-memory transfers. Table III documents the contents of this register. Table IV details the two bits in the register's read operation.

Bits 1:0 set the word length, which is used in right-justified serial modes to determine where the MSB is located relative to the start of the audio frame.

Bits 3:2 select one of four serial modes, which are discussed in the Serial Data Input Port section.

The de-emphasis curve selection Bits 5:4 turn on the internal de-emphasis filter for one of three possible sample rates.

Bit 6, the soft power-down bit, stops the internal clocks to the DSP core, but does not reset the part. The digital power consumption is reduced to a low level when this bit is asserted. Reset can only be asserted using the external reset pin.

Soft mute (Bit 7) is used to initiate a volume ramp-down sequence. If the initial volume was set to 1.0, this operation will take 512 audio frames to complete. When this bit is de-asserted, a ramp-up sequence is initiated until the volume returns to its original setting.

When set, Bit 8 enables the DCSOUT pin. This must be set in order to read from the data capture serial out registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The initiate-safe-transfer Bit 9 will request a data transfer from the SPI safeload registers to the parameter RAM. The safeload registers contain address-data pairs, and only those registers that have been written to since the last transfer operation will be uploaded. The user may poll for this operation to complete by reading Bit 0 of Control Register 1. The Safeload Mechanism section goes into more detail on this feature.

Bit 10, the halt program bit, is used to initiate a volume ramp-down followed by a shutdown of the DSP core. The user may poll for this operation to complete by reading Bit 1 of Control Register 1.

Bit 11 sets the function of the de-emphasis/auxiliary serial input pin. When this bit is set to 1, the pin will function as an auxiliary serial input that is clocked by the input mux's selected clocks. When set to 0, this pin enables the 44.1 kHz de-emphasis curve.

Table III. Control Register 1 Write Definition

Register Bits	Function
11	De-emphasis/Auxiliary Serial Input Pin Select (1 = Auxiliary Serial Input)
10	Halt Program (1 = Halt)
9	Initiate Safe Transfer (1 = Transfer)
8	Enable DCSOUT Output Pin (1 = Enable)
7	Soft Mute (1 = Start Mute Sequence)
6	Soft Power-Down (1 = Power-Down)
5:4	De-emphasis Curve Select 00 = None 01 = 44.1 kHz 10 = 32 kHz 11 = 48 kHz
3:2	Serial in Mode 00 = I^2S 01 = Right-Justified 10 = DSP 11 = Left-Justified
1:0	Word Length 00 = 24 Bits 01 = 20 Bits 10 = 16 Bits 11 = 16 Bits

Table IV. Control Register 1 Read Definition

Register Bits	Function
1	DSP Core Shutdown Complete 1 = Shutdown Complete 0 = Not Shut Down
0	Safe Memory Load Complete 1 = Complete (Note: Cleared after Read) 0 = Not Complete

Bit 0 is asserted when all requested safeload registers have been transferred to the parameter RAM. It is cleared after the read operation is complete.

Bit 1 is asserted after the requested shutdown of the DSP is completed. When this bit is set, the user is free to write or read any RAM location without causing an audio pop or click.

Table V. Control Register 2 Write Definition

Register Bits	Function
9	Volume Ramp Speed 1 = 160 ms Full Ramp Time 0 = 20 ms Full Ramp Time
8	Serial Port Output Enable 1 = Enabled 0 = Disabled
7:6	Serial Port Input Select 00 = IN0 01 = IN1 10 = IN2 11 = NA
5:4	MCLK Input Select 00 = MCLK0 01 = MCLK1 10 = MCLK2 11 = NA
3	Reserved
2	MCLK in Frequency Select 0 = 512 × f_S 1 = 256 × f_S
1:0	MCLK Out Frequency Select 00 = Disabled 01 = 512 × f_S 10 = 256 × f_S 11 = MCLK_Out = MCLK_In (Feedthrough)

Control Register 2

Table V documents the contents of Control Register 2. Bits 1 and 0 set the frequency of the MCLKOUT pin. If these bits are set to 00, then the MCLKOUT pin is disabled (default). When set to 01, the MCLKOUT pin is set to 512 × f_S, which is the same as the internal master clock used by the DSP core. When set to 10, this pin is set to 256 × f_S, derived by dividing the internal DSP clock by 2. In this mode, the output 256 f_S clock will be inverted with respect to the input 256 f_S clock. This is not the case with the feedthrough mode. When set to 11, the MCLKOUT pin mirrors the selected MCLK input pin (it's the output of the MCLK mux selector). Note that the internal DSP master clock may either be the same as the selected MCLK pin (when MCLK frequency select is set to 512 × f_S mode) or may be derived from the MCLK pin using an internal clock doubler (when MCLK frequency select is set to 256 × f_S).

Bit 2 selects one of two possible MCLK input frequencies. When set to 0 (default), the MCLK frequency is set to 512 × f_S. In this mode, the internal DSP clock and the external MCLK are at the same frequency. When set to 1, the MCLK frequency is set to 256 × f_S, and an internal clock doubler is used to generate the DSP clock.

Bits 5 and 4 select one of three clock input sources using an internal mux. To avoid click and pop noises when switching MCLK sources, it is recommended that the user put the DSP core in shutdown before switching MCLK sources.

Bits 7 and 6 select one of three serial input sources using an internal mux. Each source selection includes a separate SDATA, LRCLK, and BCLK input. To avoid click and pop noises when switching serial sources, it is recommended that the user put the DSP core in shutdown before writing to these bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 8 is used to enable the three serial output pins. These pins are connected to the output of the serial input mux, which is set by Bits 7 and 6. The default is 0 (disabled).

Bit 9 changes the default setting of the volume ramp speed. When set to 0, it will take 1024 LRCLK periods to go from full volume (6 dB) to infinite attention. When set to 1, the same operation will take 8192 LRCLK periods.

Volume Registers

The AD1954 contains three 22-bit volume registers: one each for the left, right, and subwoofer channels. These registers are special because when the volume is changed from an initial value to a new value, a linear ramp is used to interpolate between the two values. This feature prevents audible clicks and pops when changing volume. The ramp is set so that it takes 512 audio frames to decrement from a volume of 1.0 (default) down to 0 (muted). The volume registers are formatted in 2.20 twos complement, meaning that 01000000000000000000000 is interpreted as 1.0. Negative values can also be written to the volume register, causing an inversion of the signal. Negative values work as expected with the ramp feature; to go from +1.0 to −1.0 will take 1024 LRCLKs, and the volume will pass through 0 on the way.

Parameter RAM Contents

Table VI shows the contents of the parameter RAM for the AD1954's default program. The parameter RAM is 22 bits wide and occupies SPI Addresses 0 through 255. The low addresses of the RAM are used to control the biquad filters. There are 22 biquad filters in all, and each biquad has five coefficients, resulting in a total memory usage of 110 coefficients. There are also two tables of 33 coefficients, each that define the main and subcompressor input/output characteristics. These are loaded with 1.0 on power-up, resulting in no compression. Other RAM entries control other compressor characteristics, as well as delay and spatialization settings.

The parameter RAM is initialized on power-up by an on-board boot ROM. The default values yield no equalization, no compression, no spatialization, no delay, and normal detector time constants in the compressor sections. The functionality of the AD1954 on power-up is basically that of a normal audio DAC with no signal processing capability.

The data format of the parameter RAM is twos complement 2.20 format. This means that the coefficients may range from +2.0 (−1 LSB) to −2.0, with 1.0 represented by the binary word 01000000000000000000000.

Options for Parameter Updates

The parameter and program RAMs can be written and read using one of several methods.

1. Direct read/write. This method allows direct access to the RAMs. Since the RAMs are also being used during real-time DSP operation, a glitch will likely occur at the output. This method is not recommended.
2. Direct read/write after core shutdown. This method avoids the glitch while accessing the internal RAMs by first shutting down the core. This is recommended for transferring large amounts of data, such as initializing the parameter RAM at power-up or downloading a completely new program. These transfers can be sped up by using burst mode, where an initial address followed by blocks of data are sent to the RAM.
3. Safeload writes. This is where up to five SPI registers are loaded with address/data intended for the parameter RAM. The data is then transferred to the requested address when the RAM is not busy. This method can be used for dynamic updates while live program material is playing through the AD1954. For example, a complete update of one biquad section can occur in one audio frame while the RAM is not busy. This method is not available for writing to the program RAM or control registers.

The next section discusses these options in more detail.

Soft Shutdown Mechanism

When writing large amounts of data to the program or parameter RAM, the processor core should be halted to prevent unpleasant noises from appearing at the audio output. Figure 18 shows a graphical representation of this mechanism's volume envelope. Points A through D are referenced in the following description. Bit 10 in Serial Control Register 0 (processor shutdown bit) will shut down the processor core. When the processor shutdown bit is asserted (A), an automatic volume ramp-down sequence (B) lasting from 10 ms to 20 ms will occur, followed by a shutdown of the core. This method of shutting down the core prevents pops or clicks from occurring. After the shutdown is complete, Bit 1 in Control Register 1 will be set. The user can either poll for this bit to be set or just wait for a period longer than 20 ms.

Once the core is shut down (C), the parameter or program RAMs may be written or read freely. To facilitate the transfer of large blocks of sequential data, a block transfer mode is supported where a starting address followed by a stream of data is sent to the memory. The address into the memory will be automatically incremented for each new write. This mode is documented in the SPI Read/Write Data Formats section of this data sheet.

Once the data has been written, the shutdown bit can be cleared (D). The processor then will initiate a volume ramp-up sequence

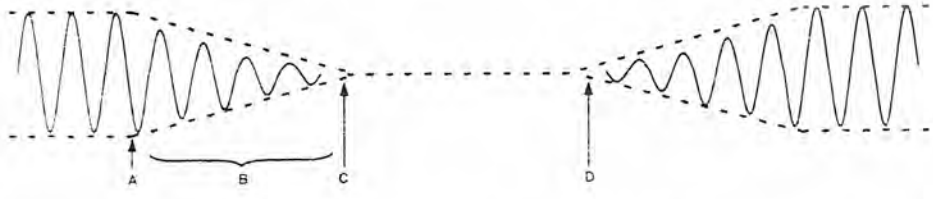


Figure 18. Recommended Sequences for Complete Parameter or Program RAM Uploaded Using Shutdown Mechanism

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table VI. Parameter RAM Contents—Default Program

Addr	Function	Default Value in Fractional 2.20 Format
0	IIR0 Left b0	1.0
1	IIR0 Left b1	0
2	IIR0 Left b2	0
3	IIR0 Left a1	0
4	IIR0 Left a2	0
5	IIR1 Left b0	1.0
6	IIR1 Left b1	0
7	IIR1 Left b2	0
8	IIR1 Left a1	0
9	IIR1 Left a2	0
10	IIR2 Left b0	1.0
11	IIR2 Left b1	0
12	IIR2 Left b2	0
13	IIR2 Left a1	0
14	IIR2 Left a2	0
15	IIR3 Left b0	1.0
16	IIR3 Left b1	0
17	IIR3 Left b2	0
18	IIR3 Left a1	0
19	IIR3 Left a2	0
20	IIR4 Left b0	1.0
21	IIR4 Left b1	0
22	IIR4 Left b2	0
23	IIR4 Left a1	0
24	IIR4 Left a2	0
25	IIR5 Left b0	1.0
26	IIR5 Left b1	0
27	IIR5 Left b2	0
28	IIR5 Left a1	0
29	IIR5 Left a2	0
30	IIR6 Left b0	1.0
31	IIR6 Left b1	0
32	IIR6 Left b2	0
33	IIR6 Left a1	0
34	IIR6 Left a2	0
35	IIR0 Right b0	1.0
36	IIR0 Right b1	0
37	IIR0 Right b2	0
38	IIR0 Right a1	0
39	IIR0 Right a2	0
40	IIR1 Right b0	1.0
41	IIR1 Right b1	0
42	IIR1 Right b2	0
43	IIR1 Right a1	0
44	IIR1 Right a2	0
45	IIR2 Right b0	1.0
46	IIR2 Right b1	0
47	IIR2 Right b2	0
48	IIR2 Right a1	0
49	IIR2 Right a2	0
50	IIR3 Right b0	1.0
51	IIR3 Right b1	0
52	IIR3 Right b2	0
53	IIR3 Right a1	0
54	IIR3 Right a2	0
55	IIR4 Right b0	1.0
56	IIR4 Right b1	0
57	IIR4 Right b2	0
58	IIR4 Right a1	0
59	IIR4 Right a2	0
60	IIR5 Right b0	1.0
61	IIR5 Right b1	0
62	IIR5 Right b2	0
63	IIR5 Right a1	0
64	IIR5 Right a2	0
65	IIR6 Right b0	1.0
66	IIR6 Right b1	0
67	IIR6 Right b2	0
68	IIR6 Right a1	0
69	IIR6 Right a2	0
70	IIR0 Xover Left b0	1.0
71	IIR0 Xover Left b1	0
72	IIR0 Xover Left b2	0
73	IIR0 Xover Left a1	0
74	IIR0 Xover Left a2	0
75	IIR1 Xover Left b0	1.0
76	IIR1 Xover Left b1	0
77	IIR1 Xover Left b2	0
78	IIR1 Xover Left a1	0
79	IIR1 Xover Left a2	0
80	IIR0 Xover Right b0	1.0
81	IIR0 Xover Right b1	0
82	IIR0 Xover Right b2	0
83	IIR0 Xover Right a1	0
84	IIR0 Xover Right a2	0
85	IIR1 Xover Right b0	1.0
86	IIR1 Xover Right b1	0
87	IIR1 Xover Right b2	0
88	IIR1 Xover Right a1	0
89	IIR1 Xover Right a2	0
90	IIR0 Xover Sub b0	1.0
91	IIR0 Xover Sub b1	0
92	IIR0 Xover Sub b2	0
93	IIR0 Xover Sub a1	0
94	IIR0 Xover Sub a2	0
95	IIR1 Xover Sub b0	1.0
96	IIR1 Xover Sub b1	0
97	IIR1 Xover Sub b2	0
98	IIR1 Xover Sub a1	0
99	IIR1 Xover Sub a2	0
100	IIR2 Xover Sub b0	1.0
101	IIR2 Xover Sub b1	0
102	IIR2 Xover Sub b2	0
103	IIR2 Xover Sub a1	0
104	IIR2 Xover Sub a2	0
105	IIR Sub rms b0	1.0
106	IIR Sub rms b1	0
107	IIR Sub rms b2	0
108	IIR Sub rms a1	0
109	IIR Sub rms a2	0
110–142	Main Compressor Look-Up Table Base	1.0 (all)
143	Main Compressor Attack/rms Time Constant	5.75×10^{-4} (120 dB sec)
144	Main Post-Compressor Gain	1.0
145–177	Subwoofer Compressor Look-Up Table Base	1.0
178	Sub Compressor Attack/rms Time Constant	5.75×10^{-4} (120 dB sec)
179	Post-Compressor Gain (Sub)	1.0
180	High-Pass Filter Cutoff Frequency	
181	Main Compressor Look-Ahead Delay	0
182	Delay Left	0
183	Delay Right	0
184	Delay Sub	0
185	Stereo Spreading Coefficient	0
186	Stereo Spreading Frequency Control	0.112694
187	Subwoofer Reinjection to Main Left	0.0
188	Subwoofer Reinjection to Main Right	0.0
189	Subwoofer Channel Input Gain from Left In	0.5
190	Subwoofer Channel Input Gain from Right In	0.5
191	Main Detector Hold Time, Samples (4095 Max)	0[1]
192	Sub Detector Hold Time, Samples (4095 Max)	0[1]
193	Main Detector Decay Time	0.069611 (10000 dB sec)[2]
194	Sub Detector Decay Time	0.069611 (10000 dB sec)[2]
195–255	Unused	

NOTES

[1]The detector hold and decay times are integer values, while the rest of the parameters are fractional twos complement values.

[2]The default decay time of the hold/release circuit is set fast enough so that the decay is dominated by the time constant of the rms detector.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

that lasts for 10 ms to 20 ms. Again, this reduces the chance of any pop or click noise from occurring.

Note that this shutdown sequence assumes that the part is set to the fast volume ramp speed (Control Register 2, Bit 9). If the slow ramp speed is set, the volume may not reach zero before the part enters shutdown and a click or pop may be heard.

Safeload Mechanism

Many applications require real-time control of filter characteristics, such as bass/treble controls and parametric or graphic equalization. To prevent instability from occurring, all of the parameters of a particular biquad filter must be updated at the same time; otherwise, the filter could execute for one or two audio frames with a mixture of old and new coefficients. This mix of old and new could cause temporary instability, leading to transients that could take a long time to decay.

The method used in the AD1954 to eliminate this problem is to load a set of five registers in the SPI port with the desired parameter RAM address and data. Five registers are used because each biquad filter has five coefficients. Once these registers are loaded, the initiate safe transfer bit in Control Register 1 should be set. Once this bit is set, the processor waits for a period of time in the program sequence where the parameter RAM is not being accessed for at least five consecutive instruction cycles. When the program counter reaches this point, the parameter RAM is written with five new data values at addresses corresponding to those that were entered in the safeload registers. When the operation is complete, Bit 0 of Control Register 1 (read) is set. This bit may be polled by the external microprocessor until a 1 is read and will be reset on a read operation. The polling operation is not required; the safeload mechanism guarantees that the transfer will be complete within one audio frame.

The safeload logic automatically sends only those safeload registers that have been written to since the last safeload operation. For example, if only two parameters are to be sent, then it is necessary to write to only two of the five safeload registers. When the request safe transfer bit is asserted, only those two registers will be sent; the other three registers are not sent and can still hold old or invalid data.

The safeload mechanism is not limited to uploading biquad coefficients; any set of five values in the parameter RAM may be updated in the same way. This allows real-time adjustment of the compressor/limiter, delay, or stereo spreading blocks.

Summary of RAM Modes

Table VII shows the sizes and available modes of the parameter RAM and the program RAM.

SPI READ/WRITE DATA FORMATS

The read/write formats of the SPI port are designed to be byte-oriented. This allows for easy programming of common microcontroller chips. To fit into a byte-oriented format, 0s are appended to the data fields to extend the data-word to the next multiple of 8 bits. For example, 22-bit words written to the SPI parameter RAM are appended with two leading zeroes to reach 24 bits (3 bytes), and 35-bit words written to the program RAM are appended with five zeros to reach 40 bits (5 bytes). These zero-extended data fields are appended to a 2-byte field consisting of a read/write bit and a 10-bit address. The SPI port knows how many data bytes to expect based on the address that is received in the first two bytes.

The total number of bytes for a single-location SPI write command can vary from 4 bytes (for a control register write) to 7 bytes (for a program RAM write). Block writes may be used to fill contiguous locations in program RAM or parameter RAM.

The read and write formats of the parameter RAM, program RAM and registers are detailed in Tables VIII to XIX.

Table VII. Read/Write Modes

Memory	Size	SPI Address Range	Read	Write	Burst Mode Available	Write Modes
Parameter RAM	256 × 22	0–255	Yes	Yes	Yes	Direct write, write after core shutdown, safeload write
Program RAM	512 × 35	512–1023	Yes	Yes	Yes	Direct write, write after core shutdown

Table VIII. Parameter RAM Read/Write Format (Single Address)

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
00000, R/$\overline{W}$, Addr[9:8]	Addr[7:0]	00, Param[21:16]	Param[15:8]	Param[7:0]

Table IX. Parameter RAM Block Read/Write Format (Burst Moded)

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 8
00000, R/$\overline{W}$, Addr[9:8]	Addr[7:0]	00, Param[21:16]	Param[15:8]	Param[7:0]	Byte 6	Byte 9
					Byte 7	Byte 10
← ADDR →					ADDR + 1	ADDR + 2

Table X. Program RAM Read/Write Format (Single Address)

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 6
00000, R/$\overline{W}$, Addr[9:8]	Addr[7:0]	00000, Prog[34:32]	Prog[31:24]	Prog[23:16]	Prog[15:8]	Prog[7:0]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table XI. Program RAM Read/Write Format (Burst Address)

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 6
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	00000, Prog[34:32]	Prog[31:24]	Prog[23:16]	Prog[15:8]	Prog[7:0]

← *ADDR* →

Byte 7	Byte 12
Byte 8	Byte 13
Byte 9	Byte 14
Byte 10	Byte 15
Byte 11	Byte 16
ADDR + 1	*ADDR + 2*

Table XII. SPI Control Register 1 Write Format

Byte 0	Byte 1	Byte 2	Byte 3
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	0000, Bit[11:8]	Bit[7:0]

Table XIII. SPI Control Register 1 Read Format

Byte 0	Byte 1	Byte 2
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	000000, Bit[1:0]

Table XIV. SPI Control Register 2 Write Format

Byte 0	Byte 1	Byte 2	Byte 3
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	000000, Bit[9:8]	Bit[7:0]

Table XV. SPI Volume Register Write Format

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
000000, Addr[9:8]	Addr[7:0]	00, Volume[21:16]	Volume[15:8]	Volume[7:0]

Table XVI. Data Capture Register Write Format

Byte 0	Byte 1	Byte 2	Byte 3
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	00000, ProgCount[8:6][1]	ProgCount[5:0], RegSel[1:0][1,2]

NOTES
[1]ProgCount[8:0] = value of program counter where trap occurs (see Table XX).
[2]RegSel[1:0] selects one of four registers (see Data Capture Register section).

Table XVII. Data Capture Serial Out Register (Address and Register Select) Write Format

Byte 0	Byte 1	Byte 2	Byte 3
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	00000, ProgCount[8:6][1]	ProgCount[5:0], RegSel[1:0][1,2]

NOTES
[1]ProgCount[8:0] = value of program counter where trap occurs (see Table XX).
[2]RegSel[1:0] selects one of four registers (see Data Capture Register section).

Table XVIII. Data Capture Read Format

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	00000000	Data[23:16]	Data[15:8]	Data[7:0]

Table XIX. Safeload Register Write Format

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5
00000, R $\overline{W}$, Addr[9:8]	Addr[7:0]	ParamAddr[7:0]	00, Param[21:16]	Param[15:8]	Param[7:0]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INITIALIZATION

Power-Up Sequence

The AD1954 has a built-in power-up sequence that initializes the contents of the internal RAMs. During this time, the contents of the internal program boot ROM are copied to the internal program RAM memory, and likewise, the SPI parameter RAM is filled with values from its associated boot ROM. The data memories are also cleared during this time.

The boot sequence lasts for 1024 MCLK cycles and starts on the rising edge of the RESETB pin. Since the boot sequence requires a stable master clock, the user should avoid writing to or reading from the SPI registers during this period of time. Note that the default power-on state of the internal clock mode circuitry is 512 × f_S, or about 24 MHz for normal audio sample rates. This mode bypasses all the internal clock doublers and allows the external master clock to directly operate the DSP core. If the external master clock is 256 × f_S, then the boot sequence will operate at this reduced clock rate and will take slightly longer to complete. After the boot sequence has finished, the clock modes may be set via the SPI port. For example, if the external master clock frequency is 256 × f_S clock, the boot sequence would take 1024 256 × f_S clock cycles to complete, after which an SPI write could occur to put the AD1954 in 256 × f_S mode.

The default state of the MCLK input selector is MCLK0. Since this input selector is controlled using the SPI port, and the SPI port cannot be written to until the boot sequence is complete, there must be a stable master clock signal present on the MCLK0 pin at startup.

Setting the Clock Mode

The AD1954 contains a clock doubler circuit that is used to generate an internal 512 × f_S clock when the external clock is 256 × f_S. The clock mode is set by writing to Bit 2 of Control Register 2.

When the clock mode is changed, it is possible that a glitch will occur on the internal MCLK signal. This may cause the processor to inadvertently write an incorrect value into the data RAM, which could cause an audio pop or click sound. To prevent this the following procedure is recommended:

1. Assert the soft power-down bit (Bit 6 in Control Register 1) to stop the internal MCLK.
2. Write the desired clock mode into Bit 2 of Control Register 2.
3. Wait at least 1 ms while the clock doublers settle.
4. De-assert the soft power-down bit.

An alternative procedure is to initiate a soft shutdown of the processor core by writing a 1 to the halt program bit in Control Register 1. This initiates a volume ramp-down sequence followed by a shutdown of the DSP core. Once the core is shut down (which can be verified by reading Bit 1 from Control Register 1 or by waiting at least 20 ms), the new clock mode can be programmed by writing to Bit 2 of Control Register 2. The DSP core can then be restarted by clearing the halt program bit in Control Register 1.

Setting the Data and MCLK Input Selectors

The AD1954 contains input selectors for both serial data inputs and the MCLK input. This allows the AD1954 to select a variety of input and clock sources with no external hardware required. These input selectors are controlled by writing to SPI Control Register 2.

When the data source or MCLK source is changed by writing to the SPI port, it is possible that a pop or click will occur in the audio. To prevent this noise, the core should be shut down by writing a 1 to the halt program bit in Control Register 1. This initiates a volume ramp-down sequence followed by a shutdown of the DSP core. Once the core is shut down (which can be verified by reading Bit 1 from Control Register 1 or by waiting at least 20 ms after the halt program command is issued), the new data or MCLK source can be programmed by writing to Control Register 2. The DSP core can then be restarted by clearing the halt program bit in Control Register 1.

DATA CAPTURE REGISTERS

The AD1954 incorporates a feature called data capture. Using this feature, any node in the signal processing flow may be sent to either an SPI readable register or a dedicated serial output pin. This allows the basic functionality of the AD1954 to be extended to a larger number of channels. Alternatively, it can be used to monitor and display information about signal levels or compressor/limiter activity.

The AD1954 contains four independent data capture registers. Two of these registers transfer their data to the data capture serial output (DCSOUT) pin. The serial data format of this pin is the same as the serial data format used for the main digital inputs, and the LRCLK and BCLK signals can therefore be used as frame sync and bit clock signals. This pin is primarily intended to feed signals to an external DAC or DSP chip to extend the number of channels that the internal DSP can access. The other two registers may be read back over the SPI port and can be used for a variety of purposes. One example might be to access the dB output of the internal rms detector to run a front-panel signal level display. A sample system is shown in Figure 19. For each of the four data capture registers, a capture count and a register select must be set. The capture count is a number between 0 and 511 that corresponds to the program step number where the capture will occur. The register select field programs one of four registers in the DSP core that will be transferred to the data capture register when the program counter equals the capture count. The register select field is decoded as follows:

00: Multiplier Output (Mult_Out)
01: Output of dB Conversion Block (DB_OUT)
10: Multiplier Data Input (MDI)
11: Multiplier Coefficient Input (MCI)

The capture count and register select bits are set by writing to one of the four data capture registers at the following SPI addresses:

261: SPI Data Capture Setup Register 1
262: SPI Data Capture Setup Register 2
263: Data Capture Serial Out Setup Register 1
264: Data Capture Serial Out Setup Register 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The format of the captured data varies according to the register select fields. Data captured from the mult_out setting is in 1.23 twos complement format so that a full-scale input signal will produce a full-scale digital output (assuming no processing). If the parameters are set such that the input-to-output gain is more than 0 dB, then the digital output will be clipped.

Data captured from the *DB_OUT* setting is in 5.19 format, where the actual rms dB level is equal to $-87 + (3 \times DB_OUT)$. In this equation, *DB_OUT* is the value that is captured. It follows that in this data format, the actual output readings will range from –87 dB to +9 dB. The AD1954 uses the convention that 0 dB is the rms value of the full-scale digital signal.

Data captured using the MDI setting is in 3.21 format. A 0 dB digital input will produce a –12 dB digital output, assuming the AD1954 is set for no processing.

Data captured using the MCI setting is in 2.20 format. This data is generally a signal gain or filter coefficient, and therefore it does not make sense to talk about the input-to-output gain. A coefficient of 01000000000000000000 corresponds to a gain of 1.0.

The data that must be written to set up the data capture is a concatenation of the 9-bit program count index with the 2-bit register select field. Refer to Table XX to find the capture count and register select numbers that correspond to the desired point to be monitored in the default signal processing flow.

The SPI capture registers can be accessed by reading from SPI Locations 261 (for SPI Capture Register 1) or 262 (for SPI Capture Register 2). The other two data capture registers (data capture serial out) automatically transfer their data to the data capture serial out (DCSOUT) pin. DCSOUT Capture Register 1 is present in the left data slot (as defined by the serial input format), and DCSOUT Capture Register 2 is present in the right data slot. The format for writing to the SPI data capture setup registers is given in the SPI section of this data sheet.

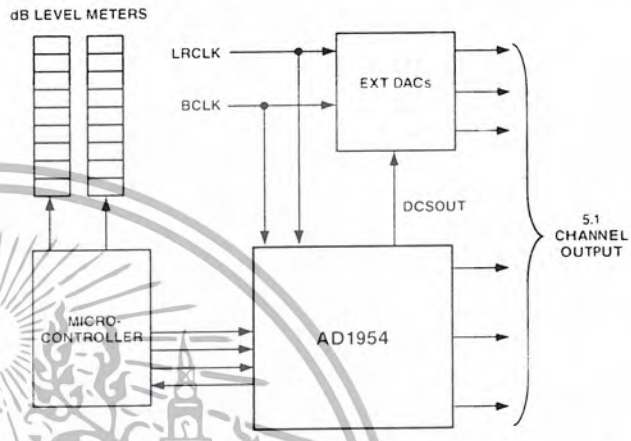


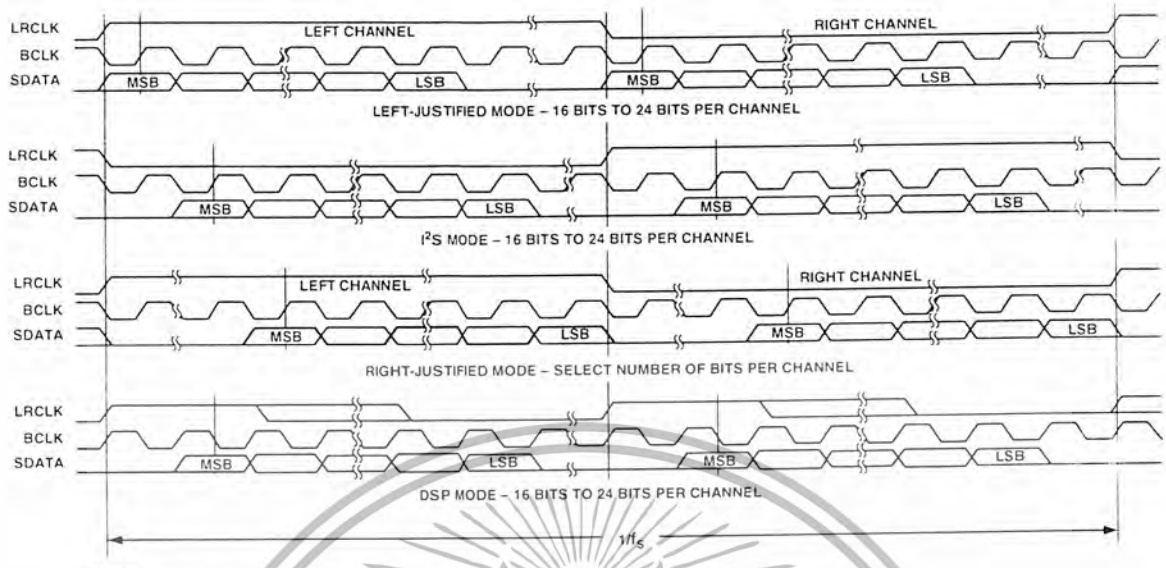
Figure 19. Typical Application of Data Capture Feature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table XX. Data Capture Trap Indexes and Register Select—Default Program

Signal Description	Program Count Index (9 Bits)	Register Select (2 Bits)	Numeric Format
HPF Out Left	15	Mult_Out	1.23, Clipped
HPF Out Right	259	Mult_Out	1.23, Clipped
De-emphasis Out Left	19	Mult_Out	1.23, Clipped
De-emphasis Out Right	263	Mult_Out	1.23, Clipped
Left Biquad 0 Output	34	Mult_Out	1.23, Clipped
Left Biquad 1 Output	43	Mult_Out	1.23, Clipped
Left Biquad 2 Output	52	Mult_Out	1.23, Clipped
Left Biquad 3 Output	61	Mult_Out	1.23, Clipped
Left Biquad 4 Output	70	Mult_Out	1.23, Clipped
Left Biquad 5 Output	79	Mult_Out	1.23, Clipped
Left Biquad 6 Output	88	Mult_Out	1.23, Clipped
Right Biquad 0 Output	284	Mult_Out	1.23, Clipped
Right Biquad 1 Output	293	Mult_Out	1.23, Clipped
Right Biquad 2 Output	302	Mult_Out	1.23, Clipped
Right Biquad 3 Output	311	Mult_Out	1.23, Clipped
Right Biquad 4 Output	320	Mult_Out	1.23, Clipped
Right Biquad 5 Output	329	Mult_Out	1.23, Clipped
Right Biquad 6 Output	338	Mult_Out	1.23, Clipped
Volume Out Left	114	Mult_Out	1.23, Clipped
Volume Out Right	111	Mult_Out	1.23, Clipped
Volume Out Sub	459	Mult_Out	1.23, Clipped
Phat Stereo Out Left	115	Mult_Out	1.23, Clipped
Phat Stereo Out Right	112	Mult_Out	1.23, Clipped
Delay Output Left	190	Mult_Out	1.23, Clipped
Delay Output Right	361	Mult_Out	1.23, Clipped
Main Compressor rms Out (dB)	154	DB_Out	24-Bit Positive Binary, Bit 19 Corresponds to a 3 dB Change
Main Compressor Gain Reduction (Linear)	165	MCI	2.22, 2 LSBs = 0
Look-Ahead Delay Output Left	165	MDI	3.21, 2 LSBs Truncated
Look-Ahead Delay Output Right	178	MDI	3.21, 2 LSBs Truncated
Main Compressor Out Left	175	Mult_Out	1.23, Clipped
Main Compressor Out Right	188	Mult_Out	1.23, Clipped
Interpolator Input Left (Includes Sub Reinject)	191	Mult_Out	1.23, Clipped
Interpolator Input Right (Includes Sub Reinject)	362	Mult_Out	1.23, Clipped
Subchannel Filter Input	430	Mult_Out	1.23, Clipped
Sub Xover Biquad 0 Output	438	Mult_Out	1.23, Clipped
Sub Xover Biquad 1 Output	447	Mult_Out	1.23, Clipped
Sub Xover Biquad 2 Output	456	Mult_Out	1.23, Clipped
Left Xover Biquad 0 Output	99	Mult_Out	1.23, Clipped
Left Xover Biquad 1 Output	108	Mult_Out	1.23, Clipped
Right Xover Biquad 0 Output	349	Mult_Out	1.23, Clipped
Right Xover Biquad 1 Output	358	Mult_Out	1.23, Clipped
Sub Delay Output	511	Mult_Out	1.23, Clipped
Sub rms Biquad Output	467	Mult_Out	1.23, Clipped
Sub rms Output (dB)	489	DB_Out	24-Bit Positive Binary, Bit 19 Corresponds to a 3 dB Change
Sub Compressor Gain (Linear)	495	MCI	2.22, 2 LSBs = 0
Subchannel Output	511	Mult_Out	1.23, Clipped

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES
1. DSP MODE DOESN'T IDENTIFY CHANNEL.
2. LRCLK NORMALLY OPERATES AT f_S EXCEPT DSP MODE, WHICH IS 2 × f_S.
3. BCLK FREQUENCY IS NORMALLY 64 × LRCLK BUT MAY BE OPERATED IN BURST MODE.

Figure 20. Serial Input Modes

SERIAL DATA INPUT PORT

The AD1954's flexible serial data input port accepts data in twos complement, MSB first format. The left channel data field always precedes the right channel data field. The serial mode is set by using mode select bits in the SPI control register. In all modes except for the right-justified mode, the serial port will accept an arbitrary number of bits up to a limit of 24 (extra bits will not cause an error, but they will be truncated internally). In the right-justified mode, SPI control register bits are used to set the word length to 16 bits, 20 bits, or 24 bits. The default on power-up is 24-bit mode. Proper operation of the right-justified mode requires exactly 64 BCLKs per audio frame.

Serial Data Input Modes

Figure 20 shows the serial input modes. For the left-justified mode, LRCLK is high for the left channel and low for the right channel. Data is sampled on the rising edge of BCLK. The MSB is left-justified to an LRCLK transition, with no MSB delay. The left-justified mode can accept any word length up to 24 bits.

In I²S mode, LRCLK is low for the left channel and high for the right channel. Data is valid on the rising edge of BCLK. The MSB is left-justified to an LRCLK transition but with a single BCLK period delay. The I²S mode can be used to accept any number of bits up to 24.

In right-justified mode, LRCLK is high for the left channel and low for the right channel. Data is sampled on the rising edge of BCLK. The start of data is delayed from the LRCLK edge by 16 BCLK, 12 BCLK, or 8 BCLK intervals, depending on the selected word length. The default word length is 24 bits; other word lengths are set by writing to Bits 1 and 0 of Control Register 1. In right-justified mode, it is assumed that there are 64 BCLKs per frame.

For the DSP serial port mode, LRCLK must pulse high for at least one bit clock period before the MSB of the left channel is valid, and LRCLK must pulse high again for at least one bit clock period before the MSB of the right channel is valid. Data is sampled on the falling edge of BCLK. The DSP serial port mode can be used with any word length up to 24 bits. In this mode, it is the responsibility of the DSP to ensure that the left data is transmitted with the first LRCLK pulse and that synchronism is maintained from that point forward.

DIGITAL CONTROL PINS

Mute

The AD1954 offers two methods of muting the analog output. By asserting the mute signal high, the left, right, and subchannels are muted. As an alternative, the user can assert the mute bit in the serial control register high. The AD1954 has been designed to minimize pops and clicks when muting and unmuting the device by automatically ramping the gain up or down. When the device is unmuted, the volume returns to the value set in the volume register.

De-emphasis

The AD1954 has a built-in de-emphasis filter that can be used to decode CDs that have been encoded with the standard redbook 50 µs/15 µs emphasis response curve. This feature may be activated by the pin or by an SPI write to the control register. When activating with the pin, only the 44.1 kHz sample rate curve is available. When using the SPI port, curves for 44.1 kHz, 32 kHz, and 48 kHz are supported.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG OUTPUTSECTION

Figure 21 shows the block diagram of the analog output section. A series of current sources are controlled by a digital Σ-Δ modulator. Depending on the digital code from the modulator, each current source is connected to the summing junction of either a positive I-to-V converter or a negative I-to-V converter. Two extra current sources that push instead of pull are added to set the midscale common-mode voltage.

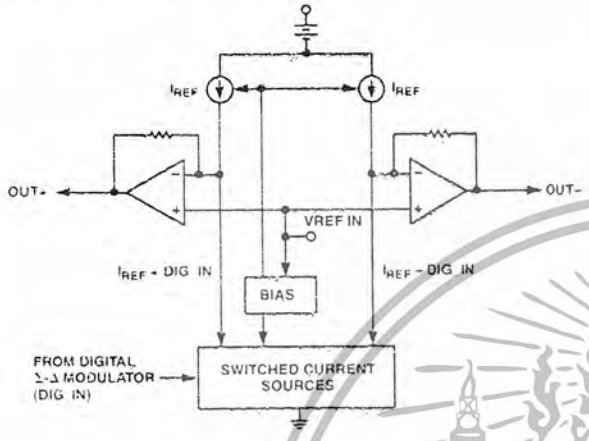


Figure 21. Internal DAC Analog Architecture

All current sources are derived from the VREF input pin. The gain of the AD1954 is directly proportional to the magnitude of the current sources, and therefore the gain of the AD1954 is proportional to the voltage on the VREF pin. With VREF set to 2.5 V, the gain of the AD1954 is set to provide signal swings of 2 V rms differential (1 V rms from each pin). This is the recommended operating condition.

When the AD1954 is used to drive an audio power amplifier and the compression feature is being used, the VREF voltage should then be derived by dividing down the supply of the amplifier. This sets a fixed relationship between the digital signal level (which is the only information available to the digital compressor) and the full-scale output of the amplifier (just prior to the onset of clipping). For example, if the amplifier power supply drops by 10%, then the VREF input to the amplifier will also drop by 10%, which will reduce the analog output signal swing by 10%. The compressor will therefore be effective in preventing clipping, regardless of any variation in amplifier supply voltage.

Since the VREF input effectively multiplies the signal, care must be taken to ensure that no ac signals appear on this pin. This can be accomplished by using a large decoupling capacitor in the VREF external resistive divider circuit. If the VREF signal is derived by dividing the 5 V analog supply, then the time constant of the divider must effectively filter any noise on the supply. If the VREF signal is derived from an unregulated power amplifier supply, then the time constant must be longer, since the ripple on the amplifier supply voltage will presumably be greater than in the case of the 5 V supply.

The AD1954 should be used with an external third order filter on each output channel. The circuit shown in Figures 22, 23, and 24 combine a third order filter and a single-ended-to-differential converter in the same circuit. The values used in the main channel (Figure 22) are for a 100 kHz Bessel filter, and those used in the subwoofer channel (Figure 23) result in a 10 kHz Bessel filter.

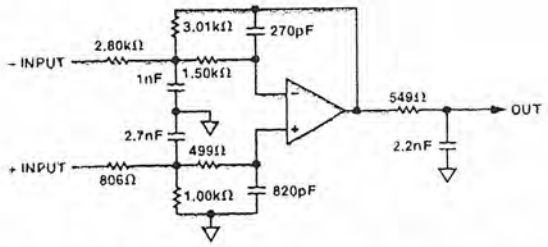


Figure 22. Recommended External Analog Filter for Main Channel

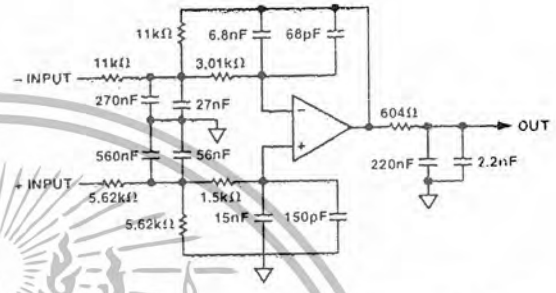


Figure 23. Recommended External Analog Filter for Subchannel

The lower frequency filter is used on the subwoofer output because there is no digital interpolation filter used in the subwoofer signal path. When calculating the resistor values for the filter, it is important to take into account the output resistance of the AD1954, which is nominally 60 Ω. For best distortion performance, 1% resistors should be used. The reason for this is that the single-ended performance of the AD1954 is about 80 dB. The degree to which the single-ended distortion cancels in the final output is determined by the common-mode rejection of the external analog filter, which in turn depends on the tolerance of the components used in the filter.

The sub output of the AD1954 has a lower drive strength than the left and right output pins (±0.25 mA peak versus ±0.5 mA peak for the left and right outputs). For this reason, it is best to use higher resistor values in the external sub filter.

Figure 24 shows a recommended filter design for the subwoofer pins used as a full bandwidth channel in a custom designed program. This design is also a 100 kHz Bessel filter.

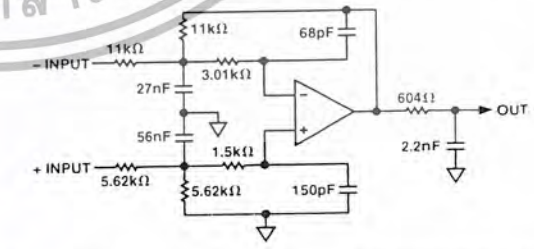


Figure 24. Recommended External Analog Filter for Full Bandwidth Signals on the Subchannel Output

For best performance, a large (>10 µF) capacitor should be connected between the FILTCAP pin and analog ground. This pin is connected to an internal node in the bias generator, and by adding an external capacitance to this pin, the thermal noise of the left/right channels is minimized. The sub channel is not affected by this connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GRAPHICAL CUSTOM PROGRAMMING TOOLS

Custom programming tools are available for the AD1954 from ADI. These graphical tools allow the user to modify the default signal processing flow by individually placing each block (e.g., biquad filter, Phat Stereo, dynamics processor) and connecting them in any desired fashion. The program then creates a file that is loaded into the AD1954's program RAM. All of the contents of the parameter RAM can also be set using these tools. For more information on these programming tools, contact SigmaDSP@analog.com.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPENDIX

Cookbook Formulae for Audio EQ Biquad Coefficients

(Adapted from Robert Bristow-Johnson's Internet Posting)

For designing a parametric EQ, follow the steps below.

1. Given:
   Frequency
   Q
   dB_Gain
   Sample_Rate
2. Compute intermediate variables:
   $A = 10^{(dB_Gain/40)}$
   $\omega = 2 \times \pi \times Frequency/Sample_Rate$
   $sn = \sin(\omega)$
   $cs = \cos(\omega)$
   $\alpha = sn/(2 \times Q)$
3. Compute coefficients:
   $b0 = (1 + A \times \alpha)/(1 + (\alpha/A))$
   $b1 = -2 \times cs/(1 + (\alpha/A))$
   $b2 = (1 - (\alpha \times A))/(1 + (\alpha/A))$
   $a1 = 2 \times cs/(1 + (\alpha/A)) = -b1$
   $a2 = -(1 - (\alpha/A))/(1 + (\alpha/A))$
4. The transfer function implemented by the AD1954 is given by:
   $H(Z) = (b0 + b1 \times Z^{-1} + b2 \times Z^{-2})/(1 - a1 \times Z^{-1} - a2 \times Z^{-2})$

   Note the inversion in sign of a1 and a2 relative to the more standard form. This form is used in this document because the AD1954 implements the difference equation using the formula below.

   $Y(n) = a1 \times y(n-1) + a2 \times y(n-2) + b0 \times x(n) + b1 \times x(n-1) + b2 \times x(n-2)$

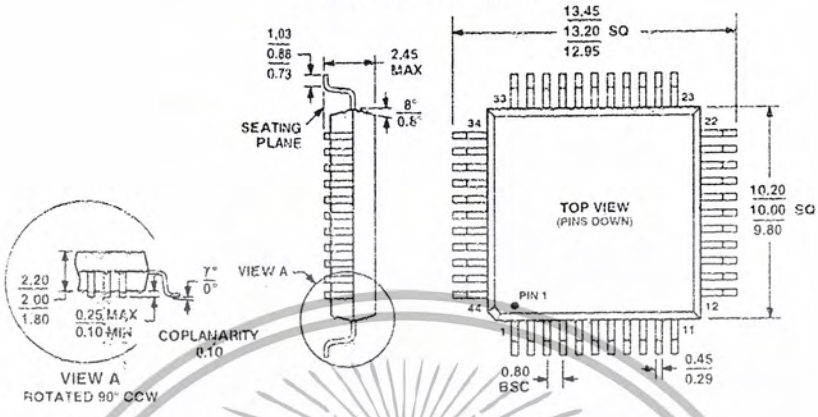
ศูนย์เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

44-Lead Metric Quad Flat Package [MQFP]
(S-44)

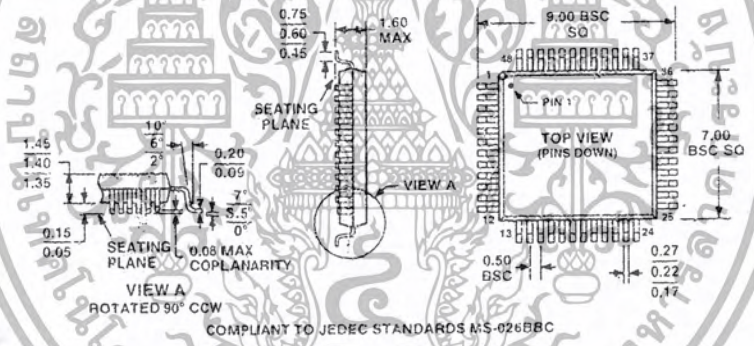
Dimensions shown in millimeters



COMPLIANT TO JEDEC STANDARDS MO-112-AB

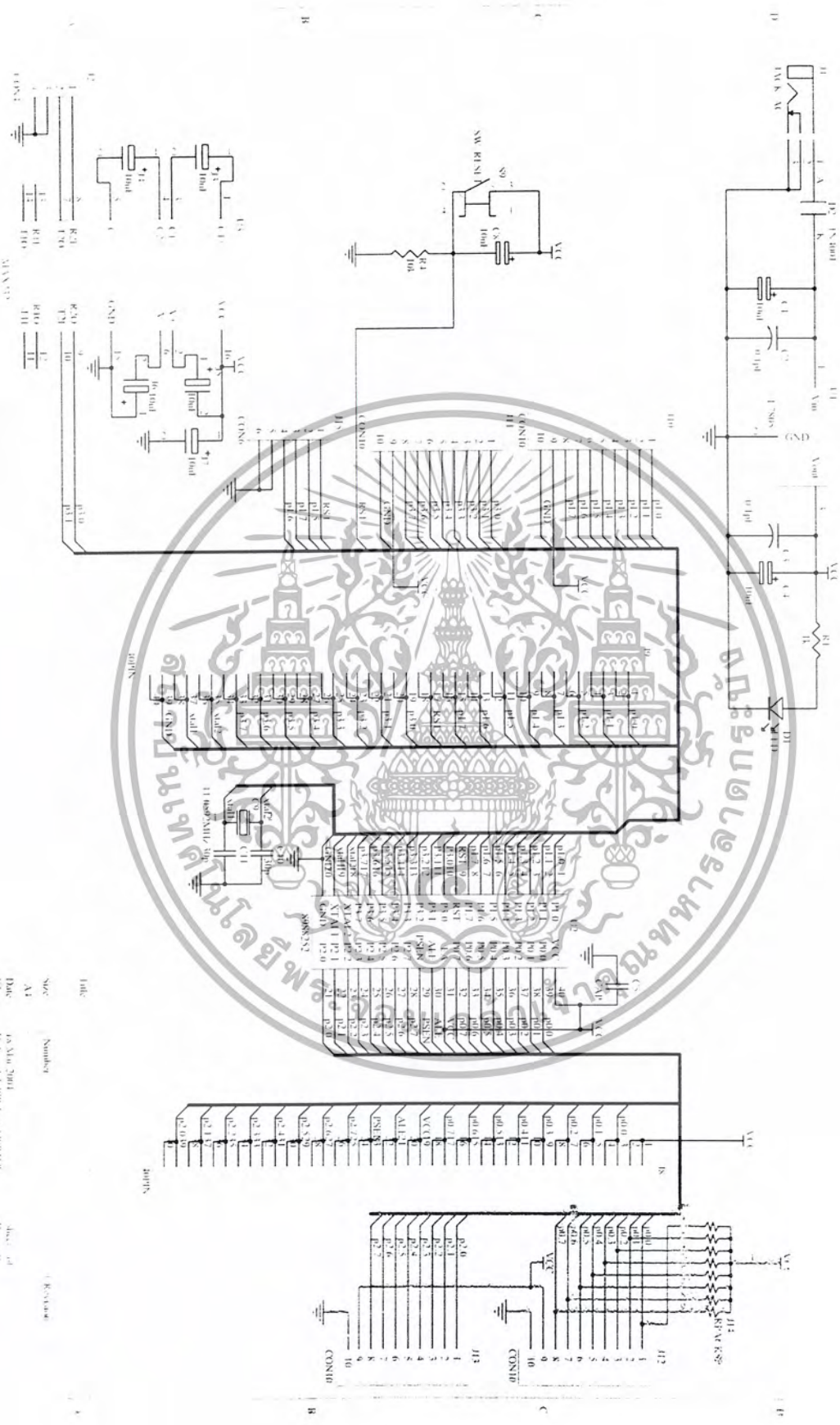
48-Lead Low Profile Quad Flat Package [LQFP]
(ST-48)

Dimensions shown in millimeters



COMPLIANT TO JEDEC STANDARDS MS-026BBC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้