สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบรับส่งข้อมูลเสียง 16 ช่อง

16 Channel Voice Transfer System

T055476

โดย

นางสาวสุภางค์ ลือกิตินันท์

นายเอกรักษ์ เตียวิเศษ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เลขหมู่ 55476
เลขทะเบียน
วัน,เดือน,ปี 10 พ.ค. 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b
ชั้นที่มีการนำไปใช้

ระบบรับส่งข้อมูลเสียง 16 ช่อง

16 Channel Voice Transfer System

โดย

นางสาวสุภางค์ ลือกิตินันท์ รหัสประจำตัว 43010491

นายเอกรักษ์ เตียวิเศษ รหัสประจำตัว 43010556

อาจารย์ที่ปรึกษา

ผศ.พลผดุง ผดุงกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบรับส่งข้อมูลเสียง 16 ช่อง

ผู้จัดทำ

1.นางสาวสุภางค์ ลือกิตินันท์ 43010491

2.นายเอกรักษ์ เตียวิเศษ 43010556

.....อาจารย์ที่ปรึกษา

(ผศ.พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรับส่งข้อมูลเสียง 16 ช่อง

นางสาวสุภางค์ ลือกิตินันท์ 43010491
นายเอกรักษ์ เตียวิเศษ 43010556

ผศ.พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้เป็นส่วนหนึ่งของวิชารหัส 01044508 PROJECT I ซึ่งได้กล่าวถึงเรื่องของการสื่อสาร โดยอธิบายไว้ทั้งทฤษฎีและวิธีการออกแบบระบบรับส่งข้อมูลเสียง 16 ช่อง ซึ่งได้ใช้หลักการของการมัลติเพล็กซ์ (Multiplex) และดีมัลติเพล็กซ์ (Demultiplex) แบบ Time Division Multiplex (TDM) ทั้งนี้ได้นำสัญญาณเสียงที่ได้มาแปลงเป็นสัญญาณดิจิตอลในการเก็บและส่งสัญญาณเสียง โดยมีอุปกรณ์หลักในการแปลงดิจิตอลเป็นอนาลอกและอนาลอกเป็นดิจิตอล คือ ADC0820 และ DAC0800 ทั้งนี้เพื่อความง่ายและความมีประสิทธิภาพ และในการสื่อสารข้อมูลนั้นได้ใช้การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-485 โดยใช้ไอซีเบอร์75176 ในการสื่อสารข้อมูลอนุกรม นอกจากนั้นชิ้นงานนี้ยังสามารถรับส่งสัญญาณได้ถึง 16 ช่อง จึงมีประโยชน์ใช้งานได้กว้างขวางยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 CHANNEL VOICE TRANSFER SYSTEM

Supang Luekitinan 43010491

Eakarak Tiavises 43070556

Pholphadung Phadungkul **ADVISER**

YEAR 2002

ABSTRACT

This project is a part of 01044508 PROJECT which mentions about communication. It explains theories and how to design 16 channel voice transfer system by Time Division Multiplex (TDM) type multiplex and demultiplex theories. Voice signal is converted to digital signal for storing and sending. ADC 0820 and DAC 0800 are used to convert digital to analog and analog to digital because it is simple and effective. Moreover 75176 is used to transfer serial data by RS-485 standard. Finally the project can transfer up to 16 channels that is very useful.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

Abstract

บทที่ 1 บทนำ 1

1.1 วัตถุประสงค์ของโครงงาน 1

1.2 ขอบเขตของโครงงาน 1

1.3 ขั้นตอนการทำโครงงาน 2

บทที่ 2 ทฤษฎีและหลักการ 3

2.1 มัลติเพล็กซ์และดีมัลติเพล็กซ์ (Multiplex and Demultiplex) 3

2.1.1 การมัลติเพล็กซ์แบบแบ่งความถี่ (Frequency Division Multiplex :FDM) 3

2.1.2 การมัลติเพล็กซ์แบบแบ่งช่วงเวลา (Time Division Multiplex :TDM) 4

2.2 วงจรแปลงผันอนาลอกเป็นดิจิตอลและวงจรแปลงผันดิจิตอลเป็นอนาลอก 7

2.2.1 วงจรแปลงผันดิจิตอลเป็นอนาลอก 7
(Digital-to-Analog Converter : DAC)

2.2.2 วงจรแปลงผันอนาลอกเป็นดิจิตอล 8
(Analog-to-Digital Converter : ADC)

2.3 ตัวเลื่อนข้อมูล (Shift Register) 9

2.4 วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ (Monostable Multivibrator) 12

2.4.1 ไอซีวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ 12

2.5 รูปแบบของการสื่อสารข้อมูล 12

2.5.1 หลักการและโครงสร้างของการสื่อสารข้อมูลแบบขนาน 12

2.5.2 หลักการและโครงสร้างของการสื่อสารข้อมูลแบบอนุกรม 13

2.5.2.1 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C 14

2.5.2.2 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A 14

2.5.2.3 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-485 15

2.5.2.4 การประยุกต์ใช้งานแบบพื้นฐานของคู่ตัวรับ – ส่ง SN 75176 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การออกแบบ 19
3.1 ภาพรวมของระบบรับส่งข้อมูลเสียง 16 ช่อง 19
3.2 การออกแบบความถี่ 20
บทที่ 4 ผลการทดลอง 25
บทที่ 5 สรุปและวิจารณ์โครงงาน 32
5.1 สรุปผลการปฏิบัติงาน 32
5.2 ปัญหาและอุปสรรคในการทำงาน 32
5.3 แนวทางในการแก้ไข 32
5.4 ประโยชน์และการนำไปประยุกต์ใช้งาน 33
ภาคผนวก
เอกสารอ้างอิง
กิตติกรรมประกาศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 แสดงบล็อกไดอะแกรมของระบบสื่อสาร	1
รูปที่ 2.1 แสดงบล็อกไดอะแกรมของการส่งสัญญาณแบบมัลติเพล็กซ์	3
รูปที่ 2.2 บล็อกไดอะแกรมของ FDM มัลติเพล็กเซอร์	4
รูปที่ 2.3 บล็อกไดอะแกรมของ FDM ดีมัลติเพล็กเซอร์	4
รูปที่ 2.4 แสดง TDM มัลติเพล็กเซอร์	5
รูปที่ 2.5 แสดง TDM ดีมัลติเพล็กเซอร์	6
รูปที่ 2.6 แสดงวงจรชิพท์รีจิสเตอร์ชนิด serial in serial out	10
รูปที่ 2.7 แสดงวงจรชิพท์รีจิสเตอร์ชนิด serial in parallel out	10
รูปที่ 2.8 แสดงวงจรชิพท์รีจิสเตอร์ชนิด parallel in serial out	11
รูปที่ 2.9 แสดงวงจรชิพท์รีจิสเตอร์ชนิด parallel in parallel out	12
รูปที่ 2.10 แสดงโครงสร้างของการสื่อสารข้อมูลแบบขนาน	13
รูปที่ 2.11 แสดงโครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C	14
รูปที่ 2.12 โครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A	15
รูปที่ 2.13 โครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-485	16
รูปที่ 2.14 คู่ตัวรับ – ส่ง SN75176 เชื่อมต่อกับเทอร์มินอลอื่นๆแบบ muti – point	17
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของภาคส่ง	19
รูปที่ 3.2 แสดงบล็อกไดอะแกรมของภาครับ	20
รูปที่ 3.3 แสดงภาคส่งของวงจรระบบรับส่งสัญญาณเสียง 16 ช่อง	21
รูปที่ 3.4 แสดงภาครับของวงจรระบบรับส่งสัญญาณเสียง 16 ช่อง	22
รูปที่ 3.5 แสดง timing diagram ของภาคส่ง	23
รูปที่ 3.6 แสดง timing diagram ของภาครับ	24
รูปที่ 4.1 แสดงสัญญาณ Data NRZ และ Data RZ	25
รูปที่ 4.2 แสดงสัญญาณข้อมูลและสัญญาณ Latch	25
รูปที่ 4.3 แสดงสัญญาณ sine wave ความถี่ 1kHz ของอินพุทและเอาท์พุท	26
รูปที่ 4.4 แสดงสัญญาณ sine wave ความถี่ 2kHz ของอินพุทและเอาท์พุท	26
รูปที่ 4.5 แสดงสัญญาณ sine wave ความถี่ 3kHz ของอินพุทและเอาท์พุท	27
รูปที่ 4.6 แสดงสัญญาณ sine wave ความถี่ 4kHz ของอินพุทและเอาท์พุท	27
รูปที่ 4.7 แสดงสัญญาณ square wave ความถี่ 1kHz ของอินพุทและเอาท์พุท	28
รูปที่ 4.8 แสดงสัญญาณ square wave ความถี่ 2kHz ของอินพุทและเอาท์พุท	28

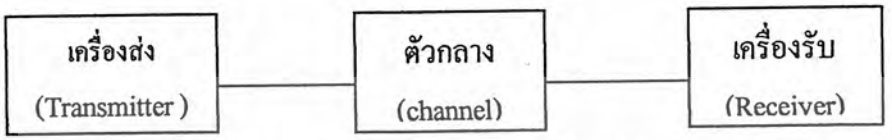
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.9 แสดงสัญญาณ square wave ความถี่ 3kHz ของอินพุทและเอาท์พุท 29
รูปที่ 4.10 แสดงสัญญาณ square wave ความถี่ 4kHz ของอินพุทและเอาท์พุท 29
รูปที่ 4.11 แสดงสัญญาณ triangle wave ความถี่ 1kHz ของอินพุทและเอาท์พุท 30
รูปที่ 4.12 แสดงสัญญาณ triangle wave ความถี่ 2kHz ของอินพุทและเอาท์พุท 30
รูปที่ 4.13 แสดงสัญญาณ triangle wave ความถี่ 3kHz ของอินพุทและเอาท์พุท 31
รูปที่ 4.14 แสดงสัญญาณ triangle wave ความถี่ 4kHz ของอินพุทและเอาท์พุท 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสาร คือ การส่งข้อมูลหรือสัญญาณจากสถานที่หนึ่งไปยังอีกที่หนึ่ง ข้อมูลหรือสัญญาณที่ถูกส่งออกไปอาจอยู่ในรูปของสัญญาณเสียงหรือข้อมูลอื่นๆก็ได้ เช่น สัญญาณภาพ ข้อมูลของคอมพิวเตอร์ เป็นต้น



รูปที่ 1.1 บล็อกไดอะแกรมของระบบสื่อสาร

ในรูปที่ 1 เป็นบล็อคไดอะแกรมโดยทั่วไปของระบบการสื่อสาร สัญญาณหรือข้อมูลที่ต้องการจะส่งป้อนเข้าสู่เครื่องส่ง (Transmitter) เครื่องส่งจะกระทำการอย่างใดอย่างหนึ่งเพื่อที่จะจัดลักษณะที่จะส่งให้มีคุณสมบัติที่เหมาะสมกับตัวกลาง(Channel) ตัวกลางอาจจะเป็นสายตัวนำ อากาศหรือแม้กระทั่งอวกาศ สัญญาณจากเครื่องส่งจะผ่านตัวกลางไปยังเครื่องรับ (Receiver) เครื่องรับจะเปลี่ยนสัญญาณที่ได้ให้กลับมาอยู่ในรูปเดิม

ระบบรับส่งสัญญาณเสียง 16 channel นี้ เป็นการประยุกต์โดยการนำสัญญาณเสียงที่ได้มาแปลงเป็นสัญญาณดิจิตอล เนื่องจากพบว่าการเปลี่ยนรูปแบบดิจิตอล การประมวล เก็บ สื่อสาร และการนำเสนอ กระทำได้ง่ายและมีประสิทธิภาพมากกว่า อีกทั้งชิ้นงานนี้ยังสามารถรับส่งสัญญาณเสียงได้ถึง 16 ช่อง จึงมีประโยชน์ใช้งานได้กว้างขวางยิ่งขึ้นอีกด้วย

1.1 วัตถุประสงค์ของโครงงาน

1) เพื่อศึกษาการใช้งานของวงจรอิเล็กทรอนิกส์ในด้านการสื่อสาร
2) เพื่อศึกษาระบบที่มีการประมวลข้อมูลแบบดิจิตอล
3) สามารถนำชิ้นงานไปใช้ประโยชน์ได้จริง

1.2 ขอบเขตของโครงงาน

<u>ในภาคเรียนที่ 1</u>

1) ศึกษาทฤษฎีที่เกี่ยวข้องกับระบบรับส่งข้อมูลเสียง 16 ช่อง ทั้งหมด
2) ทดสอบวงจร และไอซีแต่ละส่วนที่เกี่ยวข้อง
3) ออกแบบวงจรโดยรวม คือภาครับและภาคส่งโดยยังไม่ป้อนข้อมูลเสียงจริงๆลงไป
4) ทดสอบและบันทึกผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในภาคเรียนที่ 2

1) แก้ไขวงจรในภาคแรกให้สามารถนำไปใช้จริงได้
2) ต่อวงจรที่เกี่ยวข้องเพิ่มเติม
3) ทดสอบโดยใช้ข้อมูลเสียงเป็นอินพุท
4) ปรับปรุงวงจรทั้งหมดให้สามารถนำไปใช้ได้

1.3 ขั้นตอนการทำโครงงาน

1) ศึกษาค้นคว้าข้อมูลที่เกี่ยวข้องกับโครงงาน
2) ต่อวงจรในแต่ละส่วนของโครงงานลงบนโปรโตบอร์ด และทดสอบผลที่ได้
3) นำวงจรแต่ละส่วนมาต่อร่วมกันและทดสอบผลที่ได้
4) นำอุปกรณ์ต่างๆลงบนแผ่นปริ้นท์

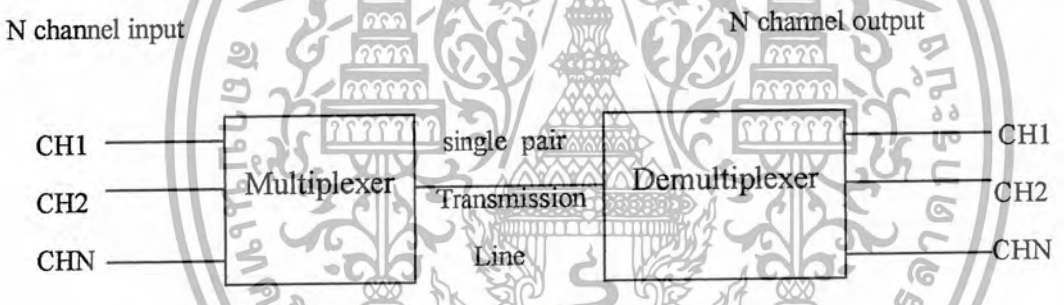
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 มัลติเพล็กซ์และดีมัลติเพล็กซ์ (Multiplex and Demultiplex)

ถ้าเราต้องการส่งสัญญาณหลายๆสัญญาณไปพร้อมๆกัน เช่น สัญญาณซ้ายและขวาของระบบสเตอริโอ เราอาจจะทำได้โดยใช้เครื่องส่ง 2 เครื่อง ซึ่งมีความถี่ของคลื่นพาห์ไม่เท่ากัน ซึ่งวิธีดังกล่าวนี้จะไม่สะดวกและไม่ประหยัดเพราะทางด้านส่งต้องใช้เครื่องส่ง 2 เครื่อง ทางด้านรับก็เช่นเดียวกัน จะต้องใช้เครื่องรับ 2 เครื่อง เราสามารถที่จะใช้เครื่องส่งเครื่องเดียวส่งสัญญาณหลายๆสัญญาณได้พร้อมกัน โดยการนำสัญญาณมารวมกันก่อนแล้วจึงส่งออกไป ทางด้านรับก็จะมีวงจรที่สามารถแยกสัญญาณต่างๆเหล่านี้ออกจากกันได้ ขบวนการที่ใช้ในการรวมสัญญาณหลายๆสัญญาณเข้าด้วยกันนี้เรียกว่ามัลติเพล็กซ์ (Multiplex) และเรียกขบวนการแยกสัญญาณที่รวมกันอยู่ออกจากกันว่าดีมัลติเพล็กซ์ (Demultiplex) ในรูป 2.1 เป็นบล็อกไดอะแกรมของการส่งสัญญาณหลายๆสัญญาณผ่านเครื่องส่งหรือสายส่งเพียงช่องเดียว



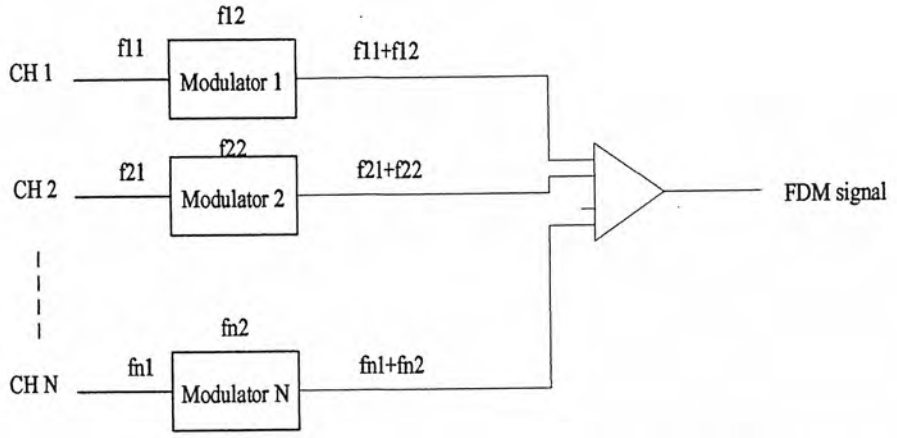
รูปที่ 2.1 บล็อกไดอะแกรมของการส่งสัญญาณแบบมัลติเพล็กซ์

การมัลติเพล็กซ์สามารถกระทำได้ 2 แบบ คือ

2.1.1.การมัลติเพล็กซ์แบบแบ่งความถี่ (Frequency Division Multiplex :FDM)

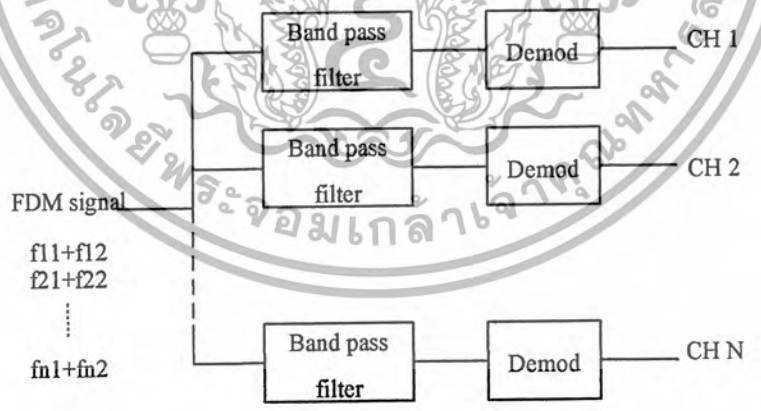
การมัลติเพล็กซ์แบบ FDM จะจัดสเปคตรัมความถี่ของ Modulating signal ในช่องต่างๆ ไปมอดูเลทกับคลื่นพาห์รอง (sub carrier) ซึ่งความถี่ของคลื่นพาห์รองจะมีค่าไม่เท่ากันหลังจากนั้นก็จะรวมสัญญาณที่ถูกมอดูเลทด้วยคลื่นพาห์รองเข้าด้วยกัน ดังในรูปที่2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 บล็อกไดอะแกรมของ FDM มัลติเพล็กเซอร์

การดีมัลติเพล็กซ์ สัญญาณ FDM ก็จะประกอบด้วยวงจรกรองความถี่ band pass filter ซึ่งจะกรองเฉพาะความถี่ของคลื่นพาห์รองกับ side band ของสัญญาณย่อยในช่องต่างๆ และวงจรดีมอดูเลท ดังในรูปที่ 2.3 สัญญาณ FDM จะมีสเปคตรัมความถี่ต่างๆ จะป้อนให้กับวงจร band pass filter ของช่องต่างๆ ซึ่งจะกรองเฉพาะสัญญาณside band ของคลื่นพาห์รองของสัญญาณย่อยต่างๆ สัญญาณที่ได้จากวงจรกรองความถี่ของช่องต่างๆก็จะเหลือเพียง คลื่นพาห์รองกับ side band ของสัญญาณย่อยในช่องต่างๆ ซึ่งจะนำไปป้อนให้กับวงจรดีมอดูเลทของช่องต่างๆ ในที่สุดก็จะได้สัญญาณความถี่เดิม



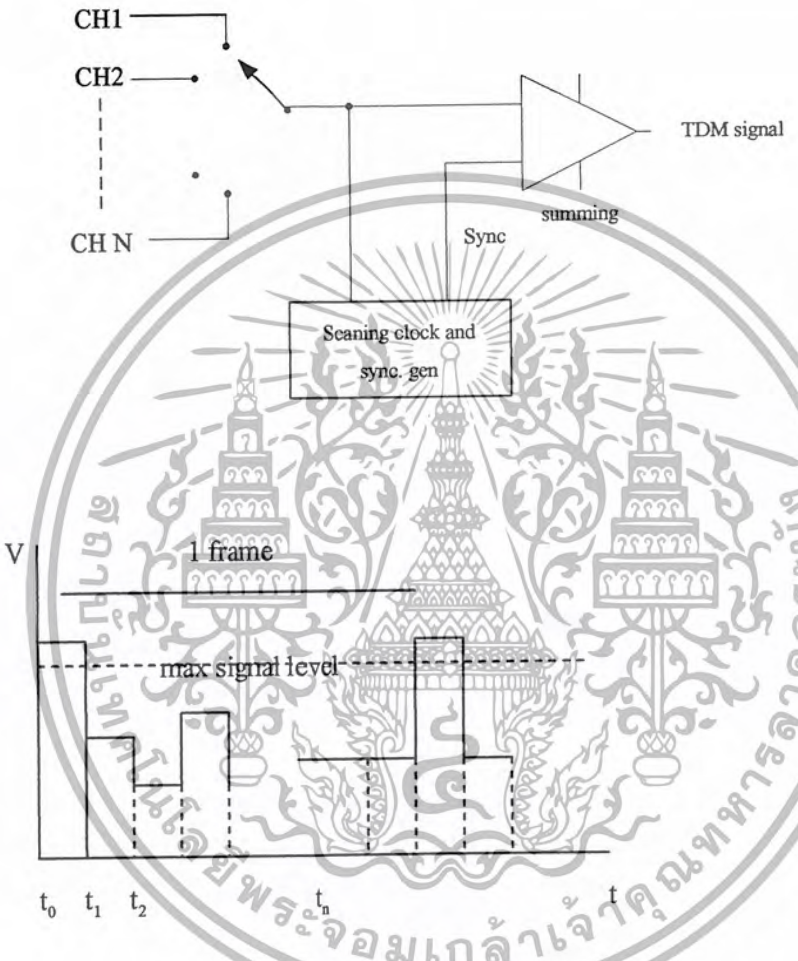
รูปที่ 2.3 บล็อกไดอะแกรมของ FDM ดีมัลติเพล็กเซอร์

2.1.2การมัลติเพล็กซ์แบบแบ่งช่วงเวลา (Time Division Multiplex :TDM)

การมัลติเพล็กซ์แบบ TDM กระทำโดยจัดเวลาของการส่งสัญญาณของสัญญาณย่อยในช่วงต่างๆเรียงต่อเนื่องกันไป ช่วงเวลา t_1 จะส่งสัญญาณของช่องที่ 1 t_2 จะส่งสัญญาณของช่องที่ 2 จนครบทุกช่องที่เวลา t_n หลังจากนั้นก็จะกลับมาส่งสัญญาณของช่องที่ 1 ใหม่ เรียงลำดับไปเรื่อยๆ ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

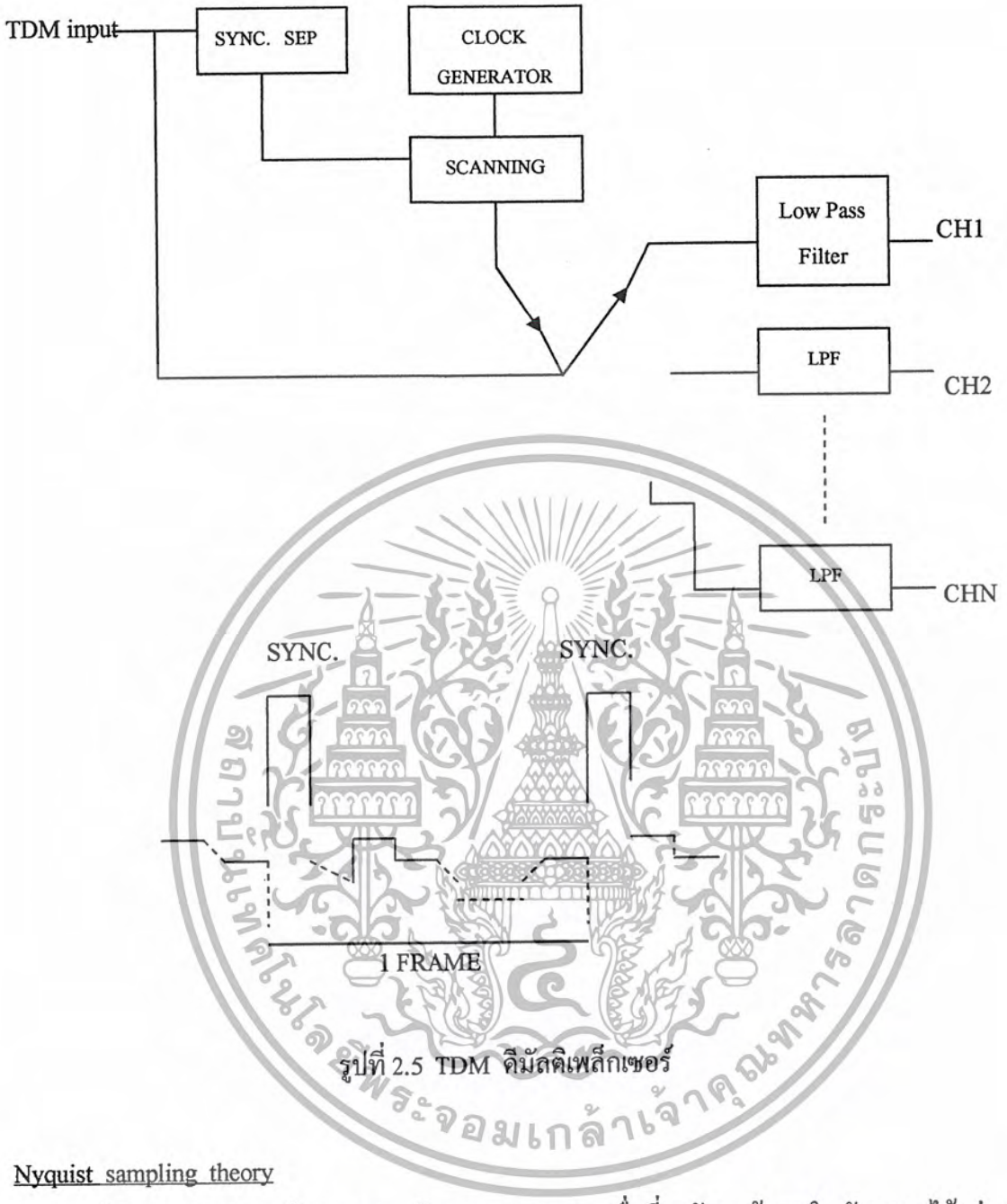
ทางด้านรับสามารถจะเรียงลำดับของสัญญาณย่อยในช่องต่างๆได้ ทางด้านส่งจะต้องส่งสัญญาณซิงค์ (SYNC) ไปด้วยทุกครั้งก่อนที่จะส่งสัญญาณของช่องที่ 1 ดังในรูปที่ 2.4 สวิทช์ SW1 จะเป็นตัวเลือกว่าจะส่งสัญญาณของช่องใดออกไป การกวาดสัญญาณของ SW จะถูกควบคุมโดยสัญญาณนาฬิกา ซึ่งจะมีสัญญาณนาฬิกาส่วนหนึ่งใช้เป็นสัญญาณซิงค์ร่วมไปกับสัญญาณย่อยช่องต่างๆ ส่งออกไปยังด้านรับ



รูปที่ 2.4 TDM มัลติเพล็กเซอร์

ส่วนในรูปที่ 2.5 เป็นบล็อกไดอะแกรมของดีมัลติเพล็กเซอร์ทางเครื่องรับ สัญญาณซิงค์จะถูกแยกออกจากสัญญาณ TDM โดยวงจรแยกซิงค์ (SYNC separator) ซึ่งวงจรแยกซิงค์มักจะเป็นวงจรเปรียบเทียบแรงดัน ที่เวลา t_1 ในขณะที่ SW1 อยู่ที่ตำแหน่งที่1 SW2 ก็จะอยู่ที่ตำแหน่งที่ 1 สัญญาณของช่องที่ 1 ก็จะสามารถส่งผ่านถึงปลายทางได้อย่างถูกต้อง เนื่องจากสัญญาณย่อยของช่องต่างๆถูก sampling มาเพียงบางส่วน ให้สัญญาณที่รับได้มีรูปร่างเหมือนเดิม ก็จะต้องนำสัญญาณที่ถูก sampling นั้นมาผ่านวงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 TDM ดีมัลติเพล็กเซอร์

Nyquist sampling theory

ในการsampling หรือ digitize สัญญาณอนาลอก เพื่อที่จะรักษาข้อมูลในสัญญาณไว้อย่างเพียงพอ ความถี่ที่ใช้ในการ sampling จะต้องมีค่าอย่างน้อยที่สุด 2 เท่าของความถี่สูงสุดของสัญญาณ ในกรณีของการส่งสัญญาณ TDM ซึ่งประกอบด้วยสัญญาณย่อย n สัญญาณและมีสัญญาณซิงค์ในทุกๆเฟรมของสัญญาณ TDM ถ้าความถี่สูงสุดแต่ละสัญญาณย่อมมีความเป็น f_{max} ความถี่ที่ใช้ในการ sampling จะต้องมีค่าอย่างน้อยที่สุดเป็น

$$f_{sampling} \geq 2(n+1) f_{max}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรแปลงผันอนาลอกเป็นดิจิตอลและวงจรแปลงผันดิจิตอลเป็นอนาลอก

ในระบบอิเล็กทรอนิกส์ทุกวันนี้มีน้อยมากที่เป็นระบบอนาลอกหรือดิจิตอลเพียงอย่างเดียว ยิ่งระบบควบคุมการประมวลผลด้วยไมโครคอมพิวเตอร์ได้รับความนิยมมากเท่าไร ก็ยิ่งเพิ่มความจำเป็นในการผสมผสานเทคโนโลยีทั้ง 2 ระบบนี้เข้าด้วยกันเพื่อให้เกิดระบบที่มีประสิทธิภาพเต็มที่

2.2.1 วงจรแปลงผันดิจิตอลเป็นอนาลอก (Digital-to-Analog Converter : DAC)

ในการควบคุมกระบวนการทางอุตสาหกรรมทุกวันนี้ เราจำเป็นต้องรวมเทคนิคแบบอนาลอกเข้ากับแบบดิจิตอล การควบคุมกระบวนการจะเกี่ยวข้องกับการวัดทางปริมาณทางกายภาพบางอย่าง เช่น อุณหภูมิ อัตราการไหลของของเหลว ความดัน ความเข้มแสง ความเร็ว ความเครียด และการสั่นสะเทือน สถานะของปริมาณนี้จะถูกแปลงผันเป็นสัญญาณไฟฟ้าโดยใช้ทรานสดิวเซอร์ สัญญาณที่แปลงผันแล้วจะเป็นแบบอนาลอกซึ่งจะต้องแปลงให้เป็นแบบไบนารี่อีกทีหนึ่งเพื่อให้คอมพิวเตอร์ระบบดิจิตอลสามารถประมวลผลข้อมูลได้ สัญญาณเอาท์พุตของคอมพิวเตอร์จึงเป็นแบบไบนารีที่อาจต้องแปลงผันให้กลับมาเป็นอนาลอกอีกครั้งเมื่อต้องการปรับระบบ

<u>คุณสมบัติและศัพท์เฉพาะของ DAC</u>

คุณสมบัติเฉพาะที่สำคัญของ DAC คือความเร็ว ช่วงเวลาเข้าที่ ค่าแก้ความผิดพลาด และเสถียรภาพ

ความเร็ว (speed) คือกระบวนการแปลงผันควรแสดงสัญญาณอินพุทที่มีความชัดเจนสูงสุดและมีเวลาล้าหลังน้อย

ช่วงเวลาเข้าที่ (settling time) คือกรวัดความเร็วของวงจรแปลงผัน และหมายถึงเวลาผ่านพ้นหลังการส่งรหัสเพื่อให้เอาท์พุท DAC ไปถึงค่าสุดท้ายภายในขีดจำกัดที่กำหนด ซึ่งมักเป็นบิตนัยสำคัญน้อยที่สุด (LSB) ±1/2

ความผิดพลาดออฟเซ็ต (offset error) คือแรงดันเอาท์พุทของ DAC ที่มีอินพุทรหัสศูนย์ ออฟเซตอาจเป็นศูนย์หรรอถูกปรับให้เป็นศูนย์โดยใช้โพเทนชิโอมิเตอร์ปรับศูนย์ออฟเซต

ความผิดพลาดอัตราขยาย (gain error) คือการเบี่ยงเบนของแรงดันเอาท์พุทออกจากระดับที่ถูกต้องเมื่ออินพุทต้องการเอาท์พุทเต็มสเกล อาจปรับแต่งความผิดพลาดนี้ให้เป็นศูนย์

ความถูกต้องสัมพัทธ์ (relative accuracy) คือการเบี่ยงเบนสูงสุดของเอาท์พุท DAC ที่สัมพันธ์กับเส้นตรงที่ดีที่สุดที่ลากจากศูนย์ไปสเกลเต็ม (full scale : FS) ลบด้วย 1 LSB

ภาวะไม่เชิงเส้นจากผลต่าง (differential nonlinearity) คือความผิดพลาดที่เพิ่มขึ้นเรื่อยๆจากเอาท์พุทอนาลอก LSB ที่ดีที่สุดเปลี่ยนแปลงเมื่อเอาท์พุทดิจิตอลเปลี่ยนไป 1 LSB

โมโนโทนิกซิตี้ (monotonicity) คือรหัสอินพุทที่เพิ่มขึ้นจากรหัสหนึ่งไปยังรหัสถัดไปในลำดับ เอาท์พุทอนาลอกอาจเพิ่มขึ้นหรือคงที่ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสถียรภาพ (stability) คือการวัดความเป็นอิสระของพารามิเตอร์วงจรแปลงผันโดยคำนึงถึงการเปลี่ยนแปลงจากสภาพภายนอกต่างๆ เช่น อุณหภูมิและแรงดันแหล่งจ่าย

สัมประสิทธิ์อุณหภูมิ (temperature coefficient) คือ ผลกระทบจากการเปลี่ยนอุณหภูมิของเอาท์พุทซึงระบุเป็นการเปลี่ยนแปลง %FS

การตัดทิ้งจากแหล่งจ่าย (supply rejection) คือสมรรถนะในการต้านทานไม่ให้เอาท์พุทเปลี่ยนแปลงไปตามการเปลี่ยนแปลงจากแหล่งจ่ายที่ระบุเป็นการเปลี่ยนแปลง %FS

เสถียรภาพระยะยาว (long-term stability) คือการวัดลักษณะความคงที่ของเอาท์พุตในช่วงคาบเวลาระยะยาว

การแยกชัด (resolution) คือการชี้ค่าระดับเอาท์พุทอนาลอกจำนวนหนึ่งที่เกิดจาก DAC การแยกชัดมักแสดงค่าเป็นจำนวนบิตอินพุท

ความยินยอม (compliance) คือแรงดันยินยอมที่ย่านแรงดันเอาท์พุตสูงสุดยินยอมได้และยังคงค่าถูกต้องตามที่ระบุไว้

2.2.2 วงจรแปลงผันสัญญาณอนาลอกเป็นดิจิตอล(ADC)

ADC (analog-digital-converter) ถูกนำมาใช้ในกระบวนการแปลงผันสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลที่สมมูลกัน กระบวนการแปลงผัน ADC มีความซับซ้อนกว่าแปลงฟันของ DAC มาก

ADC ได้รับการพัฒนาให้มีลักษณะต่างๆ การเลือกประเภท ADC ไปใช้งานขึ้นอยู่กับปัจจัยหลายอย่าง เช่น ความเร็วที่จำเป็นต้องใช้ในการแปลงผัน ความจำเป็นในการป้องกันเสียงรบกวน และราคาอุปกรณ์

<u>ข้อควรคำนึงที่สำคัญของ ADC คือ</u>

1. ย่านสัญญาณอินพุทอนาลอกและการแยกชัดที่ต้องการ
2. ความต้องการภาวะเชิงเส้นและเสถียรภาพ
3. ความเร็วในการแปลงผันที่ต้องการ
4. ความต้องการ โมโนโทนิกซิตี้ (ยินยอมให้ข้ามรหัสมิสซิงหรือไม่)
5. ลักษณะของสัญญาณอินพุท
6. คุณลักษณะการถ่ายโอน (ประเภทรหัส)

<u>ศัพท์เฉพาะที่ใช้กับ ADC</u>

การแยกชัด (resolution) คือการเปลี่ยนแปลงอินพุทเพื่อให้เพิ่มเอาท์พุทระหว่างรหัสที่ติดกัน 2 ตัว นอกจากนี้ยังหมายถึงจำนวนบิตในคำเอาท์พุทและรหัสเอาท์พุทดิสครีตที่เกิดจากสัญญาณอนาลอกอินพุทที่ขาดช่วง (แสดงค่าการแยกชัดเป็นบิต)

คุณลักษณะการถ่ายโอน (transfer characteristic) คือความสัมพันธ์ของคำ (รหัส) ดิจิตอลเอาท์พุทกับสัญญาณอนาลอกอินพุท ทศนิยมรหัสไบนารี (BCD) และอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วในการแปลงผัน (conversion speed) คือความเร็วที่ ADC สามารถทำการแปลงผันข้อมูลซ้ำ

ความผิดพลาดจากการควอนไทซ์ (quantizing error) คือความผิดพลาดประจำของการแปลงผันที่เกิดจากการแยกชัดจำกัด (เอาท์พุทดิสครีต)

ความไม่แน่นอนจากการควอนไทซ์ (quantization uncertainly) คือผลต่อเนื่องโดยตรงจากการแยกชัดของวงจรแปลงผัน แรงดันอนาลอกทั้งหมดภายในย่านที่กำหนดถูกแสดงค่าเป็นรหัสเอาท์พุทดิจิตอลเดียว ฉะนั้นจึงมีความผิดพลาดในการแปลงผันเป็นประจำแม้กระทั่งใน ADC ที่ดีเยี่ยมก็ตาม อาจลดปัญหาความไม่แน่นอนจากการควอนไทซ์ได้ด้วยการเพิ่มความแยกชัด

ความผิดพลาดออฟเซต (offset error) ในการใช้งาน ADC ออฟเซตจะมาจากเอาท์พุท ADC (มักเท่ากับ 1 LSB)

ความผิดพลาดอัตราขยาย (gain error) การเบี่ยงเบนที่แรงดันเอาท์พุทเฉออกจากเอาท์พุท ADC ที่ดีที่สุด

ความถูกต้องสัมพัทธ์ (relative accuracy) การเบี่ยงเบนของการเปลี่ยนบิตตามจริงที่เฉออกไปจากค่าเปลี่ยนที่ดีที่สุด ที่ระดับใดก็ตามเหนือย่าน ADC

ความผิดพรากฮิสเทอริซีส (hysteresis error) คือแรงดันเปลี่ยนรหัสขึ้นอยู่กับทิศทาง (สภาพขั้ว)ที่เริ่มเกิดการเปลี่ยน

โมโนโทนิกซิตี้ (monotonicity) คือรหัสเอาท์พุทที่เพิ่มขึ้นหรือคงที่ในขณะที่สัญญาณอินพุทอนาลอกเพิ่มขึ้นหรือลดลง

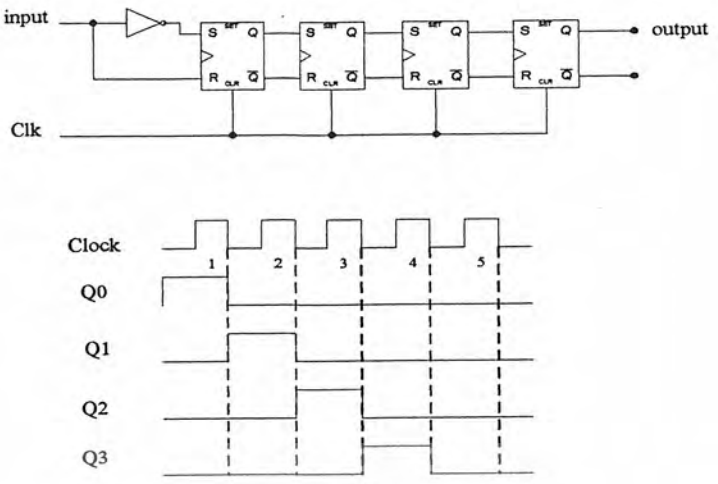
รหัสมิสซิง (missing codes) คือกลุ่มรหัสที่ถูกข้ามไป

2.3 ตัวเลื่อนข้อมูล (shift register)

ตัวเลื่อนข้อมูล หมายถึง รีจิสเตอร์เก็บข้อมูล โดยข้อมูลที่เก็บไว้สามารถเลื่อนไปซ้ายขวาได้ ถ้าดูลักษณะโครงสร้างของฟลิปฟลอบที่ต่อเนื่องกันเป็นรีจิสเตอร์ เราจะแบ่งการทำงานของชิฟท์รีจิสเตอร์ออกเป็น 4 กลุ่ม ดังนี้

1. ชิฟท์รีจิสเตอร์ชนิดข้อมูลอินพุทแบบอนุกรมให้ข้อมูลเอาท์พุทแบบอนุกรม (serial in serial out : SISO) ลักษณะของวงจรแสดงได้ดังรูป

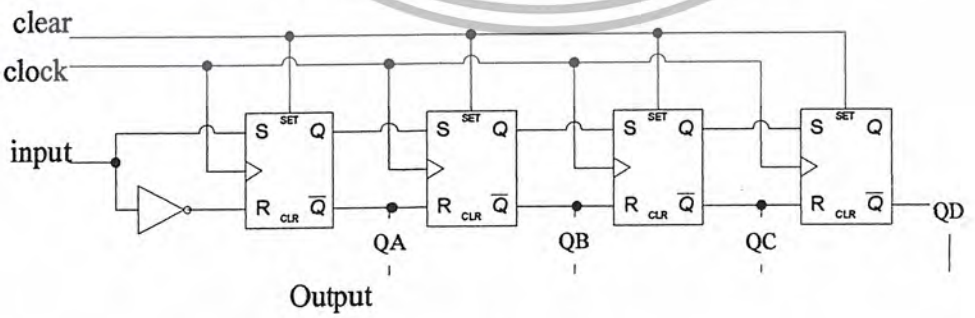
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจรชิพท์รีจิสเตอร์ชนิด serial in serial out

เมื่อมีข้อมูลซึ่งเสมือนกับป้อนลอจิก 1 เข้ามาที่อินพุท ครั้นพัลซ์แรกป้อนเข้ามาข้อมูลลอจิก 1 จะมาอยู่ที่เอาท์พุท Q_0 ของฟลิบฟลอบตัวแรก และขณะนี้สมมุติว่าข้อมูลที่อินพุทจะเป็น 0 คือไม่มีอีกแล้ว ดังนั้นในช่วงเวลาพัลส์ต่อมา ข้อมูล 1 ที่เคยอยู่ที่ Q_0 จะเลื่อนมาที่ Q_1 และเมื่อมีพัลส์ป้อนเข้าทางขา Ck อีก มันก็จะเลื่อนอีกเป็นเช่นนี้ไปเรื่อยๆ เมื่อพัลส์ผ่านไป 4 พัลส์มันก็จะมาอยู่ที่เอาท์พุท คือ Q_3 ของวงจร จะเห็นว่าข้อมูลที่เข้าฟลิบฟลอบจะเข้าแบบอนุกรมคือเรียงต่อกันเข้าไป ครั้นมาถึงเอาท์พุทก็เรียงกันออกไป

2. ชิฟท์รีจิสเตอร์แบบข้อมูลอินพุทแบบอนุกรมข้อมูลเอาท์พุทออกแบบขนาน (serial in parallel out) ลักษณะของชิฟท์รีจิสเตอร์แบบนี้คล้ายกับแบบแรกมาก จะแตกต่างกันแก่เรื่องของการนำเอาท์พุทออกจากวงจรนั่นเอง ลักษณะของวงจรที่ดีเด่นอยู่อย่างหนึ่ง คือ ข้อมูลเข้าที่ละบิท แต่ออกได้ทีละหลายๆบิท

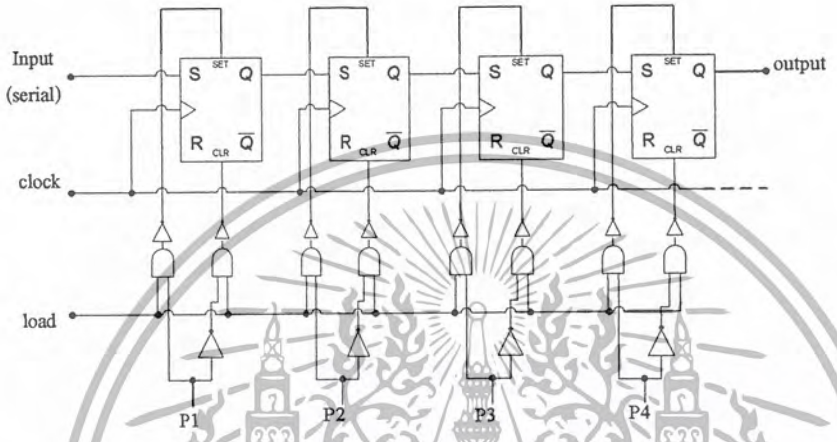


รูปที่ 2.7 วงจรชิพท์รีจิสเตอร์แบบ serial in parallel out

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทที่เรานำออกจากวงจรคือเอาท์พุทที่ออกจากขา Q ของฟลิบฟลอบนั่นเอง เมื่อข้อมูลที่อินพุทป้อนเข้ามาเป็นลอจิก 1 ครั้นเมื่อสัญญาณพัลส์แรกผ่านไป Q_A จะมีค่าเป็น 1 และถ้าต้องการให้เอาท์พุทเป็น 0 หมด เราสามารถป้อนสัญญาณผ่านขาเคลียร์ (Cl) เพื่อเคลียร์ฟลิบฟลอบให้เป็น 0 หมด

3. ชิพท์รีจิสเตอร์ชนิดข้อมูลอินพุทแบบขนานข้อมูลเอาท์พุทแบบอนุกรม (parallel in serial out : PISO) แบบนี้จะเป็นการโหลดข้อมูลเข้าพร้อมกันทุกบิท

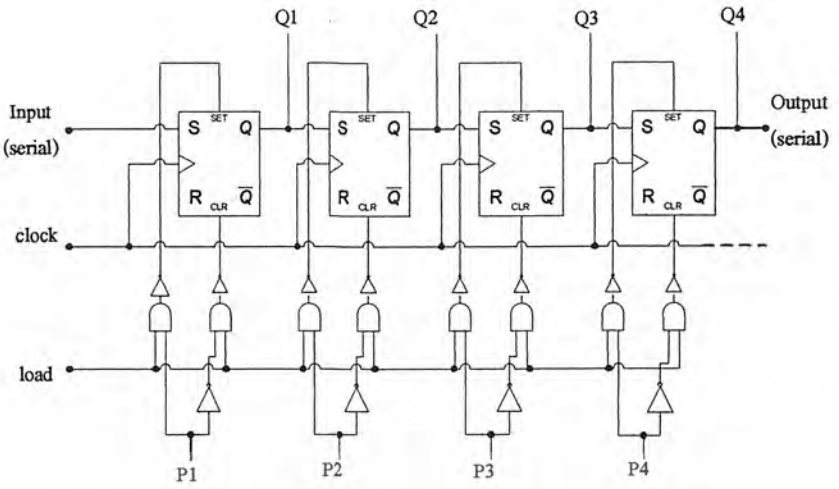


รูปที่ 2.8 วงจรชิฟท์รีจิสเตอร์ชนิด parallel in serial out

วิธีการป้อนข้อมูลเข้าหรือโหลดเราทำได้โดยการกระทำการพรีเซทหรือเคลียร์ นั่นคือถ้าข้อมูล P_1 เป็น 1 ครั้นพัลส์คำสั่งโหลดผ่านมามันจะผ่านเกทไปทำให้ฟลิบฟลอบได้รับการเซทเอาท์พุท Q เป็น 1 ในทำนองเดียวกันถ้าอินพุทเป็น 0 มันจะผ่านเกทไปกำหนดการเคลียร์ฟลิบฟลอบ การเลื่อนข้อมูลกระทำได้ด้วยการป้อนพัลส์เข้าทางขาสัญญาณนาฬิกา ข้อมูลเอาท์พุทจะเรียงแถวออกทางเอาท์พุทของฟลิบฟลอบภาคสุดท้าย

4. ชิฟท์รีจิสเตอร์ชนิดข้อมูลอินพุทแบบขนานข้อมูลเอาท์พุทแบบขนาน (Parallel in parallel out :PIPO) ชิพท์รีจิสเตอร์แบบนี้มีประโยชน์ในวงจรคอมพิวเตอร์ เราโหลดข้อมูลเข้าเป็นแบบขนาน คือโหลดเข้าไปพร้อมกัน และเมื่อมีสัญญาณนาฬิกาเข้ามา การเลื่อนข้อมูลจะเกิดขึ้นในพัลส์ต่อๆมา และข้อมูลทั้งหมดจะปรากฏออกมาที่เอาท์พุทพร้อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรชิพท์รีจิสเตอร์ชนิด parallel in parallel out

2.4 วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์

วงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ มีลักษณะพิเศษ คือ มันจะเปลี่ยนสถานะไปชั่วขณะหลังจากที่มีการทริกเกิดขึ้นและจะเปลี่ยนแปลงกลับเข้าสู่สถานะเสถียรอย่างเดิม ดังนั้นเราจึงอาจเรียกชื่อวงจรได้อีกอย่างหนึ่งว่า วงจรวันช้อท (one shot) , ซิงเกิ้ลไซเคิล (single cycle) , ยูนิไวเบรเตอร์ (univibrator) ลักษณะรูปแรงดันเอาท์พุทที่วงจรสร้างขึ้นมีลักษณะเป็นสัญญาณรูปสี่เหลี่ยมที่เป็นประโยชน์อย่างมากในวงจรพัลส์

2.4.1 ไอซีวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์

ในปัจจุบันการออกแบบวงจรประยุกต์ใช้งานเป็นไปได้ง่าย เพราะเรามีไอซีที่ทำหน้าที่แทนวงจรที่ยุ่งยากซับซ้อน สำหรับวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ ก็มีไอซีที่เมื่อต้องการใช้งานเราเพียงต่อตัวต้านทานและตัวเก็บประจุอย่างละหนึ่งตัวเพื่อทำการกำหนดความกว้างของพัลส์ และต่อแรงดันไฟเลี้ยงให้กับวงจรก็จะทำงานเป็นวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์ได้ทันที

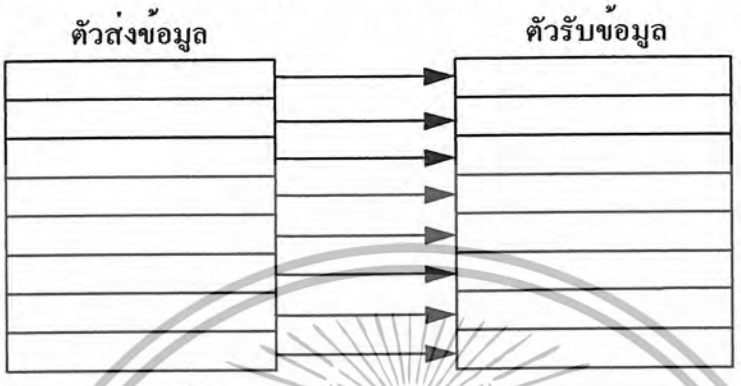
2.5 รูปแบบของการสื่อสารข้อมูล

2.5.1 หลักการและโครงสร้างของการสื่อสารข้อมูลแบบขนาน

การสื่อสารข้อมูลแบบขนานเป็นการสื่อสารที่ข้อมูลจะรับ – ส่งผ่านสายหรือช่องสัญญาณพร้อมกันหลายๆเส้น ดังในรูป 2.10 ซึ่งจำนวนของสัญญาณจะมีจำนวนไม่แน่นอนขึ้นกับโครงสร้างการประมวลผลข้อมูลของระบบนั้นๆ โดยข้อดีของการสื่อสารข้อมูลแบบนี้คือสามารถสื่อสารข้อมูลได้รวดเร็วในระยะเวลาสั้นๆ แต่ข้อเสียก็คือจะสิ้นเปลืองสายสัญญาณเป็นจำนวนมาก และถ้ายิ่งใช้ในการสื่อสารระยะทางไกลๆ นอกจากจะสิ้นเปลืองค่าใช้จ่ายจำนวนมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วยังทำให้สัญญาณถูกลดทอนลงไปด้วย ดังนั้นโดยทั่วไปแล้วการสื่อสารข้อมูลแบบขนานนิยมนำไปใช้กับการสื่อสารข้อมูลในระยะทางสั้นๆ ที่ต้องการสื่อวารข้อมูลด้วยอัตราที่สูง เช่นการเชื่อมต่อของสัญญาณระหว่างหน่วยประมวลผลกลางกับอุปกรณ์รอบข้าง หรือการสื่อสารข้อมูลของเครื่องมือวัดและอุปกรณ์ต่างๆกับเครื่องไมโครคอมพิวเตอร์ที่ในปัจจุบันนิยมใช้การสื่อสารตามมาตรฐาน IEEE-488 ซึ่งเป็นการสื่อสารข้อมูลแบบขนานเช่นเดียวกัน



รูปที่ 2.10 โครงสร้างของการสื่อสารข้อมูลแบบขนาน

2.5.2 หลักการและโครงสร้างของการสื่อสารแบบอนุกรม

การสื่อสารข้อมูลแบบอนุกรมเป็นการสื่อสารที่การรับส่งจะใช้สายสัญญาณจำนวนน้อย ซึ่งปกติจะใช้เพียง 1 คู่ คือสายสัญญาณที่เป็นข้อมูลและสายกราวด์เปรียบเทียบกัน โดยข้อมูลจะส่งออกหรือรับเข้าในลักษณะที่เป็นบิทต่อบิท ซึ่งเมื่อเราเปรียบเทียบกับการสื่อสารข้อมูลแบบขนานที่จำนวนข้อมูลและอัตราเร็วในการสื่อสารข้อมูลเท่ากันแล้ว การสื่อสารข้อมูลแบบอนุกรมจะต้องใช้เวลาส่งมากกว่าอย่างแน่นอน แต่ข้อดีของการสื่อสารข้อมูลแบบอนุกรมนี้คือ การใช้สายสัญญาณน้อยกว่าและสามารถส่งสัญญาณได้ในระยะทางไกลกว่าแม้ว่าอัตราการลดทอนหรือผิดเพี้ยนของสัญญาณที่มีผลจากความยาวของสายสัญญาณจะมีค่าเท่ากับการสื่อสารข้อมูลแบบขนาน แต่การสื่อสารข้อมูลแบบอนุกรมมีวิธีในการที่จะลดผลจากการลดทอนของสัญญาณนี้โดยอาศัยหลักการรับส่งสัญญาณแบบดิฟเฟอเรนเชียล ดังนั้นการสื่อสารข้อมูลแบบอนุกรมจึงเหมาะสำหรับใช้กับการสื่อสารข้อมูลระยะไกล หรือการสื่อสารที่ต้องการใช้สายหรือช่องสัญญาณจำนวนน้อย

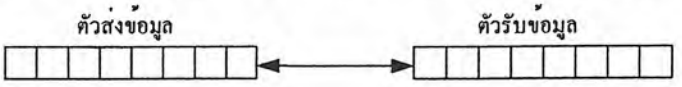
จากที่ได้กล่าวไปแล้วการสื่อสารข้อมูลแบบอนุกรมยังสามารถที่จะแบ่งตามลักษณะของทิศทางในการสื่อสารข้อมูล ตามโครงสร้างและความต้องการของระบบ ได้ดังนี้ คือ

<u>1.การสื่อสารข้อมูลในทิศทางเดียวตลอดเวลา (simplex)</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการสื่อสารในทิศทางใดก็จะใช้ทิศทางนั้นตลอดเวลาไม่มีการเปลี่ยนแปลงทิศทาง เช่นการส่งสัญญาณภาพจากสถานีไปยังเครื่องรับหรือการส่งข้อมูลไปยังวิทยุติดตามตัว

2. การสื่อสารข้อมูลใน 2 ทิศทางแต่สลับเวลา (half-duplex)



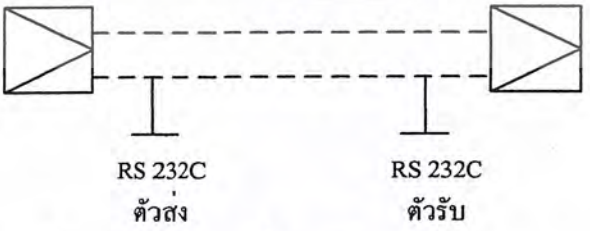
เป็นการสื่อสารข้อมูลใน 2 ทิศทาง แต่ในขณะเวลาหนึ่งนั้นสัญญาณจะไปได้ในทิศทางเดียวเท่านั้น ดังนั้นอุปกรณ์แต่ละตัวที่จะเชื่อมต่อหรือสื่อสารข้อมูลในลักษณะนี้จะต้องเป็นได้ทั้งตัวรับและตัวส่งและจะต้องมีวงจรที่เลือกว่า ณ เวลานั้นจะทำงานเป็นตัวรับหรือตัวส่ง

3. การสื่อสารข้อมูลใน 2 ทิศทางตลอดเวลา (full-duplex)

เป็นการสื่อสารข้อมูลที่คล้ายกับ half-duplex แต่เป็นการสื่อสารข้อมูลใน 2 ทิศทางตลอดเวลา

2.5.2.1 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C

การสื่อสารข้อมูลแบบอนุกรมที่ใช้งานอยู่ในปัจจุบันนั้นได้มีการกำหนดมาตรฐานการรับ-ส่งข้อมูลไว้หลายแบบด้วยกัน แต่ที่ได้รับความนิยมนำมาใช้งานอย่างมาก คือการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C และที่มาตรฐานนี้เป็นที่นิยมเนื่องจากเป็นระบบการสื่อสารข้อมูลที่ใช้ในเครื่องไมโครคอมพิวเตอร์ IBM PC ซึ่งเป็นคอมพิวเตอร์ที่ใช้อย่างแพร่หลายจากอดีตมาถึงปัจจุบัน มาตรฐาน RS-232C มีโครงสร้างการสื่อสารเป็นแบบจุดต่อจุดเท่านั้น โดยมีลักษณะสมบัติทางไฟฟ้าและทางกายภาพ ดังแสดงในตารางที่2.1และรูปที่2.9



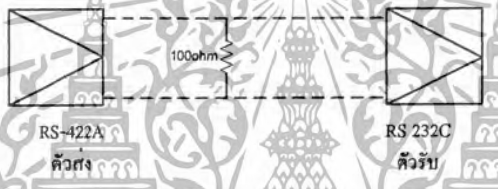
รูปที่ 2.11 โครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-232C

2.5.2.2 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A

ในการออกแบบระบบการสื่อสารข้อมูลที่กล่าวมา ได้มีการพยายามที่จะออกแบบให้การสื่อสารข้อมูลได้รวดเร็วยิ่งขึ้นและมีระยะทางในการสื่อสารข้อมูลที่มากขึ้นด้วย ซึ่งที่ผ่านมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลตามมาตรฐาน RS-232A ได้ออกแบบมาเพื่อใช้เชื่อมโยงกับโมเด็มเท่านั้นจึงไม่ได้คำนึงถึงความเร็วและระยะทางในการสื่อสาร แต่ปัจจุบันได้มีการออกแบบมาเพื่อรองรับความต้องการของการใช้งานที่ต้องการให้รับและส่งข้อมูลได้ไกลขึ้น คือ มาตรฐาน RS-422A ซึ่งจะใช้สัญญาณแบบดิฟเฟอเรนเชียล ดังรูปที่ 2.12 หลักการก็คือสัญญาณที่จะรับ – ส่งจะเป็นการเปรียบเทียบระหว่างสัญญาณ 2 เส้น เทียบกับมาตรฐาน RS-232C ที่สัญญาณทุกสัญญาณจะเทียบกราวนด์ ซึ่งในการสื่อสารในระยะทางไกลๆแล้วสัญญาณจะถูกลดทอนไปและเมื่อสัญญาณถูกลดทอนถึงจุดๆหนึ่ง สัญญาณนั้นก็จะผิดพลาดไปจากความเป็นจริงก็จะทำให้การรับส่งข้อมูลเกิดความผิดพลาดขึ้น แต่สำหรับสัญญาณดิฟเฟอเรนเชียลแล้วการลดทอนของสัญญาณจะไปลดทอนทั้งสองสายด้วยค่าที่เท่ากันหรือใกล้เคียงกัน และความแตกต่างของระยะสัญญาณทั้ง 2 เส้น จากตัวส่งไปยังตัวรับก็ยังคงมีค่าเท่าเดิมกรือเปลี่ยนแปลงน้อย จุงทำให้ผลของการลดทอนต่อสัญญาณที่ระยะการสื่อสารไกลมีผลต่อสัญญาณดิฟเฟอเรนเชียลมีค่าน้อยกว่า การสื่อสารข้อมูลแบบนี้จึงสามารถส่งข้อมูลได้ไกลกว่าและอัตราการสื่อสารข้อมูลสูงกว่า ดังแสดงในตาราง 2.1

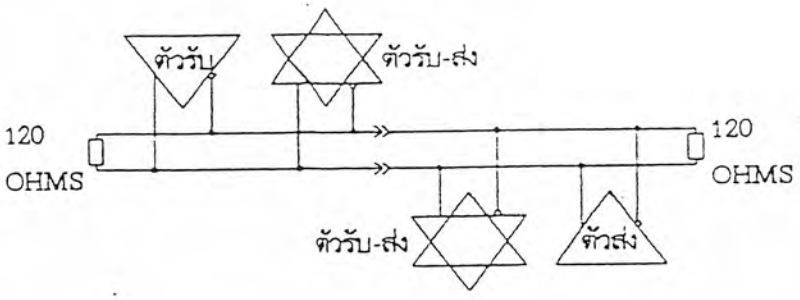


รูปที่ 2.12 โครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-422A

2.5.2.3 การสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-485

การสื่อสารข้อมูลตามมาตรฐานที่กล่าวมาข้างต้นคือ RS-232C นั้นเป็นมาตรฐานการสื่อสารข้อมูลในแบบที่ใช้ระหว่างอุปกรณ์ หรือ จุดต่อจุด(point-to-point) ส่วน RS-422A นั้นเป็นมาตรฐานที่พัฒนามาจาก RS-232C ให้ได้ระยะทางไกลขึ้นและอัตราการสื่อสารเพิ่มขึ้น แต่ก็ยังเป็นการสื่อสารข้อมูลจากอุปกรณ์หนึ่งไปยังอุปกรณ์อื่นๆได้สูงสุด 10 ตัวเท่านั้น ไม่สามารถส่งย้อนกลับจากอุปกรณ์ 10 ตัวได้ หรือกล่าวได้ว่าการสื่อสารข้อมูลตามมาตรฐาน RS-422A นั้นเป็นการสื่อสารข้อมูลแบบsimplex คือทิศทางข้อมูลเป็นแบบทางเดียวตลอดเวลา ดังนั้นถ้าต้องการออกแบบระบบให้เป็นโครงข่ายข้อมูลก็ไม่สามารถทำได้ จึงได้มีการพัฒนามาตรฐานการสื่อสารข้อมูลแบบใหม่เพื่อรองรับความต้องการนี้ คือมาตรฐาน RS-485 ซึ่งเป็นมาตรฐานที่อาศัยหลักการของสัญญาณแบบดิฟเฟอเรนเชียล โดยสามารถสื่อสารข้อมูลได้ทั้งสองทิศทางในสายสัญญาณเพียงคู่เดียว ซึ่งการสื่อสารเป็นแบบ half-duplex จากผลของการใช้สัญญาณในลักษณะดิฟเฟอเรนเชียลนี้ทำให้ระยะทางและความเร็วในการสื่อสารข้อมูลมีค่าสูง โดยสามารถรองรับการสื่อสารระหว่างอุปกรณ์ทั้งการรับและการส่งได้สูงสุด 32 ตัว หรืออาจกล่าวได้ว่า การสื่อสารตามมาตรฐาน RS-485 เป็นการสื่อสารแบบหลายจุด (multipoint communication) โครงสร้างในการสื่อสารข้อมูลแบบ RS-485 แสดงดังรูป 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 โครงสร้างของการสื่อสารข้อมูลแบบอนุกรมตามมาตรฐาน RS-485

คุณสมบัติของการสื่อสารแบบ RS-485

คุณลักษณะของมาตรฐาน RS-485 ที่แตกต่างจาก RS-422A

คุณลักษณะเฉพาะของตัวส่ง RS-485

- ตัวส่ง 1 ตัว สามารถขับโหลดได้สูงสุด 32 ชุด โดยที่โหลด 1 ชุด ประกอบด้วย ตัวส่ง 1 ตัว และตัวรับ 1 ตัว และค่าของความต้านทานที่ต่อคร่อมระหว่างคู่สายสัญญาณมีค่า 60 โอห์ม
- เอาท์พุทของตัวส่งในสภาวะออฟ มีกระแสรั่วไหลไม่เกิน 100uA ในช่วงแรงดันไฟฟ้าโหมดร่วมระหว่าง -7 V ถึง +12V
- เอาท์พุทของตัวส่งให้แรงดันไฟฟ้าเอาท์พุท 1.5 V ถึง 5 V ในช่วงแรงดันไฟฟ้าโหมดร่วมระหว่าง -7 V ถึง +12V
- ตัวส่งมีวงจรป้องกันตัวเองที่ส่วนเอาท์พุท ในกรณีที่ตัวส่งหลายๆตัว ส่งข้อมูลออกมาพร้อมกัน

คุณลักษณะเฉพาะของตัวรับ RS-485

- ค่าความต้านทานอินพุทมีค่าสูง โดยมีค่าไม่น้อยกว่า 12 กิโลโอห์ม
- ตัวรับมีค่าแรงดันไฟฟ้าอินพุทโหมดร่วมระหว่างค่า -7 V ถึง +12 V
- ตัวรับสามารถตอบสนองต่อสัญญาณที่แตกต่างจากสัญญาณโหมดร่วมได้ ±200 mV (น้อยที่สุด)

คุณสมบัติของคู่ตัวรับ – ส่ง

คู่ตัวรับ-ส่ง เป็นอุปกรณ์ที่มีทั้งตัวรับและตัวส่งอย่ในชิพเดียวกัน เพื่อให้สะดวกในการใช้งานและทำให้ระบบมีขนาดเล็กลง ในที่นี้ใช้ชิพ SN 75176

คุณสมบัติเฉพาะของคู่ตัวรับ – ส่ง

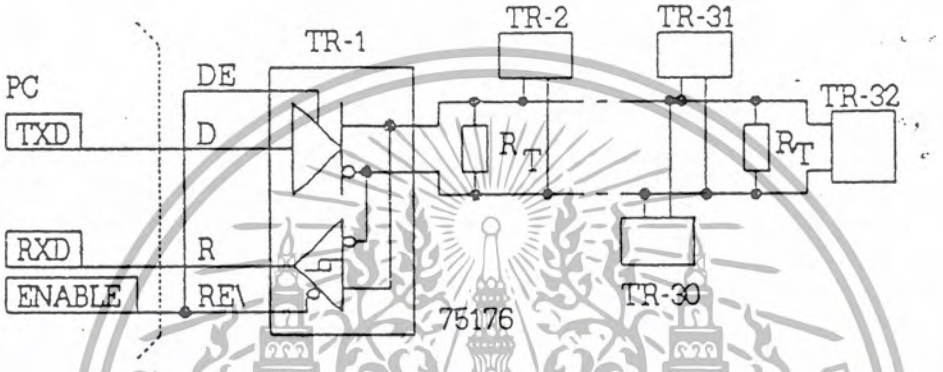
- ตามมาตรฐาน RS-485
- เอาท์พุทของตัวส่งเป็นแบบ 3-state

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

- เอาท์พุทของตัวส่งสามารถขับกระแสได้สูง 60 mA
- Thermal Shutdown Protection
- ค่าความต้านทานอินพุทของตัวรับ 20 k ๖น้อยที่สุด
- ตัวรับมีค่า input sensitivity ±200 mV
- คู่ตัวรับมีค่า input hysteresis 50 mV
- ใช้ไฟเลี้ยง 5 V

2.5.2.4 การประยุกต์ใช้งานแบบพื้นฐานของคู่ตัวรับ – ส่ง SN 75176



รูปที่ 2.14 คู่ตัวรับ – ส่ง SN75176 เชื่อมต่อกับเทอร์มินอลอื่นๆแบบ muti – point

จากรูปที่ 2.14 แต่ละเทอร์มินอลอาจจะเป็นตัวส่งหรือตัวรับข้อมูลก็ได้ โดยจะมีเทอร์มินอลชุดหนึ่งเชื่อมต่อกับคอมพิวเตอร์ ซึ่งทำหน้าที่ควบคุมการทำงานของระบบตามโปรโตคอลที่นำมาใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55476

ตาราง 2.1 การเปรียบเทียบมาตรฐานการสื่อสารข้อมูลของ EIA

พารามิเตอร์	RS-232-C	RS-423-A	RS-422-A	RS-485
โหมดการทำงาน	Single-ended	Single-ended	Differential	Differential
จำนวนของตัวรับ และตัวส่งที่ยอมรับได้	1 ตัวส่ง 1 ตัวรับ	1 ตัวส่ง 10 ตัวรับ	1 ตัวส่ง 10 ตัวรับ	32 ตัวส่ง 32 ตัวรับ
ความยาวของคู่สาย สัญญาณรับส่งข้อมูล	50 ฟุต	4000 ฟุต	4000 ฟุต	4000 ฟุต
อัตราการส่งข้อมูล สูงสุด (บิทต่อวินาที)	20 k	100 k	10 M	10 M
แรงดันไฟฟ้า โหมดร่วมสูงสุด	± 2.5 V	± 6 V	6 V - 2.5 V	12 V -7 V
Driver output	± 5 V ต่ำสุด ± 15 V สูงสุด	± 3.6 V ต่ำสุด ± 6.0 V สูงสุด	± 2 V ต่ำสุด	± 1.5 V ต่ำสุด
Driver load Ω	3 k ถึง 7 K	450 ต่ำสุด	100 ต่ำสุด	60 ต่ำสุด
Driver slew rate	30 V/ µs สูงสุด	-	NA	NA
กระแสลิมิต เมื่อเอาท์พุทลัดวงจร	500 mA ลัดวงจรกับ VCC หรือ GND	150 mA ลัดวงจร กับ GND	150 mA ลัดวงจร กับ GND	150 mA ลัดวงจรกับ GND 250 mA ลัดวงจรกับ 8 Vหรือ 12 V
ค่าความต้านทาน เอาท์พุทของตัวส่ง Ω	NA - power on 300 - power off	NA - power on 60 k - power off	NA - power on 60 k - power off	120 k power on, off
ค่าความต้านทานอินพุท ของตัวรับ Ω	3 k ถึง 7 k	4 k	4 k	12 k
ความไวของตัวรับ	± 3 V	± 200 mV	± 200 mV	± 200 mV

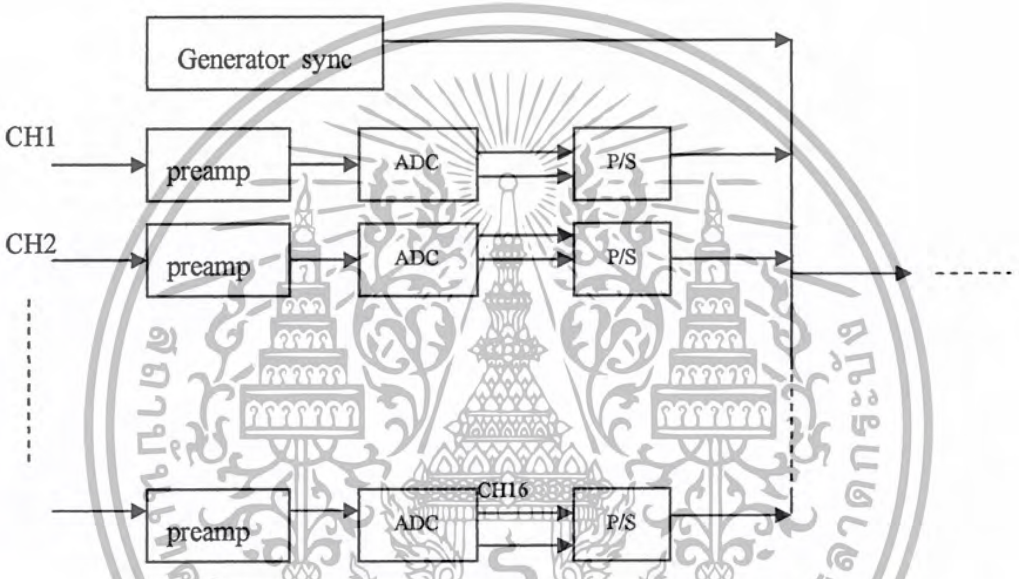
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ

สำหรับการออกแบบระบบรับส่งข้อมูลเสียง 16 ช่องนี้ ในเทอมแรกได้ทำในภาพรวมของภาครับและภาคส่งเท่านั้น ยังไม่รวมส่วนของวงจรขยาย โดยคาดหวังให้ผลออกมาได้ 4 ช่อง ทั้งนี้ยังไม่มีการป้อนข้อมูลเสียงลงไปจริงๆ แต่เป็นการป้อนเป็นความถี่ลงไปแทน เพื่อทดสอบให้ผลที่ได้ตรงตามทฤษฎี

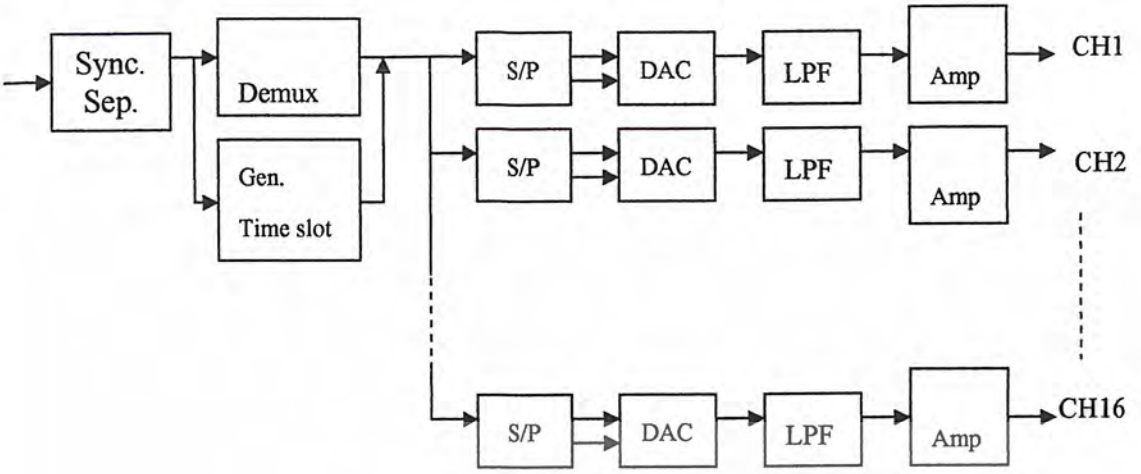
3.1 ภาพรวมของระบบรับส่งข้อมูลเสียง 16 ช่อง



รูปที่ 3.1 บล็อกไดอะแกรมของภาคส่ง

จากรูปที่ 3.1 ซึ่งเป็นบล็อกไดอะแกรมของภาคส่งของระบบรับส่งข้อมูลเสียง 16ช่องนี้ สามารถอธิบายได้ว่า เมื่อข้อมูลเสียงจากแต่ละช่องผ่านไมโครโฟนเข้ามาแล้วจะต้องนำมาผ่าน preamp เพื่อขยายสัญญาณเสียง จากนั้นจึงนำมาผ่าน ADC เพื่อแปลงสัญญาณเสียงที่เป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลโดยใช้วงจรรวมเบอร์ ADC0820 ซึ่งเป็นวงจรแปลงอนาลอกเป็นดิจิตอลเอาท์พุท ขนาด 8บิท จากนั้นจึงนำ 8 บิทเอาท์พุทมาผ่านตัวเลื่อนข้อมูลแบบอินพุทเข้าขนานเอาท์พุทออกอนุกรม (Parallel In Serial Out : P/S) ซึ่งตัว P/S ที่เรานำมาใช้นี้เป็นวงจรรวมเบอร์ 74HC589 จากนั้นก็ผ่านสายส่ง (Transmission Line) และเข้าสู่ภาครับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 บล็อกไดอะแกรมของภาครับ

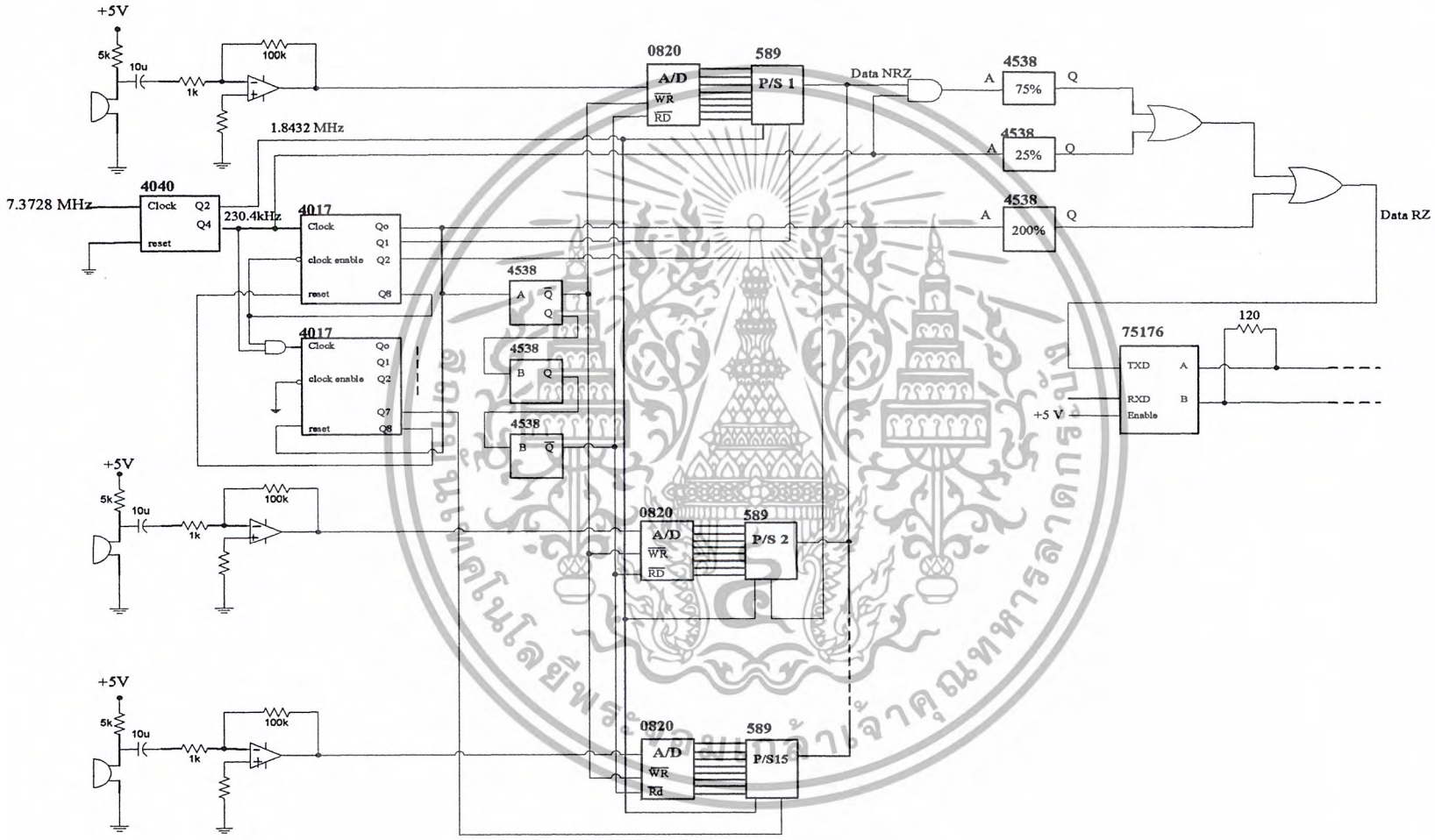
จากรูป 3.2 เป็นบล็อกไดอะแกรมของภาครับของระบบรับส่งข้อมูลเสียง 16 ช่อง สามารถอธิบายได้ว่า เมื่อภาคส่งส่งสัญญาณตามสายส่งมา สัญญาณจะถูกส่งเข้าตัวแยกสัญญาณซิงค์ โดยสัญญาณซิงค์จะถูกนำไปสร้างสัญญาณ Time slot ส่งไปที่ counter เพื่อใช้ในการเลือกข้อมูลของตัวดีมัลติเพล็กเซอร์ (demultiplexer) ข้อมูลที่ได้จากตัวดีมัลติเพล็กเซอร์จะเป็นสัญญาณดิจิตอลแบบอนุกรม 8 บิต

ในการออกแบบโครงงานนี้ ส่วนใหญ่จะใช้วงจรเป็นวงจรรวม (IC) เป็นส่วนใหญ่ เพื่อความสะดวกและเพื่อให้วงจรมีขนาดเล็ก เหมาะแก่การใช้งาน

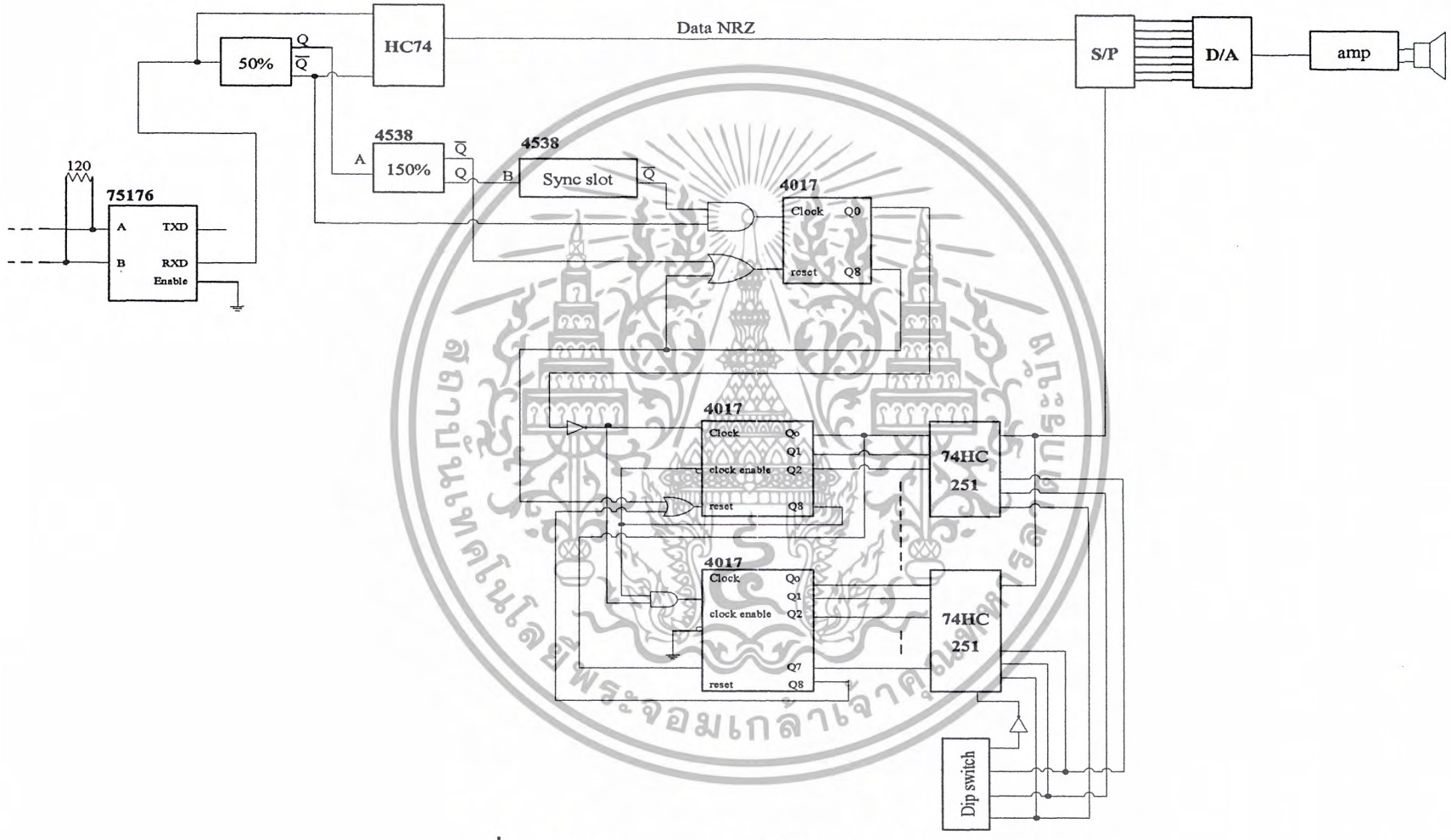
3.2 การออกแบบความถี่

เนื่องจากความถี่ของเสียงคนมีค่าประมาณ 4 kHz และเนื่องจากการกำหนดค่าความถี่ในการsampling ควรมากกว่า 2 เท่าของความถี่เสียง ดังนั้นเราจึงออกแบบให้ความถี่ sampling มีค่า 14.4 kHz จากนั้นเนื่องจากเราต้องการช่องสัญญาณ 16 ช่อง เราจึงนำความถี่ 14.4 kHz x 16 จึงได้ความถี่ของแต่ละช่องออกมาเป็น 230.4 kHz และในแต่ละช่องมี 8 บิต ดังนั้นเราจะได้ความถี่สัญญาณนาฬิกา (clock) เป็น 230.4 x 8 ก็จะได้ความถี่ clock 1.8432 MHz จากนั้นเราก็ทำการต่อวงจรต่างๆ โดยใช้ไอซีที่มีคุณสมบัติตามที่ต้องการ ซึ่งรูปวงจรเป็นดังนี้

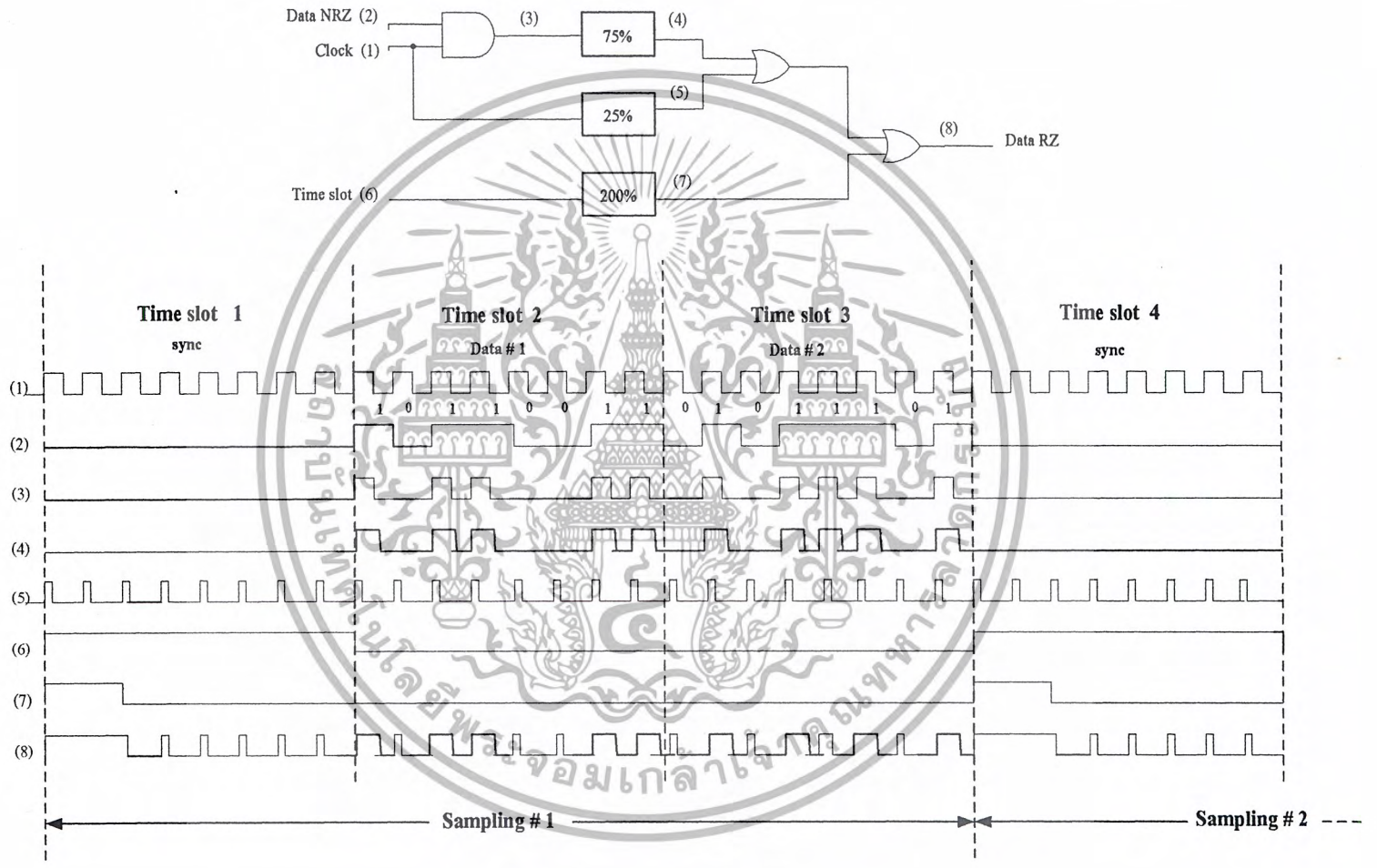
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



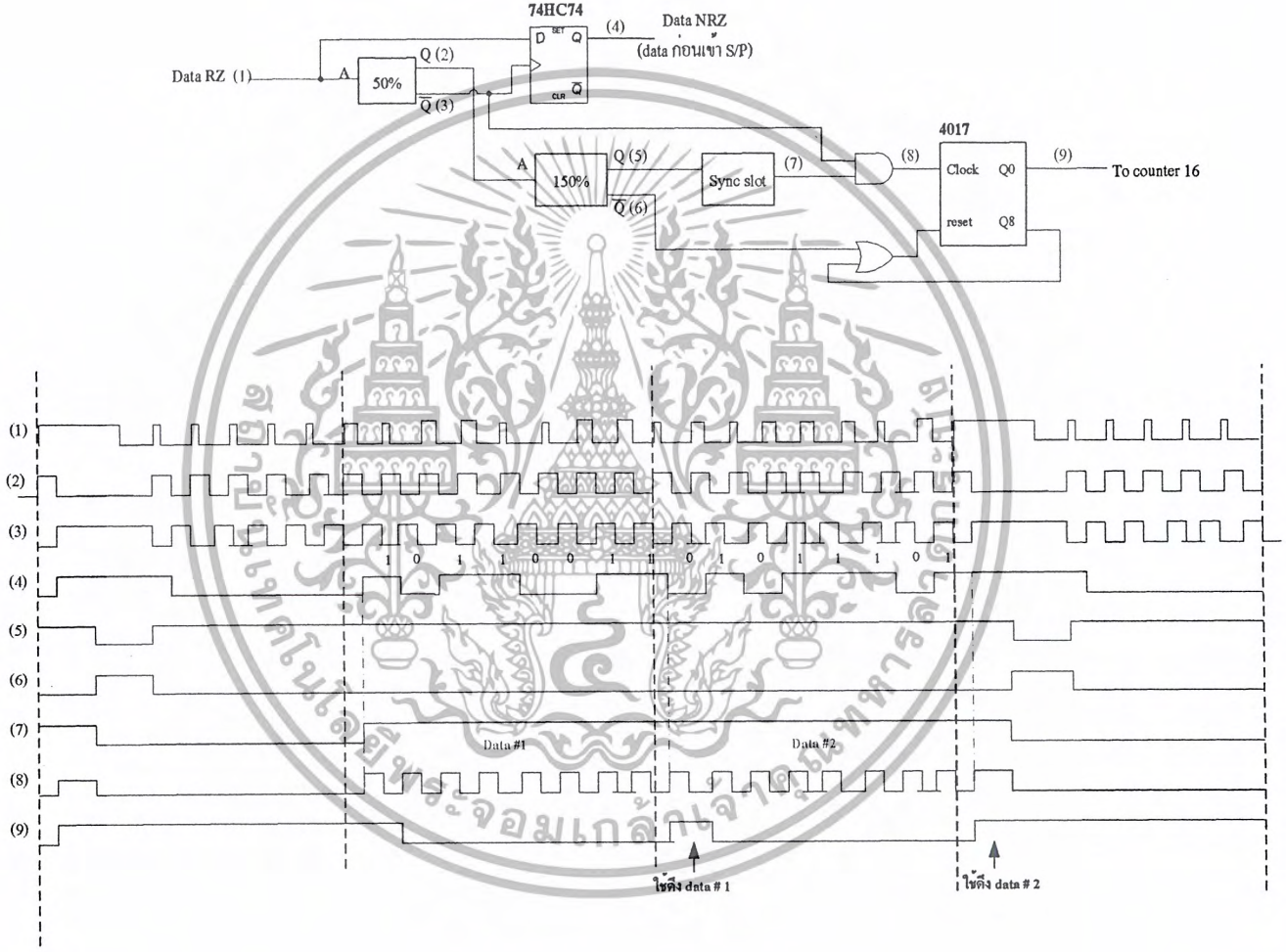
รูปที่ 3.3 ภาคส่งของวงจรระบบรับส่งข้อมูลเสียง 16 ช่อง



รูปที่ 3.4 ภาครับของวงจรระบบรับส่งข้อมูลเสียง 16 ช่อง



รูปที่ 3.5 timing diagram ของภาคส่ง

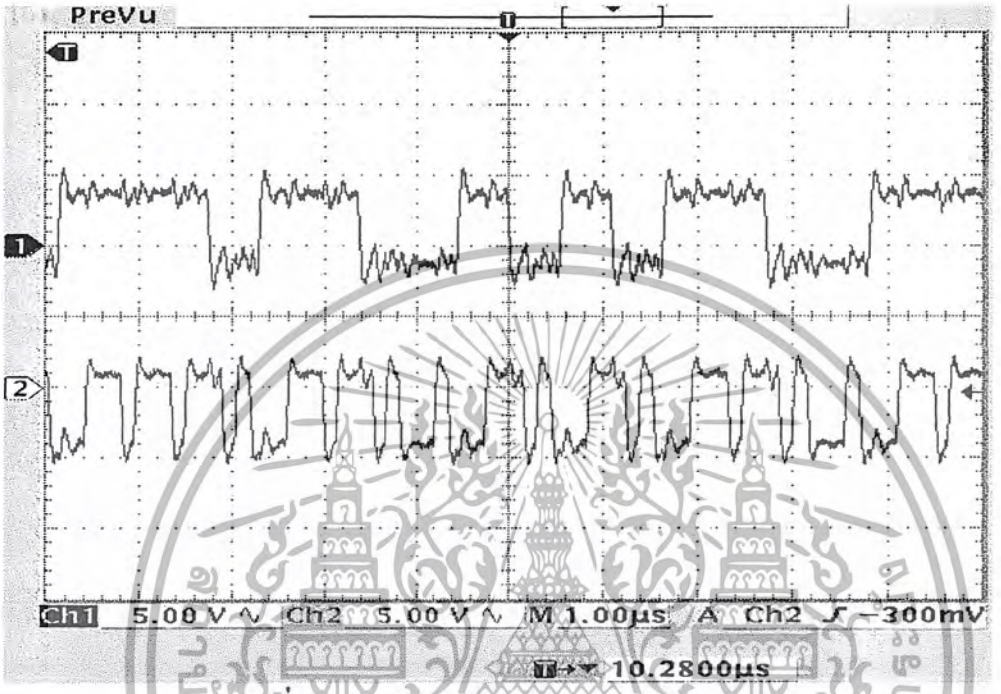


รูปที่ 3.6 timing diagram ของภาครับ

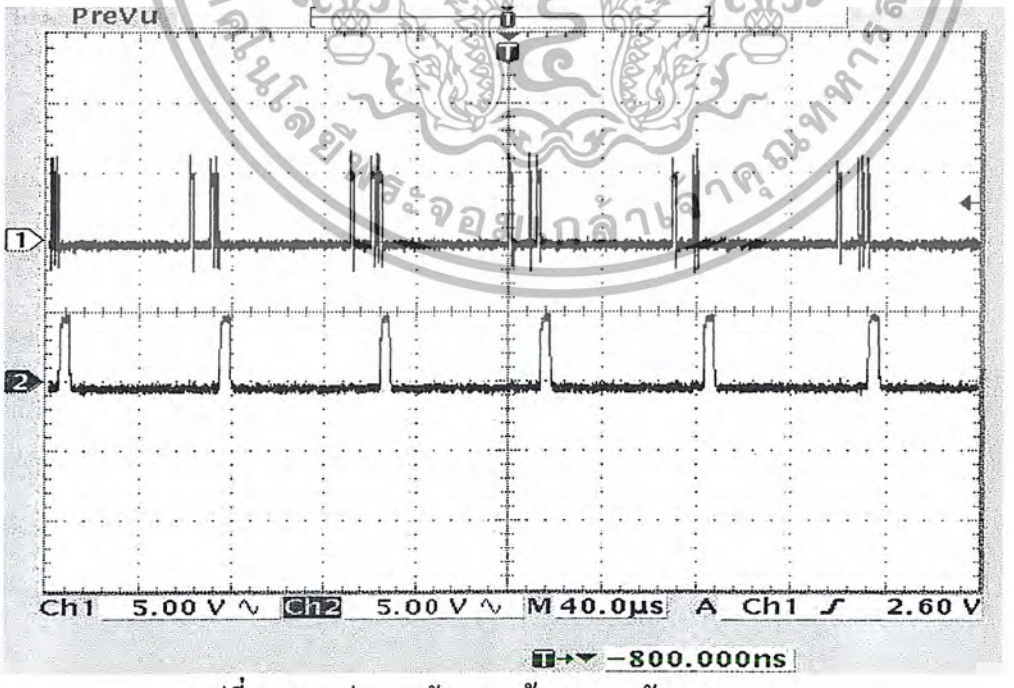
บทที่ 4

ผลการทดลอง

สำหรับการทดลองเราได้ทำการวัดสัญญาณต่างๆ ดังนี้

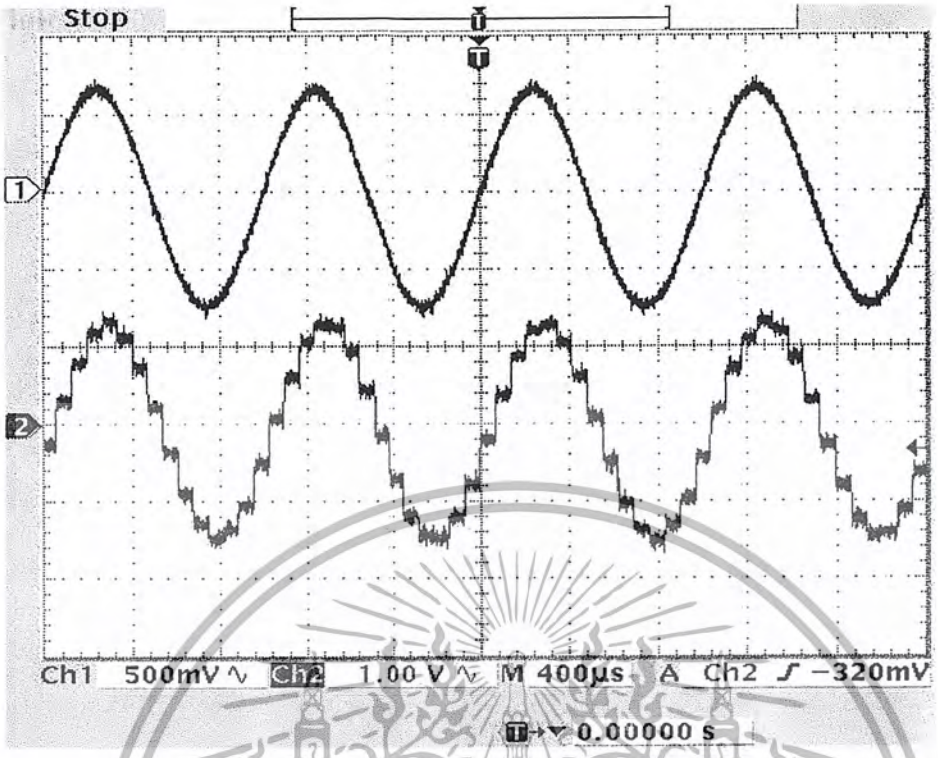


รูปที่ 4.1 กราฟแสดงData NRZ และ Data RZ

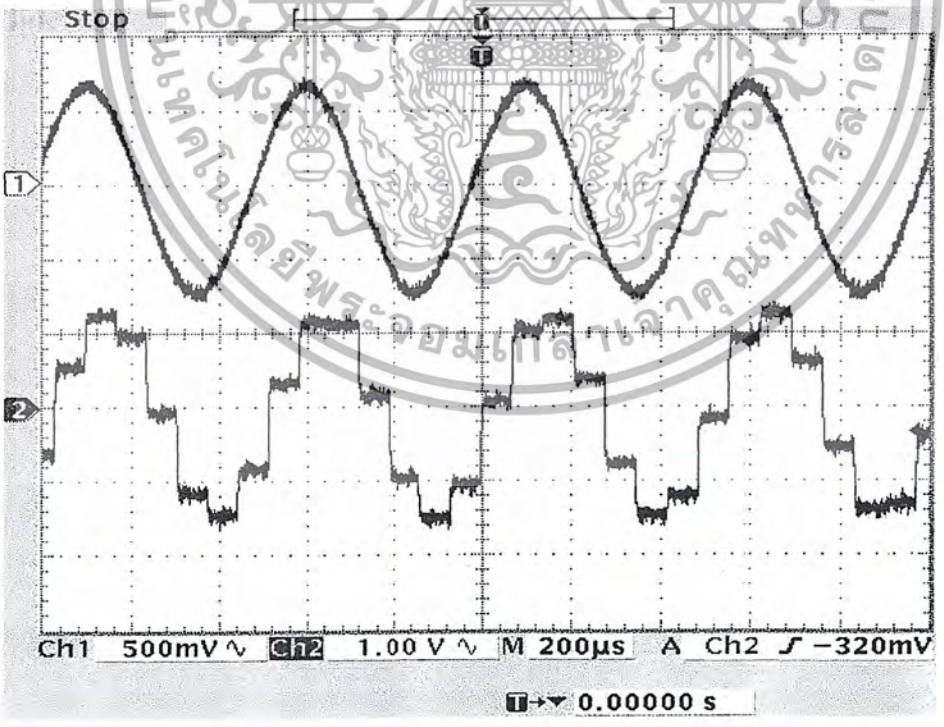


รูปที่ 4.2 กราฟแสดงสัญญาณข้อมูลและสัญญาณ Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

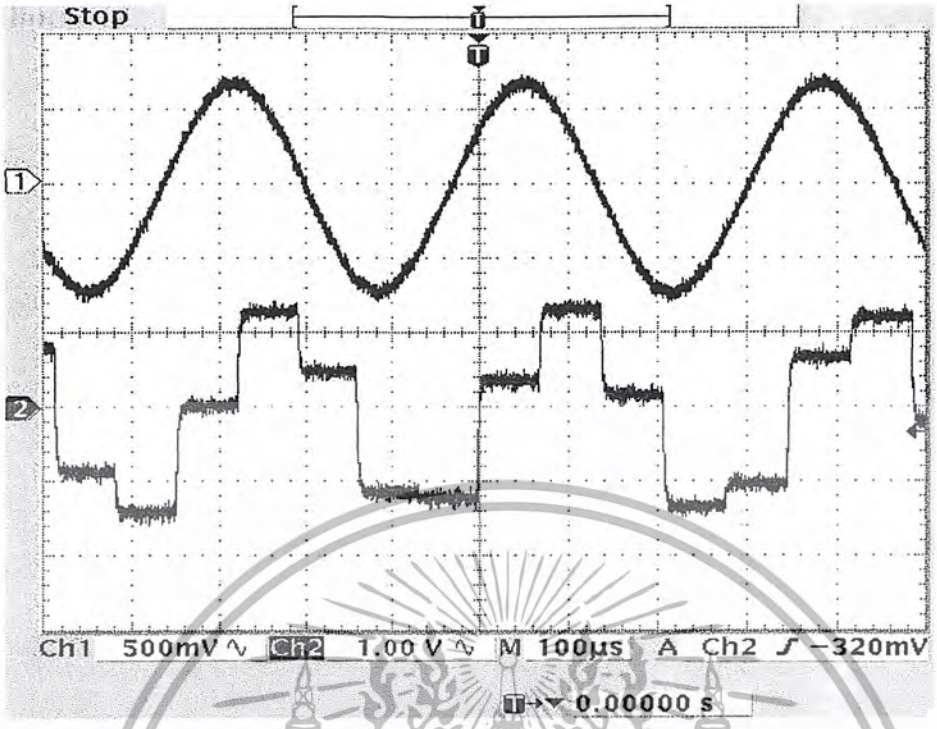


รูปที่ 4.3 กราฟแสดงรูป sine wave ความถี่ 1 kHz ของอินพุทและเอาท์พุท

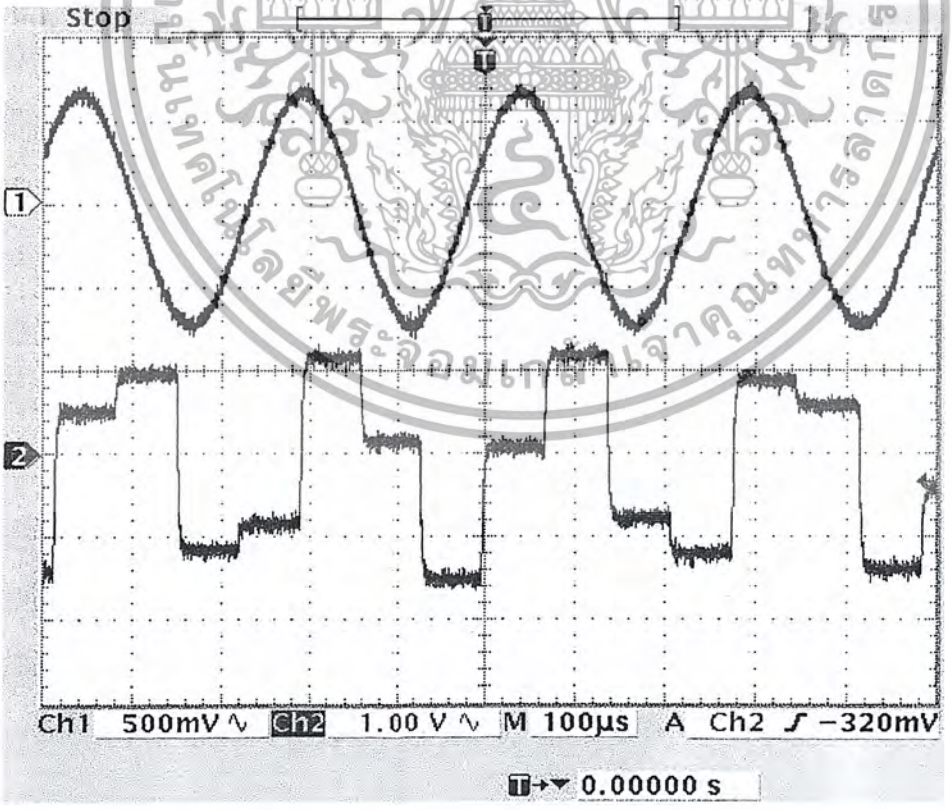


รูปที่ 4.4 กราฟแสดงรูป sine wave ความถี่ 2 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

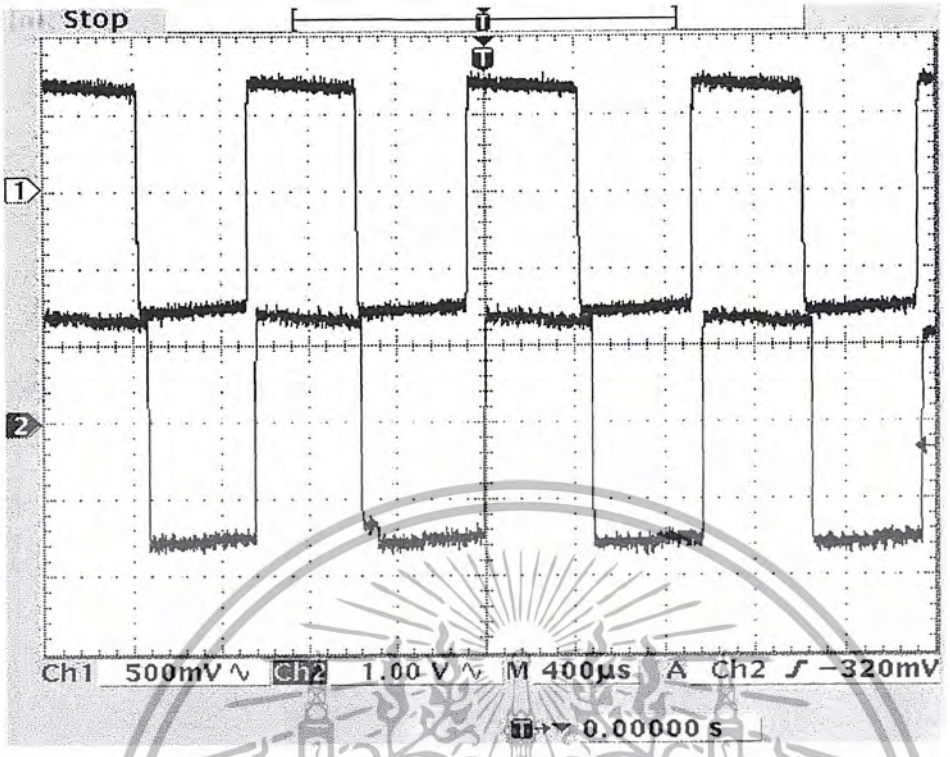


รูปที่ 4.5 กราฟแสดงรูป sine wave ความถี่ 3 kHz ของอินพุทและเอาท์พุท

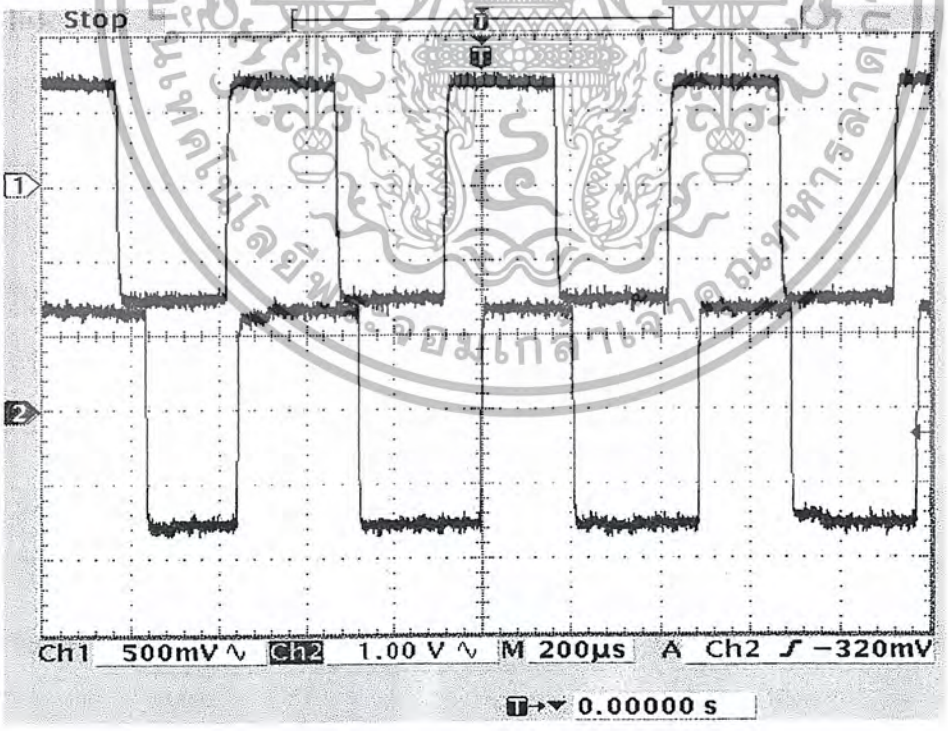


รูปที่ 4.6 กราฟแสดงรูป sine wave ความถี่ 4 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

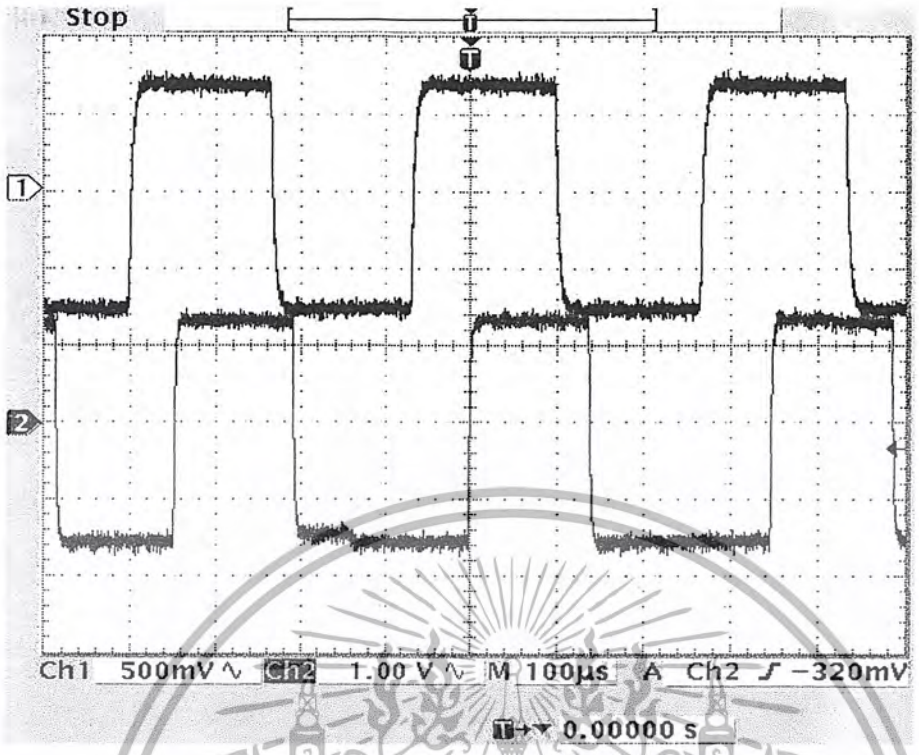


รูปที่ 4.7 กราฟแสดงรูป square wave ความถี่ 1 kHz ของอินพุทและเอาท์พุท

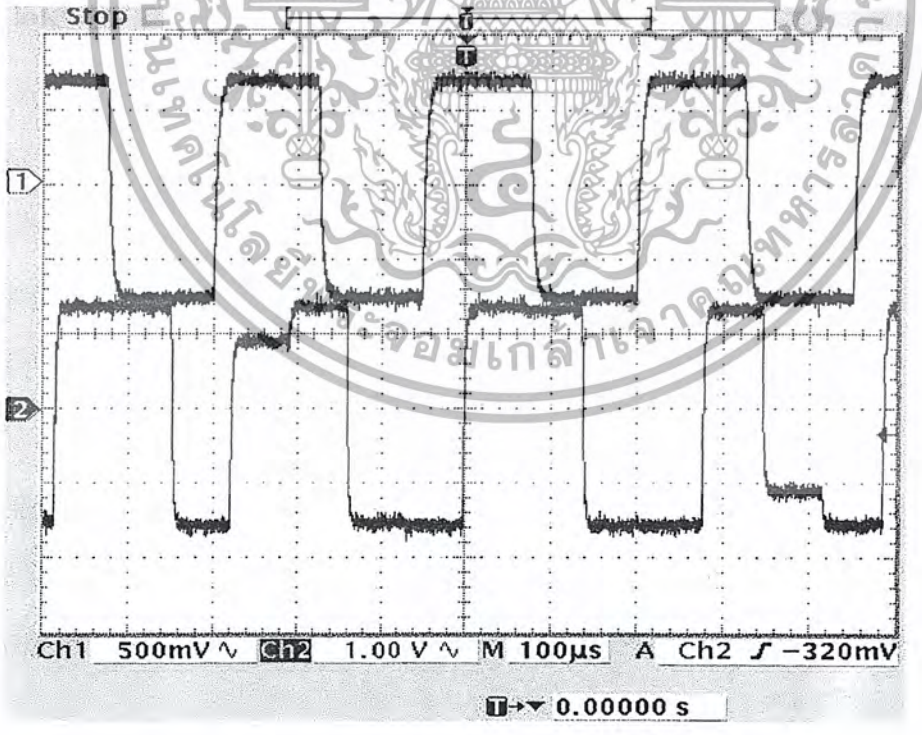


รูปที่ 4.8 กราฟแสดงรูป square wave ความถี่ 2 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

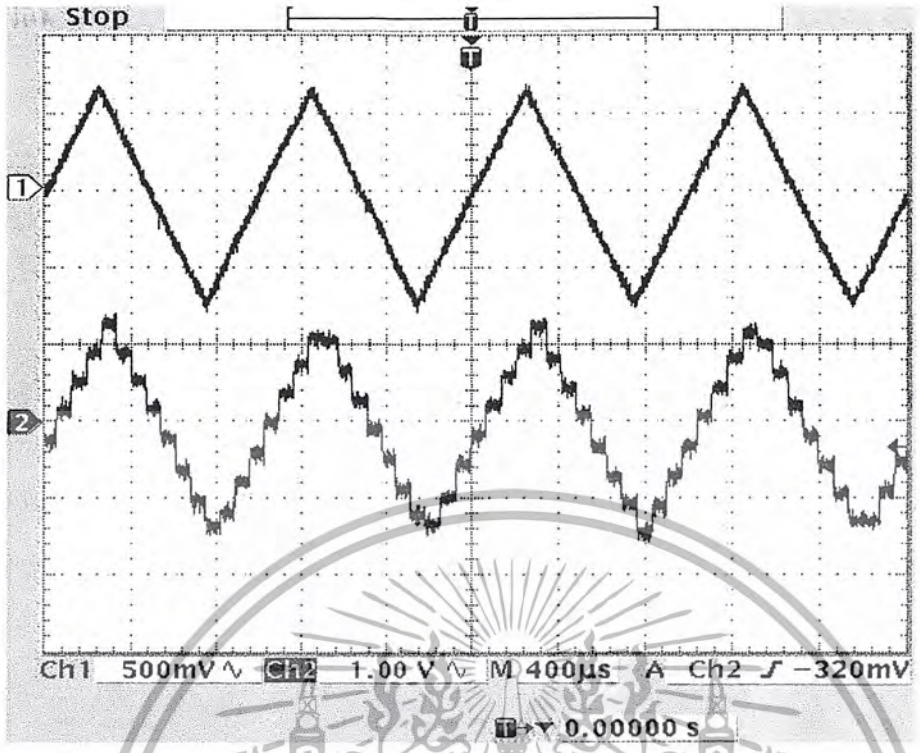


รูปที่ 4.9 กราฟแสดงรูป square wave ความถี่ 3 kHz ของอินพุทและเอาท์พุท

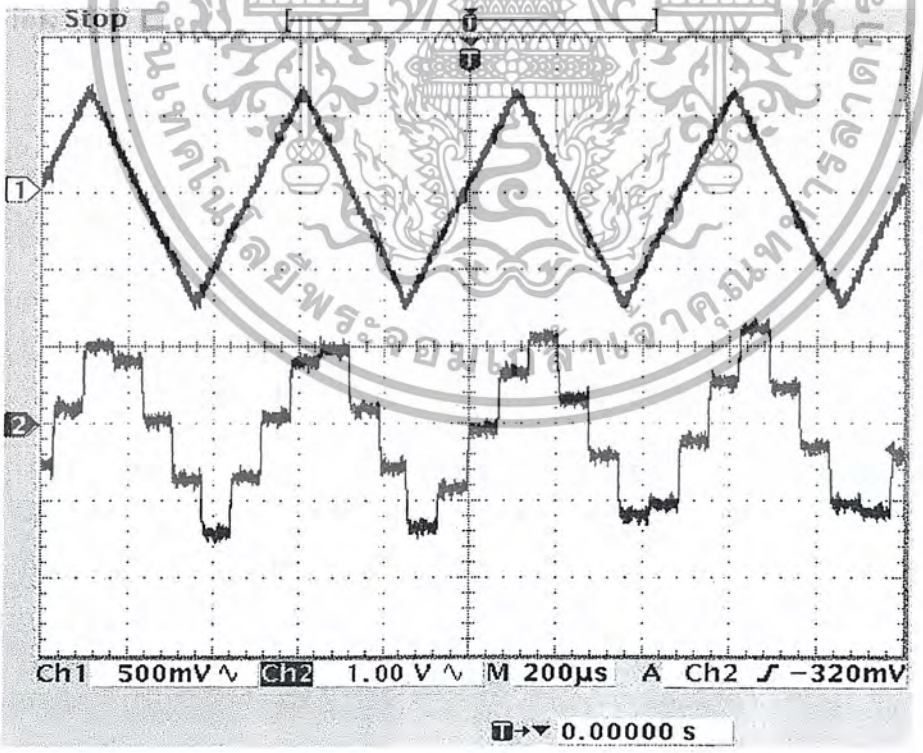


รูปที่ 4.10 กราฟแสดงรูป square wave ความถี่ 4 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

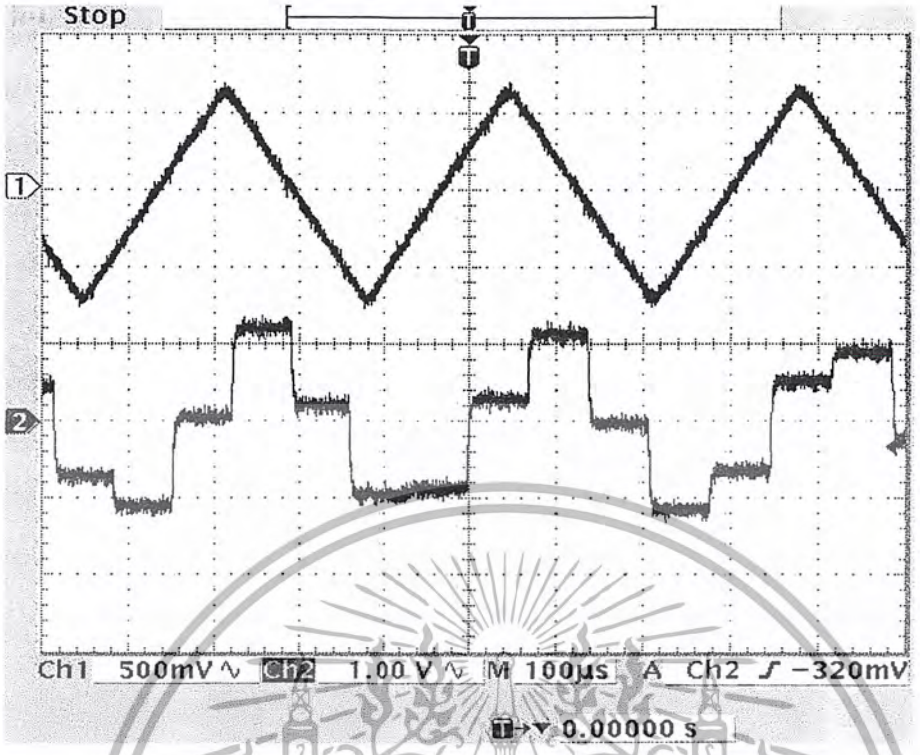


รูปที่ 4.11 กราฟแสดงรูป triangle wave ความถี่ 1 kHz ของอินพุทและเอาท์พุท

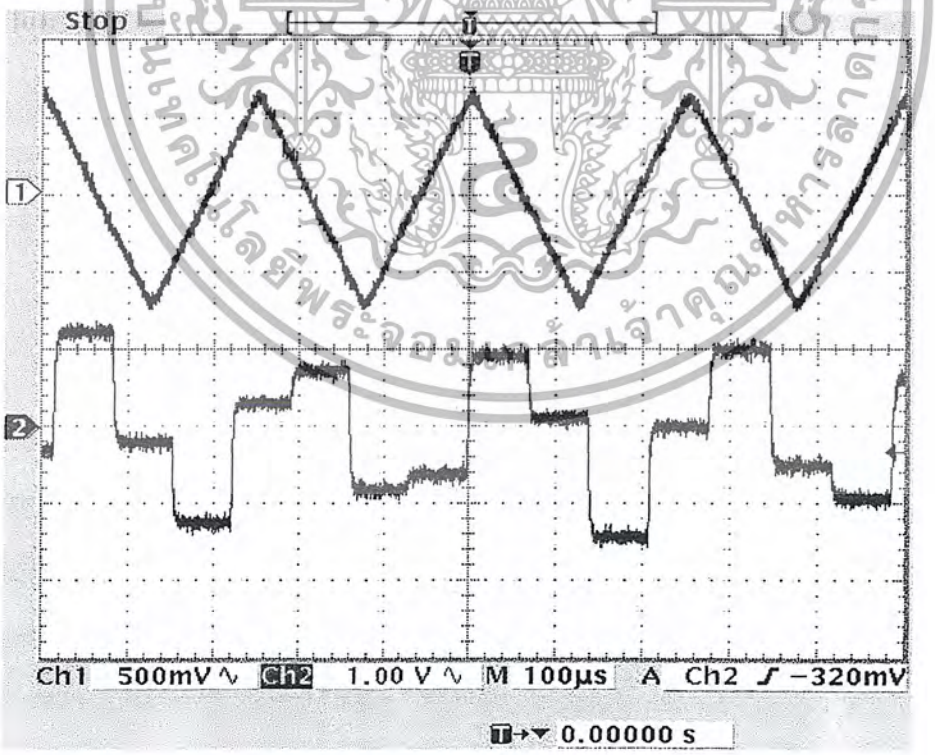


รูปที่ 4.12 กราฟแสดงรูป triangle wave ความถี่ 2 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 กราฟแสดงรูป triangle wave ความถี่ 3 kHz ของอินพุทและเอาท์พุท



รูปที่ 4.14 กราฟแสดงรูป triangle wave ความถี่ 4 kHz ของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์โครงงาน

5.1 สรุปผลการปฏิบัติงาน

สำหรับการปฏิบัติงานในภาคเรียนที่ 2 นี้ ต่อเนื่องมาจากภาคการเรียนแรก แต่ได้ทำการเปลี่ยนการ detect สัญญาณ จาก การใช้เฟสล็อกลูปมาเป็นการใช้สัญญาณ NRZ และ RZ แทน

ในการปฏิบัติงานเริ่มต้นจากการหาข้อมูลของอุปกรณ์ที่จะต้องมีประสิทธิภาพมากกว่าครั้งแรกเนื่องจากนำมาใช้งานกับสัญญาณเสียงแล้วทำการทดลองคุณสมบัติและความเหมาะสมกับงานของไอซี จากนั้นทำการทดลองวงจรใหม่นี้โดยยังไม่ป้อนสัญญาณเสียงและวัดสัญญาณทางออสซิลโลสโคป เมื่อผลการทดลองเป็นไปตามที่ต้องการก็ต่อวงจรเพิ่มเติมเพื่อป้อนสัญญาณเสียงและทดสอบโดยการฟัง โดยเมื่อนำวงจรที่ออกแบบมาทดลองปรากฏว่าผลที่ได้ค่อนข้างเป็นไปตามที่ออกแบบไว้ โดยผลงานที่เสร็จแล้ว ได้พิจารณาคุณสมบัติโดยการทดสอบพบว่ามีประสิทธิภาพอยู่ในเกณฑ์ที่ยอมรับได้

5.2 ปัญหาและอุปสรรคในการทำงาน

1) อุปกรณ์บางชิ้นที่ใช้มีคุณสมบัติไม่ตรงตามที่ระบุ ทำให้ผลการทดลองคลาดเคลื่อน

2) ขณะทำการทดลอง มีอุปกรณ์ที่ชำรุดเสียหาย ทำให้การทำงานล่าช้า เนื่องจากต้องใช้เวลาตรวจสอบว่าตัวใดเสีย

3) อุปกรณ์บางชิ้นซื้อมาแล้วไม่ได้ใช้ เนื่องจากซื้อไว้เผื่อเกิดการชำรุดเสียหาย ทำให้สิ้นเปลืองงบประมาณ

4) ในการปฏิบัติงาน มีการทดลองอุปกรณ์แยกส่วนกัน เมื่อนำแต่ละส่วนมารวมกันแล้วทดลอง ไม่ได้ผลเหมือนตอนแรก

5.3 แนวทางในการแก้ไข

1) ใช้ความรู้ที่มีทั้งทางทฤษฎีและปฏิบัติมาร่วนกันแก้ไข โดยใช้ทฤษฎีเป็นแนวทางแต่ไม่ยึดติดเกินไป

2) ฝึกการอ่าน datasheet เนื่องจากต้องนำมาเป็นแนวทางในการทดลอง

3) การทดลองแยกส่วนกัน ทำให้เราเข้าใจการทำงานของตัวอุปกรณ์นั้นๆ และได้รู้ที่มาของค่าต่างๆ นอกจากนี้ยังง่ายต่อการตรวจสอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ประโยชน์และการนำไปประยุกต์ใช้งาน

เนื่องจากปัจจุบันการสื่อสารมีความทันสมัยและกว้างขวางกว่าเดิมมาก ดังนั้นการศึกษาระบบรับส่งข้อมูลเสียง 16 ช่องนี้จะเป็นประโยชน์ในด้านการสื่อสาร เช่นในการประชุมนานาชาติที่มีคนหลายชาติมาร่วมประชุม ก็สามารถนำโครงงานนี้ไปใช้ได้โดยให้ผู้เข้าร่วมประชุมสามารถเลือกภาษาของตนในการฟังได้ โดยโครงงานนี้อาจนำไปประยุกต์ใช้งานโดยส่งออกอากาศก็ได้ เพื่อเป็นการเพิ่มในเรื่องความสะดวก และการประหยัดสายนำสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Datasheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0820 8-Bit High Speed μP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/μs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

- Resolution 8 Bits
- Conversion Time 2.5 μs Max (RD Mode)
  1.5 μs Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/μs converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error ± ½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

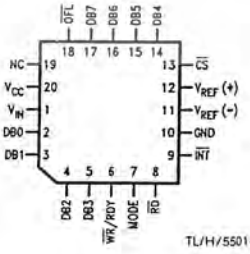
Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages

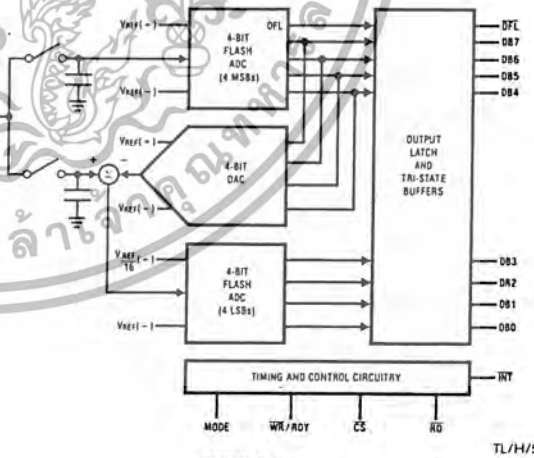
TL/H/5501-1

Top View

Molded Chip Carrier Package



TL/H/5501-33



TL/H/5501-2

FIGURE 1

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40°C ≤ T_A ≤ +85°C
ADC0820CIWM	−40°C ≤ T_A ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T_A ≤ 70°C
ADC0820BCV, ADC0820CCV	0°C ≤ T_A ≤ 70°C
ADC0820BCWM, ADC0820CCWM	0°C ≤ T_A ≤ 70°C
ADC0820CCMSA	0°C ≤ T_A ≤ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0), V_{CC} = 5V, $V_{REF}(+)$ = 5V, and $V_{REF}(-)$ = GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A = T_j = 25°C$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN, ADC0820BCV, ADC0820CCV, ADC0820BCWM, ADC0820CCWM, ADC0820CCMSA, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM		±1			±½	±½	LSB
	ADC0820CCJ							LSB
	ADC0820CCN, CCWM, CIWM, ADC0820CCMSA					±1	±1	LSB
						±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC} + 0.1			V_{CC} + 0.1	V_{CC} + 0.1	V
Minimum V_{IN} Input Voltage			GND − 0.1			GND − 0.1	GND − 0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$, $V_{IN} = V_{CC}$		3			0.3	3	μA
	V_{IN} = GND		−3			−0.3	−3	μA
Power Supply Sensitivity	V_{CC} = 5V ± 5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A=T_J=25°C$.**

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC}=5.25V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC}=4.75V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}=5V$; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		1	μA
	$V_{IN(1)}=5V$; $\overline{WR}$		0.1	3		0.1	0.3	3	μA
	$V_{IN(1)}=5V$; Mode		50	200		50	170	200	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}=0V$; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		−1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=-360$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	2.4	V
	$V_{CC}=4.75V$, $I_{OUT}=-10$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=1.6$ mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	$V_{OUT}=5V$; DB0–DB7, RDY		0.1	3		0.1	0.3	3	μA
	$V_{OUT}=0V$; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	−3	μA
I_{SOURCE}, Output Source Current	$V_{OUT}=0V$; DB0–DB7, $\overline{OFL}$		−12	−6		−12	−7.2	−6	mA
	$\overline{INT}$		−9	−4.0		−9	−5.3	−4.0	mA
I_{SINK}, Output Sink Current	$V_{OUT}=5V$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS}=\overline{WR}=\overline{RD}=0$		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF}(+)=5V$, $V_{REF}(-)=0V$ and $T_A=25°C$ unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *(Figure 2)*	1.6		2.5	μs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *(Figure 2)*	$t_{CRD}+20$		$t_{CRD}+50$	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD} = 600 ns; *(Figures 3a and 3b)*			1.52	μs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)*		600		ns
	Max	(Note 4) See Graph	50			μs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD}<t_l$; *(Figure 3a)* C_L = 15 pF	190		280	ns
		C_L = 100 pF	210		320	ns
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD}>t_l$; *(Figure 3b)* C_L = 15 pF	70		120	ns
		C_L = 100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)		R_{PULLUP} = 1k and C_L = 15 pF	30			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF}(+)=5V$, $V_{REF}(-)=0V$ and $T_A=25°C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_I, Internal Comparison Time	Pin 7 = V_{CC}; *(Figures 3b and 4)* $C_L=50$ pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L=1k$, $C_L=10$ pF	100		200	ns
$t_{\overline{INT}L}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, $C_L=50$ pF $t_{RD}>t_I$; *(Figure 3b)* $t_{RD}<t_I$; *(Figure 3a)*	 $t_{RD}+200$		 t_I $t_{RD}+290$	 ns ns
$t_{\overline{INT}H}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*(Figures 2, 3a and 3b)* $C_L=50$ pF	125		225	ns
$t_{\overline{INT}HWR}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*(Figure 4)*, $C_L=50$ pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*(Figure 2)*, $C_L=50$ pF, Pin 7 = 0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*(Figure 4)*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC}, $t_{RD}<t_I$ *(Figure 3a)*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*(Figures 2, 3a, 3b and 4)* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN}<V^-$ or $V_{IN}>V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

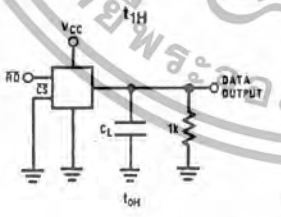
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

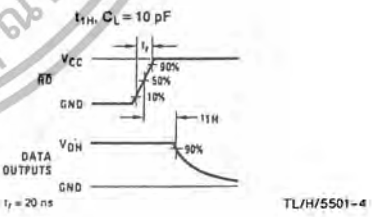
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

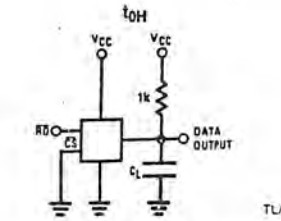
TRI-STATE Test Circuits and Waveforms



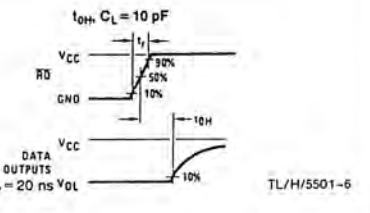
TL/H/5501-3



TL/H/5501-4



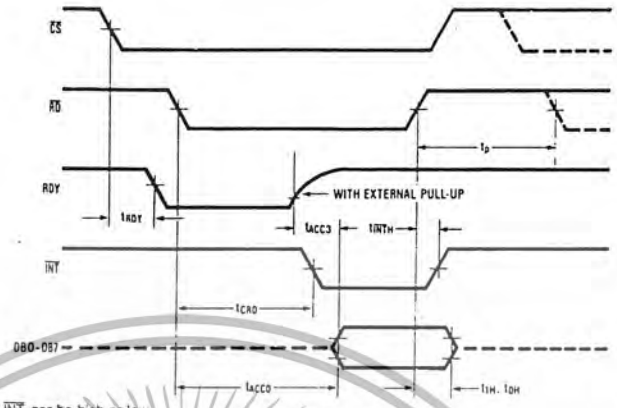
TL/H/5501-5



TL/H/5501-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

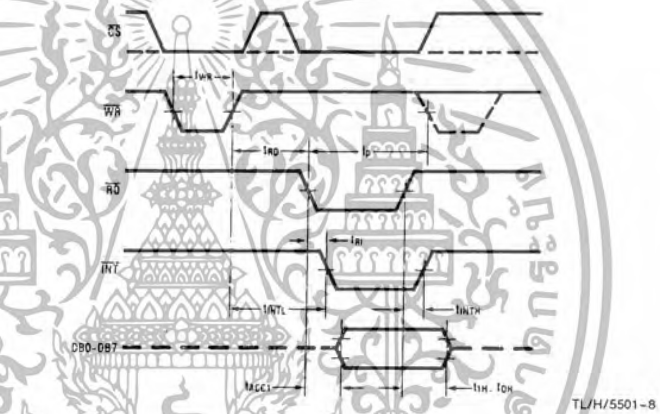


FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

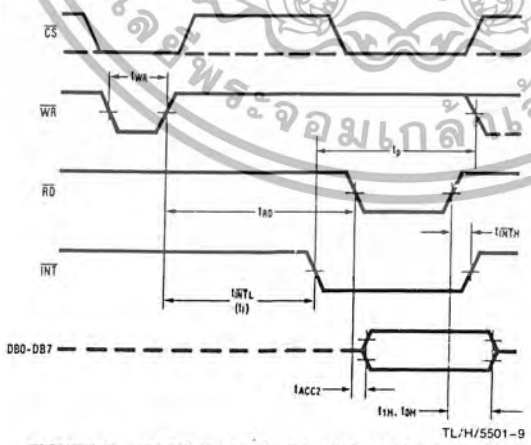


FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

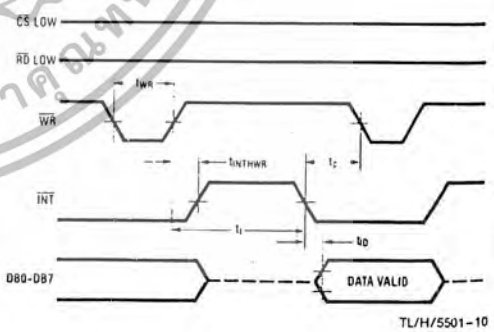
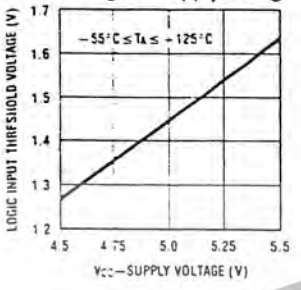


FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

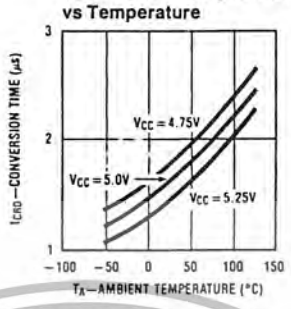
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

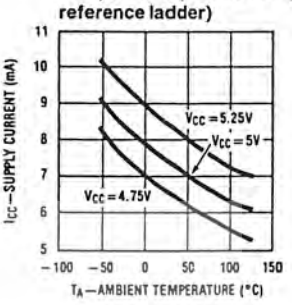
Logic Input Threshold Voltage vs Supply Voltage



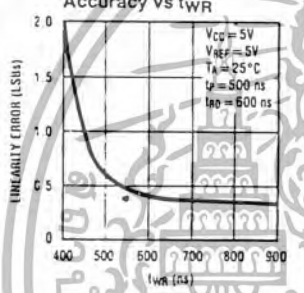
Conversion Time (RD Mode) vs Temperature



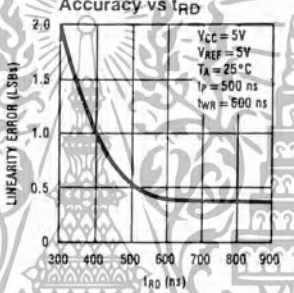
Power Supply Current vs Temperature (not including reference ladder)



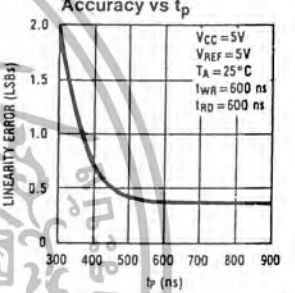
Accuracy vs t_{WR}



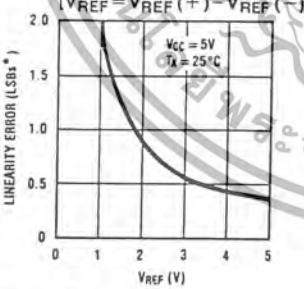
Accuracy vs t_{RD}



Accuracy vs t_p

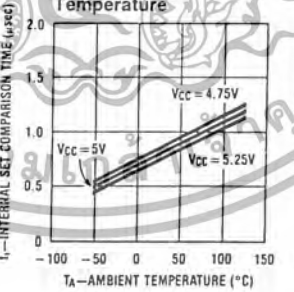


Accuracy vs V_{REF}
[$V_{REF} = V_{REF}(+) - V_{REF}(-)$]

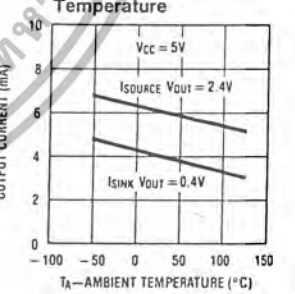


*1 LSB = $\frac{V_{REF}}{256}$

t_i, Internal Time Delay vs Temperature



Output Current vs Temperature



TL/H/5501–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range = GND≤V_{IN}≤V_{CC}
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3a* and *3b*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input—it is internally tied to GND through a 50 μA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 4*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3a* and *3b*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 3b*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3a*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3a* and *3b*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: GND≤$V_{REF}(-)$≤$V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-)$≤$V_{REF}(+)$≤V_{CC} (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figure 5*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 5a*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 5b*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B' - V_B$.

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 6*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 7*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

FIGURE 5a. Zeroing Phase

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator

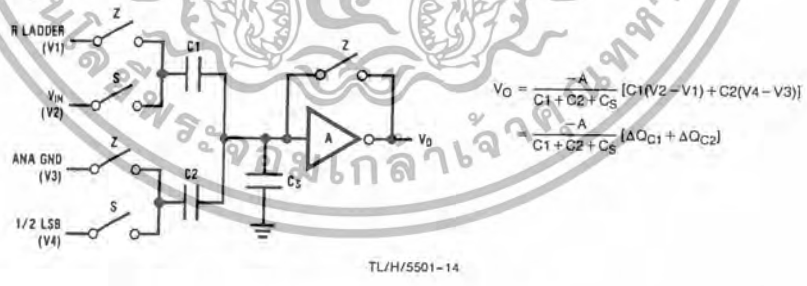


FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram

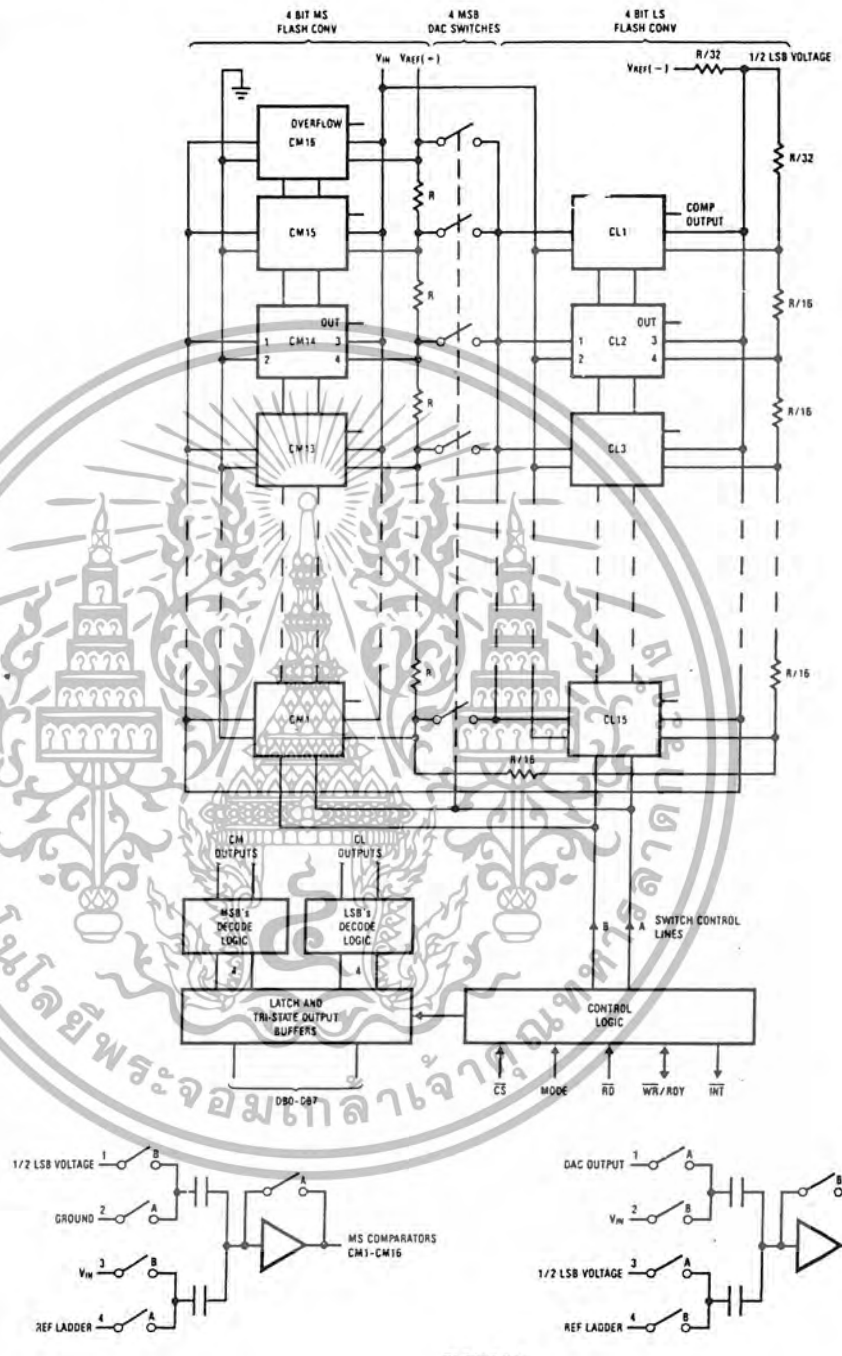


FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure B*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure B also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

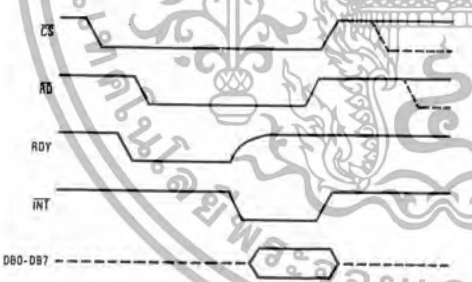
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)

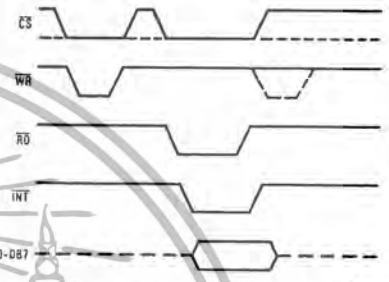


TL/H/5501-16

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure B*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure A*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.



TL/H/5501-17

FIGURE A. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

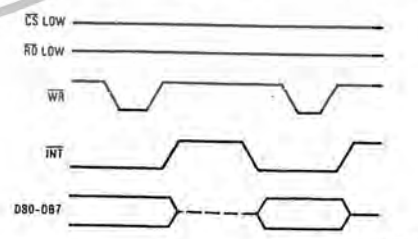
TL/H/5501-18

FIGURE B. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

Stand-Alone

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

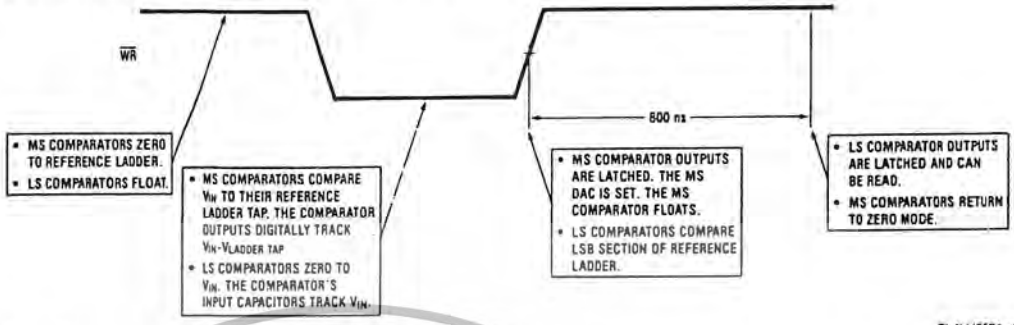
WR-RD Mode (Pin 7 is High) Stand-Alone Operation



TL/H/5501-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



TL/H/5501-20

Note: MS means most significant
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 μs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 6*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3a, 3b,* and *4*) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF}($V_{REF} = V_{REF}(+) - V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. *Figure 9* shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in *Figure 10a*. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

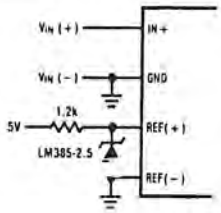
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in *Figure 10b*. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

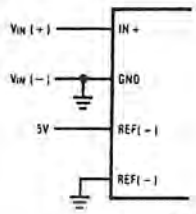
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



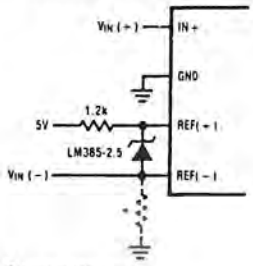
TL/H/5501-21

Power Supply as Reference



TL/H/5501-22

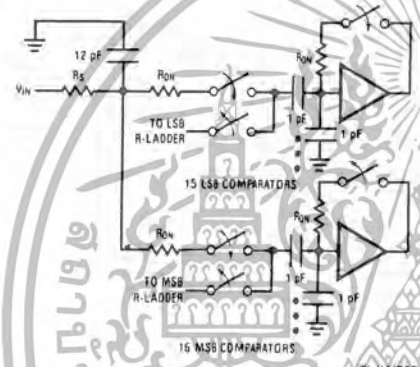
Input Not Referred to GND



*Current path must still exist from $V_{IN}(-)$ to ground

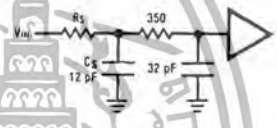
TL/H/5501-23

FIGURE 9. Analog Input Options



TL/H/5501-24

FIGURE 10a



TL/H/5501-25

FIGURE 10b

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

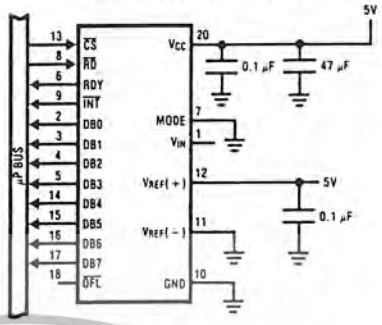
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μs, the time through which V_{IN} must be 1/2 LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/μs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

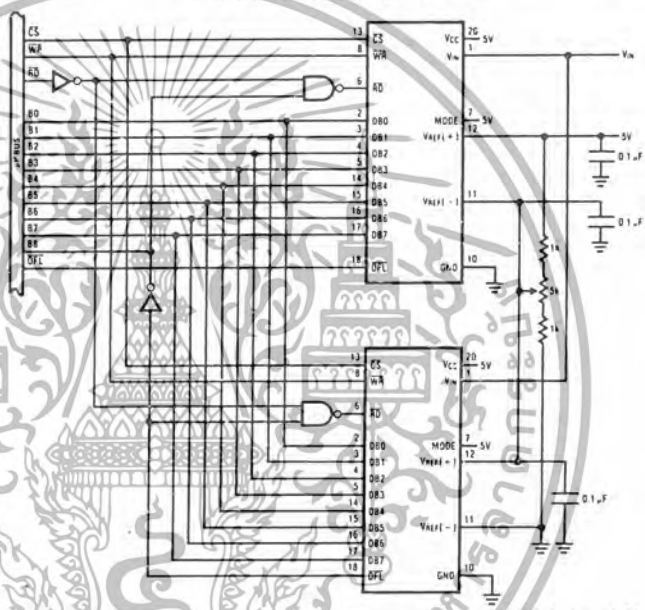
3.0 Typical Applications

8-Bit Resolution Configuration



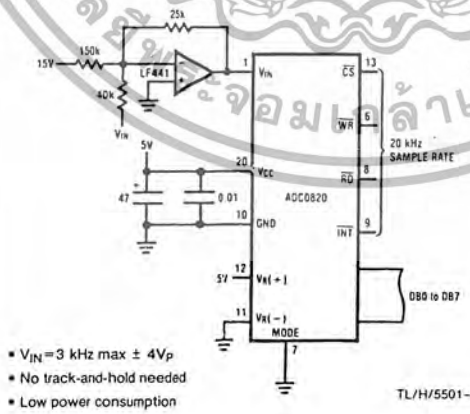
TL/H/5501–26

9-Bit Resolution Configuration



TL/H/5501–27

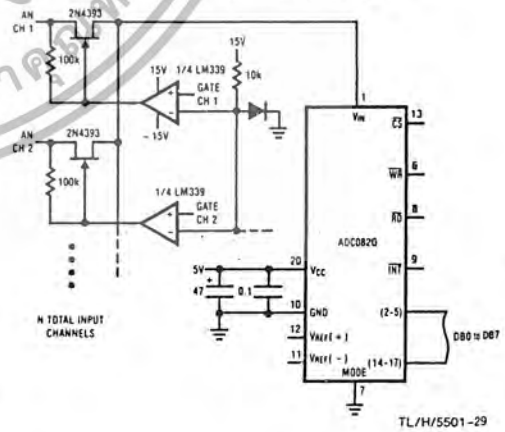
Telecom A/D Converter



- V_{IN} = 3 kHz max ± 4V_P
- No track-and-hold needed
- Low power consumption

TL/H/5501–28

Multiple Input Channels

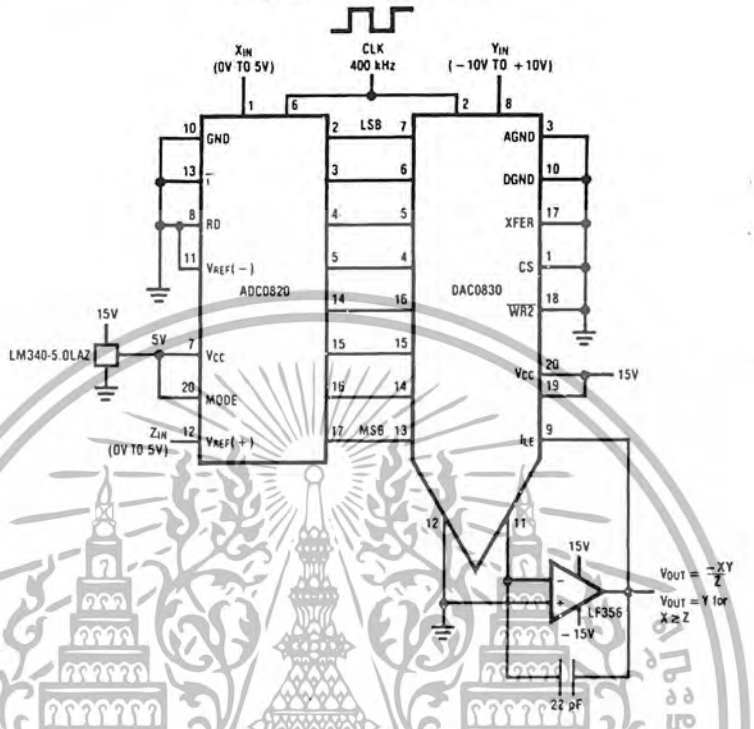


TL/H/5501–29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

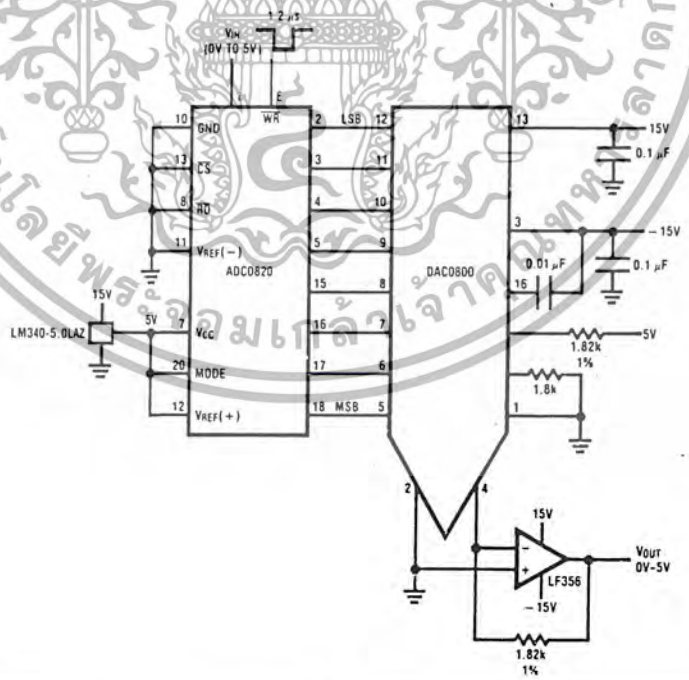
3.0 Typical Applications (Continued)

8-Bit 2-Quadrant Analog Multiplier



TL/H/5501-30

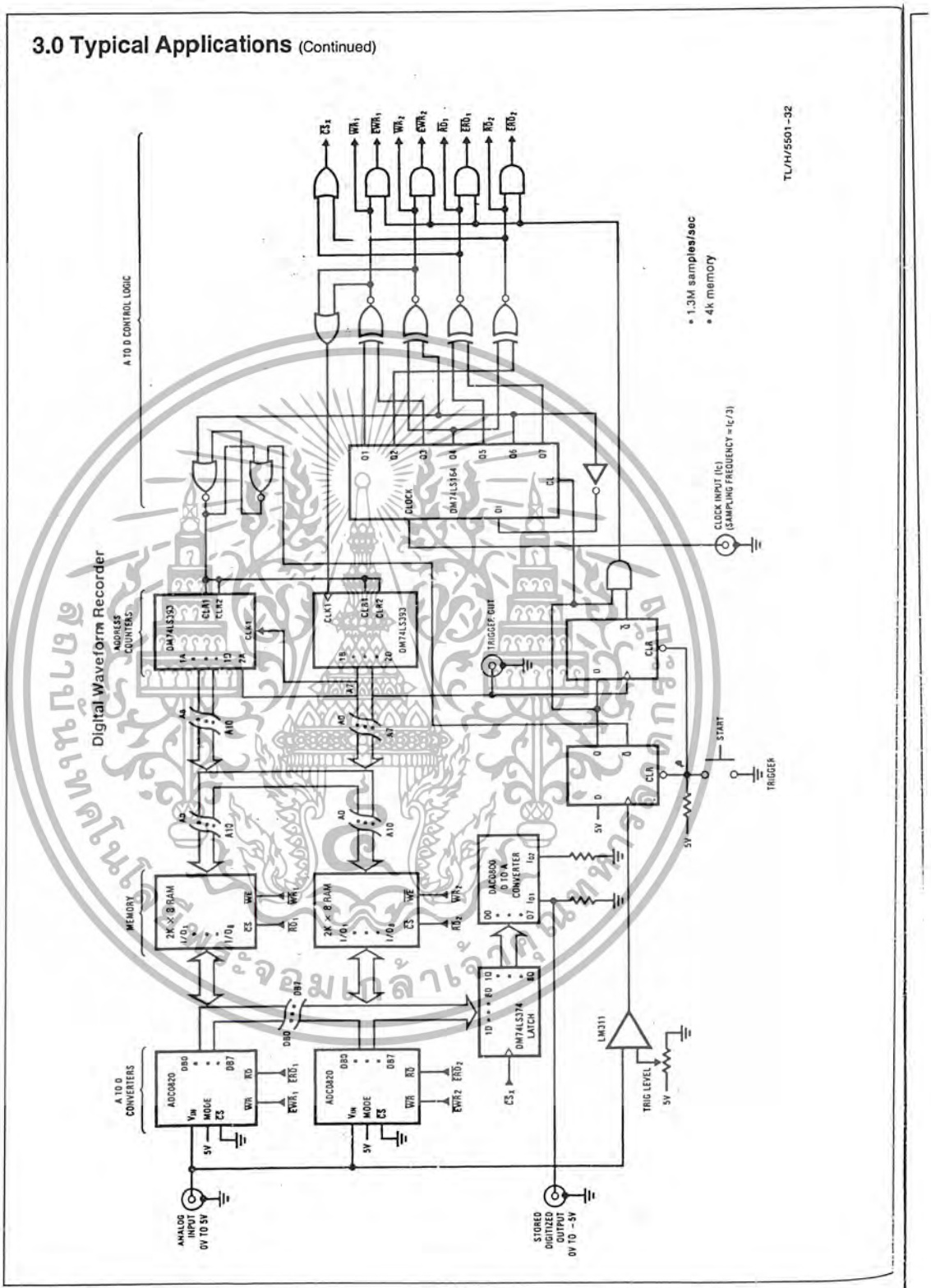
Fast Infinite Sample-and-Hold



TL/H/5501-31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CCJ	±1 LSB	J20A—Cerdip	−40°C to +85°C
ADC0820CCMSA		MSA20— Shrink Small Outline Package	0°C to +70°C
ADC0820CCV		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820CCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B—Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

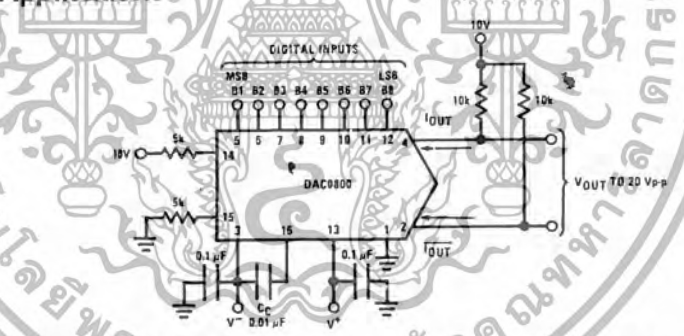
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay Each Bit	$T_A = 25°C$		35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
$I+$				2.3	3.8		2.3	3.8		2.3	3.8	mA
$I-$				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
$I+$				2.4	3.8		2.4	3.8		2.4	3.8	mA
$I-$				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
$I+$				2.5	3.8		2.5	3.8		2.5	3.8	mA
$I-$				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

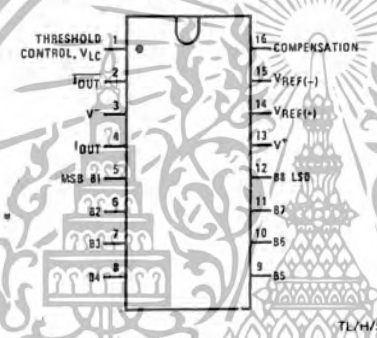
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

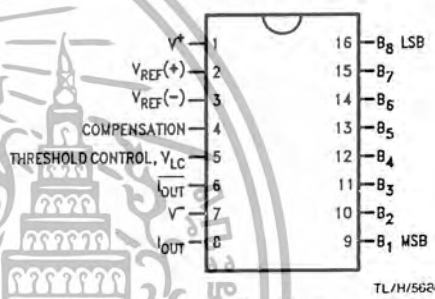


TL/H/5686–13

Top View

See Ordering Information

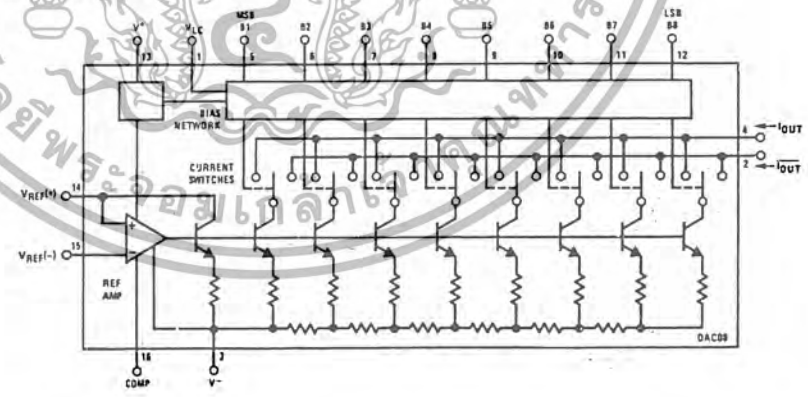
Small Outline Package



TL/H/5686–14

Top View

Block Diagram (Note 4)

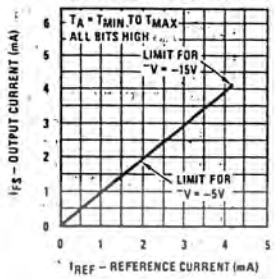


TL/H/5685–2

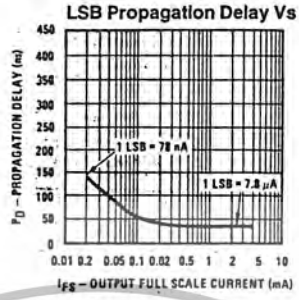
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

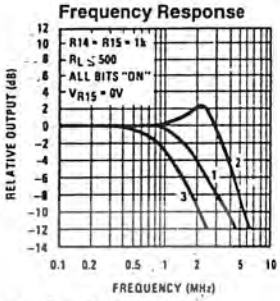
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

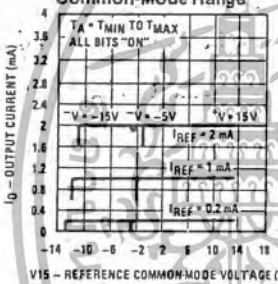


Curve 1: $C_C = 15$ pF, $V_{IN} = 2$ Vp-p centered at 1V.

Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

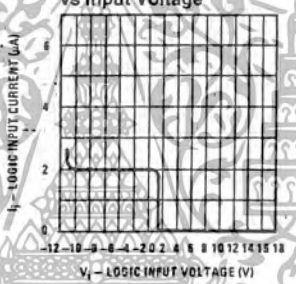
Curve 3: $C_C = 0$ pF, $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

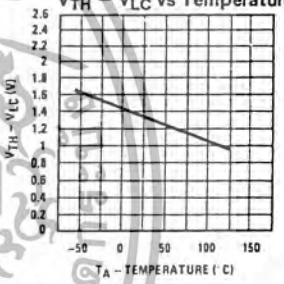


Note. Positive common-mode range is always (V+) − 1.5V

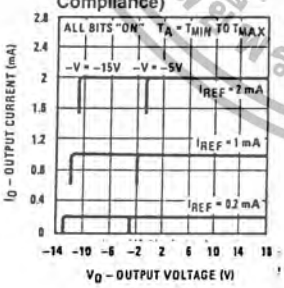
Logic Input Current vs Input Voltage



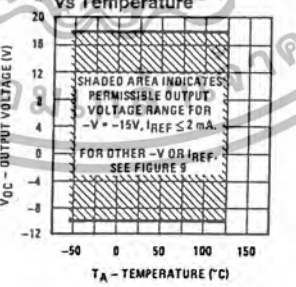
$V_{TH} - V_{LC}$ vs Temperature



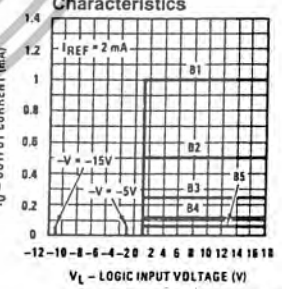
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



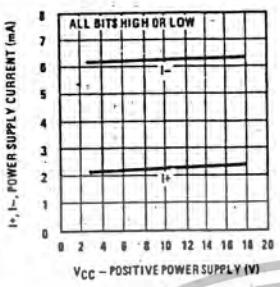
TL/H/5686-3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

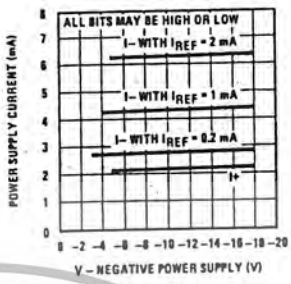
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

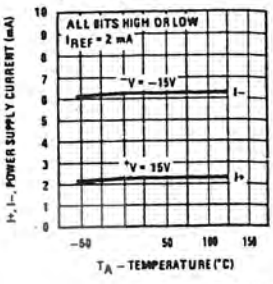
Power Supply Current vs $+V$



Power Supply Current vs $-V$

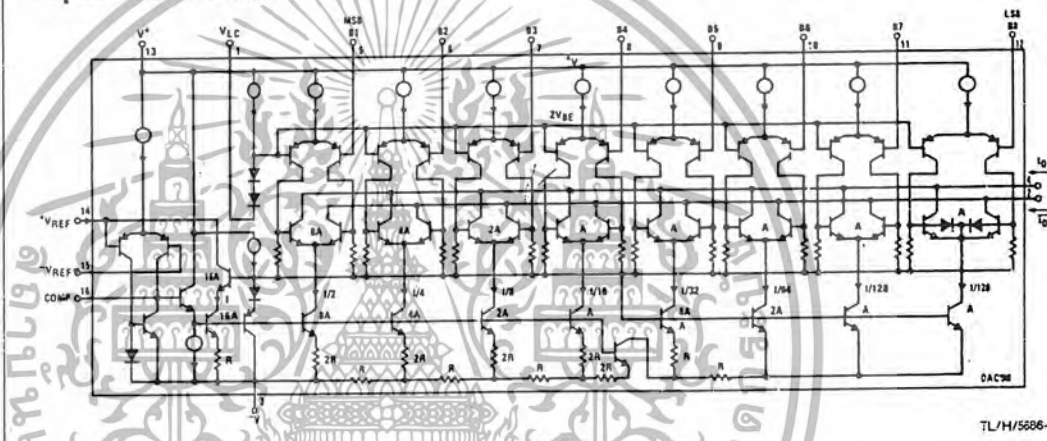


Power Supply Current vs Temperature



TL/H/5686–4

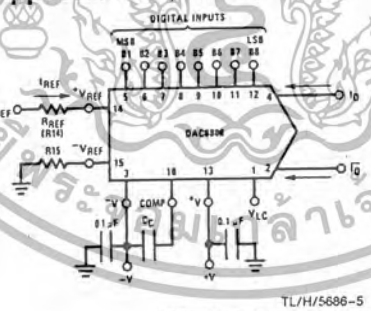
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

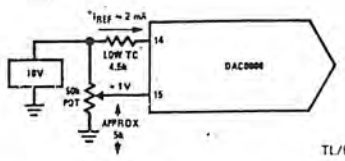
$R15 \approx R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

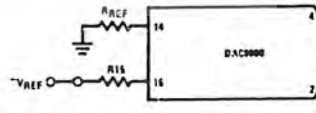
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

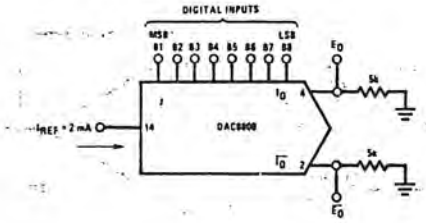
$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

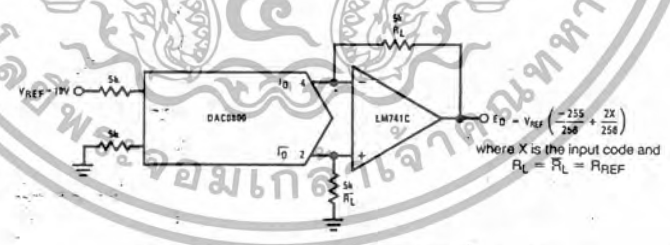
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

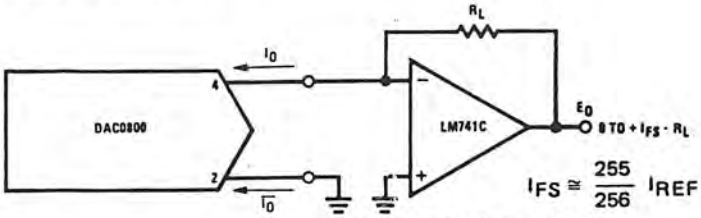
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

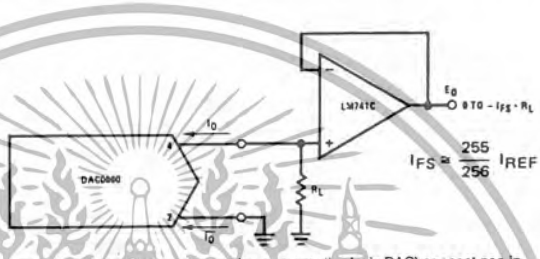
Typical Applications (Continued)



TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

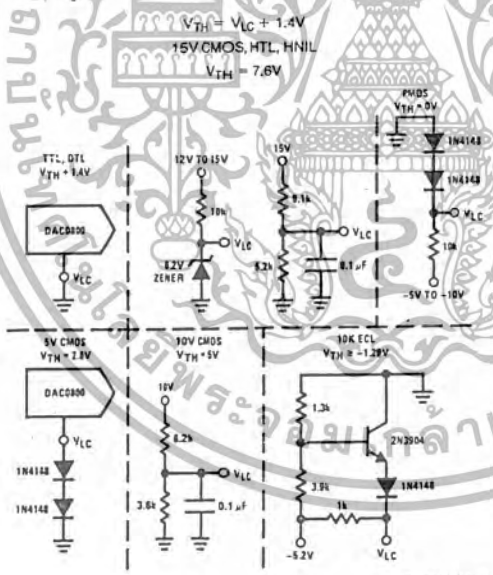
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

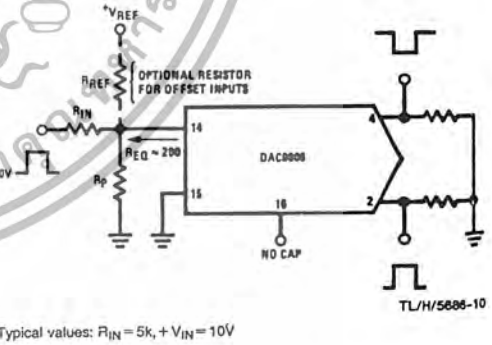
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5686–10

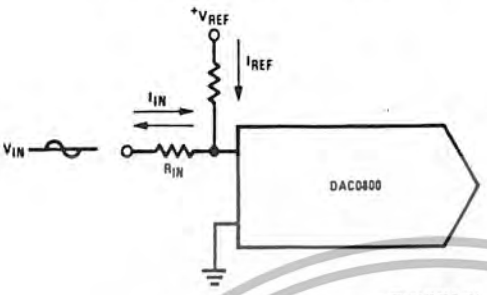
Typical values: $R_{IN} = 5k, +V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

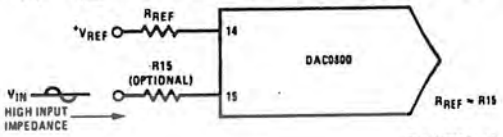
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



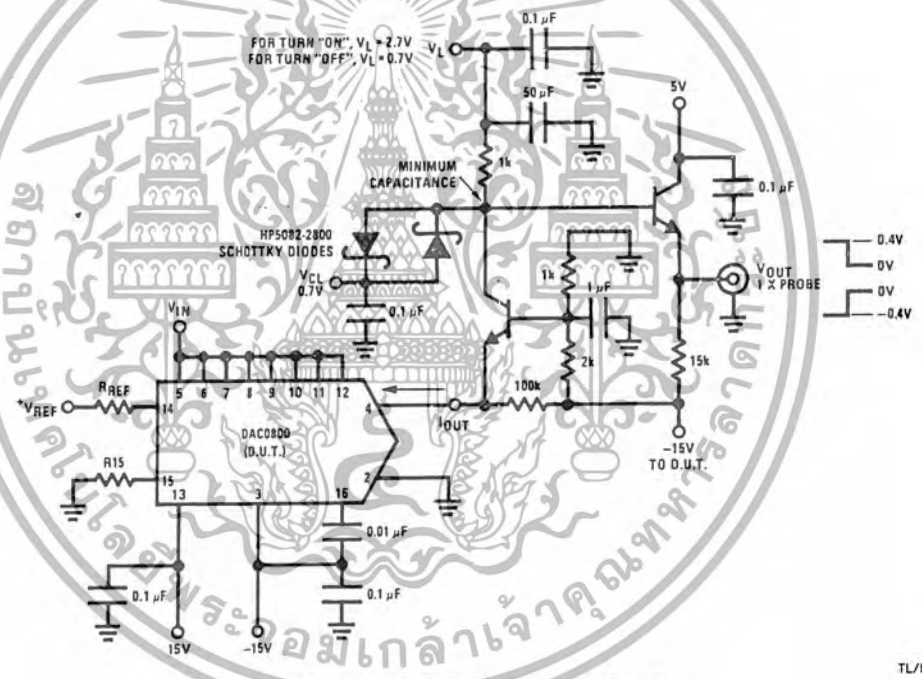
(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

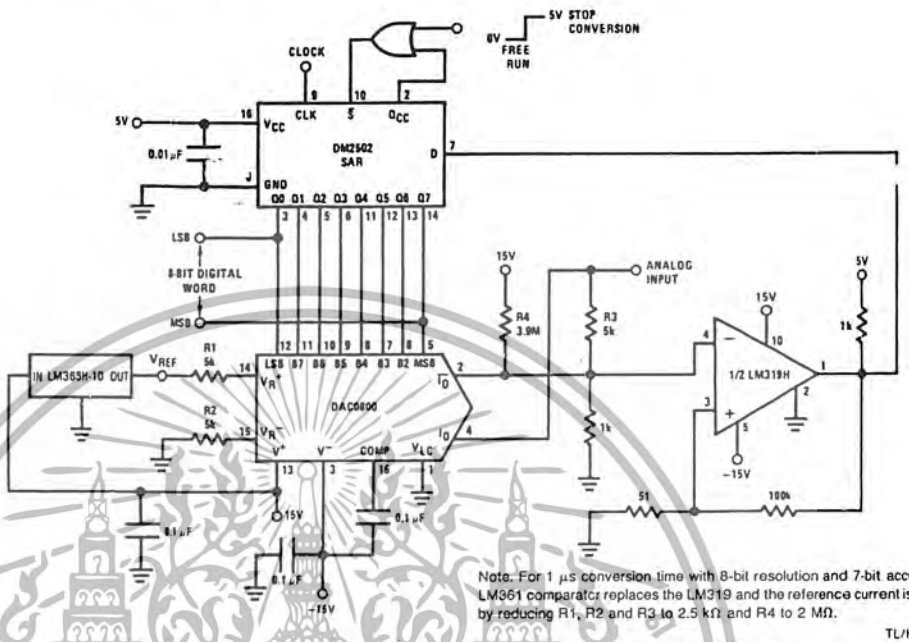


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–9

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC589A

8-Bit Serial or Parallel-Input/Serial-Output Shift Register with 3-State Output

High–Performance Silicon–Gate CMOS

ON Semiconductor™

http://onsemi.com

The MC74HC589A device consists of an 8–bit storage latch which feeds parallel data to an 8–bit shift register. Data can also be loaded serially (see the Function Table). The shift register output, Q_H, is a three–state output, allowing this device to be used in bus–oriented systems.

The HC589A directly interfaces with the SPI serial data port on CMOS MPUs and MCUs.

- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 526 FETs or 131.5 Equivalent Gates

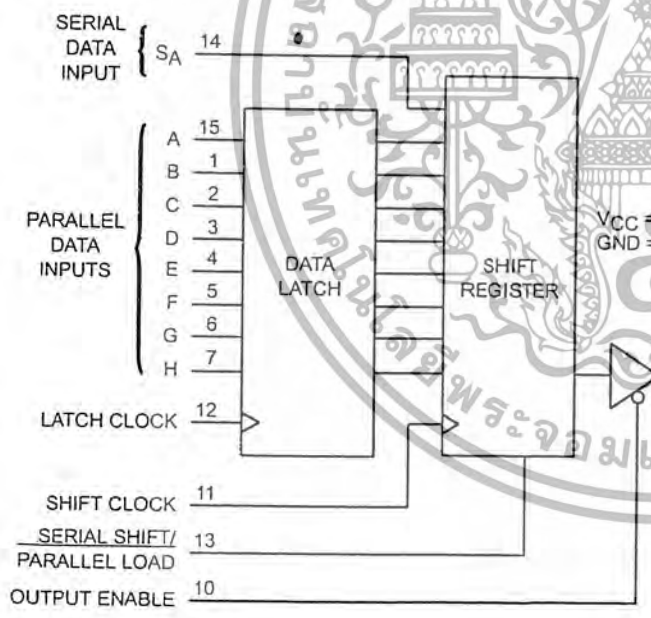
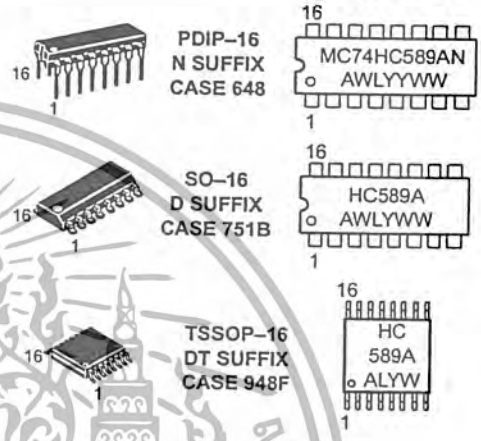


Figure 1. Logic Diagram

MARKING DIAGRAMS



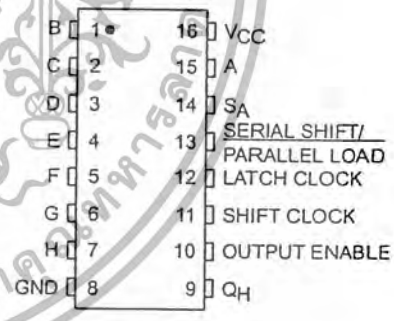


Figure 2. Pin Assignment

ORDERING INFORMATION

Device	Package	Shipping
MC74HC589AN	PDIP–16	2000/Box
MC74HC589AD	SOIC–16	48/Rail
MC74HC589ADR2	SOIC–16	2500/Reel
MC74HC589ADT	TSSOP–16	96/Rail
MC74HC589ADTR2	TSSOP–16	2500/Reel

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Note 1)

Symbol	Parameter		Value	Unit
V_{CC}	DC Supply Voltage	(Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage	(Referenced to GND)	−0.5 ≤ V_{CC} +0.5	V
V_{out}	DC Output Voltage	(Referenced to GND)	−0.5 ≤ V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin		±20	mA
I_{out}	DC Output Current, per Pin		±35	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins		±75	mA
I_{GND}	DC Ground Current per Ground Pin		±75	mA
T_{STG}	Storage Temperature Range		−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		260	°C
T_J	Junction Temperature Under Bias		+150	°C
θ_{JA}	Thermal Resistance	PDIP SOIC TSSOP	78 112 148	°C/W
P_D	Power Dissipation in Still Air at 85°C	PDIP SOIC TSSOP	750 500 450	mW
MSL	Moisture Sensitivity		Level 1	
F_R	Flammability Rating	Oxygen Index: 30% – 35%	UL–94–VO (0.125 in)	
V_{ESD}	ESD Withstand Voltage	Human Body Model (Note 2) Machine Model (Note 3) Charged Device Model (Note 4)	>4000 >200 >1000	V
$I_{LATCH-UP}$	Latch–Up Performance	Above V_{CC} and Below GND at 85°C (Note 5)	±300	mA

1. Absolute maximum continuous ratings are those values beyond which damage to the device may occur. Extended exposure to these conditions or conditions beyond those indicated may adversely affect device reliability. Functional operation under absolute maximum–rated conditions is not implied.
2. Tested to EIA/JESD22–A114–A.
3. Tested to EIA/JESD22–A115–A.
4. Tested to JESD22–C101–A.
5. Tested to EIA/JESD78.
6. For high frequency or heavy load considerations, see the ON Semiconductor High–Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage	(Referenced to GND)	2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage	(Referenced to GND)	0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V V_{CC} = 3.0 V V_{CC} = 4.5 V V_{CC} = 6.0 V	0 0 0	1000 800 500 400	ns

7. Unused inputs may not be left open. All inputs must be tied to a high–logic voltage level or a low–logic input voltage level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND, Note 8)*

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				– 55°C to 25°C	≤85°C	≤125°C	
V_{IH}	Minimum High–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0 3.0 4.5 6.0	1.5 2.1 3.15 4.2	1.5 2.1 3.15 4.2	1.5 2.1 3.15 4.2	V
V_{IL}	Maximum Low–Level Input Voltage	V_{out} = 0.1 V or V_{CC} – 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0 3.0 4.5 6.0	0.5 0.9 1.35 1.8	0.5 0.9 1.35 1.8	0.5 0.9 1.35 1.8	V
V_{OH}	Minimum High–Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 2.4$ mA $\|I_{out}\| \le 6.0$ mA $\|I_{out}\| \le 7.8$ mA	3.0 4.5 6.0	2.48 3.98 5.48	2.34 3.84 5.34	2.20 3.70 5.20	
V_{OL}	Maximum Low–Level Output Voltage	$V_{in} = V_{IH}$ $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 2.4$ mA $\|I_{out}\| \le 6.0$ mA $\|I_{out}\| \le 7.8$ mA	3.0 4.5 6.0	0.26 0.26 0.26	0.33 0.33 0.33	0.40 0.40 0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{OZ}	Maximum Three–State Leakage Current	Output in High–Impedance State $V_{in} = V_{IL}$ or V_{IH} $V_{out} = V_{CC}$ or GND	6.0	±0.5	±5.0	±10	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND I_{out} = 0 μA	6.0	4	40	160	μA

8. Information on typical parametric values can be found in the ON Semiconductor High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns, Notes 9 and 10)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			−55°C to 25°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 2 and 8)	2.0 3.0 4.5 6.0	6.0 15 30 35	4.8 10 24 28	4.0 8.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Latch Clock to Q_H (Figures 1 and 8)	2.0 3.0 4.5 6.0	175 100 40 30	225 110 50 40	275 125 60 50	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Shift Clock to Q_H (Figures 2 and 8)	2.0 3.0 4.5 6.0	160 90 30 25	200 130 40 30	240 160 48 40	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Serial Shift/Parallel Load to Q_H (Figures 4 and 8)	2.0 3.0 4.5 6.0	160 90 30 25	200 130 40 30	240 160 48 40	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, Output Enable to Q_H (Figures 3 and 9)	2.0 3.0 4.5 6.0	150 80 27 23	170 100 30 25	200 130 40 30	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, Output Enable to Q_H (Figures 3 and 9)	2.0 3.0 4.5 6.0	150 80 27 23	170 100 30 25	200 130 40 30	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 8)	2.0 3.0 4.5 6.0	60 23 12 10	75 27 15 13	90 31 18 15	ns
C_{in}	Maximum Input Capacitance	–	10	10	10	pF
C_{out}	Maximum Three−State Output Capacitance (Output in High−Impedance State)	–	15	15	15	pF

9. For propagation delays with loads other than 50 pF, see the ON Semiconductor High−Speed CMOS Data Book (DL129/D).
10. Information on typical parametric values can be found in the ON Semiconductor High−Speed CMOS Data Book (DL129/D).

		Typical @ 25°C, V_{CC} = 5.0 V	
C_{PD}	Power Dissipation Capacitance (per Package)*	50	pF

*Used to determine the no−load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see the ON Semiconductor High−Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns, Note 11)

Symbol	Parameter	V_{CC} V	Guaranteed Limit −55°C to 25°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
t_{su}	Minimum Setup Time, A–H to Latch Clock (Figure 5)	2.0	100	125	150	ns
		3.0	40	50	60	
		4.5	20	25	30	
		6.0	17	21	26	
t_{su}	Minimum Setup Time, Serial Data Input S_A to Shift Clock (Figure 6)	2.0	100	125	150	ns
		3.0	40	50	60	
		4.5	20	25	30	
		6.0	17	21	26	
t_{su}	Minimum Setup Time, Serial Shift/Parallel Load to Shift Clock (Figure 7)	2.0	100	125	150	ns
		3.0	40	50	60	
		4.5	20	25	30	
		6.0	17	21	26	
t_h	Minimum Hold Time, Latch Clock to A–H (Figure 5)	2.0	25	30	40	ns
		3.0	10	12	15	
		4.5	5	6	8	
		6.0	5	6	7	
t_h	Minimum Hold Time, Shift Clock to Serial Data Input S_A (Figure 6)	2.0	5	5	5	ns
		3.0	5	5	5	
		4.5	5	5	5	
		6.0	5	5	5	
t_w	Minimum Pulse Width, Shift Clock (Figure 2)	2.0	75	95	110	ns
		3.0	40	50	60	
		4.5	15	19	23	
		6.0	13	16	19	
t_w	Minimum Pulse Width, Latch Clock (Figure 1)	2.0	80	100	120	ns
		3.0	40	50	60	
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Serial Shift/Parallel Load (Figure 4)	2.0	80	100	120	ns
		3.0	40	50	60	
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		3.0	800	800	800	
		4.5	500	500	500	
		6.0	400	400	400	

11. Information on typical parametric values can be found in the ON Semiconductor High–Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION TABLE

Operation	Inputs						Resulting Function		
	Output Enable	Serial Shift/ Parallel Load	Latch Clock	Shift Clock	Serial Input S_A	Parallel Inputs A–H	Data Latch Contents	Shift Register Contents	Output Q_H
Force Output into High Impedance State	H	X	X	X	X	X	X	X	Z
Load Parallel Data into Data Latch	L	H	↑	L, H, ↓	X	a–h	a–h	U	U
Transfer Latch Contents to Shift Register	L	L	L, H, ↓	X	X	X	U	$LR_N \rightarrow SR_N$	LR_H
Contents of Input Latch and Shift Register are Unchanged	L	H	L, H, ↓	L, H, ↓	X	X	U	U	U
Load Parallel Data into Data Latch and Shift Register	L	L	↑	X	X	a–h	a–h	a–h	h
Shift Serial Data into Shift Register	L	H	X	↑	D	X	*	$SR_A = D$, $SR_N \rightarrow SR_{N+1}$	$SR_G \rightarrow SR_H$
Load Parallel Data in Data Latch and Shift Serial Data into Shift Register	L	H	↑	↑	D	a–h	a–h	$SR_A = D$, $SR_N \rightarrow SR_{N+1}$	$SR_G \rightarrow SR_H$

LR = latch register contents
SR = shift register contents
a–h = data at parallel data inputs A–H
D = data (L, H) at serial data input S_A

U = remains unchanged
X = don't care
Z = high impedance
* = depends on Latch Clock input

Switching Waveforms

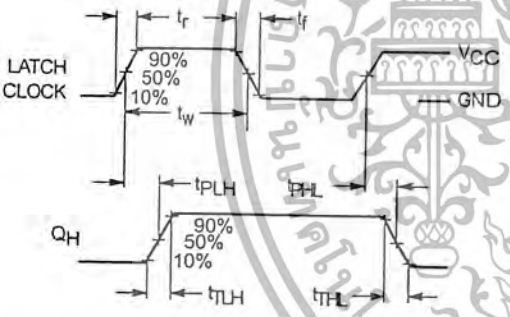


Figure 3. (Serial Shift/Parallel Load = L)

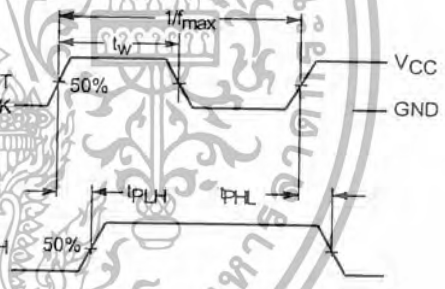


Figure 4. (Serial Shift/Parallel Load = H)

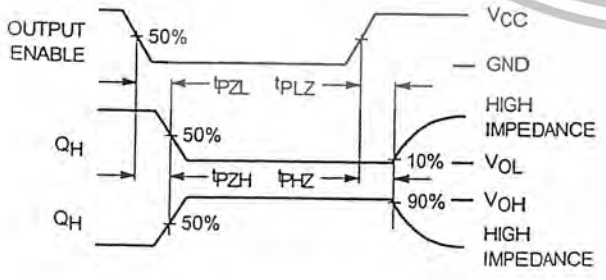


Figure 5.

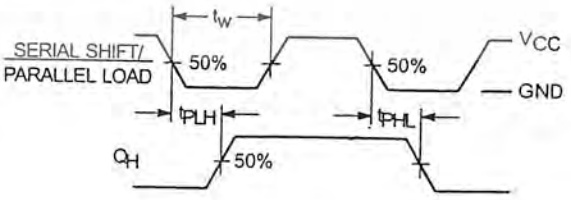


Figure 6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Waveforms

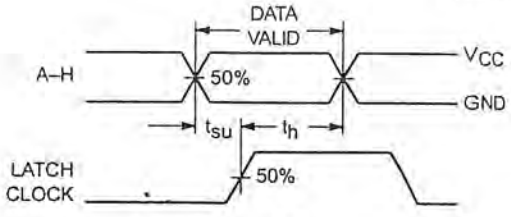


Figure 7.

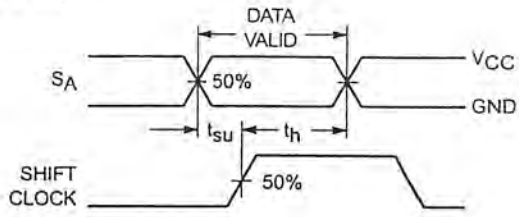


Figure 8.

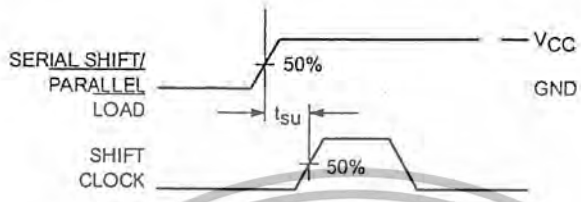
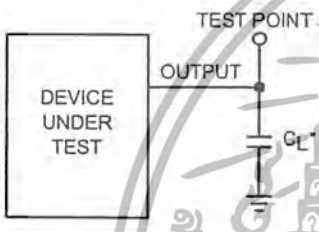


Figure 9.



*Includes all probe and jig capacitance.

Figure 10. Test Circuit

*Includes all probe and jig capacitance.

Figure 11. Test Circuit

Pin Descriptions

Data Inputs

A, B, C, D, E, F, G, H (Pins 15, 1, 2, 3, 4, 5, 6, 7)

Parallel data inputs. Data on these inputs are stored in the data latch on the rising edge of the Latch Clock input.

S_A (Pin 14)

Serial data input. Data on this input is shifted into the shift register on the rising edge of the Shift Clock input if Serial Shift/Parallel Load is high. Data on this input is ignored when Serial Shift/Parallel Load is low.

Control Inputs

Serial Shift/Parallel Load (Pin 13)

Shift register mode control. When a high level is applied to this pin, the shift register is allowed to serially shift data. When a low level is applied to this pin, the shift register accepts parallel data from the data latch.

Shift Clock (Pin 11)

Serial shift clock. A low–to–high transition on this input shifts data on the serial data input into the shift register and data in stage H is shifted out Q_H, being replaced by the data previously stored in stage G.

Latch Clock (Pin 12)

Data latch clock. A low–to–high transition on this input loads the parallel data on inputs A–H into the data latch.

Output Enable (Pin 10)

Active–low output enable A high level applied to this pin forces the Q_H output into the high impedance state. A low level enables the output. This control does not affect the state of the input latch or the shift register.

Output

Q_H (Pin 9)

Serial data output. This pin is the output from the last stage of the shift register. This is a 3–state output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

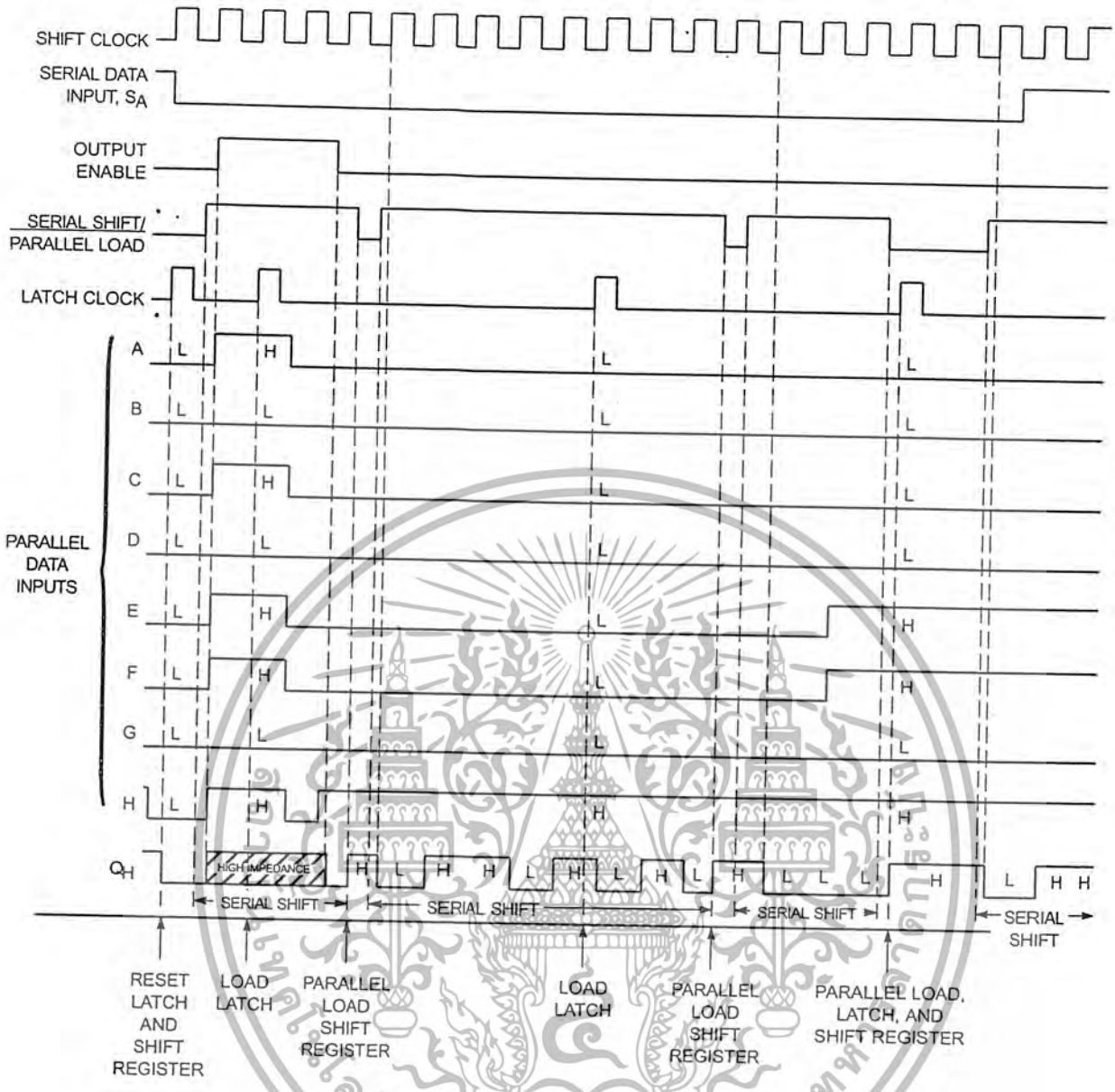


Figure 12. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

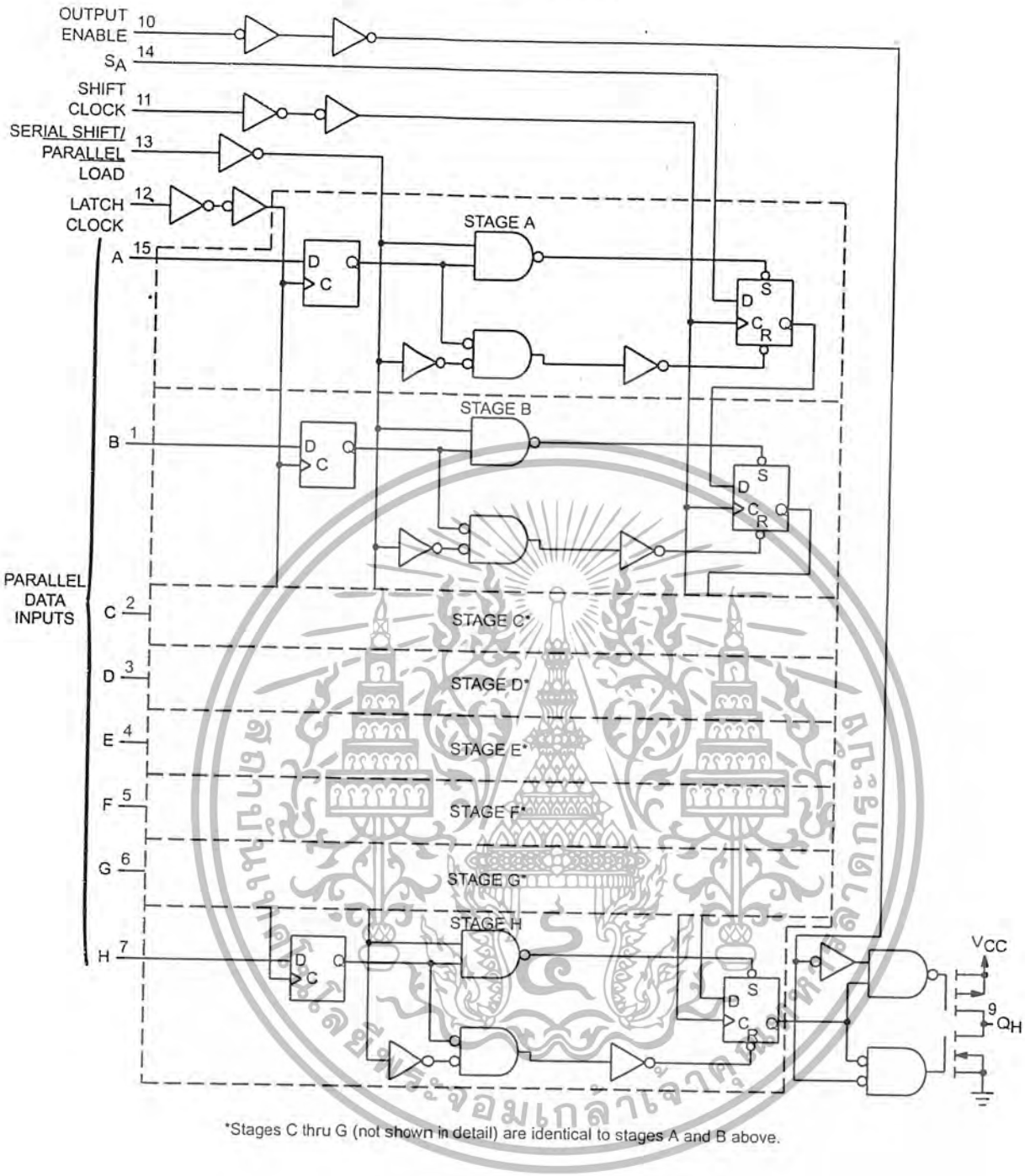


Figure 13. Logic Detail

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC595

8-Bit Serial-Input/Serial- or Parallel-Output Shift Register with Latched 3-State Outputs

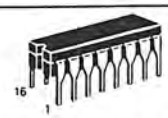
High-Performance Silicon-Gate CMOS

The MC54/74HC595 is identical in pinout to the LS595. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC595 consists of an 8-bit serial shift register and an 8-bit D-type latch with three-state parallel outputs. The shift register accepts serial data and provides a serial output. The shift register also provides parallel data to the 8-bit latch. The shift register and latch have independent clock inputs. This device also has an asynchronous reset for the shift register.

The HC595 directly interfaces with the Motorola SPI serial data port on CMOS MPUs and MCUs.

- Output Drive Capability: 15 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 328 FETs or 82 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620

N SUFFIX
PLASTIC
CASE 648

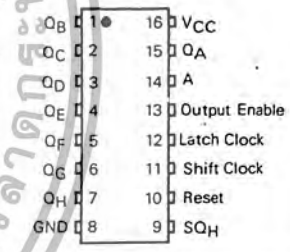
D SUFFIX
SOIC
CASE 751B-01

ORDERING INFORMATION

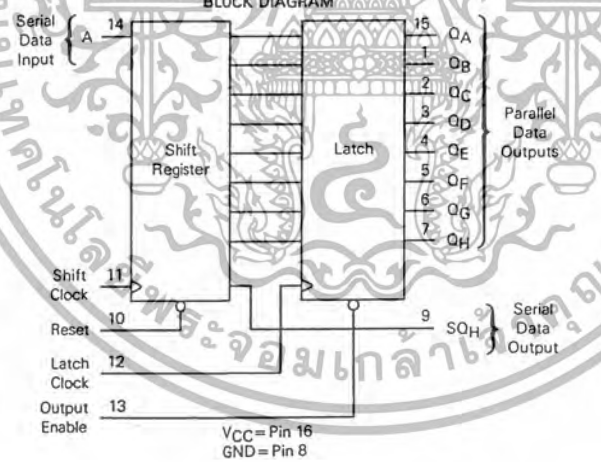
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 7.

PIN ASSIGNMENT



BLOCK DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC}+1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC}+0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±35	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±75	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4 subject listing on page 4-2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit			Unit
					25°C to −55°C	≤85°C	≤125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	0.3	0.3	0.3	V
				4.5	0.9	0.9	0.9	
				6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage, Q_A-Q_H	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 6.0 mA	4.5	3.98	3.84	3.70	
			$\|I_{out}\|$ ≤ 7.8 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage, Q_A-Q_H	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 6.0 mA	4.5	0.26	0.33	0.40	
			$\|I_{out}\|$ ≤ 7.8 mA	6.0	0.26	0.33	0.40	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Continued)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{OH}	Minimum High-Level Output Voltage, SO_H	$V_{in}=V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		$V_{in}=V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\lvert I_{out}\rvert \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage, SO_H	$V_{in}=V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		$V_{in}=V_{IH}$ or V_{IL} $\lvert I_{out}\rvert \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\lvert I_{out}\rvert \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	$V_{in}=V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{OZ}	Maximum Three-State Leakage Current, Q_A-Q_H	Output in High-Impedance State $V_{in}=V_{IL}$ or V_{IH} $V_{out}=V_{CC}$ or GND	6.0	±0.5	±5.0	±10.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in}=V_{CC}$ or GND $I_{out}=0\ \mu A$	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

AC ELECTRICAL CHARACTERISTICS ($C_L=50$ pF, Input $t_r=t_f=6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 7)	2.0	6.0	4.8	4.0	MHz
		4.5	30	24	20	
		6.0	35	28	24	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Shift Clock to SO_H (Figures 1 and 7)	2.0	210	265	315	ns
		4.5	42	53	63	
		6.0	36	45	54	
t_{PHL}	Maximum Propagation Delay, Reset to SO_H (Figures 2 and 7)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Latch Clock to Q_A-Q_H (Figures 3 and 7)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, Output Enable to Q_A-Q_H (Figures 4 and 8)	2.0	150	190	225	ns
		4.5	30	38	45	
		6.0	26	33	38	
t_{PZL}, t_{PZH}	Maximum Propagation Delay, Output Enable to Q_A-Q_H (Figures 4 and 8)	2.0	150	190	225	ns
		4.5	30	38	45	
		6.0	26	33	38	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Q_A-Q_H (Figures 3 and 7)	2.0	60	75	90	ns
		4.5	12	15	18	
		6.0	10	13	15	
t_{TLH}, t_{THL}	Maximum Output Transition Time, SO_H (Figures 1 and 7)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF
C_{out}	Maximum Three-State Output Capacitance (Output in High-Impedance State), Q_A-Q_H	—	15	15	15	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4 subject listing on page 4-2.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D=C_{PD}V_{CC}^2f+I_{CC}V_{CC}$ For load considerations, see Chapter 4 subject listing on page 4-2.	Typical @ 25°C, V_{CC}=5.0 V: 300	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Serial Data Input A to Shift Clock (Figure 5)	2.0	100	125	150	ns
		4.5	20	25	30	
		6.0	17	21	26	
t_{su}	Minimum Setup Time, Shift Clock to Latch Clock (Figure 6)	2.0	100	125	150	ns
		4.5	20	25	30	
		6.0	17	21	26	
t_h	Minimum Hold Time, Shift Clock to Serial Data Input A (Figure 5)	2.0	5	5	5	ns
		4.5	5	5	5	
		6.0	5	5	5	
t_{rec}	Minimum Recovery Time, Reset Inactive to Shift Clock (Figure 2)	2.0	50	65	75	ns
		4.5	10	13	15	
		6.0	9	11	13	
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Shift Clock (Figure 1)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Latch Clock (Figure 6)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

FUNCTION TABLE

Operation	Inputs					Resulting Function			
	Reset	Serial Input A	Shift Clock	Latch Clock	Output Enable	Shift Register Contents	Latch Register Contents	Serial Output SQ_H	Parallel Outputs Q_A-Q_H
Reset shift register	L	X	X	L, H, ↘	L	L	U	L	U
Shift data into shift register	H	D	↗	L, H, ↘	L	$D \rightarrow SR_A$; $SR_N \rightarrow SR_{N+1}$	U	$SR_G \rightarrow SR_H$	U
Shift register remains unchanged	H	X	L, H, ↘	L, H, ↘	L	U	U	U	U
Transfer shift register contents to latch register	H	X	L, H, ↘	↗	L	U	$SR_N \rightarrow LR_N$	U	SR_N
Latch register remains unchanged	X	X	X	L, H, ↘	L	*	U	*	U
Enable parallel outputs	X	X	X	X	L	*	**	*	Enabled
Force outputs into high-impedance state	X	X	X	X	H	*	**	*	Z

SR = shift register contents
LR = latch register contents
D = data (L, H) logic level
U = remains unchanged
X = don't care
Z = high impedance
* = depends on Reset and Shift Clock inputs
** = depends on Latch Clock input

PIN DESCRIPTIONS

INPUTS

A (Pin 14) — Serial Data Input. The data on this pin is shifted into the 8-bit serial shift register.

CONTROL INPUTS

Shift Clock (Pin 11) — Shift Register Clock Input. A low-to-high transition on this input causes the data at the Serial Input pin to be shifted into the 8-bit shift register.

Reset (Pin 10) — Active-low, Asynchronous, Shift Register Reset Input. A low on this pin resets the shift register portion of this device only. The 8-bit latch is not affected.

Latch Clock (Pin 12) — Storage Latch Clock Input. A low-to-high transition on this input latches the shift register data.

Output Enable (Pin 13) — Active-low Output Enable. A low on this input allows the data from the latches to be presented at the outputs. A high on this input forces the outputs (Q_A-Q_H) into the high-impedance state. The serial output is not affected by this control input.

OUTPUTS

Q_A-Q_H (Pins 15, 1, 2, 3, 4, 5, 6, 7) — Noninverted, 3-state, latch outputs.

SQ_H (Pin 9) — Noninverted, Serial Data Output. This is the output of the eighth stage of the 8-bit shift register. This output does not have three-state capability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

FIGURE 1

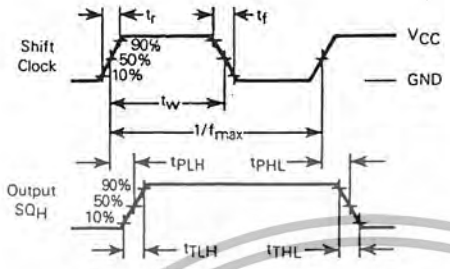


FIGURE 2

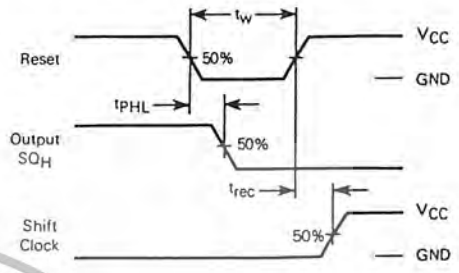


FIGURE 3

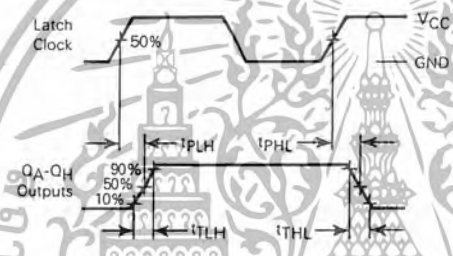


FIGURE 4

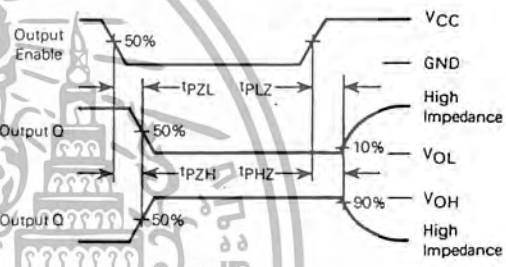


FIGURE 5

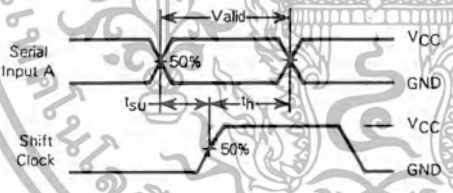


FIGURE 6

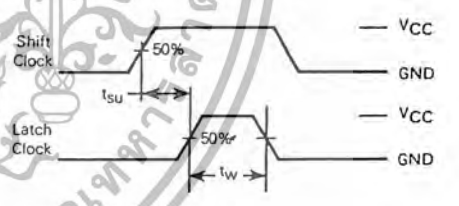
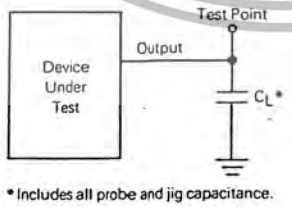
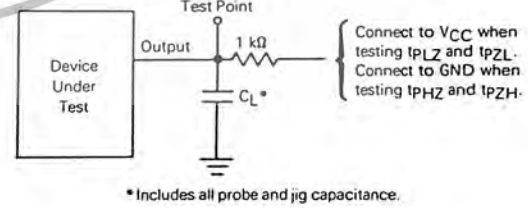


FIGURE 7 — TEST CIRCUIT



* Includes all probe and jig capacitance.

FIGURE 8 — TEST CIRCUIT

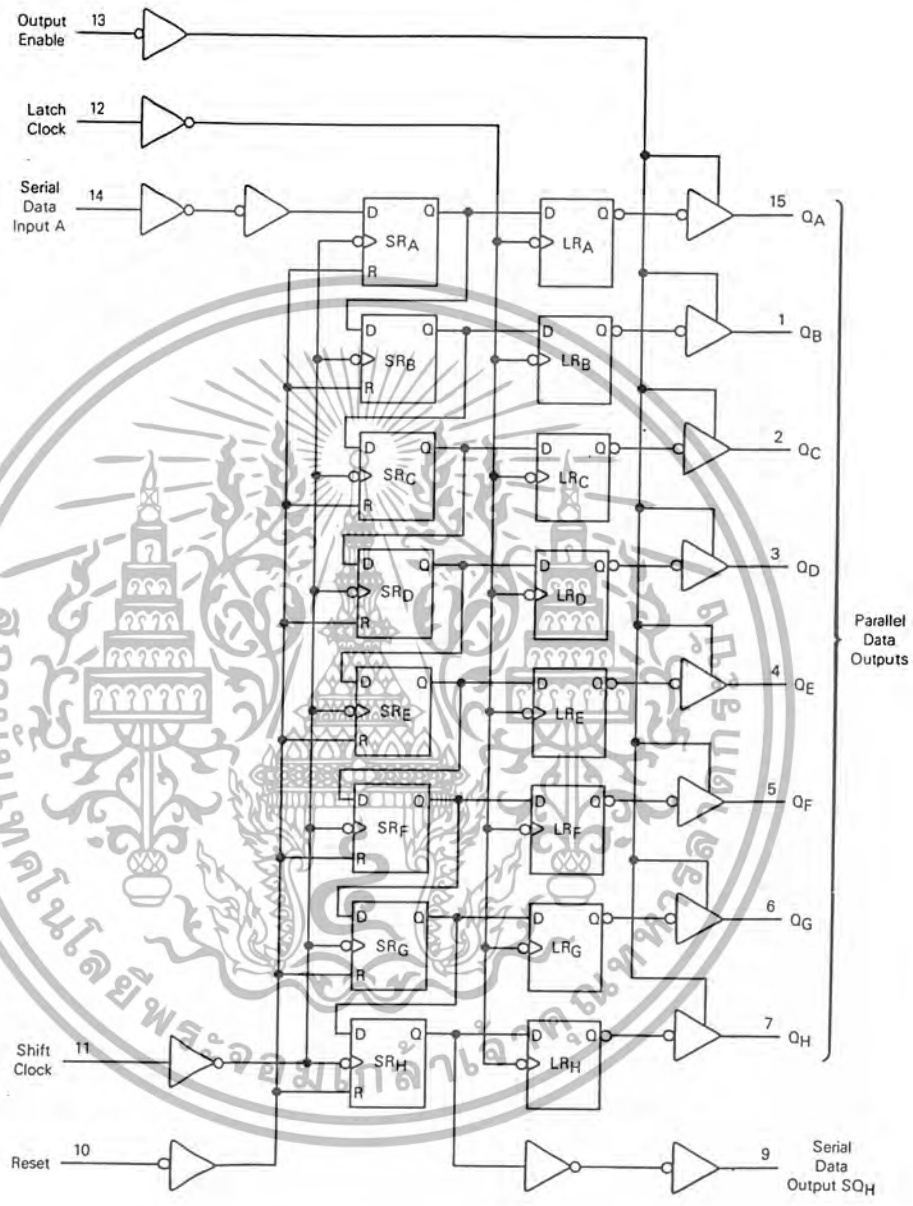


* Includes all probe and jig capacitance.

5

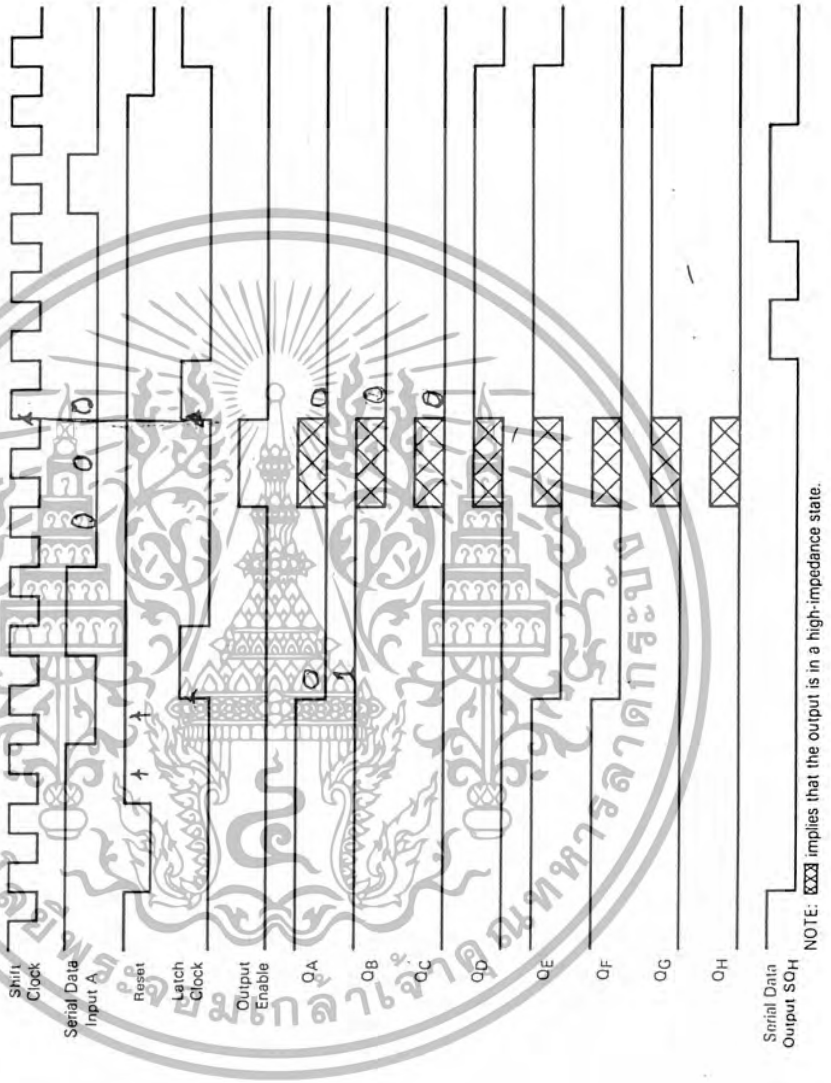
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

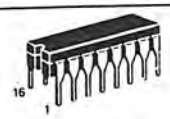
MC54/74HC4017

Decade Counter
High-Performance Silicon-Gate CMOS

The MC54/74HC4017 is identical in pinout to the standard CMOS MC14017B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4017 uses a five stage Johnson counter and decoding logic to provide high-speed operation. This device also has an active-high, as well as active-low clock input.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 176 FETs or 44 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620

N SUFFIX
PLASTIC
CASE 648

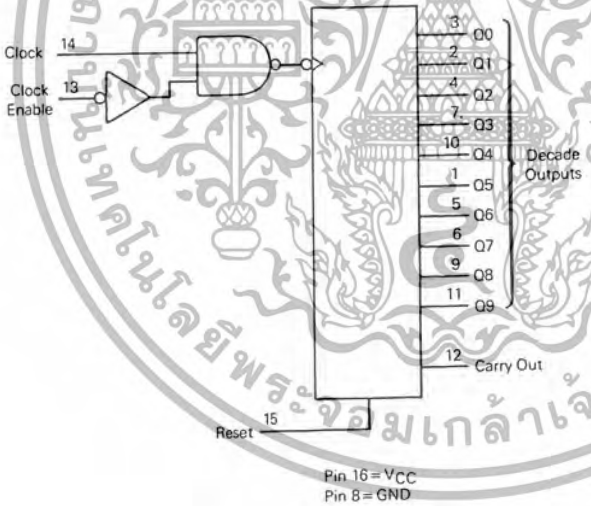
D SUFFIX
SOIC
CASE 751B-01

ORDERING INFORMATION

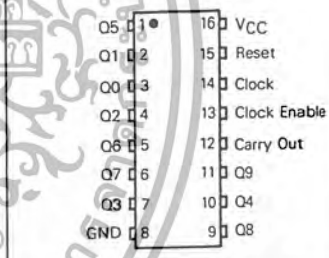
MC74HCXXXXN	Plastic
MC54HCXXXXJ	Ceramic
MC74HCXXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 7.

LOGIC DIAGRAM



PIN ASSIGNMENT



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC}+1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC}+0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4 subject listing on page 4-2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 9)	2.0 4.5 6.0	4.0 20 24	3.2 16 19	2.6 13 15	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q (Figures 1 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Carry Out (Figures 2 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}	Maximum Propagation Delay, Reset to Carry Out (Figures 3 and 9)	2.0 4.5 6.0	230 46 39	290 58 49	345 69 59	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Q (Figures 4 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock Enable to Carry Out (Figures 5 and 9)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 8 and 9)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4 subject listing on page 4-2.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4 subject listing on page 4-2.	Typical @ 25°C, V_{CC} = 5.0 V 35	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Clock Enable to Clock (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{su}	Minimum Setup Time, Clock Enable to Clock (Inhibit Count) (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_h	Minimum Hold Time, Clock to Clock Enable (Figure 6)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_{rec}	Minimum Recovery Time, Reset to Clock (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock Input (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset Input (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Clock Enable Input (Figure 4)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

FUNCTION TABLE

Clock	Clock Enable	Reset	Output State*
⊓	X	L	no change
X	H	L	no change
⊔	X	H	reset counter, Q0 = H, Q1 Q9 = L, C0 = H
⊔	L	L	advance to next state
⊓	⊓	L	no change
X	⊔	L	no change
H	⊔	L	advance to next state

X = Don't care

* Carry Out = H for Q0, Q1, Q2, Q3, or Q4 = H; Carry Out = L otherwise.

PIN DESCRIPTIONS

INPUTS

CLOCK (PIN 14) — Counter clock input. While Clock Enable is low, a low-to-high transition on this input advances the counter to its next state.

RESET (PIN 15) — Asynchronous counter reset input. A high level at this input initializes the counter and forces Q0 and Carry Out to a high, Q1-Q9 are forced to a low level.

CLOCK ENABLE (PIN 13) — Active-low clock enable input. A low level on this input allows the device to count. A high level on this input inhibits the counting operation. This input may also be used as a negative-edge clock input, using Clock (Pin 14) as an active-high enable pin.

OUTPUTS

Q0-Q9 (PINS 3, 2, 4, 7, 10, 1, 5, 6, 9, 11) — Decoded decade counter outputs. Each of these outputs is high for one clock period only.

CARRY OUT (PIN 12) — Cascading output pin. This output is used either as a cascading output or a symmetrical divide-by-ten output. This output goes low when a count of five is reached and high when the counter advances to zero or when reset. When the counters are cascaded this output provides a rising-edge signal for the clock input of the next counter stage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

FIGURE 1

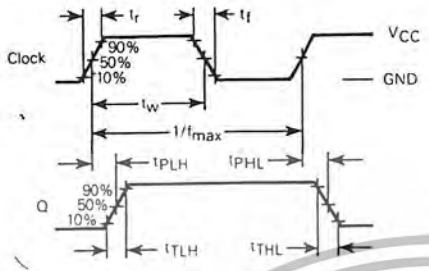


FIGURE 2

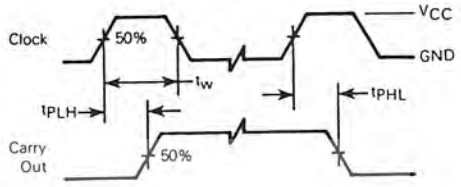


FIGURE 3

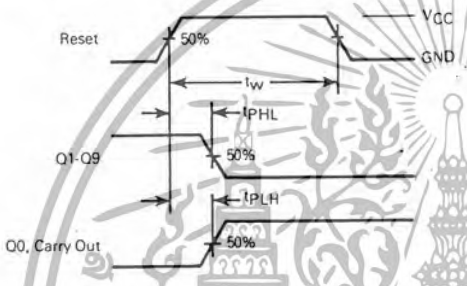


FIGURE 4

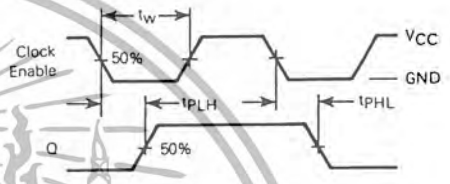


FIGURE 5

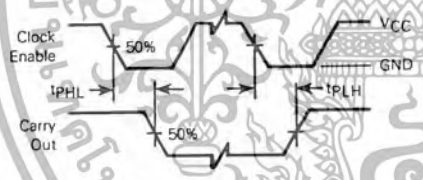


FIGURE 6

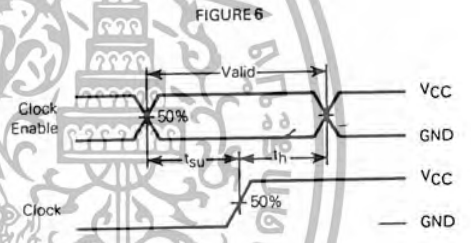


FIGURE 7

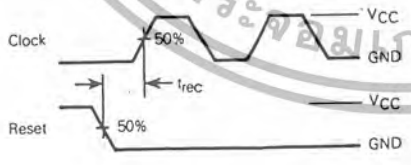


FIGURE 8

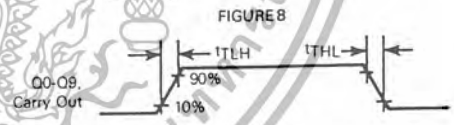
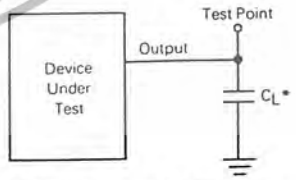


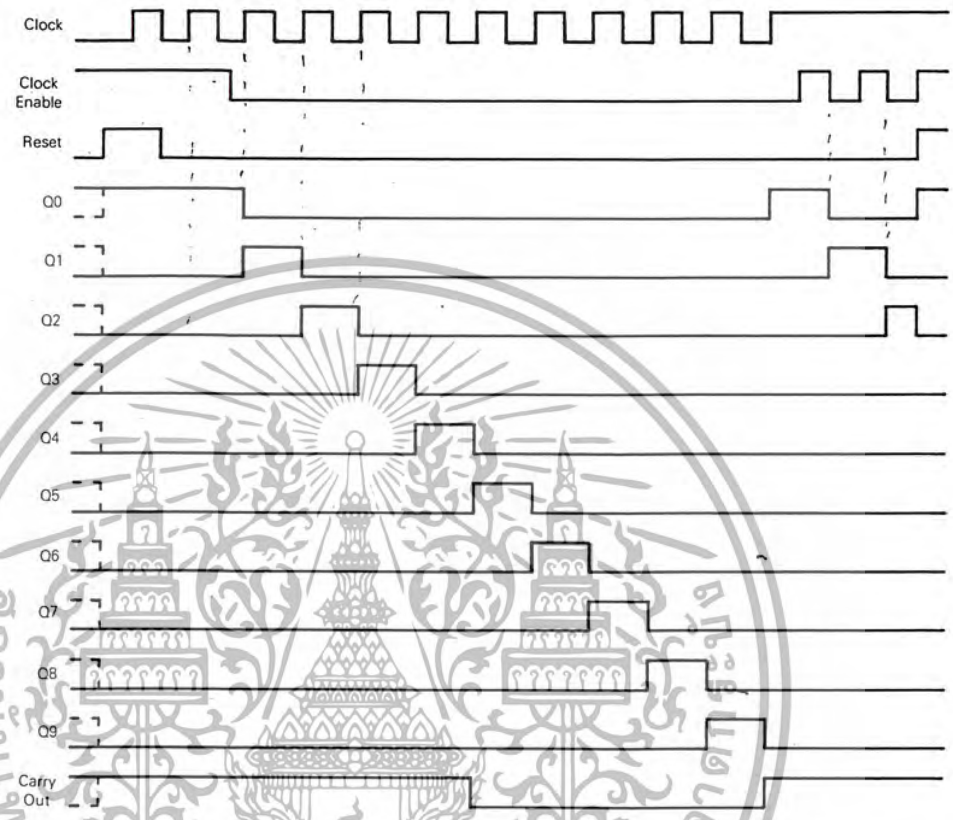
FIGURE 9 — TEST CIRCUIT



* Includes all probe and jig capacitance.

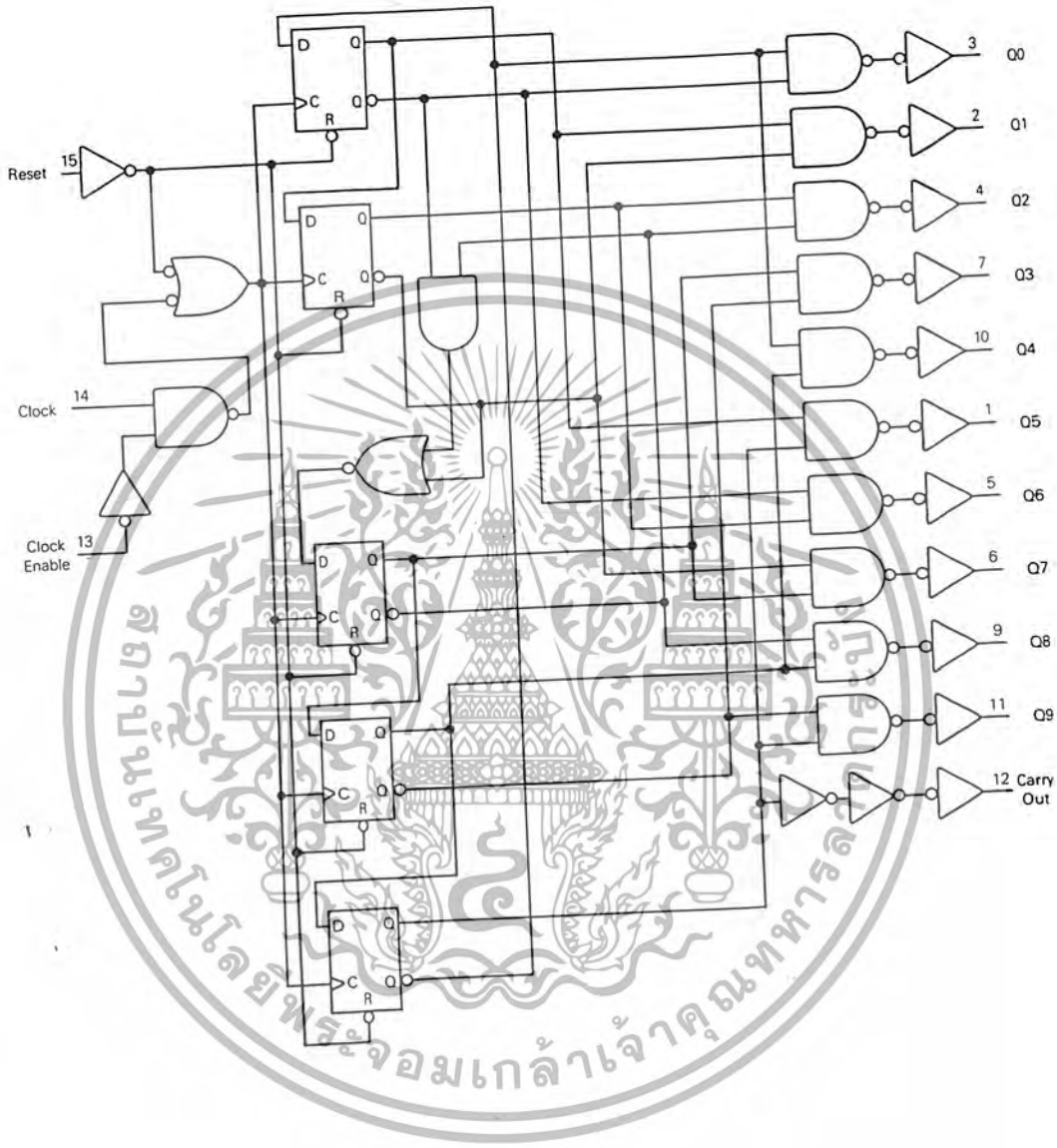
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

FIGURE 10 — ÷2 THROUGH ÷10 CIRCUIT

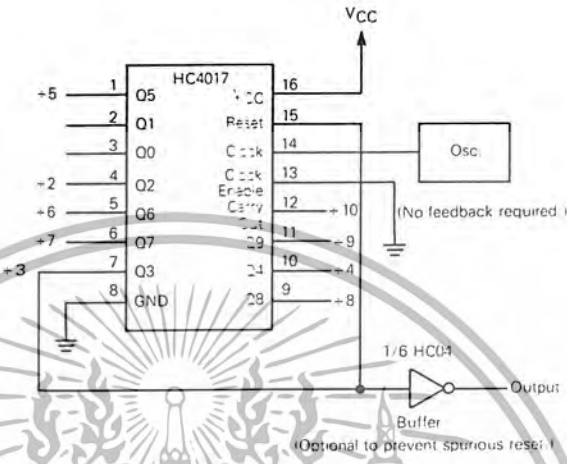


Figure 10 shows a divide by 2 through 10 circuit using one HC4017. Please note that since Reset is asynchronous, the output pulse widths are narrow.

FIGURE 11 — COUNTER EXPANSION

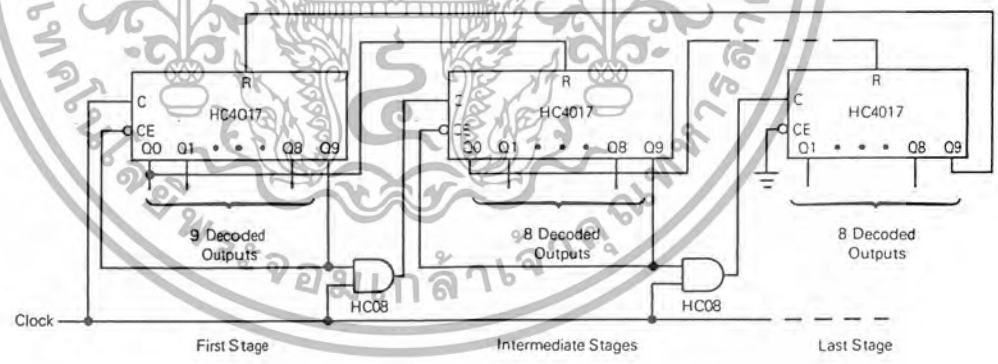


Figure 11 shows a technique for cascading the counters to extend the number of decoded output states. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC54/74HC4538

Dual Precision Monostable Multivibrator (Retriggerable, Resettable)

High-Performance Silicon-Gate CMOS

The MC54/74HC4538 is identical in pinout to the MC14538B and the MC14528B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This dual monostable multivibrator may be triggered by either the positive or the negative edge of an input pulse, and produces a precision output pulse over a wide range of pulse widths. Because the device has conditioned trigger inputs, there are no trigger-input rise and fall time restrictions. The output pulse width is determined by the external timing components, R_X and C_X. The device has a reset function which forces the Q output low and the $\overline{Q}$ output high, regardless of the state of the output pulse circuitry.

- Unlimited Rise and Fall Times Allowed on the Trigger Inputs
- Output Pulse Width is Independent of the Trigger Pulse Width
- ±10% Guaranteed Pulse Width Variation from Part to Part (Using the Same Test Jig)
- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 145 FETs or 36 Equivalent Gates

J SUFFIX
CERAMIC
CASE 620

N SUFFIX
PLASTIC
CASE 648

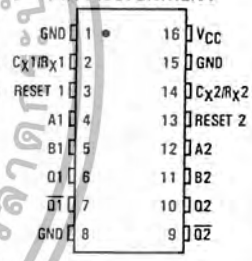
DW SUFFIX
SOIC
CASE 751B-02

ORDERING INFORMATION

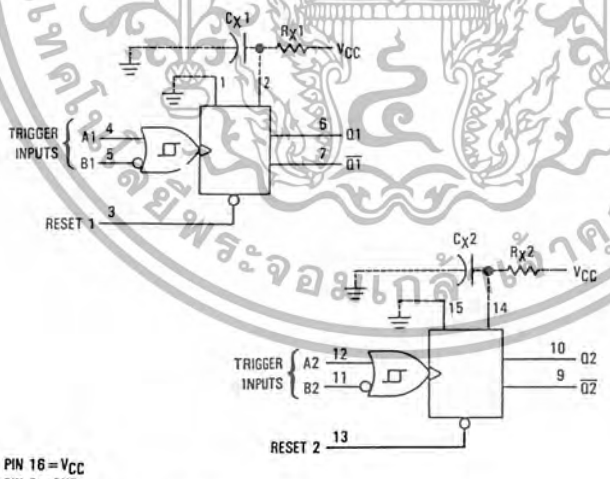
MC74HCXXXXN	Plastic
MC54HCXXXXJ	Ceramic
MC74HCXXXXDW	SOIC

$T_A = -55°$ to 125°C for all packages.
Dimensions in Chapter 7.

PIN ASSIGNMENT



BLOCK DIAGRAM



PIN 16 = V_{CC}
PIN 8 = GND
R_X AND C_X ARE EXTERNAL COMPONENTS
PIN 1 AND PIN 15 MUST BE HARD WIRED TO GND

FUNCTION TABLE

Inputs			Outputs	
Reset	A	B	Q	$\overline{Q}$
H	↓	H	⊓	⊔
H	L	↑	⊓	⊔
H	X	L	Not Triggered	
H	H	X	Not Triggered	
H	L,H,↑	H	Not Triggered	
H	L	L,H,↓	Not Triggered	
L	X	X	L	H
↑↓	X	X	Not Triggered	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC}+1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC}+0.5	V
I_{in}	DC Input Current, per Pin—A, B, Reset	±20	mA
I_{in}	DC Input Current, per Pin—C_X/R_X	±30	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4 subject listing on page 4-2.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time—Reset (Figure 5)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	
	A or B (Figure 5)		—	no limit	
R_X	External Timing Resistor	V_{CC} < 4.5 V	1.0	*	kΩ
		V_{CC} ≥ 4.5 V	2.0	*	
C_X	External Timing Capacitor		0	*	μF

*The maximum allowable values of R_X and C_X are a function of the leakage of capacitor C_X, the leakage of the HC4538, and leakage due to board layout and surface resistance. For most applications, C_X/R_X should be limited to a maximum value of 10 μF/1 MΩ. Values of C_X > 1.0 μF may cause a problem during power down (see Power-Down Considerations). Susceptibility to externally induced noise signals may occur for R_X > 1 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
V_{OL}	Maximum Low-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 20\ \mu A$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH}$ or V_{IL} $\|I_{out}\| \le 4.0$ mA $\|I_{out}\| \le 5.2$ mA	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
I_{in}	Maximum Input Leakage Current (A, B, Reset)	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{in}	Maximum Input Leakage Current (C_X/R_X)	$V_{in} = V_{CC}$ or GND	6.0	±50	±500	±500	nA
I_{CC}	Maximum Quiescent Supply Current (per Package) Standby State	$V_{in} = V_{CC}$ or GND Q1 and Q2 = Low $I_{out} = 0\ \mu A$	6.0	130	220	350	μA
I_{CC}	Maximum Supply Current (per Package) Active State	$V_{in} = V_{CC}$ or GND Q1 and Q2 = High $I_{out} = 0\ \mu A$ Pins 2 and 14 = 0.5 V_{CC}	6.0	150	250	400	μA

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
t_{PLH}	Maximum Propagation Delay, Input A or B to Q (Figures 4 and 6)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{PHL}	Maximum Propagation Delay, Input A or B to $\overline{Q}$ (Figures 4 and 6)	2.0 4.5 6.0	275 55 47	345 69 59	415 83 71	ns
t_{PHL}	Maximum Propagation Delay, Reset to Q (Figures 5 and 6)	2.0 4.5 6.0	250 50 43	315 63 54	375 75 64	ns
t_{PLH}	Maximum Propagation Delay, Reset to $\overline{Q}$ (Figures 5 and 6)	2.0 4.5 6.0	275 55 47	345 69 59	415 83 71	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 5 and 6)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance (A, B, Reset) (C_X, R_X)	— —	10 25	10 25	10 25	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4 subject listing on page 4-2.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Multivibrator) Used to determine the no-load dynamic power consumption: $P_D = C_{PD}\ V_{CC}^2 f + I_{CC}\ V_{CC}$ For load considerations, see Chapter 4 subject listing on page 4-2.	Typical @ 25°C, V_{CC} = 5.0 V 150	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{rr}*	Minimum Retrigger Time, Input A or B (Figure 5)	2.0	—	—	—	ns
		4.5	—	—	—	
		6.0	—	—	—	
t_{rec}	Minimum Recovery Time, Reset Inactive to A or B (Figure 5)	2.0	0	0	0	ns
		4.5	0	0	0	
		6.0	0	0	0	
t_w	Minimum Pulse Width, Input A or B (Figure 4)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_w	Minimum Pulse Width, Reset (Figure 5)	2.0	80	100	120	ns
		4.5	16	20	24	
		6.0	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times, Reset (Figure 5)	2.0	1000	1000	1000	ns
		4.5	500	500	500	
		6.0	400	400	400	
	A or B (Figure 5)	2.0	No Limit			
		4.5				
		6.0				

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

$$*t_{rr}\ (\text{ns}) \approx 72 + \frac{V_{CC}\ (\text{volts}) \cdot C_X\ (\text{pF})}{30.5}$$

OUTPUT PULSE WIDTH CHARACTERISTICS ($C_L = 50$ pF)

Symbol	Parameter	Conditions		Temperature						Unit
		Timing Components	V_{CC} V	25°C		−40° to 85°C		−55° to 125°C		
				Min	Max	Min	Max	Min	Max	
τ	Output Pulse Width* (Figures 4 and 6)	$R_X = 10$ kΩ, $C_X = 0.1$ μF	5.0	0.63	0.77	0.60	0.80	0.59	0.81	ms
—	Pulse Width Match Between Circuits in the Same Package	—	—	±5						%
—	Pulse Width Match Variation (Part to Part)	—	—	±10						%

*For output pulse widths greater than 100 μs, typically $\tau = kR_XC_X$, where the value of k may be found in Figure 1.

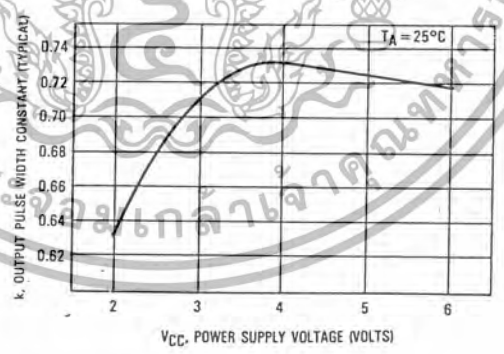


Figure 1. Typical Output Pulse Width Constant, k, versus Supply Voltage (For output pulse widths ≥100 μs: $\tau = kR_XC_X$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

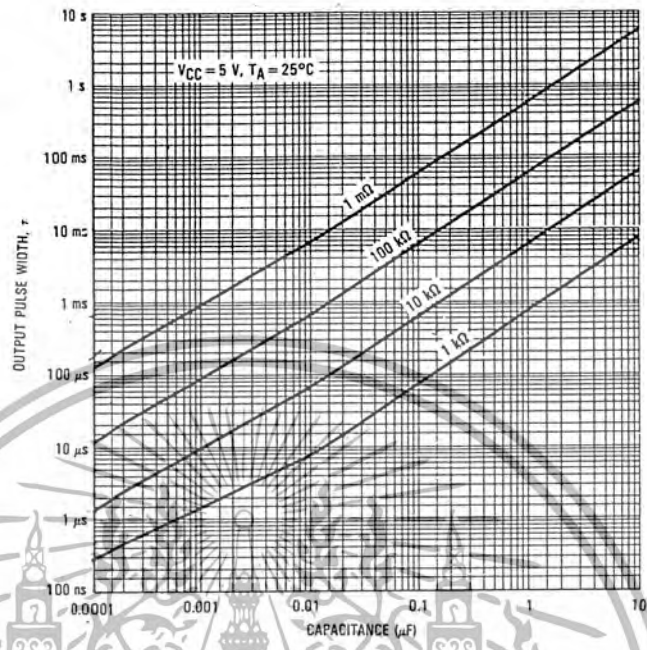


Figure 2. Output Pulse Width vs. Timing Capacitance

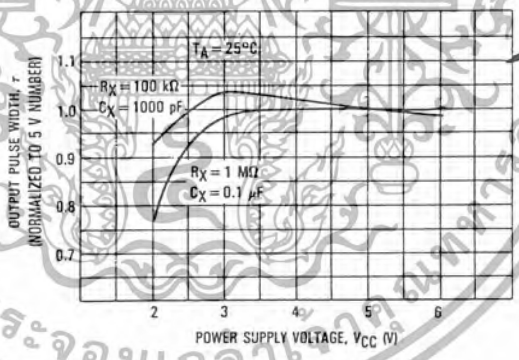


Figure 3. Normalized Output Pulse Width versus Power Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

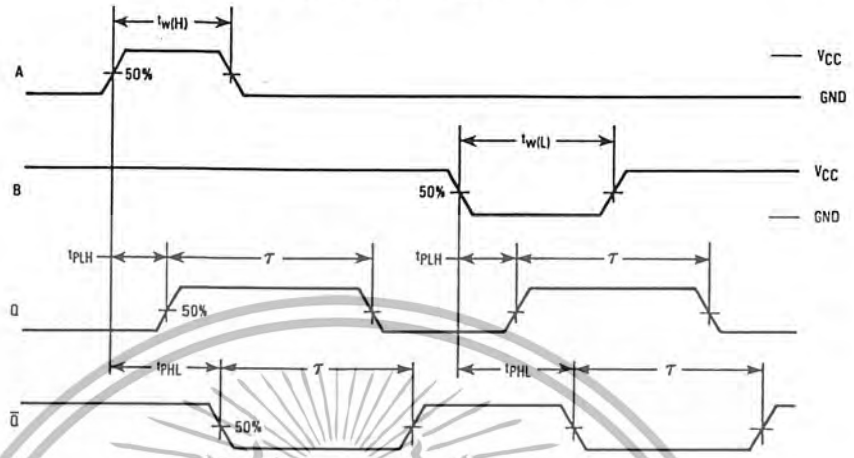


Figure 4

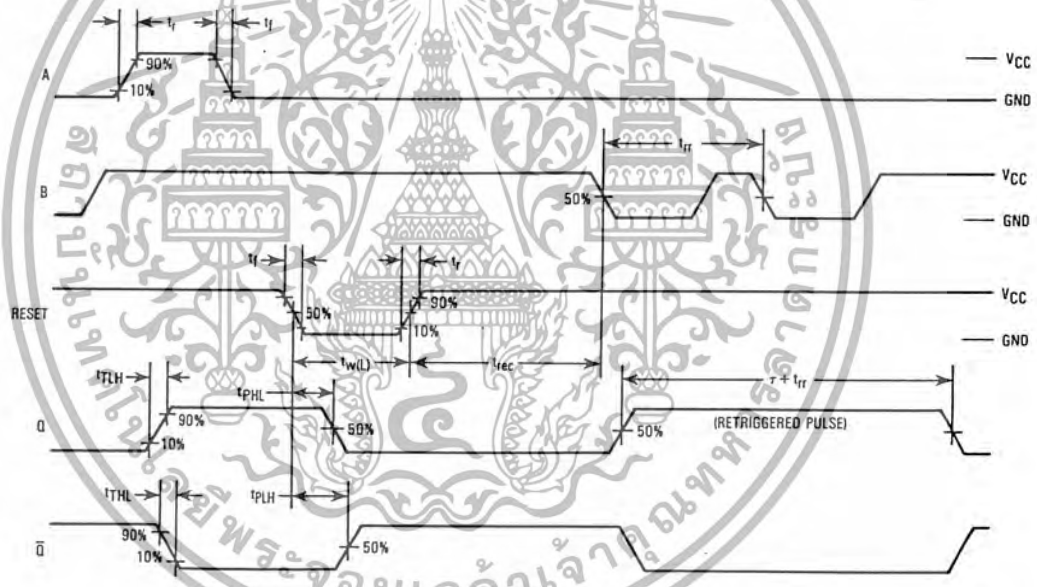
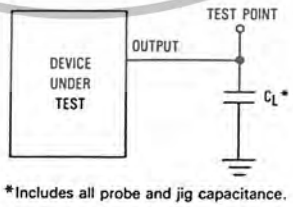


Figure 5



*Includes all probe and jig capacitance.

Figure 6. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

A1, A2 (PINS 4, 12) — Positive-edge trigger inputs. A rising-edge signal on either of these pins triggers the corresponding multivibrator when there is a high level on the B1 or B2 input.

B1, B2 (PINS 5, 11) — Negative-edge trigger inputs. A falling-edge signal on either of these pins triggers the corresponding multivibrator when there is a low level on the A1 or A2 input.

RESET 1, RESET 2 (PINS 3, 13) — Reset inputs (active low). When a low level is applied to one of these pins, the Q output of the corresponding multivibrator is reset to a low level and the $\overline{Q}$ output is set to a high level.

C_X1/R_X1 and C_X2/R_X2 (PINS 2 and 14) — External timing components. These pins are tied to the common points of the external timing resistors and capacitors (see the Block Diagram). Polystyrene capacitors are recommended for optimum pulse width control. Electrolytic capacitors are not recommended due to high leakages associated with these type capacitors.

GND (PINS 1 and 15) — External ground. The external timing capacitors discharge to ground through these pins.

OUTPUTS

Q1, Q2 (PINS 6, 10) — Noninverted monostable outputs. These pins (normally low) pulse high when the multivibrator is triggered at either the A or the B input. The width of the pulse is determined by the external timing components, R_X and C_X.

$\overline{Q1}$, $\overline{Q2}$ (PINS 7, 9) — Inverted monostable outputs. These pins (normally high) pulse low when the multivibrator is triggered at either the A or the B input. These outputs are the inverse of Q1 and Q2.

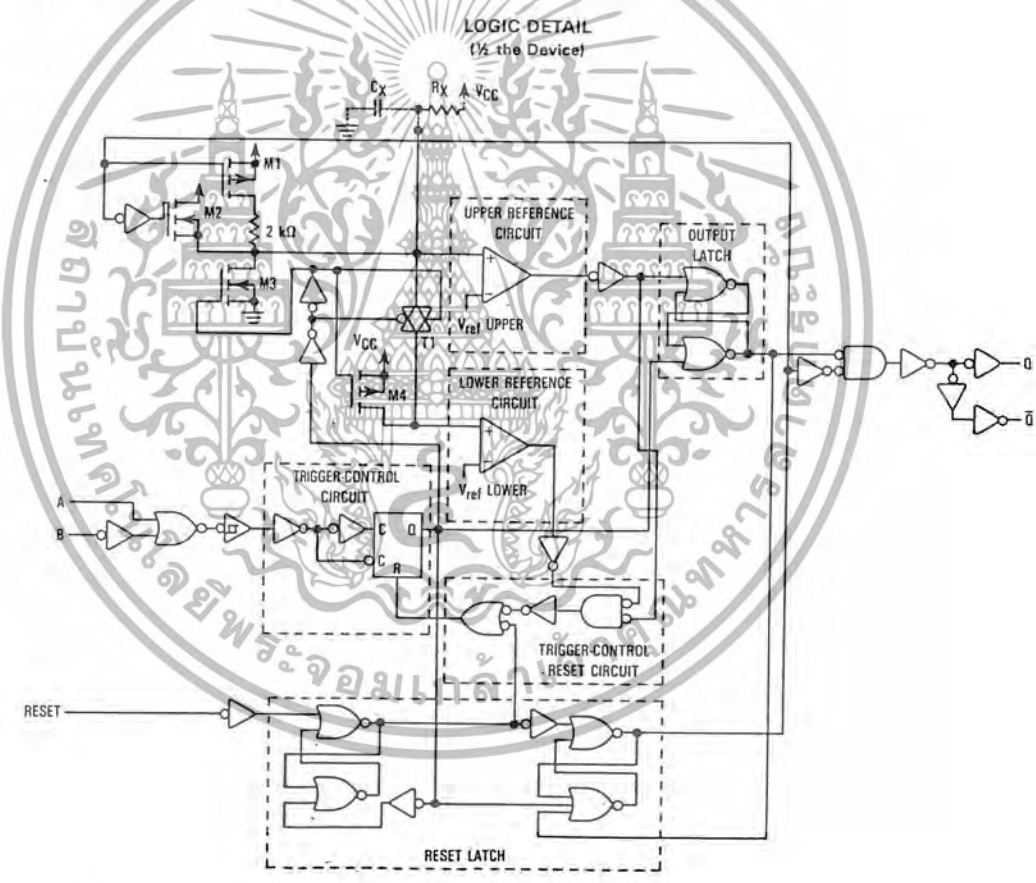


Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT OPERATION

Figure 10 shows the HC4538 configured in the retriggerable mode. Briefly, the device operates as follows (refer to Figure 7): In the quiescent state, the external timing capacitor, C_X, is charged to V_{CC}. When a trigger occurs, the Q output goes high and C_X discharges quickly to the lower reference voltage (V_{ref} Lower $\approx$ 1/3 V_{CC}). C_X then charges, through R_X, back up to the upper reference voltage (V_{ref} Upper $\approx$ 2/3 V_{CC}), at which point the one-shot has timed out and the Q output goes low.

The following, more detailed description of the circuit operation refers to both the logic detail (Figure 7) and the timing diagram (Figure 8).

QUIESCENT STATE

In the quiescent state, before an input trigger appears, the output latch is high and the reset latch is high (#1 in Figure 8). Thus the Q output (pin 6 or 10) of the monostable multivibrator is low (#2, Figure 8).

The output of the trigger-control circuit is low (#3), and transistors M1, M2, and M3 are turned off. The external timing capacitor, C_X, is charged to V_{CC} (#4), and the upper reference circuit has a low output (#5). Transistor M4 is turned on and transmission gate T1 is turned off. Thus the lower reference circuit has V_{CC} at the noninverting input and a resulting low output (#6).

In addition, the output of the trigger-control reset circuit is low.

TRIGGER OPERATION

The HC4538 is triggered by either a rising-edge signal at input A (#7) or a falling-edge signal at input B (#8), with the unused trigger input and the Reset input held at the voltage levels shown in the Function Table. Either trigger signal will cause the output of the trigger-control circuit to go high (#9).

The trigger-control circuit going high simultaneously initiates three events. First, the output latch goes low, thus taking the Q output of the HC4538 to a high state (#10). Second, transistor M3 is turned on, which allows the external timing capacitor, C_X, to rapidly discharge toward ground (#11). (Note that the voltage across C_X appears at the input of the upper reference circuit comparator). Third, transistor M4 is turned off and transmission gate T1 is turned on, thus allowing the voltage across C_X to also appear at the input of the lower reference circuit comparator.

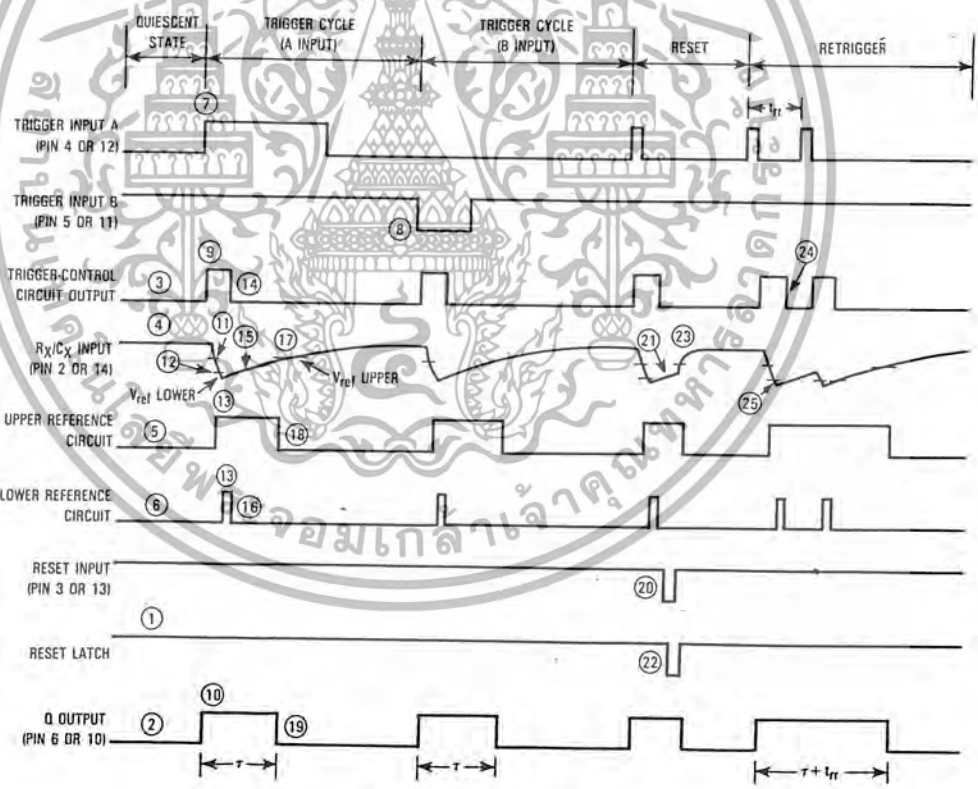


Figure 8. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When C_X discharges to the reference voltage of the lower reference circuit (#12), the outputs of both reference circuits will be high (#13). The trigger-control reset circuit goes high, resetting the trigger-control circuit flip-flop to a low state (#14). This turns transistor M3 off again, allowing C_X to begin to charge back up toward V_{CC}, with a time constant $t = R_X C_X$ (#15). In addition, transistor M4 is turned on and transmission gate T1 is turned off. Thus a high voltage level is applied to the input of the lower reference circuit comparator, causing its output to go low (#16). The monostable multivibrator may be retriggered at any time after the trigger-control circuit goes low.

When C_X charges up to the reference voltage of the upper reference circuit (#17), the output of the upper reference circuit goes low (#18). This causes the output latch to toggle, taking the Q output of the HC4538 to a low state (#19), and completing the time-out cycle.

POWER-DOWN CONSIDERATIONS

Large values of C_X may cause problems when powering down the HC4538 because of the amount of energy stored in the capacitor. When a system containing this device is powered down, the capacitor may discharge from V_{CC} through the input protection diodes at pin 2 or pin 14. Current through the protection diodes must be limited to 30 mA; therefore, the turn-off time of the V_{CC} power supply must not be faster than $t = V_{CC} \cdot C_X / (30\ mA)$. For example, if $V_{CC} = 5$ V and $C_X = 15\ \mu F$, the V_{CC} supply must turn off no faster than $t = (5\ V) \cdot (15\ \mu F)/30\ mA = 2.5$ ms. This is usually not a problem because power supplies are heavily filtered and cannot discharge at this rate.

When a more rapid decrease of V_{CC} to zero volts occurs, the HC4538 may sustain damage. To avoid this possibility, use an external damping diode, D_X, connected as shown in Figure 9. Best results can be achieved if diode D_X is chosen to be a germanium or Schottky type diode able to withstand large current surges.

RESET OPERATION

A low voltage applied to the Reset pin always forces the Q output of the HC4538 to a low state.

The timing diagram illustrates the case in which reset occurs (#20) while C_X is charging up toward the reference voltage of the upper reference circuit (#21). When a reset occurs, the output of the reset latch goes low (#22), turning on transistor M1. Thus C_X is allowed to quickly charge up to V_{CC} (#23) to await the next trigger signal.

RETRIGGER OPERATION

When used in the retriggerable mode (Figure 10), the HC4538 may be retriggered during timing out of the output pulse at any time after the trigger-control circuit flip-flop has been reset (#24). Because the trigger-control circuit flip-flop resets shortly after C_X has discharged to the reference voltage of the lower reference circuit (#25), the minimum retrigger time, t_{rr} (Figure 5) is a function of internal propagation delays and the discharge time of C_X:

$$t_{rr}\ (ns) = 72 + \frac{V_{CC}\ (volts) \cdot C_X\ (pF)}{30.5},\ \text{at room temperature}$$

Figure 11 shows the device configured in the nonretriggerable mode.

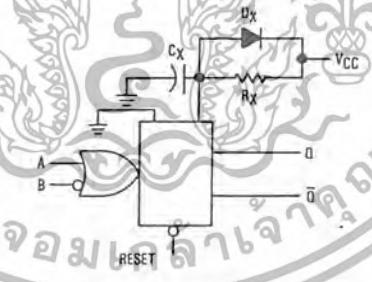
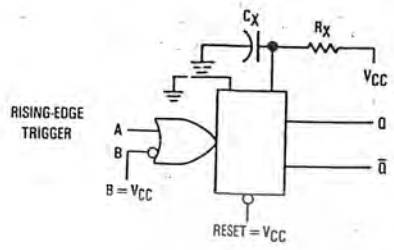
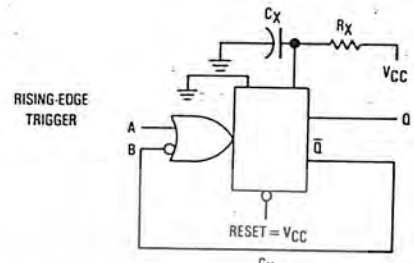


Figure 9. Discharge Protection During Power Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS





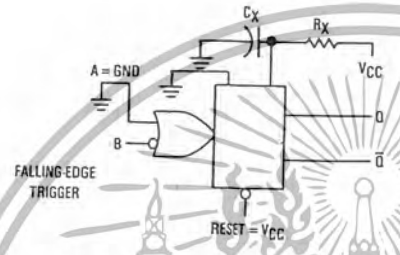


Figure 10. Retriggerable Monostable Circuitry

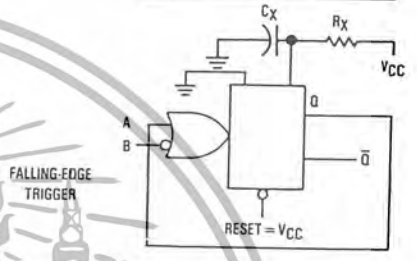


Figure 11. Nonretriggerable Monostable Circuitry

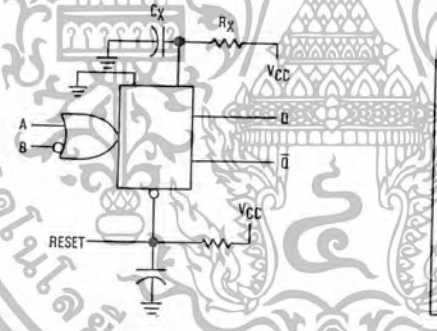
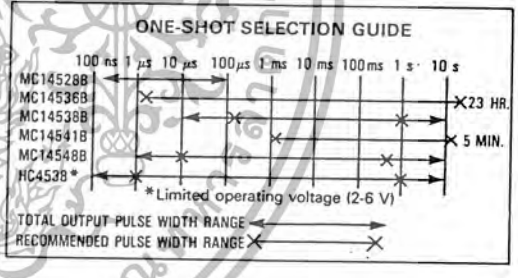


Figure 12. Elimination of Output Pulse Width During Power-Up



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC251

8-Input Data Selector/Multiplexer with 3-State Outputs

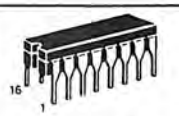
High-Performance Silicon-Gate CMOS

The MC54/74HC251 is identical in pinout to the LS251. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device selects one of the eight binary Data Inputs, as determined by the Address Inputs. The Output Enable pin must be a low level for the selected data to appear at the outputs. If Output Enable is high, both the Y and the $\overline{Y}$ outputs are in the high-impedance state. This 3-state feature allows the HC251 to be used in bus-oriented systems.

The HC251 is similar in function to the HC151 which does not have 3-state outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 134 FETs or 33.5 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620

N SUFFIX
PLASTIC
CASE 648

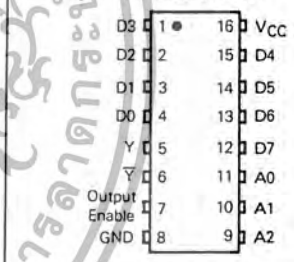
D SUFFIX
SOIC
CASE 751B-01

ORDERING INFORMATION

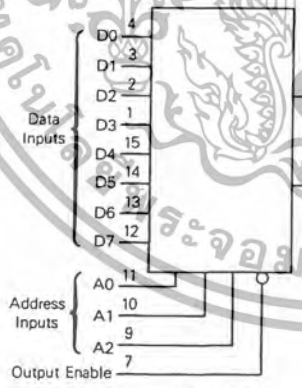
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 7.

PIN ASSIGNMENT



LOGIC DIAGRAM



Pin 16 = V_{CC}
Pin 8 = GND

FUNCTION TABLE

Inputs				Outputs	
A2	A1	A0	Output Enable	Y	$\overline{Y}$
X	X	X	H	Z	Z
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

Z = high-impedance state
D0, D1. . .D7 = the level of the respective D input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC}+1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC}+0.5	V
I_{in}	DC Input Current, per Pin	±25	mA
I_{out}	DC Output Current, per Pin	±50	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±75	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4 subject listing on page 4-2.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	≤85°C	≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V, $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V, $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL}, $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}, $\lvert I_{out}\rvert \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\lvert I_{out}\rvert \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL}, $\lvert I_{out}\rvert \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}, $\lvert I_{out}\rvert \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\lvert I_{out}\rvert \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{OZ}	Maximum Three-State Leakage Current	Output in High-Impedance State, V_{in} = V_{IL} or V_{IH}, V_{out} = V_{CC} or GND	6.0	±0.5	±5.0	±10.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND, I_{out} = 0 μA	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4 subject listing on page 4-2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input D to Output Y or $\overline{Y}$ (Figures 1, 2 and 5)	2.0 4.5 6.0	185 37 31	230 46 39	280 56 48	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A to Output Y or $\overline{Y}$ (Figures 3 and 5)	2.0 4.5 6.0	205 41 35	255 51 43	310 62 53	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, Output Enable to Output Y (Figures 4 and 6)	2.0 4.5 6.0	195 39 33	245 49 42	295 59 50	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, Output Enable to Output Y (Figures 4 and 6)	2.0 4.5 6.0	145 29 25	180 36 31	220 44 38	ns
t_{PLZ}, t_{PHZ}	Maximum Propagation Delay, Output Enable to Output $\overline{Y}$ (Figures 4 and 6)	2.0 4.5 6.0	220 44 37	275 55 47	330 66 56	ns
t_{PZL}, t_{PZH}	Maximum Propagation Delay, Output Enable to Output $\overline{Y}$ (Figures 4 and 6)	2.0 4.5 6.0	150 30 26	190 38 33	225 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 5)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF
C_{out}	Maximum Three-State Output Capacitance (Output in High-Impedance State)	—	15	15	15	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4 subject listing on page 4-2.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4 subject listing on page 4-2.	Typical @ 25°C, V_{CC} = 5.0 V 36	pF

5

PIN DESCRIPTIONS

INPUTS

D0, D1, . . ., D7 (PINS 4, 3, 2, 1, 15, 14, 13, 12) — Data inputs. Data on one of these eight binary inputs may be selected to appear on the output.

CONTROL INPUTS

A0, A1, A2 (PINS 11, 10, 9) — Address inputs. The data on these pins are the binary address of the selected input (see the Function Table).

OUTPUT ENABLE (PIN 7) — Output Enable. This input pin must be at a low level for the selected data to appear at the outputs. If the Output Enable pin is high, both the Y and $\overline{Y}$ outputs are taken to the high-impedance state.

OUTPUTS

Y, $\overline{Y}$ (PINS 5, 6) — Data outputs. The selected data is presented at these pins in both true (Y output) and complemented ($\overline{Y}$ output) forms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

FIGURE 1

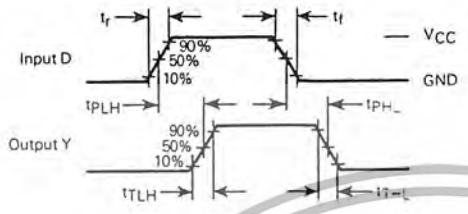


FIGURE 2

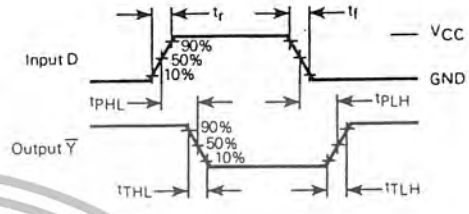


FIGURE 3

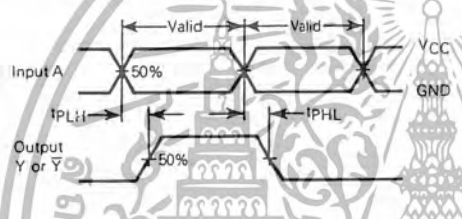


FIGURE 4

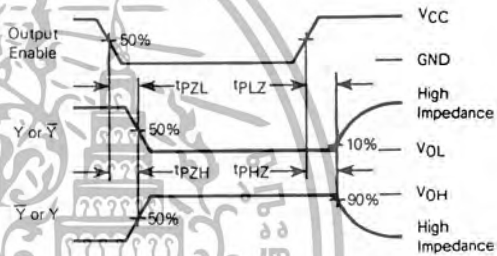
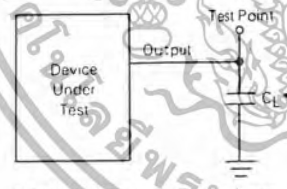
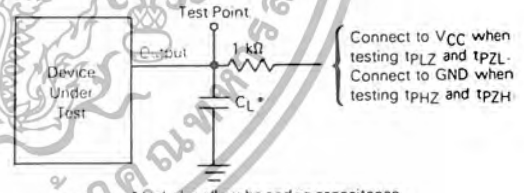


FIGURE 5 — TEST CIRCUIT



* Includes all probe and jig capacitance

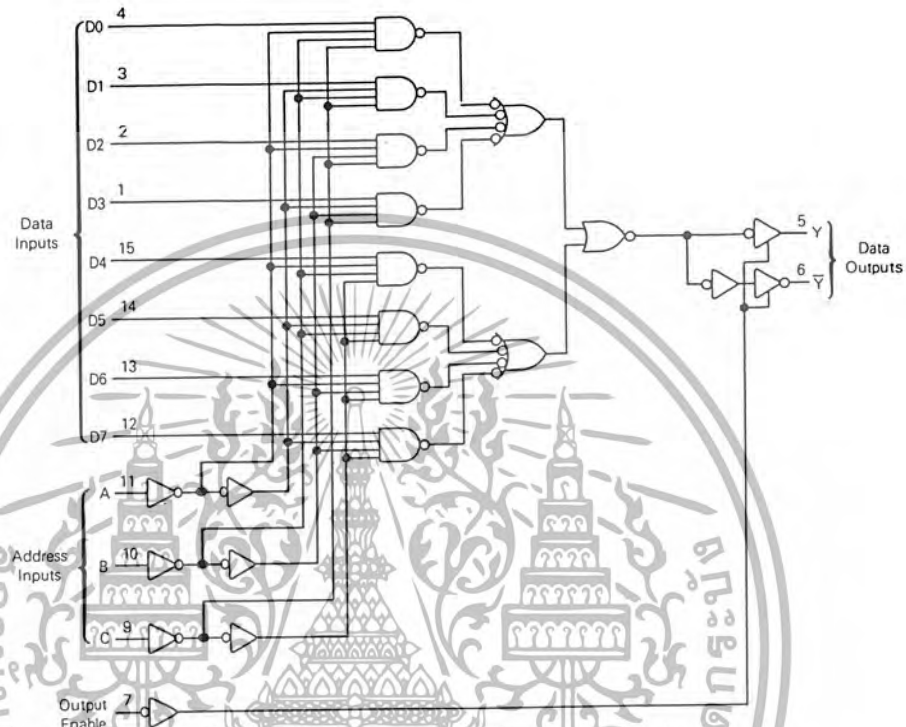
FIGURE 6 — TEST CIRCUIT



* Includes all probe and jig capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้จะไม่สามารถสำเร็จลุล่วงได้ ถ้าไม่ได้รับความร่วมมือจากหลายๆฝ่าย โดยเฉพาะท่าน ผศ.พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา ที่ได้ให้คำแนะนำแนวทางและให้ความรู้ที่เป็นประโยชน์ในการทำโครงงานอย่างดียิ่ง นอกจากนี้ยังมีรุ่นพี่ห้องโปรเจ็คที่ให้คำแนะนำและให้ความช่วยเหลือมาโดยตลอด รวมทั้งเพื่อนภาคที่ทำโครงงานมาด้วยกันและได้แลกเปลี่ยนความรู้ความคิดเห็นซึ่งกันและกัน จนผลงานออกมาเป็นที่น่าพอใจ ขอไว้อาลัยแด่เพื่อนรักที่จากไประหว่างการทำโครงงานนี้ด้วย จึงขอฝากคำขอบคุณทุกๆท่านมา ณ ที่นี้ด้วย

ลงชื่อ

(นายเอกรักษ์ เตียวิเศษ)

(นางสาวสุภางค์ ลือกิตินันท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้