

ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก
Control System of a car Using Ultrasonic



ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้

เลขหมู่.....
เลขทะเบียน.....55458
วัน,เดือน,ปี.....- 9 พ.ค. 2548

b.....
i.....

ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก
Control System of a car Using Ultrasonic



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงาน ปีการศึกษา 2546

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก

ผู้จัดทำ

1. นาย ฐานันดร สบประสงค์
2. นาย สมบูรณ์ ครรไลพิพัฒน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก

Control Car With Ultrasonic

นาย ฐานันตร์ สบประสงค์

นาย สมบูรณ์ ครรไลพิพัฒน์

โครงการนี้ได้รับการตรวจสอบแล้ว พร้อมทั้งจะทำการสอบได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก

นาย ฐานันดร์ สบประสงศ์

นาย สมบูรณ์ ครรโลพิพัฒน์

อ. เทอดศักดิ์ ลีวนาทอง อาจารย์ที่ปรึกษา

ปีการศึกษา 2546

บทคัดย่อ

โครงการนี้จะเป็นการประยุกต์ใช้คลื่นอัลตราโซนิกในการควบคุมการเคลื่อนที่ของรถ เพื่อเคลื่อนที่เข้าหาเป้าหมาย หลักการทำงานคือ เป้าหมายจะยิงคลื่นอัลตราโซนิกไปยังตัวรับที่อยู่บนรถซึ่งมี3ตัว เนื่องจากระยะทางจากเป้าหมายไปยังตัวรับทั้ง3ตัวไม่เท่ากัน ดังนั้นเวลาที่ตัวรับทั้ง3ตัวรับได้จะแตกต่างกัน ระบบควบคุมบนรถจะนำเวลาที่วัดได้จากตัวรับทั้ง3ตัว ไปทำการคำนวณและควบคุมให้รถวิ่งเข้าหาเป้าหมายต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control System of a car Using Ultrasonic

MR. THANAN SOBPRASONG

MR. SOMBOON KANLAIPHIPHAT

MR. THURDSAK LIEWHATHONG ADVISER

2003

Abstract

This project proposes a system which uses an ultrasonic wave to guide a car. Consequently, the car can move to a target. The guiding method is that the wave is fired from the target. Then times which the fired wave reaches ultrasonic receivers on the car are measured. Since distances from the target to each of receivers are difference, measured times are also differences. A controller in the car calculates the position of the car by using these difference times. After that, the car is controlled to move to the target.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญาโทฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี จากความช่วยเหลือและคำแนะนำจากท่านอาจารย์เทิดศักดิ์ ลีหาทอง ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญาโทของการทำโครงการงานชิ้นนี้ ตลอดจนความช่วยเหลือทางด้านอุปกรณ์ ต่างๆ ที่จำเป็นต่อโครงการงานชิ้นนี้จึงขอกราบขอบพระคุณเป็นอย่างสูงไว้ ณ ที่นี้ด้วย

อีกทั้งขอขอบคุณบริษัทต่างๆ ที่ให้ข้อมูลที่จำเป็นประโยชน์กับโครงการงานชิ้นนี้ รวมไปถึงท่านอาจารย์ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ทุกท่านที่ให้คำปรึกษา แนวคิด และโอกาสในการทำโครงการงานชิ้นนี้

ท้ายนี้ใคร่ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ของพวกเรา ที่ให้กำลังใจและสนับสนุนทางการเงินด้วยดีตลอดเสมอมา สิ่งเหล่านี้เป็นแรงบันดาลใจที่ทำให้พวกเราได้มีวันนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ง
กิตติกรรมประกาศ	ฉ
สารบัญรูป	ฅ
สารบัญตาราง	ฎ
บทที่	
1. บทนำ	1
1.1 หลักการและเหตุผล	1
1.2 วัตถุประสงค์ของโครงการ	2
1.3 ขอบเขตของโครงการ	2
1.4 ขั้นตอนการดำเนินงาน	2
1.5 ประโยชน์ที่จะได้รับจากโครงการ	2
2. ทฤษฎีโครงการ	3
2.1 บทนำ	3
2.2 ทฤษฎีและหลักการท างานของโครงการ	3
2.3 FPGA	5
2.4 VHDL	13
2.5 การใช้โปรแกรม MaxPlus II	31
2.6 ทฤษฎีคลื่นอัลตราโซนิก	42
2.7 อัลตราโซนิกทรานสดิวเซอร์	46
3. ระบบอิเล็กทรอนิกส์สำหรับโครงการ	51
3.1 โครงสร้างระบบ	51
3.2 หลักการรับส่งสัญญาณอัลตราโซนิกเพื่อหาพิ กัด	52
3.3 วงจรภาคส่งคลื่นอัลตราโซนิก	59
3.4 วงจรภาครับคลื่นอัลตราโซนิก	60
3.5 ส่วน FPGA	62
3.6 ส่วนขับเคลื่อน	63

สารบัญ(ต่อ)

	หน้า
4. การทดลอง	64
4.1 ผลการทดลองวัดสัญญาณจาก IC 555 ของภาคส่ง	64
4.2 ผลการทดลองวัดสัญญาณของภาครับ	67
5. บทสรุป ปัญหา สาเหตุ และแนวทางการแก้ไข	72
5.1 คุณสมบัติของระบบ	72
5.2 ข้อจำกัดของระบบ	72
5.3 ปัญหาทางด้านวงจรและอุปกรณ์	72
5.4 ปัญหาทางด้านโปรแกรมผล และ FPGA	73
5.5 สิ่งที่ยกนระบบ	73
5.6 บทสรุปและวิจารณ์	73
5.7 แนวทางการพัฒนา	74
เอกสารอ้างอิง	75
ภาคผนวก	76
ประวัติผู้เขียน	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่		หน้า
1.1	แสดงระบบการทำงาน	1
2.1	แสดงโครงสร้างการทำงานของระบบ	3
2.2	การแสดงผลของโครงงาน	4
2.3	แสดงรูปสัญญาณที่ออกจากตัวส่ง	4
2.4	แสดง การประยุกต์ใช้งาน RAM	8
2.5	แสดง Architecture ของ FLEX10k	9
2.6	แสดง logic array block ของ flex10k	9
2.7	แสดง Register packing ของ Flex10k	10
2.8	แสดง Logic Element	11
2.9	โครงสร้างโดยทั่วไปของหน่วยการออกแบบเฮนทิตี	15
2.10	ตัวอย่างของการประกาศค่า constant	19
2.11	ตัวอย่างของการประกาศ variable	20
2.12	ตัวอย่างของการประกาศ signal	20
2.13	Character มีค่าที่เป็นไปได้	21
2.14	รูปแบบของมัลติเพล็กซ์	22
2.15	รูปแบบมัลติเพล็กซ์ที่ประกอบด้วยข้อมูลค่าเวลาหนึ่งวงแพร่กระจาย	22
2.16	หน่วยการออกแบบเฮนทิตีที่ไม่มีการกำหนดช่องทางที่ต่อกับภายนอก	23
2.17	โครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม	24
2.18	หน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ตามฟังก์ชันบูลีน	24
2.19	โครงสร้างภายในสถาปัตยกรรมของมัลติเพล็กซ์	25
2.20	หน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ประเภทโครงสร้าง	25
2.21	หน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ประเภทพฤติกรรม	26
2.22	โครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต	27
2.23	โครงสร้างของบอดีแพ็กเก็ต	27
2.24	โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ	28
2.25	ขั้นตอนการออกแบบจากบนลงล่าง	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
2.26 แสดงการเลือกเมนู License setup	31
2.27 แสดงการเลือกไฟล์ License.dat	31
2.28 แสดงการเลือกเมนู Devices	32
2.29 แสดงการเลือกชิพ FPGA	33
2.30 แสดงการปรับ Global Project Assignments	33
2.31 แสดงการปรับ Global Project Logic Synthesis	34
2.32 แสดงการปรับ Clear Project Assignments	35
2.33 แสดงการเลือกเมนู Mega Wizard	35
2.34 แสดงการใช้ Mega Wizard	36
2.35 แสดงการเลือกอุปกรณ์ใน Mega Wizard	36
2.36 แสดงการเซตค่าของ RAM แบบ DQ	37
2.37 แสดงการเลือกไฟล์ .mif	37
2.38 แสดงรายละเอียดไฟล์ทั้งหมดของ RAM แบบ DQ	38
2.39 แสดงรายละเอียดของ Help ทั้งหมดใน MaxPlus II	38
2.40 แสดงเมนูการใช้งาน Compiler	39
2.41 แสดงข้อความเตือนหลังทำการ Compiler	39
2.42 แสดงการเลือกสัญญาณ	40
2.43 แสดงการเลือกสัญญาณ Simulate	40
2.44 แสดงการกำหนดเวลา Simulate	41
2.45 แสดงการป้อนสัญญาณในการ Simulate	41
2.46 แสดงเมนูการเริ่มต้น Simulate	42
2.47 แสดงถึงช่วงเวลาที่ถูกระบุใช้งาน	43
2.48 แสดงลักษณะการเกิดคลื่นตามยาว	43
2.49 แสดงลักษณะการเกิดคลื่นตามขวาง	44
2.50 ผลและวงจรเสมือนของเปียโซอิเล็กทริก	47
3.1 แสดงโครงสร้างของระบบ	51
3.2 แสดงตำแหน่งพิกัดต่างๆ	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.3 เวลาค่าต่างๆเมื่อตัวรับสัญญาณจากตัวส่ง	53
3.4 การวางตำแหน่งของตัวส่งและตัวรับแต่ละตัว	53
3.5 แสดงความสัมพันธ์ระหว่างค่าเวลา t_{MAX} กับ t ต่างๆ	54
3.6 แสดงการส่งสัญญาณที่มีเพียงตัวรับเพียง 2 ตัว	55
3.7 แสดงการวางตำแหน่ง และ ค่าพิกัดของตัวส่งและตัวรับ	56
3.8 วงจรสร้างพัลส์เพื่อนำไปควบคุม 40 kHz	59
3.9 วงจรผลิตความถี่ 40 kHz	59
3.10 แสดงวงจรขยายภาคส่ง โดย CD 4069	60
3.11 วงจรขยายแรงดันภาครับคลื่นอัลตราโซนิค	60
3.12 วงจร COMPARATOR และวงจรกรองความถี่ ของภาครับ	61
3.13 แสดงส่วนของ FPGA	62
3.14 วงจรขับเคิลีอานมอเตอร์	63
4.1 สัญญาณที่ขา 3 ของ IC1	64
4.2 สัญญาณที่ขา 3 ของ IC2	65
4.3 สัญญาณที่ output ของภาคส่ง	66
4.4 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 30 Cm	67
4.5 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 75 Cm	68
4.6 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 2 m	68
4.7 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 3 m	69
4.8 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 5 m	69
4.9 สัญญาณที่ขา 1 ของ IC LM 393	70
4.10 สัญญาณระหว่างตัวรับด้านข้าง 2 ตัวเมื่อตัวส่งอยู่ที่ตำแหน่งตรงกลาง	71
4.11 สัญญาณระหว่างตัวรับที่ 1 และ 2 เปรียบเทียบกัน	71

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงตัวอย่างชิพ FPGA ของบริษัท Altera	6
2.2 แสดงรายละเอียดของชิพ EPF10k10	7
2.3 แสดงคุณสมบัติทางไฟฟ้าของชิพ EPF10K10	7
2.4 แสดงหน้าที่ขาต่างๆของ FPGA	11
2.5 การทำไอโอเปอร์เซชันทางคณิตศาสตร์	18
2.6 แสดงความสัมพันธ์ความเร็วของคลื่นในก๊าศต่างๆ	46
4.1 ผลการวัดค่าของแรงดันตามระยะทาง	67

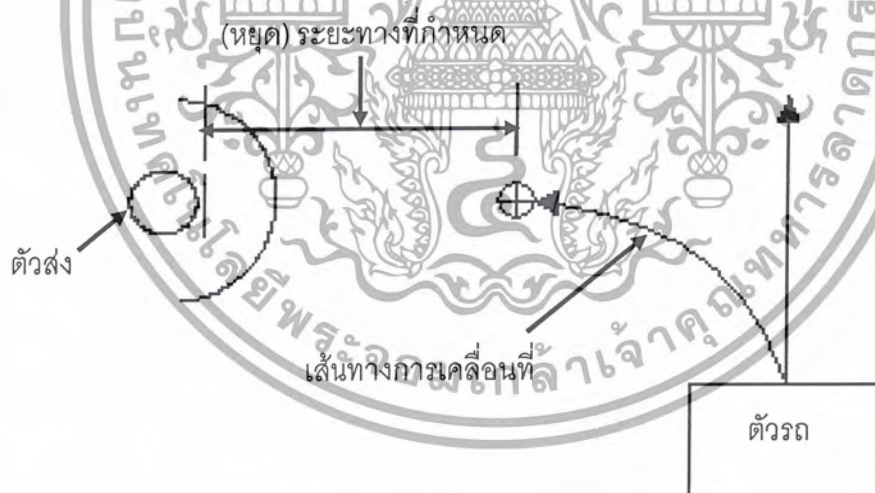


บทที่ 1

บทนำ

1.1 วัตถุประสงค์ของโครงการ

โครงการชิ้นนี้สร้างขึ้นภายใต้รูปแบบของโครงการ ระบบควบคุมการเคลื่อนที่รถด้วย อัลตราโซนิก ในโครงการชิ้นนี้นั้นสร้างขึ้นด้วย วัตถุประสงค์ที่จะประยุกต์การทำงานของคลื่น อัลตราโซนิก เข้ากับระบบการควบคุม ในการศึกษาโครงการชิ้นนี้นั้น สามารถทราบได้ถึง คุณสมบัติ การกำเนิด และขบวนการทำงานของคลื่นอัลตราโซนิก อีกทั้งยังได้เรียนรู้ในการใช้งาน FPGA อีกทั้งยังเป็นแนวทางในการประยุกต์และพัฒนาทางด้านอัลตราโซนิกต่อไปด้วย



รูปที่ 1.1 แสดงระบบการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.1 แสดงการทำงานของระบบจะเห็นว่าในระบบมีตัวส่งซึ่งจะเป็นตัวควบคุมการทำงานของรถ โดยที่ส่วนวงจรรอบๆจะประกอบด้วย FPGA ซึ่งจะเป็นตัวตรวจสอบสัญญาณจากรูปเป็นการควบคุมให้รถเดินตามเป้าหมายซึ่งเป็นตัวส่ง และเราจะสามารถกำหนดให้หยุดห่างจากตัวส่งได้เป็นระยะทางต่างๆตามโปรแกรมที่เราได้ตั้งไว้ ซึ่งจุดสำคัญของโครงการนี้อยู่ที่ว่าเราสามารถประยุกต์การใช้ คลื่นอัลตราโซนิกเข้ากับระบบการควบคุมการเคลื่อนที่ได้ได้อย่างไร

1.2 วัตถุประสงค์ของโครงการ

1.2.1 เพื่อศึกษาทฤษฎีและหลักการของคลื่นอัลตราโซนิก

1.2.2 เพื่อศึกษาการทำงานและการใช้งาน FPGA

1.2.3 เพื่อศึกษาการประยุกต์ใช้งานคลื่นอัลตราโซนิก

1.2.4 เพื่อเป็นแนวทางในการพัฒนาและใช้งานอัลตราโซนิก

1.3 ขอบเขตของโครงการ

1.3.1 สามารถเคลื่อนที่โดยใช้คลื่นอัลตราโซนิกเป็นตัวนำร่อง

1.3.2 สามารถตั้งโปรแกรมให้รถสามารถหยุดเป็นระยะทางต่างๆหน้าตัวส่งได้

1.3.3 ใช้ FPGA เป็นอุปกรณ์ในการประมวลผลและควบคุมการขับเคลื่อน

1.4 ขั้นตอนการดำเนินงาน

1.4.1 ศึกษาทฤษฎีและค้นคว้าข้อมูล

1.4.2 ออกแบบ , สร้างและทดสอบ

1.4.3 พิมพ์และจัดรูปแบบ

1.5 ประโยชน์ที่จะได้รับจากโครงการ

1.5.1 ได้เรียนรู้หลักการของคลื่นอัลตราโซนิก

1.5.2 ได้เรียนรู้การใช้งาน FPGA

1.5.3 สามารถเพิ่มแนวทางในการพัฒนาและประยุกต์ใช้งาน

1.5.4 เรียนรู้การนำอุปกรณ์หลายๆอย่างมาใช้งานร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

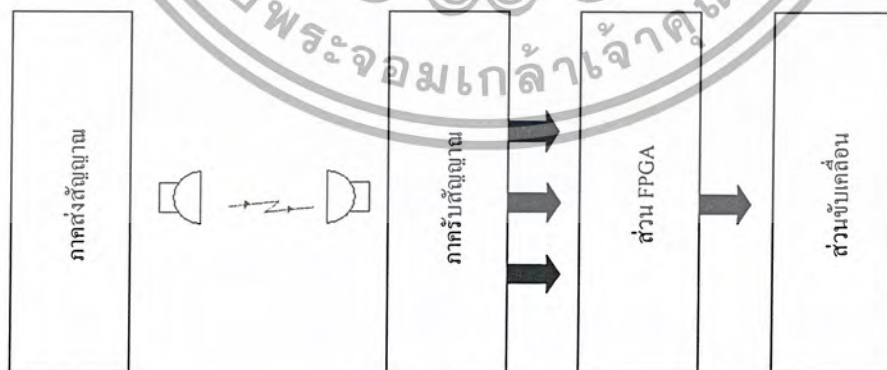
ทฤษฎีของโครงการ

2.1 บทนำ

โครงการชิ้นนี้สร้างขึ้นภายใต้รูปแบบของโครงการ ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก ในโครงการชิ้นนี้นั้นสร้างขึ้นด้วย วัตถุประสงค์ที่จะประยุกต์การทำงานของคลื่นอัลตราโซนิก เข้ากับระบบการควบคุม ในการศึกษาโครงการชิ้นนี้นั้น สามารถทราบได้ถึงคุณสมบัติ การกำเนิด ขบวนการทำงานของคลื่นอัลตราโซนิก การใช้งาน FPGA และ ยังได้เรียนรู้ในการใช้งาน MCS-51 อีกด้วย

2.2 ทฤษฎีและหลักการทำงานของโครงการ

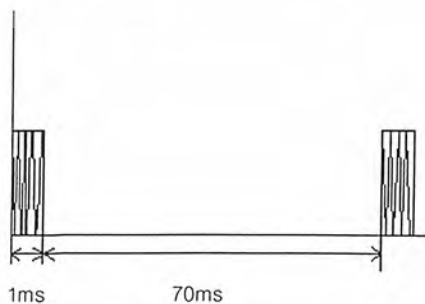
ในโครงการ ระบบควบคุมการเคลื่อนที่รถด้วยอัลตราโซนิก ประกอบไปด้วยการทำงานของภาครับส่ง และภาคประมวลผล ซึ่งจะมีการประมวลผลโดย FPGA และ MCS-51 โดยที่ส่วนของ FPGA จะเป็นตัวตรวจสอบสถานะของสัญญาณเพื่อส่งให้ MCS เป็นตัวคำนวณหาตำแหน่งและระยะทางเพื่อนำไปควบคุมการเคลื่อนที่ของตัวรถ



รูปที่ 2.1 แสดงโครงสร้างการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.1 จะเห็นได้แบ่งจะมีทั้งหมด 5 ส่วนได้แก่ ภาคส่ง ภาครับ ส่วนของFPGA ส่วนของ MCS และส่วนการขับเคลื่อน การทำงานของระบบโดยรวมคือระบบจะมี ตัวส่งคลื่นอัลตราโซนิกมายังตัวรับ โดยในภาคส่งจะมีตัวส่งเพียง 1 ชุด ในภาครับนั้นจะมีตัวรับ 3 ชุดซึ่ง เมื่อสัญญาณทั้ง 3 ถูกรับเข้ามาจะผ่านวงจรขยายสัญญาณและเปรียบเทียบสัญญาณ และจะส่งสัญญาณไปยังส่วนของ FPGA เพื่อตรวจสอบสถานะของสัญญาณว่าตัวใดเกิดการรับก่อนหลัง ซ้ำ เรืออย่างไร เพื่อให้ได้สัญญาณ ที่จะนำไปส่งให้ MCS ประมวลผลและควบคุมวงจรขับเคลื่อนต่อไป



รูปที่ 2.3 แสดงรูปสัญญาณที่ออกมาจากตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 FPGA

ในปัจจุบันมี FPGA อยู่ 4 ชนิด ที่วางขายอยู่ในท้องตลาดได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายในและการโปรแกรม ที่แตกต่างกันไป นอกจากนี้ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรม ซึ่งมีอยู่ 2 แบบคือ การโปรแกรมโดยทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรม โดยการใช้หน่วยความจำ การโปรแกรม โดยทำให้เกิดการเปลี่ยนแปลงทางกายภาพ

Fuse เป็นวิธีการโปรแกรมที่สามารถทำได้เพียงครั้งเดียว ซึ่งหลังจากที่ โปรแกรม แล้วจุดเชื่อม ต่อจะขาดจากกัน

Anti Fuse เป็นวิธีการโปรแกรมที่คล้ายกับแบบ Fuse แต่ต่างกันที่หลังจากทำการ โปรแกรม แล้วจุดเชื่อมต่อจะเชื่อมถึงกัน

2.3.1 การโปรแกรมโดยใช้หน่วยความจำ

EEPROM Based FPGA ที่ทำการโปรแกรมแบบนี้มักเรียกว่า CPLD ซึ่งเทคโนโลยีที่ใช้ จะเหมือนกับ EEPROM ทำให้มีความจุของเกทต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกท แต่ข้อดีของ EEPROM Based FPGA คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่ต้องมีไฟเลี้ยง และในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต ซึ่งการโปรแกรมสามารถทำได้ประมาณ 10,000 ครั้ง

2.3.2 SRAM Based FPGA

แบบนี้จะใช้เทคโนโลยีในการโปรแกรม เหมือนกับ SRAM (Static RAM) ทำให้สามารถ โปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ยังมีความจุของเกทในระดับปานกลางถึงสูงมาก (ประมาณ 10,000 - 1,000,000 เกท) ซึ่งข้อดีของ SRAM Based FPGA คือใช้เวลาในการ โปรแกรมน้อย (ระดับ nsec) การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAM ทั่วไป และเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมใน ภาวะที่ไม่มีไฟเลี้ยงได้ ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROM เพื่อเก็บโปรแกรมและทำการ โหลดโปรแกรมลงในตัวชิพในขณะที่ยังมีไฟเลี้ยง

2.3.3 รายละเอียดข้อมูลชิพ FPGA ของบริษัท Altera

2.3.3.1 คุณสมบัติของชิพ FPGA ตระกูลต่างๆ บริษัท Altera เป็นบริษัท หนึ่งที่ทำการผลิตชิพ CPLD และ FPGA โดยได้ทำการผลิตออกจำหน่ายหลายรุ่นด้วยกัน ดังแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไว้ในตารางที่ 2.1 ซึ่งในรุ่นต่างๆ จะมีคุณสมบัติการใช้งานที่แตกต่างกันไปตามลักษณะงาน ตารางที่ 2.1 แสดงตัวอย่างชิพ FPGA ของบริษัท Altera

ตระกูล	Element	Logic Cell	ขนาด Gate	รุ่น
Classic	EPROM	SOP	200 ~ 900	EP610, 910, 1810
MAX 5000	EPROM	SOP	800 ~ 3,200	EPM5032, 064, 128, 130, 192
MAX 7000/E/S	EEPROM	SOP	600 + 5,000	EPM7032/V/S, 064/S, 096/S, EPM7128E/S, 160E/S, 192E/S, 256E/S
FLEX 6000	SRAM	LUT	10,000 ~ 24,000	EPF6016/A, 024A
FLEX 8000A	SRAM	LUT	2,500 ~ 16,000	EPF8282A, 452A, 636A, 820A, 1188A, 1500A
MAX 9000	EEPROM	SOP	6,000 ~ 12,000	EPM9320/A, 400/A, 480/A, 560/A
FLEX 10K/A/B	SRAM	LUT	10,000 ~ 100,000	EPF10K10/A, 20/A, 30/A, 40/A, 50/V/A, EPF10K70/V/A, 100/A, 130/V/A, 250A

2.3.3.2 คุณสมบัติของชิพ EPF10K10LC84

ชิพ EPF10K10LC84 เป็นชิพตระกูล FLEX ที่ใช้ในการทำโครงงานนี้ โดยมีกรายละเอียดของชิพดังตารางที่ 2.2 และมีคุณสมบัติทางไฟฟ้างดังตารางที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 แสดงรายละเอียดของชิพ EPF10K10

คุณสมบัติ	ขนาด
ขนาดเกตโดยปกติ(logic และ RAM)	10,000
ขนาดเกตสูงสุด	31,000
Logic elements(LEs)	576
Logic array blocks(LABs)	72
Embedded array blocks(EABs)	3
ขนาด RAM bit	6,144
ขา I/O สูงสุด	150

ตารางที่ 2.3 แสดงคุณสมบัติทางไฟฟ้าของชิพ EPF10K10

Symbol	Parameter	Min	Max	Unit
V_{CCINT}	Supply voltage for internal logic and input buffers	4.75	5.25	V
V_{CCIO}	Supply voltage for output buffers, 5.0-V operation	4.75	5.25	V
V_i	Input voltage	-0.5	$V_{CCINT} + 0.5$	V
V_o	Output voltage	0	V_{CCIO}	V
V_{IH}	High-level input voltage	2	$V_{CCINT} + 0.5$	V
V_{IL}	Low-level input voltage	-0.5	0.8	V
V_{OH}	High-level TTL Output Voltage	2.4		V
V_{OL}	Low-level TTL Output Voltage		0.45	V
I_{OUT}	DC output current, per pin	-25	25	mA
I_i	Input pin leakage current	-10	-10	μ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.3 การอ่านชื่อชิพ FPGA

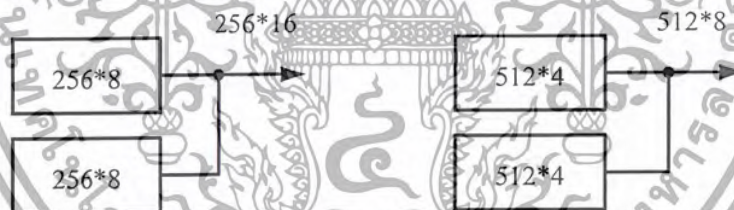
รหัสชื่อของชิพ CPLD/FPGA ของ Altera จะสามารถอ่านได้ตามรูปแบบ ที่ได้กำหนดไว้ซึ่งจะบอกถึงรายละเอียดของตัวชิพต่างเช่น

รุ่น EPF10k10LC84-4

- EPF10K : เป็นชื่อรุ่น ในที่นี้ก็คือ รุ่น FLEX 10K
 10 : เป็นขนาดของ Gate ในที่นี้ก็คือ 10,000 Gate
 L : เป็นลักษณะตัวถังในที่นี้ก็คือ PLCC
 C : เป็นการบอกย่านอุณหภูมิที่ทำงาน
 84 : เป็นการบอกถึงจำนวนขาที่ต่อใช้งาน
 -4 : เป็นการบอกถึงความเร็วในการทำงาน ในที่นี้ก็คือ 4 nSec

2.21.3.4 การใช้หน่วยความจำใน FLEX10K

Flex10k จะมี RAM ให้ใช้ในขนาดที่จำกัดโดยขึ้นอยู่กับเบอร์ เช่น EPF10k10 จะมีขนาดจำนวน 6,144 bit โดยมีรูปแบบการใช้งานตามขนาดดังนี้ 256*8, 512*4, 1024*2, 2048*4 จากขนาดพื้นฐาน เราสามารถประยุกต์ ขนาดอื่นได้ดังรูปที่ 2.4



รูปที่ 2.4 แสดง การประยุกต์ใช้งาน RAM

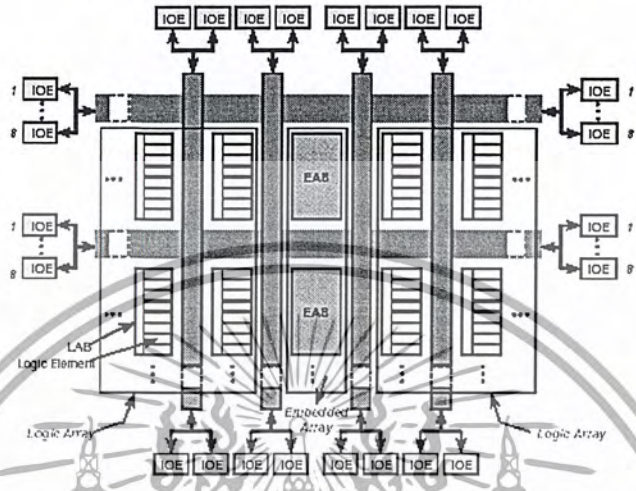
2.3.3.5 โครงสร้างของ Flex10K

Flex10k จะประกอบไปด้วยโครงสร้างหลักคือ Architecture ดังแสดงไว้ในรูปที่ 2.5 ซึ่ง Architecture นี้จะประกอบไปด้วย Embedded Array Block(EAB) จำนวน 3 Block สำหรับชิพเบอร์ EPF10k10

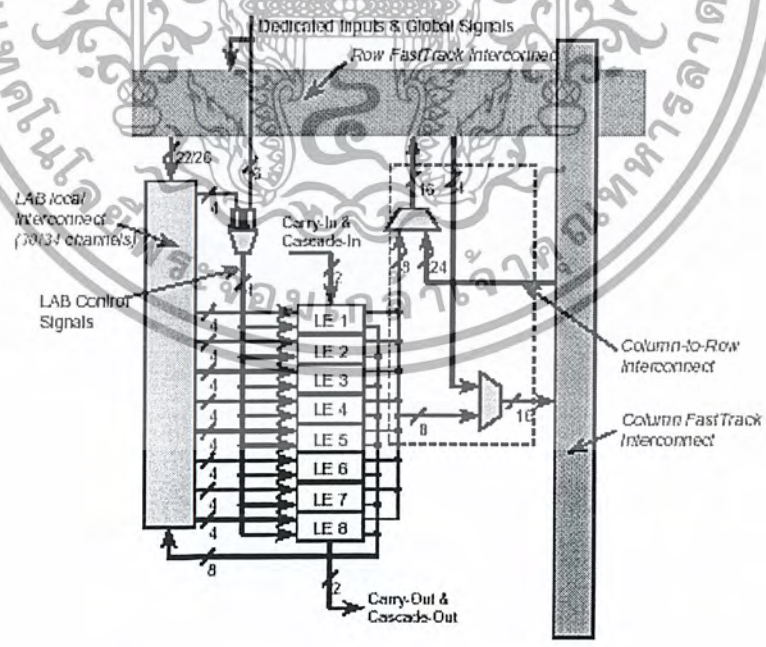
Embedded Array Block (EAB): EAB เป็น Flexible Block ของ RAM ดังแสดงไว้ดังรูปที่ 2.6 EAB จะประกอบไปด้วย register ที่ทำหน้าที่เป็น input และ output ซึ่งจะใช้ในโปรแกรม โดย Mega functions โครงสร้างของ register จะถูกแสดงไว้ในรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLEX 10K Architecture

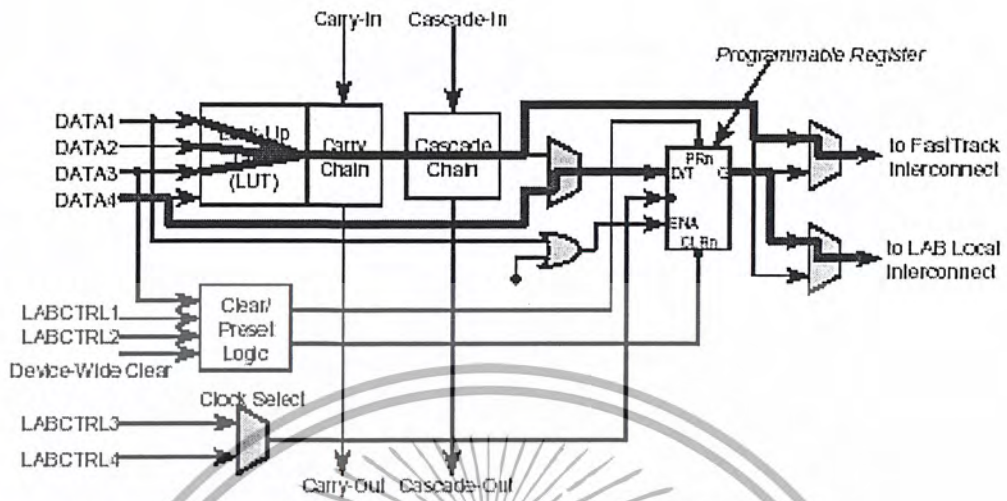


รูปที่ 2.5 แสดง Architecture ของ FLEX10k



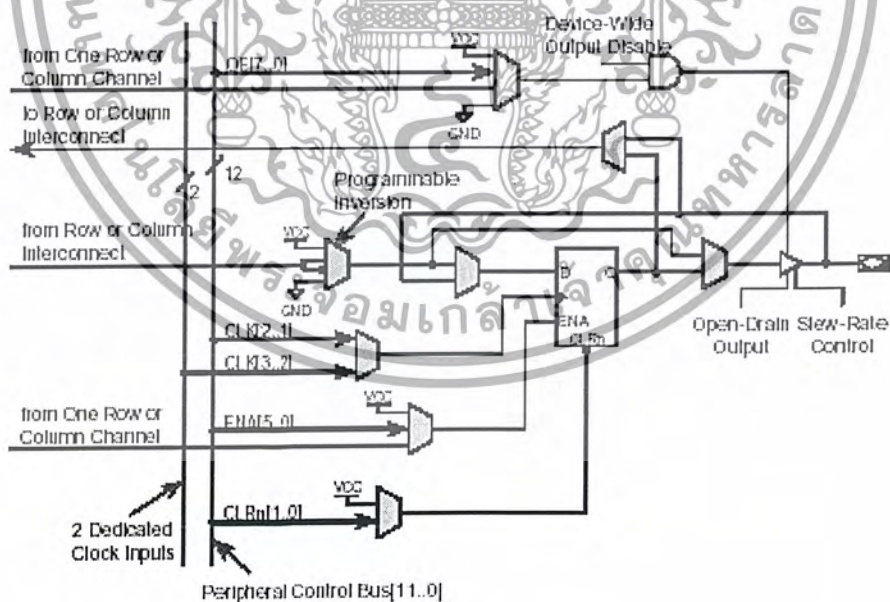
รูปที่ 2.6 แสดง logic array block ของ flex10k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดง Register packing ของ Flex10k

Logic Element (LE) เป็นหน่วยที่เล็กที่สุดใน FPGA ซึ่งจะถูกต่อกันอยู่ในลักษณะของ four-input LUT ดังแสดงในรูปที่ 2.8



รูปที่ 2.8 แสดง Logic Element

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.6 หน้าที่ใช้ต่างๆของ FPGA

FPGA ในตระกูล FLEX10k10 จะมีขาใช้งานต่างโดยแบ่งเป็นขา ที่เป็น Input\Output และขาพิเศษอื่น สำหรับขา I/O จะถูกใช้ในการติดต่อกับอุปกรณ์ภายนอก ส่วนขาพิเศษอื่นจะแสดงลักษณะการใช้งานดังตารางที่

ตารางที่ 2.4 แสดงหน้าที่ขาต่างๆของ FPGA

ขา	ชื่อเต็ม	ลักษณะขา	หน้าที่
TDI	Test data input	อินพุท	เป็นอินพุทของข้อมูลแบบอนุกรมใช้ในการโปรแกรมข้อมูล
TDO	Test data output	เอาต์พุท	เป็นเอาต์พุทของข้อมูลแบบอนุกรมใช้ในแสดงการทดสอบการโปรแกรม
TMS	Test mode select	อินพุท	ใช้ควบคุมสัญญาณที่ใช้ในการโปรแกรม
TCK	Test clock input	อินพุท	ใช้ในวงจร BST
TRST	Test reset input	อินพุท	ใช้ในวงจร boundary-scan
MSEL0,MSEL1		อินพุท	ใช้ในการโปรแกรมข้อมูล
nSTATUS		สองทิศทาง	แสดงสถานะของโปรแกรม มีค่าเป็น "0" ระหว่างโปรแกรม
nCONFIG		อินพุท	ควบคุมการโปรแกรม หากเป็น "0" จะเป็นการรีเซ็ต
CONF_DONE		สองทิศทาง	เมื่อเป็นเอาต์พุท จะเป็นการแสดงสถานะ ซึ่งหากอยู่ระหว่างการโปรแกรมจะมีค่าเป็น "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			เมื่อเป็นอินพุท จะเป็นการรับสถานะของการทำงาน หลังจากทำการโปรแกรมเสร็จเรียบร้อยแล้ว
DCLK		อินพุท	เป็นสัญญาณนาฬิกาของข้อมูล
nCE		อินพุท	หากเป็น "0" จะยอมให้มีการโปรแกรมข้อมูล
nCEO		เอาต์พุท	แสดงสถานะเมื่อมีการโปรแกรมเสร็จเรียบร้อยแล้ว
nWS		อินพุท	เป็นขาที่สั่งให้ขา data[0..7] สามารถเขียนได้
nRS		อินพุท	เป็นขาที่สั่งให้ขา data[0..7] สามารถอ่านได้
RDYnBSY		เอาต์พุท	เป็นขาที่บอกว่าขณะนี้มีการส่งข้อมูลหรือไม่
nCS,CS		อินพุท	เป็นขาที่ใช้เลือกให้ชิพสามารถโปรแกรมได้
CLKUSR		อินพุท	เป็นสัญญาณนาฬิกาที่ตัวผู้ใช้สามารถที่จะเพิ่มได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 VHDL

VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) เป็นภาษาของโปรแกรมในระดับสูง (high level language) ที่ใช้ในการออกแบบฮาร์ดแวร์ในระบบดิจิทัล ลักษณะของภาษาสามารถบรรยายพฤติกรรมการทำงานในรูปแบบของลำดับชั้น (hierarchy) ได้และสามารถที่จะเขียนได้หลายรูปแบบซึ่งจะกล่าวต่อไป จึงทำให้ภาษา VHDL เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุด คือ แนวความคิดที่จะแก้ปัญหา ลงไปที่ละขั้นจนถึงขั้นตอนของการสร้างวงจรจริง และตัวภาษาก็สามารถเปิดโอกาสให้วิศวกรได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชันการทำงานของวงจรรายละเอียด โดยที่ยังไม่ต้องไปคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนั้น VHDL ยังเป็นภาษาที่สนับสนุนลักษณะต่าง ๆ ของระบบดิจิทัลที่มีความซับซ้อนได้ทั้งหมด จึงเป็นภาษาที่น่าสนใจในการศึกษาและนำไปใช้งาน

2.4.1 ประวัติความเป็นมาของภาษา VHDL

วิวัฒนาการของภาษา VHDL นั้นเริ่มต้นประมาณปี พ.ศ.2534 โดยที่กระทรวงกลาโหมสหรัฐอเมริกา หรือ ดีโอดี (DoD : Department of Defense) มองเห็นว่าอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหาร เป็นอุปกรณ์ที่ได้รับการพัฒนามาเมื่อประมาณ 20 ปีก่อน เพราะเทคโนโลยีในขณะนั้นทำให้การพัฒนาอุปกรณ์อิเล็กทรอนิกส์เป็นไปอย่างล่าช้า ซึ่งเป็นสภาพที่ไม่อาจยอมรับได้ในปัจจุบัน เพราะเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์ ได้รับการพัฒนาไปอย่างรวดเร็ว ดังที่จะเห็นได้ว่ามีวงจรรีเลย์อิเล็กทรอนิกส์หลายวงจร ที่แต่เดิมถูกสร้างขึ้นมาจากชิ้น ถูกนำประกอบกันอยู่บนแผงวงจรไฟฟ้า ที่มีขนาดใหญ่ แต่ในปัจจุบันสามารถที่จะใช้เทคโนโลยีการออกแบบและผลิตวงจรรวมขนาดใหญ่มาก (VLSI : Very Large Scale Integration) รวมอุปกรณ์ต่าง ๆ เหล่านั้นให้อยู่บนชิ้นอุปกรณ์สารกึ่งตัวนำ ที่มีขนาดประมาณ 1 – 2 ตร.ซม. ได้เป็นผลให้การทำงานของวงจรสูงขึ้น มีประสิทธิภาพสูงขึ้น (ความเร็วในการทำงานของวงจร) ตลอดจนความน่าเชื่อถือในการทำงาน และความคงทนต่อสภาพแวดล้อมสูง ขณะเดียวกันนั้นในวงการทหารได้มีการนำระบบคอมพิวเตอร์และอิเล็กทรอนิกส์ มาใช้ในระบบอาวุธอย่างแพร่หลาย ดังนั้นอุปกรณ์ที่มีใช้อยู่จึงไม่เหมาะสมกับเทคโนโลยีด้านอาวุธของประเทศคู่แข่ง การที่จะเปลี่ยนอุปกรณ์ใหม่เป็นสิ่งที่ต้องใช้งบประมาณมาก และก็จะประสบกับปัญหาเช่นเดิมคือ อุปกรณ์ใหม่ได้รับการพัฒนามานานแล้วเช่นกัน เพราะในขณะนั้นขั้นตอนของการออกแบบ การผลิต และการตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกรและเวลาสำหรับดำเนินการมาก ฉะนั้นทาง ดีโอดีจึงตั้งโครงการขึ้นมาเพื่อศึกษา วิธีการที่จะช่วยพัฒนาวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรรบบดิจิทัล ให้สามารถนำไปผลิตได้เร็วขึ้น และโครงการดังกล่าวมีชื่อว่า "Very High Speed Integrated Circuits" หรือ วีเอชเอสไอซี (VHSIC) ในระยะแรกนั้นโครงการเป็นความลับทางด้านความมั่นคงของประเทศ และอยู่ในความดูแลควบคุมของ United States International Traffic and Arms Regulation หรือ ไอทีเออาร์ (ITAR) ในปี ค.ศ. 1983 ตามคำแนะนำของคณะทำงาน (Woods Hole Workshop) ทาง ดีไอดีนั้นได้ออกความต้องการมาตรฐานของภาษาที่ใช้สำหรับบรรยายพฤติกรรมของวงจรหรือฮาร์ดแวร์ของระบบ สำหรับโครงการวีเอชเอสไอซี ซึ่งมีสาระสำคัญพอสรุปได้ดังนี้

- ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิทัล และมีคุณสมบัติที่สามารถจะเข้าใจได้ทั้งคนและเครื่องโดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
 - สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้
 - ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร
- ฉะนั้น ภาษาดังกล่าวนี้จึงจัดเป็นภาษาโปรแกรมระดับสูง เช่นเดียวกับภาษาปาสคาล หรือ ภาษาซี ซึ่งในทางวิศวกรรมการออกแบบฮาร์ดแวร์เรียกว่า "Hardware Description Language" หรือ เอชดีแอล (HDL) เริ่มต้นโครงการดีไอดีได้มอบหมายให้บริษัทไอบีเอ็มและบริษัทเท็กซัสอินสตรูเมนต์และบริษัทอินเทลเมทริกซ์เป็นผู้ศึกษาและพัฒนา การดำเนินการได้กระทำอย่างต่อเนื่องและได้ผลเป็นที่น่าพอใจ จนกระทั่งปี ค.ศ. 1985 ทางไอทีเออาร์ได้ยกเลิกข้อจำกัดในการถ่ายทอดเทคโนโลยีทางทหารออกจากโครงการนี้ ดังนั้นภาษา VHDL จึงเริ่มเป็นที่รู้จักกันโดยทั่วไป จนกระทั่งทางไออีอี (IEEE) จึงได้รับภาษานี้เข้ามาศึกษาและในประมาณปี ค.ศ.1987 ได้ยอมรับกำหนดมาตรฐานของภาษาโดยให้ชื่อว่า IEEE 1076-1993 หรือ VHDL 1993 การที่ทาง ดีไอดี ในขณะนั้นเป็นลูกค้ารายใหญ่ของอุตสาหกรรมอิเล็กทรอนิกส์และคอมพิวเตอร์ จึงมีผู้รับโครงการจาก ดีไอดี ไปดำเนินการด้านวิจัยและพัฒนามาก เพื่อที่จะให้เป็นมาตรฐานเดียวกันทั้งหมด ทางดีไอดี จึงกำหนดว่า ในการส่งโครงการนั้นจะต้องเขียนอยู่ในรูปของภาษา VHDL เท่านั้น ซึ่งทำให้เกิดข้อดีต่อ DOD เองที่เป็นมาตรฐานเดียวกัน สามารถนำไปจำลองกับเครื่องคอมพิวเตอร์ได้หลาย ๆ ระบบ

2.4.2 ส่วนประกอบต่าง ๆ ของภาษา VHDL

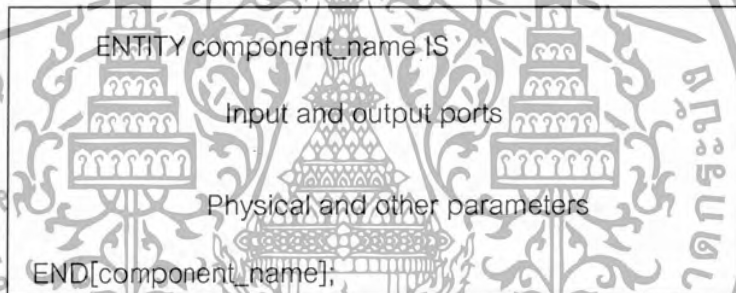
ในการเขียนแบบบรรยายระบบดิจิทัลในมุมมองของการออกแบบในลักษณะบนลงล่างจะต้องทำความเข้าใจในเรื่องของโครงสร้างและระบบต่าง ๆ ของรูปแบบภาษา VHDL เสียก่อนซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนมี 4 หน่วยคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. หน่วยการออกแบบเอนทิตี (Entity Design Unit)
2. หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)
3. หน่วยการออกแบบแพ็คเกจ (Package Design Unit)
4. หน่วยการออกแบบโครงสร้าง (Configuration Design Unit)

2.4.3 หน่วยการออกแบบเอนทิตี

หน่วยการออกแบบนี้เป็นส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น ที่เรียกว่าหน่วยการออกแบบเอนทิตี ในส่วนนี้ใช้กำหนดจุดเชื่อมต่อ ของรูปแบบกำหนดทิศทาง การไหลของสัญญาณและประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่าง ๆ ของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้นรูปที่ 2.9 แสดงให้เห็นโครงสร้างอย่างง่าย ๆ ของหน่วยการออกแบบ เอนทิตี



รูปที่ 2.9 โครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี

ส่วนนี้ขึ้นต้นด้วยคำว่า ENTITY และ IS ระหว่างคำทั้งสองเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน (component_name) สำหรับการตั้งชื่อนั้นต้องเป็นไปตามกฎเกณฑ์ของภาษา หลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทางเข้าและออกของข้อมูล (input-output) รวมทั้งคำพารามิเตอร์อื่นๆ ส่วนนี้เรียกว่าส่วนหัว (entity header) และที่สำคัญนั่นคือ หน่วยการออกแบบเอนทิตีจะต้องปิดท้ายด้วยคำว่า END และเครื่องหมายอัฒภาคเสมอ (;)

2.4.3.1) port ชนิดต่างๆ

พอร์ตที่ใช้กันส่วนใหญ่ในภาษา VHDL มีดังนี้

1. in : รับข้อมูลไหลเข้าวงจรได้อย่างเดียว
2. out : ส่งข้อมูลไหลออกจากวงจรได้อย่างเดียว
3. inout : ข้อมูลสามารถไหลเข้าและไหลออกจากพอร์ตนี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3.2) การตั้งชื่อ (Identifier)

ในการเขียนโปรแกรมด้วยภาษาอะไรก็แล้วแต่ จะต้องมี การตั้งชื่อเสมอ เช่นในการเขียนภาษาปาสคาลจะต้องมีการตั้งชื่อโปรแกรม ชื่อตัวแปร ชื่อโฟลเดอร์ ชื่อฟังก์ชัน เป็นต้น ในภาษา VHDL ก็เช่นเดียวกัน จะต้องมี การตั้งชื่อของส่วน entity ชื่อของ signal ชื่อของส่วน architecture ชื่อของตัวแปร ชื่อของคอมโพเนนท์ที่ใช้งาน เป็นต้น

ชื่อ (Identifier) ที่จะตั้งในภาษา VHDL จะต้องประกอบด้วยตัวของอักขระตั้งแต่ 1 ตัวขึ้นไปโดยมีความยาวของชื่อได้ไม่จำกัด ค่าที่เป็นไปได้คือ ตัวอักษรพิมพ์ใหญ่ (A...Z) ตัวอักษรพิมพ์เล็ก (a...z) ตัวเลข (0...9) และเครื่องหมาย underscore (_) โดยมีกฎอยู่ว่า Identifier จะต้องขึ้นต้นด้วยตัวอักษร (A...Z) (a...z) และต้องไม่ลงท้ายด้วยเครื่องหมาย underscore โดยในภาษา VHDL นั้นจะถือว่าตัวอักษรพิมพ์เล็กและพิมพ์ใหญ่ไม่มีความแตกต่างกัน (non-case sensitive) ยกตัวอย่างเช่น ADDER , adder , Adder และ AddER จะถือว่าเป็นตัวเดียวกัน ในการใช้เครื่องหมาย underscore นั้นจะต้องไม่ใช่ติดกัน นอกจากนี้แล้ว ในการตั้งชื่อจะต้องไม่ใช่คำสงวน (reserved word) ของภาษา VHDL ด้วย ตัวอย่างของการตั้งชื่อที่ถูกต้องได้แก่

RESET_SIGNAL DATA_BusSET_OUT_LOW
CONST34_99 c3po AndGate

ตัวอย่างการตั้งชื่อที่ผิด ได้แก่

2bus_high	ผิด เพราะตัวขึ้นต้นด้วยตัวเลข
_Jkflipflop	ผิด เพราะขึ้นต้นด้วยเครื่องหมาย underscore
Data_bus_	ผิด เพราะลงท้ายด้วยเครื่องหมาย underscore
Memory_address	ผิด เพราะใช้เครื่องหมาย underscore 2 ตัวติดกัน

2.4.3.4) VHDL Operators

Operator ที่ถูกกำหนดไว้แล้ว (predefined operator) ในภาษา VHDL นั้นสามารถแบ่งออกเป็น 4 ประเภท ดังต่อไปนี้

1. Logical operators
2. Relational operators
3. Arithmetic operators
4. Concatenation operators

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

n) Logical operators

ใช้ในการทำโอเปอเรชั่นทางลอจิก ซึ่งมีอยู่ 6 ตัวด้วยกัน อันได้แก่

and or nand nor xor not

โอเปอเรเตอร์ดังกล่าวใช้ได้สำหรับข้อมูลชนิด bit , bit_vector และ Boolean โดยที่โอเปอเรชั่น

not จะมีลำดับความสำคัญ (precedence) สูงสุด ส่วนโอเปอเรชั่น and , or , nand , nor และ xor จะมีลำดับความสำคัญเท่ากัน และมีลำดับความสำคัญน้อยกว่าโอเปอเรชั่น not ในการทำโอเปอเรชั่นทางลอจิกนั้นข้อมูลที่นำมาทำโอเปอเรชั่นกันจะต้องเป็นข้อมูลชนิดเดียวกัน และผลลัพธ์จากการทำโอเปอเรชั่นให้เอาที่พุดชนิดเดียวกันกับอินพุต ตัวอย่างของการทำโอเปอเรชั่นทางลอจิกได้แก่

A and B

not (CLK or RESET)

ADDRESS_BUS(2 downto 0) nor "010"

๑) Relational operators

ใช้ในการเปรียบเทียบโอเปอเรชั่นชนิดใดก็ได้ ยกเว้น file type ซึ่งผลลัพธ์จากการเปรียบเทียบจะมีชนิดเป็น Boolean โดยที่โอเปอเรเตอร์แบบ relational มีดังนี้

= เท่ากับ

/= ไม่เท่ากับ

<= น้อยกว่าหรือเท่ากับ

>= มากกว่าหรือเท่ากับ

> มากกว่า

< น้อยกว่า

ในการเปรียบเทียบออบเจกต์ที่เป็นชนิด bit_vector นั้นออบเจกต์ที่นำมาเปรียบเทียบกันไม่จำเป็นต้องมีจำนวนบิตที่เท่ากันก็ได้ ดังตัวอย่าง

1	0	1	0
---	---	---	---

A

1	1	1
---	---	---

B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลลัพธ์จากการเปรียบเทียบ A กับ B ก็คือ B มีมากกว่า A เพราะจำนวนบิตของการเปรียบเทียบจะเท่ากับจำนวนบิตของโอเปอเรนด์ตัวที่มีจำนวนบิตน้อยที่สุด โดยเริ่มเปรียบเทียบจาก MSB ลงมาจนกระทั่งถึง LSB ดังนั้นค่า "111" จึงถูกเปรียบเทียบกับค่า "101" จึงให้ผลออกมาว่า B มีค่ามากกว่า A

ค) Arithmetic operators

ใช้ในการทำโอเปอเรชั่นทางคณิตศาสตร์ ซึ่งแสดงดังตารางที่ 2.1

ตารางที่ 2.5 การทำโอเปอเรชั่นทางคณิตศาสตร์

Operator	Operation
+	บวก
-	ลบ
*	คูณ
/	หาร
mod	modulus
abs	หาค่าสัมบูรณ์
**	ยกกำลัง

ง) Concatenation operators

ใช้ในการเชื่อมต่อข้อมูลตัวเดียว ๆ หรือข้อมูลชนิดอะเรย์ 1 มิติเข้าด้วยกันโดยให้ผลลัพธ์ออกมาเป็นข้อมูลชนิดอะเรย์เสมอ ซึ่งสัญลักษณ์ที่ใช้คือเครื่องหมาย & ตัวอย่างเช่น

'0' & '1' จะได้ผลลัพธ์เท่ากับ "01"

'F' & 'A' & 'T' จะได้ผลลัพธ์เท่ากับ "FAT"

"FRO" & "NT" จะได้ผลลัพธ์เท่ากับ "FRONT"

2.4.4) Data Objects

Data Object มีอยู่ 3 ชนิด อันได้แก่

1. Constant ออบเจกต์ที่เป็นชนิด constant (ค่าคงที่) จะสามารถเก็บค่าของข้อมูลชนิดที่ระบุให้กับออบเจกต์ได้แค่ 1 ค่าเท่านั้น โดยค่าดังกล่าวจะถูกกำหนดให้กับออบเจกต์ก่อนที่จะมีการ simulation เกิดขึ้นและค่าของมันจะไม่เปลี่ยนแปลงเลยตลอดการ simulation

2. Variable ออบเจกต์ชนิด variable (ตัวแปร) นี้สามารถเก็บค่าของข้อมูลชนิดที่ระบุให้กับออบเจกต์นี้ได้ แต่ออบเจกต์ชนิดนี้สามารถรับค่าอื่นเข้าไปเก็บไว้ในภายหลังได้ด้วยการใช้ variable assignment statement (ซึ่งก็คือเครื่องหมาย := นั่นเอง)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Signal ออบเจกต์ชนิด signal (สัญญาณ) นี้จะเป็นของสัญญาณซึ่งจะมีค่าของเดิมของสัญญาณ , ค่าปัจจุบัน และเซตของค่าในอนาคต โดยที่ค่าในอนาคตของสัญญาณนี้จะถูกกำหนดให้โดยใช้ signal assignment statement (ซึ่งก็คือเครื่องหมาย \leq นั่นเอง)

ออบเจกต์ที่เป็นแบบ signal จะเปรียบเหมือนสายไฟที่ใช้เชื่อมต่อภายในวงจร ในขณะที่ variable นั้นจะเปรียบเหมือนกับตัวแปรที่ใช้กันในการเขียนโปรแกรมภาษาระดับสูง เช่น ภาษาซี หรือภาษาปาสคาล โดยทั่วไป signal จะใช้ในการสร้างสายไฟหรือฟลิปฟล็อปภายในวงจรในขณะที่ variable และ constant จะใช้ในการบรรยายพฤติกรรมของวงจร

การประกาศออบเจกต์ (object declaration) จะใช้ในการประกาศตัวออบเจกต์และชนิดของออบเจกต์ (object type) ตลอดจนถึงประเภทของตัวมันด้วย (ว่าเป็นออบเจกต์ประเภท constant , variable หรือ signal กันแน่) และในบางครั้งการประกาศออบเจกต์อาจจะมีการกำหนดค่าเริ่มต้น (initial value) ของออบเจกต์นั้นอีกด้วย

2.4.4.1) การประกาศค่า constant (constant declaration)

ตัวอย่างของการประกาศค่า constant ได้แก่

```
constant CLOCK_PERIOD : time := 10 ns;
constant BUS_WIDTH : integer : 32;
```

รูปที่ 2.10 ตัวอย่างของการประกาศค่า constant

รูปที่ 2.10 เป็นการประกาศออบเจกต์ชื่อ CLOCK_PERIOD ให้มีชนิดของออบเจกต์เป็นชนิด time (เป็น type มาตรฐานตัวหนึ่งในภาษา VHDL) และมีค่าเท่ากับ 10 ns รูปที่ 2.10 เป็นการตัวอย่างประกาศออบเจกต์ชื่อ BUS_WIDTH ให้มีชนิดของออบเจกต์เป็นชนิด integer ดังนั้นค่าที่ ออบเจกต์ BUS_WIDTH จะเก็บได้ก็คือตัวเลขจำนวนเต็ม ซึ่งมีค่าเท่ากับ 8

2.4.4.2) การประกาศ variable

ตัวอย่างของการประกาศ variable ได้แก่

```
variable A_LT_B , DONE : boolean;
variable REMAINDER : integer range 0 to 127 := 10;
variable INT_SIGNAL : bit_vector (10 downto 0) ;;
```

รูปที่ 2.11 ตัวอย่างของการประกาศ variable

รูปที่ 2.11 เป็นการประกาศ variable ชื่อ A_LT_B และ variable ชื่อ DONE ให้มีชนิดเป็น Boolean ซึ่งค่าที่สามารถเก็บได้จะมีแค่ค่า true กับ false เท่านั้น ตัวอย่างที่ 2 เป็นการประกาศ variable ชื่อ REMAINDER ซึ่งมีชนิดเป็น integer โดยมีการกำหนดขอบเขตให้ค่าที่ REMAINDER จัดเก็บได้นั้นจำกัดอยู่ที่ค่าในช่วง 0 ถึง 127 เท่านั้นและค่าเริ่มต้น (initial value) ของ variable มีค่าเท่ากับ 10 ตัวอย่างที่ 3 เป็นการประกาศ variable ชื่อ INT_SIGNAL ให้มีชนิดเป็น bit_vector ซึ่งในการประกาศไม่มีการกำหนดค่าเริ่มต้นเอาไว้

2.4.4.3) การประกาศ signal

ตัวอย่างของการประกาศ signal ได้แก่

```
Signal RESET : bit := '0';
Signal SUM : bit_vector (31 downto 0);
Signal DIVIDEND : integer;
```

รูปที่ 2.12 ตัวอย่างของการประกาศ signal

รูปที่ 2.12 เป็นการประกาศ signal ชื่อ RESET ให้มีชนิดเป็น bit และมีค่าเริ่มต้นเป็นลอจิก '1' ตัวอย่างที่ 2 เป็นการประกาศ signal ชื่อ SUM ให้มีชนิดเป็นอะเรย์ของข้อมูลชนิด bit ขนาด 32 บิต ตัวอย่างสุดท้ายเป็นการประกาศ signal ชื่อ DIVIDEND ให้มีชนิดเป็น integer

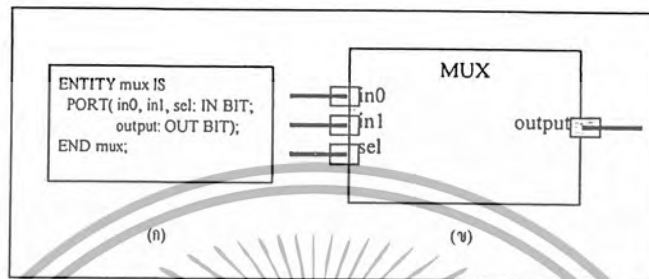
2.4.4.4) ชนิดของข้อมูล (Data type)

Data type ที่มีอยู่แล้วในภาษา VHDL (predefined type) ได้แก่

1. CHARACTER มีค่าที่เป็นไปได้ดังในรูปที่ 2.13
2. BIT ที่ค่าที่เป็นไปได้คือ '0' และ '1'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

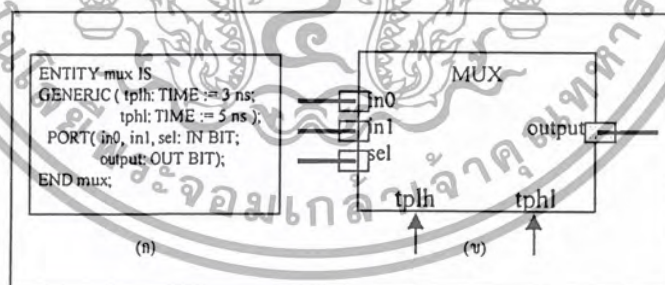
ไหลออก ซึ่งกำหนดด้วยทิศทางการติดต่อกับภายนอกเป็นการไหลออก (OUT) ที่แสดงด้วยรูปสี่เหลี่ยมทึบในรูปที่ 2.14 ส่วนประเภทของข้อมูลที่จะไหลเข้าและออกนั้น เป็นประเภท BIT ที่สามารถมีค่าได้เพียงสองค่าคือ '0' และ '1' เท่านั้น



รูปที่ 2.14 รูปแบบของมัลติเพล็กซ์ (ก) หน่วยการออกแบบเฮนติดีในรูปของ VHDL

(ข) มุมมองของตัวเชื่อมประสาน (Interfacing)

นอกจากนี้ ผู้ออกแบบยังสามารถกำหนดค่าพารามิเตอร์ทางฟิสิกส์ที่เป็นข้อมูลเพิ่มเติมอื่นลงในส่วนหัวของเฮนติดีได้อีก เช่น ข้อมูลเกี่ยวกับความเร็วในการทำงานของอุปกรณ์ อันได้แก่ ค่าเวลาหน่วงแพร่กระจาย (Propagation delay time) พารามิเตอร์เหล่านี้ เรียกว่า เจเนอริก (Generic) ที่กำหนดด้วยคำสั่ง GENERIC จากตัวอย่างในรูปที่ 2.52



รูปที่ 2.15 รูปแบบมัลติเพล็กซ์ที่ประกอบด้วยข้อมูลค่าเวลาหน่วงแพร่กระจาย

(ก) หน่วยการออกแบบเฮนติดีในรูปของ VHDL

(ข) มุมมองของตัวเชื่อมประสาน

ในบางกรณีสามารถใช้ภาษา VHDL สร้างรูปแบบที่ปราศจากช่องทางไหลเข้าและออกของข้อมูลได้ดังรูปที่ 2.15 ซึ่งส่วนใหญ่จะพบในการสร้างรูปแบบสำหรับตรวจสอบการทำงานของอีกรูปแบบหนึ่งคือ VHDL สำหรับการทดสอบเปรียบเทียบ (Test bench)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY test_bench IS
END test_bench;
```

รูปที่ 2.16 หน่วยการออกแบบเอนทิตีที่ไม่มีกำหนดช่องทางที่ต่อกับภายนอก

2.4.5 หน่วยการออกแบบสถาปัตยกรรม

คือส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบในมุมมองของการจำลองการทำงาน พฤติกรรมต่างๆ ที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออก ตรงช่องทางตลอดจน พารามิเตอร์ต่างๆ ที่กำหนดในหน่วยการออกแบบเอนทิตี รูปที่ 2.17 แสดงให้เห็นถึงโครงสร้าง อย่างง่ายของหน่วยการออกแบบสถาปัตยกรรม

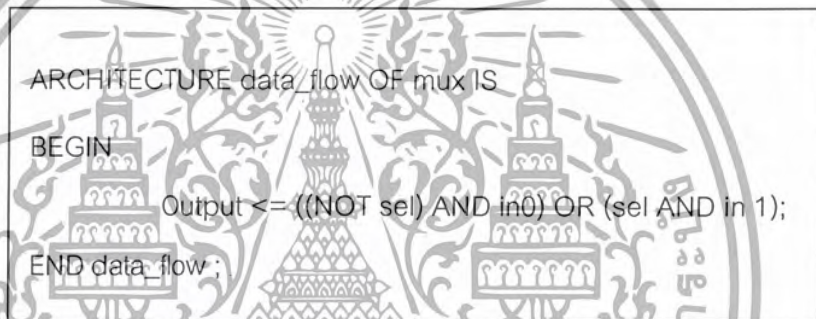
```
ARCHITECTURE identifier OF component_name IS
[declaration]
BEGIN
specification of the functionality of the
component in terms of its input lines and as
influenced by physical and other parameters
END [identifier];
```

รูปที่ 2.17 โครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม

ส่วนของหน่วยการออกแบบสถาปัตยกรรม เริ่มต้นด้วยคำ ARCHITECTURE และ ตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่ง que แสดงให้เห็นว่า ARCHITECTURE นั้นใช้ บรรยายหน่วยการออกแบบเอนทิตีใดๆ (OF <entity design unit> IS) ส่วนที่อยู่ระหว่าง ARCHITECTURE และ BEGIN เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (architecture declarative area) ที่เป็นเพียงส่วนเพื่อเลือก (option) ในบริเวณนี้สามารถใช้เขียน ประกาศกำหนดค่าต่างๆ ที่จะนำไปใช้ในสถาปัตยกรรมนั้นได้ อาทิเช่น ประเภท (type) ต่างๆ (ตัวอย่างเช่น bit, bit_vector), สัญญาณ (signal), ค่าคงที่ (constant), โปรแกรมย่อย (ได้แก่ function และ procedure) และอุปกรณ์ (component) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่าง ข้อมูลที่ไหลเข้า และไหลออกของรูปแบบ (สัญญาณที่กำหนดในชุดคำสั่ง PORT) นั้นจะถูก แยกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรยายในบริเวณเนื้อที่ระหว่างคำว่า BEGIN กับ END ของหน่วยการออกแบบสถาปัตยกรรม และนอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบแข่งขันาน (concurrent statement) เท่านั้น หน่วยการออกแบบสถาปัตยกรรม จะต้องปิดท้ายด้วยคำสั่ง END และชื่อของสถาปัตยกรรมนั้นๆ ที่เป็นส่วนเพื่อเลือกโดยทั่วไปการเขียนรูปแบบระบบดิจิทัลด้วยภาษา VHDL สามารถเขียนได้ในลักษณะต่างๆ ดังนี้

1. ประเภทการไหลของข้อมูล (Dataflow description)
2. ประเภทพฤติกรรม (Behavioral description)
3. ประเภทโครงสร้าง (Structure description)
4. ประเภทผสม (Mixed model description)



```

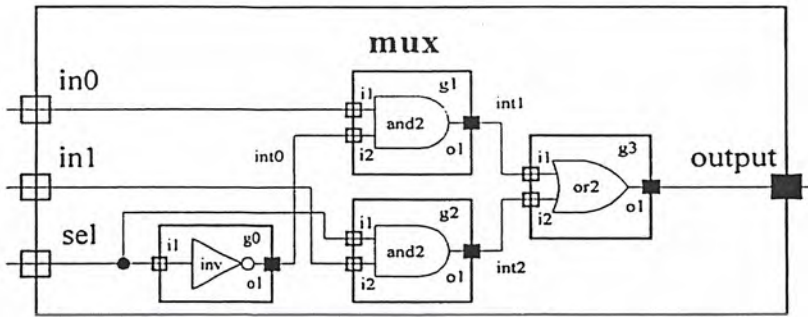
ARCHITECTURE data_flow OF mux IS
BEGIN
    Output <= ((NOT sel) AND in0) OR (sel AND in 1);
END data_flow ;

```

รูปที่ 2.18 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ตามฟังก์ชันบูลีน

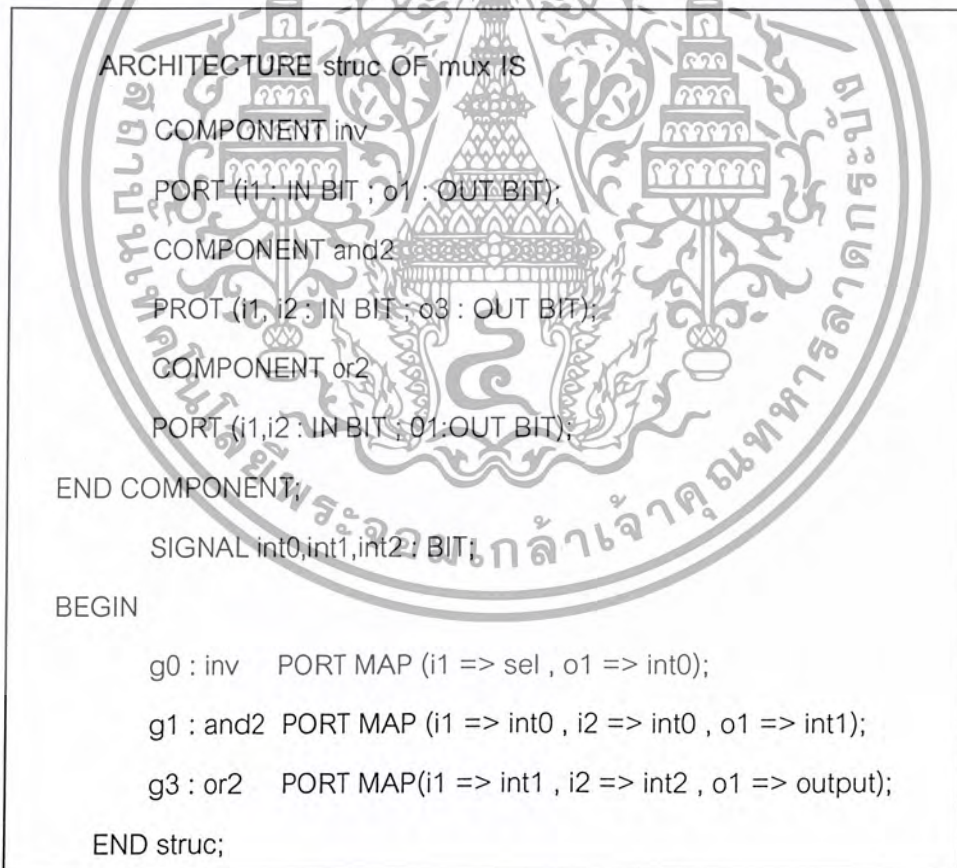
$$\text{Output} = (\text{sel.in0}) + (\text{sel.in1})$$

รูปที่ 2.18 ส่วนที่บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้า (in0, in1) กับข้อมูลที่ไหลออก (output) ประกอบด้วยชุดคำสั่งแบบแข่งขันานเพียงชุดเดียว ซึ่งเขียนเป็นประเภทการไหลของข้อมูลของมัลติเพลกซ์ หรือ ระดับการถ่ายโอนข้อมูลระหว่างรีจิสเตอร์ (RTL : Register Transfer Level)



รูปที่ 2.19 โครงสร้างภายในสถาปัตยกรรมของมัลติเพล็กซ์

รูปที่ 2.19 เป็นหน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ประเภทโครงสร้าง โดยใช้อินเวอร์เตอร์ (inv ที่ตำแหน่ง g0) , แอนด์เกต 2 อินพุตจำนวน 2 ตัว (and2 ที่ตำแหน่ง g1 และ g2) และ ออร์เกต 2 อินพุต (or2 ที่ตำแหน่ง g3) มาสร้างตามฟังก์ชันบูลีนของรูปที่ 2.56



รูปที่ 2.20 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ประเภทโครงสร้าง

จากรูปที่ 2.21 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพล็กซ์ประเภทพฤติกรรม การ

เขียนจะมีลักษณะที่แตกต่างกับแบบโครงสร้างแต่การทำงานเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ARCHITECTURE behav OF mux IS
BEGIN
    PROCESS (in0, in1, sel)
        IF (sel = '0') THEN output <= in0;
        ELSE output <= in1;
        END IF;
    END PROCESS;
END behav;

```

รูปที่ 2.21 หน่วยการออกแบบสถาปัตยกรรมของมัลติเพลกซ์ประเภทพฤติกรรม
 ไม่ว่าเขียนบรรยายส่วนของสถาปัตยกรรมของมัลติเพลกซ์ในลักษณะของ ประเภท
 พฤติกรรมประเภทการไหลของข้อมูล ประเภทโครงสร้างหรือประเภทผสมที่นักเอาแต่ละประเภทมา
 เขียนไว้ในส่วนของสถาปัตยกรรม ก็ตามต่างก็มีพฤติกรรมเดียวกันและจะให้ผลลัพธ์จากการ
 จำลองการทำงานที่เหมือนกันซึ่งนี่ก็เป็นข้อดีของภาษา VHDL

2.4.6 หน่วยการออกแบบแพ็คเกจ

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อยที่สามารถเป็นประโยชน์ต่อการเขียนใน
 รูปแบบบรรยายระบบดิจิทัลสามารถเก็บไว้ในส่วนของแพ็คเกจได้ และข้อมูลเหล่านี้สามารถเรียก
 ไปใช้งานได้โดย หน่วยการออกแบบเอนทิตี หน่วยการออกแบบสถาปัตยกรรม หรือ จากหน่วยการ
 ออกแบบแพ็คเกจอื่น ๆ นอกจากนั้นสิ่งที่นิยมทำกันมากคือรูปแบบมาตรฐานต่าง ๆ เช่น อุปกรณ์
 มาตรฐาน (เช่น IC ตระกูล 74XX เป็นต้น) จะถูกเก็บไว้ในแพ็คเกจที่ทุกคนเข้าถึงโดยปกติแล้ว
 แพ็คเกจจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็คเกจ และ ส่วนของบอดี้แพ็คเกจเนื่องจากแพ็คเกจ
 เกิดถูกสร้างขึ้นเป็นส่วนแยกต่างหากจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็คเกจไปใช้นั้น
 จะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE

2.4.6.1) Package Declaration

ส่วนที่มีความสำคัญที่สุดของแพ็คเกจ (ถ้ามองในแง่การนำไปใช้จากภายนอก) ได้แก่
 ส่วนการประกาศแพ็คเกจ เพราะจะเป็นส่วนที่กำหนดชื่อ ของส่วนที่ประกาศอยู่ในแพ็คเกจ
 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการนำไปใช้ภายนอก ตัวของแพ็คเกจของสิ่งใด ๆ ถูกประกาศในส่วนของส่วนบอดีแพ็คเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็คเกจ จะไม่สามารถถูกนำค่าและพฤติกรรมไปใช้ส่วนนอกได้ซึ่งสามารถเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศเอนทิตีคือ จุดเชื่อมต่อ หรือพอร์ตที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้ว แพ็คเกจสามารถสร้างขึ้นได้โดยไม่ต้องมีส่วนบอดี และยังสามารถถูกนำไปใช้จากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศชนิด (TYPE) หรือสัญญาณ เช่นเดียวกันกับ ส่วนบอดีแพ็คเกจที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็คเกจ แต่แพ็คเกจนั้นไม่สามารถนำไปใช้จากรูปแบบอื่นได้ ดังรูป 2.21

```

PACKAGE package_name IS
    Package_declarative_part
END package_name;

```

รูปที่ 2.22 โครงสร้างโดยทั่วไปของส่วนการประกาศแพ็คเกจ

2.4.6.2) Package Body

โครงสร้างที่ประกอบด้วยส่วนต่าง ๆ ในรูปของคำสั่งลำดับ ที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อย (Subprogram) ทั้งหลายที่ชื่อของโปรแกรมย่อยนั้นๆ ที่ถูกประกาศไปในส่วนของการประกาศแพ็คเกจแล้วจะถูกเก็บไว้ในส่วนบอดีแพ็คเกจ ทั้งนี้รวมทั้งการกำหนดค่าคงที่ต่าง อันได้แก่การตั้งค่างที่ ถูกประกาศชื่อก่อนในส่วนของการประกาศแพ็คเกจแต่ถูกกำหนดในส่วนของบอดีแพ็คเกจ ฉะนั้นส่วนบอดีแพ็คเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็คเกจไม่มีการประกาศชื่อ ที่เป็นโปรแกรมย่อยหรือค่าคงที่ การเขียนบอดีแพ็คเกจนั้นเป็นไปตามกฎเกณฑ์ที่แสดงในรูป 2.23

```

PACKAGE BODY package_name IS
    declarative part
END package_name;

```

รูปที่ 2.23 โครงสร้างของบอดีแพ็คเกจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.7 หน่วยการออกแบบโครงแบบ

ดังที่ทราบกันว่ารูปแบบหนึ่งของระบบดิจิทัลอลไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตีได้เพียงหนึ่งเดียวเท่านั้น แต่ในขณะที่หน่วยการออกแบบเอนทิตีหนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรม ที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมี หน่วยการออกแบบโครงแบบมาเพื่อกำหนดการใช้โครงแบบ (Configuration) ประกอบเอนทิตีกับหน่วยการออกแบบสถาปัตยกรรมหน่วยไหนเข้าด้วยกันดังรูปที่ 2.24

```

CONFIGURATION identifier OF entity_name IS
    Configuration_declarative_part
END;
```

รูปที่ 2.24 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

2.4.8 ภาษา VHDL เพื่อการสังเคราะห์

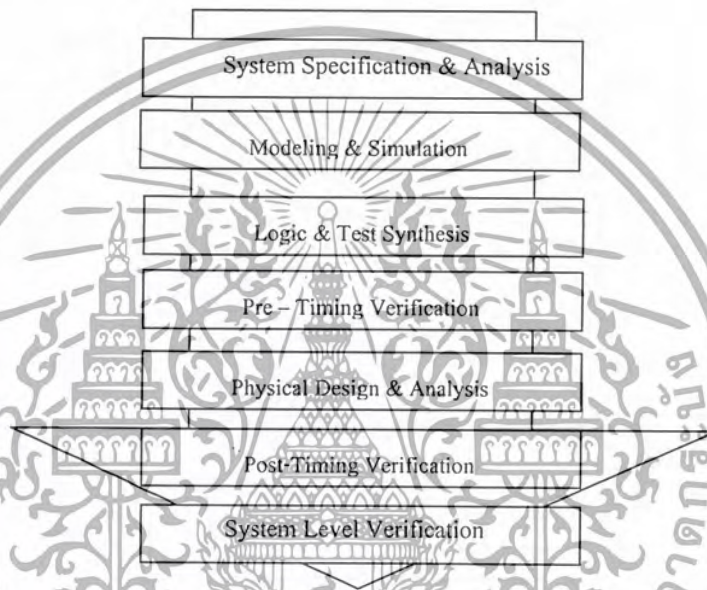
ภาษา VHDL เป็นภาษาที่เขียนเพื่อจำลองการทำงานของวงจร ซึ่งในบางรูปแบบการเขียนไม่สามารถที่จะนำไปสังเคราะห์ได้ทั้งหมด ดังนั้นถ้าต้องการเขียนเพื่อนำไปสังเคราะห์ ควรหลีกเลี่ยงรูปแบบต่าง ๆ ที่ไม่สามารถนำไปสังเคราะห์ได้ ในที่นี้ขึ้นอยู่กับความสามารถของโปรแกรมที่ใช้สังเคราะห์แต่ละโปรแกรม ดังนั้นในหัวข้อนี้จะแสดงตัวอย่างของการเขียนโมดูลในรูปแบบต่างๆ ที่สามารถนำไปสังเคราะห์ซึ่งยึดหลักการเขียนตาม ViewSynthesis User's Guide ของโปรแกรม Viewlogic ซึ่งเป็นโปรแกรมที่ใช้ในการสังเคราะห์วงจรทั้งหมด ในการออกแบบไมโครคอนโทรลเลอร์ โดยแบ่งออกเป็น 2 กลุ่ม คือ เกตและฟลิปฟลอปประเภทต่างๆ

2.4.9 การออกแบบจากบนลงล่าง

ในการพัฒนางจรรวมดิจิทัลขนาดใหญ่ที่มีความซับซ้อน เช่น วงจรรวม (ASIC : Application Specific Integrated Circuit) วิศวกรหรือผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของ บล็อกไดอะแกรมเสียก่อน ก่อนที่จะวิเคราะห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษา VHDL นั้นอนุญาตให้อธิบายการทำงานของแต่ละบล็อก และวิเคราะห์การทำงาน แก้ไขและปรับปรุงการทำงานจากผลที่วิเคราะห์เพื่อให้ได้การทำงานตามที่ต้องการ และเพิ่มเติมในรายละเอียดที่ละชั้นนี้คือ หลักการออกแบบจากบนลงล่าง (Top-Down Design) ถ้าทดลองเปรียบเทียบกับวิธีการออกแบบจากล่างขึ้นบน (Bottom-up Design) จะเห็นได้ว่าการออกแบบจากล่างขึ้นบนจะใช้เวลาในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบมากกว่า 90% เพราะเป็นการวาดวงจรด้วยอุปกรณ์ต่าง ๆ (Schematic Capture) ที่ประกอบเข้ากันเป็นวงจรที่ต้องการออกแบบ จำลองการทำงาน ตรวจสอบความถูกต้อง ซึ่งใช้เวลามากและถ้าวงจรที่ต้องการออกแบบมีความซับซ้อนก็จะเป็นเรื่องที่ยากมากให้การออกแบบในลักษณะนี้ ดังนั้นการใช้ภาษา VHDL กับหลักการออกแบบจากบนลงล่างจึงเป็นทางออกให้กับวิศวกรออกแบบที่จะสามารถออกแบบและพัฒนางานที่มีความซับซ้อนได้มากขึ้นและช่วยลดเวลาและค่าใช้จ่ายในการออกแบบ



รูปที่ 2.25 ขั้นตอนการออกแบบจากบนลงล่าง

จากรูปที่ 2.25 แสดงให้เห็นถึงขั้นตอนของการออกแบบจากบนลงล่าง ทั้งนี้ในทางปฏิบัติอาจจะมีข้อแตกต่างไปจากนี้บ้างเล็กน้อย ก็เนื่องจากขั้นตอนของการผลิต (Implementation) สามารถกระทำได้หลาย ๆ เทคโนโลยี เช่น พีแอลดี (PLD: Programmable Logic Device) อันได้แก่ พีแอลเอ (PLA : Programmable Logic Array), เอฟพีจีเอ (FPGA : Filed Programmable Gate Array), ซีพีแอลดี (CPLD: Cell Programmable Logic Device) เป็นต้น นอกนั้นยังมี เซมิคัสตัมไอซี (Semi-Custom IC) ได้แก่ เกตอะเรย์ (Gate array), เซลล์มาตรฐาน (Standard Cell) ขั้นตอนของการออกแบบจากบนลงล่างมีรายละเอียดดังนี้

1. ขั้นตอนการสร้างข้อกำหนดของความ需求和วิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ขั้นตอนการเขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษา VHDL หรือ ภาษา HDL อื่น ๆ สำหรับบรรยายพฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด

3. หลังจากที่ได้หลักการขั้นต้นพร้อมกับแนวคิดที่ผ่านการตรวจสอบแล้ว หลักการนี้จะถูกเพิ่มเติมในรายละเอียดลงมาเป็นลำดับขั้นที่สอง จนกระทั่งอยู่ในระดับที่จะนำไปผลิตวงจรหรือสังเคราะห์ ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรถูกออกแบบจะถูกกำหนดขึ้น และระบบช่วยการออกแบบจะสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้น ให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็คทรอนิกส์ หรือวงจรในระดับเกต และการเชื่อมต่อระหว่างกันของอุปกรณ์เหล่านั้นหรือไม่ก็อยู่ในรูปของเน็ตลิสต์ (Netlist) ที่สามารถนำไปผลิตลงบนอุปกรณ์อื่นได้

4. หลังจากการสังเคราะห์วงจรให้อยู่ในรูประดับเกตหรือเน็ตลิสต์แล้ว ข้อมูลที่ได้จากผู้ผลิตอุปกรณ์วงจรมานั้น นอกจากจะเป็นข้อมูลสำหรับจำลองการทำงาน ในเรื่องของความถูกต้องของฟังก์ชันแล้ว ยังมีข้อมูลเกี่ยวกับเวลาด้วย ซึ่งเป็นความจริงที่ว่า อุปกรณ์ทางอิเล็คทรอนิกส์ทุกชิ้นจะมี เวลาหน่วงของการแพร่กระจาย (Propagation delay time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับ นาโนวินาที (10^{-9} วินาที) แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกตของฟังก์ชันต่าง ๆ จำนวน 10,000 เกต ขึ้นไป เวลาดังกล่าวจะสะสมกันมากขึ้น จนอาจจะทำให้การทำงานของวงจรทั้งหมดผิดไป หรือไม่สามารถทำงานในย่านความถี่สัญญาณนาฬิกาที่สูงได้

5. ขั้นตอนของการผลิตเป็นวงจรจริง (Technology and device mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้า ที่ประกอบด้วยอุปกรณ์หลายๆ ชิ้น หรืออยู่ในรูปของวงจรรวม (ASIC)

6. หลังจากที่ได้อุปกรณ์จริงมาแล้ว ยังต้องมีความจำเป็นที่ต้องตรวจสอบการทำงานที่คำนึงถึงเวลาด้วยเพื่อความถูกต้องของวงจรครั้งสุดท้าย ก่อนที่จะนำไปรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิทัล เพราะในขั้นตอนนี้วงจรที่ออกแบบ จะประกอบด้วยอินพุทและเอาต์พุทแพด (Pad) ซึ่งเป็นจุดต่อสำหรับรับและส่งสัญญาณกับภายนอก

7. หลังจากที่นำวงจรที่ออกแบบรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิทัลแล้วนั้น จะต้องทดสอบการทำงานรวมทั้งระบบร่วมกับอุปกรณ์อื่นๆ อีกครั้งเป็นการควบคุมคุณภาพของผลิตภัณฑ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การใช้โปรแกรม MaxPlus II

โปรแกรม MaxPlus II เป็นโปรแกรมที่ใช้ในการ เขียนโปรแกรมด้วยภาษา VHDL และภาษาอื่น ๆ เช่น verilog HDL AHDL เป็นต้น ซึ่งจะทำหน้าที่ simulate และ โปรแกรมข้อมูลลงชิพ ซึ่งสามารถจำแนกลักษณะการใช้งานได้ดังต่อไปนี้

2.5.1 การเซตค่าโปรแกรมก่อนการดำเนินงาน

ก่อนที่จะทำการใช้โปรแกรม MaxPlus II จะต้องทำการเซตค่าต่างๆ ของโปรแกรม เพื่อความเหมาะสมต่อการใช้งาน ซึ่งสามารถเซตตามหัวข้อต่างๆ ดังต่อไปนี้

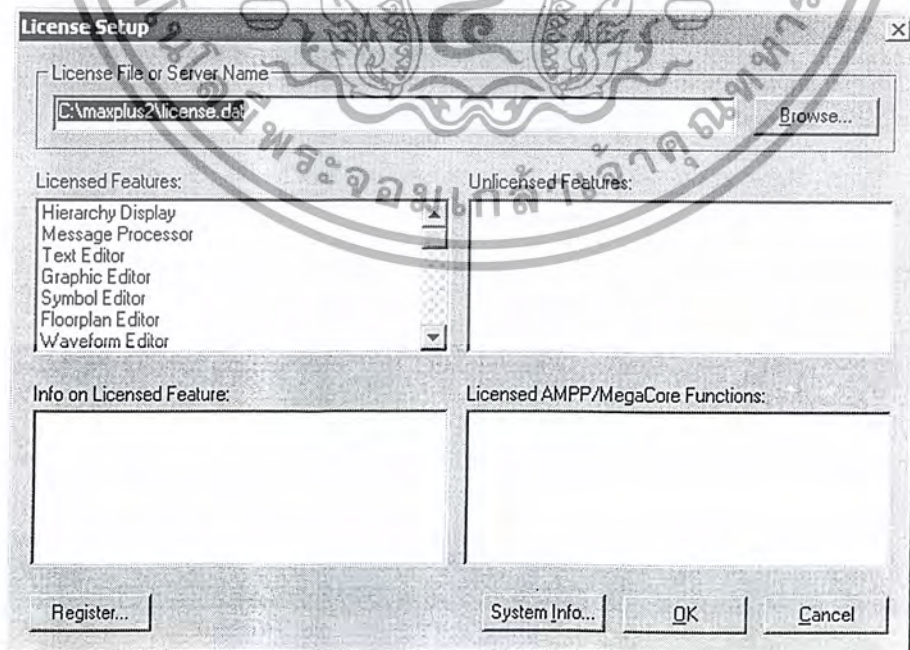
2.5.1.2 การกำหนด License ก่อนการใช้งาน

1) เลือก Menu Option



รูปที่ 2.26 แสดงการเลือกเมนู License setup

2) เลือกไฟล์ License.dat ที่เซฟไว้ในไดรฟ์

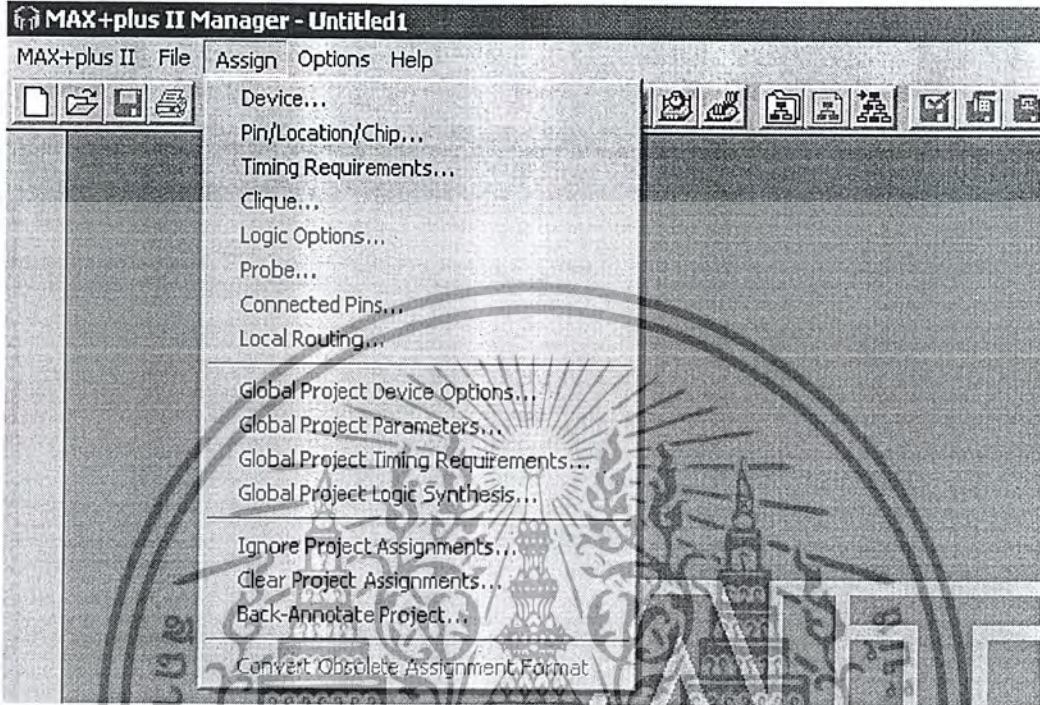


รูปที่ 2.27 แสดงการเลือกไฟล์ License.dat

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

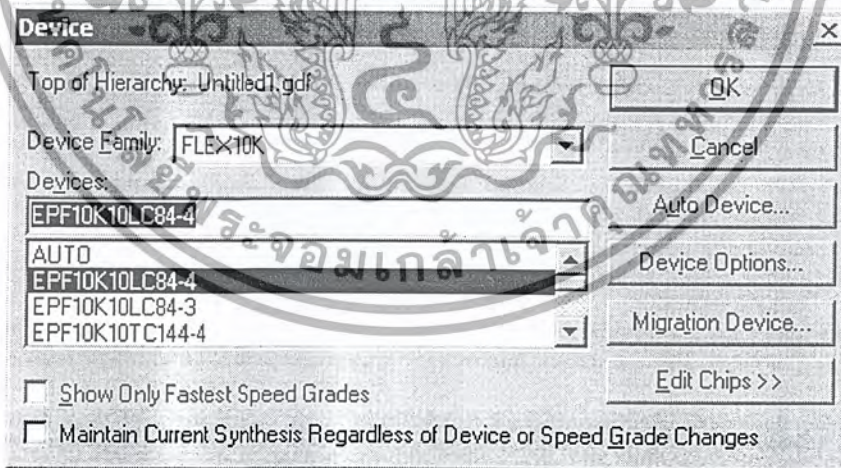
2.5.1.2 การกำหนดชิพ FPGA ที่จะใช้งาน

1) เลือก Menu Assign => Device...



รูปที่ 2.28 แสดงการเลือกเมนู Devices

2) เลือกชื่อชิพที่จะใช้งาน (Flex10K10LC84-4)



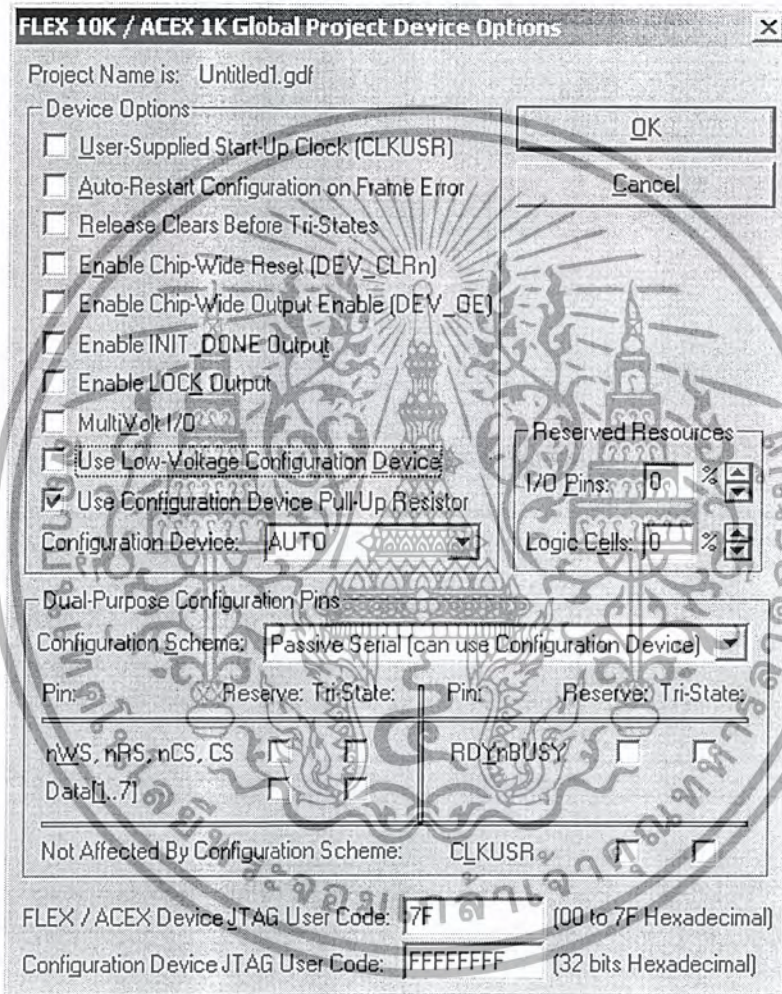
รูปที่ 2.29 แสดงการเลือกชิพ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การกำหนด Option ในการ Compiler

การเลือก Menu นี้ จะเป็นการกำหนดลักษณะของ อินพุตและเอาต์พุตของ FPGA ว่าต้องการให้มีลักษณะใด พร้อมทั้งเป็นตัวกำหนดลักษณะของการ Link ข้อมูลจาก คอมพิวเตอร์ สู่ตัว ชิป FPGA

2.5.2.1 เลือก Assign => Global Project Assignments...

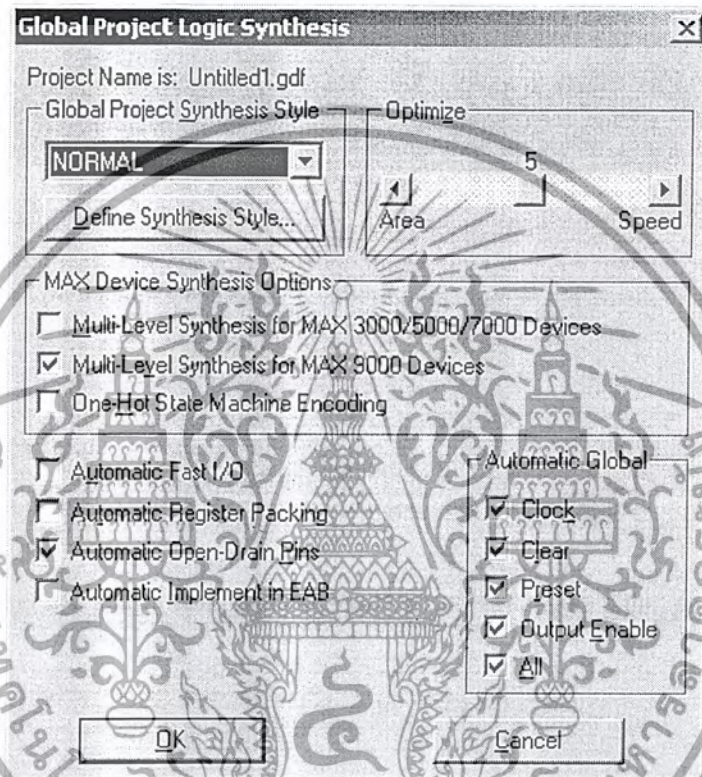


รูปที่ 2.30 แสดงการปรับ Global Project Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2.2 เลือก Menu Assign => Global Project Logic Synthesis

ตัวเลือกนี้จะกำหนดการคอมไพล์ ว่าให้คอมไพล์โดยเน้นปริมาณเกตที่ใช้ หรือเน้นที่ความเร็วของชิพ FPGA พร้อมทั้งกำหนดว่าจะใช้ EAB หรือไม่ ซึ่ง EAB จะใช้ในการคอมไพล์ RAM แบบ DQ



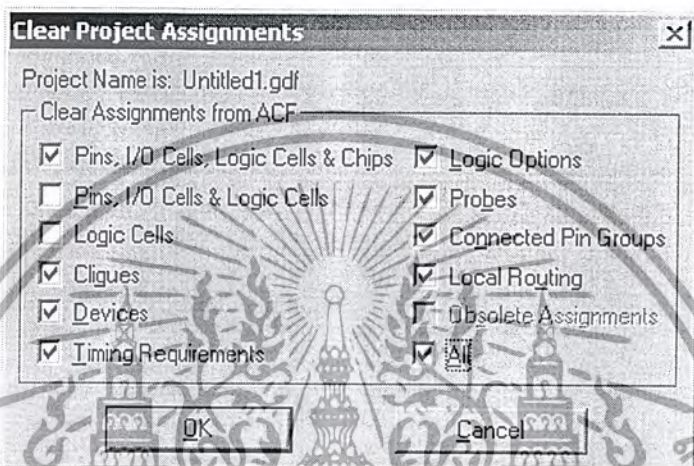
รูปที่ 2.31 แสดงการปรับ Global Project Logic Synthesis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การเคลียร์ข้อมูลของชิพ FPGA

ตัวนี้จะเป็นการเคลียร์ของมุลที่ได้จากการคอมไพล์ เช่น ขาของ FPGA ตัวชิพ FPGA ซึ่งหากเกิดการเคลียร์ขึ้น เราจะต้องทำการเซตค่าต่างๆใหม่ทั้งหมด

2.4.3.1 เลือก Menu Assign => Clear Project Assignments

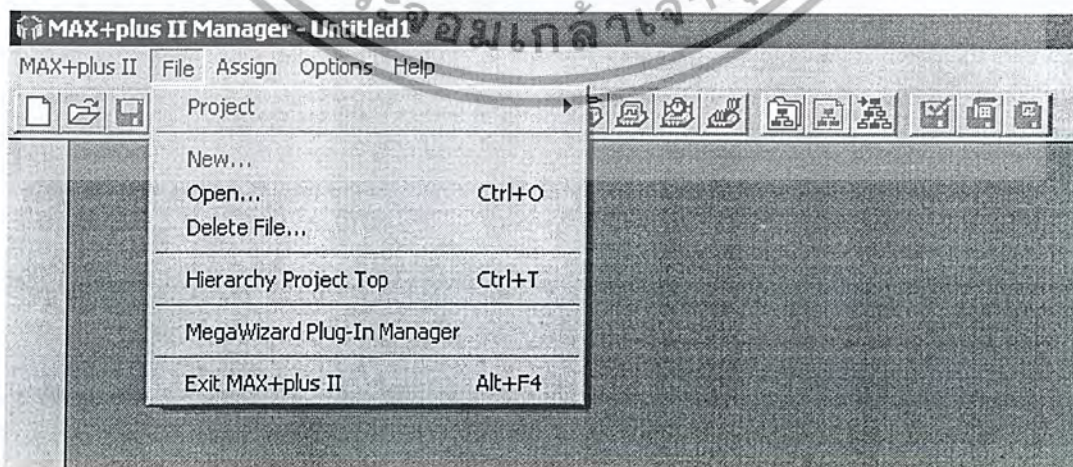


รูปที่ 2.32 แสดงการปรับ Clear Project Assignments

2.5.4 การใช้ Mega wizard ในการสร้างแรมแบบ DQ

Mega Wizard เป็นส่วนหนึ่งของโปรแกรม MaxPlus II ที่ช่วยในการสร้าง logic พื้นฐานต่างๆ ตั้งแต่ Or,And ไปจนถึง การสร้าง RAM

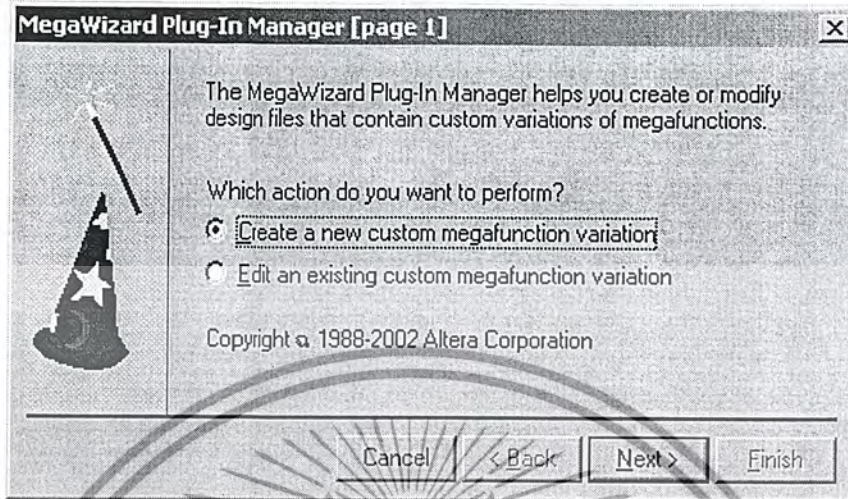
2.5.4.1 เลือก File => Mega Wizard Plug-In Manager



รูปที่ 2.33 แสดงการเลือกเมนู Mega Wizard

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

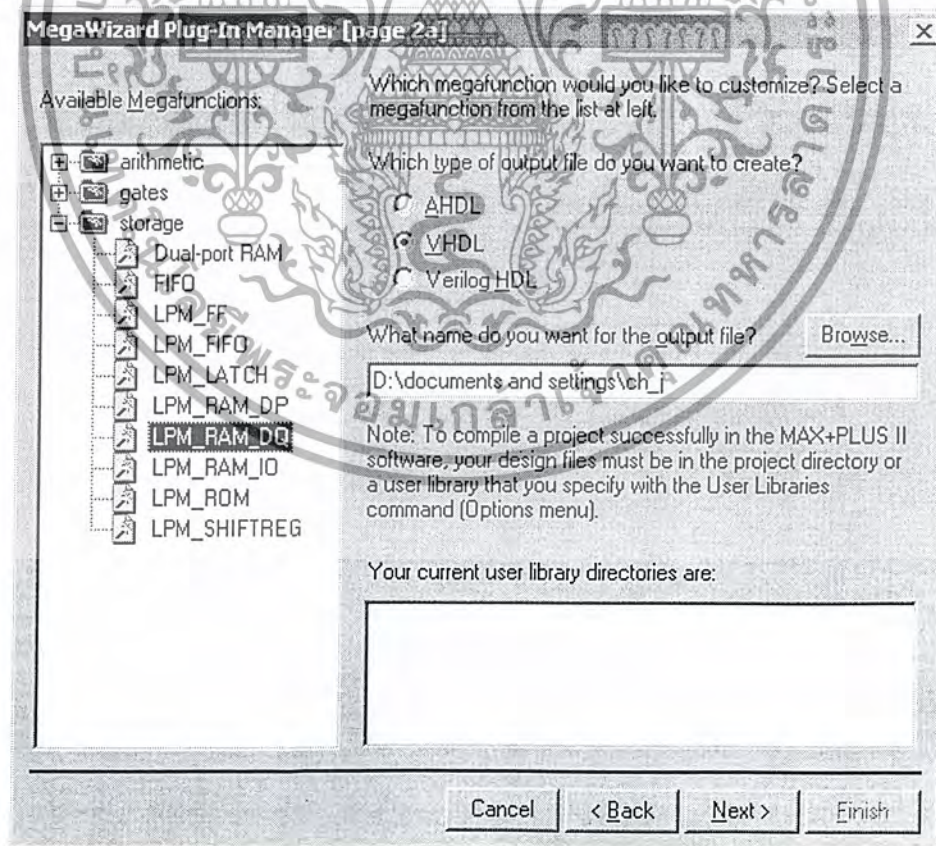
2.5.4.2 กำหนดให้เป็นการสร้าง หรือทำการแก้ไขไฟล์เดิม



รูปที่ 2.34 แสดงการใช้ Mega Wizard

2.5.4.3 เลือกชนิดอุปกรณ์ที่ต้องการสร้าง ชนิดของภาษาที่ใช้ และสถานที่เก็บ

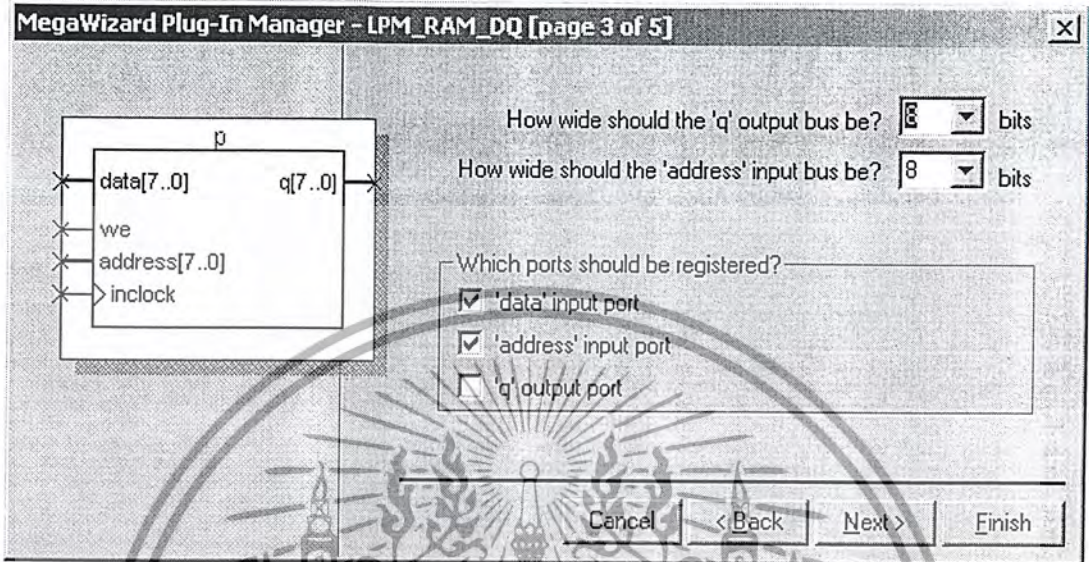
ไฟล์



รูปที่ 2.35 แสดงการเลือกอุปกรณ์ใน Mega Wizard

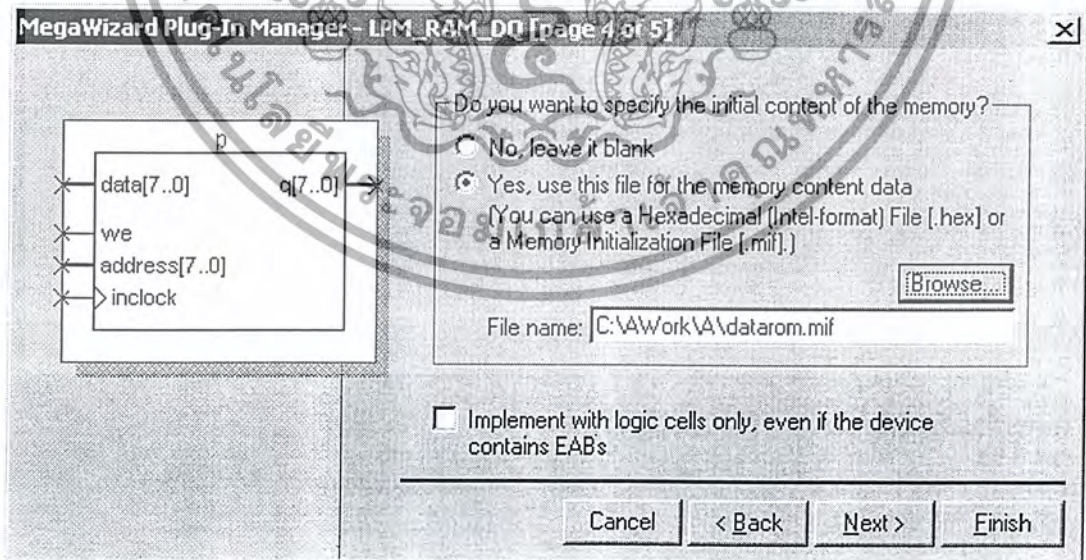
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4.4 เลือกขนาดของ Address และขนาดของ Data



รูปที่ 2.36 แสดงการเซตค่าของ RAM แบบ DQ

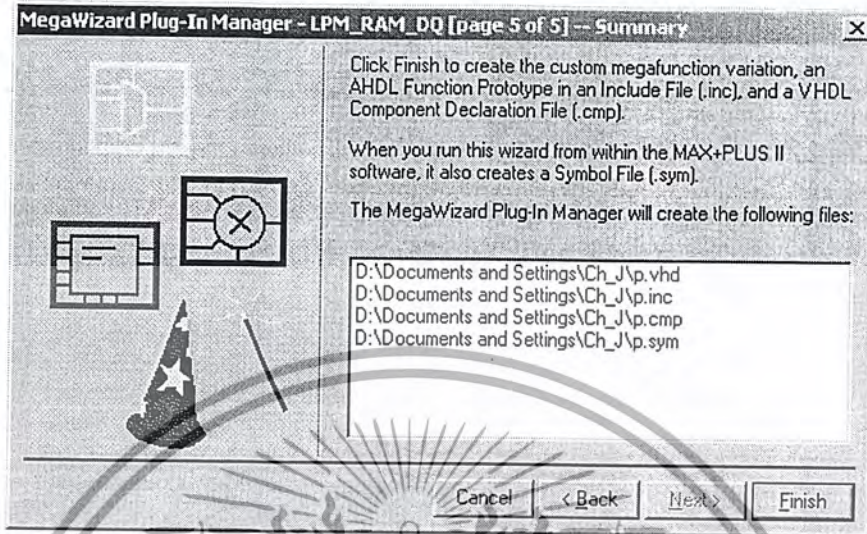
2.5.4.5 เลือกว่าต้องการให้มีข้อมูลเริ่มต้นของแรมหรือไม่ ถ้ามีจะถูกระบุโดยการชี้ไปยังไฟล์ *.mif



รูปที่ 2.37 แสดงการเลือกไฟล์ .mif

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

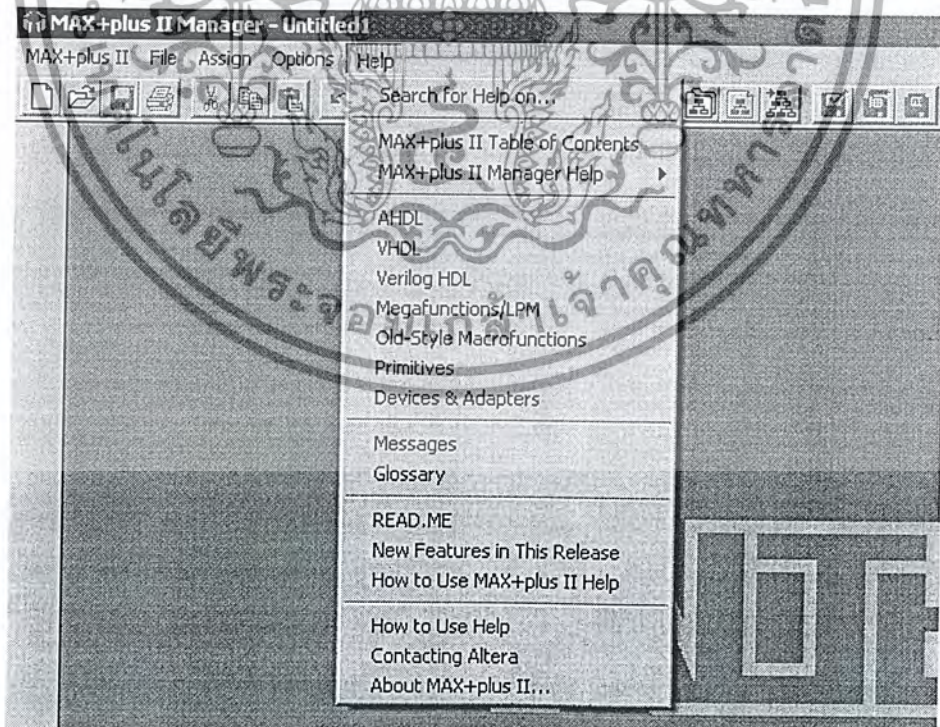
2.5.4.6 เมื่อสร้างเสร็จโปรแกรมจะระบุถึงไฟล์ที่สร้างไว้



รูปที่ 2.38 แสดงรายละเอียดไฟล์ทั้งหมดของ RAM แบบ DQ

2.5.5 การใช้ Help ของโปรแกรม MaxPlus II

ในส่วนของ Help ของโปรแกรม MaxPlus II จะเป็นตัวช่วยเหลือนำถึงรูปแบบคำสั่งลักษณะของไวยากรณ์

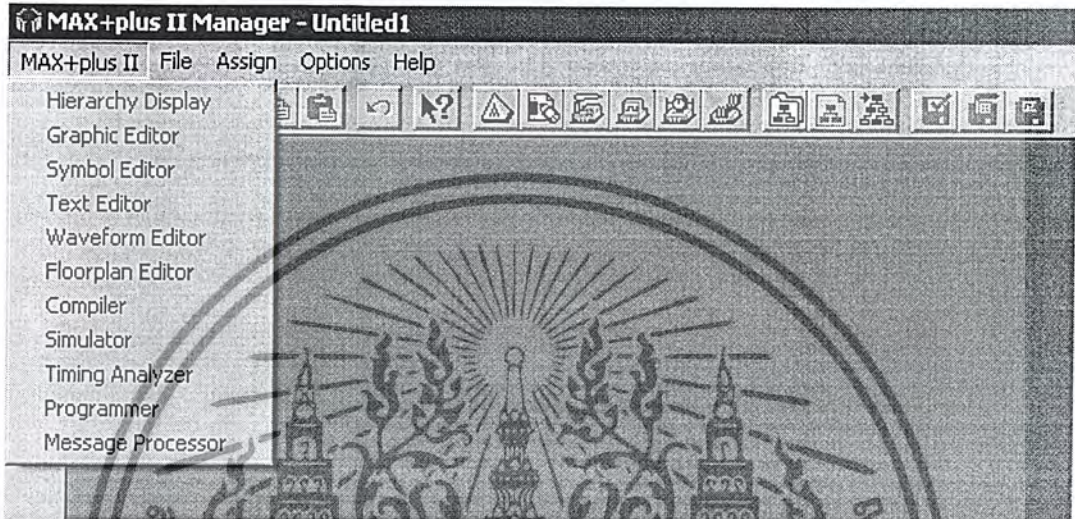


รูปที่ 2.39 แสดงรายละเอียดของ Help ทั้งหมดใน MaxPlus II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

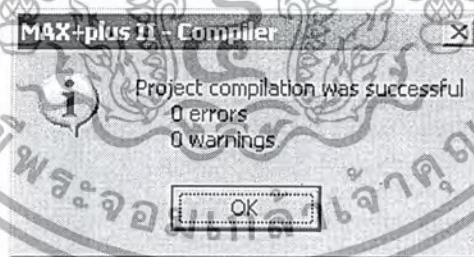
2.5.6 การ Compiler

เมื่อทำการเขียนโปรแกรมเสร็จแล้ว พร้อมทั้งกำหนดค่า Option ต่างๆ เรียบร้อยแล้ว ให้ทำการเลือก Menu Max+Plus II => Compiler



รูปที่ 2.40 แสดงเมนูการใช้งาน Compiler

ถ้าหากโปรแกรมไม่มีข้อผิดพลาดใดๆ ก็จะมีขึ้นหน้าจอดังต่อไปนี้



รูปที่ 2.41 แสดงข้อความเตือนหลังทำการ Compiler

2.5.6.1 การสร้างไฟล์ Waveform edit

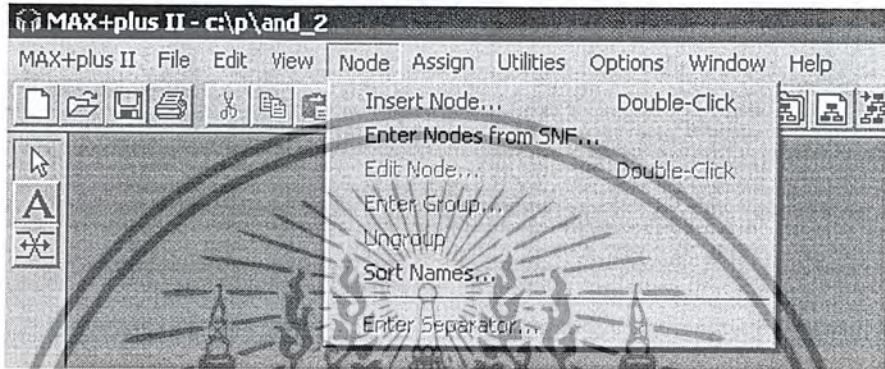
หลังจากการคอมไพล์ผ่านเรียบร้อยแล้ว หากต้องการดูผลของการทำงาน จะต้องสร้างไฟล์ *.Scf ขึ้นมา โดยสามารถสร้างได้โดยเลือก Menu Max+plus II => Waveform Edit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งโดยโปรแกรมจะสร้างไฟล์ *.scf ขึ้นให้โดยอัตโนมัติ โดยไฟล์นี้ จะใช้ในการ Simulateต่อไป

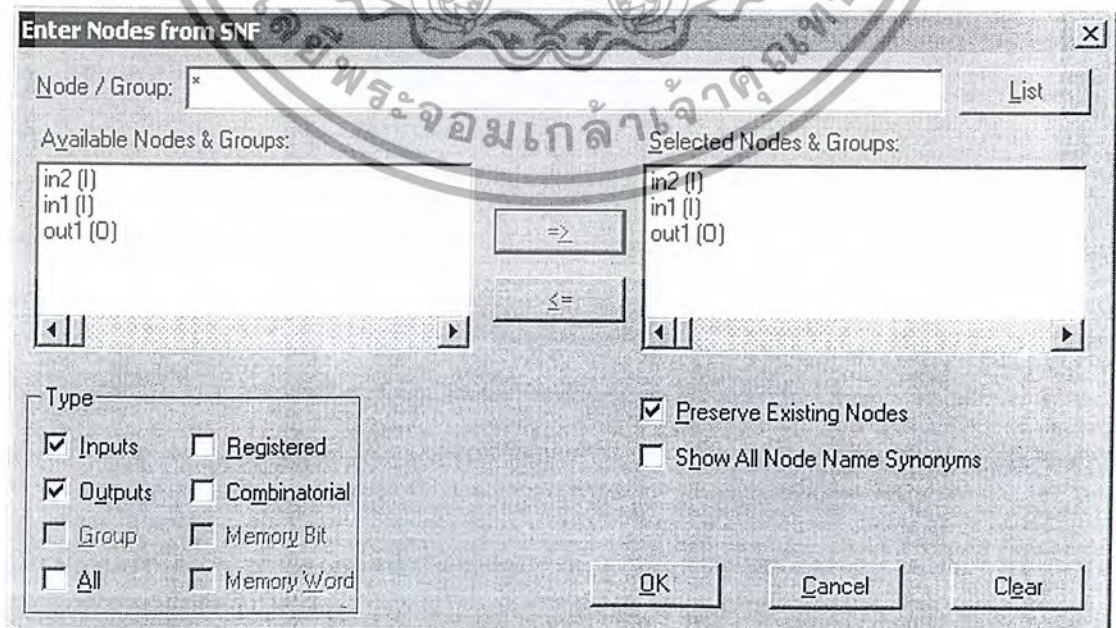
2.5.6.2 การจำลองการทำงานของโปรแกรม

หลังจากการสร้างไฟล์ *.scf แล้ว ต่อไปก็จะเป็นการเลือกสัญญาณที่จะใช้ในการจำลองการทำงาน โดยเลือกที่ Menu Node => Enter Nodes from SNF ... ดังรูป



รูปที่ 2.42 แสดงการเลือกสัญญาณ

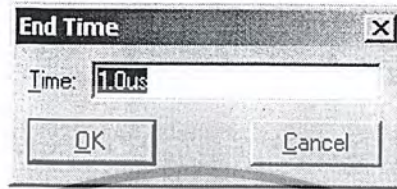
หลังจากที่เลือก Menu Enter Nodes from SNF... แล้ว ต่อไปจะเป็นการเลือกสัญญาณที่จะใช้ในการจำลองการทำงาน โดยในส่วนของ Type จะเลือกเฉพาะ Input Output แล้วทำการเลือก List เพื่อแสดงรายการ Input\Output ทั้งหมดของโปรแกรม จากนั้นทำการกดสัญลักษณ์ => ดังที่ได้แสดงในรูป



รูปที่ 2.43 แสดงการเลือกสัญญาณ Simulate

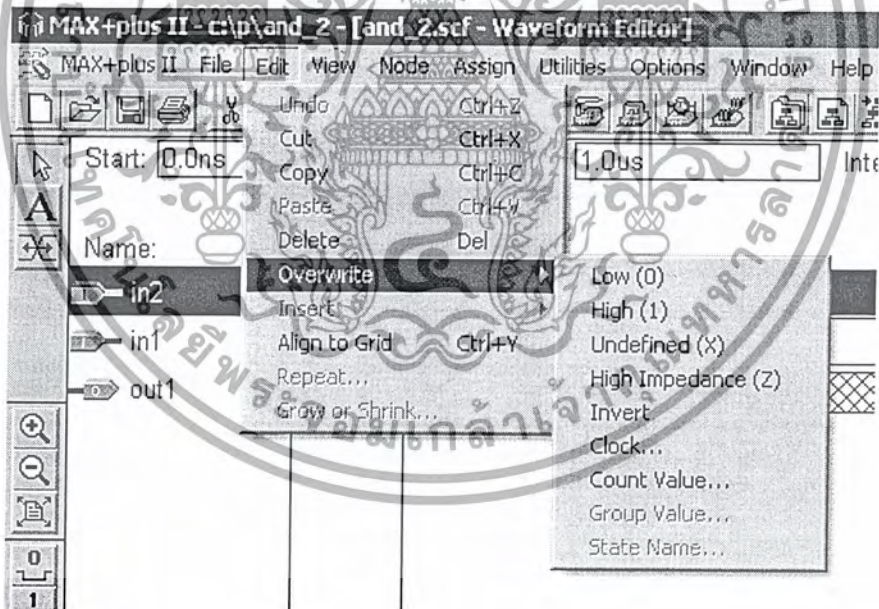
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการเชิงงานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการเลือกสัญญาณที่ต้องการจำลองการทำงานเสร็จเรียบร้อยแล้ว ให้ทำการกำหนดช่วงเวลาที่ใช้ในการจำลองการทำงาน โดยเลือกที่ Menu File => End time... ซึ่งจะปรากฏภาพดังรูป แล้วทำการป้อนเวลาที่ต้องการใช้



รูปที่ 2.44 แสดงการกำหนดเวลา Simulate

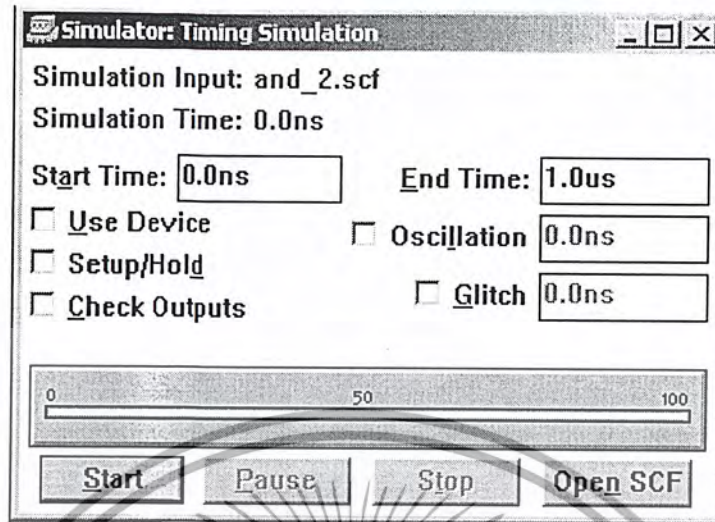
จากนั้นก็ทำการป้อนสัญญาณที่ใช้ในการ Simulate โดยสามารถเลือกได้โดยเลือก Menu Edit => Overwrite แล้วทำการเลือกสัญญาณที่ต้องการป้อน เพื่อการจำลองการทำงาน ดังรูป



รูปที่ 2.45 แสดงการป้อนสัญญาณในการ Simulate

หลังจากที่ทำการเซตค่าต่างๆ ครบแล้ว ให้ทำการจำลองการทำงานโดย เลือกที่ Menu Max+Plus II => Simulator ซึ่งจะปรากฏตารางให้เซตค่าดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.46 แสดงเมนูการเริ่มต้น Simulate

เมื่อทำการกดปุ่ม Start โปรแกรมก็จะทำการจำลองการทำงานของโปรแกรมที่เขียน

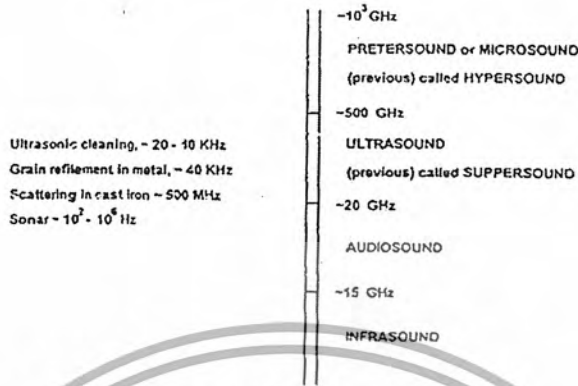
2.6 ทฤษฎีคลื่นอัลตราโซนิก

2.6.1 คุณสมบัติและธรรมชาติของคลื่นอัลตราโซนิก

หลักการของการสะท้อนกลับของคลื่นเสียงคือ สนามของพลังงานจะถูกส่งออกมาจากตัวส่ง ถ้ากระทบกับวัตถุพลังงานบางส่วนจะสะท้อนกลับไปตัวส่งด้วย แต่การใช้วัตถุที่เป็นตัวรับที่เหมาะสมจะสามารถรับการสะท้อนกลับของสัญญาณ และเวลาที่ใช้ในการเดินทาง สามารถนำมาใช้คำนวณระยะทางได้ด้วย ดังนั้นการศึกษาดังธรรมชาติของคลื่นจะทำให้เข้าใจในการนำไปประยุกต์ใช้งานได้อย่างถูกต้อง

2.6.2 คลื่นอัลตราโซนิก

คลื่นอัลตราโซนิก คือคลื่นเสียงที่มีความถี่สูงเกินกว่าที่มนุษย์จะได้ยิน โดยทั่วไปแล้วมนุษย์จะได้ยินคลื่นความถี่เสียงที่มีความถี่ตั้งแต่ 20Hz จนถึงความถี่ 20kHz ดังนั้นคลื่นอัลตราโซนิกจึงหมายถึงคลื่นเสียงที่มีความถี่สูงกว่า 20kHz

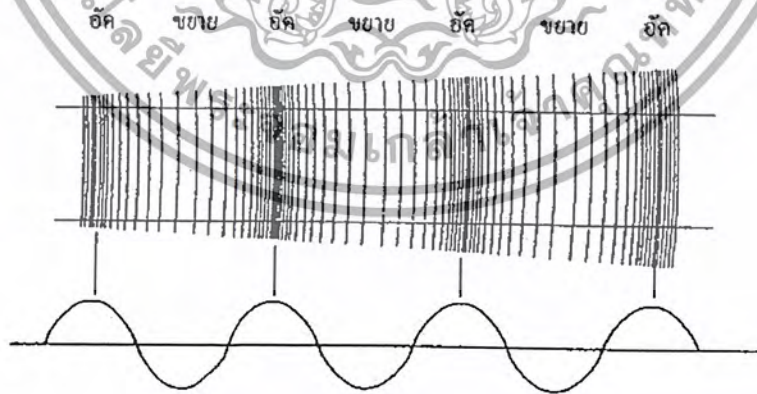


รูปที่ 2.47 แสดงถึงช่วงความถี่ที่ถูกใช้งาน

2.6.3 ชนิดของคลื่นอัลตราโซนิก

คลื่นอัลตราโซนิกที่เดินทางผ่านตัวกลางต่าง ๆ มีหลายชนิดด้วยกันซึ่งแต่ละชนิดแตกต่างกันตามการเคลื่อนที่ของอนุภาคในตัวกลางนั้น สามารถแบ่งได้เป็นดังนี้

2.6.3.1 คลื่นตามยาว (Longitudinal Wave) คือคลื่นอนุภาคตัวกลางมีการเคลื่อนที่ไปในทิศทางการเคลื่อนที่ของคลื่น



รูปที่ 2.48 แสดงลักษณะการเกิดคลื่นตามยาว

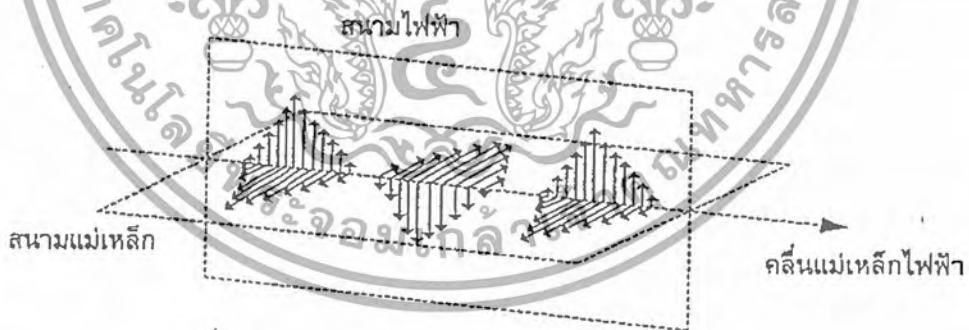
จากรูปจะเห็นว่ามีส่วนที่เป็นคลื่นอัด (Compression) ซึ่งก็คือ คลื่นช่วงของอนุภาคของตัวกลางมีความชันสูงและคลื่นขยาย (Rarefaction) คือคลื่นที่อนุภาคของตัวกลางมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความดันต่ำและเมื่อนำค่าของความดันที่เปลี่ยนแปลงตามระยะทางมาเขียนกราฟจะได้รูปไซน์ (Sine Wave) โดยยอดคลื่นจะตรงกับส่วนขยาย ระยะทางระหว่างส่วนอัดถึงส่วนอัด หรือส่วนขยายถึงส่วนขยาย คือ 1 ความยาวคลื่น และมีคาบเวลาเป็น (T) ซึ่งเท่ากับ $1/F$ โดยจุดที่เป็นแกนนั้นมีความดัน 1 บรรยากาศ

2.6.3.2 คลื่นตามขวาง (Transverse Wave) คือคลื่นที่ทุกๆจุดบนคลื่นมีการเคลื่อนที่ไปในทิศทางที่ตั้งฉากกับทิศทางการเคลื่อนที่ คลื่นชนิดนี้จะเดินทางผ่านตัวกลางที่มีขนาดตัวกลางใหญ่กว่าขนาดของความยาวคลื่น และสามารถเดินทางผ่านตัวกลางที่เป็นของแข็ง คลื่นชนิดนี้ไม่สามารถเดินทางผ่านตัวกลางที่เป็นของเหลวและก๊าซได้

คลื่นตามขวางมีลักษณะเสมือนการเกิดขั้วลบและขั้วบวก ซึ่งเป็นเหตุผลที่ว่า การเปลี่ยนตำแหน่งของอนุภาคเป็นไปในทิศทางเดียว เช่น ในระนาบที่ตั้งฉากกับทิศทางของคลื่นที่เคลื่อนที่ไปจากต้นกำเนิดของคลื่นตามขวางเป็นพื้นที่หน้าเรียบของระนาบที่เกิดจากการเปลี่ยนแปลงของอนุภาคอื่นเนื่องมาจากการแกว่ง ความหนาของตัวกลางจะไม่เปลี่ยนแปลงโดยการเคลื่อนที่ของคลื่นแบบตามขวางจะมีความเร็วน้อยกว่าความเร็วของคลื่นชนิดตามยาว ในขณะที่เดินทางผ่านตัวกลางชนิดเดียวกันดังนั้นที่ความถี่เดียวกันความยาวคลื่นของคลื่นตามขวางจะน้อยกว่าความยาวคลื่นของคลื่นตามยาวเสมอ



รูปที่ 2.49 แสดงลักษณะการเกิดคลื่นตามขวาง

2.6.3.3 คลื่นผิวหน้า (Surface Wave or Rayleigh) คือคลื่นชนิดหนึ่งซึ่งคล้ายกับคลื่นตามขวาง จะต่างกันตรงที่การเปลี่ยนตำแหน่งของอนุภาคไม่เป็นเพียงในทิศทางการตั้งฉากกับทิศทางที่เคลื่อนที่เพียงอย่างเดียว แต่มีการเปลี่ยนแปลงในทิศทางเดียวกับทิศทางการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคลื่อนที่ของคลื่นด้วย จึงทำให้คลื่นเคลื่อนที่ไปตามระนาบในแนวนอน ด้วยเหตุนี้คลื่นจึงเดินทางผ่านไปเฉพาะบนผิวของตัวกลางเท่านั้น

2.6.4 ความถี่และความยาวคลื่น (Frequency And Wave Length)

ความถี่ คือจำนวนของการออสซิลเลทที่สมบูรณ์จากแหล่งกำเนิดคลื่นภายในหนึ่งวินาที คลื่นที่ถูกส่งจากแหล่งกำเนิดจะเดินทางความถี่เดียวกัน

ความยาวคลื่น คือระยะทางที่คลื่นเดินทางระหว่างการสั่นที่สมบูรณ์หรือการเดินทางครบหนึ่งรอบ (1 cycle) สามารถกล่าวได้ว่าความยาวคลื่นเป็นระยะทางระหว่างการอัดอย่างต่อเนื่อง (Successive Compression) หรือการเบาบางของอากาศ (rare-fractions) การอัดคือการที่บริเวณนั้นมีความหนาแน่นของโมเลกุลและแรงดันมากกว่าบริเวณรอบๆ ส่วนการเบาบางเป็นบริเวณเฉพาะที่เกิดการลดความหนาแน่นของโมเลกุลและแรงดันสัมพันธ์ กับแรงดันของบรรยากาศปกติ

ความถี่และความยาวคลื่นมีความสัมพันธ์กันดังสมการต่อไปนี้

$$C = \lambda F$$

โดยที่

C = ความเร็วในการเดินทางของคลื่นมีหน่วยเป็น m/s

F = ความถี่มีหน่วยเป็น Hz

λ = ความยาวของคลื่นมีหน่วยเป็น m

2.6.5 ความเร็วของคลื่นอัลตราโซนิก

ความเร็วที่ยอมรับได้ของคลื่นในอากาศที่อุณหภูมิปกติความสัมพันธ์ที่ใช้จะเป็นดังสมการ

$$V = 331.45 + 0.607T \quad \text{m/s}$$

โดยที่

V = ความเร็วของคลื่นในตัวกลางอากาศ

T = อุณหภูมิของคลื่นในอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.6 แสดงความสัมพันธ์ความเร็วของคลื่นในก๊าซต่างๆ

GAS	Velocity (m/s)
AIR (DRY 0° C)	331.45
ARGON	319
CARBON MONOXIDE	338
CARBON DIOXIDE	259
HELIUM	965
HYDROGEN METHANE	1284

2.6.6 ปริมาณพลังงานของคลื่นอัลตราโซนิก

ปริมาณพลังงานของคลื่นอัลตราโซนิกจะถูกวัดในรูปความเข้มของคลื่นอัลตราโซนิก จะมีหน่วยเป็น w/cm^2 เป็นการไหลของพลังงานผ่านพื้นที่ 1 ตารางเซนติเมตร ซึ่งตั้งฉากกับทิศทางการเดินทางของคลื่นใน 1 วินาที

2.6.7 การลดทอนของคลื่นอัลตราโซนิก

เมื่อคลื่นเดินทางผ่านตัวกลาง ลำคลื่น (Beam) ของคลื่นอัลตราโซนิกจะสูญเสียความเข้มซึ่งเกิดจากการลู่ออกของคลื่นอัลตราโซนิกหรือเกิดจากการดูดซับพลังงานส่วนหนึ่งของคลื่นโดยตัวกลางที่คลื่นเคลื่อนที่ผ่าน พลังงานที่ดูดซับนี้จะเปลี่ยนเป็นพลังงานความร้อน การดูดซับพลังงานความร้อนขึ้นอยู่กับลักษณะของวัตถุ ความยืดหยุ่นและความหนาแน่น รวมทั้งความถี่ของคลื่นที่ใช้ยิ่งความถี่สูงพลังงานยิ่งถูกดูดซับมาก

2.7 อัลตราโซนิกทรานสดิวเซอร์

การเกิดคลื่นอัลตราโซนิกเป็นคลื่นที่เกิดจากการเปลี่ยนแปลงพลังงานรูปอื่นให้เป็นพลังงานกลโดยการสั่นไปมา หรือเกิดจากการเปลี่ยนพลังงานไฟฟ้ากับพลังงานกลให้เกิดคลื่นย่านอัลตราโซนิกกระจายออกไปในอากาศ ดังนั้นจึงถือได้ว่าคลื่นที่เกิดขึ้นเป็นคลื่นกล (Mechanical Wave) คลื่นอัลตราโซนิกสามารถสร้างได้โดยตัวทรานสดิวเซอร์ ซึ่งเป็นอุปกรณ์ซึ่งใช้เปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล หลักการสร้างมีหลายวิธีดังนี้

- แบบเพียโซอิเล็กทริก (Piezo-electric Transducer) ซึ่งแปลงไปมาระหว่างพลังงานไฟฟ้าและพลังงานกล โดยมีความถี่เรโซแนนซ์คงที่อยู่ค่าหนึ่ง

- แบบแมกนีโตสตริกทีฟ (Magnetrostrictive Transducer) ซึ่งเปลี่ยนแปลงไปมาระหว่างพลังงานไฟฟ้าในขดลวดกับตำแหน่งความยาวของแกนเหล็กที่สวมขดลวดนั้น

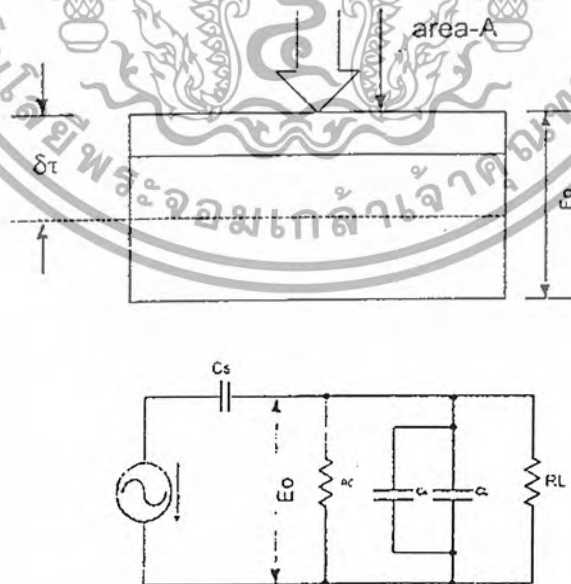
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แบบอิเล็กทรอนิกส์ทรานสดิวเซอร์ (Electrostrictive Transducer) ซึ่งแปลงไปมาระหว่างพลังงานไฟฟ้ากับพลังงานกล

โดยทั่วไปแล้วเรานิยมใช้แบบที่ 1 เพราะว่ามีราคาถูก หาซื้อได้ง่าย และเราจะอธิบายถึงรายละเอียดของตัวอุปกรณ์นี้

2.7.1 ปฏิกิริยาการบีบอัดของเพียโซอิเล็กทริก

เพียโซอิเล็กทริกเป็นปรากฏการณ์ธรรมชาติอย่างหนึ่งซึ่งทำให้พลังงานสามารถเปลี่ยนแปลงจากรูปหนึ่งไปเป็นอีกรูปหนึ่งได้ กล่าวคือ ถ้าป้อนแรงกลให้แก่ solid crystalline dielectric ก็จะทำให้เกิดความเค้น (Stress) ภายในคริสตัล ทำให้ผลึกคริสตัลผิดรูป เช่นพวกควอตซ์ (Quartz) ผลที่ได้ ก็คือประจุเปลี่ยนไป การผิดรูปร่างของผลึกเป็นผลให้ความสัมพันธ์ระหว่างการแทนที่ (Displacement) ของประจุบวกและลบในผลึกเปลี่ยนไป การแทนที่ของประจุภายในจะเท่ากับประจุภายนอกของขั้วที่ตรงกันข้ามของคริสตัลเรียกว่าผลของเพียโซอิเล็กทริก (Piezoelectric) การวัดประจุทำได้โดยการต่อขั้วอิเล็กโทรดเข้าที่ผิวด้านนอกแล้ววัดความต่างศักย์ระหว่างขั้วทั้งสองขนาด (magnitude) และการมีขั้ว (polarity) ของประจุบนผิวที่ถูกเหนี่ยวนำ (induced surface charge) เป็นสัดส่วนโดยตรงกับขนาดและทิศทางของแรง (F) ที่มากระทำ



รูปที่ 2.50 ผลและวงจรเสมือนของเพียโซอิเล็กทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่ปานกลางและความถี่สูง E_0 ที่คร่อมโหนดหาได้โดยนำค่าของ C_C และ C_L มาแบ่งแรงดันจากสมการนี้

$$E_0 = (EC_0) / (C_c + C_L)$$

โดยค่าเหล่านี้ขึ้นอยู่กับความถี่ ถ้าแรงดันเข้าที่พู่ห มีค่ามากสามารถทำให้ลดลงได้โดยการเพิ่มค่า C_L ต่อขานเข้าไปที่ความถี่ต่ำ ค่า E_0 คร่อมโหนดหาได้โดยค่ารีแอคแตนซ์ของ C_C และอิมพีแดนซ์ของ C_L และ R_L ที่ต่อขานกัน ค่า E_0 ขึ้นกับความถี่ และจะลดลงถ้าความถี่ลดลง การตอบสนองต่อความถี่สามารถปรับปรุงได้โดยการใส่ทรานสดิวเซอร์ที่มีค่าคาปาซิแตนซ์ สูง หรือโดยการเพิ่มความต้านทานทางโหนด R_L

2.7.2 วัสดุเปียโซอิเล็กทริก

วัสดุเปียโซอิเล็กทริกที่ใช้กันอย่างกว้างขวาง เช่น Quartz ,Tourmaline sulphate, Barium Titanate และ Zirconate Titanate (TZI) โดยทั่วไปแล้ว พวก ควอทซ์ และคริสตอลที่เป็นเปียโซอิเล็กทริกธรรมชาติจะมีขั้วของมันเป็นเองตามธรรมชาติแต่ขั้ววัสดุเปียโซอิเล็กทริกที่สังเคราะห์ขึ้นมา เช่น แบเรียมไททาเนท เซรามิก จะต้องนำมาทำการอบคริสตอลภายในแรงดันและวางวัสดุที่ได้มีโมโนนามเฟ้าที่มีแรงดันไฟตรง มาก หลังจากทำตามขั้นตอนนี้แล้วจะมีขั้วตามแนวของทิศทางสนาม และประพฤติตัวตามคุณสมบัติของเปียโซอิเล็กทริก สำหรับชิ้นส่วนที่ทำมาจากวัสดุสังเคราะห์นี้ไม่มีข้อจำกัดทางขนาด โดยโครงสร้างของคริสตอล และยังสามารถทำให้มีรูปร่าง ขนาดต่างๆ และทิศทางของขั้วก็จะถูกสร้างขึ้นระหว่างขั้นตอนการผลิต

2.7.3 ชนิดของเปียโซอิเล็กทริกทรานสดิวเซอร์

เปียโซอิเล็กทริกทรานสดิวเซอร์สามารถแบ่งออกได้เป็น 2 ชนิด คือ

- แบบ Generation-action Transducer ใช้เป็นตัวรับ โดยแรงดันไฟฟ้าที่เกิดขึ้นจะหาได้จากแรงดันและความถี่ที่มากระทำต่อวัสดุเปียโซอิเล็กทริก
- แบบ Motor-action Transducer ใช้เป็นตัวส่ง โดยการเปลี่ยนแปลงของรูปร่างที่ทำให้เกิดคลื่นอัลตราโซนิค จะขึ้นอยู่กับขนาดความสูงและความถี่ของแรงดันไฟฟ้าที่ป้อนให้ในทั้งสองกรณี ค่าแรงดันไฟฟ้าที่เกิดขึ้นจะขึ้นอยู่กับขนาดของวัสดุ

2.7.4 การทำงานของทรานสดิวเซอร์ตัวส่งและตัวรับ

เมื่อเซรามิกได้รับสัญญาณแรงดันมาตกคร่อมจะทำให้ขึ้นสารเซรามิกโก่งงอทำให้เกิดการอัดอากาศโดยรอบเกิดเป็นคลื่นขึ้นมา ดังนั้นถ้าป้อนสัญญาณเป็นห้วงๆ (electrically pulse) จากการออสซิลเลท ก็จะทำให้ขึ้นสารโก่งงอมากน้อยหรือทิศทางใดตามขนาดและทิศทางการเปลี่ยนแปลงขนาดของสัญญาณไฟฟ้าจากการออสซิลเลทนั้นออกไป โดยทั่วไปกำลังเอาท์พุทที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาจะตกลง ประมาณ 10%ของกำลังงานที่ป้อนให้ แต่เอาที่พุทจะสูงที่ค่านี้โดยประมาณ ก็ต่อเมื่อความถี่ของสัญญาณออสซิลเลทเตอร์ที่ป้อนเข้าขึ้นสารเซรามิคตรงกับความถี่เรโซแนนซ์ที่เป็นความถี่ทางกลตามธรรมชาติของชิ้นสารเซรามิคนั้นๆ ส่วนที่ความถี่อื่นๆ กำลังเอาที่พุทจะลดลงกว่านี้ ส่วนการทำงานของทรานสดิวเซอร์ตัวรับ มักมีการทำงานตรงข้ามกับตัวส่ง คือเมื่อมีคลื่นเสียงที่มีความถี่ตรงกับความถี่เรโซแนนซ์ของชิ้นสารเซรามิคเข้ามา จะทำให้ชิ้นสารโก่งตัวไปมาและเกิดสัญญาณแรงดันไฟฟ้าที่มีขนาดเล็กขึ้นคร่อมที่ขั้วทั้งสองของตัวมัน

คุณสมบัติโดยทั่วไปของอัลตราโซนิคทรานสดิวเซอร์แบบเปียโซอิเล็กทริกคือ มีความต้านทานแรงดันไฟตรงสูงมาก โดยมีค่าประมาณ $100M\Omega$ แต่ในขณะที่มันทำงานความต้านทานไฟสลับจะลดลง

2.7.5 ข้อควรรู้ในการใช้งานตัวรับและตัวส่งทรานสดิวเซอร์

- ป้องกันโครงสร้างภายในมิให้เสียหาย - โดยไม่ควรให้ตัวทรานสดิวเซอร์ได้รับการกระแทกหรือตกจากที่สูง
- ทรานสดิวเซอร์ที่มีขายกันโดยทั่วไปจะทนแรงดันตกคร่อมตัวมันได้ไม่เกิน 20 Vrms ดังนั้นขนาดของสัญญาณที่จะป้อนให้กับตัวทรานสดิวเซอร์ก็ควรอยู่ในขีดจำกัดนี้
- ความถี่เรโซแนนซ์ (คือความถี่ที่ตัวทรานสดิวเซอร์สามารถทำงานได้อย่างมีประสิทธิภาพที่สุด) ของทรานสดิวเซอร์ 40 kHz ที่มีขายโดยทั่วไปจะผิดพลาดไม่เกิน ± 1 kHz และมีแถบความถี่ประมาณ 4.5 kHz (bandwidth) สำหรับตัวส่ง และประมาณ 5 kHz สำหรับตัวรับ จะเห็นว่าแถบความถี่ของตัวรับจะกว้างกว่าแถบความถี่ของตัวส่งเล็กน้อยเพื่อให้แน่ใจได้ว่าตัวรับสามารถรับความถี่ที่ออกมาจากตัวส่งได้ทั้งหมด
- อุณหภูมิที่ใช้งานของตัวทรานสดิวเซอร์ควรอยู่ในช่วง ลบ 20 ถึง 60 °C
- ตัวส่งและตัวรับจะมีทิศทางการคล้ายคลึงกันมาก กล่าวคือที่ตำแหน่งเบนจากแนวแกนของตัวส่งไปประมาณ 30° ความแรงของคลื่นเสียงที่ถูกส่งออกไปจะลดลงจากแนวแกนประมาณ 10 dB ทำนองเดียวกัน ถ้าคลื่นเสียงพุ่งเข้ามาในแนวที่เบี่ยงเบนไปจากแนวแกนของตัวรับประมาณ 30° ความไวหรือขนาดของแรงดันที่ออกมาจะลดลง จึงควรจะทำให้ทั้งตัวรับและตัวส่งอยู่ในแนวที่ พุ่งตรงกันมากที่สุด อย่างไรก็ตาม กรณีที่อยู่ในห้องจะเกิดการเบี่ยงเบนจากกันได้มาก เพราะคลื่นเสียงอัลตราโซนิคสามารถสะท้อนกับกำแพงและวัตถุที่อยู่ในห้องทำให้คลื่นเสียงเข้าไปหาตัวรับได้หลายทิศทาง

อัลตราโซนิคสามารถทำให้เป็นลำแคบได้โดยใช้เลนส์ที่เรียกว่าPlanoconcavelenes

วางข้างหน้าของทรานสดิวเซอร์แต่การทำให้เป็นลำแคบ (Beam) จะทำให้ near field สั้นลง และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

far field กระจายกว้างขึ้นการทำให้เป็นลำคลื่นนี้เหมาะสำหรับการใช้ทรานสดิวเซอร์ที่สร้างความถี่สูงที่เหมาะสมสำหรับใช้ในงานแพทย์ (Ultrasound) ที่มีความถี่ตั้งแต่ 2-5 MHz เพื่อใช้ตรวจในเนื้อเยื่อมีการส่งเป็นลำแคบ

- กรณีที่ใช้งานตัวรับจะต้องมีความต้านทานต่อขนานกับตัวรับเพื่อทำหน้าที่เป็นโหลดตามปกติแล้วตัวต้านทานจะมีค่าประมาณ 10-100 $k\Omega$ ถ้าใช้ความต้านทานค่าต่ำลงความถี่เรโซแนนซ์จะลดลง ถ้าใช้กับงานที่มีสัญญาณรบกวนมาก ควรใช้โหลดที่มีค่าความต้านทานสูงขึ้นเพื่อให้ตัวส่งมีความไวและมีความถี่แคบ
- ตามปกติแล้วจะสามารถนำตัวส่งและตัวรับมาใช้งานแทนกันได้โดยต้องให้ความถี่เรโซแนนซ์มีค่าตรงกัน
- คลื่นอัลตราโซนิกเป็นคลื่นที่มีทิศทาง ทำให้สามารถเล็งไปที่เป้าหมายได้อย่างเจาะจง การมีทิศทางของคลื่นอัลตราโซนิกทำให้สามารถนำไปใช้งานได้หลากหลาย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ระบบอิเล็กทรอนิกส์สำหรับโครงงาน

3.1 โครงสร้างของระบบ

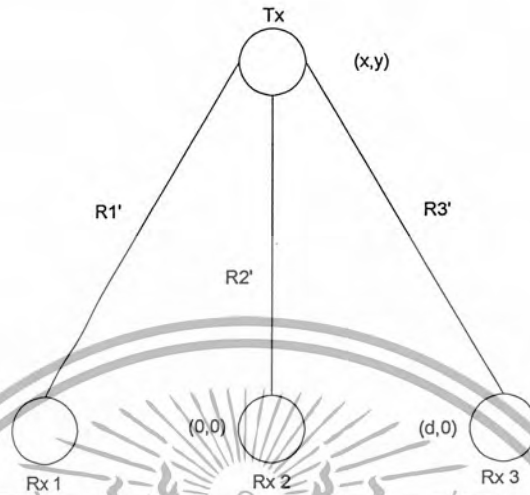
จะมีบล็อกไดอะแกรมโดยคร่าวๆดังนี้



รูปที่ 3.1 แสดงโครงสร้างของระบบ

การทำงานของวงจรโดยคร่าวๆคือทางด้านภาคส่งจะมีวงจรสร้างคลื่นเพื่อนำไปควบคุมช่วงเวลาการส่งคลื่น 40 kHz จากนั้นจึงส่งไปยังตัวรับ ทางด้านตัวรับจะรับสัญญาณ แล้วนำมาขยายให้สัญญาณแรงขึ้นจากนั้นจะเข้าไปยังวงจรเปรียบเทียบสัญญาณแล้วจึงป้อนเข้าไปให้ FPGA เพื่อนำสัญญาณไปประมวลผลต่อไป

3.2 หลักการรับส่งสัญญาณอัลตราโซนิกเพื่อหาพิกัด



รูปที่ 3.2 แสดงตำแหน่งพิกัดต่างๆ

$R1'$, $R2'$, $R3'$ คือระยะทางระหว่าง Tx ไปยัง Rx1, Rx2 และ Rx3 ตามลำดับ

R คือระยะทางที่สั้นที่สุดระหว่างตัวส่งและตัวรับ = $\text{Min}(R1', R2', R3')$

T_R คือระยะเวลาที่เสียงเดินทางจากตัวส่ง ไปยังตัวรับที่ใกล้ที่สุด

(0,0) คือจุดอ้างอิงที่ตัวรับ

(-d,0), (d,0) คือ จุด 2 จุดอยู่ที่ตัวรับมีระยะห่าง $2d$

(x,y) คือตำแหน่งเป้าหมายเมื่อเทียบกับจุด (0,0)

เมื่อความเร็วของเสียงมีค่า เท่ากับ 331 เมตรต่อวินาทีดังนั้นระยะทางที่ตัวส่งสัญญาณ

อัลตราโซนิกเดินทางผ่านอากาศไปยังตัวรับมีค่าเท่ากับ

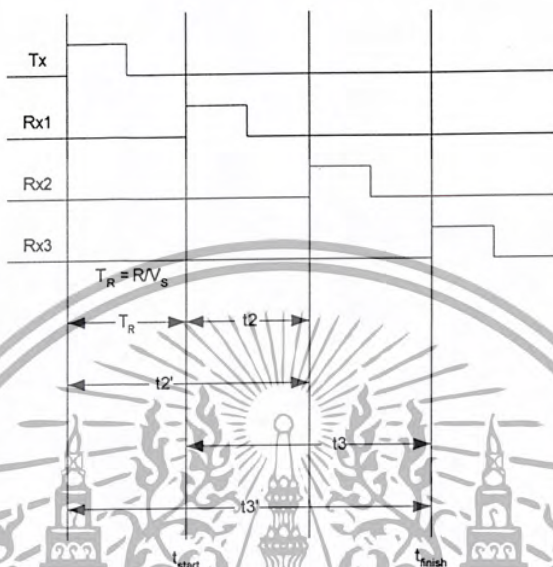
$$R = T_R / 331$$

ถ้าหากกำหนดให้ตัวส่งส่งสัญญาณมาให้กับตัวรับแล้วให้ตัวรับตัวที่ 1 (Rx1) รับสัญญาณได้ก่อนดังรูปที่ ดังนั้นแล้ว t_1' คือเวลาที่ตัวส่งสัญญาณมาให้ตัวรับที่ 1 ได้ใช้ไป ในระบบเก่าตัวส่งตัวส่งส่งสัญญาณมาถึงตัวรับก็จะสามารถทราบค่าเวลา t_1', t_2', t_3' ได้ทันทีและก็จะทราบค่าระยะทางระหว่างเป้าหมายกับตัวรับได้ตามลำดับ เนื่องจากตัวรับ และตัวส่งจะถูกเชื่อมต่อเข้าด้วยกัน แต่ในระบบที่จะสร้างนี้ตัวรับสัญญาณ และตัวส่งจะเป็นอิสระต่อกันเราก็จะสามารถหาค่าต่างๆได้โดยใช้ค่าความแตกต่างของเวลาระหว่างตัวรับสัญญาณต่างๆแทนการหาค่าเวลาระหว่างตัวรับกับตัวส่งแต่ละตัวโดยตรง

โดยที่

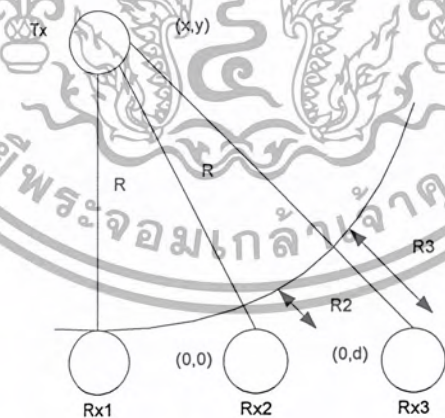
$$t_2 = t_2' - T_R$$

$$t_3 = t_3' - T_R$$



รูปที่ 3.3 เวลาต่าง ๆ เมื่อตัวรับสัญญาณจากตัวส่ง

หลักการการเดินทางของเสียงมีลักษณะเป็นวงกลมจากด้านหน้าของแหล่งกำเนิด ถ้าหากกำหนดให้ตัวรับกับตัวส่งวางอยู่ในตำแหน่งดังรูปที่ 3.4 ทำให้เราสามารถหาค่าระยะทางระหว่างตัวส่งกับตัวรับได้



รูปที่ 3.4 การวางตำแหน่งของตัวส่งและตัวรับแต่ละตัว

จากรูปที่ 3.4 เราจะได้ความสัมพันธ์ของระยะทางระหว่างตัวรับกับตัวส่งคือ

$$R_1' = R + R_1 \tag{3.1}$$

หรือ $R_1' = R \tag{3.2}$

$$R_2' = R + R_2 \tag{3.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R3' = R+R3 \quad (3.4)$$

จากสมการวงกลมจะได้ความสัมพันธ์ดังนี้

$$(x+d)^2 + y^2 = (R+R1)^2 \quad (3.5)$$

$$x^2 + y^2 = (R+R2)^2 \quad (3.6)$$

$$(x-d)^2 + y^2 = (R+R3)^2 \quad (3.7)$$

ตัวแปรในสมการที่เราต้องการหาค่าคือ x, y และ R ส่วนค่าคงที่ $R1, R2$ และ $R3$ หาได้จากวงจรมันเวลาที่เราร่างขึ้น จากนั้นก็ทำการแก้สมการ

$$R1 = 0 \quad (3.8)$$

$$R2 = t2 \times V_s \quad (3.9)$$

$$R3 = t3 \times V_s \quad (3.10)$$

นำค่า $R1-R3$ ที่ได้ไปแทนในสมการ 3.5 - 3.7

เมื่อกำหนดให้ t_{start} และ t_{stop1} เป็นเวลาที่ตัวนับตัวแรกรับสัญญาณที่ตัวส่งส่งสัญญาณมาได้ก่อน ส่วน t_{stop2} และ t_{stop3} หรือ t_{finish} คือเวลาที่ตัวรับตัวที่ 2 และตัวที่ 3 สามารถรับได้ในเวลาต่อมา จากรูปที่ ... จะได้ความสัมพันธ์ทางเวลาคือ

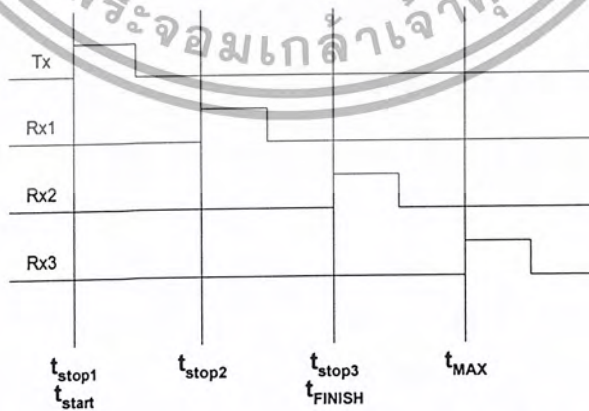
$$t1 = t_{stop1} - t_{start} \quad (3.11)$$

$$t2 = t_{stop2} - t_{start} \quad (3.12)$$

$$t3 = t_{finish} - t_{start} \quad (3.13)$$

และ

$$t_{finish} - t_{start} \leq t_{MAX}$$



รูปที่ 3.5 แสดงความสัมพันธ์ระหว่างค่าเวลา t_{MAX} กับ t ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าตัวรับทั้ง 3 ไม่สามารถรับสัญญาณได้ครบก่อนเวลา t_{MAX} นั่นก็หมายความว่าต้องมีตัวรับตัวใดตัวหนึ่งที่ไม่สามารถรับสัญญาณได้ ดังนั้นเราต้องทำการแก้ไขปัญหาดังกล่าวเพื่อที่จะรับสัญญาณจากตัวส่งครบทั้ง 3 ตัวก่อนเวลา t_{MAX}

หากเราพิจารณาการรับสัญญาณจากตัวส่งที่มีตัวรับเพียง 2 ตัว ดังรูปที่ 3.5 จากความสัมพันธ์ของรูป 3 เหลี่ยมก็จะได้ว่า

$$R+B \leq R+D \quad (3.14)$$

$$B \leq D \quad (3.15)$$

ถ้าระยะทางระหว่างตัวรับ 2 ตัวที่มากที่สุด คือ D_{MAX} แล้ว

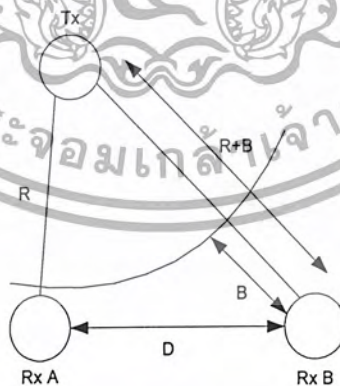
เราจะได้ว่า

$$R1, R2, R3 \leq D_{MAX} \quad (3.16)$$

จาก $t_{MAX} = D_{MAX} / V_s \quad (3.17)$

จะได้ $t1, t2, t3 \leq t_{MAX} \quad (3.18)$

$D =$ ระยะทางระหว่างตัวรับ 2 ตัว



รูปที่ 3.6 แสดงการส่งสัญญาณที่มีเพียงตัวรับเพียง 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การคำนวณหาพิกัดตำแหน่ง

การคำนวณหาพิกัดตำแหน่ง อาศัยหลักการทางคณิตศาสตร์ โดยมีวิธีการคำนวณดังต่อไปนี้

สมมติว่าตัวส่งอยู่ที่ตำแหน่ง (x,y) และตัวรับทั้ง 3 ตัววางในตำแหน่งเรียงกันเป็นเส้นตรงทั้ง 3 ตัวดังรูปที่ 3.7 เมื่อส่งสัญญาณอัลตราโซนิกจากตัวส่งไปยังตัวรับทั้ง 3 ตัว ระยะเวลาที่คลื่นเดินทางระหว่างตัวส่งกับตัวรับจะถูกนับด้วยเคาน์เตอร์ซึ่งจะได้ค่าเวลาที่แตกต่างกันเมื่อเทียบกับตัวรับตัวแรกค่าที่ได้นี้จะนำไปคำนวณหาค่า R_0, R_1, R_2 ออกมาแล้วจึงนำค่า R_0, R_1, R_2 ไปคำนวณหาค่า x, y, z ต่อไป



3.2.2 การคำนวณค่า R_0, R_1, R_2

เมื่อเราได้ค่าเคาน์เตอร์แต่ละตัวที่นับได้ เราสามารถหาค่าเวลาที่ใช้ได้จากสูตรต่อไปนี้

$$T = N/f$$

โดย T คือ เวลาที่แตกต่างกันระหว่างตัวรับแรกกับตัวรับใดๆ

N คือ จำนวนที่เคาน์เตอร์นับได้

f คือ ความถี่ที่เคาน์เตอร์ใช้นับ

จากนั้นสามารถหาค่า R_0, R_1, R_2 ได้จากสูตรต่อไปนี้

จาก

$$S = VT \quad (3.19)$$

จะได้

$$R_0 = VN_0/f \quad (3.20)$$

$$R_1 = VN_1/f \quad (3.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_2 = VN_2/f \quad (3.22)$$

โดย V คือ ความเร็วของคลื่นอัลตราโซนิก มีค่า = 331 m/s

R_0, R_1, R_2 คือ รัศมีที่แตกต่างกันระหว่างตัวรับใดๆกับตัวรับตัวแรกที่ได้รับ

สัญญาณจากตัวส่ง

ต่อจากนั้นเราจะนำค่า R_0, R_1, R_2 ไปคำนวณหาค่า x, y, z ต่อไป

3.2.3 การคำนวณหาค่า X, Y, R

สามารถคำนวณได้โดยใช้สมการวงกลมดังนี้

$$(X - X_0)^2 + (Y - Y_0)^2 = (R + R_0)^2 \quad (3.23)$$

$$(X - X_1)^2 + (Y - Y_1)^2 = (R + R_1)^2 \quad (3.24)$$

$$(X - X_2)^2 + (Y - Y_2)^2 = (R + R_2)^2 \quad (3.25)$$

จากสมการ (2.28)

$$X^2 - 2XX_0 + X_0^2 + Y^2 - 2YY_0 + Y_0^2 = R^2 + 2RR_0 + R_0^2$$

$$X^2 + Y^2 - R^2 = 2XX_0 + 2YY_0 + 2RR_0 - X_0^2 - Y_0^2 + R_0^2 \quad (3.26)$$

ในทำนองเดียวกันจากสมการ (2.29) และ (2.30)

$$X^2 + Y^2 - R^2 = 2XX_1 + 2YY_1 + 2RR_1 - X_1^2 - Y_1^2 + R_1^2 \quad (3.27)$$

$$X^2 + Y^2 - R^2 = 2XX_2 + 2YY_2 + 2RR_2 - X_2^2 - Y_2^2 + R_2^2 \quad (3.28)$$

จากสมการ (3.26) - (3.28) จะได้ 3 สมการ คือ (3.26) = (3.27) , (3.26) = (3.28) ,

$$(3.27) = (3.28)$$

จาก (3.26) = (3.27) จะได้

$$2XX_0 + 2YY_0 + 2RR_0 - X_0^2 - Y_0^2 + R_0^2 = 2XX_1 + 2YY_1 + 2RR_1 - X_1^2 - Y_1^2 + R_1^2$$

$$(2X_0 - 2X_1)X + (2Y_0 - 2Y_1)Y + (2R_0 - 2R_1)R = X_0^2 + Y_0^2 - R_0^2 - X_1^2 - Y_1^2 + R_1^2 \quad (3.29)$$

ในทำนองเดียวกัน (3.26) = (3.28) , (3.27) = (3.28) จะได้

$$(2X_0 - 2X_2)X + (2Y_0 - 2Y_2)Y + (2R_0 - 2R_2)R = X_0^2 + Y_0^2 - R_0^2 - X_2^2 - Y_2^2 + R_2^2 \quad (3.30)$$

$$(2X_1 - 2X_2)X + (2Y_1 - 2Y_2)Y + (2R_1 - 2R_2)R = X_1^2 + Y_1^2 - R_1^2 - X_2^2 - Y_2^2 + R_2^2 \quad (3.31)$$

จากสมการ (2.34) , ((2.35) , (2.36) กำหนดให้

$$A1 = 2X_0 - 2X_1 \quad B1 = 2Y_0 - 2Y_1 \quad C1 = 2R_0 - 2R_1$$

$$A2 = 2X_0 - 2X_2 \quad B2 = 2Y_0 - 2Y_2 \quad C2 = 2R_0 - 2R_2$$

$$A3 = 2X_1 - 2X_2 \quad B3 = 2Y_1 - 2Y_2 \quad C3 = 2R_1 - 2R_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K1 = X_0^2 + Y_0^2 - R_0^2 - X_1^2 - Y_1^2 + R_1^2$$

$$K2 = X_0^2 + Y_0^2 - R_0^2 - X_1^2 - Y_1^2 + R_1^2$$

$$K3 = X_1^2 + Y_1^2 - R_1^2 - X_2^2 - Y_2^2 + R_2^2$$

จะได้สมการ

$$A_1X+B_1Y+C_1R = K_1$$

$$A_2X+B_2Y+C_2R = K_2$$

$$A_3X+B_3Y+C_3R = K_3$$

แก้สมการหาค่า X, Y, R โดยใช้ Cramer's Rule

$$\begin{bmatrix} A_1 & B_1 & C_1 \\ A_2 & B_2 & C_2 \\ A_3 & B_3 & C_3 \end{bmatrix} \begin{bmatrix} X \\ Y \\ R \end{bmatrix} = \begin{bmatrix} K_1 \\ K_2 \\ K_3 \end{bmatrix}$$

หา Determinant

$$\Delta = \begin{bmatrix} A_1 & B_1 & C_1 \\ A_2 & B_2 & C_2 \\ A_3 & B_3 & C_3 \end{bmatrix}$$

จะได้ค่า X, Y, R ดังนี้

$$X = \frac{\begin{bmatrix} K_1 & B_1 & C_1 \\ K_2 & B_2 & C_2 \\ K_3 & B_3 & C_3 \end{bmatrix}}{\Delta}$$

$$Y = \frac{\begin{bmatrix} A_1 & K_1 & C_1 \\ A_2 & K_2 & C_2 \\ A_3 & K_3 & C_3 \end{bmatrix}}{\Delta}$$

$$R = \frac{\begin{bmatrix} A_1 & B_1 & K_1 \\ A_2 & B_2 & K_2 \\ A_3 & B_3 & K_3 \end{bmatrix}}{\Delta}$$

ค่าพิกัด X, Y, R จะถูกนำไปใช้ในภาคประมวลผลโดยใช้ FPGA คำนวณและเมื่อได้พิกัด

แล้วจึงนำไปควบคุมรถให้สามารถวิ่งสู่เป้าหมายได้

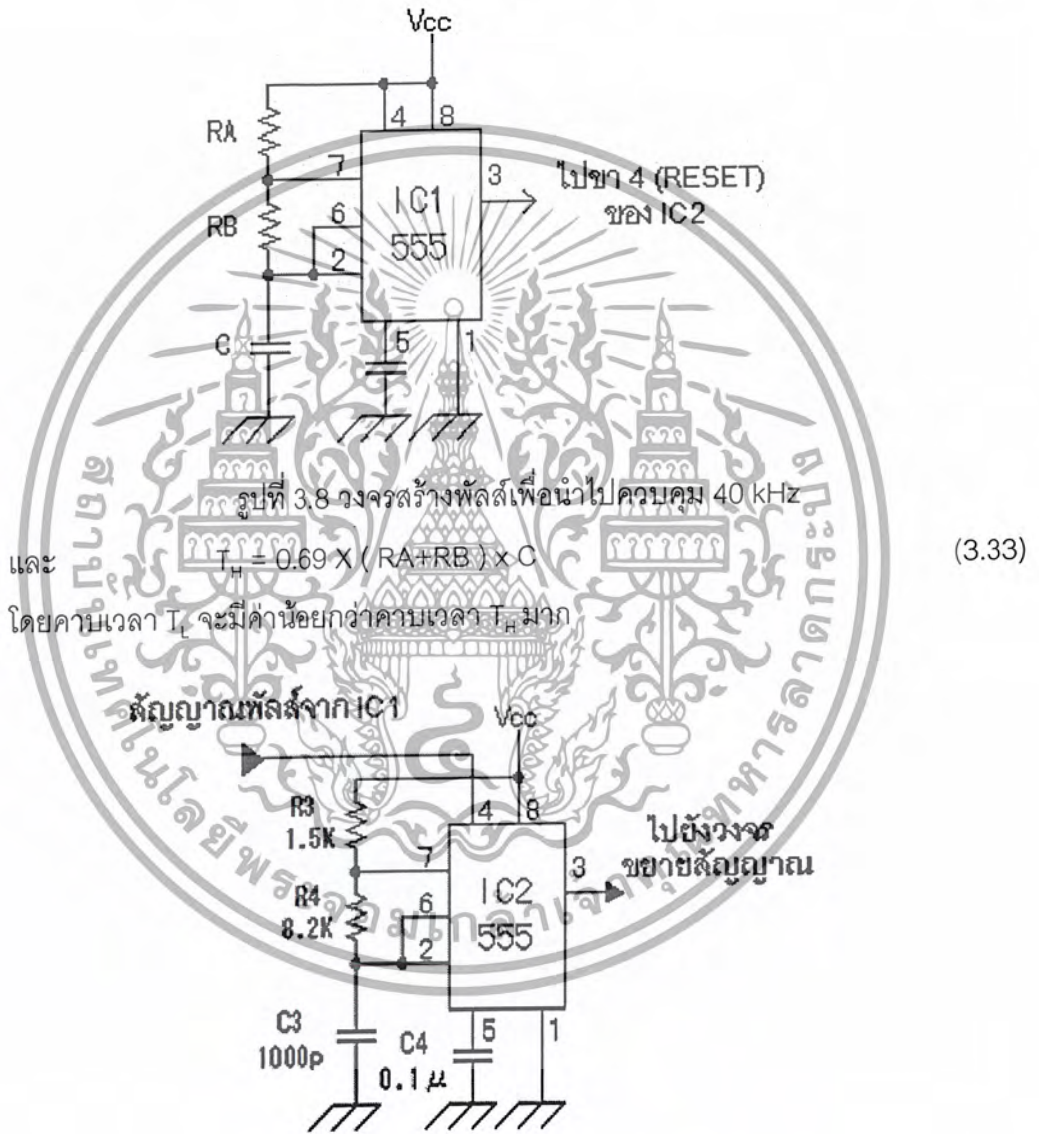
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรภาคส่งคลื่นอัลตราโซนิก

จะมี IC ที่ทำหน้าที่หลักอยู่ 2 ตัวคือ IC1 IC2 โดย IC2 จะทำหน้าที่ผลิตคลื่นความถี่ 40 KHz ออกมา ความถี่ที่ออกมาได้จะถูกควบคุมการส่งโดย IC1 โดยกำหนดคาบเวลาโดย R1 และ R2 โดยที่คาบเวลาจะคำนวณได้จากสูตร

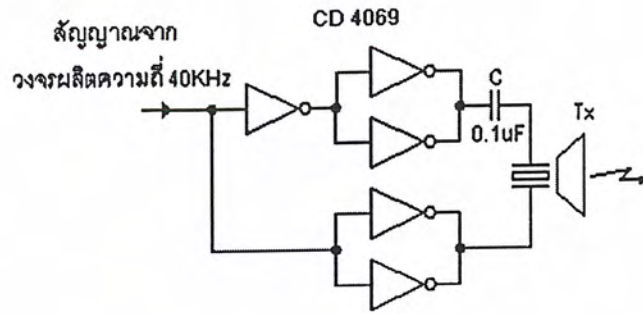
$$T_L = 0.69 \times R_B \times C \tag{3.32}$$



รูปที่ 3.9 วงจรผลิตความถี่ 40 KHz

จากนั้นจึงนำสัญญาณที่ได้ไปทำการ drive ให้มีขนาดของสัญญาณมากขึ้นโดยใช้ IC3 ซึ่งเป็น IC NOT GATE โดยเพิ่มทั้งด้านบวกและลบ ที่จุดเอาต์พุตนี้จะมีระดับของสัญญาณประมาณ 18 Vp-p แล้วจึงป้อนเข้าตัวส่งเพื่อส่งออกไป

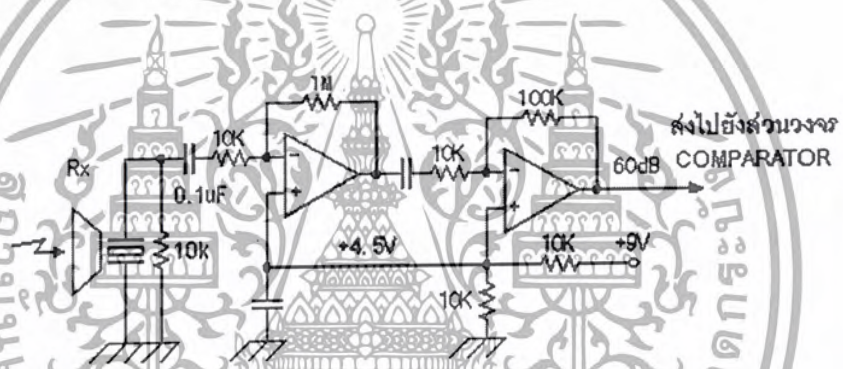
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรขยายภาคส่ง โดย CD 4069

3.4 วงจรภาครับคลื่นอัลตราโซนิก

วงจรภาครับคลื่นอัลตราโซนิกจะแสดงดังรูป



รูปที่ 3.11 วงจรขยายแรงดันภาครับคลื่นอัลตราโซนิก

วงจรภาครับจะแบ่งได้เป็น 4 ภาคคือ

3.4.1 วงจรภาคขยายแรงดัน

เมื่อทรานสดิวเซอร์รับสัญญาณมาจากภาคส่งแล้วจะนำมาขยายสัญญาณยังภาคนี้โดยทำการขยายแบบ อินเวอร์ติง สัญญาณที่ได้ออกทางเอาต์พุตจะมีระดับของสัญญาณเป็นโวลท์ซึ่ง อัตราการขยายในภาคนี้จะมีค่าอยู่ที่ประมาณ 60dB

3.4.2 วงจรเปรียบเทียบสัญญาณ (comparator)

วงจรมานี้จะทำการเปรียบเทียบระดับของสัญญาณที่ขา 2 โดยเทียบกับขา 3 ซึ่งมีแรงดันอ้างอิงอยู่ ถ้าสัญญาณที่เข้ามาทางขา 2 มีค่ามากกว่าระดับของสัญญาณที่ขา 3 สัญญาณที่เอาท์พุท จะมีค่าเป็นศูนย์โวลท์ แต่ถ้าสัญญาณที่เข้ามาทางขา 2 มีค่าน้อยกว่าระดับของสัญญาณที่



รูปที่ 3.12 วงจร COMPARATOR และวงจรรองความถี่ ของภาครับ

ขา 3 สัญญาณที่เอาท์พุทจะมีค่าเท่ากับระดับสัญญาณไฟเลี้ยงของอปแอมป์ ที่ขา 3 เราสามารถปรับระดับของแรงดันอ้างอิงได้

3.4.3 วงจรรองความถี่

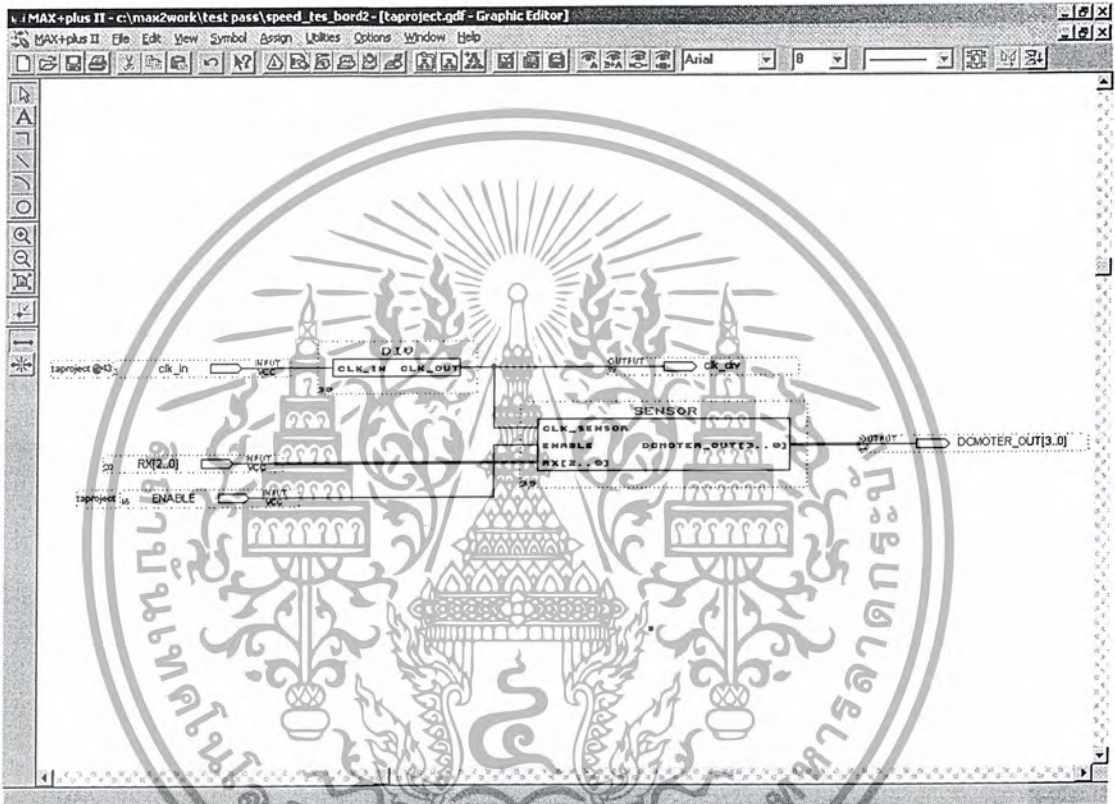
ในภาคนี้จะทำการกรองสัญญาณความถี่ 40 kHz ออกไปและทำให้เหลือแต่ความถี่ต่ำ เพื่อนำไปป้อนเข้าไมโครคอนโทรลเลอร์

การทำงานของภาครับโดยย่อคือ ตัวรับคลื่นอัลตราโซนิคจะรับคลื่น 40 kHz เข้ามา จากนั้นจึงนำสัญญาณที่รับได้นี้ไปป้อนเข้าวงจรขยายระดับของสัญญาณเพื่อทำให้ระดับของสัญญาณเพิ่มขึ้นแล้วจึงนำไปเข้าวงจรเปรียบเทียบสัญญาณเพื่อเปรียบเทียบสัญญาณโดยกำหนดสัญญาณอ้างอิงที่ขา 3 จากนั้นเอาท์พุทที่ได้จะถูกกรองความถี่โดยเลือกเฉพาะความถี่ต่ำเพื่อนำไปใช้กับไมโครคอนโทรลเลอร์ ส่วนความถี่สูงคือ ความถี่ 40 kHz จะถูกกรองทิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ส่วน FPGA

ในส่วนของ FPGA นั้นเราได้นำมาทำการประมวลผลและส่งสัญญาณไปควบคุมส่วน วงจรขับเคลื่อน โดยในส่วนของ FPGA นั้นเราได้ใช้ภาษา VHDL ในการเขียนโปรแกรม ซึ่งสามารถ แสดง บล็อกไดอะแกรมการทำงานได้ดังรูปที่ 3.13



รูปที่ 3.13 แสดงส่วนของ FPGA

จากรูปที่ 3.13 จะเห็นได้ว่าจะแบ่งการทำงานออกเป็น 2 ส่วนด้วยกัน ในส่วนแรก เป็น ส่วนของ DIV1 ส่วนนี้จะเป็นส่วนของโปรแกรมซึ่งจะทำการ ทหารความถี่สัญญาณนาฬิกา โดย กำหนดให้ทำการหารความถี่ด้วย 2 ซึ่งจะมีค่าอยู่ที่ประมาณ 12 MHz สำหรับในส่วนที่ 2 จะเป็น ส่วนของการตรวจสอบสัญญาณและเป็นส่วนของโปรแกรมในการควบคุมต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ส่วนขับเคลื่อน

ในส่วนของการขับเคลื่อนนี้จะประกอบไปด้วย 2 ส่วนคือส่วนของมอเตอร์ และส่วนของภาคขับเคลื่อนซึ่งในส่วนของมอเตอร์ เราได้นำเอา ดีซีมอเตอร์มาใช้ ซึ่งเป็นมอเตอร์ที่สามารถใช้งานได้ง่ายและราคาถูก ในส่วนของภาคขับเคลื่อนนั้นเราได้ใช้ ทรานซิสเตอร์มาควบคุม เนื่องจากเป็นอุปกรณ์พื้นฐานที่ใช้งานง่ายและหาได้ไม่ยาก ซึ่งค่อนข้างมีประสิทธิภาพที่ดีดังวงจรรูปที่ 3.14



รูปที่ 3.14 วงจรขับเคลื่อนมอเตอร์

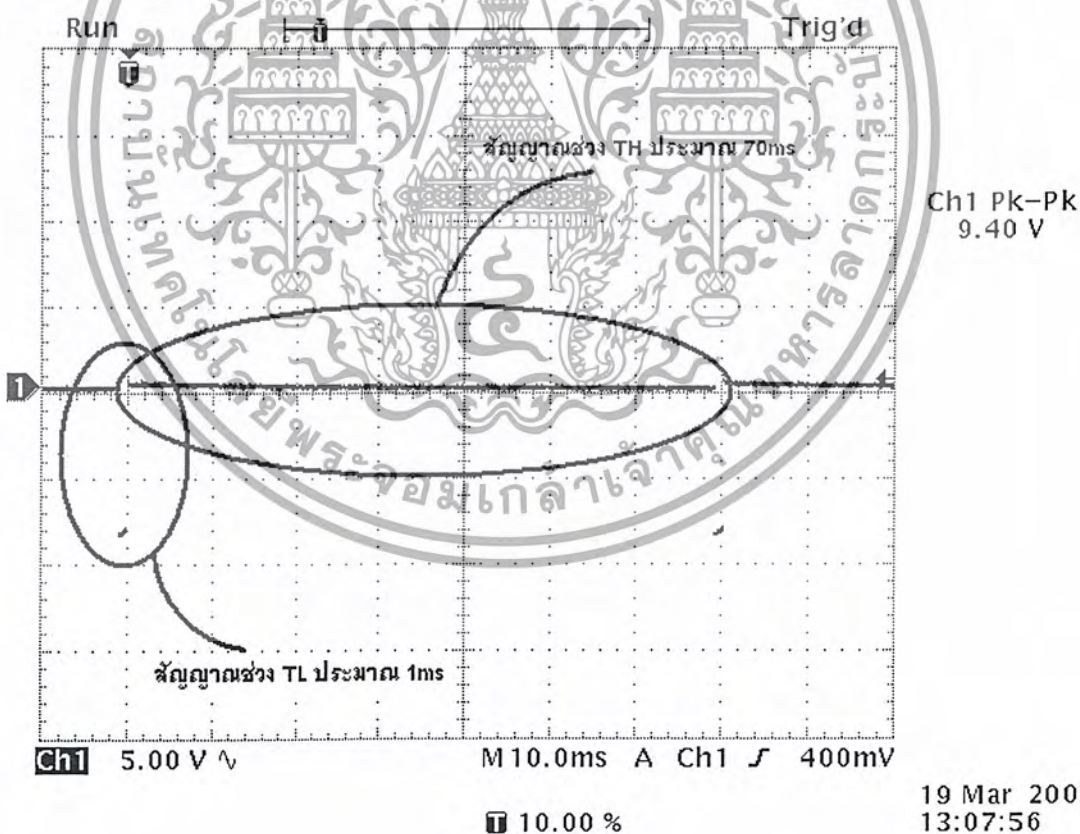
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

4.1 ผลการทดลองวัดสัญญาณจาก IC 555 ของภาคส่ง

4.1.1 สัญญาณที่ขา 3 ของ IC1

จากรูปที่ 4.1 เป็นสัญญาณที่ขา 3 ของ IC1 ของภาคส่ง ผลที่ได้คือ พัลส์ ความถี่ประมาณ 14 Hz โดยที่ ช่วงเวลาของ Ton ประมาณ 1ms และช่วง Toff จะมีค่าประมาณ 70 ms ซึ่งสัญญาณนี้จะนำไปเข้าที่ 4 ของ IC2 ซึ่งจะทำหน้าที่ควบคุมอัตราการเกิดคลื่นความถี่ 40 kHz

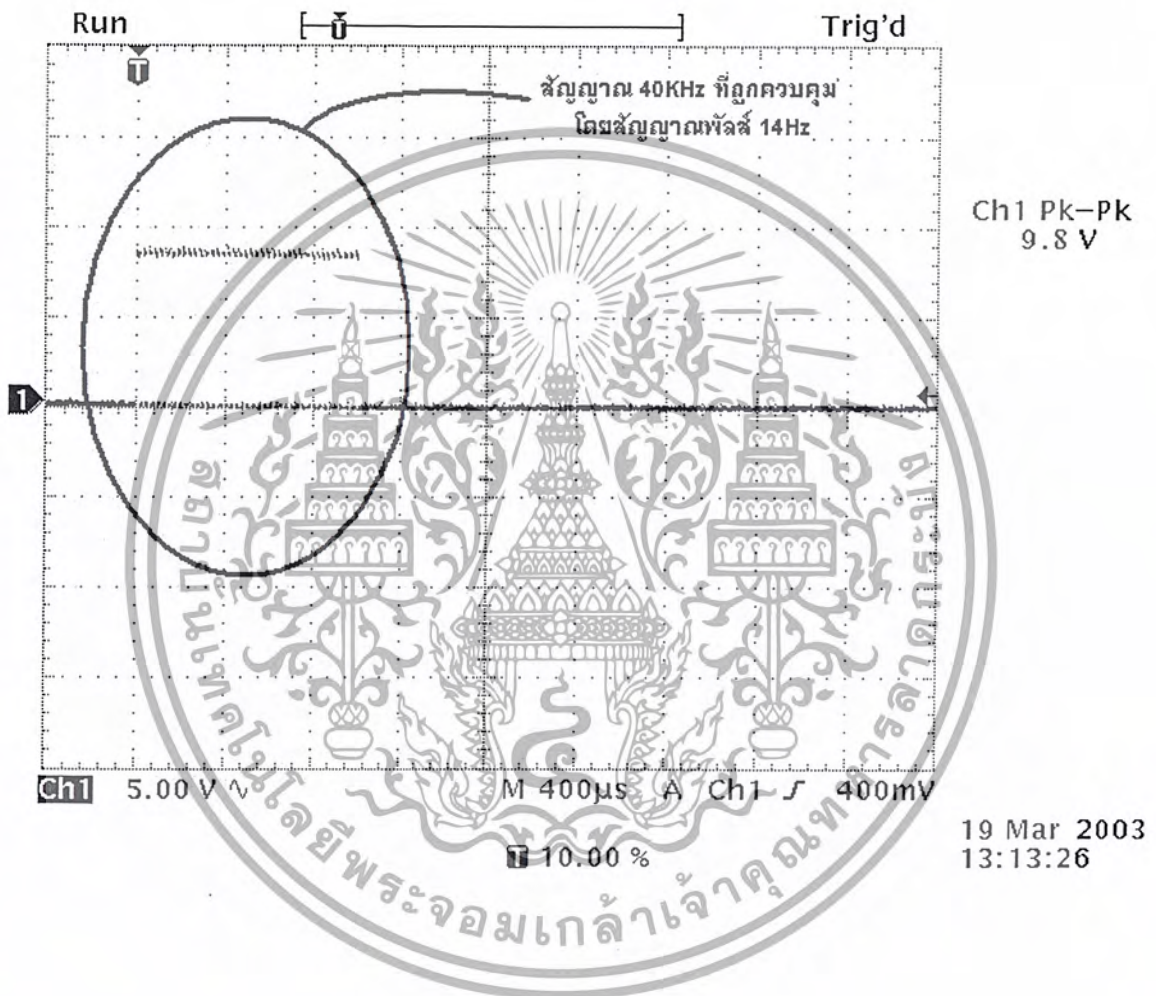


รูปที่ 4.1 สัญญาณที่ขา 3 ของ IC1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 สัญญาณที่ขา 3 ของ IC2

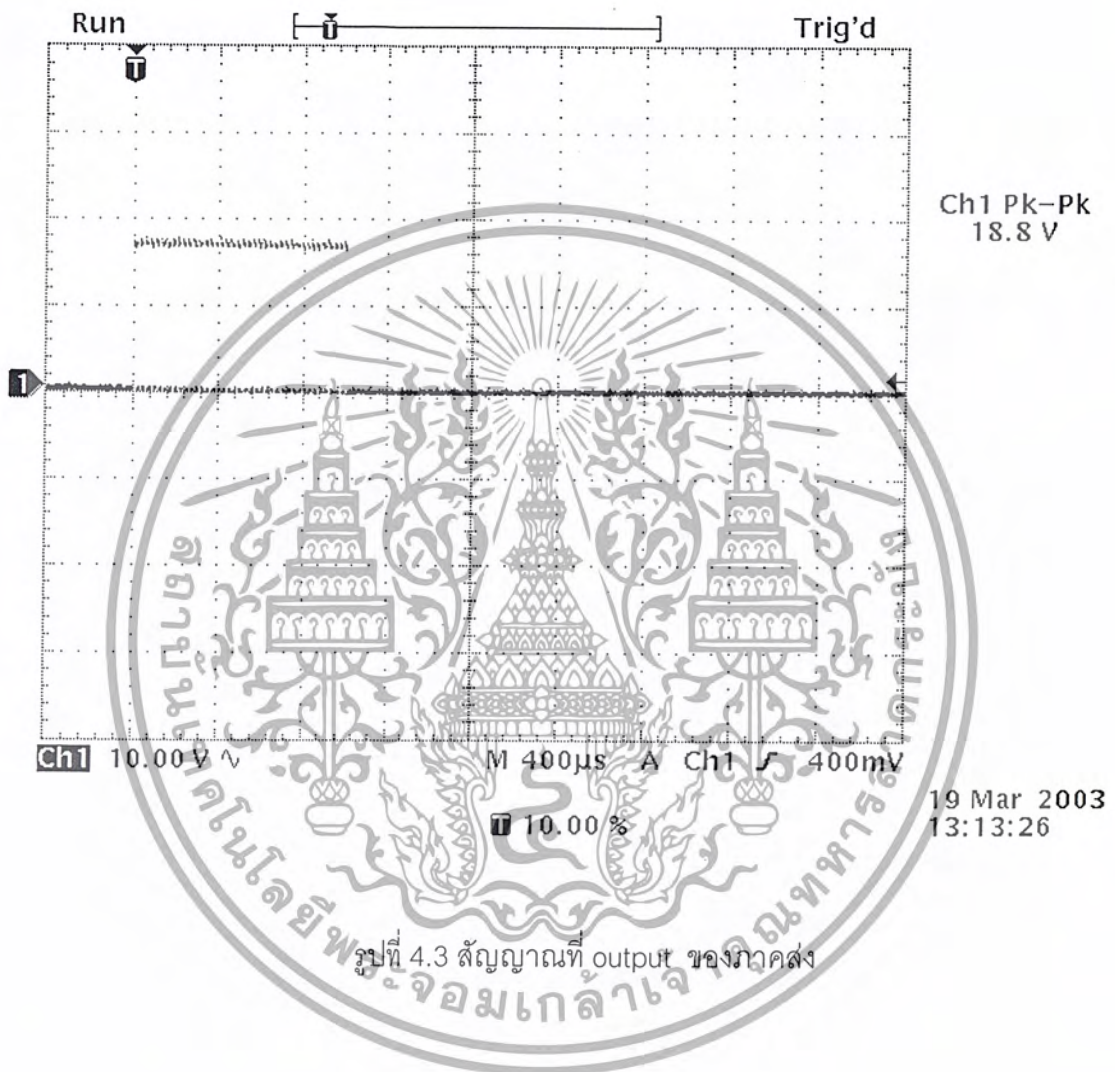
จากรูปที่ 4.2 เป็นสัญญาณที่ขา 3 ของ IC2 จะเห็นว่าสัญญาณนั้นคือสัญญาณ 40 kHz



รูปที่ 4.2 สัญญาณที่ขา 3 ของ IC2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 สัญญาณที่ output ของภาคส่ง(ขณะที่ไม่ได้ต่อหัวส่ง)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

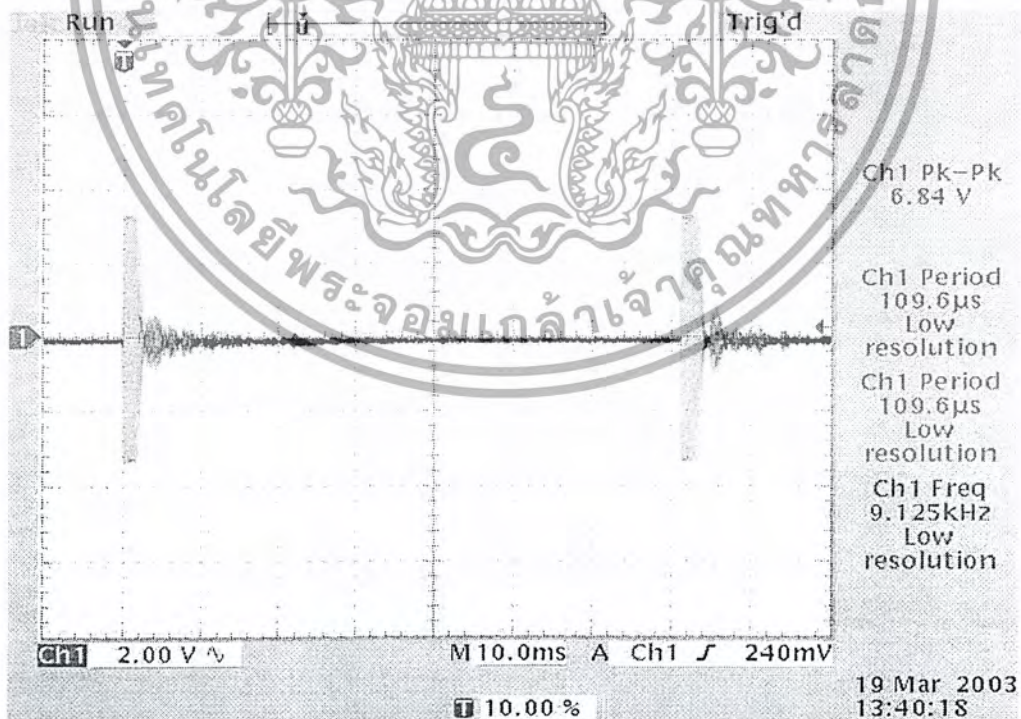
4.2 ผลการทดลองวัดสัญญาณของภาครับ

4.2.1 สัญญาณที่ขา 1 ของ IC LM833

ในการวัดสัญญาณในภาคนี้เราจะวัดเปรียบเทียบเป็นระยะทาง ให้ห่างออกไปเรื่อยๆ โดยที่ให้ตัวรับไม่เคลื่อนที่ ให้ตัวส่งเคลื่อนที่ตามระยะต่างๆแล้วบันทึกผล เพื่อเป็นการตรวจสอบและทดสอบการทำงานของภาครับ โดยสัญญาณที่วัดนั้นเป็นสัญญาณที่ถูกขยายด้วยออปแอมป์แล้ว

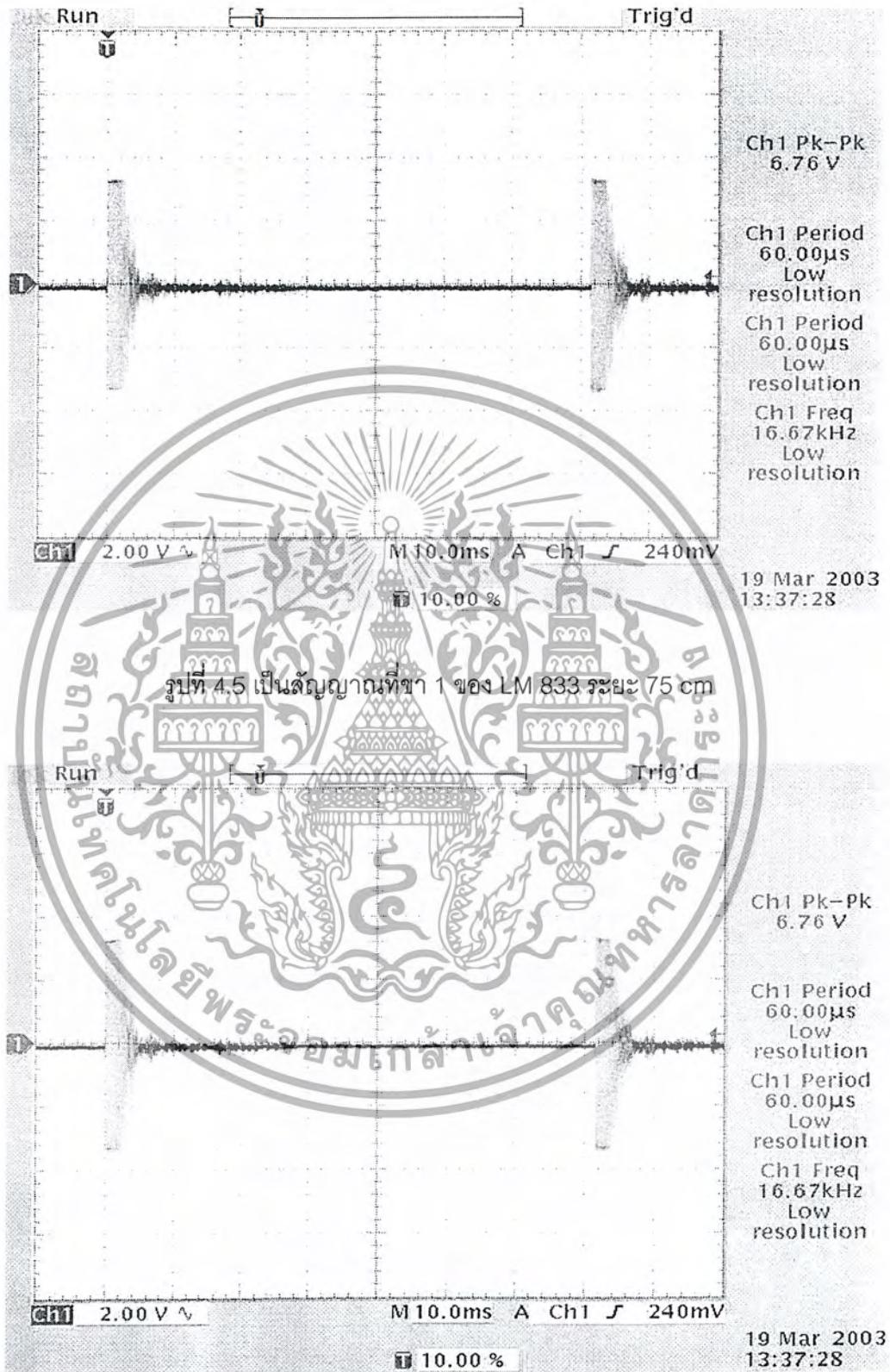
ตารางที่ 4.1 ผลการวัดค่าของแรงดันตามระยะทาง

ระยะทาง (m)	แรงดัน (Vpp)
0.3	6.8
0.75	6.7
2	5.3
3	3.8
5	1.85



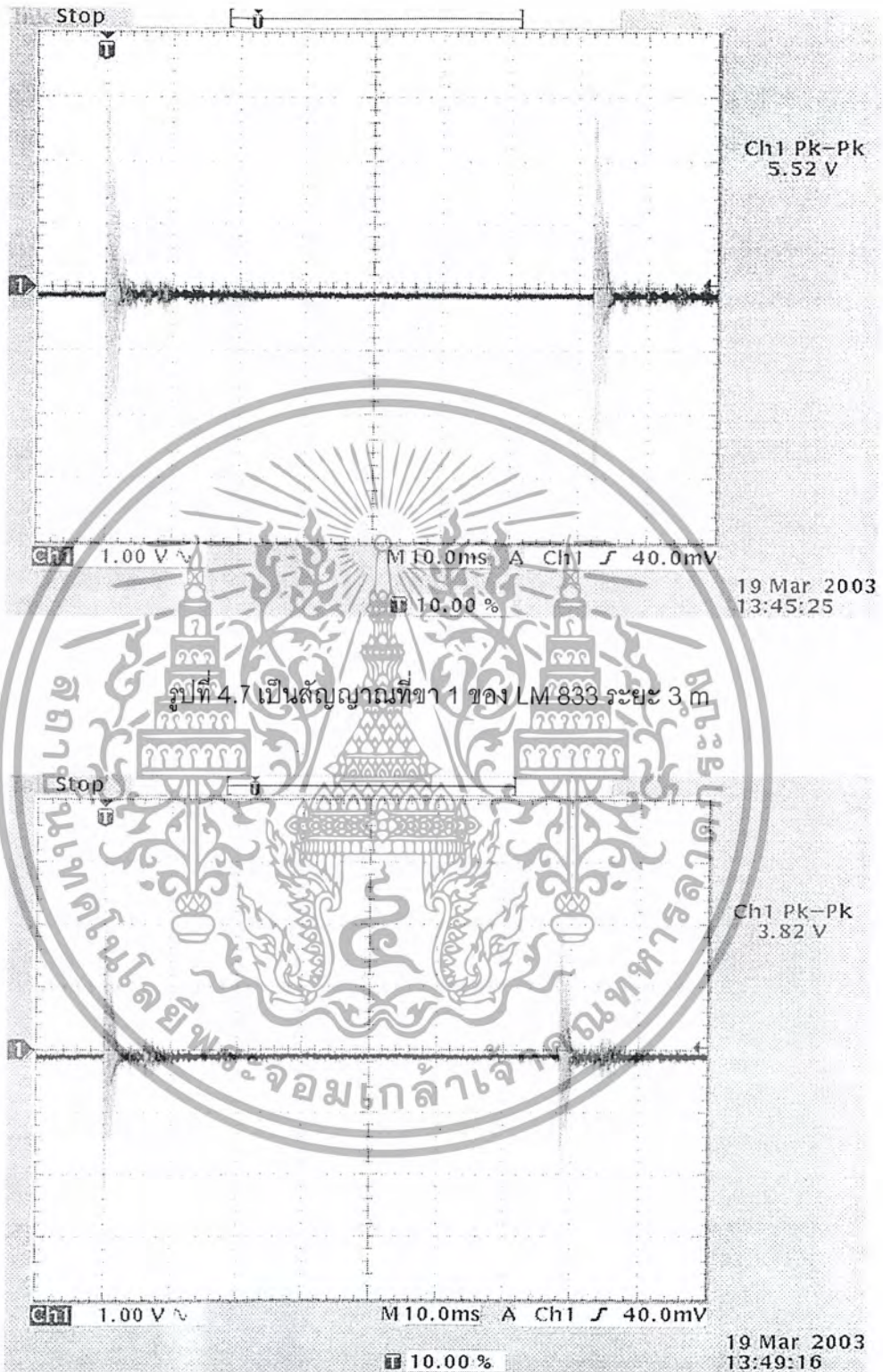
รูปที่ 4.4 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 30 Cm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 2 m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

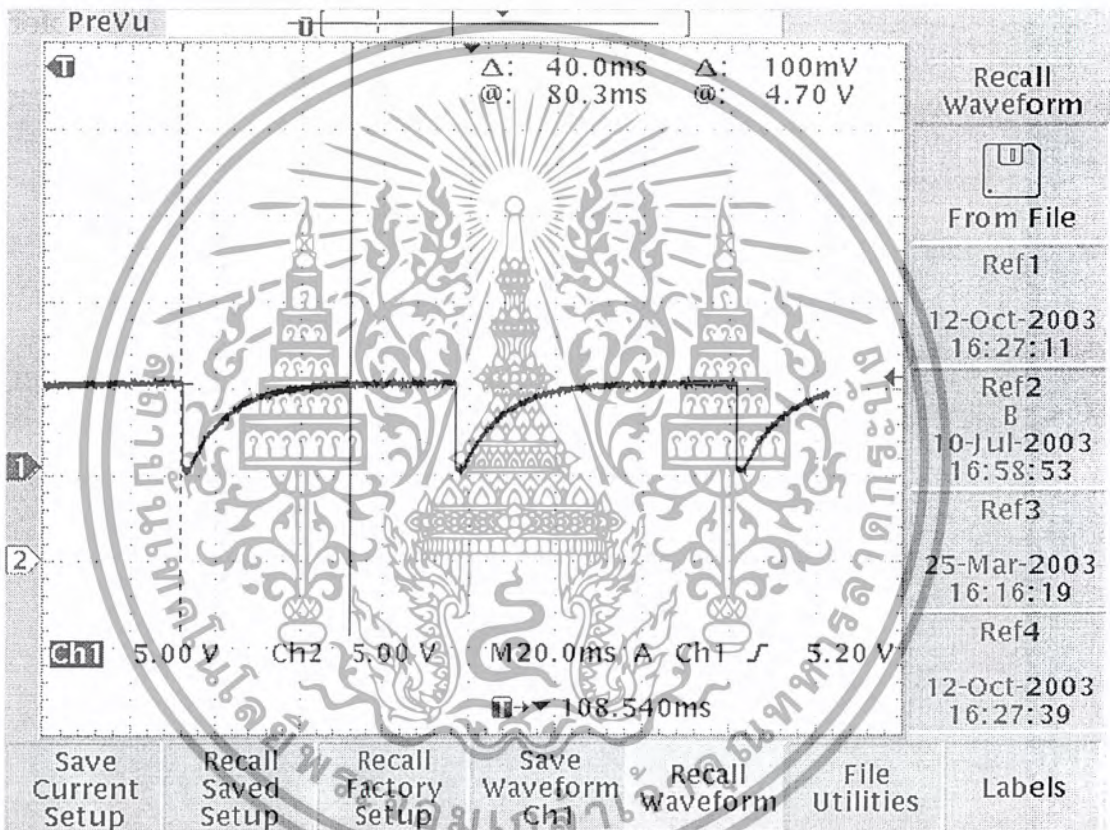


รูป 4.8 เป็นสัญญาณที่ขา 1 ของ LM 833 ระยะ 5 m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 สัญญาณ ที่ขา 1 ของ IC LM 393

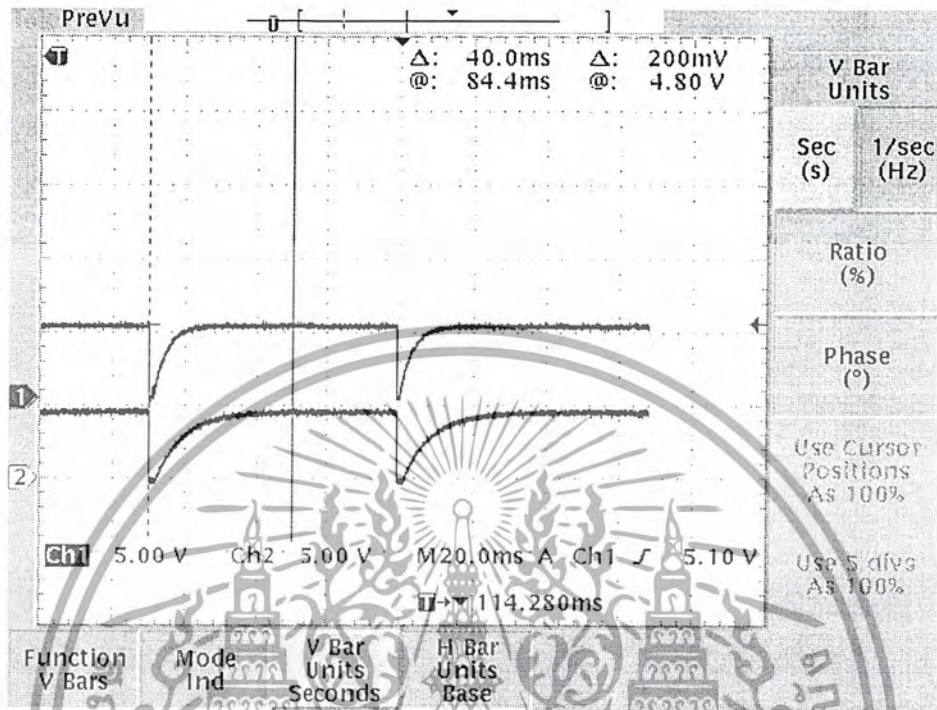
จากรูปที่ 4.9 และ 4.6 ซึ่งเป็นรูปสัญญาณ ที่ขา 1 ของ IC LM 393 ซึ่งสัญญาณนี้เป็นสัญญาณที่เป็น output comparator ของ LM 393 ซึ่งที่จุดนี้จะมี R และ C อยู่ค่าหนึ่งซึ่งมีหน้าที่สำหรับกรองความถี่สูงทิ้งไปให้เหลือแต่ความถี่ต่ำ



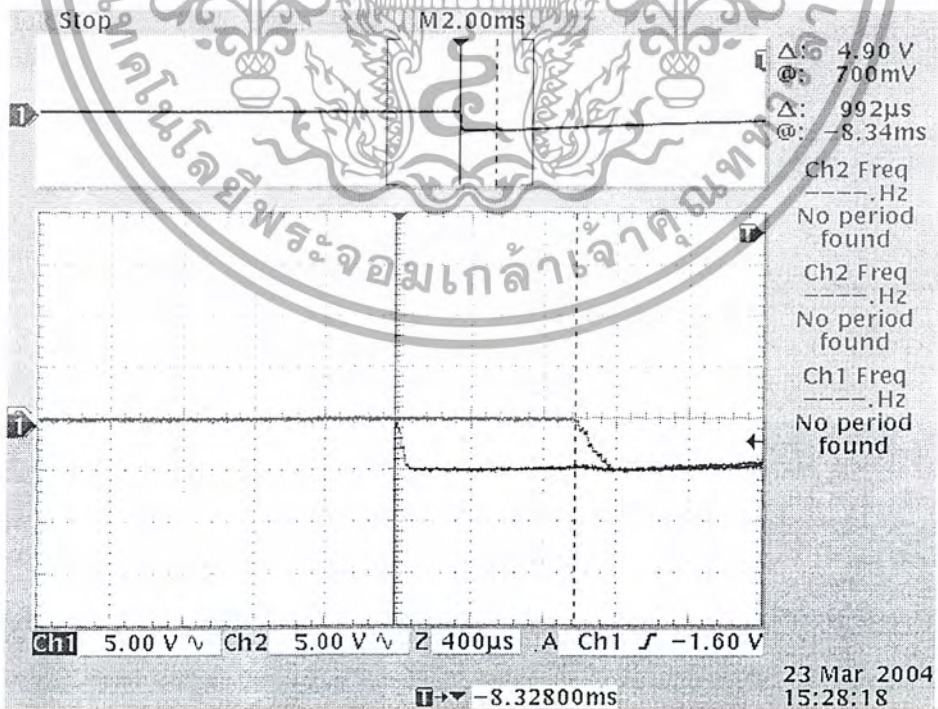
รูปที่ 4.9 สัญญาณ ที่ขา 1 ของ IC LM 393

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 สัญญาณที่ขา 1 ของ IC LM 393 เมื่อเทียบกันระหว่างตัวรับ 2 ตัว



รูปที่ 4.10 สัญญาณระหว่างตัวรับด้านข้าง 2 ตัวเมื่อตัวส่งอยู่ที่ตำแหน่งตรงกลาง



รูปที่ 4.11 สัญญาณระหว่างตัวรับที่ 1 และ 2 เปรียบเทียบกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา สาเหตุ และแนวทางการแก้ไข

5.1 คุณสมบัติของระบบ

5.1.1 สามารถนำไปพัฒนาเพื่อควบคุมระบบต่างๆได้

5.1.2 สามารถนำไปควบคุมการเคลื่อนที่ของรถได้

5.2 ข้อจำกัดของระบบ

5.2.1 ระยะเวลาและทิศทาง จำเป็นที่จะต้องได้ระยะพอสมควรเพื่อความเหมาะสมกับโครงการดังนั้นก็ควรส่งจึงต้องมีประสิทธิภาพพอสมควร

5.2.2 สภาพแวดล้อม หากบริเวณที่เราทดลองนั้น สภาพแวดล้อมไม่เหมาะสม เช่นเสียงดังมาก หรือว่ามีสิ่งกีดขวางสะท้อน ก็อาจเป็นผลให้การทำงานเพี้ยนไปได้

5.2.3 คลื่นรบกวน เป็นสิ่งที่รบกวนระบบได้มากที่สุด ทั้งที่มาจากตัวระบบเองหรือจากระบบอื่น คงเป็นไปได้ถ้าจะไม่มีคลื่นรบกวนเลย แต่สิ่งที่ทำได้คือน้อยที่สุด

5.3 ปัญหาทางด้านวงจรและอุปกรณ์

จากการทดลองทางด้านวงจรมันสามารถแบ่งได้เป็น 2 ส่วน คือ ส่วนของภาคส่ง และภาครับ

ส่วนของภาคส่ง ปัญหาที่พบที่สำคัญคือ ระยะเวลาส่งนั้นทำได้ไม่ไกลนัก เนื่องจากสิ่งรบกวนต่างๆ รวมถึงตัววงจรเองด้วยเรา ไม่สามารถจะส่งสัญญาณด้วยความแรงสูงสุดได้ เพราะเมื่อยิงส่งด้วยกำลังแรงมากเพียงใด บีม ก็จะกว้างขึ้นตามไปด้วย นั่นคือสิ่งรบกวนก็สามารถมีมากขึ้นตามด้วย ดังนั้นในการใช้งานเราควร ตั้งความแรงในการส่งให้พอเหมาะ อีกส่วนนั้นเราจะใช้ความไวของภาครับเป็นตัวช่วย

ส่วนของภาครับ คือความไวในการรับสัญญาณ เราไม่สามารถปรับความไวในการรับสัญญาณของแต่ละภาคได้เท่าๆกันโดยง่าย ดังนั้นจึงมีการเหลื่อมล้ำในการทำงาน จึงไม่แปลกที่บางครั้งวงจรทำงานผิดพลาด รวมทั้งสัญญาณรบกวนนอกระบบ อาจจะเป็นเสียง หรือความถี่

ต่างๆ ทั้งนี้ต้องขึ้นอยู่กับความเสถียรของส่วนประมวลผลด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ปัญหาทางด้านการประมวลผล และ FPGA

ในโครงการนี้เราได้ใช้ FPGA มาทำงานโดยใช้เป็นเคาน์เตอร์ ปัญหาที่เกิดขึ้นสำหรับส่วนนี้คือ เมื่อเราได้ทำการเขียนโปรแกรมเพื่อใช้นับค่าเวลาของสัญญาณจากตัวรับ ปรากฏว่าสัญญาณเวลาที่ภาครับที่ส่งให้ FPGA นั้นไม่คงที่ซึ่งทำให้ FPGA ไม่สามารถคำนวณหาค่าพิกัดที่แน่นอนได้จึงทำให้รถไม่สามารถหยุดตามตำแหน่งที่ต้องการอย่างที่ตั้งไว้ได้ เราจึงได้แก้ปัญหาโดยการนำอินฟาเรดซึ่งเป็นอินฟาเรดสำเร็จรูปมาเป็นตัวตรวจจับ วัดดูเพื่อสั่งให้รถหยุดได้โดยไม่ชนตัวส่งหรือวัตถุใดๆ

5.5 สิ่งที่ยอมรับระบบ

ในการทดลองนั้นจะมีผลกระทบจากคลื่นนอกระบบ จนทำให้ระบบทำงานผิดพลาดไป ซึ่งเราสามารถแก้ไขได้โดย ทำการทดลองในบริเวณที่มีสิ่งรบกวนน้อยที่สุด

ในการทดลองแล้วหากเราทดสอบในท้องถิ่น จะมีการสะท้อนเกิดขึ้น คลื่นที่สะท้อนนี้จะมีผลทำให้ระบบทำงานผิดพลาดไปได้ดังนั้นเราอาจจะ ทำการทดลองในที่โล่งอาจจะได้ผลที่ดีขึ้น

ในการทดลองนั้นปัญหาที่เกิดขึ้นอาจจะมีในหลากหลายรูปแบบ การที่จะสามารถทำให้งานของเราสำเร็จได้นั้น สิ่งที่สำคัญที่สุดคือตัวคนที่ปฏิบัติงานนั่นเอง หากเกิดปัญหาแล้วไม่สามารถควบคุมอารมณ์ได้ งานเหล่านั้นคงจะไม่สำเร็จได้แน่ ดังนั้นปัญหาที่สำคัญยิ่งคือสิ่งนี้เอง

5.6 บทสรุปและวิจารณ์

จากการทดลอง โครงการนั้นจะเห็นว่า พบปัญหาต่างๆ พอสมควร แต่จากการทดสอบแล้วคิดว่าโครงการนี้มีประสิทธิภาพในระดับหนึ่ง ในด้านภาครับและส่งนั้น เป็นส่วนที่สำคัญในโครงการนี้ จากการทดลองถือว่าภาครับ-ส่งนี้ทำงานได้ในระยะที่พอสมควร ซึ่งน่าจะเหมาะสมกับโครงการ แต่สิ่งที่น่ากังวลคือเรื่องของสิ่งรบกวนต่างๆ ทั้งในระบบและนอกระบบ ดังนั้นการออกแบบวงจรภาคต่างๆจะต้องคำนึงถึงสิ่งต่างๆเหล่านี้ด้วย

สำหรับในภาคประมวลผลนั้นยังไม่สามารถใช้งานได้อย่างที่คาดหวังทั้งหมด เนื่องจากสัญญาณที่ได้รับมาจาก ตัวรับนั้นไม่คงที่เกิดการเปลี่ยนแปลงตลอดเวลาจึงไม่สามารถใช้หลักการตามข้างต้นที่ได้กล่าวไว้ได้จึงต้องนำอินฟาเรดมาช่วยในการตรวจจับแทนแต่ยังใช้อัลตราโซนิกเป็นตัวนำร่องหลักดั้งเดิม

5.7 แนวทางการพัฒนา

สำหรับในโครงการขึ้นนี้แนวทางในการพัฒนา ควรจะออกแบบให้ส่งได้ไกล และให้ สัญญานรบกวนน้อยที่สุด การเขียนโปรแกรมควรจะให้กระชับและละเอียดถูกต้อง เพื่อความ ถูกต้องในการประมวลผล ในการนำโครงการนี้ไปประยุกต์ใช้กับระบบอื่นๆทำได้มากมายเช่น ควบคุมการเคลื่อนที่ของรถพัฒนาให้วัดระยะทางได้ หรือจะโปรแกรมให้ทำตามคำสั่งอย่างไรก็ได้ ตามโปรแกรม และอาจยังประยุกต์ใช้ในทางอื่นๆได้อีกแล้วแต่แนวทางของแต่ละบุคคล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. “รวมบทความทฤษฎีและการประยุกต์ใช้งานอิเล็กทรอนิกส์” , บริษัทซีเอ็ดยูเคชั่นจำกัด (มหาชน) กรุงเทพฯ , 2538
2. รศ. ดร. มนต์ สัจวรศิลป์ , ดร. กิตติพล ชิตสกุล ,อ. เกษมสุข เสพศิริกุล , บุญอนันต์ เกียงเอียบ , “เปิดโลก FPGA กับ WIZARD PLD – A01”
3. “เอกสารประกอบการทดลองทางอิเล็กทรอนิกส์4” ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
4. ผศ. วีรวัฒน์ ประกอบผล “การพัฒนาไมโครคอนโทรลเลอร์ด้วยภาษาซี”,--กรุงเทพฯ: สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น) ,2545



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมในส่วนของ FPGA บล็อก SENSOR

```

library ieee;

use ieee.std_logic_1164.all;

use ieee.std_logic_signed.all;

entity sensor is
port(clk_sensor : in std_logic;

      RX : in std_logic_vector(2 downto 0);

      error_out : out std_logic;

      display_out : out std_logic_vector(6 downto 0);

      DCMOTER_out : out std_logic_vector(3 downto 0));
end sensor;

architecture RTL of sensor is
type state is (first_state,wait_state);
signal code : std_logic_vector(1 downto 0);
begin
  process(clk_sensor,RX)
  variable status : state :=first_state;
  variable count : integer range 0 to 100000;
  begin
    if clk_sensor'EVENT and clk_sensor='0' then
      case status is
        when first_state =>
          case RX is
            when "110" =>
              dcmoter_out<="1001";
              display_out<="1110001";

              status:=wait_state;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        error_out<='1';
    when "011" =>
        dcmoter_out<="0110";
        display_out<="0001000";
        status:=wait_state;
        error_out<='1';
    when "101" =>
        dcmoter_out<="0101";
        display_out<="0110000";
        status:=wait_state;
        error_out<='1';
    when others =>
        dcmoter_out<="0000";
        status:=first_state;
        error_out<='0';
    end case;
    when others =>
        if count>=100000 then
            count:=0;
            status:=first_state;
        else
            count:=count+1;
            status:=wait_state;
        end if;
    end case;
end if;
end process;
end RTL;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมในส่วนของ FPGA บล็อก DIV

entity div is

GENERIC(DIV_NUMBER : INTEGER :=6);

port(clk_in : in bit;

clk_out : out bit);

end div;

architecture RTL of div is

signal s1 : bit :='1';

begin

process(clk_in)

variable count : integer range 0 to DIV_NUMBER/2;

begin

if clk_in'EVENT and clk_in='0' then

if count=(DIV_NUMBER/2)then

clk_out<=s1;

s1<=not s1;

count:=0;

end if;

count:=count+1;

end if;

end process;

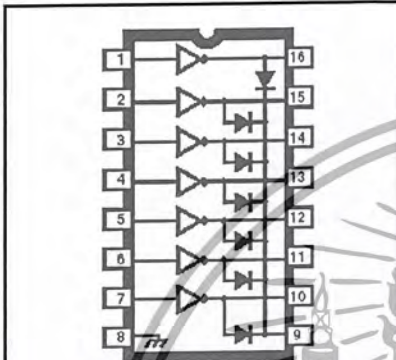
end RTL ;



2003 THRU 2024

 Data Sheet
29304F

HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS



Note that the ULN20xxA series (dual in-line package) and ULN20xxL series (small-outline IC package) are electrically identical and share a common terminal number assignment.

ABSOLUTE MAXIMUM RATINGS

Output Voltage, V_{CE}	
(ULN200xA and ULN200xL)	50 V
(ULN202xA and ULN202xL)	95 V
Input Voltage, V_{IN}	30 V
Continuous Output Current, I_C	500 mA
Continuous Input Current, I_{IN}	25 mA
Power Dissipation, P_D	
(one Darlington pair)	1.0 W
(total package)	See Graph
Operating Temperature Range, T_A	-20°C to +85°C
Storage Temperature Range, T_S	-55°C to +150°C

Ideally suited for interfacing between low-level logic circuitry and multiple peripheral power loads, the Series ULN20xxA/L high-voltage, high-current Darlington arrays feature continuous load current ratings to 500 mA for each of the seven drivers. At an appropriate duty cycle depending on ambient temperature and number of drivers turned ON simultaneously, typical power loads totaling over 230 W (350 mA x 7, 95 V) can be controlled. Typical loads include relays, solenoids, stepping motors, magnetic print hammers, multiplexed LED and incandescent displays, and heaters. All devices feature open-collector outputs with integral clamp diodes.

The ULN2003A/L and ULN2023A/L have series input resistors selected for operation directly with 5 V TTL or CMOS. These devices will handle numerous interface needs — particularly those beyond the capabilities of standard logic buffers.

The ULN2004A/L and ULN2024A/L have series input resistors for operation directly from 6 to 15 V CMOS or PMOS logic outputs.

The ULN2003A/L and ULN2004A/L are the standard Darlington arrays. The outputs are capable of sinking 500 mA and will withstand at least 50 V in the OFF state. Outputs may be paralleled for higher load current capability. The ULN2023A/L and ULN2024A/L will withstand 95 V in the OFF state.

These Darlington arrays are furnished in 16-pin dual in-line plastic packages (suffix "A") and 16-lead surface-mountable SOICs (suffix "L"). All devices are pinned with outputs opposite inputs to facilitate ease of circuit board layout. All devices are rated for operation over the temperature range of -20°C to +85°C. Most (see matrix, next page) are also available for operation to -40°C; to order, change the prefix from "ULN" to "ULO".

FEATURES

- TTL, DTL, PMOS, or CMOS-Compatible Inputs
- Output Current to 500 mA
- Output Voltage to 95 V
- Transient-Protected Outputs
- Dual In-Line Plastic Package or Small-Outline IC Package

x = digit to identify specific device. Characteristic shown applies to family of devices with remaining digits as shown. See matrix on next page.

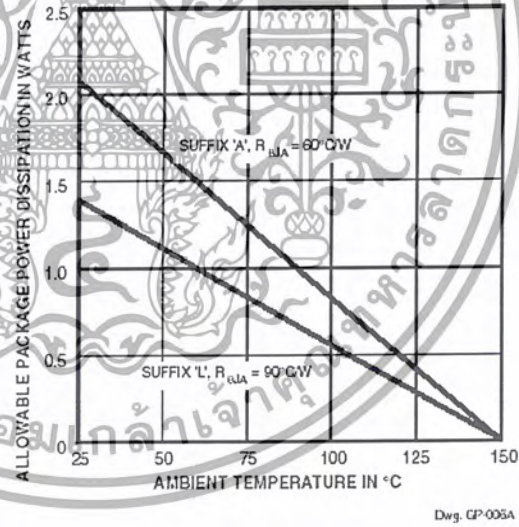
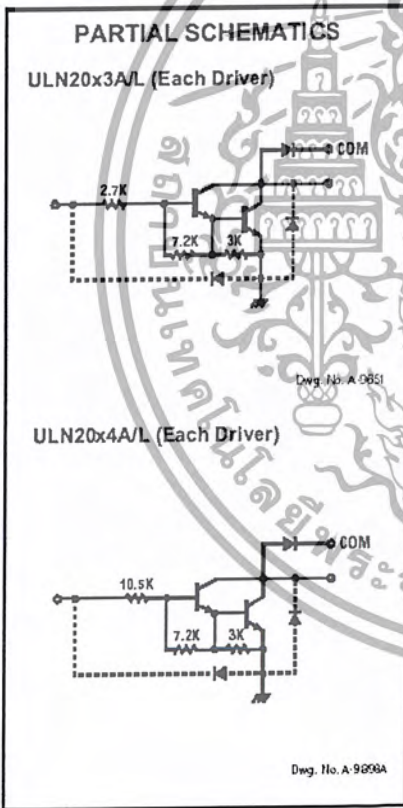
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2003 THRU 2024
HIGH-VOLTAGE,
HIGH-CURRENT
DARLINGTON ARRAYS**

DEVICE PART NUMBER DESIGNATION

$V_{CE(MAX)}$	50 V	95 V
$I_{C(MAX)}$	500 mA	500 mA
Logic	Part Number	
5V TTL, CMOS	ULN2003A* ULN2003L*	ULN2023A* ULN2023L
6-15 V CMOS, PMOS	ULN2004A* ULN2004L*	ULN2024A ULN2024L

* Also available for operation between -40°C and +85°C. To order, change prefix from "ULN" to "ULQ".



X = Digit to identify specific device. Specification shown applies to family of devices with remaining digits as shown. See matrix above.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2003 THRU 2024
HIGH-VOLTAGE,
HIGH-CURRENT
DARLINGTON ARRAYS**

**Types ULN2003A, ULN2003L, ULN2004A, and ULN2004L
ELECTRICAL CHARACTERISTICS at +25°C (unless otherwise noted).**

Characteristic	Symbol	Test Fig.	Applicable Devices	Test Conditions	Limits			Units
					Min.	Typ.	Max.	
Output Leakage Current	I_{CEX}	1A	All	$V_{CE} = 50\text{ V}, T_A = 25^\circ\text{C}$	—	< 1	50	μA
				$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	—	< 1	100	μA
		1B	ULN2004A/L	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}, V_{IN} = 1.0\text{ V}$	—	< 5	500	μA
Collector-Emitter Saturation Voltage	$V_{CE(SAT)}$	2	All	$I_C = 100\text{ mA}, I_B = 250\text{ }\mu\text{A}$	—	0.9	1.1	V
				$I_C = 200\text{ mA}, I_B = 350\text{ }\mu\text{A}$	—	1.1	1.3	V
				$I_C = 350\text{ mA}, I_B = 500\text{ }\mu\text{A}$	—	1.3	1.6	V
Input Current	$I_{IN(ON)}$	3	ULN2003A/L	$V_{IN} = 3.85\text{ V}$	—	0.93	1.35	mA
			ULN2004A/L	$V_{IN} = 5.0\text{ V}$	—	0.35	0.5	mA
			ULN2004A/L	$V_{IN} = 12\text{ V}$	—	1.0	1.45	mA
	$I_{IN(OFF)}$	4	All	$I_C = 500\text{ }\mu\text{A}, T_A = 70^\circ\text{C}$	50	65	—	μA
Input Voltage	$V_{IN(ON)}$	5	ULN2003A/L	$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	2.4	V
				$V_{CE} = 2.0\text{ V}, I_C = 250\text{ mA}$	—	—	2.7	V
				$V_{CE} = 2.0\text{ V}, I_C = 300\text{ mA}$	—	—	3.0	V
		ULN2004A/L	$V_{CE} = 2.0\text{ V}, I_C = 125\text{ mA}$	—	—	5.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	6.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 275\text{ mA}$	—	—	7.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 350\text{ mA}$	—	—	8.0	V	
Input Capacitance	C_{IN}	—	All		—	15	25	pF
Turn-On Delay	t_{PLH}	3	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	μs
Turn-Off Delay	t_{PHL}	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	μs
Clamp Diode Leakage Current	I_R	6	All	$V_R = 50\text{ V}, T_A = 25^\circ\text{C}$	—	—	50	μA
				$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$	—	—	100	μA
Clamp Diode Forward Voltage	V_F	7	All	$I_F = 350\text{ mA}$	—	1.7	2.0	V

Complete part number includes suffix to identify package style: A = DIP, L = SOIC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2003 THRU 2024
HIGH-VOLTAGE,
HIGH-CURRENT
DARLINGTON ARRAYS**

**Types ULN2023A, ULN2023L, ULN2024A, and ULN2024L
ELECTRICAL CHARACTERISTICS at +25°C (unless otherwise noted).**

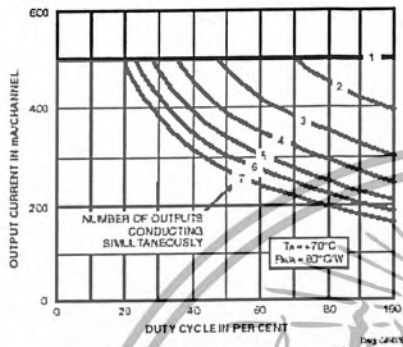
Characteristic	Symbol	Test Fig.	Applicable Devices	Test Conditions	Limits		
					Min.	Typ.	Max. Units
Output Leakage Current	I_{CEX}	1A	All	$V_{CE} = 95\text{ V}, T_A = 25^\circ\text{C}$	—	< 1	50 μA
				$V_{CE} = 95\text{ V}, T_A = 70^\circ\text{C}$	—	< 1	100 μA
		1B	ULN2024A/L	$V_{CE} = 95\text{ V}, T_A = 70^\circ\text{C}, V_{IN} = 1.0\text{ V}$	—	< 5	500 μA
Collector-Emitter Saturation Voltage	$V_{CE(SAT)}$	2	All	$I_C = 100\text{ mA}, I_B = 250\text{ }\mu\text{A}$	—	0.9	1.1 V
				$I_C = 200\text{ mA}, I_B = 350\text{ }\mu\text{A}$	—	1.1	1.3 V
				$I_C = 350\text{ mA}, I_B = 500\text{ }\mu\text{A}$	—	1.3	1.6 V
Input Current	$I_{IN(ON)}$	3	ULN2023A/L	$V_{IN} = 3.85\text{ V}$	—	0.93	1.35 mA
			ULN2024A/L	$V_{IN} = 5.0\text{ V}$	—	0.35	0.5 mA
			ULN2024A/L	$V_{IN} = 12\text{ V}$	—	1.0	1.45 mA
	$I_{IN(OFF)}$	4	All	$I_C = 500\text{ }\mu\text{A}, T_A = 70^\circ\text{C}$	50	65	— μA
Input Voltage	$V_{IN(ON)}$	5	ULN2023A/L	$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	2.4 V
				$V_{CE} = 2.0\text{ V}, I_C = 250\text{ mA}$	—	—	2.7 V
				$V_{CE} = 2.0\text{ V}, I_C = 300\text{ mA}$	—	—	3.0 V
		ULN2024A/L	$V_{CE} = 2.0\text{ V}, I_C = 125\text{ mA}$	—	—	5.0 V	
			$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	6.0 V	
			$V_{CE} = 2.0\text{ V}, I_C = 275\text{ mA}$	—	—	7.0 V	
			$V_{CE} = 2.0\text{ V}, I_C = 350\text{ mA}$	—	—	8.0 V	
Input Capacitance	C_{IN}	—	All		—	15	25 pF
Turn-On Delay	t_{PLH}	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0 μs
Turn-Off Delay	t_{PHL}	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0 μs
Clamp Diode Leakage Current	I_R	6	All	$V_R = 95\text{ V}, T_A = 25^\circ\text{C}$	—	—	50 μA
				$V_R = 95\text{ V}, T_A = 70^\circ\text{C}$	—	—	100 μA
Clamp Diode Forward Voltage	V_F	7	All	$I_F = 350\text{ mA}$	—	1.7	2.0 V

Complete part number includes suffix to identify package style: A = DIP, L = SOIC.

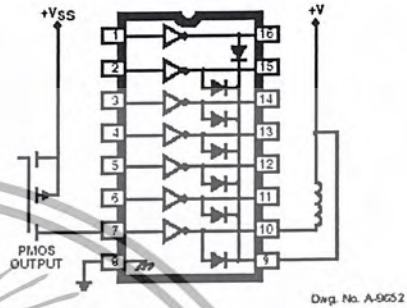
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2003 THRU 2024
HIGH-VOLTAGE,
HIGH-CURRENT
DARLINGTON ARRAYS**

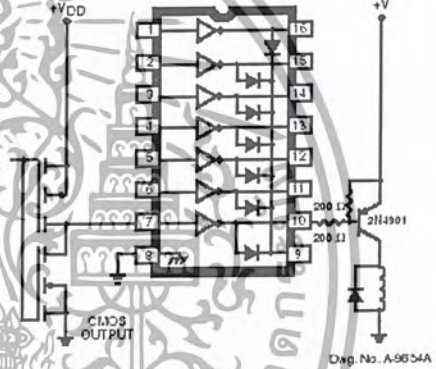
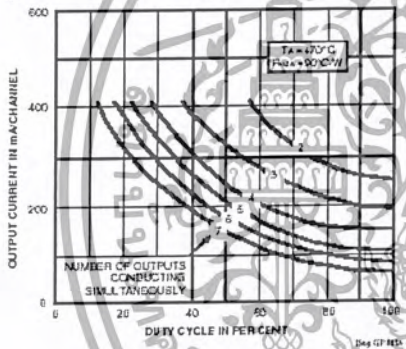
**ALLOWABLE COLLECTOR CURRENT
AS A FUNCTION OF DUTY CYCLE
(Dual In-line-Packaged Devices, Suffix 'A')**



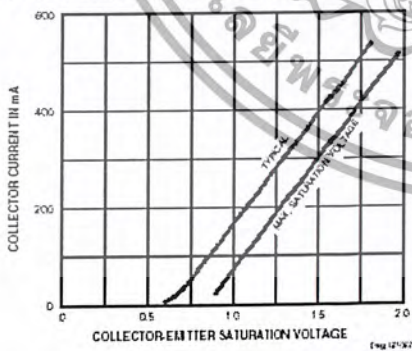
TYPICAL APPLICATIONS



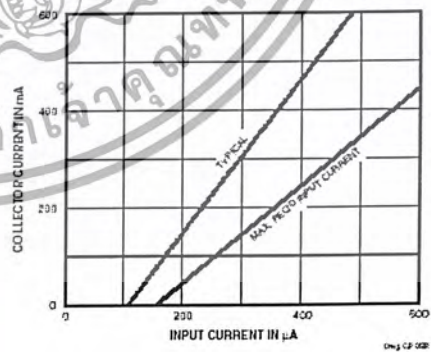
(Small-Outline-Packaged Devices, Suffix 'L')



**SATURATION VOLTAGE
AS A FUNCTION OF COLLECTOR CURRENT**



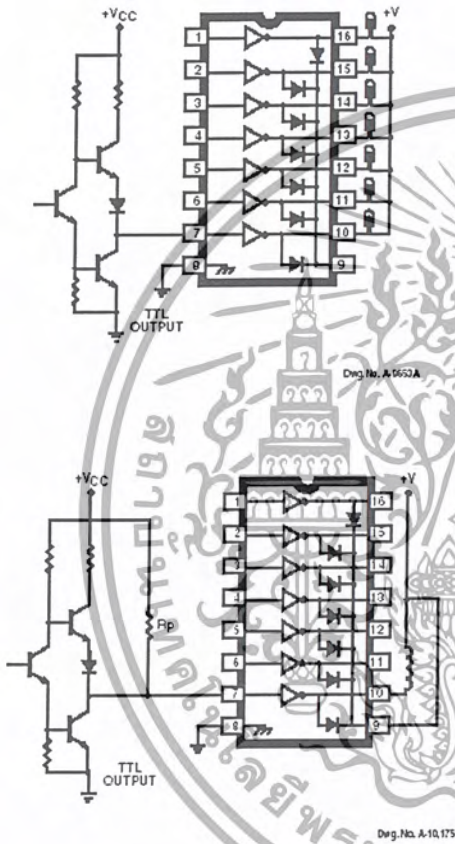
**COLLECTOR CURRENT AS A
FUNCTION OF INPUT CURRENT**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

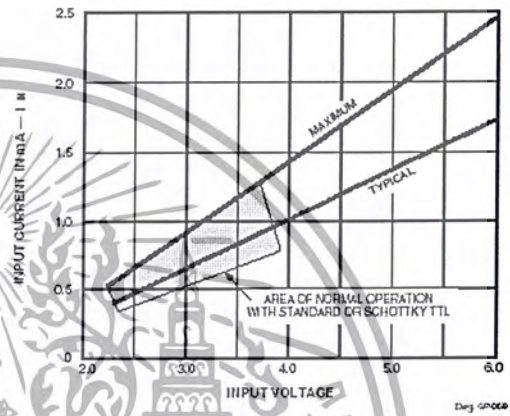
**2003 THRU 2024
HIGH-VOLTAGE,
HIGH-CURRENT
DARLINGTON ARRAYS**

TYPICAL APPLICATIONS

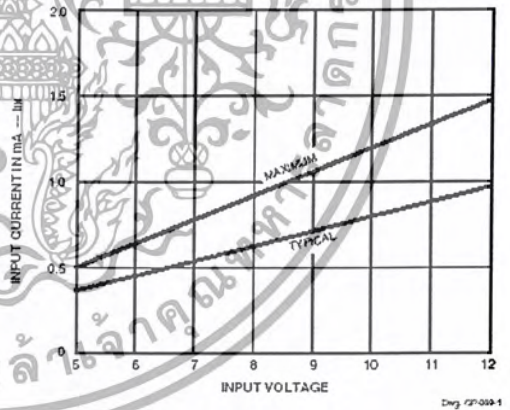


**INPUT CURRENT
AS A FUNCTION OF INPUT VOLTAGE**

Types ULN2003A, ULN2003L, ULN2023A, and ULN2023L



Types ULN2004A, ULN2004L, ULN2024A, and ULN2024L



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD4069UB Types

CMOS Hex Inverter

High-Voltage Types (20-Volt Rating)

■ CD4069UB types consist of six CMOS inverter circuits. These devices are intended for all general-purpose inverter applications where the medium-power TTL drive and logic-level-conversion capabilities of circuits such as the CD4009 and CD4049 Hex Inverter/Buffers are not required.

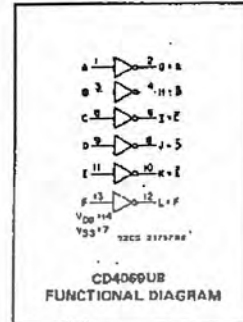
The CD4069UB-Series types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic package (E suffix), and in chip form (H suffix).

Features:

- Standardized symmetrical output characteristics
- Medium Speed Operation— $t_{PHL}, t_{PLH} = 30$ ns (typ.) at 10 V
- 100% tested for quiescent current at 20 V
- Maximum input current of 1 μ A at 18 V over full package temperature range: 100 nA at 18 V and 25°C
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications:

- Logic inversion
- Pulse shaping
- Oscillators
- High-input-impedance amplifiers



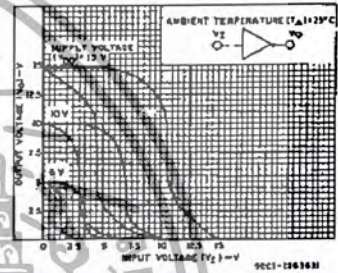
RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	Min.	Max.	
Supply Voltage Range (For T_A = Full Package Temperature Range)	3	18	V

MAXIMUM RATINGS, Absolute-Maximum Values:

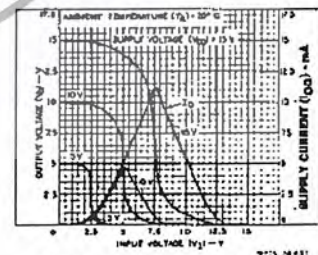
DC SUPPLY-VOLTAGE RANGE, (V_{DD}) Voltages referenced to V_{SS} Terminal)	-0.5V to +20V
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to $V_{DD} + 0.5V$
DC INPUT CURRENT, ANY ONE INPUT	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D) For $T_A = -55^\circ\text{C}$ to $+100^\circ\text{C}$	500 mW
For $T_A = +100^\circ\text{C}$ to $+125^\circ\text{C}$	Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR FOR $T_A =$ FULL PACKAGE TEMPERATURE RANGE (All Package Types)	100 mW
OPERATING-TEMPERATURE RANGE (T_A)	-55°C to $+125^\circ\text{C}$
STORAGE TEMPERATURE RANGE (T_{stg})	-65°C to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING): At distance 1/18 \pm 1/32 inch (1.50 \pm 0.79 mm) from case for 10s max.	$+265^\circ\text{C}$



DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 25^\circ\text{C}$; Input $t_r, t_f = 20$ ns.

$C_L = 50$ pF, $R_L = 200$ K Ω

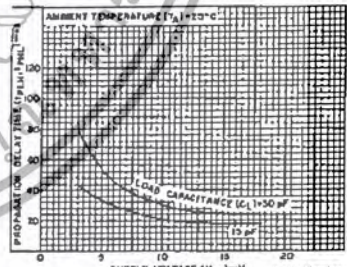
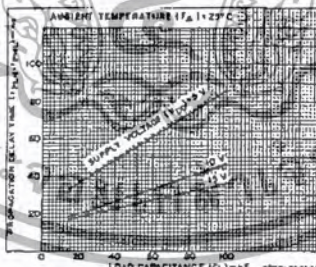
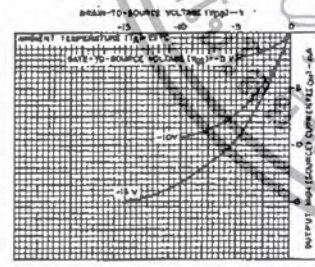
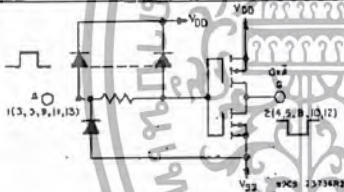
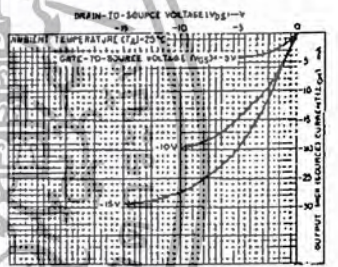
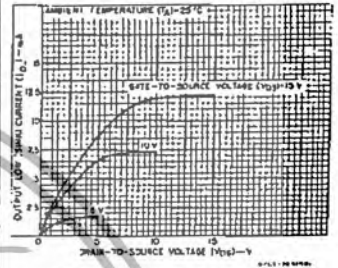
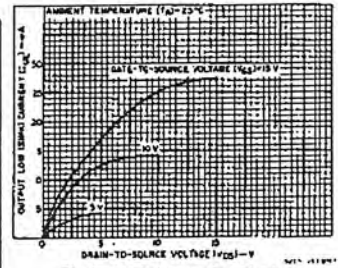
CHARACTERISTIC	CONDITIONS	LIMITS		UNITS	
		V_{DD} V	Typ.		Max.
Propagation Delay Time, t_{PHL}, t_{PLH}		5	55	110	ns
		10	30	60	
		15	25	50	
Transition Time, t_{THL}, t_{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C_{IN}	Any Input	10	15	pF	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V _O (V)	V _{IN} (V)	V _{DD} (V)					+25			
				-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I _{DD} Max	-	0.5	5	0.25	0.25	7.5	7.5	-	0.01	0.25	μA
	-	0.10	10	0.5	0.5	15	15	-	0.01	0.5	
	-	0.15	15	1	1	30	30	-	0.01	1	
	-	0.20	20	5	5	150	150	-	0.02	5	
Output Low (Sink) Current I _{OL} Min.	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA
	0.5	0.10	10	1.8	1.5	1.1	0.9	1.3	2.6	-	
	1.5	0.15	15	4.2	4	2.8	2.4	3.4	5.8	-	
Output High (Source) Current, I _{OH} Min.	4.8	0.5	5	0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	
	9.5	0.10	10	1.6	1.5	1.1	0.9	-0.9	-1.3	-2.6	
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	
Output Voltage: Low-Level, V _{OL} Max.	-	5	5	0.05		0.05		0		0.05	V
	-	10	10	0.05		0.05		-		0.05	
	-	15	15	0.05		0.05		-		0.05	
Output Voltage: High-Level, V _{OH} Min.	-	0	5	4.95		4.95		5		-	V
	-	0	10	9.95		9.95		10		-	
	-	0	15	14.95		14.95		15		-	
Input Low Voltage, V _{IL} Max.	4.5	-	5	1		1		1		-	V
	9	-	10	2		2		2		-	
	13.5	-	15	2.5		2.5		2.5		-	
Input High Voltage, V _{IH} Min.	0.5	-	5	4		4		4		-	V
	1	-	10	8		8		8		-	
	1.5	-	15	12.5		12.5		12.5		-	
Input Current I _{IN} Max.		0.15	18	±0.1	±0.1	±1	±1	±1	±10 ⁻⁵	±0.1	μA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

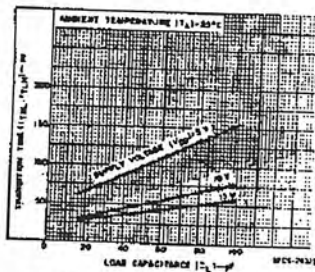


Fig. 12 - Typical transition time vs. load capacitance.

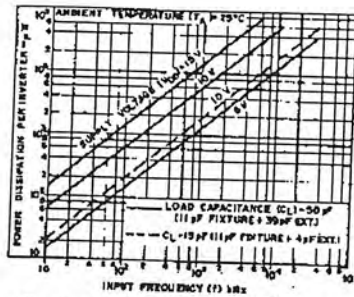


Fig. 13 - Typical dynamic power dissipation vs. frequency.

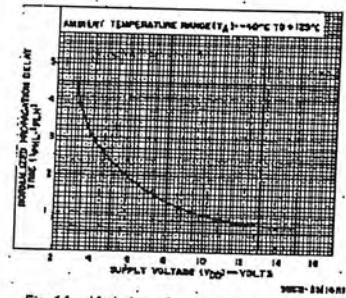


Fig. 14 - Variation of normalized propagation delay time t_{pLH} and t_{pLH} with supply voltage.

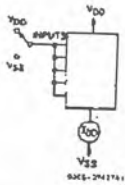


Fig. 15 - Quiescent device current test circuit.

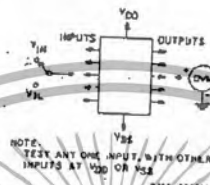


Fig. 16 - Noise immunity test circuit.

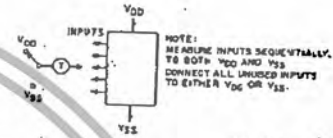


Fig. 17 - Input leakage current test circuit.

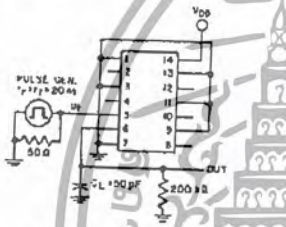


Fig. 18 - Dynamic electrical characteristics test circuit and waveforms.

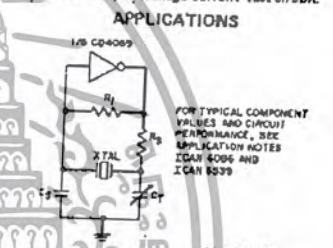


Fig. 19 - Typical crystal oscillator circuit.

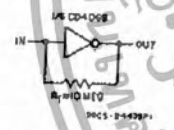


Fig. 20 - High-input impedance amplifier.

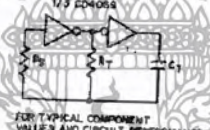


Fig. 21 - Typical RC oscillator circuit.

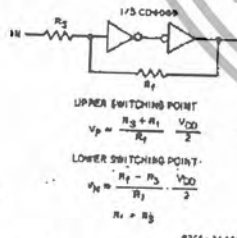


Fig. 22 - Input pulse shaping circuit (Schmitt trigger).

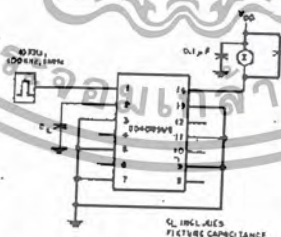


Fig. 23 - Dynamic power dissipation test circuit.



Dimensions and pad layout for CD4009UBH. Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KA34063A

SMPS Controller

Features

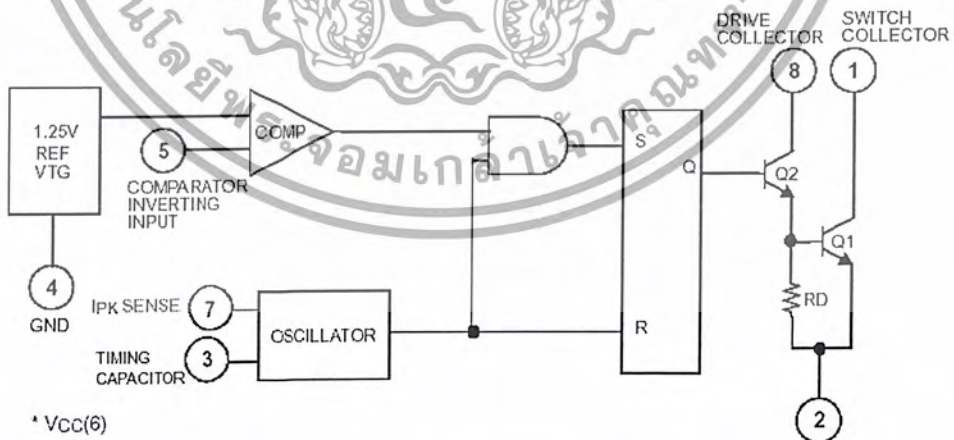
- Operation From 3.0 to 40V Input
- Short Circuit Current Limiting
- Low Stand-by Current
- Output Switch Current of 1.5A Without External Transistors
- Output Voltage Adjustable
- Frequency of Operation From 100Hz to 400kHz
- Step-up, Step-Down or Inverting Switching Regulators

Description

The KA34063A is a monolithic regulator sub system intended for use as DC to DC converter. This device contains a temperature compensated bandgap reference, a duty cycle control oscillator, a driver, and a high current output switch. It can be used for step down, step up or inverting switching regulators as well as for series pass regulators.



Internal Block Diagram



Rev. 1.0.1

KA34063A

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply Voltage	V _{CC}	40	V
Comparator Input Voltage Range	V _I (COMP)	-0.3 ~ +40	V
Switch Collector Voltage	V _C (SW)	40	V
Switch Emitter Voltage	V _E (SW)	40	V
Switch Collector To Emitter Voltage	V _{CE} (SW)	40	V
Driver Collector Voltage	V _C (DR)	40	V
Switch Current	I _{SW}	1.5	A
Storage Temperature Range	T _{STG}	-65 ~ +150	°C

Electrical Characteristics

(V_{CC} = 5.0V, T_A = 0°C to +70°C, unless otherwise specified)

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
OSCILLATOR						
Charging Current	I _{CHG}	V _{CC} = 5 to 40V, T _A = 25°C	22	31	42	μA
Discharging Current	I _{DISCHG}	V _{CC} = 5 to 40V, T _A = 25°C	140	190	260	μA
Oscillator Amplitude	V _(OSC)	T _A = 25°C		0.5	-	V
Discharge to Charge Current Ratio	K	V ₇ = V _{CC} , T _A = 25°C	5.2	6.1	7.5	-
Current Limit Sense Voltage	V _{SENSE(O.L)}	I _{CHG} = I _{DISCHG} T _A = 25°C	250	300	350	mV
OUTPUT SWITCH						
Saturation Voltage 1 (Note 1)	V _{CE(SAT)1}	I _{SW} = 1.0A, V _{C(driver)} = V _{C(SW)}	-	0.95	1.3	V
Saturation Voltage 2 (Notes 1,2)	V _{CE(SAT)2}	I _{SW} = 1.0A, V _{C(driver)} = 50mA	-	0.45	0.7	V
DC Current Gain (Note 1,2)	G _{I(DC)}	I _{SW} = 1.0A, V _{CE} = 5.0V, T _A = 25°C	50	180	-	-
Collector off State Current (Note 1)	I _{C(OFF)}	V _{CE} = 40V, T _A = 25°C	-	0.01	100	μA
COMPARATOR						
Threshold Voltage	V _{TH}	-	1.21	1.24	1.29	V
Threshold Voltage Line Regulation	ΔV _{TH}	V _{CC} = 3 to 40V	-	2.0	5.0	mV
Input Bias Current	I _{BIAS}	V _I = 0V	-	50	400	nA
TOTAL DEVICE						
Supply Current	I _{CC}	V _{CC} = 5 to 40V, C _T = 0.001μF V ₇ = V _{CC} , V ₅ > V _{TH} pin2 = GND	-	2.7	4.0	mA

Note :

1. Output switch tests are performed under pulsed conditions to minimize power dissipation.
2. These parameters, although guaranteed, are not 100% tested in production.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

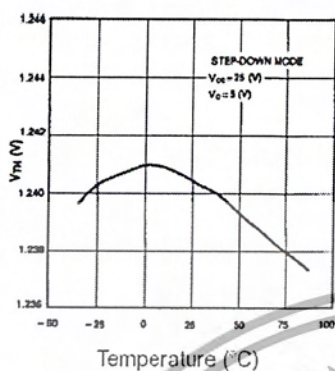
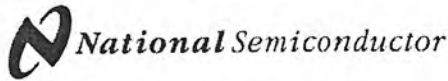


Figure 1. Temperature Drift (V_{TH})



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



August 2002

LM193/LM293/LM393/LM2903 Low Power Low Offset Voltage Dual Comparators

General Description

The LM193 series consists of two independent precision voltage comparators with an offset voltage specification as low as 2.0 mV max for two comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM193 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM193 series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

The LM393 and LM2903 parts are available in National's innovative thin micro SMD package with 8 (12 mil) large bumps.

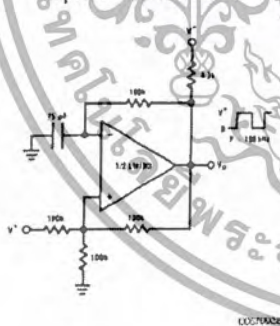
Advantages

- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near ground
- Compatible with all forms of logic
- Power drain suitable for battery operation

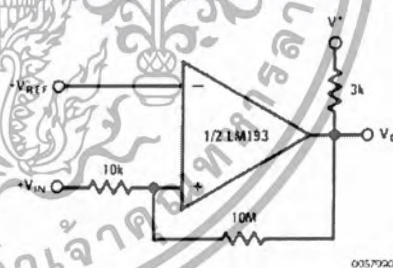
Features

- Wide supply
 - Voltage range: 2.0V to 36V
 - Single or dual supplies: $\pm 1.0V$ to $\pm 18V$
- Very low supply current drain (0.4 mA) — independent of supply voltage
- Low input biasing current: 25 nA
- Low input offset current: ± 5 nA
- Maximum offset voltage: ± 3 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage: 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems
- Available in the 8-Bump (12 mil) micro SMD package
- See AN-1112 for micro SMD considerations

Squarewave Oscillator



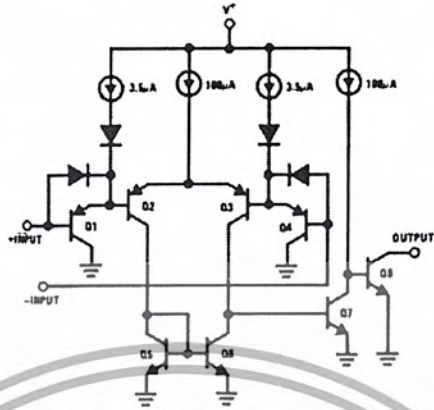
Non-Inverting Comparator with Hysteresis



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

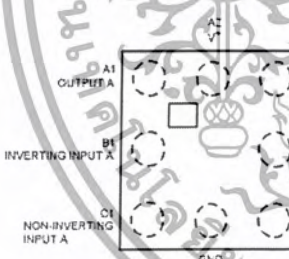
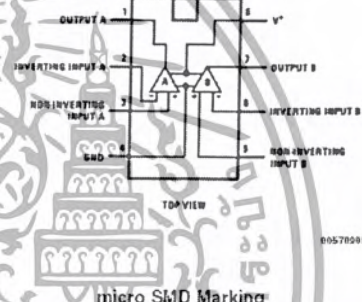
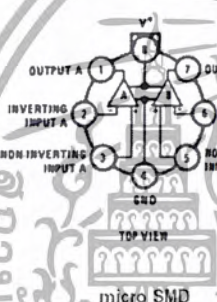
LM193/LM293/LM393/LM2903

Schematic and Connection Diagrams



Metal Can Package

Dual-In-Line/SOIC Package



Top View

Top View

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 10)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage, V^*	36V
Differential Input Voltage (Note 8)	36V
Input Voltage	-0.3V to +36V
Input Current ($V_{IN} < -0.3V$) (Note 3)	50 mA
Power Dissipation (Note 1)	
Molded DIP	780 mW
Metal Can	660 mW
Small Outline Package	510 mW
micro SMD Package	568mW

Output Short-Circuit to Ground (Note 2)

Continuous

Operating Temperature Range

LM393

0°C to +70°C

LM293

-25°C to +85°C

LM193/LM193A

-55°C to +125°C

LM2903

-40°C to +85°C

Storage Temperature Range

-65°C to +150°C

Lead Temperature

(Soldering, 10 seconds)

+260°C

Soldering Information

Dual-In-Line Package

Soldering (10 seconds)

260°C

Small Outline Package

215°C

Vapor Phase (60 seconds)

Infrared (15 seconds)

220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating

(1.5 k Ω in series with 100 pF)

1300V

Electrical Characteristics(V* = 5V, T_A = 25°C, unless otherwise stated)

Parameter	Conditions	LM193A			Units
		Min	Typ	Max	
Input Offset Voltage	(Note 9)		1.0	2.0	mV
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0V$ (Note 5)		25	100	nA
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$		3.0	25	nA
Input Common Mode Voltage Range	$V_+ = 30V$ (Note 6)	0	2.7	1.5	V
Supply Current	$R_L = \infty$, $V^* = 5V$		0.4	1	mA
	$V^* = 36V$		1	2.5	mA
Voltage Gain	$R_L = 15 k\Omega$, $V^* = 15V$, $V_O = 1V$ to $11V$	50	200		V/mV
Large Signal Response Time	V_{IN} = TTL Logic Swing, $V_{REF} = 1.4V$, $V_{RL} = 5V$, $R_L = 5.1 k\Omega$		800		ns
Response Time	$V_{RL} = 5V$, $R_L = 5.1 k\Omega$ (Note 7)		1.3		μs
Output Sink Current	$V_{IN(-)} = 1V$, $V_{IN(+)} = 0$, $V_O = 1.5V$	6.0	16		mA
Saturation Voltage	$V_{IN(-)} = 1V$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4 mA$		250	400	mV
Output Leakage Current	$V_{IN(-)} = 0$, $V_{IN(+)} = 1V$, $V_O = 5V$		0.1		nA

Electrical Characteristics(V* = 5V, T_A = 25°C, unless otherwise stated)

Parameter	Conditions	LM193			LM293, LM393			LM2903			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 9)	1.0	5.0		1.0	5.0		2.0	7.0		mV
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0V$ (Note 5)	25	100		25	250		25	250		nA
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$	3.0	25		5.0	50		5.0	50		nA
Input Common Mode Voltage Range	$V_+ = 30V$ (Note 6)	0		V+ - 1.5	0		V+ - 1.5	0		V+ - 1.5	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued) $(V^+ = 5V, T_A = 25^\circ C, \text{ unless otherwise stated})$

Parameter	Conditions	LM193		LM293, LM393		LM2903		Units
		Min	Typ	Max	Min	Typ	Max	
Supply Current	$R_L = \infty$ $V^+ = 5V$	0.4	1	0.4	1	0.4	1.0	mA
		1	2.5	1	2.5	1	2.5	mA
Voltage Gain	$R_L \geq 15 \text{ k}\Omega, V^+ = 15V$ $V_O = 1V \text{ to } 11V$	50	200	50	200	25	100	V/mV
Large Signal Response Time	$V_{IN} = \text{TTL Logic Swing}, V_{REF} = 1.4V$ $V_{RL} = 5V, R_L = 5.1 \text{ k}\Omega$	300		300		300		ns
Response Time	$V_{RL} = 5V, R_L = 5.1 \text{ k}\Omega$ (Note 7)	1.3		1.3		1.5		μs
Output Sink Current	$V_{IN(-)} = 1V, V_{IN(+)} = 0, V_O \leq 1.5V$	6.0	16	6.0	16	6.0	16	mA
Saturation Voltage	$V_{IN(-)} = 1V, V_{IN(+)} = 0, I_{SINK} \leq 4 \text{ mA}$	250	400	250	400	250	400	mV
Output Leakage Current	$V_{IN(-)} = 0, V_{IN(+)} = 1V, V_O = 5V$	0.1		0.1		0.1		nA

Electrical Characteristics $(V^+ = 5V)$ (Note 4)

Parameter	Conditions	LM193A			Units
		Min	Typ	Max	
Input Offset Voltage	(Note 9)			4.0	mV
Input Offset Current	$I_{IN(+)} - I_{IN(-)}, V_{CM} = 0V$			100	nA
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0V$ (Note 5)			300	nA
Input Common Mode Voltage Range	$V^+ = 30V$ (Note 6)	0		$V^+ - 2.0$	V
Saturation Voltage	$V_{IN(-)} = 1V, V_{IN(+)} = 0, I_{SINK} \leq 4 \text{ mA}$			700	mV
Output Leakage Current	$V_{IN(-)} = 0, V_{IN(+)} = 1V, V_O = 30V$			1.0	μA
Differential Input Voltage	Keep All $V_{IN} \leq 0V$ (or V^+ , if Used), (Note 8)			36	V

Electrical Characteristics $(V^+ = 5V)$ (Note 4)

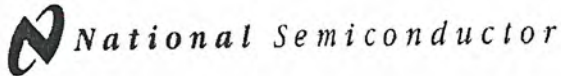
Parameter	Conditions	LM193		LM293, LM393		LM2903		Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 9)			9	9	9	15	mV
Input Offset Current	$I_{IN(+)} - I_{IN(-)}, V_{CM} = 0V$			100	150	50	200	nA
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0V$ (Note 5)			600	400	200	500	nA
Input Common Mode Voltage Range	$V^+ = 30V$ (Note 6)	0		$V^+ - 2.0$	0	$V^+ - 2.0$	0	V
Saturation Voltage	$V_{IN(-)} = 1V, V_{IN(+)} = 0, I_{SINK} \leq 4 \text{ mA}$			700	700	400	700	mV
Output Leakage Current	$V_{IN(-)} = 0, V_{IN(+)} = 1V, V_O = 30V$			1.0	1.0	1.0	1.0	μA
Differential Input Voltage	Keep All $V_{IN} \leq 0V$ (or V^+ , if Used), (Note 8)			36	36	36	36	V

Note 1: For operating at high temperatures, the LM393 and LM2903 must be derated based on a $125^\circ C$ maximum junction temperature and a thermal resistance of $170^\circ C/W$ which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM193/LM193A/LM293 must be derated based on a $150^\circ C$ maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ($P_{DPS} < 100 \text{ mW}$), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. When considering short circuits to ground, the maximum output current is approximately 20 mA independent of the magnitude of V^+ .

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LM555 Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200mA or drive TTL circuits.

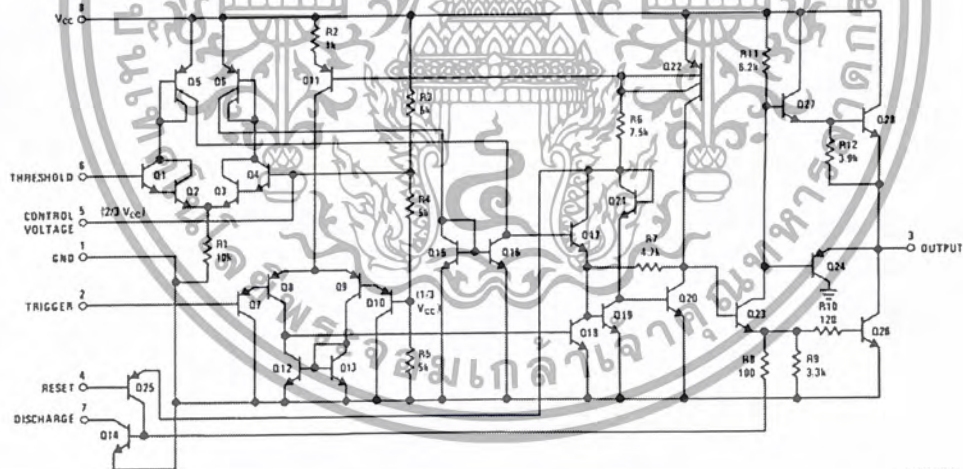
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output
- Available in 8-pin MSOP package

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

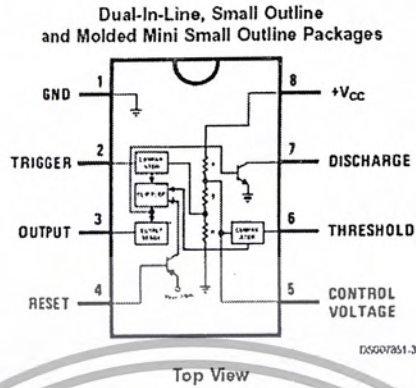
Schematic Diagram



DS007051-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram



Ordering Information

Package	Part Number	Package Marking	Media Transport	NSC Drawing
8-Pin SOIC	LM555CM	LM555CM	Rails	M08A
	LM555CMX	LM555CM	2.5k Units Tape and Reel	
8-Pin MSOP	LM555CMM	Z55	1k Units Tape and Reel	MUA08A
	LM555CMMX	Z55	3.5k Units Tape and Reel	
8-Pin PDIP	LM555CN	LM555CN	Rails	N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	+18V
Power Dissipation (Note 3)	
LM555CM, LM555CN	1180 mW
LM555CMM	613 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Soldering Information

Dual-In-Line Package	
Soldering (10 Seconds)	260°C
Small Outline Packages (SOIC and MSOP)	
Vapor Phase (60 Seconds)	215°C
Infrared (15 Seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (Notes 1, 2)

($T_A = 25^\circ\text{C}$, $V_{CC} = +5\text{V}$ to +15V, unless otherwise specified)

Parameter	Conditions	Limits			Units
		LM555C			
		Min	Typ	Max	
Supply Voltage		4.5		16	V
Supply Current	$V_{CC} = 5\text{V}$, $R_L = \infty$ $V_{CC} = 15\text{V}$, $R_L = \infty$ (Low State) (Note 4)		3 10	6 15	mA
Timing Error, Monostable					
Initial Accuracy			1		%
Drift with Temperature	$R_A = 1\text{k}$ to $100\text{k}\Omega$, $C = 0.1\mu\text{F}$, (Note 5)		50		ppm/°C
Accuracy over Temperature			1.5		%
Drift with Supply			0.1		%/V
Timing Error, Astable					
Initial Accuracy			2.25		%
Drift with Temperature	$R_A, R_B = 1\text{k}$ to $100\text{k}\Omega$, $C = 0.1\mu\text{F}$, (Note 5)		150		ppm/°C
Accuracy over Temperature			3.0		%
Drift with Supply			0.30		%/V
Threshold Voltage			0.667		$\times V_{CC}$
Trigger Voltage	$V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$		5 1.67		V
Trigger Current			0.5	0.9	μA
Reset Voltage		0.4	0.5	1	V
Reset Current			0.1	0.4	mA
Threshold Current	(Note 6)		0.1	0.25	μA
Control Voltage Level	$V_{CC} = 15\text{V}$ $V_{CC} = 5\text{V}$	9 2.6	10 3.33	11 4	V
Pin 7 Leakage Output High			1	100	nA
Pin 7 Sat (Note 7)					
Output Low	$V_{CC} = 15\text{V}$, $I_L = 15\text{mA}$		180		mV
Output Low	$V_{CC} = 4.5\text{V}$, $I_L = 4.5\text{mA}$		80	200	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM555

Electrical Characteristics (Notes 1, 2) (Continued)(T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

Parameter	Conditions	Limits			Units
		LM555C			
		Min	Typ	Max	
Output Voltage Drop (Low)	V _{CC} = 15V		0.1	0.25	V
	I _{SINK} = 10mA		0.4	0.75	V
	I _{SINK} = 50mA		2	2.5	V
	I _{SINK} = 100mA		2.5		V
	I _{SINK} = 200mA				V
	V _{CC} = 5V				V
Output Voltage Drop (High)	I _{SOURCE} = 8mA		0.25	0.35	V
	I _{SINK} = 5mA				V
	I _{SOURCE} = 200mA, V _{CC} = 15V	12.75	13.3		V
	I _{SOURCE} = 100mA, V _{CC} = 15V	2.75	3.3		V
	V _{CC} = 5V				V
Rise Time of Output			100		ns
Fall Time of Output			100		ns

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 106°C/W (DIP), 170°C/W (SO-8), and 204°C/W (MSOP) junction to ambient.

Note 4: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 5: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 6: This will determine the maximum value of R_A + R_B for 15V operation. The maximum total (R_A + R_B) is 20MΩ.

Note 7: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 8: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



August 2000

LM833 Dual Audio Operational Amplifier

General Description

The LM833 is a dual general purpose operational amplifier designed with particular emphasis on performance in audio systems.

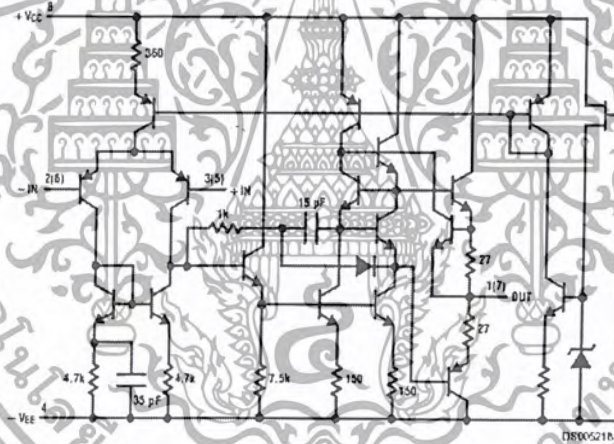
This dual amplifier IC utilizes new circuit and processing techniques to deliver low noise, high speed and wide bandwidth without increasing external components or decreasing stability. The LM833 is internally compensated for all closed loop gains and is therefore optimized for all preamp and high level stages in PCM and HiFi systems.

The LM833 is pin-for-pin compatible with industry standard dual operational amplifiers.

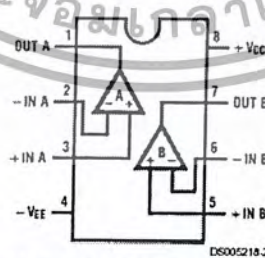
Features

- Wide dynamic range: 140dB
- Low input noise voltage: 4.5nV/√Hz
- High slew rate: 7 V/μs (typ); 5V/μs (min)
- High gain bandwidth: 15MHz (typ); 10MHz (min)
- Wide power bandwidth: 120KHz
- Low distortion: 0.002%
- Low offset voltage: 0.3mV
- Large phase margin: 60°
- Available in 8 pin MSOP package

Schematic Diagram (1/2 LM833)



Connection Diagram



Order Number LM833M, LM833MX, LM833N, LM833MM or LM833MMX
See NS Package Number
M08A, N08E or MUA08A

LM833 Dual Audio Operational Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage $V_{CC}-V_{EE}$	36V
Differential Input Voltage (Note 3) V_I	$\pm 30V$
Input Voltage Range (Note 3) V_{IC}	$\pm 15V$
Power Dissipation (Note 4) P_D	500 mW
Operating Temperature Range T_{OPR}	-40 - 85°C
Storage Temperature Range T_{STC}	-60 - 150°C

Soldering Information

Dual-In-Line Package Soldering (10 seconds)	260°C
Small Outline Package (SOIC and MSOP)	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.	
ESD tolerance (Note 5)	1600V

DC Electrical Characteristics (Notes 1, 2)(T_A = 25°C, V_S = ±15V)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{OS}	Input Offset Voltage	R _S = 10Ω		0.3	5	mV
I _{OS}	Input Offset Current			10	200	nA
I _B	Input Bias Current			500	1000	nA
A _V	Voltage Gain	R _L = 2 kΩ, V _O = ±10V	90	110		dB
V _{OM}	Output Voltage Swing	R _L = 10 kΩ	±12	±13.5		V
		R _L = 2 kΩ	±10	±13.4		V
V _{CM}	Input Common-Mode Range		±12	±14.0		V
CMRR	Common-Mode Rejection Ratio	V _{IN} = ±12V	80	100		dB
PSRR	Power Supply Rejection Ratio	V _S = 15-5V, -15 - -5V	80	100		dB
I _O	Supply Current	V _O = 0V, Both Amps		5	8	mA

AC Electrical Characteristics(T_A = 25°C, V_S = ±15V, R_L = 2 kΩ)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SR	Slew Rate	R _L = 2 kΩ	5	7		V/μs
GBW	Gain Bandwidth Product	f = 100 kHz	10	15		MHz

Design Electrical Characteristics(T_A = 25°C, V_S = ±15V)

The following parameters are not tested or guaranteed.

Symbol	Parameter	Conditions	Typ	Units
ΔV _{OS} /ΔT	Average Temperature Coefficient of Input Offset Voltage		2	μV/°C
THD	Distortion	R _L = 2 kΩ, f = 20-20 kHz V _{OUT} = 3 V _{rms} , A _V = 1	0.002	%
e _n	Input Referred Noise Voltage	R _S = 100Ω, f = 1 kHz	4.5	nV/√Hz
i _n	Input Referred Noise Current	f = 1 kHz	0.7	pA/√Hz
PBW	Power Bandwidth	V _O = 2V V _{TPP} , R _L = 2 kΩ, THD ≤ 1%	120	kHz
f _U	Unity Gain Frequency	Open Loop	9	MHz
φ _M	Phase Margin	Open Loop	60	deg
	Input Referred Cross Talk	f = 20-20 kHz	-120	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายฐานันตร์ สบประสงค์ ภูมิลำเนาเดิมอาศัยอยู่ที่ บ้านเลขที่ 804/40 ถนนพหลโยธิน ตำบล นครสวรรค์ตก อำเภอเมือง จังหวัดนครสวรรค์ 60000 สำเร็จการศึกษาระดับประกาศนียบัตรวิชาชีพ(ปวช.) สาขาอิเล็กทรอนิกส์ วิทยาลัยเทคนิคนครสวรรค์ และสำเร็จการศึกษาในระดับประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.) สาขาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีราชมงคล วิทยาเขตพระนครเหนือ และศึกษาต่อในหลักสูตรวิศวกรรมศาสตรบัณฑิต ที่ภาควิชาอิเล็กทรอนิกส์ สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

นายสมบูรณ์ ทรัพย์พัฒน์ ภูมิลำเนาเดิมอาศัยอยู่ที่ บ้านเลขที่ 481/666 ถนนจรูญสนิทวงศ์ ตำบลบางขุนศรี อำเภอบางกอกน้อย จังหวัดกรุงเทพมหานคร 10700 สำเร็จการศึกษาระดับประกาศนียบัตรวิชาชีพ(ปวช.) สาขาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีราชมงคล วิทยาเขตพระนครเหนือ และสำเร็จการศึกษาในระดับประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.) สาขาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีราชมงคล วิทยาเขตพระนครเหนือ และศึกษาต่อในหลักสูตรวิศวกรรมศาสตรบัณฑิต ที่ภาควิชาอิเล็กทรอนิกส์ สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้