สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบหน่วยความจำ DRAM ขนาด 32 X 1 บิท

32 X 1 bit Dynamic Random Access Memory (DRAM) Design

T055455

โดย

นาย สุระพงษ์ คำแสน

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ .....
เลขทะเบียน 55455
วัน,เดือน,ปี - 9 พ.ค. 2548

b.....
i.....

การออกแบบหน่วยความจำ DRAM ขนาด 32 X 1 บิท

32 X 1 bit Dynamic Random Access Memory (DRAM) Design

โดย

นาย สุระพงษ์ คำเสน รหัส 44015224

อาจารย์ที่ปรึกษา

รศ.ดร. วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบหน่วยความจำ DRAM ขนาด 32 X 1 บิท

ผู้จัดทำ

นาย สุระพงษ์ คำเสน รหัส 44015224

.....อาจารย์ที่ปรึกษา

(รศ.ดร. วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบหน่วยความจำ DRAM ขนาด 32 X 1 บิท

32 X 1 bit Dynamic Random Access Memory (DRAM) Design

ผู้จัดทำ นาย สุระพงษ์ คำเสน รหัสประจำตัว 44015224

โครงงานนี้ได้รับการตรวจสอบแล้วพร้อมที่จะทำการสอบได้

ลงชื่อ.....

(รศ.ดร.วรากร เกษมสุวรรณ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ 32 X 1 bit Dynamic Random Access Memory (DRAM)

นาย สุระพงษ์ คำเสน รหัส 44015224
รศ.ดร. วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ภาคเรียนที่ 2 ปีการศึกษา 2546

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการออกแบบ DRAM ขนาด 32X1 bit โดยให้สามารถนำไปผลิตและสร้างได้จริง ซึ่งใช้ MOSIS 2.0 um Process Level 2 MOSFET และใช้เทคโนโลยีแบบ SCNA โดยโปรแกรม T-SPICE ได้ถูกใช้ในการจำลองการทำงานของวงจร DRAM ให้ได้ตามเงื่อนไข ท้ายสุดวงจร DRAM ได้ถูกสร้างเป็นลวดลายโดยใช้โปรแกรม L-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

32 X 1 bit Dynamic Random Access Memory (DRAM) Design

Mr.Surapong Kamsen 44015224

Assoc.Prof.Dr. Varakon Kasemsuwan

Advisor 2003

ABSTRACT

This project presents the design of DRAM (32x1 bit) using MOSIS 2.0 um Process Level 2 MOSFET and Technology: SCNA. T-SPICE is used to verify the DRAM performance under given specification. Finally, the designed DRAM is layouted using the program L-EDIT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีพื้นฐาน	2
2.1 ประเภทของหน่วยความจำ	2
2.1.1 หน่วยความจำประเภท Semiconductor Memories	2
2.1.2 หน่วยความจำประเภท Non Semiconductor Memories	5
2.2 วงจร DRAM พื้นฐาน	6
2.3 หลักการทำงานพื้นฐานของหน่วยความจำแบบไดนามิค (DRAM)	7
บทที่ 3 องค์ประกอบพื้นฐานของหน่วยความจำไดนามิคแรม DRAM	12
3.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)	13
3.2 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)	14
3.3 วงจรควบคุม (Control Unit)	15
3.4 วงจร Precharge & Equalizer	15
3.5 วงจรขยาย (Sense Amplifier)	16
3.6 วงจร Column Switch	17
3.7 วงจร Input & Output	18
3.8 หน่วยเก็บข้อมูล (DRAM Cell)	18
3.9 วงจรแบ่งแรงดัน Voltage divider	21
3.10 วงจร Logic Gate พื้นฐานและสมการที่ใช้ในการออกแบบ	21
3.11 วิธีการออกแบบวงจร DRAM	28
บทที่ 4 การจำลองการทำงาน และการออกแบบลวดลาย (Layout) ของวงจร	32
4.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)	32
4.2 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)	34
4.3 วงจรควบคุม (Control Unit)	36
4.4 วงจร Precharge & Equalizer	40
4.5 วงจรขยาย (Sense Amplifier)	42
4.6 วงจร Input & Output	44
4.7 หน่วยเก็บข้อมูล (DRAM Cell) และวงจร Column Switch	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.8 วงจรแบ่งแรงดัน Voltage divider 50

4.9 วงจร DRAM (32 x 1 bit) 52

บทที่ 5 สรุปผลการทดลองและวิเคราะห์ผลการทดลอง 58

บรรณานุกรม 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 วงจร Four-transistor DRAM cell	6
รูปที่ 2.2 วงจร Three-transistor DRAM cell	7
รูปที่ 2.3 วงจร One -transistor DRAM cell	7
รูปที่ 2.4 โครงสร้างพื้นฐาน (a) และโครงสร้างที่ใช้งานจริง (b) ของ DRAM	8
รูปที่ 2.5 กราฟการอ่านข้อมูล Logic "1" และ Logic "0"	9
รูปที่ 2.6 กราฟการเขียนข้อมูล Logic "0" ขณะที่ Cell เก็บข้อมูล Logic "1" และ Logic "0" อยู่	10
รูปที่ 3.1 บล็อกไดอะแกรมของหน่วยความจำไดนามิคแรม (DRAM)	12
รูปที่ 3.2 ตารางสภาวะของวงจร Row decode สำหรับ 2 address bits และ 4 word lines	13
รูปที่ 3.3 วงจร Row decode ขนาด 2 address bits และ 4 word lines	13
รูปที่ 3.4 วงจร Column decode ขนาด 2 address bits และ 4 word lines	14
รูปที่ 3.5 วงจรควบคุม (Control Unit)	15
รูปที่ 3.6 วงจร Precharge & Equalizer	16
รูปที่ 3.7 วงจรขยาย (Sense Amplifier)	16
รูปที่ 3.8 วงจร Column Switch	17
รูปที่ 3.9 วงจร Input & Output	18
รูปที่ 3.10 หน่วยเก็บข้อมูล (DRAM Cell)	19
รูปที่ 3.11 วงจรแบ่งแรงดัน Voltage divider	21
รูปที่ 3.12 แสดงวงจร Resistor Loaded NMOS	21
รูปที่ 3.13 แสดงวงจร CMOS Inverter	24
รูปที่ 3.14 แสดงวงจร NOR Gate with Multiple Inputs	26
รูปที่ 3.15 แสดงวงจร NAND Gate with Multiple Inputs	27
รูปที่ 3.16 แสดงวงจร NMOS Transmission	28
รูปที่ 4.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)	32
รูปที่ 4.2 ผลการทดลองวงจรถอดรหัสทางแนวนอนทางด้าน Transient {Address=00000}	32
รูปที่ 4.3 ลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน (Row Decoder)	33
รูปที่ 4.4 ผลการทดลองลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน ทางด้าน Transient {Address=00000}	33
รูปที่ 4.5 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)	34
รูปที่ 4.6 ผลการทดลองของวงจรถอดรหัสทางแนวตั้งทางด้าน Transient {Address=00000}	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.7 ลวดลาย (Layout) วงจรถอดรหัสทางแนวตั้ง 35
รูปที่ 4.8 ผลการทดลองลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน
ทางด้าน Transient {Address=00000} 35
รูปที่ 4.9 วงจรควบคุม (Control Unit) 36
รูปที่ 4.10 ผลการทดลองของวงจรควบคุมทางด้านTransient {Address=00000}
ที่ (Sense Amp. Signal) 36
รูปที่ 4.11 ผลการทดลองของวงจรควบคุมทางด้านTransient {Address=00000}
ที่ (Column Switch. Signal) 37
รูปที่ 4.12 ลวดลาย (Layout) วงจรควบคุม (Control Unit) 38
รูปที่ 4.13 ผลการทดลองลวดลาย (Layout) วงจรควบคุม
ทางด้านTransient {Address=00000} ที่ (Sense Amp. Signal) 38
รูปที่ 4.14 ผลการทดลองลวดลาย (Layout) วงจรควบคุม
ทางด้านTransient {Address=00000} ที่ (Column Switch. Signal) 39
รูปที่ 4.15 วงจร Precharge & Equalizer 40
รูปที่ 4.16 ผลการทดลองของวงจร Precharge & Equalizer ทางด้านTransient 40
รูปที่ 4.17 ลวดลาย (Layout) วงจร Precharge & Equalizer 41
รูปที่ 4.18 ผลการทดลองลวดลาย (Layout) วงจร Precharge & Equalizer
ทางด้านTransient {Address=00000} 41
รูปที่ 4.19 วงจรขยาย (Sense Amplifier) 42
รูปที่ 4.20 ผลการทดลองของวงจรขยาย (Sense Amplifier) ทางด้านTransient 42
รูปที่ 4.21 ลวดลาย (Layout) วงจรขยาย (Sense Amplifier) 43
รูปที่ 4.22 ผลการทดลองลวดลาย (Layout) วงจรขยาย (Sense Amplifier)
ทางด้านTransient {Address=00000} 43
รูปที่ 4.23 วงจร Input & Output 44
รูปที่ 4.24 ผลการทดลองของวงจร Input & Output ทางด้านTransient
(ป้อนสัญญาณที่ Node out) 44
รูปที่ 4.25 ลวดลาย (Layout) วงจร Input & Output 45
รูปที่ 4.26 ผลการทดลองลวดลาย (Layout) วงจร Input & Output
ทางด้าน Transient (ป้อนสัญญาณที่ Node out) 45
รูปที่ 4.27 วงจรหน่วยเก็บข้อมูล (DRAM Cell) และ วงจร Column Switch 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.28 ผลการทดลองของวงจรหน่วยเก็บข้อมูล (DRAM Cell) ทางด้านTransient ที่ {Address=00000} 46
รูปที่ 4.29 ผลการทดลองของวงจร Column Switch (DRAM Cell) ทางด้านTransient ที่ {Address=00000} 47
รูปที่ 4.30 ลวดลาย (Layout) วงจรหน่วยเก็บข้อมูล (DRAM Cell) และ วงจร Column Switch 48
รูปที่ 4.31 ผลการทดลองลวดลาย (Layout) วงจรหน่วยเก็บข้อมูล (DRAM Cell) ทางด้านTransient ที่ {Address=00000} 48
รูปที่ 4.32 ผลการทดลองลวดลาย (Layout) งวงจร Column Switch (DRAM Cell) ทางด้านTransient ที่ {Address=00000} 49
รูปที่ 4.33 วงจร Voltage divider 50
รูปที่ 4.34 ผลการทดลองของวงจร Voltage divider ทางด้านTransient 50
รูปที่ 4.35 ลวดลาย (Layout) วงจร Voltage divider 51
รูปที่ 4.36 ผลการทดลองลวดลาย (Layout) วงจร Voltage divider ทางด้านTransient 51
รูปที่ 4.37 ผลการทดลองของวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "1" ที่ {Address=00000} 53
รูปที่ 4.38 ผลการทดลองของวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "0" ที่ {Address=00000} 54
รูปที่ 4.39 Layout Memory (DRAM) Circuit 55
รูปที่ 4.40 ผลการทดลองของลวดลายวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "1" ที่ {Address=00000} 56
รูปที่ 4.41 ผลการทดลองของลวดลายวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "0" ที่ {Address=00000} 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 บทนำ

ปัจจุบันคอมพิวเตอร์ได้ถูกนำมาใช้อำนวยความสะดวกในการทำงาน สิ่งที่ทุกคนต้องการคือคอมพิวเตอร์ที่ทำงานรวดเร็ว นั้นก็หมายความว่าก็จะต้องพัฒนาระบบคอมพิวเตอร์ให้มีการประมวลผลที่เร็วด้วย นอกจากนี้ยังรวมไปถึงอุปกรณ์ที่สนับสนุนการประมวลผล เช่น หน่วยความจำ RAM ก็จะต้องมีความเร็วเพื่อช่วยให้การประมวลผลได้เร็วขึ้น ซึ่งในโครงงานนี้จะเป็นการออกแบบ DRAM (Dynamic Random Access Memory) ในการออกแบบจะใช้ CMOS เป็นอุปกรณ์ที่ใช้ในการออกแบบที่สำคัญ และ CMOS มีข้อดีคือ เป็นอุปกรณ์กินพลังงานต่ำ (Low Power) กระบวนการสร้างมีความซับซ้อนน้อย และใช้พื้นที่น้อย เมื่อเทียบกับอุปกรณ์ประเภทไบโพลาร์ทรานซิสเตอร์

1.2 วัตถุประสงค์และเป้าหมาย

1. เพื่อเป็นส่วนประกอบหลักของรายวิชา โครงงาน
2. เพื่อใช้ศึกษากระบวนการทำงานของ หน่วยความจำแบบไดนามิคแรม (DRAM)
3. เพื่อใช้ศึกษา โครงสร้างทั่วๆไปของ หน่วยความจำแบบไดนามิคแรม (DRAM)
4. เพื่อใช้ในการศึกษาโปรแกรมที่ใช้ในการจำลองการทำงาน
5. เพื่อใช้ในการศึกษาวิธีการออกแบบลวดลาย (Layout) ของตัวอุปกรณ์

1.3 ประโยชน์ของโครงงาน

1. ได้รับความรู้เกี่ยวกับการทำงานของ DRAM
2. ทำให้ทราบถึงโครงสร้างภายในวงจร DRAM
3. ทำให้มีความรู้ในการใช้โปรแกรม จำลองการทำงาน เช่น TSPICE
4. ทำให้มีความรู้ในการออกแบบลวดลาย (Layout) ของตัวอุปกรณ์ เช่น NMOS
5. สามารถนำทักษะไปใช้ในการออกแบบวงจรรวมประเภทอื่นๆได้
6. สามารถนำไปสร้างเป็นชิพเพื่อใช้งานจริงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีพื้นฐาน

2.1 ประเภทของหน่วยความจำ

หน่วยความจำ ใช้ในการเก็บข้อมูลที่ติดต่อกับหน่วยประมวลผล โดยทั่วไปข้อมูลที่เก็บได้มี 2 ระดับคือ "1" และ "0" หน่วยความจำสามารถแบ่งตามกระบวนการสร้างได้ 2 แบบคือ Semiconductor Memories และ Non Semiconductor Memories

2.1.1 หน่วยความจำประเภท Semiconductor Memories

เป็นหน่วยความจำที่ถูกสร้างขึ้นด้วยสารกึ่งตัวนำ สามารถแบ่งออกได้เป็น 2 ประเภทคือ หน่วยความจำประเภท Read-Only Memory (ROM) และหน่วยความจำประเภท Random Access Memory (RAM)

1) หน่วยความจำประเภท Read-Only Memory (ROM) สามารถเก็บข้อมูลได้ตลอดไปแม้จะปิดเครื่องคอมพิวเตอร์แล้ว หน่วยความจำชนิดรอมเป็นหน่วยความจำที่อ่านข้อมูลออกมาใช้ได้อย่างเดียว แต่ไม่สามารถเปลี่ยนแปลงแก้ไขข้อมูลที่เก็บอยู่ในรอมได้ หน่วยความจำรอมจะถูกสร้างโดยบริษัทผู้ผลิตเครื่องคอมพิวเตอร์ เพื่อใช้เก็บโปรแกรมที่จำเป็นต่อการใช้งานคอมพิวเตอร์เอาไว้อย่างถาวร และไม่ต้องการเปลี่ยนแปลง เช่น โปรแกรมที่ใช้ในการทำงานของเครื่องคอมพิวเตอร์ เมื่อทำการเปิดเครื่อง หรือโปรแกรมที่ใช้ควบคุมการทำงานของอุปกรณ์ที่อยู่ในรถยนต์หรือโปรแกรมเล่นเกมต่าง ๆ เป็นต้น รอมยังถูกแบ่งออกเป็นหลายชนิดได้แก่พรอม (Programmable ROM, PROM) อีพรอม (Erasable PROM,EPROM) และอีอีพรอม (Electrically Erasable PROM, EEPROM)

-Programmable ROM (PROM) เนื่องจากรอมถูกผลิตโดยบริษัทผู้ที่ผลิตรอมโดยเฉพาะ และเมื่อผลิตออกมาแล้วจะไม่สามารถเปลี่ยนแปลงแก้ไขได้ ทำให้ต่อมาได้มีการผลิตชิปของรอมให้สามารถนำมาบันทึกข้อมูลได้โดยบริษัทผู้ที่ใช้ภาษานั้นเรียกว่าพรอม เมื่อทำการนำโปรแกรมหรือข้อมูลเข้าไปเก็บในพรอมโดยเครื่องมือที่เขียนโปรแกรมพิเศษแล้ว จะไม่สามารถแก้ไขหรือเปลี่ยนแปลงได้

-Erasable PROM (EPROM) เป็นรอมที่ได้ถูกพัฒนาให้สามารถทั้งอ่านและเขียนข้อมูลไปใหม่ได้หลายครั้งและเรียกรอมชนิดนี้ว่าอีพรอมกล่าวคือ สามารถที่จะนำโปรแกรมเข้าไปในอีพรอมได้ และสามารถที่จะลบโปรแกรมหรือข้อมูลแล้วเขียนเข้าไปใหม่ได้โดยเครื่องมือที่เขียนโปรแกรมพิเศษที่ใช้แสงอุลตร้าไวโอเลต การใช้อีพรอมจะประหยัดมากกว่ารอมชนิดอื่น เพราะสามารถนำกลับมาใช้งานใหม่ได้

-Electrically Erasable PROM (EEPROM) เป็นหน่วยความจำหลักเหมือนกับอีพรอมแต่จะต่างกันตรงที่สามารถจะเขียนโปรแกรมใหม่ลงในอีอีพรอมได้ง่ายกว่า โดยใช้กระแสไฟฟ้าธรรมดาที่มีโปรแกรมเป็นตัวควบคุมโดยไม่ต้องใช้เครื่องมือพิเศษ เช่น แสงอุลตร้าไวโอเลตเหมือนกับอีพรอม อีอีพรอมจะต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับหน่วยความจำประเภทแรมอีกประการหนึ่งคือ การเขียนและการลบข้อมูลบนอีอีพรอมจะใช้เวลามากกว่าแรมหลายเท่า ทำให้อีอีพรอมมีใช้มากกับงานที่ไม่ต้องการแก้ไขข้อมูลบ่อยครั้งนัก และเมื่อต้องการแก้ไขข้อมูลก็สามารถทำได้ บวกกับข้อมูลที่เก็บอยู่ในอีอีพรอมยังคงอยู่เมื่อทำการปิดเครื่องคอมพิวเตอร์แล้ว และความเร็วของอีอีพรอมมีความใกล้เคียงกับแรมมาก อีอีพรอมจึงถูกใช้ในเครื่องคอมพิวเตอร์ตามห้างสรรพสินค้าที่เก็บรายละเอียดราคาของสินค้า ผู้ใช้งานสามารถเปลี่ยนแปลงราคาสินค้าได้เมื่อมีการเปลี่ยนแปลง

2) หน่วยความจำประเภท Random Access Memory (RAM) เป็นหน่วยความจำที่สามารถเข้าถึงคำสั่งและข้อมูลโดยตรงได้ แรมเป็นหน่วยความจำที่สามารถที่จะอ่านหรือเขียนข้อมูลและคำสั่งลงไปได้หลายครั้งมีอยู่ด้วยกันหลายชนิดเช่น

-Static Random Access Memory (SRAM) เป็นหน่วยความจำหลักที่ต้องการแบตเตอรี่เลี้ยงอยู่ตลอดเวลา ทำให้แรมชนิดนี้สามารถเก็บข้อมูลได้ตลอดไปตราบที่ยังมีแบตเตอรี่เลี้ยงอยู่ สแตติคแรมจะมีขนาดน้อยกว่าไดนามิคแรมโดยปกติ จะถูกใช้เพื่อเก็บโปรแกรมและข้อมูลบางอย่างที่จำเป็นต่อเครื่องคอมพิวเตอร์

-Dynamic Random Access Memory (DRAM) เป็นหน่วยความจำที่ต้องการกระแสไฟฟ้าไหลผ่านในขณะเก็บข้อมูล ไดนามิคแรมจะถูกนำมาสร้างเป็นหน่วยความจำหลักของคอมพิวเตอร์ทุกระบบ DRAM จะทำการเก็บข้อมูลในตัวเก็บประจุ (Capaciter) ซึ่งจำเป็นต้องมีการ refresh เพื่อ เก็บข้อมูล ให้คงอยู่โดยการ refresh นี้ทำให้เกิดการเสียเวลาขึ้นในการเข้าถึงข้อมูล และก็เนื่องจากที่มันต้อง refresh ตัวเองอยู่ตลอดเวลานี้เองจึงเป็นเหตุให้ได้ชื่อว่า Dynamic RAM

-Cache Memory (CACHE) เป็นอุปกรณ์ที่ใช้สำหรับเก็บข้อมูลหรือคำสั่งแบบชั่วคราวก่อนจะป้อนให้ซีพียูประมวลผล โดยข้อมูลหรือคำสั่งดังกล่าวก็จะเป็นส่วนที่มีการเรียกใช้งานจากซีพียูบ่อย ๆ เพื่อเวลาที่ซีพียูต้องการใช้ข้อมูลเหล่านั้น ก็จะสามารถค้นหาได้อย่างรวดเร็ว โดยไม่จำเป็นที่จะต้องไปค้นหาจากหน่วยความจำแรมหรือจากฮาร์ดดิสก์ที่มีความเร็วช้ากว่า (แคชจะมีความเร็วในการทำงานเกือบเท่ากับความเร็วซีพียู ขณะที่ SDRAM มีความเร็วประมาณ 6 ns และฮาร์ดดิสก์มีความเร็วประมาณ 10 ns)หน่วยความจำแคช เป็นหน่วยความจำแบบ Static RAM ที่มีคุณสมบัติหลักคือ มีความเร็วในการทำงานสูง แต่ราคาแพงกว่า หน่วยความจำหลักของระบบที่เป็นแบบ Dynamic RAM อยู่มาก ทำให้ขนาดของหน่วยความจำแคชมีขนาดน้อย หน่วยความจำแคชระดับ 1 เป็นแคชที่สร้างอยู่ภายในตัวซีพียู เราเรียกว่า อินเตอร์นอลแคช จะมีขนาดไม่ใหญ่นัก หน่วยความจำแคชจะมีอยู่ในซีพียูทุกชนิด ทุกรุ่นที่มีขายอยู่ในท้องตลาดในปัจจุบัน เช่น ในซีพียูเพนเทียมทรี หรือเพนเทียมทู จะมีหน่วยความจำแคชระดับหนึ่งขนาด 32 KB โดยแบ่งเป็น 16 KB สำหรับแคชคำสั่ง และอีก 16 KB สำหรับแคชข้อมูล หน่วยความจำแคชระดับ 2 มีทั้งแบบที่สร้างอยู่ภายในตัวซีพียูและแบบที่อยู่ภายนอก ถ้าซีพียูค้นหาข้อมูลจากแคชระดับ 1 ไม่พบ ก็จะทำการค้นหาต่อที่แคชระดับสอง ซึ่งขนาดของแคชระดับ 2 นั้นก็จะแตกต่างกันตามรุ่นและชนิดของซีพียู เช่น ซีพียูเซลเลอรอนจะมีหน่วยความจำแคชระดับ 2 ขนาด 128 KB มาบนตัวซีพียูเลย เช่น เพนเทียมทู เพนเทียมทรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นต้น แต่ถ้าเป็นซีพียู 6X86 K5 เพนเทียม MMX จะไม่มีหน่วยความจำแคชระดับ 2 มาด้วย ซีพียูจึงมองแคชบนเมนบอร์ดเป็นแคบระดับ 2 แทน หน่วยความจำแคชระดับ 3 เป็นแคชที่อยู่ภายนอกตัวซีพียู เราเรียกว่า เอ็กเทอร์นอล แคช โดยแคชในระดับนี้จะเป็นแคชที่ติดตั้งอยู่บนเมนบอร์ดเท่านั้น เนื่องจากซีพียู K6-II นั้น จะมีหน่วยความจำแคชระดับ 2 ที่ถูกสร้างอยู่ภายในตัวซีพียูเลย แต่ในขณะเดียวกันบนเมนบอร์ดที่ใช้สำหรับซีพียู K6 -III นั้นก็ยังคงมีหน่วยความจำแคชมาด้วยทำให้ซีพียูมองหน่วยความจำแคชบนเมนบอร์ดที่เคยเป็นแคชระดับ 2 เดิมนั้น เป็นหน่วยความจำแคชระดับ 3 แทน หน่วยความจำเป็นส่วนที่มีความจำเป็นต่อการทำงานของระบบ ถ้าไม่มีหน่วยความจำเราก็คงจะไม่สามารถเก็บบันทึกข้อมูลใด ๆ ไว้ได้เลย

-Synchronous DRAM (SDRAM) การพัฒนา SDRAM เป็นการพัฒนาขึ้นมาเพื่อรองรับ ความเร็วที่เพิ่มมากขึ้น โดยทำงานที่ความถี่ 100 MHz และสูงกว่านั้นได้ด้วย ทำให้ความสามารถ ในการรับส่ง ข้อมูลดีขึ้นกว่าเดิม และสามารถ ทำงานร่วมกับ การ์ดแสดงผลแบบ AGP ได้อีกด้วย ปัจจุบัน SDRAM ถูกใช้เป็น RAM มาตรฐาน ในเครื่องคอมพิวเตอร์ทั่วไป โดยมีความเร็ว ของบัสเริ่มต้นที่ 66, 100 และ 133 MHz ซึ่งเราจะ เห็นได้ในประเภทของ SDRAM ที่ซื้อขายกันที่จะมี PC-66, PC-100 และ PC-133 โดยที่นิยมสุดอยู่ที่ PC-100 แต่ตอนนี้มาตรฐานเริ่มเปลี่ยนไปเป็นที่ PC-133 กันแล้ว เนื่องด้วย เป็นความเร็ว ที่สามารถ รองรับการทำงาน กับ Pentium III ซึ่งสนับสนุน กับระบบบัส 133 MHz เช่นเดียวกัน แต่ในปัจจุบัน SDRAM เริ่มไม่สามารถ ตอบสนอง ความเร็ว ในการทำงานได้เต็มที่ นั่นเพราะว่า มี CPU ความเร็วสูงๆ พัฒนาขึ้นตลอดเวลา จึงได้มีการ พัฒนา RAM รุ่นใหม่ ทั้ง DDR RAM และ RAMBUS เพื่อตอบสนอง ความเร็วที่เพิ่มสูงขึ้น

-DDR (Double Data Rate) SDRAM (หรือ SDRAM II) เป็นหน่วยความจำที่สามารถทำงาน ได้ทั้งขาขึ้น และขาลงของสัญญาณนาฬิกาเพื่อส่งถ่ายข้อมูลทำให้ อัตราส่งถ่ายข้อมูลเพิ่มขึ้นได้ถึงเท่าตัว ซึ่งมีอัตราการส่งถ่ายข้อมูลสูงสุดถึง 1.6 - 2.1 GB ต่อวินาที ดังนั้นจึงเรียกว่าเป็นการทวีสัญญาณเป็นสองเท่าจาก SDRAM เดิม โดยที่เทคโนโลยีนี้มีราคาที่ไม่แตกต่างจาก SDRAM แต่เพิ่มประสิทธิภาพ และไม่สามารถนำเอา DDR SDRAM นี้ไปใช้ กับเมนบอร์ด ที่สนับสนุน SDRAM แบบเดิมได้ นั่นเพราะว่าไม่สามารถนำเอา Module แบบ 184 ขานี้ไปเสียบเข้ากับ เมนบอร์ดรุ่นเดิม ของ SDRAM ที่มีขาเพียง 164 ขา ได้ สำหรับ DDR SDRAM นี้ คาดว่า จะเป็นรูปแบบที่จะมาแทน SDRAM ในปัจจุบัน เนื่องจากราคาที่ไม่สูงมากนักอีกทั้งเป็นรูปแบบที่ทางผู้ผลิต Ram ส่วนใหญ่ให้การสนับสนุน (ยกเว้น intel) เนื่องจากเป็นมาตรฐานอุตสาหกรรมเปิด การทำการผลิตไม่ต้องเสียค่าลิขสิทธิ์ในการผลิตแต่อย่างใด การพัฒนานั้นมาจากโครงสร้างพื้นฐานของ SDRAM เดิมนั่นเอง ทำให้ง่ายต่อการออกแบบและผลิตขึ้นมาในขณะนี้ ทางผู้ผลิตชิพเซ็ตรายใหญ่อย่าง VIA, Ali และ Micron ต่างได้ประกาศถึงการสนับสนุน DDR SDRAM แทนการสนับสนุน RDRAM อย่างที่ทาง Intel มุ่งหวังไว้ นอกจากนั้น ทาง AMD ผู้ผลิต CPU คู่แข่งรายสำคัญ ของ Intel ก็ได้ออก ผลิตภัณฑ์ของตนที่สนับสนุน DDR SDRAM อย่างเต็มที่ดังนั้น ในปัจจุบันจึงพบว่า Athlon ของ AMD สามารถทำงานร่วมกับ DDR SDRAM และเมนบอร์ดที่ออกแบบมา เฉพาะ สำหรับ Athlon ได้อย่างเต็มประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 หน่วยความจำประเภท Non Semiconductor Memories

เป็นหน่วยความจำที่สามารถรักษาข้อมูลได้ตลอดไป หลังจากได้ทำการปิดเครื่องคอมพิวเตอร์แล้วก็ตาม หน่วยความจำประเภทนี้เป็นหน่วยความจำสำรองมีประโยชน์ต่อระบบฐานข้อมูลเป็นอย่างมาก ถ้าปราศจากหน่วยความจำสำรองแล้วจะไม่สามารถเก็บรักษาข้อมูลเอาไว้ใช้ได้ในอนาคต หน่วยความจำสำรองใช้เก็บรักษาข้อมูลและโปรแกรมเอาไว้อย่างถาวรจึงทำให้หน่วยความจำสำรองถูกใช้เป็นสื่อในการนำข้อมูลและโปรแกรมจากเครื่องคอมพิวเตอร์หนึ่งไปใช้ยังคอมพิวเตอร์อีกเครื่องหนึ่งได้ และนอกจากนี้หน่วยความจำสำรองยังใช้เป็นหน่วยเสริมหน่วยความจำหลัก โดยทำหน้าที่เป็นเสมือนหน่วยความจำหลักชื่อเรียกว่าหน่วยความจำเสมือน (virtual memory) กล่าวคือแทนที่จะดึงโปรแกรมทั้งหมดเข้าหน่วยความจำหลักที่มีจำนวนจำกัดพร้อมกันหมด คอมพิวเตอร์จะทำการจัดเก็บโปรแกรมไว้ยังหน่วยความจำเสมือนก่อน และเมื่อต้องการจึงจะดึงคำสั่งจากหน่วยความจำเสมือนเข้าหน่วยความจำหลักเพื่อทำการประมวลผล ดังนั้น จึงสามารถประมวลผลโปรแกรมแรมที่มีขนาดใหญ่กว่าหน่วยความจำหลักได้ สามารถแบ่งตามลักษณะที่คอมพิวเตอร์สามารถเข้าถึงข้อมูลได้ 2 ชนิด คือ

-หน่วยความจำสำรองประเภทที่สามารถเข้าถึงข้อมูลโดยตรง เป็นหน่วยความจำที่คอมพิวเตอร์สามารถที่จะเข้าไปกระทำกับข้อมูลที่เก็บในอุปกรณ์ชนิดนั้นตรงส่วนใดก็ได้ในทันที ซึ่งเรียกการเข้าถึงข้อมูลดังกล่าวว่าการเข้าถึงโดยตรงส่วนใดก็ได้ในทันที ซึ่งเรียกการเข้าถึงข้อมูลดังกล่าวว่าการเข้าถึงโดยตรงหรือการเข้าถึงแบบสุ่ม (direct access หรือ random access) อุปกรณ์ชนิดที่สามารถเลื่อนหัวอ่านหรือบันทึกข้อมูลหน่วยความจำประเภทดิสก์ต่าง ๆ ดิสก์ที่นิยมใช้ในปัจจุบันมีหลายประเภทได้แก่

1) จานบันทึกแม่เหล็ก (magnetic disk) เป็นอุปกรณ์ที่นิยมใช้มาก และถูกใช้เป็นหน่วยเก็บข้อมูลที่ใช้ภายในเครื่องไมโครคอมพิวเตอร์ จนถึงเครื่องคอมพิวเตอร์ขนาดใหญ่ แต่ถึงแม้จะใช้กับเครื่องต่างขนาดกัน โครงสร้างและการใช้งานจะเหมือนกัน จานบันทึกแม่เหล็กที่นิยมใช้กันได้แก่ ฟลอปปี้ดิสก์ (floppy disk) ฮาร์ดดิสก์ (hard disk) และไมโครดิสก์ (microdisk)

2) ออพติคัลดิสก์ (optical disk) เป็นอุปกรณ์ที่ถูกพัฒนาให้มีความจุมากยิ่งขึ้น ได้แก่ ซีดี-รอม (Compact Disk Read Only Memory, CDROM) วอร์ม (Write Once Read Many, WORM) และแมคนิโตออปติคัลดิสก์ (Magneto-optical disk, MO)

3) พีซีเอ็มซีไอเอ (Personal Computer Memory Card International Association, PCMCIA) เป็นหน่วยความจำที่มีขนาดเล็ก มีขนาดความกว้าง 2 นิ้ว และยาวเพียง 3 นิ้ว คล้ายเครดิตการ์ด เป็นหน่วยความจำสำรองใช้เสียบเข้าเครื่องคอมพิวเตอร์ในเวลาใช้งาน และเป็นที่นิยมใช้ในเครื่องคอมพิวเตอร์ขนาดเล็ก

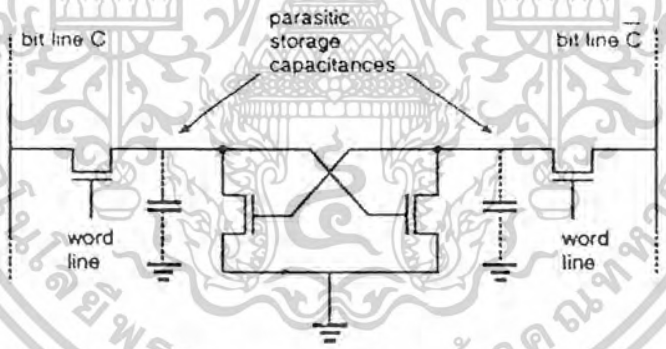
-หน่วยความจำสำรองประเภทที่สามารถเข้าถึงข้อมูลโดยเรียงลำดับเท่านั้น เป็นหน่วยความจำประเภทที่เก็บข้อมูลแบบเรียงลำดับกันไป ตั้งแต่ตำแหน่งแรกจนถึงตำแหน่งสุดท้าย เมื่อต้องการเข้าถึงข้อมูลตรงส่วนใดนั้น หัวอ่านและบันทึกจะต้องทำการอ่านหรือบันทึกข้อมูลตั้งแต่ตำแหน่งแรก เรียงลำดับกันไปจนถึงตำแหน่งสุดท้าย ซึ่งเรียกการเข้าถึงข้อมูลดังกล่าวว่าการเข้าถึงแบบเรียงลำดับ (sequential access) หน่วยความจำสำรองประเภทนี้ส่วนใหญ่จะใช้งานสำรองข้อมูลของระบบ อุปกรณ์ประเภทนี้ได้แก่ เทปแม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหล็กถูกใช้กับงานที่ต้องการเข้าถึงข้อมูลในลักษณะของการเรียงลำดับกันไป เช่น งานสำรองข้อมูลบนหน่วยความจำประเภทแม่เหล็กเป็นหลัก เทปแม่เหล็กที่ใช้อยู่ปัจจุบันมี 2 ประเภทคือ เป็นลักษณะม้วนเรียกว่า เทปรีล (tape reel) และเทปตลับ (cartridge tape) เทปรีลถูกใช้มากในเครื่องคอมพิวเตอร์ระดับใหญ่ เช่น เครื่องเมนเฟรม และเครื่องมินิ ส่วนเทปตลับสามารถใช้กับเครื่องคอมพิวเตอร์มินิ เทปตลับมีราคาถูกและขนาดเล็กกว่าเทปรีลมาก จนสามารถพกพาติดตัวได้สะดวก แต่มีความจุมากกว่าและราคาถูกกว่าเทปรีล และถูกเรียกว่า ตลับข้อมูล (data Cartridges)

2.2 วงจร DRAM พื้นฐาน

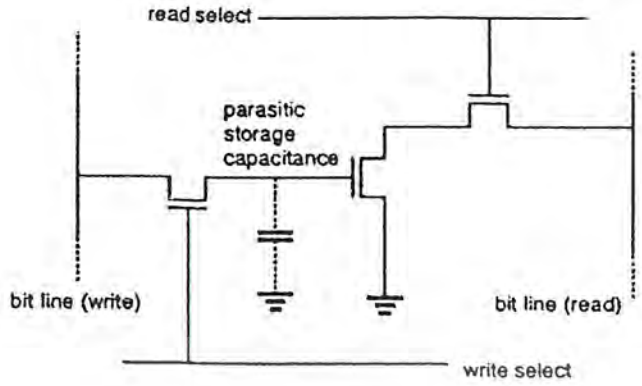
หน่วยความจำ DRAM ได้ถูกพัฒนามาจากหน่วยความจำ SRAM โดยใช้ตัวเก็บประจุ (Capacitor) ทำหน้าที่ในการเก็บข้อมูล แต่เนื่องจากตัวเก็บประจุมีการรั่วไหลเกิดขึ้นเมื่อเวลาผ่านไปนานๆ ซึ่งอาจทำให้ข้อมูลเสียหายได้ ถ้าไม่มีการอ่านหรือเขียนข้อมูลเข้าไปหน่วยความจำเป็นเวลานาน ทำให้หน่วยความจำ DRAM ต้องมีการ refresh เพื่อชดเชยกระแสที่รั่วไหลออกไปจากตัวเก็บประจุ DRAM ในยุคแรกหน่วยความจำ DRAM ถูกสร้างเป็นแบบ Four-transistor DRAM cell ที่มีจำนวนทรานซิสเตอร์ 4 ตัว และส่วนที่ใช้ในการเก็บข้อมูล เป็นตัวเก็บประจุแฝงที่เกิดจากออกไซด์และการแพร่ของสารกึ่งตัวนำ (parasitic oxide and diffusion capacitance)



รูปที่ 2.1 วงจร Four-transistor DRAM cell

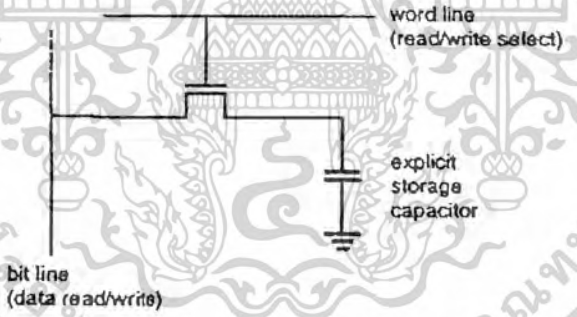
ต่อจากนั้นหน่วยความจำ DRAM ได้พัฒนาเป็นแบบ Three-transistor DRAM cell ซึ่งประกอบด้วยทรานซิสเตอร์ 3 ตัวและใช้ตัวเก็บประจุแฝงทำหน้าที่เก็บข้อมูล โดยวงจรนี้จะมีสายสัญญาณอยู่ด้วยกัน 4 เส้น คือ bit line (write) เป็นสายสัญญาณที่ใช้สำหรับส่งข้อมูลเข้าไปที่หน่วยความจำเพื่อทำการเขียนข้อมูล, write select เป็นสายสัญญาณที่ใช้สำหรับเลือกให้หน่วยความจำทำการเขียนข้อมูล, bit line (read) เป็นสายสัญญาณที่ใช้สำหรับส่งข้อมูลเข้าไปที่หน่วยประมวลผล CPU, read select เป็นสายสัญญาณที่ใช้สำหรับเลือกให้หน่วยความจำทำการอ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 วงจร Three-transistor DRAM cell

เนื่องจาก Three-transistor DRAM cell มีจำนวนสายสัญญาณที่มาก ประกอบกับมีจำนวนทรานซิสเตอร์ที่มาก ทำให้มีการพัฒนาหน่วยความจำ DRAM เป็น One- transistor DRAM cell ที่ประกอบด้วยทรานซิสเตอร์จำนวน 1 ตัวและตัวเก็บประจุที่ทำหน้าที่เก็บข้อมูล ตัวเก็บประจุที่ใช้ใน One- transistor DRAM cell เป็นตัวเก็บประจุที่เกิดจากการสร้าง ไม่ใช่ตัวเก็บประจุแฝงดังวงจรที่ได้กล่าวมาแล้ว ด้วยคุณสมบัติต่างๆ เหล่านี้ทำให้ One- transistor DRAM cell ได้รับความนิยมมากที่สุด

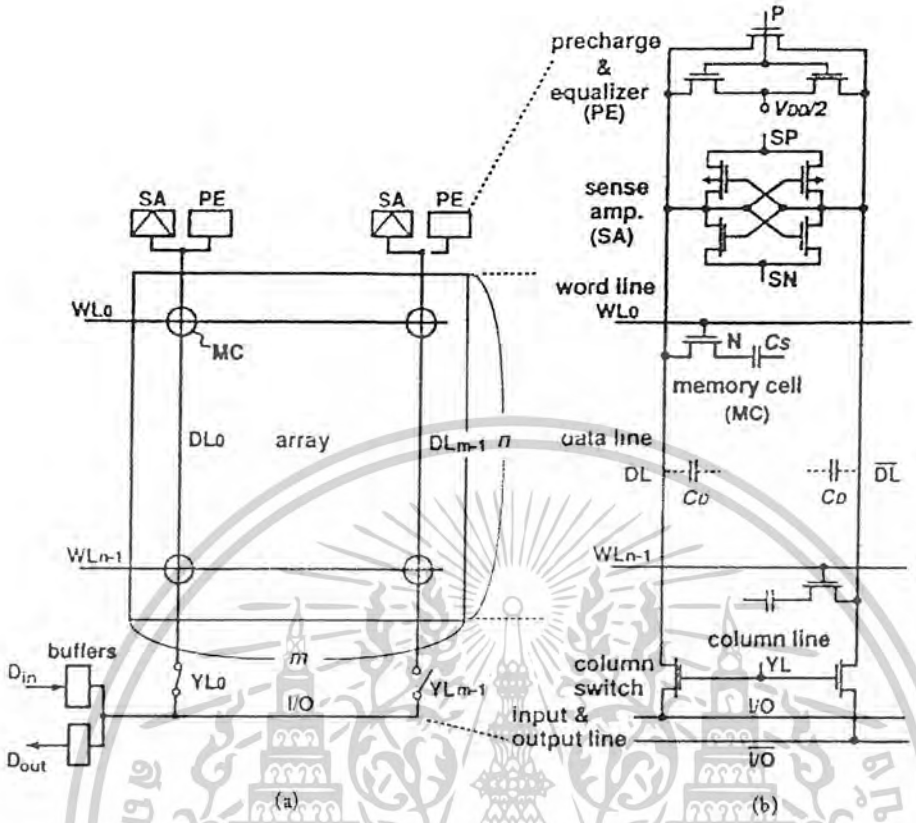


รูปที่ 2.3 วงจร One -transistor DRAM cell

2.3 หลักการทำงานพื้นฐานของหน่วยความจำแบบไดนามิค (DRAM)

จากรูปที่ 2.9 (a) เป็นโครงสร้างพื้นฐานของวงจร 1-T Cell ที่ต่อแบบ n rows & m columns และ รูปที่ 2.9 (b) เป็นโครงสร้างที่ใช้งานจริงประกอบด้วย Cells จำนวนมาก, วงจร precharge & equalizer (PE) และวงจร CMOS sense amplifier (SA) ถูกเชื่อมต่อกับสาย data line (DL) ซึ่งต่อร่วมกับสาย data input/output ผ่านทาง column switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 โครงสร้างพื้นฐาน (a) และโครงสร้างที่ใช้งานจริง (b) ของ DRAM

การทำงานของวงจรสามารถแบ่งได้เป็น 3 สภาวะคือ การอ่านข้อมูล (read), การเขียนข้อมูล (write) และ การชดเชยแรงดัน (refresh)

1) การอ่านข้อมูล (read) เป็นการนำข้อมูลออกจากหน่วยความจำแล้วส่งให้กับหน่วยประมวลผล CPU ทำได้ 2 สภาวะคือ

- การอ่านข้อมูล Logic "1" เมื่อ Node P ของวงจร precharge & equalizer (PE) มีแรงดันเป็น V_{DD} ก็จะทำให้ C_D มีระดับแรงดันเป็น $V_{DD}/2$ และที่ DL ก็มีแรงดันเป็น $V_{DD}/2$ ด้วยเช่นกัน และที่ Node N ก็มีแรงดันเป็น V_{DD} เนื่องจาก Cell เก็บข้อมูล "1" เมื่อแรงดันที่ Node P เริ่มลดลงจนเป็นศูนย์โวลต์ ที่ word line (WL) ก็มีแรงดันเปลี่ยนจากศูนย์โวลต์เป็น V_{DD} ทำให้ NMOS ของ memory cell ทำงาน เหมือนกับ C_D และ C_s เชื่อมต่อกัน แต่แรงดันที่ตกคร่อม C_s มีค่ามากกว่า C_D ทำให้ C_s ทำการ chrage ประจุ ให้กับ C_D จน C_D มีแรงดันเพิ่มขึ้นเรื่อยๆ จนกว่าแรงดันที่ C_D และ C_s มีค่าเท่ากัน จากนั้น ที่ Node SP มีแรงดันเป็น V_{DD} และที่ Node SN มีแรงดันศูนย์โวลต์ วงจร sense amplifier (SA) ทำงาน ก็ทำการขยายแรงดันที่มีระดับที่แตกต่างกันของ DL และ /DL โดยระดับแรงดันที่ DL มีค่าสูงกว่า /DL จนทำให้ แรงดันที่ DL มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{DD} และที่ /DL มีค่าเป็นศูนย์โวลต์ และที่ Node YL มีแรงดันเป็น V_{DD} ทำให้ข้อมูลจาก DL ถูกส่งไปที่ I/O แล้วสัญญาณจะถูกหน่วงเวลาไว้ระยะหนึ่งแล้วสัญญาณทุกสัญญาณก็กลับมาสู่สภาวะเริ่มต้นรอจนกว่า CPU ต้องการอ่านข้อมูลอีกก็จะทำงานในลักษณะเดิมอีก

- การอ่านข้อมูล Logic "0" การเปลี่ยนแปลงของสัญญาณต่างๆ เป็นเหมือนกับการอ่านข้อมูล Logic "1" จะแตกต่างกันที่แรงดันที่ C_D มากว่า C_S ทำให้ C_D ทำการ chrage ประจุให้กับ C_S จนแรงดันที่ C_D และ C_S มีค่าเท่ากันทำให้แรงดันที่ DL ต่ำกว่า /DL เมื่อวงจร sense amplifier (SA) ทำงาน ก็จะทำให้แรงดันที่ DL มีค่าเป็นศูนย์โวลต์ และที่ /DL มีค่าเป็น V_{DD} จากนั้นข้อมูลก็ถูกส่งไปที่ I/O แล้วสัญญาณทุกสัญญาณก็กลับมาสู่สภาวะเริ่มต้น

รูปที่ 2.5 กราฟการอ่านข้อมูล Logic "1" และ Logic "0"

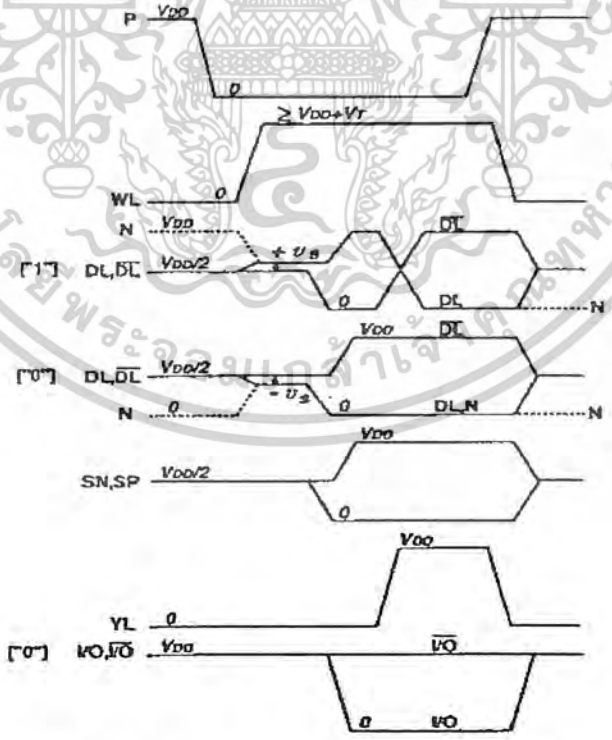
2) การเขียนข้อมูล (write) เป็นการนำข้อมูลจากหน่วยประมวลผล CPU ส่งให้กับหน่วยความจำเพื่อทำการเก็บข้อมูลที่ต้องการ สามารถทำได้ 2 สภาวะคือ

- การเขียนข้อมูล Logic "1" เมื่อ Node P ของวงจร precharge & equalizer (PE) มีแรงดันเป็น V_{DD} ก็จะทำให้ C_D มีระดับแรงดันเป็น $V_{DD}/2$ และที่ DL ก็มีแรงดันเป็น $V_{DD}/2$ ด้วยเช่นกัน และที่ Node N ก็มีแรงดันเป็น V_{DD} เนื่องจาก Cell เก็บข้อมูล "1" เมื่อแรงดันที่ Node P เริ่มลดลงจนเป็นศูนย์โวลต์ ที่ word line (WL) ก็มีแรงดันเปลี่ยนจากศูนย์โวลต์เป็น V_{DD} ทำให้ NMOS ของ memory cell ทำงาน เหมือนกับ C_D และ C_S เชื่อมต่อกัน แต่แรงดันที่ตกคร่อม C_S มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากกว่า C_D ทำให้ C_S ทำการ chrage ประจุ ให้กับ C_D จน C_D มีแรงดันเพิ่มขึ้นเรื่อยๆ จนกว่าแรงดันที่ C_D และ C_S มีค่าเท่ากัน จากนั้น ที่ Node SP มีแรงดันเป็น V_{DD} และที่ Node SN มีแรงดันศูนย์โวลต์ วงจร sense amplifier (SA) ทำงาน ก็ทำการขยายแรงดันที่มีระดับที่แตกต่างกันของ DL และ /DL จนทำให้ แรงดันที่ DL มีค่าเป็น V_{DD} และที่ /DL มีค่าเป็นศูนย์โวลต์ และที่ Node YL มีแรงดันเป็น V_{DD} ทำให้ข้อมูล Logic "1" ที่ CPU ส่งมา ทำให้แรงดันของ DL เป็น V_{DD} และที่ /DL มีค่าเป็นศูนย์โวลต์ เหมือนเดิม แต่ถ้า Cell เก็บข้อมูล "0" ก่อนหน้าที่ Node YL มีแรงดันเป็น V_{DD} แรงดันที่ DL มีค่าเป็นศูนย์โวลต์และที่ /DL มีค่าเป็น V_{DD} เมื่อ Node YL มีแรงดันเป็น V_{DD} ทำให้แรงดันที่ DL เปลี่ยนค่าจากศูนย์โวลต์เป็น V_{DD} และที่ /DL เปลี่ยนจาก V_{DD} เป็นศูนย์โวลต์ตามที่ CPU ส่งข้อมูลเป็น Logic "1" ทำให้ Cell มีแรงดันเป็น V_{DD} หรือ Logic "1" จากนั้นสัญญาณจะถูกหน่วงระยะเวลาหนึ่งสัญญาณทุกสัญญาณก็กลับเป็นดังสภาวะเริ่มต้นขณะนี้ NMOS อยู่ในสภาวะ OFF ข้อมูลที่ส่งมาจาก CPU ก็ถูกเก็บเข้าไปใน Cell และจะถูกเก็บจนกว่า word line (WL) มีแรงดันเป็น V_{DD} จึงจะทำให้ข้อมูลมีการเปลี่ยนแปลง

- การเขียนข้อมูล Logic "0" การเปลี่ยนแปลงของสัญญาณต่างๆ เป็นเหมือนกับการเขียนข้อมูล Logic "1" ต่างกันที่ข้อมูลที่ส่งมาจาก CPU เป็น Logic "0" หรือ ระดับแรงดันศูนย์โวลต์



รูปที่ 2.6 กราฟการเขียนข้อมูล Logic "0" ขณะที่ Cell เก็บข้อมูล Logic "1" และ Logic "0" อยู่

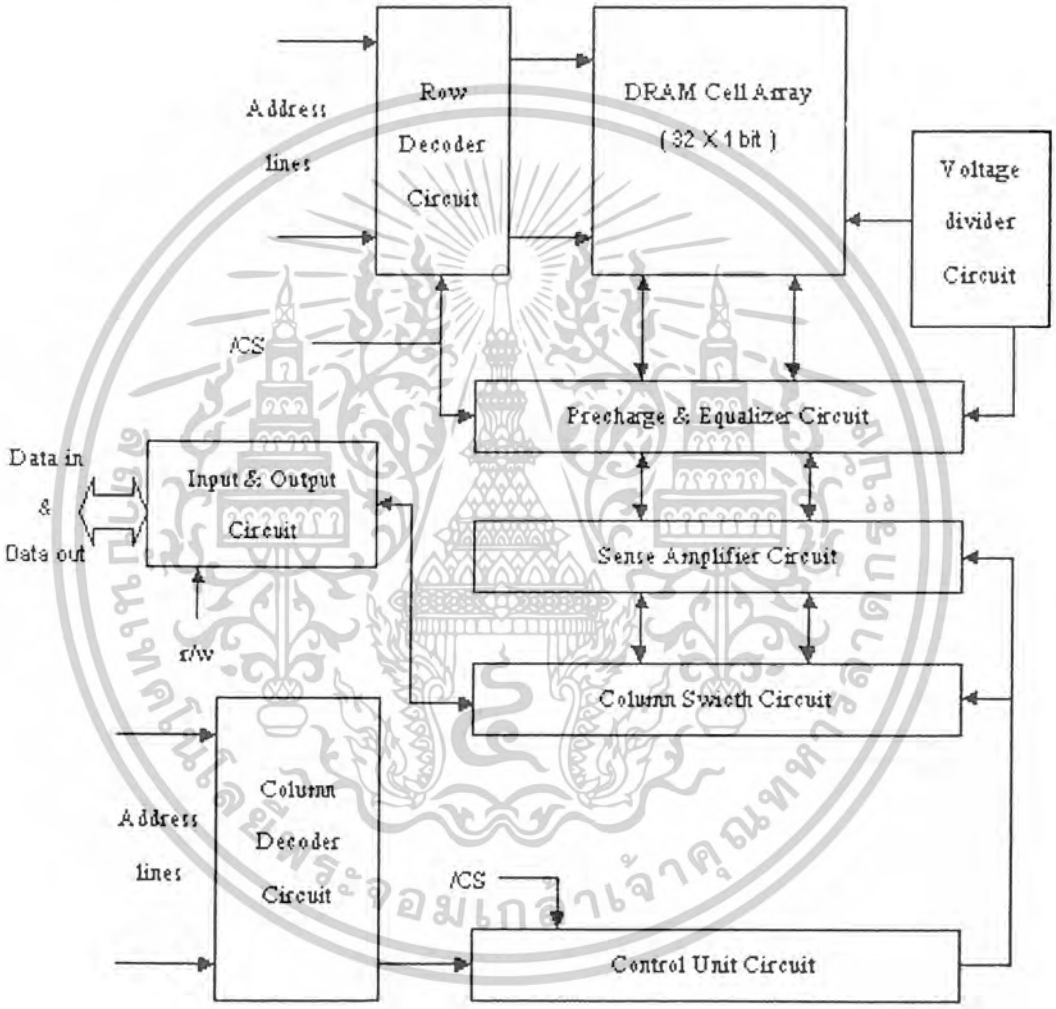
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) การชดเชยแรงดัน (refresh) เป็นการปรับระดับแรงดันที่อยู่ใน C_s ขณะที่ CPU ไม่ได้ทำการอ่านหรือเขียนเป็นเวลานานๆ ข้อมูลที่อยู่ใน Cell อาจเกิดการสูญหายได้เนื่องจากแรงดันที่เก็บอยู่ในตัวเก็บประจุเกิดการรั่วไหลออกสู่ภายนอก ถ้า Cell เก็บข้อมูล Logic "1" ก็จะทำให้ข้อมูลผิดพลาดได้ แต่ถ้า Cell เก็บข้อมูล Logic "0" จะไม่มีผลกระทบมากนัก การทำการ refresh หน่วยความจำจะทำในลักษณะเดียวกับ การอ่านข้อมูลในหน่วยความจำ เพียงแต่ CPU ไม่ได้นำข้อมูลที่อ่านได้ไปใช้ในการประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานและการออกแบบหน่วยความจำไดนามิคแรม DRAM

รูปที่ 3.1 แสดงบล็อกไดอะแกรมของหน่วยความจำไดนามิคแรม (DRAM) ซึ่งในหัวข้อต่อไปจะแสดงรายละเอียดวงจร การทำงาน และการออกแบบวงจรบางส่วน



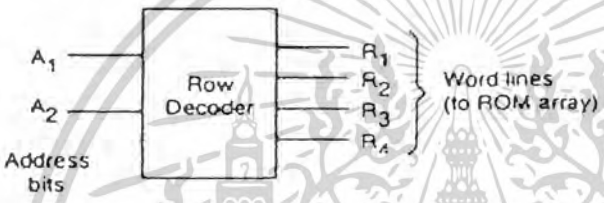
รูปที่ 3.1 บล็อกไดอะแกรมของหน่วยความจำไดนามิคแรม (DRAM)

ในโครงงานนี้วงจรส่วนใหญ่จะอยู่ในรูปของ Schematic และมีการวิเคราะห์การทำงานของวงจรที่ได้ออกแบบไว้ด้วยโปรแกรม T-Spice ซึ่งการวิเคราะห์การทำงานของวงจรจะจำลองสัญญาณต่างๆ ที่ป้อนให้กับหน่วยความจำ DRAM ทั้งหมดโดยใช้เครื่องมือที่มีอยู่ภายในวงจร T-Spice การวิเคราะห์นั้นจะเริ่มจากวงจรย่อยๆ ก่อนจากนั้นก็นำวงจรย่อยๆมาประกอบเป็นหน่วยความจำ DRAM แล้วทำการวิเคราะห์การทำงานอีกครั้ง เพื่อที่จะได้วงจรที่มีความถูกต้องมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

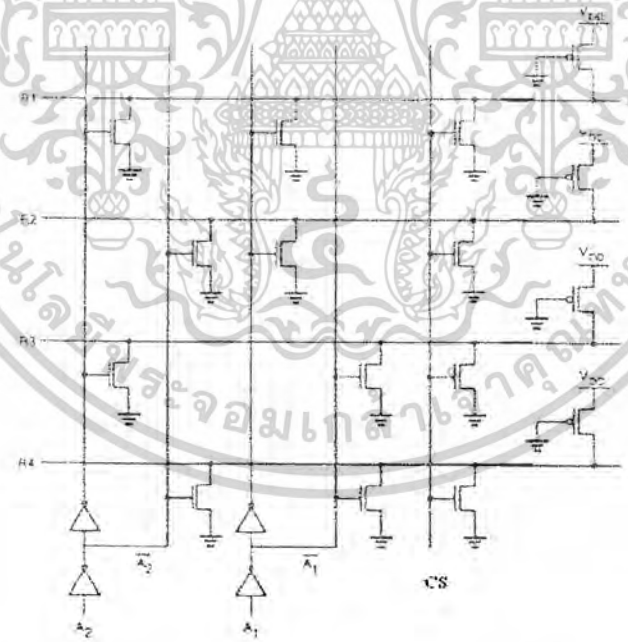
3.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)

วงจรถอดรหัสแนวนอน เป็นวงจรที่ทำหน้าที่เลือกตำแหน่งหรือพื้นที่ในการเก็บข้อมูล เพื่อไม่ให้เกิดการซ้อนทับกันของข้อมูลทางด้านแนวนอน ซึ่งสัญญาณที่ใช้ควบคุมการเลือกตำแหน่ง เป็นสัญญาณที่ส่งมาจาก CPU และเรียกสัญญาณนี้ว่า Address สัญญาณที่ป้อนให้กับวงจรถอดรหัสทางแนวนอนจะเป็น Address ที่มีบิทต่ำกว่าบิทที่ป้อนให้วงจรถอดรหัสทางแนวตั้ง (Column Decoder) เช่น มี Address จำนวน 5 เส้น สัญญาณตั้งแต่ Address (A_0-A_2) เป็นสัญญาณที่ถูกป้อนเข้าไปในวงจรถอดรหัสทางแนวนอน เป็นต้น สัญญาณที่ออกจากวงจรถอดรหัสทางแนวนอจะขึ้นอยู่กับสัญญาณ input ที่ป้อนให้กับวงจร ซึ่งจำนวนสายสัญญาณที่ออกทาง output เป็นกำลังสองของ input (Word lines = 2^N ; N = จำนวน input และ Word Lines = จำนวน output) สัญญาณที่ออกจากวงจรถอดรหัสทางแนวนอนจะป้อนให้กับวงจร DRAM Cell โดยตรง



A_1	A_2	R_1	R_2	R_3	R_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

รูปที่ 3.2 แสดงตารางสภาวะของวงจร Row decode สำหรับ 2 address bits และ 4 word lines



รูปที่ 3.3 แสดงวงจร Row decode ขนาด 2 address bits และ 4 word lines

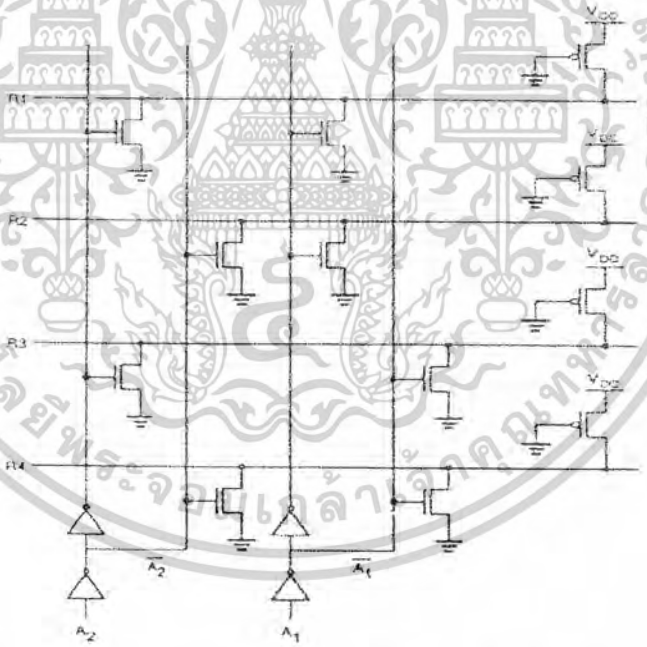
การทำงานของวงจรถอดรหัสทางแนวนอน (Row Decoder) เมื่อสัญญาณ /CS มีระดับเป็น Logic เป็น "1" สัญญาณที่ A_1 และ A_2 จะมีระดับเป็น Logic "0" หรือ "1" ก็ตามสัญญาณ output จะมีระดับเป็น logic "0" ตลอด เนื่องจาก NMOS ที่ต่ออยู่กับสัญญาณ /CS อยู่ในสภาวะ ON และ PMOS ถูกไบอัสให้ทำงานในสภาวะ Linear การทำงานในย่านนี้ PMOS เหมือนเป็นตัวต้านทานในวงจรแทน จึงเหมือนกับว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน VDD ถูกช็อตลงกราวนด์ทำให้แรงดันที่ output ของวงจรมีระดับเป็น Logic "0" เมื่อ /CS มีระดับ Logic เป็น "0" สัญญาณที่ output จะขึ้นอยู่กับระดับ Logic ของ A_1 และ A_2 เช่น A_1 และ A_2 มีระดับ Logic เป็น "0" สัญญาณที่ R_1 มีระดับ Logic เป็น "1" ส่วนที่ R_2, R_3, และ R_4 มีระดับ Logic เป็น "0" เป็นต้น

3.2 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)

วงจรถอดรหัสทางแนวตั้ง เป็นวงจรที่ทำหน้าที่เลือกตำแหน่งในการเก็บข้อมูลทางแนวตั้ง สัญญาณ output ของวงจรจะป้อนให้กับวงจรควบคุม (Control Unit) เพื่อใช้ควบคุมวงจร DRAM ให้ทำงานได้ถูกต้อง สัญญาณ Address ที่ CPU ส่งมาวงจรถอดรหัสทางแนวตั้งจะถูกป้อนด้วยสัญญาณตำแหน่ง Address ที่มีนัยสำคัญสูงกว่าวงจรถอดรหัสทางแนวนอน เช่น มี Address จำนวน 5 เส้น สัญญาณตั้งแต่ Address (A_3-A_4) เป็นสัญญาณที่ถูกป้อนเข้าไปในวงจรถอดรหัสทางแนวตั้งเป็นต้น สัญญาณที่ออกจากวงจรถอดรหัสทางแนวตั้งจะขึ้นอยู่กับสัญญาณ input ที่ป้อนให้กับวงจร ซึ่งจำนวนสายสัญญาณที่ออกทาง output เป็นกำลังสองของ input (Bit lines = 2^M ; M = จำนวน input และ Bit Lines = จำนวน output)



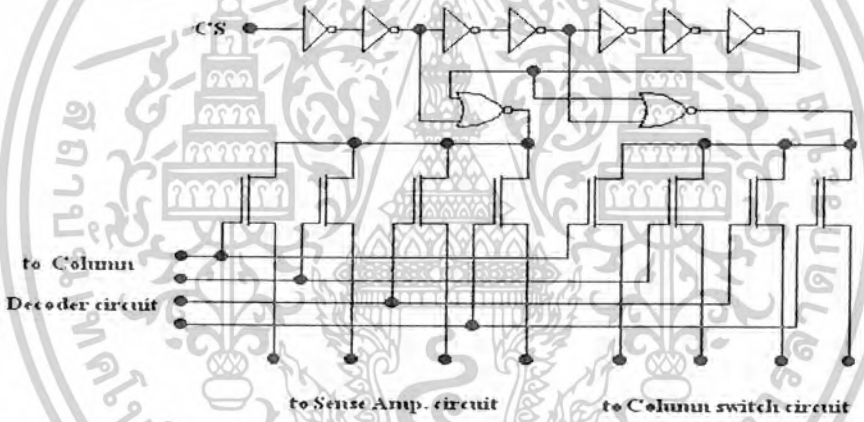
รูปที่ 3.4 แสดงวงจร Column decode ขนาด 2 address bits และ 4 word lines

เนื่องจากวงจรถอดรหัสทางแนวตั้ง (Column Decoder) ใช้วงจร NOR-based decoder array เช่นเดียวกับวงจรถอดรหัสทางแนวนอน การทำงานของวงจรจะเหมือนกับวงจรถอดรหัสทางแนวนอน แตกต่างกันตรงที่วงจรถอดรหัสทางแนวตั้งจะไม่มีสัญญาณ /CS ป้อนให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรควบคุม (Control Unit)

เป็นวงจรที่ทำหน้าที่ควบคุมสัญญาณในวงจร DRAM ให้ทำงานตามเงื่อนไขที่กำหนด เนื่องจากในการอ่านหรือเขียนข้อมูล DRAM จะมีสัญญาณหลายสัญญาณที่ใช้ในการอ่านหรือเขียนข้อมูล จึงจำเป็นต้องควบคุมสัญญาณเหล่านี้ให้ทำงานอย่างถูกต้อง ในที่นี้สัญญาณที่ถูกควบคุมมีอยู่สองสัญญาณคือ สัญญาณที่ควบคุมการทำงานของวงจร Sense Amp. และ วงจร Column switch ในโครงงานนี้จะใช้ Logic gate อยู่ 2 ชนิดคือ CMOS Inverter gate และ NOR gate โดย Inverter gate ทำหน้าที่เป็นวงจรหน่วงเวลา เพื่อที่จะทำให้มีการส่งสัญญาณได้ถูกต้อง ส่วน NOR gate จะเป็นวงจรควบคุมระดับ logic ให้เป็น "0" หรือให้เป็น "1" ตามการทำงานของวงจร Sense Amp. และ วงจร Column switch และยังมีวงจร NMOS Transmission ทำหน้าที่ส่งผ่านสัญญาณให้ถูกต้องตามสัญญาณ Address โดยวงจร NMOS Transmission จะถูกควบคุมด้วยวงจรถอดรหัสทางแนวตั้ง (Column Decoder)



รูปที่ 3.5 แสดงวงจรควบคุม (Control Unit)

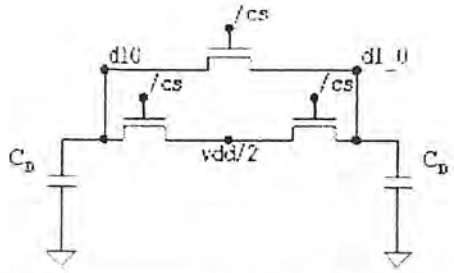
3.4 วงจร Precharge & Equalizer

เป็นวงจรที่ทำหน้าที่ทำให้ระดับแรงดันที่อยู่ที่ Data Line (DL) และ Inverse Data Line (/DL) ให้มีระดับแรงดันที่เท่ากัน (Vdd/2) เนื่องจากป้องกันการผิดพลาดในขณะที่ทำการอ่านข้อมูล วงจรนี้จะต้องทำงานก่อนที่จะมีสัญญาณการอ่านหรือเขียนข้อมูลจะเกิดขึ้น

การทำงานของวงจร Precharge & Equalizer เป็นวงจรที่ไม่จำเป็นที่จะต้องควบคุมการทำงานด้วยวงจรควบคุม (Control Unit) เนื่องจากการทำงานของวงจร Precharge & Equalizer ภายในวงจร DRAM สามารถทำงานได้พร้อมกันทุกๆ Data Line (DL) และ Inverse Data Line (/DL) ที่มีอยู่ใน DRAM สัญญาณที่ควบคุมการทำงานของวงจร Precharge & Equalizer คือสัญญาณ /CS ซึ่งก่อนที่จะทำการอ่านหรือเขียนสัญญาณ /CS มีระดับ logic "1" ตลอด ทำให้วงจร Precharge & Equalizer ทำงานตลอดเช่นกัน ระดับสัญญาณทุกๆ Data Line (DL) และ Inverse Data Line (/DL) ที่มีอยู่ใน DRAM ก็ระดับแรงดันที่เท่ากัน (Vdd/2) ตลอดเช่นกัน จนกว่าสัญญาณ /CS มีระดับ logic "0" ซึ่งก็คือการที่ CPU ต้องการอ่านหรือเขียนข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

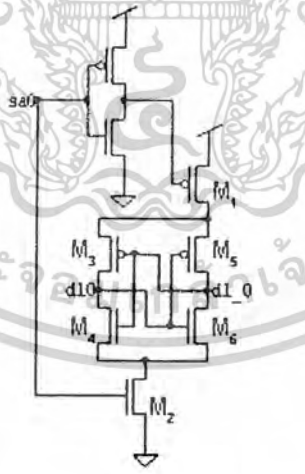
มูล ในขณะเดียวกันวงจร Precharge & Equalizer ก็จะหยุดทำงาน และจะทำงานอีกครั้ง เมื่อ CPU ไม่ต้องการอ่านหรือเขียนข้อมูล ซึ่งในขณะนี้สัญญาณ /CS มีระดับ logic "1"



รูปที่ 3.6 แสดงวงจร Precharge & Equalizer

3.5 วงจรขยาย (Sense Amplifier)

เป็นวงจรที่สำคัญอีกวงจรหนึ่งที่ทำหน้าที่ขยายระดับแรงดัน ที่มีความแตกต่างของระดับแรงดันที่มีค่าน้อยๆ ที่เกิดขึ้นระหว่าง Data Line (DL) และ Inverse Data Line (/DL) ขณะที่ทำการอ่านหรือเขียนข้อมูล เพื่อที่จะทำให้ระดับแรงดันที่ Data Line (DL) และ Inverse Data Line (/DL) ที่เกิดขึ้นมีค่าเป็น ระดับ logic "1" หรือ ระดับ logic "0" ตามผลที่ทำการอ่านหรือเขียนข้อมูล ใน DRAM Cell



รูปที่ 3.7 แสดงวงจรขยาย (Sense Amplifier)

การทำงานของวงจร จากที่ได้อธิบายไว้ข้างต้นว่าในขณะที่ก่อนที่ทำการอ่านหรือเขียนข้อมูล สัญญาณ /CS มีระดับ logic "1" ตลอด ทำให้วงจร Precharge & Equalizer ทำงานระดับแรงดันที่ Data Line (DL) และ Inverse Data Line (/DL) มีค่า VDD/2 เมื่อสัญญาณ /CS มีระดับ logic "0" วงจรถอดรหัสทางแนวนอน (Row Decoder) จะมีสัญญาณออกที่ output ตามสัญญาณ Address ที่ส่งสัญญาณมาจาก CPU เช่น CPU ส่งสัญญาณ Address มีระดับสัญญาณเป็นระดับ logic "0" ทั้งหมด ก็จะทำให้วงจร Transition ของ

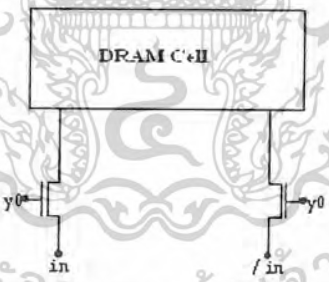
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

DRAM Cell ที่ตำแหน่ง Cell (0) ทำงาน Cell (0) ที่ต่ออยู่กับ Data Line (DL) ทำให้แรงดันที่ถูกเก็บอยู่ใน Cell (0) ทำการ charge ประจุจาก Cell (0) ไปที่ Data Line (DL) ถ้าก่อนหน้านี้ Cell (0) เก็บข้อมูลที่มีระดับ logic "1" อยู่ ทำให้ระดับแรงดันที่ Data Line (DL) มีระดับแรงดันที่สูงกว่า Inverse Data Line (/DL) แต่มีระดับแรงดันที่ต่างกับไม่มากนัก จากนั้นจะมีสัญญาณจากวงจรควบคุมสัญญาณ (Control Unit) โดยจะถูกควบคุมการเลือกตำแหน่งทางแนวตั้งโดยวงจรถอดรหัสทางแนวตั้ง (Column Decoder) ก็จะทำให้วงจรขยาย (Sense Amplifier) ทำงาน M_1 และ M_2 อยู่ในสภาวะ ON สัญญาณที่ขา Gate ของ M_5 และ M_6 มีระดับแรงดันสูง ทำให้ M_6 อยู่ในสภาวะ ON ส่วน M_5 อยู่ในสภาวะ OFF ทำให้แรงดันที่อยู่ที่ Inverse Data Line (/DL) ถูกช็อตลงกราวนด์ ทำให้ที่ขา Gate ของ M_3 และ M_4 มีระดับแรงดัน logic "0" ทำให้ M_3 อยู่ในสภาวะ ON ส่วน M_4 อยู่ในสภาวะ OFF ระดับแรงดันที่ Data Line (DL) จะมีระดับแรงดันเป็น logic "1" ซึ่งมีข้อมูลถูกต้องตามที่ Cell (0) ได้ทำการเก็บข้อมูลไว้

3.6 วงจร Column switch

เป็นวงจรที่ป้องกันไม่ให้สัญญาณ Data Line (DL) และ Inverse Data Line (/DL) ของแต่ละหลักต่อถึงกัน ซึ่งจะทำให้เกิดความผิดพลาดในการอ่านขึ้นได้ ถ้าไม่มีการแยก Data Line (DL) และ Inverse Data Line (/DL) ของแต่ละหลักออกจากกัน



รูปที่ 3.8 แสดงวงจร Column switch

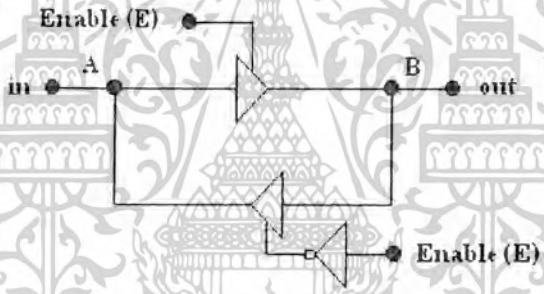
การทำงานของวงจรจะทำงานได้ก็ต่อเมื่อ มีสัญญาณ (y0) ที่ทำให้วงจร NMOS Transmission อยู่ในสภาวะ ON ซึ่งวงจร NMOS Transmission จะถูกต่ออยู่ระหว่างสาย Data Line (DL) กับสาย Input & Output ที่ต่อเข้ากับทุกๆ หลักของหน่วยความจำของวงจร ก็จะทำให้ข้อมูลไหลเข้าไปใน Data Line เมื่ออยู่ในสภาวะการเขียน และข้อมูลจะไหลออกมาที่สาย Input & Output เมื่ออยู่ในสภาวะการอ่าน สัญญาณที่ควบคุมการทำงานจะถูกส่งมาจากวงจรควบคุม (Control Unit) แล้วจะถูกวงจรถอดรหัสทางแนวตั้ง (Column Decoder) ทำการควบคุมให้ทำงานตรงกับตำแหน่ง Address ที่ CPU ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55455

3.7 วงจร Input & Output

วงจรนี้จะทำการรับข้อมูลจาก CPU เข้าไปให้ Data Line ในขณะที่ CPU ต้องการทำการเขียนข้อมูล และจะทำการส่งข้อมูลให้กับ CPU เมื่อ CPU ต้องการอ่านข้อมูลจากหน่วยความจำ เนื่องจากการอ่านหรือเขียนข้อมูลในหน่วยความจำจะทำการอ่านหรือเขียนข้อมูลไม่เป็นเวลาเดียวกันทำให้สามารถใช้สายสัญญาณ Input & Output เส้นเดียวกันได้ ดังนั้นขณะทำการอ่าน วงจรที่ทำหน้าที่เป็น Input จะอยู่ในสภาวะ High Impedance วงจรที่ทำหน้าที่เป็น Output จะนำข้อมูลจาก Data Line ส่งให้กับ CPU และในขณะที่ทำการเขียนวงจรที่ทำหน้าที่เป็น Output จะอยู่ในสภาวะ High Impedance วงจรที่ทำหน้าที่เป็น Input จะนำข้อมูลจาก CPU ส่งให้กับ Data Line ซึ่งการทำงานในลักษณะนี้เป็นการทำงานของวงจร Tri-State ที่ต่อกันในลักษณะ Input ต่อ Output และขา Enable (E) ของวงจร Tri-State จะเป็นตัวเลือกว่าจะให้วงจรที่ทำหน้าที่เป็น Input หรือ Output ทำงาน โดยการต่อ Inverter ที่ขา Enable (E) ของวงจร Tri-State Input เพื่อป้องกันการทำงานตรงกันขณะที่มีสัญญาณที่ขา Enable (E)



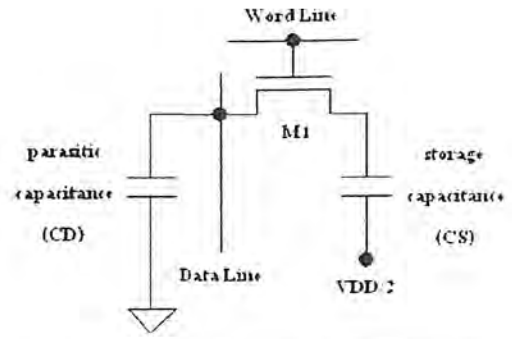
รูปที่ 3.9 แสดงวงจร Input & Output

การทำงานของวงจร เมื่อมีการป้อนสัญญาณที่ขา Enable (E) เป็น logic "0" วงจร Tri-State Input จะอยู่ในสภาวะ ON ที่โหนด B จะเป็น Input ของวงจร และที่โหนด A จะเป็น Output ของวงจรโดยที่ Output ของวงจร Tri-State Output จะเป็น High Impedance ที่โหนด B เหมือนกันว่าไม่มีวงจร Tri-State Output ต่ออยู่ในวงจรเลย และเมื่อสัญญาณที่ขา Enable (E) เป็น logic "1" วงจร Tri-State Input จะอยู่ในสภาวะ OFF ที่โหนด B จะเป็น Output ของวงจร Tri-State Output ที่อยู่ในสภาวะ ON และที่โหนด Aจะเป็น Input ทำงานเป็น Output ของวงจร

3.8 หน่วยเก็บข้อมูล (DRAM Cell)

วงจรที่สำคัญที่สุดใช้เก็บข้อมูลจะประกอบด้วยทรานซิสเตอร์ ต่อเป็นวงจร NMOS Transmission ทำหน้าที่ส่งผ่านข้อมูล และตัวเก็บประจุ (Cell storage capacitance ; C_S) ทำหน้าที่ในการเก็บข้อมูล และข้อมูลที่ถูกเก็บจะมีอยู่ 2 ระดับคือ logic "0" และ logic "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงหน่วยเก็บข้อมูล (DRAM Cell)

การทำงานของวงจรจะทำงานสัมพันธ์กับวงจรต่างๆ ที่กล่าวไปแล้วข้างต้นในที่นี้จะอธิบายเฉพาะส่วนของ DRAM Cell เท่านั้น ในการทำงานสามารถแบ่งได้เป็น 4 สภาวะคือ

1. สภาวะทำการเขียนข้อมูลระดับ logic "1" (Write "1") ในขณะนี้สัญญาณ Word Line ที่ถูกควบคุมด้วยวงจรถอดรหัสทางแนวนอนมีระดับ logic "1" ระดับแรงดันที่อยู่ใน parasitic capacitance (C_D) ซึ่งก่อนหน้านี้จะมีค่าเท่ากับ VDD/2 โดยเกิดจากการทำงานของวงจร Precharge & Equalizer เมื่อ M_1 ทำงานอยู่ในสภาวะ ON ระดับแรงดันที่อยู่ใน C_D มีค่าสูงขึ้นขณะที่ C_s มีระดับเป็น logic "1" และมีค่าลดลงเมื่อ C_s มีระดับเป็น logic "0" จากนั้นวงจรขยาย (Sense Amplifier) ทำงานระดับแรงดันที่ Data Line (DL) มีระดับ logic "1" เมื่อ C_sมีระดับ logic "1" และ Data Line (DL) มีระดับ logic "0" เมื่อ C_s มีระดับ logic "0" ต่อมาวงจร Column swicth ทำงานทำให้ข้อมูลที่มีระดับ logic "1" ที่ CPU ส่งมาสามารถผ่านเข้าไปใน Data Line (DL) ถ้า C_D และ C_s มีระดับ logic "1" อยู่แล้วถือว่าข้อมูลที่ทำการเขียนถูกต้อง แต่ถ้าข้อมูลที่ C_Dและ C_s มีระดับ logic "0" ข้อมูลที่ส่งมาจาก CPU จะทำการเปลี่ยนให้เป็น logic "1" และมีวงจรขยาย (Sense Amplifier) ช่วยทำให้ระดับ logic "0" เปลี่ยนเป็น logic "1" ได้เร็วขึ้น จากนั้นวงจรควบคุม (Control Unit) ทำการส่งสัญญาณเพื่อทำการ OFF วงจรขยาย (Sense Amplifier) และ วงจร Column switch ในขณะเดียวกัน /CS ก็มี logic "1" ทำให้ M_1อยู่ในสภาวะ OFF เป็นการสิ้นสุดการเขียนขอมูล

2. สภาวะทำการเขียนข้อมูลระดับ logic "0" (Write "0") ในขณะนี้สัญญาณ Word Line มีระดับ logic "1" ระดับแรงดันที่อยู่ใน parasitic capacitance (C_D) ซึ่งก่อนหน้านี้จะมีค่าเท่ากับ VDD/2 โดยเกิดจากการทำงานของวงจร Precharge & Equalizer เมื่อ M_1 ทำงานอยู่ในสภาวะ ON ระดับแรงดันที่อยู่ใน C_D มีค่าสูงขึ้นขณะที่ C_s มีระดับ logic "1" และมีค่าลดลงเมื่อ C_s มีระดับ logic "0" จากนั้นวงจรขยาย (Sense Amplifier) ทำงานระดับแรงดันที่ Data Line (DL) มีระดับ logic "1" เมื่อ C_s มีระดับเป็น logic "1" และ Data Line (DL) มีระดับ logic "0" เมื่อ C_s มีระดับเป็น logic "0" ต่อมาวงจร Column swicth ทำงานทำให้ข้อมูลที่มีระดับ logic "0" ที่ CPU ส่งมาสามารถผ่านเข้าไปใน Data Line (DL) ถ้า C_D และ C_s มีระดับ logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"0" อยู่แล้วถือว่าข้อมูลที่ทำการเขียนถูกต้อง แต่ถ้าข้อมูลที่ C_Dและ C_s มีระดับ logic "1" ข้อมูลที่ส่งมาจาก CPU จะทำการเปลี่ยนให้เป็น logic "0" และมีวงจรขยาย (Sense Amplifier) ช่วยทำให้ระดับ logic "1" เปลี่ยนเป็น logic "0" ได้เร็วขึ้น

จากนั้นวงจรควบคุม (Control Unit) ทำการส่งสัญญาณเพื่อทำการ OFF วงจรขยาย (Sense Amplifier) และวงจร Column switch ในขณะเดียวกัน /CS ก็มี logic "1" ทำให้ M_1อยู่ในสภาวะ OFF เป็นการสิ้นสุดการเขียนขอมูล

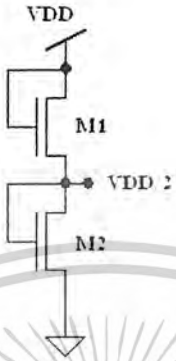
3. สภาวะทำการอ่านข้อมูลระดับ logic "1" (Read "1") ในขณะนี้สัญญาณ Word Line ที่ถูกควบคุมด้วยวงจรถอดรหัสทางแนวนอนมีระดับ logic "1" ระดับแรงดันที่อยู่ใน parasitic capacitance (C_D) ซึ่งก่อนหน้านี้จะมีค่าเท่ากับ VDD/2 โดยเกิดจากการทำงานของวงจร Precharge & Equalizer เมื่อ M_1 ทำงานอยู่ในสภาวะ ON ระดับแรงดันที่อยู่ใน C_D มีค่าสูงขึ้นขณะที่ C_s มีระดับเป็น logic "1" จากนั้นวงจรขยาย (Sense Amplifier) ทำงานระดับแรงดันที่ Data Line (DL) มีระดับ logic "1" เมื่อ C_s มีระดับ logic "1" ต่อมาวงจร Column swicth ทำงานทำให้ข้อมูลที่มีระดับ logic "1" ถูกส่งไปที่วงจร Input & Output เพื่อที่จะส่งข้อมูลให้กับ CPU จากนั้นวงจรควบคุม (Control Unit) ทำการส่งสัญญาณเพื่อทำการ OFF วงจรขยาย (Sense Amplifier) และ วงจร Column switch ในขณะเดียวกัน /CS ก็มี logic "1" ทำให้ M_1อยู่ในสภาวะ OFF เป็นการสิ้นสุดการอ่านขอมูล

4. สภาวะทำการอ่านข้อมูลระดับ logic "0" (Read "0") ในขณะนี้สัญญาณ Word Line ที่ถูกควบคุมด้วยวงจรถอดรหัสทางแนวนอนมีระดับ logic "1" ระดับแรงดันที่อยู่ใน parasitic capacitance (C_D) ซึ่งก่อนหน้านี้จะมีค่าเท่ากับ VDD/2 โดยเกิดจากการทำงานของวงจร Precharge & Equalizer เมื่อ M_1 ทำงานอยู่ในสภาวะ ON ระดับแรงดันที่อยู่ใน C_D มีค่าลดลงเมื่อ C_s มีระดับเป็น logic "0" จากนั้นวงจรขยาย (Sense Amplifier) ทำงานระดับแรงดันที่ Data Line (DL) มีระดับ logic "0" เมื่อ C_s มีระดับ logic "0" ต่อมาวงจร Column swicth ทำงานทำให้ข้อมูลที่มีระดับ logic "0" ถูกส่งไปที่วงจร Input & Output เพื่อที่จะส่งข้อมูลให้กับ CPU จากนั้นวงจรควบคุม (Control Unit) ทำการส่งสัญญาณเพื่อทำการ OFF วงจรขยาย (Sense Amplifier) และ วงจร Column switch ในขณะเดียวกัน /CS ก็มี logic "1" ทำให้ M_1อยู่ในสภาวะ OFF เป็นการสิ้นสุดการอ่านขอมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 วงจรแบ่งแรงดัน Voltage divider

เป็นวงจรที่ทำหน้าที่แบ่งแรงดันจาก VDD ให้มีค่าเป็น VDD/2 เพื่อจ่ายให้กับวงจร Precharge & Equalizer และ หน่วยเก็บข้อมูล (DRAM Cell)

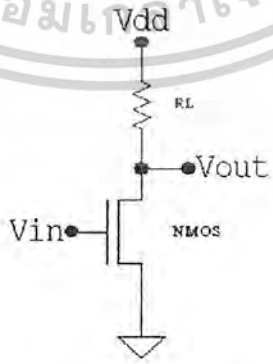


รูปที่ 3.11 แสดงวงจรแบ่งแรงดัน Voltage divider

3.10 วงจรพื้นฐานและสมการที่ใช้ในการออกแบบ

3.10.1 วงจร Resistor Loaded NMOS Inverter เป็นวงจร Inverter ที่ประกอบด้วย NMOS และโหลดแบบ Resistor, R_L

การทำงานของวงจร เมื่อป้อน Logic "1" เข้าที่ Vin ของวงจรทำให้ NMOS อยู่ในสภาวะ ON และ NMOS ทำการ Discharge กระแสจากโหลดลงสู่กราวนด์ทำให้ Vout มีระดับเป็น Logic "0" และเมื่อป้อน Logic "0" เข้าที่ Vin ของวงจร NMOS อยู่ในสภาวะ OFF ทำให้กระแสจาก Vdd ไหลผ่าน R_L แล้วทำการ charge กระแสให้กับโหลด ซึ่งทำให้ที่ Vout มีระดับเป็น Logic "1"



รูปที่ 3.12 แสดงวงจร Resistor Loaded NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ย่านการทำงานของ NMOS และ PMOS

NMOS	PMOS
Cutoff = $V_{GS,N} \le V_{TN}$ $I_{D,N}(OFF) = 0$	Cutoff = $V_{SG,P} \le -V_{TP}$ $I_{D,P}(OFF) = 0$ (3.1)
Linear = $V_{GS,N} \ge V_{TN}$ และ $V_{DS,N} \le V_{GS,N} - V_{TN}$ $I_{D,N}(LIN) = k_N\left[\left(V_{GS,N} - V_{TN}\right)V_{DS,N} - \frac{V_{DS,N}^2}{2}\right]$	Linear = $V_{SG,P} \ge -V_{TP}$ และ $V_{SD,P} \le V_{SG,P} + V_{TP}$ $I_{D,P}(LIN) = k_P\left[\left(V_{SG,P} + V_{TP}\right)V_{SD,P} - \frac{V_{SD,P}^2}{2}\right]$ (3.2)
Saturation = $V_{GS,N} \ge V_{TN}$ และ $V_{DS,N} \ge V_{GS,N} - V_{TN}$ $I_{D,N}(SAT) = \frac{k_N}{2}\left(V_{GS,N} - V_{TN}\right)^2$	Saturation = $V_{SG,P} \ge -V_{TP}$ และ $V_{SD,P} \ge V_{SG,P} + V_{TP}$ $I_{D,P}(SAT) = \frac{k_P}{2}\left(V_{SG,P} + V_{TP}\right)^2$ (3.3)

ตัวแปรต่างๆ ที่ใช้ในสมการ

-Device tranconductance parameter, $k = k'\left(\frac{W}{L}\right)$

-Process tranconductance parameter, $k' = \mu C_{OX}$

-Electran mobility = μ

-Gate Capacitance per Unit Area, $C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}}$

-Permittivity = ε_{OX}

-Thickness of gate oxide = t_{OX}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณหาค่า VTC ของวงจร Inverter ที่มีโหลดเป็นตัวต้านทาน

Output High Voltage = V_{OH}

$$V_{OH} = V_{DD} \tag{3.4}$$

Output Low Voltage = V_{OL}

$$V_{OL} \approx \frac{V_{DD}}{kR_L\left(V_{DD} - V_T\right)+1} \tag{3.5}$$

Input Low Voltage = V_{IL}

$$V_{IL} = V_T + \frac{1}{kR_L} \tag{3.6}$$

Input High Voltage = V_{IH}

$$3\frac{k}{8}\left(V_{IH} - V_T\right)^2 + \frac{1}{2R_L}\left(V_{IH} - V_T\right) - \frac{V_{DD}}{R_L} = 0 \tag{3.7}$$

Midpoint Voltage = V_M

$$\frac{k}{2}V_M^2 + \left(\frac{1}{R_l} - kV_T\right)V_M + \left(\frac{k}{2}V_T^2 - \frac{V_{DD}}{R_L}\right) = 0 \tag{3.8}$$

Output Fall Time = t_f

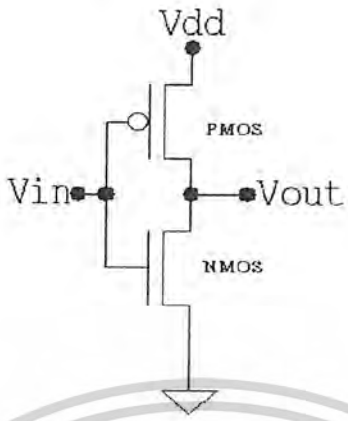
$$t_f = \frac{C_L}{W/L}\left[\frac{2\left(V_T + 0.1V_{OL} - 0.1V_{DD}\right)}{k'\left(V_{DD} - V_T\right)^2} + \frac{1}{k'\left(V_{DD} - V_T\right)}\ln\left(\frac{1.9V_{DD} - 2V_T - 0.9V_{OL}}{0.1V_{DD} + 0.9V_{OL}}\right)\right] \tag{3.9}$$

Output Rise Time = t_r

$$t_r = R_L C_L \ln\left[\frac{0.9V_{DD} - 0.9V_{OL}}{0.1V_{DD} - 0.1V_{OL}}\right] \tag{3.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.2 วงจร CMOS Inverter



รูปที่ 3.13 แสดงวงจร CMOS Inverter

การทำงานของวงจร เมื่อป้อน Vin เป็น Logic "1" เข้าที่วงจรทำให้ NMOS อยู่ในสภาวะ ON และ PMOS อยู่ในสภาวะ OFF ทำให้ NMOS นำกระแสก็จะทำให้ Vout มีระดับเป็น Logic "0" และเมื่อป้อน Vin เป็น Logic "0" NMOS อยู่ในสภาวะ OFF และ PMOS อยู่ในสภาวะ ON ทำให้กระแสจาก Vdd ไหลผ่าน PMOS ทำให้ที่ Vout มีระดับเป็น Logic "1"

การคำนวณหาค่า VTC ของวงจร CMOS Inverter

Output High Voltage = V_{OH}

$$V_{OH} = V_{DD} \tag{3.11}$$

Output Low Voltage = V_{OL}

$$V_{OL} = GND = 0 \tag{3.12}$$

Input Low Voltage = V_{IL}

$$V_{IL} = \frac{2V_{OUT} - V_{DD} + V_{TP} + \frac{k_N}{k_P} V_{TN}}{1 + \frac{k_N}{k_P}} \tag{3.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input High Voltage = V_{IH}

$$V_{IH} = \frac{V_{DD} + V_{TP} + \frac{k_N}{k_P}\left(V_{TN} + 2V_{OUT}\right)}{1 + \frac{k_N}{k_P}} \tag{3.14}$$

Midpoint Voltage = V_M

$$V_M = \frac{V_{DD} + V_{TP} + V_{TN}\sqrt{\frac{k_N}{k_P}}}{1 + \sqrt{\frac{k_N}{k_P}}} \tag{3.15}$$

Output Fall Time = t_f

$$t_f = \frac{C_L}{W_N/L_N}\left[\frac{2\left(V_{TN} - 0.1V_{DD}\right)}{k'_N\left(V_{DD} - V_{TN}\right)^2} + \frac{1}{k'_N\left(V_{DD} - V_{TN}\right)}\ln\left(\frac{1.9V_{DD} - 2V_{TN}}{0.1V_{DD}}\right)\right] \tag{3.16}$$

Output Rise Time = t_r

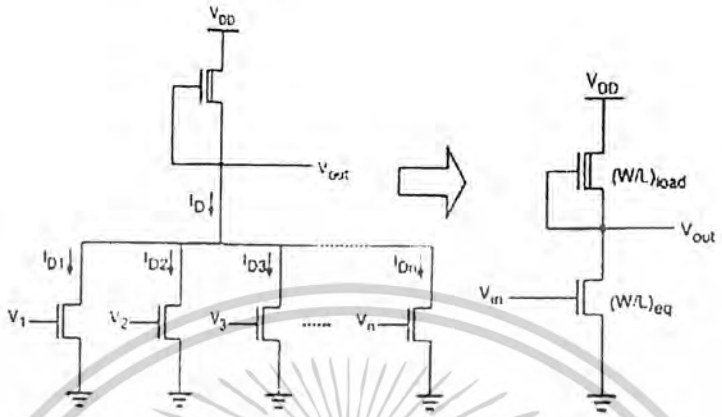
$$t_r = \frac{-2C_L\left(V_{TP} + 0.1V_{DD}\right)}{k_P\left(V_{DD} + V_{TP}\right)^2} + \frac{C_L}{k_P\left(V_{DD} + V_{TP}\right)}\ln\left(\frac{1.9V_{DD} + 2V_{TP}}{0.5V_{DD}}\right) \tag{3.17}$$

Load capacitance, C_L

$$C_L = \left(W'_N L'_N + W'_P L'_P\right)C_{OX} \tag{3.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.3 วงจร NOR Gate with Multiple Inputs



รูปที่ 3.14 แสดงวงจร NOR Gate with Multiple Inputs

การคำนวณหาค่ากระแสของ NMOS ของวงจร NOR Gate with Multiple Inputs

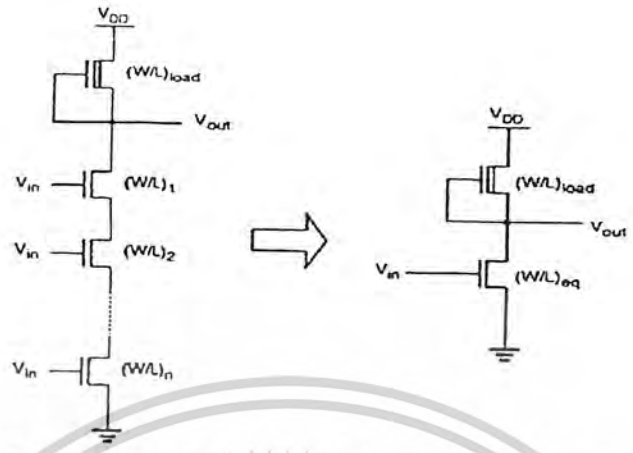
$$I_D = \begin{cases} \dfrac{\mu_n C_{OX}}{2}\left(\sum_{k(on)}\left(\dfrac{W}{L}\right)_k\right)\left[2\left(V_{GS}-V_{T0}\right)V_{out}-V_{out}^2\right] & \text{Linear} \\ \dfrac{\mu_n C_{OX}}{2}\left(\sum_{k(on)}\left(\dfrac{W}{L}\right)_k\right)\left(V_{GS}-V_{T0}\right)^2 & \text{Saturation} \end{cases} \qquad (3.19)$$

การคำนวณหาค่าขนาด (W/L) ของวงจร NOR Gate with Multiple Inputs

$$\left(\frac{W}{L}\right)_{equivalent} = \sum_{k(on)}\left(\frac{W}{L}\right)_k \qquad (3.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.4 วงจร NAND Gate with Multiple Inputs



รูปที่ 3.15 แสดงวงจร NAND Gate with Multiple Inputs

การคำนวณหาค่ากระแสของ NMOS ของวงจร NAND Gate with Multiple Inputs

$$I_D = \frac{\mu_n C_{OX}}{2}\left(\frac{1}{\sum_{k(on)}\frac{1}{\left(\frac{W}{L}\right)_k}}\right)\cdot\begin{cases}\left[2\left(V_{in}-V_{T0}\right)V_{out}-V_{out}^2\right] & \text{Linear}\\ \left(V_{in}-V_{T0}\right)^2 & \text{Saturation}\end{cases} \tag{3.21}$$

การคำนวณหาค่าขนาด (W/L) ของวงจร NAND Gate with Multiple Inputs

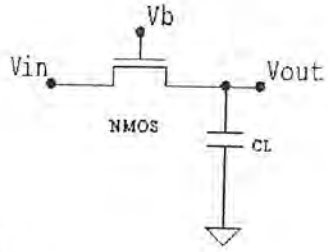
$$\left(\frac{W}{L}\right)_{equivalent} = \frac{1}{\sum_{k(on)}\frac{1}{\left(\frac{W}{L}\right)_k}} \tag{3.22}$$

เมื่อ $(W/L)_1 = (W/L)_2 = \ldots\ldots = (W/L)_n$

$$\left(\frac{W}{L}\right)_{equivalent} = \frac{1}{n}\left(\frac{W}{L}\right) \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.5 วงจร NMOS Transmission



รูปที่ 3.16 แสดงวงจร NMOS Transmission

การคำนวณหาค่าแรงดันที่โหนด Output ของ NMOS

$$V_{out}(t) = (V_{DD} - V_{Tn})\left[\frac{(t/\tau_{ch})}{1+(t/\tau_{ch})}\right] \quad (3.24)$$

$$\tau_{ch} = \frac{2C_L}{k_n(V_{DD} - V_{Tn})} \quad (3.25)$$

แรงดันที่โหนด Output มีค่าสูงสุดที่ t = 0

$$V_{out}(t=0) = V_{max} = V_{DD} - V_{Tn} \quad (3.26)$$

ช่วงเวลา Charge = t

ค่าคงที่เวลา Charge = τ_{ch}

3.11 วิธีการออกแบบวงจร DRAM

ก่อนทำการออกแบบวงจรต้องทราบก่อนว่าใช้ Process ของบริษัทอะไร และมีข้อจำกัดอะไรบ้างที่เป็นข้อจำกัดในการออกแบบ และที่สำคัญกว่านั้น ก่อนที่จะทำการออกแบบวงจรก็ควรทราบข้อบังคับในการออกแบบลวดลายด้วย ถ้าไม่ให้ความสำคัญกับข้อบังคับดังกล่าว จะทำให้สิ่งที่ออกแบบไม่สามารถนำไปออกแบบลวดลายจริงได้ ตัวอย่างเช่น ขนาด W และ L ที่เล็กที่สุดที่สามารถนำไปออกแบบลวดลายได้ และข้อกำหนดต่างๆ ที่ต้องออกแบบให้ตรง เช่น ความเร็วในการทำงาน, พื้นที่ซิลิคอน, กำลังงานไฟฟ้าที่ใช้ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11.1 การออกแบบวงจรถอดรหัสทางแนวนอนและแนวตั้ง สามารถทำการออกแบบโดยการใช้วงจร Logic gate ตามที่ศึกษามาแล้วในหัวข้อ 3.10 แต่การออกแบบโดยใช้วงจร Logic gate แบบธรรมดาจะทำให้มีจำนวนทรานซิสเตอร์มาก เมื่อนำไปออกแบบลวดลายจะทำให้ใช้พื้นที่ซิลิคอนมาก และยังทำให้ความเร็วในการทำงานของวงจรลดลงเนื่องจากเกิดการดีเลย์ของสัญญาณ เมื่อสัญญาณผ่านทรานซิสเตอร์จำนวนมาก ดังนั้นจึงได้มีการพัฒนาวงจรเพื่อลดจำนวนทรานซิสเตอร์ลง และทำให้ความเร็วในการทำงานของวงจรเพิ่มขึ้นด้วย วงจรดังกล่าวนี้คือ NOR-based decoder ซึ่งประกอบด้วย PMOS และ NMOS ต่อกันแบบวงจร NOR gate โดย PMOS ถูกไบอัสให้อยู่ในย่าน Linear ทำให้ PMOS มีลักษณะเป็นตัวต้านทานมีค่าเท่ากับ R_{ON} จากสมการที่ 3.28 จะเห็นว่าค่า R_{ON} สามารถเปลี่ยนแปลงโดยการเปลี่ยนค่า W/L และ V_{GS} อย่างไรก็ตาม V_{GS} ถูกไบอัสด้วยค่าคงที่ทำให้ค่า R_{ON} ขึ้นอยู่กับการเปลี่ยนค่า W/L ของ PMOS

สมการวิเคราะห์หาค่าความต้านทานของ MOS ที่ทำงานย่าน Linear คือ

$$R_{ON} = \left.\frac{\partial V_{DS}}{\partial I_D}\right|_{\text{Linear,small } V_{DS}} \tag{3.27}$$

โดยจะมีค่าเท่ากับ

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L}\left(V_{GS} - V_T\right)} \tag{3.28}$$

การคำนวณหาค่า W/L ของ PMOS สามารถทำได้โดยกำหนดค่า R_{ON} ขึ้นเองค่าหนึ่งหรือกำหนดค่า W/L ของ PMOS แล้วการคำนวณหาค่า R_{ON} ก็ได้ ผู้เขียนจะเริ่มจากการกำหนดค่า W/L ของ PMOS ก่อนแล้วการคำนวณหาค่า R_{ON} โดยใช้สมการที่ 3.28 โดย μC_{ox} = k' เป็นค่า Process tranconductance parameter ซึ่งถูกกำหนดโดยบริษัทผลิต IC จาก Model ของบริษัทที่ต้องการนำ IC ไปผลิตที่บริษัทนั้น เมื่อคำนวณค่า R_{ON} ได้แล้ว ก็นำค่า R_{ON} แทนลงในสมการที่ 3.5 แล้วกำหนดให้ค่า V_{OL} ให้มีค่าต่ำกว่า V_{IL} ของจงจรถัดไป เนื่องจากวงจรที่ทำการออกแบบวงจรถูกต่อกับขา Gate ของ NMOS ดังนั้น V_{OL} ต้องมีค่าต่ำกว่า V_T ของ NMOS

สมการที่ใช้คำนวณหาค่า NMOS

$$V_{OL} \approx \frac{V_{DD}}{kR_L\left(V_{DD} - V_T\right) + 1}$$

โดยกำหนดให้ $V_{OL} = V_{T,NMOS}$

$R_L = R_{ON}$

$k = \mu C_{ox}.\ W/L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้ค่า W/L ของ NMOS และ PMOS ก็นำไปวิเคราะห์วงจรด้วยโปรแกรม T-Spice ถ้ายังไม่ได้ผลตามที่ต้องการก็ทำการปรับค่า W/L ใหม่ จนทำให้ได้ผลที่ดีที่สุด

3.11.2 การออกแบบวงจร Precharge & Equalizer เนื่องจากวงจร Precharge & Equalizer ทำหน้าที่ปรับระดับแรงดันที่ DL และ /DL ให้มีค่าเท่ากันก่อนที่จะทำการอ่านหรือเขียนข้อมูล เนื่องจากที่โหนด DL และ /DL มีตัวเก็บประจุแฝง C_D อยู่ ถ้าไม่ทำการปรับระดับแรงดันจะทำให้การอ่านข้อมูลผิดไปจากความจริงได้

การออกแบบจะต้องออกแบบให้ใช้เวลาให้การเก็บประจุของ C_D ให้มีค่าน้อย โดยใช้สมการหน่วงเวลาพื้นฐานคือ

$$\tau = RC \qquad ; \tau \text{ คือช่วงเวลาในการเก็บประจุ} \tag{3.29}$$

เมื่อใช้สมการที่ 3.28 มาคำนวณหาค่าความต้านทาน R จะเห็นว่าจะต้องเพิ่มค่า W/L ให้สูงขึ้นจะทำให้ค่าความต้านทานลดลง แทนในสมการที่ 3.29 จะทำให้เวลาในการเก็บประจุมีค่าน้อยลง หรือจะใช้สมการ I_D เมื่อ W/L มีค่าเพิ่มขึ้นค่ากระแส I_D ก็จะเพิ่มขึ้น เมื่อกระแสเพิ่มก็จะทำให้ช่วงเวลาในการเก็บประจุมีค่าน้อยลง ดังนั้นในการออกแบบควรให้ W/L มีค่ามาก แต่ต้องไม่ควรให้ W/L มีค่ามากเกินไป เนื่องจากจะเกิดตัวเก็บประจุแฝงทางด้านขา Gate จะทำให้ NMOS ทำงานช้าขณะที่อินพุทจ่ายกระแสตามปกติ

3.11.3 การออกแบบวงจรขยาย (Sense Amplifier) วงจร Sense Amp. ประกอบด้วยวงจร CMOS Inverter 2 ชุด ดังนั้นการออกแบบจะใช้วิธีเดียวกับการออกแบบ CMOS Inverter โดยผู้เขียนเริ่มจากสมการ V_M (Midpoint Voltage) ดังสมการที่ 3.15

เมื่อทราบค่าคงที่ต่างๆ แล้วก็นำไปแทนในสมการที่ 3.15 โดยกำหนดให้ V_M มีค่าเป็น $V_{DD}/2$ แล้วทำการหาอัตราส่วนของ $(W/L)_N$ และ $(W/L)_P$ แล้วแทนค่า W/L ของตัวใดตัวหนึ่ง ก็จะได้ค่า W/L อีกตัวหนึ่งทันที จากนั้นนำวงจรไปวิเคราะห์ด้วยโปรแกรม T-Spice โดยใช้หลักการเดียวกับวงจร Precharge & Equalizer ถ้ายังไม่ได้ผลตามที่ต้องการ ทำการปรับค่า W/L ใหม่ จนได้ผลที่น่าพอใจ

3.11.4 การออกแบบวงจรควบคุม (Control Unit) เป็นวงจรที่มีความสำคัญมากทำหน้าที่ควบคุมสัญญาณต่างๆ ให้มีความถูกต้องในขณะทำการอ่านและเขียนข้อมูล วงจรนี้ประกอบด้วยวงจร CMOS Inverter gate, NOR gate CMOS และ NMOS Transmission โดยวงจร CMOS Inverter gate ทำหน้าที่เป็นวงจรหน่วงสัญญาณให้ทำงานอย่างเหมาะสม ดังนั้นในการออกแบบจะต้องให้ความสำคัญมาก เมื่อพิจารณาสมการที่ 3.16 และ 3.17 การคำนวณหาค่า Output Fall Time; tf และ Output Rise Time; tr จะขึ้นอยู่กับ C_L โดยถ้า C_L มีค่ามากจะทำให้ tf และ tr มีค่ามากความเร็วในการทำงานของวงจร CMOS Inverter gate จะลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลง โดยค่า C_L สามารถคำนวณจากสมการที่ 3.18 ซึ่งจะขึ้นอยู่กับขนาด W/L ของ PMOS และ NMOS ถ้าขนาด W/L มีขนาดใหญ่ก็จะทำให้ C_L มีค่ามากขึ้น

การคำนวณหาค่า W/L ของ PMOS และ NMOS ของวงจร CMOS Inverter gate สามารถคำนวณจากสมการที่ 3.15 โดยค่า Device tranconductance parameter; k เท่ากับ k'(W/L) โดยค่า Process tranconductance parameter; k' ทราบได้จาก Model ที่จะนำวงจรไปวิเคราะห์ จากนั้นแทนค่าตัวแปรต่างๆ ลงในสมการที่ 3.15 และกำหนดให้ Midpoint Voltage; V_M มีค่าเป็น $V_{DD}/2$ ทำการแก้สมการจะได้อัตราส่วนของ W/L ของ PMOS และ NMOS จากนั้นกำหนดค่า $(W/L)_p$ หรือ $(W/L)_N$ ค่าใดค่าหนึ่งขึ้นมาก่อนแล้วนำไปแทนในอัตราส่วนของ W/L ที่คำนวณได้จากสมการที่ 3.15 ก็จะได้ค่าของ W/L อีกตัวหนึ่งมาจากนั้นนำไปวิเคราะห์วงจรด้วยโปรแกรม T-Spice ถ้าผลการทดลอง V_M ไม่เท่ากับ $V_{DD}/2$ ก็ทำการปรับค่า W/L ใหม่ จน V_M มีค่าใกล้เคียง $V_{DD}/2$ มากที่สุด เมื่อได้ค่า W/L ของ PMOS และ NMOS แล้ว ก็ต่อวงจรเป็นวงจรหน่วงเวลานำวงจรไปวิเคราะห์สัญญาณ จากนั้นทำการเพิ่มขนาด W หรือ L เมื่อต้องการหน่วงเวลาให้นานขึ้น แต่ผู้เขียนนิยมเพิ่มขนาด L เพราะสามารถสร้างลวดลายได้ง่ายกว่าการเพิ่มขนาด W ซึ่งต้องเปลี่ยนทั้งของ PMOS และ NMOS

การคำนวณหาค่า W/L ของวงจร NOR gate CMOS ทำได้โดยนำค่า W/L ของ PMOS และ NMOS ที่ได้จากการออกแบบวงจร CMOS Inverter gate แล้วทำการปรับค่า W/L อีกครั้งหนึ่ง โดยสามารถทำได้ 2 วิธีดังนี้

1. ใช้สมการที่ 3.20 โดยกำหนดค่า k ในสมการเป็นจำนวน input ของวงจรเช่น NOR gate 2 input ค่า k = 2 เมื่อแทนในสมการ 3.20 จะได้ค่า $(W/L)_N = 2(W/L)_{N,CMOS\ Inverter\ gate}$ ดังนั้นจะต้องเพิ่ม $(W/L)_p$ ให้มีค่าเพิ่มขึ้นเป็น 2 เท่า หรือลดขนาด $(W/L)_N$ ให้มีค่าลดลงเป็นครึ่งหนึ่งจากที่คำนวณได้จากวงจร CMOS Inverter gate
2. ใช้สมการที่ 3.23 โดยกำหนดค่า n ในสมการเป็นจำนวน input ของวงจรเช่น NOR gate 2 input ค่า n = 2 เมื่อแทนในสมการ 3.20 จะได้ค่า $(W/L)_p = 1/2(W/L)_{P,CMOS\ Inverter\ gate}$ ดังนั้นจะต้องเพิ่ม $(W/L)_p$ ให้มีค่าเพิ่มขึ้นเป็น 2 เท่า หรือลดขนาด $(W/L)_N$ ให้มีค่าลดลงเป็นครึ่งหนึ่งจากที่คำนวณได้จากวงจร CMOS Inverter gate

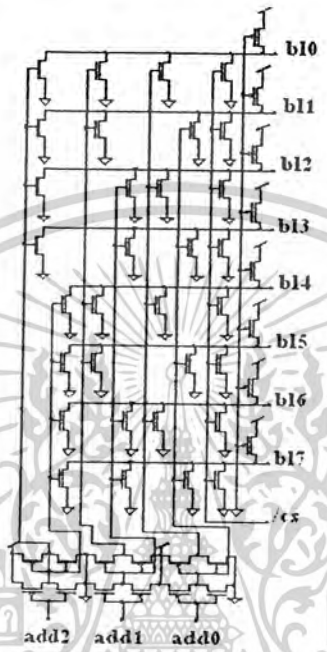
ส่วนวงจร NMOS Transmission ค่า W/L ควรออกแบบให้มีค่าน้อยๆ เพื่อที่จะทำให้วงจรทำงานได้เร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

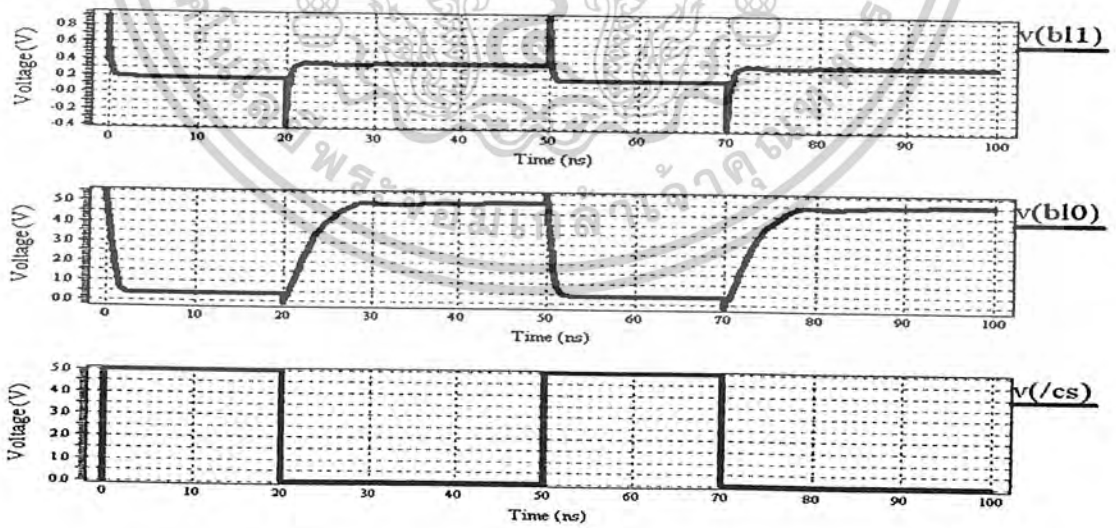
บทที่ 4

การจำลองการทำงาน และการออกแบบลวดลาย (Layout) ของจงจร

4.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)

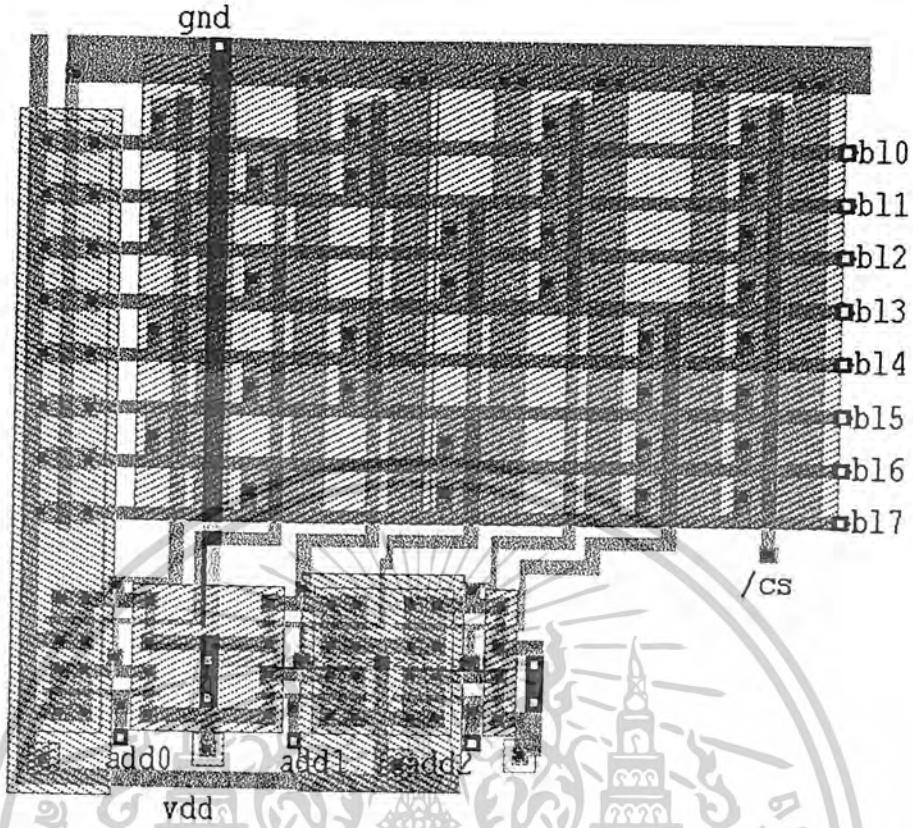


รูปที่ 4.1 วงจรถอดรหัสทางแนวนอน (Row Decoder)

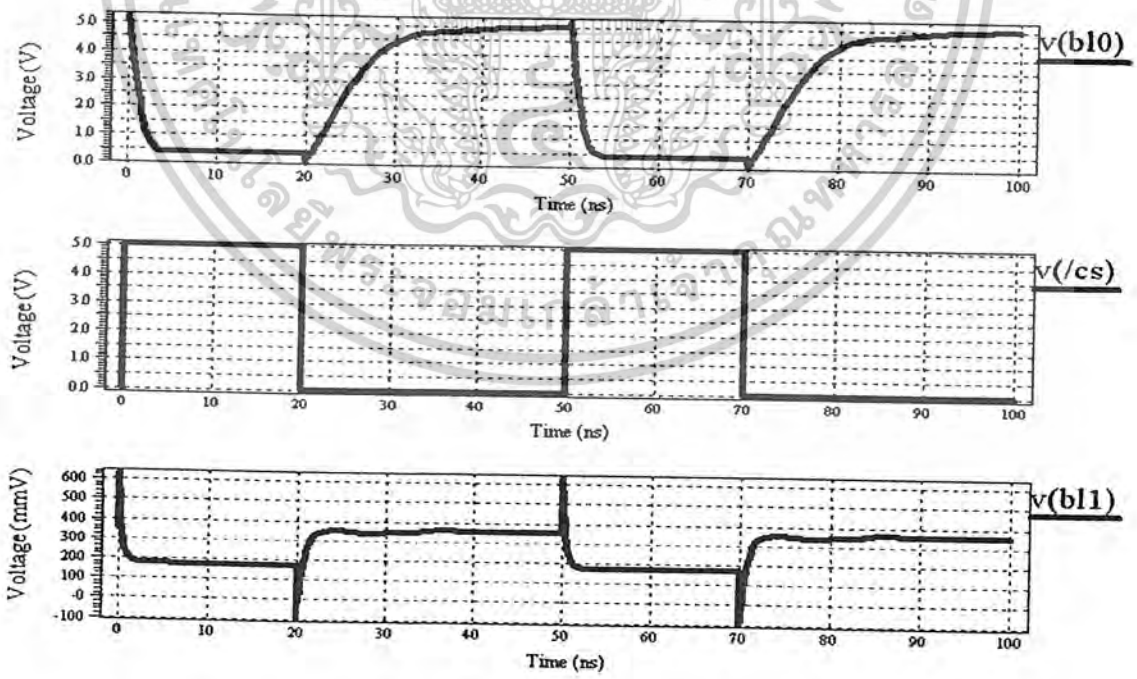


รูปที่ 4.2 ผลการทดลองวงจรถอดรหัสทางแนวนอนทางด้าน Transient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน (Row Decoder)

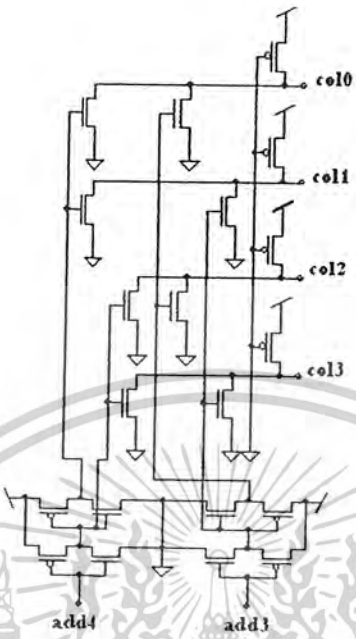


รูปที่ 4.4 ผลการทดลองลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน

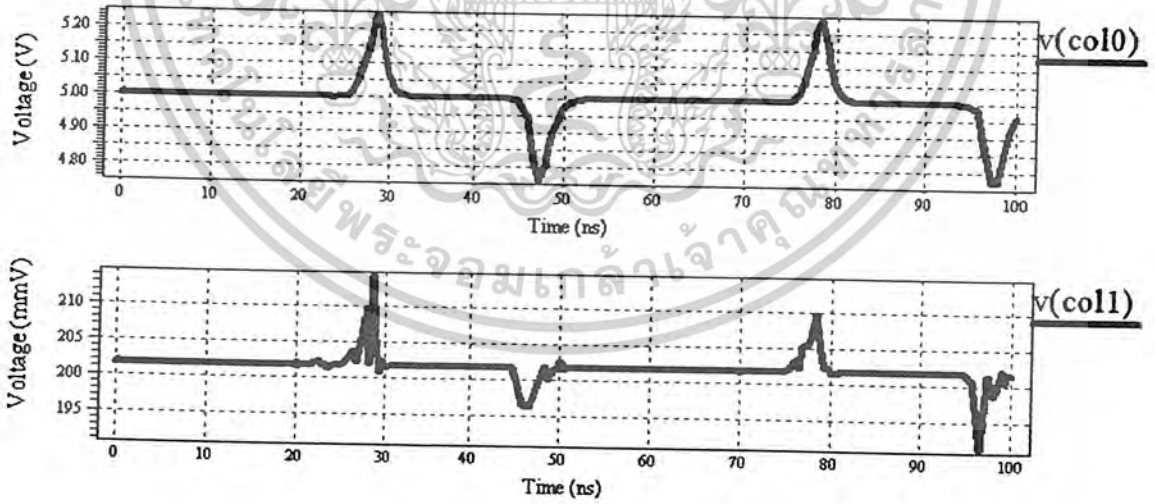
ทางด้าน Transient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงวงจรถอดรหัสทางแนวตั้ง (Column Decoder)

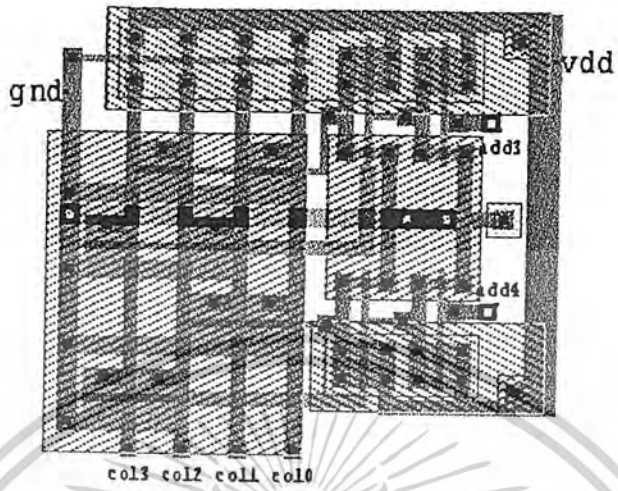


รูปที่ 4.5 วงจรถอดรหัสทางแนวตั้ง (Column Decoder)

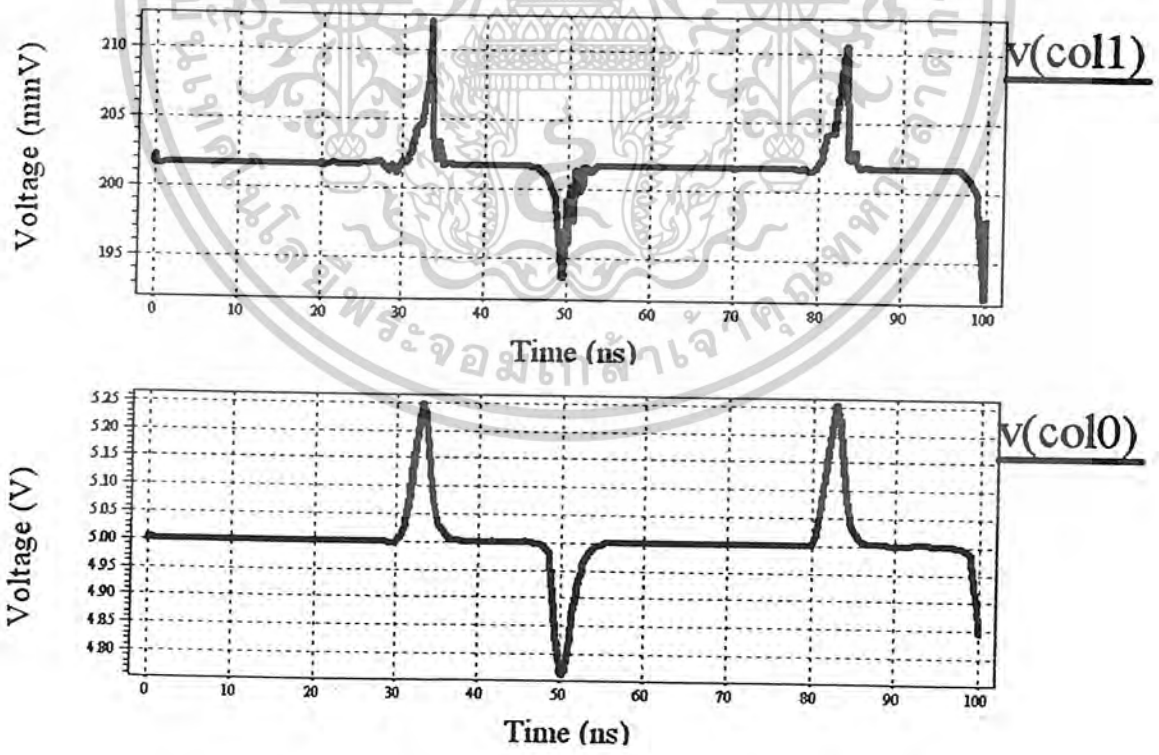


รูปที่ 4.6 ผลการทดลองของวงจรถอดรหัสทางแนวตั้งทางด้าน Transient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



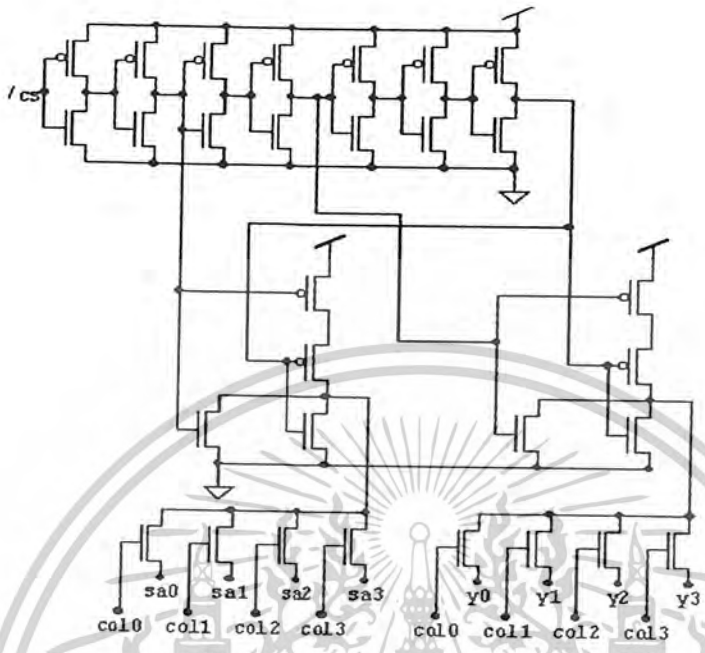
รูปที่ 4.7 ลวดลาย (Layout) วงจรถอดรหัสทางแนวตั้ง



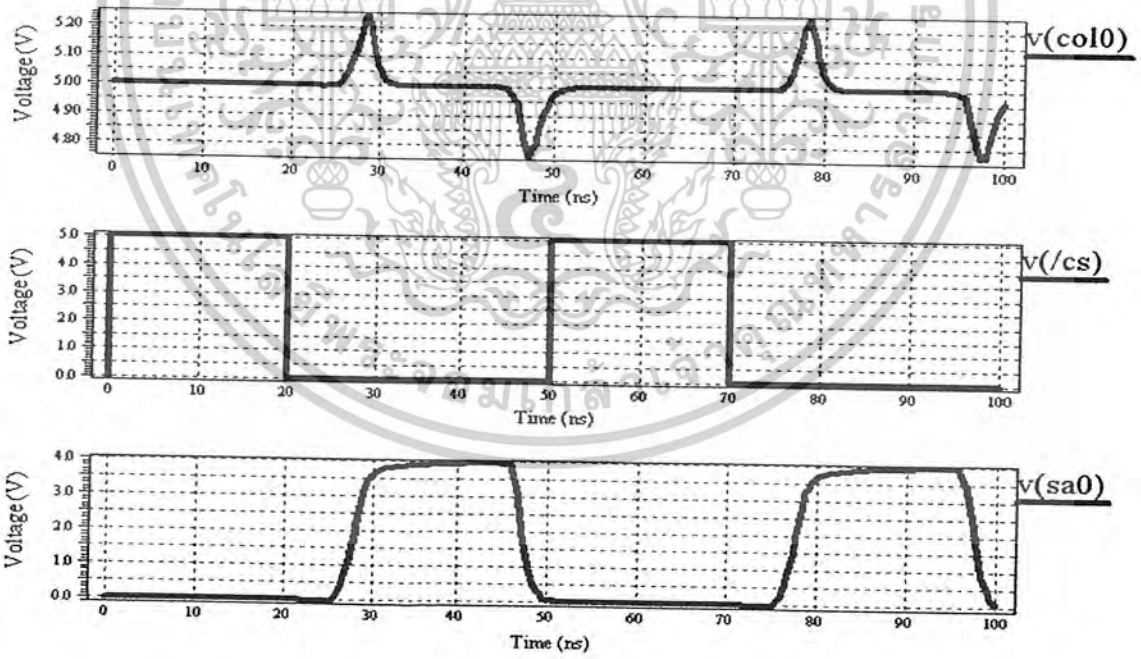
รูปที่ 4.8 ผลการทดลองลวดลาย (Layout) วงจรถอดรหัสทางแนวนอน ทางด้าน Transient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรควบคุม (Control Unit)



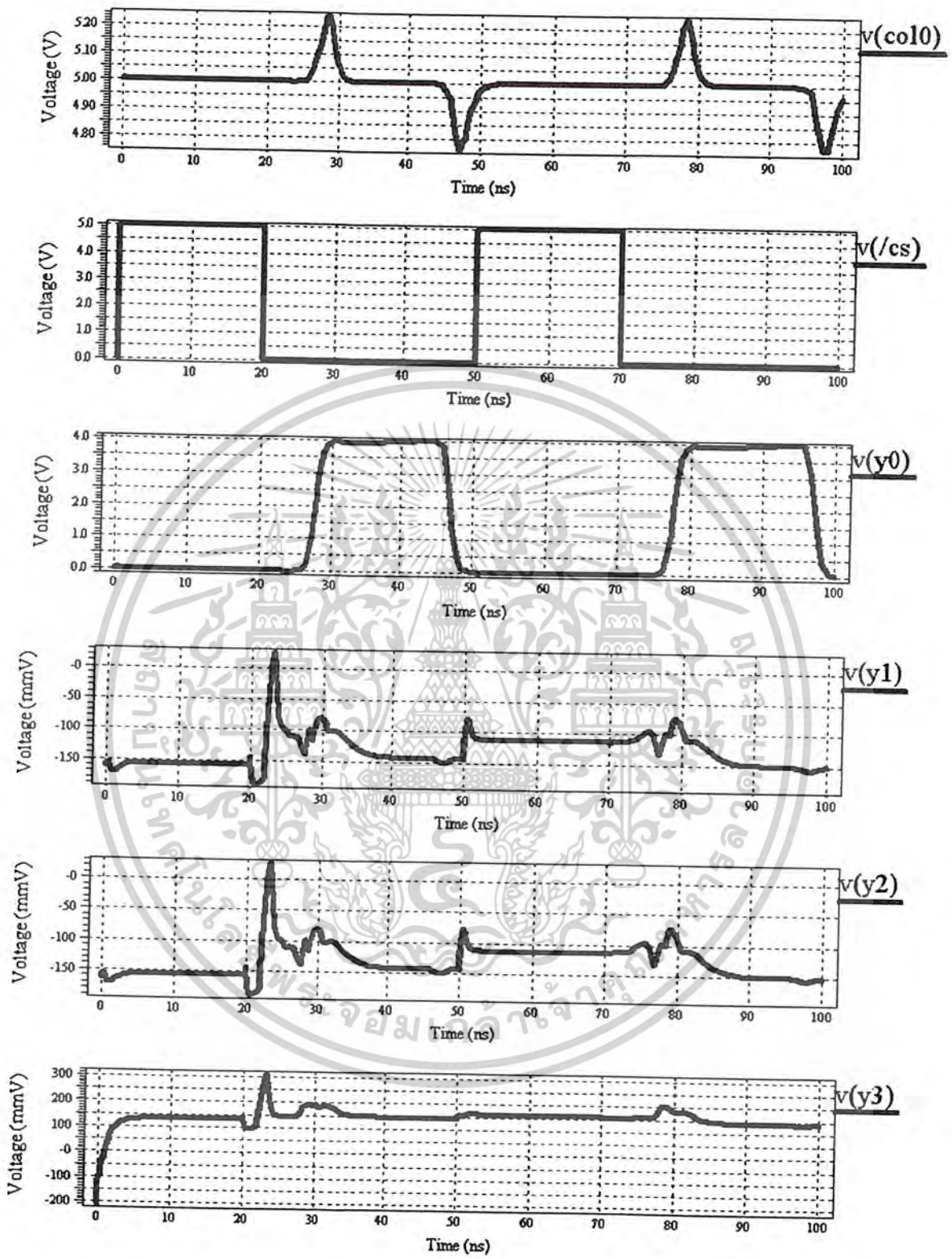
รูปที่ 4.9 วงจรควบคุม (Control Unit)



รูปที่ 4.10 ผลการทดลองของวงจรควบคุมทางด้านTransient {Address=00000}

ที่ (Sense Amp. Signal)

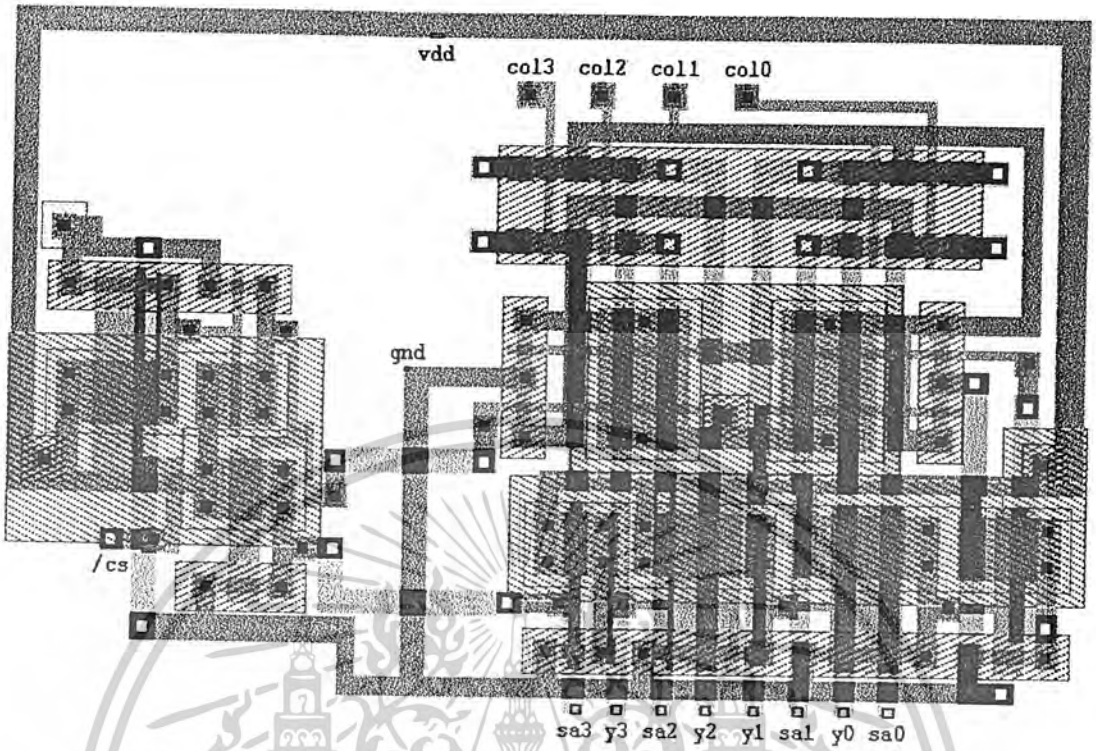
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



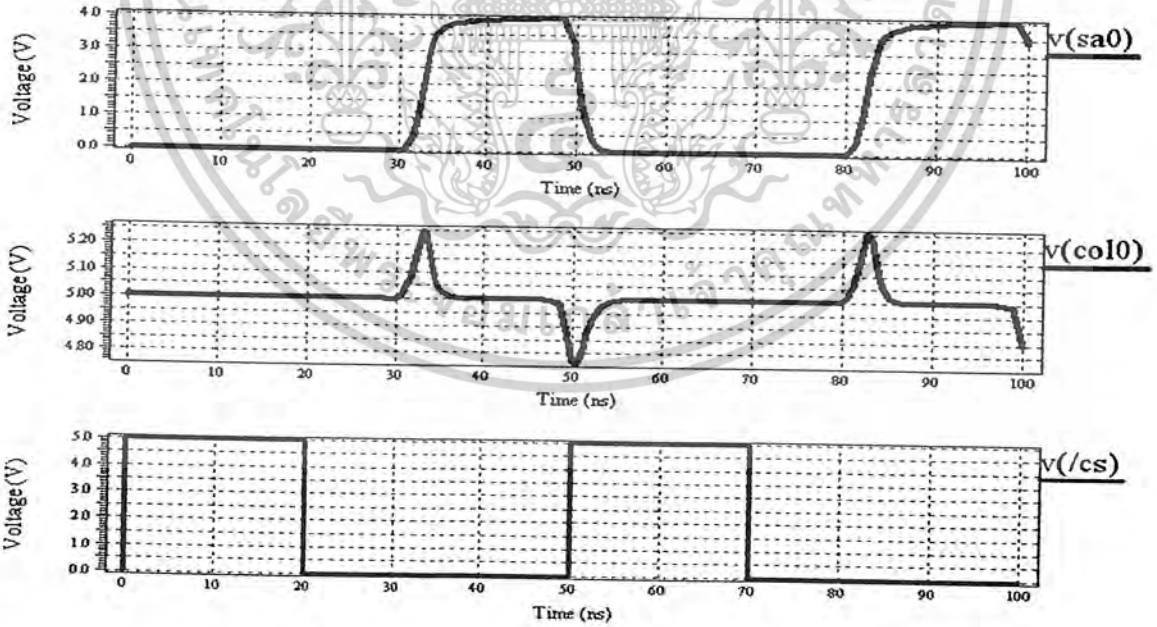
รูปที่ 4.11 ผลการทดลองของวงจรควบคุมทางด้านTransient {Address=00000}

ที่ (Column Switch. Signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



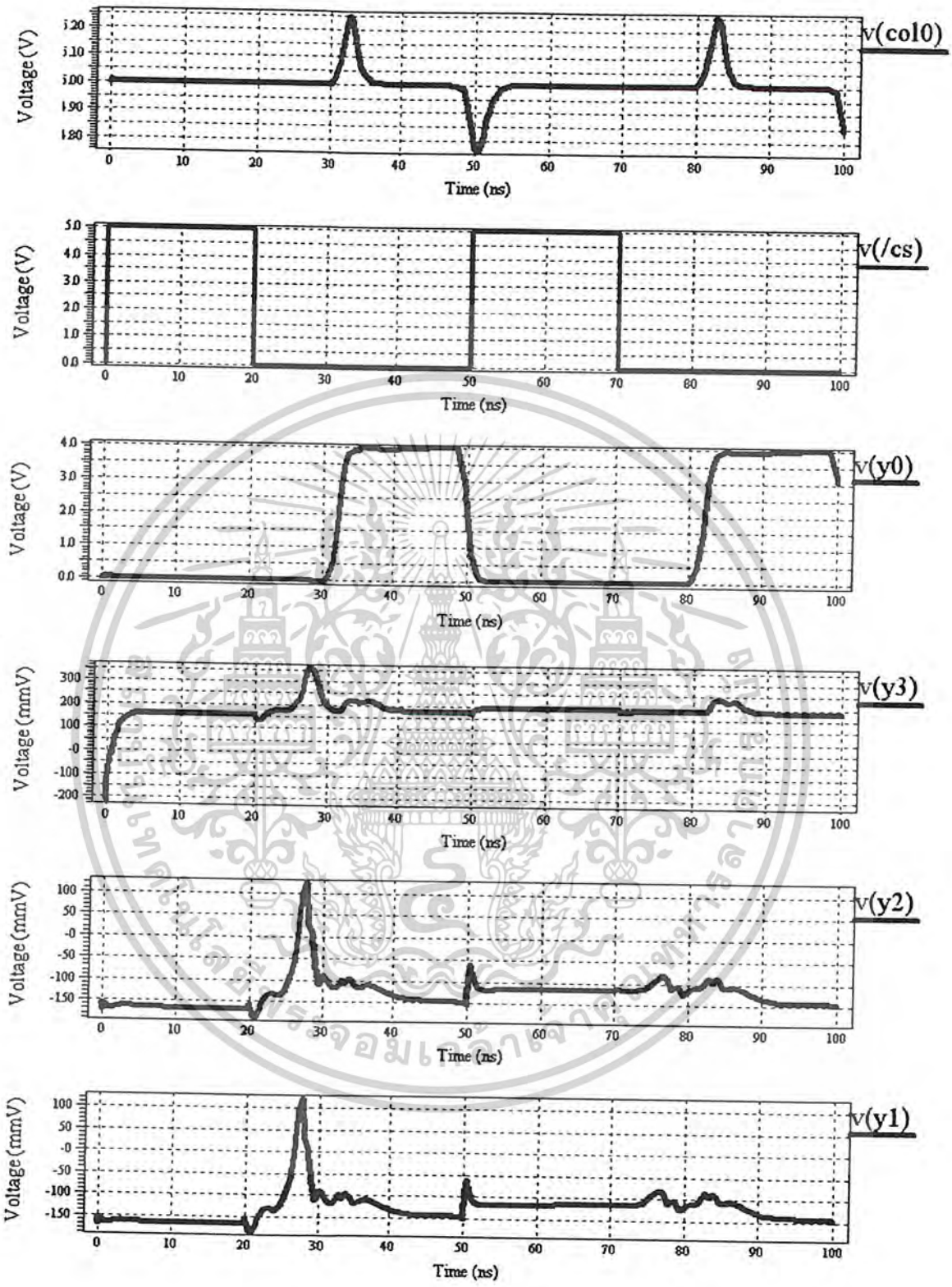
รูปที่ 4.12 ลวดลาย (Layout) วงจรควบคุม (Control Unit)



รูปที่ 4.13 ผลการทดลองลวดลาย (Layout) วงจรควบคุมทางด้านTransient {Address=00000}

ที่ (Sense Amp. Signal)

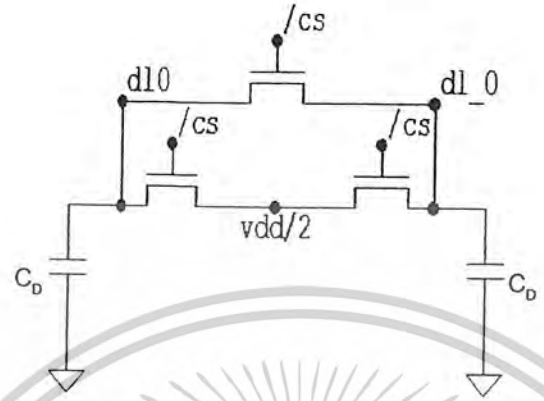
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



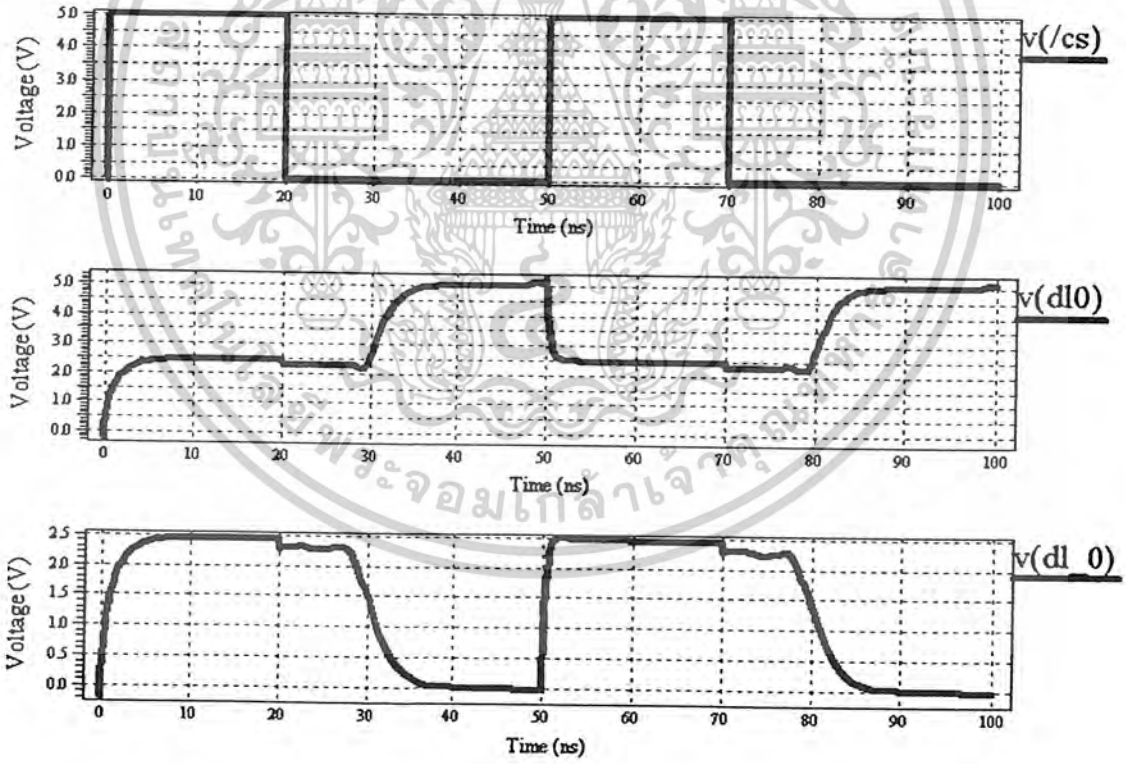
รูปที่ 4.14 ผลการทดลองลวดลาย (Layout) วงจรควบคุมทางด้านTransient {Address=00000} ที่ (Column Switch. Signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจร Precharge & Equalizer

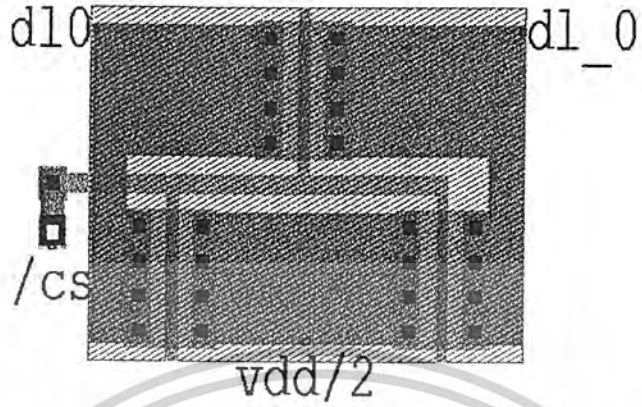


รูปที่ 4.15 วงจร Precharge & Equalizer

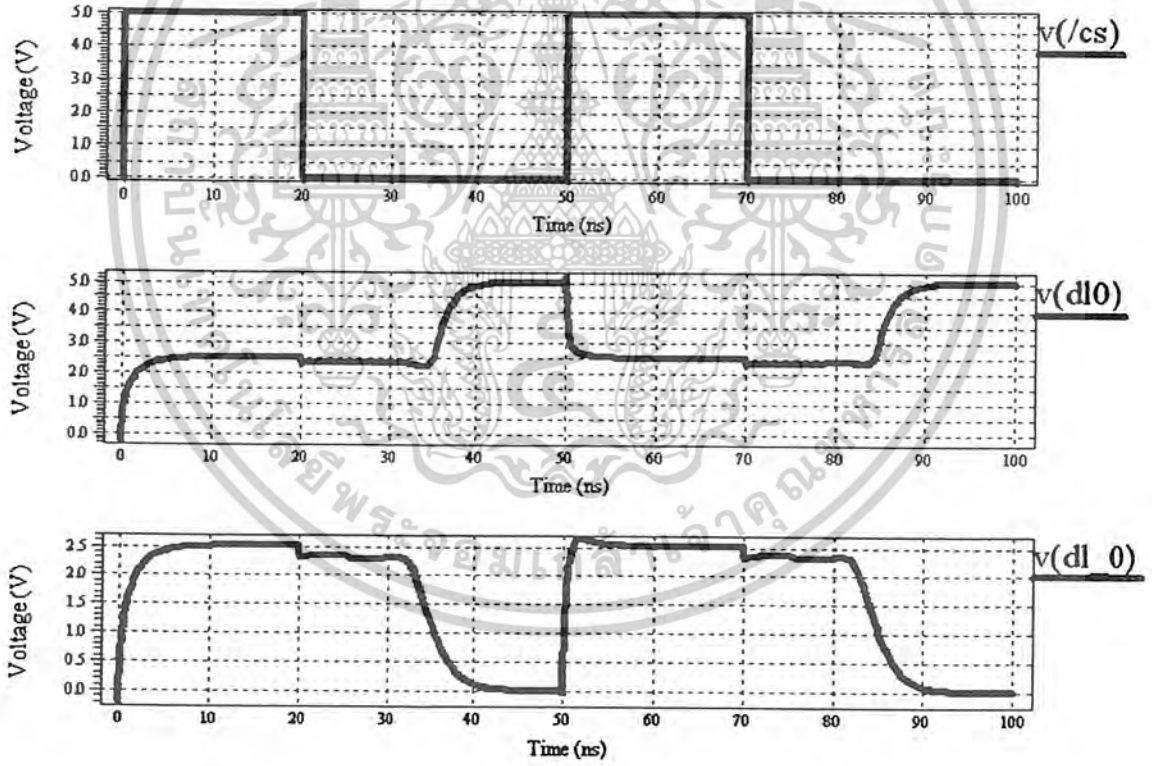


รูปที่ 4.16 ผลการทดลองของวงจร Precharge & Equalizer ทางด้านTransient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 ลวดลาย (Layout) วงจร Precharge & Equalizer

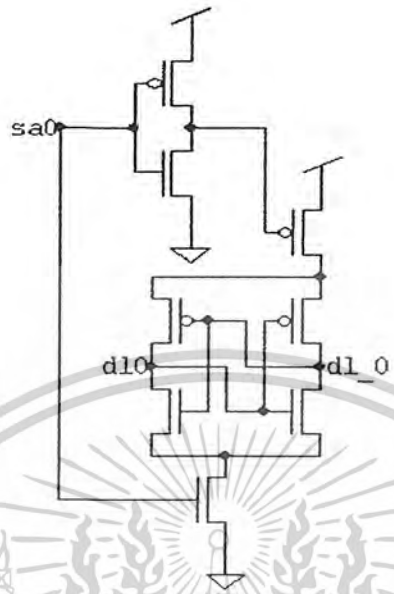


รูปที่ 4.18 ผลการทดลองลวดลาย (Layout) วงจร Precharge & Equalizer

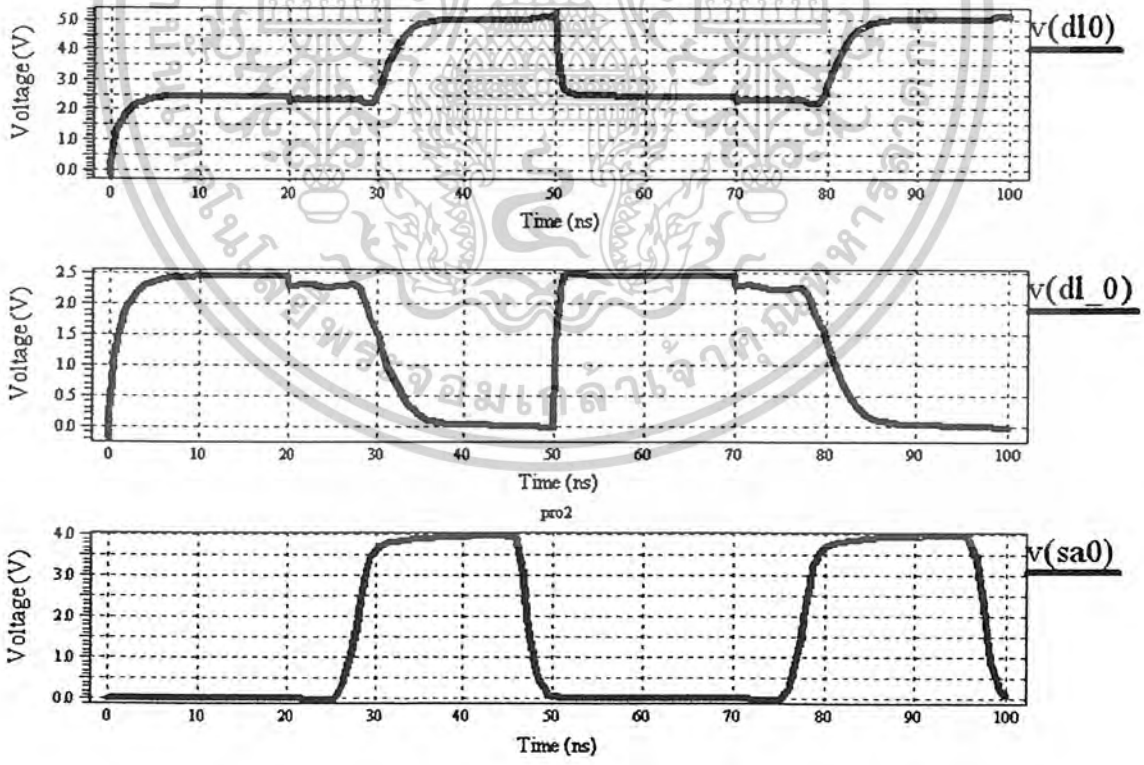
ทางด้านTransient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 วงจรขยาย (Sense Amplifier)

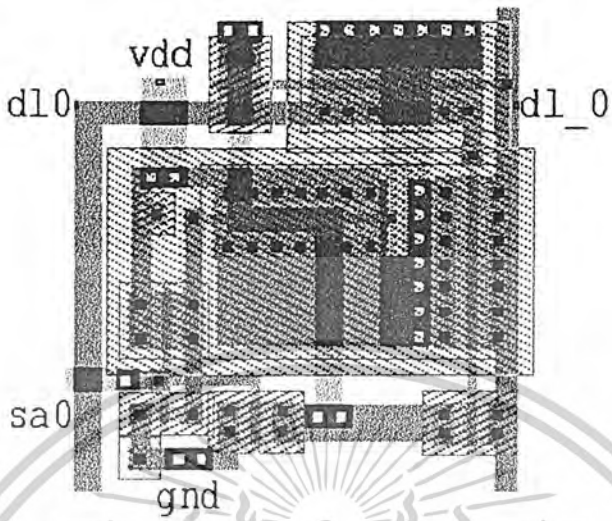


รูปที่ 4.19 วงจรขยาย (Sense Amplifier)

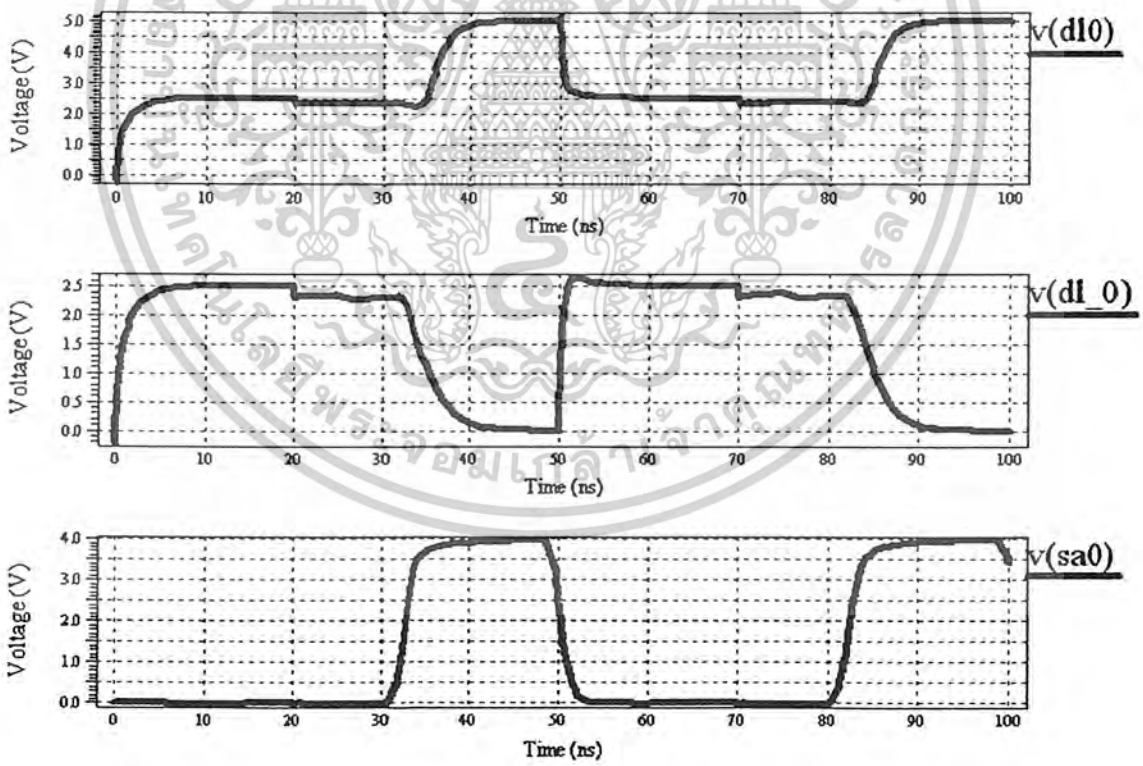


รูปที่ 4.20 ผลการทดลองของวงจรขยาย (Sense Amplifier) ทางด้านTransient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



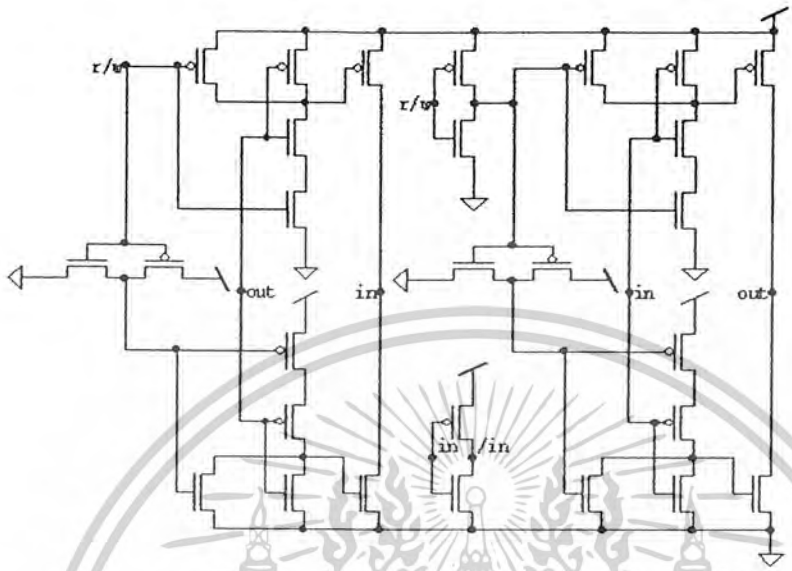
รูปที่ 4.21 ลวดลาย (Layout) วงจรขยาย (Sense Amplifier)



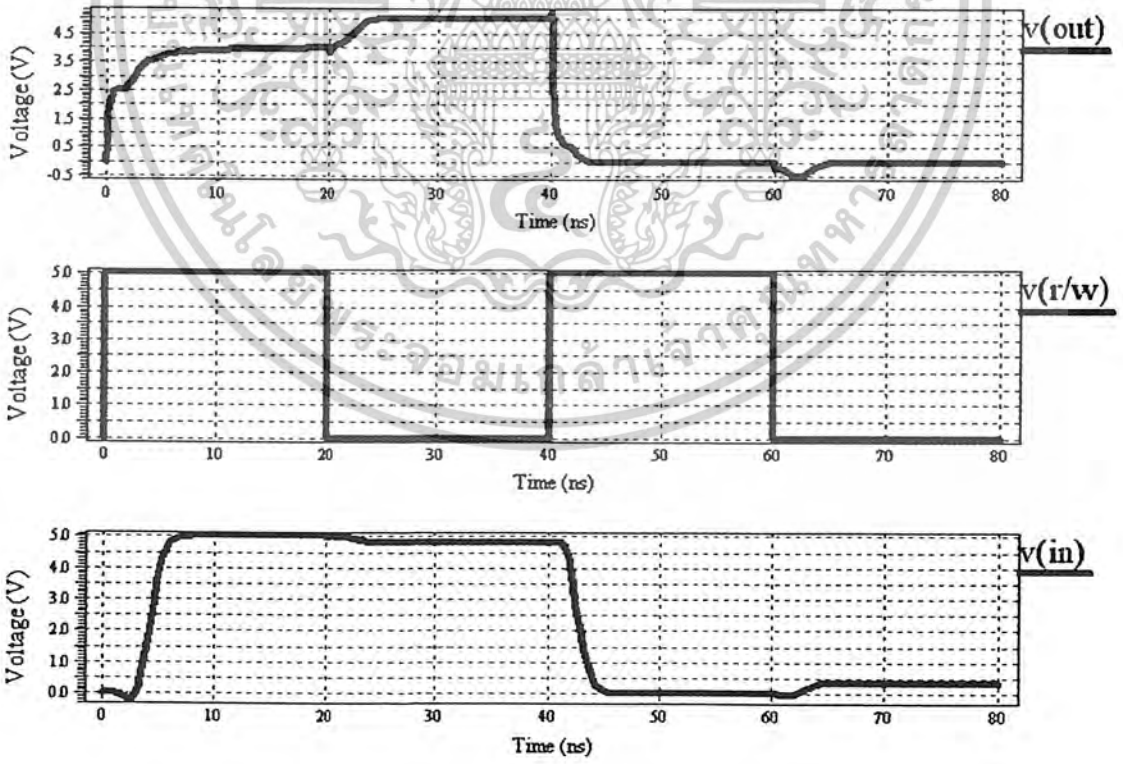
รูปที่ 4.22 ผลการทดลองลวดลาย (Layout) วงจรขยาย (Sense Amplifier)
ทางด้านTransient {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจร Input & Output

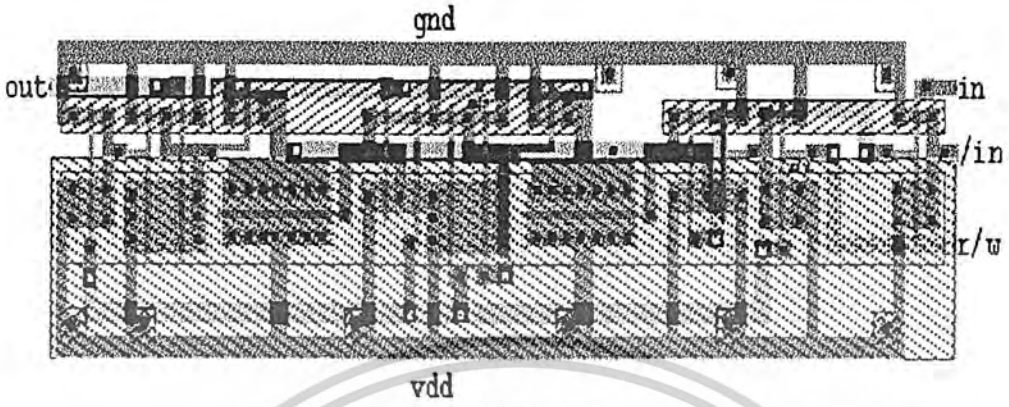


รูปที่ 4.23 วงจร Input & Output

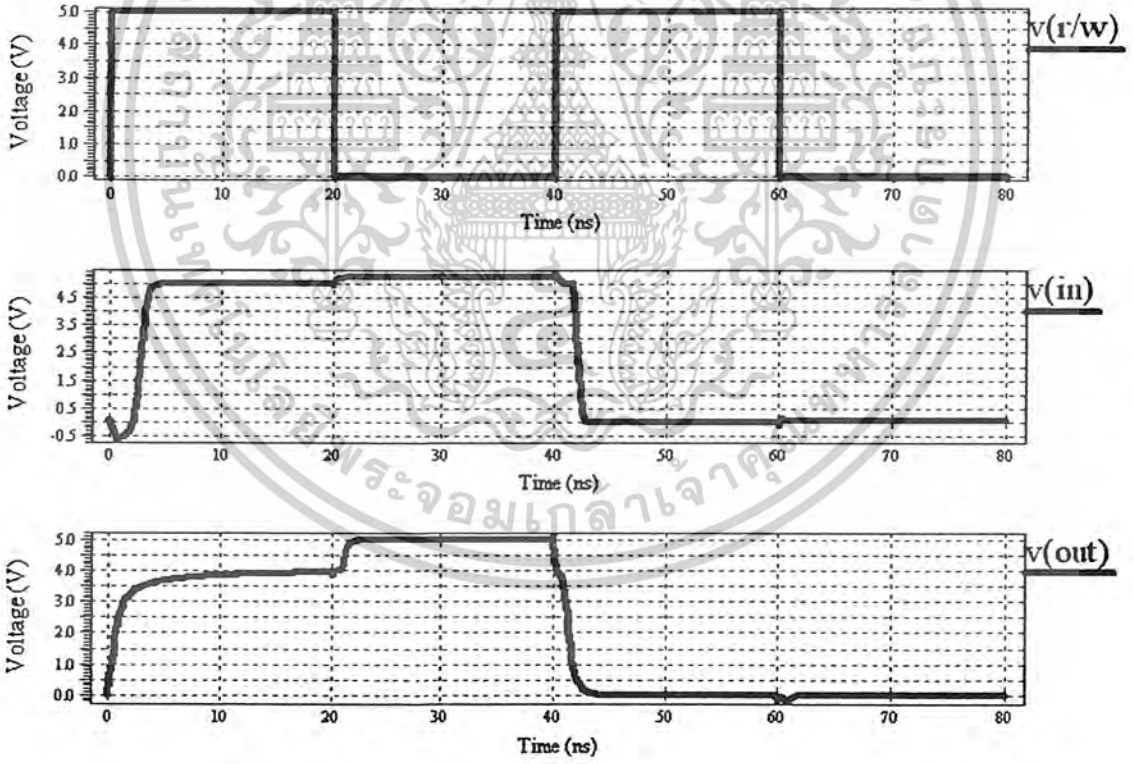


รูปที่ 4.24 ผลการทดลองของวงจร Input & Output ทางด้านTransient (ป้อนสัญญาณที่ Node out)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



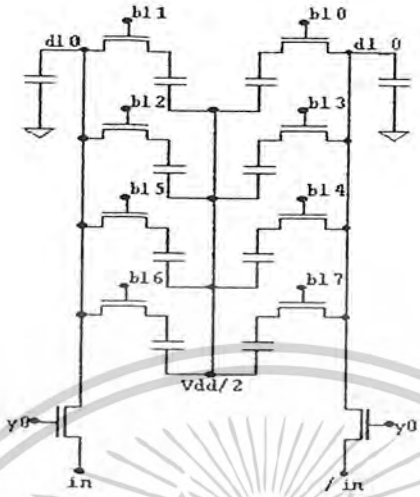
รูปที่ 4.25 ลวดลาย (Layout) วงจร Input & Output



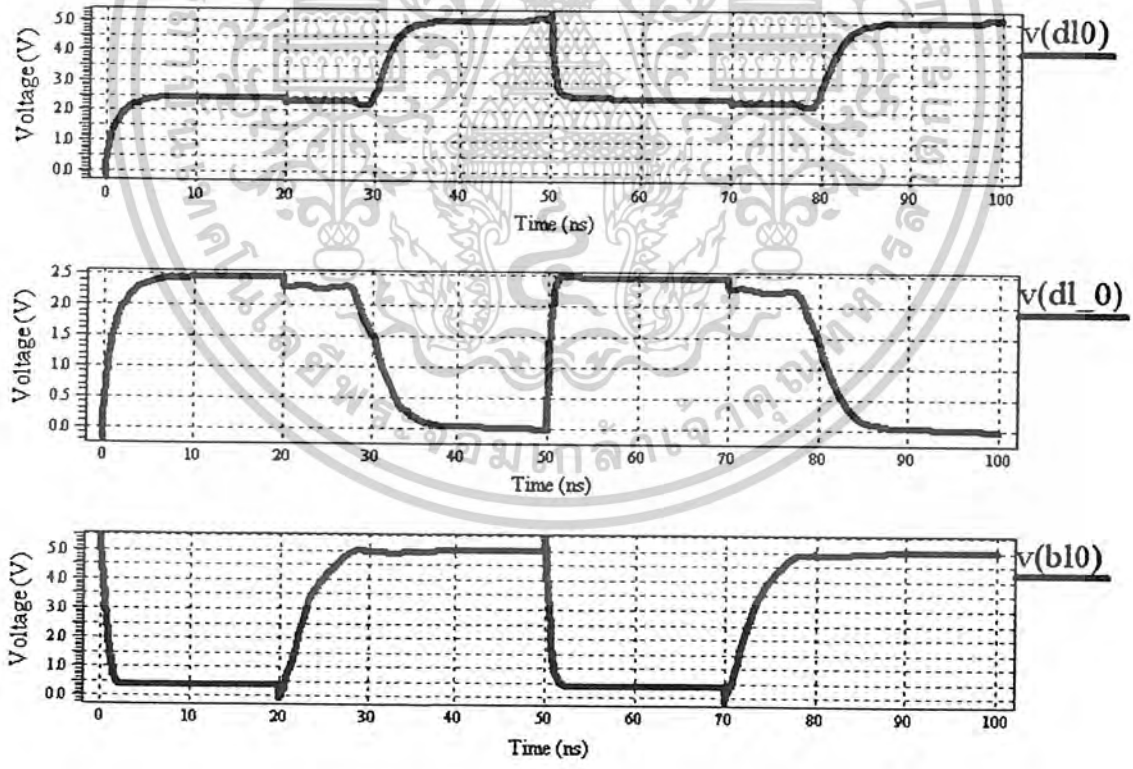
รูปที่ 4.26 ผลการทดลองลวดลาย (Layout) วงจร Input & Output ทางด้าน Transient (ป้อนสัญญาณที่ Node out)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 หน่วยเก็บข้อมูล (DRAM Cell) และ วงจร Column Switch

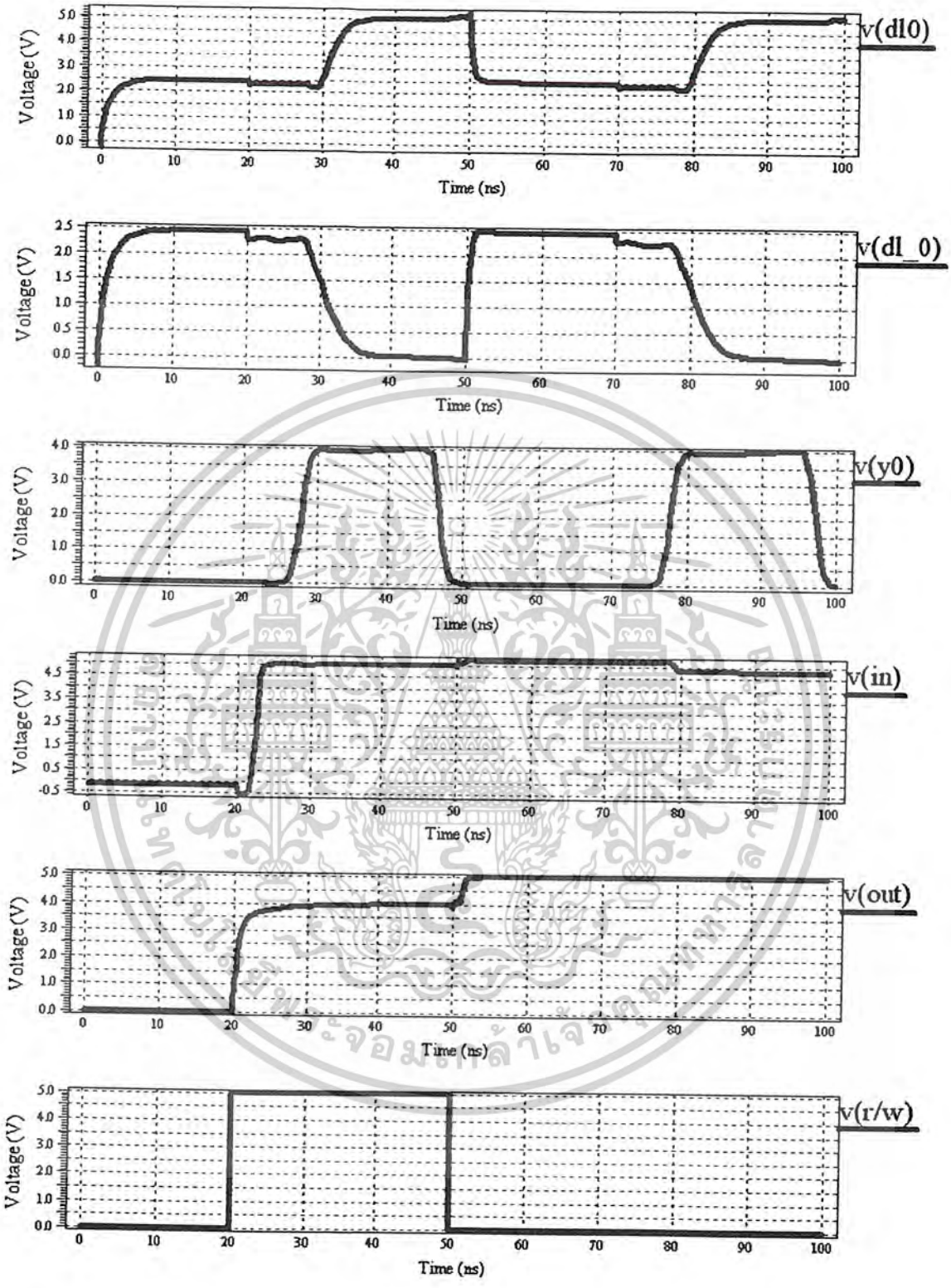


รูปที่ 4.27 วงจรหน่วยเก็บข้อมูล (DRAM Cell) และ วงจร Column Switch



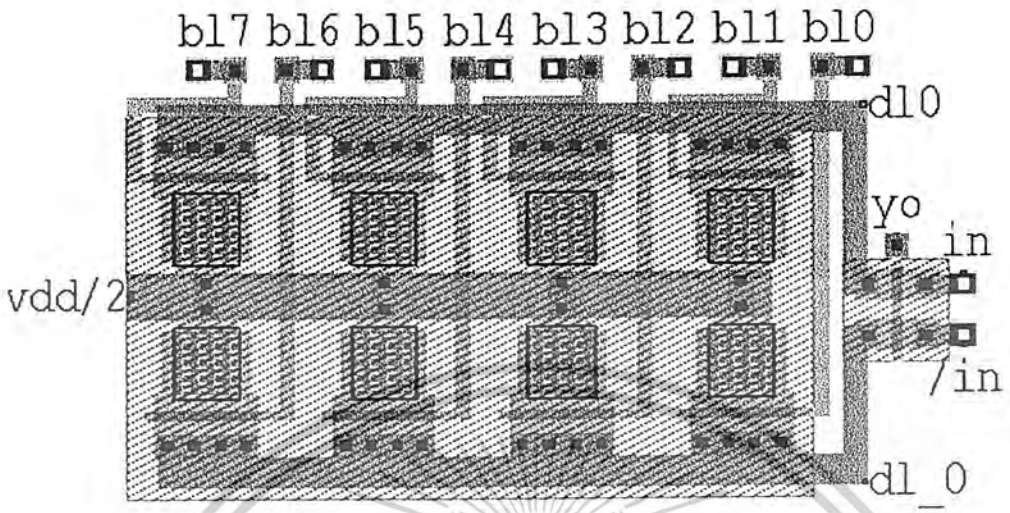
รูปที่ 4.28 ผลการทดลองของวงจรหน่วยเก็บข้อมูล (DRAM Cell) ทางด้านTransient ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

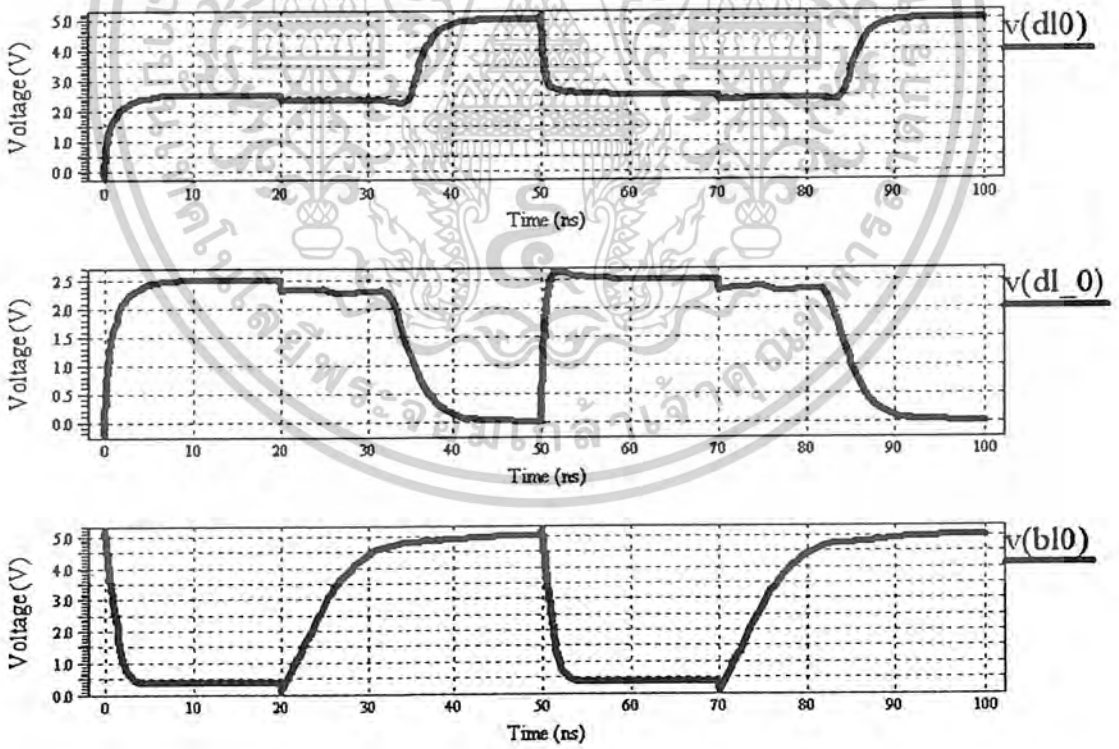


รูปที่ 4.29 ผลการทดลองของวงจร Column Switch (DRAM Cell) ทางด้านTransient ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



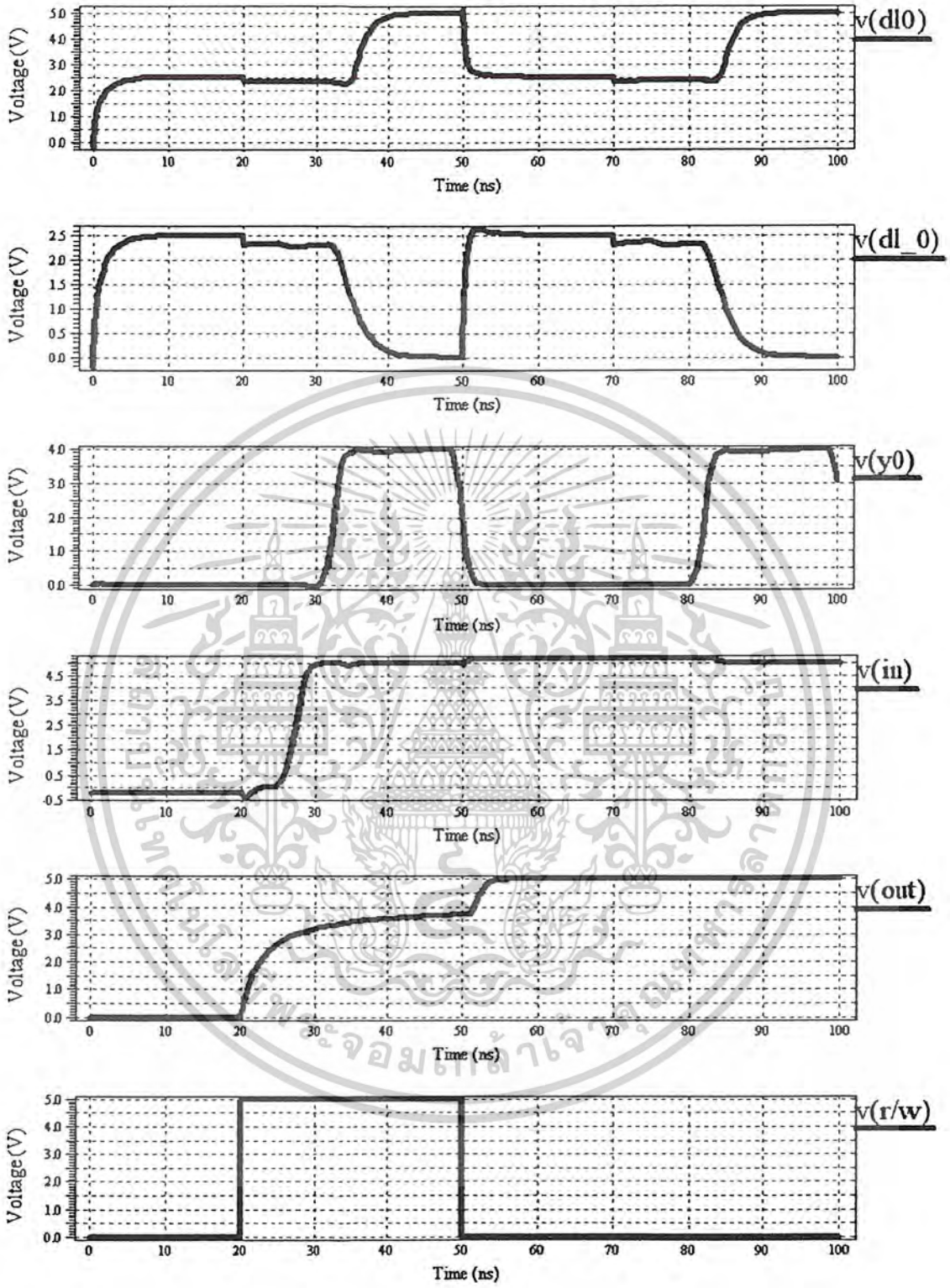
รูปที่ 4.30 ลวดลาย (Layout) วงจรหน่วยเก็บข้อมูล (DRAM Cell) และ วงจร Column Switch



รูปที่ 4.31 ผลการทดลองลวดลาย (Layout) วงจรหน่วยเก็บข้อมูล (DRAM Cell)

ทางด้านTransient ที่ {Address=00000}

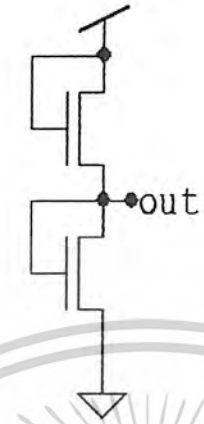
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



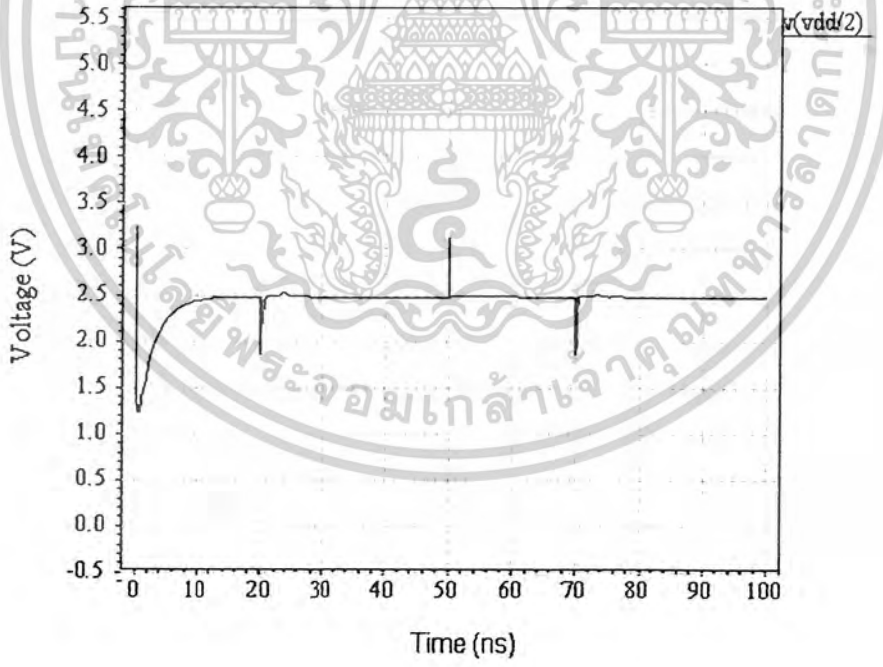
รูปที่ 4.32 ผลการทดลองลวดลาย (Layout) วงจร Column Switch (DRAM Cell) ทางด้านTransient ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 วงจรแบ่งแรงดัน Voltage divider

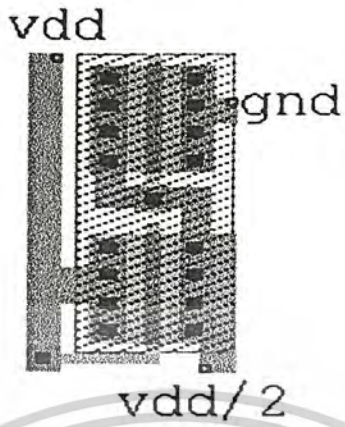


รูปที่ 4.33 วงจร Voltage divider

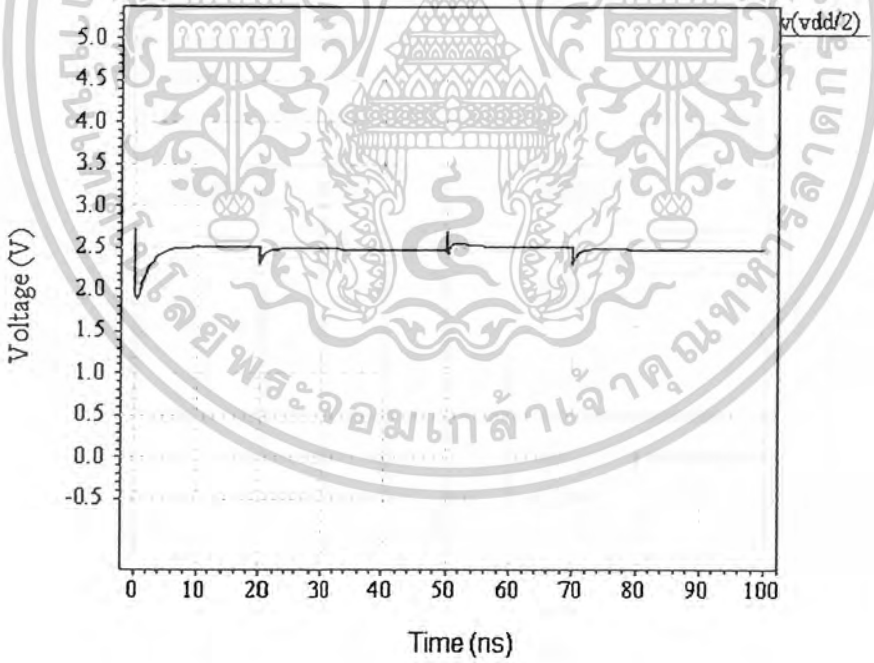


รูปที่ 4.34 ผลการทดลองของวงจร Voltage divider ทางด้านTransient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



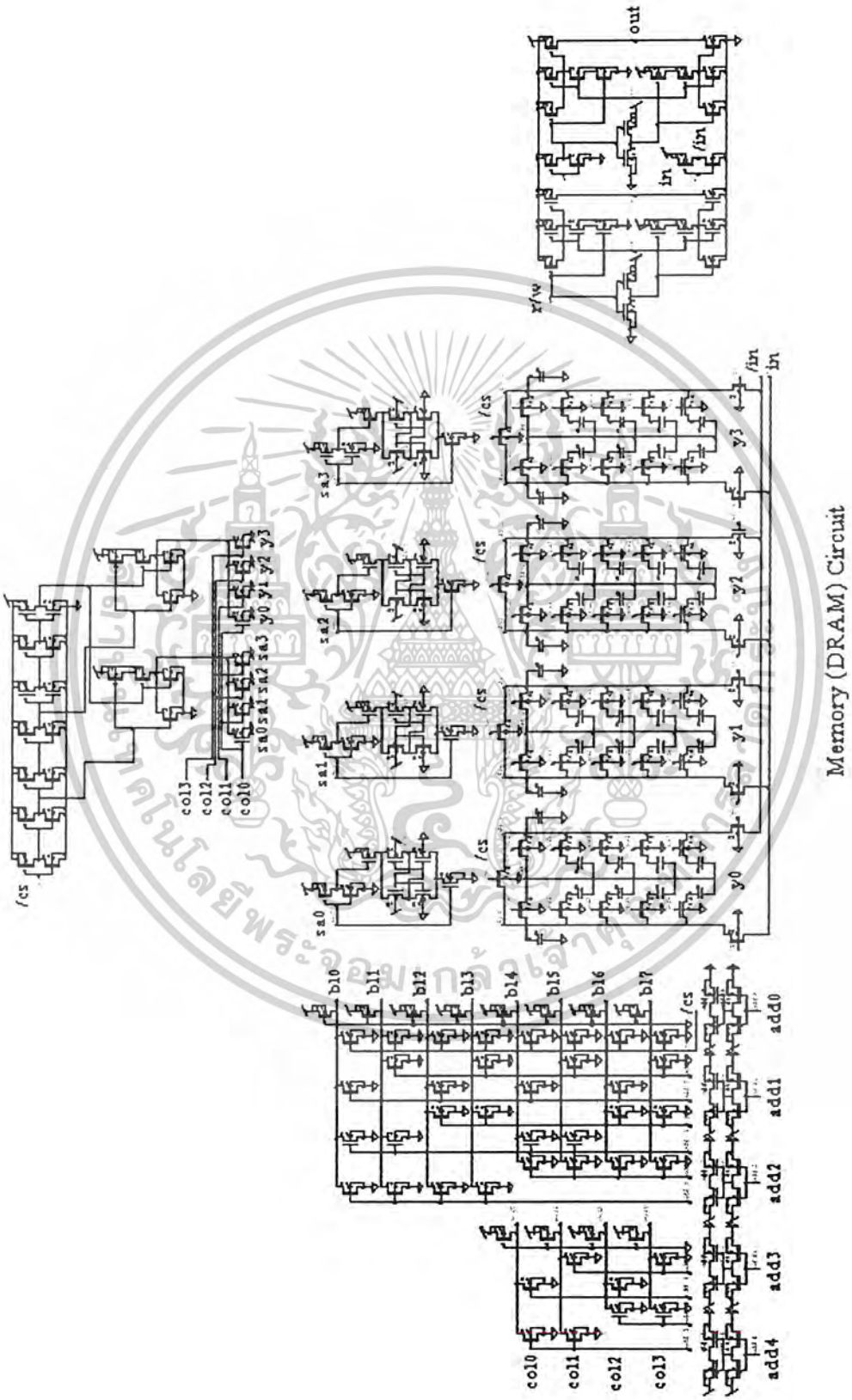
รูปที่ 4.35 ลวดลาย (Layout) วงจร Voltage divider



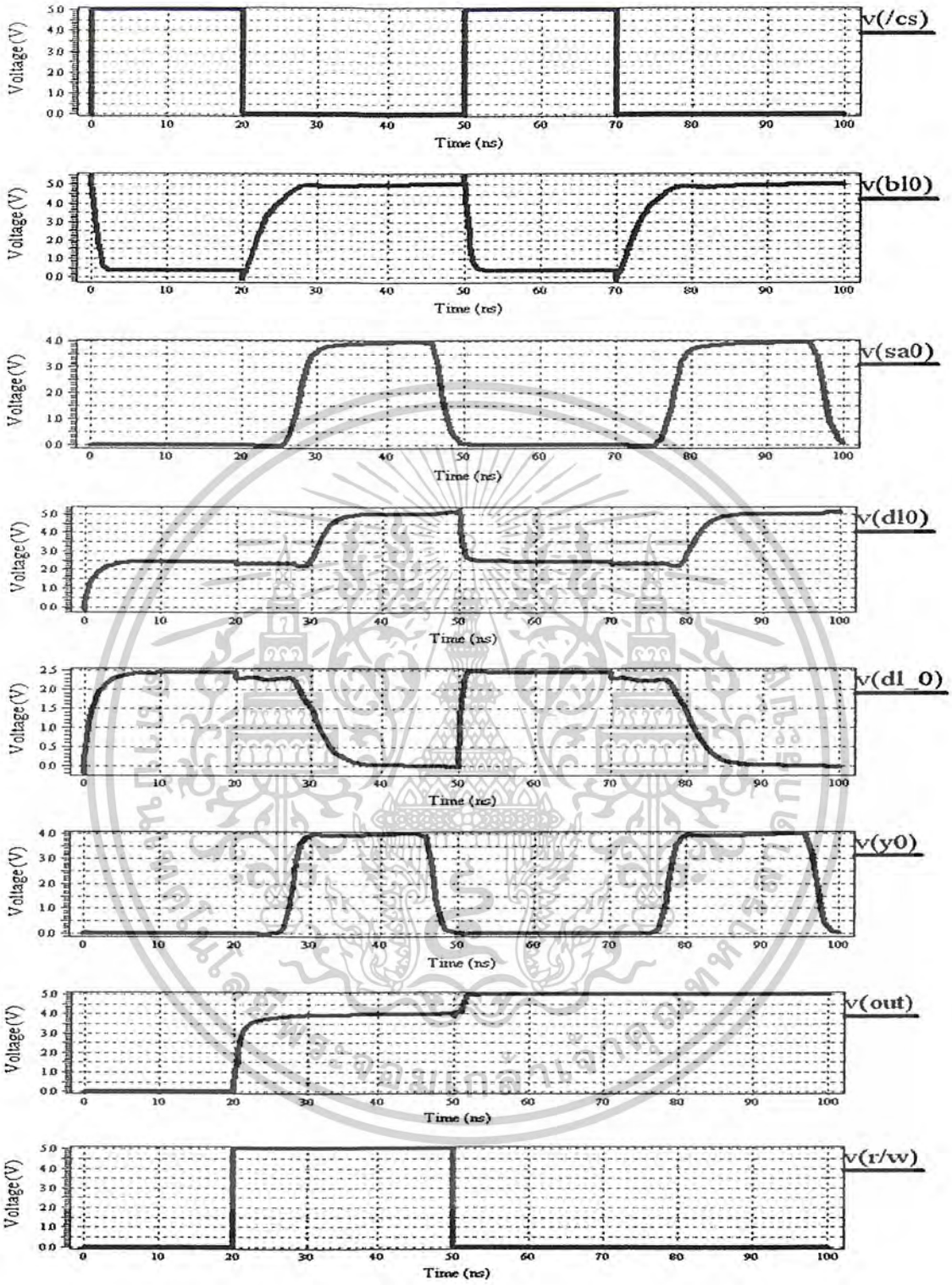
รูปที่ 4.36 ผลการทดลองลวดลาย (Layout) วงจร Voltage divider ทางด้านTransient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 วงจร DRAM (32 x 1 bit)

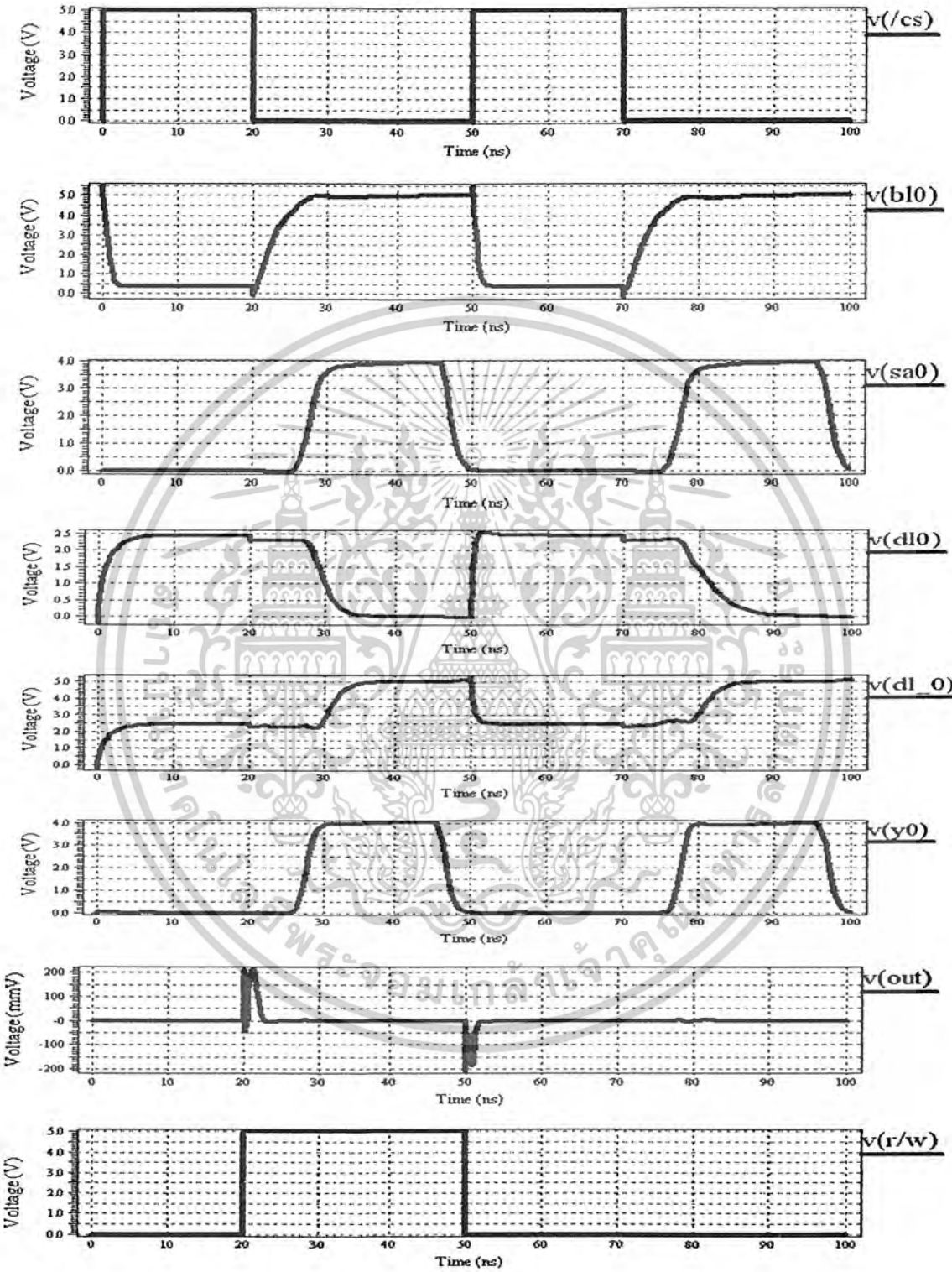


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



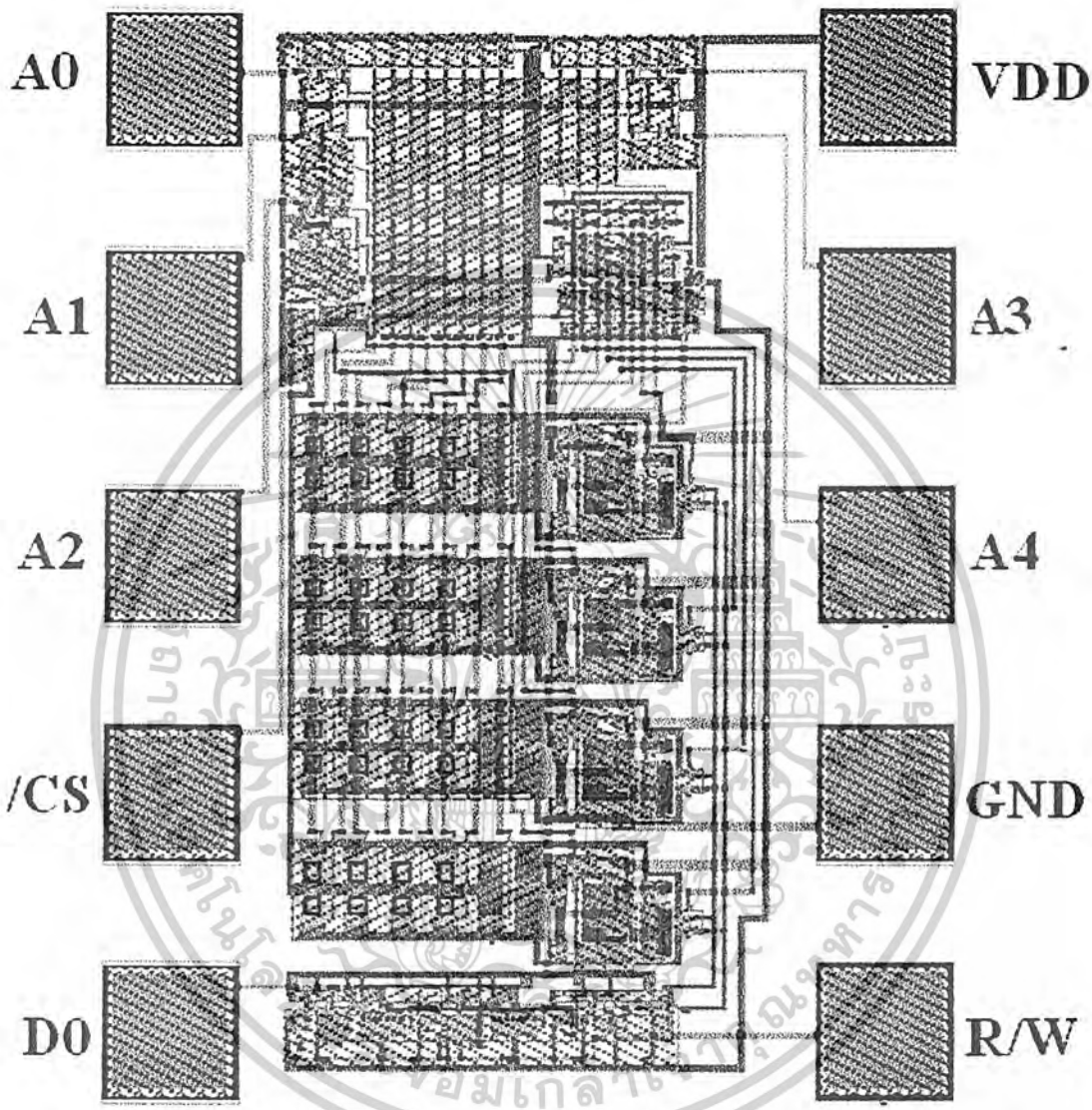
รูปที่ 4.37 ผลการทดลองของวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "1" ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



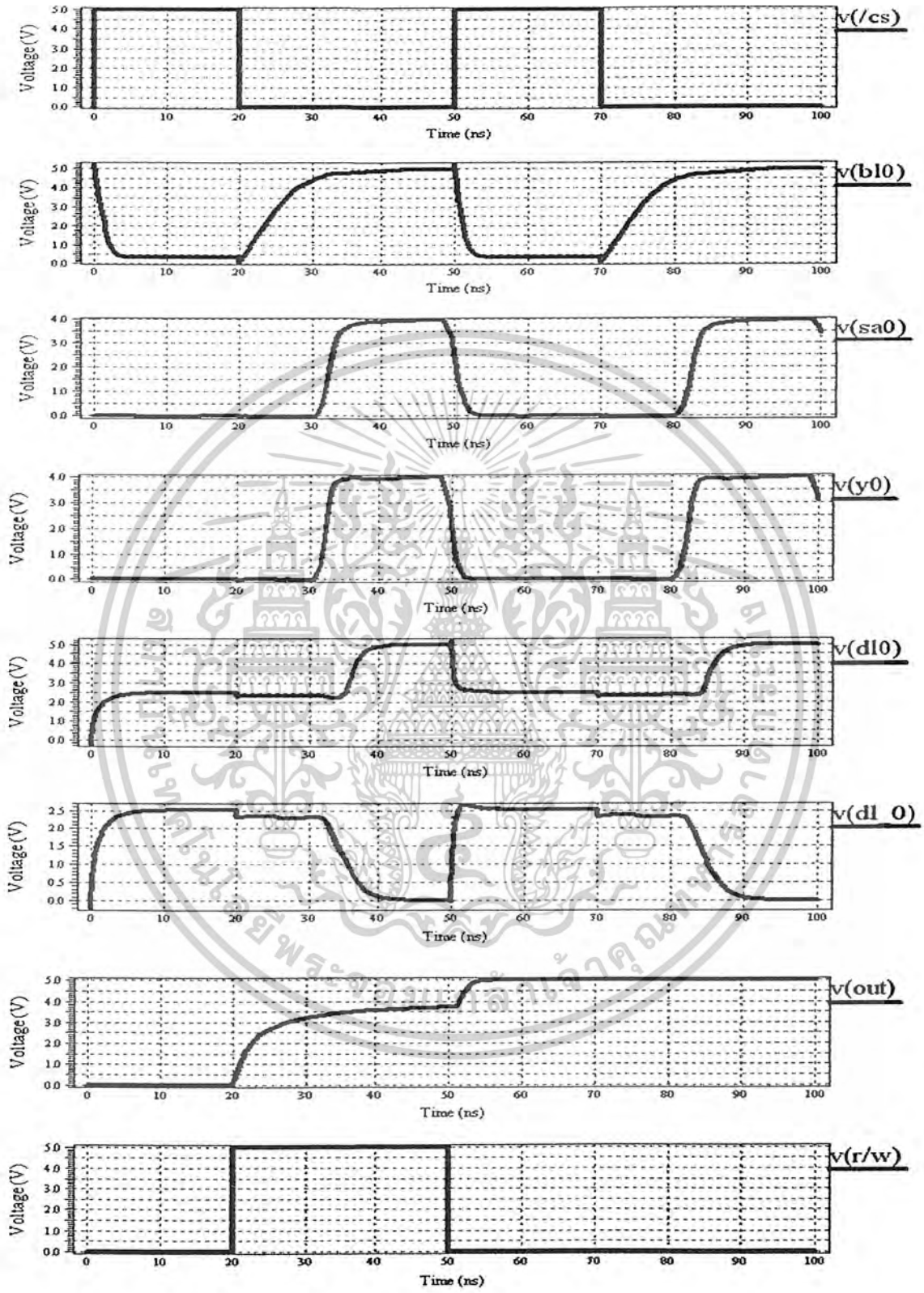
รูปที่ 4.38 ผลการทดลองของวงจร DRAM ทางด้านTransient ขณะทำการเขียนและอ่าน "0" ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 Layout Memory (DRAM) Circuit

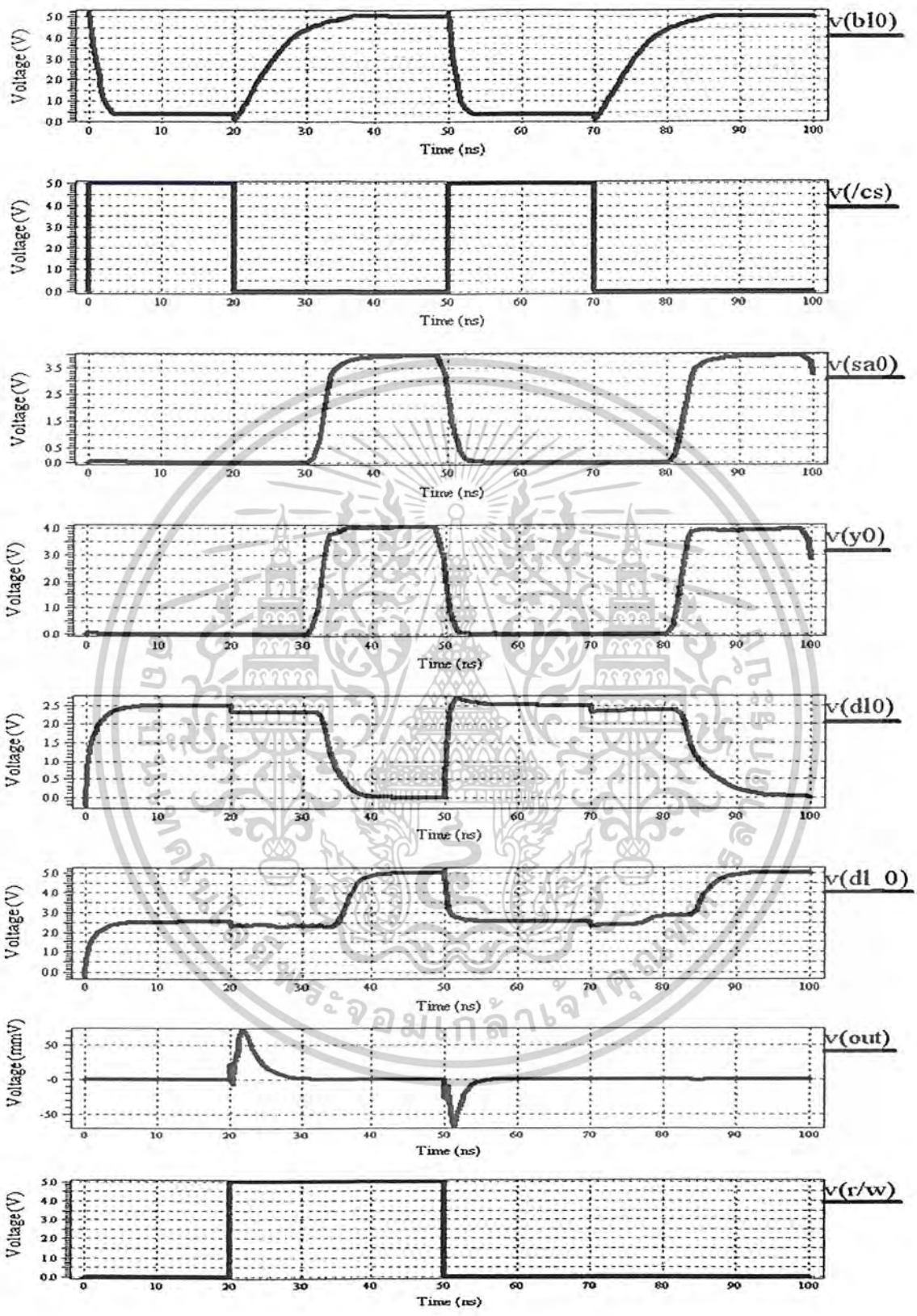
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.40 ผลการทดลองของลวดลายวงจร DRAM ทางด้านTransient

ขณะทำการเขียนและอ่าน "1" ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.41 ผลการทดลองของลวดลายวงจร DRAM ทางด้านTransient

ขณะทำการเขียนและอ่าน "0" ที่ {Address=00000}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลองและวิเคราะห์ผลการทดลอง

5.1 วงจร DRAM (32 x 1 bit)

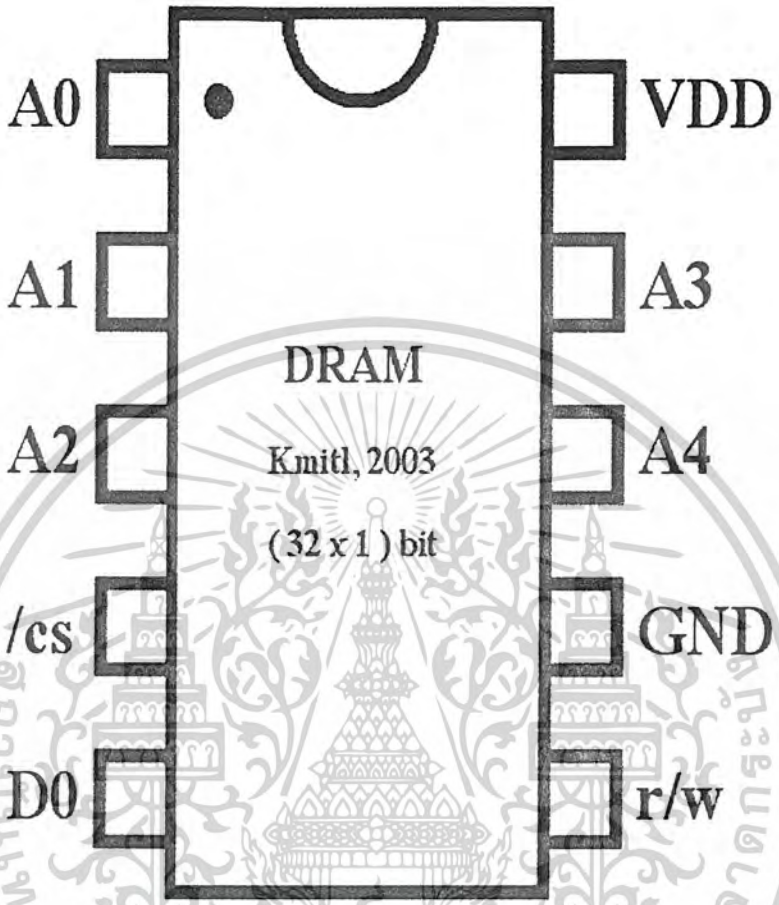
ขณะทำการเขียนและอ่านข้อมูล "1" ช่วงแรกที่ /cs มี Logic "1" วงจร Precharge & Equalizer ทำงาน ทำให้ที่โหนด dl0 และ dl_0 มีแรงดันเป็น VDD/2 เมื่อ /cs เปลี่ยนจาก Logic "1" เป็น Logic "0" ขณะเดียวกันที่ r/w เปลี่ยนเป็น Logic "1" นั้นก็คือ DRAM อยู่ในสภาวะการเขียนข้อมูล และที่โหนด out เป็น Logic "1" นั้นก็หมายความว่าข้อมูล Logic "1" ก็จะถูกเขียนลงใน Cell โดย bl0 ต่ออยู่กับ NMOS ทำหน้าที่เปิดและปิดให้ข้อมูลเข้าหรือออกขึ้นอยู่กับว่าจะต้องกรเขียนหรืออ่าน ถ้าภายใน Cell เก็บข้อมูลเป็น Logic "1" C_S จะถูกคายประจุให้มีค่าเท่ากับ C_D และถ้า Cell เก็บข้อมูลเป็น Logic "0" C_S จะทำการเก็บประจุให้เท่ากับ C_D เมื่อ sa0 เป็น Logic "1" วงจรขยาย (Sense Amplifier) ทำงานขยายระดับแรงดันระหว่าง dl0 และ dl_0 ขณะนี้อยู่ในสภาวะเขียนข้อมูล เมื่อ yo เป็น Logic "1" ทำให้ข้อมูล "1" ไหลเข้าไปใน Cell โดยมีวงจรขยายช่วยขยายระดับแรงดันให้เร็วขึ้นทำให้ใช้เวลาในการเก็บข้อมูลได้เร็ว จากนั้น bl0, sa0, และ y0 เปลี่ยนเป็น Logic "0" และ /cs เป็น Logic "1" อีกทำให้ dl0 และ dl_0 มีแรงดันเป็น VDD/2 อีกครั้ง และเวลาต่อมา /cs เป็น Logic "0" ในช่วงนี้ r/w เปลี่ยนเป็น Logic "0" แสดงว่าต้องการอ่านข้อมูลโดย bl0 เปลี่ยนเป็น Logic "1" ข้อมูล "1" ที่เก็บอยู่ใน Cell จะคายประจุออกทำให้ที่ dl0 มีระดับแรงดันสูงกว่า dl_0 เพียงเล็กน้อยเมื่อ sa0 เป็น Logic "1" ทำให้ dl0 ถูกยกระดับแรงดันเป็น VDD และที่ dl_0 ถูกลดระดับลงเป็น GND เมื่อ yo เป็น Logic "1" ข้อมูลจะถูกส่งออกภายนอกเป็น Logic "1" จากนั้นสัญญาณทุกอย่างกลับมาสู่สภาวะเริ่มต้น แสดงในรูปที่ 4.37

ในลักษณะทำการเขียนและอ่านข้อมูล "0" การทำงานของสัญญาณทุกอย่างจะเหมือนกัน ต่างกันท่ขณะทำการเก็บข้อมูล Cell มีระดับเป็น Logic "0" และเมื่ออ่านข้อมูลออกจะได้ข้อมูลออกเป็น Logic "0" แสดงดังรูปที่ 4.38

เมื่อนำผลการทดลองระหว่างวงจรกับลวดลายมาเปรียบเทียบกันจะเห็นความแตกต่างของสัญญาณ ซึ่งสัญญาณที่วัดได้จากผลของ Layout จะเปลี่ยนแปลงช้ากว่าสัญญาณขณะที่ยังไม่ทำการ Layout เพราะว่าผลที่ได้จากการ Layout จะเป็นผลการทดลองที่รวมผลกระทบของตัวเก็บประจุแฝงที่เกิดขึ้นภายในวงจร แสดงในรูปที่ 4.40 และ4.41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ลักษณะของชิปหน่วยความจำ



A0 – A4 เป็นขา Address

D0 เป็นขา Data

/cs เป็นขาที่ใช้ควบคุมการทำงานของ DRAM

r/w เป็นขาที่ควบคุมการอ่านและเขียนข้อมูล

VDD เป็นขาแหล่งจ่ายแรงดัน (+ 5 V.)

GND เป็นขาที่มีระดับแรงดันเป็น 0 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 คุณสมบัติของชิปหน่วยความจำ

DRAM	32 x 1 bit
Technology	2.0 U. (Lambda = 1.0 um.) / N-well (SCNA)
C_D	281 fF
C_S	104 fF
Circuit	$V_{DD}/2$ precharge
Area	0.3 mm^2 (0.38 x 0.79)
V_{DD}	5 V.
Access time	30 ns
Power	16.7 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Sung – Mo (steve) kang , Yusuf Leblebici CMOS digital integrate circuit : analysit and design New York , NY : Mcgraw – Hill , 1996
2. John P. Uyemura , Circuit Design for CMOS VLSI : Integrate circuit –Very large scale integration London : Kluwer Academic Publishers , 1993
3. Dr. Kiyoo Itoh , VLSI Memory Chip Design : Integrate circuit –Very large scale integration New York , NY : Springer-Verlag Berlin Heidelberg , 2001
4. Kenneth C. Smith , Microelectronic Circuit : Electronic circuit and Integrate circuit , London Saunders College Publishing , 1990
5. R. Jacop Baker , DRAM Circuit Design : Semiconductor storage devices Design and construction New York , NY : the Institute of Electrical and Electronics Engineers , 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้