สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัดแบบหลายแถบความถี่ที่เหมาะสมด้วยสไปลน์ - เรสโคไซน์ฟังก์ชั่นโดยปราศจากตัวคูณโดยใช้ระบบตัวเลขแบบล็อกการิธึม

OPTIMAL MULTIBAND FIR DIGITAL FILTER DESIGN MULTIPLIER BASED ON SPLINE – RAISED COSINE FUNCTION USING LOGARITHMIC NUMBER SYSTEM

โดย

นายปิยะเชษฐ์ ลิขิตเดชาโรจน์

นางสาวพิทยนุช พลเสน

นายศาคภูมิ ถนอมกุลบุตร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ ..... ว.....
เลขทะเบียน 54966 ..... ป.....
วัน,เดือน,ปี ..... 4 มิ.ย. 2548

วงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัดแบบหลายแถบความถี่ที่เหมาะสมด้วยสไปลน์ - เรสโคไซน์ฟังก์ชั่นโดยปราศจากตัวคูณโดยใช้ระบบตัวเลขแบบล็อกการิธึม

OPTIMAL MULTIBAND FIR DIGITAL FILTER DESIGN MULTIPLIER BASED ON SPLINE - RAISED COSINE FUNCTION USING LOGARITHMIC NUMBER SYSTEM

โดย

นายปิยะเชษฐ์ ลิขิตเดชาโรจน์ 43010269

นางสาวพิทยนุช พลแสน 43010302

นายภาคภูมิ ฉนอมกุลบุตร 43010319

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

อาจารย์ ศรวัฒน์ ชิวปรีชา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชาโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **วงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัดแบบหลายแถบความถี่ที่เหมาะสมด้วยสไปลน์ - เรสโคไซน์ฟังก์ชั่นโดยปราศจากตัวคูณโดยใช้ระบบตัวเลขแบบล็อกการิธึม**

Optimal Multiband FIR Digital Filter Design without Multiplier Based on Spline – Raised cosine Function using Logarithmic Number System

ผู้จัดทำ

1. นายปิยะเชษฐ์ ลิขิตเดชาโรจน์ 43010269
2. นางสาวพิทยนุช พลแสน 43010302
3. นายภาคภูมิ ถนอมกุลบุตร 43010319

..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

..... อาจารย์ที่ปรึกษา

(อาจารย์ ศรวัฒน์ ชิวปรีชา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัดแบบหลายแถบความถี่ที่เหมาะสมด้วยสไปลน์ - เรสโคไซน์ฟังก์ชั่นโดยปราศจากตัวคูณโดยใช้ระบบตัวเลขแบบล็อกการิธึม

Optimal Multiband FIR Digital Filter Design without Multiplier Based on Spline – Raised cosine Function using Logarithmic Number System

โดย 1. นายปิยะเชษฐ์ ลิขิตเดชาโรจน์ 43010269

2. นางสาวพิทยนุช พลแสน 43010302

3. นายภาคภูมิ ถนอมกุลบุตร 43010319

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

อาจารย์ ศรวัฒน์ ชิวปรีชา

บทคัดย่อ

โครงงานนี้นำเสนอการออกแบบและสร้างวงจรกรองสัญญาณเชิงเลขชนิดผลตอบสนองอิมพัลส์จำกัดแบบหลายแถบความถี่ที่เหมาะสมบนพื้นฐานของระบบตัวเลขแบบล็อกการิธึม โดยใช้เทคนิคของสไปลน์-เรสโคไซน์ทรานซิชั่นฟังก์ชั่น ซึ่งค่าผลตอบสนองอิมพัลส์ที่ได้นี้สามารถลดผลของปรากฏการณ์กิบส์ให้น้อยลงได้ โดยใช้เกณฑ์การประมาณค่าอินทิกรัลความผิดพลาดกำลังสองในการลดความผิดพลาดให้น้อยที่สุด เพื่อหาอันดับของสไปลน์ฟังก์ชั่นและค่าโรลออฟแฟกเตอร์ของเรสโคไซน์ฟังก์ชั่นที่เหมาะสมที่สุด ทำให้ได้วงจรกรองสัญญาณความถี่ต่ำผ่านที่เหมาะสม สำหรับนำมาสร้างเป็นวงจรกรองสัญญาณแบบหลายแถบความถี่ที่เหมาะสม ในส่วนของฮาร์ดแวร์จะใช้คุณสมบัติทางคณิตศาสตร์ของล็อก คือล็อกของผลคูณจะมีค่าเท่ากับผลบวกของล็อกซึ่งเป็นอีกทางเลือกหนึ่งสำหรับการหาค่าผลคูณ โดยปราศจากตัวคูณ จากนั้นจะใช้ภาษา VHDL มาทำการออกแบบลงบนอุปกรณ์ FPGA ของบริษัท Alter ตระกูล FLEX 10K และใช้โปรแกรม MAX+PLUSII ในการพัฒนาทั้งหมด สุดท้ายผลการสังเคราะห์วงจรรวมทั้งผลตอบสนองทางความถี่ที่ได้จะถูกแสดงเปรียบเทียบกับผลในทางทฤษฎี

Abstract

This project presents a design and implementation of multiplierless optimal multiband FIR digital filter based on logarithmic number system (LNS). The spline – raise cosine transition function technique can be used in order to reduce the effect of Gibbs phenomenon and integral squared error approximation criterion will be minimized to find the optimal order of spline function and optimal roll off factor value of raised cosine function, to obtain optimal low pass filters for construction the optimal multiband filter. The hardware implementation uses the mathematic property of log as log of multiplication equivalent to sum of log, it is possible to obtain an alternative to multiplication , which is addition and multipliers to disappear completely. The test is used VHDL to design onto FLEX10K Altera FPGA by using MAX+plusII program for overall development. Finally, the experimental results and frequency response can be shown when compared with theoretical results.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและการออกแบบ	2
2.1 วงจรกรองความถี่แบบดิจิตอล	2
2.1.1 ความหมายของวงจรกรองความถี่แบบดิจิตอล	2
2.1.2 ส่วนประกอบที่สำคัญในวงจรกรองความถี่แบบดิจิตอล	3
2.2วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด หรือ FIR	4
2.3 คุณสมบัติของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข	4
2.3.1 วงจรกรองแบบหน่วงเวลาคงที่ (Constant - Delay Filter)	4
2.3.2 ชนิดของ FIR ฟิลเตอร์ (Type of FIR Filter)	9
2.4 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข	11
2.5 การใช้ฟังก์ชั่นวินโดว์ (Use of Window Function)	14
2.6 การวิเคราะห์สไปลน์ทรานซิสชั่น	15
2.7 การแทรกสอดระหว่างสัญลักษณ์	18
2.8 สไปลน์เรสโคไซน์ทรานซิชั่นฟังก์ชั่น	23
2.9โครงสร้างของวงจรกรองความถี่ LNS - FIR	23
2.9.1 Logarithmic Numbering System (LNS)	23
2.9.2 โครงสร้างทางฮาร์ดแวร์	24
บทที่ 3 การออกแบบสร้างวงจรกรองสัญญาณเชิงเลขด้วยภาษา VHDL	26
3.1 การออกแบบจากบนลงล่าง	26
3.2 ภาษา VHDL และ ส่วนประกอบต่างๆของภาษา	28
3.2.1 หน่วยการออกแบบเอนทิตี	28
3.2.2 หน่วยการออกแบบสถาปัตยกรรม	29
3.2.3 หน่วยการออกแบบแพ็กเก็ต	33
3.2.4 หน่วยการออกแบบโครงแบบ	34
3.3 การออกแบบวงจรเชิงเลขด้วยอุปกรณ์ FPGA	34
3.3.1 การออกแบบโดยใช้ภาษาอธิบายการทำงานของฮาร์ดแวร์	36
3.3.2 การจำลองการทำงานของวงจร (Simulation)	36
3.3.3 การสังเคราะห์วงจร	36
3.3.4 การแบ่งวงจร (Partitioning)	37
3.3.5 การวางอุปกรณ์ (Placement)	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 การเชื่อมต่อสัญญาณ (Routing) 37
3.3.7 การโปรแกรมอุปกรณ์ FPGA (Configuration) 37
3.4 สถาปัตยกรรมภายในของ FPGA 38

บทที่ 4 การออกแบบและการออกแบบวงจรกรองสัญญาณเชิงเลข 44
4.1 แสดงค่าประมาณการอินทิกรัลความผิดพลาดกำลังสองของสไปลน์ฟังก์ชั่น 44
4.2 แสดงการหาอันดับของสไปลน์ที่เหมาะสม 45
4.3 ผลการทดลองจากการเลียนแบบการทำงานโดยใช้โปรแกรม matlab 47
4.3.1 เปรียบเทียบการใช้ Fourier Series , Spline Function , 47
Raised cosine function และ Spined – Raised cosine function
4.3.2 แสดงการหาค่า Impulse Response ของฟิลเตอร์ที่ออกแบบ 51
4.4 เปรียบเทียบการใช้โครงสร้างโดยตรงกับโครงสร้างแบบ log 52
4.5 โครงสร้างฮาร์ดแวร์ 55
4.6 ผลการทำงานแต่ละส่วนจากโปรแกรม MAX+PLUS II 56
4.6.1วงจร Linear to Log Converter 56
4.6.2วงจร Data Memory 57
4.6.3วงจร Coefficient Memory 57
4.6.4 วงจร Single Adder 58
4.6.5 วงจร Log to Linear Converter 58
4.6.6วงจร Accumulator 59
4.6.7 วงจร Buffer 60
4.6.8 วงจร Control Unit 60
4.7 ผลของวงจรรวมที่สร้างจากโปรแกรม MAX+PLUSII 61
4.8 ผลการออกแบบวงจรกรองสัญญาณเชิงเลขที่ได้ด้วย Altera FPGA 62
เบอร์ EPF10K10LC84-4

บทที่ 5 การทดลองและผลการทดลอง 64
5.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 65
5.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองที่ออกแบบ 67
5.2.1 ผลการทดลองปรับความถี่สัญญาณอินพุตไปที่ค่าต่างๆ 67
5.2.2 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ 70

บทที่ 6 สรุปผลการทดลองและข้อเสนอแนะ 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมของวงจรกรองสัญญาณดิจิตอล 3

รูปที่ 2.2 ส่วนประกอบที่สำคัญในวงจรกรองความถี่แบบดิจิตอล 4

รูปที่ 2.3 แสดงคุณสมบัติของตัวกรองหน่วงเวลา 5

รูปที่ 2.4 แมกนิจูดและแอมปลิจูดของเฟสเชิงเส้น FIR ฟิลเตอร์ 6

รูปที่ 2.5 ผลตอบสนองอิมพัลส์สำหรับความหน่วงเฟสกลุ่มคงที่ 8

รูปที่ 2.6 ผลตอบสนองอิมพัลส์สำหรับความหน่วงกลุ่มคงที่ 9

รูปที่ 2.7 ตัวอย่างผลตอบสนองอิมพัลส์ทั้ง 4 ชนิด ของเฟสเชิงเส้น FIR ฟิลเตอร์ 11

รูปที่ 2.8 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ 13

รูปที่ 2.9 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติที่ใช้สไปลน์ 16
ฟังก์ชั่นอันดับที่ เป็นแถบเปลี่ยนสัญญาณ $\omega_0 = 0.225$, $\Delta = 0.05$

รูปที่ 2.10 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติที่ใช้สไปลน์ 17
ฟังก์ชั่นอันดับที่ 1,2,8 และ 100 เป็นแถบเปลี่ยนสัญญาณ $\omega_0 = 0.5$, $\omega_1 = 0.2$, $\omega_2 = 0.8$

รูปที่ 2.11 การส่งสัญญาณผ่านช่องสัญญาณที่มีแบนวิดท์จำกัด 19

รูปที่ 2.12 การส่งสัญญาณพัลส์ด้วยอัตราไนควิสต์ 20

รูปที่ 2.13 สัญญาณเรสโคไซน์ 21

รูปที่ 2.14 โครงสร้าง FIR 24

รูปที่ 2.15 โครงสร้างของวงจรกรองความถี่แบบ LNS - FIR 25

รูปที่ 3.1 แสดงขั้นตอนการออกแบบจากบนลงล่าง 27

รูปที่ 3.2 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี 28

รูปที่ 3.3 แสดงรูปแบบของ RS_flipflop 29

รูปที่ 3.4 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม 29

รูปที่ 3.5 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop 30
ตามฟังก์ชั่นบูลีน $Q = \overline{QB + R}$ และ $QB = \overline{Q + S}$

รูปที่ 3.6 แสดงโครงสร้างภายในสถาปัตยกรรมของ RS_flipflop 31

รูปที่ 3.7 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง 31

รูปที่ 3.8 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะพฤติกรรม 32

รูปที่ 3.9 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะผสม 32

รูปที่ 3.10 แสดงโครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต 33

รูปที่ 3.11 แสดงโครงสร้างโดยทั่วไปของบอดี้แพ็กเก็ต 34

รูปที่ 3.12 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ 34

รูปที่ 3.13 แสดงลักษณะของตัว FPGA และการนำไปใช้งาน 35

รูปที่ 3.14 แสดงขั้นตอนการออกแบบโดยใช้อุปกรณ์ FPGA 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.15 แสดงโครงสร้างของ FPGA ตระกูล FLEX 10K 38
รูปที่ 3.16 แสดงโครงสร้างภายในของ LE 39
รูปที่ 3.17 แสดงการใช้งาน LUT เป็นโครงข่ายของลอจิก 39
รูปที่ 3.18 แสดงโครงข่ายของการเชื่อมต่อ 40
รูปที่ 3.19 แสดงโครงสร้างภายในของ LAB 41
รูปที่ 3.20 แสดงโครงสร้างภายใน EAB 42
รูปที่ 3.21 แสดงโครงสร้างภายในของ IOE 43
รูปที่ 4.1 เมื่อให้ $\omega_1 = 0.2$ $\omega_2 = 0.25$ 44
รูปที่ 4.2 เมื่อให้ $\omega_1 = 0.1$ $\omega_2 = 0.3$ 44
รูปที่ 4.3 เมื่อให้ $\omega_1 = 0.125$ $\omega_2 = 0.2$ 44
รูปที่ 4.4 เมื่อให้ $\omega_1 = 0.35$ $\omega_2 = 0.45$ 45
รูปที่ 4.5 เมื่อให้ $\omega_1 = 0.15$ $\omega_2 = 0.4$ 45
รูปที่ 4.6 ผลตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับที่ 301 48
รูปที่ 4.7 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 101 49
รูปที่ 4.8 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 301 50
รูปที่ 4.9 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 16 51
รูปที่ 4.10 แสดงค่า Impulse Response 52
รูปที่ 4.11 แสดงโครงสร้างโดยตรงของวงจรกรองที่ออกแบบ 53
รูปที่ 4.12 แสดงโครงสร้างแบบ log ของวงจรกรองที่ออกแบบ 54
รูปที่ 4.13 วงจรกรองความถี่แบบ LNS - FIR 16tap 55
รูปที่ 4.14 แสดง Rom ที่ใช้เก็บค่าของ Linear to Log Converter 56
รูปที่ 4.15 แสดง Symbol ของ Linear to Log Converter 57
รูปที่ 4.16 Waveform ของ Linear to Log Converter 57
รูปที่ 4.17 แสดง Symbol ของ Data Memory 57
รูปที่ 4.18แสดง Waveform ของ Data Memory 57
รูปที่ 4.19 แสดง Symbol ของ Coefficient Memory 58
รูปที่ 4.20 แสดง Waveform ของ Coefficient Memory 58
รูปที่ 4.21 แสดง Symbol ของ Single Adder 58
รูปที่ 4.22 แสดง Waveform ของ Single Adder 58
รูปที่ 4.23 แสดง Rom ที่ใช้เก็บค่าของ Log to Linear Converter 59
รูปที่ 4.24 แสดง Symbol ของ Log to Linear Converter 59
รูปที่ 4.25 แสดง Waveform ของ Log to Linear Converter 59
รูปที่ 4.26 แสดง Symbol ของ Accumulator 59
รูปที่ 4.27 แสดง Waveform ของ Accumulator 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.28 แสดง Symbol ของ Buffer 60
รูปที่ 4.29 แสดง Waveform ของ Buffer 60
รูปที่ 4.30 แสดง Symbol ของ Control Unit 60
รูปที่ 4.31 แสดง Waveform ของ Control Unit 61
รูปที่ 4.32 แสดงวงจรรวมที่สร้างขึ้น 61
รูปที่ 4.33 แสดง Waveform ของวงจรรวม 61
รูปที่ 4.34 แสดงปริมาณ Logic Cells ที่ใช้งานทั้งหมด 63
รูปที่ 4.35 Maximum Frequency ของวงจรรวม 63
รูปที่ 5.1 แสดงวงจรแปลงสัญญาณเชิงอนาลอกเป็นสัญญาณดิจิตอล 64
รูปที่ 5.2 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก 65
รูปที่ 5.3 แสดงการเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ 65
รูปที่ 5.4 แสดงวงจรรวม 66
รูปที่ 5.5 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 9000 Hz 67
รูปที่ 5.6 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 8250 Hz 67
รูปที่ 5.7 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 7238 Hz 68
รูปที่ 5.8 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 6250 Hz 68
รูปที่ 5.9 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 4500Hz 69
รูปที่ 5.10 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 2250 Hz 69
รูปที่ 5.11 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 1000 Hz 70
รูปที่ 5.12 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองของวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัดอันดับที่ 16 แบบหลายแถบความถี่ที่ออกแบบ 71
รูปที่ 5.13 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองของวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัดอันดับที่ 16 แบบหลายแถบความถี่ที่ออกแบบในหน่วย dB 72
รูปที่ 5.14 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองเทียบกับผลการจำลองการทำงาน 72
รูปที่ 5.15 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองเทียบกับผลการจำลองการทำงานในหน่วย dB 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงผลตอบสนองอิมพัลส์ในอุดมคติของวงจรกรองชนิดต่างๆ 14

ตารางที่ 4.1 แสดงค่า Error ที่เกิดจากใช้โครงสร้างโดยตรง 53

ตารางที่ 4.2 แสดงค่า Error ที่เกิดขึ้นจากโครงสร้างแบบ log 54

ตารางที่ 4.3 แสดงตำแหน่งขา Input Output ของ FPGA 62

ตารางที่ 5.1 แสดงค่าสัญญาณของสัญญาณเอาท์พุตที่อ่านได้ ณ ความถี่ต่างๆ 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาของปริญญานิพนธ์

การสร้างวงจรกรองสัญญาณมีการสร้างอยู่ 2 แบบ คือ วงจรกรองสัญญาณอนาล็อก (Analog Filter) วงจรกรองสัญญาณดิจิตอล (Digital Filter) ซึ่งวงจรกรองสัญญาณแบบอนาล็อกจะมีข้อดีคือ ราคาถูกและออกแบบได้ง่าย แต่มีข้อเสียตรงมีประสิทธิภาพต่ำและความแม่นยำในการประมวลน้อย ส่วนวงจรกรองสัญญาณดิจิตอลจะมีความแม่นยำในการคำนวณและประสิทธิภาพดีกว่า เราจึงเลือกที่จะสร้างวงจรกรองสัญญาณดิจิตอล

ในการสร้างวงจรกรองสัญญาณดิจิตอลแบ่งเป็น 2 ชนิดใหญ่ๆ คือ วงจรกรองสัญญาณความถี่ดิจิตอลแบบจำกัดผลตอบสนองอิมพัลส์ (Finite Impulse Response Digital Filter: FIR Filter) และวงจรกรองความถี่ดิจิตอลแบบไม่จำกัดผลตอบสนองอิมพัลส์ (Infinite Impulse Response Digital Filter: IIR Filter) ซึ่งเราจะศึกษาเฉพาะแบบแรกเท่านั้น เพราะสัญญาณที่ได้จะมีความเสถียรภาพเสมอ

1.2 วัตถุประสงค์ของปริญญานิพนธ์

เราต้องการสร้างวงจรกรองความถี่ที่มีผลตอบสนองของสัญญาณเอาท์พุทที่มีค่าใกล้เคียงกับอุดมคติมากที่สุดคือ มีค่าความผิดเพี้ยนของสัญญาณเอาท์พุทน้อยที่สุด ไม่มีสัญญาณรบกวน แยกออกจากสัญญาณผสมของสัญญาณที่ส่งมาพร้อมกันในสายส่งเดียวกัน เพื่อจะนำไปใช้ให้เกิดประสิทธิภาพมากที่สุด

1.3 ขั้นตอนการดำเนินการ

ในการทำปริญญานิพนธ์ได้แบ่งขั้นตอนการทำงานออกเป็นหัวข้อต่างๆดังนี้

1. ทำการศึกษาและออกแบบวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัด ซึ่งออกแบบโดยใช้เทคนิคของสไปลน์ - เรสโกไซน์ทรานซิชั่น (Spline – Raised cosine Transition Function) เพื่อลดผลตอบสนองของปรากฏการณ์กิบส์ โดยใช้เกณฑ์การประมาณค่ากำลังสอง (Integral Squared Error Approximation Criterion) ในการลดความผิดพลาดให้น้อยลงที่สุด (Minimization) เพื่อทำการหาอันดับของสไปลน์ฟังก์ชั่น และค่าโรล์ออฟแฟกเตอร์ที่เหมาะสมที่สุด
2. ออกแบบเป็นวงจรกรองสัญญาณแบบหลายแถบความถี่ที่เหมาะสมจากการรวมกันของวงจรกรองสัญญาณความถี่ต่ำผ่านที่เหมาะสมหลายๆตัว
3. ทำการสร้างวงจรกรองสัญญาณ โดยนำโปรแกรม Max+plusII มาช่วยในการออกแบบเพื่อใช้งานอุปกรณ์ FPGA มาเป็นอุปกรณ์ต้นแบบของวงจรกรองสัญญาณที่ได้
4. ทดสอบการทำงานของวงจรกรองสัญญาณดิจิตอลที่ได้ โดยสามารถกำหนดช่วงของการกรองสัญญาณได้
5. สรุปผลการทดลองรวมทั้งข้อเสนอแนะต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 วงจรกรองความถี่แบบดิจิตอล

2.1.1 ความหมายของวงจรกรองความถี่แบบดิจิตอล

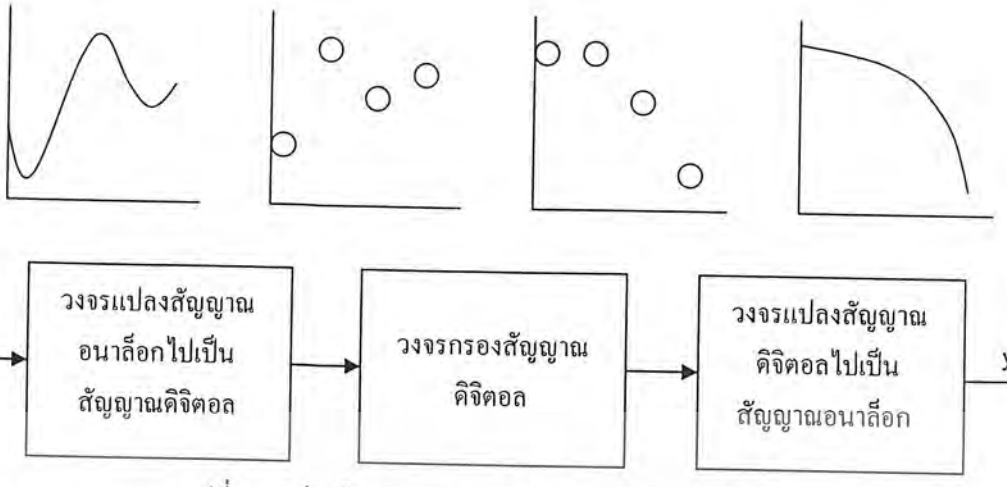
วงจรกรองความถี่แบบดิจิตอล คือ กระบวนการที่ไปดัดแปลงสเปกตรัมของสัญญาณ ให้มีสเปกตรัมเป็นไปตามข้อกำหนดที่ต้องการ ซึ่งอาจเป็นการเพิ่มค่า หรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนดให้ ซึ่งในการวิเคราะห์ และสังเคราะห์วงจรนั้น ต้องใช้เครื่องมือพื้นฐานทางคณิตศาสตร์เข้าช่วย ดังนั้นเราจึงนิยมเรียกว่า วงจรกรองความถี่แบบดิจิตอล

การที่วงจรกรองความถี่แบบดิจิตอลมีการนำมาประยุกต์ใช้งานกันอย่างกว้างขวาง อาจมาจากข้อได้เปรียบหลายประการดังต่อไปนี้

1. ผลตอบสนองความถี่ของวงจรกรองความถี่สามารถออกแบบให้มีความใกล้เคียงกับผลตอบสนองความถี่ที่กำหนดให้ หรือผลตอบสนองความถี่ที่ต้องการได้ นอกจากนี้การออกแบบวงจรกรองความถี่ให้มีผลตอบสนองเชิงเส้นทำได้ง่าย
2. คุณสมบัติของวงจรกรองความถี่ที่ออกแบบและสร้างแล้วจะไม่ขยับเลื่อน (Drift) ไปตามสภาพแวดล้อมหรือตามอุณหภูมิ หรือตามระยะเวลาการใช้งาน นอกจากนี้ยังสามารถใช้งานในย่านความถี่ต่ำได้เป็นอย่างดี
3. การประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบปรับตัวได้ (Adaptive Filter) ทำง่าย
4. ผู้ออกแบบสามารถออกแบบโดยคำนึงถึงความยาวของคำ (Wordlength) ของตัวเลขฐานสองที่ต้องการใช้ และยังสามารถออกแบบให้มีผลตอบสนองความถี่ตามที่ต้องการได้
5. ในปัจจุบันถ้าพิจารณาในแง่มุมของเสถียรภาพของวงจรกรองความถี่ ความเชื่อถือได้ ราคา หรือขนาดของวงจรกรองความถี่แบบดิจิตอล สิ่งเหล่านี้กำลังได้รับการพัฒนา และปรับปรุง และมีแนวโน้มว่าจะให้ผลลัพธ์ที่ดีของวงจรกรองความถี่แบบอนาล็อก (Analog Filter) หรือเรียกว่า วงจรกรองความถี่เชิงอนุมาน

วงจรกรองสัญญาณดิจิตอลสามารถเขียนอธิบายในรูปของบล็อกไดอะแกรมได้ดังรูปที่ 2.1 โดยสัญญาณ อินพุทซึ่งเป็นสัญญาณอนาล็อกจะถูกสุ่ม (Sampled) ด้วยช่วงเวลาที่ค่าคงที่ค่าหนึ่ง และสัญญาณที่ถูกสุ่มนี้จะถูกเปลี่ยนให้อยู่ในรูปของเลขฐานสองโดยการแปลงสัญญาณดิจิตอลหรือสัญญาณเชิงเลข (Analog to Digital Converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกไดอะแกรมของวงจรกรองสัญญาณดิจิตอล

หลังจากนั้นเลขฐานสองที่แทนสัญญาณ อนาล็อกที่เข้ามาทางอินพุตจะถูกกรองโดยวงจรกรองสัญญาณดิจิตอล การกรองจะเป็นการคำนวณทางตัวเลขซึ่งจะอาศัยวงจรที่ใช้ในระบบคอมพิวเตอร์ ได้แก่ ตัวบวก (Adder) ตัวคูณ (Multiplier) รีจิสเตอร์ (Shift Register) และอุปกรณ์หน่วยความจำ (Memory Device) ต่อมาค่าเอาท์พุทที่นำมาใช้งานได้ วงจรกรองสัญญาณดิจิตอลนี้จะถูกแปลงกลับเป็นสัญญาณอนาล็อกอีกทีหนึ่งเป็นสัญญาณเอาท์พุทที่นำไปใช้งานได้ วงจรสัญญาณดิจิตอลสามารถแบ่งได้เป็น 2 ประเภทตามลักษณะของผลตอบสนองอิมพัลส์ ได้แก่

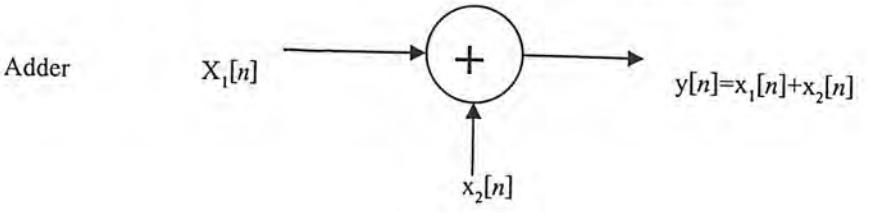
1. วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัดผลตอบสนองอิมพัลส์
2. วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์ไม่จำกัดผลตอบสนองอิมพัลส์

วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัดผลตอบสนองอิมพัลส์ มักเป็นตัวกรองที่ไม่มีการป้อนกลับเป็นวงจรที่มีโครงสร้างง่ายๆและมีเสถียรภาพที่ดี แต่มีข้อเสียที่จะให้วงจรกรองที่มีอันดับสูงถึงแม้จะต้องการให้มีลักษณะทางความถี่ที่ง่ายๆก็ตาม

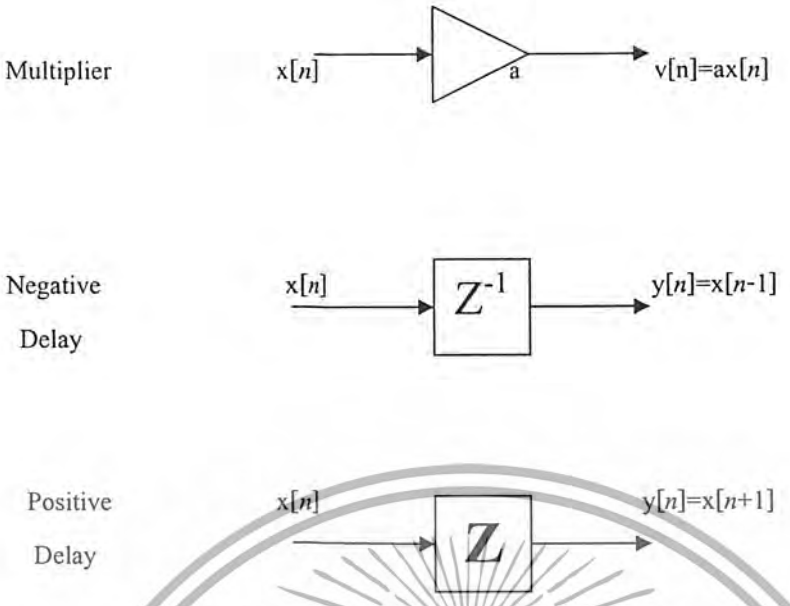
ส่วนวงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์ที่ไม่จำกัดเป็นตัวกรองที่มีการป้อนกลับเป็นวงจรที่ใช้อันดับต่ำกว่าวงจรกรองแบบผลตอบสนองอิมพัลส์จำกัดที่ต้องการลักษณะทางความถี่เหมือนกันแต่การออกแบบจะยุ่งยากกว่า และมีปัญหาในเรื่องความมีเสถียรภาพไม่ดีนัก

2.1.2 ส่วนประกอบที่สำคัญในวงจรกรองความถี่แบบดิจิตอล

วงจรกรองความถี่แบบดิจิตอลประกอบไปด้วยส่วนประกอบที่สำคัญ 3 ส่วน คือ การบวก,การคูณ และการหน่วง (Delay) ดังแสดงในรูปที่ 2.2 การบวกและการคูณจะใช้แนวความคิดมาจากตัวเลขในหน่วยคอมพิวเตอร์ ส่วนการหน่วงจะทำให้การถึงข้อมูลในอนาคต มีค่าอย่างต่อเนื่อง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ส่วนประกอบที่สำคัญในวงจรกรองความถี่แบบดิจิตอล

การหน่วงจะแบ่งออกเป็น 2 ส่วนคือ บวก (Positive) และลบ (Negative) โดยการหน่วงแบบบวกนี้เป็นอุปกรณ์ที่ทำหน้าที่บันทึกความจำของรีจิสเตอร์ (Register) จะเก็บค่าได้ตามระยะเวลาที่กำหนดสำหรับการคำนวณครั้งต่อไป การหน่วงแบบบวกจะแทนค่าด้วย Z^{1} และสามารถอธิบายความสัมพันธ์ได้โดยการแปลงแซด การหน่วงแบบลบใช้แทนค่าต่อไปในระดับสัญญาณ แทนค่าด้วย Z จะมีชนิดและการใช้งานที่เหมาะสม อย่างไรก็ตาม การใช้งานก็ยังไม่สามารถใช้งานได้เสมอไป

วงจรกรองความถี่แบบดิจิตอล สามารถออกแบบให้มีค่าของการคูณที่แน่นอน และมีหลักการในการพิจารณาที่ไม่ยุ่งยากซับซ้อน

2.2 วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์จำกัด หรือ FIR

ในการออกแบบตัวกรองแบบอนาล็อก หรือตัวกรองแบบดิจิตอลโดยทั่วไป เรามักให้ความสำคัญแก่ผลตอบสนองแอมปลิจูดมากกว่า นั่นคือ ออกแบบให้มีผลตอบสนองแอมปลิจูดตามต้องการ โดยยอมให้ผลตอบสนองเฟสเป็นอย่างไรก็ได้แต่ในงานบางชนิดนั้น เช่น การประมวลผลภาพ เป็นต้น ผลตอบสนองเฟสมีความสำคัญมาก หรือในการประมวลผลสัญญาณอีซีจี (ECG: Electrocardiagram) ที่ขนาดและลักษณะรูปคลื่นของสัญญาณ ก็จะทำให้ค่าขนาด ลักษณะรูปคลื่น หรือเวลาในการเกิดสัญญาณนี้ผิดเพี้ยนไป ในการออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเลขสามารถทำได้ 3 วิธี

1. ออกแบบโดยใช้อนุกรมฟูเรียร์ (Fourier Series)
2. ออกแบบโดยใช้การแปลงดีสครีตฟูเรียร์ (Discrete Fourier Transform)
3. ออกแบบโดยใช้ Optimization Techniques

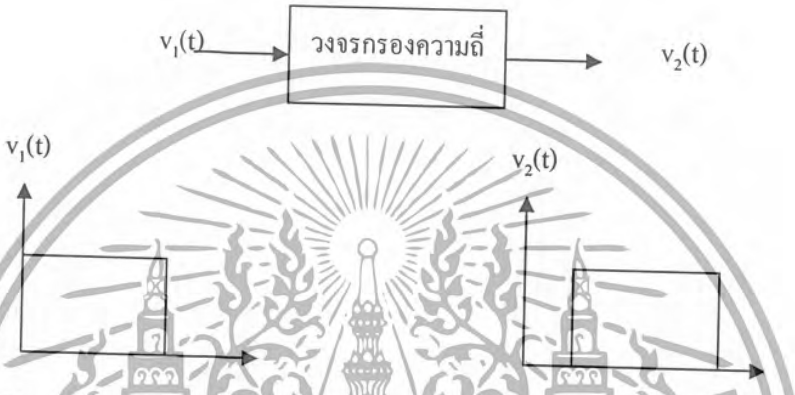
2.3 คุณสมบัติของวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอล

2.3.1 วงจรกรองแบบหน่วงเวลาคงที่ (Constant - Delay Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ความกระจ่างเกี่ยวกับคุณสมบัติการมีผลตอบสนองเป็นเชิงเส้น เรามาทำความรู้จักกับวงจรกรองแบบหนึ่งที่มีชื่อว่า วงจรหน่วงเวลา วงจรแบบนี้มีคุณสมบัติดังแสดงไว้ในรูปที่ 2.3 คือยอมให้สัญญาณผ่านออกไปได้โดยที่ลักษณะของลูกคลื่นสัญญาณออกไปไม่ผิดเพี้ยน เพียงแต่เวลาของการเกิดรูปคลื่นจะมีเวลาหน่วงออกไป τ วินาที โดยที่ τ เป็นค่าเวลาคงตัวที่กำหนดให้ ถ้าให้ $v_2(t)$ เป็นสัญญาณออกจากวงจรกรอง และ $v_1(t)$ เป็นสัญญาณเข้าของวงจรกรอง เราสามารถเขียนความสัมพันธ์ของทั้งสองสัญญาณนี้ได้เป็น

$v_2(t)=v_1(t-T)$



รูปที่ 2.3 แสดงคุณสมบัติของตัวกรองหน่วงเวลา

จากฟังก์ชันของวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอลที่เป็นเหตุกภาพ

$$H(z)=\sum_{n=0}^{N-1}h(nT)z^{-n} \tag{2.1}$$

และเมื่อให้ $z=e^{j\omega}$ จะได้ผลตอบสนองความถี่เป็น

$$H(\omega)=\sum_{n=0}^{N-1}h(nT)e^{-j\omega nT} \tag{2.2}$$

ถ้าให้ $H(\omega)$ เป็นจำนวนเชิงซ้อน โดยส่วนจริง (Real Part) และส่วนจินตภาพ Iimaginary Part) ของ $H(\omega)$ จะอยู่ในรูป

$$H(\omega)=R(\omega)+jI(\omega) \tag{2.3}$$

ค่าแมกนิจูด (Magnitude) และเฟส (Phase) จะได้

$$M(\omega)=\left|H(\omega)\right|=\sqrt{R^2+I^2}$$

$$d(\omega)=\arctan\left(\frac{1}{R}\right)$$

ฉะนั้น

$$H(\omega)=M(\omega)e^{jd(\omega)} \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

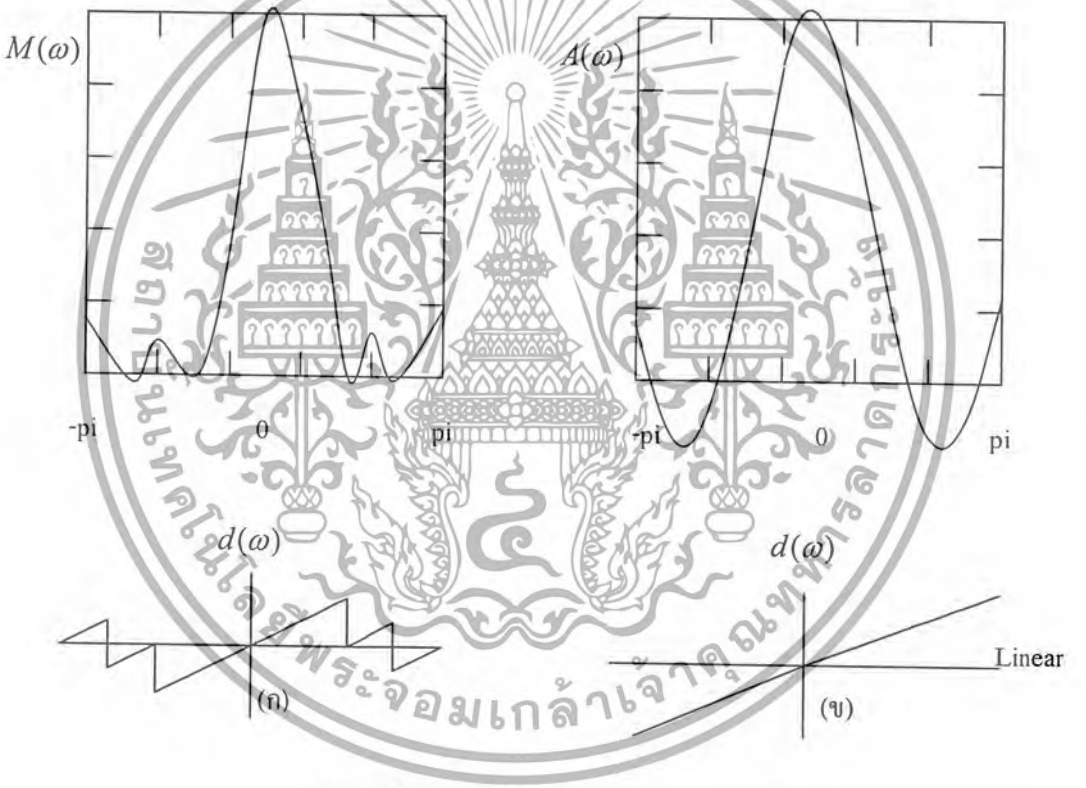
ปัญหาทางคณิตศาสตร์เกิดขึ้นเนื่องจาก $M(\omega)$ ไม่สามารถวิเคราะห์ (Analytic) และ $d(\omega)$ ไม่ต่อเนื่อง ทางแก้ปัญหาคือ การสร้างแอมปลิจูดค่าจริง $A(\omega)$ ซึ่งอาจจะเป็นค่าบวก หรือค่าลบ จะได้ผลตอบสนองความถี่

$$H(\omega) = A(\omega)e^{j\theta(\omega)} \tag{2.5}$$

เมื่อ $A(\omega)$ คือ แอมปลิจูด ซึ่งมาจากแมกนิจูด $M(\omega)$ และ $\theta(\omega)$ มีค่าต่อเนื่อง $A(\omega)$ เป็นค่าจริงวิเคราะห์ความสัมพันธ์กับแมกนิจูด

$$A(\omega) = \pm M(\omega) \tag{2.6}$$

จากนิยามนี้ $A(\omega)$ สามารถทำการวิเคราะห์ และ $\theta(\omega)$ สามารถทำให้ต่อเนื่องได้ ซึ่งคุณสมบัติเหล่านี้นำมาใช้งานง่ายกว่า $M(\omega)$ และ $d(\omega)$ ความสัมพันธ์ระหว่าง $A(\omega)$ กับ $M(\omega)$ และระหว่าง $\theta(\omega)$ กับ $d(\omega)$ แสดงดังรูป



(ก) แมกนิจูดและเฟส (ข) แอมปลิจูดและเฟส

รูปที่ 2.4 แมกนิจูดและแอมปลิจูดของเฟสเชิงเส้น FIR ฟิลเตอร์

ดังนั้นจะได้

$$A(\omega) = |H(\omega)| \tag{2.7}$$

และ

$$\theta(\omega) = \arg H(\omega)$$

การกล่าวถึงคุณสมบัติของวงจรกรองนั้นยังมีอีกสองคำที่มักใช้ในการบ่งถึงคุณสมบัติของผลตอบสนองเฟสด้วย คำแรกคือ ความหน่วงเฟส (Phase Delay) จะเขียนแทนด้วย τ_p ซึ่งนิยามให้เป็นอัตราส่วนของเฟสต่อความถี่ หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_p = -\frac{\theta(\omega)}{\omega}$$

คำที่สองคือ ความหน่วงกลุ่ม (Group Phase Delay หรือ Envelope Delay) จะเขียนแทนด้วย τ_g ซึ่งนิยามให้เป็นค่า อนุพันธ์ของเฟสเมื่อเปรียบเทียบกับความถี่ หรือ

$$\tau_g = -\frac{d\theta(\omega)}{d\omega}$$

ความหน่วงเฟสคงที่ (Constant Phase Delay) เทียบกับความถ่วงกลุ่มคงที่ (Constant Group Delay) ซึ่งผลตอบสนองเฟสต้องเป็นเชิงเส้น

$$\theta(\omega) = -\tau\omega$$

และจากสมการ

$$\theta(\omega) = -\tau\omega = \tan^{-1}\frac{-\sum_{n=0}^{N-1} h(nT)\sin\omega nT}{\sum_{n=0}^{N-1} h(nT)\cos\omega nT}$$

$$\tan\omega\tau = \frac{\sum_{n=0}^{N-1} h(nT)\sin\omega nT}{\sum_{n=0}^{N-1} h(nT)\cos\omega nT}$$

และจาก

$$\sum_{n=0}^{N-1} h(nT)(\cos\omega nT\sin\omega\tau - \sin\omega nT\cos\omega\tau) = 0$$

หรือ

$$\sum_{n=0}^{N-1} h(nT)\sin(\omega\tau - \omega nT) = 0$$

แก้สมการออกมาได้ดังนี้

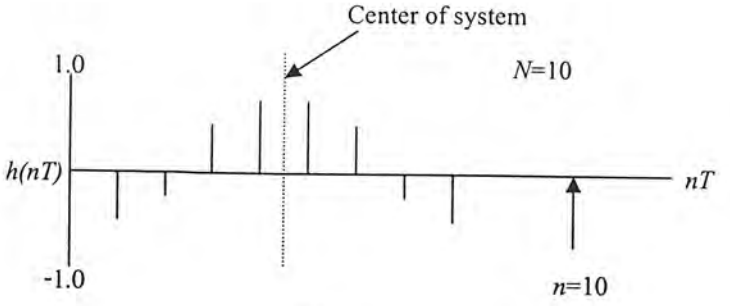
$$\tau = \frac{(N-1)T}{2} \tag{2.8}$$

$$h(nT) = h[(N-1-n)T \qquad \text{for} \qquad 0 \le n \le N-1 \tag{2.9}$$

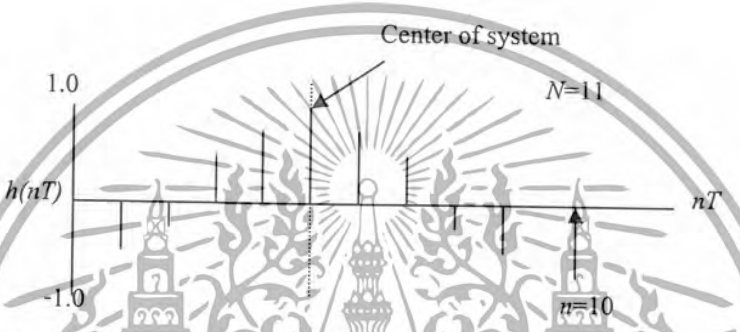
เพราะฉะนั้นวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอลจะไม่เหมือนกับวงจรกรองความถี่ป้อนกลับแบบดิจิตอล ซึ่งมีความหน่วงเฟสและกลุ่มคงที่ครอบคลุมเบสแบนด์ทั้งหมด มีผลเพียงเพื่อให้ผลตอบสนองอิมพัลส์นั้นสมมาตรที่จุดกึ่งกลางระหว่างแซมเปิ้ล *(N-2)/2* และ *N/2* สำหรับ *N* เป็นเลขคู่ หรือที่ *(N-1)/2*

สำหรับ *N* เป็นเลขคี่ สมมาตรที่ต้องการแสดงดังรูปที่ 2.5 เมื่อ *N*=10 และ 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

(ก) N เป็นจำนวนคู่ (ข) N เป็นเลขคี่

รูปที่ 2.5 ผลตอบสนองอิมพัลส์สำหรับความหน่วงเฟสกลุ่มคงที่

ในหลายๆการประยุกต์อาจจะให้คุณสมบัติเพียงการหน่วงเฟส หรือความหน่วงกลุ่มเพียงอย่างเดียวก็ได้กรณีที่ต้องการเพียงความหน่วงกลุ่ม จะให้ผลตอบสนองเฟสเป็น

$$\theta(\omega) = \theta_0 - \tau\omega$$

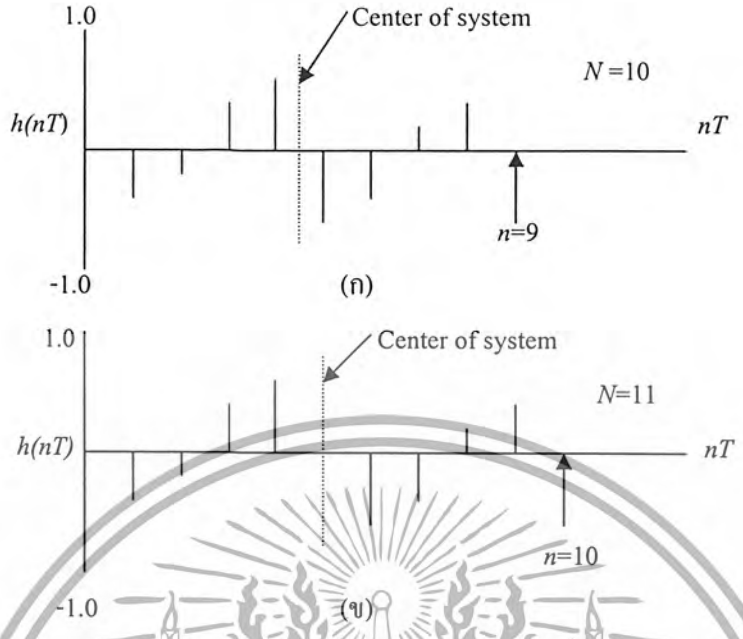
เมื่อ θ_0 เป็นค่าคงที่ในที่นี้ให้ $\theta_0 = \pm\pi/2$ จะได้

$$\tau = \frac{(N-1)T}{2} \tag{2.10}$$

$$h(nT) = -h[(N-1-n)T] \tag{2.11}$$

ในกรณีนี้ผลตอบสนองอิมพัลส์นั้นจะปฏิสมมาตรที่จุดกึ่งกลางระหว่างแซมเปิ้ล *(N-2)/2* และ *N/2* สำหรับ N เป็นเลขคู่ หรือที่ *(N-1)/2* สำหรับ N เป็นเลขคี่ สมมาตรที่ต้องการแสดงดังรูปที่ 2.6 เมื่อ N=10 และ 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) N เป็นเลขคู่ (ข) N เป็นเลขคี่

รูปที่ 2.6 ผลตอบสนองอิมพัลส์สำหรับความหน่วงกลุ่มคงที่

2.3.2 ชนิดของ FIR ฟิลเตอร์ (Type Of FIR Filter)

นอกจากนี้ยังมีการพัฒนาคุณลักษณะ และคุณสมบัติของเฟสเชิงเส้นฟิลเตอร์ ทำให้เราได้รูปแบบเชิงเส้นทั่วไปสำหรับฟังก์ชั่นเฟส (Phase Function) ในที่นี้พิจารณาเมื่อผ่านการนอร์มอลไลซ์ (Normalize) โดยการให้คาบเวลาในการแซมปลิ้ง (T) เท่ากับ 1

$$\theta(\omega) = K_1 + K_2\omega$$

พิจารณาจากสมการ (2.2) เมื่อทำการนอร์มอลไลซ์แล้ว จะได้สมการออกมา ซึ่งก็คือฟังก์ชั่นของผลตอบสนองความถี่ของ FIR ฟิลเตอร์ อันดับที่ N

$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n}$$

$$H(\omega) = e^{-j\omega M}\sum_{n=0}^{N-1} h(n)e^{j\omega(M-n)} \qquad (2.12)$$

และ

$$H(\omega) = e^{-j\omega M}[h_0 e^{j\omega M} + h_1 e^{j\omega(M-1)} + \ldots + h_{N-1}e^{j\omega(M-N+1)}] \qquad (2.13)$$

จากสมการ (2.12) สามารถเขียนอยู่ในรูปแบบ

$$H(\omega) = A(\omega)e^{j(K_1+K_2\omega)} \qquad (2.14)$$

ถ้า M (ไม่จำเป็นต้องเป็นจำนวนเต็ม) ถูกกำหนดให้

$$M = \frac{N-1}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือเท่ากับ

$$M = N - M - 1$$

การที่ (2.14) จะกลายเป็น

$$H(\omega) = \{(h_0 + h_{N-1})\cos(\omega M) + j(h_0 - h_{N-1})\sin(\omega M) + (h_0 + h_{N-2})\cos(\omega(M-1)) + j(h_1 - h_{N-2})\sin(\omega(M-1)) + \ldots\} \quad (2.15)$$

เมื่อเรานำสมการ (2.15) มาแทนในสมการ (2.14) แล้ว $A(\omega)$ เป็นค่าจริง คือ $K_1 = 0$ หรือ $K_1 = \pi/2$ กรณีแรกที่ได้คือ การสมมาตรคู่ หรือ (Even Symmetric Or Symmetrical) ซึ่งตรงกับสมการ (2.16)

$$h(n) = h(N - n - 1) \quad (2.16)$$

ซึ่งจะได้

$$H(\omega) = A(\omega)e^{-jM\omega}$$

เมื่อ $A(\omega)$ เป็นฟังก์ชั่นค่าจริงของ ω และ $e^{-jM\omega}$ และเมื่อ N เป็นเลขคี่ (Odd)

$$A(\omega) = \sum_{n=0}^{M-1} 2h(n)\cos(\omega(M-n)) + h(M) \quad (2.17)$$

เปลี่ยนค่าตัวแปรจะได้

$$A(\omega) = \sum_{n=1}^{M} 2h(M-n)\cos(\omega n) + h(M) \quad (2.18)$$

เมื่อ N เป็นเลขคู่ (Even)

$$A(\omega) = \sum_{n=0}^{\frac{N}{2}-1} 2h(n)\cos(\omega(M-n)) \quad (2.19)$$

เปลี่ยนค่าตัวแปรจะได้

$$A(\omega) = \sum_{n=1}^{\frac{N}{2}} 2h\left(\frac{N}{2} - n\right)\cos\left(\omega\left(n - \frac{1}{2}\right)\right) \quad (2.20)$$

เมื่อ $K_1 = \pi/2$ ในสมการ (2.14) แล้วรูปแบบของ $h(n)$ ของสมการสมมาตรคี่ หรือปฏิสมมาตร (Odd Symmetric or Antisymmetric) ซึ่งจะตรงกับสมการ (2.21)

$$h(n) = -h(N - n - 1) \quad (2.21)$$

สำหรับ N เป็นเลขคี่แล้ว $H(\omega)$ จะได้เป็น

$$H(\omega) = jA(\omega)e^{-jM\omega}$$

เมื่อ

$$A(\omega) = \sum_{n=0}^{N-1} 2h(n)\sin(\omega(M-n)) \quad (2.22)$$

สำหรับ N เป็นเลขคู่

$$A(\omega) = \sum_{n=0}^{\frac{N}{2}-1} 2h(n)\sin(\omega(M-n)) \quad (2.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปชนิดของวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอล

ชนิดที่ 1 ผลตอบสนองอิมพัลส์ที่มีอันดับคี่ และเป็นการสมมาตรคู่ จะอยู่ที่จุดกึ่งกลาง $n=M=(N-1)/2$ ซึ่งต้องการ $h(n) = h(N-n-1)$ และได้สมการ (2.17) และ (2.19)

ชนิดที่ 2 ผลตอบสนองอิมพัลส์ที่มีอันดับคู่ และเป็นการสมมาตรคู่ จะอยู่ที่ M แต่ M ไม่เป็นจำนวนเต็ม เพราะฉะนั้นจะไม่มี $h(n)$ ที่จุดสมมาตร จะได้สมการ (2.19) และ (2.20)

ชนิดที่ 3 ผลตอบสนองอิมพัลส์ที่มีอันดับคี่ และเป็นการสมมาตรคี่ จากสมการ (2.21) ให้ผลคูณส่วนจินตภาพสำหรับเฟสเชิงเส้นอยู่ในรูปสมการ (2.22)

ชนิดที่ 4 ผลตอบสนองอิมพัลส์ที่มีอันดับคู่ และเป็นสมมาตรคี่ อยู่ในรูปสมการ (2.21) และ (2.23)

คุณลักษณะที่แสดงออกมาของแต่ละชนิดมีความสำคัญในการออกแบบวงจรกรองความถี่ เช่น ชนิดที่ 3 และ 4 $A(0)=0$ สำหรับทุกสัมประสิทธิ์ $h(n)$ ซึ่งไม่นิยมใช้สำหรับวงจรกรองความถี่ต่ำ ชนิดที่ 2 และ 3 ค่า $A(\pi) = 0$ เสมอ ซึ่งไม่นิยมใช้กับวงจรกรองความถี่สูง เป็นต้น

ระหว่างวงจรกรองความถี่สมมาตรคู่ และสมมาตรคี่ วงจรกรองความถี่ที่มีประโยชน์ใช้งานมากก็คือ วงจรจรกรองความถี่สมมาตรคู่ เพราะค่าของฟังก์ชั่นถ่ายโอนมีเฉพาะค่าจริง ทำให้ผลตอบสนองเฟสอาจเป็นค่าคงที่หรือค่าศูนย์ หรือเรียกว่าเป็นวงจรจรองความถี่ที่มีผลตอบสนองเฟสที่แปลงเป็นเชิงเส้นกับความถี่ได้ นั่นคือ ไม่เกิดความผิดพลาดในทางเฟสของสัญญาณ

รูปที่ 2.7 ตัวอย่างผลตอบสนองอิมพัลส์ทั้ง 4 ชนิด ของเฟสเชิงเส้น FIR ฟิลเตอร์

2.4 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอล

คำสั่ง FIR ย่อมาจาก Finite Impulse Response ซึ่งแปลว่า ผลตอบสนองอิมพัลส์จำกัด นั่นคือหากเราป้อนสัญญาณอิมพัลส์ให้กับวงจรนี้แล้ว สัญญาณตอบสนองจะมีค่าจำกัด โดยสัญญาณเอาท์พุทของระบบจะขึ้นอยู่กับสัญญาณอินพุทเท่านั้น จึงเรียกว่า วงจรกรองความถี่ไม่ป้อนกลับ (Non-Recursive Filter) หรือไม่ป้อนกลับแบบดิจิตอล ซึ่งสามารถเขียนสมการได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$y(n) = \sum_{k=0}^{N-1} b_k x(n-k) \tag{2.24}$$

โดยที่ b_k เป็นค่าคงที่ใดๆที่แทนค่าสัมประสิทธิ์ (Coefficient) ของวงจรกรองความถี่และในทางปฏิบัติค่า k จะมีค่าคงที่ ไม่ถึงกับมีค่าอนันต์ ขึ้นกับอันดับของวงจรกรองความถี่ N ที่ต้องการใช้จะได้

$$y(n) = \sum_{k=0}^{N-1} b_k x(n-k) \tag{2.25}$$

และจะได้สมการคอนโวลูชั่น (Convolution) เป็น

$$y(n) = \sum_{k=0}^{N-1} h(M) x(n-k) \tag{2.26}$$

เปลี่ยนค่าตัวแปร จะได้

$$y(n) = \sum_{m=n}^{n-N+1} h(n-m) x(m) \tag{2.27}$$

เมื่อ x(n) เป็นอินพุท และ h(n) เป็นผลตอบสนองอิมพัลส์อันดับที่ N (Length - N Impulse Response) เมื่อนำมาประยุกต์ใช้งานกับการแปลงแซด จะได้ฟังก์ชั่นถ่ายโอน

$$H(Z) = \sum_{n=0}^{N-1} h(n) z^{-n} \tag{2.28}$$

แทนค่า $z = e^{j\omega}$ จะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ไม่ป้อนกลับแบบดิจิตอล

$$H(\omega) = \sum_{n=0}^{N-1} h(n) e^{-j\omega M} \tag{2.29}$$

การออกแบบโดยใช้อนุกรมฟูเรียร์

ในการออกแบบวงจรกรองสัญญาณแบบดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัด (FIR Filter) โดยทั่วไปจะทำการออกแบบจากอนุกรมฟูเรียร์ (Fourier Series) โดยผลตอบสนองที่ได้นี้จะเป็นผลตอบสนองในทางอุดมคติ ซึ่งในทางปฏิบัติค่าสัมประสิทธิ์หรือผลตอบสนองอิมพัลส์ที่จะนำมาใช้งานนั้นจะต้องมีจำนวนที่จำกัดซึ่งผลจากการตัดค่าผลตอบสนองอิมพัลส์ให้มีจำนวนที่จำกัดนี้จะทำให้เกิดความพลิ้ว (Ripples) ขึ้นที่ย่านและหยุดสัญญาณ รวมทั้งเกิดโอเวอร์ชูท (Overshoot) ขึ้นที่ขอบของย่านผ่านสัญญาณ ซึ่งผลที่เกิดขึ้นนี้รวมเรียกว่าปรากฏการณ์กิบส์ (Gibss's Phenomenon) การลดผลที่เกิดขึ้นนี้สามารถทำได้โดยการถ่วงน้ำหนัก (Weighted) ด้วยฟังก์ชันหน้าต่าง(Window Function) ชนิดต่างๆ

ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่มีผลตอบสนองอิมพัลส์จำกัด N ตัว สามารถคำนวณได้จากการแปลงฟูเรียร์เวลาเต็มหน่วย (Discrete - time Fourier Transform: DTFT) ของผลตอบสนองอิมพัลส์ได้ดังนี้

$$H(\omega) = \sum_{n=0}^{N-1} h(n) e^{-j\omega n} \tag{2.30}$$

สมมติให้เฟสเป็นเชิงเส้น (Linear Phase) จะสามารถเขียนได้เป็น

$$H(\omega) = A(\omega) e^{-jM\omega} \tag{2.31}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $A(\omega)$ คือผลตอบสนองแอมปลิจูด

$M = \frac{(N-1)}{2}$ คือค่าความหน่วงกลุ่ม (Constant Group Delay) ของวงจร

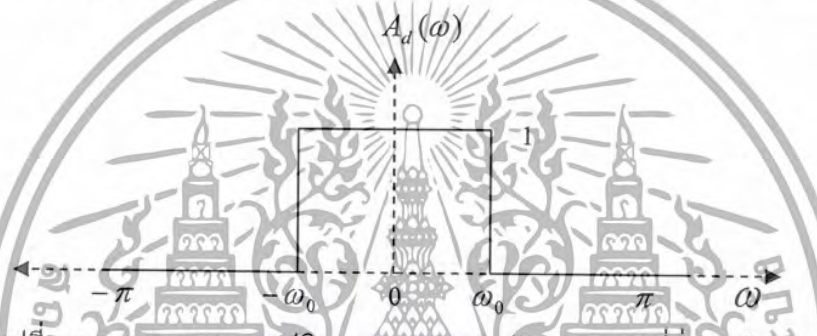
สำหรับ N เป็นจำนวนคี่จะได้

$$A(\omega) = \sum_{n=-M}^{M} \hat{h}(n)\cos(\omega n) \tag{2.32}$$

โดย $\hat{h}(n) = h(n+M)$ ซึ่งคือค่า $h(n)$ ที่ถูกเลื่อนไปทางซ้ายเพื่อให้เกิดความสมมาตร (Symmetric) ที่ n=0 ผลการแปลงกลับฟูเรียร์เต็มหน่วยเวลา (Inverse DTFT) ของ $A(\omega)$ จะทำให้ได้ผลตอบสนองอิมพัลส์ดังนี้

$$\hat{h}(n) = \frac{1}{\pi}\int_{0}^{\pi} A(\omega)\cos(\omega_n)d\omega \tag{2.33}$$

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ ผลตอบสนองแอมปลิจูด สามารถแสดงได้ดังรูปที่ 2.8



รูปที่ 2.8 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติ

ผลตอบสนองในทางอุดมคติจะมีค่าเป็น 1 ถ้าความถี่อยู่ในย่านผ่านสัญญาณ คือระหว่าง 0 ถึง ω_0 และมีค่าเป็น 0 ถ้าอยู่ในย่านหยุดสัญญาณ คือระหว่าง ω_0 ถึง π (พิจารณาเป็นค่า normalized frequency คือ $\omega_s = 2\pi$) ซึ่งเขียนเป็นสมการได้โดย

$$A_d(\omega) = \begin{cases} 1 & 0 < \omega < \omega_0 \\ 0 & \omega_0 < \omega < \pi \end{cases} \tag{2.34}$$

อาศัยสมการที่ (2.33) และสมการที่ (2.34) จะทำให้ได้ผลตอบสนองอิมพัลส์ในอุดมคติ ดังนี้

$$\hat{h}_d(n) = \frac{1}{\pi}\int_{0}^{\pi} A_d(\omega)\cos(\omega_n)d\omega$$

$$= \frac{1}{\pi\int_{0}^{\omega_0}\cos(\omega_n)d\omega} = \frac{\sin(\omega_0 n)}{\pi n} \tag{2.35}$$

ซึ่งค่า $\hat{h}_d(n)$ ที่เป็นผลตอบสนองสมการที่ (2.35) โดยทั่วไปจะมีจำนวนเป็นอนันต์ เพื่อที่จะให้ได้ผลตอบสนองในทางอุดมคติ แต่ในทางปฏิบัติจะต้องเป็นการตัดให้เหลือจำนวนเพียง N ตัว และเลื่อนไปทางขวา M ตำแหน่ง เพื่อที่จะทำให้ระบบคอซอล (Causal) ซึ่งจะทำให้ได้ผลตอบสนองอิมพัลส์เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$h(n) = \begin{cases} \dfrac{\sin(\omega_0(n-M))}{\pi(n-M)} & \text{สำหรับ } 0 \le n \le N-1 \\ \\ 0 & \text{อื่นๆ} \end{cases} \tag{2.36}$$

ในทำนองเดียวกันเราสามารถหา $\hat{h}_d(n)$ สำหรับวงจรกรองชนิดอื่นๆได้โดยใช้วิธีข้างต้นกระทำกับผลตอบสนองทางความถี่ของวงจรกรองนั้นๆ ซึ่งตารางที่ 2.1 ได้สรุปค่าของ $\hat{h}_d(n)$ สำหรับวงจรกรองชนิดอื่นๆไว้ดังนี้

ชนิดของวงจรกรอง	$\hat{h}_d(n), -\infty < n < \infty$	$\hat{h}_d(0)$
ความถี่ต่ำผ่าน (LPF)	$\dfrac{\sin(\omega_0 n)}{\pi n}$	$\dfrac{\omega_0}{\pi}$
ความถี่สูงผ่าน(HPF)	$-\dfrac{\sin(\omega_0 n)}{\pi n}$	$1-\dfrac{\omega_0}{\pi}$
แถบความถี่ผ่าน(BPF)	$\dfrac{\sin(\omega_{02} n)-\sin(\omega_{01} n)}{\pi n}$	$\dfrac{\omega_{02}-\omega_{01}}{\pi}$
แถบความถี่หยุดสัญญาณ(BSF)	$\dfrac{\sin(\omega_{01} n)-\sin(\omega_{02} n)}{\pi n}$	$1-\dfrac{\omega_{02}-\omega_{01}}{\pi}$

ตาราง 2.1 แสดงผลตอบสนองอิมพัลส์ในอุดมคติของวงจรกรองชนิดต่างๆ

2.5 การใช้ฟังก์ชั่นวินโดว์ (Use of Window Function)

ฟังก์ชั่นวินโดว์เป็นเทคนิคที่นิยมและใช้ง่าย ที่ใช้สำหรับการลดผลของการออสซิลเลชั่น โดยการปรับปรุงสัมประสิทธิ์ของอนุกรมฟูเรียร์ คือการถ่วงน้ำหนักอนุกรมฟูเรียร์ด้วยฟังก์ชั่นวินโดว์ที่เหมาะสม สามารถทำให้ลูกคลื่นที่เกิดบนผลตอบสนองความถี่น้อยลงไป โดยทั่วไปการถ่วงน้ำหนัก จากเดิมเราตัดปลายอนุกรมฟูเรียร์จำนวนอนันต์พจน์ผ่านหน้าต่างนี้ออกไป อนุกรมนี้จะถูกถ่วงน้ำหนัก หรือตัดปลายตามต้องการ

ฉะนั้นผลตอบสนองอิมพัลส์ ก็คือ ผลคูณของผลตอบสนองอิมพัลส์อุดมคติ $h_d(n)$ กับค่าฟังก์ชั่นวินโดว์ $a_w(n)$

$$h(n) = h_d(n)a_w(n) \tag{2.37}$$

ถ้า $H_d(\omega)$ แทนผลตอบสนองความถี่อุดมคติ และผลตอบสนองนี้สามารถเขียนแทนด้วยอนุกรมฟูเรียร์ความยาวอนันต์พจน์ โดยจากสมการ (2.37) จะได้ว่า

$$H_d(\omega) = \sum_{n=-\infty}^{\infty} h_d(n)e^{-jk\omega T} \tag{2.38}$$

โดยที่ $h_d(n)$ หาได้จาก

$$h_d(n) = \left(\frac{1}{2\pi}\right)\int_{-\pi}^{\pi} H_d(\omega)e^{jk\omega T}\,d\omega \tag{2.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$h_d(k) = \left(\frac{1}{\omega_s}\right) \int_{-\frac{\omega_0}{2}}^{\frac{\omega_s}{2}} H_d(n) e^{jk\omega T} d\omega \tag{2.40}$$

โดยที่ ω_s เป็นค่าความถี่ในการสุ่มตัวอย่าง ตามที่ทราบกันแล้วว่าการนำสมการ (2.38) และ (2.39) ไปใช้ในการออกแบบตัวกรองไม่ป้อนกลับแบบดิจิตอล ซึ่งต้องไปตัดปลายอนุกรมในสมการ (2.38) ให้เป็นอนุกรมจำนวนพจน์จำกัด หรือ

$$H_d = \sum_{n=0}^{\frac{N-1}{2}} h_d(n) e^{-jk\omega T} \tag{2.41}$$

ซึ่งผลลัพธ์คือทำให้เกิดลูกคลื่นบนผลตอบสนองและแอมปลิจูด แต่ก็ยังไม่สามารถนำสมการ (2.40) ใช้งานได้เพราะผลตอบสนองอิมพัลส์เริ่มจากลำดับที่ $n=(N-1)/2$ ซึ่งสำหรับระบบเวลาจริงไม่สามารถสร้างลำดับเวลาที่เป็นลบได้ ข้อนี้แก้ไขโดยเลื่อน หรือหน่วงผลตอบสนองอิมพัลส์ออกไป โดยให้เริ่มจาก n=0

$$H(\omega) = \sum_{n=0}^{N-1} h(n) e^{-jk\omega T}$$

ซึ่งการกระทำแบบนี้มีผลดีคือทำให้ตัวกรองมีผลตอบสนองเฟสเป็นเชิงเส้น

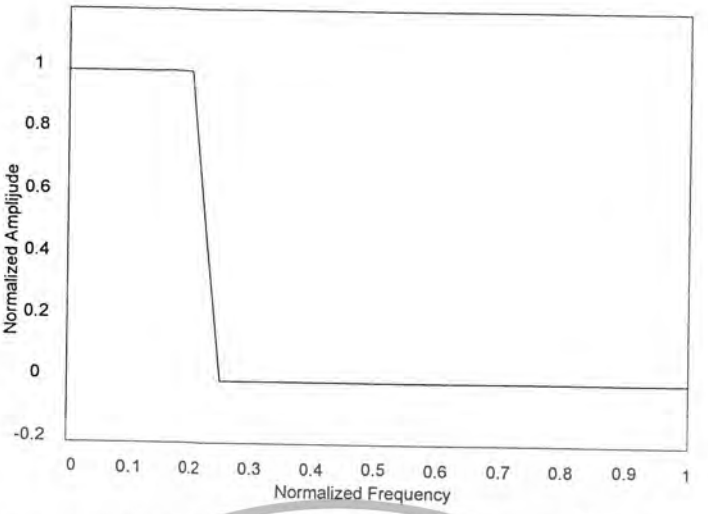
ฟังก์ชันวินโดว์มีอยู่หลายแบบ ได้แก่

1. วินโดว์ฟังก์ชั่นสี่เหลี่ยม (Rectangular)
2. วินโดว์วอง ฮาน (Von Hann)
3. วินโดว์แฮมมิ่ง (Hamming)
4. วินโดว์แบล็คแมน (Blackman)
5. วินโดว์ดอล์ฟ เชฟบีเชฟ (Dolph-Chebyshev)
6. วินโดว์ไคเซอร์ (Kaiser)

2.6 การวิเคราะห์สไปลน์ทรานซิสชั่น

ในการที่จะกำจัดปรากฏการณ์กิบส์ที่เกิดขึ้น สามารถทำได้โดยการใส่แถบเปลี่ยนสัญญาณ (Transition Band) เข้าไปในผลตอบสนองในทางอุดมคติ $A_d(\omega)$ ในสมการที่ (2.34) ด้วยทรานซิสชั่นฟังก์ชั่น ซึ่งจะทำให้เกิดความต่อเนื่องระหว่างย่านผ่านสัญญาณและย่านหยุดสัญญาณ ทำให้ความไม่ต่อเนื่อง (Discontinuity) ที่มีอยู่ใน $A_d(\omega)$ ในสมการที่ (2.34) ซึ่งเป็นสาเหตุให้เกิดโอเวอร์ชูทลดหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติที่ใช้สไปลน์ฟังก์ชั่นอันดับที่ เป็นแถบเปลี่ยนสัญญาณ $\omega_0 = 0.225$, $\Delta = 0.05$

จากรูปที่ 2.9 จะใช้สไปลน์ฟังก์ชั่นในการกำหนดแถบเปลี่ยนสัญญาณ ซึ่งจะทำให้ $A_d(\omega)$ ในสมการที่ (2.34) เกิดความต่อเนื่องขึ้น และถ้าแถบเปลี่ยนสัญญาณถูกกำหนดจาก ω_1 ถึง ω_2 และใช้สไปลน์ฟังก์ชั่นอันดับที่ 1 เป็นทราสซิสชั่น จะได้ผลตอบสนองในทางอุดมคติ คือ

$$A_d(\omega) = \begin{cases} 1 & \text{สำหรับ } 0 \le \omega \le \omega_1 \\ \left(\dfrac{\omega_2 - \omega}{\omega_2 - \omega_1}\right) & \text{สำหรับ } \omega_1 \le \omega \le \omega_2 \\ 0 & \text{สำหรับ } \omega_2 \le \omega \le \pi \end{cases} \qquad (2.42)$$

และใช้ผลของการแปลงกลับฟูเรียร์เต็มหน่วย ดังสมการที่ (2.33) จะได้

$$\hat{h}_d(n) = \frac{1}{\pi}\int_0^{\omega_1} cos(\omega n)d\omega + \frac{1}{\pi}\int_{\omega_1}^{\omega_2}\left(\frac{\omega_2 - \omega}{\omega_2 - \omega_1}\right)\cdot cos(\omega n)d\omega \qquad (2.43)$$

ซึ่งผลเฉลยของสมการที่ (2.43) จะเป็นดังนี้

$$\hat{h}_d(n) = \frac{sin(\omega n)}{\pi n}\left[\frac{\sin(\Delta n/2)}{\Delta n/2}\right] \qquad (2.44)$$

โดย $\omega = \dfrac{\omega_2 + \omega_1}{2}$ เป็นค่าเฉลี่ยของขอบย่านผ่านสัญญาณและหยุดสัญญาณ

และ $\Delta = \omega_2 - \omega_1$ ซึ่งเป็นค่าความกว้างของแถบเปลี่ยนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

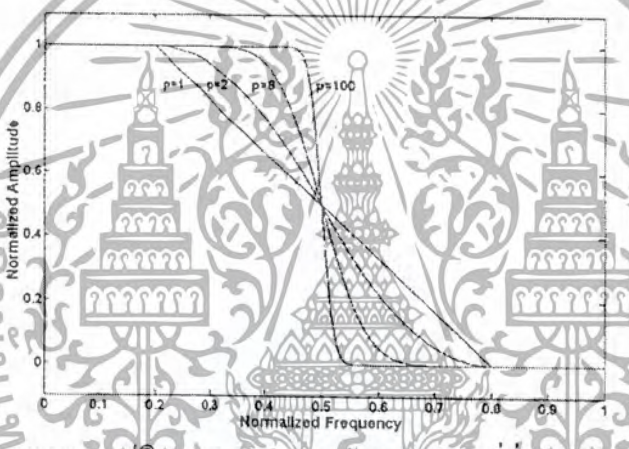
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ผลของสมการที่ (2.44) เมื่อเปรียบเทียบกับสมการที่ (2.35) จะเห็นได้ว่าค่า $\hat{h}_d(n)$ ที่ได้จากสมการที่ (2.44) จะมีลักษณะเป็นการนำค่า $\hat{h}_d(n)$ ในสมการที่ (2.35) มาทำการคูณด้วยฟังก์ชั่นถ่วงน้ำหนัก ซึ่งมีลักษณะที่เหมือนกับการใช้ฟังก์ชั่นหน้าต่างแต่มีรูปแบบของการแก้ปัญหาที่ต่างกัน

สำหรับการใช้สไปลน์ฟังก์ชั่นในอันดับที่ p ใด ๆ (p^{th} order spline function) เป็นทรานซิสชั่นฟังก์ชั่น จะมีรูปแบบของผลตอบสนองอิมพัลส์ ดังนี้

$$\hat{h}_d(n) = \frac{sin(\omega n)}{\pi n}\left[\frac{\sin(\Delta n/2p)}{\Delta n/2p}\right]^p \qquad (2.45)$$

โดยความสัมพันธ์ของอันดับของสไปลน์ฟังก์ชั่นและความกว้างของแถบเปลี่ยนสัญญาณ แสดงได้ดังรูปที่ (2.10)



รูปที่ 2.10 ผลตอบสนองแอมปลิจูดของวงจรกรองสัญญาณความถี่ต่ำผ่านในอุดมคติที่ใช้สไปลน์ฟังก์ชั่นอันดับที่ 1,2,8 และ 100 เป็นแถบเปลี่ยนสัญญาณ $\omega_0 = 0.5$, $\omega_1 = 0.2$, $\omega_2 = 0.8$

จากรูปจะเห็นได้ว่า เมื่ออันดับของสไปลน์ฟังก์ชั่นสูงขึ้น ค่าความกว้างประสิทธิผลของแถบเปลี่ยนสัญญาณ (Effective Transition Bandwidth) จะแคบกว่าค่า Δ ที่กำหนดโดย ถ้าอันดับ p มีค่าเป็นอนันต์ (Infinity) จะทำให้ผลตอบสนองแอมปลิจูดที่ได้กลับไปเป็นในลักษณะของผลตอบสนองในอุดมคติที่ไม่มีแถบเปลี่ยนสัญญาณ ดังในรูปที่ 2.8

เกณฑ์การประมาณค่าอินทิกรัลความผิดพลาดกำลังสอง

ในการที่จะลดค่าความผิดพลาดของผลตอบสนองในทางอุดมคติกับผลตอบสนองในทางปฏิบัติให้มีค่าน้อยที่สุดจะใช้เกณฑ์การประมาณค่าอินทิกรัลความผิดพลาดกำลังสอง (Integral Squared Error Approximation Criterion) ในการพิจารณา โดยพิจารณาจากสมการที่ (2.46) ดังนี้

$$\varepsilon = \frac{1}{2\pi}\int_{-\pi}^{\pi}\left|A_d(\omega) - A(\omega)\right|^2 d\omega \qquad (2.46)$$

โดย ε คือ ค่าประมาณการอินทิกรัลความผิดพลาดกำลังสอง

$A_d(\omega)$ คือ ค่าผลตอบสนองแอมปลิจูดในทางอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54966

$A(\omega)$ คือ ค่าผลตอบสนองแอมปลิจูดในทางปฏิบัติ

อาศัยทฤษฎีพาเซอวัล (Parserval's Theorem) ทำให้สามารถแสดงค่าประมาณการอินทิกรัลความผิดพลาดกำลังสองในสมการที่ (2.46) ได้ดังนี้

$$\varepsilon = \sum_{n=-\infty}^{\infty} \left| \hat{h}_d(n) - \hat{h}(n) \right|^2 \tag{2.47}$$

เนื่องจาก $\hat{h}_d(n)$ มีจำนวนเป็นอนันต์ $\hat{h}(n)$ มีจำนวนที่จำกัด และสมมาตรที่ n=0 ดังนั้นสมการที่ (2.47) จึงสามารถแบ่งออกเป็น 2 ส่วน ได้ดังนี้

$$\varepsilon = \sum_{n=-M}^{M} \left| \hat{h}_d(n) - \hat{h}(n) \right|^2 + \sum_{n=M+1}^{\infty} 2\hat{h}_d^2(n) \tag{2.48}$$

โดยในการออกแบบที่ใช้สไปลน์ฟังก์ชั่นนี้ จะมีตัวแปรที่สำคัญต่อการออกแบบ คือ ω_0 , Δ , N และ p ซึ่งค่า ω_0 , Δ และ N นั้นโดยปกติจะถูกกำหนดขึ้นจากข้อกำหนด (Specifications) ของวงจรอยู่แล้ว ดังนั้นจะเหลือตัวแปร p ซึ่งเป็นตัวแปรอิสระที่ใช้ในการลดผลของความผิดพลาดได้ โดยค่า p ที่เหมาะสม (Optimally Spline Order) จะสามารถลดค่าประมาณการอินทิกรัลความผิดพลาดกำลังสองตามสมการที่ (2.46) ให้มีค่าน้อยที่สุดได้

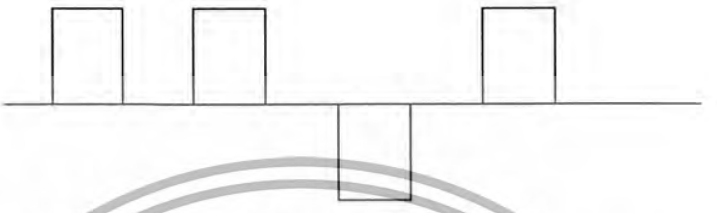
2.7 การแทรกสอดระหว่างสัญลักษณ์

ในการสื่อสารระบบดิจิตอล ข้อมูลถูกส่งโดยการใช้พัลส์ และตัวข้อมูลไม่ได้อาศัยอยู่กับรูปลักษณะของพัลส์ แต่จะอาศัยอยู่ในขนาด หรือระดับเปรียบเทียบระหว่างค่าของพัลส์เหล่านั้น ดังนั้นวัตถุประสงค์ของการรับข้อมูลในระบบดิจิตอล จึงไม่ได้ขึ้นอยู่กับการรับให้ได้พัลส์ที่มีรูปร่างเหมือนกับพัลส์ที่ส่งมาทุกประการ หลักสำคัญนั้นขึ้นกับว่า เมื่อรับพัลส์สัญญาณแล้ว สามารถทำการตัดสินแยกค่าขนาดเปรียบเทียบระหว่างพัลส์ได้อย่างถูกต้อง เครื่องรับนั้นจะตัดสินค่าระดับของพัลส์ โดยการชักค่าตัวอย่างขนาดของแต่ละพัลส์ ที่ตำแหน่งที่พัลส์ควรจะมีขนาดมากที่สุด และจะตัดสินใจโดยการเปรียบเทียบค่าตัวอย่างขนาดของพัลส์ที่ส่งมานั้นว่าควรจะมีค่าแทนรหัสใด

ในทางปฏิบัติพัลส์จะถูกส่งผ่านช่องสัญญาณที่มีแบนด์วิดท์จำกัด ดังนั้นส่วนประกอบของพัลส์ที่มีความถี่สูง จึงอาจไม่สามารถผ่านช่องสัญญาณ ไปยังเครื่องรับได้อย่างสมบูรณ์ เป็นเหตุทำให้เกิดการขยายแผ่ฐานของพัลส์กว้างกว่าเดิมขึ้น ที่เรียกว่าเกิด ดิสเปอร์ชัน (Dispersion) ของพัลส์ รูป 2.11 แสดงตัวอย่างประกอบเรื่องนี้ โดยรูป 2.11 แสดงตัวอย่างลักษณะของพัลส์ที่มีส่วนประกอบที่เป็นความถี่สูงอยู่ แต่เมื่อพัลส์นี้ถูกส่งผ่านช่องสัญญาณที่มีแบนด์วิดท์จำกัด ที่ทำให้ส่วนประกอบของความถี่สูงในตัวพัลส์ ตามรูป 2.11(ก) ขาดหายไปก็จะทำให้ความคมบริเวณขอบพัลส์หายไป พัลส์จะมีการเปลี่ยนแปลงที่ช้าลง คือ จะมีการเพิ่มขึ้นของขอบหน้า และการลดลงของขอบหลังอย่างช้า ๆ ทำให้ฐานของพัลส์เกิดมีความกว้างเพิ่มขึ้น ดังแสดงในรูป 2.11(ข) การเกิดการขยายกว้างของฐานพัลส์ หรือการเกิดดิสเปอร์ชันนี้จะมีค่ามากยิ่งขึ้น เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบนด์วิดท์ของช่องสัญญาณมีค่าแคบลง การเกิดดิสเปอร์ชันนี้จะทำให้เกิดการแทรกสอดของขอบฐานของพัลส์ ไปในพัลส์อื่นที่อยู่ข้างเคียง ดังแสดงในรูป 2.11(ข) ซึ่งการแทรกสอดนี้อาจจะก่อให้เกิดความผิดพลาดในการตัดสินค่าระดับขนาดของพัลส์ขึ้นได้ ซึ่งจะเป็นผลให้เกิดการแปรข้อมูลผิดพลาดด้วยการเกิดการแทรกสอดระหว่างพัลส์เช่นนี้ มีชื่อเรียกว่า การแทรกสอดระหว่างสัญลักษณ์ (Intersymbol Interferrence) ซึ่งนิยมเรียกว่า ไอเอสไอ (ISI)



(ก) สัญญาณต้นกำเนิด

(ข) สัญญาณที่เกิดดิสเปอร์ชัน

รูปที่ 2.11 การส่งสัญญาณผ่านช่องสัญญาณที่มีแบนวิดท์จำกัด

เป็นที่รู้จักกันดีว่าถ้ารูปร่างของสัญญาณหรือพัลส์มีอยู่ในช่วงเวลาที่จำกัดอย่างสมบูรณ์แล้วแบนด์วิดท์ของพัลส์หรือสัญญาณนั้นก็จะมีความกว้างอย่างไม่สิ้นสุด และในทางกลับกันเรารู้ว่า ถ้าสัญญาณใดมีแบนด์วิดท์ที่จำกัดแล้ว สัญญาณนั้นจะต้องมีขึ้น ในช่วงเวลาที่ยาวนานไม่สิ้นสุดคล้ายกัน อย่างไรก็ตามถ้าเราสามารถเลือกรูปพัลส์ที่มี พีแอสดี อยู่ในช่วงความถี่จำกัด (แบนด์วิดท์จำกัด) และสามารถเลือกทำการชักค่าตัวอย่างสัญญาณนั้นที่ขณะเวลาที่ทำให้ไอเอสไอ มีค่าเป็นศูนย์หรือมีค่าต่ำมาก ๆ ได้ ก็จะมีผลให้เราสามารถที่จะสื่อสารกันได้ด้วยระบบดิจิตอลเป็นอย่างดี ด้วยเหตุที่ว่า การตัดสินสัญญาณในระบบดิจิตอลนั้นจะถูกหรือผิดก็ขึ้นอยู่กับค่าขนาดของตัวอย่างสัญญาณที่ถูกชักออกมาใช้ในการตัดสินเท่านั้นยกตัวอย่างเช่น เมื่อเราเลือกพัลส์เป็น

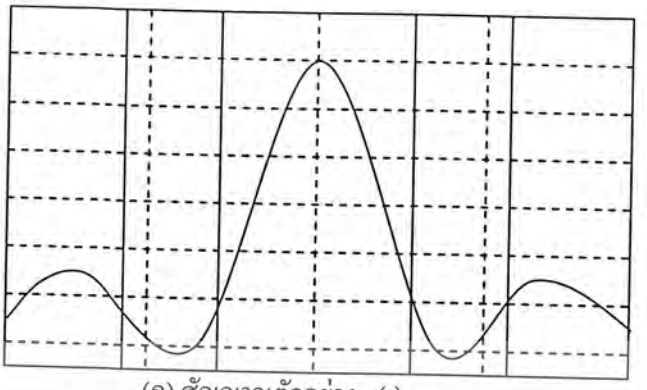
$$g(t) = Sa(\frac{\pi t}{T_0}) \tag{2.49}$$

ซึ่งมีลักษณะดังแสดงในรูป 2.12(ก.) ดังนั้นถ้าเราเลือกทำการส่งพัลส์ดังกล่าวที่ทุกช่วงเวลาที่ห่างกัน T_0 แล้วก็จะไม่ทำให้เกิดไอเอสไอ ที่เวลา $\pm nT_0$ เลย (n คือเลขจำนวนเต็มใด ๆ) ซึ่งจะเห็นได้ชัดในรูป 2.12 (ข) และเมื่อพิจารณาสมบัติของการแปลงฟูเรียร์ จะพบว่าแบนด์วิดท์ของการส่งพัลส์ดังกล่าวจะใช้แบนด์วิดท์เพียง $\frac{1}{2T_0}$ หรือ $\frac{f_0}{2}$ เท่านั้น $\left(f_0 = \frac{1}{T_0}\right)$ ทั้งนี้เพราะ

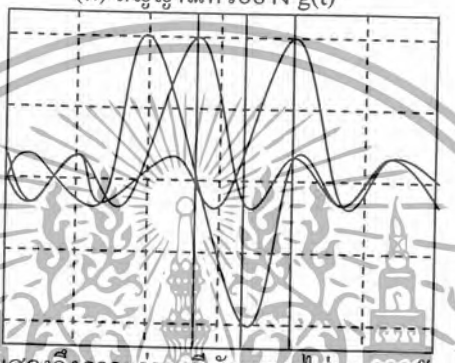
$$Sa\left(\frac{\pi t}{T_0}\right) \leftrightarrow T_0 p\left(\frac{T_0 \omega}{2\pi}\right) \tag{2.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง $p(\omega)$ คือ ฟังก์ชันเกตหนึ่งหน่วยในโดเมนของความถี่



(ก) สัญญาณตัวอย่าง g(t)



(ข) แสดงถึงภาวะว่าจะมีสัญญาณไม่รบกวนกัน

รูปที่ 2.12 การส่งสัญญาณพัลส์ด้วยอัตราไนควิสต์

ตาม (2.50) แสดงว่าพัลส์ $g(t) = Sa\left(\frac{\pi t}{T_0}\right)$ นั้น คือผลตอบสนองอิมพัลส์หนึ่งหน่วยของวงจรกรองความถี่ที่มี $H(\omega) = T_0 p\left(\frac{T_0\omega}{2\pi}\right)$ ซึ่งก็คือวงจรกรองความถี่ต่ำผ่านตามอุดมคติที่มีอัตราขยาย T_0 และมีความถี่จุดตัดที่ $\omega_0 = \frac{\pi}{T_0}$ หรือ $f_0 = \frac{f_0}{2}$ นั่นเอง ดังนั้นเราจึงรู้ว่าถ้าเราทำการส่งพัลส์ $g(t) = Sa\left(\frac{\pi t}{T_0}\right)$ ผ่านวงจรกรองความถี่ต่ำผ่านที่มีแบนด์วิดท์ตามอุดมคติกว้างกว่า f_0 เฮิรตซ์ แล้วก็ย่อมจะไม่มีผลทำให้เกิดดิสเปอร์ชันขึ้นกับพัลส์ $g(t)$ นั้นอย่างแน่นอน

ตามรูป 2.12(ข) เราสมมุติว่าได้ส่งพัลส์ $g(t)$ ตาม (2.49) แทนรหัสไบนารี 1101 โดยแต่ละพัลส์ห่างกัน T_0 วินาที จะเห็นว่าตรงขณะเวลาที่แต่ละพัลส์มีค่าสูงสุดนั้น ค่าของพัลส์อื่นจะมีค่าเป็นศูนย์พอดี ดังนั้นถ้าเราเลือกชักค่าตัวอย่างสัญญาณที่เวลานี้ ก็จะไม่มีการรบกวนจากอิทธิพลของไอเอสไอจากพัลส์ข้างเคียงเลย

อัตราในการส่งพัลส์ $g(t)$ ที่มีลักษณะตาม (2.49) จำนวน f_0 พัลส์ต่อวินาที ผ่านช่องการสื่อสารที่มีแบนด์วิดท์ $\frac{f_0}{2}$ เฮิรตซ์ นี้ถือว่าเป็นอัตราส่ง อัตราไนควิสต์ แต่อย่างไรก็ตามในทางปฏิบัตินั้นเราไม่สามารถที่จะสร้างวงจรกรองความถี่ต่ำผ่านในอุดมคติขึ้นได้ ประกอบกับทั้งการชักค่าตัวอย่างออกจากพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

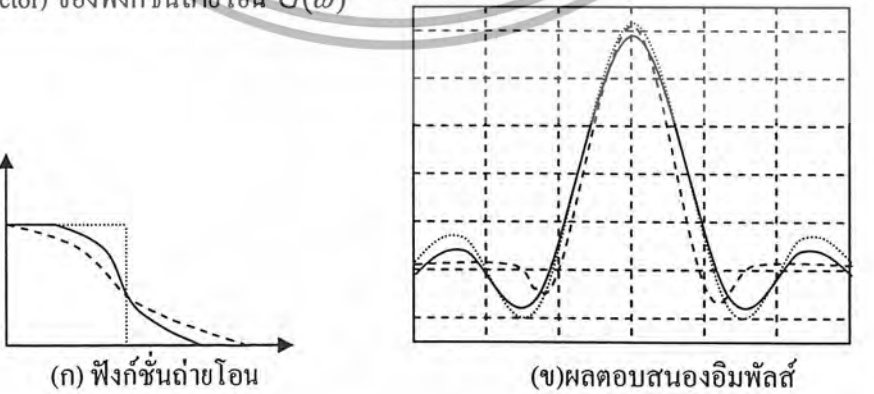
$g(t)$ ที่เวลา nT_0 ให้ถูกต้องจริง ๆ นั้น มีความวิกฤตมาก เพราะฐานของพัลส์ $g(t)$ ที่มีการสะบัดขึ้นลงตามเวลานั้นมีขนาดที่ลดลงช้ามาก จึงทำให้เกิดไอเอสไอได้ง่าย ในเวลาที่ใกล้กับเวลา nT_0

เพื่อขยายผลให้ใช้ในทางปฏิบัติได้เกี่ยวกับเรื่องนี้ ไนควิสต์ได้ให้ข้อเสนอแนะไว้ว่า วงจรกรองความถี่ต่ำผ่านที่มีค่าฟังก์ชันถ่ายโอน แบบสมมาตรชนิดคี่ (Odd Symmetry) กับแกนตั้งที่ความถี่จุดตัดของวงจรกรองความถี่ตามอุดมคติ (ดังแสดงโดยเส้นประในรูป 2.13(ก)) นั้นจะมีค่าผลตอบสนองอิมพัลส์ที่มีค่าเป็นศูนย์ที่ทุกขณะเวลาที่ห่างกัน T_0 วินาที รูปพัลส์ในลักษณะของผลตอบสนองอิมพัลส์ดังกล่าว นิยมเรียกกันว่า รูปพัลส์แบบไนควิสต์ (Nyquist Pulse Shape) รูปพัลส์ที่ได้มาจากผลตอบสนองอิมพัลส์ของระบบที่มีฟังก์ชันถ่ายโอนนี้เมื่ออยู่ในกลุ่มที่มีแกนสมมาตรเดียวกัน ก็จะถือว่าเป็นรูปพัลส์ที่มีความเท่าเทียม (Equivalent) กัน เพราะค่าฟังก์ชันพัลส์ในลักษณะดังกล่าว จะต้องมีลำดับในการชักค่าตัวอย่างสัญญาณที่เวลาห่างกัน T_0 วินาที เท่ากัน แม้ว่าฟังก์ชันถ่ายโอนเหล่านี้จะมีแบนด์วิดท์สัมบูรณ์ที่ต่างกันอยู่ คือจาก $\frac{f_0}{2}$ ถึง f_0 แต่เพราะมีผลตอบสนองอิมพัลส์ที่เท่าเทียมกัน ดังนั้นเพื่อง่ายกับการอ้างอิงถึง จึงได้มีการกำหนดเรียกชื่อ แบนด์วิดท์ $\frac{f_0}{2}$ เฮิรต์นี้ว่าแบนด์วิดท์ไนควิสต์ (Nyquist Bandwidth)

ปกติฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่านที่สามารถสร้างขึ้นได้ทางปฏิบัติ จะเป็นเพียงค่าประมาณที่ใกล้เคียงกับค่าทางอุดมคติโดยมีคุณสมบัติที่สำคัญ คือ การที่จะให้ผลที่ตอบสนองอิมพัลส์มีค่าเป็นศูนย์ที่ทุกขณะเวลา T_0 ตัวอย่างหนึ่งของฟังก์ชันถ่ายโอนดังกล่าว คือ

$$G(\omega)=\begin{cases}1, & |\omega|<\dfrac{\omega_0}{2}-\omega_x \\ \dfrac{1}{2}\left[1-\sin\left\{\dfrac{\pi(\omega-\frac{\omega_0}{2})}{(2\omega_x)}\right\}\right], & \left|\omega-\dfrac{\omega_0}{2}\right|<\omega_x \\ 0, & |\omega|>\dfrac{\omega_0}{2}+\omega_x\end{cases} \qquad (2.51)$$

โดยในที่นี้ $\omega_x=\frac{\beta\omega_0}{2}$ เมื่อ $0\le\beta\le1$ และพารามิเตอร์ β นี้ มีชื่อว่าตัวประกอบโรลออฟ (Roll-Off Factor) ของฟังก์ชันถ่ายโอน $G(\omega)$



(ก) ฟังก์ชั่นถ่ายโอน (ข)ผลตอบสนองอิมพัลส์

รูปที่ 2.13 สัญญาณเรสโคไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาม (2.51) จะพบว่าแบนด์วิดท์ของ $G(\omega)$ คือ $\frac{(1-\beta)f_0}{2}$ เฮิร์ต ดังนั้นจะเห็นได้ว่า เมื่อ $\beta = 0$ จะทำให้ $G(\omega)$ กลายเป็นฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่านในอุดมคตินั่นเอง รูป 2.13(ก) ได้แสดงค่า $G(\omega)$ เมื่อ $\beta = 0$, 0.5 และ 1 ไว้ สมการ (2.51) เขียนในรูปสมการใหม่ได้เป็น

$$G(\omega) = \frac{1}{2}\left(1+\cos(\frac{\omega}{2f_0})\right)p\left(\frac{\omega}{4\pi f_0}\right) \qquad (2.52ก)$$

หรือ

$$G(\omega) = \cos^2\left(\frac{\omega}{4f_0}\right)p\left(\frac{\omega}{4\pi f_0}\right) \qquad (2.52ข)$$

คุณสมบัติตาม (2.52) นี้รู้จักกันในชื่อที่เรียกว่า คุณสมบัติเรสโคไซน์ (Raised Cosine Characteristic) หรือคุณสมบัติฟูลโคไซน์โรลออฟ (Full Cosine Roll off Characteristic) ซึ่งมีค่าผลตอบสนองอิมพัลส์หรือค่าการแปลงฟูเรียร์ผกผันของ $G(\omega)$ เป็น

$$g(t) = f_0\left[Sa(\omega_0 t)+\frac{1}{2}Sa(\omega_0 t-\pi)+\frac{1}{2}Sa(\omega_0 t+\pi)\right]$$

โดยการใช้สูตร $Sa(x) = \frac{\sin x}{x}$ แทนค่าลงไปในสมการบน และกระจายเทอมจะได้

$$\begin{aligned} g(t) &= \frac{f_0}{1-4f_0^2t^2}Sa(\omega_0 t) \\ &= f_0\frac{\cos(\pi f_0 t)}{1-(2f_0 t)^2}Sa(\frac{\omega_0 t}{2}) \end{aligned} \qquad (2.53)$$

ในกรณีที่ β มีค่าใด ๆ อื่นนอกจาก 1 ค่า $G(\omega)$ ตาม (7-60) จะมีค่าการแปลงฟูเรียร์ผกผันเป็น

$$g(t) = f_0\frac{\cos(\pi\beta f_0 t)}{1-(2\beta f_0 t)^2}Sa(\frac{\omega_0 t}{2}) \qquad (2.54)$$

เมื่อ β มีค่า 0 , 0.5 และ 1 รูปพัลส์ตาม (2.54) จะมีดังแสดงในรูป 2.13(ข)

ข้อควรพิจารณาสำหรับ พัลส์เรสด์โคไซน์ (2.53) ก็คือแบนด์วิดท์ของพัลส์มีค่าเท่ากับ f_0 เฮิรต์ยอดของพัลส์ที่เวลา $t = 0$ มีขนาดเท่ากับ f_0 และการออสซิลเลตของขอบฐานขอลพัลส์ลดลงอย่างรวดเร็วในอัตรา $\frac{1}{t^3}$ จึงทำให้เกิดไอเอสไอต่อพัลส์ข้างเคียงได้น้อยมาก ประกอบกับวงจรกรองความถี่ $G(\omega)$ ตาม (2.53) ที่ใช้ในการสร้างพัลส์นั้นสามารถสร้างขึ้นได้อย่างใกล้เคียงมากในทางปฏิบัติ จึงเป็นเหตุให้พัลส์เรสด์โคไซน์สร้างความดึงดูดใจในการใช้เป็นรูปพัลส์แม่แบบที่จะทำให้เกิดไอเอสไอต่ำ ในระบบการส่งสัญญาณดิจิตอลทั่วไป

ซึ่งผลเฉลยของสมการ (2.54) เมื่อให้เมื่อเขียนในรูปของ ω และ $g(t) = h_d(n)$ จะเป็นดังนี้

$$h_d(n) = \frac{\sin(\omega n)}{\pi n}[\frac{\cos(\Delta n/2)}{1-4\Delta^2 n^2}] \qquad (2.55)$$

โดย $\omega = 2\pi f_0 = \frac{\omega_2+\omega_1}{2}$ เป็นค่าเฉลี่ยของขอบย่านผ่านสัญญาณและหยุดสัญญาณ

และ $\Delta = \omega_2 - \omega_1$ ซึ่งเป็นค่าความกว้างของแถบเปลี่ยนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของสมการที่ (2.55) เมื่อเปรียบเทียบกับสมการที่ (2.35) จะเห็นได้ว่าค่า $\widehat{h}_d(n)$ ที่ได้จากสมการที่ (2.55) จะมีลักษณะเป็นการนำค่า $\widehat{h}_d(n)$ ในสมการที่ (2.35) มาทำการคูณด้วยฟังก์ชั่นถ่วงน้ำหนัก ซึ่งมีลักษณะที่เหมือนกับการใช้ฟังก์ชั่นหน้าต่างแต่มีรูปแบบของการแก้ปัญหาที่ต่างกัน

สำหรับการใช้เรสโคไซน์ฟังก์ชั่นที่มีค่าโรลออฟแฟกเตอร์ β ใหม่ ซึ่งเท่ากับ $f_2 - f_1$ เป็นทรานซิสชั่นฟังก์ชั่น จะมีรูปแบบของผลตอบสนองอิมพัลส์ ดังนี้

$$h_d(n) = \frac{\sin(\omega n)}{\pi n}\left[\frac{\cos(\beta n/2)}{1-4\beta^2 n^2}\right] \tag{2.56}$$

2.8 สไปลน์เรสโคไซน์ทรานซิชั่นฟังก์ชั่น

จากหัวข้อที่ 2.6 และ 2.7 เมื่อทำการหาค่าอันดับของ p และ ค่าโรล์ออฟแฟตเตอร์ ที่เหมาะสมได้แล้ว นำสมการที่ (2.45) และ (2.56) มารวมกันทำให้ได้สมการของผลตอบสนองความถี่ของสไปลน์เรสโคไซน์ฟังก์ชั่น ดังสมการที่ (2.57)

$$\widehat{h}_d(n) = \frac{sin(\omega n)}{\pi n}\left[\frac{\sin(\Delta n/2p)}{\Delta n/2p}\right]^p\left[\frac{\cos(\beta n/2)}{1-4\beta^2 n^2}\right] \tag{2.57}$$

ซึ่งผลตอบสนองความถี่ที่ได้นี้ถือ ได้ว่าเป็นทรานซิชั่นฟังก์ชั่นที่เหมาะสมที่สุด

2.9 โครงสร้างของวงจรกรองความถี่ LNS - FIR

การออกแบบวงจรกรองความถี่ FIR จะมีตัวคูณมากกว่าวงจรกรองความถี่ IIR แต่จะได้ผลตอบสนองเฟสเชิงเส้นซึ่งดีกว่า จำนวนของตัวคูณจะทำให้ความเร็วของวงจรกรองความถี่ดิจิตอลลดลง เนื่องจากใช้ขั้นตอนการทำงานมาก และใช้พื้นที่ในการออกแบบเยอะ

เพราะฉะนั้นวิธีการที่ใช้สำหรับหลีกเลี่ยงการคูณได้โดย การใช้ LNS ฐาน 2 ในการออกแบบวงจรในการออกแบบประกอบด้วย Linear to Log Converter , Log to Linear Converter , Single Adder , Data Memory , Coefficient Memory , Accumulator และ Control Unit ผลที่ได้จะแสดงถึง ความถี่สูงสุด และปริมาณลอจิกเซลที่ใช้ทั้งหมด

2.9.1 Logarithmic Numbering System (LNS)

LNS เป็นเลขฐาน 2 โดยรูปแบบของ LNS เป็นดังนี้

$$x = r^{e_x} \quad \text{หรือ} \quad e_x = \log_r(x) \tag{2.58}$$

โดยที่ r คือ เลขฐาน และ e_x คือ เลขกำลัง

พิจารณาที่ฐานเป็น 2 โดยที่ $x = 2^{e_x}$ และ $Y = 2^{e_y}$ ดังนั้น ลักษณะสำคัญสามารถแสดงได้ดังนี้

Multiply : $z = x \times y = 2^{e_x} \times 2^{e_y} = 2^{e_x + e_y} = 2^{e_z}$ (2.59)

Divide : $z = x / y = 2^{e_x} / 2^{e_y} = 2^{e_x - e_y} = 2^{e_z}$ (2.60)

Add : $z = x + y = 2^{e_x} + 2^{e_y} = 2^{e_x}(1 + 2^{e_x - e_y})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 2^{e_x+\log_2(1+2^{e_y-e_x})} = 2^{e_z} \quad (2.61)$$

Square : $$z = x^2 = 2^{2e_x} = 2^{e_z} \quad (2.62)$$

Subtract : $$z = x - y = 2^{e_x} - 2^{e_y} = 2^{e_x}(1-2^{e_x-e_y})$$

$$= 2^{e_x-\log_2(1-2^{e_y-e_x})} = 2^{e_z} \quad (2.63)$$

Square root : $$z = x^{1/2} = 2^{e_x/2} = 2^{e_z} \quad (2.64)$$

ที่สำคัญ คือ คุณสมบัติของการคูณนั้น สามารถนำมาใช้ในการลดตัวคูณใน โครงสร้างของตัวกรองความถี่ เพราะว่าการคูณกันของตัวเลขเชิงเส้นสองตัว สามารถหาค่าได้โดยการบวกกันของเลขกำลังของมัน

2.9.2 โครงสร้างทางฮาร์ดแวร์

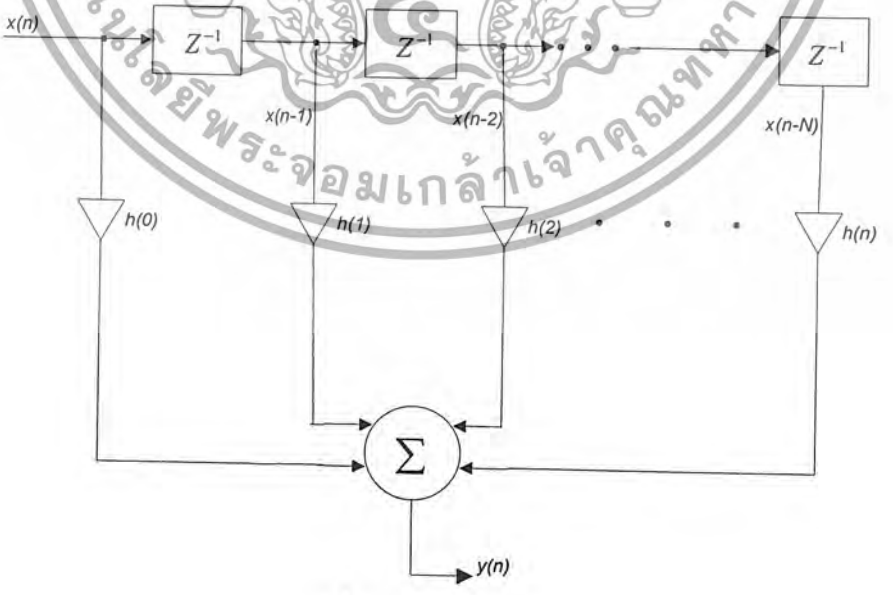
วงจรกรอง FIR แบบทั่วไปใช้ผลตอบสนองอิมพัลส์ h(n) ใช้สำหรับการใช้งานกับฮาร์ดแวร์ เอาท์พุทของวงจร y(n) สามารถคำนวณได้จากการคอนโวลูชั่นระหว่าง h(n) กับอินพุท x(n) อธิบายได้ดังสมการ

$$y(n) = h(n)*x(n) = \sum_{i=0}^{N} h(i)x(n-i) \quad (2.65)$$

สมการที่ (2.65) สามารถเขียนในรูปอื่นได้เป็น

$$y(n) = h(0)x(n)+h(1)x(n-1)+\ldots+h(n)x(n-N) \quad (2.66)$$

โครงสร้างพื้นฐานในทางปฏิบัติจะนำสมการที่ (2.66) มาใช้ ดังแสดงในรูปที่ 2.11



รูปที่ 2.14 โครงสร้าง FIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

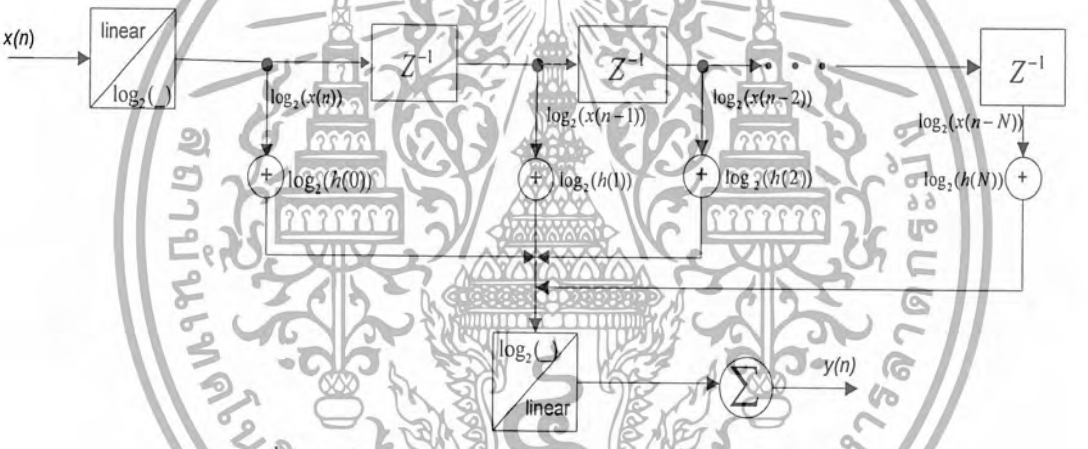
ใส่ค่าลอการิธึ่มฐานสองในสมการที่ (2.66) จะได้เป็น

$$log_2[y(n)] = \log_2[h(0)x(n)]+\log_2[h(1)x(n-1)]+...+\log_2[h(N)x(n-N)] \quad (2.67)$$

สมการที่ (2.67) สามารถนำมาเขียนใหม่ได้เป็น

$$\log_2[y(n)] = [\log_2(h(0)) \oplus \log_2(x(n))]+[\log_2(h(1)) \oplus \log_2(x(n-1))]+...+ \quad (2.68)$$
$$[\log_2(h(N)) \oplus \log_2(x(n-N))]$$

จากสมการที่ (2.68) พจน์การคูณจะหายไป แต่ต้องระวังการบวกเพราะว่าการบวกจะมีสองแบบ แบบแรกเป็นการบวกแบบลอการิธึ่ม ใช้เพื่อแปลงการคูณเชิงเส้นให้เป็นการบวกแบบเอ็กซ์โปเนนเชียล และการบวกเชิงเส้น ใช้สำหรับรวมส่วนที่อยู่ในรูปของลอการิธึ่ม ในโดเมนของลอการิธึ่มการบวกหรือการลบตัวเลขเชิงเส้นจะมีกระบวนการที่ซับซ้อน ซึ่งเป็นข้อเสียของ LNS ในที่นี้เราใช้โดเมนลอการิธึ่มสำหรับแปลงพจน์การคูณออกมาเป็นพจน์การบวกแบบลอการิธึ่ม และใช้โดเมนเชิงเส้นสำหรับการรวมพจน์ที่แปลงจากโดเมนของลอการิธึ่ม ไปเป็นโดเมนเชิงเส้นแล้ว ดังนั้นจะได้โครงสร้างใหม่ดังแสดงในรูปที่ (2.15)



รูปที่ 2.15 โครงสร้างของวงจรกรองความถี่แบบ LNS - FIR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

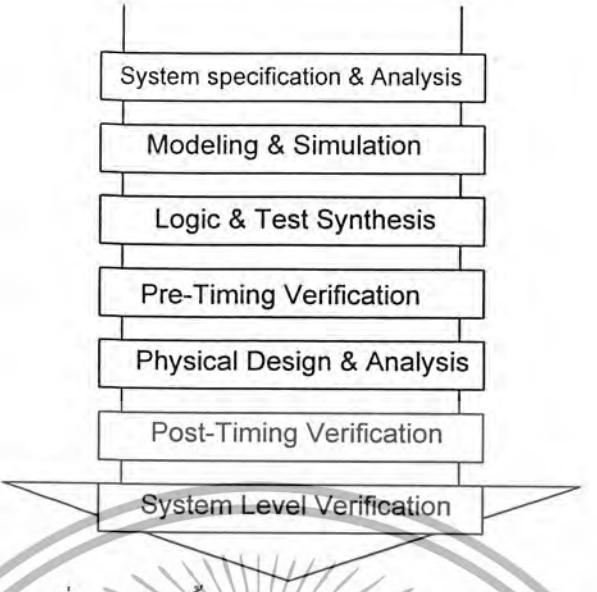
บทที่ 3
การออกแบบสร้างวงจรกรองสัญญาณเชิงเลขด้วยภาษา VHDL

การออกแบบวงจรแบบดิจิตอล (Digital Circuit) นั้น ในปัจจุบันก้าวหน้าไปอย่างมาก โดยการใช้ภาษาบรรยายการทำงานของวงจร (Hardware Description Language : HDL) ซึ่งเป็นภาษาที่ใช้สำหรับออกแบบฮาร์ดแวร์ โดยภาษาที่เป็นมาตรฐานสากลเช่น Verilog หรือ VHDL (VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit)) หรือภาษาที่ไม่เป็นมาตรฐานเช่น AHDL (Altera Hardware Description Language) หรือ PHDL (Philips Hardware Description Language) เป็นต้น มาบรรยายการทำงานของวงจรที่ได้ออกแบบไว้ ซึ่งในวิทยานิพนธ์นี้ ได้ใช้ภาษา VHDL มาทำการออกแบบวงจรกรองสัญญาณดิจิตอล (Digital Filter) ทำให้ลดความยุ่งยากในการนำเอาอุปกรณ์มาเชื่อมต่อให้เป็นวงจร รวมทั้งลดเวลาที่ใช้ในการออกแบบและทดสอบการทำงาน ซึ่งมีความแตกต่างเป็นอย่างมากเมื่อเปรียบเทียบกับการออกแบบในอดีตที่ผ่านมา คือผู้ออกแบบจะต้องนำเอาอุปกรณ์แต่ละตัวที่ทำการออกแบบไว้ มาทำการต่อทดลองในแผงวงจรจริง และทำการทดสอบวงจรเพื่อหาข้อผิดพลาด ซึ่งต้องใช้เวลานานกับการแก้ปัญหาแต่ละอย่างที่เกิดขึ้น แต่ในการออกแบบด้วยภาษา VHDL ผู้ออกแบบเพียงแต่เขียนซอสโค๊ด (Source Code) บรรยายการทำงานของวงจร หลังจากนั้นก็ทำการคอมไพล์ (Compile) แล้วจำลองการทำงาน (Simulate) ดูว่าได้ฟังก์ชั่นการทำงานและไทม์มิ่ง (Timing) ตามที่ต้องการหรือไม่ จากนั้นก็นำซอสโค๊ดที่ได้ไปทำการสังเคราะห์ด้วยโปรแกรมสังเคราะห์ (Synthesis Tool) สุดท้ายนำวงจรที่ได้จากการสังเคราะห์ไปทำการแม็ป (Map) ลงไปยัง FPGA (Field Programmable Gate Array) เพื่อเป็นชิป (Chip) ต้นแบบสำหรับการนำไปทดสอบการทำงาน

3.1 การออกแบบจากบนลงล่าง

ในการพัฒนาวงจรรวมเชิงเลขขนาดใหญ่ที่มีความซับซ้อน ผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของบล็อกไดอะแกรมก่อน จากนั้นจึงวิเคราะห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษา VHDL นั้นอนุญาตให้อธิบายการทำงานของแต่ละบล็อก และวิเคราะห์การทำงาน แก้ไขและปรับปรุงการทำงานจากผลที่วิเคราะห์ เพื่อให้ได้การทำงานตามที่ต้องการ โดยการออกแบบในลักษณะนี้เรียกว่า หลักการออกแบบจากบนลงล่าง (Top - Down Design) ซึ่งถ้าเปรียบเทียบกับการออกแบบจากล่างขึ้นบน (Bottom - Up Design) จะเห็นได้ว่าการออกแบบจากล่างขึ้นบนจะใช้เวลาในการออกแบบมากกว่า เพราะเป็นการวาดวงจรด้วยอุปกรณ์ต่างๆ (Schematic Capture) ที่ประกอบกันเข้าเป็นวงจรที่ต้องการออกแบบ จำลองการทำงาน ตรวจสอบความถูกต้อง ซึ่งใช้เวลามาก และถ้าวงจรที่ต้องการออกแบบมีความซับซ้อนก็จะเป็นเรื่องที่ยากมากในการออกแบบลักษณะนี้ ดังนั้นการใช้ภาษา VHDL กับหลักการออกแบบจากบนลงล่างจึงเป็นวิธีการที่เหมาะสมสำหรับการออกแบบและพัฒนาวงจรที่มีความซับซ้อนมากขึ้น ทั้งยังช่วยลดเวลาและค่าใช้จ่ายในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงขั้นตอนการออกแบบจากบนลงล่าง

จากรูปที่ 3.1 แสดงให้เห็นถึงขั้นตอนการออกแบบจากบนลงล่าง ทั้งนี้ในทางปฏิบัติอาจจะมีข้อแตกต่างไปจากนี้บ้างเล็กน้อย โดยขั้นตอนของการออกแบบจากบนลงล่างมีรายละเอียด ดังนี้

1. ขั้นตอนการสร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา

2. ขั้นตอนการเขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษา VHDL สำหรับ บรรยายพฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด

3. ขั้นตอนการสังเคราะห์ ซึ่งจะต้องทำการกำหนดเทคโนโลยี ที่จะมารองรับวงจรที่ออกแบบและระบบช่วยออกแบบจะทำการสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ หรือวงจรในระดับเกท (Gate Level) และการเชื่อมต่อกันของอุปกรณ์เหล่านั้น หรือไม่ก็อยู่ในรูปของเน็ทลิสต์ (Net List) ที่สามารถนำไปผลิตลงบนอุปกรณ์อื่นได้

4. หลังจากการสังเคราะห์วงจรให้อยู่ในระดับเกทหรือเน็ทลิสต์แล้ว ข้อมูลที่ได้นอกจากจะ เป็นข้อมูลสำหรับจำลองการทำงานในเรื่องของความถูกต้องของฟังก์ชั่นแล้ว ยังมีข้อมูลที่เกี่ยวกับเวลาด้วย ซึ่งจากความจริงที่ว่า อุปกรณ์อิเล็กทรอนิกส์ทุกชิ้นจะมีเวลาหน่วงของการเคลื่อนผ่าน (Propagation Delay Time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับนาโนวินาที แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกทของฟังก์ชั่นต่างๆจำนวน 10,000 เกท ขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้นจนอาจจะทำให้การทำงานของวงจรทั้งหมดผิดไปหรือไม่สามารถทำงานในย่านความถี่สัญญาณนาฬิกาสูงๆได้

5. ขั้นตอนของการผลิตเป็นวงจรจริง (Technology and Device Mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของอุปกรณ์ FPGA หรือวงจรรวม ASIC

6. หลังจากที่ได้วงจรจริงมาแล้วยังต้องมีความจำเป็นที่จะต้องตรวจสอบการทำงานที่คำนึงถึงเวลาด้วย เพื่อความถูกต้องของวงจรครั้งสุดท้ายก่อนที่จะนำไปรวมเข้ากับอุปกรณ์อื่นๆให้เป็นระบบ เพราะใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนนี้วงจรที่ออกแบบจะประกอบด้วยอินพุทและเอาท์พุทแพด (Pad) ซึ่งเป็นจุดต่อสำหรับรับและส่งสัญญาณกับภายนอก

7. หลังจากที่นำวงจรที่ออกแบบรวมเข้ากับอุปกรณ์อื่นๆให้เป็นระบบแล้วนั้น จะต้องทดสอบการทำงานรวมทั้งระบบร่วมกับอุปกรณ์อื่นๆอีกครั้ง ซึ่งเป็นการทดสอบการทำงานจริงขั้นสุดท้าย

3.2 ภาษา VHDL และ ส่วนประกอบต่างๆของภาษา

วิวัฒนาการของภาษา VHDL นั้นเริ่มต้นประมาณปี ค.ศ. 1981 โดยที่กระทรวงกลาโหมสหรัฐอเมริกา หรือ DOD (Department of Defense) ได้ทำการพัฒนาโครงการที่มีชื่อว่า VHSIC ซึ่งเป็นการพัฒนาโปรแกรมซึ่งจัดเป็นภาษาระดับสูงเช่นเดียวกับภาษา C หรือ Pascal แต่สามารถบรรยายพฤติกรรมการทำงานของวงจรเชิงเลข หรือโครงสร้างของวงจรได้ ทั้งนี้เพื่อให้สามารถออกแบบและสร้างวงจรรวมได้รวดเร็วขึ้น

ในการเขียนรูปแบบบรรยายระบบดิจิตอลในลักษณะของการออกแบบจากบนลงล่างจะต้องทำความเข้าใจในเรื่องของโครงสร้างและส่วนประกอบต่างๆของรูปแบบภาษา VHDL เสียก่อน ซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนมี 4 หน่วย คือ

- หน่วยการออกแบบเอนทิตี (Entity Design Unit)
- หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)
- หน่วยการออกแบบแพ็กเก็ต (Package Design Unit)
- หน่วยการออกแบบโครงแบบ (Configuration Design Unit)

3.2.1 หน่วยการออกแบบเอนทิตี

หน่วยการออกแบบนี้เป็นส่วนที่ใช้สำหรับติดต่อระหว่างภายนอกกับรูปแบบที่เขียนขึ้น โดยเป็นการกำหนดจุดเชื่อมต่อของรูปแบบ กำหนดทิศทางการไหลของสัญญาณ และประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น รูปที่ 3.2 แสดงให้เห็นถึงโครงสร้างของหน่วยการออกแบบเอนทิตี

```
Entity component_name is
    Input and Output ports
    Physical and other parameters
End [component_name];
```

รูปที่ 3.2 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี

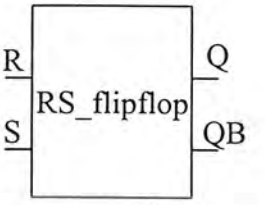
ส่วนนี้จะขึ้นต้นด้วยคำว่า Entity และ is ระหว่างคำทั้งสองคำเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน component_name หลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทางเข้าและออกของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(input-output) รวมทั้งพารามิเตอร์อื่นๆ และที่สำคัญคือ หน่วยการออกแบบเอนทิตีจะต้องปิดท้ายด้วยคำว่า End และเครื่องหมายอัฒภาคเสมอ (;)

```
Entity  RS_ff is
        port(S,R : in bit;
             Q,QB : out bit);
End RS_ff;
```

(ก) หน่วยการออกแบบเอนทิตี



(ข) มุมมองของตัวเชื่อมประสาน(Interfacing) ในรูปของภาษา VHDL

รูปที่ 3.3 แสดงรูปแบบของ RS_flipflop

ในรูปที่ 3.3 เป็นหน่วยการออกแบบเอนทิตีที่บรรยายอุปกรณ์ชื่อ RS_flipflop ในส่วนหัวของเอนทิตีมีการกำหนดจุดต่อ 4 จุด ภายใต้ชุดคำสั่ง port โดยที่ 2 จุดแรกเป็นจุดให้ข้อมูลไหลผ่านเข้า ได้แก่ R, S ซึ่งกำหนดด้วยทิศทางการติดต่อกับโลกภายนอกเป็นการไหลเข้าของข้อมูล (in) ส่วยจุดเอาท์พุทเป็นจุดให้ข้อมูลไหลออก ได้แก่ Q,QB ซึ่งกำหนดด้วยทิศทางการติดต่อกับภายนอกเป็นการไหลออก (out) ส่วนประเภทของข้อมูลที่จะไหลเข้าและออกนั้นเป็นประเภท bit ที่สามารถมีค่าได้เพียงสองค่าเท่านั้น คือ "0" และ "1" เท่านั้น

3.2.2 หน่วยการออกแบบสถาปัตยกรรม

หน่วยการออกแบบสถาปัตยกรรม คือส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบในมุมมองของการจำลองการทำงาน พฤติกรรมต่างๆที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออกตรงช่องทางตลอดจนพารามิเตอร์ต่างๆที่กำหนดในหน่วยการออกแบบเอนทิตี รูปที่ 3.4 แสดงให้เห็นถึงโครงสร้างของหน่วยการออกแบบสถาปัตยกรรม

```
Architecture identifier of component_name is
        [declaration]
    Begin
        Specification of the functionality
        of the component in terms of its
        input lines and as influenced by
        physical and other parameters
End [identifier];
```

รูปที่ 3.4 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของหน่วยการออกแบบสถาปัตยกรรมเริ่มต้นด้วยคำว่า Architecture และตามด้วยชื่อ (Identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่งที่แสดงให้เห็นว่า Architecture นั้นใช้บรรยายหน่วยการออกแบบเอนทิตีใดๆ (of <entity design unit> is) ส่วนที่อยู่ระหว่าง Architecture และ Begin เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (Architecture Declaration Area) ที่เป็นส่วนเผื่อเลือก (Option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆที่จะนำไปใช้ภายในสถาปัตยกรรมนั้นได้ อาทิเช่น ประเภท (Type) ต่างๆ (ตัวอย่างเช่น bit, bit_vector), สัญญาณ (Signal), ค่าคงที่ (Constant), โปรแกรมย่อย (ได้แก่ Function และ Pprocedure) และอุปกรณ์ (Component) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้าและไหลออกของรูปแบบ (สัญญาณที่กำหนดในชุดคำสั่ง port) นั้น จะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า Begin กับ End ของหน่วยการออกแบบสถาปัตยกรรม และนอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบแข่งขนาน (Concurrent Statement) เท่านั้น คือทุกๆ statement จะทำงานพร้อมกัน ลำดับก่อนหลังจะไม่มีผลต่อการทำงานของรูปแบบ หน่วยการออกแบบสถาปัตยกรรมจะต้องปิดท้ายด้วยคำสั่ง End และชื่อของสถาปัตยกรรมนั้นๆ โดยทั่วไปการเขียนรูปแบบระบบเชิงเลขด้วยภาษา VHDL สามารถเขียนได้ในลักษณะต่างๆ ดังนี้

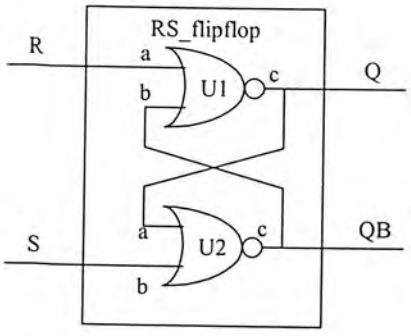
- ลักษณะการไหลของข้อมูล (Dataflow Style)
- ลักษณะพฤติกรรม (Behavioral Style)
- ลักษณะโครงสร้าง (Structural Style)
- ลักษณะผสม (Mixed Model Style)

```
Architecture dataflow of RS_ff is
Begin
    Q  <= not(QB or R);
    QB <= not(Q or S);
End dataflow;
```

รูปที่ 3.5 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ตามฟังก์ชั่นบูลีน $Q = \overline{QB + R}$ และ $QB = \overline{Q + S}$

รูปที่ 3.5 ส่วนที่บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้า (R, S) กับข้อมูลที่ไหลออก (Q, QB) ประกอบด้วยชุดคำสั่งแบบแข่งขนาน 2 ชุด ซึ่งเขียนเป็นประเภทการไหลของข้อมูล หรือเรียกว่า ระดับการถ่ายโอนข้อมูลระหว่างรีจิสเตอร์ (RTL : Register Transfer Level)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงโครงสร้างภายในสถาปัตยกรรมของ RS_flipflop

รูปที่ 3.7 เป็นหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง ซึ่งเปรียบเสมือนการนำอุปกรณ์ที่มีอยู่ในไลบรารี่ (Library) มาต่อเป็นวงจรตามต้องการ โดยใช้นอร์เกท 2 อินพุท (nor2) จำนวนสองตัวมาสร้างตามฟังก์ชั่นบูลีนของรูปที่ 3.6

```
Architecture struc of RS_ff is
        component nor2
                port(a,b : in bit;
                     c :out bit);
        end component;
Begin
        U1 : nor2 port map(R,QB,Q);
        U2 : nor2 port map(S,Q,QB);
End struc;
```

รูปที่ 3.7 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Architecture behave of RS_ff is
        Begin
                process(R,S)
                        begin
                                if R='0' and S='1' then
                                        Q  <= '1';
                                        QB <= '0';
                                elsif R='1' and S='0' then
                                        Q  <= '1';
                                        QB <= '0';
                                end if;
                        end process;
End behave;
```

รูปที่ 3.8 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะพฤติกรรม

รูปที่ 3.8 เป็นการเขียนบรรยายการทำงานของรูปแบบในลักษณะพฤติกรรม ซึ่งจะเห็นได้ว่ามีลักษณะที่เหมือนกับการเขียนโปรแกรมทั่วไป โดยจะต้องมีการใช้งานส่วนที่เรียกว่า process และการทำงานของรูปแบบจะขึ้นอยู่กับการเปลี่ยนแปลงของสิ่งที่อยู่ภายใน process (อินพุท R, S) ซึ่งเรียกว่า Sensitivity List การเขียนในลักษณะนี้ลำดับก่อนหลังของชุดคำสั่งจะมีผลต่อการทำงานของรูปแบบที่เขียนขึ้น

```
Architecture mixed of RS_ff is
                component nor2
                        port(a,b : in bit;
                             c : out bit);
                end component;

        Begin
                U1 : nor2 port map(R,QB,Q);
                QB <= not(Q or S);
End mixed;
```

รูปที่ 3.9 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ว่าจะเขียนบรรยายส่วนของสถาปัตยกรรมของ RS_flipflop ในลักษณะของพฤติกรรม การไหลของข้อมูล โครงสร้าง หรือผสมที่นำเอาแต่ละลักษณะมาเขียนไว้ในส่วนของสถาปัตยกรรมก็ตาม ต่างก็มีพฤติกรรมเดียวกัน และจะให้ผลลัพธ์จากการจำลองการทำงานที่เหมือนกัน ซึ่งถือว่าเป็นข้อดีของภาษา VHDL

3.2.3 หน่วยการออกแบบแพ็กเก็ต

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบดิจิตอลสามารถเก็บไว้ในส่วนของแพ็กเก็ตได้ และข้อมูลเหล่านี้สามารถเรียกไปใช้ได้โดยหน่วยการออกแบบเอนทิตี หน่วยการออกแบบสถาปัตยกรรม หรือจากหน่วยการออกแบบแพ็กเก็ตอื่นๆ โดยปกติแล้ว แพ็กเก็ตจะแบ่งออกเป็น 2 ส่วน คือ การประกาศแพ็กเก็ต (Package Declaration) และส่วนของบอดี้แพ็กเก็ต (Package Body) เนื่องจากแพ็กเก็ตถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่จะนำแพ็กเก็ตไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง Use

Package Declaration

ส่วนที่มีความสำคัญที่สุดของแพ็กเก็ต (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็กเก็ต เพราะจะเป็นส่วนที่กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็กเก็ตสำหรับนำไปใช้ภายนอกตัวของแพ็กเก็ตเอง สิ่งใดๆที่ถูกประกาศไว้ในส่วนของบอดี้แพ็กเก็ตแต่ไม่ได้ถูกประกาศไว้ในส่วนการประกาศแพ็กเก็ตจะไม่สามารถถูกนำค่าและพฤติกรรมไปใช้ส่วนนอกได้ ซึ่งสามารถเปรียบเทียบได้ดับสิ่งที่ประกาศไว้ในส่วนของการประกาศเอนทิตี คือจุดเชื่อมต่อ หรือพอร์ท ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเก็ตสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถถูกนำไปใช้จากรูปแบบภายนอกได้ เช่น ใช้สำหรับประกาศชนิด (Type) หรือสัญญาณ เช่นเดียวกันกับส่วนบอดี้แพ็กเก็ตที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็กเก็ต แต่แพ็กเก็ตนั้นจะไม่สามารถถูกนำไปใช้จากรูปแบบอื่นได้

```
Package package_name is
    Package_declaration_part
End package_name;
```

รูปที่ 3.10 แสดงโครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต

Package Body

โครงสร้างที่ประกอบด้วยคำสั่งต่างๆในรูปของคำสั่งลำดับ (Sequence) ที่ใช้บรรยายฟังก์ชั่นการทำงานของโปรแกรมย่อย (Subprogram) ทั้งหลาย ที่ชื่อของโปรแกรมย่อยนั้นๆที่ถูกประกาศไปในส่วนของการประกาศแพ็กเก็ตแล้วจะถูกเก็บไว้ในส่วนบอดี้แพ็กเก็ต ทั้งนี้รวมทั้งการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อก่อนในส่วนของการประกาศแพ็กเก็ต แต่ถูกกำหนดค่าในส่วนของบอดี้แพ็กเก็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉะนั้นส่วนบอดี้แพ็กเก็ตจึงไม่จำเป็นต้องมีถ้าในส่วนของการประกาศแพ็กเก็ตไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อยหรือค่าคงที่ การเขียนบอดี้แพ็กเก็ตนั้นเป็นไปตามกฎเกณฑ์ที่แสดงในรูปที่ 3.11

```
Package body package_name is
  declarative part
End package_name;
```

รูปที่ 3.11 แสดงโครงสร้างโดยทั่วไปของบอดี้แพ็กเก็ต

3.2.4 หน่วยการออกแบบโครงแบบ

ดังที่ทราบกันแล้วว่ารูปแบบหนึ่งของระบบดิจิตอลไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตีได้เพียงหนึ่งเดียวเท่านั้น แต่หน่วยการออกแบบเอนทิตีหนึ่งหน่วยนี้ อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบโครงแบบมา เพื่อกำหนดการใช้โครงแ (Configuration) ประกอบเอนทิตีกับหน่วยการออกแบบสถาปัตยกรรมหน่วยไหนเข้าด้วยกัน

```
Configuration identifier of entity_name is
  Configuration_declarative_part
End;
```

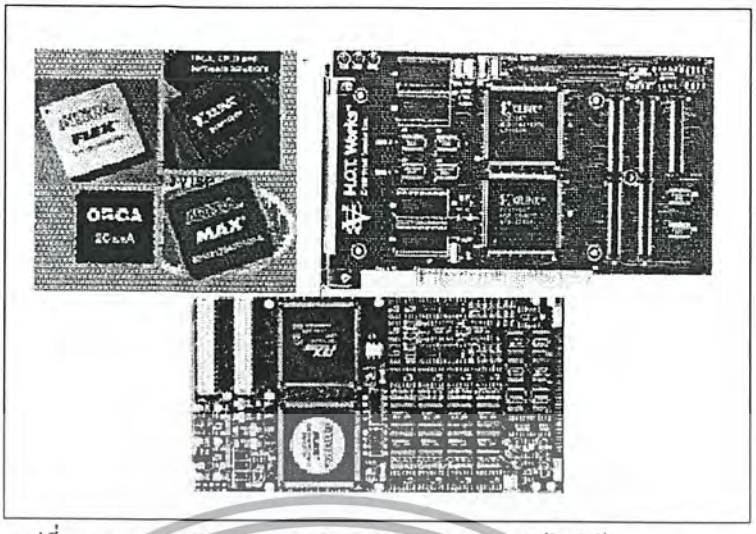
รูปที่ 3.12 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

3.3 การออกแบบวงจรดิจิตอลด้วยอุปกรณ์ FPGA

อุปกรณ์ FPGA (Field Programmable Gate Array) เป็นอุปกรณ์ที่ใช้ในการโปรแกรมวงจรที่ได้ออกแบบลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชั่นการทำงานตามที่ออกแบบไว้ ในการทำ FPGA ซึ่งเป็นวิธีการออกแบบ IC (Integrated Circuit) แบบ Semicustom อีกวิธีหนึ่ง เมื่อเทียบกับการทำ ASICs (Application Specific Integrated Circuits) แล้วนั้นก็มีทั้งข้อดีและข้อเสีย คือ การทำ FPGA จะมีข้อจำกัดในด้านขนาดของวงจรเพราะภายในอุปกรณ์ FPGA จะมีจำนวนเกท (Gate) ให้ใช้จำนวนจำกัด และการทำ FPGA ก็เหมาะสำหรับการทำผลิตภัณฑ์ต้นแบบหรือเพื่อผลิตในปริมาณต่ำ ส่วนข้อดีของการทำ FPGA ก็คือระยะเวลาที่ใช้ในการทำตั้งแต่เขียนรหัส (Code) อธิบายฮาร์ดแวร์จนกระทั่งดาวน์โหลด (Download) นั้นน้อยกว่าการทำ ASIC มากและการตรวจสอบหรือแก้ไขการออกแบบก็ทำได้สะดวก

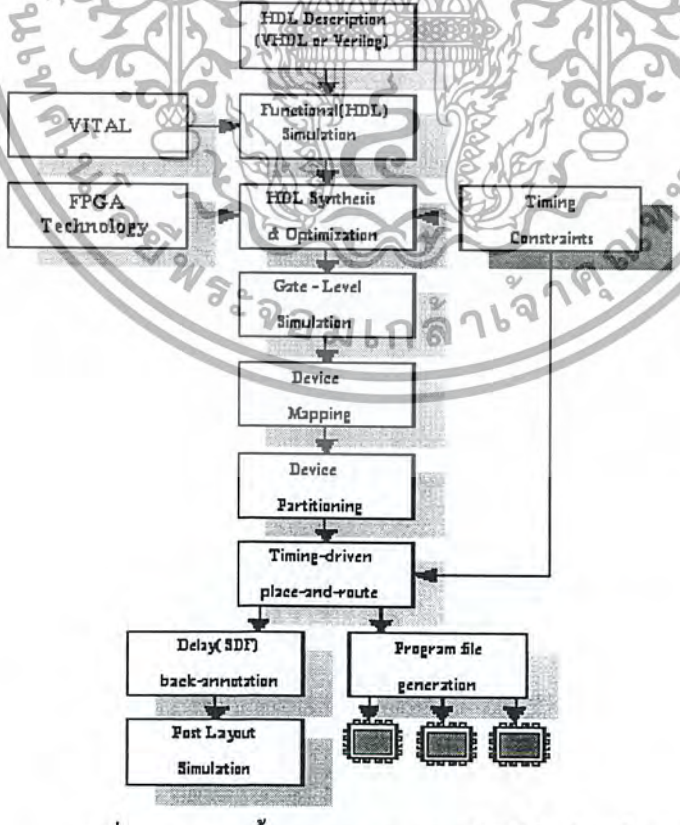
การทำ FPGA ในปัจจุบันมีประสิทธิภาพและความสะดวกมากขึ้น ทั้งนี้ก็เนื่องจากทางบริษัทผู้ผลิตอุปกรณ์ FPGA ได้เพิ่มความสามารถของอุปกรณ์ FPGA โดยเพิ่มจำนวนองค์ประกอบภายใน หรือปรับปรุงโครงสร้างสถาปัตยกรรมภายในและยังได้เพิ่มประสิทธิภาพของซอฟต์แวร์ที่ใช้ทำ PPR (Partitioning, Placement and Routing) สำหรับอุปกรณ์นั้นๆด้วย ลักษณะของตัวFPGAและการนำไปใช้งานแสดงดังในรูปที่ 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงลักษณะของตัว FPGA และการนำไปใช้งาน

สำหรับตัวอุปกรณ์ FPGA นั้นก็มีโครงสร้างพื้นฐาน เทคโนโลยีที่ใช้สร้าง ตลอดจนเทคนิควิธีการโปรแกรมที่แตกต่างกันสำหรับผู้ผลิตแต่ละราย นอกจากนั้นอุปกรณ์ FPGA ของแต่ละผู้ผลิตก็มีโครงสร้างและความสามารถที่แตกต่างกันบางส่วน ในการใช้งานนั้นอุปกรณ์ FPGA สามารถนำไปประยุกต์ใช้งานได้ เช่น การประมวลผลสัญญาณดิจิตอล (DSP : Digital Signal Processing) การออกแบบไมโครคอนโทรลเลอร์ เป็นต้น โดยมีขั้นตอนในการออกแบบ ดังแสดงในรูปที่ 3.14



รูปที่ 3.14 แสดงขั้นตอนการออกแบบโดยใช้อุปกรณ์ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 การออกแบบโดยใช้ภาษาอธิบายการทำงานของฮาร์ดแวร์

ในการออกแบบวงจรดิจิตอลนั้นทำได้โดยการวาดวงจร หรือใช้ภาษาอธิบายฮาร์ดแวร์ ในขั้นตอนนี้เป็นขั้นตอนที่ไม่แตกต่างกันระหว่างการออกแบบด้วย FPGA และ ASIC ในกรณีที่ใช้ภาษาอธิบายฮาร์ดแวร์ แต่ในกรณีที่ออกแบบโดยวิธีการวาดวงจรจะแตกต่างกันโดยที่การทำวิธีนี้จะต้องคำนึงถึงเทคโนโลยีที่จะใช้ซึ่งแต่ละเทคโนโลยีก็มีความแตกต่างกันไป จะเห็นได้ว่าการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ทำได้สะดวกกว่า เพราะการทำด้วยวิธีนี้ไม่ต้องคำนึงถึงเทคโนโลยีที่จะใช้ (Technology Independence) และที่สำคัญการออกแบบด้วยวิธีนี้สามารถที่จะแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่าเพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยี

ในการเขียนโค้ด สิ่งที่ต้องคำนึงถึงคือเขียนอย่างไรจึงจะสามารถสังเคราะห์เป็นวงจรได้และให้คุณสมบัติของวงจรตามที่กำหนด เพราะลักษณะการเขียนโค้ดจะมีผลโดยตรงกับวงจรที่ได้ เนื่องจากในการสังเคราะห์วงจรนั้นซอฟท์แวร์สังเคราะห์วงจร (Synthesis Tools) จะทำการสังเคราะห์ตามโค้ดที่เขียน ถ้าอธิบายการทำงานของวงจรเดียวกันแต่เขียนโค้ดในลักษณะที่ต่างกันเมื่อสังเคราะห์แล้วจะได้วงจรที่ต่างกัน และจากวงจรที่ต่างกัน เมื่อนำไปทำต้นแบบด้วย FPGA หรือการทำ ASIC แล้วจะได้ไอซีที่มีคุณสมบัติต่างกันทั้งในด้านของขนาดหรือความเร็ว (Area and Time) ส่วนการเขียนโค้ดลักษณะใดเพื่อให้ได้ผลลัพธ์ที่ดีที่สุดนั้นก็ขึ้นอยู่กับประสบการณ์ในการออกแบบ

3.3.2 การจำลองการทำงานของวงจร (Simulation)

ขั้นตอนนี้เป็นขั้นตอนที่สำคัญเพราะเป็นขั้นตอนที่ใช้ตรวจสอบฟังก์ชั่นการทำงานของวงจรว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหน เพื่อที่จะได้ทำการแก้ไขให้ถูกต้อง ในขั้นตอนนี้จะใช้ซอฟท์แวร์สำหรับทำการจำลองการทำงานของวงจร เช่น V-System และ ModelSim ของบริษัท Model Technology

3.3.3 การสังเคราะห์วงจร

ในขั้นตอนนี้จะใช้ซอฟท์แวร์สังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์โค้ดเพื่อให้ได้เป็นวงจรขึ้นมา แต่ต้องตรวจสอบด้วยว่าซอฟท์แวร์นั้นๆสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการใช้หรือไม่ โดย FPGA ที่นิยมใช้งานเช่นของบริษัท Xilinx ตระกูล XC4000 และบริษัท Altera ตระกูล FLEX 10 K ซอฟท์แวร์สังเคราะห์วงจรที่นิยมใช้เช่น โปรแกรม Leonardo Spectrum ของบริษัท Exemplar Logic ซึ่งในขั้นตอนนี้ซอฟท์แวร์สังเคราะห์วงจรจะแปลงโค้ดและทำการออปติไมซ์ (Optimization) เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้ นอกจากนี้ยังสามารถกำหนดข้อบังคับสำหรับวงจรได้เช่น ข้อบังคับในเรื่องของเวลา (Time Constraints) หรือข้อบังคับในเรื่องของพื้นที่ ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอนออปติไมซ์เพื่อให้วงจรที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการออปติไมซ์คือการเทียบ (Mapping) วงจรให้เข้ากับเทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างสถาปัตยกรรมภายในอุปกรณ์ FPGA ในกรณีของ Xilinx ตระกูล XC4000 และ Altera ตระกูล FLEX 10 K จะเทียบโดยใช้วิธี LUT (Look Up Table) เมื่อทำการสังเคราะห์วงจรเสร็จแล้วซอฟท์แวร์สังเคราะห์วงจรก็จะมีการรายงานผลว่าวงจรที่ออกแบบไปนั้นเป็นอย่างไร เช่น มีความหน่วง (Delay) เท่าไร ใช้ทรัพยากรต่างๆใน FPGA อะไรบ้าง เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นการแบ่งวงจรที่ได้จากการสังเคราะห์ให้เป็นส่วนย่อยๆ สำหรับลงใน CLBs, IOBs หรือองค์ประกอบอื่นๆ ภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่งคือให้แต่ละส่วนที่จะแยกออกจากกันมีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้เพื่อช่วยลดความหนาแน่น ในตอนทำการเชื่อมต่อสัญญาณ (Routing) ในขั้นตอนนี้จะใช้ซอฟท์แวร์ทำ โดยซอฟท์แวร์จะเทียบส่วนประกอบของวงจรเช่น เกท (Gate), ฟลิปฟลอป (Flipflop) ลงในทรัพยากรต่างๆ ที่มีอยู่ภายในอุปกรณ์ FPGA (CLBs, IOBs, BUFT และ Edge Decoder) หลังจากทำขั้นตอนนี้เสร็จแล้วสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์ FPGA ไปเท่าไร ส่วนซอฟท์แวร์ที่ใช้ในขั้นตอนนี้ขึ้นอยู่กับตัว FPGA ที่ใช้งานเช่น FPGA ของบริษัท Xilinx จะใช้ Xilinx Foundation Series 2.1i ซึ่งซอฟท์แวร์ตัวนี้จะรวมเอาซอฟท์แวร์ย่อยอื่นๆอีก เพื่อให้การทำ PPR (Partitioning, Placement and Routing) เป็นไปอย่างต่อเนื่อง ส่วน FPGA ของบริษัท Altera จะใช้ Altera MAX+II

3.3.5 การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นการเลือกทำเลที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (Partitioning) มาแล้วว่าควรจะอยู่ในตำแหน่งใดในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด เช่นวงจรส่วนไหนควรอยู่ใกล้กันเพื่อจะได้ค้นหาเส้นทาง (Route) ได้ง่ายหรือช่วยลดความหน่วง จะเห็นได้ว่าตำแหน่งภายในอุปกรณ์ FPGA นั้นมีความสำคัญเพราะถ้าจัดวางวงจรลงในตำแหน่งที่ไม่เหมาะสมแล้วจะทำให้ความหน่วงเพิ่มขึ้นหรือตัว Router ทำการค้นหาเส้นทางสัญญาณได้ไม่หมด

3.3.6 การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็นการเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่างๆ ภายในอุปกรณ์ FPGA เช่นระหว่าง CLBs หรือระหว่าง CLBs กับ IOBs ขั้นตอนนี้จะทำต่อเนื่องจากการวางอุปกรณ์ ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดีซอฟท์แวร์ก็จะทำการเชื่อมต่อสัญญาณได้ไม่หมดหรือเกิดความหน่วงเกินค่าที่กำหนดในข้อบังคับ โดยสามารถทำขั้นตอนนี้ได้โดยใช้ซอฟท์แวร์ เช่นกัน หรือจะทำการเชื่อมต่อสัญญาณด้วยตัวเอง (Manual Layout) ก็ได้ แต่ทางที่ดีควรใช้ซอฟท์แวร์ทำดีกว่าโดยให้ทำการค้นหาเส้นทางหลายๆครั้งเพื่อหาครั้งที่ดีที่สุด นอกจากนั้นการกำหนดข้อบังคับทางเวลา (Time Constraints) จะช่วยให้ผลที่ได้จากการทำการเชื่อมต่อสัญญาณดีขึ้นได้

3.3.7 การโปรแกรมอุปกรณ์ FPGA (Configuration)

หลังจากที่วงจรผ่านขั้นตอนต่างๆจนกระทั่งผ่านการทำ PPR (Partitioning, Placement and Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (Download) ลงในอุปกรณ์ FPGA ได้แล้ว ในการดาวน์โหลดนี้ก่อนอื่นต้องแปลงแบบวงจรรวมที่ได้ให้เป็นข้อมูลวงจร (Configuration Data) ซึ่งอยู่ในรูปของบิทสตรีม (Bit-Stream) ก่อนแล้วจึงดาวน์โหลดลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชั่นการทำงานตามวงจรที่ออกแบบไว้

จากที่อธิบายมาทั้งหมดจะเห็นได้ว่าการออกแบบเพื่อทำ FPGA นั้น ทำได้สะดวกกว่าการทำ ASIC มากเพราะใช้เวลาน้อยกว่ามาก ส่วนสำคัญที่ใช้ในการทำ FPGA คือซอฟท์แวร์ที่ใช้ตั้งแต่การเขียนโค้ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

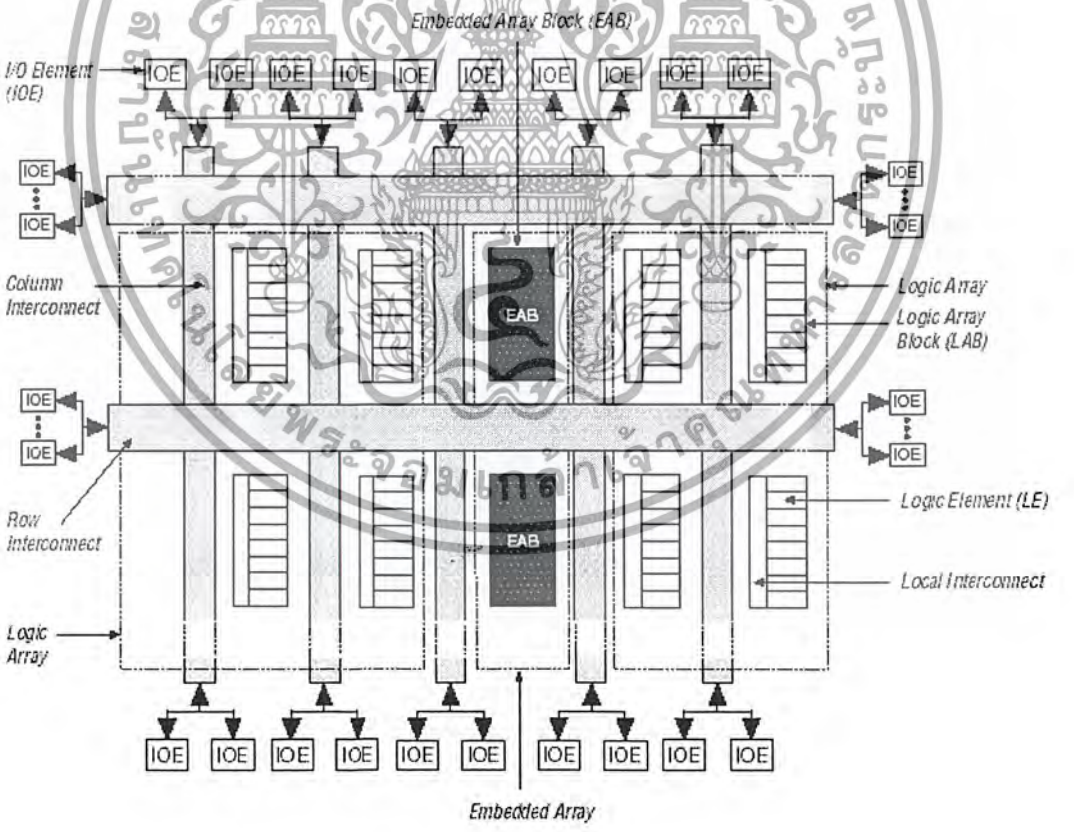
อธิบายฮาร์ดแวร์จนกระทั่งดาวน์โหลดลงในอุปกรณ์ FPGA ซึ่งซอฟท์แวร์ที่ใช้ต้องเป็นซอฟท์แวร์ที่ใช้ทำงานต่อเนื่องกัน

3.4 สถาปัตยกรรมภายในของ FPGA

FPGA ของบริษัท Altera ตระกูล FLEX 10 K เป็นอุปกรณ์ที่มีความหนาแน่นเกทประมาณตั้งแต่ 10,000-250,000 เกท โดยการจัดโครงสร้าง (Configuration) จะใช้วิธีโหลดโครงสร้างเข้าไปใน SRAM ภายใน ซึ่งหมายความว่าถ้าไม่ได้มีการจ่ายไฟเลี้ยงให้ โครงสร้างที่จัดเอาไว้ก็จะหายไป FPGA ประเภทนี้จะสามารถโปรแกรมซ้ำได้ไม่จำกัดจำนวนครั้ง และการทำงานตามลอจิกฟังก์ชั่นจะใช้วิธีการเปิดตารางดู (Look Up table : LUT) โดยโครงสร้างของ FPGA ตระกูล FLEX 10 K แสดงดังรูปที่ 3.18โดยในโครงสร้างของ FPGA ตระกูล FLEX 10 K สามารถที่จะแบ่งเป็นส่วนต่างๆ ได้ดังนี้

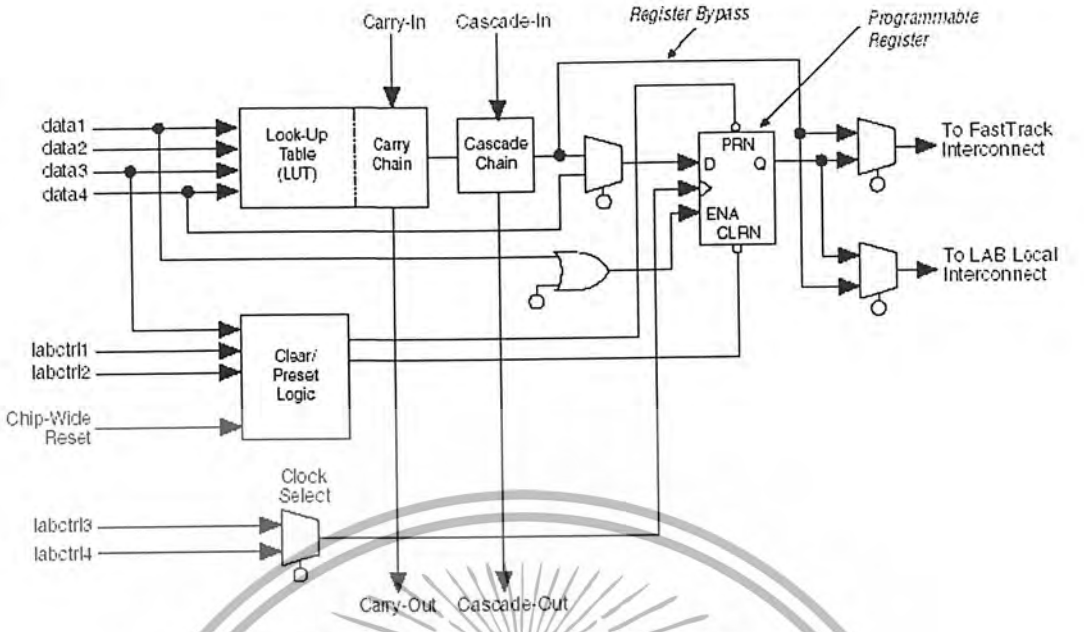
Logic Element (LE)

ในรูปที่ 3.16 แสดงโครงสร้างภายในของ LE โดยการกระทำทางบูลีนของลอจิกเกทจะสร้างด้วยวิธีการ LUT โดย LUT คือ 1x16 SRAM ซึ่ง LUT เพียงตัวเดียวสามารถนำมาทำโครงข่ายของลอจิกเกทที่มี 4 อินพุท และ 1 เอาท์พุท โดยโครงข่ายของลอจิกเกทจะถูกแปลงไปเป็นตารางค่าความจริง (Truth Table) ดังแสดงในรูปที่ 3.17

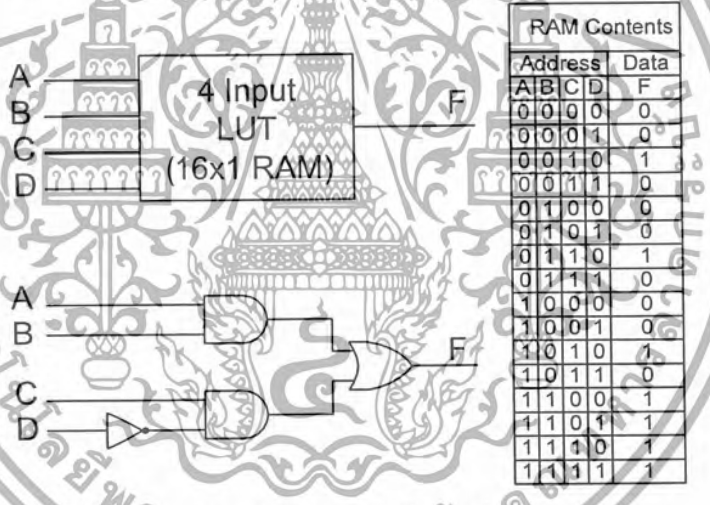


รูปที่ 3.15 แสดงโครงสร้างของ FPGA ตระกูล FLEX 10K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



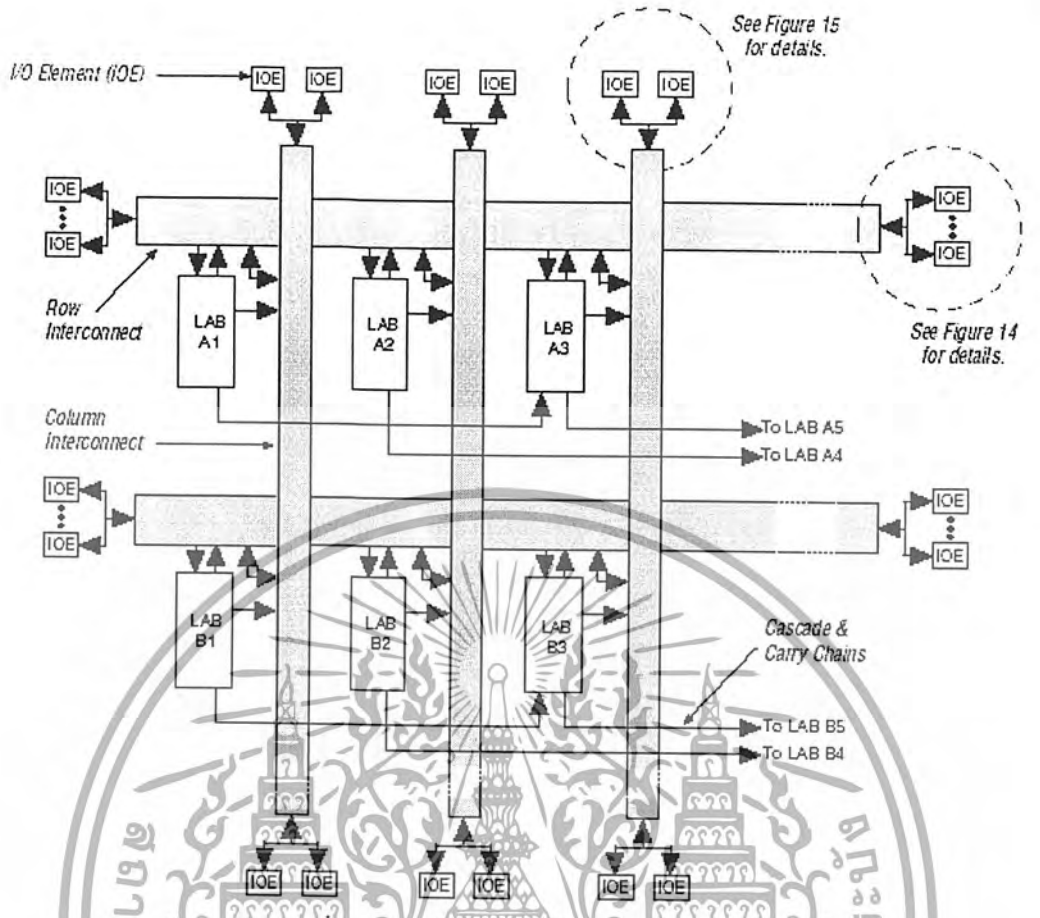
รูปที่ 3.16 แสดงโครงสร้างภายในของ LE



รูปที่ 3.17 แสดงการใช้งาน LUT เป็นโครงข่ายของลอจิก

ถ้าโครงข่ายของลอจิกเกทมีความซับซ้อนขึ้นจะต้องใช้ LUT ของแต่ละ LE เป็นจำนวนหลายตัว โดยเอาท์พุทของ LUT จะส่งต่อไปยังฟลิปฟลอป และต่อไปยังโครงข่ายการเชื่อมต่อ (Interconnection Network) ดังแสดงในรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

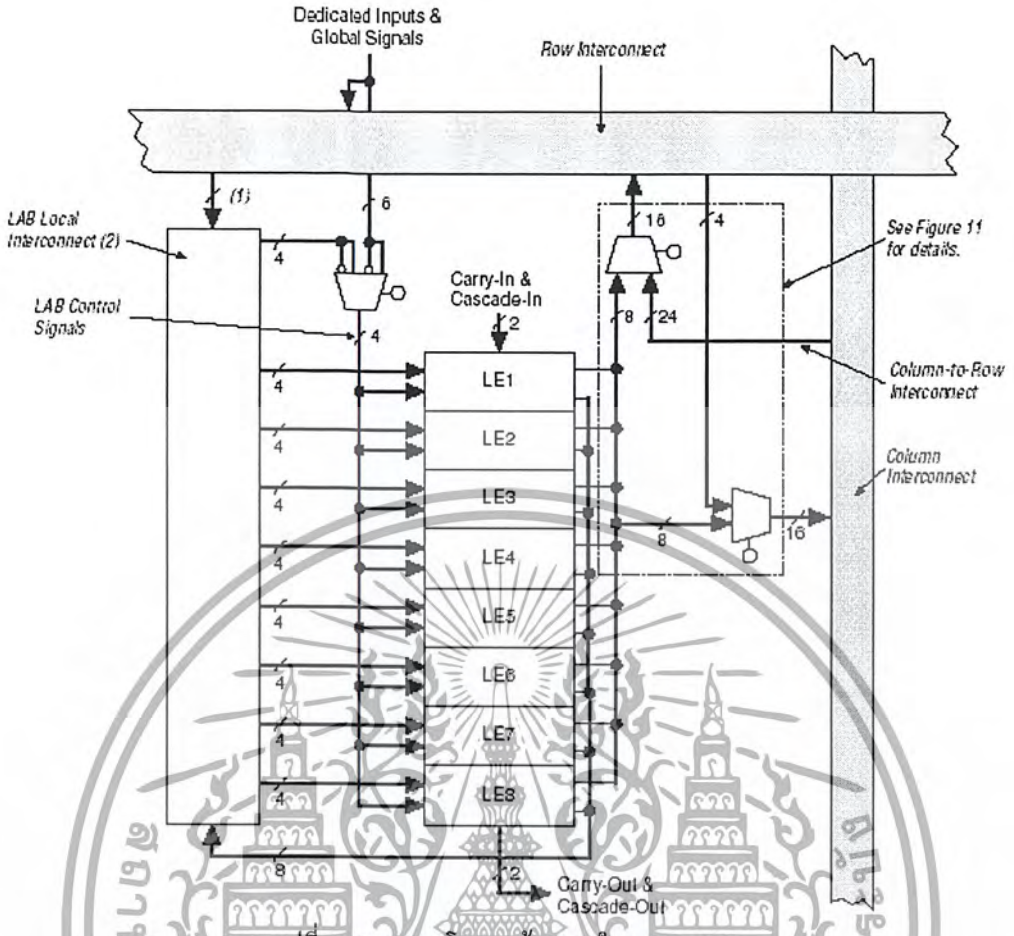


รูปที่ 3.18 แสดงโครงข่ายของการเชื่อมต่อ

Logic Array Block (LAB)

LAB 1 ตัว จะประกอบไปด้วย 8 LE ดังแสดงในรูปที่ 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

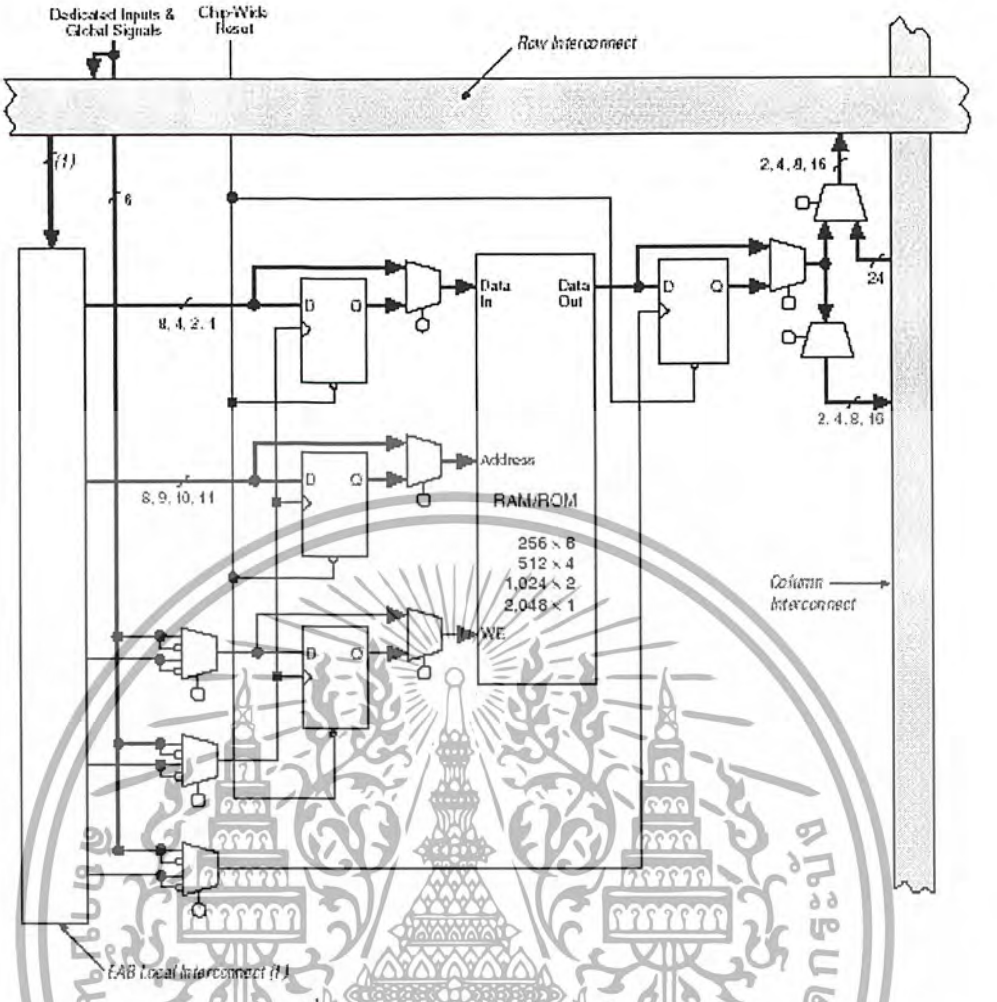


รูปที่ 3.19 แสดงโครงสร้างภายในของ LAB

Embedded Array Block (EAB)

สถาปัตยกรรมโดยทั่วไปของ FLEX 10 K จะมีลักษณะของ LAB ที่มีการจัดเรียงแบบเมตริกซ์ และ EAB ซึ่งมีการเชื่อมต่อผ่านทางแถวและคอลัมน์ โดยในแต่ละแถวจะมี 1 EAB ซึ่ง 1 EAB จะมีขนาด 2048 บิท และสามารถกำหนดความกว้าง (Width) ความลึก (Depth) ของ EAB ได้โดยไม่ส่งผลต่อความเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

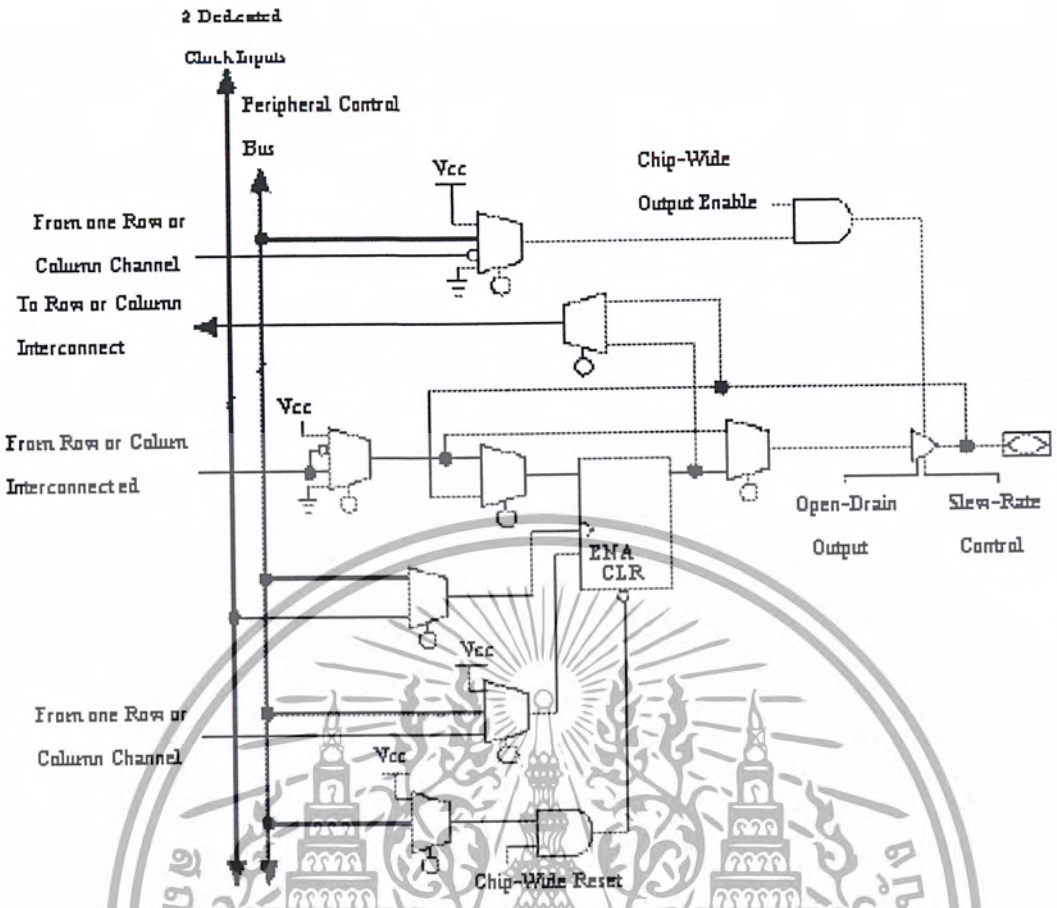


รูปที่ 3.20 แสดงโครงสร้างภายใน EAB

Input Out Element (IOE)

IOE จะถูกต่ออยู่กับขา I/O โดยจะประกอบด้วยส่วนของวงจรที่เป็น Tri State และส่วนที่เป็นฟลิปฟลอป ซึ่งเป็น option ดังแสดงในรูปที่ 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 แสดงโครงสร้างภายในของ IOE

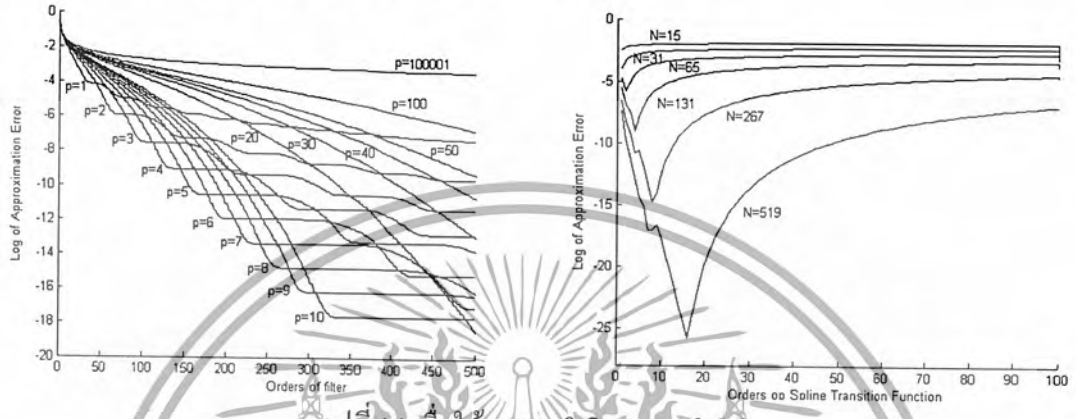
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

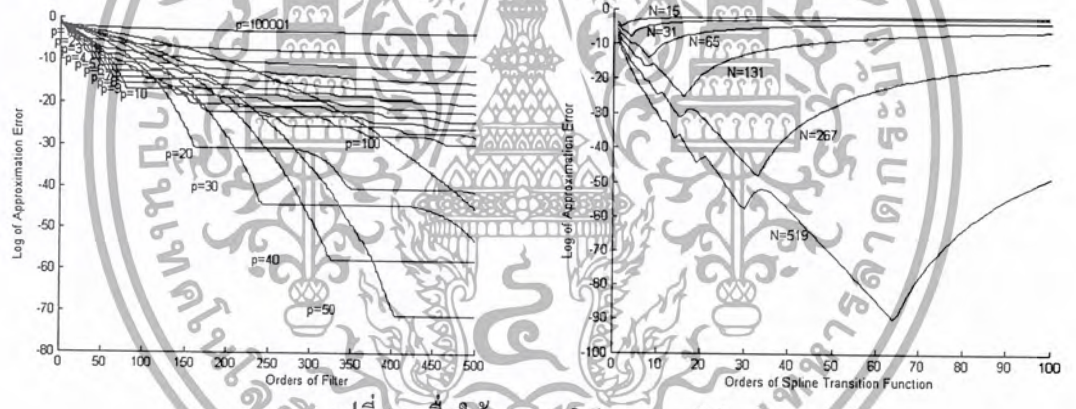
การออกแบบและการออกแบบวงจรกรองสัญญาณดิจิตอล

4.1 แสดงค่าประมาณการอินทิกรัลความผิดพลาดกำลังสองของสไปลน์ฟังก์ชั่น

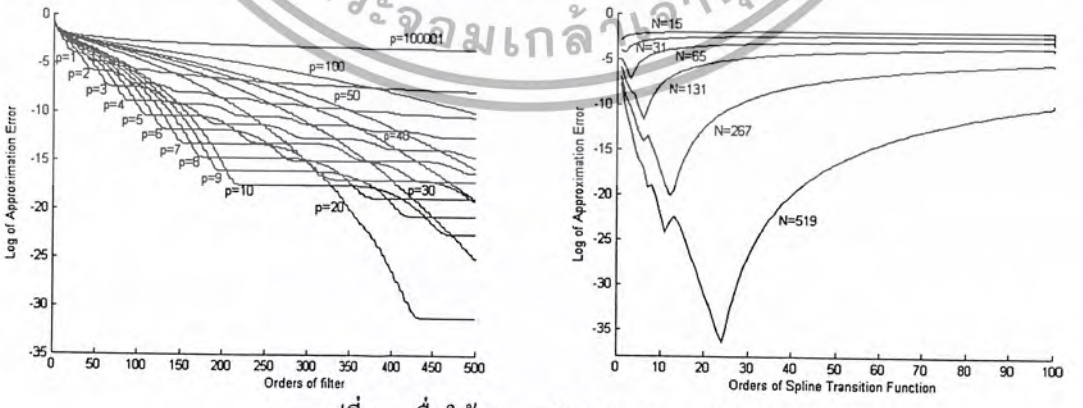
เมื่อนำสมการที่ 2.48 มาออกแบบใน matlab เมื่อหาค่า error ที่เกิดขึ้นซึ่งแสดงดังรูปซึ่งรูปซ้าย เราจะให้ค่าอันดับของฟิลเตอร์คงที่ ส่วนอันดับของสไปลน์เปลี่ยนแปลงเป็นค่าต่างๆรูปขวา จะให้ค่าของอันดับของสไปลน์คงที่ ส่วนอันดับของฟิลเตอร์เปลี่ยนแปลงค่าได้



รูปที่ 4.1 เมื่อให้ $\omega_1 = 0.2$ $\omega_2 = 0.25$

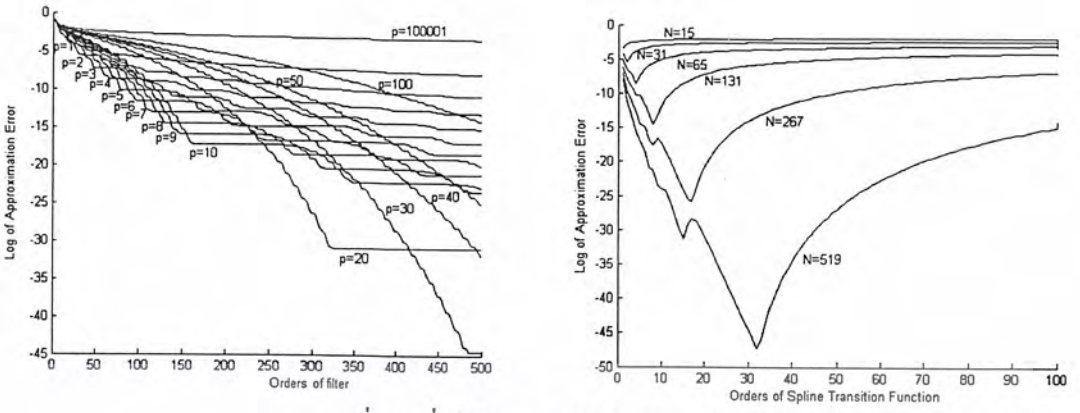


รูปที่ 4.2 เมื่อให้ $\omega_1 = 0.1$ $\omega_2 = 0.3$

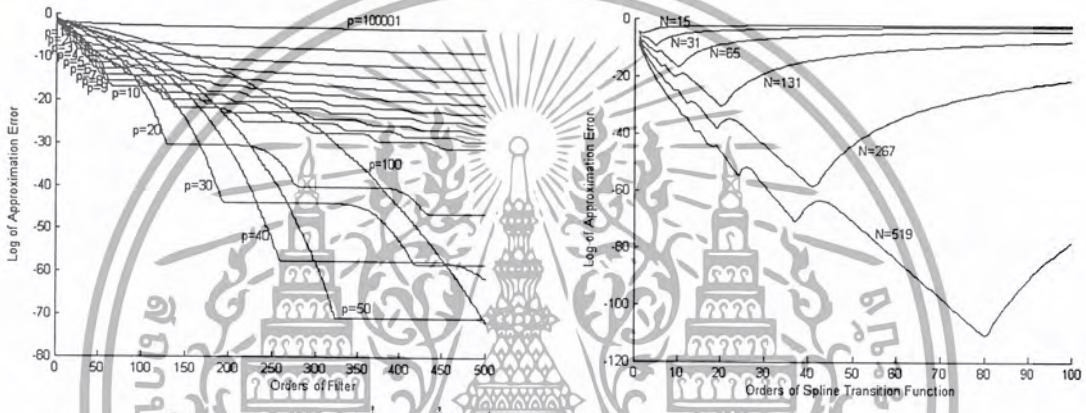


รูปที่ 4.3 เมื่อให้ $\omega_1 = 0.125$ $\omega_2 = 0.2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 เมื่อให้ $\omega_1 = 0.35$ $\omega_2 = 0.45$



รูปที่ 4.5 เมื่อให้ $\omega_1 = 0.15$ $\omega_2 = 0.4$

จากรูปเราจะสังเกตเห็นว่าวงจรที่มีผลตอบสนองอิมพัลส์ค่อนข้างมากจะเห็นว่าจุดแหลมสุดของเส้นกราฟมากกว่าวงจรที่มีผลตอบสนองอิมพัลส์จำนวนน้อยๆ ซึ่งชี้ให้เห็นว่าควรเลือก p ให้มีค่าเป็นเท่าใดสำหรับ N ใดๆที่กำหนด ซึ่งจะให้ค่าประมาณการอินทิกรัลความผิดพลาดกำลังสองมีค่าน้อยสุด มีข้อสังเกตว่าค่าของ p ที่ทำให้ความผิดพลาดต่ำสุดนั้นมีลักษณะโดยประมาณเป็นฟังก์ชันเชิงเส้นเมื่อเทียบกับ N

4.2 แสดงการหาอันดับของสไปลน์ที่เหมาะสม

จากสมการเส้นตรง $\Delta y = m\Delta x + c$ โดยที่ $\Delta y = \Delta p$, $\Delta x = \Delta N$, m คือ ความชัน และกำหนดให้ค่า $c = 0$

จากกราฟรูปที่ 4.1 เมื่อ *p=1* จะได้ *N=35*, *p=2* จะได้ *N=69*, *p=3* จะได้ *N=101*, *p=4* จะได้ *N=133*, *p=5* จะได้ *N=163*, *p=6* จะได้ *N=195*, *p=7* จะได้ *N=225*, *p=8* จะได้ *N=261*, *p=9* จะได้ *N=293*, *p=10* จะได้ *N=232*

สมการเส้นตรงจะได้ $$\frac{\Delta p}{\Delta N} = m \qquad (4.1)$$

$$m = \frac{10-1}{323-35} = 0.03126$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถตรวจสอบความถูกต้องจากรูป 4.1 ได้โดยนำค่า m มาคูณกับ N จะได้ค่า p ออกมาจากกราฟ จะได้ค่า p ต่างๆออกมาดังนี้

เมื่อ N=65 จะได้ $p=2$ (0.03126*2=2.03126), N=131 จะได้ $p=4$ (0.03126*4=4.09376), N=267 จะได้ $p=8$ (0.03126*8=8.34376), N=519 จะได้ $p=16$ (0.03126*16=16.218768) ซึ่งเห็นว่าค่าที่ได้ใกล้เคียงกับค่าที่ได้จากกราฟ

ในทำนองเดียวกันเราจะทำการหาค่า m จากกราฟรูปที่ 4.2 ถึง 4.5 ซึ่งจะได้ค่า m ตามลำดับดังนี้ 0.0123656, 0.046703, 0.06338, 0.15493

เมื่อได้ความชันซึ่งมีความสัมพันธ์กันระหว่าง p และ N ของแต่ละกราฟซึ่งมีความถี่ที่แตกต่างกันแล้ว เราจะนำค่าความชั้นนี้มาหาค่าความสัมพันธ์กับช่วงความถี่ที่แตกต่างกันแล้วเราจะนำค่าความชันนี้มาหาค่าความสัมพันธ์กับช่วงความถี่ที่แตกต่างกันอีกครั้ง ด้วยการนำช่วงความถี่ของแต่ละกราฟมาหารกับ slop ของแต่ละกราฟจนได้ค่าคงที่ของกราฟแต่ละกราฟออกมาหาค่าเฉลี่ย แล้วจะได้ความสัมพันธ์ระหว่าง p, N, f ที่เหมาะสม

เราจะนำค่า m ที่ได้มาใส่ในสมการที่ (4.1)-(4.5) ใหม่เมื่อหาความสัมพันธ์ของ p กับ N

จากรูปที่ 4.1 จะได้ $p = 0.03126N$ โดยที่ $\omega_1 = 0.2$, $\omega_2 = 0.25$ เพราะฉะนั้น $\Delta f = 0.05$ เราจะให้ δ คือค่าความสัมพันธ์ใหม่จะได้ $\Delta f * \delta = 0.03126$ จะได้ค่า $\delta = 0.625$

จากรูปที่ 4.2 จะได้ $p = 0.123656N$ โดยที่ $\omega_1 = 0.1$, $\omega_2 = 0.3$ เพราะฉะนั้น $\Delta f = 0.2$ เราจะให้ δ คือค่าความสัมพันธ์ใหม่จะได้ $\Delta f * \delta = 0.123656$ จะได้ค่า $\delta = 0.61828$

จากรูปที่ 4.3 จะได้ $p = 0.046703N$ โดยที่ $\omega_1 = 0.125$, $\omega_2 = 0.2$ เพราะฉะนั้น $\Delta f = 0.075$ เราจะให้ δ คือค่าความสัมพันธ์ใหม่จะได้ $\Delta f * \delta = 0.046703$ จะได้ค่า $\delta = 0.622706$

จากรูปที่ 4.4 จะได้ $p = 0.06338N$ โดยที่ $\omega_1 = 0.35$, $\omega_2 = 0.45$ เพราะฉะนั้น $\Delta f = 0.1$ เราจะให้ δ คือค่าความสัมพันธ์ใหม่จะได้ $\Delta f * \delta = 0.06338$ จะได้ค่า $\delta = 0.6338$

จากรูปที่ 4.5 จะได้ $p = 0.15493N$ โดยที่ $\omega_1 = 0.15$, $\omega_2 = 0.4$ เพราะฉะนั้น $\Delta f = 0.25$ เราจะให้ δ คือค่าความสัมพันธ์ใหม่จะได้ $\Delta f * \delta = 0.15493$ จะได้ค่า $\delta = 0.61972$

เพราะฉะนั้นจะได้ค่าเฉลี่ยของ $\delta = 0.624$ ดังนั้นจะได้ความสัมพันธ์ของอันดับ p ที่เหมาะสมดังสมการที่ (4.2)

$$p \approx 0.624\Delta_f N \tag{4.2}$$

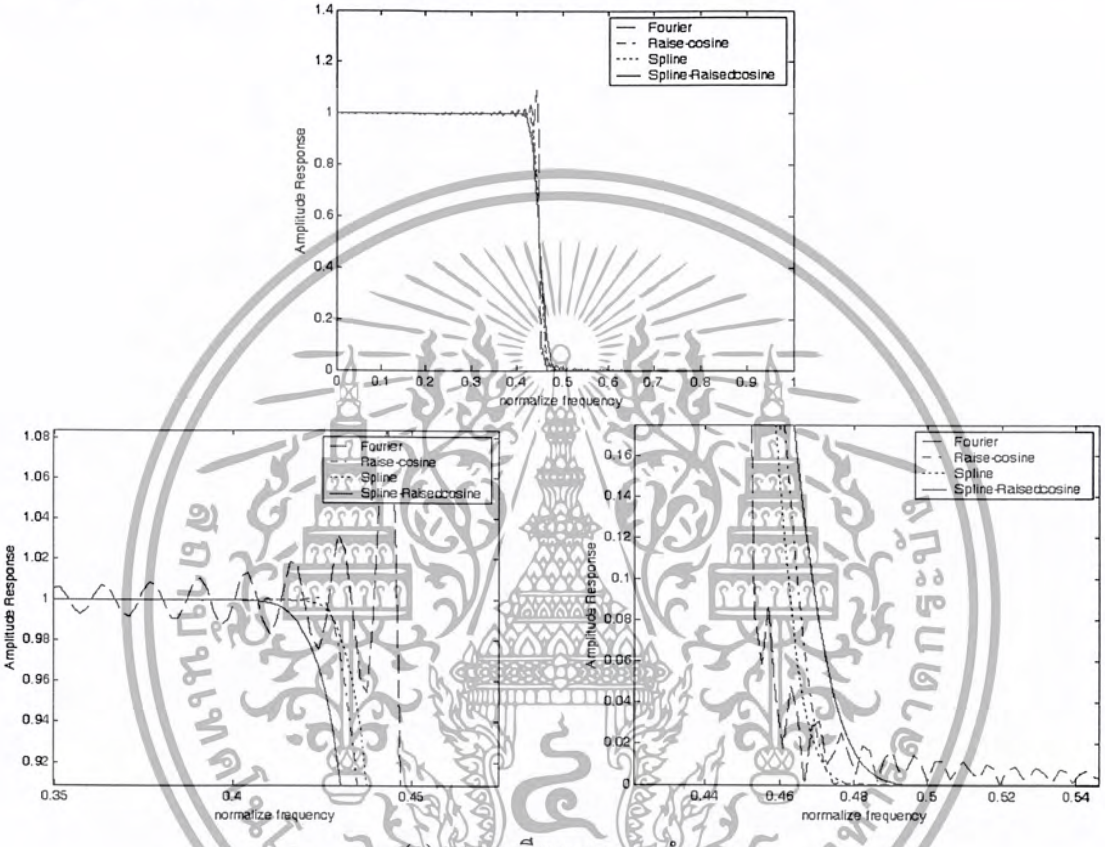
***หมายเหตุ สำหรับเรสโคไซน์จะไม่สามารถหาค่าโรล์ออฟแฟกเตอร์ที่เหมาะสมได้ เนื่องจากถูกกำหนดมาจากอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

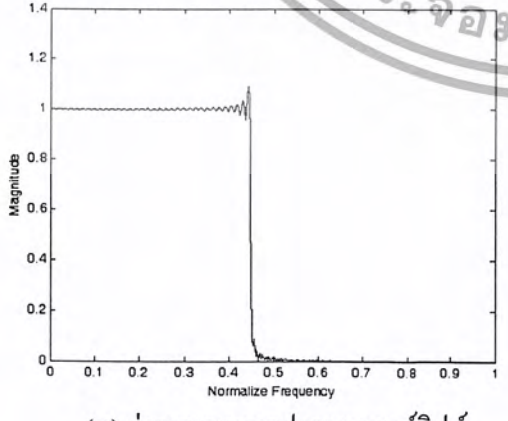
4.3 ผลการทดลองจากการเลียนแบบการทำงานโดยใช้โปรแกรม matlab

4.3.1 เปรียบเทียบการใช้ Fourier series, Spline function, Raised cosine function และ Spline - Raised cosine function

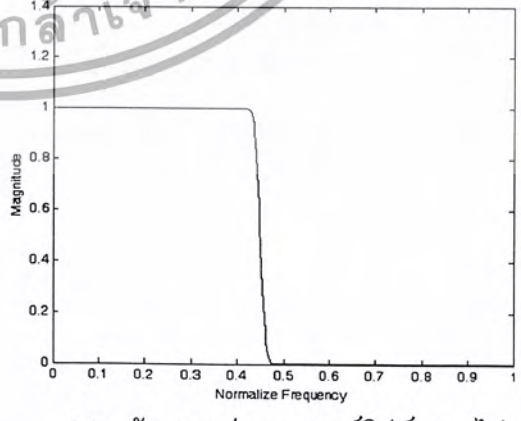
รูปที่ 4.6 จะเป็นผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับที่ 301 โดยกำหนดให้ $f_1 = 4000Hz$ (f_1 คือความถี่ของขอบสัญญาณย่านผ่าน) $f_2 = 5000Hz$ (f_2 คือความถี่ขอบของสัญญาณย่านหยุด) และ $f_s = 20000Hz$



(ก) ผลการเลียนแบบการทำงาน

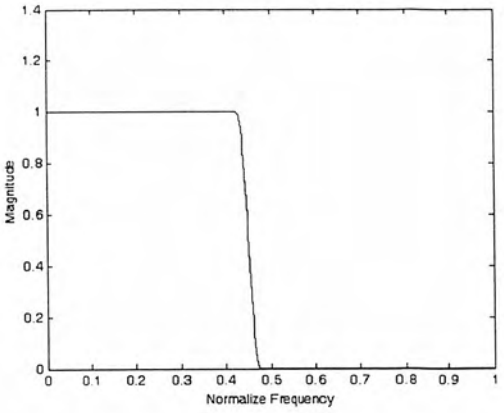


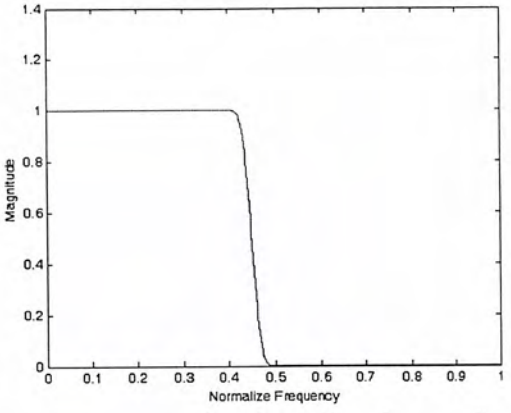
(ข) ก่อนการลดผลปรากฏการณ์กิปส์



(ค) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



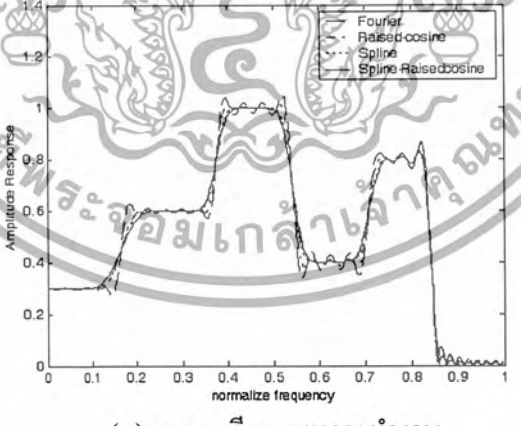


(ง) หลังลดผลปรากฏการณ์กิปส์จากเรสโคไซน์ (จ) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์ - เรสโคไซน์

รูปที่ 4.6 ผลตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับที่ 301

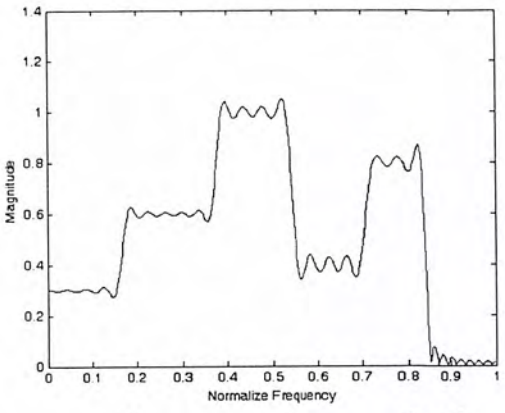
รูปที่ 4.7 แสดงผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบหลายแถบความถี่ในอันดับที่ 101 โดยกำหนดให้มีย่านผ่านสัญญาณ ย่านเปลี่ยนสัญญาณ และย่านหยุดสัญญาณ ดังนี้

$0Hz < f < 820Hz$	มีอัตราขยายเท่ากับ 0.3
$2500Hz < f < 3340Hz$	มีอัตราขยายเท่ากับ 0.6
$4160Hz < f < 5000Hz$	มีอัตราขยายเท่ากับ 1.0
$5840Hz < f < 6660Hz$	มีอัตราขยายเท่ากับ 0.4
$7500Hz < f < 8340Hz$	มีอัตราขยายเท่ากับ 0.8
$8500Hz < f < 10000Hz$	มีอัตราขยายเท่ากับ 0.0

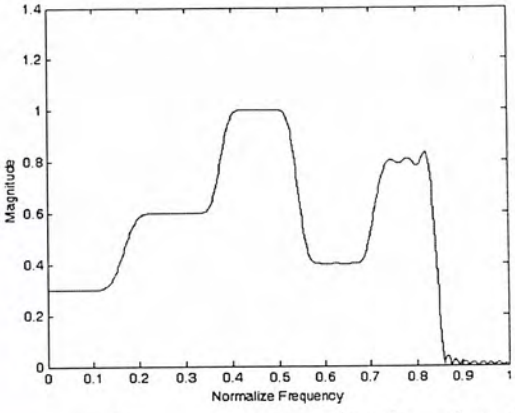


(ก) ผลการเลียนแบบการทำงาน

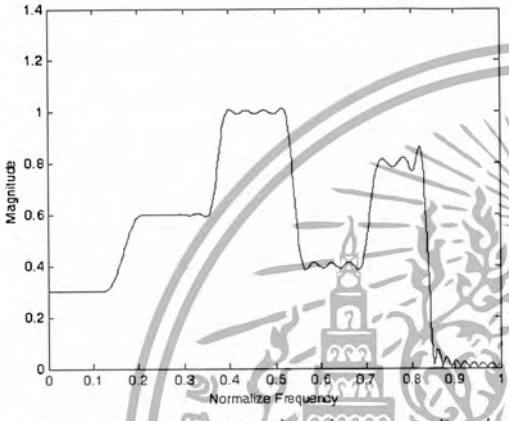
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



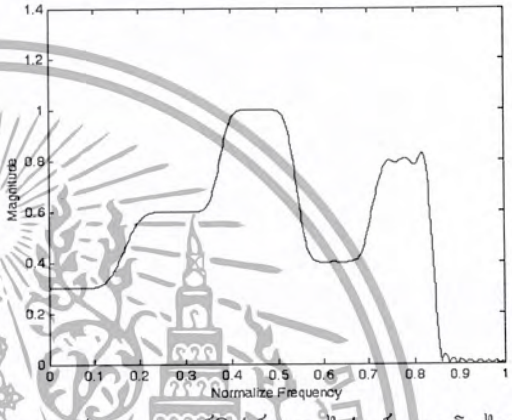
(ข) ก่อนการลดผลปรากฏการณ์กิปส์



(ค) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์



(ง) หลังลดผลปรากฏการณ์กิปส์จากเรสโคไซน์



(จ) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์ - เรสโคไซน์

รูปที่ 4.7 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 101

รูปที่ 4.8 จะแสดงผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบหลายแถบความถี่ในอันดับที่ 301 โดยกำหนดให้มีย่านผ่านสัญญาณ ย่านเปลี่ยนสัญญาณ และย่านหยุดสัญญาณ ดังนี้

$0Hz < f < 860Hz$ มีอัตราขยายเท่ากับ 0.3

$1300Hz < f < 1740Hz$ มีอัตราขยายเท่ากับ 1.0

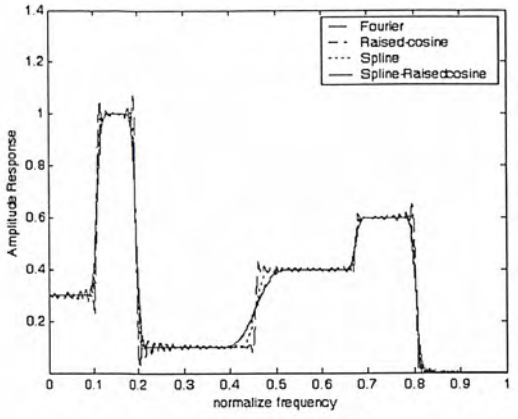
$2160Hz < f < 3480Hz$ มีอัตราขยายเท่ากับ 0.1

$5640Hz < f < 6520Hz$ มีอัตราขยายเท่ากับ 0.4

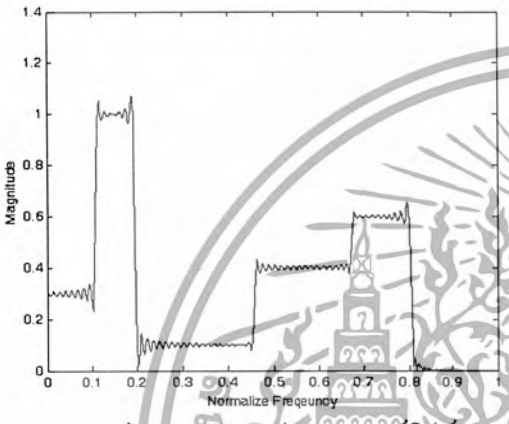
$6960Hz < f < 7820Hz$ มีอัตราขยายเท่ากับ 0.6

$8260Hz < f < 8700Hz$ มีอัตราขยายเท่ากับ 0.0

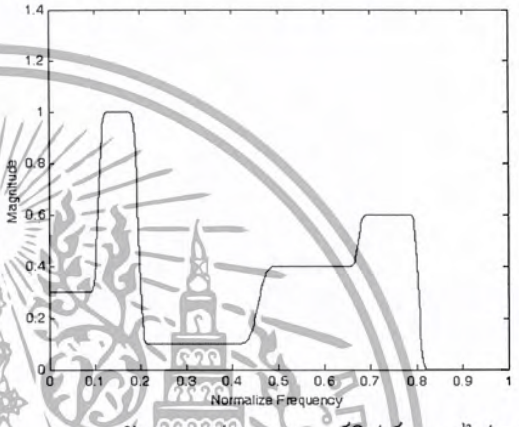
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



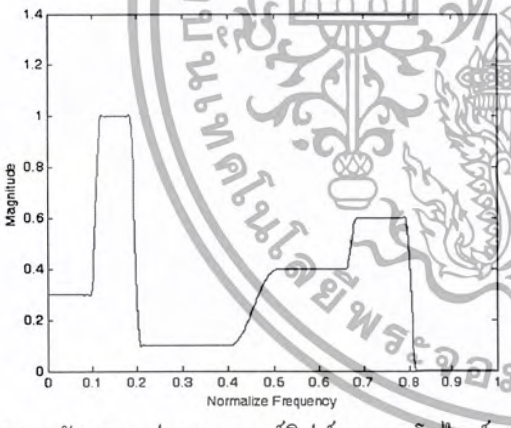
(ก) ผลการเลียนแบบการทำงาน



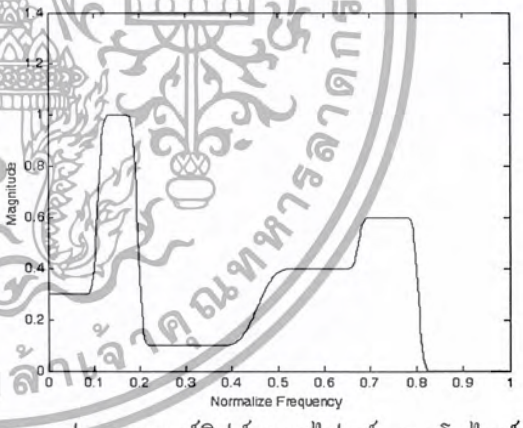
(ข) ก่อนการลดผลปรากฏการณ์กิปส์



(ค) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์



(ง) หลังลดผลปรากฏการณ์กิปส์จากเรสโคไซน์



(จ) หลังลดผลปรากฏการณ์กิปส์จากสไปลน์ - เรสโคไซน์

รูปที่ 4.8 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 301

รูปที่ 4.9 จะแสดงผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบหลายแถบความถี่ในอันดับที่ 16 โดยกำหนดให้มีย่านผ่านสัญญาณ ย่านเปลี่ยนสัญญาณ และย่านหยุดสัญญาณ ดังนี้

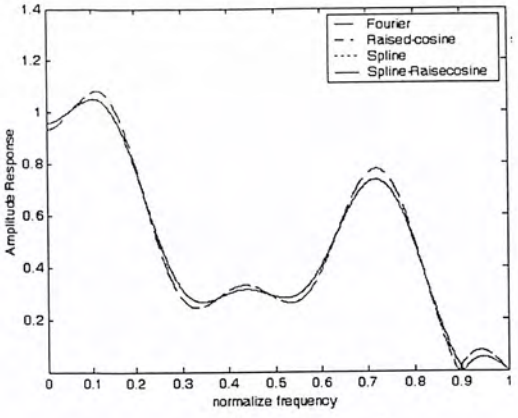
$0Hz < f < 2000Hz$ มีอัตราขยายเท่ากับ 1

$2500Hz < f < 6000Hz$ มีอัตราขยายเท่ากับ 0.3

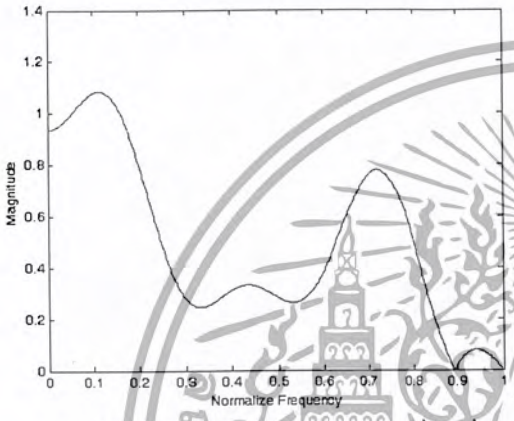
$6500Hz < f < 8000Hz$ มีอัตราขยายเท่ากับ 0.7

$8500Hz < f < 10000Hz$ มีอัตราขยายเท่ากับ 0.0

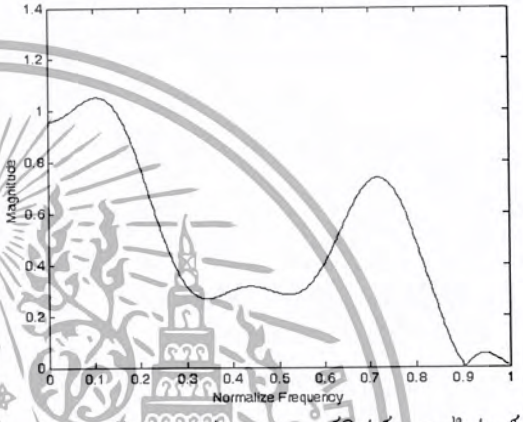
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



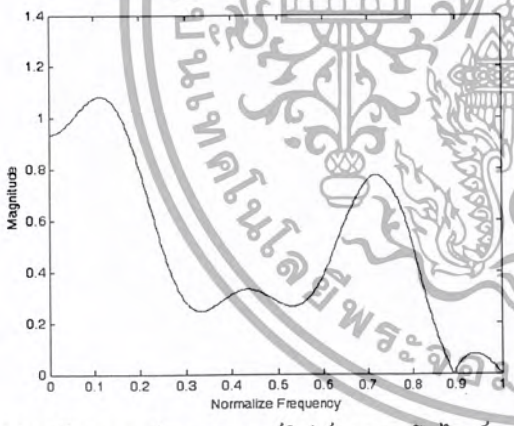
(ก) ผลการเลียนแบบการทำงาน



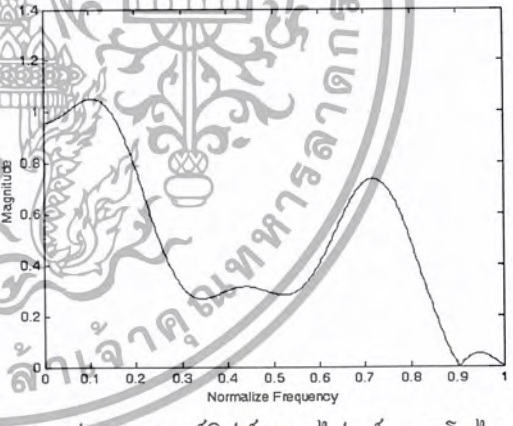
(ข) ก่อนการลดผลปรากฏการณ์กิบส์



(ค) หลังลดผลปรากฏการณ์กิบส์จากสไปลน์



(ง) หลังลดผลปรากฏการณ์กิบส์จากเรสโคไซน์



(จ) หลังลดผลปรากฏการณ์กิบส์จากสไปลน์ - เรสโคไซน์

รูปที่ 4.9 ผลตอบสนองของวงจรกรองสัญญาณแบบหลายแถบความถี่อันดับที่ 16

***<u>หมายเหตุ</u> ใช้ค่าความถี่ในการสุ่มสัญญาณมีค่าเท่ากันคือ $20000Hz$

4.3.2 แสดงการหาค่า Impulse Response ของฟิลเตอร์ที่ออกแบบ

คุณลักษณะของวงจรกรองที่ออกแบบจะเป็นวงจรกรองสัญญาณที่ออกแบบจะเป็นวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัด อันดับที่ 16 เป็นวงจรกรองสัญญาณความถี่แบบมัลติแบนด์ โดยกำหนดให้มีย่านผ่านสัญญาณ ย่านเปลี่ยนสัญญาณ และย่านหยุดสัญญาณ ดังนี้

$0Hz < f < 2000Hz$ มีอัตราขยายเท่ากับ 1

$2500Hz < f < 6000Hz$ มีอัตราขยายเท่ากับ 0.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$6500Hz < f < 8000Hz$ มีอัตราขยายเท่ากับ 0.7

$8500Hz < f < 10000Hz$ มีอัตราขยายเท่ากับ 0.0

ค่าความถี่สุ่มตัวอย่าง (Sampling Frequency) $f_s = 20000Hz$ ใช้ Spline-Raisedcosine Function ในการออกแบบ และค่าสัมประสิทธิ์เก็บเป็นตัวเลข (Fixed Point) ขนาด 8 บิต

ค่า Impulse Response ที่ได้จากการออกแบบสามารถแสดงได้ดังนี้

h(0) = -0.0163= h(15)

h(1) = -0.0556 = h(14)

h(2) = 0.0306 = h(13)

h(3) = -0.0515 = h(12)

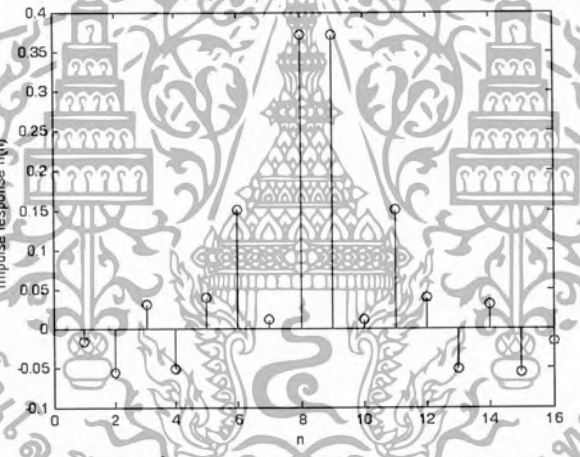
h(4) = 0.0390 = h(11)

h(5) = 0.1506 = h(10)

h(6) = 0.0121 = h(9)

h(5) = 0.3710 = h(8)

ซึ่งสามารถแสดงได้ดังรูปที่ 4.10



รูปที่ 4.10 แสดงค่า Impulse Response

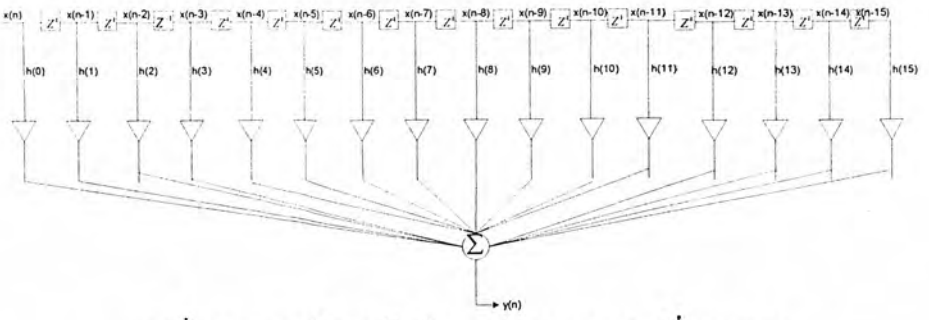
4.4 เปรียบเทียบการใช้โครงสร้างโดยตรงกับโครงสร้างแบบ log

จากค่า Impulse Response ที่ได้ สามารถแสดงเป็นสมการผลต่างสืบเนื่องโดยตรงได้ดังนี้

$$y(n) = h(0)x(n) + h(1)x(n-1) + h(2)x(n-2) + h(3)x(n-3) + h(4)x(n-4) + h(5)x(n-5) + h(6)x(n-6) + h(7)x(n-7) + h(8)x(n-8) + h(9)h(n-9) + h(10)x(n-10) + h(11)x(n-11) + h(12)x(n-12) + h(13)x(n-13) + h(14)x(n-14) + h(15)x(n-15) \quad (4.3)$$

และจากสมการผลต่างสืบเนื่องนี้สามารถแสดงเป็นการจัดโครงสร้างแบบโดยตรงซึ่งมาจากสมการผลต่างสืบเนื่องโดยตรง ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงโครงสร้างโดยตรงของวงจรกรองที่ออกแบบ

เราจะนำค่า *h(n)* ที่ได้มาเก็บเป็นเลขขนาด 8 บิต (Fixed Point) เมื่อนำมาหาค่า error ที่เกิดขึ้นจาก Fixed Point ได้ดังตารางที่ 4.1

Impulse Response *h(n)*	Scaled *h(n)*	$h_{bin}(n)$	บิตที่ทำการเก็บ	*%error*
h(0)=h(15)=-0.0163	11.20350	11	00001011	1.8164%
h(1)=h(14)=-0.0556	38.18814	38	00100110	0.4927%
h(2)=h(13)=0.0306	21.03235	21	00010101	0.1538%
h(3)=h(12)=-0.0515	35.39757	35	00100011	1.1232%
h(4)=h(11)=0.0390	26.80593	27	00011011	0.7240%
h(5)=h(10)=0.1506	103.51213	104	01101000	0.4713%
h(6)=h(9)=0.0121	8.31671	8	00001000	3.8081%
h(7)=h(8)=0.3710	255.0000	255	11111111	0%

ตารางที่ 4.1 แสดงค่า error ที่เกิดจากใช้โครงสร้างโดยตรง

ตารางที่ 4.1 แสดงผลตอบสนองอิมพัลส์ h(n) ซึ่งได้ทำการนอร์มอลไลซ์ และคูณด้วยค่าคงที่ ซึ่งจะต้องไม่เกิน 255 เพราะกำหนดให้ความยาวของแต่ละลำดับเป็น 8 บิต สำหรับโครงสร้างแบบไดเรคฟอร์ม จะใช้ระบบตัวเลขฐานสองแบบธรรมดา ซึ่งจะแทน h(n) ด้วยตัวเลขฐานสอง 8 บิต คือ $h_{bin}(n)$ เมื่อนำมาหาค่า Dynamic Range จากสูตร $20\log\frac{\max}{\min}$ จะได้

$$DR_{bin} = 20\log\frac{256}{Min_{bin}} \tag{4.4}$$

โดย $Min_{bin} = \frac{Coef_{\max}}{coef_{\min}} = \frac{255}{8} = 31.875$

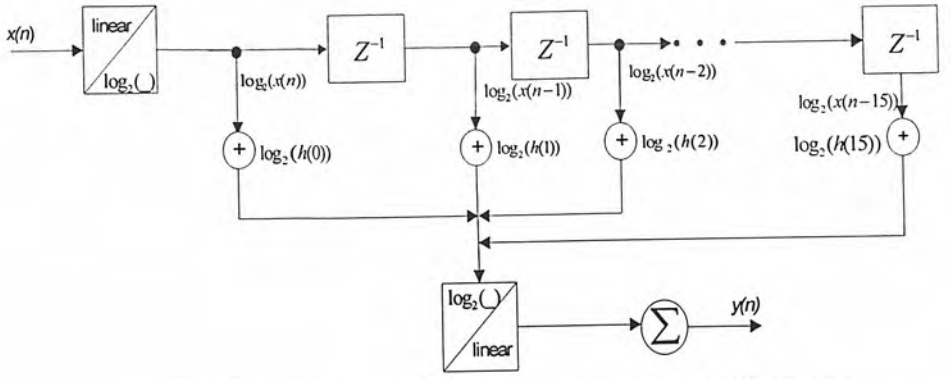
เพราะฉะนั้น $$DR_{bin} = 20\log\left(\frac{256}{31.875}\right) = 18.1dB \tag{4.5}$$

สำหรับโครงสร้างของ log มีสมการผลต่างสืบเนื่องดังนี้

$$\log_2[y(n)] = [\log_2(h_0) \oplus \log_2(x(n))] + [\log_2(h_1) \oplus \log_2(x(n-1))] + \ldots + [\log_2(h_{15}) \oplus \log_2(x(n-15))] \tag{4.6}$$

และจากสมการผลต่างสืบเนื่องนี้สามารถแสดงเป็นการจัดโครงสร้างแบบ log ซึ่งมาจากสมการผลต่างสืบเนื่องของ log ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงโครงสร้างแบบ log ของวงจรกรองที่ออกแบบ

เราจะนำค่า $h(n)$ ที่ได้มาเก็บเป็นเลขขนาด 8 บิต (Fixed Point) เมื่อนำมาหาค่า error ที่เกิดขึ้นจาก Fixed Point แบบโครงสร้างของ log ได้ดังตารางที่ 4.2

$\log_2(scaledh(n))$	$h_{\log_2}(n)$	บิตที่ทำการเก็บ	$\%error$
3.4859	3.46875	01101111	0.4920%
5.2551	5.25000	10101000	0.0970%
4.3945	4.3750	10001100	0.4437%
5.1456	5.1250	10100100	0.4003%
4.7445	4.71875	10010111	0.5427%
6.6937	6.6875	11010110	0.0926%
3.0560	3.03125	01100001	0.8099%
7.9944	7.96875	11111111	0.3208%

ตารางที่ 4.2 แสดงค่า error ที่เกิดขึ้นจากโครงสร้างแบบ log

ตารางที่ 4.2 สำหรับผลตอบสนองอิมพัลส์ของ LNS สามารถคำนวณได้โดยการใส่ลอการิธึ่มฐาน 2 เพื่อหาค่า h(n) และใช้ตัวเลขฐานสอง 8 บิต ซึ่งจะแบ่งเป็นบิตจำนวนเต็ม 3 บิต และบิตหลังจุดทศนิยมอีก 5 บิต แทนค่า $\log_2(scaled\ h(n))$

ทั้งสองแบบจะใช้ตัวเลขฐานสองแบบไม่คิดบิตเครื่องหมาย เนื่องจากในทางคณิตศาสตร์ไม่นิยามลอการิธึ่มของค่าที่เป็นลบ

เมื่อนำมาหาค่า Dynamic Range จากสมการที่ 4.2

โดย $Min_{\log} = \dfrac{Coef_{\max}}{coef_{\min}} = \dfrac{7.96875}{3.03125} = 2.6289$

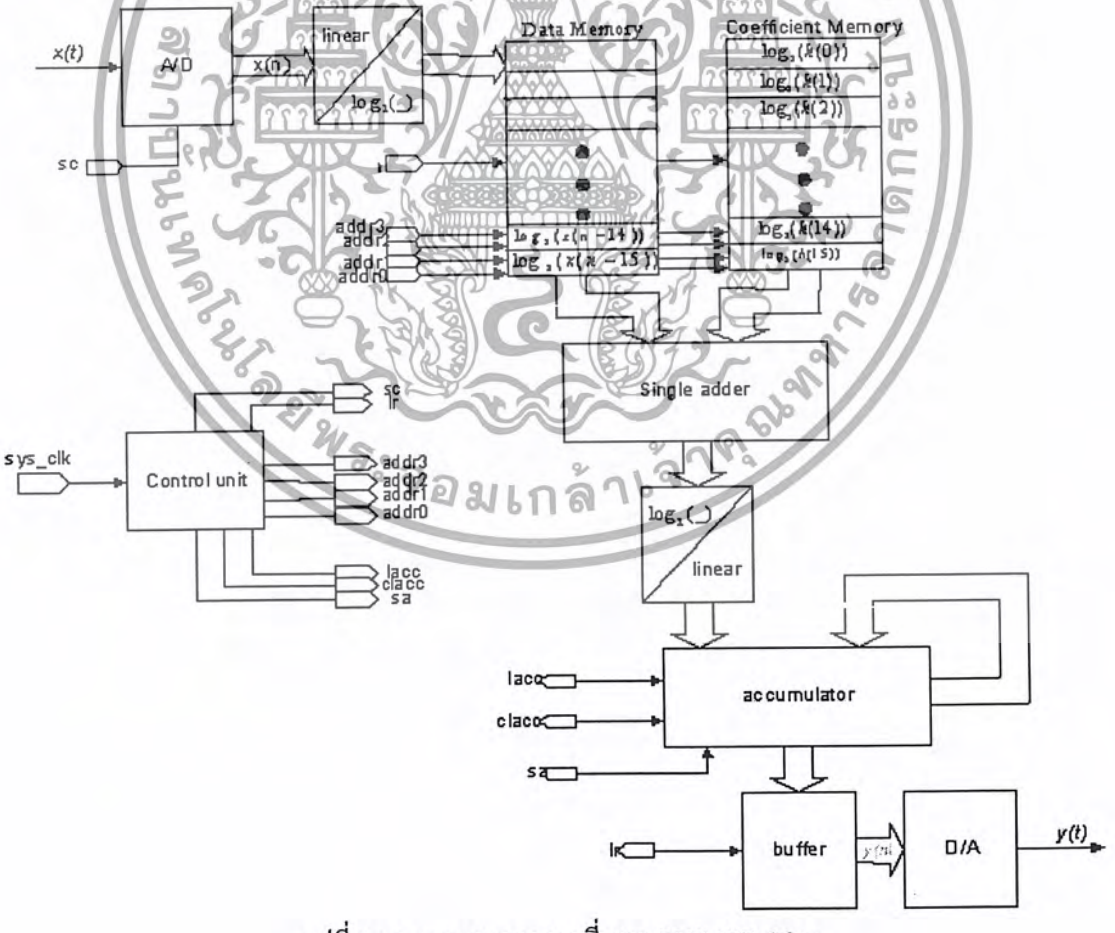
เพราะฉะนั้น $$DR_{\log} = 20\log\left(\frac{256}{2.6289}\right) = 39.7693dB \qquad (4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าค่าเปอร์เซ็นต์ความผิดพลาดในตารางที่ 4.1 จะมีมากกว่าตารางที่ 4.2 นั่นหมายความว่าความถูกต้องของผลตอบสนองอิมพัลส์ ของ LNS ดีกว่าของระบบตัวเลขฐานสองธรรมดา สำหรับ DR ของระบบเลขฐานสองธรรมดาจะมีค่าเท่ากับ 18.1 dB แต่ DR ของ LNS มีค่าเท่ากับ 39.77 dB ซึ่งกว้างกว่าประมาณ 21.67 dB การเพิ่ม DR ของระบบเลขฐานสองธรรมดา เพื่อที่จะให้ค่าความถูกต้อง เท่ากับของ LNS สามารถทำได้โดยการเพิ่มจำนวนบิต ทุก ๆ 1 บิต DR จะเพิ่มขึ้น 6.02 dB เพราะฉะนั้นจะต้องเพิ่มจำนวนบิต 4 บิต

4.5 โครงสร้างฮาร์ดแวร์

ใช้วงจรกรองความถี่แบบ FIR 16tap ในการทดสอบ โครงสร้างฮาร์ดแวร์สร้างจากรูปที่ 4.12 และใช้ผลตอบสนองอิมพัลส์แบบ LNS การออกแบบส่วนประกอบหลักประกอบด้วย ส่วนแปลงสัญญาณเชิงเส้นเป็นลอการิธึม (Linear to Log Converter) , ส่วนแปลงสัญญาณลอการิธึมเป็นเชิงเส้น (Log to Linear Converter) , ส่วนหน่วยความจำข้อมูล (Data Memory) , ส่วนหน่วยความจำร่วม (Coefficient Memory) , ส่วนบวกสัญญาณ (Single Adder) , ส่วนรวมสัญญาณ (Accumulator) , บัฟเฟอร์ (Buffer) และส่วนควบคุม (Control Unit) โครงสร้างฮาร์ดแวร์แสดงดังรูปที่ 4.13



รูปที่ 4.13 วงจรกรองความถี่แบบ LNS-FIR 16tap

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.13 สามารถอธิบายการทำงานได้เป็น 6 ขั้นตอน คือ

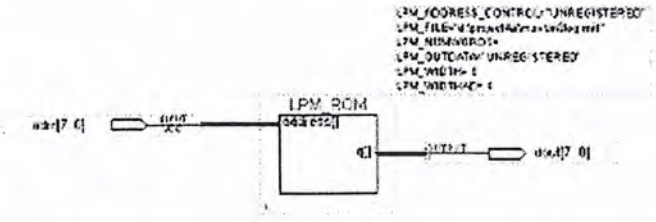
1. A/D ซึ่งควบคุมโดยสัญญาณ sc จะทำการแปลงสัญญาณอนาลอก x(t) ไปเป็นสัญญาณดิจิตอล x(n) 8 บิต จากนั้นสัญญาณดิจิตอลเชิงเส้นจะถูกแปลงไปเป็น LNS โดย ส่วนแปลงสัญญาณเชิงเส้นเป็นลอการิธึ่ม (Linear to Log Converter)
2. สัญญาณ Ir จะเป็นตัวกำหนดให้สัญญาณที่ได้ รับการแปลงให้อยู่ในโดเมนลอการิธึ่ม ป้อนเข้าไปในส่วนหน่วยความจำข้อมูล (Data Memory) ในขณะเดียวกันสัญญาณที่ถูกป้อนเข้ามาก่อนหน้าจะถูกเลื่อนไปแอดเดรสถัดไป
3. สัญญาณ addr4 ถึง addr0 จะกำหนดตำแหน่งของหน่วยความจำข้อมูล (Data Memory) และหน่วยความจำร่วม (Coefficient Memory) โดยเริ่มนับจาก 0 จากนั้นส่วนบวกสัญญาณ (Single Adder) จะทำการบวก $\log_2(x(n))$จากหน่วยความจำข้อมูล (Data Memory) กับ log(h(0)) จากหน่วยความจำร่วม(Coefficient Memory) ผลลัพธ์ที่ได้จะถูกแปลงให้อยู่ในโดเมนเชิงเส้น โดยส่วนแปลงสัญญาณลอการิธึ่มเป็นเชิงเส้น (Log to Linear Converter) และจะนำทั้งหมดมารวมกันโดยส่วนรวมสัญญาณ(Accumulator) ซึ่งถูกควบคุมโดยสัญญาณ Iacc และ sa
4. สัญญาณ addr4 ถึง addr0 จะนับวนไปเรื่อยๆ เพื่อกำหนดตำแหน่งสัญญาณตัวถัดไป และทำซ้ำในขั้นตอนที่ 3 จนหน่วยความจำนับถึง 15
5. สัญญาณ Ir จะกำหนดให้สัญญาณจากเอาท์พุทของส่วนรวมสัญญาณ (Accumulator)ไปสู่ส่วนบัฟเฟอร์(Buffer) เพื่อที่จะแปลงสัญญาณดิจิตอล y(n) ไปเป็นสัญญาณสัญญาณอนาลอก y(t) ในส่วน D/A
6. ส่วนรวมสัญญาณ (Accumulator) จะล้างสัญญาณเก่าซึ่งควบคุมโดยสัญญาณ clacc และเริ่มทำใหม่ตั้งแต่ขั้นที่ 1-6 ตามลำดับ

4.6 ผลการทำงานแต่ละส่วนจากโปรแกรม MAX+PLUS II

4.6.1วงจร Linear to Log Converter

หลักการออกแบบ

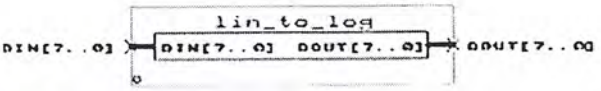
ขั้นแรก คำนวณค่าลอการิธึ่ม 0-255 (ใช้โปรแกรม matlab ช่วยในการคำนวณ) เหตุผลที่เลือกค่า 0-255 เพราะว่า สัญญาณที่เข้ามาเป็นสัญญาณดิจิตอล 8 บิต ค่าที่สามารถเป็นได้จึงอยู่ระหว่าง 0-255 เท่านั้น แล้วนำค่าลอการิธึ่มไปเก็บไว้ในROM เมื่อสัญญาณดิจิตอล 8 บิตเข้ามาก็จะนำมาเปรียบเทียบว่าตรงกับค่าใดระหว่าง 0-255 แล้วให้อ่านค่าลอการิธึ่มออกมาทางเอาท์พุท



รูปที่ 4.14 แสดง Rom ที่ใช้เก็บค่าของ Linear to Log Converter

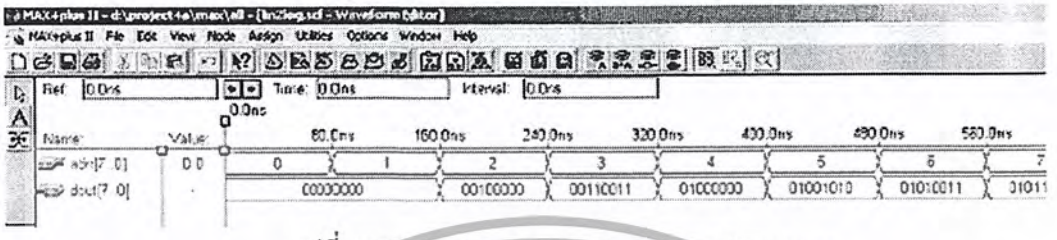
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol ที่ได้



รูปที่ 4.15 แสดง Symbol ของ Linear to Log Converter

Waveformของวงจรที่ออกแบบ



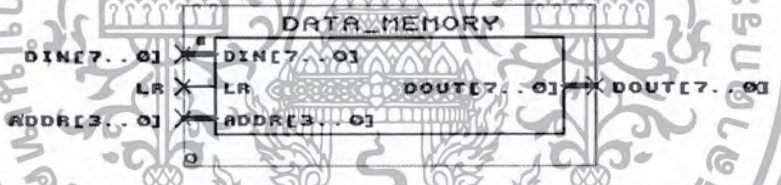
รูปที่ 4.16 Waveform ของ Linear to Log Converter

4.6.2วงจร Data Memory

หลักการออกแบบ

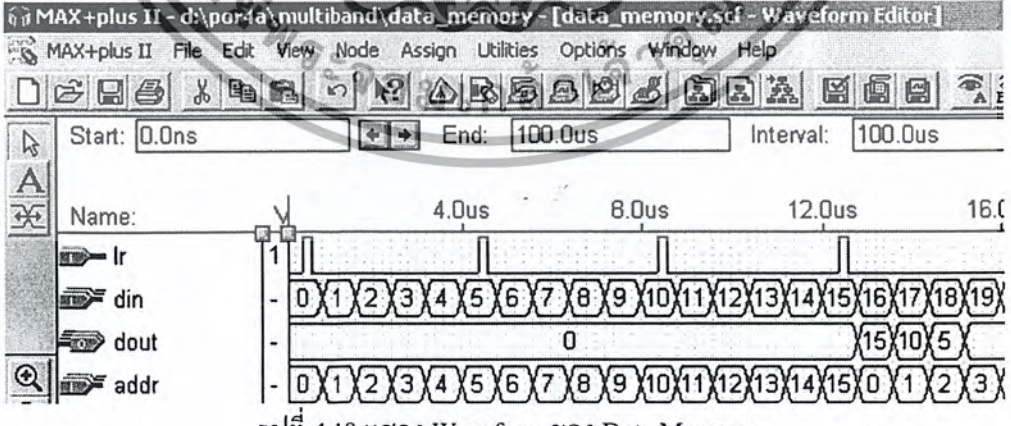
เมื่อมีสัญญาณ lr เข้ามา Data Memory จะโหลดข้อมูลเข้ามาเก็บไว้ ข้อมูลที่มีก่อนหน้านี้จะถูกเลื่อนไปเก็บอยู่ในแอดเดรสถัดไป สัญญาณ addr3 ถึง addr0 จะชี้ที่แอดเดรส และข้อมูลที่อยู่ในแอดเดรสนั้นจะถูกส่งออกทางเอาท์พุท

Symbolที่ได้



รูปที่ 4.17 แสดง Symbol ของ Data Memory

Waveformของวงจรที่ออกแบบ



รูปที่ 4.18 แสดง Waveform ของ Data Memory

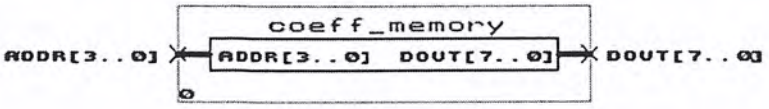
4.6.3วงจร Coefficient Memory

หลักการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

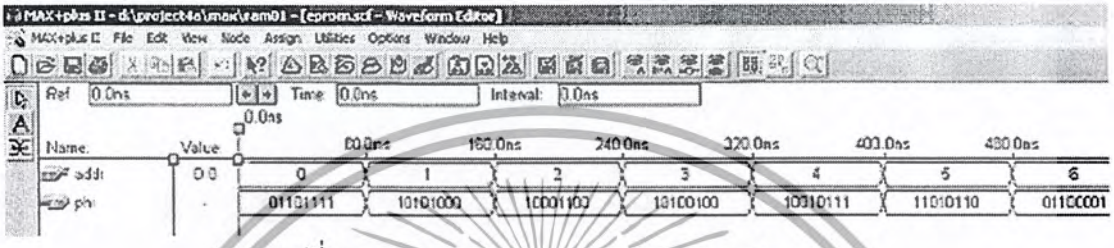
นำค่า $\log_2$ (h(n)) ที่ได้จากการออกแบบวงจรกรอง FIR มาเก็บไว้ในแอดเดรสต่างๆ เมื่อมีสัญญาณ addr3 ถึง addr0 ชี้ที่แอดเดรสใด ข้อมูลที่อยู่ในแอดเดรสนั้นจะถูกส่งไปที่เอาท์พุท

Symbolที่ได้



รูปที่ 4.19 แสดง Symbol ของ Coefficient Memory

Waveformของวงจรที่ออกแบบ



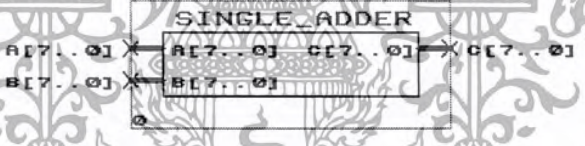
รูปที่ 4.20 แสดง Waveform ของ Coefficient Memory

4.6.4 วงจร Single Adder

หลักการออกแบบ

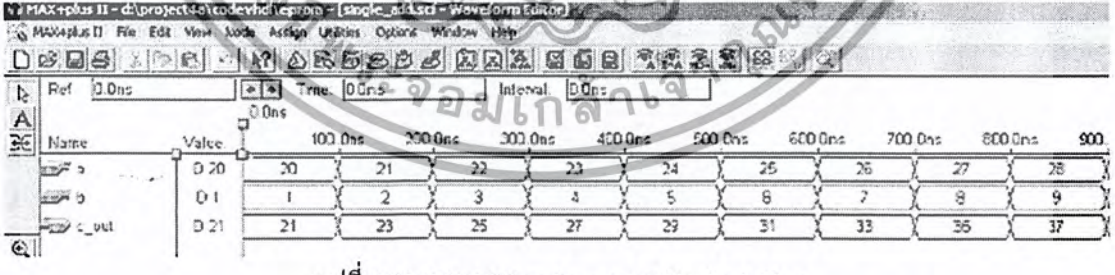
รับสัญญาณอินพุท 8 บิตมาสองค่า แล้วนำมาบวกกัน

Symbolที่ได้



รูปที่ 4.21 แสดง Symbol ของ Single Adder

Waveformของวงจรที่ออกแบบ



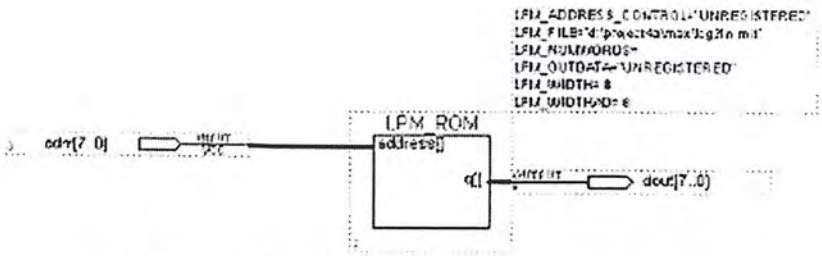
รูปที่ 4.22 แสดง Waveform ของ Single Adder

4.6.5 วงจร Log to Linear Converter

หลักการออกแบบ

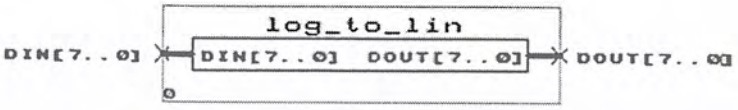
นำค่า 0-255 มาถอดค่าลอการิธึ่มโดยการทำ antilog แล้วนำค่าที่ได้จากการถอด antilog มาเก็บไว้ในแอดเดรสที่ 0-255 ROM เมื่อรับค่าอินพุทเข้ามาจะนำไปเปรียบเทียบกับค่า 0-255 ใน ROM แล้วจะได้ค่าที่ถูกถอดลอการิธึ่มแล้วเป็นเอาท์พุท (ใช้โปรแกรม matlab ช่วยในการออกแบบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



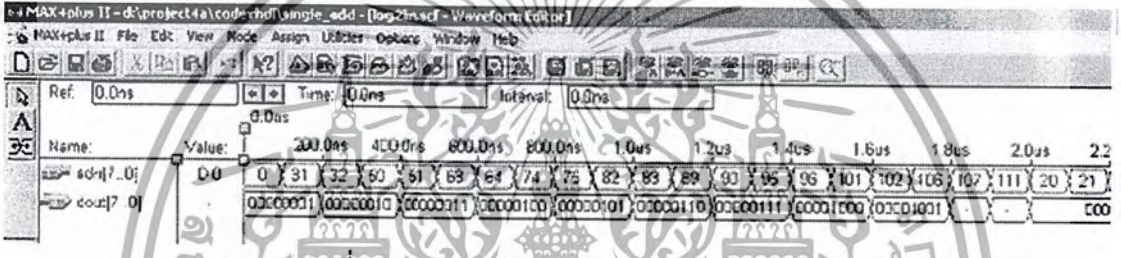
รูปที่ 4.23 แสดง Rom ที่ใช้เก็บค่าของ Log to Linear Converter

Symbolที่ได้



รูปที่ 4.24 แสดง Symbol ของ Log to Linear Converter

Waveform ของวงจรที่ออกแบบ



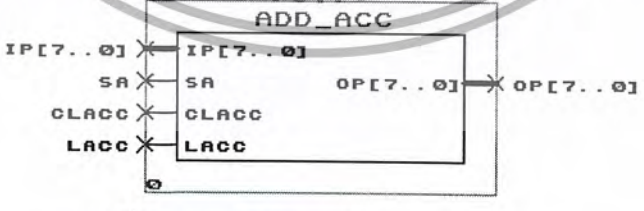
รูปที่ 4.25 แสดง Waveform ของ Log to Linear Converter

4.6.6วงจร Accumulator

หลักการออกแบบ

เมื่อสัญญาณ lacc เป็น 1 จะรับสัญญาณดิจิตอล 8 บิทเข้ามาบวกหรือลบกับสัญญาณที่เก็บเอาไว้โดยสัญญาณ sa ทำหน้าที่ควบคุมว่า Accumulator จะทำการบวกหรือลบ โดยเมื่อ sa เป็น 0 จะทำการบวก และเมื่อ sa เป็น 1 จะทำการลบกัน ส่วนสัญญาณ clacc เมื่อเป็น 0 จะทำการ clear โดยการป้อน "00000000" ออกทางเอาท์พุท และเก็บเอาไว้บวกกับสัญญาณที่จะเข้ามาต่อไป

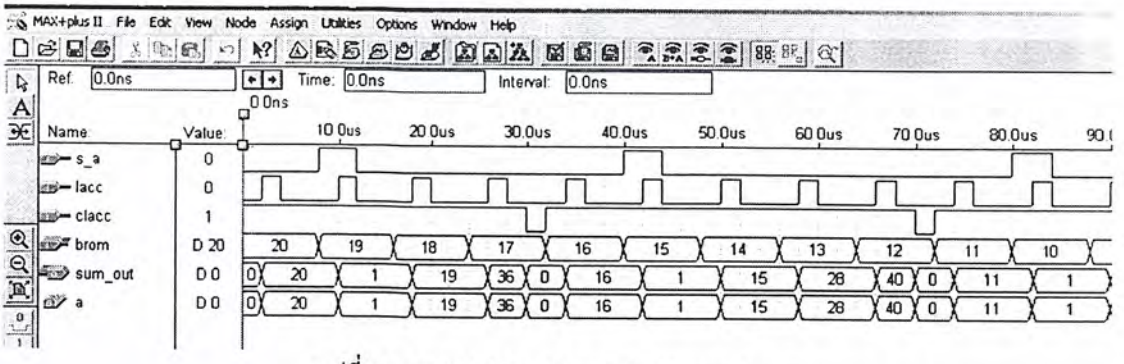
Symbolที่ได้



รูปที่ 4.26 แสดง Symbol ของ Accumulator

Waveform ของวงจรที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



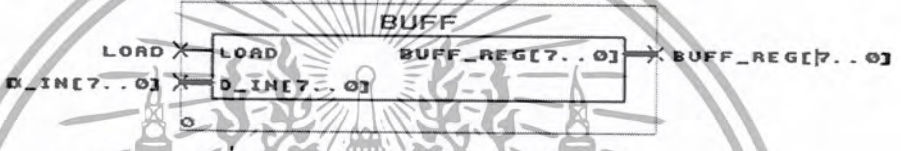
รูปที่ 4.27 แสดง Waveform ของ Accumulator

4.6.7 วงจร Buffer

หลักการออกแบบ

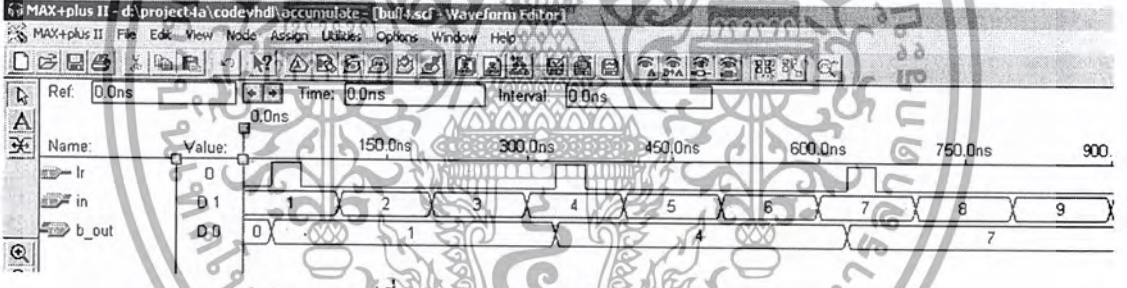
เมื่อสัญญาณ lr เป็น 1 ก็จะทำการโหลดอินพุทไปที่เอาท์พุท

Symbolที่ได้



รูปที่ 4.28 แสดง Symbol ของ Buffer

Waveform ของวงจรที่ออกแบบ



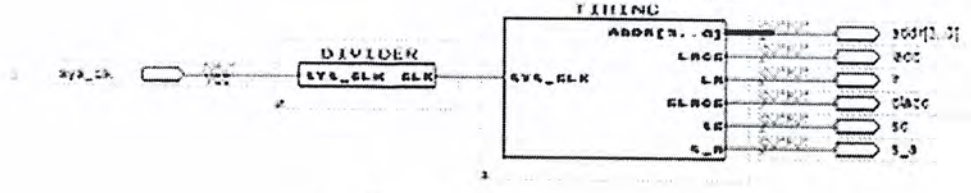
รูปที่ 4.29 แสดง Waveform ของ Buffer

4.6.8 วงจร Control Unit

หลักการออกแบบ

ขั้นแรกต้องกำหนดการทำงานของสัญญาณควบคุมต่างๆ แล้วเขียนออกมาเป็น timing diagram แล้วนำ timing diagram นั้นมาเขียนโปรแกรมโดยอ้างอิงจากสัญญาณ sys_clk ซึ่งนำมาจากออสซิเลเตอร์ 20*MHz* แล้วนำมาผ่านวงจรหารความถี่ให้มีค่าเป็น1.25*MHz* แล้วป้อนเข้าเป็นสัญญาณนาฬิกา (Clock) ให้มีตัวนับสัญญาณนาฬิกาเพื่อกำหนดว่า สัญญาณนาฬิกาแต่ละลูกจะให้สัญญาณควบคุมออกมาอย่างไร

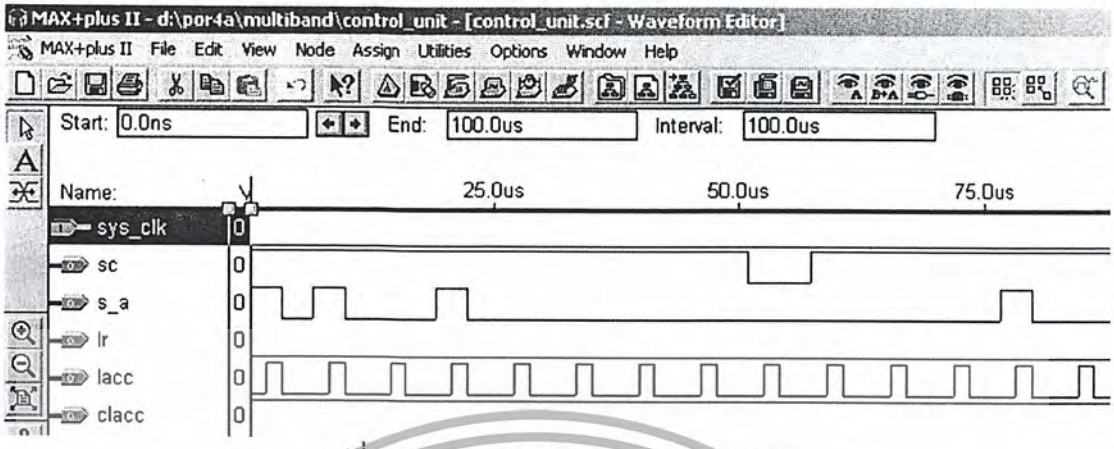
Symbol ที่ได้



รูปที่ 4.30 แสดง Symbol ของ Control Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

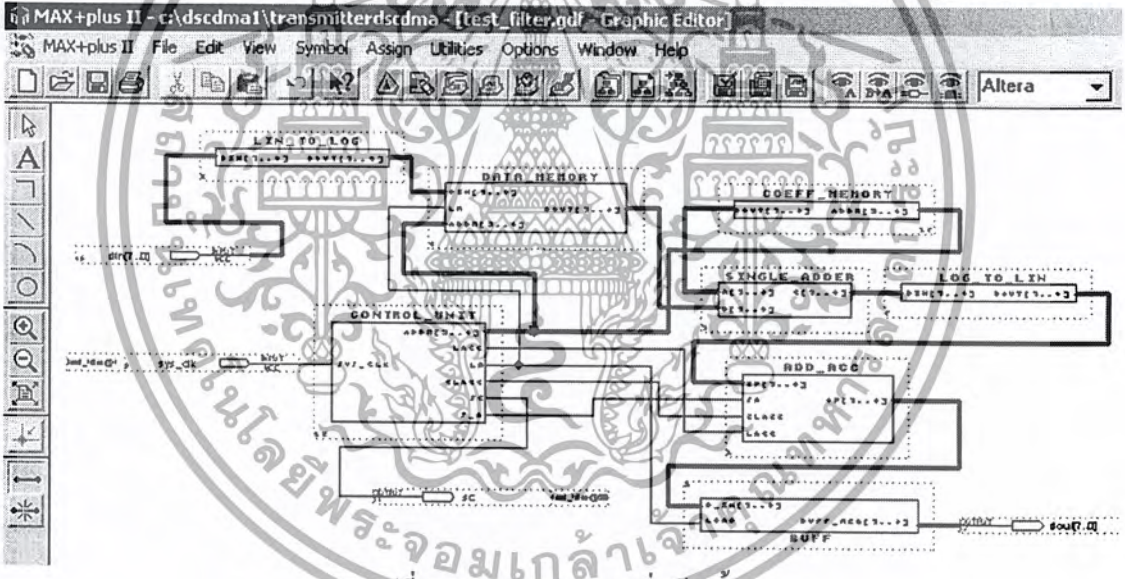
Waveform ของวงจรที่ออกแบบ



รูปที่ 4.31 แสดง Waveform ของ Control Unit

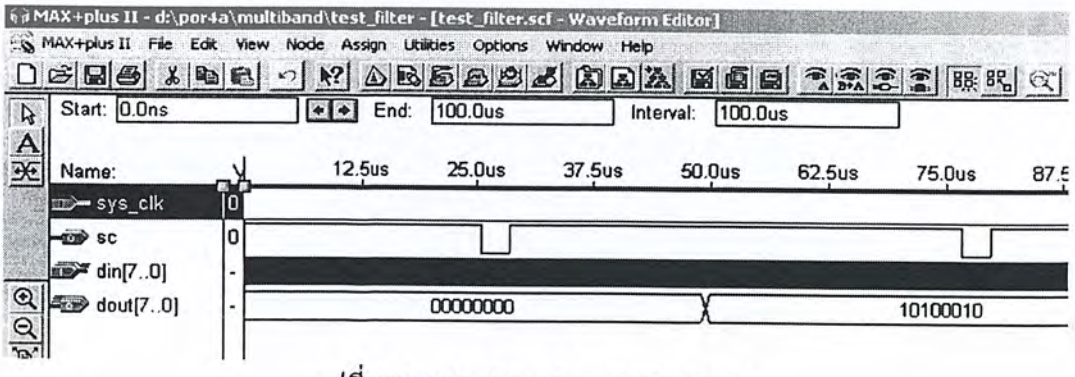
4.7 ผลของวงจรรวมที่สร้างจากโปรแกรม MAX+PLUSII

เมื่อนำทุกส่วนมารวมกัน จะได้โครงสร้างของวงจรกรองความถี่ออกแบบขึ้นดังรูป 4.32



รูปที่ 4.32 แสดงวงจรรวมที่สร้างขึ้น

Waveform ของวงจรรวมที่ออกแบบ



รูปที่ 4.33 แสดง Waveform ของวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการเปลี่ยนตำแหน่งขา input output ใหม่ดังตาราง 4.3

A/D	EPF10K10	D/A	EPF10K10
din 7	79	dout 7	54
din 6	81	dout 6	58
din 5	83	dout 5	60
din 4	3	dout 4	62
din 3	5	dout 3	64
din 2	7	dout 2	65
din 1	9	dout 12	70
din 0	11	dout 0	72
sys_clk	2	Gnd	66

ตารางที่ 4.3 แสดงตำแหน่งขา input output ของ FPGA

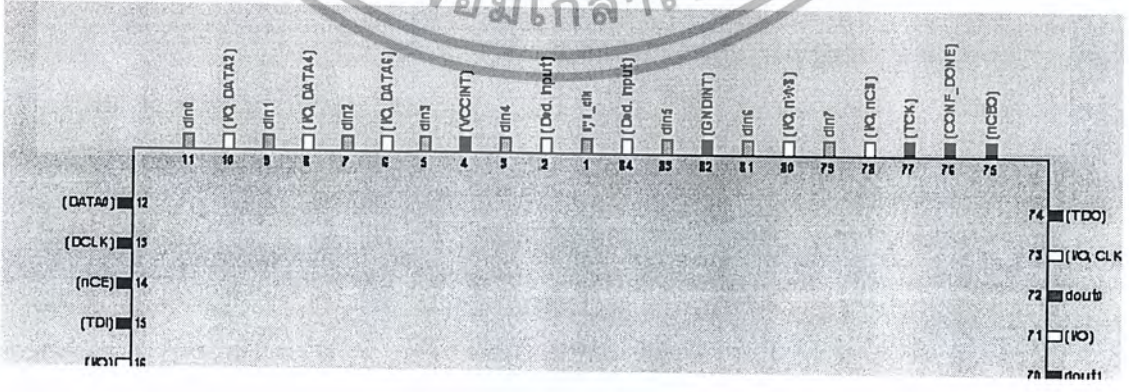
4.8 ผลการออกแบบวงจรกรองสัญญาณดิจิตอลที่ได้ด้วย Altera FPGA เบอร์ EPF10K10LC84-4

ผลการออกแบบวงจรกรองสัญญาณดิจิตอลที่ ได้ด้วย Altera FPGA เบอร์ EPF 10K10LC84-4 แสดงปริมาณของ input output ที่ใช้ รวมทั้งจำนวนของ logic cells ที่ใช้งานทั้งหมด แสดงดังนี้

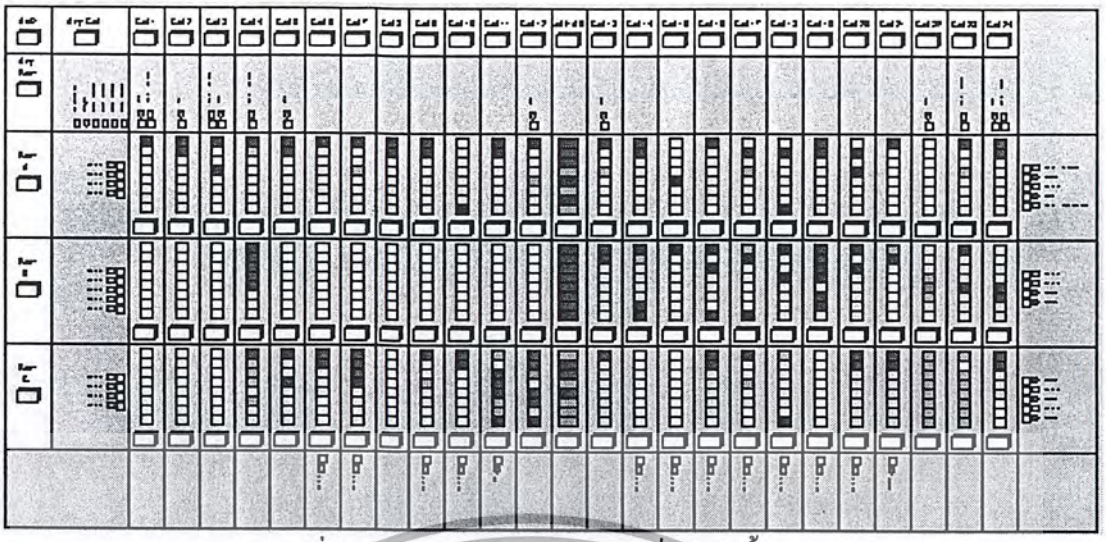
***** Project compilation was successful

** DEVICE SUMMARY **

Chip/ POF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	LCs	LCs % Utilized
test_filter								
	EPF10K10LC84-4	9	9	0	4224	68 %	379	65 %
User Pins:		9	9	0				



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.34 แสดงปริมาณ logic cells ที่ใช้งานทั้งหมด

Maximum Frequency ของวงจรสามารถแสดงได้ดังรูปที่ 4.35

รูปที่ 4.35 Maximum Frequency ของวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

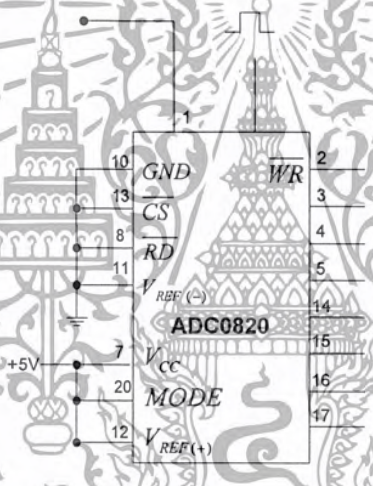
การทดลองและผลการทดลอง

ในการทดลองจะแบ่งออกเป็น 3 ส่วน คือ จะเป็นการทดลองเพื่อดูถึงคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบขึ้นว่าไปตามที่ออกแบบหรือไม่ การดูถึงผลการทำงานของวงจรที่ออกแบบขึ้นเทียบกับผลการจำลองการทำงานจากโปรแกรม Matlab

โดยในการทดลองจะมีอุปกรณ์ที่ใช้อยู่ 3 ส่วนดังนี้

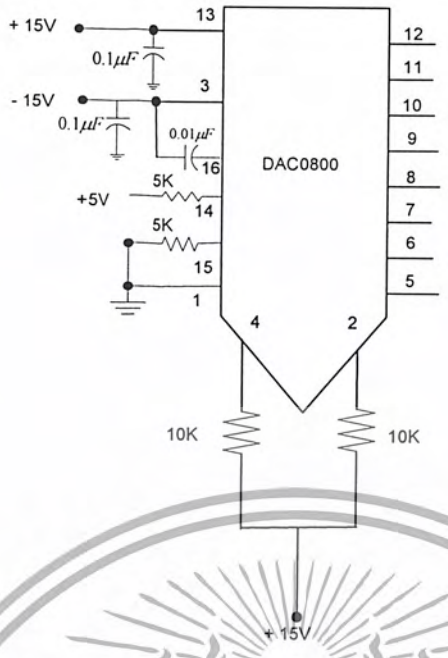
1. วงจรแปลงสัญญาณเชิงอนาลอก (Analog) เป็นสัญญาณดิจิตอล (Digital) Analog To Digital Converter (ADC)
2. วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเชิงอนาลอก Digital To Analog Converter (DAC)
3. อุปกรณ์ FPGA ของบริษัท Altera ตระกูล FLEX 10k เบอร์ EPF10K10LC84

โดยวงจรแปลงสัญญาณเชิงอนาลอกเป็นสัญญาณดิจิตอล และวงจรแปลงสัญญาณเลขเป็นสัญญาณเชิงอนาลอกนี้



รูปที่ 5.1 แสดงวงจรแปลงสัญญาณเชิงอนาลอกเป็นสัญญาณดิจิตอล

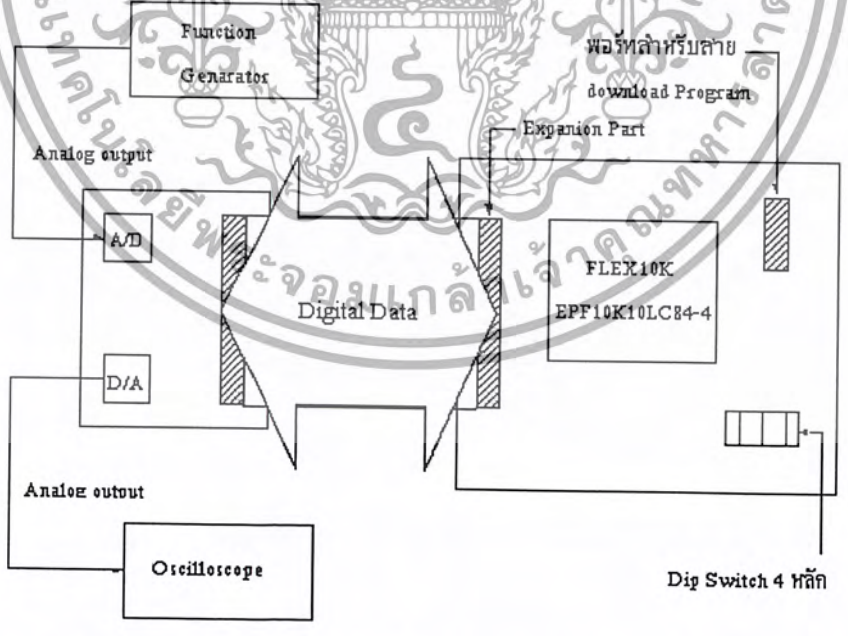
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแชิงอนาลอก

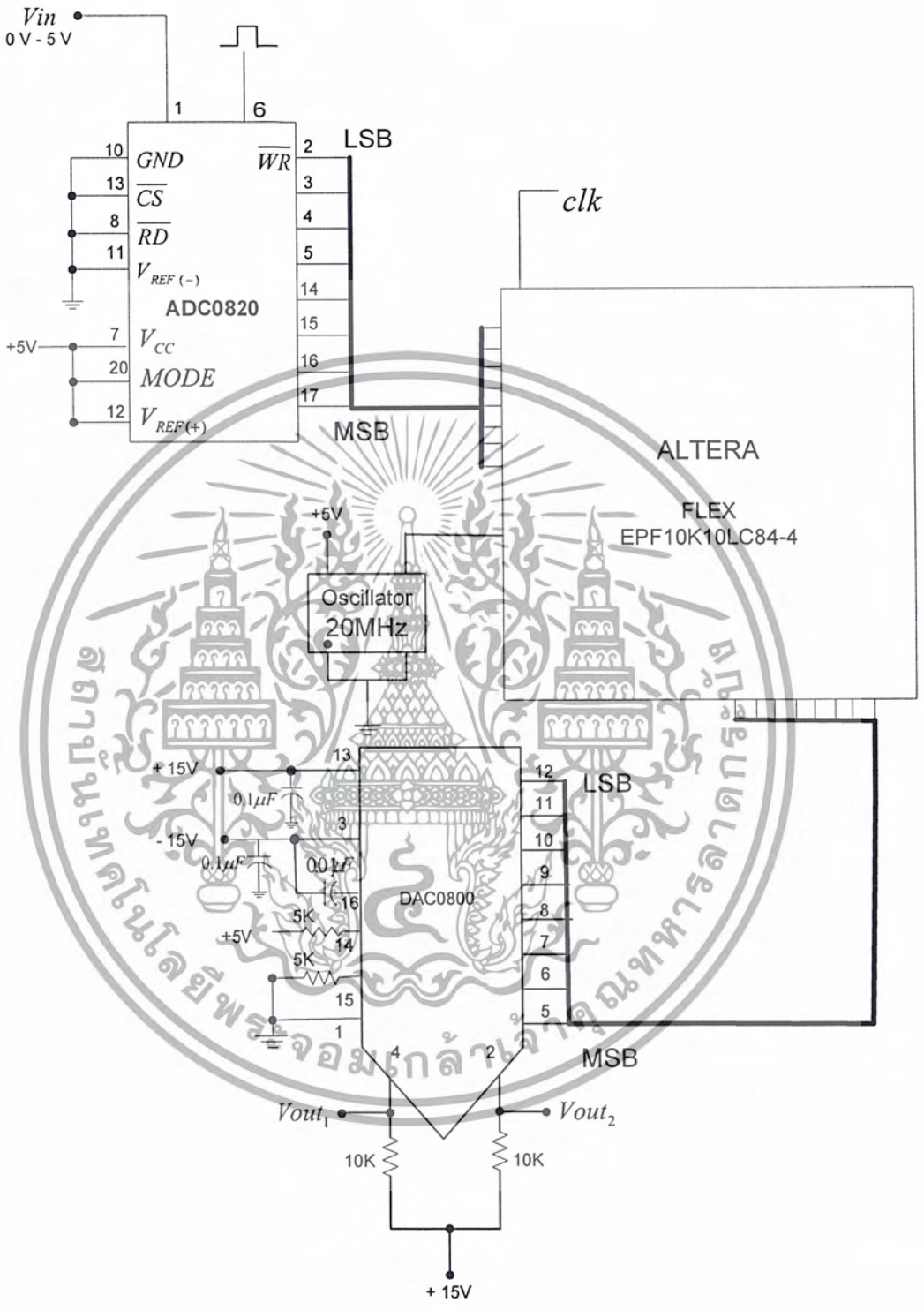
5.1 การออกแบบการทดลองสำหรับการวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

สำหรับการวัดคุณสมบัติของวงจรกรองสัญญาณที่ออกแบบขึ้นสามารถแสดงการ set อุปกรณ์ได้ดัง รูปที่ 5.3 และวงจรที่ต่อจริงทั้งหมดในรูปที่ 5.4



รูปที่ 5.3 แสดงการเตรียมอุปกรณ์สำหรับการทดลองวัดคุณลักษณะของวงจรกรองสัญญาณที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



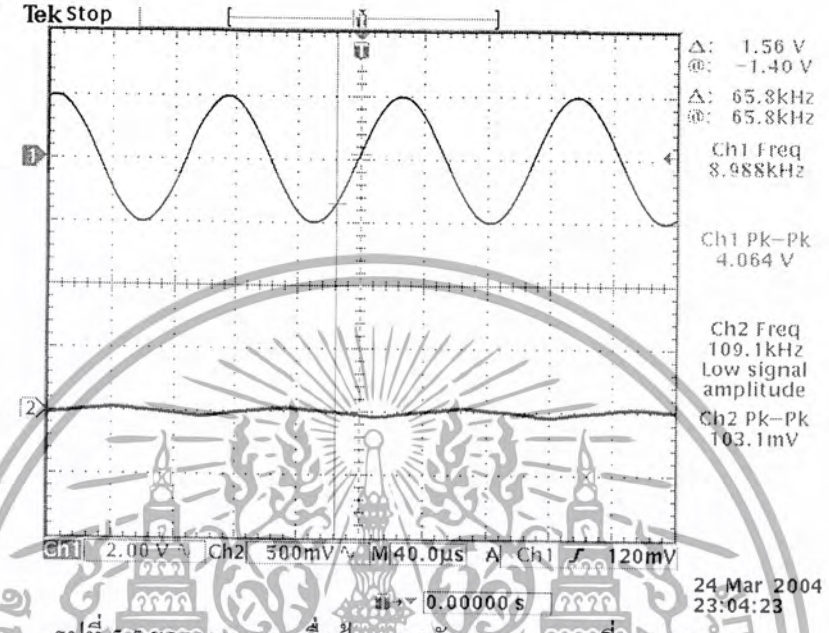
รูปที่ 5.4 แสดงวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการทดลองและการวัดคุณลักษณะของวงจรกรองที่ออกแบบ

5.2.1 ผลการทดลองปรับความถี่สัญญาณอินพุทไปที่ค่าต่างๆ

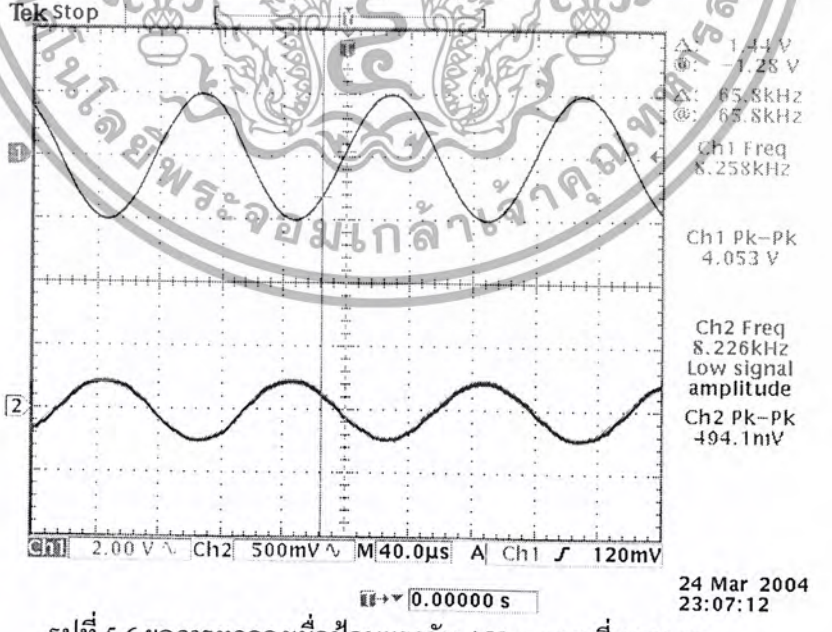
ในการออกแบบจำการป้อนสัญญาณ sine ขนาด4 Vpp แล้วทำการปรับความถี่ของสัญญาณอินพุทไปที่ค่าต่างๆ เพื่อดูขนาดของเอาท์พุทที่ได้แต่ละความถี่ เพื่อใช้ในการ plot ผลตอบสนองความถี่ของวงจรกรองสัญญาณ ได้ผลการทดลองดังนี้



รูปที่ 5.5 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 9000 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 103 mVpp

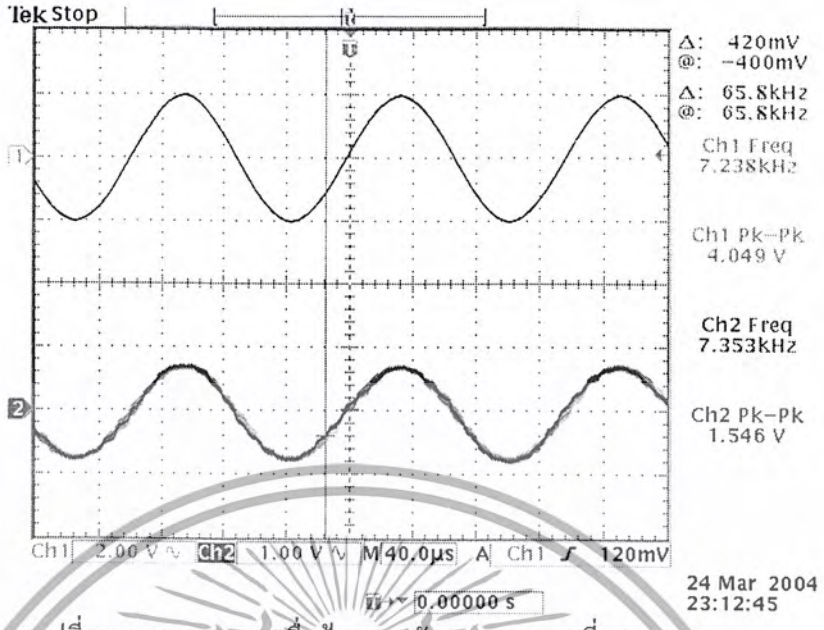


รูปที่ 5.6 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 8250 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 494 m Vpp

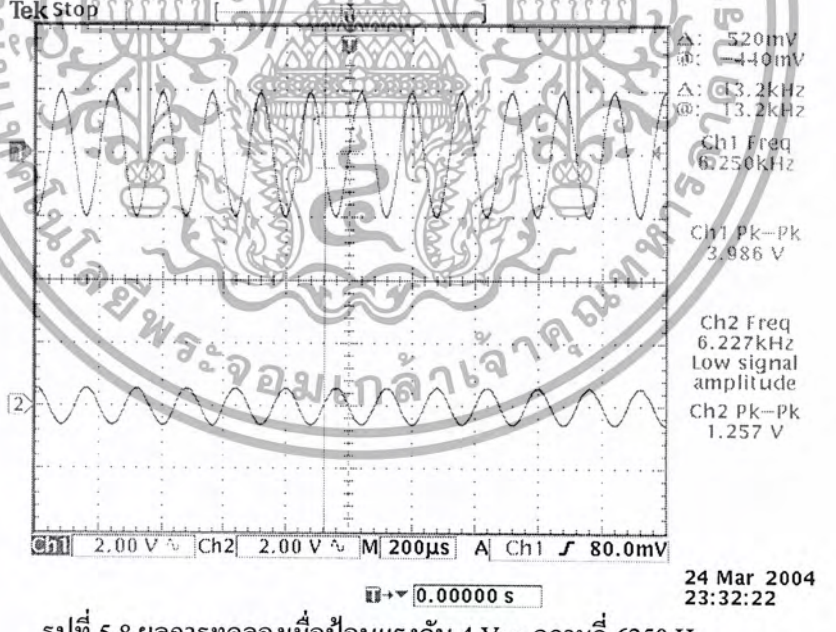
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 7238 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 1.546 Vpp

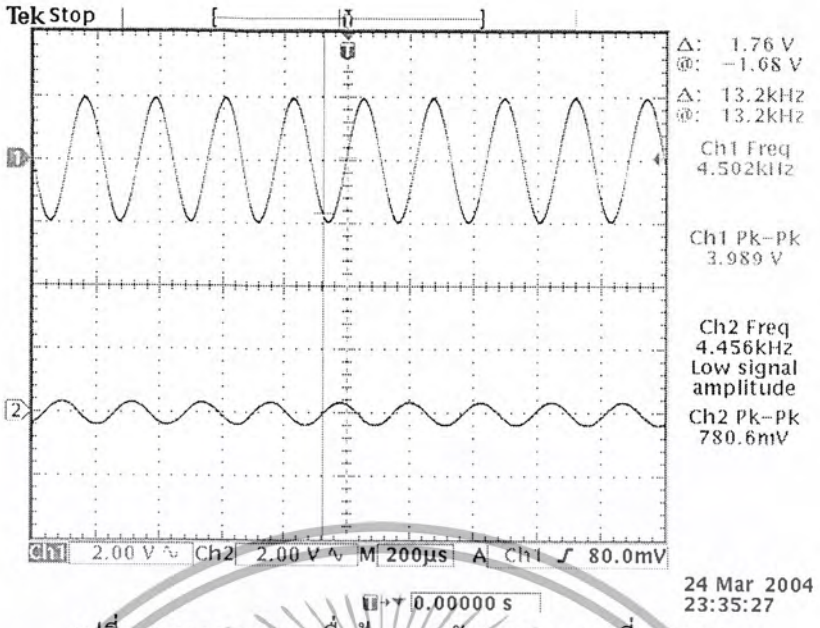


รูปที่ 5.8 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 6250 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 1.257 Vpp

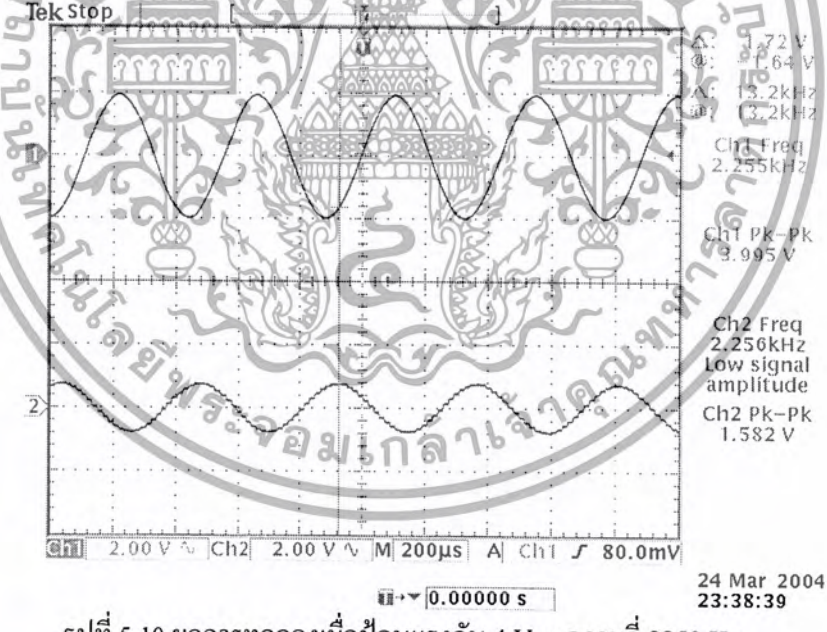
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 4500 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 780 mVpp

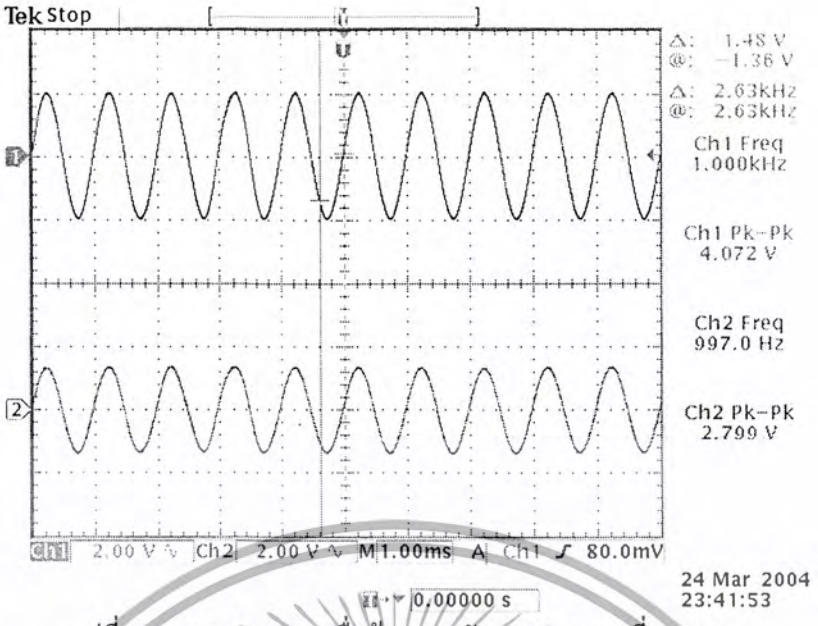


รูปที่ 5.10 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 2250 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 1.582 Vpp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 ผลการทดลองเมื่อป้อนแรงดัน 4 Vpp ความถี่ 1000 Hz

CH1 สัญญาณอินพุท 4 Vpp

CH2 สัญญาณเอาท์พุท 2.799 Vpp

5.2.2 ผลตอบสนองความถี่ของวงจรกรองสัญญาณที่ออกแบบ

ในการทดลองนี้จะใช้ผลที่ได้จากการทดลอง 5.2.1 ในการ plot ผลตอบสนองทางความถี่ของวงจร ซึ่งสามารถแสดงได้ดังนี้

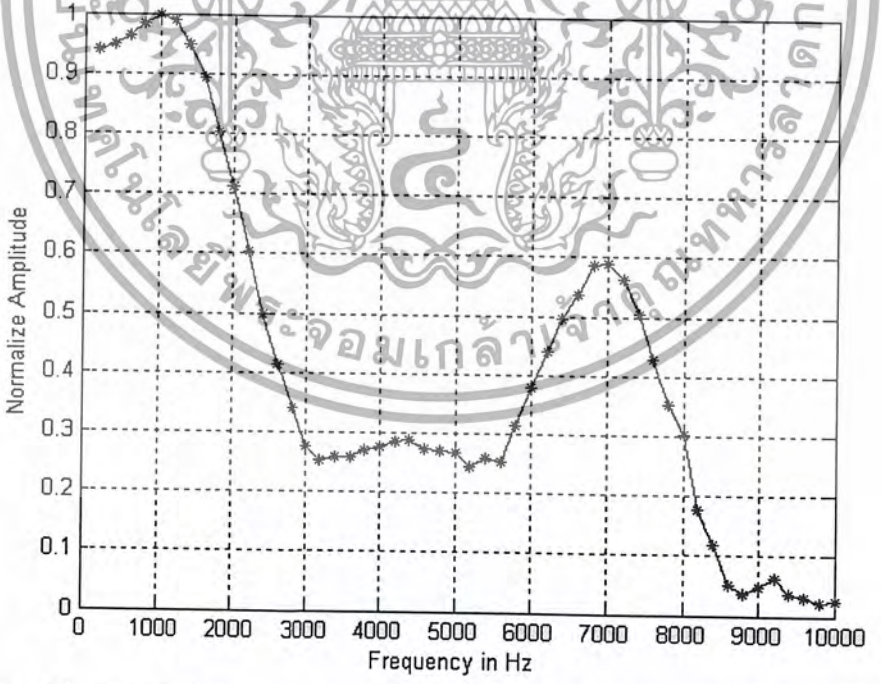
Frequency in kHz	Amplitude in volts	Normalize Amplitude	Amplitude In dB	Frequency in kHz	Amplitude in volts	Normalize Amplitude	Amplitude In dB
200	2.54	0.9407	-0.5310	5200	0.66	0.2444	-12.2380
400	2.56	0.9481	-0.4629	5400	0.7	0.2593	-11.7239
600	2.6	0.9630	-0.3275	5600	0.68	0.2519	-11.9754
800	2.66	0.9852	-0.1295	5800	0.85	0.3148	-10.0393
1000	2.7	1.0000	0	6000	1.02	0.3778	-8.4548
1200	2.67	0.9889	-0.0970	6200	1.19	0.4407	-7.1171
1400	2.56	0.9481	-0.4629	6400	1.34	0.4963	-6.0851
1600	2.41	0.8926	-0.9869	6600	1.45	0.5370	-5.4005
1800	2.17	0.8037	-1.8981	6800	1.58	0.5852	-4.6539
2000	1.92	0.7111	-2.9614	7000	1.59	0.5889	-4.5992
2200	1.63	0.6037	-4.3836	7200	1.52	0.5630	-4.9898
2400	1.35	0.5000	-6.0206	7400	1.36	0.5037	-5.9566
2600	1.12	0.4148	-7.6432	7600	1.16	0.4296	-7.3387

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2800	0.92	0.3407	-9.3526	7800	0.95	0.3519	-9.0716
3000	0.75	0.2778	-11.1254	8000	0.82	0.3037	-10.3511
3200	0.68	0.2519	-11.9754	8200	0.48	0.1778	-15.0014
3400	0.67	0.2481	-12.1075	8400	0.32	0.1185	-18.5256
3600	0.7	0.2592	-11.7273	8600	0.14	0.0519	-25.6967
3800	0.73	0.2704	-11.3599	8800	0.1	0.0370	-28.6360
4000	0.75	0.2778	-11.1254	9000	0.13	0.0481	-26.3571
4200	0.77	0.2852	-10.8970	9200	0.17	0.0630	-24.0132
4400	0.78	0.2889	-10.7850	9400	0.1	0.0370	-28.6360
4600	0.74	0.2741	-11.2418	9600	0.08	0.0296	-30.5742
4800	0.73	0.2704	-11.3599	9800	0.06	0.0222	-33.0729
5000	0.72	0.2667	-11.4795	10000	0.07	0.0260	-31.7005

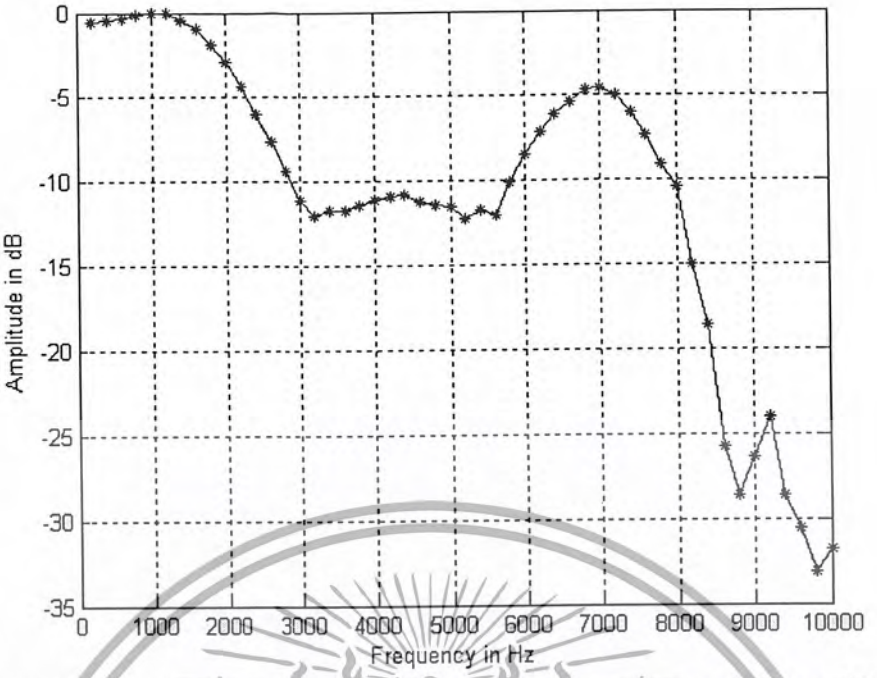
ตารางที่ 5.1 แสดงค่าสัญญาณของสัญญาณเอาท์พุทที่อ่านได้ ณ ความถี่ต่างๆ

จากตารางที่ 5.1 จะแสดงค่าของแรงดันของสัญญาณเอาท์พุทที่อ่านได้ ณ ความถี่ต่างๆ จากนั้นจำการ Normalize ค่าที่อ่านได้ รวมทั้งทำการหาค่า $20\log_{10}$ (ค่าที่ Normalize แล้ว) เพื่อใช้ในการ plot Amplitude Response ของวงจรกรองสัญญาณที่ได้ทั้งใน Normalize และแกน dB ซึ่งสามารถแสดงได้ดังรูป



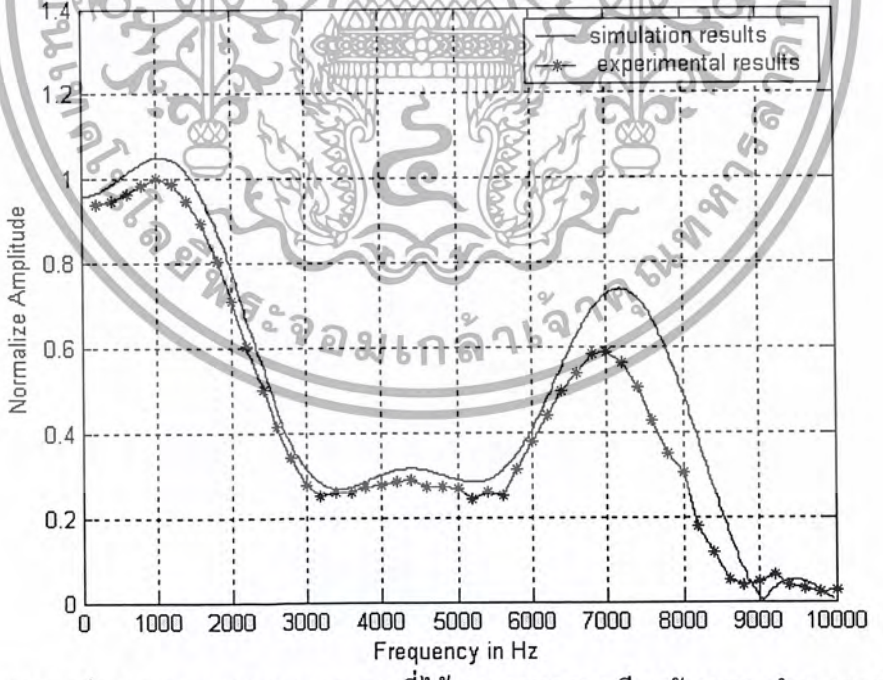
รูปที่ 5.12 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองของวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัดอันดับที่ 16 แบบหลายแถบความถี่ที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



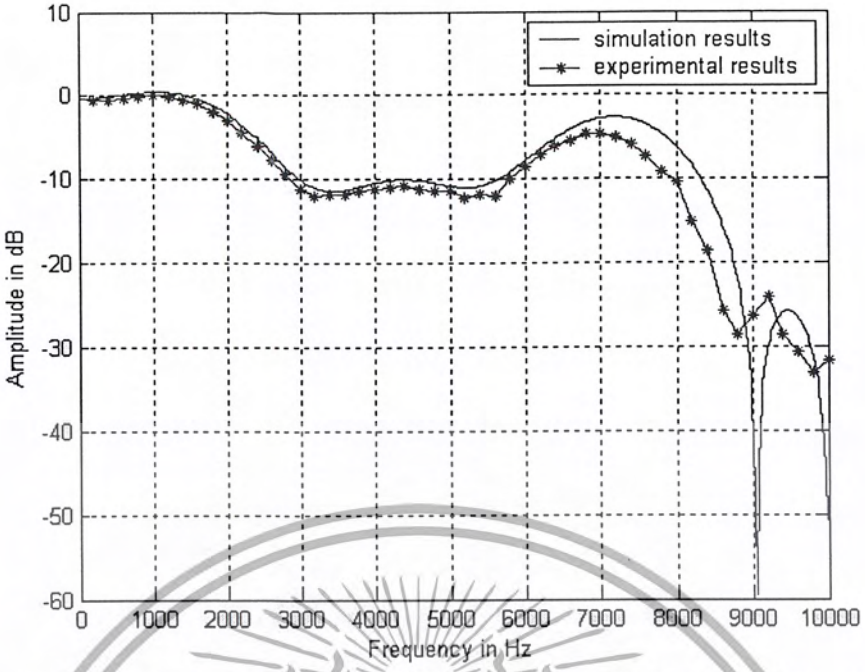
รูปที่ 5.13 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองของวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัดอันดับที่ 16 แบบหลายแถบความถี่ที่ออกแบบในหน่วย dB

ส่วนรูปที่ 5.14 และรูปที่ 5.15 จะเป็นการ Plot Amplitude Response ได้จากทดลองเทียบกับผลที่ได้จากการเลียนแบบด้วยโปรแกรม Matlab



รูปที่ 5.14 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองเทียบกับผลการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 กราฟแสดงผลตอบสนองทางขนาดที่ได้จากการทดลองเทียบกับผลการจำลองการทำงาน ในหน่วย dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดลองและข้อเสนอแนะ

วงจรกรองสัญญาณดิจิตอลที่ออกแบบในการทดลอง เป็นวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์จำกัดในอันดับที่ 16 และเป็นวงจรกรองสัญญาณความถี่แบบหลายแถบความถี่ (Multiband) โดยในการออกแบบได้ใช้คุณสมบัติของระบบตัวเลขแบบล็อกการิธึ่มให้ค่า Dynamic Range กว้าง ทำให้พื้นที่ของ Chip FPGA ที่ใช้มีขนาดลดลงและความเร็วหรือ Maximum Frequency สูงกว่ากรณีที่สร้างจากโครงสร้างโดยตรง สำหรับการออกแบบนั้นใช้เทคนิคของสไปลน์ - เรสโคไซน์ทรานซิสชั่นฟังก์ชั่น การออกแบบทั้งหมดจะใช้โปรแกรม matlab ช่วยในการออกแบบ โดยออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านสามารถลดปรากฏการณ์กิปส์ลงได้ มีการกำหนดอันดับของสไปลน์-เรสโคไซน์ฟังก์ชันที่เหมาะสม ทำให้ได้วงจรกรองสัญญาณความถี่ต่ำผ่านที่เหมาะสมด้วย ดังนั้นในการออกแบบวงจรกรองสัญญาณแบบหลายแถบความถี่ ซึ่งมีพื้นฐานมาจากวงจรกรองสัญญาณความถี่ต่ำผ่านก็จะทำให้ได้วงจรกรองสัญญาณแบบหลายแถบความถี่ที่เหมาะสมด้วยเช่นกัน โดยการใช้เทคนิคของสไปลน์ - เรสโคไซน์ ทรานซิสชั่นฟังก์ชั่นนี้จะเห็นได้ว่ามีรูปแบบการใช้งานที่ง่ายและมีประสิทธิภาพสูงในการออกแบบ ในส่วนของฮาร์ดแวร์จะใช้คุณสมบัติทางคณิตศาสตร์ของล็อก คือล็อกของผลคูณจะมีค่าเท่ากับผลบวกของล็อกซึ่งเป็นอีกทางเลือกหนึ่งสำหรับการหาค่าผลคูณโดยปราศจากตัวคูณ จากนั้นจะใช้ภาษา VHDL มาทำการออกแบบลงบนอุปกรณ์ FPGA ของบริษัท Alter ตระกูล FLEX 10Kและใช้โปรแกรม MAX+PLUSII ในการพัฒนาทั้งหมด สุดท้ายผลการสังเคราะห์วงจรรวมทั้งผลตอบสนองทางความถี่ที่ได้จะถูกแสดงเปรียบเทียบกับผลในทางทฤษฎี

ในส่วนของข้อเสนอแนะ เราจะสังเกตเห็นว่าผลที่ได้จากอันดับของวงจรกรองสูงๆ ให้ค่าใกล้เคียงกับทางอุดมคติมาก แต่วงจรกรองที่สร้างขึ้นใช้เพียงอันดับที่ 16 เท่านั้น ถ้าเพิ่มอันนับมากขึ้นน่าจะให้ผลที่ดีกว่า โดยการเปลี่ยนจากการ Source Code ในส่วนของ Data Memory มาเลือกใช้เป็นอุปกรณ์ LPM_ROM แทน เพื่อเป็นการประหยัดพื้นที่บน FPGA ให้เราสามารถเพิ่มอันดับของวงจรกรองความถี่ให้สูงขึ้นกว่านี้ได้ ส่วนผลการวัด Frequency Response นั้นจะเห็นว่าได้กราฟออกมาซึ่งบางค่าไม่ตรงกับการออกแบบเนื่องมาจากความผิดพลาดของการอ่านค่าจากออสซิลโลสโคปเนื่องจากสัญญาณไม่นิ่งทำให้เกิดค่า Error ขึ้นบ้าง ข้อเสนอแนะอีกข้อหนึ่งก็คือ เรื่องข้อกำหนดของวงกรองจะถูกกำหนดตายตัว (Fixed) ไม่สามารถปรับเปลี่ยนได้เช่นต้องการเปลี่ยนช่วงแถบของความถี่ และขนาดของสัญญาณที่จะกรอง จะต้องทำการออกแบบเพื่อหาค่าอิมพัลส์เรสปอนส์ใหม่ แล้วจึงนำไปแก้ในส่วนของ Source Code ใน Coefficient Memory แล้วจะต้องทำการสังเคราะห์และ Implement ลงบน FPGA ใหม่ทุกครั้ง ที่ต้องการเปลี่ยน ซึ่งปัญหาตรงนี้แก้ไขได้โดยใช้ FPGA ร่วมกับ Microcontroller รับค่ากำหนดที่ต้องการ แล้วนำการคำนวณหาค่าอิมพัลส์เรสปอนส์ แล้วส่งผลตอบสนองอิมพัลส์ได้ให้กับ FPGA ซึ่งจะต้องออกแบบให้รับค่าผลตอบสนองอิมพัลส์จากภายนอกได้ ทำให้เราสามารถเปลี่ยนข้อกำหนดของวงจรกรองความถี่ได้โดยการป้อนค่าผ่าน Key Board เท่านั้น ไม่ต้องมีการออกแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ชิ้นนี้สำเร็จลุล่วงได้ด้วยดี ด้วยความช่วยเหลือจากบุคคลหลาย ๆ ท่าน ทั้งในด้านความรู้ ความช่วยเหลือ เครื่องมือและอุปกรณ์ต่าง ๆ ตลอดจนถึงการสั่งสอนให้คำแนะนำ อีกทั้งยังคอยเป็นกำลังใจในปริญญานิพนธ์นี้ ซึ่งต้องกล่าวถึง

บิดา มารดา ที่คอยเป็นกำลังใจและคอยสนับสนุนในเรื่องต่าง ๆ ในการทำปริญญานิพนธ์ชิ้นนี้

รศ.ดร.กอบชัย เดชหาญ และ อาจารย์ศรวัฒน์ ชิวปรีชา อาจารย์ที่ปรึกษาในการทำปริญญานิพนธ์ที่คอยให้คำแนะนำ ความช่วยเหลือ ให้คำปรึกษาในเรื่องต่าง ๆ และยังให้ความสนับสนุนในทุก ๆ ด้าน

พี่ ๆ ในห้องโปรเจค ที่คอยให้คำแนะนำและคำปรึกษาต่าง ๆ ในเรื่องข้อมูลที่เป็นประโยชน์อย่างสูง แก่ปริญญานิพนธ์ชิ้นนี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] วัลลภ สุระกำพลธร, "การประมวลสัญญาณเชิงเลข การกรองและการแปลง," สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2533

[2] E.C Iferchar And B.W., "Digital Signal Processing; A Practical Approach," Addison Wesley , 1993

[3] พรชัย ภวรย์ศักดิ์, "การประมวลผลสัญญาณดิจิตอลเบื้องต้น," มหาวิทยาลัยเทคโนโลยีมหานคร , 2543

[4] S.K. Mitra, "Digital Signal Processing : A Computer Based Approach," McGraw-Hill, 2001

[5] S.Sjoholm and L.Lindah, "VHDL For Designer's," Prentic_Hall, 1997

[6] D.E.Ott And T.J. Wilderotter, "A Designer's Guide To VHDL Synthesis," Kluwer Academic Publisher, 1994

[7] P. Lee, "An FPGA Prototype for a Multiplierless FIR Filter Built Using the Logarithmic Number System," 5th International Workshop on Field-Programmable Logic and Applications, pp. 303-310, September 1995

[8] K. Ma and F.J. Taylor, "Multiplier Policies for Digital Signal Processing," IEEE ASSP. Magazine, Vol. 7, No. 1, pp. 6-20, January 1990

[9] T.W. Parks and C.S. Burrus, "Digital Filter Design," John Wiley & Sons, 1987

[10] C.S. Burrus, A.W. Soewito and R.A. Gopinath, "Least Squared Error FIR Filter Design with Transition Bands," IEEE Trans. Signal Processing., Vol.40,No.6, pp. 1327-1340, June 1992

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้