สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาและประยุกต์ใช้อุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน

DEVELOPMENT AND APPLICATION OF CALLER LINE IDENTIFICATION(CLI) DEVICE FOR CONTROLLING ELECTRICAL DEVICES AT HOME

โดย

นายพงษ์ศักดิ์ นิตพันธ์

ว่าที่ร.ต.พิเชษฐ์ พงษ์ทวีสกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา2546

วน
วน 1647
2546

เลขหมู่.....
เลขทะเบียน 54981
วัน,เดือน,ปี - 4 เม.ย. 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลง ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b.....
i.....

การพัฒนาและประยุกต์ใช้อุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน

DEVELOPMENT AND APPLICATION OF CALLER LINE IDENTIFICATION(CLI) DEVICE FOR CONTROLLING ELECTRICAL DEVICES AT HOME

โดย

นายพงษ์ศักดิ์ นิตพันธ์ 44015070

ว่าที่ร.ต.พิเชษฐ์ พงษ์ทวีสกุล 44015072

อาจารย์ที่ปรึกษา

รศ.ดร.ไกรสิน ส่งวัฒนา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การพัฒนาและประยุกต์ใช้อุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน**
DEVELOPMENT AND APPLICATION OF CALLER LINE IDENTIFICATION(CLI) DEVICE FOR CONTROLLING ELECTRICAL DEVICES AT HOME

ผู้จัดทำ

1. นายพงษ์ศักดิ์ นิตพันธ์ 44015070
2. ว่าที่ร.ต.พิเชษฐ์ พงษ์ทวีสกุล 44015072

อาจารย์ที่ปรึกษา

(รศ.ดร.ไกรสิน ส่งวัฒนา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาและประยุกต์ใช้อุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน

DEVELOPMENT AND APPLICATION OF CALLER LINE IDENTIFICATION(CLI) DEVICE FOR CONTROLLING ELECTRICAL DEVICES AT HOME

โดย นายพงษ์ศักดิ์ นิตพันธ์ 44015070
ว่าที่ร.ต.พิเชษฐ์ พงษ์ทวีสกุล 44015072

อาจารย์ที่ปรึกษา รศ.ดร.ไกรสิน ส่งวัฒนา

บทคัดย่อ

โครงงานนี้เป็นการพัฒนาและใช้อุปกรณ์แสดงหมายเลขโทรศัพท์มาประยุกต์ในการควมคุมอุปกรณ์ไฟฟ้าภายในบ้าน ซึ่งเป็นการนำเอาเลขหมายเฉพาะของโทรศัพท์เครื่องนั้นๆมาเป็นรหัสผ่านในการควบคุม เช่น การเปิดประตูบ้าน การเปิดระบบแสงสว่าง การเปิดเครื่องปรับอากาศ เป็นต้น

ABSTRACT

This project develops a Caller line Identification(CLI) device for application of controlling electrical devices at home. Uses the especial caller number of the telephone as password. The device then control in-house electrical appliances: open the door, the system of light and the air-condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง		หน้า
บทที่1	บทนำ	
	1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์	1
	1.2 วัตถุประสงค์ของปริญญานิพนธ์	1
	1.3 ขอบเขตของปริญญานิพนธ์	1
	1.4 ประโยชน์ที่คาดว่าจะได้รับจากปริญญานิพนธ์	1
บทที่2	ทฤษฎีหรือหลักการ	
	2.1 ความแตกต่างระหว่างโทรศัพท์โชว์เบอร์กับโทรศัพท์บ้านทั่วไป	2
	2.2 เครื่องโทรศัพท์โชว์เบอร์ได้อย่างไร	2
	2.3 ความหมายของ Caller ID	2
	2.4 ประโยชน์ของ Caller ID	2
	2.5 การมอดูเลตเชิงเลขทางความถี่ (FSK)	3
	2.6 คุณสมบัติเฉพาะของสัญญาณที่ใช้ติดต่อสื่อสาร	3
	2.7 สัญญาณจากชุมสายสาธารณะตามมาตรฐาน bell 202 และ v.23 Type;Bell GR-30-CORE	4
	2.8 Data message format	5
	2.9 การ Interface ของสัญญาณ	6
	2.10 ไอซีถอดรหัสข้อมูลแสดงเลขหมายเรียกเข้า MC14LC5447	11
	2.11 ไมโครคอนโทรลเลอร์ MCS-51	13
	2.12 จอแสดงผลแบบผลึกของเหลว (Liquid Crystal Display : LCD)	18
	2.13 รายละเอียดและหลักการทำงานของส่วนถอดรหัส DTMF	23
บทที่ 3	การคำนวณและการสร้าง	
	3.1 วงจรตรวจสอบสถานะ Hook-On , Hook-Off	31
	3.2 วงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447	32
	3.3 วงจรอิมพีแดนซ์ของคู่สายโทรศัพท์เสมือนเครื่องโทรศัพท์	34
	3.4 วงจรขับโหลดกระแสสูง	35
	3.5 วงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน	36
	3.6 โฟล์วชาร์ทแสดงการทำงานของวงจรทั้งหมด	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง		หน้า
บทที่4	การทดลองและผลการทดลอง	
	4.1 การทดลองการป้อนสัญญาณโทรศัพท์เข้าวงจรตรวจสอบสถานะHook-on,Hook-off	39
	4.2 การทดลองวัดสัญญาณโทรศัพท์	40
	4.3 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรที่ต่อกับไอซี MC14LC5447 ที่ใช้ในการทดลอง	43
	4.4 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรที่ต่อกับไอซี MT8870 ที่ใช้ในการทดลอง	49
บทที่5	บทวิจารณ์และบทสรุป	
	บทวิจารณ์	56
	บทสรุป	56
ภาคผนวก		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ		หน้า
บทที่2	**ทฤษฎีหรือหลักการ**	
รูปที่2.1	การแปลงสัญญาณ D/A แบบ FSK	3
รูปที่2.2	สัญญาณที่ส่งจากผู้ให้บริการโทรศัพท์ตามมาตรฐาน bell 202 และ v.23 Type;Bell GR-30-CORE	4
รูปที่2.3	รูปแบบสัญญาณของ Single Data Message Format	5
รูปที่2.4	แสดงขาของ MC14LC5447	11
รูปที่2.5	แสดงโครงสร้างภายในของ MC14LC5447	13
รูปที่2.6	แสดงการจัดขาของ P89C51RD2	16
รูปที่2.7	แสดงวงจรถอดรหัสความถี่โทรศัพท์	24
รูปที่2.8	แสดงโครงสร้างภายในของ MT8870	25
รูปที่2.9	แสดงรายละเอียดขาของ MT8870	25
รูปที่2.10	แสดงความถี่ที่ได้จากภาคกรองความถี่	27
รูปที่2.11	แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์ (Gard Time)พร้อมวิธีคำนวณ	29
รูปที่2.12	แสดงการต่อวงจรภาคอินพุต	30
รูปที่2.13	แสดงการต่อวงจรผลิตความถี่	30
บทที่ 3	**การคำนวณและการสร้าง**	
รูปที่3.1	แสดงวงจรตรวจสอบสถานะ Hook-On , Hook-Off	31
รูปที่3.2	แสดงวงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447	32
รูปที่3.3	แสดงวงจรภายนอก ที่เชื่อมต่อกับ ภายในMC14LC5447	32
รูปที่3.4	แสดงวงจรตรวจสอบสถานะการทำงานของอุปกรณ์	34
รูปที่3.5	แสดงวงจรขับโหลดกระแสสูง	35
รูปที่3.6	แสดงวงจรวงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน	36
รูปที่3.7	แสดงบล็อกไดอะแกรมของวงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน	38
บทที่4	**การทดลองและผลการทดลอง**	
รูปที่4.1	แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-on(วางสาย)	39
รูปที่4.2	แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-off(ยกสาย)	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ หน้า

รูปที่4.3 แสดงสัญญาณ FSK ที่อยู่ระหว่างสัญญาณกระดิ่งแรกและสัญญาณกระดิ่งที่2 40
รูปที่4.4 แสดงสัญญาณ FSK ช่วงChannel Seizure Signal, Mark SignalและData Signal 41
รูปที่4.5 แสดงสัญญาณช่วง Channel Seizure Signal เมื่อขยายดู 41
รูปที่4.6 แสดงสัญญาณช่วง Mark Signal เมื่อขยายดู 42
รูปที่4.7 แสดงสัญญาณช่วง Data Signal เมื่อขยายดู 42
รูปที่4.8 แสดงสัญญาณที่ขาRing Timeเทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 43
รูปที่4.9 แสดงสัญญาณที่ขาRing Detect Output เทียบกับสัญญาณกระดิ่งที่1และ
สัญญาณกระดิ่งที่2 44
รูปที่4.10 แสดงสัญญาณที่ขาPower Up เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 44
รูปที่4.11 แสดงสัญญาณที่ขา Carrier Detect Output เทียบกับสัญญาณกระดิ่งที่1และ
สัญญาณกระดิ่งที่2 45
รูปที่4.12 แสดงสัญญาณที่ขา Data Output Cooked เทียบกับสัญญาณกระดิ่งที่1และ
สัญญาณกระดิ่งที่2 46
รูปที่4.13 แสดงสัญญาณที่ขาData Out Rawเทียบกับสัญญาณกระดิ่งที่1และ
สัญญาณกระดิ่งที่2 46
รูปที่4.14 แสดงสัญญาณที่ขา Data Out Raw ที่ประกอบไปด้วย ช่วงChannel Seizure signal,
ช่วงMark signal และช่วงMessage Word หรือช่วงData Signal 47
รูปที่4.15 แสดงสัญญาณที่ขา Data Out Raw ช่วง Channel Seizure Signal เมื่อขยายดู 48
รูปที่4.16 แสดงสัญญาณที่ขา Data Out Raw ช่วงMark signal เมื่อขยายดู 48
รูปที่4.17 แสดงสัญญาณที่ขา Data Out Raw ช่วง Message Word หรือ
ช่วงData Signal เมื่อขยายดู 49
รูปที่4.18 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q1 50
รูปที่4.19 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q2 50
รูปที่4.20 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q2และตำแหน่งที่Q1 51
รูปที่4.21 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3 51
รูปที่4.22 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3และตำแหน่งที่Q1 52
รูปที่4.23 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3และตำแหน่งที่Q2 52
รูปที่4.24 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3,ตำแหน่งที่Q2และตำแหน่งที่Q1 53
รูปที่4.25 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4 53
รูปที่4.26 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q1 54
รูปที่4.27 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q2 54
รูปที่4.28 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4,ตำแหน่งที่Q2และตำแหน่งที่Q1 55
รูปที่4.29 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q3 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง		หน้า
บทที่2	ทฤษฎีหรือหลักการ	
	ตารางที่2.1 Data Signalling Interface Parameter	6
	ตารางที่2.2 แสดง ASCII Code	10
	ตารางที่2.3 การกำหนดคุณสมบัติต่าง ๆ ในการใช้งานของจอแสดงผลแบบผลึกของเหลว	23
	ตารางที่2.4 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของหัวข้อปริญญานิพนธ์

ในปัจจุบันการสื่อสารระบบโทรศัพท์มีการใช้งานกันอย่างกว้างขวางและได้มีการวางสายโทรศัพท์ สร้างชุมสายโทรศัพท์ รวมถึงโทรศัพท์เคลื่อนที่เพื่อให้บริการด้านการสื่อสารโทรคมนาคมในด้านระบบโทรศัพท์แก่ผู้ใช้ที่อยู่ตามสถานที่ต่างๆทำให้มีการเพิ่มจำนวนของผู้ใช้เป็นจำนวนมาก

เมื่อมีผู้ใช้จำนวนมาก จึงมีการพัฒนาโทรศัพท์ให้สามารถทำงานได้หลากหลายรูปแบบ เช่น สามารถรับชมรายการโทรทัศน์ผ่านทางโทรศัพท์เคลื่อนที่ ตรวจสอบจดหมายอิเล็กทรอนิกส์ผ่านทางโทรศัพท์เคลื่อนที่ เป็นต้น เพื่อสนองตอบความต้องการของผู้ใช้งาน

อุปกรณ์แสดงหมายเลขโทรศัพท์(Caller Line Identification Device ;CLID)สามารถที่จะแสดงหมายเลขโทรศัพท์ของผู้ที่ติดต่อเข้ามา ซึ่งจะมีสัญญาณแสดงเลขหมายเฉพาะของเบอร์โทรศัพท์นั้นๆเข้ามาด้วย ดังนั้นเราจะใช้เลขหมายเฉพาะของโทรศัพท์มาเป็นรหัสผ่านในการควบคุมอุปกรณ์ไฟฟ้าภายในบ้านผ่านเครื่องโทรศัพท์ โดยใช้ไมโครคอนโทรลเลอร์เป็นส่วนควบคุมการทำงาน

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อศึกษาและวิเคราะห์สัญญาณโทรศัพท์ที่ส่งมาจากชุมสาย

1.2.2 เรียนรู้การเขียนโปรแกรมไมโครคอนโทรลเลอร์ และการนำไปประยุกต์ใช้งาน

1.2.3 กระตุ้นให้เกิดความสนใจในเทคโนโลยีโทรศัพท์

1.3 ขอบเขตของปริญญานิพนธ์

1.3.1 สร้างวงจรตรวจจับสัญญาณโทรศัพท์ที่ส่งมาจากชุมสาย

1.3.2 นำสัญญาณที่ตรวจจับได้มาทำการวิเคราะห์และนำมาประยุกต์ใช้ร่วมกับไมโครคอนโทรลเลอร์

1.4 ประโยชน์ที่คาดว่าจะได้รับจากปริญญานิพนธ์

นำโครงงานไปใช้ประโยชน์ได้จริง ในกรณีที่เกิดเหตุการณ์ไม่คาดคิด เช่น การลืมปิดเครื่องใช้ไฟฟ้าภายในบ้าน ซึ่งอาจนำมาซึ่งความสูญเสียชีวิตและทรัพย์สินได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีหรือหลักการ

2.1 ความแตกต่างระหว่างโทรศัพท์โชว์เบอร์กับโทรศัพท์บ้านทั่วไป

เนื่องจากว่าโทรศัพท์เคลื่อนที่ในปัจจุบันสามารถแสดงหมายเลขเข้าได้อยู่แล้ว ซึ่งโทรศัพท์โดยทั่วไปจะมีฟังก์ชั่นเฉพาะโทรออกและรับสายเท่านั้นไม่สามารถถอดรหัสFSK(Frequency Shift-Keying)ที่ส่งมาจากชุมสายโทรศัพท์ได้ ส่วนโทรศัพท์โชว์เบอร์นั้นจะมีฟังก์ชั่นพิเศษที่สามารถถอดรหัส FSK ซึ่งมีการมอดูเลตและส่งมาจากชุมสายโทรศัพท์ได้ ทำให้โทรศัพท์โชว์เบอร์สามารถแสดงเลขหมายที่เรียกเข้าจากต้นทางได้

2.2 เครื่องโทรศัพท์โชว์เบอร์ได้อย่างไร

ประการแรกคู่สายปลายทางที่ต้องการให้แสดงหมายเลขเข้านั้นจะต้องขอเปิดใช้บริการกับสำนักงานบริการโทรศัพท์เสียก่อน ซึ่งต้องเสียค่าบริการเดือนละ 30 บาท(มาตรฐานองค์การโทรศัพท์) ประการต่อมาคือเครื่องโทรศัพท์ที่นำมาต่อใช้งานต้องมีฟังก์ชั่นที่สามารถถอดรหัสFSK ที่ส่งมาจากชุมสายได้ ปัจจุบันเครื่องโทรศัพท์ที่แสดงเลขหมายเรียกเข้าได้สามารถหาซื้อได้ตามร้านขายโทรศัพท์

ในการติดต่อสื่อสารผ่านโครงข่ายโทรศัพท์พื้นฐานจะถูกแบ่งออกเป็น 2 ด้านก็คือด้านต้นทางและด้านปลายทาง ถ้าผู้รับปลายทางมีการเปิดใช้บริการไว้และเครื่องโทรศัพท์ที่ใช้มีฟังก์ชั่นดังที่ได้กล่าวมาข้างต้นก็จะสามารถแสดงเลขหมายด้านต้นทางได้

2.3 ความหมายของ Caller ID

เป็นบริการเสริมสำหรับโทรศัพท์ประจำที่ที่ให้บริการแสดงหมายเลขโทรศัพท์เรียกเข้าร่วมกับเครื่องโทรศัพท์ที่สามารถแสดงหมายเลขเรียกเข้า โดยจะแสดงหมายเลขโทรศัพท์และ/หรือชื่อผู้เรียกพร้อมวันที่และเวลาของสายที่เรียกเข้า

2.4 ประโยชน์ของ Caller ID

•กรณีไม่ได้รับสายทำให้ทราบถึงหมายเลขโทรศัพท์ วันและเวลาของผู้เรียกสามารถติดต่อกลับไปยังผู้เรียกได้

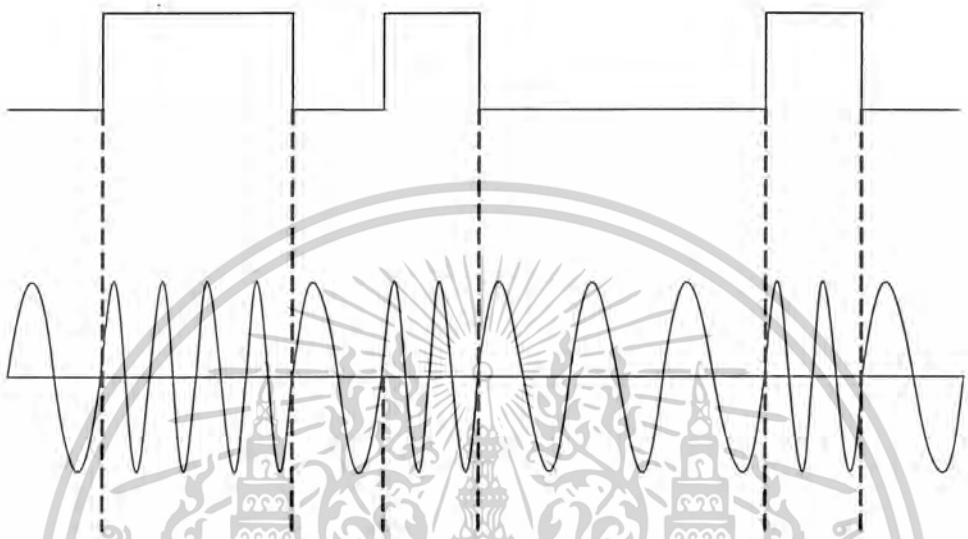
•ทราบหมายเลขโทรศัพท์ และ/หรือชื่อผู้เรียกก่อนรับ ทำให้สามารถเลือกรับได้สำหรับบุคคลที่รอคอย หรือบุคคลไม่พึงประสงค์

•ทราบเลขหมายของบุคคลที่โทรมาก่อกวน หรือประสงค์ร้ายเพื่อเป็นประโยชน์ในการสืบสวนของเจ้าหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การมอดูเลตเชิงเลขทางความถี่ (FSK)

ในการมอดูเลตแบบFSK ขนาดของคลื่นพาห์จะไม่เปลี่ยนแปลงที่เปลี่ยนแปลงคือความถี่ของคลื่นพาห์ นั่นคือเมื่อบิตมีค่าเป็น "1" ความถี่ของคลื่นพาห์จะสูงกว่าปกติและเมื่อบิตมีค่าเป็น "0" ความถี่ของคลื่นพาห์ก็จะต่ำกว่าปกติดังรูปที่ 2.1



รูปที่2.1 การแปลงสัญญาณ D/A แบบ FSK

2.6 คุณสมบัติเฉพาะของสัญญาณที่ใช้ติดต่อสื่อสาร

สัญญาณที่ใช้ในการติดต่อสื่อสารจะมีคุณสมบัติเฉพาะดังต่อไปนี้

รูปแบบของการติดต่อ : ใช้คู่สายโทรศัพท์จำนวน 1 คู่สาย ติดต่อแบบทิศทางเดียว

ลักษณะของการติดต่อ : เป็นสัญญาณแบบอนาล็อก มอดูเลตแบบ FSK

ช่วงการเกิดลอจิก 1 : 1200 $\pm$12 Hz

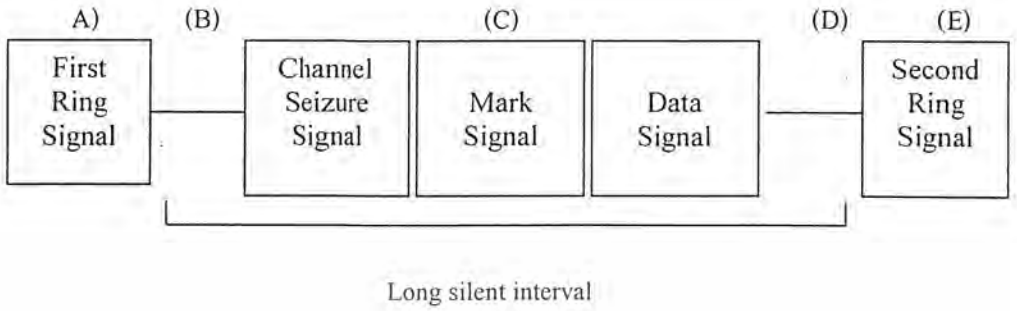
ช่วงการเกิดลอจิก 0 : 2200 $\pm$ 22Hz

ความเร็วในการส่งข้อมูล : 1200 bps

ระดับของสัญญาณ : -13.5 $\pm$ 1.0 dBm ที่อิมพิแดนซ์ 900 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 สัญญาณจากชุมสายสาธารณะตามมาตรฐาน bell 202 และ v.23 Type;Bell GR-30-CORE



รูปที่2.2 สัญญาณที่ส่งจากผู้ให้บริการโทรศัพท์ตามมาตรฐาน bell 202 และ v.23 Type;Bell GR-30-CORE

ความหมายของช่วงต่างๆตามรูป 2.2

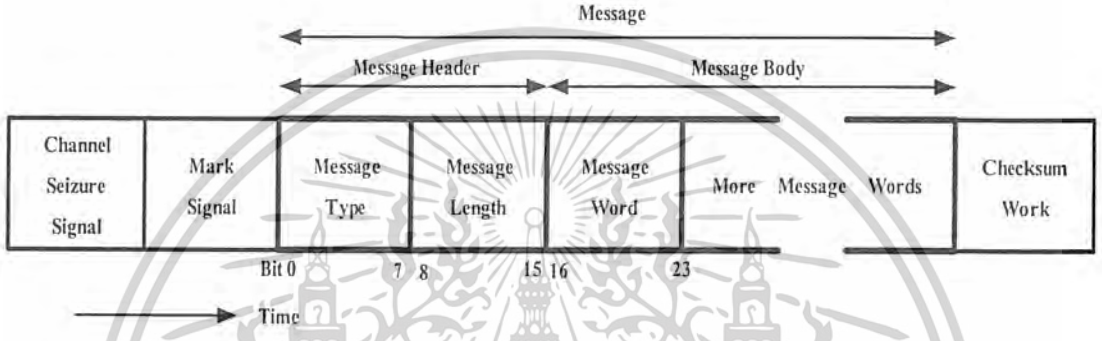
Parameter	Value	Description
A	0.2-3.0 วินาที	สัญญาณกระดิ่งแรกที่ส่งมาเป็นไฟสลับ มีความถี่ 18-25HZ
B	0.5-1.5 วินาที	เป็นช่องว่างระหว่างสัญญาณกระดิ่งแรกจนถึงชุด ข้อมูล
C	สามารถเปลี่ยนแปลงได้	เป็นชุดข้อมูลที่ส่งมามีเป็นสัญญาณ Frequency shift keying โดยมี Channel seizure signal,Mark signal และ Data signal
D	≥200 มิลลิวินาที	เป็นช่องว่างระหว่างชุดข้อมูลจนถึงสัญญาณกระดิ่งที่สอง
E	1.8-3.0 วินาที	สัญญาณกระดิ่งที่สองที่ส่งมาเป็นไฟสลับมีความถี่ 18-25HZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 Data message format

รูปแบบของ Public Switched Telephone Network (PSTN) เป็นการเชื่อมต่อระหว่างอุปกรณ์ซึ่งอยู่ในรูปแบบของอนุกรม 8 บิต ซึ่งแต่ละตัวจะถูกจำกัดโดย Start Bit (Space) และ Stop Bit (Mark) รูปแบบของการส่งจะมี 2 รูปแบบคือ Single Data Message Format(SDMF)และMultiple Data Message Format (MDMF) แต่ในที่นี้จะกล่าวถึงเพียง SDMF ซึ่งใช้ในการทดลอง

2.8.1 Single Data Message Format (SDMF)



รูปที่2.3 รูปแบบสัญญาณของ Single Data Message Format

จากรูปที่2.2สามารถอธิบายความหมายได้ดังนี้

Channel Seizure จะมี 55h ที่ต่อเนื่องกันรวม 30 byte โดยจะอยู่ภายใต้เงื่อนไขของการเปลี่ยนแปลงฟังก์ชันของ Customer Premises Equipment(CPE)เช่น Telephone Set

Mark single ประกอบด้วยสัญญาณที่เป็นBit1เป็นเวลา 130ms± 25ms ซึ่งจะถูกปรับที่ตัวรับสำหรับข้อมูล

Message Type Word จะเป็นตัวบอกถึงการบริการและความสามารถซึ่งเกี่ยวข้องกับข้อมูลข่าวสาร message type word ของ SDMF คือ 04h (00000100)

Message Length Word จะชี้แจงถึงจำนวนทั้งหมดของข้อมูลที่ทำการส่ง

Data Word จะเข้ารหัสเป็น ASCII และแทน ข้อมูลที่ทำการส่งดังนี้

2 word แรก แทนด้วย เดือน

2 word ต่อมา แทนด้วย วันของเดือน

2 word ถัดไป แทนด้วย ชั่วโมง

2 word ถัดไป แทนด้วย นาที

Calling Party's Directory Number แทนด้วย Remaining Word ในข้อมูลข่าวสารถ้า Calling Party's Directory Number ไม่สามารถหาได้อย่างสิ้นสุดData Word Field ประกอบด้วย ASCII "0" ถ้า Calling Party Invokes มีความสามารถอย่างเดียว Data Word Field จะประกอบด้วย ASCII "P"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Checksum Word ประกอบด้วย 2'Complement ของค่า 256 ซึ่งจะเป็นผลรวมของ Word อื่นๆ ในข้อมูลข่าวสารที่ตัวรับของเครื่องรับจะคำนวณผลรวมของค่า256 ของ Word ที่ทำการรับและเพิ่มผลรวมไปยังเครื่องรับ Checksum Word ผลที่ได้ถ้าเป็น 0 โดยทั่วไปแล้วจะเป็นตัวบ่งบอกถึงความถูกต้องของข้อมูลที่เครื่องรับข่าวสารจะถูกส่งกลับถ้าไป Supported

2.9 การ Interface ของสัญญาณ

Link type	Simplex , two wire
Transmission scheme	Analogue , phase coherent , frequencyshift Keying(FSK)
Logic1 (mark)	1200 ± 12 HZ
Logic0 (space)	2200 ± 22 HZ
Tranmission rate	1200bit/s
Application of data	Serial , binary , asynchronous
Bit error rate	1 out of 100,000 bits
Phase continuty	maintained from beginning of servic to end of message
Receiver sensitivity	-26 dBm ± 2 dBm
Bit duration	833 ± 50μs (start and stop bits have the same duration as a standard bit)
Electrical charaacteristics	allowable d.c. resistance and a.c.impedance for on-hook condition (unlooped) are given in specification Public switched telephone network (PSTN)

ตารางที่2.1 Data Signalling Interface Parameter

ตัวอย่าง สัญญาณFSK ที่มาจากสายโทรศัพท์โดยผ่านไอซี MC14LC5447 (ซึ่งรายละเอียดการทำงานของไอซีจะได้กล่าวในหัวข้อถัดไป) จะทำการแปลงสัญญาณFSK เป็นสัญญาณดิจิตอล ดังข้อมูลต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0 0000 00011	0 1001 1100 1	0 1000 0000 1	0 0001 0000 1	0 1000 1100 1	0 0100 1100 1
80h	39h	01h	08h	31h	32h
		SOH	BS	1	2
0 0000 1100 1	0 1001 1100 1	0 1000 1100 1	0 0000 1100 1	0 1010 1100 1	0 1100 1100 1
30h	39h	31h	30h	35h	33h
0	9	1	0	5	3
0 0100 0000 1	0 1001 0000 1	0 0000 1100 1	0 0110 1100 1	0 1100 1100 1	0 0000 1100 1
02h	09h	30h	36h	33h	30h
STX	HT	0	6	3	0
0 0001 1100 1	0 0000 1100 1	0 0000 1100 1	0 0010 1100 1	0 0100 1100 1	0 1100 0000 1
38h	30h	30h	34h	32h	03h
8	0	0	4	2	ETX
0 1001 0000 1	0 0000 1100 1	0 0100 1100 1	0 1110 1100 1	0 1100 1100 1	0 1110 1100 1
09h	30h	32h	37h	33h	37h
HT	0	2	7	3	7
0 1100 1100 1	0 0001 1100 1	0 0001 1100 1	0 1100 1100 1	0 1000 1000 1	0 1000 0000 1
33h	38h	38h	33h	11h	01h
3	8	8	3	DC1	SOH
0 1000 0000 1	0 0110 1000 1	0 1000 0000 1	0 0101 0000 1	0 0000 1100 1	0 1000 1000 1
01h	16h	01h	0Ah	30h	11h
SOH	SYN	SOH	LF	0	DC1
0 1010 0010 1	0 1110 1010 1	0 1100 1010 1	0 0010 0010 1	0 0000 0100 1	0 0110 0110 1
45h	57h	53h	44h	20h	66h
E	W	S	D	SP	f
0 0100 1110 1	0 1111 0110 1	0 1011 0110 1	0 0000 0100 1	0 1100 1010 1	0 1001 0010 1
72h	6Fh	6Dh	20h	53h	49h
r	o	m	SP	S	I
0 1010 0010 1	0 1011 0010 1	0 1010 0010 1	0 0111 0010 1	0 1100 1010 1	
45h	4Dh	45h	4Eh	53h	
E	M	E	N	S	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเห็นว่าข้อมูล1เฟรมจะมีเพียง8บิต อีก2บิตจะเป็น start bit โดยมีค่าลอจิกเป็น 0 และ stop bit โดยมีค่าลอจิกเป็น 1 และข้อมูลของเลขฐาน2 เมื่อแปลงเป็นเลขฐาน16 จะมีการแปลงดังนี้คือ4บิตล่างของเลขฐาน2 จะเป็นบิตบนของเลขฐาน16 ตำแหน่งMSB(Most Significant Bit)หรือตำแหน่งบิตที่มีนัยสำคัญมากที่สุดของเลขฐาน2จะอยู่ที่บิตที่1ของเลขฐาน2และตำแหน่งLSB(Least Significant Bit)หรือตำแหน่งบิตที่มีนัยสำคัญน้อยที่สุดของเลขฐาน2จะอยู่ที่บิตที่4ของเลขฐาน2 ส่วน4บิตบนของเลขฐาน2 จะเป็นบิตล่างของเลขฐาน16 ตำแหน่งMSBของเลขฐาน2จะอยู่ที่บิตที่5ของเลขฐาน2และตำแหน่งLSBของเลขฐาน2 จะอยู่ที่บิตที่8ของเลขฐาน2 เช่น 0000 0001 = 80h เป็นต้น

ส่วนข้อมูลที่แปลงออกมาเป็นเลขฐาน16แล้วข้อมูลนั้นยังคงเป็น ASCII Code (American Standard Code for Informatiom Interchange) จะต้องทำการแปลง ASCII code ดังตารางที่ 2.2

ตาราง ASCII

Dec	Hx	Char	Dec	Hx	Char
0	0	NUL (null)	64	40	@
1	1	SOH (start of heading)	65	41	A
2	2	STX (start of text)	66	42	B
3	3	ETX (end of text)	67	43	C
4	4	EOT (end of transmission)	68	44	D
5	5	ENQ (enquiry)	69	45	E
6	6	ACK (acknowledge)	70	46	F
7	7	BEL (bell)	71	47	G
8	8	BS (backspace)	72	48	H
9	9	TAB (horizontal tab)	73	49	I
10	A	LF (NL line feed, new line)	74	4A	J
11	B	VT (vertical tab)	75	4B	K
12	C	FF (NP form feed, new page)	76	4C	L
13	D	CR (carriage return)	77	4D	M
14	E	SO (shift out)	78	4E	N
15	F	SI (shift in)	79	4F	O
16	10	DLE (data link escape)	80	50	P
17	11	DC1 (device control 1)	81	51	Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dec	Hx	Char	Dec	Hx	Char
18	12	DC2 (device control 2)	82	52	R
19	13	DC3 (device control 3)	83	53	S
20	14	DC4 (device control 4)	84	54	T
21	15	NAK (negative acknowledge)	85	55	U
22	16	SYN (synchronous idle)	86	56	V
23	17	ETB (end of trans. block)	87	57	W
24	18	CAN (cancel)	88	58	X
25	19	EM (end of medium)	89	59	Y
26	1A	SUB (substitute)	90	5A	Z
27	1B	ESC (escape)	91	5B	[
28	1C	FS (file separator)	92	5C	\
29	1D	GS (group separator)	93	5D	]
30	1E	RS (record separator)	94	5E	^
31	1F	US (unit separator)	95	5F	_
32	20	SPACE	96	60	`
33	21	!	97	61	a
34	22	"	98	62	b
35	23	#	99	63	c
36	24	$	100	64	d
37	25	%	101	65	e
38	26	&	102	66	f
39	27	'	103	67	g
40	28	(	104	68	h
41	29	)	105	69	i
42	2A	*	106	6A	j
43	2B	+	107	6B	k
44	2C	,	108	6C	l
45	2D	-	109	6D	m
46	2E	.	110	6E	n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dec	Hx	Char	Dec	Hx	Char
47	2F	/	111	6F	o
48	30	0	112	70	p
49	31	1	113	71	q
50	32	2	114	72	r
51	33	3	115	73	s
52	34	4	116	74	t
53	35	5	117	75	u
54	36	6	118	76	v
55	37	7	119	77	w
56	38	8	120	78	x
57	39	9	121	79	y
58	3A	:	122	7A	z
59	3B	;	123	7B	{
60	3C	<	124	7C	|
61	3D	=	125	7D	}
62	3E	>	126	7E	~
63	3F	?	127	7F	DEL

ตารางที่2.2 แสดง ASCII Code

ASCII Code เป็นรหัสที่ถูกพัฒนาจนเป็นที่ยอมรับให้เป็นมาตรฐานของรหัสที่ใช้ในคอมพิวเตอร์ เป็นรหัสขนาด 7 บิต สามารถใช้แทนอักขระและรหัสควบคุมต่างได้ ถึง 128 รหัส (0-127, 2^7=128) ซึ่งสามารถใช้แทนอักษรภาษาอังกฤษตัวเล็ก ตัวใหญ่ ตัวเลข 0-9 เครื่องหมายอักขระพิเศษ และรหัสควบคุมอีก 32 รหัส นอกจากนี้ยังเพิ่มรหัสส่วนขยายอีกโดยเพิ่มเป็นรหัส 8 บิต จึงมีส่วนขยายเพิ่มเติมตั้งแต่ 128 ถึง 255 เพื่อใช้แทนกราฟิก สัญลักษณ์ทางคณิตศาสตร์ และเหลือรหัสเพียงพอที่จะใช้แทนอักขระภาษาต่างประเทศอื่น ๆ อีก เช่นภาษาไทย เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

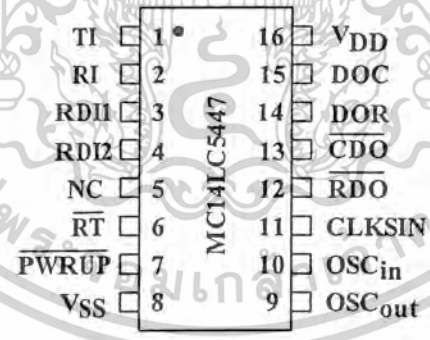
2.10 ไอซีถอดรหัสข้อมูลแสดงเลขหมายเรียกเข้า MC14LC5447

ไอซี MC14LC5447 เป็นอุปกรณ์ประเภทสารกึ่งตัวนำที่ถูกสร้างมาจากซิลิกอน ด้วยเทคโนโลยี HCMOS (High Speed Metal Oxide Semiconductor) ที่ถูกออกแบบมาเพื่อให้ทำหน้าที่ถอดรหัสสัญญาณ FSK(Frequency Shift Keying)ตามมาตรฐาน Bell 202และV.23

หน้าที่ของไอซีคือ ทำหน้าที่ถอดรหัสข้อมูลทางด้านต้นทางที่ส่งมาจากชุมสายโทรศัพท์ ซึ่งมอดูเลตแบบFSK ภายในไอซีตัวนี้ประกอบไปด้วย วงจรตรวจสอบข้อมูลที่ถูกมอดูเลทมาบนคู่สายและวงจรตรวจจับสัญญาณกระดิ่งอีกด้วย

การนำไปประยุกต์ใช้งานของไอซีเบอร์นี้เช่น เครื่องตอบรับโทรศัพท์อัตโนมัติเป็นส่วนที่แสดงลักษณะเด่นของเครื่องโทรศัพท์ แฟกซ์และอุปกรณ์ที่มีการเชื่อมโยงกับคอมพิวเตอร์ ซึ่งไอซี MC14LC5447 มีคุณสมบัติดังต่อไปนี้

- สามารถตรวจจับสัญญาณกระดิ่งได้ภายในตัวเอง
- สามารถตรวจจับสัญญาณกระดิ่งเพื่อใช้เป็นสัญญาณอินเตอร์รัพท์สำหรับอุปกรณ์ไมโครคอนโทรลเลอร์ได้
- มีโหมดประหยัดพลังงาน ที่สามารถกินกระแสได้ต่ำกว่า 1 ไมโครแอมป์
- ใช้กับแรงดันต่ำ 3.5 - 6.0 โวลต์
- สามารถเลือกสัญญาณนาฬิกาได้ 3.68MHz , 3.579545 MHz หรือ 455 MHz
- มีโหมดที่สามารถควบคุมสภาวะแรงดันได้ 2 ระดับ
- การถอดรหัสเป็นไปตามมาตรฐาน Bell 202 และ V.23



รูปที่2.4 แสดงขาของ MC14LC5447

2.10.1 ลักษณะของขาต่างๆ

ขา 1 : TI(Tip Input) เป็นขาที่จะได้รับการต่อเชื่อมกับด้านtipของสายสัญญาณโทรศัพท์ ซึ่งมันจะรับแรงดันไบอัสภายในเป็นครึ่งหนึ่งของsupply ในขณะที่อยู่ในสภาวะ power upโหมดและสัญญาณที่ขานี้ได้รับจะต้องเป็นสัญญาณ dc isolate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 2 : RI(Ring Input) เป็นขาที่จะได้รับการต่อเชื่อมกับด้านสัญญาณ ring ของสายสัญญาณโทรศัพท์ ซึ่งมันจะรับแรงดันไบอัสภายในเป็นครึ่งหนึ่งของ supply ในขณะที่อยู่ในสภาวะ power up โหมด และสัญญาณที่ขานี้ได้รับจะต้องเป็นสัญญาณ dc isolate

ขา 3 : RDI1(Ring Detect Input 1) สัญญาณที่เข้ามาในขานี้จะเป็นสัญญาณที่มีค่าการลดทอนรวมเป็นค่าเดียวตลอดทั้งสายสัญญาณ และยังทำหน้าที่ในการตรวจจับกำลังของสัญญาณที่เข้ามา และใช้เป็นตัว oscillator และยังทำหน้าที่ตรวจจับสัญญาณ ring อีกด้วย

ขา 4 : RDI2(Ring Detect Input 2) สัญญาณที่เข้ามาในขานี้จะถูกส่งไปยังวงจรตรวจจับสัญญาณ ring ซึ่งเป็นวงจรที่รวมค่าการลดทอนเป็นค่าเดียว

ขา 6 : RT(Ring Time) ขานี้อาจจะถูกต่อเชื่อมกับวงจรRC network ซึ่งค่า RC time constant จะต้องมีค่าแรงดันต่ำกว่า 2.2 V ระหว่าง peak ของสัญญาณ ring ซึ่งขา RT นี้จะเป็นตัวควบคุม power-up ภายในตัว IC เอง และเป็นตัวกระตุ้นการทำงานของวงจรที่จำเป็นเพียงอย่างเดียวถ้ามีสัญญาณ ring เข้ามา

ขา 7 : PWRUP(Power Up) ถ้ามี Logic 0 เข้ามาที่ขานี้ IC จะอยู่ในสภาวะ active mode และพร้อมที่จะทำการ demodulate เมื่อมีข้อมูลเข้ามา แต่ถ้ามีLogic1 เข้ามา IC จะอยู่ในสภาวะ standby mode ซึ่งขานี้อาจจะถูกควบคุมโดยขาRDOและCDO เพื่อให้การทำงานเป็นไปในแบบอัตโนมัติ หรืออาจจะควบคุมโดยใช้อุปกรณ์ภายนอก

ขา 8 : VSS(Ground) ขานี้จะถูกต่อเชื่อมกับกราวน์ของระบบ

ขา 9 : OSC_{out}(Oscillator Output) ที่ขานี้จะมีตัวกำเนินความถี่แบบ Crystal หรือ ceramic ต่อค่อมระหว่างขานี้กับขาOsc_{in}

ขา 10 : Osc_{in}(Oscillator Input) ที่ขานี้จะมีตัวกำเนินความถี่แบบ crystal หรือ ceramic ต่อค่อมระหว่างขานี้กับขาOsc_{out} ซึ่งที่ขานี้อาจจะได้รับความถี่ที่เหมาะสมจากแหล่งจ่ายภายนอกก็ได้

ขา 11 : CLKSIN(Clock Select Input) ที่ขานี้จะมีหน้าที่ในการเลือกความถี่ที่จะป้อนให้กับขา 10 คือถ้ามี Logic 1 เข้ามา จะใช้ความถี่ 3.579 MHz หรือ 3.6864 MHz ที่ได้จาก Crystal แต่ถ้ามี Logic 0 เข้ามาจะใช้ความถี่ 455 kHz จากส่วนกำเนิดความถี่ สำหรับลักษณะของ crystal และ ตัวกำเนิดความถี่ที่นำมาใช้งานให้ดูตารางที่1

ขา 12 : RDO(Ring Detect Out) ที่ขานี้จะให้สัญญาณ output ออกมา ซึ่งสัญญาณที่ได้ออกมานั้นจะอยู่ในสถานะ low เมื่อมีการตรวจจับสัญญาณ ring ได้และRDO นี้ก็จะยังคงให้ output เป็น low ไปตลอดเมื่อยังคงมีสัญญาณ ring เข้ามา และเมื่อต่อขานี้เข้ากับขา 7 ก็สามารถใช้ควบคุม auto power-up ได้

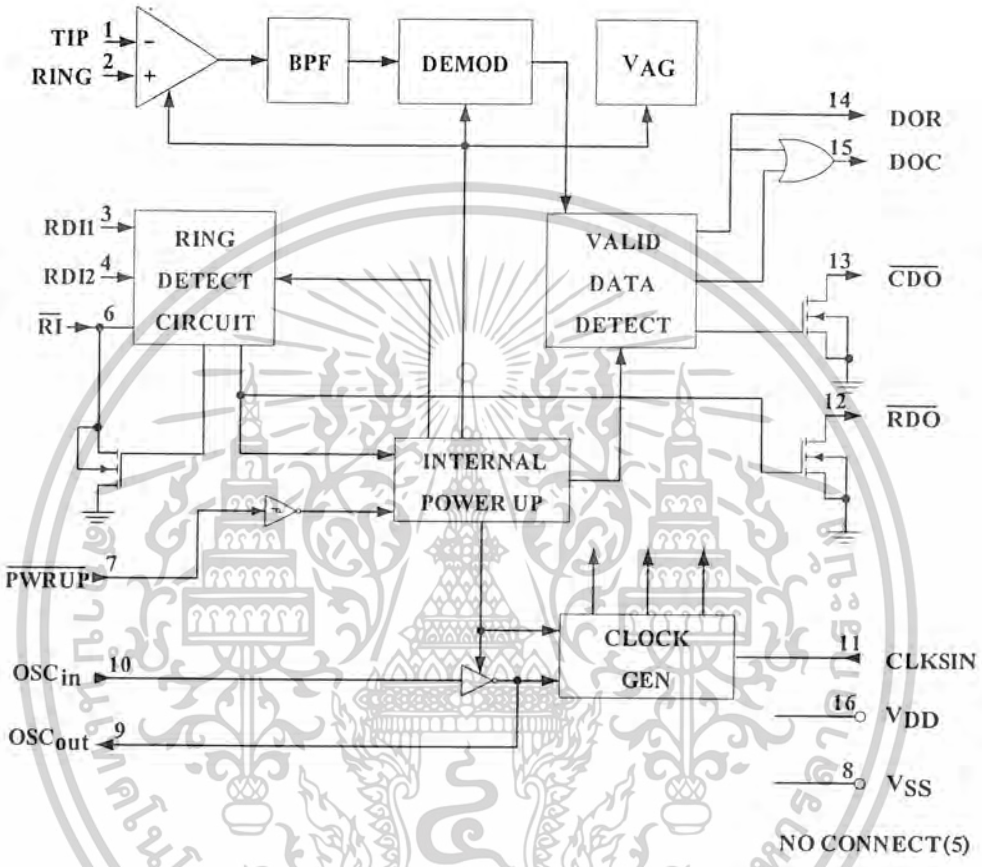
ขา 13 : CDO(Carrier Detect Output) ที่ขานี้จะให้สัญญาณ output ออกมา ซึ่งสัญญาณที่ได้ออกมานั้นจะอยู่ในสถานะ low เมื่อมีสัญญาณ Carrier ปรากฏมาบนสายสัญญาณและCDO นี้ก็จะยังคงให้ output เป็น low ไปตลอดเมื่อยังคงมีสัญญาณ Carrier ปรากฏอยู่และเมื่อต่อขานี้เข้ากับขา7 ก็สามารถใช้ควบคุม auto power-up ได้

ขา 14 : DOR(Data Out Raw) เมื่อไรก็ตามที่ขาCDO อยู่ในสภาวะ low ที่ขาDOR นี้ก็จะให้สัญญาณ output ของ demodulator ออกมา ซึ่งสัญญาณที่ออกมานั้นจะอยู่ในรูปของ0และ1 สลับกันไป ส่วนในสภาวะอื่นทั้งหมด DOR จะให้ output เป็น high

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 15 : DOC(Data Out Cooked) เมื่อไรก็ตามที่ขาCDOอยู่ในสภาวะlow ที่ขาDOC นี้ก็จะให้สัญญาณ output ของ demodulator ออกมา ซึ่งสัญญาณที่ออกมานั้นจะไม่อยู่ในรูปของ0และ1 ส่วนในสภาวะอื่นทั้งหมด DOC จะให้ output เป็น high

ขา 16 : V_{DD}(Positive Power Supply) เป็นขาที่ต่อกับด้านแรงดันไฟบวกของ power supply



รูปที่2.5 แสดงโครงสร้างภายในของ MC14LC5447

2.11 ไมโครคอนโทรลเลอร์ MCS-51

2.11.1 ความหมายของไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ (microcontroller) เป็นชื่อของอุปกรณ์อิเล็กทรอนิกส์แบบหนึ่งที่รวมเอาหน่วยประมวลผล หน่วยคำนวณทางคณิตศาสตร์และลอจิก วงจรรับสัญญาณอินพุต วงจรขับสัญญาณเอาต์พุต หน่วยความจำ วงจรกำเนินสัญญาณนาฬิกาไว้ด้วยกัน ทำให้สามารถนำไปใช้งานแทนวงจรอิเล็กทรอนิกส์ที่ซับซ้อนได้เป็นอย่างดี ช่วยลดจำนวนอุปกรณ์และขนาดของระบบ ในขณะที่มีขีดความสามารถสูงขึ้น ภายใต้งบประมาณที่เหมาะสม

ไมโครคอนโทรลเลอร์มาจากคำ 2 คำรวมกันคือ“ไมโคร”(micro) ซึ่งหมายถึง ไมโครโปรเซสเซอร์ (microprocessor) ซึ่งเป็นอุปกรณ์ประมวลผลข้อมูลขนาดเล็ก ภายในประกอบด้วย หน่วยประมวล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลกลางหรือซีพียู (CPU : Central Processing Unit) หน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU : Arithmatic Logic Unit) วงจรเชื่อมต่อหน่วยความจำ และวงจรสัญญาณนาฬิกา อีกคำหนึ่งคือคำว่า "คอนโทรลเลอร์" (controller) หมายถึงอุปกรณ์ควบคุม ดังนั้น ไมโครคอนโทรลเลอร์จึงเป็นอุปกรณ์ที่ใช้ในการควบคุมโดยที่สามารถเขียนโปรแกรมเพื่อกำหนดรูปแบบการควบคุมได้อย่างอิสระ

2.11.2 ไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชจาก PHILIPS

ไมโครคอนโทรลเลอร์ที่ใช้อ้างอิงเพื่อการเรียนรู้และใช้งานในที่นี้เป็นไมโครคอนโทรลเลอร์ตระกูล MICS-51 ซึ่งมีหน่วยความจำภายในเป็นแบบเฟลช (flash memory) ของ Philips Semiconductor ในอนุกรม P89C51Rx2 โดยจะเน้นไปที่เบอร์ P89C51RD2

สำหรับคุณสมบัติทางเทคนิคที่โดดเด่นของไมโครคอนโทรลเลอร์ MCS-51 อนุกรมนี้ มีดังต่อไปนี้

☐ เป็นไมโครคอนโทรลเลอร์ 8 บิต ที่เข้ากันได้กับไมโครคอนโทรลเลอร์ MCS-51 พื้นฐานของอินเทล

☐ หน่วยความจำโปรแกรมภายในตัวไมโครคอนโทรลเลอร์เป็นแบบแฟลช ทำให้สามารถลบและเขียนใหม่ได้ถึงหนึ่งหมื่นครั้ง จึงสามารถใช้งานในรูปแบบไมโครคอนโทรลเลอร์ชิปเดี่ยวไม่ต้องใช้หน่วยความจำภายนอกส่งผลให้สามารถใช้งานพอร์ตอินพุตเอาต์พุตของไมโครคอนโทรลเลอร์ได้อย่างเต็มประสิทธิภาพ ขนาดของหน่วยความจำโปรแกรมสูงถึง 64 กิโลไบต์

☐ หน่วยความจำข้อมูลแรมภายในมีขนาด 1 กิโลไบต์

☐ สามารถเขียนหรือโปรแกรมข้อมูลลงในหน่วยความจำโปรแกรมโดยไม่ต้องถอดไมโครคอนโทรลเลอร์ออกมาทำการโปรแกรมใหม่ หรือเรียกว่า การโปรแกรมในวงจร หรือ ในระบบ (ISP : In-system programming) โดยภายในไมโครคอนโทรลเลอร์จะมีหน่วยความจำที่บรรจุโปรแกรมสำหรับเขียนข้อมูลลงในหน่วยความจำโปรแกรมหรือเรียกว่าบูตรอม(Boot ROM)ทำหน้าที่ในส่วนนี้ แรงดันที่ใช้ในการโปรแกรมแบบ ISP ขึ้นอยู่กับเบอร์ของไมโครคอนโทรลเลอร์P89C51RD2 ใช้แรงดันในการโปรแกรมได้ทั้ง +5V และ +12V โดยถ้าใช้แรงดัน +12V จะสามารถโปรแกรมได้ 1000 ครั้งและถ้าใช้แรงดัน+5V สามารถโปรแกรมได้ 10000ครั้ง

☐ ความถี่สัญญาณนาฬิกาสูงสุด 33 MHz ในกรณีทำงานด้วยสัญญาณนาฬิกาภายใน 12 ลูกต่อแมชชีนไซเกิลและ20MHz ในกรณีทำงานด้วยสัญญาณนาฬิกาภายใน 6 ลูกต่อแมชชีนไซเกิลP89C51RD2 ได้รับการกำหนดให้ทำงานเบื้องต้นในโหมดสัญญาณนาฬิกา 6 ลูกต่อแมชชีนไซเกิลสามารถเลือกเปลี่ยนเป็น 12 สัญญาณนาฬิกาต่อแมชชีนไซเกิลได้

☐ ชุดคำสั่งและสถาปัตยกรรมพื้นฐานเหมือนกับไมโครคอนโทรลเลอร์ MCS-51 ของผู้ผลิตอื่นไม่ว่าจะเป็น Intel,Siemens หรือ Dallas Semiconductor

☐ ขาพอร์ต 8 บิต จำนวน 4 พอร์ต เป็นแบบกึ่งสองทิศทาง (quasi-bidirectional)สามารถใช้งานเป็นได้ทั้งอินพุตและเอาต์พุต

☐ มีวงจรสื่อสารอนุกรมแบบฟูลดูเพล็กซ์

☐ ไทม์เมอร์/เคาน์เตอร์ขนาด 16 บิต 3 ตัว (ไทม์เมอร์ 0,1 และ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

☐ มีรีจิสเตอร์ตัวชี้ตำแหน่งข้อมูลหรือ DPTR 2 ตัว

☐ สามารถรองรับแหล่งกำเนิดอินเตอร์รัปต์ได้ 7 ประเภท

☐ กำหนดนัยสำคัญของการตอบสนองอินเตอร์รัปต์ได้ 4 ระดับ

☐ สามารถติดต่อหน่วยความจำภายนอกได้สูงสุด 64 กิโลไบต์

☐ มีวอตช์ด็อกไทม์เมอร์

☐ มีโมดูลวงจรนับโปรแกรมได้ (PCA : ProGrammable Counter Array) ซึ่งบรรจุวงจรตรวจจับสัญญาณ (capture), เปรียบเทียบสัญญาณ (compare), วงจรมอดูเลทชั่นทางความกว้างพัลส์ (PWM) 5 โมดูล และวอตช์ด็อกไทม์เมอร์ (watchdog timer)

2.11.3 ความเร็วในการทำงานของไมโครคอนโทรลเลอร์ P89C51RD2

นอกจาก Philips จะทำการพัฒนาไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลชในอนุกรมนี้ขึ้นเพื่อรองรับการโปรแกรมแบบ ISP และขนาดของหน่วยความจำแบบแฟลชที่สูงถึง 64 กิโลไบต์แล้ว ยังได้พัฒนาเรื่องของความเร็วในการทำงานด้วยโดย P89C51RD2 ถูกกำหนดให้ทำงานได้เร็ว 6 ไซเกิลสัญญาณนาฬิกาภายในต่อ 1 แมชชีนไซเกิล ซึ่งเร็วกว่าไมโครคอนโทรลเลอร์ MCS-51 มาตรฐาน 2 เท่า แต่ก็สามารถลดความเร็วให้เท่ากับแบบมาตรฐานได้ ด้วยการโปรแกรมแบบขนาน (Parallel programming)ซึ่งต้องใช้เครื่องโปรแกรมภายนอก อาทิ ALL-11 ของ HI-Lo System เป็นต้น แต่เมื่อลดความเร็วลงแล้วจะไม่สามารถเปลี่ยนกลับมาได้อีกนั่นคือ สามารถเปลี่ยนความเร็วได้เพียงครั้งเดียว

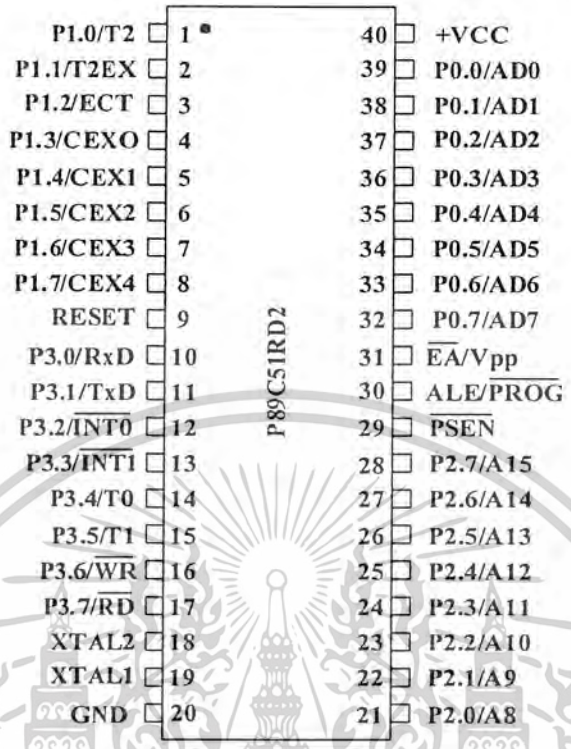
ในการทำงาน 1 รอบหรือ 1 แมชชีนไซเกิล ซีพียูในไมโครคอนโทรลเลอร์ MCS-51 มาตรฐานจะใช้เวลา 12 คาบเวลาของสัญญาณนาฬิกานั่นคือ ที่สัญญาณนาฬิกา 12 MHz ดังนั้นถ้าต้องการทราบความเร็วของการทำงานภายในสามารถหาได้จากค่าความถี่สัญญาณนาฬิกาหารด้วย 12 และถ้าต้องการหาค่าเวลาของ 1 รอบการทำงานหรือ 1 แมชชีนไซเกิล ทำได้โดยการหาส่วนกลับของความเร็วในการทำงานภายในของไมโครคอนโทรลเลอร์ แต่เนื่องจาก P89C51RD2 มีความเร็วกว่าปกติ 2 เท่า จึงสามารถสรุปเป็นสูตรหาความเร็วในการทำงานใหม่ได้ดังนี้

ความเร็วในการทำงานภายใน = ความถี่สัญญาณนาฬิกา (ค่าคริสตอลที่ขา XTAL1 และ XTAL2)/6

เวลา 1 แมชชีนไซเกิล = 1/ ความเร็วในการทำงานภายในของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11.4 พอร์ทของไมโครคอนโทรลเลอร์ P89C51RD2



รูปที่2.6 แสดงการจัดขาของ P89C51RD2

P89C51RD2 เป็นไมโครคอนโทรลเลอร์ขนาด 40 ขา ซึ่งมีขาต่างๆดังนี้

☐ **VCC** (ขา 40) ต่อไฟเลี้ยง +5V

☐ **GND** (ขา 20) ต่อกราวด์

☐ **P0.0-P0.7** (ขา 39-32) ใช้งานเป็นขาพอร์ตอินพุตและเอาต์พุต ถ้าต้องการกำหนดให้ขาพอร์ต 0 ขาใดขาหนึ่งเป็นอินพุต สามารถทำได้โดยการเขียนข้อมูล "1" ไปยังแต่ละบิตของพอร์ตที่ต้องการติดต่อด้วย ทำให้มีสถานะลอย (float) ค่าอินพุตอิมพีแดนซ์สูงสามารถใช้งานเป็นขาพอร์ตอินพุตได้ใช้ในการติดต่อกับขาแอดเดรสไบต์ต่ำของหน่วยความจำภายนอก(A0-A7)และขาข้อมูล(D0-D7)โดยใช้การมัลติเพล็กซ์เข้าช่วยเพื่อสลับการทำงานให้เป็นได้ทั้งชาติต่อแอดเดรสและขาข้อมูลในการติดต่อกับหน่วยความจำภายนอก

☐ **P1.0-P1.7** (ขา 1-8) ใช้งานเป็นขาพอร์ตอินพุตเอาต์พุตสำหรับใช้งานทั่วไปเป็นขาสัญญาณของไทม์เมอร์ 2 และขาสัญญาณของโมดูล PCA ดังมีรายละเอียดต่อไปนี้

- T2 (P1.0: ขา 1) เป็นขาอินพุตสำหรับนับค่าของไทม์เมอร์ 2 และขาเอาต์พุตสัญญาณ-นาฬิกา โปรแกรมแบบได้

- T2EX (P1.1 :ขา 2) เป็นขาอินพุตสำหรับควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์2

- ECI (P1.2 : ขา 3) เป็นขาอินพุตสัญญาณนาฬิกาจากภายนอกสำหรับโมดูล PCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

- CEXO (P1.3 : ขา 4) เป็นขาอินพุทเอาท์พุทภายนอกของวงจรตรวจจับและเปรียบเทียบสัญญาณสำหรับ PCA โมดูล 0

- CEXO (P1.4 : ขา 5) เป็นขาอินพุทเอาท์พุทภายนอกของวงจรตรวจจับและเปรียบเทียบสัญญาณสำหรับ PCA โมดูล 1

- CEXO (P1.5 : ขา 6) เป็นขาอินพุทเอาท์พุทภายนอกของวงจรตรวจจับและเปรียบเทียบสัญญาณสำหรับ PCA โมดูล 2

- CEXO (P1.6 : ขา 7) เป็นขาอินพุทเอาท์พุทภายนอกของวงจรตรวจจับและเปรียบเทียบสัญญาณสำหรับ PCA โมดูล 3

- CEXO (P1.7 : ขา 8) เป็นขาอินพุทเอาท์พุทภายนอกของวงจรตรวจจับและเปรียบเทียบสัญญาณสำหรับ PCA โมดูล 4

☐ **P2.0-P2.7** (ขา 21-28) ใช้งานเป็นขาพอร์ตอินพุทเอาท์พุทสำหรับใช้งานทั่วไปและใช้ต่อกับขาแอดเดรสไบต์สูงของหน่วยความจำภายนอก (A8-A15) เมื่อติดต่อด้วย

☐ **P3.0-P3.7** (ขา 10-17) ใช้งานเป็นขาพอร์ตอินพุทเอาท์พุทสำหรับใช้งานทั่วไปและใช้งานเป็นขาพอร์ตหน้าที่พิเศษ ดังมีรายละเอียดต่อไปนี้

- RxD(P3.0 : ขา10)ใช้เป็นขาอินพุตสำหรับรับข้อมูลจากการสื่อสารแบบอนุกรม
- TxD(P3.1: ขา11)ใช้เป็นขาอินพุตสำหรับส่งข้อมูลจากการสื่อสารแบบอนุกรม
- INT0(P3.2: ขา12)ใช้เป็นขาอินพุตสำหรับรับสัญญาณอินเตอร์รัปต์จากภายนอกช่อง0
- INT1(P3.3: ขา13)ใช้เป็นขาอินพุตสำหรับรับสัญญาณอินเตอร์รัปต์จากภายนอกช่อง1
- T0(P3.4: ขา14)ใช้เป็นขาอินพุตสำหรับรับสัญญาณไทเมอร์จากภายนอกช่อง 0
- T1(P3.5: ขา15)ใช้เป็นขาอินพุตสำหรับรับสัญญาณอินเตอร์รัปต์จากภายนอกช่อง1
- WR(P3.6: ขา 16)ใช้เป็นขาสัญญาณ WR ในกรณีที่ใช้เชื่อมต่อกับหน่วยความจำภายนอก
- RD (P3.7 : ขา 17) ใช้เป็นขาสัญญาณ RD ในกรณีที่ใช้เชื่อมต่อกับหน่วยความจำภายนอก

☐ **RESET** (ขา 9) ใช้ในการรีเซตการทำงานของไมโครคอนโทรลเลอร์โดยในการป้อนสัญญาณลอจิก "1"อย่างน้อยเป็นเวลา 2 แมชีนไซเกิลโดยที่วงจรกำเนิดสัญญาณนาฬิกายังคงทำงานต่อเนื่องไปอย่างเป็นปกติ

☐ **ALE** (ขา 30) Address Latch Enable ออกมาทุก ๆ แมชชีนไซเกิล อย่างไรก็ตาม สามารถดิสเอเบิ้ลสัญญาณพัลส์นี้ได้ โดยการเซตบิต 0 ของรีจิสเตอร์ AUXR

☐ **PSEN** (ขา 29) Program Store Enable : ใช้ในการส่งสัญญาณเพื่อร้องขอติดต่อกับหน่วยความจำโปรแกรมภายนอกเมื่อต้องการอ่านข้อมูลจากหน่วยจำโปรแกรมภายนอก ไมโครคอนโทรลเลอร์จะส่งสัญญาณออกมาที่ขานี้ 2 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
54981

นอกจากนี้ยังใช้ประกอบในการอ่านเขียนข้อมูลในหน่วยความจำโปรแกรมด้วยกระบวนการISP

- สำหรับเบอร์ P89C51RD+ ให้ต่อขานี้ลงกราวด์ แล้วป้อนไฟ +12V เข้าที่ขา EA/Vpp
- สำหรับเบอร์ P89C51RD ให้ต่อขานี้ลงกราวด์ ป้อนลอจิก "1" เข้าที่ขา P2.7 และป้อนแรงดัน +5V เข้าที่ขา EA/Vpp

☐ **EA/Vpp** (ขา 31) External Acess enable /Programming voltage input : ใช้สำหรับเลือกการติดต่อหน่วยความจำโปรแกรมจากภายนอกหรือภายในตัวไมโครคอนโทรลเลอร์

- "0"เลือกให้ไมโครคอนโทรลเลอร์ติดต่อกับหน่วยความจำโปรแกรมภายนอก
- "1"เลือกให้ไมโครคอนโทรลเลอร์ติดต่อกับหน่วยความจำโปรแกรมภายในนอกจากนี้ ที่ขานี้ยังใช้เป็นขาอินพุตสำหรับรับแรงดันสำหรับการโปรแกรมหน่วยความจำภายในไมโครคอนโทรลเลอร์
- สำหรับเบอร์ P89C51RD+ ต้องการแรงดัน +12V
- สำหรับเบอร์ P89C51RD2 ต้องการแรงดัน +5V

☐ **XTAL1** (ขา 19) ขาอินพุตรับสัญญาณจากวงจรขยายออสซิลเลเตอร์ (ขา XTAL2) และจากภายนอก ในการใช้งานปกติ ขานี้และขา XTAL2 ต่อเข้ากับคริสตอลและตัวเก็บประจุชุดเชยค่าน้อยๆ

☐ **XTAL2** (ขา 18) ขาเอาต์พุตของวงจรขยายออสซิลเลเตอร์ ภายในไมโครคอนโทรลเลอร์ ในการใช้งานปกติ ขานี้และขา XTAL1 ต่อเข้ากับคริสตอลและตัวเก็บประจุชุดเชยค่าน้อยๆ

2.12 จอแสดงผลแบบผลึกของเหลว (Liquid Crystal Display : LCD)

จอแสดงผลแบบผลึกของเหลว (Liquid Crystal Desplay : LCD) เป็นอุปกรณ์แสดงผล ที่นิยมใช้ในปัจจุบันเนื่องจากมีความเหมาะสมหลายๆ ด้าน เช่น การใช้กระแสไฟฟ้าต่ำ และสามารถแสดงผลเป็นตัวอักษรและตัวเลข หรือแสดงเป็นกราฟฟิก (เฉพาะรุ่น)ได้ จอแสดงผลแบบผลึกของเหลว นั้นมีขาสัญญาณ 14 ขา โดยแต่ละขาจะมีหน้าที่การทำงานดังนี้

1. ขา 1 (Vss) เป็นขากราวด์ของจอแสดงผลแบบผลึกของเหลว
2. ขา 2 (Vcc) เป็นขาแรงดันไฟฟ้าขนาด +5 โวลต์
3. ขา 3 (Vee) เป็นขารับแรงดันไฟฟ้าเพื่อปรับความเข้มตัวอักษร โดยต่อกับกราวด์และมีความเข้มสูงสุด และถ้าต่อกับ Vcc จะมีความเข้มต่ำสุด
4. ขา 4 (RS) เป็นขาเลือกที่มีรีจิสเตอร์ภายในซึ่งมีอยู่ 2 ตัวคือ รีจิสเตอร์คำสั่ง (Instruction Registor : IR) และรีจิสเตอร์ข้อมูล (Data Registor : DR) ขณะเดียวกันถ้าเป็น "1"จะเป็นการเลือกรีจิสเตอร์ข้อมูล DR และถ้าเป็น "0" จะเป็นการเลือกคำสั่งที่รีจิสเตอร์ IR
5. ขา 5 (R/W) เป็นตัวเลือกว่าจะเขียนหรือจะอ่านข้อมูลโดยทั่วไปถ้าขานี้เป็น "1" จะเป็นการอ่านข้อมูลจากจอแสดงผลแบบผลึกของเหลว แต่ถ้าเป็น "0" จะเขียนข้อมูลเข้าจอแสดงผลแบบผลึกของเหลว
6. ขา 6 (E) เป็นขากำหนดสภาพการรับเขียนอ่านข้อมูล (Enable)
7. ขา 7 - ขา 14 (DB0-DB7) เป็นขาที่ใช้ในการรับส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานจอแสดงผลแบบผลึกของเหลวนั้น จะใช้ไมโครโปรเซสเซอร์ส่วนไมโครคอนโทรลเลอร์เป็นตัวควบคุมการทำงานโดยจอแสดงผลแบบผลึกของเหลว รับคำสั่งเฉพาะตามตารางที่ 2.10 มีคำสั่งควบคุมการทำงาน คำสั่งอ่าน หรือคำสั่งเขียนข้อมูล การใช้งานไมโครคอนโทรลเลอร์กับจอแสดงผลแบบผลึกของเหลว จะมีวิธีที่นิยมอยู่ 2 วิธีคือการต่อแบบเป็นหน่วยความจำในการเชื่อมต่อไมโครคอนโทรลเลอร์ จะมองเห็นจอแสดงผลแบบผลึกของเหลวเป็นหน่วยความจำตัวหนึ่ง และการต่อพอร์ตอินพุต/เอาต์พุตโดยต่อร่วมกับไมโครโปรเซสเซอร์เบอร์ 8255

2.12.1 พื้นฐานในการใช้งานจอแสดงผลแบบผลึกของเหลว

การเขียนข้อมูลให้กับจอแสดงผลแบบผลึกของเหลวจะแบ่งเป็น 2 ลักษณะคือการเขียนคำสั่งและการเขียนข้อมูลโดยจะกำหนดด้วยขา RS คือถ้าขา RS เป็น "0" หมายถึงการเขียนคำสั่งควบคุมหรือการอ่านค่าแฟลกสภาพการทำงานของจอแสดงผลแบบผลึกของเหลว

หลักการในการเขียนข้อมูลให้กับจอแสดงผลแบบผลึกของเหลว นี้คือเมื่อมีการเขียนข้อมูลส่งไปยังจอแสดงผลแบบผลึกของเหลว จะต้องใช้เวลาในการทำงานชั่วขณะหนึ่งตามค่าเวลาปฏิบัติการ (Execute time) ในตารางที่ 2.10 โดยระบบของไมโครคอนโทรลเลอร์จะสามารถตรวจสอบได้จาก แฟลก BF และถ้าเรียบร้อยแล้วจึงจะสามารถเขียนข้อมูลชุดต่อไปได้ กรณีเป็นการต่อแบบพอร์ตอินพุตเอาต์พุต คือไม่สามารถอ่านข้อมูลกลับได้ โดยระบบไมโครคอนโทรลเลอร์ก็จะต้องใช้วิธีการหน่วงเวลาแทน ในการเขียนข้อมูลให้กับจอแสดงผลแบบผลึกของเหลวนั้น สามารถที่จะทำได้ทั้ง 8 บิต แต่ให้เขียน 2 ครั้ง คือขา DB4-DB7 ใช้สำหรับระบบไมโครคอนโทรลเลอร์แบบ 4 บิต หรือเพื่อการประหยัดสาย การเขียนข้อมูลจะเหมือนกับ 8 บิต แต่ให้เขียน 2 ครั้งคือขา DB4-DB7 ก่อนแล้วตามด้วยขา DB0-DB3 ต้องกำหนดตามค่า DL ในคำสั่งฟังก์ชั่นเซต

หน่วยความจำภายจอแสดงผลแบบผลึกของเหลว (Display Data RAM) คือหน่วยความจำภายในของจอแสดงผลแบบผลึกของเหลว ที่เป็นบัฟเฟอร์ของข้อมูลโดยถ้าเขียนรหัสแอสกี (ASCII) ใดๆ ลงไปในหน่วยความจำนี้ โดยจะปรากฏเป็นตัวอักษรที่หน้าจอทันที

CGRAM (Character Generator RAM) คือหน่วยความจำแรมภายในของจอแสดงผลแบบผลึกของเหลว สำหรับเก็บภาพตัวอักษรที่ผู้ใช้สามารถสร้างได้เอง (8 ตัว) โดยสามารถจะอ้างตำแหน่งได้ทั้งหมด 64 ไบต์ คือ 8 ตัวอักษรคูณกับ 8 แถว

2.12.2 รายละเอียดของแต่ละคำสั่ง

CLEAR DISPLAY

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

สำหรับการลบหน้าจอนั้น สามารถทำการเขียนตัวอักษรว่างลงไปในหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวทั้งหมด และกำหนดค่าที่อยู่ของหน่วยความจำภายในจอแสดงผลแบบผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของเหลวเป็น 0 พร้อมทั้งเคอร์เซอร์จะกลับไปที่ตำแหน่งซ้ายบนสุดของจอภาพ

CURSOR AT HOME

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	*

สำหรับกำหนดค่าที่อยู่ (Address) ของหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวเป็น 0 พร้อมทั้งตัวเคอร์เซอร์ จะไปอยู่ที่ตำแหน่งซ้ายบนสุดของจอภาพ โดยที่ข้อมูลในหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวไม่มีการเปลี่ยนแปลง

ENTRY MODE SET

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	I/D	S

I/D=0 กำหนดทิศทางของเคอร์เซอร์ ของหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวให้เป็นแบบลดตำแหน่งลง

I/D=1 กำหนดทิศทางของเคอร์เซอร์ และหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวให้เป็นแบบเพิ่มตำแหน่งขึ้น

S=0 เมื่อเขียนข้อมูลแล้วตัวเคอร์เซอร์ จะถูกเลื่อนไปตามทิศทางของค่า I/D

S=1 เมื่อเขียนข้อมูลแล้วตัวเคอร์เซอร์ จะอยู่กับที่และตัวอักษรจะถูกดันตามทิศทางของทิศทางของเคอร์เซอร์ ในการกำหนดลักษณะของการแสดงผลนี้ให้กำหนดก่อนการเขียนข้อมูลลงในหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลว และเมื่อกำหนดแล้วจะต้องไม่ใช้คำสั่งลบหน้าจออีก

DISPLAY ON/OFF

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	D	C	B

D=0 กำหนดให้ปิดหน้าจอ

D=1 กำหนดให้เปิดหน้าจอ

C=0 กำหนดให้ปิดเคอร์เซอร์

C=1 กำหนดให้เปิดเคอร์เซอร์ โดยเคอร์เซอร์จะเป็นเส้นขีดใต้ตัวอักษร

B=0 กำหนดให้ไม่มีการกระพริบที่ตำแหน่งเคอร์เซอร์

B=1 กำหนดให้มีการกระพริบที่ตำแหน่งเคอร์เซอร์ กระพริบเป็นรูปสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SHIFT CURSOR

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	1	S/C	R/L	*	*

R/L=0 กำหนดให้มีทิศทางไปทางซ้าย

R/L=1 กำหนดให้มีทิศทางไปทางขวา

S/C=0 กำหนดให้เลื่อนเคอร์เซอร์ตามทิศทางซ้ายหรือขวาไป 1 ตำแหน่ง

S/C=1 กำหนดให้เลื่อนข้อความบนแผงซึ่งจะแสดงตามทิศทางซ้ายหรือขวาไป 1 หลักทุกบรรทัด

FUNCTION SET

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	*	*

DL=0 กำหนดให้การติดต่อกับจอแสดงผลแบบผลึกของเหลว เป็นแบบ 4 บิต ซึ่งการกำหนดค่าทิศทางของเคอร์เซอร์ นี้สามารถกระทำได้ที่ขา DB4-DB7

DL=1 กำหนดให้การติดต่อกับจอแสดงผลแบบผลึกของเหลว เป็นแบบ 8 บิต โดยการกำหนดค่าทิศทางของเคอร์เซอร์ สามารถกระทำได้ที่ขา DB4-DB7 และถ้ามีการกำหนดให้เป็นแบบ 4 บิต ตั้งแต่ครั้งแรกหลังจากการจ่ายกระแสไฟจะทำให้จอแสดงผล LCD มีการรับข้อมูลแบบ 4 บิตทันที

N=0 กำหนดจำนวนบรรทัดแบบ 1/8 ส่วน และ 1/11 ส่วน

N=1 กำหนดจำนวนบรรทัดแบบ 1/16 ส่วน

F=0 กำหนดให้ตัวอักษรเป็นแบบ 5*7 จุด

F=1 กำหนดให้ตัวอักษรเป็นแบบ 5*10

SET CGRAM ADDRESS

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	CGRAM ADDRESS					

สำหรับการกำหนดตำแหน่งของแรมเก็บตัวอักษร (CGRAM) เมื่อได้ทำการกำหนดไว้อ่านและเขียนข้อมูลที่ต่อจากนี้ จะเป็นไปตามตำแหน่งที่กำหนดทันที

SET DDRAM ADDRESS

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	DDRAM ADDRESS						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการกำหนดตำแหน่งของ หน่วยความจำภายในจอแสดงผลแบบผลึกของเหลว ในการอ่านและเขียนข้อมูลที่ต่อจากนี้จะเป็นไปตามตำแหน่งที่กำหนดทันที ซึ่งตำแหน่งของหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลว ในแต่ละรุ่นจะมีความแตกต่างกันเนื่องจากจำนวนตัวอักษรต่อบรรทัดไม่เท่ากัน

BUISY FLAG AND ADDRESS READ

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	BF	ADDRESS						

สำหรับการอ่านค่าแฟลก BF (BUSY FLAG) ซึ่งจะบอกถึงความพร้อมของจอแสดงผลแบบผลึกของเหลว ในการรับข้อมูลถ้าแฟลก BF เป็นลอจิก "0" หมายความว่า พร้อมที่จะรับข้อมูลชุดต่อไปได้แต่ถ้าแฟลก BF เป็นลอจิก "1" หมายความว่ายังไม่พร้อม นอกจากนี้ยังเป็นการอ่านค่าตำแหน่งหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวด้วย

WRITE DATA TO DDRAM OR CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	DATA							

สำหรับการเขียนข้อมูลลงหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลว หรือ CGRAM โดยเมื่อทำการเขียนแล้ว และตำแหน่งจะถูกเพิ่มหรือลดลงโดยอัตโนมัติตามที่กำหนดจากทิศทางของเคอร์เซอร์ในคำสั่ง ENTRY MODE SET และการเขียนข้อมูลลงหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลว หรือหน่วยความจำแรม ขึ้นกับว่าก่อนหน้าคำสั่งนี้กำหนดตำแหน่งที่ใด

READ DATA FROM DDRAM LCD OR CGRAM

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	ADDRESS							

สำหรับการอ่านข้อมูลจากหน่วยความจำภายในของจอแสดงผลแบบผลึกของเหลว หรือ CGRAM เมื่อทีการเขียนแล้วตำแหน่งจะถูกเพิ่มหรือลดลงโดยอัตโนมัติ โดยตามที่กำหนดจากค่าทิศทางของเคอร์เซอร์ในคำสั่ง ENTRY MOKE SET และการอ่านหน่วยความจำภายในจอแสดงผลแบบผลึกของเหลวหรือ CGRAM ก็ขึ้นกับว่าก่อนหน้าคำสั่งนี้มีการกำหนดตำแหน่งที่ใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

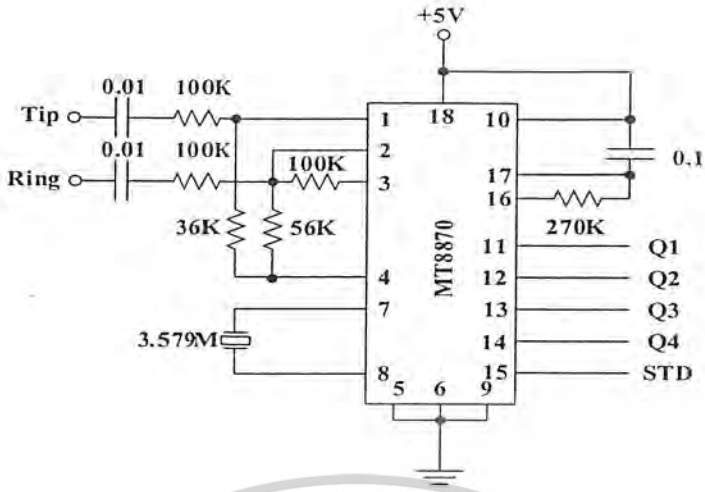
INSTRUCTION	RS	R/W	DATA BIT								EXE. TIME(US)
			7	6	5	4	3	2	1	0	
CLEAR DISPLAY	0	0	0	0	0	0	0	0	0	1	1640
CURSOR AT HOME	0	0	0	0	0	0	0	0	1	*	1640
ENTRY MODE SET	0	0	0	0	0	0	0	1	I/D	S	40
DISPLAY 0N/OFF	0	0	0	0	0	0	1	D	C	B	40
DISPLAY SHIFT	0	0	0	0	0	1	S/C	R/L	*	*	40
FUNCTION SET	0	0	0	0	1	D L	N	F	*	*	40
SET CGRAM ADD.	0	0	0	1	CGRAM ADDRESS						40
SET DDRAM ADD.	0	0	1	DDRAM ADDRESS							40
BUSY LAG ,ADD.READ	0	1	B F	ADDRESS							0
CGRAM, DDRAM WR	1	0	WRITR DATA								40
CGRAM, DDRAM RD	1	1	READ DATA								40

ตารางที่2.3 การกำหนดคุณสมบัติต่าง ๆ ในการใช้งานของจอแสดงผลแบบผลึกของเหลว

2.13 รายละเอียดและหลักการทำงานของส่วนถอดรหัส DTMF

IC MT8870 เป็นตัวสร้างสัญญาณ Digital เพื่อใช้ควบคุมการทำงานของเครื่องการถอดรหัสความถี่โทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่ง IC MT8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.7 แสดงวงจรถอดรหัสความถี่โทรศัพท์

จากรูปใช้ IC เบอร์ MT8870 เป็นตัวเปลี่ยนสัญญาณความถี่โทรศัพท์ เมื่อมีการสั่งงานทางโทรศัพท์เข้ามาหมายเลขที่ใช้ในการโทรก็จะถูกส่งเข้ามาทาง input ของวงจรแล้วก็ถูกเปลี่ยนเป็นสัญญาณ Digital ส่งเข้าภาค MCS-51 Controller ทำการประมวลผลที่รับเข้ามาแล้วนำผลที่ได้ไปใช้งาน เช่น เปิดหรือปิดอุปกรณ์ไฟฟ้า

2.13.1 คุณสมบัติของ MT8870

เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)

กินไฟน้อยใช้ไฟเลี้ยงระดับเดียวกับ TTL

สามารถตั้งอัตราขยายภายในตัวไอซีได้

สามารถปรับการ์ดไทม์ (Guard time) ได้

เป็นไอซีคุณภาพสูง

2.13.2 การนำ MT8870 ไปใช้งาน

นำไปใช้งานทางด้านรีโมตคอนโทรล

เครื่องป้องกันโทรศัพท์ทางไกล

ใช้ในงานเกี่ยวกับเครดิตการ์ด

ใช้งานรวมกับคอมพิวเตอร์

ใช้ในเครื่องชุมสายขนาดย่อย หรือ PABX

ใช้กับงานทางด้านโทรศัพท์ทั่วไป

เครื่องกันขโมย

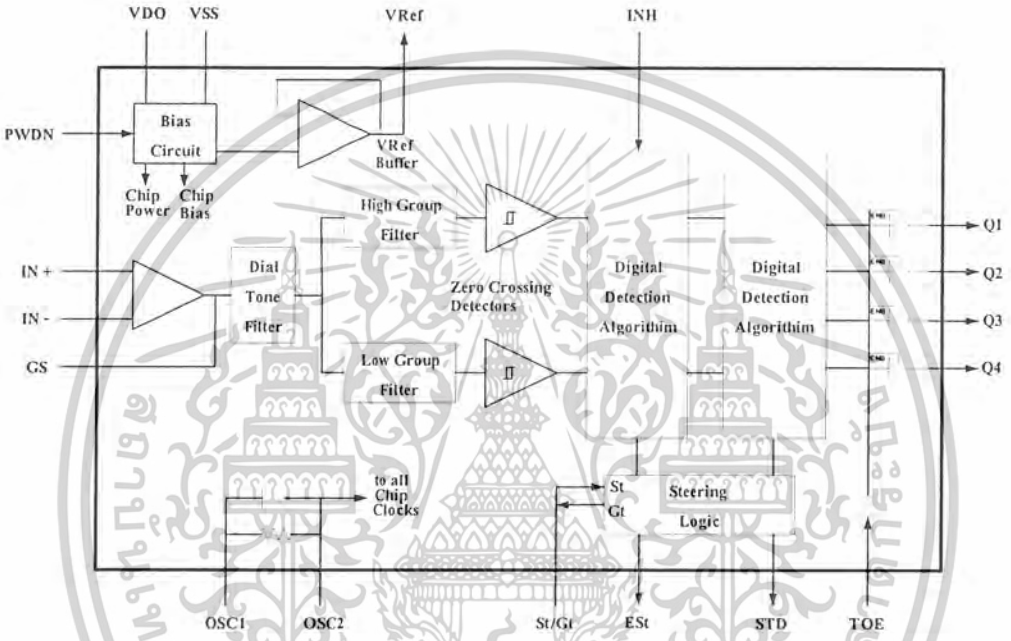
การควบคุมอุปกรณ์ทางโทรศัพท์

ใช้ทำเครื่องสอบถามทางโทรศัพท์

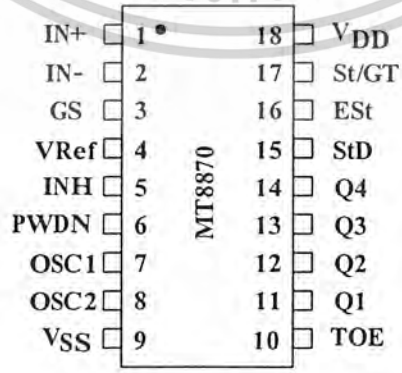
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13.3 โครงสร้างของ MT8870

โครงสร้างภายในของไอซี MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอลเป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^2- CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของ สวิตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและความถี่ต่ำ ส่วนวงจรถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิตและเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยการต่ออุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลตช์ 3 สถานะรูปที่2.7แสดงโครงสร้างภายในของ MT8870 และรูปที่2.8แสดงรายละเอียดขาของ MT8870



รูปที่2.8 แสดงโครงสร้างภายในของ MT8870



รูปที่2.9 แสดงรายละเอียดขาของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870 เป็นไอซีถอดรหัสความถี่โทรศัพท์ชนิดกดปุ่มขนาด 18 ขา ซึ่งมีขาต่างๆดังนี้

- ขา1 : IN+ เป็นขานอน-อินเวอร์ติ้ง (+) ของออปแอป์ที่อยู่ภายในไอซี
- ขา2 : IN- เป็นขาอินเวอร์ติ้ง (-) ของออปแอมป์ที่อยู่ภายในไอซี
- ขา3 : GS(Gain Select) เป็นขาที่ใช้กำหนดอัตราขยายความแตกต่างของสัญญาณที่เข้ามา โดยการต่อตัวต้านทาน (Rf)
- ขา4 : VRef(Reference) เป็นขาที่ใช้กำหนดแรงดันอ้างอิง โดยปกติจะเท่ากับ VDD/2 ซึ่งจะใช้ไบอัสทางด้านอินพุต
- ขา5 : INH(INHibit) ขานี้จะใช้กำหนดการตรวจจับสัญญาณ โทนทางอินพุต ซึ่งถ้าเป็นลอจิก "1" จะไม่ตรวจจับสัญญาณอินพุต โดยปกติการใช้งานทั่วไปจะต่อลงกราวด์
- ขา6 : PWDN(PoWer DowN) ขานี้จะใช้กำหนดสภาวะสแตนด์บายและหยุดผลิตสัญญาณนาฬิกา โดยปกติการใช้งานทั่วไปจะต่อลงกราวด์
- ขา7 : OSC1 เป็นสัญญาณนาฬิกาอินพุต
- ขา8 : OSC2 เป็นสัญญาณนาฬิกาเอาต์พุต ขานี้จะต่อคริสตอลค่า 3.579545 MHz กับขา OSC1 ซึ่งภายในนั้นมีวงจรกำเนิดสัญญาณนาฬิกาอยู่
- ขา9 : VSS กราวด์
- ขา10 : TOE(Three state Output Enable) ขานี้จะใช้กำหนดสภาวะที่เอาต์พุต Q1-Q4 ถ้าเป็นลอจิก "1" เอาต์พุตจะค้างสถานะตามสัญญาณอินพุตที่เข้ามาตลอดเวลา ถ้าเป็นลอจิก "0" เอาต์พุตจะเป็น high impedance
- ขา11-ขา14 : Q1-Q4 ขานี้เป็นเอาต์พุตแสดงไบนารี่ 4 บิต 3 สถานะ โดยการกำหนดที่ขาTOE
- ขา15 : StD(StrobeD) ขานี้ใช้แสดงสัญญาณอินพุตที่เข้ามาหรือแสดงการตรวจจับสัญญาณอินพุต โดยจะให้เอาต์พุตเป็นลอจิก "1" เมื่อมีสัญญาณโทนเข้ามาแล้วให้เาต์พุตทั้ง 4 บิตออกไป จะกลับเป็นลอจิก "0" อีกครั้งเมื่อแรงดันที่ขา St/GT ลดลงต่ำกว่า VTSt
- ขา16 : ESt(Early Steering) ขานี้จะทำงานร่วมกับ St/GT โดยจะให้ลอจิก "1" ชั่วขณะหนึ่งเมื่อมีสัญญาณโทนเข้ามา จากนั้นก็กลับสภาวะเป็นลอจิก "0"
- ขา17 : St/GT(Steering input/Guard Time) ขานี้ใช้สำหรับตรวจสอบสัญญาณ โทนและกำหนดช่วงเวลาในการตรวจสอบสัญญาณ ถ้าช่วงแรงดันสูงกว่า VTSt จะทำการตรวจจับสัญญาณโทนที่เข้ามาแล้วให้เอาต์พุตออกไป แต่ถ้าช่วงแรงดันต่ำกว่า VTSt ก็จะรอรวจสอบสัญญาณโทนที่เข้ามาใหม่ ในส่วนของการ์ดไทม์จะกำหนดการเริ่มทำงานของไทม์คอนสแตนต์(RC time constant)ที่อยู่ภายนอก สถานะของขานี้จะถูกกำหนดโดยขา ESt และแรงดันที่ขาของตัวเอง
- ขา18 : VDD ไฟเลี้ยง +5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

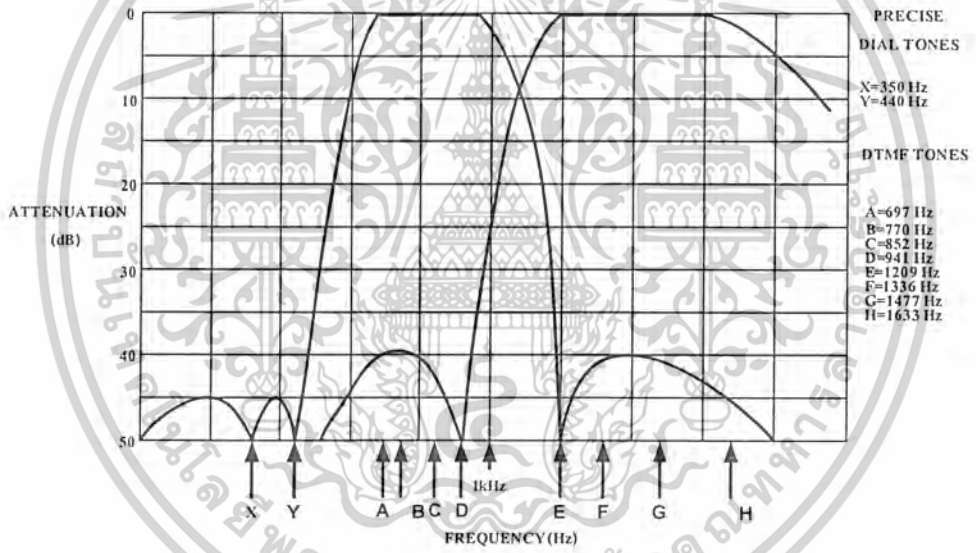
2.13.4 ฟังก์ชั่นการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

ภาคกรองความถี่	(Filter section)
ภาคถอดรหัส	(Decode section)
ภาคตรวจสอบสัญญาณ	(Steering circuit)
ภาคขยายสัญญาณความแตกต่าง	(Differential input)
ภาคกำเนิดความถี่	(Oscillator)

2.13.5 ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและความถี่ต่ำโดยใช้วงจรกรองความถี่อันดับ 6 ชนิด สวิตช์คาปาซิเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและความถี่ต่ำ



รูปที่2.10 แสดงความถี่ที่ได้จากภาคกรองความถี่

2.13.6 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขโดยใช้เทคนิค การนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา EST (early steering) ก็จะแอคทีฟสำหรับค่าถอดรหัสได้จากความถี่ต่างๆนั้น แสดงในตารางที่2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

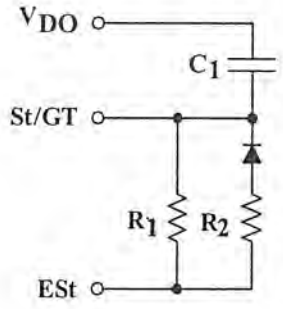
F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1447	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1447	#	H	1	1	0	0
697	1633	A	H	1	1	1	0
770	1633	C	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ตารางที่2.4แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

2.13.7 ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา EST จะเป็น " HIGH " นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามาเก็บประจุ C จะคลายประจุทำให้แรงดัน Vc สูงขึ้นจนถึงค่าเทรสโฮล วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

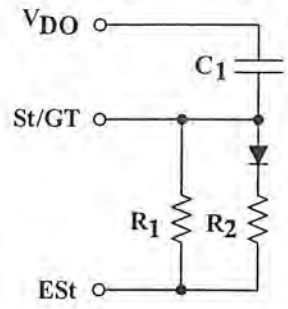


$t_{GTP} = (RpC_1)\ln[V_{DD}/(V_{DD}-V_{TSt})]$

$t_{GTA} = (R_1C_1)\ln(V_{DD}/V_{TSt})$

$Rp = (R_1R_2)/(R_1+R_2)$

a) decreasing t_{GTP}: ($t_{GTP} < t_{GTA}$)



$t_{GTP} = (R_1C_1)\ln[V_{DD}/(V_{DD}-V_{TSt})]$

$t_{GTA} = (RpC_1)\ln(V_{DD}/V_{TSt})$

$Rp = (R_1R_2)/(R_1+R_2)$

b) decreasing t_{GTP}: ($t_{GTP} > t_{GTA}$)

รูปที่2.11 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์(Gard Time) พร้อมวิธีคำนวณ

สำหรับคำว่า การ์ดไทม์ (Gard time) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ ซึ่งจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั้นเอง เมื่อสัญญาณความถี่เข้ามานานเท่ากับหรือมากกว่าที่ตั้งไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่2.11

2.13.8 ภาคของขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไปรูปที่2.12 แสดงการต่อวงจรภายนอกเข้ากับอินพุท ซึ่งสามารถคำนวณอัตราความแตกต่างของอินพุทและอิมพแดนซ์ได้ดังนี้

อัตราขยาย(A_V Diff) = R_5/R_1

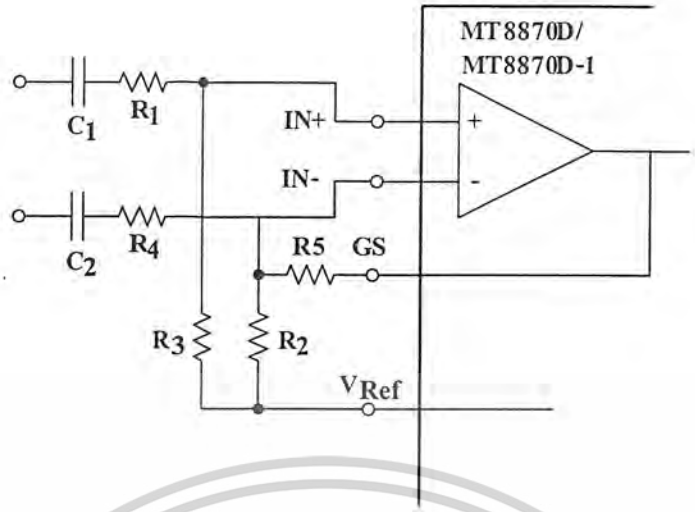
อินพุตอิมพีแดนซ์ (Z_{in} diff) = $2[R_1^2 + (1/WC)^2]^{1/2}$

C1 = C2 = 10 NF R1 = R4 = R5 = 100K

R3 = (R3R5)/R2+R5 AV = R5/R1

R2 = 60K R3 = 37.5K

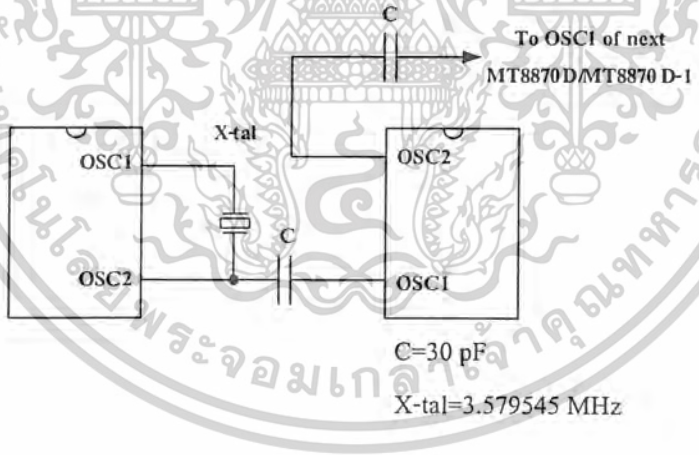
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.12 แสดงการต่อวงจรภาคอินพุต

2.13.9 ภาคกำเนิดความถี่

ภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายในเพียงแต่ต่อแร่คริสตอลขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงในดังรูปที่2.13

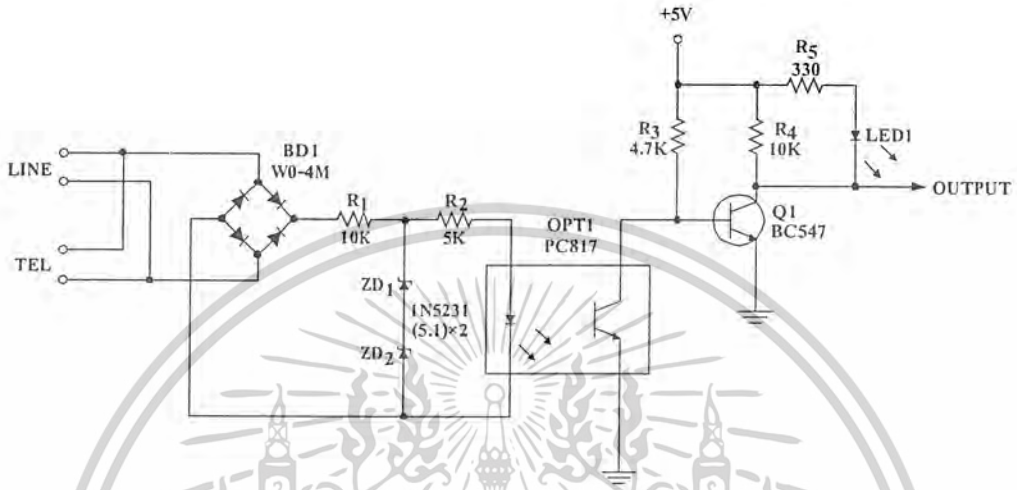


รูปที่2.13 แสดงการต่อวงจรผลิตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 วงจรตรวจสอบสถานะ Hook-On , Hook-Off



รูปที่3.1 แสดงวงจรตรวจสอบสถานะ Hook-On , Hook-Off

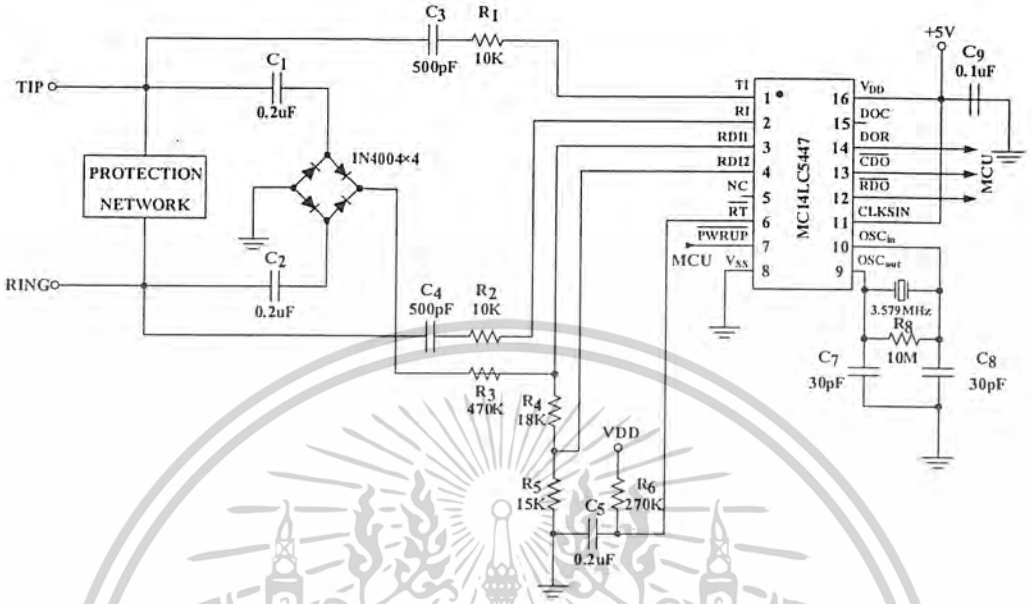
หลักการทำงาน

จากวงจรในรูปที่3.1 แรงดันไฟตรงประมาณ 48 ถึง 52 โวลท์จากคู่สายโทรศัพท์จะถูกจัดขั้วแรงดันใหม่โดยบริดจ์ไดโอด BD1 แล้วผ่าน R1,ZD1,ZD2 เพื่อลดขนาดของแรงดันให้ต่ำลงและจำกัดแรงดันไว้ประมาณ 10 โวลต์ จากนั้นก็ผ่าน R2 เข้าขาอาโนดของ LED ที่อยู่ภายในออปโตไอโซเลเตอร์ OPT1 ให้ทำงาน ส่งผลให้ทรานซิสเตอร์ Q1 ไม่ทำงานเนื่องจากขา Base ของ Q1 ถูกต่อลงกราวด์ผ่านขา Collector และ ขา Emitter ของทรานซิสเตอร์ที่อยู่ภายในออปโตไอโซเลเตอร์ ทำให้แรงดันที่ขา Base ของ Q1 วัดได้ประมาณ 0โวลต์ส่งผลให้แรงดันที่ขา Collector สูงเกือบเท่าแหล่งจ่ายหรือประมาณ 5 โวลท์ จึงไม่ทำงาน

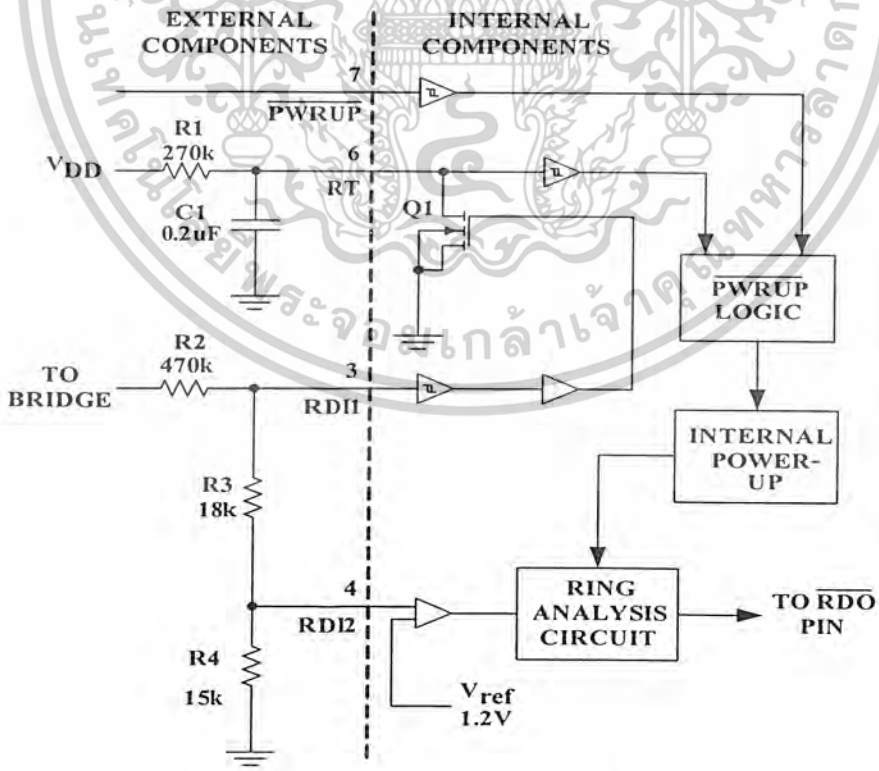
เมื่อมีการยกหูขึ้นจะทำให้แรงดันที่คู่สายตกลงเหลือประมาณ 8 ถึง 12 โวลท์ ซึ่งแรงดันจากคู่สายโทรศัพท์จะถูกจัดขั้วแรงดันใหม่ โดยบริดจ์ไดโอด BD1 แล้วผ่าน R1,ZD1,ZD2 เพื่อลดขนาดของแรงดันให้ต่ำลงเช่นเดียวกัน แต่แรงดันที่ลดขนาดลงนี้ ไม่เพียงพอที่จะทำให้ออปโตไอโซเลเตอร์ทำงานได้ส่งผลให้ Q1 ทำงานเนื่องจากที่ขา Base ได้รับแรงดันผ่านมาทาง R3 ทำให้เกิดกระแสไหลผ่านขา Collector และ Emitter ลงกราวด์ ดังนั้นแรงดันที่ขา Collector ของ Q1 จึงตกลงเหลือประมาณ 0 โวลท์ โดยมี R4 เป็นโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447



รูปที่3.2 แสดงวงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447



รูปที่3.3 แสดงวงจรภายนอก ที่เชื่อมต่อกับ ภายในMC14LC5447

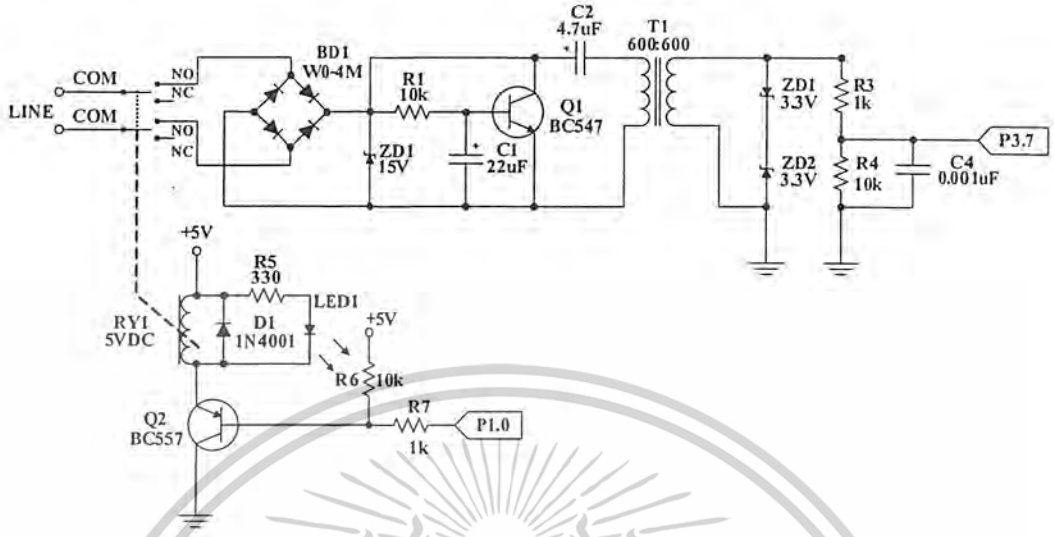
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

อุปกรณ์ภายนอกที่ต่อกับ IC MC14LC5447 นี้แสดงไว้ในรูปที่ 3.2 และ 3.3 ซึ่งจากรูปเมื่อเราจ่ายแรงดัน VDD ให้กับวงจร C1 ของวงจร RC network จะทำการชาร์จประจุให้ได้ค่าเท่ากับ VDD และจะทำให้ขา RT อยู่ในสภาวะ off และถ้าขาPWRUP (ขา17) ได้รับแรงดันเท่ากับ VDD จะทำให้ IC MC14LC5447 อยู่ในสภาวะ power-down และมันต้องการกระแสจากแหล่งจ่ายเพียง 1 μA R2และR4 จะทำหน้าที่เป็นตัวลดทอนกำลังของสัญญาณ ring ที่เข้ามา โดยค่าการลดทอนจะขึ้นอยู่กับค่าความต้านทาน R2 แรงดันที่จ่ายให้ขาRDI1 ที่จะทำให้วงจร Schmitt-trigger เริ่มทำงานได้จะต้องมีค่าประมาณ 40Vrms หรือมากกว่ากำลังของสัญญาณ ring ที่มาจากสายสัญญาณ tip และ ring เมื่อ V_T+ ของวงจร Schmitt-trigger มากเกินไป Q1 จะอยู่ในสภาวะอิ่มตัวและ C1 จะคายประจุให้กับ RT ซึ่งจะเป็นขั้นตอนแรกในการเปลี่ยนสภาวะเป็น power-up ซึ่งในขาRDI2 ก็จะมีลักษณะการทำงานที่คล้ายกับขาRDI1และในสภาวะนี้ IC MC14LC5447 จะต้องการกระแสเพิ่มเป็น 2.4 μA ค่าของ R1และC1 จะต้องเลือกค่าที่ทำให้ voltage ที่ขาRT ต่ำกว่าV_T+ ของ Schmitt-trigger ที่อยู่ระหว่าง cycle ของกำลังสัญญาณ ring และค่าของความถี่ที่สามารถขา RT ทำงานได้คือ 15.3 Hz ในขณะที่ขาRDI2 กำลังทำงาน ส่วนของแรงดันของกำลังสัญญาณ ring ซึ่งมีค่ามากกว่า 1.2 V จะถูกส่งไปให้วงจร ring analysis ซึ่งวงจรนี้จะเป็นวงจร digital integrator ซึ่งจะเห็นได้ในช่วง duty cycle ของสัญญาณที่เข้ามา เมื่อ input ที่เข้ามายังขา RDI2 นี้ มีแรงดันมากกว่า 1.2 V แล้ววงจร integrator จะนับด้วยอัตราเร็ว 800Hz แต่ถ้า input ที่เข้ามามีแรงดันที่ต่ำกว่า 1.2 V แล้ววงจร integrator จะนับด้วยอัตราเร็ว 400Hz สัญญาณ ring จะผ่านเข้ามาได้นั้นวงจรนับภายใน IC จะต้องนับ binary ได้ 48 และสัญญาณ ring จะผ่านเข้ามาไม่ได้ถ้าถ้าวงจรนับภายใน IC นับ binary ได้ต่ำลงเป็น 32 ซึ่งจำนวนของ cycle ของสัญญาณ ring ที่ต้องการจะขึ้นอยู่กับ amplitude ของสัญญาณที่ส่งให้กับขาRDI2 และเวลาที่สั้นที่สุดในการ qualify สัญญาณ ring จะมีค่าประมาณ 60mS และเวลาที่สั้นที่สุดในการ disqualify สัญญาณ ring จะมีค่าประมาณ 40 mS ถ้าสัญญาณ ring ได้ผ่านเข้ามาในวงจร สัญญาณที่ออกมาจากขาRDO จะอยู่ในสถานะ low และสัญญาณนี้จะ fed back กลับไปยังขา PWRUP ดังแสดงในรูปที่ 7 หรือจะใช้เป็นสัญญาณในการ interrupt ของ MCU ดังแสดงในรูปที่ 8 ในกรณีใดก็ตามแรงดันที่ขาPWRUP จะต่ำกว่า V_T- และวงจรจะอยู่ในโหมด power-up และพร้อมที่จะรับสัญญาณที่อยู่ในรูปของ FSK ซึ่งในขณะที่เป็น power-up นี้ IC จะต้องการกระแสเพิ่มเป็น 6.2 mA แต่ถ้าที่ขาRT ได้รับสัญญาณเป็น don't care จะทำให้แรงดันที่ขานี้กลับมาสู่แรงดัน VDD หลังจากที่ได้รับสัญญาณ FSK แล้ว ที่ขา PWRUP จะมีแรงดันกลับเข้าสู่แรงดัน VDD และจะกลับสู่ standby mode และต้องการกระแสน้อยกว่า 1 μA ของแหล่งจ่ายกระแสและจะพร้อมที่จะรับข้อมูลในครั้งต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรอิมพีแดนซ์ของคู่สายโทรศัพท์เสมือนเครื่องโทรศัพท์



รูปที่3.4 แสดงวงจรตรวจสอบสถานะการทำงานของอุปกรณ์

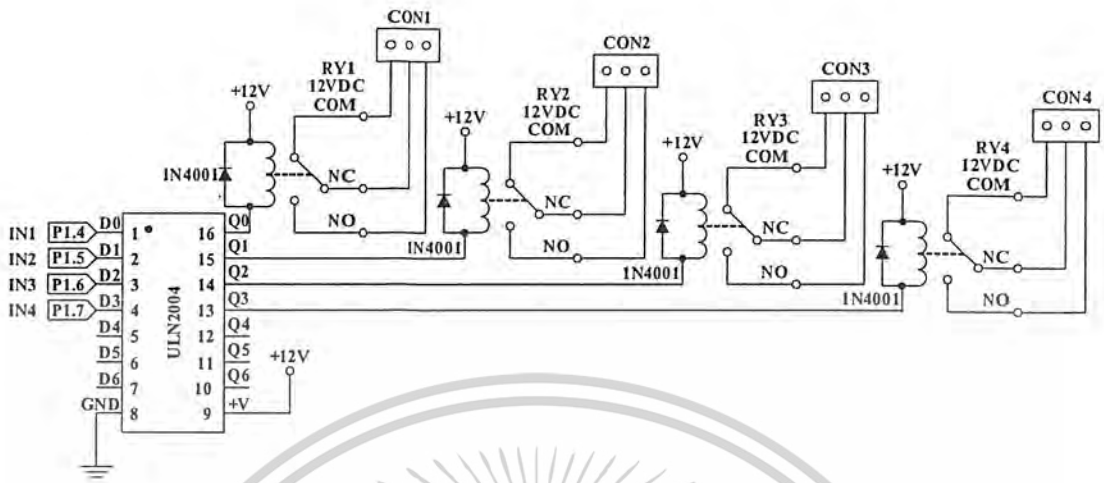
หลักการทำงาน

จากรูปวงจรที่3.4เมื่อยกหูโทรศัพท์ไมโครคอนโทรลเลอร์จะส่งสถานะHiมายังขาเบสของทรานซิสเตอร์เบอร์BC557ทำให้ทรานซิสเตอร์ไม่นำกระแส เมื่อทรานซิสเตอร์ไม่นำกระแส รีเลย์ไม่สามารถทำงานได้ จึงไม่มีแรงดันจากคู่สายโทรศัพท์ผ่านบริดจ์เร็กติไฟร์ทำให้วงจรอิมพีแดนซ์ของคู่สายโทรศัพท์เสมือนเครื่องโทรศัพท์ไม่ทำงาน

เมื่อไม่มีการยกหูโทรศัพท์แล้วสัญญาณกระดิ่งที่เข้ามาไมโครคอนโทรลเลอร์ทำการเปรียบเทียบรหัสเลขหมายที่เข้ามากับรหัสที่กำหนดไว้ว่าตรงกันหรือไม่ ถ้าตรงกันไมโครคอนโทรลเลอร์จะส่งสถานะLowมายังขาเบสของทรานซิสเตอร์เบอร์BC557ทำให้ทรานซิสเตอร์ทำงาน ทำให้รีเลย์ทำงานต่อหน้าสัมผัสทำให้แรงดันไฟตรงประมาณ48 ถึง52โวลต์ จากคู่สายโทรศัพท์จะถูกจัดขั้วแรงดันใหม่โดยบริดจ์เร็กติไฟร์และแรงดันถูกลดให้ต่ำลงโดยผ่านซีเนอร์ไดโอด ZD1และตัวต้านทานR1 หม้อแปลงคัปปลิ้งที่มีอินพุตอิมพีแดนซ์ต่อเอาต์พุทอิมพีแดนซ์600:600 ทำหน้าที่เป็นอิมพีแดนซ์ของคู่สายโทรศัพท์เสมือนเครื่องโทรศัพท์และสามารถคัปปลิ้งสัญญาณผ่านจากอินพุทมายังเอาต์พุตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4วงจรขับโหลดกระแสสูง



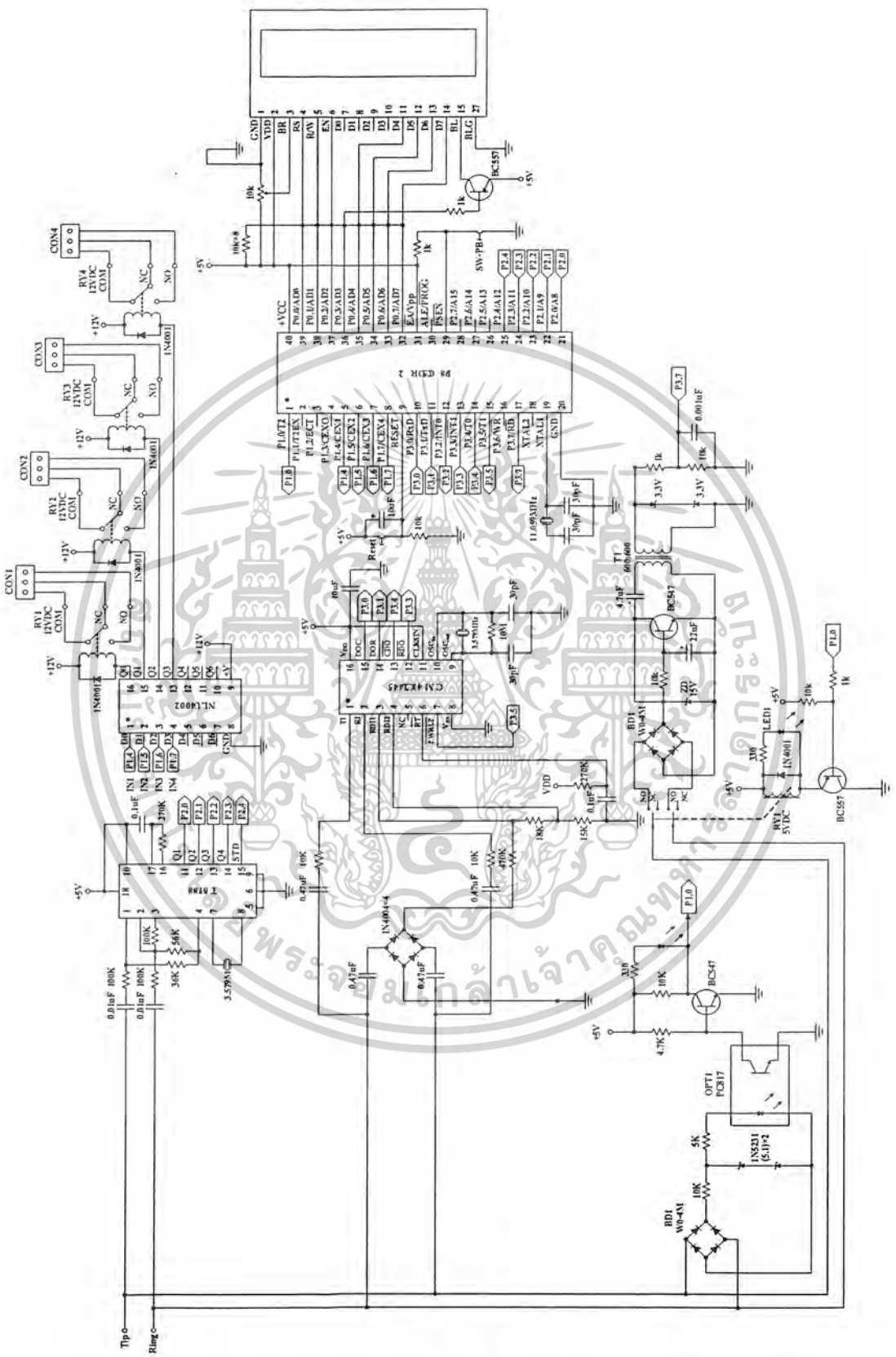
รูปที่3.5 แสดงวงจรขับโหลดกระแสสูง

หลักการทำงาน

จากรูปวงจรที่3.5 จะใช้ไอซีเบอร์ ULN2004 ในการขับโหลดกระแสสูงให้กับรีเลย์ทั้ง4ตัว เมื่อไมโครคอนโทรลเลอร์พอร์ต P1.4,P1.5,P1.6 และ P1.7 มีสภาวะเป็นลอจิก1 เข้าที่ไอซีเบอร์ ULN2004 ขา 1,2,3และ 4 จะทำให้รีเลย์ RY1,RY2,RY3 และRY4 ทำงานเป็นปกติเปิด เมื่อไมโครคอนโทรลเลอร์พอร์ต P1.4,P1.5,P1.6 และ P1.7 มีสภาวะเป็นลอจิก0 เข้าที่ไอซีเบอร์ ULN2003 ขา 1,2,3และ 4 จะทำให้รีเลย์ RY1,RY2,RY3 และRY4 ทำงานเป็นปกติปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน



รูปที่3.6 แสดงวงจรวงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

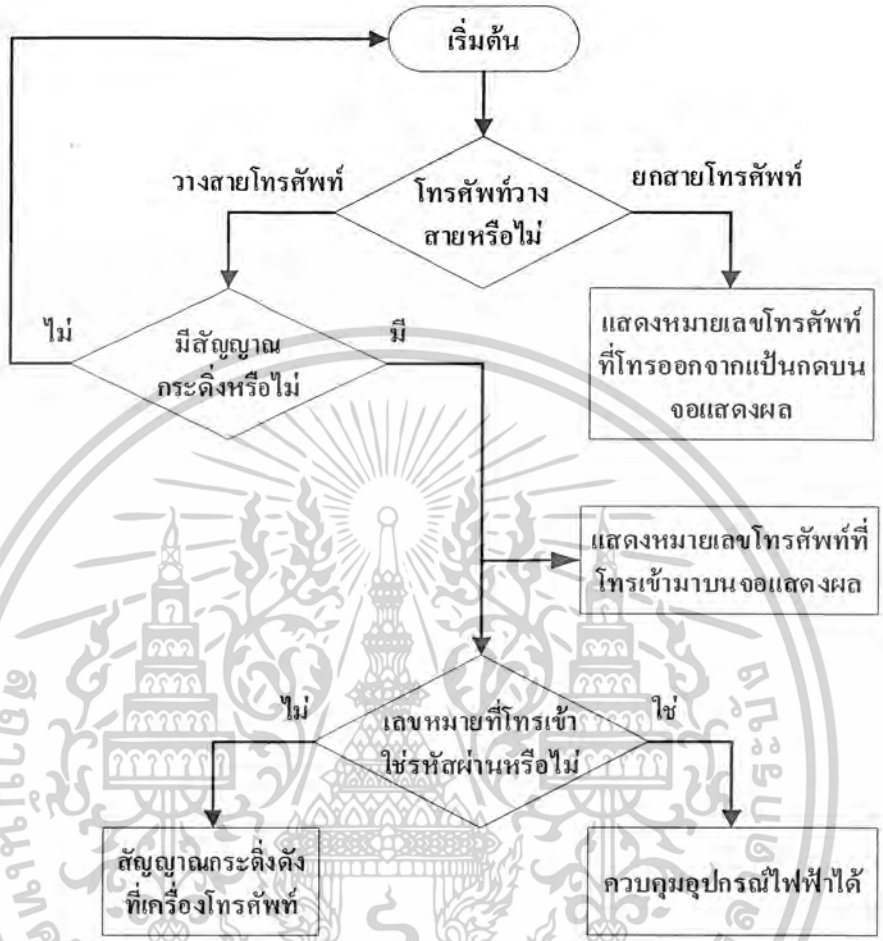
จากวงจรดังรูปที่ 3.6 เมื่อมีการยกหูโทรศัพท์จะทำให้วงจรตรวจสอบสถานะ Hook-On,Hook-Off ส่งสถานะ Low ไปยังไมโครคอนโทรลเลอร์ที่ขา12 หรือ พอร์ตP3.2จะทำให้ไมโครคอนโทรลเลอร์ทำการรอรับสัญญาณDTMF ที่ผ่านมาจากขา11ถึงขา15ของไอซี MT8870 ซึ่งเป็นตำแหน่ง Q1,Q2,Q3,Q4 และ STD ตามลำดับ สัญญาณที่ได้จากไอซี MT8870 จะถูกส่งไปยังไมโครคอนโทรลเลอร์ขา21ถึงขา25หรือพอร์ต P2.0ถึงพอร์ตP2.4 แล้วจะทำการประมวลผล ส่งสัญญาณต่อไปยังจอแสดงผลเพื่อทำการแสดงหมายเลขตามที่กดบนแป้นโทรศัพท์

ถ้าไม่มีการยกหูโทรศัพท์ วงจรตรวจสอบสถานะ Hook-On,Hook-Off จะทำการส่งสถานะHi ไปยังไมโครคอนโทรลเลอร์ที่ขา 12 จากนั้นไมโครคอนโทรลเลอร์จะทำการรอรับสัญญาณ จากไอซี MC14LC5447 ซึ่งถ้ามีสัญญาณกระดิ่งดังขึ้นขา12(RDO) ของไอซีMC14LC5447 จะส่งสถานะLOWไปให้ไมโครคอนโทรลเลอร์ทราบ ขา13(CDO) จะทำหน้าที่ตรวจสอบสัญญาณFSK เมื่อมีสัญญาณFSK จะส่งสถานะLOWไปให้ไมโครคอนโทรลเลอร์ จากนั้นไมโครคอนโทรลเลอร์จะแจ้งกลับมายังขา 7(PWRUP) เพื่อเป็นการยืนยันว่าไมโครคอนโทรลเลอร์พร้อมที่จะรับข้อมูลจากขา15(DOC)จะส่งสัญญาณที่เป็นช่วงData Signal ที่ถูกถอดจากสัญญาณFSK ไปเป็นสัญญาณดิจิตอลในรูปแบบของรหัส ASCII code ซึ่งไมโครคอนโทรลเลอร์จะทำการเปรียบเทียบเลขหมายที่เข้ามากับเลขหมายที่กำหนดขึ้นว่าใช่เลขหมายเดียวกันหรือไม่ ถ้าเป็นเลขหมายเดียวกันจะสามารถควบคุมอุปกรณ์ไฟฟ้าได้ ไมโครคอนโทรลเลอร์จะส่งสัญญาณมายังพอร์ตP1.0เพื่อให้วงจรอิมพีแดนซ์ของคู่สายโทรศัพท์เสมือนเครื่องโทรศัพท์ทำงานเสมือนกับการยกหู โทรศัพท์ เช่น เมื่อกดเลขหมาย #11(อุปกรณ์ไฟฟ้าชุดที่1ทำงาน)บนแป้นโทรศัพท์ไอซี MT8870จะทำการถอดรหัส โดยที่ตำแหน่งQ1 มีสถานะเป็นHi ซึ่งตำแหน่งQ1 จะส่งไปที่พอร์ต P2.0 เมื่อไมโครคอนโทรลเลอร์รับสัญญาณนี้ได้จะส่งสัญญาณออกมาที่พอร์ต P3.7 ซึ่งเป็นสัญญาณเสียงตอบกลับให้รับรู้ว่าไมโครคอนโทลเลอร์ได้รับสัญญาณที่กดจากแป้นโทรศัพท์แล้วและไมโครคอนโทรลเลอร์ส่งสัญญาณจากพอร์ต P1.4 มีสภาวะเป็นลอจิก1 เข้าที่ขา 1ของไอซีเบอร์ULN2004 จะทำให้รีเลย์ RY1 ทำงานเป็นปกติเปิด

เมื่อกดเลขหมาย #01(อุปกรณ์ไฟฟ้าชุดที่1หยุดทำงาน)บนแป้นโทรศัพท์ไอซีMT8870จะทำการถอดรหัส โดยที่ตำแหน่งQ1 มีสถานะเป็นLow ซึ่งตำแหน่งQ1 จะส่งไปที่พอร์ต P2.0 เมื่อไมโครคอนโทรลเลอร์รับสัญญาณนี้ได้ จะส่งสัญญาณออกมาที่พอร์ต P3.7 ซึ่งเป็นสัญญาณเสียงตอบกลับให้รับรู้ว่าไมโครคอนโทลเลอร์ได้รับสัญญาณที่กดจากแป้นโทรศัพท์แล้วและไมโครคอนโทรลเลอร์ส่งสัญญาณจากพอร์ต P1.4 มีสภาวะเป็นลอจิก0 เข้าที่ขา 1ของไอซีเบอร์ULN2004 จะทำให้รีเลย์ RY1 ทำงานเป็นปกติปิด เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 โฟล์วชาร์ทแสดงการทำงานของวงจรทั้งหมด



รูปที่3.7 แสดงบล็อกไดอะแกรมของวงจรแสดงหมายเลขโทรศัพท์เพื่อควบคุมอุปกรณ์ไฟฟ้าภายในบ้าน

จากบล็อกไดอะแกรมข้างต้นจะเห็นว่าวงจรจะตรวจสอบว่าเครื่องโทรศัพท์มีการใช้สายหรือมีการยกหูโทรศัพท์หรือไม่ ถ้ามีการยกหูโทรศัพท์วงจรจะทำหน้าที่แสดงหมายเลขที่โทรออกจากแป้นกดบนจอแสดงผล แต่ถ้าวางสายหรือไม่มีการใช้สายโทรศัพท์วงจรจะทำหน้าที่รอรับสัญญายริงที่มาจากสายโทรศัพท์ โดยไมโครคอนโทรลเลอร์จะตรวจสอบว่ามีสัญญาณกระดิ่งหรือไม่เมื่อได้รับสัญญาณกระดิ่งที่2 เนื่องจากสัญญาณข้อมูลที่เป็นFSKจะอยู่ช่วงระหว่างสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ถ้าตรวจสอบว่าไม่มีสัญญาณกระดิ่งจะกลับไปตรวจสอบว่าโทรศัพท์มีการยกหูหรือไม่ แต่ถ้ามีสัญญาณกระดิ่งวงจรจะแสดงหมายเลขที่โทรเข้าบนจอแสดงผลและจะทำการตรวจสอบเลขหมายที่โทรเข้าว่าเป็นเลขหมายที่กำหนดไว้ให้เป็นรหัสผ่านหรือไม่ ถ้าไม่ใช่สัญญาณกระดิ่งจะดังที่เครื่องโทรศัพท์เหมือนเครื่องโทรศัพท์พื้นฐานทั่วไปแต่ถ้าเป็นเลขหมายที่ถูกกำหนดให้เป็นรหัสผ่านจะสามารถไปควบคุมอุปกรณ์ไฟฟ้าภายในบ้านได้โดยกดเลือกอุปกรณ์ที่จะควบคุมผ่านแป้นโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

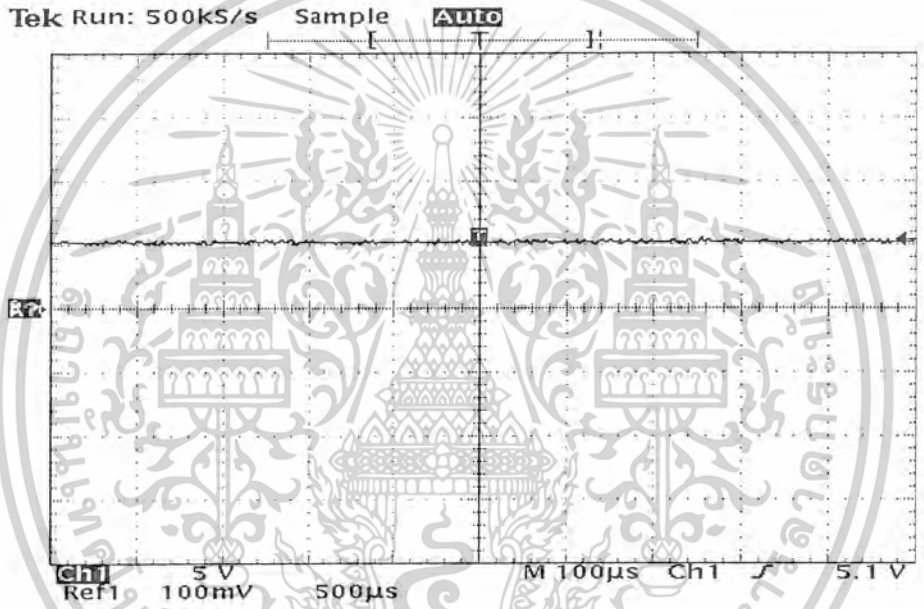
บทที่4

การทดลองและผลการทดลอง

4.1การทดลองการป้อนสัญญาณโทรศัพท์เข้าวงจรตรวจสอบสถานะ Hook-On,Hook-Off

4.1.1วัดสัญญาณที่ขาเอาต์พุตของวงจร

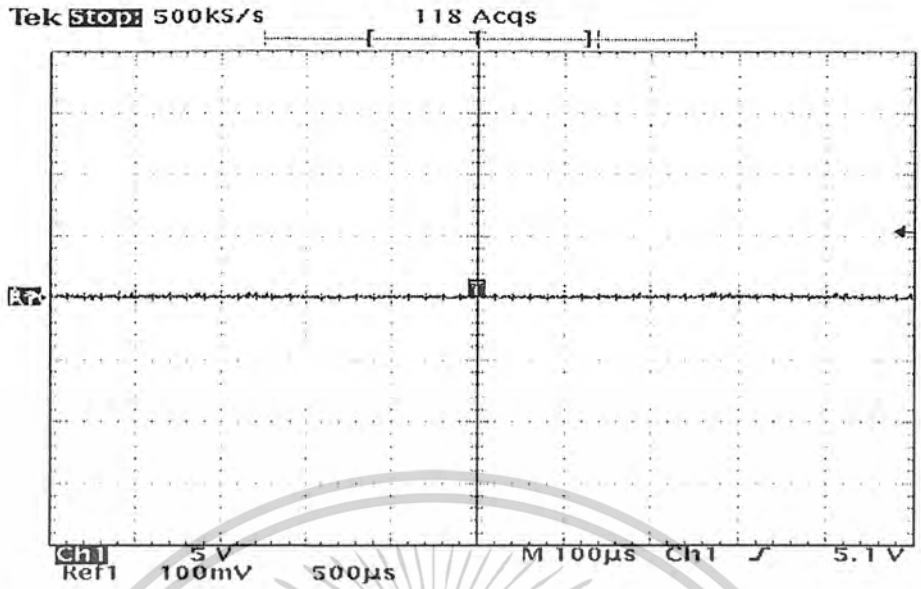
จากรูปที่4.1 จะเห็นว่าเมื่อวัดสัญญาณเอาต์พุตของวงจรตรวจสอบสถานะ Hook-On,Hook-Off เมื่อไม่มีการยกหูโทรศัพท์หรือวางสายจะได้รับระดับสัญญาณไฟฟ้าประมาณ 5 โวลต์ ซึ่งระดับสัญญาณไฟฟ้านี้จะถูกส่งต่อไปยังขา12 คือพอร์ต P3.2 ของไมโครคอนโทรลเลอร์เพื่อให้ไมโครคอนโทรลเลอร์รับรู้ว่าไม่มีการยกหูโทรศัพท์



รูปที่4.1 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-On(วางสาย)

จากรูปที่4.2 จะเห็นว่าระดับสัญญาณที่วัดคร่อมของขาคอลเล็คเตอร์และอิมิตเตอร์ของทรานซิสเตอร์ Q1 เบอร์ BC547 จะทำให้ได้แรงดันไฟฟ้า 0 โวลต์ เนื่องจากมีการยกหูโทรศัพท์เกิดขึ้น ดังนั้นสัญญาณไฟฟ้านี้จะถูกส่งต่อไปยังขา12 หรือพอร์ต P3.2 ของไมโครคอนโทรลเลอร์เพื่อให้ไมโครคอนโทรลเลอร์ได้รับรู้ว่ามีการยกหูโทรศัพท์

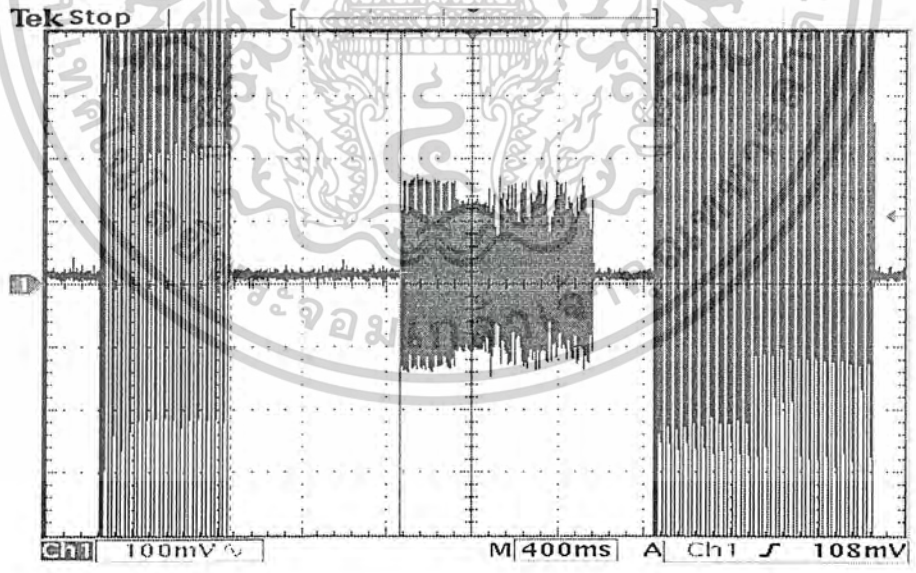
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.2 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-Off(ยกสาย)

4.2 การทดลองวัดสัญญาณโทรศัพท์

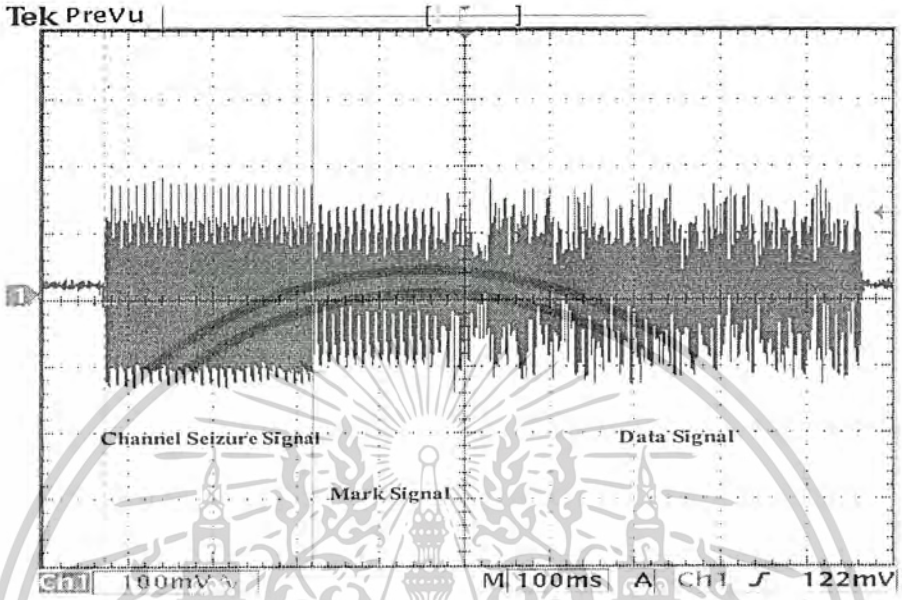
จากรูปที่4.3 จะเห็นว่าสัญญาณFSKจะถูกส่งมาตามสายโทรศัพท์โดยจะส่งในช่วงระหว่างสัญญาณกระดิ่งแรกและสัญญาณกระดิ่งที่2



รูปที่4.3 แสดงสัญญาณ FSK ที่อยู่ระหว่างสัญญาณกระดิ่งแรกและสัญญาณกระดิ่งที่2

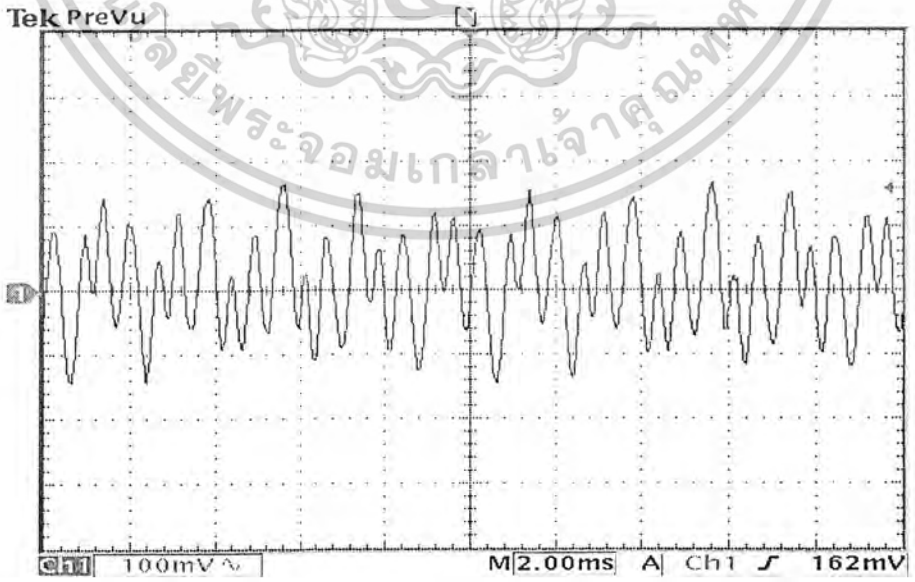
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.4 จากสัญญาณFSKที่อยู่ระหว่างสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 เมื่อทำการขยายภาพสัญญาณจากรูปที่4.3 จากเครื่องออสซิสโลสโคป โดยขยายให้เหลือเฉพาะสัญญาณFSK ซึ่งสัญญาณจะมีส่วนประกอบดังนี้ คือ ช่วงChannel Seizure Signal, ช่วงMark Signal และช่วงData Signal



รูปที่4.4 แสดงสัญญาณ FSK ช่วง Channel Seizure Signal, Mark Signal และ Data Signal

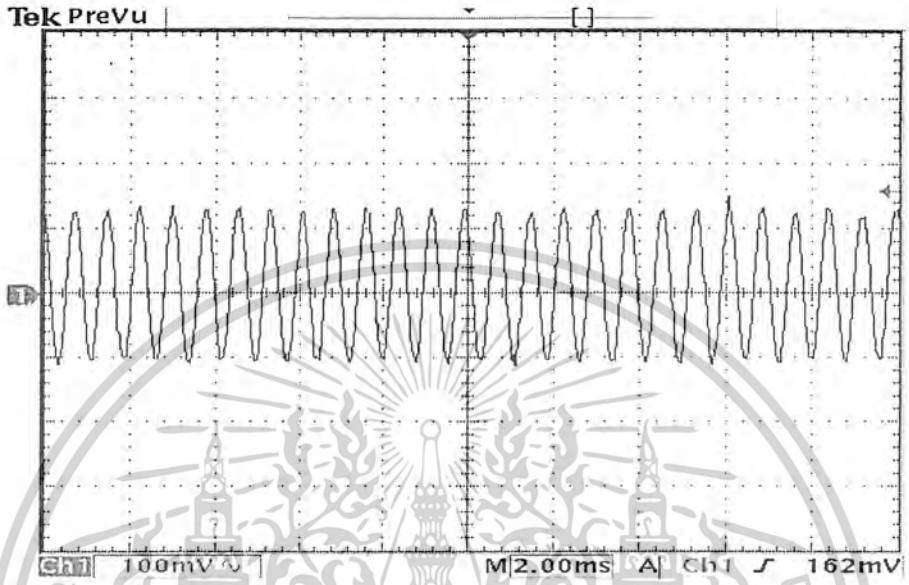
จากรูปที่4.5 เมื่อขยายสัญญาณให้เฉพาะช่วงChannel Seizure Signal ที่มาจากสายโทรศัพท์ ซึ่งยังคงเป็นสัญญาณแบบFSK ซึ่งเป็นสัญญาณที่บอกให้ไมโครคอนโทรลเลอร์เตรียมพร้อมในการรับข้อมูล



รูปที่4.5 แสดงสัญญาณช่วง Channel Seizure Signal เมื่อขยายดู

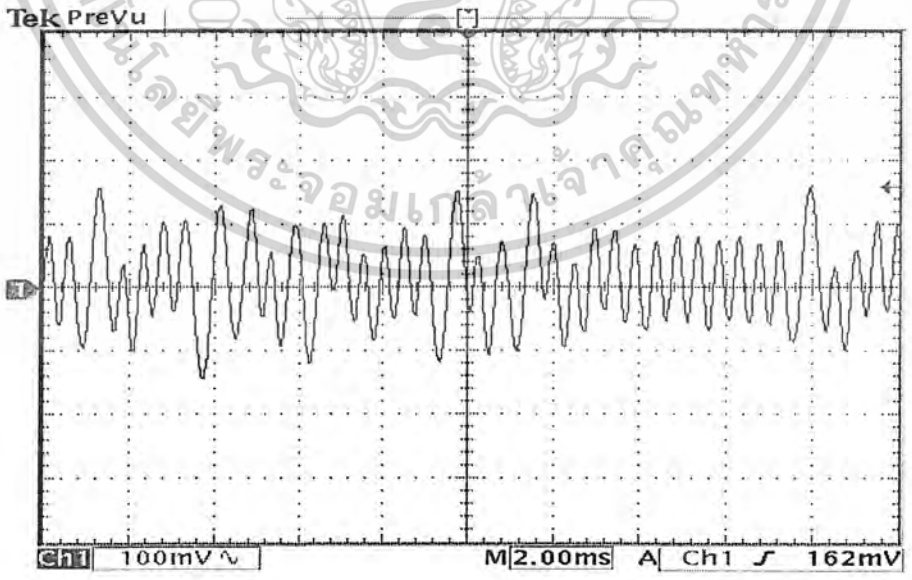
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.6 แสดงสัญญาณFSK ของช่วงMark Signal ที่มาจากสายโทรศัพท์ซึ่งสัญญาณนี้เป็นสัญญาณหน่วงเวลาให้ไมโครคอนโทรลเลอร์เตรียมพร้อมหน่วงเวลาประมาณ 130 ms±25 ms เมื่อหมดสัญญาณนี้ต่อไปจะเป็นสัญญาณช่วงData Signal ทันที



รูปที่4.6 แสดงสัญญาณช่วง Mark Signal เมื่อขยายดู

จากรูปที่4.7 แสดงสัญญาณFSK ของช่วงData Signal ที่มาจากสายโทรศัพท์ซึ่งสัญญาณนี้จะส่งข้อมูลวัน เดือน ชั่วโมง เบอร์ที่โทรมาจากต้นทางและเบอร์ที่โทรไปหาปลายทาง



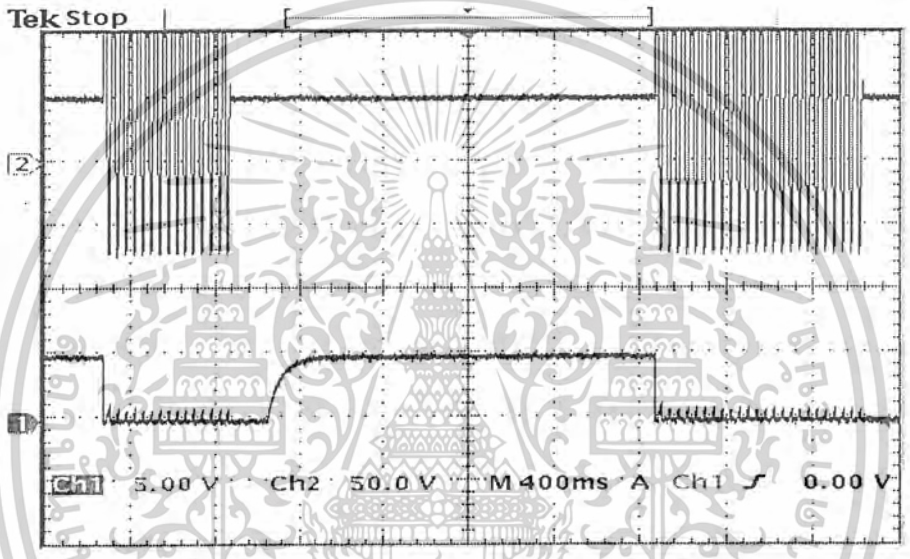
รูปที่4.7 แสดงสัญญาณช่วง Data Signal เมื่อขยายดู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรที่ต่อกับไอซี MC14LC5447 ที่ใช้ในการทดลอง

4.3.1 วัดสัญญาณที่ขาต่างๆที่สำคัญของไอซี MC14LC5447

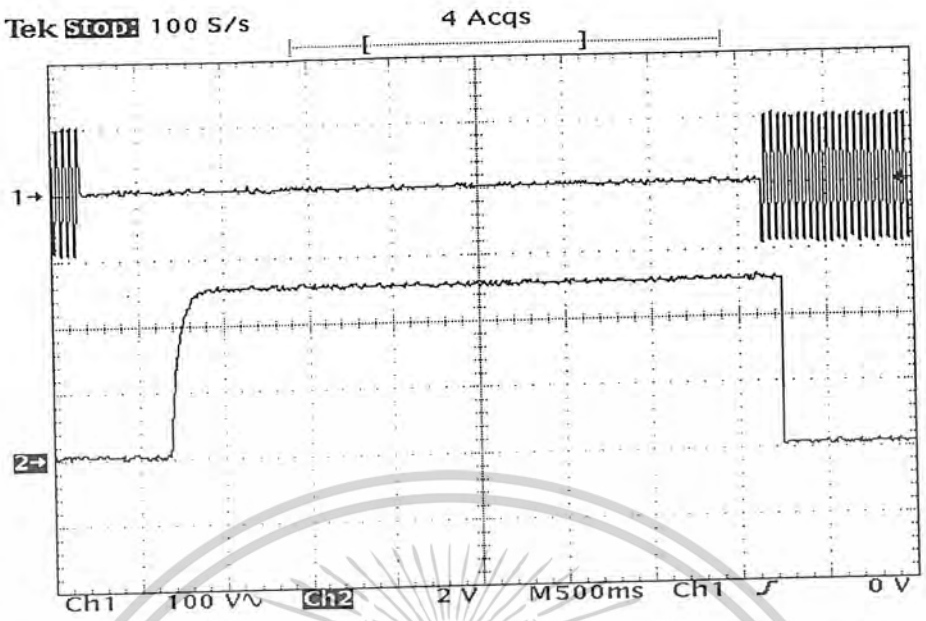
จากรูปที่4.8 แสดงสัญญาณที่วัดได้จากขา6 ของไอซี MC14LC5447 หรือขาRing Time(RT) เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ซึ่งขานี้ทำหน้าที่ตรวจสอบสัญญาณกระดิ่งที่เข้ามา ซึ่งถ้าไม่มีสัญญาณกระดิ่งเข้ามาที่ขานี้จะมีสถานะเป็นHi เมื่อมีสัญญาณกระดิ่งเข้าที่ขา6นี้จะเปลี่ยนสถานะเป็นLow คุณสมบัติที่ได้จากขานี้สามารถนำไปตรวจสอบความบกพร่องของไอซีขั้นตอนหนึ่งว่าเสียหายหรือไม่



รูปที่4.8 แสดงสัญญาณที่ขาRing Timeเทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่ 2

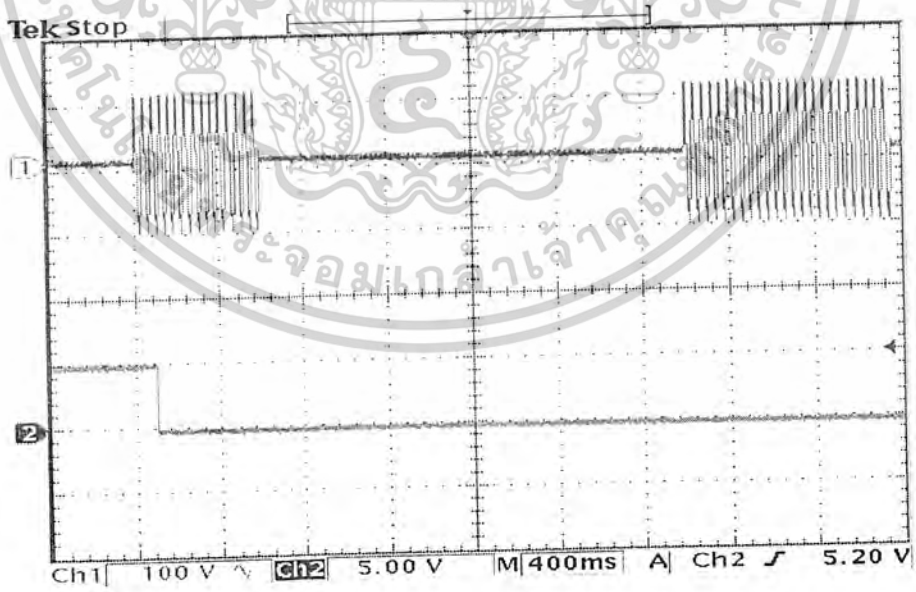
จากรูปที่4.9 แสดงสัญญาณที่วัดได้จากขา12 ของไอซี MC14LC5447 หรือขาRing Detect Output(RDO)เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ซึ่งขานี้ทำหน้าที่ส่งสัญญาณไปให้ไมโครคอนโทรลเลอร์ขา13 หรือพอร์ท P3.3 เมื่อมีสัญญาณกระดิ่งจากสายโทรศัพท์เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.9 แสดงสัญญาณที่ขาRing Detect Output เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2

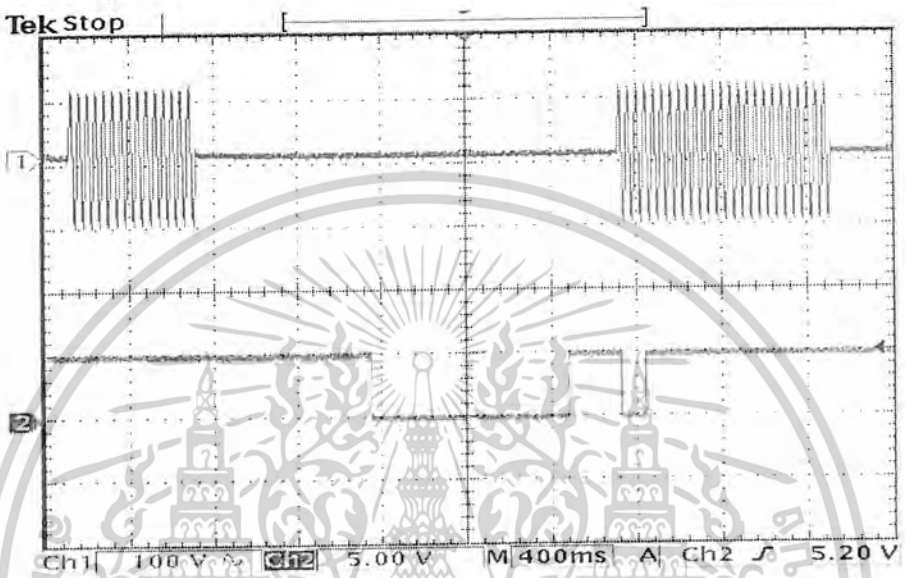
จากรูปที่ 4.10 แสดงสัญญาณที่วัดได้จากขา17 ของไอซี MC14LC5447 หรือขาPower Up(PWRUP)เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ซึ่งขานี้จะทำหน้าที่รับสัญญาณที่แจ้งกลับมาจากไมโครคอนโทรลเลอร์ขา15 หรือพอร์ท3.5ว่าพร้อมที่จะรับสัญญาณข้อมูล



รูปที่4.10 แสดงสัญญาณที่ขาPower Up เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

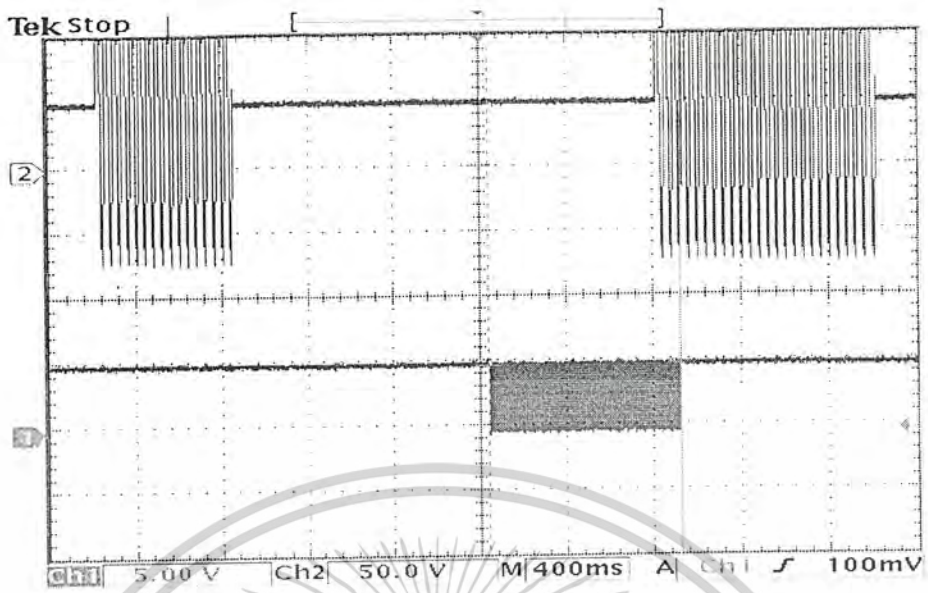
จากรูปที่4.11 แสดงสัญญาณที่วัดได้จากขา13 ของไอซี MC14LC5447 หรือ ขาCarrier Detect Output(CDO)เทียบกับสัญญาณกระดิ่งที่1และสัญญารกระดิ่งที่2 ซึ่งจะทำหน้าที่ตรวจสอบสัญญาณFSK ถ้าไม่มีสัญญาณFSKเข้ามาในสายโทรศัพท์จะมีสถานะเป็นHiตลอด แต่ถ้ามีสัญญาณFSK ช่วงที่มีสัญญาณ FSK จะเป็นLow สัญญาณที่ได้นี้จะส่งให้กับไมโครคอนโทรลเลอร์ขา14 หรือพอร์ทP3.4 เพื่อไปทำการประมวลผล



รูปที่4.11 แสดงสัญญาณที่ขา Carrier Detect Output เทียบกับสัญญาณกระดิ่งที่1 และสัญญาณกระดิ่งที่2

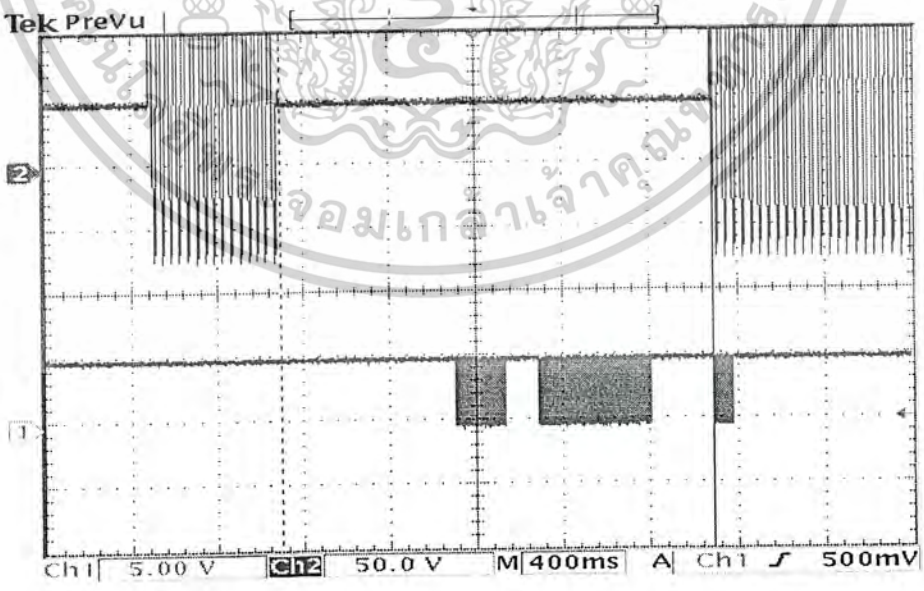
จากรูปที่4.12 แสดงสัญญาณที่วัดได้จากขา15 ของไอซี MC14LC5447 หรือขาData Output Cooked(DOC)เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ซึ่งขานี้เป็นขาที่แสดงสัญญาณเฉพาะช่วงData Signal ที่ถูกแปลงจากสัญญาณFSK ไปเป็นสัญญาณดิจิตอลในรูปแบบของรหัส ASCII สัญญาณนี้จะส่งไปยังไมโครคอนโทรลเลอร์ขา10 หรือพอร์ทP3.0 เพื่อไปทำการแปลงรหัส ASCII ให้เป็นอักขระขึ้นที่จอแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.12 แสดงสัญญาณที่ขา Data Output Cooked เทียบกับสัญญาณกระดิ่งที่1และ
และสัญญาณกระดิ่งที่2

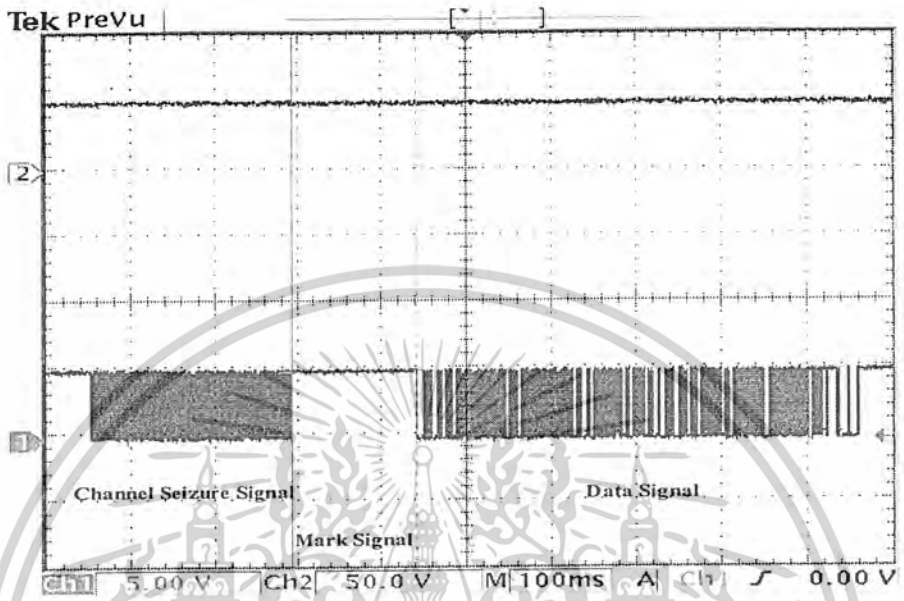
จากรูปที่4.13 แสดงสัญญาณที่วัดได้จากขา14 ของไอซี MC14LC5447 หรือขา Data Out Raw(DOR) เทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2 ซึ่งขานี้เป็นขาที่แสดงสัญญาณFSK ที่ถูกแปลงเป็นสัญญาณดิจิตอลทั้งหมดซึ่งประกอบด้วยช่วงChannel Seizure Signal, ช่วงMark Signal และช่วง Data Signal



รูปที่4.13 แสดงสัญญาณที่ขาData Out Rawเทียบกับสัญญาณกระดิ่งที่1และสัญญาณกระดิ่งที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

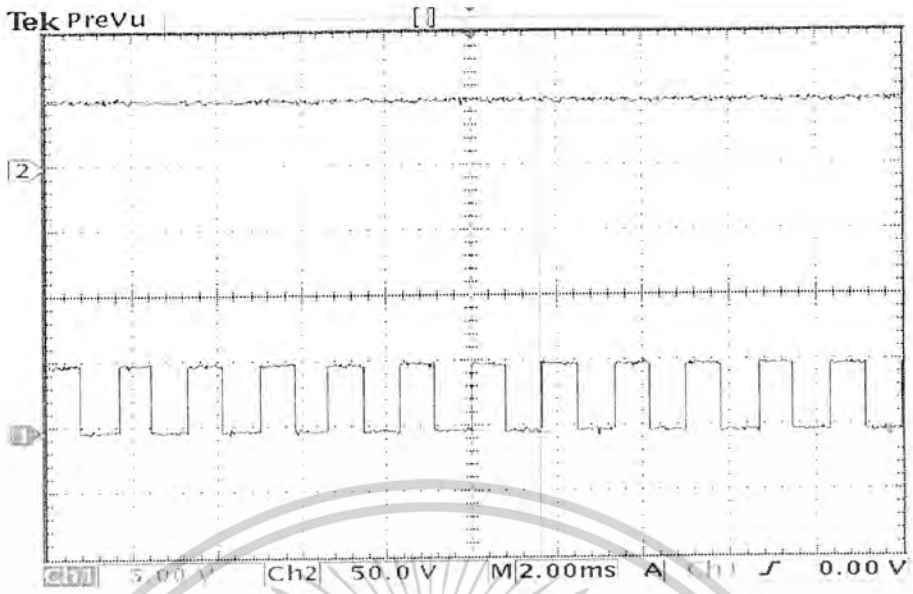
จากรูปที่4.14 แสดงสัญญาณที่วัดได้จากขา14 ของไอซี MC14LC5447 หรือขา Data Out Raw ซึ่งเมื่อทำการขยายภาพสัญญาณให้เหลือเฉพาะช่วงChannel Seizure Signal, ช่วงMark Signal และช่วงData Signal ที่ถูกแปลงเป็นสัญญาณดิจิตอล จะเห็นได้ชัดเจนว่าช่วงMark Signal มีสภาวะเป็นHiตลอดช่วง



รูปที่4.14 แสดงสัญญาณที่ขา Data Out Raw ที่ประกอบไปด้วย ช่วงChannel Seizure signal, ช่วงMark signal และช่วงMessage Word หรือช่วงData Signal

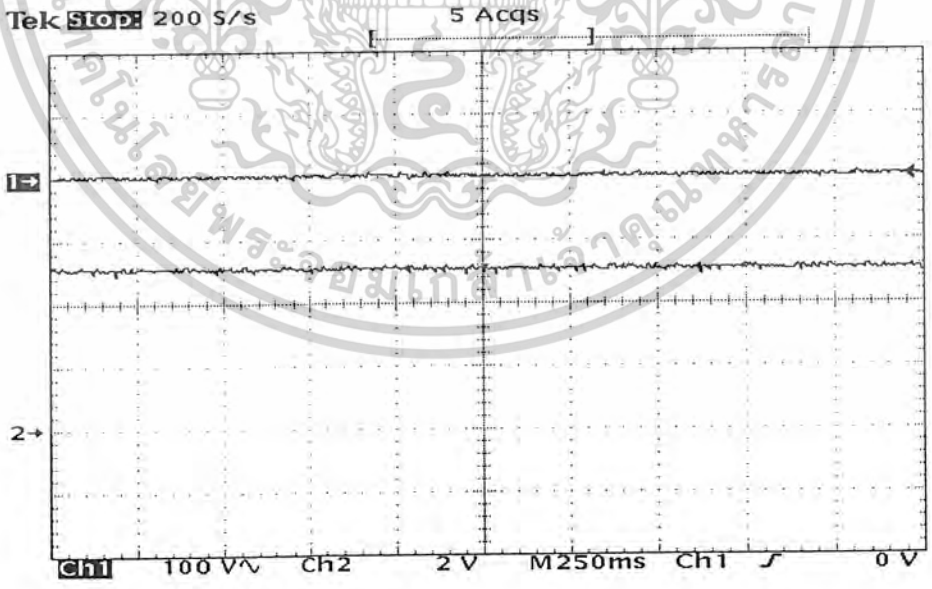
จากรูปที่4.15 แสดงสัญญาณที่วัดได้จากขา14 ของไอซี MC14LC5447 หรือขา Data Out Rawซึ่งเมื่อทำการขยายภาพสัญญาณให้เหลือเฉพาะช่วงChannel Seizure Signal ที่ถูกแปลงเป็นสัญญาณดิจิตอล จะเห็นว่าสัญญาณมีลักษณะเป็นสัญญาณนาฬิกา สัญญาณนี้จะเป็นสัญญาณให้ไมโครคอนโทรลเลอร์เตรียมพร้อมในการรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.15 แสดงสัญญาณที่ขา Data Out Raw ช่วง Channel Seizure Signal เมื่อขยายดู

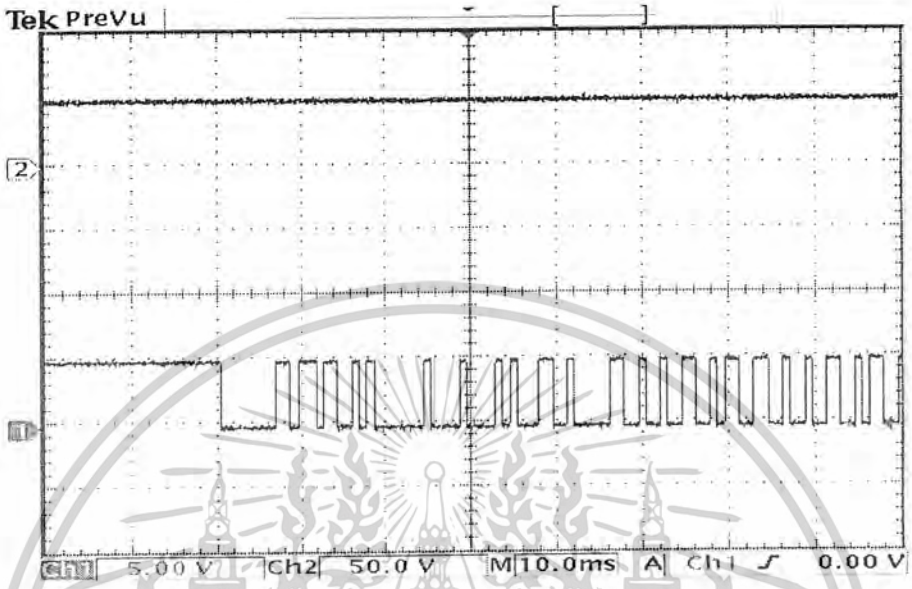
จากรูปที่4.16 แสดงสัญญาณที่วัดได้จากขา14 ของไอซี MC14LC5447 หรือขา Data Out Raw ซึ่งเมื่อทำการขยายภาพสัญญาณให้เหลือเฉพาะช่วงMark signal ที่ถูกแปลงเป็นสัญญาณดิจิตอลจะเห็นว่าช่วงMark signal จะมีค่าเป็นHiตลอดช่วง สัญญาณนี้จะเป็นสัญญาณหน่วงเวลาให้ไมโครคอนโทรลเลอร์พร้อมรับข้อมูลเมื่อสิ้นสัญญาณนี้ไมโครคอนโทรลเลอร์จะทำการรับข้อมูลทันที



รูปที่4.16 แสดงสัญญาณที่ขา Data Out Raw ช่วงMark signal เมื่อขยายดู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.17 แสดงสัญญาณที่วัดได้จากขา14 ของไอซี MC14LC5447 หรือขา Data Out Raw ซึ่งเมื่อทำการขยายภาพสัญญาณให้เหลือเฉพาะช่วง Data Signal ที่แปลงเป็นสัญญาณดิจิตอล ซึ่งสัญญาณนี้จะเป็นข้อมูลของวัน เดือน ชั่วโมง เบอร์โทรต้นทางและเบอร์โทรปลายทาง



รูปที่4.17 แสดงสัญญาณที่ขา Data Out Raw ช่วง Message Word หรือช่วงData Signal เมื่อขยายดู

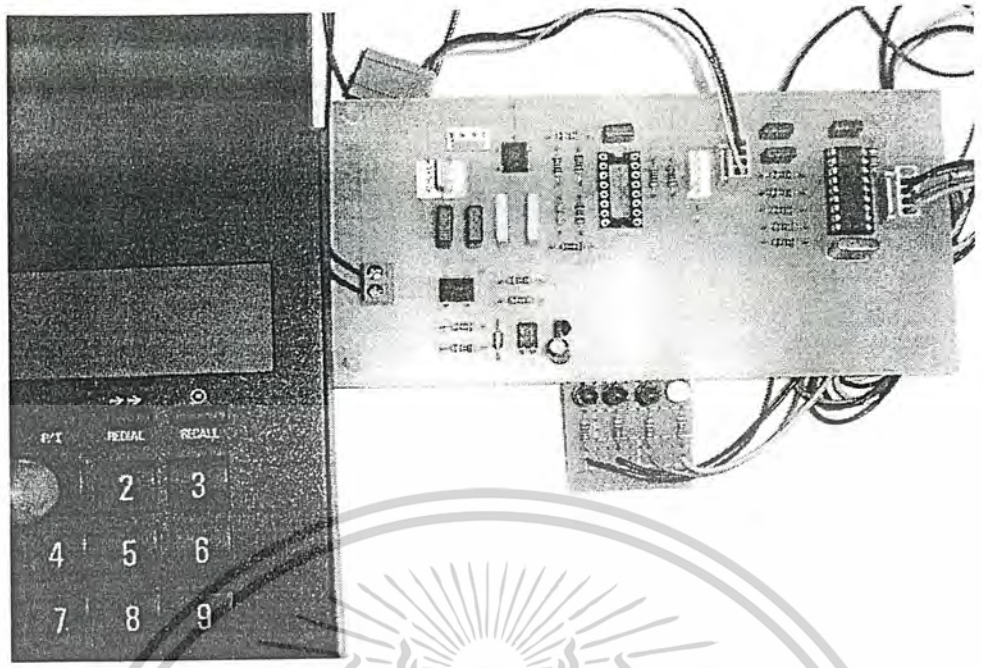
4.4 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรที่ต่อกับไอซี MT8870 ที่ใช้ในการทดลอง

4.4.1 วัดสัญญาณที่ขาต่างๆที่สำคัญของไอซี MT8870

จากวงจรถอดรหัสDTMF ความถี่ขาเข้าที่ขา1และขา3ของไอซี MT8870 ซึ่งเป็นสัญญาณ Tipและ Ring ของสายโทรศัพท์ ส่วนความถี่ขาออกจะถูกถอดเป็นสัญญาณดิจิตอลนั้นจะออกที่ขา15 ถึงขา11ซึ่งคือตำแหน่งที่Q4, ตำแหน่งที่Q3, ตำแหน่งที่Q2และตำแหน่งที่Q1ตามลำดับโดยที่ขา15 เป็นตำแหน่งMSBและขา11เป็นตำแหน่งLSB

จากรูปที่4.18 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข1บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q1หรือขา11จะติดสว่างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.18 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q1

จากรูปที่4.19 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข2บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q2หรือขา12จะติดสว่างขึ้น

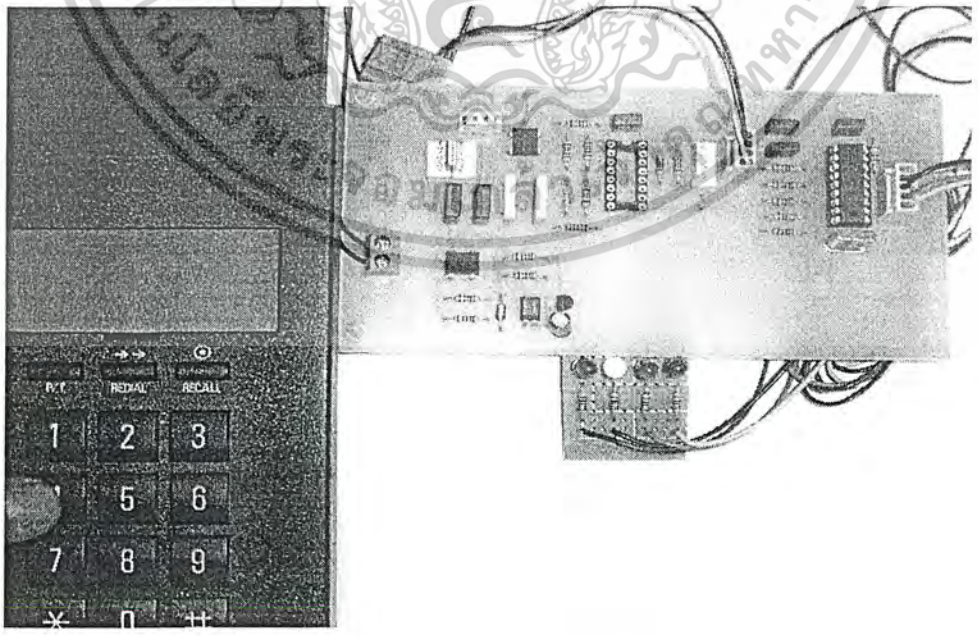
รูปที่4.19 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.20 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข3บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q2และตำแหน่งที่Q1จะติดสว่างขึ้น

รูปที่4.20 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q2และตำแหน่งที่Q1

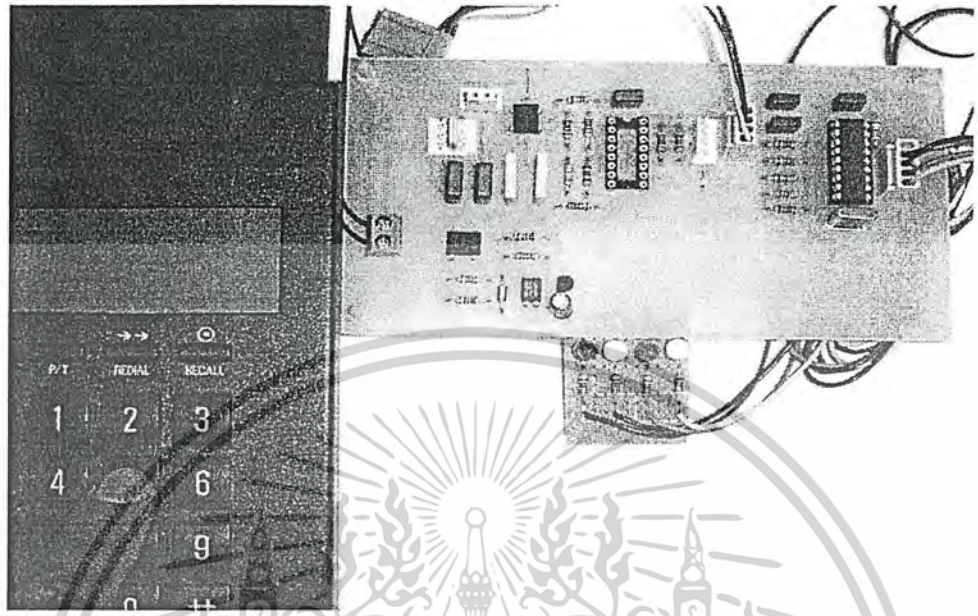
จากรูปที่4.21 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข4บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q3หรือขา14จะติดสว่างขึ้น



ที่4.21 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3

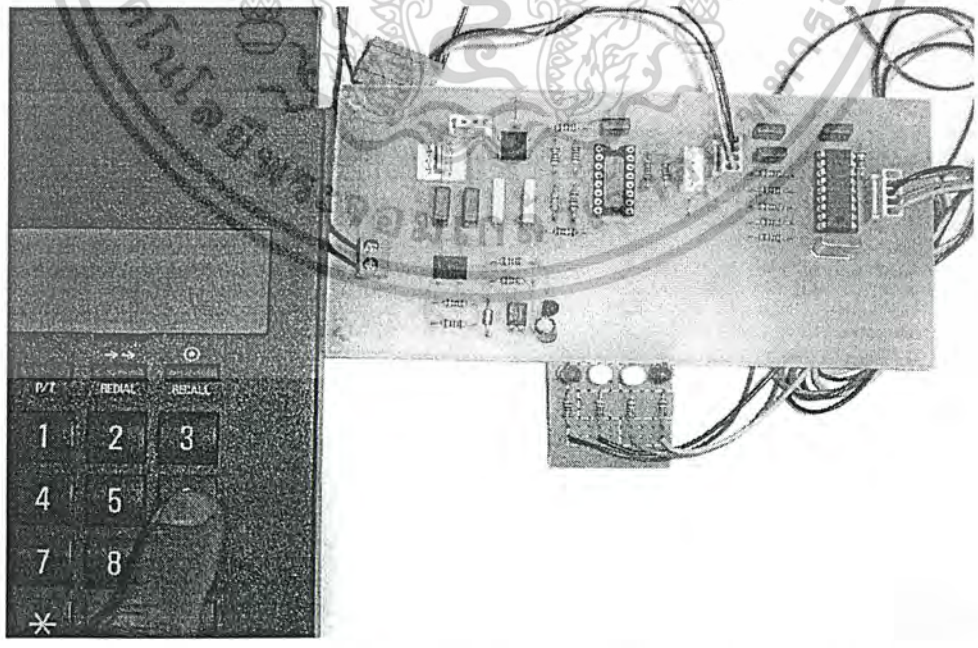
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.22 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข5บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q3และตำแหน่งที่Q1จะติดสว่างขึ้น



รูปที่4.22 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3และตำแหน่งที่Q1

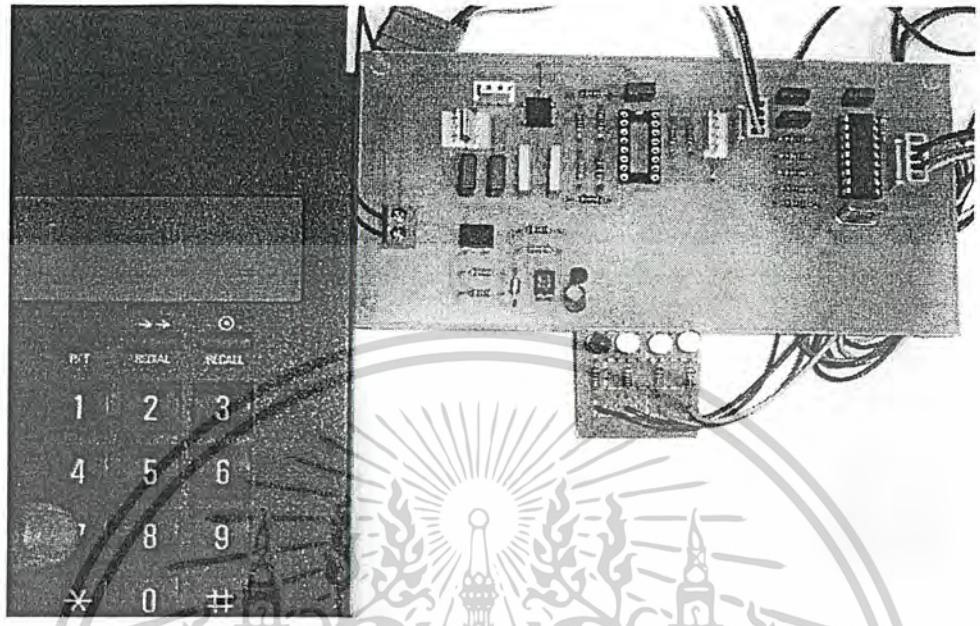
จากรูปที่4.23 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข6บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q3และตำแหน่งที่Q2จะติดสว่างขึ้น



รูปที่4.23 แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3และตำแหน่งที่Q2

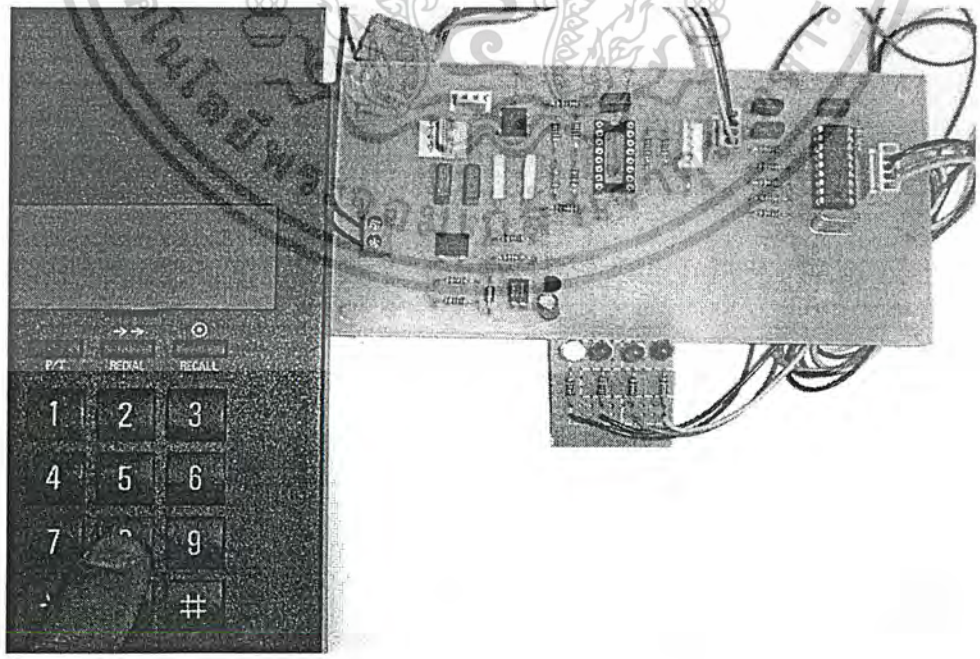
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.24 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข7บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q3,ตำแหน่งที่Q2และตำแหน่งที่Q1จะติดสว่างขึ้น



รูปที่4.24แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q3,ตำแหน่งที่Q2และตำแหน่งที่Q1

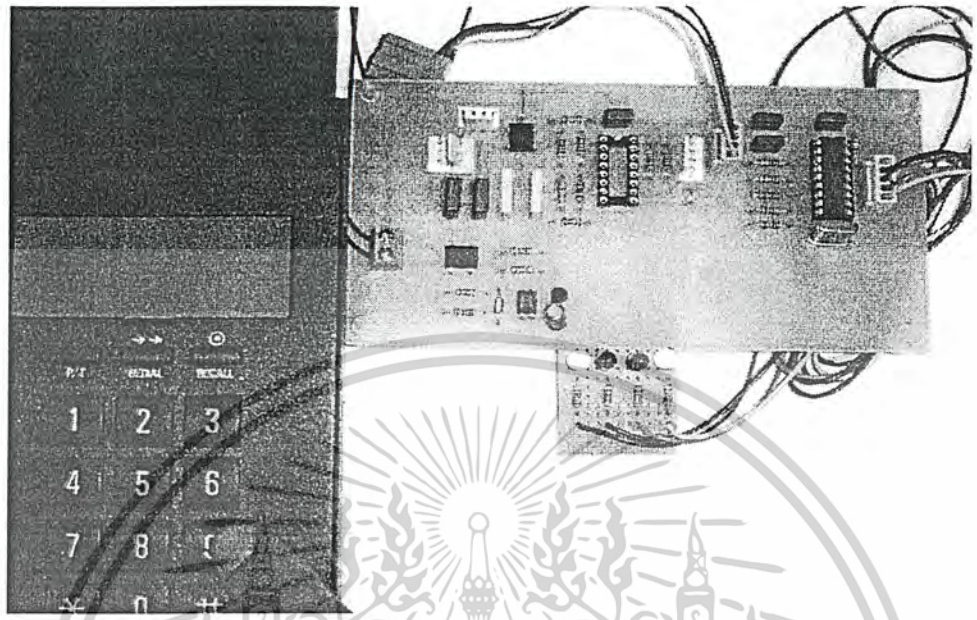
จากรูปที่4.25 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข8บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q4หรือขา15ติดสว่างขึ้น



รูปที่4.25แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4

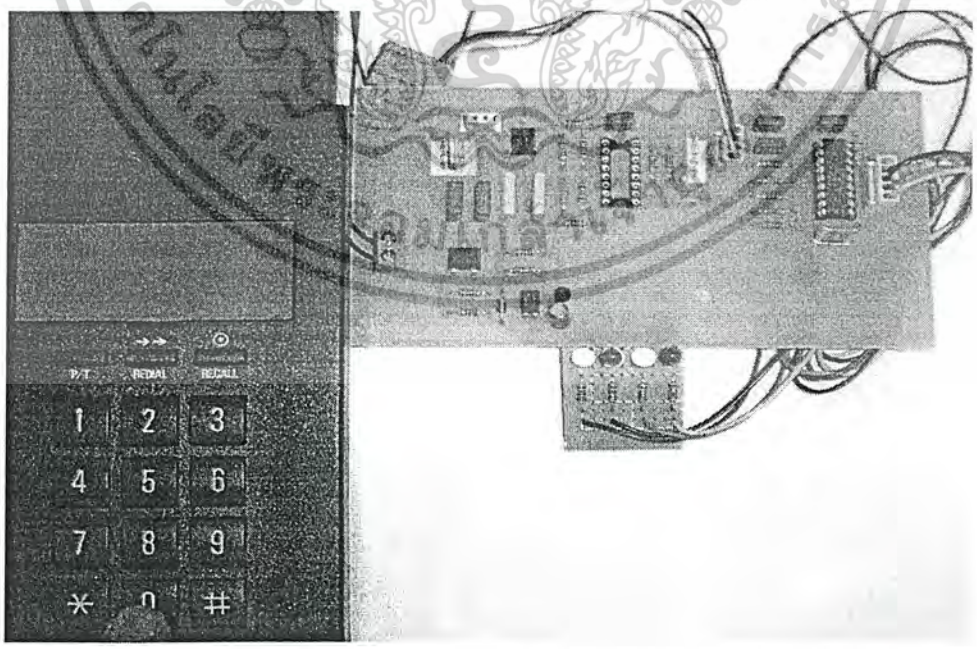
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.26 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข9บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q4 และตำแหน่งที่Q1จะติดสว่างขึ้น



รูปที่4.26แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q1

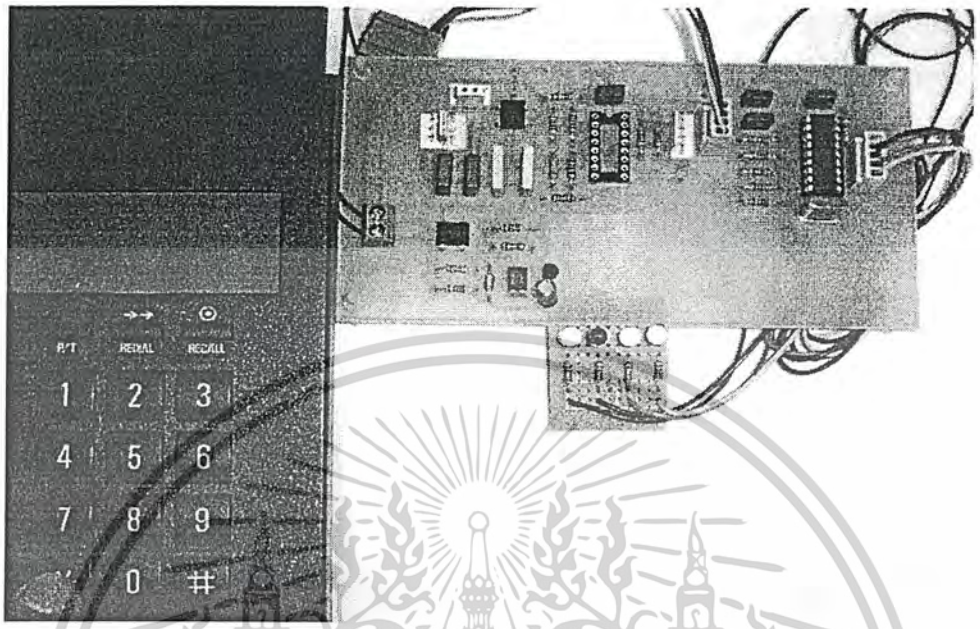
จากรูปที่4.27 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข0บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q4 และตำแหน่งที่Q2จะติดสว่างขึ้น



รูปที่4.27แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q2

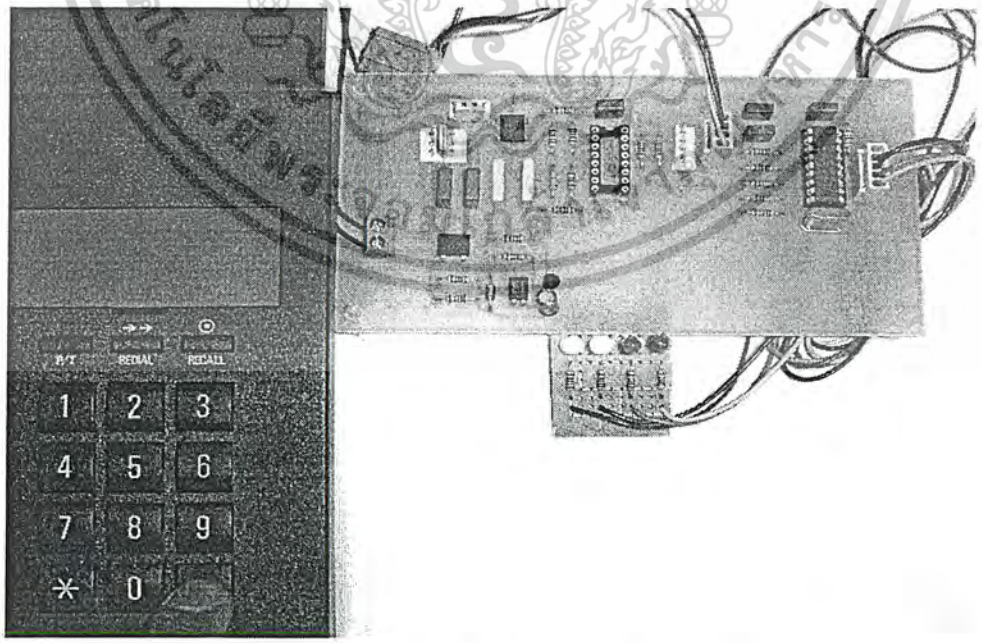
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่4.28 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข* บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q4,ตำแหน่งที่Q2และตำแหน่งที่Q1จะติดสว่างขึ้น



รูปที่4.28แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4,ตำแหน่งที่Q2และตำแหน่งที่Q1

จากรูปที่4.29 เป็นการวัดสัญญาณของไอซี MT8870 โดยแสดงผ่านหลอดLED จะเห็นได้ว่าเมื่อมีการกดเลข # บนแป้นโทรศัพท์ LED ที่ตำแหน่งที่Q4 และตำแหน่งที่Q3จะติดสว่างขึ้น



รูปที่4.29แสดงการติดสว่างของหลอดLEDที่ตำแหน่งที่Q4และตำแหน่งที่Q3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5
บทวิจารณ์และบทสรุป

บทวิจารณ์

ในการถอดสัญญาณ FSK ที่ส่งมาจากสายโทรศัพท์ซึ่งเป็นสัญญาณที่ส่งมาจากผู้ให้บริการตามมาตรฐาน bell 202. และ v.23 Type;Bell GR-30-CORE ซึ่งสามารถที่จะใช้ IC เช่น MC14LC5447, HT9032, MT8843 เป็นต้น แต่ในการการพัฒนาอุปกรณ์แสดงหมายเลขในโครงงานนี้เราใช้ IC เบอร์ MC14LC5447 ซึ่งเป็นที่นิยมใช้อย่างแพร่หลาย จึงทำให้เมื่อสัญญาณที่ส่งจากเครื่องโทรศัพท์ต้นทาง ทำการส่งสัญญาณกระดิ่งมาจะนำพาData มาด้วยซึ่งเป็นสัญญาณFSK สัญญาณนี้จะถูกถอดรหัสเป็นสัญญาณดิจิตอล แล้วนำสัญญาณนี้ส่งไปยังไมโครคอนโทรลเลอร์เพื่อประมวลผลต่อไป

บทสรุป

ในการควบคุมอุปกรณ์ไฟฟ้าภายในบ้านนั้น เมื่อ IC เบอร์ MC14LC5447 ทำการถอดรหัสมาเป็นสัญญาณดิจิตอล ไมโครคอนโทรลเลอร์จะทำการตรวจสอบว่าเป็นเลขหมายเฉพาะที่ถูกกำหนดให้เป็นรหัสผ่านหรือไม่ ถ้าไม่ใช่เลขหมายที่กำหนดจะไม่สามารถควบคุมอุปกรณ์ไฟฟ้าภายในบ้านได้ แต่ถ้าใช่เลขหมายที่กำหนดไว้จะสามารถควบคุมอุปกรณ์ไฟฟ้าที่กำหนดได้ โดยสามารถเลือกอุปกรณ์ไฟฟ้าที่จะทำการควบคุมให้เปิด -ปิดผ่านทางแป้นกดของเครื่องโทรศัพท์นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ULN2001A-ULN2002A
ULN2003A-ULN2004A

SEVEN DARLINGTON ARRAYS

- SEVEN DARLINGTONS PER PACKAGE
- OUTPUT CURRENT 500mA PER DRIVER (600mA PEAK)
- OUTPUT VOLTAGE 50V
- INTEGRATED SUPPRESSION DIODES FOR INDUCTIVE LOADS
- OUTPUTS CAN BE PARALLELED FOR HIGHER CURRENT
- TTL/CMOS/PMOS/DTL COMPATIBLE INPUTS
- INPUTS PINNED OPPOSITE OUTPUTS TO SIMPLIFY LAYOUT

DIP16

ORDERING NUMBERS: ULN2001A/2A/3A/4A

SO16

ORDERING NUMBERS: ULN2001D/2D/3D/4D

DESCRIPTION

The ULN2001A, ULN2002A, ULN2003 and ULN2004A are high voltage, high current darlington arrays each containing seven open collector darlington pairs with common emitters. Each channel rated at 500mA and can withstand peak currents of 600mA. Suppression diodes are included for inductive load driving and the inputs are pinned opposite the outputs to simplify board layout.

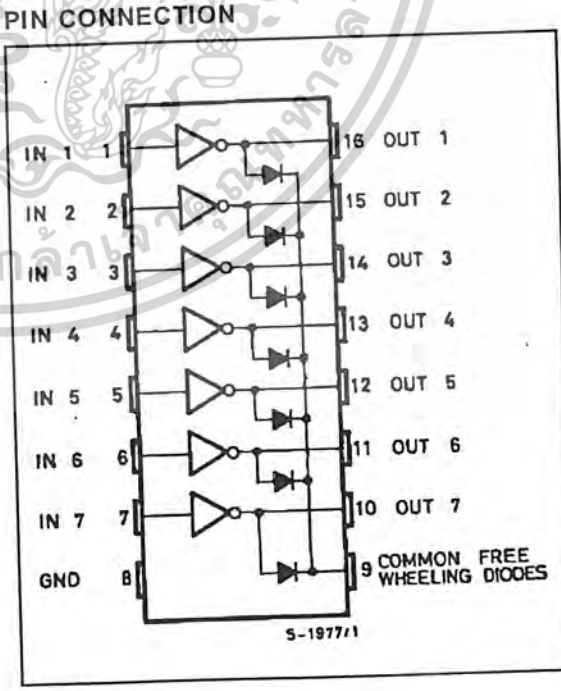
The four versions interface to all common logic families :

ULN2001A	General Purpose, DTL, TTL, PMOS, CMOS
ULN2002A	14-25V PMOS
ULN2003A	5V TTL, CMOS
ULN2004A	6–15V CMOS, PMOS

These versatile devices are useful for driving a wide range of loads including solenoids, relays DC motors, LED displays filament lamps, thermal printheads and high power buffers.

The ULN2001A/2002A/2003Aand 2004A are supplied in 16 pin plastic DIP packages with a copper leadframe to reduce thermal resistance. They are available also in small outline package (SO-16) as ULN2001D/2002D/2003D/2004D.

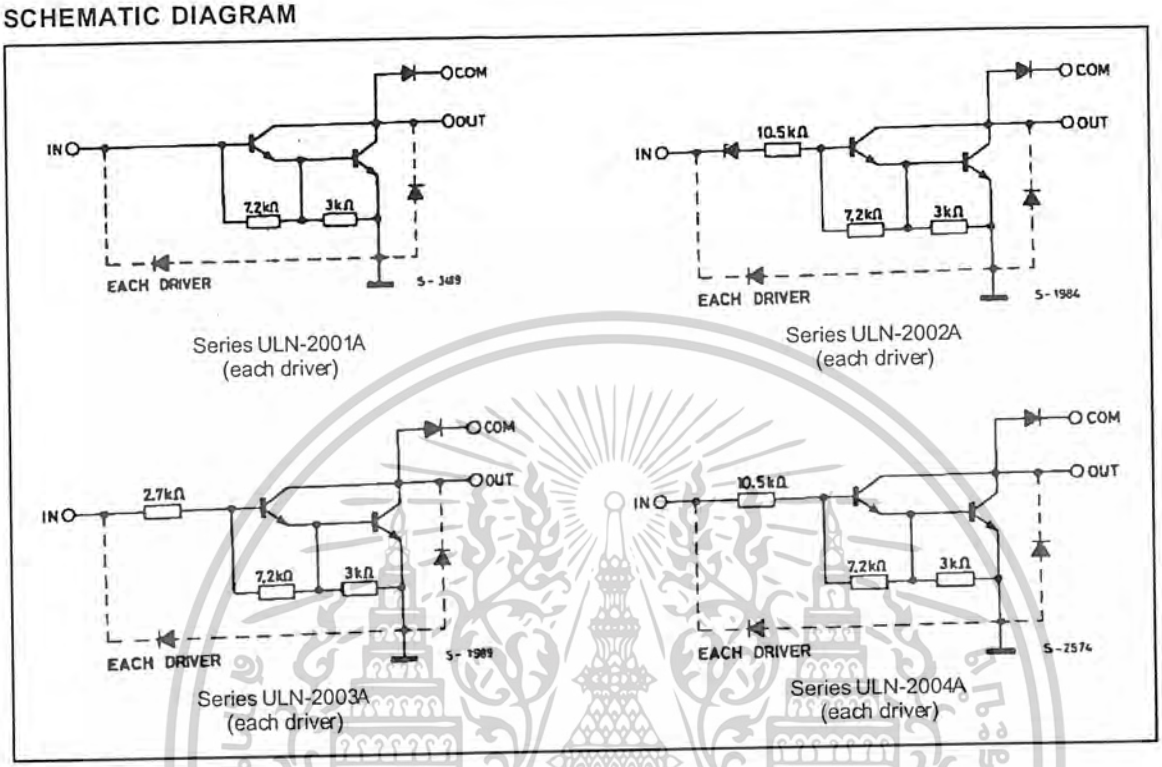
PIN CONNECTION



September 1998

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_{in}	Input Voltage (for ULN2002A/D - 2003A/D - 2004A/D)	30	V
I_c	Continuous Collector Current	500	mA
I_b	Continuous Base Current	25	mA
T_{amb}	Operating Ambient Temperature Range	– 20 to 85	°C
T_{stg}	Storage Temperature Range	– 55 to 150	°C
T_j	Junction Temperature	150	°C

THERMAL DATA

Symbol	Parameter		DIP16	SO16	Unit
$R_{th\ j\text{-}amb}$	Thermal Resistance Junction-ambient	Max.	70	100	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	Fig.
I_{CEX}	Output Leakage Current	V_{CE} = 50V T_{amb} = 70°C, V_{CE} = 50V T_{amb} = 70°C for ULN2002A V_{CE} = 50V, V_i = 6V for ULN2004A V_{CE} = 50V, V_i = 1V			50 100 500 500	µA µA µA µA	1a 1a 1b 1b
$V_{CE(sat)}$	Collector-emitter Saturation Voltage	I_C = 100mA, I_B = 250µA I_C = 200 mA, I_B = 350µA I_C = 350mA, I_B = 500µA		0.9 1.1 1.3	1.1 1.3 1.6	V V V	2 2 2
$I_{i(on)}$	Input Current	for ULN2002A, V_i = 17V for ULN2003A, V_i = 3.85V for ULN2004A, V_i = 5V V_i = 12V		0.82 0.93 0.35 1	1.25 1.35 0.5 1.45	mA mA mA mA	3 3 3 3
$I_{i(off)}$	Input Current	T_{amb} = 70°C, I_C = 500µA	50	65		µA	4
$V_{i(on)}$	Input Voltage	V_{CE} = 2V for ULN2002A I_C = 300mA for ULN2003A I_C = 200mA I_C = 250mA I_C = 300mA for ULN2004A I_C = 125mA I_C = 200mA I_C = 275mA I_C = 350mA			 13 2.4 2.7 3 5 6 7 8	V	5
h_{FE}	DC Forward Current Gain	for ULN2001A V_{CE} = 2V, I_C = 350mA	1000				2
C_i	Input Capacitance			15	25	pF	
t_{PLH}	Turn-on Delay Time	0.5 V_i to 0.5 V_o		0.25	1	µs	
t_{PHL}	Turn-off Delay Time	0.5 V_i to 0.5 V_o		0.25	1	µs	
I_R	Clamp Diode Leakage Current	V_R = 50V T_{amb} = 70°C, V_R = 50V			50 100	µA µA	6 6
V_F	Clamp Diode Forward Voltage	I_F = 350mA		1.7	2	V	7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

Figure 1a.

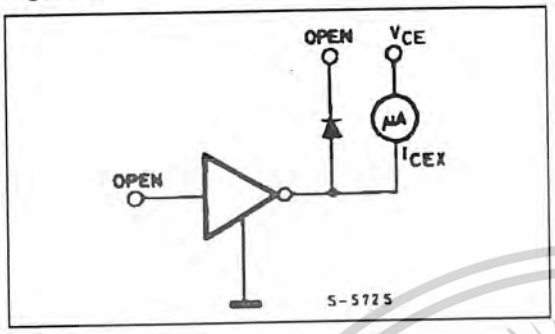


Figure 1b.

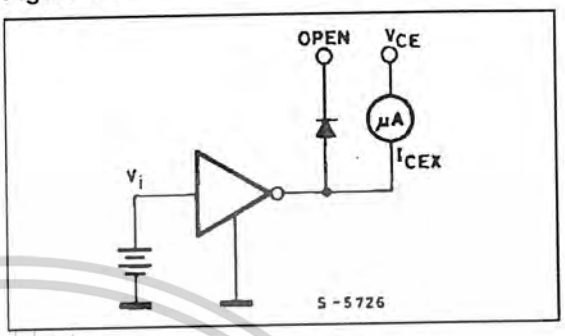


Figure 2.

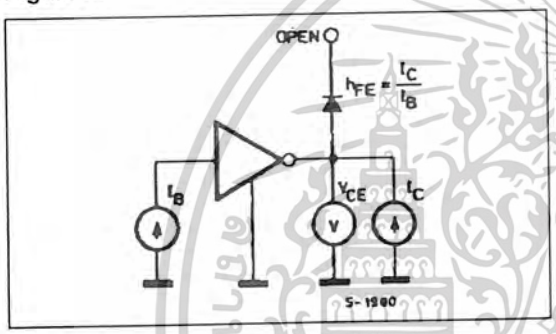


Figure 3.

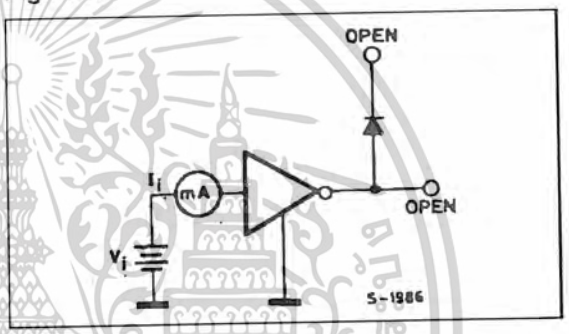


Figure 4.

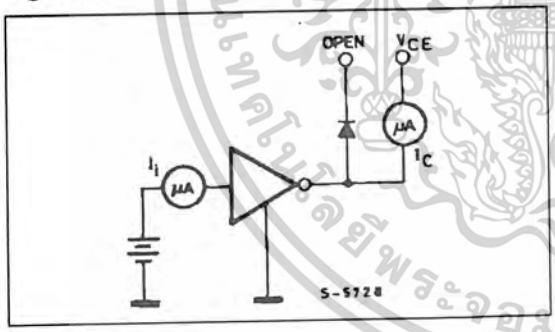


Figure 5.

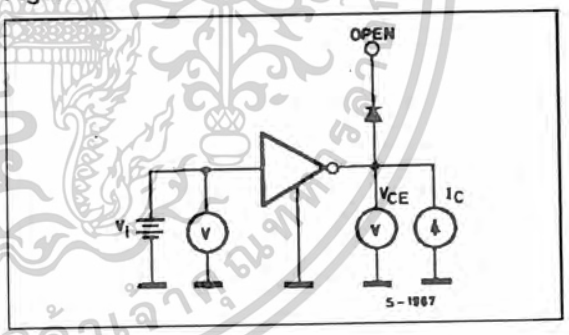


Figure 6.

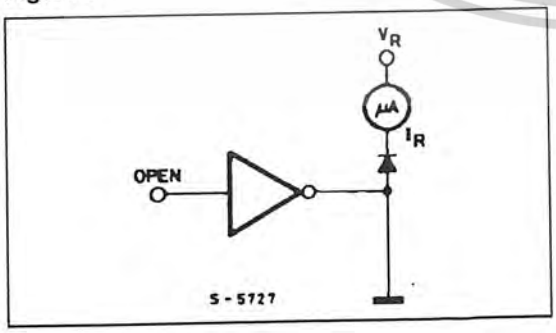
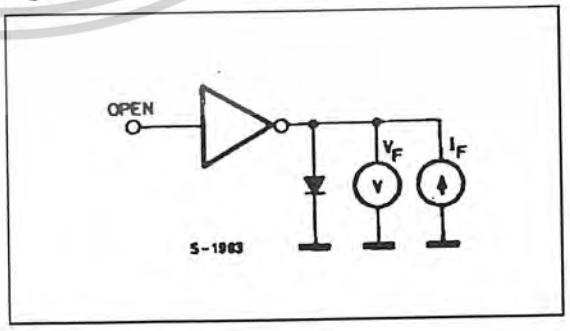


Figure 7.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 8: Collector Current versus Input Current

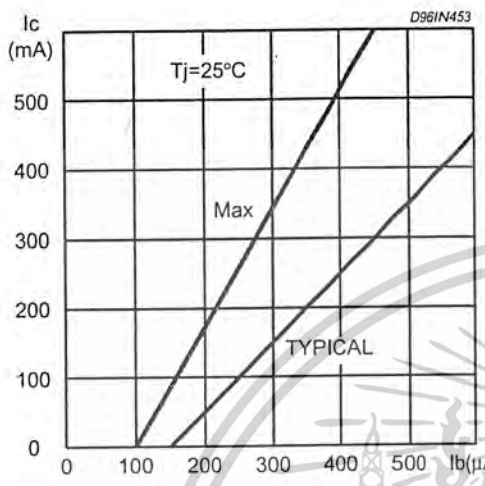


Figure 9: Collector Current versus Saturation Voltage

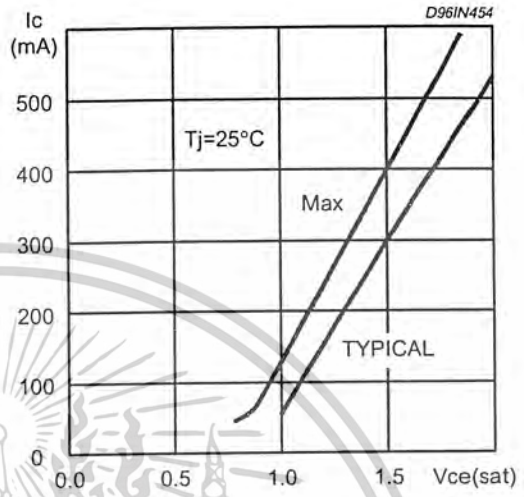


Figure 10: Peak Collector Current versus Duty Cycle

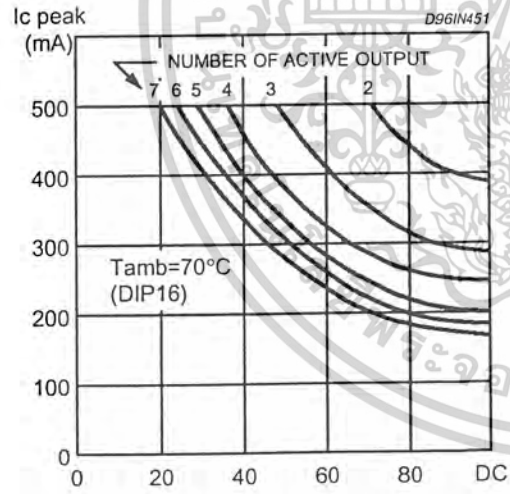
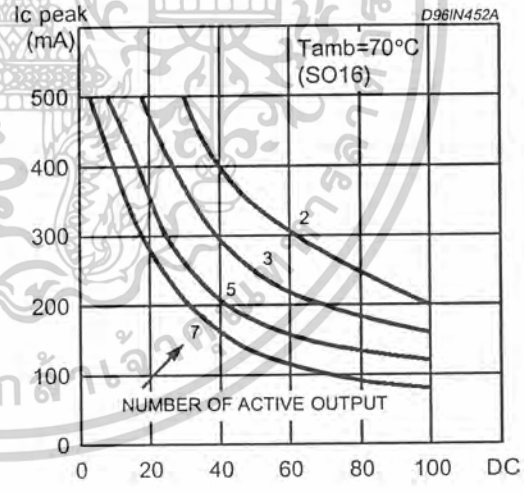


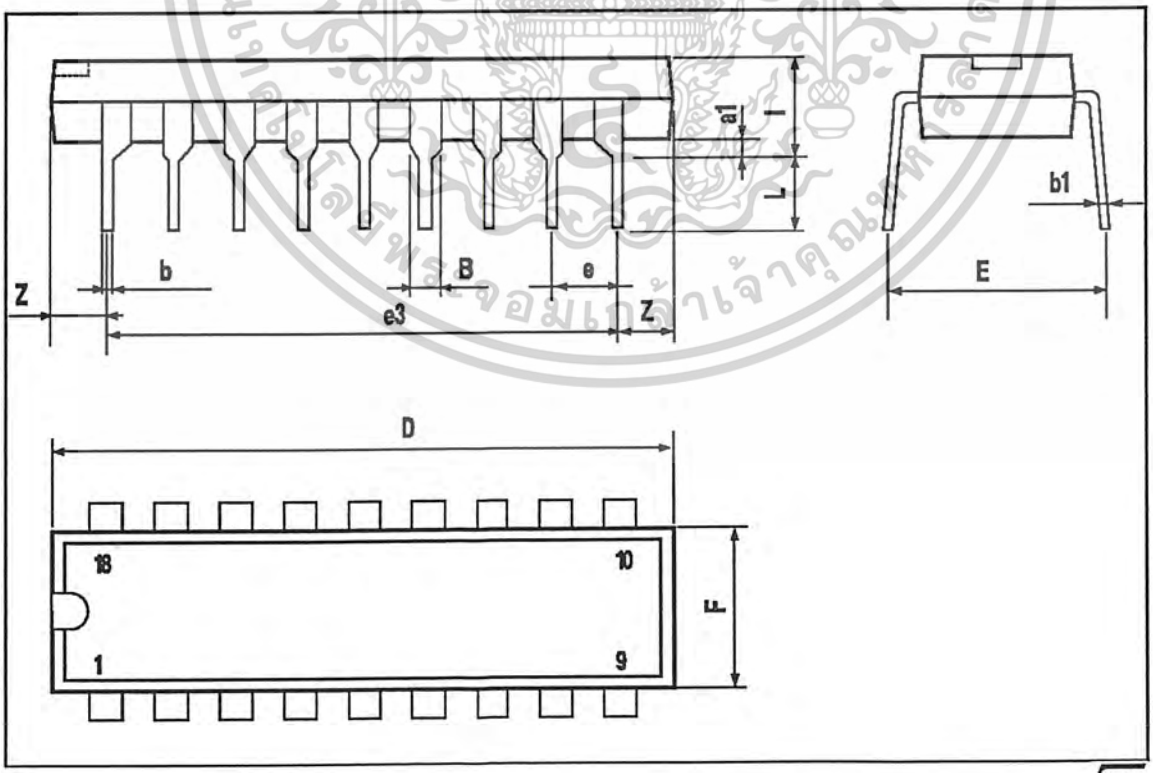
Figure 11: Peak Collector Current versus Duty Cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP16 PACKAGE MECHANICAL DATA

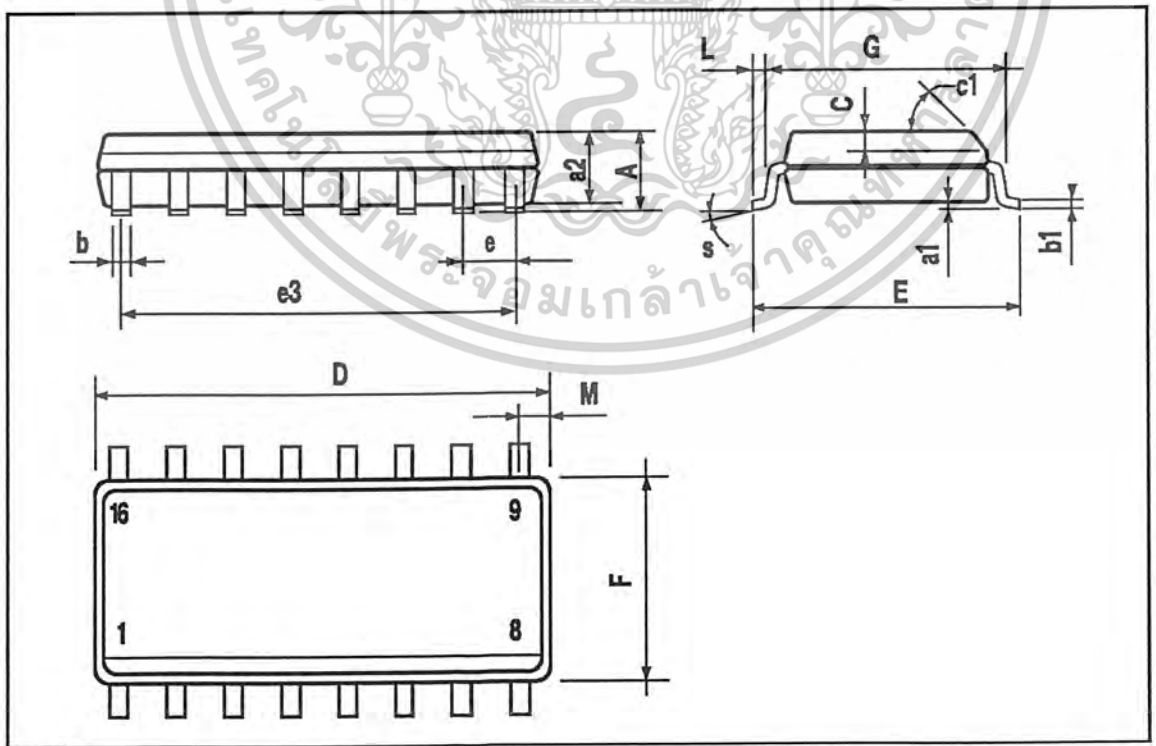
DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
a1	0.51			0.020		
B	0.77		1.65	0.030		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		17.78			0.700	
F			7.1			0.280
I			5.1			0.201
L		3.3			0.130	
Z			1.27			0.050



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SO16 PACKAGE MECHANICAL DATA

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A			1.75			0.069
a1	0.1		0.25	0.004		0.009
a2			1.6			0.063
b	0.35		0.46	0.014		0.018
b1	0.19		0.25	0.007		0.010
C		0.5			0.020	
c1	45 (typ.)					
D	9.8		10	0.386		0.394
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		8.89			0.350	
F	3.8		4.0	0.150		0.157
L	0.4		1.27	0.016		0.050
M			0.62			0.024
S	8 (max.)					



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics

© 1998 STMicroelectronics – Printed in Italy – All Rights Reserved

STMicroelectronics GROUP OF COMPANIES

Australia - Brazil - Canada - China - France - Germany - Italy - Japan - Korea - Malaysia - Malta - Mexico - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC14LC5447/D

MC14LC5447

Product Preview

Calling Line Identification (CLID) Receiver with Ring Detector

The MC14LC5447 is a silicon gate HCMOS IC designed to demodulate Bell 202 and V.23 1200–baud FSK asynchronous data. The primary application for this device is in products that will be used to receive and display the calling number, or message waiting indicator sent to subscribers from participating central office facilities of the public switched network. The device also contains a carrier detect circuit and ring detector which may be used to power up the device.

Applications for this device include adjunct boxes, answering machines, feature phones, fax machines, and computer interface products.

The MC14LC5447 offers the following performance features.

- Ring Detector On–Chip
- Ring Detect Output for MCU Interrupt
- Power–Down Mode, Less than 1 µA
- Single Supply: + 3.5 to + 6.0 V
- Pin Selectable Clock Frequencies: 3.68 MHz, 3.58 MHz, or 455 kHz
- Two Stage Power–Up for Power Management Control
- Demodulates Bell 202 and V.23

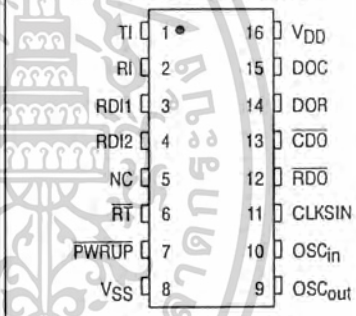
P SUFFIX
PLASTIC DIP
CASE 648

DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

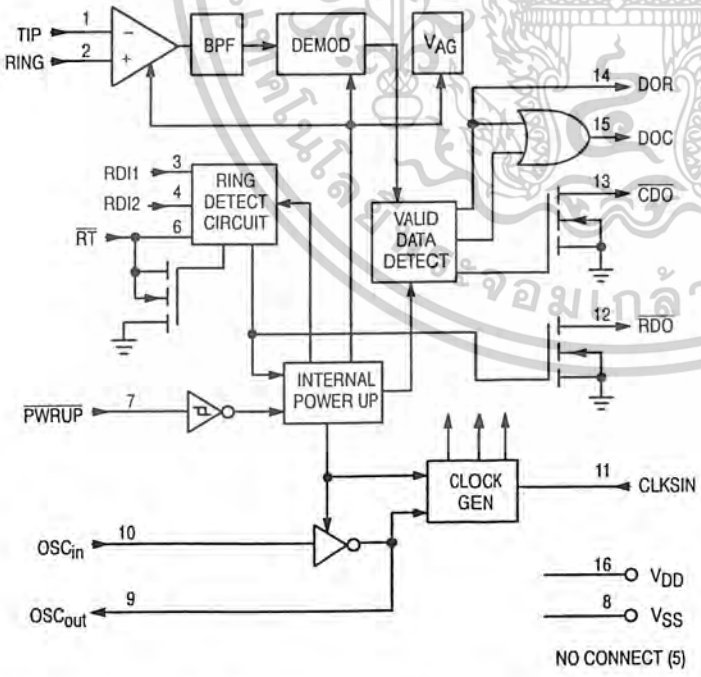
MC14LC5447P	Plastic DIP
MC14LC5447DW	SOG Package

PIN ASSIGNMENT



NC = NO CONNECTION

BLOCK DIAGRAM



This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

REV 0
7/96

© Motorola, Inc. 1996

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND, except where noted)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 6.0	V
Input Voltage, All Pins	V_{in}	– 0.5 to V_{DD} + 0.5	V
DC Current Drain Per Pin	I	± 10	mA
Power Dissipation	P_D	20	mW
Operating Temperature Range	T_A	0 to + 70	°C
Storage Temperature Range	T_{stg}	– 40 to + 150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

(All polarities referenced to V_{SS} = 0 V, V_{DD} = + 5 V ± 10%, unless otherwise noted, T_A = 0 to + 70°C)

Parameter	Symbol	Min	Typ	Max	Unit
DC Supply Voltage	V_{DD}	3.5	5	6	V
Supply Current (All Output Pins Unloaded) (See Figure 1) $\overline{RT}$ = 0, $\overline{PWRUP}$ = 1, XTAL = 3.58 MHz	I_{DD}	—	2.4	3	mA
Supply Current (All Output Pins Unloaded) (See Figure 1) $\overline{PWRUP}$ = 0, $\overline{RT}$ = Don't Care, XTAL = 3.58 MHz	I_{DD}	—	4.0	5.5	mA
Standby Current (All Output Pins Unloaded) (See Figure 1) $\overline{RT}$ = 1, $\overline{PWRUP}$ = 1	I_{STBY}	—	—	1	µA
Input Voltage 0 Level (CLKSIN, OSC_{in})	V_{IL}	—	—	V_{DD} x 0.3	V
Input Voltage 1 Level (CLKSIN, OSC_{in})	V_{IH}	V_{DD} x 0.7	—	—	V
Output Voltage High: V_{DD} = 5 V (DOR, DOC, OSC_{out}) I_{OH} = 40 µA $I_{OH} \le$ 1 µA	V_{OH}	— 2.4 4.95	—	—	V
Output Voltage Low: V_{DD} = 5 V (DOR, DOC, OSC_{out}) I_{OL} = 1.6 mA $I_{OL} \le$ 1 µA	V_{OL}	—	—	0.4 0.05	V
Input Leakage Current (OSC_{in}, CLKSIN, $\overline{PWRUP}$, $\overline{RT}$, RDI1, and RDI2)	I_{in}	—	—	±1	µA
Output Voltage Low: V_{DD} = 5 V ($\overline{RDO}$, $\overline{RT}$, $\overline{CDO}$) I_{OL} = 2.0 mA	V_{OL}	—	—	0.4	V
Input Threshold Voltage Positive Going: V_{DD} = 5 V (RDI1, $\overline{RT}$, $\overline{PWRUP}$) (See Figure 3)	V_{T+}	2.5	2.75	3.0	V
Input Threshold Voltage Negative Going: V_{DD} = 5 V (RDI1, $\overline{RT}$, $\overline{PWRUP}$) (See Figure 3)	V_{T-}	2.0	2.3	2.6	V
RDI2 Threshold	$R_{D2}V_T$	1.0	1.1	1.2	V
TIP/RING Input dc Resistance	R_{in}	—	250	—	kΩ

ANALOG CHARACTERISTICS (V_{DD} = + 5 V, T_A = + 25°C, unless otherwise noted, 0 dBm = 0.7746 Vrms @ 600 Ω)

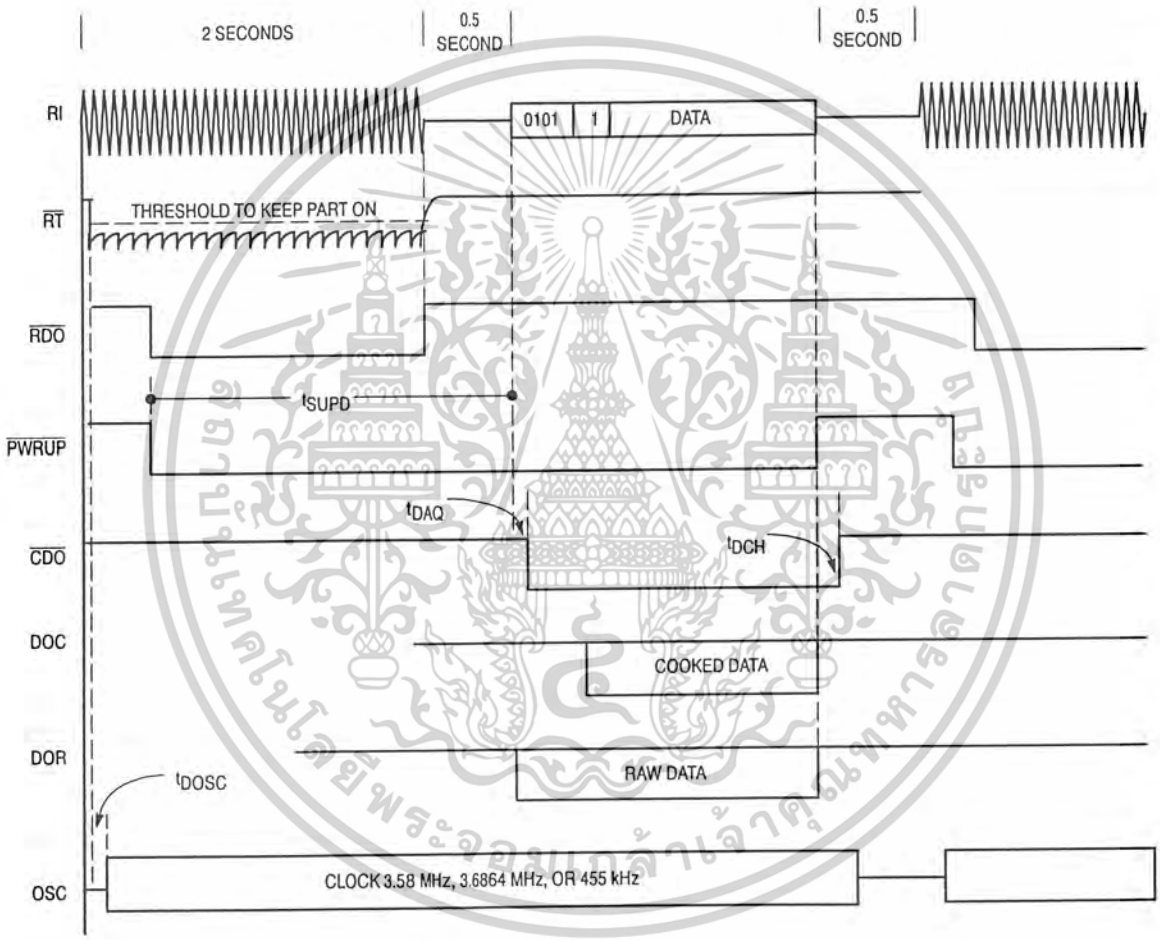
Characteristic		Min	Typ	Max	Unit
Input Sensitivity: TIP and RING (Pins 1 and 2, V_{DD} = + 5 V)		– 40	– 45	—	dBm
Band–Pass Filter (BPF) Frequency Response (Relative to 1700 Hz @ 0 dBm)	60 Hz 500 Hz 2700 Hz ≥ 3300 Hz	— — — —	– 64 – 4 – 3 – 34	— — — —	dB
Carrier Detect Sensitivity		—	– 48	—	dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

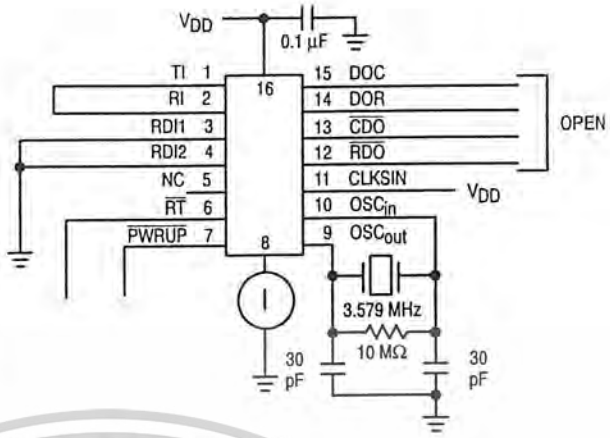
SWITCHING CHARACTERISTICS (V_{DD} = + 5 V, C_L = 50 pF, T_A = + 25°C)

Description	Symbol	Min	Typ	Max	Unit
OSC Startup (CLKSIN = 1; 3.579 MHz XTAL)	t_{DOSC}	—	2	—	ms
Power–Up Low to FSK (Setup Time)	t_{SUPD}	15	—	—	ms
Carrier Detect Acquisition Time	t_{DAQ}	—	14	—	ms
End of Data to Carrier Detect High	t_{DCH}	8	—	—	ms

TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



RT	PWRUP	I_{DD}	OSC_{in}
1	1	1 µA MAX	DISABLE
0	1	2.4 mA TYP	ENABLE
X	0	6.2 mA TYP	ENABLE

Figure 1. I_{DD} Test Circuit

PIN DESCRIPTIONS

TI
Tip Input (Pin 1)

This input pin is normally connected to the tip side of the twisted pair. It is internally biased to 1/2 supply voltage when the device is in the power–up mode. This pin must be dc isolated from the line.

RI
Ring Input (Pin 2)

This input is normally connected to the ring side of the twisted pair. It is internally biased to 1/2 supply voltage when the device is in the power–up mode. This pin must be dc isolated from the line.

RDI1
Ring Detect Input 1 (Pin 3)

This input is normally coupled to one of the twisted pair wires through an attenuating network. It detects energy on the line and enables the oscillator and precision ring detection circuitry.

RDI2
Ring Detect Input 2 (Pin 4)

This input to the precision ring detection circuit is normally coupled to one of the twisted pair wires through an attenuating network. A valid ring signal as determined from this input sends the $\overline{RDO}$ (Pin 12) to a logic 0.

$\overline{RT}$
Ring Time (Pin 6)

An RC network may be connected to this pin. The RC time constant is chosen to hold this pin voltage below 2.2 V between the peaks of the ringing signal. $\overline{RT}$ is an internal power–up control and activates only the circuitry necessary to determine if the incoming ring is valid.

$\overline{PWRUP}$
Power Up (Pin 7)

A logic 0 on the $\overline{PWRUP}$ input causes the device to be in the active mode ready to demodulate incoming data. A logic 1 on this pin causes the device to be in the standby mode, if the $\overline{RT}$ input pin is at a logic 1. This pin may be controlled by $\overline{RDO}$ and $\overline{CDO}$ for auto power–up operation. For other applications, this pin may be controlled externally.

V_{SS}
Ground (Pin 8)

Ground return pin is typically connected to the system ground.

OSC_{out}
Oscillator Output (Pin 9)

This pin will have either a crystal or a ceramic resonator tied to it with the other end connected to OSC_{in}.

OSC_{in}
Oscillator Input (Pin 10)

This pin will have either a crystal or a ceramic resonator tied to it with the other end connected to OSC_{out}. OSC_{in} may also be driven directly from an appropriate external source.

CLKSIN
Clock Select Input (Pin 11)

A logic 1 on this input configures the device to accept either a 3.579 MHz or 3.6864 MHz crystal. A logic 0 on this pin configures the part to operate with a 455 kHz resonator.

For crystal and resonator specifications see Table 1.

$\overline{RDO}$
Ring Detect Out (Pin 12)

This open–drain output goes low when a valid ringing signal is detected. $\overline{RDO}$ remains low as long as the ringing signal remains valid. This signal can be used for auto power–up, when connected to Pin 7.

$\overline{CDO}$
Carrier Detect Output (Pin 13)

When low, this open drain output indicates that a valid carrier is present on the line. $\overline{CDO}$ remains low as long as the carrier remains valid. An 8 ms hysteresis is built in to allow for a momentary drop out of the carrier. $\overline{CDO}$ may be used in the auto power–up configuration when connected to $\overline{PWRUP}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DOR
Data Out Raw (Pin 14)

This pin presents the output of the demodulator whenever $\overline{CDO}$ is low. This data stream includes the alternate 1 and 0 pattern, and the 150 ms of marking, which precedes the data. At all other times, DOR is held high.

DOC
Data Out Cooked (Pin 15)

This output presents the output of the demodulator whenever $\overline{CDO}$ is low, and when an internal validation sequence has been successfully passed. The output does not include the alternate 1 and 0 pattern. At all other times, DOC is held high.

V_{DD}
Positive Power Supply (Pin 16)

The digital supply pin, which is connected to the positive side of the power supply.

APPLICATIONS INFORMATION

The MC14LC5447 has been designed to be one of the main functional blocks in products targeted for the CLASS (Custom Local Area Signaling Service) market. CLASS is a set of subscriber features now being presented to the consumer by the RBOCs (Regional Bell Operating Companies) and independent TELCOs. Among CLASS features, such as distinctive ringing and selective call forwarding, the subscriber will also have available a service known as Calling Number Delivery (CND) and message waiting. With these services, a subscriber will have the ability to display at a minimum, a message containing the phone number of the calling party, the date, and the time. A message containing only this information is known as a single format message, as shown in Figure 9. An extended message, known as multiple format message, can contain additional information as shown in Figure 10.

The interface should be arranged to allow simplex data transmission from the terminating central office, to the CPE (Customer Premises Equipment), only when the CPE is in an on–hook state. The data will be transmitted in the silent period between the first and second power ring after a voice path has been established.

The data signaling interface should conform to Bell 202, which is described as follows:

- Analog, phase coherent, frequency shift keying
- Logical 1 (Mark) = 1200 ± 12 Hz
- Logical 0 (Space) = 2200 ± 22 Hz
- Transmission rate = 1200 bps
- Application of data = serial, binary, asynchronous

The transmission level from the terminating C.O. will be – 13.5 dBm ± 1.0. The expected worst case attenuation through the loop is expected to be – 20 dB. The receiver therefore, should have a sensitivity of approximately – 34.5 dBm to handle the worst case installations.

Additional information on CLASS services can be obtained from:

BELLCORE CUSTOMER SVS.
1–800–521–2673
201–699–5800 FOREIGN CALLS
201–699–0936 FAX
The document number is: TA–NWT–000030
Title: "Voice Band Data Transmission Interface Generic Requirements"

Figure 7 is a conceptual design of how the MC14LC5447 can be implemented into a product which will retrieve the incoming message and convert it to EIA–232 levels for transmission to the serial port of a PC. With this message and appropriate software, the PC can be used to look up the name and any additional information associated with the caller that had been previously stored.

Figure 8 is a conceptual design of an adjunct unit in parallel with an existing phone. This arrangement gives the subscriber CND service without having to replace existing equipment.

Table 1. Oscillator Specifications

Clock Select Pin 11 = 1

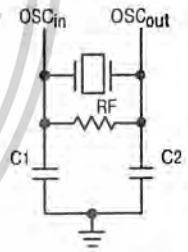
Crystal Mode	Parallel
Frequency	3.579 MHz or 3.6864 MHz
R_f	10 MΩ
C1 and C2	30 pF

Source:
Fox Electronics
5570 Enterprise Pkwy.
Ft. Myers, FL 33905
Tel. 813–693–0099

Clock Select Pin 11 = 0

Resonator	#CSB455J
Frequency	455 kHz ± 0.5%
R_f	1.0 MΩ
C1 and C2	100 pF

Source:
Murata Manufacturing Co. Ltd.
2200 Lake Park Dr.
Smyrna, GA 30080
Tel. 404–436–1300



NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN INFORMATION

The circuit in Figure 2 illustrates in greater detail the relationship between Pins 3, 4, 6, and 7.

The external component values shown in Figure 2 are the same as those shown in Figures 7 and 8. When V_{DD} is applied to the circuit in these two figures, the RC network will charge cap C1 to V_{DD} holding $\overline{RT}$ (Pin 6) off. If the $\overline{PWRUP}$ (Pin 7) is also held at V_{DD}, the MC14LC5447 will be in a power–down mode, and will consume 1 µA of supply current (max).

The resistor network (R2 – R4) attenuates the incoming power ring applied to the top of R2. The values given have been chosen to provide a sufficient voltage at RDI1 (Pin 3) to turn on the Schmitt–trigger input with approximately a 40 Vrms or greater power ring input from tip and ring. When V_{T+} of the Schmitt is exceeded, Q1 will be driven to saturation discharging cap C1 on $\overline{RT}$. This will initialize a partial power–up, with only the portions of the part involved with the ring signal analysis enabled, including RDI2 (Pin 4). At this time the MC14LC5447 power consumption is increased to approximately 2.4 mA (typ).

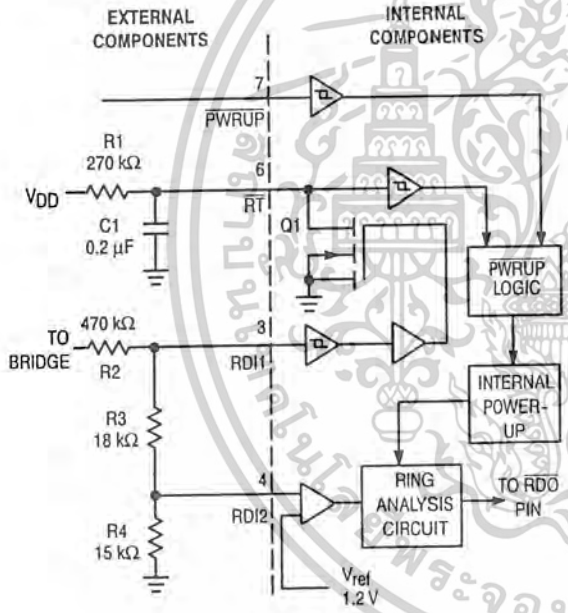


Figure 2.

The value of R1 and C1 must be chosen to hold the $\overline{RT}$ pin voltage below the V_{T+} of the $\overline{RT}$ Schmitt between the individual cycles of the power ring. The values shown will work for ring frequencies of 15.3 Hz (min).

With RDI2 now enabled, a portion of the power ring above 1.2 V is fed to the ring analysis circuit. This circuit is a digital integrator which looks at the duty cycle of the incoming signal. When the input to RDI2 is above 1.2 V, the integrator is counting up at an 800 Hz rate. When the input to RDI2 falls below 1.2 V, the integrator counts down at a 400 Hz rate.

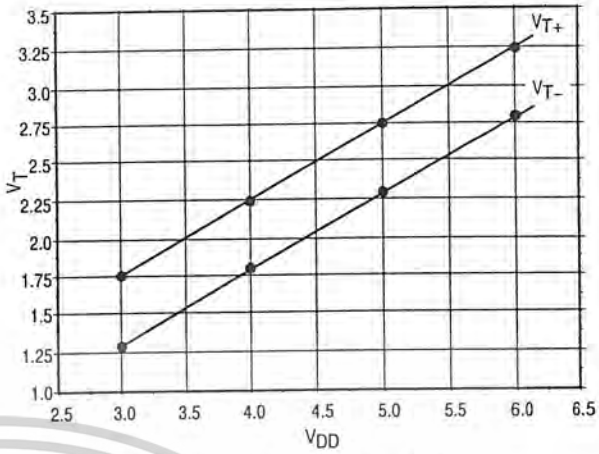


Figure 3. V_{DD} versus V_{T+} and V_{T-}

A ring is qualified when an internal count of binary 48 is reached. The ring is disqualified when the count drops to a binary 32. The number of ring cycles required to qualify the signal will depend on the amplitude of the voltage presented to RDI2. The shortest amount of time needed to do the qualification is approximately 60 ms. The shortest amount of time required for dequalification will be approximately 40 ms.

Once the ring signal is qualified, the $\overline{RDO}$ pin will be sent low. This can be fed back to $\overline{PWRUP}$ as shown in Figure 7, or with a pull–up resistor, can be used as an interrupt to an MCU as shown in Figure 8. In either case, once the $\overline{PWRUP}$ pin is below V_{T-}, the part will be fully powered up, and ready to receive FSK. During this mode, the device current will increase to approximately 6.2 mA (typ). The state of the $\overline{RT}$ pin is now a "don't care" as far as the part is concerned. Normally, however, this pin will be allowed to return to V_{DD}.

After the FSK message has been received, the $\overline{PWRUP}$ pin can be allowed to return to V_{DD} and the part will return to the standby mode, consuming less than 1 µA of supply current. The part is now ready to repeat the same sequence for the next incoming message.

TYPICAL DEMODULATOR PERFORMANCE

The following describes the performance of the MC14LC5447 demodulator in the presence of noise over a simulated Bell 3002 telephone loop.

The Bell 3002 loop represents a worst case local telephone loop in North America. The characteristics of this loop, which affect performance, are high frequency attenuation and Envelope Delay Distortion (EDD) or group delay.

The minimum receiver sensitivity of the MC14LC5447 under these conditions is typically – 45 dBm.

The MC14LC5447 achieves a Bit Error Rate (BER) of 1×10^{-5} at a Signal–to–Noise Ratio (SNR) of 15 dB in V.23 operation and at an SNR of 18 dB in Bell 202 operation (see Figures 4 and 5).

All measurements in dBm are referenced to 600 Ω: 0 dBm = 0.7746 Vrms.

All measurements were taken using the MC145460EVK evaluation board.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

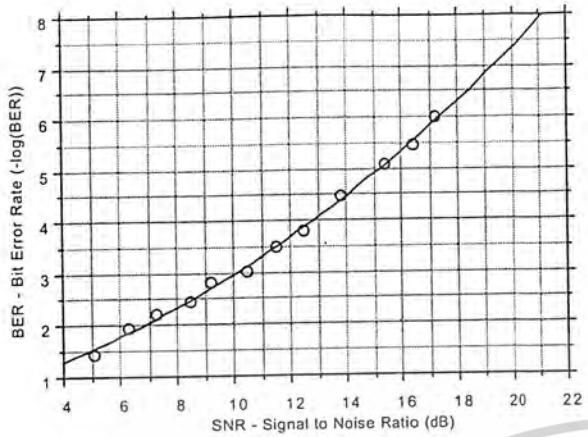


Figure 4. MC14LC5447 V.23 Operation (Typical BER vs SNR)

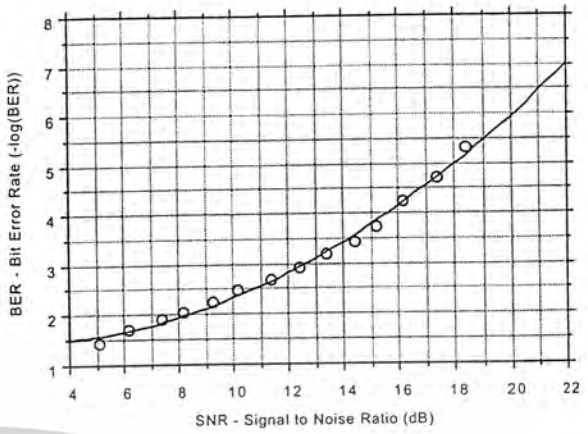


Figure 5. MC14LC5447 Bell 202 Operation (Typical BER vs SNR)

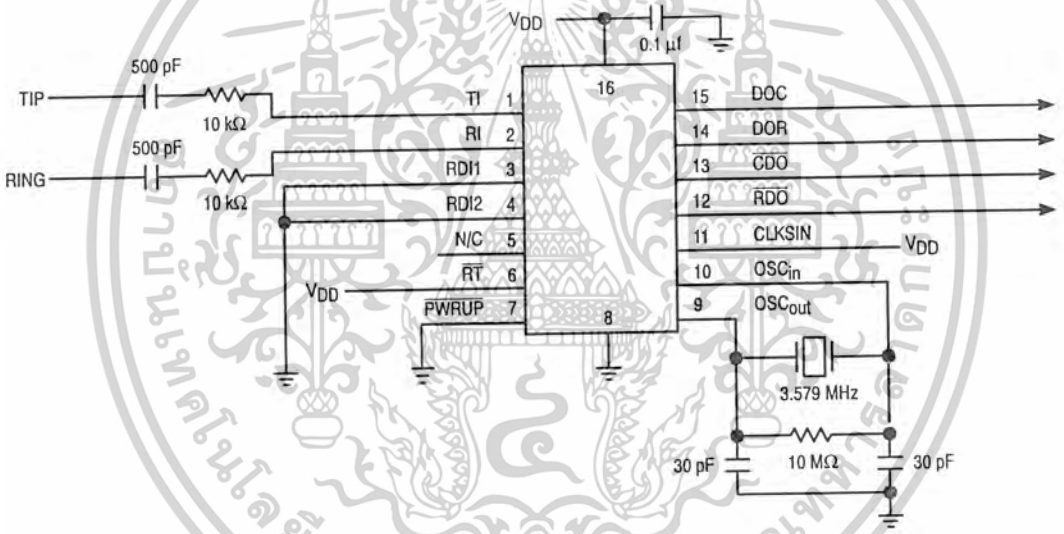
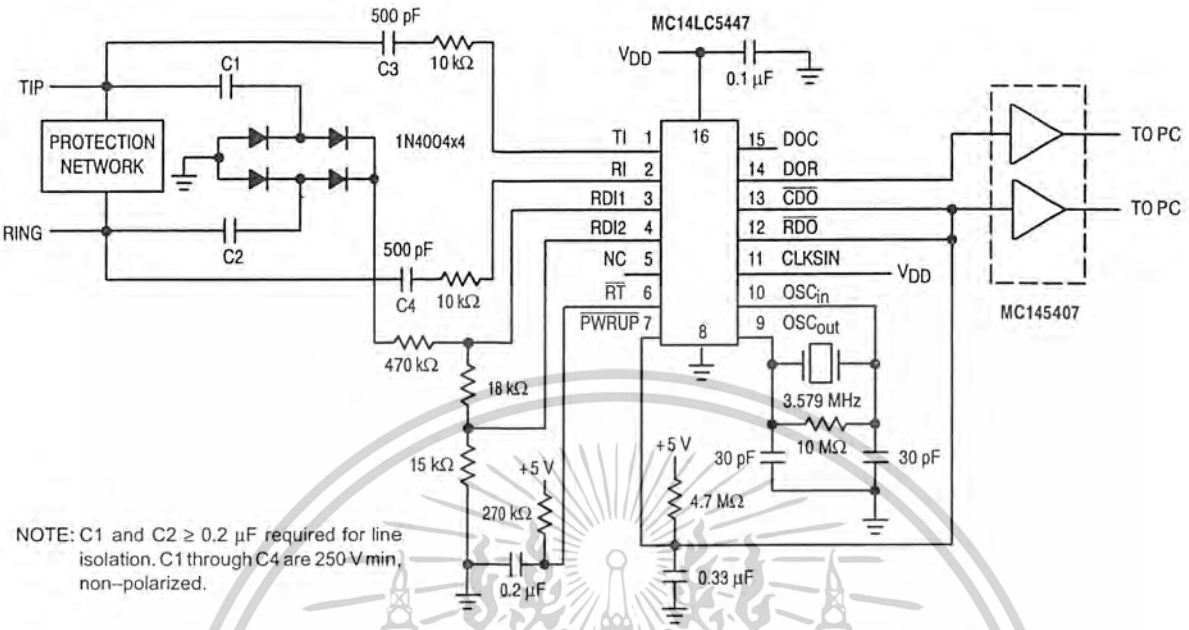


Figure 6. Full-Time Power without Ring Detect

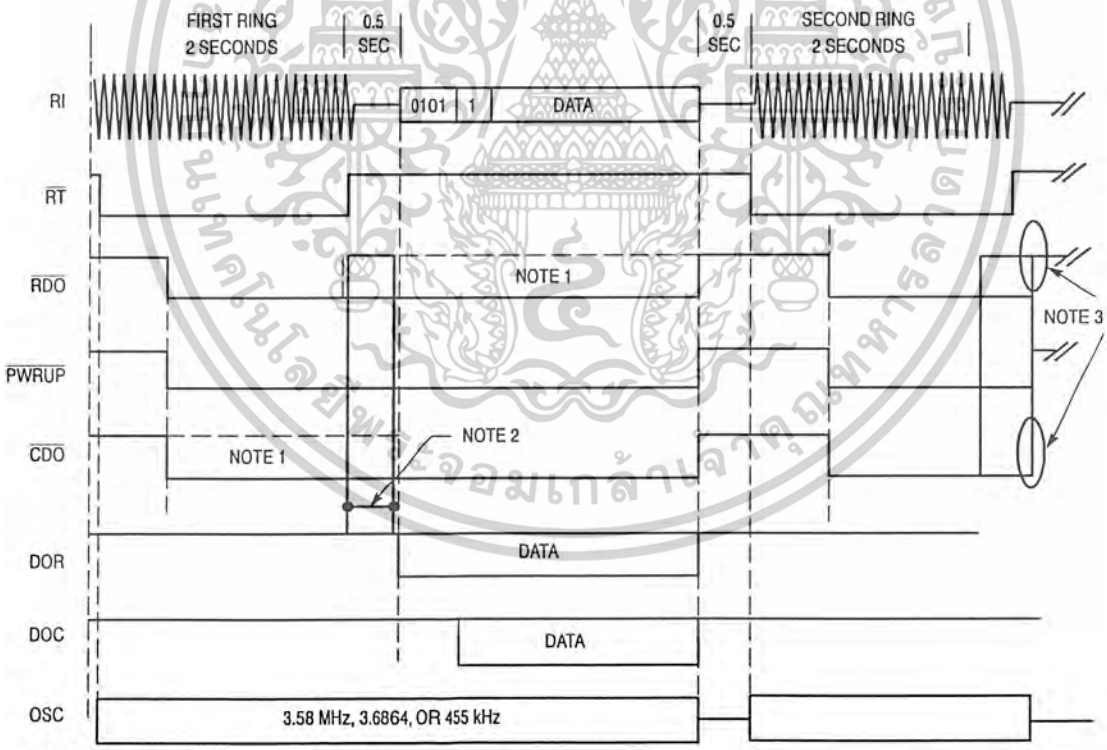
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT



NOTE: C1 and C2 ≥ 0.2 µF required for line isolation. C1 through C4 are 250 V min, non–polarized.

Figure 7. Partial Implementation of PC Interface to Tip and Ring



NOTES:
1. Wired 'OR' RDO with CDO.
2. Overlap of RDO edge with CDO edge to ensure part stays in PWRUP determined by RC time constant on RDO, PWRUP, and CDO pin.
3. Part reverts to PWR ON, on rising edge of RDO since there is no CDO.

Timing Diagram for Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT

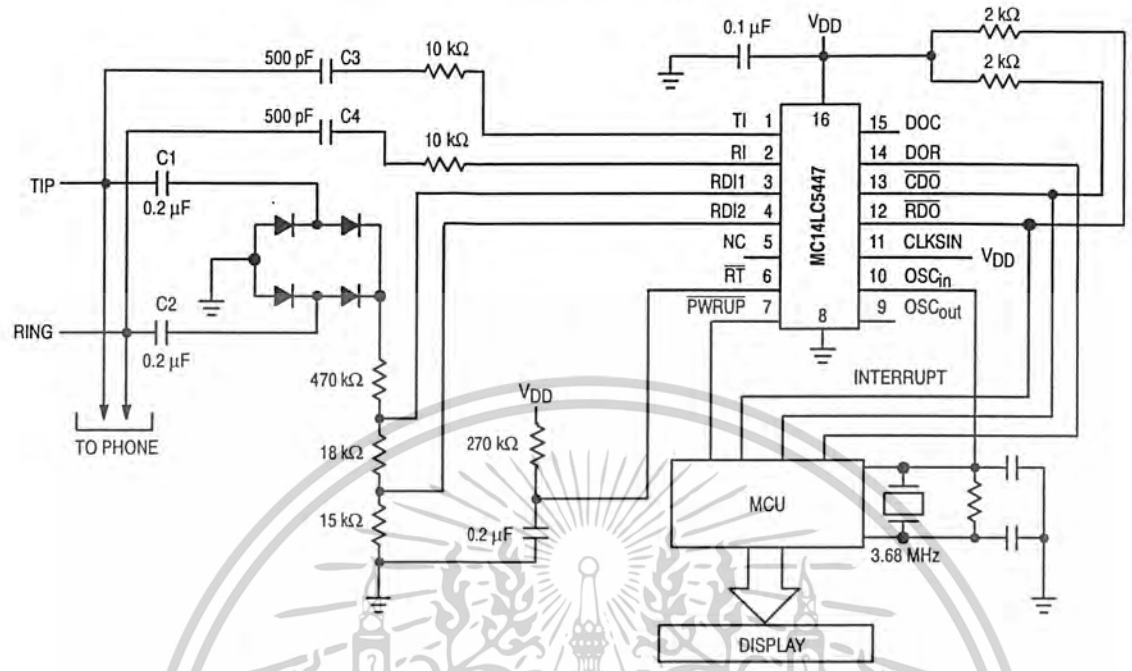
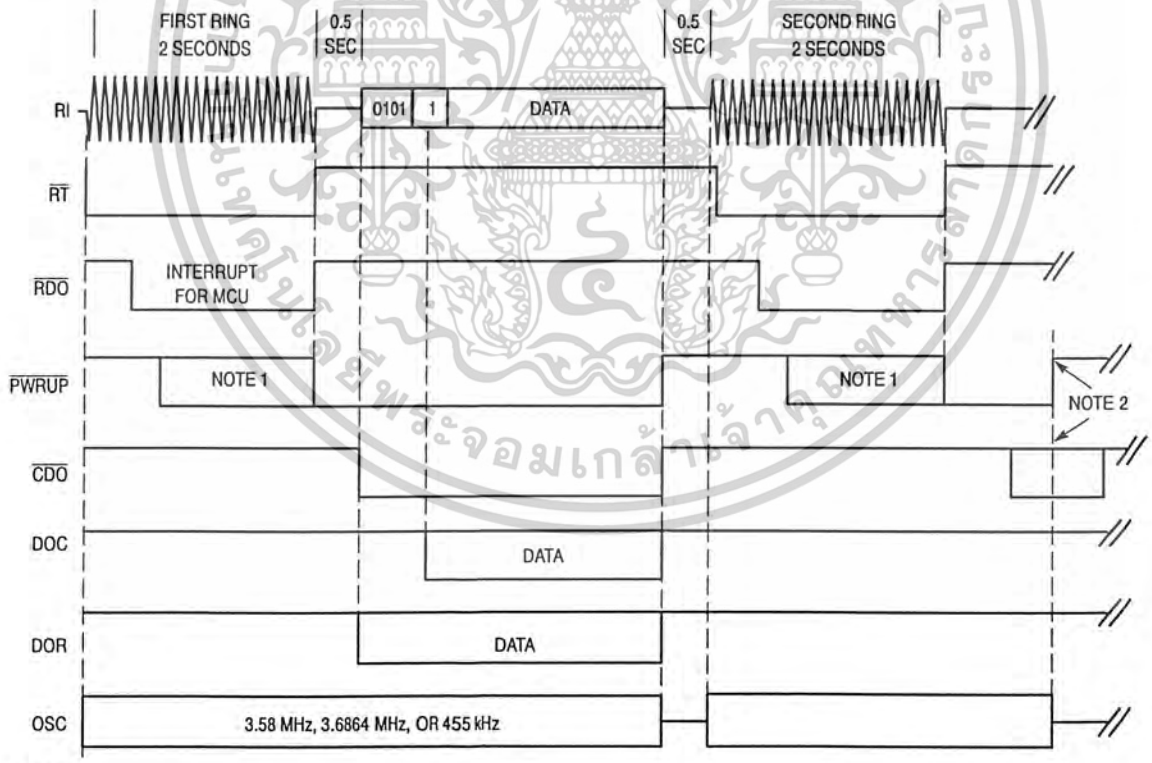


Figure 8. Adjunct Box Concept for Calling Number Display



NOTES:
1. MCU must assert $\overline{\text{PWRUP}}$ to MC14LC5447.
2. No data detected, MCU powers down the MC14LC5447.

Timing Diagram for Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

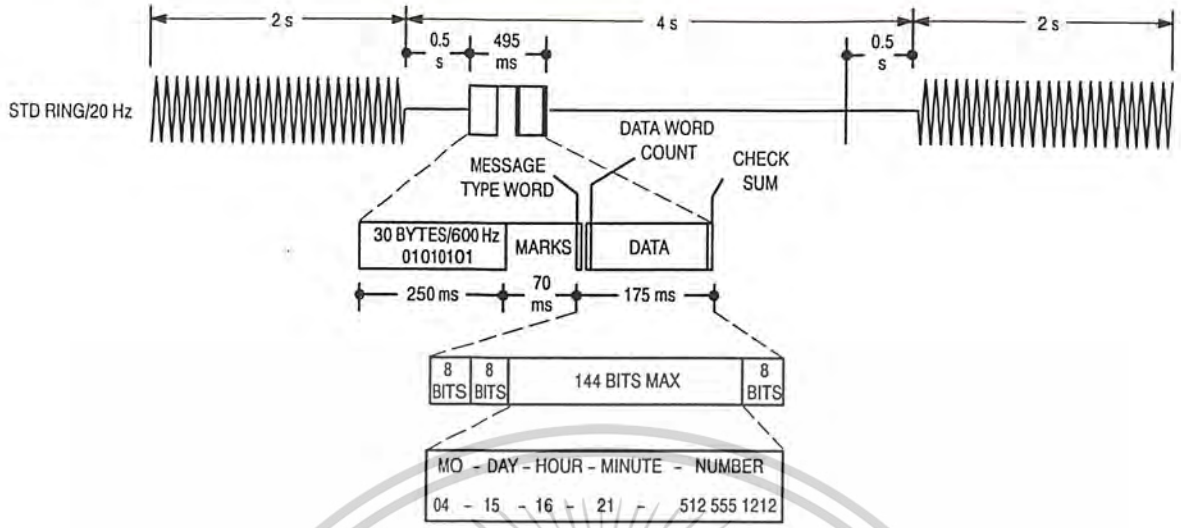


Figure 9. Single Message Format

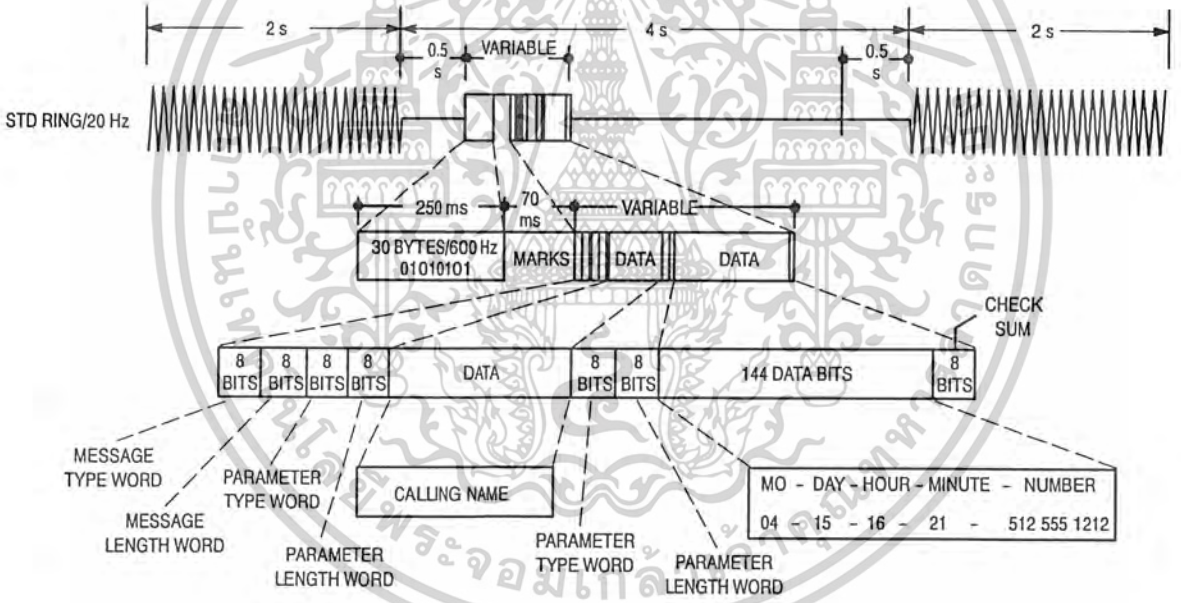
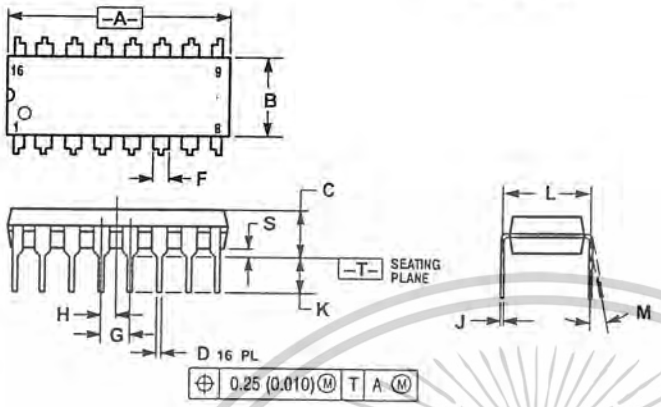


Figure 10. Multiple Message Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

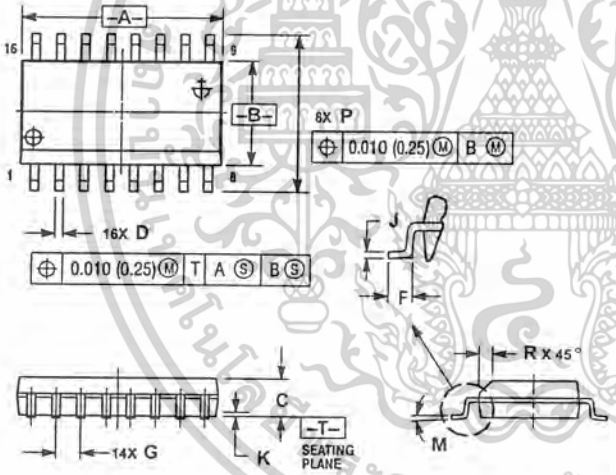
P SUFFIX
PLASTIC DIP
CASE 648–08



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
SOG PACKAGE
CASE 751G–02



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

MOTOROLA

◊

MC14LC5447/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

P89C51RB2/P89C51RC2/P89C51RD2

80C51 8-bit Flash microcontroller family

16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

Preliminary specification
Supersedes data of 2000 Jul 31
IC28 Data Handbook

2000 Aug 21

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 8-bit Flash microcontroller family
16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

P89C51RB2/P89C51RC2/ P89C51RD2

DESCRIPTION

The P89C51RB2/RC2/RD2 device contains a non-volatile 16kB/32kB/64kB Flash program memory that is both parallel programmable and serial In-System and In-Application Programmable. In-System Programming (ISP) allows the user to download new code while the microcontroller sits in the application. In-Application Programming (IAP) means that the microcontroller fetches new program code and reprograms itself while in the system. This allows for remote programming over a modem link. A default serial loader (boot loader) program in ROM allows serial In-System programming of the Flash memory via the UART without the need for a loader in the Flash code. For In-Application Programming, the user program erases and reprograms the Flash memory by use of standard routines contained in ROM.

This device executes one machine cycle in 6 clock cycles, hence providing twice the speed of a conventional 80C51. An OTP configuration bit lets the user select conventional 12 clock timing if desired.

This device is a Single-Chip 8-Bit Microcontroller manufactured in advanced CMOS process and is a derivative of the 80C51 microcontroller family. The instruction set is 100% compatible with the 80C51 instruction set.

The device also has four 8-bit I/O ports, three 16-bit timer/event counters, a multi-source, four-priority-level, nested interrupt structure, an enhanced UART and on-chip oscillator and timing circuits.

The added features of the P89C51RB2/RC2/RD2 makes it a powerful microcontroller for applications that require pulse width modulation, high-speed I/O and up/down counting capabilities such as motor control.

FEATURES

- 80C51 Central Processing Unit
- On-chip Flash Program Memory with In-System Programming (ISP) and In-Application Programming (IAP) capability
- Boot ROM contains low level Flash programming routines for downloading via the UART
- Can be programmed by the end-user application (IAP)
- 6 clocks per machine cycle operation (standard)
- 12 clocks per machine cycle operation (optional)
- Speed up to 20 MHz with 6 clock cycles per machine cycle (40 MHz equivalent performance); up to 33 MHz with 12 clocks per machine cycle
- Fully static operation
- RAM expandable externally to 64 kB
- 4 level priority interrupt
- 7 interrupt sources
- Four 8-bit I/O ports
- Full-duplex enhanced UART
  - Framing error detection
  - Automatic address recognition
- Power control modes
  - Clock can be stopped and resumed
  - Idle mode
  - Power down mode
- Programmable clock out
- Second DPTR register
- Asynchronous port reset
- Low EMI (inhibit ALE)
- Programmable Counter Array (PCA)
  - PWM
  - Capture/compare

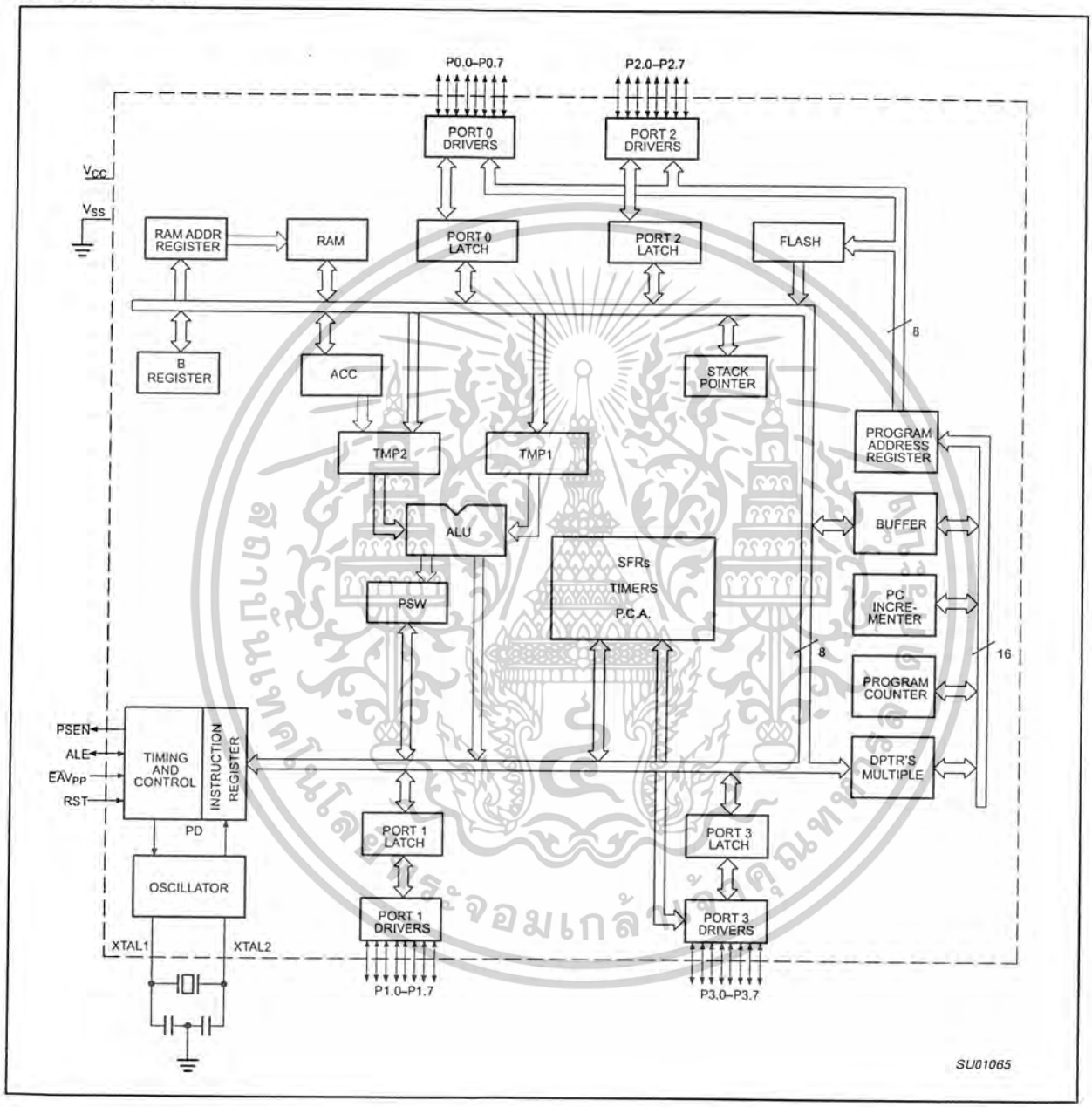
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

	PHILIPS (EXCEPT NORTH AMERICA) PART ORDER NUMBER PART MARKING	PHILIPS NORTH AMERICA PART ORDER NUMBER	MEMORY		TEMPERATURE RANGE (°C) AND PACKAGE	VOLTAGE RANGE	FREQUENCY (MHz)		DWG #
			FLASH	RAM			6 CLOCK MODE	12 CLOCK MODE	
1	P89C51RB2HBA	P89C51RB2BA	16 kB	512 B	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
2	P89C51RB2HBBD	P89C51RB2BBD	16 kB	512 B	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
3	P89C51RC2HBP	P89C51RC2BP	32 kB	512 B	0 to +70, PDIP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT129-1
4	P89C51RC2HBA	P89C51RC2BA	32 kB	512 B	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
5	P89C51RC2HFA	P89C51RC2FA	32 kB	512 B	–40 to +85, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
6	P89C51RC2HBBD	P89C51RC2BBD	32 kB	512 B	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
7	P89C51RC2HFBD	P89C51RC2FBD	32 kB	512 B	–40 to +85, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1
8	P89C51RD2HBP	P89C51RD2BP	64 kB	1 kB	0 to +70, PDIP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT129-1
9	P89C51RD2HBA	P89C51RD2BA	64 kB	1 kB	0 to +70, PLCC	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT187-2
10	P89C51RD2HBBD	P89C51RD2BBD	64 kB	1 kB	0 to +70, LQFP	4.5–5.5 V	0 to 20 MHz	0 to 33 MHz	SOT389-1

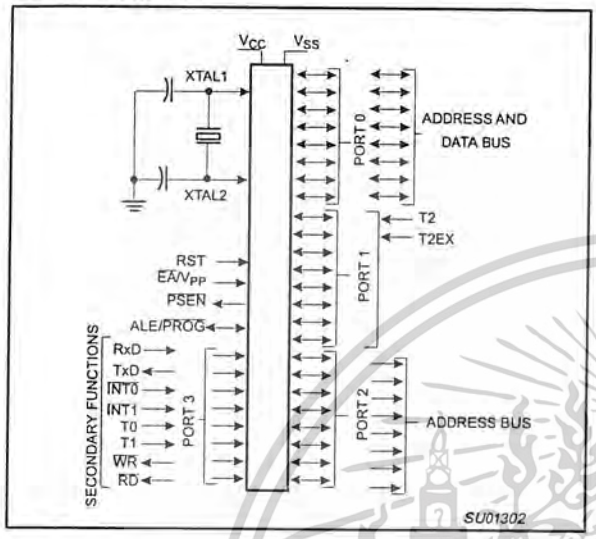
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

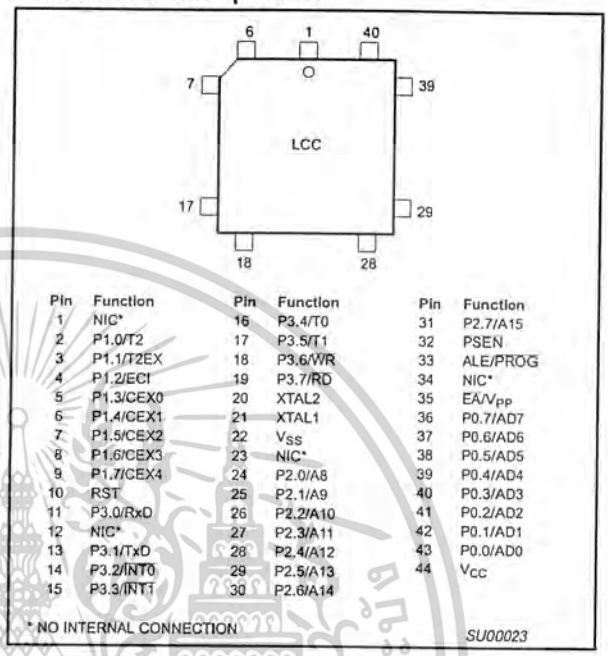


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



Plastic Leaded Chip Carrier



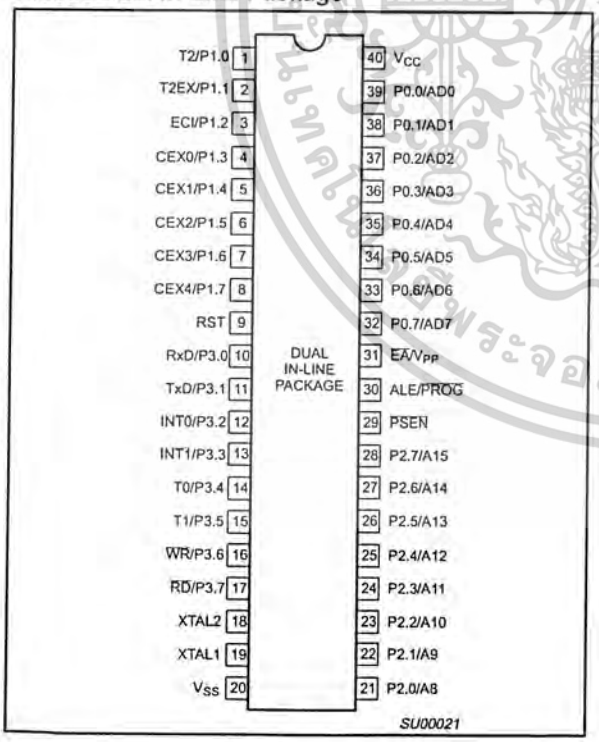
Pin	Function	Pin	Function	Pin	Function
1	NIC*	16	P3.4/T0	31	P2.7/A15
2	P1.0/T2	17	P3.5/T1	32	PSEN
3	P1.1/T2EX	18	P3.6/WR	33	ALE/PROG
4	P1.2/ECI	19	P3.7/RD	34	NIC*
5	P1.3/CEX0	20	XTAL2	35	EA/V_{PP}
6	P1.4/CEX1	21	XTAL1	36	P0.7/AD7
7	P1.5/CEX2	22	V_{SS}	37	P0.6/AD6
8	P1.6/CEX3	23	NIC*	38	P0.5/AD5
9	P1.7/CEX4	24	P2.0/A8	39	P0.4/AD4
10	RST	25	P2.1/A9	40	P0.3/AD3
11	P3.0/RxD	26	P2.2/A10	41	P0.2/AD2
12	NIC*	27	P2.3/A11	42	P0.1/AD1
13	P3.1/TxD	28	P2.4/A12	43	P0.0/AD0
14	P3.2/INT0	29	P2.5/A13	44	V_{CC}
15	P3.3/INT1	30	P2.6/A14		

* NO INTERNAL CONNECTION

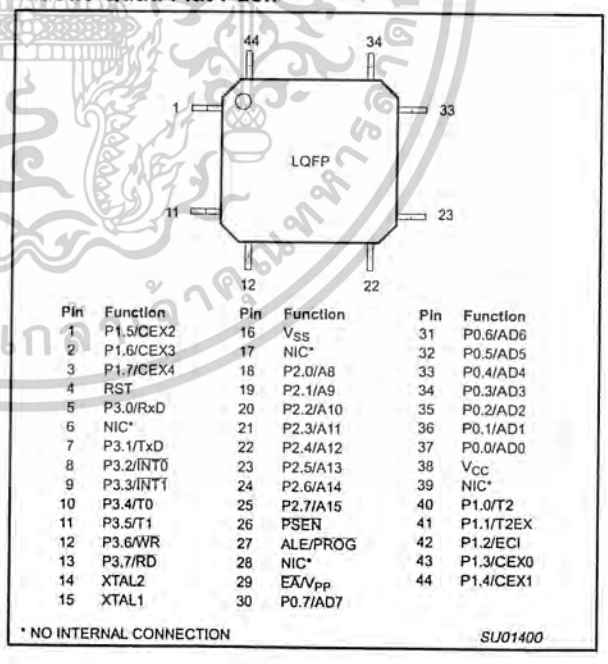
SU00023

PINNING

Plastic Dual In-Line Package



Plastic Quad Flat Pack



Pin	Function	Pin	Function	Pin	Function
1	P1.5/CEX2	16	V_{SS}	31	P0.6/AD6
2	P1.6/CEX3	17	NIC*	32	P0.5/AD5
3	P1.7/CEX4	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/INT0	23	P2.5/A13	38	V_{CC}
9	P3.3/INT1	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	PSEN	41	P1.1/T2EX
12	P3.6/WR	27	ALE/PROG	42	P1.2/ECI
13	P3.7/RD	28	NIC*	43	P1.3/CEX0
14	XTAL2	29	EA/V_{PP}	44	P1.4/CEX1
15	XTAL1	30	P0.7/AD7		

* NO INTERNAL CONNECTION

SU01400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
V_{SS}	20	22	16	I	**Ground:** 0 V reference.
V_{CC}	40	44	38	I	**Power Supply:** This is the power supply voltage for normal, idle, and power-down operation.
P0.0–0.7	39–32	43–36	37–30	I/O	**Port 0:** Port 0 is an open-drain, bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program and data memory. In this application, it uses strong internal pull-ups when emitting 1s.
P1.0–P1.7	1–8	2–9	40–44, 1–3	I/O	**Port 1:** Port 1 is an 8-bit bidirectional I/O port with internal pull-ups on all pins except P1.6 and P1.7 which are open drain. Port 1 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 1 pins that are externally pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}).
					Alternate functions for 89C51RB2/RC2/RD2 Port 1 include:
	1	2	40	I/O	**T2 (P1.0):** Timer/Counter 2 external count input/Clockout (see Programmable Clock-Out)
	2	3	41	I	**T2EX (P1.1):** Timer/Counter 2 Reload/Capture/Direction Control
	3	4	42	I	**ECI (P1.2):** External Clock Input to the PCA
	4	5	43	I/O	**CEX0 (P1.3):** Capture/Compare External I/O for PCA module 0
	5	6	44	I/O	**CEX1 (P1.4):** Capture/Compare External I/O for PCA module 1
	6	7	1	I/O	**CEX2 (P1.5):** Capture/Compare External I/O for PCA module 2
	7	8	2	I/O	**CEX3 (P1.6):** Capture/Compare External I/O for PCA module 3
	8	9	3	I/O	**CEX4 (P1.7):** Capture/Compare External I/O for PCA module 4
P2.0–P2.7	21–28	24–31	18–25	I/O	**Port 2:** Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. Port 2 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 2 pins that are externally being pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @DPTR). In this application, it uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOV @Ri), port 2 emits the contents of the P2 special function register. P2.7 must be a "1" to program and erase the device.
P3.0–P3.7	10–17	11, 13–19	5, 7–13	I/O	**Port 3:** Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 3 pins that are externally being pulled low will source current because of the pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 3 also serves the special features of the 89C51RB2/RC2/RD2, as listed below:
	10	11	5	I	**RxD (P3.0):** Serial input port
	11	13	7	O	**TxD (P3.1):** Serial output port
	12	14	8	I	**$\overline{INT0}$ (P3.2):** External interrupt
	13	15	9	I	**$\overline{INT1}$ (P3.3):** External interrupt
	14	16	10	I	**T0 (P3.4):** Timer 0 external input
	15	17	11	I	**T1 (P3.5):** Timer 1 external input
	16	18	12	O	**$\overline{WR}$ (P3.6):** External data memory write strobe
	17	19	13	O	**$\overline{RD}$ (P3.7):** External data memory read strobe
RST	9	10	4	I	**Reset:** A high on this pin for two machine cycles while the oscillator is running, resets the device. An internal resistor to V_{SS} permits a power-on reset using only an external capacitor to V_{CC}.
ALE	30	33	27	O	**Address Latch Enable:** Output pulse for latching the low byte of the address during an access to external memory. In normal operation, ALE is emitted twice every machine cycle, and can be used for external timing or clocking. Note that one ALE pulse is skipped during each access to external data memory. ALE can be disabled by setting SFR auxiliary.0. With this bit set, ALE will be active only during a MOVX instruction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
$\overline{PSEN}$	29	32	26	O	**Program Store Enable:** The read strobe to external program memory. When executing code from the external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory. $\overline{PSEN}$ is not activated during fetches from internal program memory.
$\overline{EA}/V_{PP}$	31	35	29	I	**External Access Enable/Programming Supply Voltage:** $\overline{EA}$ must be externally held low to enable the device to fetch code from external program memory locations. If $\overline{EA}$ is held high, the device executes from internal program memory. The value on the $\overline{EA}$ pin is latched when RST is released and any subsequent changes have no effect. This pin also receives the programming supply voltage (V_{PP}) during Flash programming.
XTAL1	19	21	15	I	**Crystal 1:** Input to the inverting oscillator amplifier and input to the internal clock generator circuits.
XTAL2	18	20	14	O	**Crystal 2:** Output from the inverting oscillator amplifier.

NOTE:
To avoid "latch-up" effect at power-on, the voltage on any pin (other than V_{PP}) must not be higher than V_{CC} + 0.5 V or less than V_{SS} – 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
ACC*	Accumulator	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	Auxiliary	8EH	–	–	–	–	–	–	EXTRAM	AO	xxxxxx00B
AUXR1#	Auxiliary 1	A2H	–	–	ENBOOT	–	GF2	0	–	DPS	xxxxxxx0B
B*	B register	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
CCAP0H#	Module 0 Capture High	FAH									xxxxxxxxB
CCAP1H#	Module 1 Capture High	FBH									xxxxxxxxB
CCAP2H#	Module 2 Capture High	FCH									xxxxxxxxB
CCAP3H#	Module 3 Capture High	FDH									xxxxxxxxB
CCAP4H#	Module 4 Capture High	FEH									xxxxxxxxB
CCAP0L#	Module 0 Capture Low	EAH									xxxxxxxxB
CCAP1L#	Module 1 Capture Low	EBH									xxxxxxxxB
CCAP2L#	Module 2 Capture Low	ECH									xxxxxxxxB
CCAP3L#	Module 3 Capture Low	EDH									xxxxxxxxB
CCAP4L#	Module 4 Capture Low	EEH									xxxxxxxxB
CCAPM0#	Module 0 Mode	DAH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM1#	Module 1 Mode	DBH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM2#	Module 2 Mode	DCH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM3#	Module 3 Mode	DDH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM4#	Module 4 Mode	DEH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
			DF	DE	DD	DC	DB	DA	D9	D8	
CCON*#	PCA Counter Control	D8H	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0	00x00000B
CH#	PCA Counter High	F9H									00H
CL#	PCA Counter Low	E9H									00H
CMOD#	PCA Counter Mode	D9H	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF	00xxx000B
DPTR:	Data Pointer (2 bytes)										
DPH	Data Pointer High	83H									00H
DPL	Data Pointer Low	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	Interrupt Enable 0	A8H	EA	EC	ET2	ES	ET1	EX1	ET0	EX0	00H
			BF	BE	BD	BC	BB	BA	B9	B8	
IP*	Interrupt Priority	B8H	–	PPC	PT2	PS	PT1	PX1	PT0	PX0	x0000000B
			B7	B6	B5	B4	B3	B2	B1	B0	
IPH#	Interrupt Priority High	B7H	–	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	x0000000B
			87	86	85	84	83	82	81	80	
P0*	Port 0	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	Port 1	90H	CEX4	CEX3	CEX2	CEX1	CEX0	ECI	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	Port 2	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	Port 3	B0H	$\overline{RD}$	$\overline{WR}$	T1	T0	$\overline{INT1}$	$\overline{INT0}$	TxD	RxD	FFH
PCON#[1]	Power Control	87H	SMOD1	SMOD0	–	POF	GF1	GF0	PD	IDL	00xxx000B

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.
1. Reset value depends on reset source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers (Continued)

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	Program Status Word	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00000000B
RCAP2H#	Timer 2 Capture High	CBH									00H
RCAP2L#	Timer 2 Capture Low	CAH									00H
SADDR#	Slave Address	A9H									00H
SADEN#	Slave Address Mask	B9H									00H
SBUF	Serial Data Buffer	99H									xxxxxxxxB
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	Serial Control	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	Stack Pointer	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	Timer Control	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CC	CB	CA	C9	C8	
T2CON*	Timer 2 Control	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00H
T2MOD#	Timer 2 Mode Control	C9H	–	–	–	–	–	–	T2OE	DCEN	xxxxxx00B
TH0	Timer High 0	8CH									00H
TH1	Timer High 1	8DH									00H
TH2#	Timer High 2	CDH									00H
TL0	Timer Low 0	8AH									00H
TL1	Timer Low 1	8BH									00H
TL2#	Timer Low 2	CCH									00H
TMOD	Timer Mode	89H	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H
WDTRST	Watchdog Timer Reset	A6H									

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. Minimum and maximum high and low times specified in the data sheet must be observed.

This device is configured at the factory to operate using 6 clock periods per machine cycle, referred to in this datasheet as "6 clock mode". (This yields performance equivalent to twice that of standard 80C51 family devices). It may be optionally configured on commercially-available EPROM programming equipment to operate at 12 clocks per machine cycle, referred to in this datasheet as "12 clock mode". Once 12 clock mode has been configured, it cannot be changed back to 6 clock mode.

RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (12 oscillator periods in 6 clock mode, or 24 oscillator periods in 12 clock mode), while the oscillator is running. To ensure a good power-on reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{CC} and RST must come up at the same time for a proper start-up. Ports 1, 2, and 3 will asynchronously be driven to their reset condition when a voltage above V_{IH1} (min.) is applied to RESET.

The value on the $\overline{EA}$ pin is latched when RST is deasserted and has no further effect.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW POWER MODES

Stop Clock Mode

The static design enables the clock speed to be reduced down to 0 MHz (stopped). When the oscillator is stopped, the RAM and Special Function Registers retain their values. This mode allows step-by-step utilization and permits reduced system power consumption by lowering the clock frequency down to any value. For lowest power consumption the Power Down mode is suggested.

Idle Mode

In the idle mode (see Table 2), the CPU puts itself to sleep while all of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU contents, the on-chip RAM, and all of the special function registers remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the process is picked up at the interrupt service routine and continued), or by a hardware reset which starts the processor in the same manner as a power-on reset.

Power-Down Mode

To save even more power, a Power Down mode (see Table 2) can be invoked by software. In this mode, the oscillator is stopped and the instruction that invoked Power Down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values down to 2.0 V and care must be taken to return V_{CC} to the minimum specified operating voltages before the Power Down Mode is terminated.

Either a hardware reset or external interrupt can be used to exit from Power Down. Reset redefines all the SFRs but does not change the on-chip RAM. An external interrupt allows both the SFRs and the on-chip RAM to retain their values.

To properly terminate Power Down, the reset or external interrupt should not be executed before V_{CC} is restored to its normal operating level and must be held active long enough for the oscillator to restart and stabilize (normally less than 10 ms).

With an external interrupt, INT0 and INT1 must be enabled and configured as level-sensitive. Holding the pin low restarts the oscillator but bringing the pin back high completes the exit. Once the interrupt is serviced, the next instruction to be executed after RETI will be the one following the instruction that put the device into Power Down.

POWER OFF FLAG

The Power Off Flag (POF) is set by on-chip circuitry when the V_{CC} level on the P89C51RB2/RC2/RD2 rises from 0 to 5 V. The POF bit can be set or cleared by software allowing a user to determine if the reset is the result of a power-on or a warm start after powerdown. The V_{CC} level must remain above 3 V for the POF to remain unaffected by the V_{CC} level.

Design Consideration

- When the idle mode is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

ONCE™ Mode

The ONCE ("On-Circuit Emulation") Mode facilitates testing and debugging of systems without the device having to be removed from the circuit. The ONCE Mode is invoked by:

1. Pull ALE low while the device is in reset and PSEN is high;
2. Hold ALE low as RST is deactivated.

While the device is in ONCE Mode, the Port 0 pins go into a float state, and the other port pins and ALE and PSEN are weakly pulled high. The oscillator circuit remains active. While the device is in this mode, an emulator or test CPU can be used to drive the circuit. Normal operation is restored when a normal reset is applied.

Programmable Clock-Out

A 50% duty cycle clock can be programmed to come out on P1.0. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed:

1. to input the external clock for Timer/Counter 2, or
2. to output a 50% duty cycle clock ranging from 122 Hz to 8 MHz at a 16 MHz operating frequency (61 Hz to 4 MHz in 12 clock mode).

To configure the Timer/Counter 2 as a clock generator, bit C/T2 (in T2CON) must be cleared and bit T20E in T2MOD must be set. Bit TR2 (T2CON.2) also must be set to start the timer.

The Clock-Out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L) as shown in this equation:

$$\frac{\text{Oscillator Frequency}}{n \times (65536 - \text{RCAP2H,RCAP2L})}$$

n = 2 in 6 clock mode, 4 in 12 clock mode

Where (RCAP2H,RCAP2L) = the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

In the Clock-Out mode Timer 2 roll-overs will not generate an interrupt. This is similar to when it is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and the Clock-Out frequency will be the same.

Table 2. External Pin Status During Idle and Power-Down Mode

MODE	PROGRAM MEMORY	ALE	PSEN	PORT 0	PORT 1	PORT 2	PORT 3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMER 2 OPERATION

Timer 2

Timer 2 is a 16-bit Timer/Counter which can operate as either an event timer or an event counter, as selected by C/T2* in the special function register T2CON (see Figure 1). Timer 2 has three operating modes: Capture, Auto-reload (up or down counting), and Baud Rate Generator, which are selected by bits in the T2CON as shown in Table 3.

Capture Mode

In the capture mode there are two options which are selected by bit EXEN2 in T2CON. If EXEN2=0, then timer 2 is a 16-bit timer or counter (as selected by C/T2* in T2CON) which, upon overflowing sets bit TF2, the timer 2 overflow bit. This bit can be used to generate an interrupt (by enabling the Timer 2 interrupt bit in the IE register). If EXEN2= 1, Timer 2 operates as described above, but with the added feature that a 1- to -0 transition at external input T2EX causes the current value in the Timer 2 registers, TL2 and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2 like TF2 can generate an interrupt (which vectors to the same location as Timer 2 overflow interrupt. The Timer 2 interrupt service routine can interrogate TF2 and EXF2 to determine which event caused the interrupt). The capture mode is illustrated in Figure 2 (There is no reload value for TL2 and TH2 in this mode. Even when a capture event occurs from T2EX, the counter keeps on counting T2EX pin transitions or osc/6 pulses (osc/12 in 12 clock mode).).

Auto-Reload Mode (Up or Down Counter)

In the 16-bit auto-reload mode, Timer 2 can be configured (as either a timer or counter [C/T2* in T2CON]) then programmed to count up or down. The counting direction is determined by bit DCEN (Down Counter Enable) which is located in the T2MOD register (see Figure 3). When reset is applied the DCEN=0 which means Timer 2 will default to counting up. If DCEN bit is set, Timer 2 can count up or down depending on the value of the T2EX pin.

Figure 4 shows Timer 2 which will count up automatically since DCEN=0. In this mode there are two options selected by bit EXEN2 in T2CON register. If EXEN2=0, then Timer 2 counts up to 0FFFFH and sets the TF2 (Overflow Flag) bit upon overflow. This causes the Timer 2 registers to be reloaded with the 16-bit value in RCAP2L and RCAP2H. The values in RCAP2L and RCAP2H are preset by software means.

If EXEN2=1, then a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at input T2EX. This transition also sets the EXF2 bit. The Timer 2 interrupt, if enabled, can be generated when either TF2 or EXF2 are 1.

In Figure 5 DCEN=1 which enables Timer 2 to count up or down. This mode allows pin T2EX to control the direction of count. When a logic 1 is applied at pin T2EX Timer 2 will count up. Timer 2 will overflow at 0FFFFH and set the TF2 flag, which can then generate an interrupt, if the interrupt is enabled. This timer overflow also causes the 16-bit value in RCAP2L and RCAP2H to be reloaded into the timer registers TL2 and TH2.

When a logic 0 is applied at pin T2EX this causes Timer 2 to count down. The timer will underflow when TL2 and TH2 become equal to the value stored in RCAP2L and RCAP2H. Timer 2 underflow sets the TF2 flag and causes 0FFFFH to be reloaded into the timer registers TL2 and TH2.

The external flag EXF2 toggles when Timer 2 underflows or overflows. This EXF2 bit can be used as a 17th bit of resolution if needed. The EXF2 flag does not generate an interrupt in this mode of operation.

(MSB) (LSB)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2

Symbol	Position	Name and Significance
TF2	T2CON.7	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK or TCLK = 1.
EXF2	T2CON.6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	T2CON.5	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	T2CON.4	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	T2CON.3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	T2CON.2	Start/stop control for Timer 2. A logic 1 starts the timer.
C/T2	T2CON.1	Timer or counter select. (Timer 2) 0 = Internal timer (OSC/6 in 6 clock mode or OSC/12 in 12 clock mode) 1 = External event counter (falling edge triggered).
CP/RL2	T2CON.0	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

SU01251

Figure 1. Timer/Counter 2 (T2CON) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3. Timer 2 Operating Modes

RCLK + TCLK	CP/RL2	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud rate generator
X	X	0	(off)

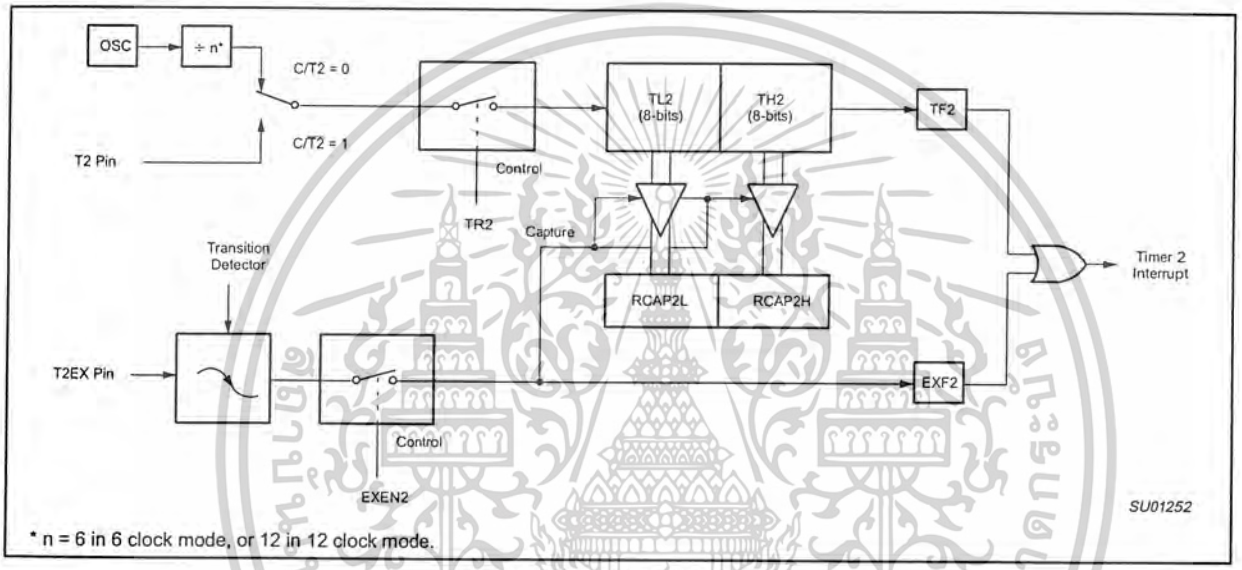


Figure 2. Timer 2 in Capture Mode

T2MOD Address = 0C9H Reset Value = XXXX XX00B

Not Bit Addressable

—	—	—	—	—	—	T2OE	DCEN
Bit 7	6	5	4	3	2	1	0

Symbol	Function
—	Not implemented, reserved for future use.*
T2OE	Timer 2 Output Enable bit.
DCEN	Down Count Enable bit. When set, this allows Timer 2 to be configured as an up/down counter.

* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU00729

Figure 3. Timer 2 Mode (T2MOD) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

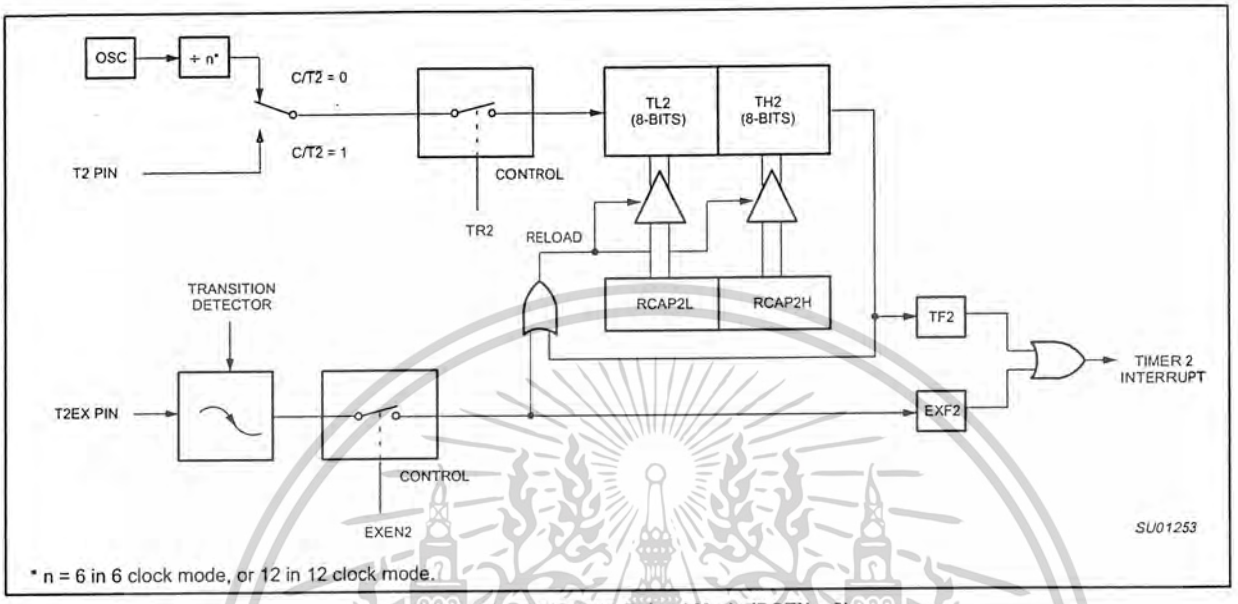


Figure 4. Timer 2 in Auto-Reload Mode (DCEN = 0)

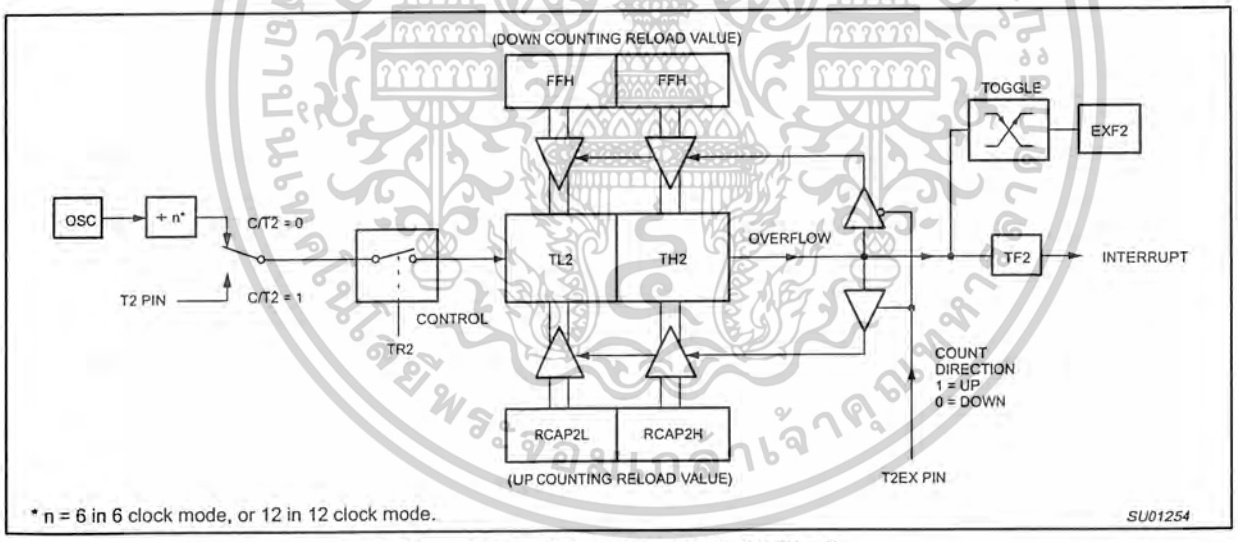


Figure 5. Timer 2 Auto Reload Mode (DCEN = 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

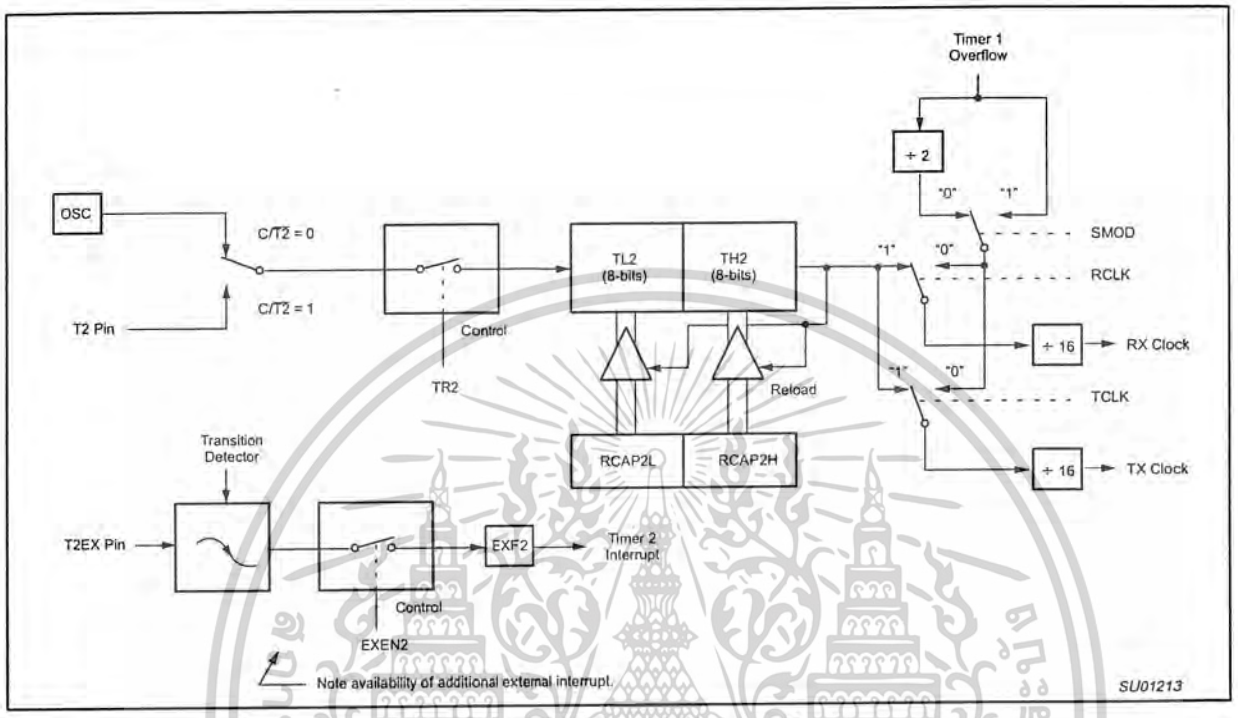


Figure 6. Timer 2 in Baud Rate Generator Mode

Table 4. Timer 2 Generated Commonly Used Baud Rates

Baud Rate		Osc Freq	Timer 2	
12 clock mode	6 clock mode		RCAP2H	RCAP2L
375 k	750 k	12 MHz	FF	FF
9.6 k	19.2 k	12 MHz	FF	D9
2.8 k	5.6 k	12 MHz	FF	B2
2.4 k	4.8 k	12 MHz	FF	64
1.2 k	2.4 k	12 MHz	FE	C8
300	600	12 MHz	FB	1E
110	220	12 MHz	F2	AF
300	600	6 MHz	FD	8F
110	220	6 MHz	F9	57

Baud Rate Generator Mode

Bits TCLK and/or RCLK in T2CON (Table 4) allow the serial port transmit and receive baud rates to be derived from either Timer 1 or Timer 2. When TCLK= 0, Timer 1 is used as the serial port transmit baud rate generator. When TCLK= 1, Timer 2 is used as the serial port transmit baud rate generator. RCLK has the same effect for the serial port receive baud rate. With these two bits, the serial port can have different receive and transmit baud rates – one generated by Timer 1, the other by Timer 2.

Figure 6 shows the Timer 2 in baud rate generation mode. The baud rate generation mode is like the auto-reload mode,in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in modes 1 and 3 are determined by Timer 2's overflow rate given below:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The timer can be configured for either "timer" or "counter" operation. In many applications, it is configured for "timer" operation (C/T2*=0). Timer operation is different for Timer 2 when it is being used as a baud rate generator.

Usually, as a timer it would increment every machine cycle (i.e., $^1/_6$ the oscillator frequency in 6 clock mode, $^1/_{12}$ the oscillator frequency in 12 clock mode). As a baud rate generator, it increments at the oscillator frequency in 6 clock mode ($^{OSC}/_2$ in 12 clock mode). Thus the baud rate formula is as follows:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Oscillator Frequency}}{[\,n^* \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

* n = 16 in 6 clock mode
32 in 12 clock mode

Where: (RCAP2H, RCAP2L)= The content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

The Timer 2 as a baud rate generator mode shown in Figure 6, is valid only if RCLK and/or TCLK = 1 in T2CON register. Note that a rollover in TH2 does not set TF2, and will not generate an interrupt. Thus, the Timer 2 interrupt does not have to be disabled when Timer 2 is in the baud rate generator mode. Also if the EXEN2 (T2 external enable flag) is set, a 1-to-0 transition in T2EX (Timer/counter 2 trigger input) will set EXF2 (T2 external flag) but will not cause a reload from (RCAP2H, RCAP2L) to (TH2,TL2). Therefore when Timer 2 is in use as a baud rate generator, T2EX can be used as an additional external interrupt, if needed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When Timer 2 is in the baud rate generator mode, one should not try to read or write TH2 and TL2. As a baud rate generator, Timer 2 is incremented every state time (osc/2) or asynchronously from pin T2; under these conditions, a read or write of TH2 or TL2 may not be accurate. The RCAP2 registers may be read, but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Table 4 shows commonly used baud rates and how they can be obtained from Timer 2.

Summary of Baud Rate Equations

Timer 2 is in baud rate generating mode. If Timer 2 is being clocked through pin T2(P1.0) the baud rate is:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

If Timer 2 is being clocked internally, the baud rate is:

$$\text{Baud Rate} = \frac{f_{OSC}}{[\,n^{*} \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

* n = 16 in 6 clock mode
32 in 12 clock mode

Where f_{OSC}= Oscillator Frequency

To obtain the reload value for RCAP2H and RCAP2L, the above equation can be rewritten as:

$$\text{RCAP2H, RCAP2L} = 65536 - \left(\frac{f_{OSC}}{n^{*} \times \text{Baud Rate}}\right)$$

Timer/Counter 2 Set-up

Except for the baud rate generator mode, the values given for T2CON do not include the setting of the TR2 bit. Therefore, bit TR2 must be set, separately, to turn the timer on. see Table 5 for set-up of Timer 2 as a timer. Also see Table 6 for set-up of Timer 2 as a counter.

Table 5. Timer 2 as a Timer

MODE	T2CON	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit Auto-Reload	00H	08H
16-bit Capture	01H	09H
Baud rate generator receive and transmit same baud rate	34H	36H
Receive only	24H	26H
Transmit only	14H	16H

Table 6. Timer 2 as a Counter

MODE	TMOD	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit	02H	0AH
Auto-Reload	03H	0BH

NOTES:
1. Capture/reload occurs only on timer/counter overflow.
2. Capture/reload occurs on timer/counter overflow and a 1-to-0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generator mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Enhanced UART

The UART operates in all of the usual modes that are described in the first section of *Data Handbook IC20, 80C51-Based 8-Bit Microcontrollers*. In addition the UART can perform framing error detect by looking for missing stop bits, and automatic address recognition. The UART also fully supports multiprocessor communication as does the standard 80C51 UART.

When used for framing error detect the UART looks for missing stop bits in the communication. A missing bit will set the FE bit in the SCON register. The FE bit shares the SCON.7 bit with SM0 and the function of SCON.7 is determined by PCON.6 (SMOD0) (see Figure 7). If SMOD0 is set then SCON.7 functions as FE. SCON.7 functions as SM0 when SMOD0 is cleared. When used as FE SCON.7 can only be cleared by software. Refer to Figure 8.

Automatic Address Recognition

Automatic Address Recognition is a feature which allows the UART to recognize certain addresses in the serial bit stream by using hardware to make the comparisons. This feature saves a great deal of software overhead by eliminating the need for the software to examine every serial address which passes by the serial port. This feature is enabled by setting the SM2 bit in SCON. In the 9 bit UART modes, mode 2 and mode 3, the Receive Interrupt flag (RI) will be automatically set when the received byte contains either the "Given" address or the "Broadcast" address. The 9-bit mode requires that the 9th information bit is a 1 to indicate that the received information is an address and not data. Automatic address recognition is shown in Figure 9.

The 8 bit mode is called Mode 1. In this mode the RI flag will be set if SM2 is enabled and the information received has a valid stop bit following the 8 address bits and the information is either a Given or Broadcast address.

Mode 0 is the Shift Register mode and SM2 is ignored.

Using the Automatic Address Recognition feature allows a master to selectively communicate with one or more slaves by invoking the Given slave address or addresses. All of the slaves may be contacted by using the Broadcast address. Two special Function Registers are used to define the slave's address, SADDR, and the address mask, SADEN. SADEN is used to define which bits in the SADDR are to b used and which bits are "don't care". The SADEN mask can be logically ANDed with the SADDR to create the "Given" address which the master will use for addressing each of the slaves. Use of the Given address allows multiple slaves to be recognized while excluding others. The following examples will help to show the versatility of this scheme:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1101
	Given	=	1100 00X0
Slave 1	SADDR	=	1100 0000
	SADEN	=	1111 1110
	Given	=	1100 000X

In the above example SADDR is the same and the SADEN data is used to differentiate between the two slaves. Slave 0 requires a 0 in bit 0 and it ignores bit 1. Slave 1 requires a 0 in bit 1 and bit 0 is ignored. A unique address for Slave 0 would be 1100 0010 since slave 1 requires a 0 in bit 1. A unique address for slave 1 would be 1100 0001 since a 1 in bit 0 will exclude slave 0. Both slaves can be selected at the same time by an address which has bit 0 = 0 (for slave 0) and bit 1 = 0 (for slave 1). Thus, both could be addressed with 1100 0000.

In a more complex system the following could be used to select slaves 1 and 2 while excluding slave 0:

Slave 0	SADDR	=	1100 0000
	SADEN	=	1111 1001
	Given	=	1100 0XX0
Slave 1	SADDR	=	1110 0000
	SADEN	=	1111 1010
	Given	=	1110 0X0X
Slave 2	SADDR	=	1110 0000
	SADEN	=	1111 1100
	Given	=	1110 00XX

In the above example the differentiation among the 3 slaves is in the lower 3 address bits. Slave 0 requires that bit 0 = 0 and it can be uniquely addressed by 1110 0110. Slave 1 requires that bit 1 = 0 and it can be uniquely addressed by 1110 and 0101. Slave 2 requires that bit 2 = 0 and its unique address is 1110 0011. To select Slaves 0 and 1 and exclude Slave 2 use address 1110 0100, since it is necessary to make bit 2 = 1 to exclude slave 2.

The Broadcast Address for each slave is created by taking the logical OR of SADDR and SADEN. Zeros in this result are trended as don't-cares. In most cases, interpreting the don't-cares as ones, the broadcast address will be FF hexadecimal.

Upon reset SADDR (SFR address 0A9H) and SADEN (SFR address 0B9H) are leaded with 0s. This produces a given address of all "don't cares" as well as a Broadcast address of all "don't cares". This effectively disables the Automatic Addressing mode and allows the microcontroller to use standard 80C51 type UART drivers which do not make use of this feature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCON Address = 98H Reset Value = 0000 0000B

Bit Addressable

	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI
Bit:	7	6	5	4	3	2	1	0

(SMOD0 = 0/1)*

Symbol	Function
FE	Framing Error bit. This bit is set by the receiver when an invalid stop bit is detected. The FE bit is not cleared by valid frames but should be cleared by software. The SMOD0 bit must be set to enable access to the FE bit.
SM0	Serial Port Mode Bit 0, (SMOD0 must = 0 to access bit SM0)
SM1	Serial Port Mode Bit 1

SM0	SM1	Mode	Description	Baud Rate**
0	0	0	shift register	$f_{OSC}/6$ (6 clock mode) or $f_{OSC}/12$ (12 clock mode)
0	1	1	8-bit UART	variable
1	0	2	9-bit UART	$f_{OSC}/32$ or $f_{OSC}/16$ (6 clock mode) or $f_{OSC}/64$ or $f_{OSC}/32$ (12 clock mode)
1	1	3	9-bit UART	variable

SM2	Enables the Automatic Address Recognition feature in Modes 2 or 3. If SM2 = 1 then RI will not be set unless the received 9th data bit (RB8) is 1, indicating an address, and the received byte is a Given or Broadcast Address. In Mode 1, if SM2 = 1 then RI will not be activated unless a valid stop bit was received, and the received byte is a Given or Broadcast Address. In Mode 0, SM2 should be 0.
REN	Enables serial reception. Set by software to enable reception. Clear by software to disable reception.
TB8	The 9th data bit that will be transmitted in Modes 2 and 3. Set or clear by software as desired.
RB8	In modes 2 and 3, the 9th data bit that was received. In Mode 1, if SM2 = 0, RB8 is the stop bit that was received. In Mode 0, RB8 is not used.
TI	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or at the beginning of the stop bit in the other modes, in any serial transmission. Must be cleared by software.
RI	Receive interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or halfway through the stop bit time in the other modes, in any serial reception (except see SM2). Must be cleared by software.

NOTE:
*SMOD0 is located at PCON6.
**f_{OSC} = oscillator frequency

SU01255

Figure 7. SCON: Serial Port Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

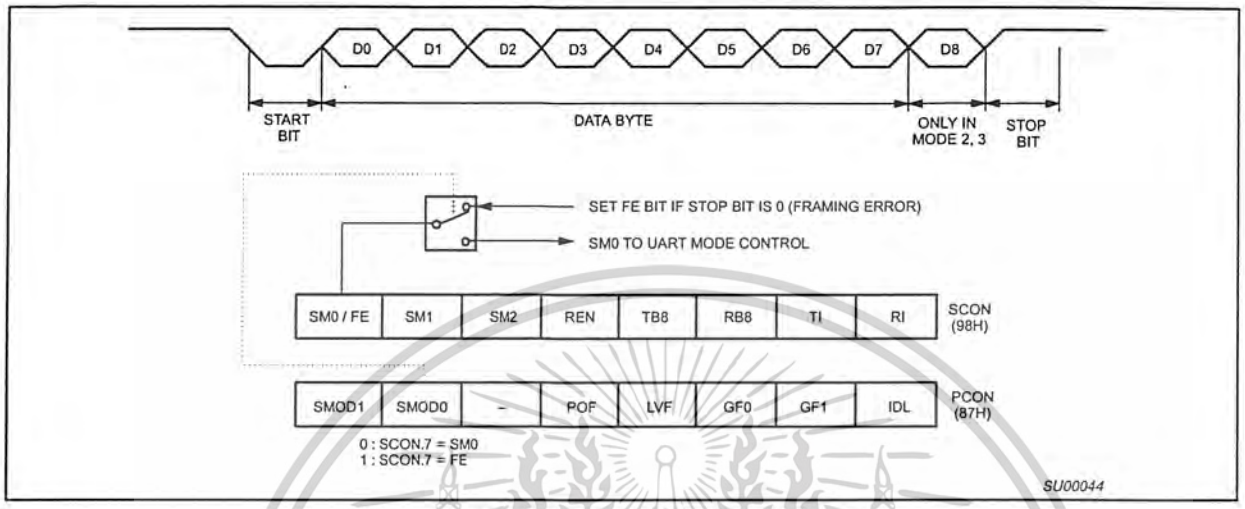


Figure 8. UART Framing Error Detection

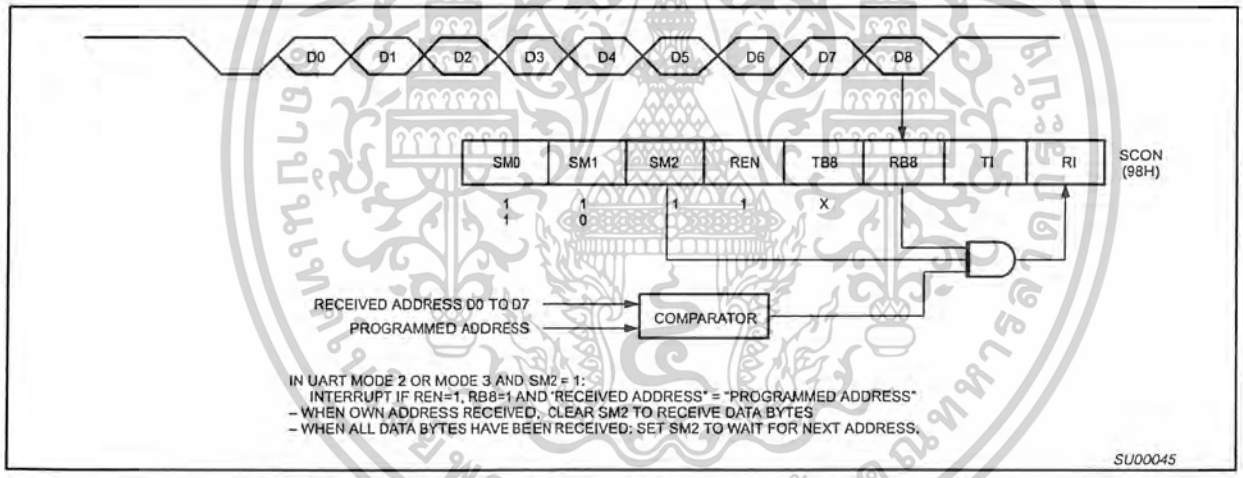


Figure 9. UART Multiprocessor Communication, Automatic Address Recognition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Priority Structure

The P89C51RB2/RC2/RD2 has a 7 source four-level interrupt structure (see Table 7).

There are 3 SFRs associated with the four-level interrupt. They are the IE, IP, and IPH. (See Figures 10, 11, and 12.) The IPH (Interrupt Priority High) register makes the four-level interrupt structure possible. The IPH is located at SFR address B7H. The structure of the IPH register and a description of its bits is shown in Figure 12.

The function of the IPH SFR, when combined with the IP SFR, determines the priority of each interrupt. The priority of each interrupt is determined as shown in the following table:

PRIORITY BITS		INTERRUPT PRIORITY LEVEL
IPH.x	IP.x	
0	0	Level 0 (lowest priority)
0	1	Level 1
1	0	Level 2
1	1	Level 3 (highest priority)

The priority scheme for servicing the interrupts is the same as that for the 80C51, except there are four interrupt levels rather than two as on the 80C51. An interrupt will be serviced as long as an interrupt of equal or higher priority is not already being serviced. If an interrupt of equal or higher level priority is being serviced, the new interrupt will wait until it is finished before being serviced. If a lower priority level interrupt is being serviced, it will be stopped and the new interrupt serviced. When the new interrupt is finished, the lower priority level interrupt that was stopped will be completed.

Table 7. Interrupt Table

SOURCE	POLLING PRIORITY	REQUEST BITS	HARDWARE CLEAR?	VECTOR ADDRESS
X0	1	IE0	N (L)[1] Y (T)[2]	03H
T0	2	TP0	Y	0BH
X1	3	IE1	N (L) Y (T)	13H
T1	4	TF1	Y	1BH
PCA	5	CF, CCFn n = 0–4	N	33H
SP	6	RI, TI	N	23H
T2	7	TF2, EXF2	N	2BH

NOTES:
1. L = Level activated
2. T = Transition activated

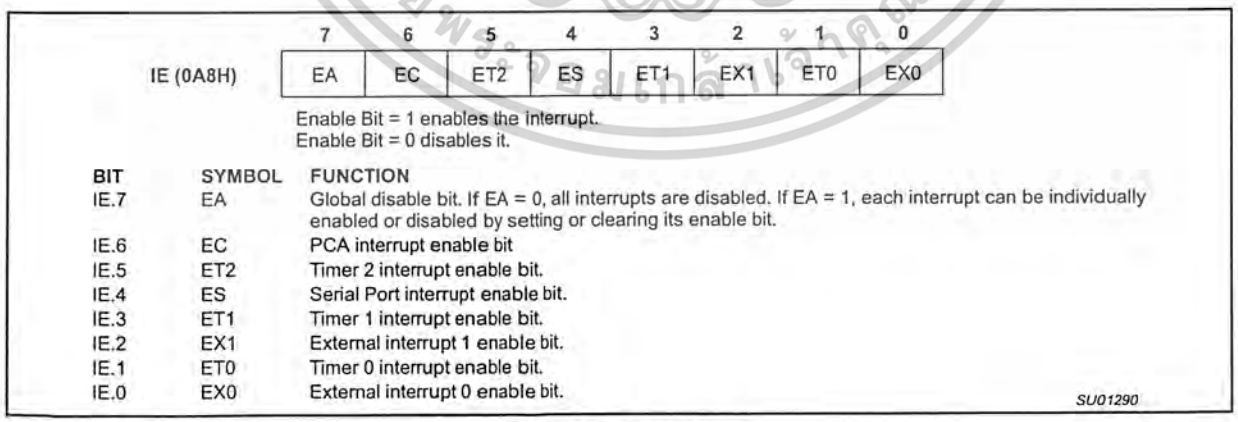


Figure 10. IE Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	7	6	5	4	3	2	1	0
IP (0B8H)	–	PPC	PT2	PS	PT1	PX1	PT0	PX0

Priority Bit = 1 assigns high priority
Priority Bit = 0 assigns low priority

BIT	SYMBOL	FUNCTION
IP.7	–	–
IP.6	PPC	PCA interrupt priority bit
IP.5	PT2	Timer 2 interrupt priority bit.
IP.4	PS	Serial Port interrupt priority bit.
IP.3	PT1	Timer 1 interrupt priority bit.
IP.2	PX1	External interrupt 1 priority bit.
IP.1	PT0	Timer 0 interrupt priority bit.
IP.0	PX0	External interrupt 0 priority bit.

SU01291

Figure 11. IP Registers

	7	6	5	4	3	2	1	0
IPH (B7H)	–	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H

Priority Bit = 1 assigns higher priority
Priority Bit = 0 assigns lower priority

BIT	SYMBOL	FUNCTION
IPH.7	–	–
IPH.6	PPCH	PCA interrupt priority bit
IPH.5	PT2H	Timer 2 interrupt priority bit high.
IPH.4	PSH	Serial Port interrupt priority bit high.
IPH.3	PT1H	Timer 1 interrupt priority bit high.
IPH.2	PX1H	External interrupt 1 priority bit high.
IPH.1	PT0H	Timer 0 interrupt priority bit high.
IPH.0	PX0H	External interrupt 0 priority bit high.

SU01292

Figure 12. IPH Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reduced EMI Mode

The AO bit (AUXR.0) in the AUXR register when set disables the ALE output.

Reduced EMI Mode

AUXR (8EH)

7	6	5	4	3	2	1	0
–	–	–	–	–	–	EXTRAM	AO

AUXR.1 EXTRAM
AUXR.0 AO Turns off ALE output.

Dual DPTR

The dual DPTR structure (see Figure 13) is a way by which the chip will specify the address of an external data memory location. There are two 16-bit DPTR registers that address the external memory, and a single bit called DPS = AUXR1/bit0 that allows the program code to switch between them.

- New Register Name: AUXR1#
- SFR Address: A2H
- Reset Value: xxxxxxx0B

AUXR1 (A2H)

7	6	5	4	3	2	1	0
–	–	ENBOOT	–	GF2	0	–	DPS

Where:
DPS = AUXR1/bit0 = Switches between DPTR0 and DPTR1.

Select Reg	DPS
DPTR0	0
DPTR1	1

The DPS bit status should be saved by software when switching between DPTR0 and DPTR1.

The GF2 bit is a general purpose user-defined flag. Note that bit 2 is not writable and is always read as a zero. This allows the DPS bit to be quickly toggled simply by executing an INC AUXR1 instruction without affecting the GF2 bit.

The ENBOOT bit determines whether the BOOTROM is enabled or disabled. This bit will automatically be set if the status byte is non zero during reset or $\overline{PSEN}$ is pulled low, ALE floats high, and EA > V_{IH} on the falling edge of reset. Otherwise, this bit will be cleared during reset.

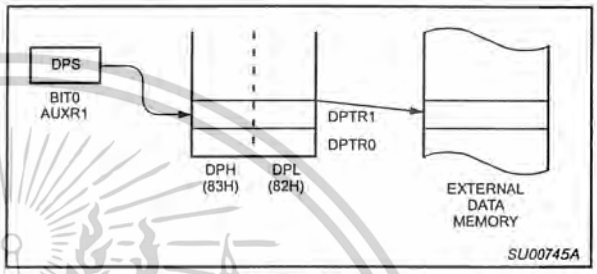


Figure 13.

DPTR Instructions

The instructions that refer to DPTR refer to the data pointer that is currently selected using the AUXR1/bit 0 register. The six instructions that use the DPTR are as follows:

INC DPTR	Increments the data pointer by 1
MOV DPTR, #data16	Loads the DPTR with a 16-bit constant
MOV A, @ A+DPTR	Move code byte relative to DPTR to ACC
MOVX A, @ DPTR	Move external RAM (16-bit address) to ACC
MOVX @ DPTR , A	Move ACC to external RAM (16-bit address)
JMP @ A + DPTR	Jump indirect relative to DPTR

The data pointer can be accessed on a byte-by-byte basis by specifying the low or high byte in an instruction which accesses the SFRs. See *Application Note AN458* for more details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Counter Array (PCA)

The Programmable Counter Array available on the 89C51RB2/RC2/RD2 is a special 16-bit Timer that has five 16-bit capture/compare modules associated with it. Each of the modules can be programmed to operate in one of four modes: rising and/or falling edge capture, software timer, high-speed output, or pulse width modulator. Each module has a pin associated with it in port 1. Module 0 is connected to P1.3(CEX0), module 1 to P1.4(CEX1), etc. The basic PCA configuration is shown in Figure 14.

The PCA timer is a common time base for all five modules and can be programmed to run at: 1/6 the oscillator frequency, 1/2 the oscillator frequency, the Timer 0 overflow, or the input on the ECI pin (P1.2). The timer count source is determined from the CPS1 and CPS0 bits in the CMOD SFR as follows (see Figure 17):

CPS1	CPS0	PCA Timer Count Source
0	0	1/6 oscillator frequency (6 clock mode); 1/12 oscillator frequency (12 clock mode)
0	1	1/2 oscillator frequency (6 clock mode); 1/4 oscillator frequency (12 clock mode)
1	0	Timer 0 overflow
1	1	External Input at ECI pin

In the CMOD SFR are three additional bits associated with the PCA. They are CIDL which allows the PCA to stop during idle mode, WDTE which enables or disables the watchdog function on module 4, and ECF which when set causes an interrupt and the PCA overflow flag CF (in the CCON SFR) to be set when the PCA timer overflows. These functions are shown in Figure 15.

The watchdog timer function is implemented in module 4 (see Figure 24).

The CCON SFR contains the run control bit for the PCA and the flags for the PCA timer (CF) and each module (refer to Figure 18). To run the PCA the CR bit (CCON.6) must be set by software. The PCA is shut off by clearing this bit. The CF bit (CCON.7) is set when the PCA counter overflows and an interrupt will be generated if the ECF bit in the CMOD register is set, The CF bit can only be cleared by software. Bits 0 through 4 of the CCON register are the flags for the modules (bit 0 for module 0, bit 1 for module 1, etc.) and are set by hardware when either a match or a capture occurs. These flags also can only be cleared by software. The PCA interrupt system shown in Figure 16.

Each module in the PCA has a special function register associated with it. These registers are: CCAPM0 for module 0, CCAPM1 for module 1, etc. (see Figure 19). The registers contain the bits that control the mode that each module will operate in. The ECCF bit (CCAPMn.0 where n=0, 1, 2, 3, or 4 depending on the module) enables the CCF flag in the CCON SFR to generate an interrupt when a match or compare occurs in the associated module. PWM (CCAPMn.1) enables the pulse width modulation mode. The TOG bit (CCAPMn.2) when set causes the CEX output associated with the module to toggle when there is a match between the PCA counter and the module's capture/compare register. The match bit MAT (CCAPMn.3) when set will cause the CCFn bit in the CCON register to be set when there is a match between the PCA counter and the module's capture/compare register.

The next two bits CAPN (CCAPMn.4) and CAPP (CCAPMn.5) determine the edge that a capture input will be active on. The CAPN bit enables the negative edge, and the CAPP bit enables the positive edge. If both bits are set both edges will be enabled and a capture will occur for either transition. The last bit in the register ECOM (CCAPMn.6) when set enables the comparator function. Figure 20 shows the CCAPMn settings for the various PCA functions.

There are two additional registers associated with each of the PCA modules. They are CCAPnH and CCAPnL and these are the registers that store the 16-bit count when a capture occurs or a compare should occur. When a module is used in the PWM mode these registers are used to control the duty cycle of the output.

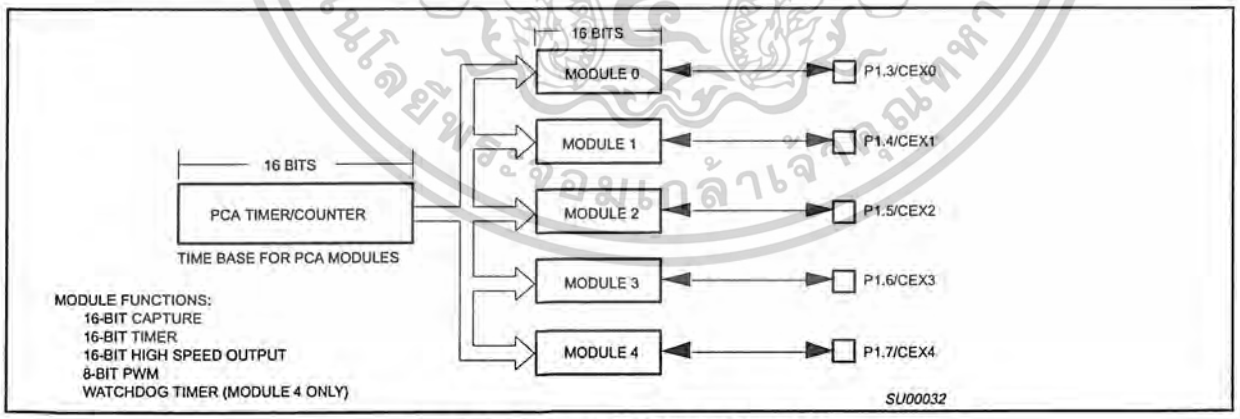


Figure 14. Programmable Counter Array (PCA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

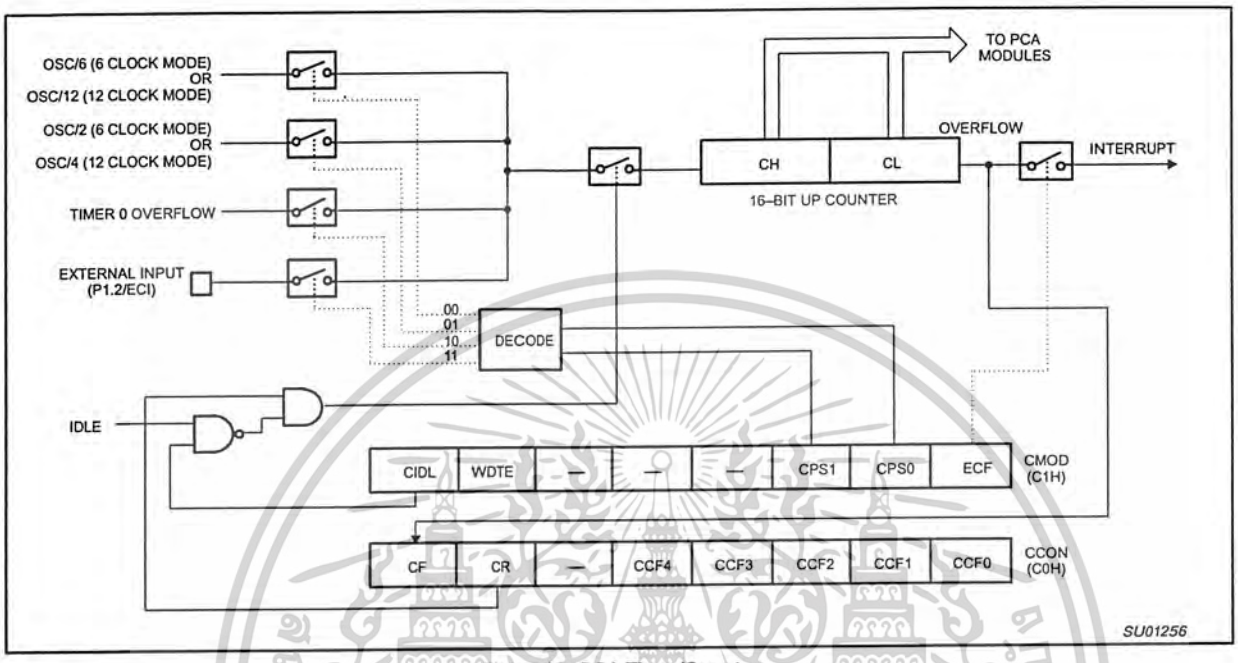


Figure 15. PCA Timer/Counter

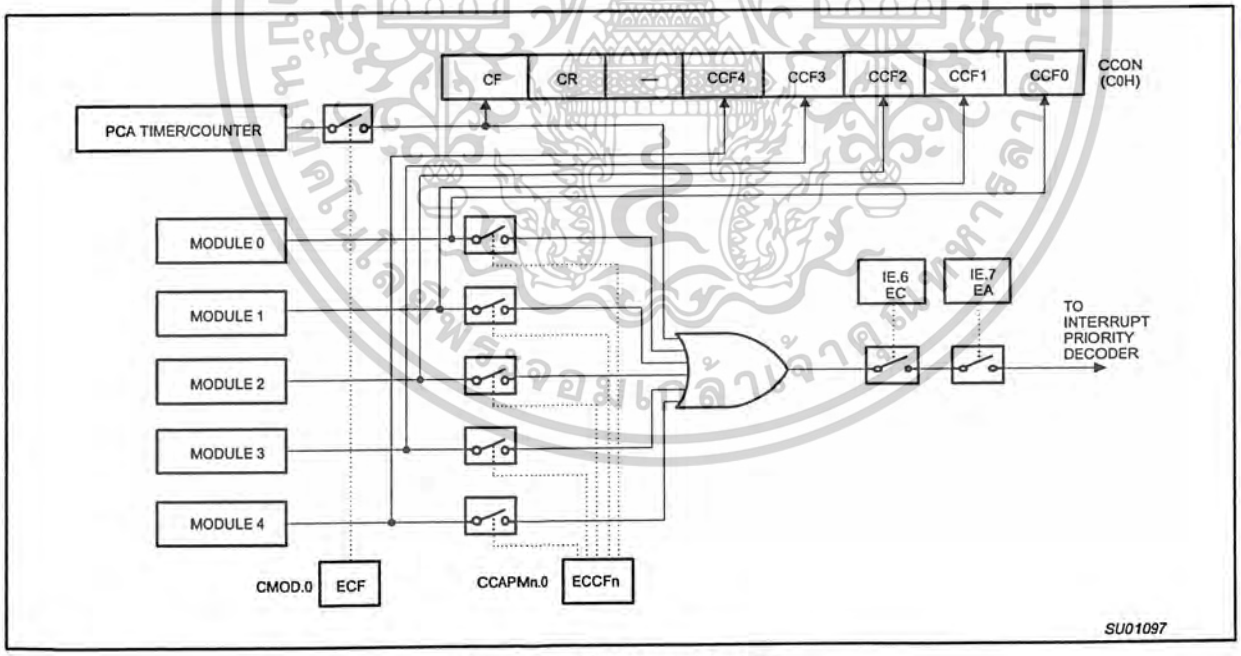


Figure 16. PCA Interrupt System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOD Address = D9H Reset Value = 00XX X000B

Bit:	7	6	5	4	3	2	1	0
	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF

Symbol	Function
CIDL	Counter Idle control: CIDL = 0 programs the PCA Counter to continue functioning during idle Mode. CIDL = 1 programs it to be gated off during idle.
WDTE	Watchdog Timer Enable: WDTE = 0 disables Watchdog Timer function on PCA Module 4. WDTE = 1 enables it.
–	Not implemented, reserved for future use.*
CPS1	PCA Count Pulse Select bit 1.
CPS0	PCA Count Pulse Select bit 0.

CPS1	CPS0	Selected PCA Input**	
0	0	0	Internal clock, f_{OSC}/6 in 6 clock mode (f_{OSC}/12 in 12 clock mode)
0	1	1	Internal clock, f_{OSC}/2 in 6 clock mode (f_{OSC}/4 in 12 clock mode)
1	0	2	Timer 0 overflow
1	1	3	External clock at ECI/P1.2 pin (max. rate = f_{OSC}/4 in 6 clock mode, f_{OCS}/8 in 12 clock mode)

ECF	PCA Enable Counter Overflow interrupt: ECF = 1 enables CF bit in CCON to generate an interrupt. ECF = 0 disables that function of CF.

NOTE:
* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.
** f_{OSC} = oscillator frequency

SU01318

Figure 17. CMOD: PCA Counter Mode Register

CCON Address = D8H Reset Value = 00X0 0000B

Bit Addressable

Bit:	7	6	5	4	3	2	1	0
	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0

Symbol	Function
CF	PCA Counter Overflow flag. Set by hardware when the counter rolls over. CF flags an interrupt if bit ECF in CMOD is set. CF may be set by either hardware or software but can only be cleared by software.
CR	PCA Counter Run control bit. Set by software to turn the PCA counter on. Must be cleared by software to turn the PCA counter off.
–	Not implemented, reserved for future use*.
CCF4	PCA Module 4 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF3	PCA Module 3 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF2	PCA Module 2 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF1	PCA Module 1 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF0	PCA Module 0 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.

NOTE:
* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01319

Figure 18. CCON: PCA Counter Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCAPMn Address CCAPM0 0DAH
CCAPM1 0DBH
CCAPM2 0DCH
CCAPM3 0DDH
CCAPM4 0DEH

Reset Value = X000 0000B

Not Bit Addressable

–	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn
7	6	5	4	3	2	1	0

Bit:

Symbol	Function
–	Not implemented, reserved for future use*.
ECOMn	Enable Comparator. ECOMn = 1 enables the comparator function.
CAPPn	Capture Positive, CAPPn = 1 enables positive edge capture.
CAPNn	Capture Negative, CAPNn = 1 enables negative edge capture.
MATn	Match. When MATn = 1, a match of the PCA counter with this module's compare/capture register causes the CCFn bit in CCON to be set, flagging an interrupt.
TOGn	Toggle. When TOGn = 1, a match of the PCA counter with this module's compare/capture register causes the CEXn pin to toggle.
PWMn	Pulse Width Modulation Mode. PWMn = 1 enables the CEXn pin to be used as a pulse width modulated output.
ECCFn	Enable CCF interrupt. Enables compare/capture flag CCFn in the CCON register to generate an interrupt.

NOTE:
*User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01320

Figure 19. CCAPMn: PCA Modules Compare/Capture Registers

–	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	MODULE FUNCTION
X	0	0	0	0	0	0	0	No operation
X	X	1	0	0	0	0	X	16-bit capture by a positive-edge trigger on CEXn
X	X	0	1	0	0	0	X	16-bit capture by a negative trigger on CEXn
X	X	1	1	0	0	0	X	16-bit capture by a transition on CEXn
X	1	0	0	1	0	0	X	16-bit Software Timer
X	1	0	0	1	1	0	X	16-bit High Speed Output
X	1	0	0	0	0	1	0	8-bit PWM
X	1	0	0	1	X	0	X	Watchdog Timer

Figure 20. PCA Module Modes (CCAPMn Register)

PCA Capture Mode
To use one of the PCA modules in the capture mode either one or both of the CCAPM bits CAPN and CAPP for that module must be set. The external CEX input for the module (on port 1) is sampled for a transition. When a valid transition occurs the PCA hardware loads the value of the PCA counter registers (CH and CL) into the module's capture registers (CCAPnL and CCAPnH). If the CCFn bit for the module in the CCON SFR and the ECCFn bit in the CCAPMn SFR are set then an interrupt will be generated. Refer to Figure 21.

16-bit Software Timer Mode
The PCA modules can be used as software timers by setting both the ECOM and MAT bits in the modules CCAPMn register. The PCA timer will be compared to the module's capture registers and when a match occurs an interrupt will occur if the CCFn (CCON SFR) and the ECCFn (CCAPMn SFR) bits for the module are both set (see Figure 22).

High Speed Output Mode
In this mode the CEX output (on port 1) associated with the PCA module will toggle each time a match occurs between the PCA counter and the module's capture registers. To activate this mode the TOG, MAT, and ECOM bits in the module's CCAPMn SFR must be set (see Figure 23).

Pulse Width Modulator Mode
All of the PCA modules can be used as PWM outputs. Figure 24 shows the PWM function. The frequency of the output depends on the source for the PCA timer. All of the modules will have the same frequency of output because they all share the PCA timer. The duty cycle of each module is independently variable using the module's capture register CCAPLn. When the value of the PCA CL SFR is less than the value in the module's CCAPLn SFR the output will be low, when it is equal to or greater than the output will be high. When CL overflows from FF to 00, CCAPLn is reloaded with the value in CCAPHn. the allows updating the PWM without glitches. The PWM and ECOM bits in the module's CCAPMn register must be set to enable the PWM mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

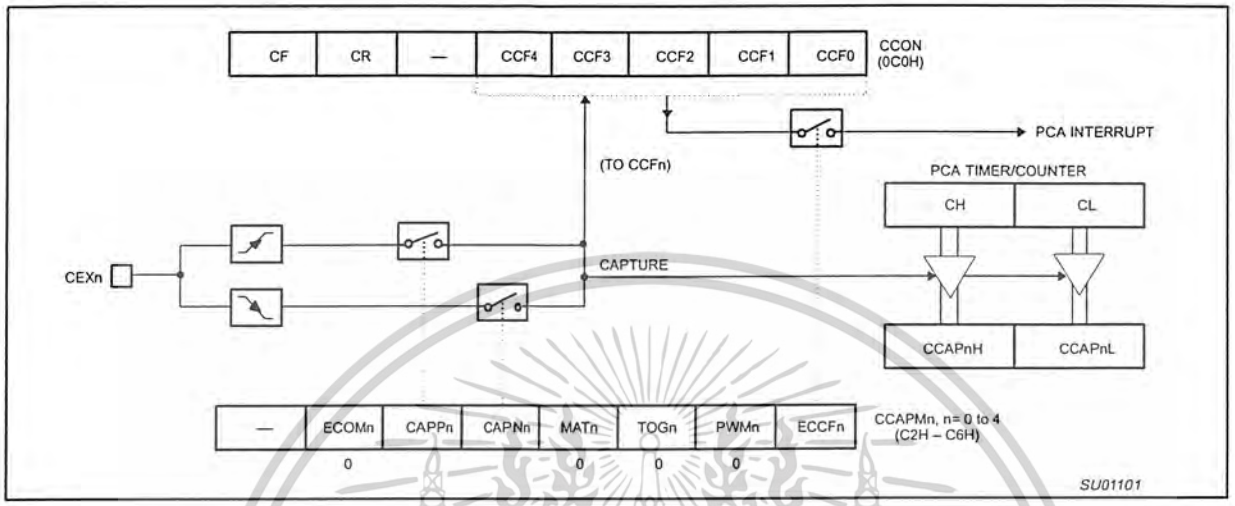


Figure 21. PCA Capture Mode

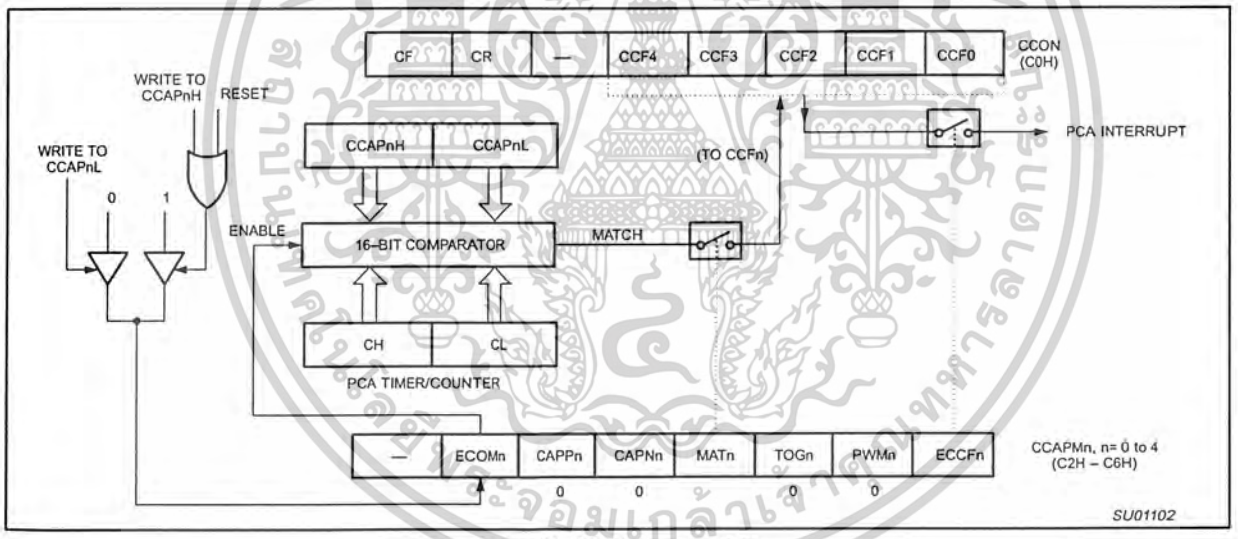


Figure 22. PCA Compare Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

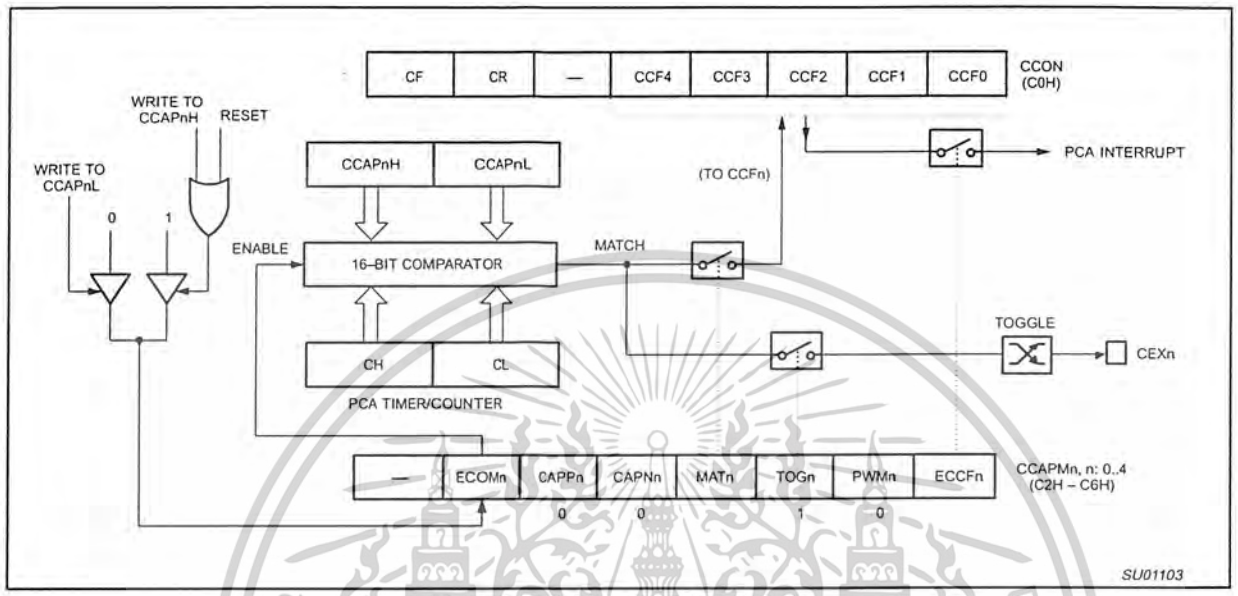


Figure 23. PCA High Speed Output Mode

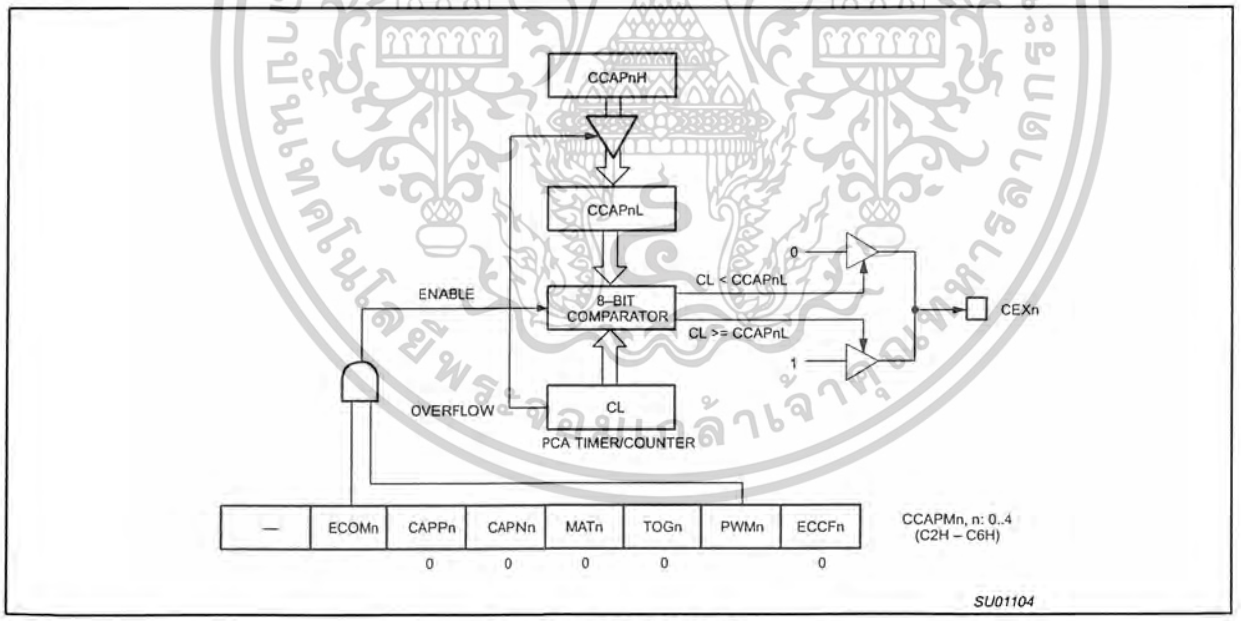


Figure 24. PCA PWM Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

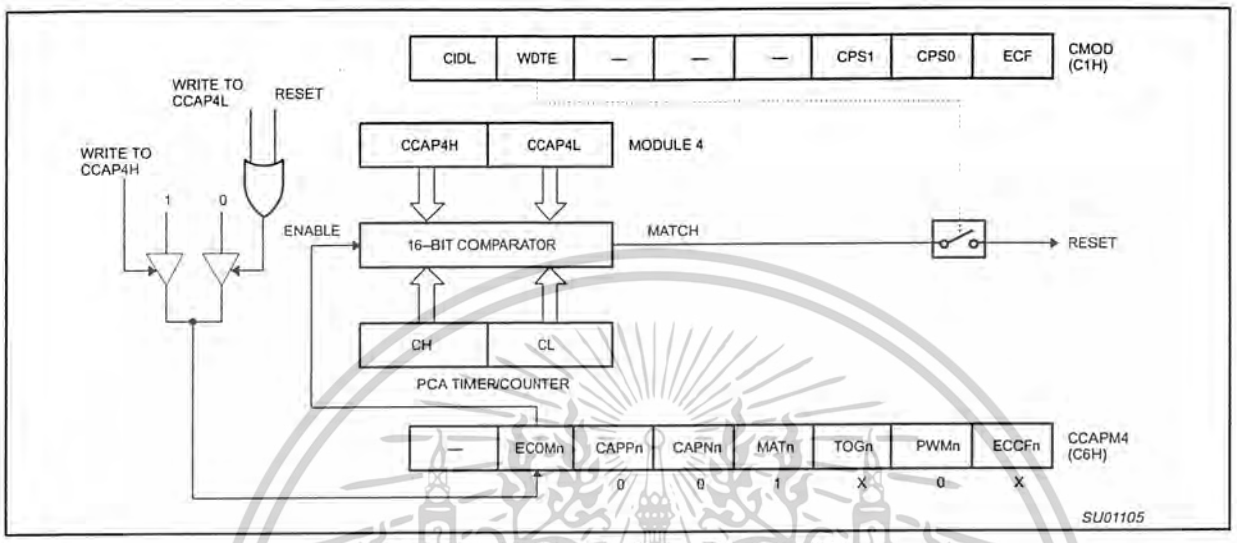


Figure 25. PCA Watchdog Timer m(Module 4 only)

PCA Watchdog Timer

An on-board watchdog timer is available with the PCA to improve the reliability of the system without increasing chip count. Watchdog timers are useful for systems that are susceptible to noise, power glitches, or electrostatic discharge. Module 4 is the only PCA module that can be programmed as a watchdog. However, this module can still be used for other modes if the watchdog is not needed.

Figure 25 shows a diagram of how the watchdog works. The user pre-loads a 16-bit value in the compare registers. Just like the other compare modes, this 16-bit value is compared to the PCA timer value. If a match is allowed to occur, an internal reset will be generated. This will not cause the RST pin to be driven high.

In order to hold off the reset, the user has three options:

1. periodically change the compare value so it will never match the PCA timer,
2. periodically change the PCA timer value so it will never match the compare values, or
3. disable the watchdog by clearing the WDTE bit before a match occurs and then re-enable it.

The first two options are more reliable because the watchdog timer is never disabled as in option #3. If the program counter ever goes astray, a match will eventually occur and cause an internal reset. The second option is also not recommended if other PCA modules are being used. Remember, the PCA timer is the time base for all modules; changing the time base for other modules would not be a good idea. Thus, in most applications the first solution is the best option.

Figure 26 shows the code for initializing the watchdog timer. Module 4 can be configured in either compare mode, and the WDTE bit in CMOD must also be set. The user's software then must periodically change (CCAP4H,CCAP4L) to keep a match from occurring with the PCA timer (CH,CL). This code is given in the WATCHDOG routine in Figure 26.

This routine should not be part of an interrupt service routine, because if the program counter goes astray and gets stuck in an infinite loop, interrupts will still be serviced and the watchdog will keep getting reset. Thus, the purpose of the watchdog would be defeated. Instead, call this subroutine from the main program within 2^{16} count of the PCA timer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INIT_WATCHDOG:
   MOV CCAPM4, #4CH          ; Module 4 in compare mode
   MOV CCAP4L, #0FFH         ; Write to low byte first
   MOV CCAP4H, #0FFH         ; Before PCA timer counts up to
                             ; FFFF Hex, these compare values
                             ; must be changed
   ORL CMOD, #40H            ; Set the WDTE bit to enable the
                             ; watchdog timer without changing
                             ; the other bits in CMOD
;
;*******************************************************************
;
; Main program goes here, but CALL WATCHDOG periodically.
;
;*******************************************************************
;
WATCHDOG:
   CLR EA                    ; Hold off interrupts
   MOV CCAP4L, #00           ; Next compare value is within
   MOV CCAP4H, CH            ; 255 counts of the current PCA
   SETB EA                   ; timer value
   RET
```

Figure 26. PCA Watchdog Timer Initialization Code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Expanded Data RAM Addressing

The P89C51RB2/RC2/RD2 has internal data memory that is mapped into four separate segments: the lower 128 bytes of RAM, upper 128 bytes of RAM, 128 bytes Special Function Register (SFR), and 256 bytes expanded RAM (ERAM) (768 bytes for the RD2).

The four segments are:

1. The Lower 128 bytes of RAM (addresses 00H to 7FH) are directly and indirectly addressable.
2. The Upper 128 bytes of RAM (addresses 80H to FFH) are indirectly addressable only.
3. The Special Function Registers, SFRs, (addresses 80H to FFH) are directly addressable only.
4. The 256/768-bytes expanded RAM (ERAM, 00H – 1FFH/2FFH) are indirectly accessed by move external instruction, MOVX, and with the EXTRAM bit cleared, see Figure 27.

The Lower 128 bytes can be accessed by either direct or indirect addressing. The Upper 128 bytes can be accessed by indirect addressing only. The Upper 128 bytes occupy the same address space as the SFR. That means they have the same address, but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the CPU knows whether the access is to the upper 128 bytes of data RAM or to SFR space by the addressing mode used in the instruction. Instructions that use direct addressing access SFR space. For example:

MOV 0A0H,#data

accesses the SFR at location 0A0H (which is P2). Instructions that use indirect addressing access the Upper 128 bytes of data RAM.

For example:

MOV @R0,#data

where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

The ERAM can be accessed by indirect addressing, with EXTRAM bit cleared and MOVX instructions. This part of memory is physically located on-chip, logically occupies the first 7936-bytes of external data memory.

With EXTRAM = 0, the ERAM is indirectly addressed, using the MOVX instruction in combination with any of the registers R0, R1 of the selected bank or DPTR. An access to ERAM will not affect ports P0, P3.6 (WR#) and P3.7 (RD#). P2 SFR is output during external addressing. For example, with EXTRAM = 0,

MOVX @R0,#data

where R0 contains 0A0H, access the ERAM at address 0A0H rather than external memory. An access to external data memory locations higher than the ERAM will be performed with the MOVX DPTR instructions in the same way as in the standard 80C51, so with P0 and P2 as data/address bus, and P3.6 and P3.7 as write and read timing signals. Refer to Figure 28.

With EXTRAM = 1, MOVX @Ri and MOVX @DPTR will be similar to the standard 80C51. MOVX @ Ri will provide an 8-bit address multiplexed with data on Port 0 and any output port pins can be used to output higher order address bits. This is to provide the external paging capability. MOVX @DPTR will generate a 16-bit address. Port 2 outputs the high-order eight address bits (the contents of DPH) while Port 0 multiplexes the low-order eight address bits (DPL) with data. MOVX @Ri and MOVX @DPTR will generate either read or write signals on P3.6 ($\overline{WR}$) and P3.7 ($\overline{RD}$).

The stack pointer (SP) may be located anywhere in the 256 bytes RAM (lower and upper RAM) internal data memory. The stack may not be located in the ERAM.

AUXR Address = 8EH — Reset Value = xxxx xx00B

Not Bit Addressable

Bit:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EXTRAM	AO

Symbol	Function	
AO	Disable/Enable ALE	
	AO	Operating Mode
0		ALE is emitted at a constant rate of $^1/_3$ the oscillator frequency (6 clock mode; $^1/_6$ f_{OSC} in 12 clock mode).
	1	ALE is active only during a MOVX or MOVC instruction.
EXTRAM	Internal/External RAM access using MOVX @Ri/@DPTR	
	EXTRAM	Operating Mode
	0	Internal ERAM access using MOVX @Ri/@DPTR
	1	External data memory access.
—	Not implemented, reserved for future use*.	

NOTE:
*User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU01258

Figure 27. AUXR: Auxiliary Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

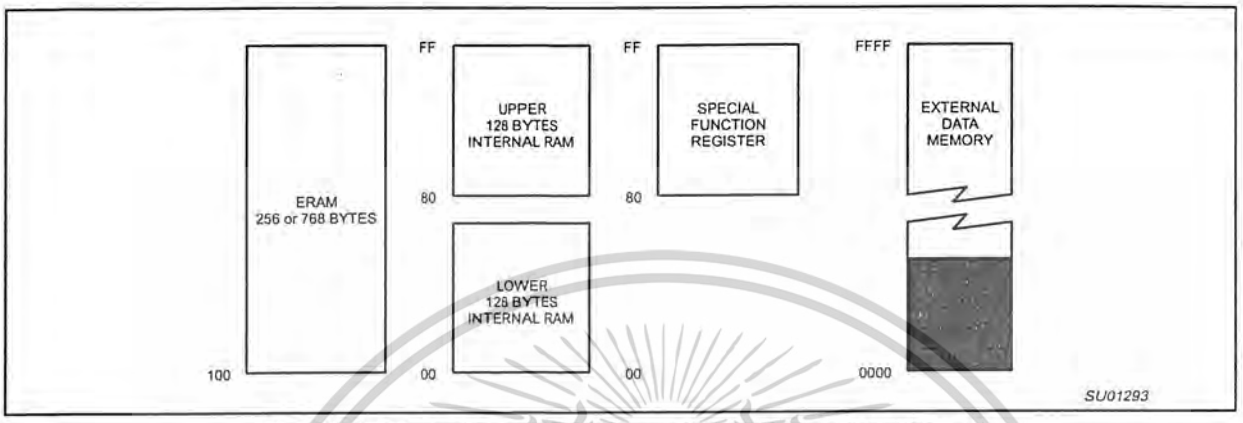


Figure 28. Internal and External Data Memory Address Space with EXTRAM = 0

HARDWARE WATCHDOG TIMER (ONE-TIME ENABLED WITH RESET-OUT FOR P89C51RB2/RC2/RD2)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upset. The WDT consists of a 14-bit counter and the WatchDog Timer reset (WDTRST) SFR. The WDT is disabled at reset. To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, it will increment every machine cycle while the oscillator is running and there is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output reset HIGH pulse at the RST-pin (see the note below).

Using the WDT

To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, the user needs to service it by writing to 01EH and 0E1H to WDTRST to avoid WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH) and this will reset the device. When WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT, the user must write 01EH and 0E1H to WDTRST. WDTRST is a write only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the reset pin (see note below). The RESET pulse duration is $98 \times T_{OSC}$ (6 clock mode; 196 in 12 clock mode), where $T_{OSC} = 1/f_{OSC}$. To make the best use of the WDT, it should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

ABSOLUTE MAXIMUM RATINGS[1, 2, 3]

PARAMETER	RATING	UNIT
Operating temperature under bias	0 to +70 or –40 to +85	°C
Storage temperature range	–65 to +150	°C
Voltage on $\overline{EA}/V_{PP}$ pin to V_{SS}	0 to +13.0	V
Voltage on any other pin to V_{SS}	–0.5 to +6.5	V
Maximum I_{OL} per I/O pin	15	mA
Power dissipation (based on package heat transfer limitations, not device power consumption)	1.5	W

NOTES:

1. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any conditions other than those described in the AC and DC Electrical Characteristics section of this specification is not implied.
2. This product includes circuitry specifically designed for the protection of its internal devices from the damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying greater than the rated maximum.
3. Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to V_{SS} unless otherwise noted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

T_{amb} = 0°C to +70°C or –40°C to +85°C; 5 V ±10%; V_{SS} = 0 V

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNIT
			MIN	TYP[1]	MAX	
V_{IL}	Input low voltage	4.5 V < V_{CC} < 5.5 V	–0.5		$0.2V_{CC}$–0.1	V
V_{IH}	Input high voltage (ports 0, 1, 2, 3, $\overline{EA}$)		$0.2V_{CC}$+0.9		V_{CC}+0.5	V
V_{IH1}	Input high voltage, XTAL1, RST		$0.7V_{CC}$		V_{CC}+0.5	V
V_{OL}	Output low voltage, ports 1, 2, 3[8]	V_{CC} = 4.5 V I_{OL} = 1.6 mA[2]			0.4	V
V_{OL1}	Output low voltage, port 0, ALE, $\overline{PSEN}$[7, 8]	V_{CC} = 4.5 V I_{OL} = 3.2 mA[2]			0.45	V
V_{OH}	Output high voltage, ports 1, 2, 3[3]	V_{CC} = 4.5 V I_{OH} = –30 µA	V_{CC} – 0.7			V
V_{OH1}	Output high voltage (port 0 in external bus mode), ALE[9], $\overline{PSEN}$[3]	V_{CC} = 4.5 V I_{OH} = –3.2 mA	V_{CC} – 0.7			V
I_{IL}	Logical 0 input current, ports 1, 2, 3	V_{IN} = 0.4 V	–1		–75	µA
I_{TL}	Logical 1-to-0 transition current, ports 1, 2, 3[6]	V_{IN} = 2.0 V See Note 4			–650	µA
I_{LI}	Input leakage current, port 0	0.45 < V_{IN} < V_{CC} – 0.3			±10	µA
I_{CC}	Power supply current (see Figure 36): Active mode (see Note 5) Idle mode (see Note 5) Power-down mode or clock stopped (see Figure 42 for conditions) Programming and erase mode	See Note 5 T_{amb} = 0°C to 70°C T_{amb} = –40°C to +85°C f_{osc} = 20 MHz		 < 1 60	 40 50 	 µA µA mA
R_{RST}	Internal reset pull-down resistor		40		225	kΩ
C_{IO}	Pin capacitance[10] (except $\overline{EA}$)				15	pF

NOTES:

1. Typical ratings are not guaranteed. The values listed are at room temperature, 5 V.
2. Capacitive loading on ports 0 and 2 may cause spurious noise to be superimposed on the V_{OL}s of ALE and ports 1 and 3. The noise is due to external bus capacitance discharging into the port 0 and port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE pin may exceed 0.8 V. In such cases, it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input. I_{OL} can exceed these conditions provided that no single output sinks more than 5 mA and no more than two outputs exceed the test conditions.
3. Capacitive loading on ports 0 and 2 may cause the V_{OH} on ALE and $\overline{PSEN}$ to momentarily fall below the V_{CC}–0.7 specification when the address bits are stabilizing.
4. Pins of ports 1, 2 and 3 source a transition current when they are being externally driven from 1 to 0. The transition current reaches its maximum value when V_{IN} is approximately 2 V.
5. See Figures 39 through 42 for I_{CC} test conditions and Figure 36 for I_{CC} vs Freq.
   Active mode: $I_{CC(MAX)}$ = (2.8 × FREQ. + 20)mA for all devices, in 6 clock mode; (1.4 × FREQ. + 20)mA in 12 clock mode.
   Idle mode: $I_{CC(MAX)}$ = (1.2 × FREQ. +1.0)mA in 6 clock mode; (0.6 × FREQ. +1.0)mA in 12 clock mode.
6. This value applies to T_{amb} = 0°C to +70°C.
7. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
8. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 15 mA (*NOTE: This is 85°C specification.)
   Maximum I_{OL} per 8-bit port: 26 mA
   Maximum total I_{OL} for all outputs: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
9. ALE is tested to V_{OH1}, except when ALE is off then V_{OH} is the voltage specification.
10. Pin capacitance is characterized but not tested. Pin capacitance is less than 25 pF. Pin capacitance of ceramic package is less than 15 pF (except $\overline{EA}$ is 25 pF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (6 CLOCK MODE)

T_{amb} = 0°C to +70°C or –40°C to +85°C, V_{CC} = 5 V ±10%, V_{SS} = 0V[1, 2, 3]

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK[4]		20 MHz CLOCK[4]		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	29	Oscillator frequency	0	20	0	20	MHz
t_{LHLL}	29	ALE pulse width	t_{CLCL}–40		10		ns
t_{AVLL}	29	Address valid to ALE low	$0.5t_{CLCL}$–20		5		ns
t_{LLAX}	29	Address hold after ALE low	$0.5t_{CLCL}$–20		5		ns
t_{LLIV}	29	ALE low to valid instruction in		$2t_{CLCL}$–65		35	ns
t_{LLPL}	29	ALE low to $\overline{PSEN}$ low	$0.5t_{CLCL}$–20		5		ns
t_{PLPH}	29	$\overline{PSEN}$ pulse width	$1.5t_{CLCL}$–45		30		ns
t_{PLIV}	29	$\overline{PSEN}$ low to valid instruction in		$1.5t_{CLCL}$–60		15	ns
t_{PXIX}	29	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	29	Input instruction float after $\overline{PSEN}$		$0.5t_{CLCL}$–20		5	ns
t_{AVIV}	29	Address to valid instruction in		$2.5t_{CLCL}$–80		45	ns
t_{PLAZ}	29	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	30, 31	$\overline{RD}$ pulse width	$3t_{CLCL}$–100		50		ns
t_{WLWH}	30, 31	$\overline{WR}$ pulse width	$3t_{CLCL}$–100		50		ns
t_{RLDV}	30, 31	$\overline{RD}$ low to valid data in		$2.5t_{CLCL}$–90		35	ns
t_{RHDX}	30, 31	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	30, 31	Data float after $\overline{RD}$		t_{CLCL}–20		5	ns
t_{LLDV}	30, 31	ALE low to valid data in		$4t_{CLCL}$–150		50	ns
t_{AVDV}	30, 31	Address to valid data in		$4.5t_{CLCL}$–165		60	ns
t_{LLWL}	30, 31	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$1.5t_{CLCL}$–50	$1.5t_{CLCL}$+50	25	125	ns
t_{AVWL}	30, 31	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$2t_{CLCL}$–75		25		ns
t_{QVWX}	30, 31	Data valid to $\overline{WR}$ transition	$0.5t_{CLCL}$–25		0		ns
t_{WHQX}	30, 31	Data hold after $\overline{WR}$	$0.5t_{CLCL}$–20		5		ns
t_{QVWH}	31	Data valid to $\overline{WR}$ high	$3.5t_{CLCL}$–130		45		ns
t_{RLAZ}	30, 31	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	30, 31	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$0.5t_{CLCL}$–20	$0.5t_{CLCL}$+20	5	45	ns
External Clock							
t_{CHCX}	33	High time	20	t_{CLCL}–t_{CLCX}			ns
t_{CLCX}	33	Low time	20	t_{CLCL}–t_{CHCX}			ns
t_{CLCH}	33	Rise time		5			ns
t_{CHCL}	33	Fall time		5			ns
Shift Register							
t_{XLXL}	32	Serial port clock cycle time	$6t_{CLCL}$		300		ns
t_{QVXH}	32	Output data setup to clock rising edge	$5t_{CLCL}$–133		117		ns
t_{XHQX}	32	Output data hold after clock rising edge	t_{CLCL}–30		20		ns
t_{XHDX}	32	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	32	Clock rising edge to input data valid		$5t_{CLCL}$–133		117	ns

NOTES:
1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 2 MHz, but are guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (12 CLOCK MODE)

T_{amb} = 0°C to +70°C or –40°C to +85°C, V_{CC} = 5 V ±10%, V_{SS} = 0 V[1, 2, 3]

SYMBOL	FIGURE	PARAMETER	VARIABLE CLOCK[4]		33 MHz CLOCK[4]		UNIT
			MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	29	Oscillator frequency	0	33	0	33	MHz
t_{LHLL}	29	ALE pulse width	$2t_{CLCL}-40$		21		ns
t_{AVLL}	29	Address valid to ALE low	$t_{CLCL}-25$		5		ns
t_{LLAX}	29	Address hold after ALE low	$t_{CLCL}-25$		5		ns
t_{LLIV}	29	ALE low to valid instruction in		$4t_{CLCL}-65$		55	ns
t_{LLPL}	29	ALE low to $\overline{PSEN}$ low	$t_{CLCL}-25$		5		ns
t_{PLPH}	29	$\overline{PSEN}$ pulse width	$3t_{CLCL}-45$		45		ns
t_{PLIV}	29	$\overline{PSEN}$ low to valid instruction in		$3t_{CLCL}-60$		30	ns
t_{PXIX}	29	Input instruction hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	29	Input instruction float after $\overline{PSEN}$		$t_{CLCL}-25$		5	ns
t_{AVIV}	29	Address to valid instruction in		$5t_{CLCL}-80$		70	ns
t_{PLAZ}	29	$\overline{PSEN}$ low to address float		10		10	ns
Data Memory							
t_{RLRH}	30, 31	$\overline{RD}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{WLWH}	30, 31	$\overline{WR}$ pulse width	$6t_{CLCL}-100$		82		ns
t_{RLDV}	30, 31	$\overline{RD}$ low to valid data in		$5t_{CLCL}-90$		60	ns
t_{RHDX}	30, 31	Data hold after $\overline{RD}$	0		0		ns
t_{RHDZ}	30, 31	Data float after $\overline{RD}$		$2t_{CLCL}-28$		32	ns
t_{LLDV}	30, 31	ALE low to valid data in		$8t_{CLCL}-150$		90	ns
t_{AVDV}	30, 31	Address to valid data in		$9t_{CLCL}-165$		105	ns
t_{LLWL}	30, 31	ALE low to $\overline{RD}$ or $\overline{WR}$ low	$3t_{CLCL}-50$	$3t_{CLCL}+50$	40	140	ns
t_{AVWL}	30, 31	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	$4t_{CLCL}-75$		45		ns
t_{QVWX}	30, 31	Data valid to $\overline{WR}$ transition	$t_{CLCL}-30$		0		ns
t_{WHQX}	30, 31	Data hold after $\overline{WR}$	$t_{CLCL}-25$		5		ns
t_{QVWH}	31	Data valid to $\overline{WR}$ high	$7t_{CLCL}-130$		80		ns
t_{RLAZ}	30, 31	$\overline{RD}$ low to address float		0		0	ns
t_{WHLH}	30, 31	$\overline{RD}$ or $\overline{WR}$ high to ALE high	$t_{CLCL}-25$	$t_{CLCL}+25$	5	55	ns
External Clock							
t_{CHCX}	33	High time	17	$t_{CLCL}-t_{CLCX}$			ns
t_{CLCX}	33	Low time	17	$t_{CLCL}-t_{CHCX}$			ns
t_{CLCH}	33	Rise time		5			ns
t_{CHCL}	33	Fall time		5			ns
Shift Register							
t_{XLXL}	32	Serial port clock cycle time	$12t_{CLCL}$		360		ns
t_{QVXH}	32	Output data setup to clock rising edge	$10t_{CLCL}-133$		167		ns
t_{XHQX}	32	Output data hold after clock rising edge	$2t_{CLCL}-80$		50		ns
t_{XHDX}	32	Input data hold after clock rising edge	0		0		ns
t_{XHDV}	32	Clock rising edge to input data valid		$10t_{CLCL}-133$		167	ns

NOTES:
1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 3.5 MHz, but guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has five characters. The first character is always 't' (= time). The other characters, depending on their positions, indicate the name of a signal or the logical status of that signal. The designations are:

A – Address
C – Clock
D – Input data
H – Logic level high
I – Instruction (program memory contents)
L – Logic level low, or ALE
P – $\overline{PSEN}$
Q – Output data
R – $\overline{RD}$ signal
t – Time
V – Valid
W – $\overline{WR}$ signal
X – No longer a valid logic level
Z – Float

Examples: t_{AVLL} = Time for address valid to ALE low.
t_{LLPL} = Time for ALE low to $\overline{PSEN}$ low.

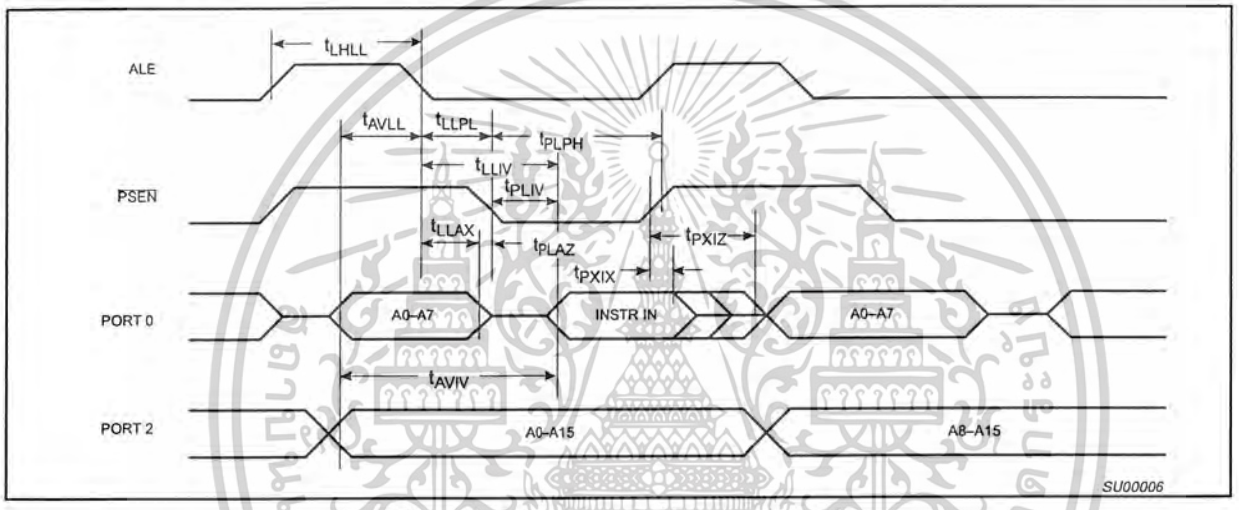


Figure 29. External Program Memory Read Cycle

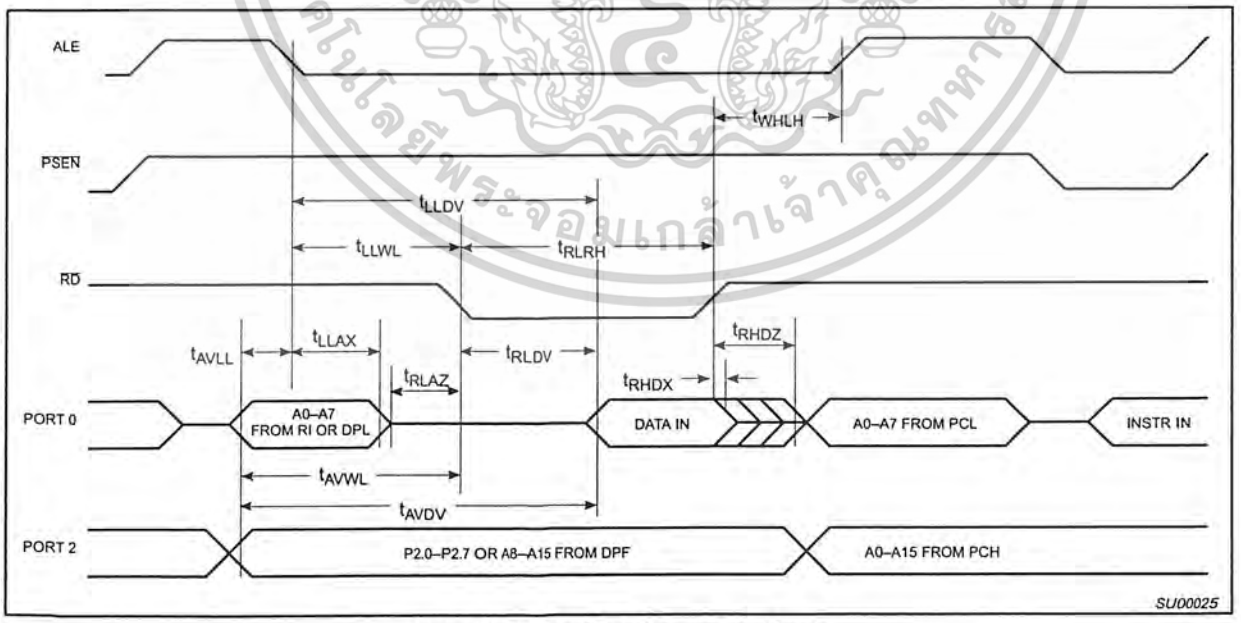


Figure 30. External Data Memory Read Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

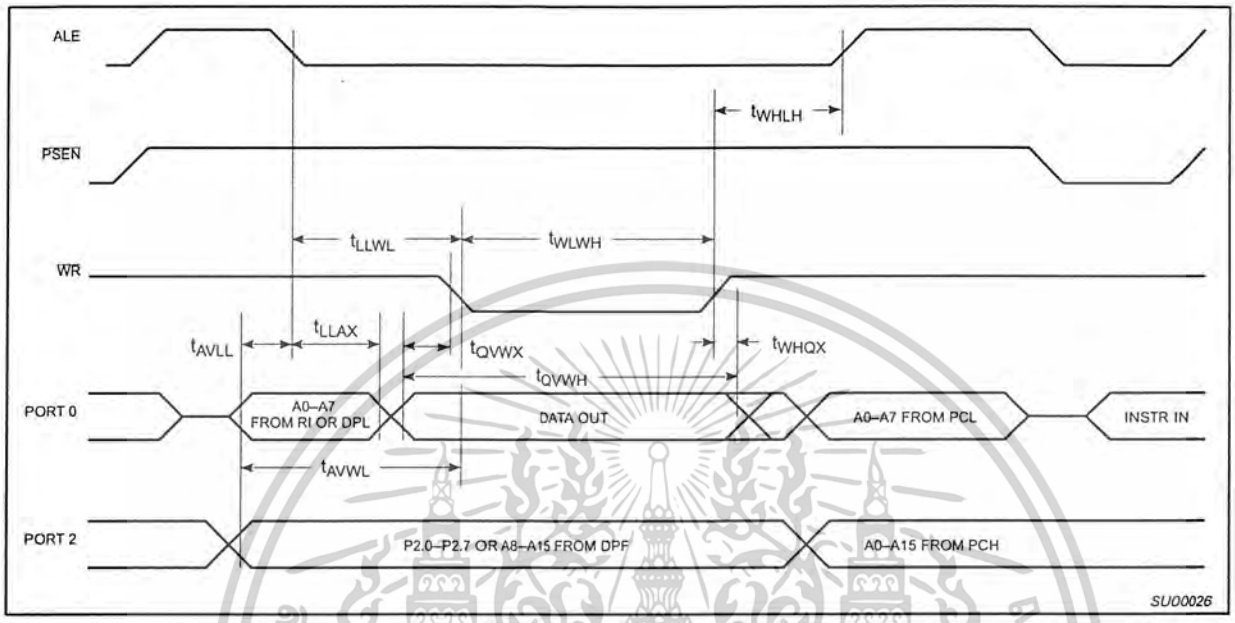


Figure 31. External Data Memory Write Cycle

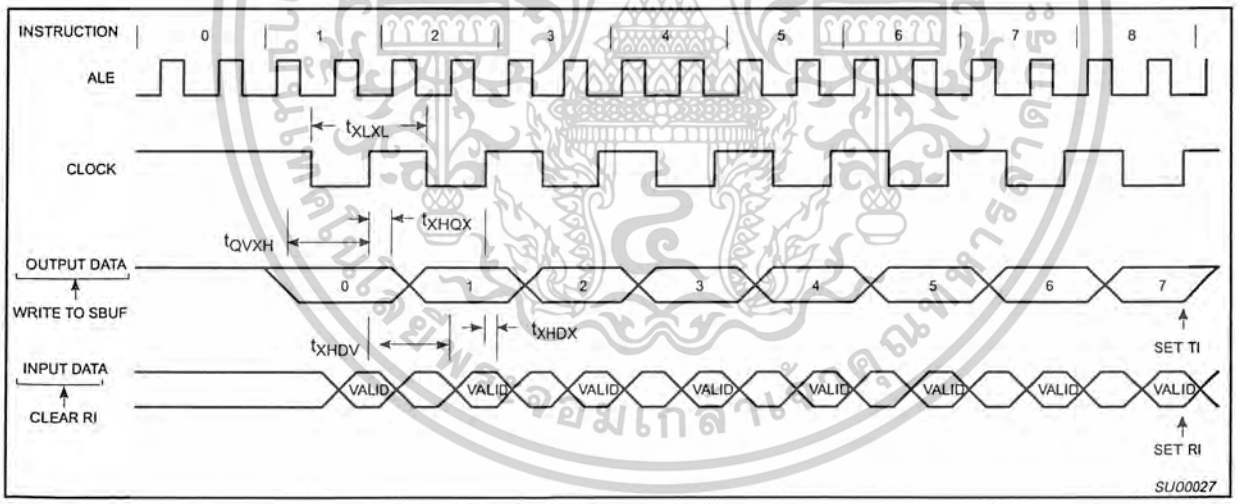


Figure 32. Shift Register Mode Timing

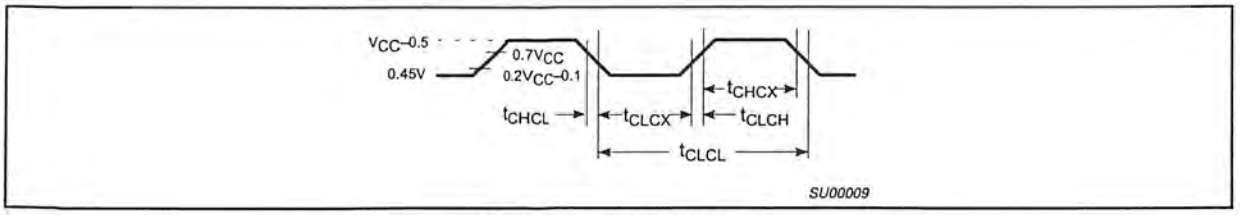


Figure 33. External Clock Drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

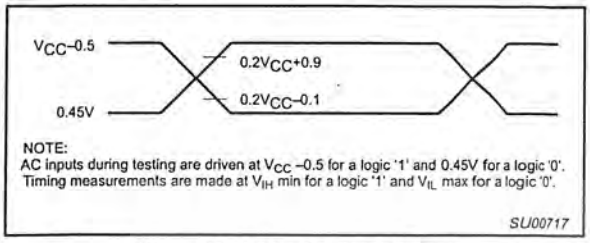


Figure 34. AC Testing Input/Output

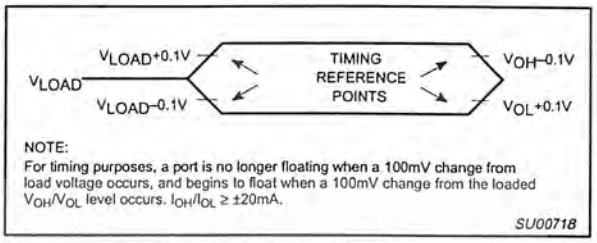


Figure 35. Float Waveform

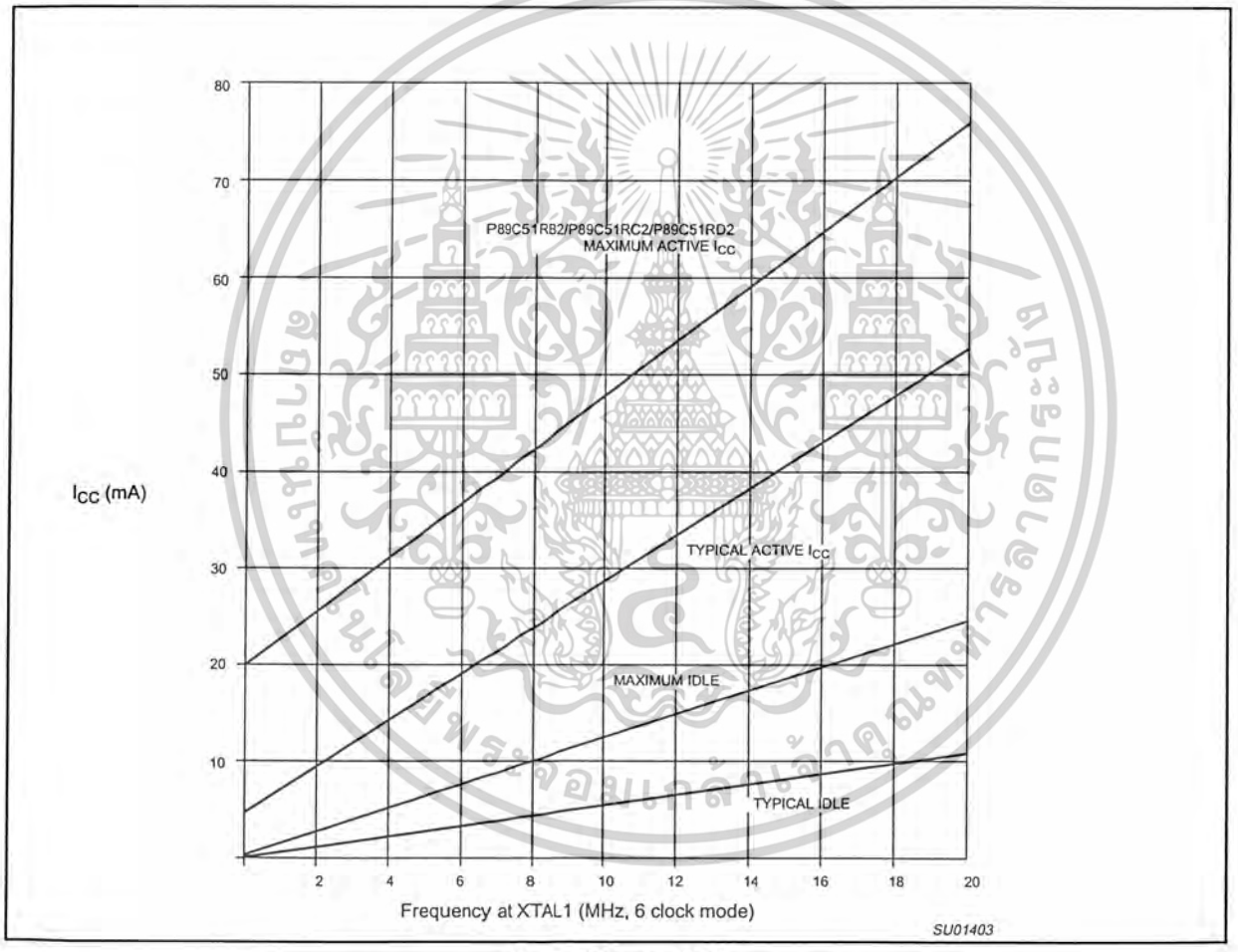


Figure 36. I_{CC} vs. FREQ
Valid only within frequency specifications of the device under test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

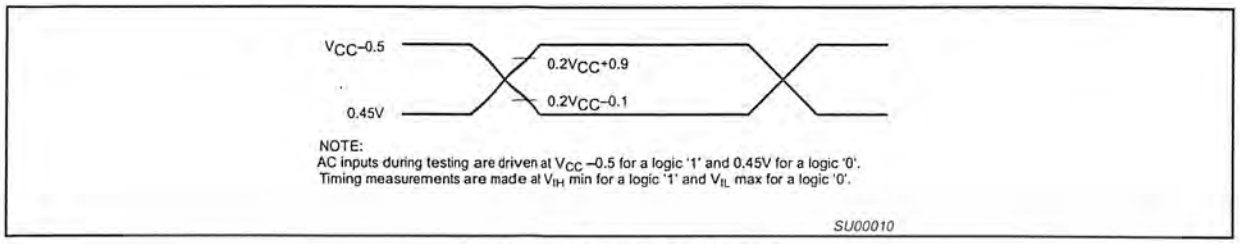


Figure 37. AC Testing Input/Output

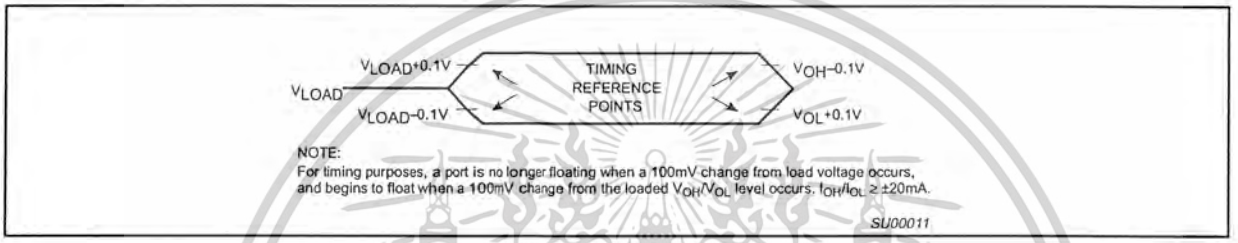


Figure 38. Float Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

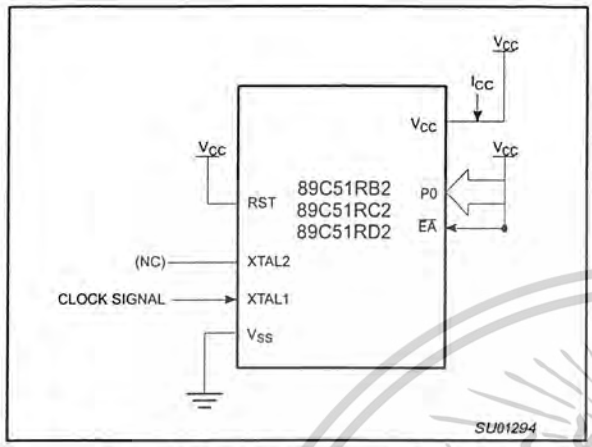


Figure 39. I_{CC} Test Condition, Active Mode.
All other pins are disconnected

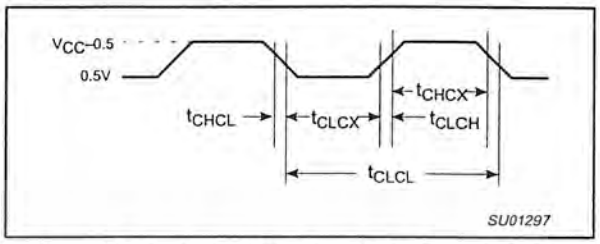


Figure 41. Clock Signal Waveform for I_{CC} Tests in Active and Idle Modes.
$t_{CLCL} = t_{CHCL} = 10$ ns

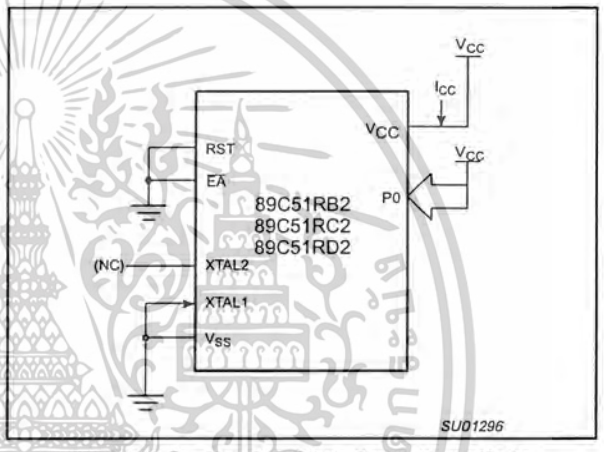


Figure 42. I_{CC} Test Condition, Power Down Mode.
All other pins are disconnected; V_{CC} = 2V to 5.5V

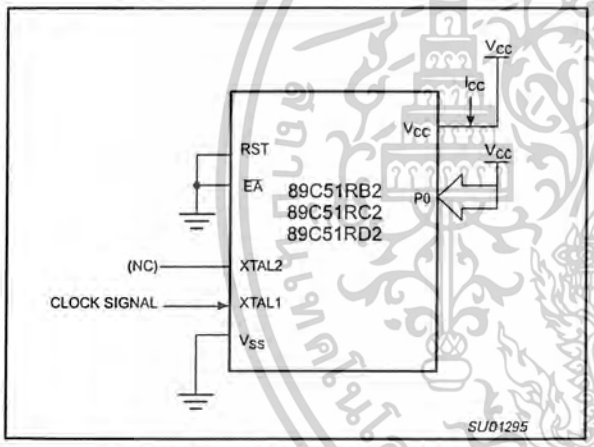


Figure 40. I_{CC} Test Condition, Idle Mode.
All other pins are disconnected

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLASH EPROM MEMORY

GENERAL DESCRIPTION

The P89C51RB2/RC2/RD2 Flash memory augments EPROM functionality with in-circuit electrical erasure and programming. The Flash can be read and written as bytes. The Chip Erase operation will erase the entire program memory. The Block Erase function can erase any Flash block. In-system programming and standard parallel programming are both available. On-chip erase and write timing generation contribute to a user friendly programming interface.

The P89C51RB2/RC2/RD2 Flash reliably stores memory contents even after 10,000 erase and program cycles. The cell is designed to optimize the erase and programming mechanisms. In addition, the combination of advanced tunnel oxide processing and low internal electric fields for erase and programming operations produces reliable cycling. The P89C51RB2/RC2/RD2 uses a +5 V V_{PP} supply to perform the Program/Erase algorithms.

FEATURES

- Flash EPROM internal program memory with Block Erase.
- Internal 1 kB fixed boot ROM, containing low-level in-system programming routines and a default serial loader. User program can call these routines to perform In-Application Programming (IAP). The Boot ROM can be turned off to provide access to the full 64 kB Flash memory.
- Boot vector allows user provided Flash loader code to reside anywhere in the Flash memory space. This configuration provides flexibility to the user.
- Default loader in Boot ROM allows programming via the serial port without the need for a user provided loader.
- Up to 64 kB external program memory if the internal program memory is disabled ($\overline{EA}$ = 0).
- Programming and erase voltage +5 V (+12 V tolerant).
- Read/Programming/Erase:
  - Byte-wise read (100 ns access time).
  - Byte Programming (20 µs).
  - Typical erase times:
    Block Erase (8 kB or 16 kB) in 3 seconds.
    Full Erase (64 kB) in 3 seconds.
- Parallel programming with 87C51 compatible hardware interface to programmer.
- In-system programming.
- Programmable security for the code in the Flash.
- 10,000 minimum erase/program cycles for each byte.
- 10-year minimum data retention.

CAPABILITIES OF THE PHILIPS 89C51 FLASH-BASED MICROCONTROLLERS

Flash organization

The P89C51RB2/RC2/RD2 contains 16KB/32KB/64K bytes of Flash program memory. This memory is organized as 5 separate blocks. The first two blocks are 8 kB in size, filling the program memory space from address 0 through 3FFF hex. The final three blocks are 16 kB in size and occupy addresses from 4000 through FFFF hex.

Figure 43 depicts the Flash memory configurations.

Flash Programming and Erasure

There are three methods of erasing or programming of the Flash memory that may be used. First, the Flash may be programmed or erased in the end-user application by calling low-level routines through a common entry point in the Boot ROM. The end-user application, though, must be executing code from a different block than the block that is being erased or programmed. Second, the on-chip ISP boot loader may be invoked. This ISP boot loader will, in turn, call low-level routines through the same common entry point in the Boot ROM that can be used by the end-user application. Third, the Flash may be programmed or erased using the parallel method by using a commercially available EPROM programmer. The parallel programming method used by these devices is similar to that used by EPROM 87C51, but it is not identical, and the commercially available programmer will need to have support for these devices.

Boot ROM

When the microcontroller programs its own Flash memory, all of the low level details are handled by code that is permanently contained in a 1 kB Boot ROM that is separate from the Flash memory. A user program simply calls the common entry point with appropriate parameters in the Boot ROM to accomplish the desired operation. Boot ROM operations include things like: erase block, program byte, verify byte, program security lock bit, etc. The Boot ROM overlays the program memory space at the top of the address space from FC00 to FFFF hex, when it is enabled. The Boot ROM may be turned off so that the upper 1 kB of Flash program memory are accessible for execution.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

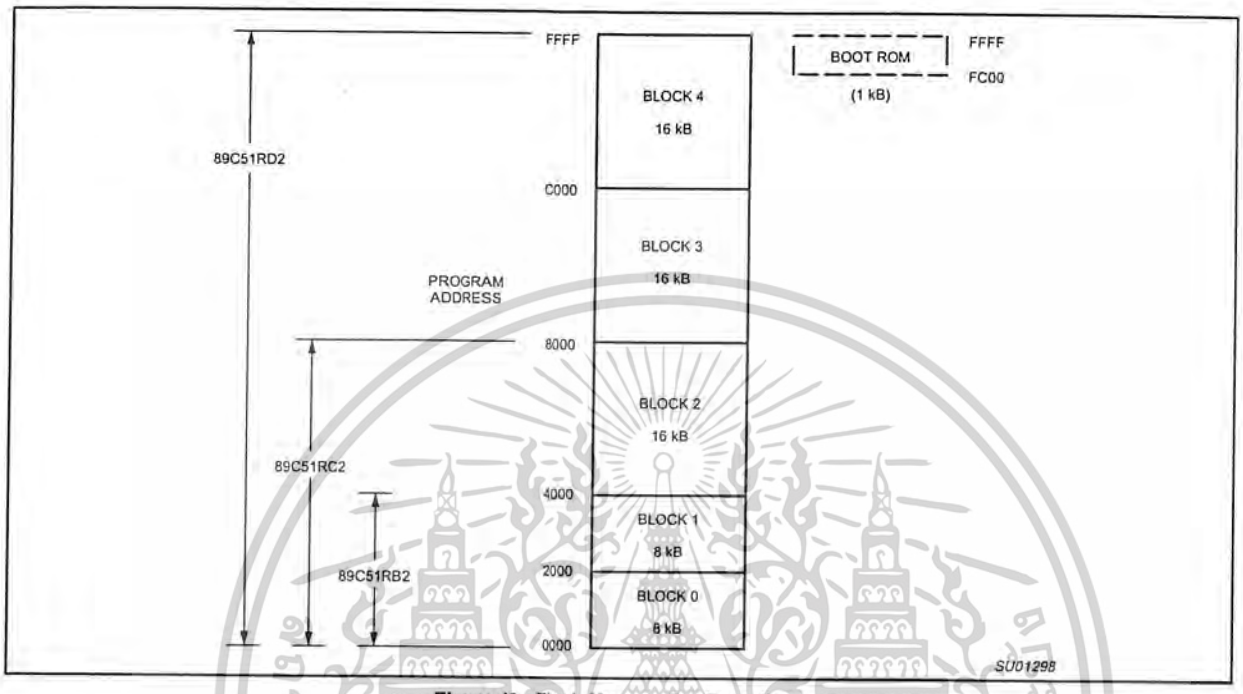


Figure 43. Flash Memory Configurations

Power-On Reset Code Execution

The P89C51RB2/RC2/RD2 contains two special Flash registers: the BOOT VECTOR and the STATUS BYTE. At the falling edge of reset, the P89C51RB2/RC2/RD2 examines the contents of the Status Byte. If the Status Byte is set to zero, power-up execution starts at location 0000H, which is the normal start address of the user's application code. When the Status Byte is set to a value other than zero, the contents of the Boot Vector is used as the high byte of the execution address and the low byte is set to 00H. The factory default setting is 0FCH, corresponds to the address 0FC00H for the factory masked-ROM ISP boot loader. A custom boot loader can be written with the Boot Vector set to the custom boot loader.

NOTE: When erasing the Status Byte or Boot Vector, both bytes are erased at the same time. It is necessary to reprogram the Boot Vector after erasing and updating the Status Byte.

Hardware Activation of the Boot Loader

The boot loader can also be executed by holding PSEN LOW, P2.7 high, EA greater than V_{IH} (such as +5 V), and ALE HIGH (or not connected) at the falling edge of RESET. This is the same effect as having a non-zero status byte. This allows an application to be built that will normally execute the end user's code but can be manually forced into ISP operation.

If the factory default setting for the Boot Vector (0FCH) is changed, it will no longer point to the ISP masked-ROM boot loader code. If this happens, the only way it is possible to change the contents of the Boot Vector is through the parallel programming method, provided that the end user application does not contain a customized loader that provides for erasing and reprogramming of the Boot Vector and Status Byte.

After programming the Flash, the status byte should be programmed to zero in order to allow execution of the user's application code beginning at address 0000H.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

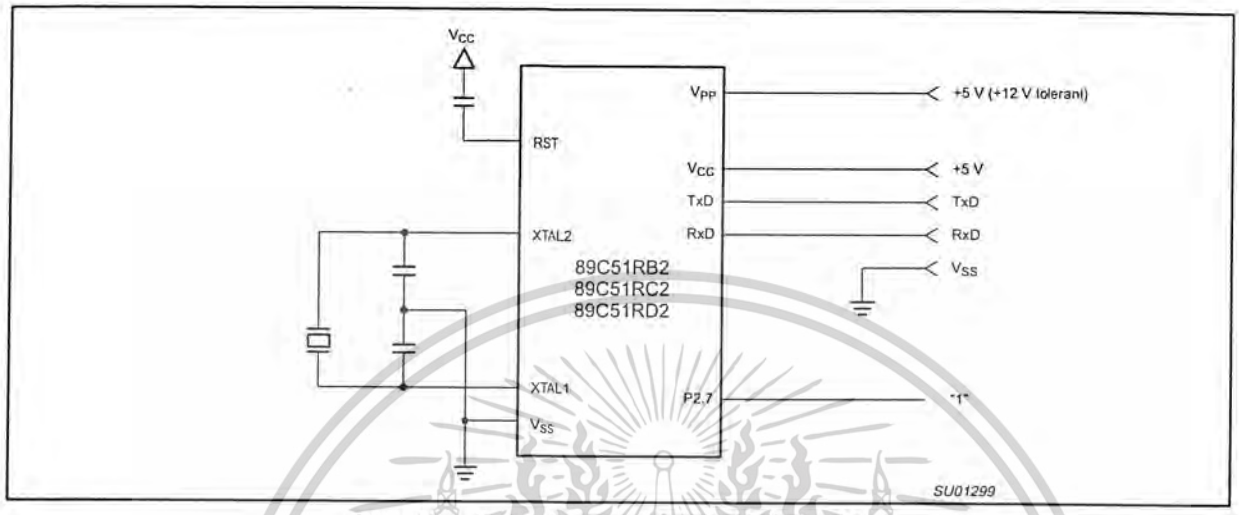


Figure 44. In-System Programming with a Minimum of Pins

In-System Programming (ISP)

The In-System Programming (ISP) is performed without removing the microcontroller from the system. The In-System Programming (ISP) facility consists of a series of internal hardware resources coupled with internal firmware to facilitate remote programming of the P89C51RB2/RC2/RD2 through the serial port. This firmware is provided by Philips and embedded within each P89C51RB2/RC2/RD2 device.

The Philips In-System Programming (ISP) facility has made in-circuit programming in an embedded application possible with a minimum of additional expense in components and circuit board area.

The ISP function uses five pins: TxD, RxD, V_{SS}, V_{CC}, and V_{PP} (see Figure 44). Only a small connector needs to be available to interface your application to an external circuit in order to use this feature. The V_{PP} supply should be adequately decoupled and V_{PP} not allowed to exceed datasheet limits.

Using the In-System Programming (ISP)

The ISP feature allows for a wide range of baud rates to be used in your application, independent of the oscillator frequency. It is also adaptable to a wide range of oscillator frequencies. This is accomplished by measuring the bit-time of a single bit in a received character. This information is then used to program the baud rate in terms of timer counts based on the oscillator frequency. The ISP feature requires that an initial character (an uppercase U) be sent to the P89C51RB2/RC2/RD2 to establish the baud rate. The ISP firmware provides auto-echo of received characters.

Once baud rate initialization has been performed, the ISP firmware will only accept Intel Hex-type records. Intel Hex records consist of ASCII characters used to represent hexadecimal values and are summarized below:

:NNAAAARRDD..DDCC<crlf>

In the Intel Hex record, the "NN" represents the number of data bytes in the record. The P89C51RB2/RC2/RD2 will accept up to 16 (10H) data bytes. The "AAAA" string represents the address of the first byte in the record. If there are zero bytes in the record, this field is often set to 0000. The "RR" string indicates the record type. A record type of "00" is a data record. A record type of "01" indicates the end-of-file mark. In this application, additional record types will be added to indicate either commands or data for the ISP facility. The maximum number of data bytes in a record is limited to 16 (decimal). ISP commands are summarized in Table 8.

As a record is received by the P89C51RB2/RC2/RD2, the information in the record is stored internally and a checksum calculation is performed. The operation indicated by the record type is not performed until the entire record has been received. Should an error occur in the checksum, the P89C51RB2/RC2/RD2 will send an "X" out the serial port indicating a checksum error. If the checksum calculation is found to match the checksum in the record, then the command will be executed. In most cases, successful reception of the record will be indicated by transmitting a "." character out the serial port (displaying the contents of the internal program memory is an exception).

In the case of a Data Record (record type 00), an additional check is made. A "." character will NOT be sent unless the record checksum matched the calculated checksum and all of the bytes in the record were successfully programmed. For a data record, an "X" indicates that the checksum failed to match, and an "R" character indicates that one of the bytes did not properly program. It is necessary to send a type 02 record (specify oscillator frequency) to the P89C51RB2/RC2/RD2 before programming data.

The ISP facility was designed to that specific crystal frequencies were not required in order to generate baud rates or time the programming pulses. The user thus needs to provide the P89C51RB2/RC2/RD2 with information required to generate the proper timing. Record type 02 is provided for this purpose.

WinISP, a software utility to implement ISP programming with a PC, is available from Philips. Commercial serial ISP programmers are available from third parties. Please check the Philips web site (www.semiconductors.philips.com) for additional information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 8. Intel-Hex Records Used by In-System Programming

RECORD TYPE	COMMAND/DATA FUNCTION
00	Program Data . :nnaaaa00dd....ddcc Where: Nn = number of bytes (hex) in record Aaaa = memory address of first byte in record dd....dd = data bytes cc = checksum Example: :10008000AF5F67F0602703E0322CFA92007780C3FD
01	End of File (EOF), no operation :xxxxxx01cc Where: xxxxxx = required field, but value is a "don't care" cc = checksum Example: :00000001FF
02	Specify Oscillator Frequency :01xxxx02ddcc Where: xxxx = required field, but value is a "don't care" dd = integer oscillator frequency rounded down to nearest MHz cc = checksum Example: :0100000210ED (dd = 10h = 16, used for 16.0-16.9 MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECORD TYPE	COMMAND/DATA FUNCTION
03	Miscellaneous Write Functions :nnxxxx03ffssddcc Where: nn = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 03 = Write Function ff = subfunction code ss = selection code dd = data input (as needed) cc = checksum Subfunction Code = 01 (Erase Blocks) ff = 01 ss = block code as shown below: block 0, 0k to 8k, 00H block 1, 8k to 16k, 20H block 2, 16k to 32k, 40H block 3, 32k to 48k, 80H block 4, 48k to 64k, C0H Example: :0200000301C03A erase block 4 Subfunction Code = 04 (Erase Boot Vector and Status Byte) ff = 04 ss = don't care Example: :020000030400F7 erase boot vector and status byte Subfunction Code = 05 (Program Security Bits) ff = 05 ss = 00 program security bit 1 (inhibit writing to Flash) 01 program security bit 2 (inhibit Flash verify) 02 program security bit 3 (disable external memory) Example: :020000030501F5 program security bit 2 Subfunction Code = 06 (Program Status Byte or Boot Vector) ff = 06 ss = 00 program status byte 01 program boot vector Example: :030000030601FCF7 program boot vector with 0FCH Subfunction Code = 07 (Full Chip Erase) Erases all blocks, security bits, and sets status and boot vector to default values ff = 07 ss = don't care dd = don't care Example: :0100000307F5 full chip erase
04	Display Device Data or Blank Check – Record type 04 causes the contents of the entire Flash array to be sent out the serial port in a formatted display. This display consists of an address and the contents of 16 bytes starting with that address. No display of the device contents will occur if security bit 2 has been programmed. Data to the serial port is initiated by the reception of any character and terminated by the reception of any character. General Format of Function 04 :05xxxx04sssseeeeffcc Where: 05 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 04 = "Display Device Data or Blank Check" function code ssss = starting address eeee = ending address ff = subfunction 00 = display data 01 = blank check cc = checksum Example: :0500000440004FFF0069 display 4000-4FFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECORD TYPE	COMMAND/DATA FUNCTION
05	Miscellaneous Read Functions General Format of Function 05 :02xxxx05ffsscc Where: 02 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 05 = "Miscellaneous Read" function code ffss = subfunction and selection code 0000 = read signature byte - manufacturer id (15H) 0001 = read signature byte - device id # 1 (C2H) 0002 = read signature byte - device id # 2 0700 = read security bits 0701 = read status byte 0702 = read boot vector cc = checksum Example: :020000050001F8 read signature byte - device id # 1
06	Direct Load of Baud Rate General Format of Function 06 :02xxxx06hhllcc Where: 02 = number of bytes (hex) in record xxxx = required field, but value is a "don't care" 06 = "Direct Load of Baud Rate" function code hh = high byte of Timer 2 ll = low byte of Timer 2 cc = checksum Example: :02000006F500F3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Application Programming Method

Several In Application Programming (IAP) calls are available for use by an application program to permit selective erasing and programming of Flash sectors. All calls are made through a common interface, PGM_MTP. The programming functions are selected by setting up the microcontroller's registers before making a call to PGM_MTP at FFF0H. The oscillator frequency is an integer number rounded down to the nearest megahertz. For example, set R0 to 11 for 11.0592 MHz. Results are returned in the registers. The IAP calls are shown in Table 9.

Using the Watchdog Timer (WDT)

The 89C51Rx2 devices support the use of the WDT in IAP. The user specifies that the WDT is to be fed by setting the most significant bit of the function parameter passed in R1 prior to calling PGM_MTP. The WDT function is only supported for Block Erase when using Quick Block Erase. The Quick Block Erase is specified by performing a Block Erase with register R0 = 0. Requesting a WDT feed during IAP should only be performed in applications that use the WDT since the process of feeding the WDT will start the WDT if the WDT was not running.

Table 9. IAP calls

IAP CALL	PARAMETER
PROGRAM DATA BYTE	Input Parameters: R0 = osc freq (integer) R1 = 02h R1 = 82h (WDT feed) DPTR = address of byte to program ACC = byte to program Return Parameter ACC = 00 if pass, !00 if fail
ERASE BLOCK	Input Parameters: R0 = osc freq (integer) R0 = 0 (Quick Erase) R1 = 01h R1 = 81h (WDT feed) DPH = block code as shown below: block 0, 0k to 8k, 00H block 1, 8k to 16k, 20H block 2, 16k to 32k, 40H block 3, 32k to 48k, 80H block 4, 48k to 64k, C0H DPL = 00h Return Parameter none
ERASE BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 04h R1 = 84h (WDT feed) DPH = 00h DPL = don't care Return Parameter none
PROGRAM SECURITY BIT	Input Parameters: R0 = osc freq (integer) R1 = 05h R1 = 85h (WDT feed) DPH = 00h DPL = 00h - security bit # 1 (inhibit writing to Flash) 01h - security bit # 2 (inhibit Flash verify) 02h - security bit # 3 (disable external memory) Return Parameter none
PROGRAM STATUS BYTE	Input Parameters: R0 = osc freq (integer) R1 = 06h R1 = 86h (WDT feed) DPH = 00h DPL = 00h - program status byte ACC = status byte Return Parameter ACC = status byte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IAP CALL	PARAMETER
PROGRAM BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 06h R1 = 86h (WDT feed) DPH = 00h DPL = 01h - program boot vector ACC = boot vector Return Parameter ACC = boot vector
READ DEVICE DATA	Input Parameters: R1 = 03h R1 = 83h (WDT feed) DPTR = address of byte to read Return Parameter ACC = value of byte read
READ MANUFACTURER ID	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 00h (manufacturer ID) Return Parameter ACC = value of byte read
READ DEVICE ID # 1	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 01h (device ID # 1) Return Parameter ACC = value of byte read
READ DEVICE ID # 2	Input Parameters: R0 = osc freq (integer) R1 = 00h R1 = 80h (WDT feed) DPH = 00h DPL = 02h (device ID # 2) Return Parameter ACC = value of byte read
READ SECURITY BITS	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 00h (security bits) Return Parameter ACC = value of byte read
READ STATUS BYTE	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 01h (status byte) Return Parameter ACC = value of byte read
READ BOOT VECTOR	Input Parameters: R0 = osc freq (integer) R1 = 07h R1 = 87h (WDT feed) DPH = 00h DPL = 02h (boot vector) Return Parameter ACC = value of byte read

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Security

The security feature protects against software piracy and prevents the contents of the Flash from being read. The Security Lock bits are located in Flash. The P89C51RB2/RC2/RD2 has three programmable security lock bits that will provide different levels of protection for the on-chip code and data (see Table 10).

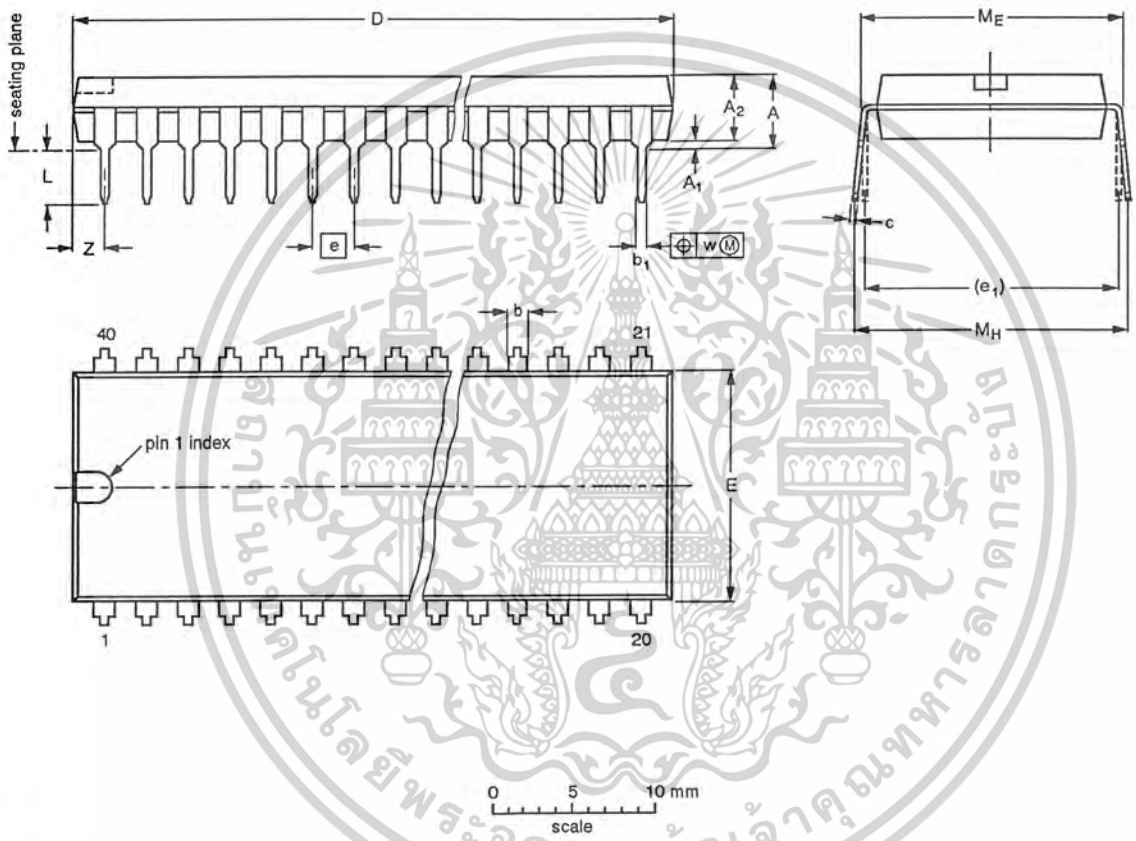
Table 10.

	SECURITY LOCK BITS[1]			PROTECTION DESCRIPTION
LEVEL	LB1	LB2	LB3	
1	0	0	0	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory.
2	1	0	0	Block erase is disabled. Erase or programming of the status byte or boot vector is disabled.
3	1	1	0	Verify of code memory is disabled.
4	1	1	1	External execution is disabled.

NOTE:
1. Security bits are independent of each other. Full-chip erase may be performed regardless of the state of the security bits.
2. Any other combination of lock bits is undefined.
3. Setting LBx doesn't prevent programming of unprogrammed bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP40: plastic dual in-line package; 40 leads (600 mil) **SOT129-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	$D^{(1)}$	$E^{(1)}$	e	e_1	L	M_E	M_H	w	$Z^{(1)}$ max.
mm	4.7	0.51	4.0	1.70 1.14	0.53 0.38	0.36 0.23	52.50 51.50	14.1 13.7	2.54	15.24	3.60 3.05	15.80 15.24	17.42 15.90	0.254	2.25
inches	0.19	0.020	0.16	0.067 0.045	0.021 0.015	0.014 0.009	2.067 2.028	0.56 0.54	0.10	0.60	0.14 0.12	0.62 0.60	0.69 0.63	0.01	0.089

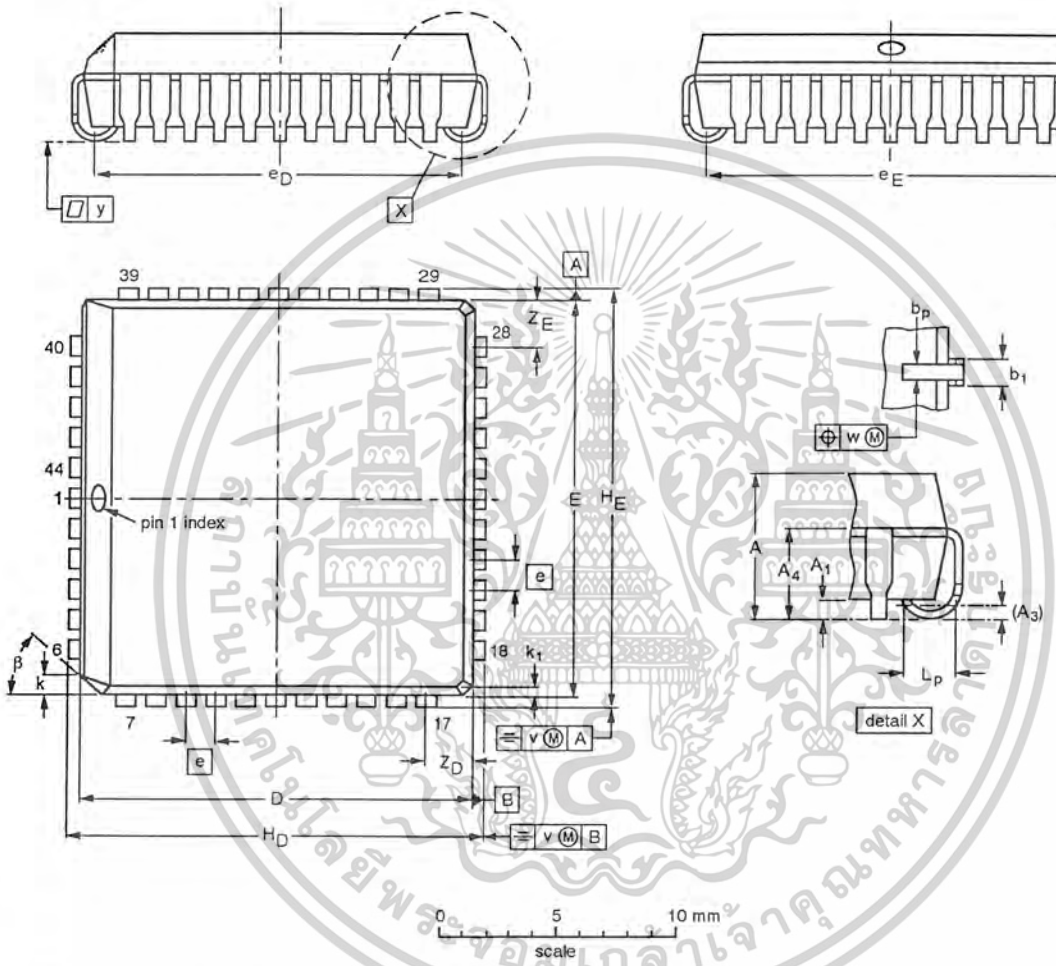
Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT129-1	051G08	MO-015	SC-511-40			~~95-01-14~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLCC44: plastic leaded chip carrier; 44 leads **SOT187-2**



DIMENSIONS (millimetre dimensions are derived from the original inch dimensions)

UNIT	A	A_1 min.	A_3	A_4 max.	b_p	b_1	$D^{(1)}$	$E^{(1)}$	e	e_D	e_E	H_D	H_E	k	k_1 max.	L_p	v	w	y	$Z_D^{(1)}$ max.	$Z_E^{(1)}$ max.	β
mm	4.57 4.19	0.51	0.25	3.05	0.53 0.33	0.81 0.66	16.66 16.51	16.66 16.51	1.27	16.00 14.99	16.00 14.99	17.65 17.40	17.65 17.40	1.22 1.07	0.51	1.44 1.02	0.18	0.18	0.10	2.16	2.16	45°
inches	0.180 0.165	0.020	0.01	0.12	0.021 0.013	0.032 0.026	0.656 0.650	0.656 0.650	0.05	0.630 0.590	0.630 0.590	0.695 0.685	0.695 0.685	0.048 0.042	0.020	0.057 0.040	0.007	0.007	0.004	0.085	0.085	

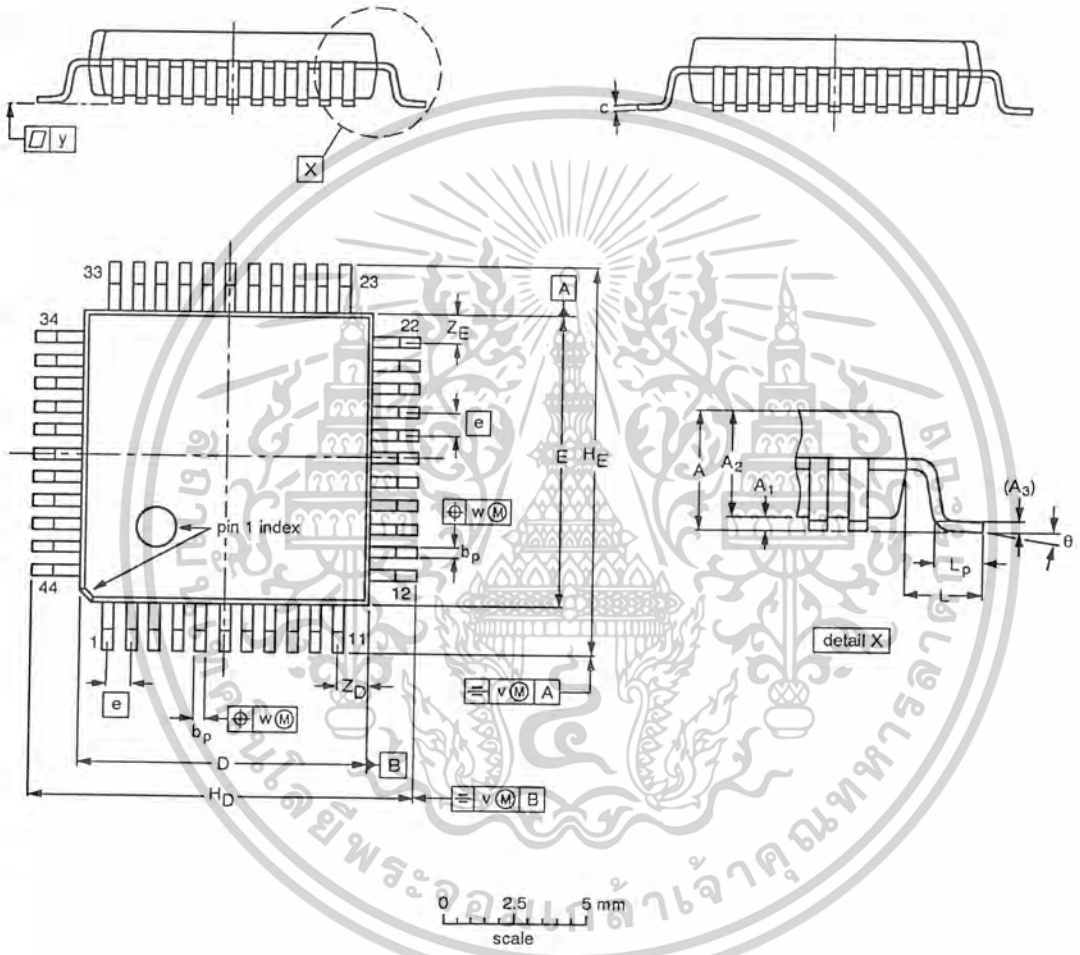
Note

1. Plastic or metal protrusions of 0.01 inches maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT187-2	112E10	MO-047				~~97-12-16~~ 99-12-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LQFP44: plastic low profile quad flat package; 44 leads; body 10 x 10 x 1.4 mm **SOT389-1**



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_D	H_E	L	L_p	v	w	y	$Z_D^{(1)}$	$Z_E^{(1)}$	θ
mm	1.60	0.15 0.05	1.45 1.35	0.25	0.45 0.30	0.20 0.12	10.10 9.90	10.10 9.90	0.80	12.15 11.85	12.15 11.85	1.0	0.75 0.45	0.20	0.20	0.10	1.14 0.85	1.14 0.85	7° 0°

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT389-1	136E08	MS-026				~~99-12-17~~ 00-01-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data sheet status

Data sheet status	Product status	Definition [1]
Objective specification	Development	This data sheet contains the design target or goal specifications for product development. Specification may change in any manner without notice.
Preliminary specification	Qualification	This data sheet contains preliminary data, and supplementary data will be published at a later date. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Product specification	Production	This data sheet contains final specifications. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.

[1] Please consult the most recently issued datasheet before initiating or completing a design.

Definitions

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Disclaimers

Life support — These products are not designed for use in life support appliances, devices or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes, without notice, in the products, including circuits, standard cells, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

Philips Semiconductors
811 East Arques Avenue
P.O. Box 3409
Sunnyvale, California 94088–3409
Telephone 800-234-7381

© Copyright Philips Electronics North America Corporation 2000
All rights reserved. Printed in U.S.A.

Date of release: 08-00

Document order number: 9397 750 07441

Let's make things better.

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=========================================================================
==============
$NOMOD51    NOLIST      NOSYMBOLS   NODEBUG
$INCLUDE(..\mcu\89c51Rx2.mcu)
;-------------------------------------------------------------------------
--------------
; P89C51Rx2Hxx devices have a 6-Clock default clock rate (12-Clock
optional).
;
msec        EQU   10
usec        EQU   100

lt0_lo              EQU   r2
lt0_hi              EQU   r3
lt1_lo              EQU   r2
lt1_hi              EQU   r3

lcd_bl              BIT   P0.3              ; lcd black-light
lcd_en              BIT   P0.2
lcd_rw              BIT   P0.1
lcd_rs              BIT   P0.0
lcd_data    EQU     P0

std_in              BIT   p2.4
hook_in             BIT   p3.2
pwr_up              BIT   p3.5
ctrl_port   BIT     p3.7

            BSEG    AT    20h
flags       DATA    20h               ; misc flags
clidf       BIT     flags.0
hookf       BIT     flags.1
incommingf  BIT     flags.2
keyf        BIT     flags.3
lt0f        BIT     flags.4           ; long timer 0 overflow flag
lt1f        BIT     flags.5
ringf       BIT     flags.6
ctrlf       BIT     flags.7
chf         BIT     8
onf         BIT     9

            DSEG    AT    30h
no_buff:    DS      12

            ISEG    AT    80h
cid_buff:   DS      64

            ORG     0E0h                ; stack origin
stack:              DS    32            ; stack depth (32 bytes)

            CSEG
            ORG     0000h               ; power on/reset vector
            ajmp    cold_start

            ORG     0003h               ; external interrupt 0 vector
            ajmp    hook_isr            ; undefined
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            ORG   000Bh                    ; timer 0 overflow vector
            ajmp  timer0_isr

            ORG   0013h                    ; external interrupt 1 vector
            ajmp  ring_isr

            ORG   001Bh                    ; timer 1 overflow vector
            ajmp  timer1_isr

            ORG   0023h                    ; serial I/O interrupt vector
            ajmp  serial_isr

            ORG   0100h                    ; begin code space
cold_start:
;=============================================================================
==============
;
            mov   r4, #100/msec
            acall mdelay

            mov   sp, #(stack-1)           ; initialize stack pointer
            acall initialize               ; initialize controller
registers
            acall init_lcd
m1:
            clr   incommingf
            acall clear_dsp
            acall return_home
            acall str2lcd
            db    'Caller I', ('D' or 80h)

            mov   a, #40h
            acall lcd2pos
            acall str2lcd
            db    'Remote Contro', ('l' or 80h)
m2:
            jnb   clidf, m3
            acall caller_id
            acall authorize
m3:
            jnb   lt0f, m2
            clr   et0
            clr   lt0f
            setb  pwr_up
            sjmp  m1
hook_isr:
;=============================================================================
==============
;
            push  acc
            push  psw
            clr   rs1
            setb  rs0

            jb    incommingf, hi0
            clr   lcd_bl
            acall clear_dsp
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            acall return_home
            acall str2lcd
            db    'Off-Hook..', ('.' or 80h)
            setb  keyf
            sjmp  hi1
hi0:
            mov   r4, #1000/msec
            acall mdelay
            mov   r4, #250
            acall clock_out
hi1:
            mov   r7, #3
            jb    hook_in, hi8
hi2:
            jnb   std_in, hi1
            mov   r4, #10/msec
            acall mdelay
            djnz  r7, hi2
            mov   a, p2
            anl   a, #00001111b
            push  acc
            jnb   keyf, hi4
            acall clear_dsp
            mov   a, #50h
            acall lcd2pos
            mov   a, #00000111b
            acall wr_inst
hi4:
            pop   acc
            acall ascii_tbl
            acall dtmf_ctrl
            acall wr_data
            jb    std_in, $
            clr   keyf
            sjmp  hi1
hi8:
            mov   r4, #10/msec
            acall mdelay
            jnb   hook_in, hi1
            mov   a, #00000110b
            acall wr_inst
            acall clear_dsp
            acall return_home
            acall str2lcd
            db    'On-Hook..', ('.' or 80h)
            acall init_timer0
            clr   incommingf
hi9:
            clr   rs0
            pop   psw
            pop   acc
            reti
timer0_isr:
;=============================================================================
==============
; Process Timer Zero interrupt, which occurs about every 71.111 ms.
            push  psw                       ; save flags
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                setb  rs1                       ; select register bank two
                clr   rs0

                jb    lt0f, ti2
                cjne  lt0_lo, #0, ti1           ; test low byte
                dec   lt0_hi                    ; low byte is zero, borrow
from high
ti1:
                djnz  lt0_lo, ti2               ; dec low byte, skip if not
zero
                cjne  lt0_hi, #0, ti2           ; low byte is zero, test high
byte
                                                ; both bytes equal zero
                setb  lt0f
ti2:
                pop   psw                       ; restore flags and reg bank
zero
                reti
timer1_isr:
;===============================================================================
=============
; Process Timer Zero interrupt, which occurs about every 71.111 ms.
                push  psw                       ; save flags
                setb  rs1                       ; select register bank three
                setb  rs0

                jb    lt1f, tli2
                cjne  lt1_lo, #0, tli1          ; test low byte
                dec   lt1_hi                    ; low byte is zero, borrow
from high
tli1:
                djnz  lt1_lo, tli2              ; dec low byte, skip if not
zero
                cjne  lt1_hi, #0, tli2          ; low byte is zero, test high
byte
                                                ; both bytes equal zero
                setb  lt1f
                setb  ctrl_port
tli2:
                pop   psw                       ; restore flags and reg bank
zero
                reti
ring_isr:
;===============================================================================
=============
;
                push  psw
                clr   pwr_up
                clr   lcd_bl
                jnb   int1, $
                setb  lcd_bl
                acall init_timer0
                pop   psw
                reti
serial_isr:
;===============================================================================
=============
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
            push  psw
            clr   clidf
            clr   ti
            jnb   ri, si2
            mov   a, sbuf
            clr   ri
            setb  clidf
            clr   es
si2:
            pop   psw
            reti
caller_id:
;=============================================================================
==============
;
            mov   r0, #cid_buff
            cjne  a, #80h, clid5
            acall get_char
            jc    clid2                 ; jump if time-out
            mov   r7, a                 ; length of data
            inc   r7                    ; checksum
clid1:
            acall get_char
            jc    clid2
            mov   @r0,a
            inc   r0
            djnz  r7, clid1
            acall clear_dsp
            mov   a, #4bh
            acall lcd2pos
            mov   r0, #cid_buff + 4
            mov   a, @r0
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            mov   a, #'/'
            acall wr_data
            mov   r0, #cid_buff + 2
            mov   a, @r0
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            mov   a, #45h
            acall lcd2pos
            mov   r0, #cid_buff + 6
            mov   a, @r0
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            mov   a, #':'
            acall wr_data
            inc   r0
            mov   a, @r0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            sjmp  clid3
clid2:
            sjmp  clid9
clid3:
            mov   a, @r0
            inc   r0
            cjne  a, #02h, clid3
            mov   a, @r0
            mov   r7, a
            acall return_home
            mov   r1, #no_buff
clid4:
            inc   r0
            mov   a, @r0
            mov   @r1, a
            inc   r1
            acall wr_data
            djnz  r7, clid4
            sjmp  clid9
clid5:
            cjne  a, #04h, clid9
            acall get_char
            jc    clid9
            mov   r7, a
            mov   r6, a
            inc   r7
clid6:
            acall get_char
            jc    clid9
            mov   @r0, a
            inc   r0
            djnz  r7, clid6
            acall clear_dsp
            mov   a, #4bh
            acall lcd2pos
            mov   r0, #cid_buff + 2
            mov   a, @r0
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            mov   a, #'/'
            acall wr_data
            mov   r0, #cid_buff
            mov   a, @r0
            acall wr_data
            inc   r0
            mov   a, @r0
            acall wr_data
            mov   a, #45h
            acall lcd2pos
            mov   r0, #cid_buff + 4
            mov   a, @r0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                acall wr_data
                inc   r0
                mov   a, @r0
                acall wr_data
                mov   a, #':'
                acall wr_data
                inc   r0
                mov   a, @r0
                acall wr_data
                inc   r0
                mov   a, @r0
                acall wr_data

                inc   r0
                mov   a, r6
                mov   r7, #9
                acall return_home
                mov   r1, #no_buff
clid7:
                mov   a, @r0
                inc   r0
                mov   @r1, a
                inc   r1
                acall wr_data
                djnz  r7, clid7
clid9:
                acall init_timer0
                clr   clidf
                setb  incommingf
                setb  es
                ret
dtmf_ctrl:
;===============================================================================
;
                push  psw
                push  acc

                jnb   ctrlf, dc55
                jnb   chf, dc45

                cjne  a, #'1', dc31
                mov   c, onf
                mov   p1.0, c
                sjmp  dc39
dc31:
                cjne  a, #'2', dc32
                mov   c, onf
                mov   p1.1, c
                sjmp  dc39
dc32:
                cjne  a, #'3', dc33
                mov   c, onf
                mov   p1.2, c
                sjmp  dc39
dc33:
                cjne  a, #'4', dc34
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   c, onf
                mov   p1.3, c
                sjmp  dc39
dc34:
                cjne  a, #'5', dc35
                mov   c, onf
                mov   p1.4, c
                sjmp  dc39
dc35:
                cjne  a, #'6', dc36
                mov   c, onf
                mov   p1.5, c
                sjmp  dc39
dc36:
                cjne  a, #'7', dc37
                mov   c, onf
                mov   p1.6, c
                sjmp  dc39
dc37:
                cjne  a, #'8', dc38
                mov   c, onf
                mov   p1.7, c
                sjmp  dc39
dc38:
                cjne  a, #'*', dc47
                jb    onf, dc38a
                mov   p1, #00000000b
                sjmp  dc39
dc38a:
                mov   p1, #11111111b
dc39:
                mov   r4, #120/msec
                acall mdelay
                mov   r4, #100
                acall clock_out
                jbc   onf, dc39
                sjmp  dc47
dc45:
                cjne  a, #'0', dc46
                clr   onf
                setb  chf
                sjmp  dc84
dc46:
                cjne  a, #'1', dc47
                setb  onf
                setb  chf
                sjmp  dc84
dc47:
                clr   chf
                clr   ctrlf
                sjmp  dc84
dc55:
                cjne  a, #'#', dc84
                setb  ctrlf
dc84:
                pop   acc
                pop   psw
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            ret
authorize:
;================================================================================
;
            mov   r0, #no_buff
            mov   r2, #00
            mov   r7, #9
auth1:
            mov   a, @r0
            inc   r0
            mov   b, a
            mov   a, r2
            inc   r2
            acall addrbook_tbl
            cjne  a, b, auth2
            djnz  r7, auth1
            clr   ctrl_port
            acall init_timer1
auth2:
            ret
initialize:
;================================================================================
; Initialize controller registers and I/O lines.
            mov   scon, #01010000b          ; serial port mode 1
            anl   pcon, #01111111b          ; initialize power control
register
            mov   tmod, #00010001b          ; timer 1 16-bit
                                            ; timer 0 16-bit
            mov   t2con, #00110100b
            mov   rcap2h, #0fdh
            mov   rcap2l, #0c0h
            setb  tr1                       ; start timer 1
            setb  tr0                       ; start timer 0

            setb  lt0f
            clr   clidf
            mov   p2, #0ffh
            mov   p3, #0ffh
            mov   ie, #10011111b
            mov   ip, #00001000b

            ret
init_lcd:
;================================================================================
;
            mov   lcd_data, #00110000b
            setb  lcd_en
            clr   lcd_en

            mov   r4, #4000/usec
            acall udelay
            setb  lcd_en
            clr   lcd_en
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            mov   r4, #100/usec
            acall udelay
            setb  lcd_en
            clr   lcd_en

            mov   lcd_data, #00100000b
            acall busy_lcd
            setb  lcd_en
            clr   lcd_en

            acall busy_lcd
            mov   a, #00101000b          ; function set
            acall wr_inst
            mov   a, #00001100b          ; display on
            acall wr_inst
            acall clear_dsp
            mov   a, #00000110b          ; entry mode set
            acall wr_inst
            ret
clear_dsp:
;=============================================================================
==============
;
            mov   a, #00000001b
            acall wr_inst
            ret
return_home:
;=============================================================================
==============
;
            mov   a, #00000010b
            acall wr_inst
            ret
lcd2pos:
;=============================================================================
==============
;
            setb  acc.7
            acall wr_inst
            ret
wr_inst:
;=============================================================================
==============
;
            clr   lcd_rs                 ; instruction select
            sjmp  wr_lcd
wr_data:
            setb  lcd_rs                 ; data select
wr_lcd:
            clr   lcd_rw                 ; prepare R/W for write
operation
            push  acc                    ; save data
            anl   a, #11110000b          ; 4 high order bits
            anl   lcd_data, #00001111b
            orl   lcd_data, a
            setb  lcd_en
            clr   lcd_en
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            pop   acc                       ; restore data
            anl   a, #00001111b             ; 4 low order bits
            swap  a
            anl   lcd_data, #00001111b
            orl   lcd_data, a
            setb  lcd_en
            clr   lcd_en
            acall busy_lcd
            ret
busy_lcd:
;=============================================================================
==============
;
            orl   lcd_data, #11110000b      ; prepare port for input
            clr   lcd_rs
            setb  lcd_rw                    ; prepare R/W for read
operation
wait_lcd:
            setb  lcd_en
            mov   a, lcd_data
            clr   lcd_en
            setb  lcd_en
            clr   lcd_en
            jb    acc.7, wait_lcd
            ret
str2lcd:
;
=============================================================================
===========
; Copy in-line character string to console output device.

            pop   dph                       ; get in-line string address
            pop   dpl                       ; from stack
str_o1:
            clr   a
            movc  a,@a+dptr                 ; read next byte.
            inc   dptr                      ; bump pointer.
            jbc   acc.7,str_o2              ; escape after last
character.
            acall wr_data                   ; output character.
            sjmp  str_o1                    ; loop until done.
str_o2:
            acall wr_data                   ; output character.
            clr   a
            jmp   @a+dptr                   ; return to program.
addrbook_tbl:
;=============================================================================
==============
;
            inc   a
            movc  a, @a+pc
            ret
            db    '091063612'
ascii_tbl:
;=============================================================================
==============
;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            inc   a
            movc  a, @a+pc
            ret
            db    'D1234567890*#ABC'
get_char:
;=================================================================
==============
; Read a character from the serial port.
; Return the character in the accumulator.
            mov   r4, #00
gcdl2:
            mov   r5, #00
gcdl3:
            jb    ri, gc1
            djnz  r5, gcdl3
            djnz  r4, gcdl2
            setb  c                         ; set error flag
            ret                             ; return
gc1:
            mov   a, sbuf                   ; get character into
accumulator
            clr   ri                        ; reset receive flag
            clr   c
            ret
init_timer0:
;=================================================================
==============
; Load and start long timer 0.
; System Timer 0 count loaded and interrupt enabled elsewhere.
            setb  rs1                       ; select register bank two
            clr   rs0

            mov   lt0_hi, #001h
            mov   lt0_lo, #01ah             ; load 10-second count

            mov   th0, #0c0h
            mov   tl0, #000h

            clr   lt0f
            setb  et0

            clr   rs1                       ; back to bank zero
            ret
init_timer1:
;=================================================================
==============
; Load and start long timer 0.
; System Timer 0 count loaded and interrupt enabled elsewhere.
            setb  rs1                       ; select register bank three
            setb  rs0

;           mov   lt1_hi, #020h
;           mov   lt1_lo, #0f6h             ; load 300-second count ( 5-
minute )
;           mov   th1, #080h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            mov   lt1_hi, #06h            ; load 60-second count ( 1-
minute )
            mov   lt1_lo, #098h
            mov   th1, #080h

            mov   tl1, #000h

            clr   lt1f
            setb  et1

            clr   rs1                     ; back to bank zero
            clr   rs0
            ret
udelay:
;=============================================================================
==============
; Delay for 100 us (@ 11.0592 MHz & 6-Clock Mode) times the value in
the register R4.
udl1:
            mov   r5, #91
            djnz  r5, $
            djnz  r4, udl1
            ret
clock_out:
;=============================================================================
==============
; output a 50% duty cycle clock 1 KHz at a 22.1184 MHz OSC.
co1:
;           mov   r5, #80
            mov   r5, #70
co2:
            mov   r6, #10
            djnz  r6, $
            djnz  r5, co2
            cpl   p3.6
            djnz  r4, co1
            ret
mdelay:
;=============================================================================
==============
; Delay for 10 ms (@ 11.0592 MHz & 6-Clock Mode) times the value in the
register R4.
md11:
            mov   r5, #68
md12:
            mov   r6, #134
            djnz  r6, $
            djnz  r5, md12
            nop
            djnz  r4, md11
            ret
;-----------------------------------------------------------------------------
--------------
            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. www.Motorola.com
2. วรพจน์ กรแก้ววัฒนกุล, ชัยวัฒน์ ลิ้มพรจิตรวิไล, **"เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51"**, บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ จำกัด
3. รศ.สมยศ จุณณะปิยะ, **"การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51"**, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543
4. พันธ์ศักดิ์ พุฒิมานิตพงศ์, ไฉน บุญเพ็ชร, **"วงจรดิจิตอลเบื้องต้น"**, ศูนย์ส่งเสริมอาชีวะ, 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้