สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

# THE DESIGN OF 4 BITS FLASH A/D CONVERTER

T055477

โดย

นายธีรวัฒน์ พิเชฐานนท์ 43010191

นางสาวสุพัตรา กิจจุลลจาริต 43010487

อาจารย์ที่ปรึกษา

รศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เลขหมู่.....
เลขทะเบียน.....55477.....
วัน,เดือน,ปี.....10 พ.ค. 2548

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

# THE DESIGN OF4 BITS FLASH A/D CONVERTER

โดย

นายธีรวัฒน์ พิเชฐานนท์

นางสาวสุพัตรา กิจจุลลจาริต


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2546

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

ผู้จัดทำ นายธีรวัฒน์ พิเชฐานนท์ รหัส 43010191

นางสาวสุพัตรา กิจจุลลจาริต รหัส 43010487

.....อาจารย์ที่ปรึกษา

(รศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

THE DESIGN OF 4 BITS FLASH A/D CONVERTER

นายธีรวัฒน์ พิเชฐานนท์ รหัส 43010191

นางสาวสุพัตรา กิจจุลลจาริต รหัส 43010487

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....อาจารย์ที่ปรึกษา

(รศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

ธีรวัฒน์ พิเชฐานนท์
สุพัตรา กิจจุลลจาริต
รศ.ดร.วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2546

**บทคัดย่อ**

โครงงานนี้นำเสนอการออกแบบวงจรรวมที่ใช้ซีมอสทรานซิสเตอร์แปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต โดยจะกล่าวถึงทฤษฎีพื้นฐานที่เกี่ยวข้อง ได้แก่ ทฤษฎีของมอสเฟท วงจรย่อยพื้นฐาน ทฤษฎีวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล วงจรอื่นๆ ที่ใช้งานในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล โดยใช้โปรแกรม PSpice และ TSpice จำลองการทำงานของวงจรเพื่อยืนยันความถูกต้องในการออกแบบให้ตรงตามข้อกำหนด สุดท้ายทำการออกแบบเลย์เอาต์ของวงจรรวมด้วยโปรแกรม L-Edit และจำลองการทำงานเพื่อยืนยันว่าวงจรทำงานได้อย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# THE DESIGN OF 4 BITS FLASH A/D CONVERTER

Teerawat Pichethanon

Supatra Kitjunlajarit

Assoc.Prof. Dr. Varakorn Kasemsuwan Advisor

2003

**Abstract**

This project is to design the CMOS 4 bits flash analog to digital (A/D) converter. The study firstly discusses the basic of MOSFET, the basic building block circuits, A/D converter theory and the implementation of A/D converter. The circuit simulation is performed by using both PSpice and TSpice to ensure that the design meets specifications. Finally L-Edit is used to layout the circuit and simulated again to verify the circuit performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทคัดย่อ | I |
| Abstract | II |
| สารบัญ | III |
| สารบัญรูปภาพ | V |
| สารบัญตาราง | IX |
| บทที่ 1 บทนำ | 1 |
| 1.1 บทนำ | 1 |
| 1.2 วัตถุประสงค์ | 1 |
| บทที่ 2 ทฤษฎีมอสเฟ็ต | 2 |
| 2.1 บทนำ | 2 |
| 2.2 โครงสร้างพื้นฐาน | 2 |
| 2.3 ผลกระทบต่างๆในมอสเฟ็ต | 6 |
| 2.4 รูปแบบจำลองในมอสเฟ็ต | 10 |
| บทที่ 3 ทฤษฎีของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล | 13 |
| 3.1 คุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล | 13 |
| 3.2 โครงสร้างและชนิดของวงจรแปลงสัญญาณอนาล็อกเป็น สัญญาณดิจิตอล | 18 |
| 3.3 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช | 18 |
| 3.3.1 วงจรคอมพาราเตอร์ | 20 |
| 3.3.1.1 วงจรย่อยที่ใช้ในการสร้างคอมพาราเตอร์ | 22 |
| 3.3.1.2 วงจรคอมพาราเตอร์สองภาค | 25 |
| 3.3.1.3 วงจรคอมพาราเตอร์ที่มีการชดเชยออฟเซต | 31 |
| 3.3.2 วงจรเอ็นโค้ดเดอร์ | 34 |
| 3.3.3 วงจร แลตช์ | 34 |
| 3.4 วงจรที่ใช้ในการทำงานร่วมกับวงจรแปลงสัญญาณอนาล็อกเป็น สัญญาณดิจิตอล | 35 |
| 3.4.1 วงจรแซมเปิ้ลแอนด์โฮลด์ | 35 |
| 3.4.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก | 35 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรในระดับเลย์เอาต์ 36
3.5.1 การออกแบบมอสทรานซิสเตอร์ 36
3.5.2 การออกแบบตัวต้านทาน 37
3.5.3 การออกแบบตัวเก็บประจุ 38
บทที่ 4 การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
แบบแฟลช 4 บิต 39
4.1 การออกแบบและทดลองวงจรแซมเปิ้ลแอนด์โฮลด์ 39
4.2 การออกแบบและทดลองวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณ
ดิจิตอลแบบแฟลช 4 บิต 42
4.2.1 การออกแบบและทดลองวงจรคอมพาราเตอร์ 42
4.2.2 การออกแบบและทดลองวงจรคอมพาราเตอร์ที่มีการชดเชย
แรงดันออฟเซต 51
4.2.3 การออกแบบและทดลองวงจรแลตช์ 58
4.2.4 การออกแบบและทดลองวงจรเอ็นโค้ดเดอร์ 61
4.2.5 ผลการทดลองวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
แบบแฟลช 4 บิต 66
4.3 การออกแบบและการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 68
4.4 การออกแบบเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
แบบแฟลช 4 บิต 71
4.4.1 การออกแบบเลย์เอาต์วงจรขยายแบบดิฟเฟอเรนเชียล 71
4.4.2 การออกแบบเลย์เอาต์ของตัวต้านทาน 71
4.4.3 การออกแบบเลย์เอาต์ของตัวเก็บประจุ 72
4.4.4 การออกแบบเลย์เอาต์ของวงจรแลตช์ 72
4.4.5 การออกแบบเลย์เอาต์ของวงจรเอ็นโค้ดเดอร์ 73
บทที่ 5 บทสรุป 82
**กิตติกรรมประกาศ**
**บรรณานุกรม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูปภาพ

หน้า

บทที่ 2 ทฤษฎีมอสเฟท

รูปที่ 2.1 โครงสร้างของมอสทรานซิสเตอร์ 2

รูปที่ 2.2 สัญลักษณ์ของมอสทรานซิสเตอร์ 3

รูปที่ 2.3 โครงสร้างและสัญลักษณ์และกราฟคุณลักษณะของเอ็นฮานซ์เมนท์ มอสเฟท 4

รูปที่ 2.4 กราฟแสดงช่วงการทำงานของมอสเฟทระหว่างกระแสและแรงดัน 5

รูปที่ 2.5 โครงสร้างและสัญลักษณ์และกราฟคุณลักษณะของดีพลีชันมอสเฟท 6

รูปที่ 2.6 ผลของแรงดันไบอัสที่ฐานรอง 7

รูปที่ 2.7 ผลของแชนแนลขนาดสั้น 8

รูปที่ 2.8 โครงสร้างที่มีการโด๊ปอย่างเบาเพื่อลดผลของฮาทะร้อน 10

รูปที่ 2.9 ก) แบบจำลองสัญลักษณ์ขนาดเล็กของมอสเฟท 10

ข) ผลของขนาดแชนแนลมอดูเลชั่นแทนด้วยความต้านทาน 10

รูปที่ 2.10 วงจรเสมือนสำหรับสัญญาณขนาดเล็กที่คิดผลของตัวเก็บประจุแฝง 11

บทที่ 3 ทฤษฎีของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

รูปที่ 3.1 กราฟคุณสมบัติในอุดมคติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 3 บิต 13

รูปที่ 3.2 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 3 บิต ที่มีแรงดันออฟเซต 14

รูปที่ 3.3 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 3 บิต ที่มีค่าผิดพลาดจากอัตราขยาย 15

รูปที่ 3.4 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีผลของความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล 16

รูปที่ 3.5 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีผลของความไม่เป็นเชิงเส้นอินทิกรัล 17

รูปที่ 3.6 โครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช N บิต 19

รูปที่ 3.7 สัญลักษณ์ของวงจรคอมพาราเตอร์ 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรคอมพาราเตอร์ในอุดมคติ 20
รูปที่ 3.9 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของวงจรคอมพาราเตอร์ทั่วไป 21
รูปที่ 3.10 วงจรสะท้อนกระแสแบบพื้นฐาน 22
รูปที่ 3.11 วงจรขยายความแตกต่างที่มีโหลดเป็นวงจรสะท้อนกระแสแบบพื้นฐาน 23
รูปที่ 3.12 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของวงจรในรูปที่ 3.11 23
รูปที่ 3.13 วงจรขยายคอมม่อนซอส 24
รูปที่ 3.14 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของวงจรในรูปที่ 3.13 25
รูปที่ 3.15 วงจรคอมพาราเตอร์สองภาค 25
รูปที่ 3.16 ตัวเก็บประจุที่มีผลต่อวงจรคอมพาราเตอร์ 28
รูปที่ 3.17 ผลของแรงดันอินพุตออฟเซตที่มีผลต่อการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 31
รูปที่ 3.18 a) แบบจำลองคอมพาราเตอร์ที่มีแรงดันอินพุตออฟเซต 32
b) คอมพาราเตอร์ที่ต่อแบบ unity gain feedback เพื่อเก็บแรงดันอินพุตออฟเซตไว้ในตัวเก็บประจุ $C_{AZ}$ 32
c) คอมพาราเตอร์ที่ได้รับการชดเชยแรงดันอินพุตออฟเซตแล้ว 32
รูปที่ 3.19 a) วงจรที่มีการชดเชยแรงดันอินพุตออฟเซต 33
b) ขณะที่ $\phi_1$ High วงจรอยู่ในสภาวะออโต้ซีโร่ 33
c) ขณะที่ $\phi_2$ High คอมพาราเตอร์ทำงานปกติ 33
รูปที่ 3.20 วงจรแลตช์แบบดีฟลิปฟลอป 34
รูปที่ 3.21 วงจรแซมเปิ้ลแอนด์โฮลด์อย่างง่าย 35
รูปที่ 3.22 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกแบบถ่วงน้ำหนักเลขฐานสองด้วยแหล่งจ่ายกระแส 36
รูปที่ 3.23 เลย์เอาต์ของมอสทรานซิสเตอร์ 37
รูปที่ 3.24 เลย์เอาต์ของตัวต้านทาน 38
รูปที่ 3.25 เลย์เอาต์ของตัวเก็บประจุ 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

รูปที่ 4.1 วงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้สวิตช์ในอุดมคติ 40

รูปที่ 4.2 สัญญาณเอาต์พุตของวงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้สวิตช์ในอุดมคติ 40

รูปที่ 4.3 วงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้มอสเฟทเป็นสวิตช์ 41

รูปที่ 4.4 สัญญาณเอาต์พุตของวงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้มอสเฟทเป็นสวิตช์ 41

รูปที่ 4.5 ภาพขยายของสัญญาณเอาต์พุตในรูปที่ 4.4 42

รูปที่ 4.6 วงจรคอมพาราเตอร์สองภาค 44

รูปที่ 4.7 วงจรจำลองการทำงานของคอมพาราเตอร์ 47

รูปที่ 4.8 กราฟแรงดันเอาต์พุตเปรียบเทียบกับแรงดันอินพุต 47

รูปที่ 4.9 กราฟแรงดันเอาต์พุตเปรียบเทียบกับแรงดันอินพุตเมื่อแก้ไขขนาด M3 และ M4 ใหม่ 48

รูปที่ 4.10 กราฟผลการจำลองวงจรเพื่อหาค่าสลูว์เรท 49

รูปที่ 4.11 วงจรเปรียบเทียบระดับแรงดัน 49

รูปที่ 4.12 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ศูนย์ 50

รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ไม่เป็นศูนย์ 50

รูปที่ 4.14 ผลการจำลองวงจรเพื่อหาค่าเอาต์พุตอิมพีแดนซ์ 51

รูปที่ 4.15 วงจรคอมพาราเตอร์ที่มีการชดเชยทางเฟส 52

รูปที่ 4.16 การต่อวงจรเพื่อหาการตอบสนองทางความถี่และเฟสของวงจรคอมพาราเตอร์ 53

รูปที่ 4.17 กราฟการตอบสนองทางความถี่และเฟสของวงจรคอมพาราเตอร์ 53

รูปที่ 4.18 วงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันอินพุตออฟเซต ด้วยวิธีออโต้ซีโร่ 54

รูปที่ 4.19 กราฟผลการทดลองการชดเชยแรงดันอินพุตออฟเซต 55

รูปที่ 4.20 สัญญาณเอาต์พุตของวงจรที่มีการชดเชยแรงดันออฟเซท 56

รูปที่ 4.21 วงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันอินพุตออฟเซตและวงจรแซมเปิ้ลแอนด์โฮลด์ 57

รูปที่ 4.22 สัญญาณเอาต์พุตจากวงจรแซมเปิ้ลแอนด์โฮลด์ 58

รูปที่ 4.23 สัญญาณเอาต์พุตจากวงจรคอมพาราเตอร์ 58

รูปที่ 4.24 วงจรแนนด์เกท 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.25 วงจรอินเวอร์เตอร์ 60
รูปที่ 4.26 วงจรภายในของแลตช์ 60
รูปที่ 4.27 วงจรทดลองการทำงานของวงจรแลตช์ร่วมกับคอมพาราเตอร์ 60
รูปที่ 4.28 ผลแสดงการแลตช์ค่าเอาต์พุตของวงจรคอมพาราเตอร์ 61
รูปที่ 4.29 วงจรลอจิกของสมการที่ 4.7 63
รูปที่ 4.30 การต่อวงจรทดลองการทำงานของวงจรเทอร์โมมิเตอร์โค้ดและ
เอ็นโค้ดเดอร์ 64
รูปที่ 4.31 สัญญาณอินพุตของแนนด์เกทหรือสัญญาณเอาต์พุตจากคอมพาราเตอร์ 65
รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรเอ็น โค้ดเดอร์ 65
รูปที่ 4.33 ผลการจำลองวงจรในรูปที่ 4.34 66
รูปที่ 4.34 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต 67
รูปที่ 4.35 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 68
รูปที่ 4.36 สัญญาณอินพุตของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก 70
รูปที่ 4.37 ผลการจำลองการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณ
อนาล็อก 70
รูปที่ 4.38 เลย์เอาต์แบบคอมม่อนเซนทรอยด์ของวงจรขยายแบบดิฟเฟอเรนเชียล 71
รูปที่ 4.39 แสดงตัวต้านทานขนาด 80k Ω , 5k Ω และ 10k Ω 72
รูปที่ 4.40 แสดงตัวเก็บประจุขนาด 2.7pf และ 20pf 72
รูปที่ 4.41 วงจรอินเวอร์เตอร์และวงจรแนนด์เกท 2 อินพุต 73
รูปที่ 4.42 เลย์เอาต์ของวงจรแลตช์ 73
รูปที่ 4.43 เลย์เอาต์ของวงจรแนนด์เกท 3 อินพุต 73
รูปที่ 4.44 เลย์เอาต์ของวงจรเอ็น โค้ดเดอร์ 74
รูปที่ 4.45 แสดงเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล
แบบแฟลช 4 บิต 75
รูปที่ 4.46 แสดงสัญญาณเอาต์พุตดิจิตอล 76
รูปที่ 4.47 แสดงค่าคอนเวอร์ชั่นไทม์ของวงจรแฟลชคอนเวอร์เตอร์ 77
รูปที่ 4.48 แสดงความสัมพันธ์ระหว่างอินพุตอนาลอกกับเอาต์พุตดิจิตอล 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

หน้า

บทที่ 3 ทฤษฎีของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

ตารางที่ 3.1 ตารางความจริงของวงจรแลตช์ 34

บทที่ 4 การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

ตารางที่ 4.1 ตารางความจริงของวงจรเอ็นโค้ดเดอร์ 62

ตารางที่ 4.2 แสดงค่าแรงดันอินพุตที่ระดับสัญญาณดิจิตอลค่าต่างๆที่ชดเชยแล้ว $V_{in}(corr)|_{Dout}$ 79

ตารางที่ 4.3 ตารางแสดงค่า DNL และ INL 80

ตารางที่ 4.4 ตารางสรุปคุณสมบัติของวงจร 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## 1.1 บทนำ

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์เข้ามามีบทบาทอย่างมากในชีวิตประจำวัน และอุปกรณ์อิเล็กทรอนิกส์ในปัจจุบันส่วนใหญ่มีลักษณะการทำงาน หรือการประมวลผลในรูปแบบของสัญญาณดิจิตอล เพราะการประมวลผลในรูปแบบของสัญญาณดิจิตอลมีความรวดเร็วและแม่นยำ รวมทั้งปัจจุบันมีราคาถูกลงเรื่อยๆ

การเปลี่ยนแปลงสัญญาณที่เป็นสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลเพื่อนำไปประมวลผล ต้องใช้อุปกรณ์ในการแปลงสัญญาณ ซึ่งก็คือวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter หรือ ADC) ซึ่งภายในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลประกอบไปด้วยวงจรพื้นฐานต่างๆ ได้แก่ วงจรคอมพาราเตอร์ วงจรเข้ารหัส วงจรขยายแบบดิฟเฟอเรนเชียล วงจรดีฟลิปฟลอป โดยในแต่ละวงจรประกอบไปด้วยทรานซิสเตอร์หลายๆตัวต่อกันอยู่ในรูปแบบของวงจรรวม (Integrated Circuit) ซึ่งอุปกรณ์ทั้งหมดสามารถนำมาประกอบรวมกันบนชิ้นผลึกของสารกึ่งตัวนำ (Substrate) ได้

โครงงานนี้จะทำการศึกษาเฉพาะวงจรที่สร้างโดยใช้เทคโนโลยีของมอสทรานซิสเตอร์ เนื่องจากมีข้อดีหลายอย่างที่มีมากกว่าวงจรที่สร้างโดยใช้เทคโนโลยีไบโพล่าร์ทรานซิสเตอร์ และเป็นเทคโนโลยีที่ใช้มากในปัจจุบันเพื่อการทำเป็นวงจรรวม

## 1.2 วัตถุประสงค์

1. เพื่อศึกษาหน้าที่และทำความเข้าใจการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
2. เพื่อให้สามารถจำลองรูปแบบการทำงานของวงจรได้ด้วยโปรแกรมจำลองการทำงานของวงจรไฟฟ้า
3. สามารถออกแบบให้วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลมีค่าการทำงานตามที่กำหนดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีมอสเฟท

## 2.1 บทนำ

โครงสร้างมอสประกอบขึ้นด้วยชั้นของโลหะ (Metal) ฉนวน (Insulator) ซึ่งมักนิยมใช้ชั้นของซิลิคอนไดออกไซด์ ($SiO_2$) หรือเรียกสั้นๆว่าออกไซด์ (Oxide) และชั้นของสารกึ่งตัวนำ (Semiconductor) โดยชั้นของฉนวนอยู่คั่นกลางระหว่างชั้นของโลหะและชั้นของสารกึ่งตัวนำ

มอสเฟทจะควบคุมการไหลของกระแสทางเอาต์พุตด้วยสนามหรือแรงดันไฟฟ้าทางอินพุต ซึ่งกระแสที่เกิดขึ้นเป็นกระแสเนื่องจากการเคลื่อนที่ของประจุพาหะเพียงชนิดเดียว ต่างจากไบโพล่าร์ทรานซิสเตอร์ที่ใช้กระแสทางอินพุตควบคุมกระแสทางเอาต์พุตและกระแสที่ไหลในในไบโพล่าร์ทรานซิสเตอร์เกิดขึ้นจากการเคลื่อนที่ของประจุพาหะทั้งสองชนิด

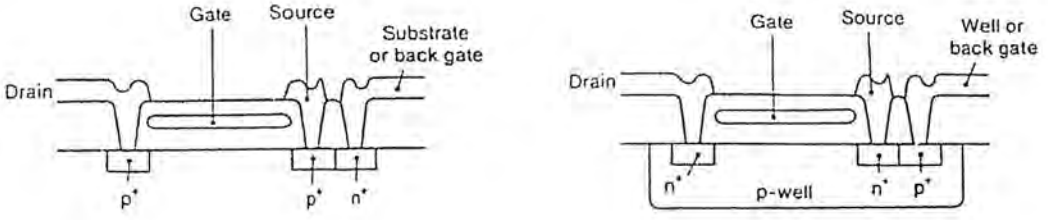
## 2.2 โครงสร้างพื้นฐาน

โครงสร้างของมอสทรานซิสเตอร์ทั่วๆไปประกอบไปด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนซอส (Source Region) ส่วนเกท (Gate Region) และส่วนเดรน (Drain Region) ซึ่งทั้ง 3 ส่วนมีหน้าที่การทำงานแตกต่างกันไปดังนี้

1. ส่วนซอส เป็นบริเวณของสารกึ่งตัวนำต่างชนิดกับฐานรอง(Substrate) ทำหน้าที่เสมือนเป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้า

2. ส่วนเกท เป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนซอส ทำหน้าที่ควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอสไปยังส่วนเดรนเปรียบเสมือนเป็นประตูกั้นน้ำคอยควบคุมปริมาณน้ำที่ไหล

3. ส่วนเดรน เป็นบริเวณของสารกึ่งตัวนำต่างชนิดกับฐานรอง (Substrate) เช่นเดียวกับส่วนเดรน ทำหน้าที่เป็นทางออกของประจุพาหะ




รูปที่ 2.1 โครงสร้างของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 สัญลักษณ์ของมอสทรานซิสเตอร์

จากโครงสร้างของมอสซึ่งมีชั้นของฉนวนคั่นกลางอยู่ทำให้มีกระแสไหลผ่านเกทน้อยมาก ดังนั้นการใช้งานส่วนเกทต้องการเพียงแหล่งจ่ายศักดาเท่านั้น ทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานขณะใช้งานต่ำ สำหรับส่วนเดรนและส่วนซอสนั้น โดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการสามารถใช้งานแทนกันได้ อันเป็นคุณสมบัติพิเศษอีกประการหนึ่งของมอสทรานซิสเตอร์ เมื่อให้ไบอัสที่เหมาะสมกับมอสทรานซิสเตอร์แล้ว ประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแส (Channel) การเคลื่อนที่ของประจุพาหะเกิดจากสนามไฟฟ้าที่ตกคร่อมตลอดจากส่วนซอสถึงส่วนเดรน เนื่องจากความต่างศักย์ระหว่างส่วนซอสและส่วนเดรนนั้นทำให้กระแสที่เกิดขึ้นเป็นกระแสดริฟท์ ซึ่งขึ้นอยู่กับขนาดของสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดของสนามไฟฟ้าดังกล่าวจะขึ้นอยู่กับขนาดของความแตกต่างของศักดาไฟฟ้าและระยะห่างระหว่างส่วนเดรนกับส่วนซอสนั่นเอง กระแสดริฟท์ที่เกิดขึ้นนี้จะถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์ จึงถูกเรียกว่า ยูนิโพล่าร์ทรานซิสเตอร์ (Unipolar transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำเพียง 2 ชนิด คือ อิเล็กตรอนหรือประจุลบในสารกึ่งตัวนำชนิดเอ็น และโฮลหรือประจุบวกในสารกึ่งตัวนำชนิดพี ดังนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ตามชนิดของประจุที่ทำให้เกิดกระแส โดยพิจารณาที่ชนิดของประจุที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสดริฟท์ได้เป็น2 ชนิด คือ

1. มอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (N-channel MOS Transistor: NMOS) หมายถึง มอสทรานซิสเตอร์ซึ่งกระแสเกิดจากการนำไฟฟ้าของอิเล็กตรอน ในทางเดินกระแสชนิดเอ็น ดังนั้นส่วนซอสและส่วนเดรนของทรานซิสเตอร์ชนิดนี้จึงเป็นสารกึ่งตัวนำชนิดเอ็น (N-type Semiconductor)

2. มอสทรานซิสเตอร์ชนิดพีแชนแนล (P-channel MOS Transistor: PMOS) หมายถึง มอสทรานซิสเตอร์ซึ่งกระแสเกิดจากการนำไฟฟ้าของโฮล ในทางเดินกระแสชนิดพี ดังนั้นส่วนซอสและส่วนเดรนของทรานซิสเตอร์ชนิดนี้จึงเป็นสารกึ่งตัวนำชนิดพี (P-type Semiconductor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

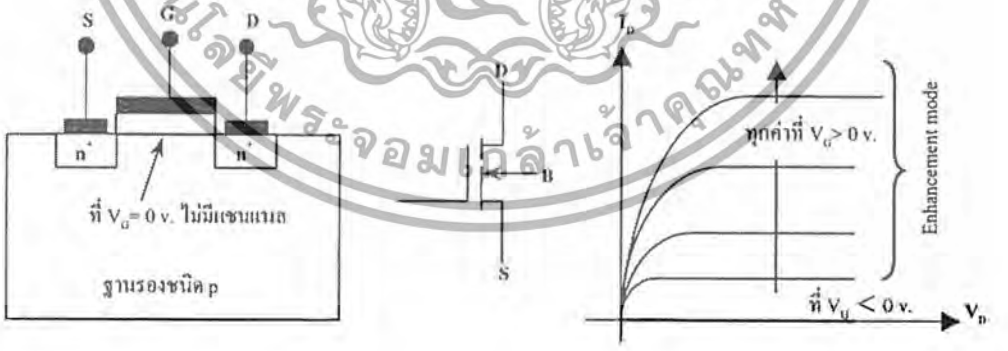
เมื่อพิจารณาจากลักษณะคุณสมบัติและโหมดการทำงาน เราจะแบ่งมอสเฟทได้เป็น 2 ชนิด

1. มอสเฟทชนิดเอ็นฮานซ์เมนท์ (Enhance MOSFET)

2. มอสเฟทชนิดดีพลีชั่น (Depletion MOSFET)

**1. เอ็นฮานซ์เมนท์มอสเฟท**

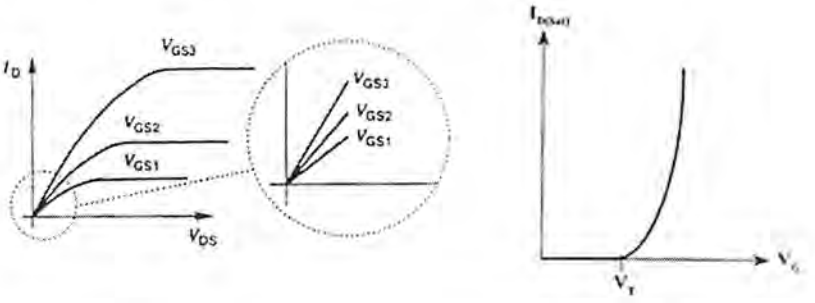
มอสเฟทชนิดนี้เป็นมอสเฟทที่มีแชนแนลเกิดจากการเหนี่ยวนำ เมื่อแรงดันที่เกตเป็นศูนย์โวลต์จะไม่มีแชนแนลเกิดขึ้น กระแสเดรนไม่ไหล ทรานซิสเตอร์อยู่ในสภาวะ OFF แต่เมื่อเกตได้รับแรงดันที่เหมาะสมและมากพอ สนามไฟฟ้าที่เกตจะเหนี่ยวนำให้เกิดแชนแนลขึ้นที่ผิวของสารกึ่งตัวนำ ทำให้มีกระแสเดรนไหลได้ ลักษณะโครงสร้างของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนลประกอบด้วยชั้นฐานรอง (Substrate หรือ Body) เป็นสารกึ่งตัวนำชนิดพี ส่วนซอสและส่วนเดรนถูกสร้างด้วยการเติมอะตอมสารเจือชนิดเอ็นอย่างเข้มข้น( $n^+$ ) เข้าไปในฐานรองชนิดพี ระยะห่างระหว่างซอสและเดรนจะถูกพิจารณาว่าเป็นความยาวของแชนแนล ในการทำงานเมื่อแรงดันเกท $V_G = 0$ จะไม่มีแชนแนลเกิดขึ้นถึงแม้จะมีแรงดันที่ขาเดรน $V_D > 0$ ก็ตาม และกระแสเดรนเป็นศูนย์ แต่เมื่อได้รับแรงดันที่ขาเกทเป็นบวกโดยต้องมีค่ามากกว่าแรงดันขีดเริ่ม สนามไฟฟ้าที่ขั้นออกไซด์สามารถเหนี่ยวนำให้เกิดแชนแนลชนิดเอ็นขึ้นได้ ซึ่งแชนแนลที่เกิดจะเชื่อมต่อระหว่างซอสและเดรนเป็นช่องทางเดินของกระแสเดรน




ก. ข. ค.

รูปที่ 2.3 โครงสร้างและสัญลักษณ์และกราฟคุณลักษณะของเอ็นฮานซ์เมนท์มอสเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก. ข.

รูปที่ 2.4 กราฟแสดงช่วงการทำงานของมอสเฟทระหว่างกระแสและแรงดัน

คุณสมบัติและการทำงานของมอสเฟท ในขณะที่มีการให้แรงดันไบอัสที่ขาเกท เดรน และซอสมีค่าแปรเปลี่ยนไปจะทำให้มอสเฟทมีคุณสมบัติการทำงานในย่านต่างๆซึ่งพิจารณาเป็นช่วงๆ ได้ดังนี้

1. ย่านคัทออฟ (Cut off Region)

เมื่อ $V_{GS} < V_T$ จะยังไม่มีแชนแนลเกิดขึ้น เพราะส่วนซอสและเดรนยังคงถูกแยกจากกันด้วยชั้นของบริเวณปลอดพาหะ เนื่องจากแรงดันไบอัสไม่พอเพียงที่จะสร้างชั้นกลับ (inversion layer) ทำให้มี $I_D = 0$

2. ย่านโอห์มมิค (Ohmic Region) หรือ ย่านเชิงเส้น (Linear Region)

เมื่อ $V_{GS} > V_T$ และ $V_{DS} < V_{GS} - V_T$ ในช่วงนี้มีแชนแนลเกิดขึ้นโดยตลอดตั้งแต่ซอสจนถึงเดรนและความกว้างของแชนแนลมีค่าคงที่

$$I_D = K\left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2\right] \qquad (2.1)$$

เมื่อ $K = \mu C_{ox}\frac{W}{L}$

โดย $\mu$ = ค่าความคล่องตัวของประจุพาหะที่ผิว

$C_{ox}$ = ค่าขนาดตัวเก็บประจุบริเวณชั้นออกไซด์

$W$ = ความกว้างของแชนแนล

$L$ = ความยาวของแชนแนล

3. ย่านอิ่มตัว (Saturation Region)

เมื่อแรงดันเดรนเพิ่มขึ้น $V_{DS} \geq (V_{GS} - V_T)$ แชนแนลที่ปลายด้านเดรนจะมีขนาดลดลงจนแชนแนลขาดออกจากกัน แรงดันที่ตกคร่อมแชนแนลจากซอสถึงจุดพินช์ออฟมีค่าคงที่เสมอ ไม่

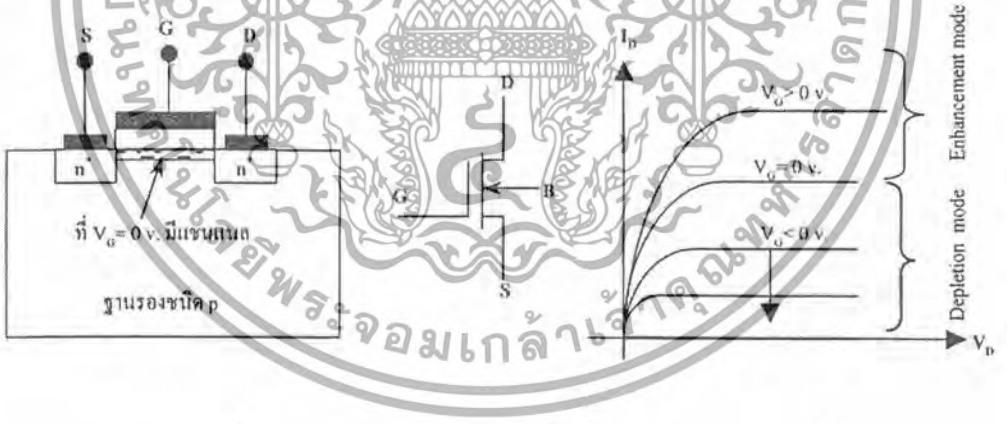
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงตามแรงดันเดรน กระแสที่ได้จึงประมาณได้ว่ามีค่าคงที่

$$I_D = \frac{K}{2}(V_{GS} - V_T)^2 \qquad (2.2)$$

**2. ดีพลีชันมอสเฟท**

มอสเฟทชนิดนี้มีแชนแนลเกิดจากการแพร่สารเจือ แม้แรงดันที่เกทจะเป็นศูนย์โวลต์ก็มีแชนแนลเกิดขึ้นได้ เนื่องจากมีการแพร่อะตอมสารเจือเพื่อให้เกิดแชนแนล ดังนั้นกระแสเดรนสามารถไหลได้แม้แรงดันที่เกทเป็นศูนย์ เช่นในเอ็น แชนแนลมอสเฟทแบบดีพลีชันจะมีการเพิ่มสารเจือชนิดเอ็นลงไปในฐานรองชนิดพี เมื่อป้อนแรงดันเกทมีค่าเป็นลบ อิเล็กตรอนในแชนแนลจะถูกสนามไฟฟ้าในชั้นออกไซด์ผลักให้ห่างออกไป ความหนาแน่นของอิเล็กตรอนที่ผิวมีค่าลดลง ทำให้ความนำไฟฟ้าของแชนแนลลดลงด้วย กระแสเดรนจึงลดลงเมื่อแรงดันเกทมีค่าเป็นลบมากขึ้น ถ้าที่ขาเกทได้รับแรงดันเป็นบวกเมื่อเทียบกับซอส ประจุลบจะเหนี่ยวนำไปยังแชนแนล ทำให้พาหะส่วนมากในแชนแนลเพิ่มขึ้น ค่าความนำของแชนแนลจึงเพิ่มขึ้นตาม และกระแสเดรนจะมีค่ามากกว่าของเอ็นฮานซ์เมนท์ที่ค่าแรงดัน $V_{GS}$ เดียวกัน คุณสมบัติและการทำงานนี้ถูกเรียกว่า "ดีพลีชันโหมด" ซึ่งหมายถึงแรงดันที่เกทสามารถควบคุมให้กระแสเดรนลดลงได้




ก. ข. ค.

รูปที่ 2.5 โครงสร้างและสัญลักษณ์ของดีพลีชันมอสเฟทและกราฟคุณลักษณะของดีพลีชันมอสเฟท

**2.3 ผลกระทบต่างๆในมอสเฟท**

**1. ผลของสภาพคล่องประสิทธิผล (Effective Mobility)**

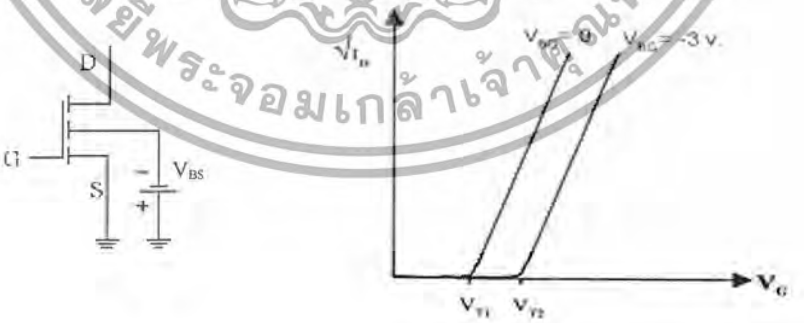
สภาพคล่องของพาหะคือ อัตราส่วนของความเร็วดริฟท์ของพาหะกับสนามไฟฟ้าที่ทำให้พาหะเคลื่อนที่ ปกติค่าของสภาพคล่องของพาหะในเนื้อสารกึ่งตัวนำ (Bulk) จะขึ้นกับการกระเจิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของพาหะเนื่องจากแลสทิส (Lattice Scattering) และการกระเจิงเนื่องจากอะตอมสารเจือ (Impurity Scattering) ในมอสเฟท สภาพคล่องของพาหะซึ่งเคลื่อนที่ในแชนแนลจะถูกจำกัด หรือถูกกำหนดด้วยการกระเจิงที่ผิว(Surface scattering) เนื่องจากในแชนแนลมีขนาดบางมากและถูกประกบด้วยชั้นของออกไซด์ที่อยู่ด้านบน และชั้นล่างของแชนแนลคือเนื้อสารกึ่งตัวนำ เมื่อพาหะเคลื่อนที่จะมีการกระทบกับด้านทั้งสองที่ประกบอยู่ตลอดเวลา สภาพคล่องของพาหะในมอสเฟทจึงเป็นสภาพคล่องที่ผิว (surface mobility) หรือสภาพคล่องประสิทธิผล และมีค่าต่ำกว่าสภาพคล่องในเนื้อสาร โดยมีค่าประมาณ 30% ถึง 50% ของสภาพคล่องในเนื้อสาร

**2. ผลของแรงดันไบอัสฐานรอง (Body Effect)**

จากการวิเคราะห์การทำงานและคุณสมบัติที่ผ่านมา เราพิจารณาว่าขั้วซอสและฐานรอง (Bulk) ต่างก็ถูกต่อลงกราวด์ ทำให้ไม่มีความต่างศักย์ระหว่างฐานรองและขาซอส ในเอ็นมอสเมื่อพิจารณาที่ $V_S = V_D = 0$ และ $V_G$ มีค่าน้อยกว่า $V_{TH}$ ดังนั้นภายใต้ชั้นออกไซด์จะเกิดบริเวณปลอดพาหะขึ้นแต่จะยังไม่เกิดแชนแนล เมื่อทำการเพิ่มแรงดันค่าลบที่ฐานรองหรือที่เรียกว่าแรงดันบอดี้ (Body voltage: $V_{BS}$) โฮลบางส่วนจะถูกรวมตัวเกิดเป็นประจุค่าลบ ทำให้บริเวณปลอดพาหะกว้างขึ้น ผลของแรงดันไบอัสฐานรองจะทำให้แรงดันขีดเริ่ม $V_t$ ของมอสเฟทมีค่าเพิ่มขึ้น และไม่สามารถทำให้แรงดันขีดเริ่มลดลงได้เพราะแรงดันไบอัสนี้จะต้องเป็นไบอัสย้อนกลับเท่านั้น (กรณีพีแชนแนล $V_{BS}$ มีค่าเป็นบวก) ผลดังกล่าวที่เกิดขึ้นนี้เรียกว่า "บอดี้เอฟเฟค" (Body Effect) ซึ่งสามารถนำไปใช้เพิ่มค่าแรงดันขีดเริ่มให้แก่มอสเฟทแบบเอ็นฮานซ์เมนท์เพื่อการนำไปใช้งานได้อย่างเหมาะสม




รูปที่ 2.6 ผลของแรงดันไบอัสที่ฐานรอง

ผลของบอดี้เอฟเฟคเขียนสมการความสัมพันธ์ได้ดังนี้

$$V_{TH} = V_{TH0} + \gamma\left(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}\right) \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_{sub}}}{C_{ox}} \tag{2.4}$$

**3. ผลของความยาวแชนแนลมอดูเลชั่น (Channel-Length Modulation)**

ขณะที่มอสเฟททำงานที่ย่านอิ่มตัวซึ่ง $V_D > V_{D(SAT)}$ แชนแนลจะขาดออกจากขั้วเดรน ทำให้เกิดมีที่ว่างซึ่งเป็นบริเวณปลอดพาหะกั้นอยู่ระหว่างปลายของแชนแนลกับส่วนเดรน ซึ่งมีขนาดยาว $\Delta L$ และทำให้ขนาดความยาวแชนแนลเป็น "ความยาวประสิทธิผล" (Effective channel length : $L'$)

$$L' = L - \Delta L \tag{2.5}$$

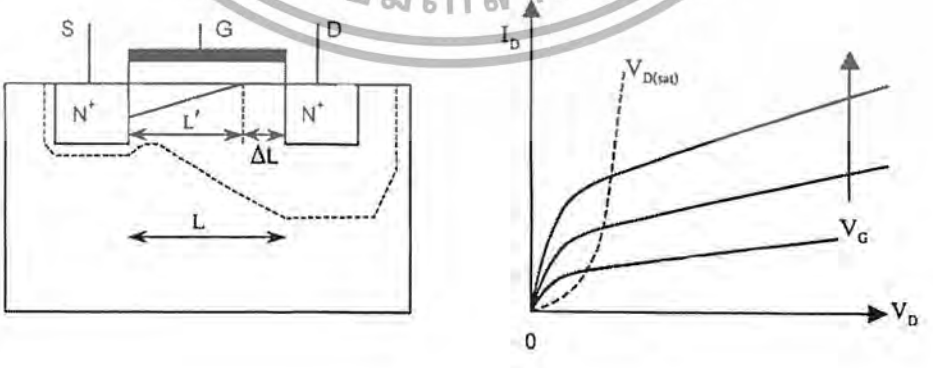
$$\frac{1}{L'} \approx \frac{(1+\Delta L/L)}{L}$$

จาก $$\frac{\Delta L}{L} = \lambda V_{DS} \tag{2.6}$$

จะได้ $$I_D \approx \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_T)^2(1+\lambda V_{DS}) \tag{2.7}$$

เมื่อ $\lambda$ คือ channel-length modulation coefficient

ในกรณีที่ $L >> \Delta L$ จะได้ว่า $L' \approx L$ ความนำไฟฟ้าของแชนแนลมีค่าเกือบเท่าเดิมเพราะความยาวของแชนแนลถูกประมาณว่ามีค่าเกือบเท่าเดิม ดังนั้นกระแสเดรนในย่านอิ่มตัวจึงมีค่าคงที่ไม่เปลี่ยนแปลง เมื่อขนาดของ $\Delta L$ ขยายกว้างยิ่งขึ้น ความยาวประสิทธิผลของแชนแนลยิ่งมีค่าลดลง ดังนั้นความนำไฟฟ้าในแชนแนลจะมีค่าเพิ่มขึ้นกับแรงดันเดรน กระแสเดรนอิ่มตัวจึงมีค่าเพิ่มขึ้น ซึ่งสามารถสังเกตเห็นการเปลี่ยนแปลงนี้ได้จากกราฟ $I_D - V_D$ กระแสเดรนในย่านอิ่มตัวไม่คงที่ และมีค่าเพิ่มขึ้น ทำให้ความชันของกราฟไม่เป็นศูนย์




รูปที่ 2.7 ผลของแชนแนลขนาดสั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเกิดผลของแชนแนลขนาดสั้นค่าความนำถ่ายโอนจะมีค่าเปลี่ยนไปเนื่องจากการผลการเปลี่ยนแปลงของสมการกระแสและแรงดัน

จากเดิม $$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \quad (2.8)$$

เป็น $$g_m = \sqrt{\frac{2\mu_n C_{ox} (W/L) I_D}{1 + \lambda V_{DS}}} \quad (2.9)$$

ถ้าหากแรงดันเดรนยังคงเพิ่มขึ้นต่อไป บริเวณปลอดพาหะ $\Delta L$ จะขยายมากขึ้นจนถึงส่วนซอส($\Delta L = L$) ความแชนแนลประสิทธิผลจะมีค่าเป็นศูนย์หรือ $L' = 0$ จะทำให้พาหะอิเล็กตรอนถูกฉีดออกจากขั้วซอสเข้าไปในบริเวณปลอดพาหะ $\Delta L$ ซึ่งมีสนามไฟฟ้าความเข้มสูงปรากฏอยู่ อิเล็กตรอนจะเคลื่อนที่ข้ามบริเวณปลอดพาหะอย่างรวดเร็วตรงไปยังส่วนเดรน เกิดกระแสเดรนเพิ่มขึ้น ปรากฏการณ์ดังกล่าวถูกเรียกว่า"ผลของการพันช์ทรู"(Punch through effect)

**4. ผลของกระแสก่อนแรงดันขีดเริ่ม (Subthreshold Condition)**

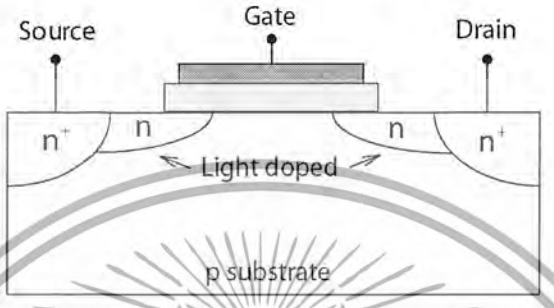
ในกรณีแชนแนลสั้นมาก ในภาวะก่อนการเกิด "สตรองอินเวอร์ชั่น" แม้ความหนาแน่นของอิเล็กตรอนบางส่วนที่ถูกเหนี่ยวนำให้เกิดขึ้นในสารกึ่งตัวนำจะมีค่าน้อย แต่เพราะแชนแนลมีขนาดสั้น ทำให้ความนำไฟฟ้าระหว่างซอสและเดรนมีค่าพอประมาณ ดังนั้น แม้ $V_G < V_T$ กระแสเดรนสามารถไหลได้ ซึ่งกระแสที่เกิดขึ้นประกอบด้วยกระแสดริฟท์และกระแสการแพร่ แต่กระแสส่วนใหญ่จะเกิดจากการแพร่ เนื่องจากความหนาแน่นของอิเล็กตรอนในแชนแนลมีค่าต่างกัน ทำให้มีการแพร่จากด้านซอสซึ่งมีความเข้มสูงไปยังด้านเดรนที่มีความเข้มต่ำกว่า ทำให้มอสเฟทไม่อยู่ในสภาวะคัทออฟ

นอกจากนี้ใน โครงสร้างของมอสเฟทที่มีขนาดเล็ก สนามไฟฟ้าที่ปรากฏอยู่ในส่วนต่างๆจะมีความเข้มสูง และเป็นสาเหตุของการเกิดพาหะร้อน (Hot carrier) ซึ่งมีผลกระทบอื่นๆ ตามมา เช่น สนามไฟฟ้าที่รอยต่อพีเอ็นที่อยู่รอบๆเดรนเนื่องจากได้รับไบอัสย้อนกลับ จะทำให้เกิดการไอออไนซ์เนื่องจากการชนกัน จึงมีการทวีคูณของพาหะขึ้น ซึ่งมีทั้งอิเล็กตรอนและโฮล ในเอ็นแชนแนลจะมีกระแสโฮลปรากฏอยู่ในกระแสซับเทรชโฮลด์ด้วย โดยโฮลจะเคลื่อนที่เข้าไปยังซอส ทำให้ลักษณะโครงสร้างและการทำงานคล้ายเป็นทรานซิสเตอร์แบบ NPN ทำให้แรงดันที่เกทไม่สามารถควบคุมกระแสเดรนได้

ผลของพาหะร้อนอีกอย่าง คือ ทำให้อิเล็กตรอนที่มีพลังงานสูงในสารกึ่งตัวนำสามารถเคลื่อนที่ข้ามกำแพงศักย์เข้าไปในชั้นเกทออกไซด์ อิเล็กตรอนเหล่านี้จะมีคุณสมบัติเป็นกับดักอยู่ในชั้นออกไซด์ จึงมีผลทำให้แรงดันขีดเริ่มและคุณสมบัติ $I_D$ - $V_D$ ของมอสเฟทเปลี่ยนไปจากเดิม ปัญหาของพาหะร้อนเหล่านี้อาจแก้ไขให้มีผลลดลงได้โดยการลดความเข้มอะตอมสารเจือในส่วนซอสและเดรน เพื่อให้สนามไฟฟ้าที่รอยต่อพีเอ็นมีค่าลดลง แต่การทำเช่นนี้โดยตรงอาจมีผลให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานที่ขั้วสัมผัสของซอสและเดรนมีค่าสูงขึ้นซึ่งจะเป็นผลเสีย เพื่อลดผลเสียดังกล่าวจึงมีการออกแบบโดยเพิ่มส่วนซอสและเดรนด้านที่ติดอยู่กับแชนแนล โดยให้มีความเข้มข้นของอะตอมสารเจืออย่างเจือจาง




รูปที่ 2.8 โครงสร้างที่มีการโดปอย่างเบาเพื่อลดผลของพาหะร้อน

**2.4 รูปแบบจำลองของมอสเฟท (MOSFET Model)**

ในการวิเคราะห์เพื่อการออกแบบ จำเป็นต้องให้มอสอยู่ในรูปจำลองวงจรไฟฟ้า จากที่ได้กล่าวไว้แล้วข้างต้น วงจรจะสามารถทำงานได้เมื่อได้รับแรงดันไบอัสที่เหมาะสม ในกรณีเริ่มแรกจึงทำการคิดเพียงเฉพาะสัญญาณไฟตรงเพื่อหาจุดไบอัส เมื่อทำการป้อนสัญญาณอินพุตไฟสลับจึงเกิดการซ้อนทับของทั้งสัญญาณไฟตรงและสัญญาณไฟสลับ เมื่อต้องการคิดเฉพาะสัญญาณไฟสลับจึงต้องแทนวงจรด้วยรูปแบบจำลองสำหรับสัญญาณขนาดเล็ก

ก. ข.

รูปที่ 2.9 ก) แบบจำลองสัญญาณขนาดเล็กของมอสเฟท
ข) ผลของขนาดแชนแนลมอดูเลชั่นแทนด้วยความต้านทาน

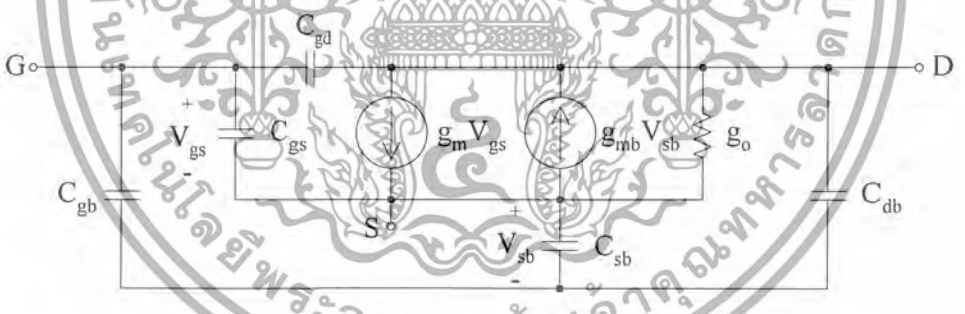
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากผลของขนาดแชนแนลมอดูเลชั่น กระแสเดรนเปลี่ยนแปลงตามแรงดันเดรนซอส ผลกระทบนี้สามารถจำลองให้เป็นแหล่งจ่ายกระแสที่ถูกควบคุมด้วยแรงดัน แต่แหล่งจ่ายกระแสมีค่าเป็นเชิงเส้นกับแรงดันที่ตกคร่อมตัวของมัน ทำให้สามารถประมาณให้เป็นค่าความต้านทานเชิงเส้นได้

$$
\begin{aligned}
r_O &= \frac{\partial V_{DS}}{\partial I_D} \\
&= \frac{1}{\partial I_D / \partial V_{DS}} \\
&= \frac{1}{\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2 \cdot \lambda} \\
&\approx \frac{1}{\lambda I_D}
\end{aligned}
\qquad (2.10)
$$

เมื่อ $\lambda$ คือ ความยาวแชนแนลมอดูเลชั่น (Channel-length modulation)

นอกจากนี้ยังมีผลของตัวเก็บประจุแฝงที่อยู่ภายในมอสเฟทเนื่องจากโครงสร้างที่มีฉนวนคั่นกลาง ซึ่งตัวเก็บประจุแฝงนี้จะส่งผลต่อการทำงานที่ความถี่สูง




รูปที่ 2.10 วงจรเสมือนสำหรับสัญญาณขนาดเล็กที่คิดผลของตัวเก็บประจุแฝง

$$C_{sb} = AS \cdot C_j(V_{bs}) \qquad (2.11)$$

$$C_{db} = AD \cdot C_j(V_{bs}) \qquad (2.12)$$

เมื่อ AS , AD คือ พื้นที่ซอสและเดรนตามลำดับ

$$C_{ovs} = W \cdot C_{gso} \qquad (2.13)$$

$$C_{ovd} = W \cdot C_{gdo} \qquad (2.14)$$

ช่วงอิ่มตัว $$C_{ch} \cong \frac{2}{3} W \cdot L \cdot C_{ox} \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{gs} = C_{ovs} + C_{ch} \quad (2.16)$$

$$C_{gd} = C_{ovd} \quad (2.17)$$

โดยทั่วไป ค่า $C_{sb}$ มีค่าเป็นศูนย์เมื่อขาซอสและฐานรองต่อถึงกัน $C_{db}$ มีค่าต่ำ และ $C_{gb}$ มีค่าเป็นศูนย์ ดังนั้นจะได้ว่า ช่วงอิ่มตัวจะมีตัวเก็บประจุแฝงที่มีผลต่อวงจรอย่างมาก คือ $C_{gs}$ และ $C_{gd}$ นอกจากนี้แล้ว ตัวเก็บประจุแฝงที่มีอยู่ในวงจรรวมและจากการเชื่อมต่ออื่นๆจะมีผลต่อการทำงานของวงจรที่ความถี่สูงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# ทฤษฎีของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

## 3.1 คุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

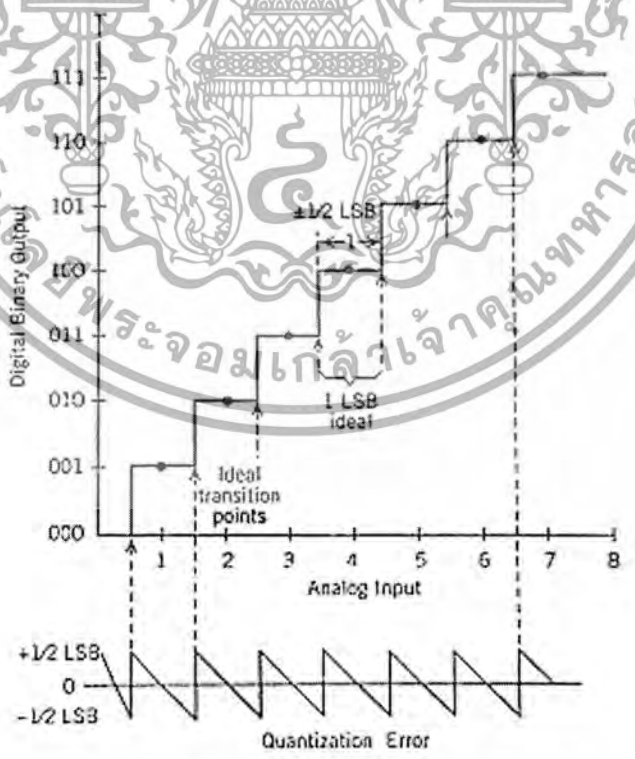
วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลมีหน้าที่แปลงสัญญาณอนาล็อกอินพุต เป็นสัญญาณดิจิตอลเอาต์พุตที่สัมพันธ์กัน ดังรูปที่ 3.1 แสดงกราฟคุณสมบัติในทางอุดมคติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ซึ่งเป็นไปตามสมการดังนี้

$$V_{ref}\left(b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N}\right) = V_{in} \pm V_x \tag{3.1}$$

เมื่อ $B_{out} = b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N}$

และ $-\frac{1}{2}V_{LSB} \le V_X < \frac{1}{2}V_{LSB}$

จากรูปที่ 3.1 เอาต์พุตดิจิตอลค่าหนึ่งๆ เกิดจากค่าอินพุตอนาล็อกที่ต่อเนื่องกันในช่วง $\frac{V_{LSB}}{2}$ ที่แทนค่าระดับสัญญาณอนาล็อกเพียงค่าเดียว เรียกว่าการจัดระดับสัญญาณอินพุต (Input quantization)




รูปที่ 3.1 กราฟคุณสมบัติในอุดมคติของวงจรแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล 3 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ค่าผิดพลาดจากการจัดระดับ (Quantization error)**

ในแต่ละสถานะของสัญญาณเอาต์พุตดิจิตอลจะแทนขนาดของสัญญาณอนาล็อกค่าใดค่าหนึ่งในช่วงเล็กๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog Quantization หรือหนึ่งควอนตัม (Quantum) หรือหนึ่งLSB (Least Significant Bit) ของการแปลงสัญญาณ ซึ่งคำนวณได้จาก

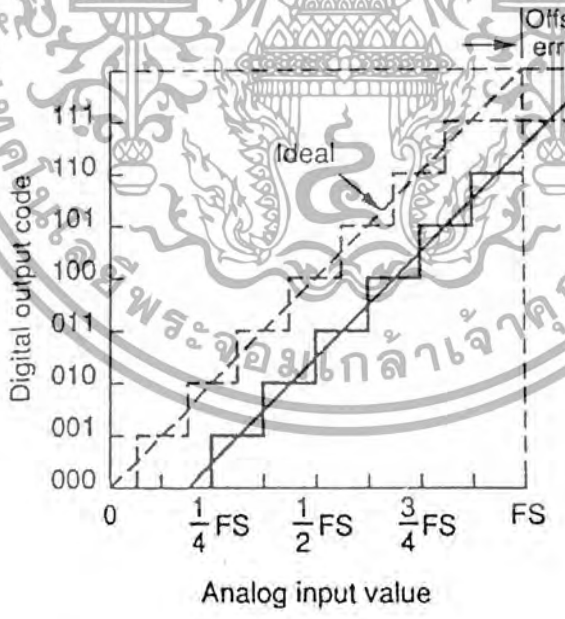
$$Q = \frac{FSR}{2^N} \tag{3.2}$$

เมื่อ FSR คือ ช่วงของแรงดันอนาล็อกสเกล (Full Scale Range)

N คือ จำนวนบิตของสัญญาณดิจิตอล

นั่นคือสัญญาณอนาล็อกในช่วง 1 LSB จะแทนสัญญาณดิจิตอลเพียง 1 สถานะ จึงเกิดค่าผิดพลาดขึ้นจากการจัดระดับสัญญาณ และจะได้ว่าค่าผิดพลาดนี้จะอยู่ระหว่าง 0 ถึง $\pm\frac{Q}{2}$

**แรงดันออฟเซต (Offset voltage)**




รูปที่ 3.2 กราฟแสดงคุณสมบัติของวงจรแปลงสัญญาณอนาล็อก
เป็นสัญญาณดิจิตอล 3 บิต ที่มีแรงดันออฟเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันออฟเซตของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ($E_{off}$) คือความแตกต่างของแรงดันเอาต์พุตดิจิตอลในอุดมคติกับแรงดันเอาต์พุตจริง ซึ่งทำให้เอาต์พุตผิดพลาดเกิน $\frac{1}{2}$ LSB ดังรูปที่ 3.2 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีแรงดันออฟเซต ซึ่งสามารถแสดงสมการของแรงดันออฟเซตในหน่วย LSB ได้ว่า

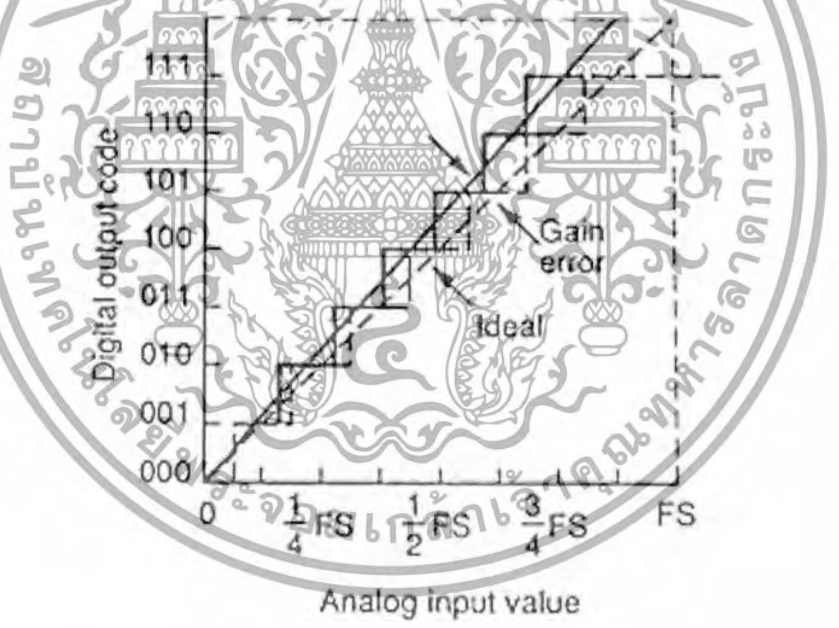
$$E_{off} = \frac{V_{00...01}}{V_{LSB}} - \frac{1}{2} LSB \tag{3.3}$$

เมื่อ $V_{00...01}$ คือ ระดับแรงดันอินพุตที่ให้ค่าเอาต์พุตดิจิตอลบิต 00…01

$V_{LSB}$ คือ แรงดันหนึ่งหน่วย LSB ซึ่งมีค่าเท่ากับ $\frac{1}{2^N}$

N คือจำนวนบิตของเอาต์พุตดิจิตอล

**ค่าผิดพลาดจากอัตราขยาย (Gain error)**




รูปที่ 3.3 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อก
เป็นสัญญาณดิจิตอล 3 บิต ที่มีค่าผิดพลาดจากอัตราขยาย

ค่าผิดพลาดจากอัตราขยาย ($E_{gain}$) คือผลต่างระหว่างแรงดันเอาต์พุตเต็มสเกลกับแรงดันเอาต์พุตที่ 1 LSB เมื่อหักผลของออฟเซตออกแล้ว รูปที่ 3.3 แสดงคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีค่าผิดพลาดจากอัตราขยาย โดยมีค่าดังสมการ

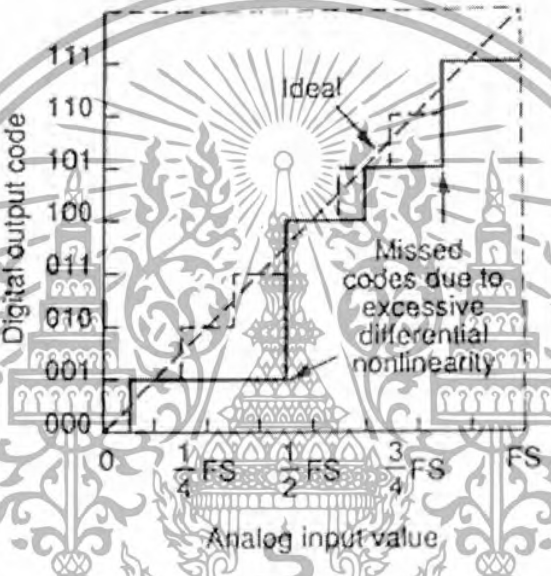
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$E_{gain} = \left( \frac{V_{11...11}}{V_{LSB}} - \frac{V_{00...01}}{V_{LSB}} \right) - \left( 2^N - 2 \right) \quad (3.4)$$

เมื่อ $V_{11...11}$ คือ ระดับแรงดันอินพุตที่ให้ค่าเอาต์พุตดิจิตอล 11…11

$V_{00...01}$ คือ ระดับแรงดันอินพุตที่ให้ค่าเอาต์พุตดิจิตอล 00…01

**ความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล (Differential nonlinearity: DNL)**




รูปที่ 3.4 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
ที่มีผลของความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล

คือ ค่าความเบี่ยงเบนของความกว้างในการเปลี่ยนระดับขั้น (Step width) ที่มากที่สุดเทียบกับค่าในอุดมคติซึ่งเท่ากับ 1 LSB รูปที่ 3.4 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 3 บิต ที่มีค่า DNL เราสามารถหาค่า DNL ในหน่วย LSB ได้โดยตัดผลของแรงดันอินพุตออฟเซตและค่าผิดพลาดจากอัตราขยายก่อน จะได้ค่าอินพุตอนาล็อกที่ชดเชยแล้วดังนี้

$$V_{in(corr)}\,|_{Dout} = \left( \frac{V_{in(actual)}\,|_{Dout}}{V_{LSB}} \right) - E_{off} - \left( \frac{D_{out} - 1}{2^N - 1} \right) E_{gain} \quad (3.5)$$

เมื่อ $V_{in(actual)}\,|_{Dout}$ คือ แรงดันอินพุตจริงที่เอาต์พุตดิจิตอลค่าต่างๆ

$D_{out}$ คือ ระดับของดิจิตอลในเลขฐานสิบ มีค่าเป็น 0, 1, 2, …, $2^N$ - 1

และจะได้ค่า DNL เป็นไปตามสมการ

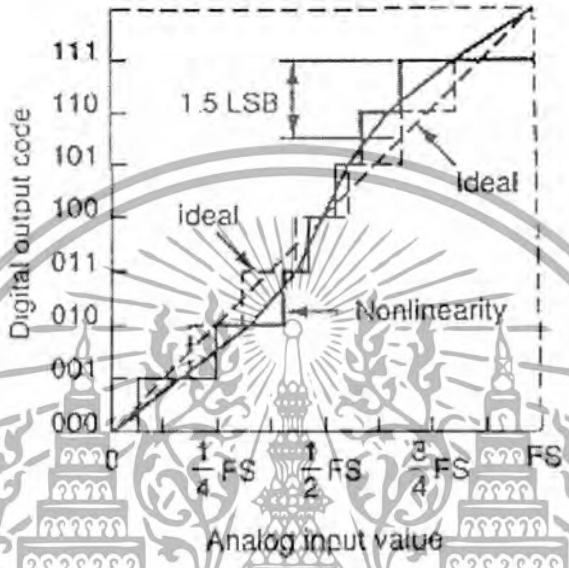
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



$$DNL|_{Dout} = \left(V_{in(corr)}|_{Dout+1}\right) - \left(V_{in(corr)}|_{Dout-1}\right) \tag{3.6}$$

**ความไม่เป็นเชิงเส้นอินทิกรัล (Integral nonlinearity: INL)**




รูปที่ 3.5 กราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
ที่มีผลของความไม่เป็นเชิงเส้นอินทิกรัล

คือ ค่าความเบี่ยงเบนของจุดกึ่งกลางหรือตำแหน่งในการเปลี่ยนระดับที่มากที่สุดเทียบกับจุดกึ่งกลางในอุดมคติ รูปที่ 3.5 แสดงกราฟคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มี INL เราสามารถหาค่า INL ในหน่วย LSB ได้โดยตัดผลของแรงดันอินพุตออฟเซตและค่าผิดพลาดจากอัตราขยายก่อน จะได้ค่า INL เป็นไปตามสมการ

$$INL|_{Dout} = \left(V_{in(corr)}|_{Dout}\right) - \left(V_{in(corr)}|_{00\ldots00}\right) - D_{out} \tag{3.7}$$

**ระดับความละเอียด (Resolution)**

ระดับความละเอียดของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลคือความสามารถในการแบ่งแยกระดับการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลว่ามีความละเอียดมากน้อยเพียงใด โดยมีหน่วยของระดับความละเอียดเป็นบิต เช่น วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลสามารถแยกช่วงสัญญาณอนาล็อกได้ 256 ระดับ หรือเท่ากับ $2^8$ จะมีระดับความละเอียดเท่ากับ 8 บิต เป็นต้น ยิ่งวงจรมีจำนวนบิตมากขึ้นก็จะมีความละเอียดและความแม่นยำมากขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55477

**คอนเวอร์ชั่นไทม์ (Conversion Time)**

คอนเวอร์ชั่นไทม์ คือ ช่วงเวลาที่วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลใช้ในการแปลงสัญญาณอินพุตอนาล็อกเป็นสัญญาณเอาต์พุตดิจิตอลหนึ่งบิต โดยเป็นส่วนกลับของอัตราการชักตัวอย่างสูงสุด (Maximum Sampling Rate) ดังสมการ

$$f_{sampling} = \frac{1}{T} \tag{3.8}$$

ถ้าวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลมีอัตราการชักตัวอย่างสูง แสดงว่าวงจรใช้เวลาในการแปลงสัญญาณต่ำ หรือมีความเร็วในการทำงานสูง ค่าความเร็วในการแปลงสัญญาณเรียกว่าคอนเวอร์ชั่น สปีด (Conversion Speed) มีหน่วยเป็น SPS (sample per second)

**3.2 โครงสร้างและชนิดของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล**

โครงสร้างของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบ่งตามความเร็วและความถูกต้องในการทำงาน ได้ดังนี้

**ความเร็วต่ำถึงปานกลางและความถูกต้องสูง** ได้แก่ โครงสร้างแบบ Integrating, โครงสร้างแบบ Oversampling

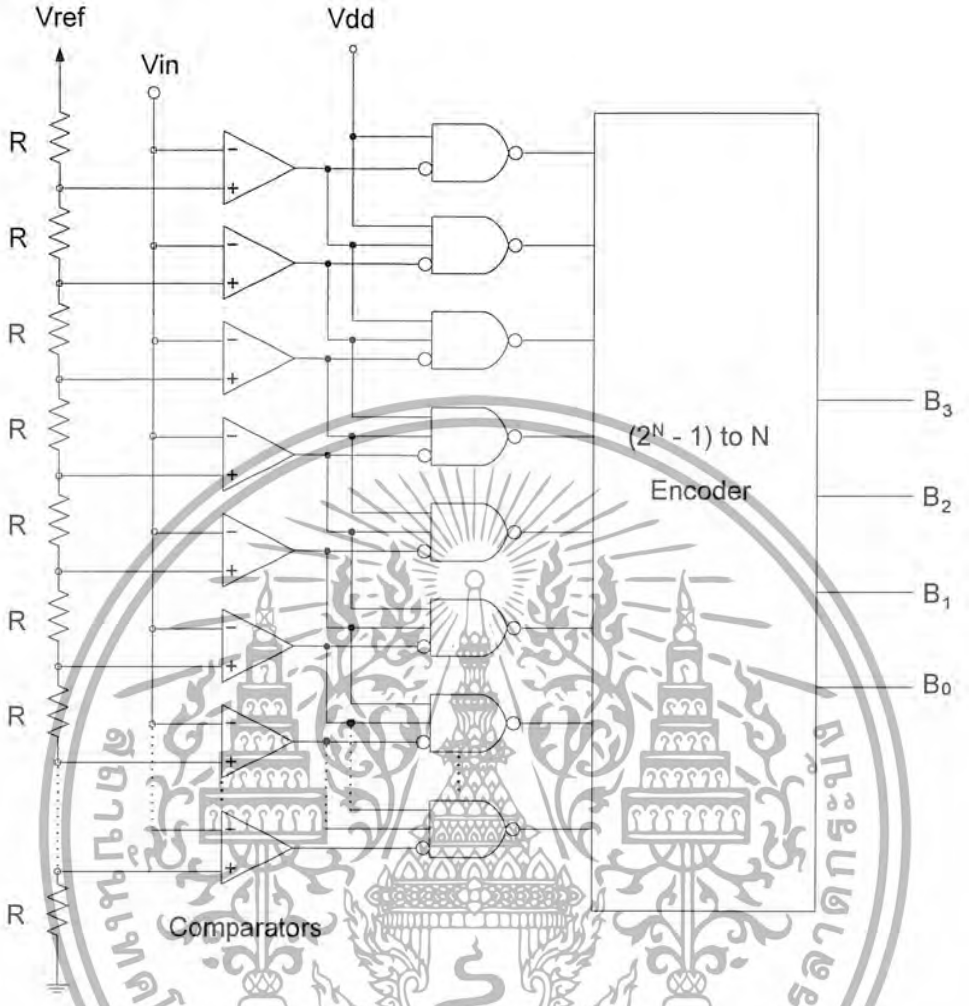
**ความเร็วปานกลางและความถูกต้องปานกลาง** ได้แก่ โครงสร้างแบบ Successive Approximation, โครงสร้างแบบ Algorithmic

**ความเร็วสูงและความถูกต้องต่ำถึงปานกลาง** ได้แก่ โครงสร้างแบบ Flash, โครงสร้างแบบ Two-step, โครงสร้างแบบ Interpolating, โครงสร้างแบบ Folding, โครงสร้างแบบ Pipelined, โครงสร้างแบบ Time-interleaved

**3.3 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช**

คุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชที่เห็นได้อย่างชัดเจนคือ สามารถแปลงสัญญาณอินพุตอนาล็อกเป็นสัญญาณเอาต์พุตดิจิตอลได้ภายในหนึ่งสัญญาณนาฬิกา ในหัวข้อนี้จะกล่าวถึงการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช รวมถึงโครงสร้างภายใน ซึ่งประกอบด้วยวงจรย่อยๆ ต่อร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.6 โครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาล็อก
เป็นสัญญาณดิจิตอลแบบแฟลช N บิต

จากรูปที่ 3.6 แสดงโครงสร้างพื้นฐานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช N บิต สัญญาณอินพุตจะถูกป้อนให้กับวงจรคอมพาราเตอร์จำนวน $2^N - 1$ ตัว เมื่อ N คือจำนวนบิตของเอาต์พุตดิจิตอล โดยสัญญาณจะถูกวัดที่คอมพาราเตอร์แต่ละตัวพร้อมกัน เพื่อเปรียบ เทียบกับระดับแรงดันอ้างอิงที่ได้จากวงจรความต้านทานอนุกรม สัญญาณเอาต์พุตที่ได้จากคอมพาราเตอร์แต่ละตัวจะมีค่าเป็น 0 หรือ 1 และให้เอาต์พุตจากคอมพาราเตอร์ทุกตัวมีรูปแบบคล้ายกับการเพิ่มขึ้นของปรอทในเทอร์โมมิเตอร์ จึงเรียกว่าเทอร์โมมิเตอร์โค๊ด โดยผ่านแนนด์เกท ซึ่งทำหน้าที่เปลี่ยนรหัสเทอร์โมมิเตอร์โค๊ดให้เป็นอินพุตของวงจรเอ็นโค้ดเดอร์และแปลงเป็นรหัสไบนารี่ และวงจรแลตช์จะทำหน้าที่เก็บข้อมูลเอาต์พุตไว้เพื่อป้องกันข้อมูลสูญหายในขณะแปลงข้อมูลอินพุตใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจรย่อยในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช**

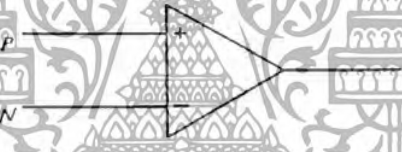
วงจรย่อยที่ใช้ ได้แก่ วงจรคอมพาราเตอร์, วงจรแลตช์ และวงจรเอ็นโค้ดเดอร์ ซึ่งวงจรที่มีความสำคัญที่สุดต่อคุณสมบัติทางด้านความเร็วของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชก็คือวงจรคอมพาราเตอร์

**3.3.1 วงจรคอมพาราเตอร์ (Comparator)**

**คุณสมบัติทั่วไปของวงจรคอมพาราเตอร์**

คอมพาราเตอร์ คือ วงจรที่ทำหน้าที่เปรียบเทียบสัญญาณอนาล็อกสองสัญญาณ และให้เอาต์พุตเป็นสัญญาณดิจิตอล ซึ่งสัมพันธ์กับผลของการเปรียบเทียบสัญญาณอนาล็อกที่อินพุต

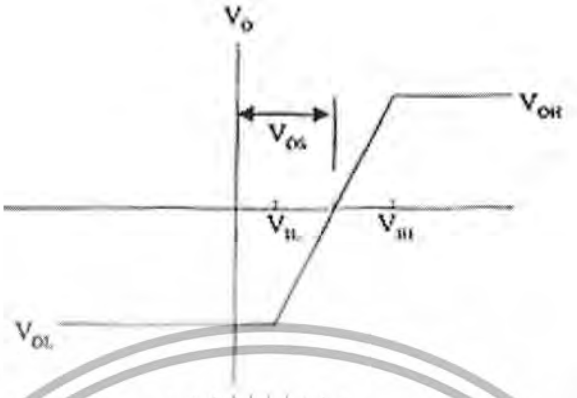
รูปที่ 3.7 แสดงสัญลักษณ์ของวงจรคอมพาราเตอร์ ซึ่งเหมือนกับวงจรออปแอมป์ และมีความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตในอุดมคติดังรูปที่ 3.8




รูปที่ 3.7 สัญลักษณ์ของวงจรคอมพาราเตอร์

**รูปที่ 3.8 กราฟความสัมพันธ์ระหว่างอินพุตกับเอาต์พุต ของวงจรคอมพาราเตอร์ในอุดมคติ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.9 กราฟความสัมพันธ์ระหว่างอินพุตกับเอาต์พุต
ของวงจรคอมพาราเตอร์ทั่วไป

จากรูปที่ 3.8 จะเห็นว่าคอมพาราเตอร์ในอุดมคติจะมีอัตราขยายแรงดันเป็นอนันต์ ซึ่งไม่เป็นจริงในคอมพาราเตอร์ทั่วไป ดังรูปที่ 3.9 จะมีอัตราขยายแรงดันดังสมการ

$$A_V = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \tag{3.9}$$

โดยทั่วไปแรงดันอินพุตที่ป้อนให้กับวงจรซีมอสลอจิกจะอยู่ที่ประมาณ 30% และ 70% ของแรงดันไฟเลี้ยง หากแรงดันอินพุตสูงหรือต่ำกว่านี้วงจรลอจิกอาจทำงานผิดพลาดได้

**คุณสมบัติของคอมพาราเตอร์ที่ใช้ในการออกแบบ**

พร็อบเพเกชั่นดีเลย์ไทม์ (Propagation delay time: $t_{prop}$) คือ ค่าเวลาที่อินพุตเป็น 50% ของ $V_P - V_N$ ถึงค่าเวลาที่เอาต์พุตเป็น 50% ของ $V_{OH} - V_{OL}$

ระดับความละเอียด (Resolution) คือ ความสามารถในการรับอินพุตค่าเล็กที่สุดที่วงจรยังสามารถให้เอาต์พุตเป็นดิจิตอลได้

**ช่วงสัญญาณอินพุตแบบคอมม่อน** (Input common mode range: CMR) คือ ช่วงของสัญญาณอินพุตที่วงจรสามารถทำงานได้ถูกต้อง

**แรงดันเอาต์พุตสวิง** (Output swing) คือ ระดับแรงดันเอาต์พุตของคอมพาราเตอร์ที่สามารถป้อนเป็นอินพุตให้กับวงจรลอจิกได้

**อัตราขยายความแตกต่าง** (Differential gain: $A_D$)

**อัตราขยายคอมม่อนโหมด** (Common mode gain: $A_{CM}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สลูว์เรท (Slew rate: SR) คือ อัตราการเปลี่ยนแปลงแรงดันเอาต์พุตที่เกิดจากแรงดันอินพุตแบบ Step signal

คอมม่อนโหมดรีเจคชั่นเรโช (Common-mode rejection ratio: CMRR) คือ อัตราส่วนที่แสดงถึงการขจัดสัญญาณคอมม่อนโหมด มีค่าเท่ากับ $\frac{A_D}{A_{CM}}$

แบนด์วิธ (Bandwidth: BW) คือ ความถี่ที่อัตราขยายลดลง 3 dB จากอัตราขยายสูงสุด

พาวเวอร์ดิสสิเพชั่น (Power dissipation: $P_{diss}$) คือ กำลังงานเฉลี่ยที่วงจรต้องการ

**3.3.1.1 วงจรย่อยที่ใช้ในการสร้างคอมพาราเตอร์**

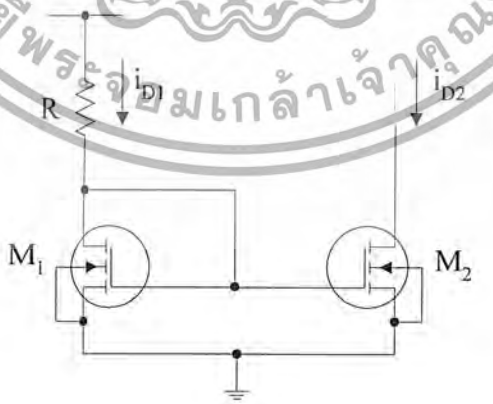
**วงจรไบอัส**

เป็นวงจรที่ทำหน้าที่จ่ายกระแสให้กับส่วนต่างๆ ของคอมพาราเตอร์ และทำหน้าที่สะท้อนกระแส รูปที่ 3.10 แสดงวงจรสะท้อนกระแสแบบพื้นฐาน หลักการทำงานของวงจรคือ กระแสที่ไหลผ่าน M1 จะทำให้ได้แรงดัน $V_{GS1}$ เท่ากับแรงดัน $V_{GS2}$ และมอสเฟททั้งสองตัวทำงานในช่วงอิ่มตัว จะทำให้กระแสที่ไหลผ่าน M2 เป็น

$$I_{D2}=\left[\frac{K_2(V_{GS2}-V_{T2})^2(1+\lambda V_{DS2})}{K_1(V_{GS1}-V_{T1})^2(1+\lambda V_{DS1})}\right]I_{D1} \tag{3.10}$$

ถ้า M1 และ M2 มีค่า K เท่ากันและ $V_{DS2}=V_{DS1}$ แล้ว จะได้

$$I_{D2}=\frac{S_2}{S_1}I_{D1} \tag{3.11}$$

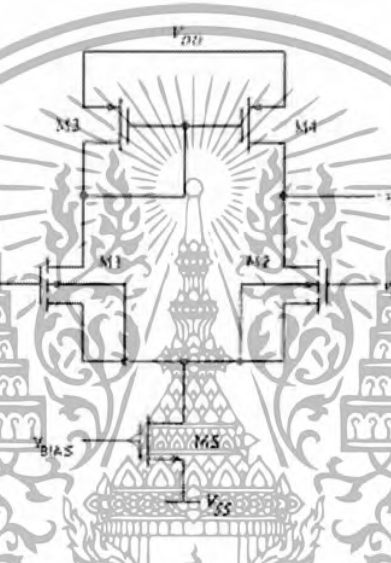



รูปที่ 3.10 วงจรสะท้อนกระแส (Current Mirror) แบบพื้นฐาน

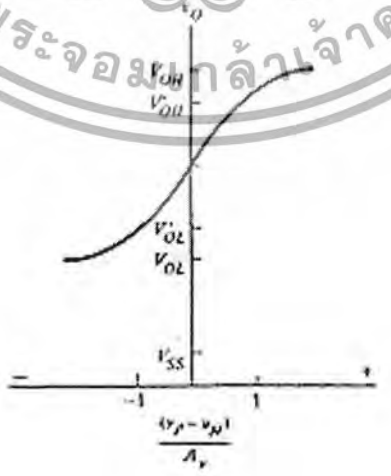
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจรขยายความแตกต่าง (Differential Amplifier)**

เนื่องจากวงจรคอมพาราเตอร์ต้องการการเปรียบเทียบแรงดัน วงจรขยายที่นิยมนำมาใช้คือวงจรขยายความแตกต่าง ดังรูปที่ 3.11 เป็นวงจรขยายที่มี M1 และ M2 เป็นตัวรับสัญญาณอินพุตเข้าที่ขาเกททั้งสอง และได้เอาต์พุตออกที่ขาเดรนของ M2 โดยมี M3, M4 เป็นโหลดแบบวงจรสะท้อนกร ะแสให้กับ M1, M2 ถ้า M1, M2 เท่ากันทุกประการ และ M3, M4 เท่ากันทุกประการแล้ว กระแสที่ไหลทั้งสองข้างจะเท่ากัน และมีค่ารวมกันเท่ากับกระแสที่ผ่าน M5 ส่วน M5 นั้นทำหน้าที่จ่ายกระแสให้กับวงจร




รูปที่ 3.11 วงจรขยายความแตกต่างที่มีโหลดเป็นวงจรสะท้อนกระแสแบบพื้นฐาน



รูปที่ 3.12 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของวงจรในรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวงจรขยายความแตกต่างนี้คือแรงดันเอาต์พุตสวิงมีค่าค่อนข้างต่ำ คือ

$$V_{OL} \cong V_N - V_{T2} - \sqrt{\frac{I_5}{K_5}} \tag{3.12}$$

$$V_{OH} \cong V_{DD} - \sqrt{\frac{2I_3}{K_3}} \tag{3.13}$$

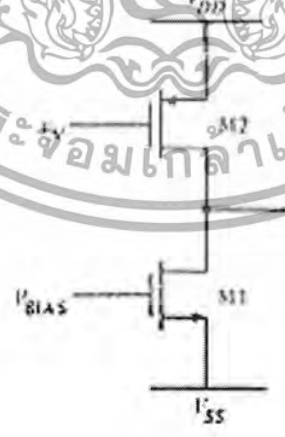
แม้ว่าแรงดันเอาต์พุตจะสูงประมาณไฟเลี้ยงบวก แต่จะไม่ต่ำถึงไฟเลี้ยงลบเพราะติด $V_{DSAT5}$ และจะได้อัตราขยายแรงดันของวงจรขยายความแตกต่างในรูปที่ 3.11 ในขณะที่มอสเฟททุกตัวทำงานในช่วงอิ่มตัวดังสมการ

$$A_V \cong \frac{g_{m2}}{g_{ds2} + g_{ds4}} = \frac{2\sqrt{K_2}}{\sqrt{I_5}(\lambda_2 + \lambda_4)} \tag{3.14}$$

ความไม่สมมาตรของคู่ M1, M2 และ M3, M4 จะเป็นส่วนหนึ่งที่ทำให้เกิดแรงดันออฟเซต ซึ่งขึ้นอยู่กับการออกแบบลวดลายวงจรรวมด้วย

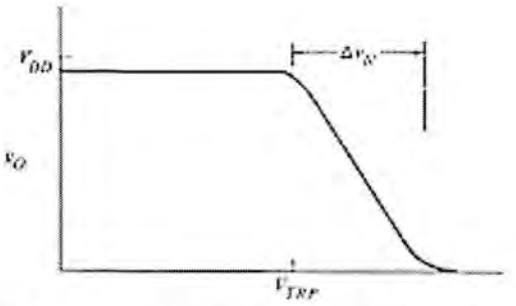
**วงจรขยายแรงดันภาคที่สอง**

เนื่องจากวงจรขยายความแตกต่างมีอัตราขยายแรงดันและแรงดันเอาต์พุตสวิงต่ำ จึงมีวงจรภาคขยายภาคที่สอง ซึ่งเป็นวงจรขยายคอมม่อนซอสดังรูปที่ 3.13 โดย M1 ทำหน้าที่เป็นโหลดให้กับ M2 หรือเรียกว่าเป็นแหล่งจ่ายกระแสให้กับวงจรก็ได้




รูปที่ 3.13 วงจรขยายคอมม่อนซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.14 กราฟความสัมพันธ์ระหว่างอินพุตกับเอาต์พุต
ของวงจรในรูปที่ 3.13

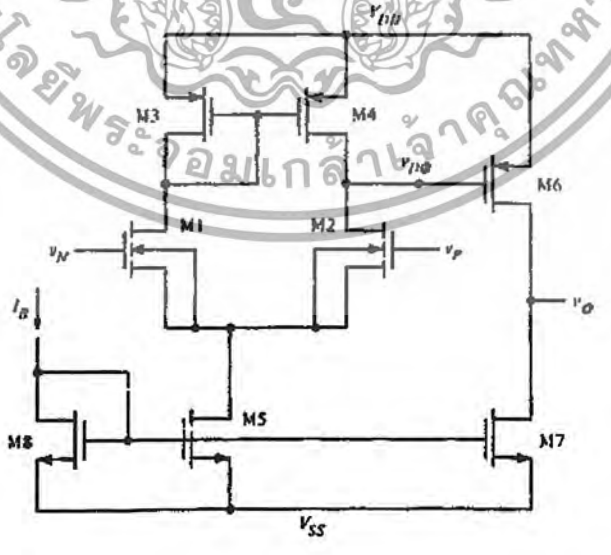
ข้อเสียของวงจรนี้คือ แรงดันทริปพ้อยต์ (Trip point voltage: $V_{TRP}$) ควบคุมได้ยากเพราะเปลี่ยนแปลงกับแรงดันไฟเลี้ยง พิจารณาขณะที่มอสเฟททุกตัวทำงานในช่วงอิ่มตัว จะได้ว่า

$$v_{IN} = v_{TRP} = V_{DD} - |V_{T2}| - \sqrt{\frac{K_1}{K_2}}\left(V_{BIAS} - V_{SS} - V_{T1}\right) \tag{3.15}$$

อัตราขยายแรงดันของวงจร คือ

$$A_V = \frac{\sqrt{2K_2}}{\sqrt{I_2}\left(\lambda_1 + \lambda_2\right)} \tag{3.16}$$

**3.3.1.2 วงจรคอมพาราเตอร์สองภาค (Two stage comparator)**




รูปที่ 3.15 วงจรคอมพาราเตอร์สองภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรคอมพาราเตอร์สองภาคจะนำวงจรขยายความแตกต่างและวงจรขยายคอมม่อนซอสมาต่อร่วมกัน โดยภาคแรกเป็นวงจรขยายความแตกต่างและภาคที่สองเป็นวงจรขยายคอมม่อนซอส แสดงดังรูปที่ 3.15 อัตราขยายของวงจรขยายความแตกต่างที่มีค่าน้อยจะถูกขยายด้วยวงจรขยายคอมม่อนซอสภาคที่สอง และค่าเอาต์พุตสวิงของวงจรขยายความแตกต่างที่ถูกจำกัดก็ถูกแก้ไขโดยเอาต์พุตสวิงของวงจรคอมม่อนซอสที่มีค่าสูงกว่า

เงื่อนไขการทำงานของวงจรคอมพาราเตอร์สองภาคคือ ต้องทำให้เอาต์พุตของวงจรขยายความแตกต่างที่จุดทำงานตรงกับค่า $V_{TRP}$ ของวงจรขยายคอมม่อนซอส เกิดเงื่อนไขสมดุลที่ว่าทรานซิสเตอร์ NMOS ทุกตัวได้รับกระแสเข้ามาเท่ากับกระแสที่จ่ายมาจากทรานซิสเตอร์ PMOS เมื่อมอสเฟททุกตัวทำงานในช่วงอิ่มตัว จะสามารถแก้ไขปัญหาของวงจรคอมม่อนซอสที่ค่า $V_{TRP}$ เปลี่ยนแปลงได้ง่าย โดยหลังจากต่อเป็นสองภาคแล้ว จะได้ว่า

$$\Delta V_{TRP1} = \frac{\Delta V_{TRP2}}{A_{V1}} \tag{3.16}$$

เมื่อ $\Delta V_{TRP2}$ คือ จำนวนการเปลี่ยนแปลงของแรงดัน $V_{TRP}$ ของวงจรภาคที่สอง

$A_{V1}$ คือ อัตราขยายแรงดันของวงจรขยายความแตกต่าง

สังเกตว่า $\Delta V_{TRP1}$ เป็นผลของ $\Delta V_{TRP2}$ ที่สะท้อนมายังภาคที่หนึ่ง นั่นคือ $\Delta V_{TRP2}$ ซึ่งมีผลกับแรงดันอินพุตออฟเซตจะมีค่าลดลง

ในการออกแบบเพื่อให้ได้เงื่อนไขสมดุลดังที่กล่าวมานั้น กระทำตามหลักการที่ว่า ถ้าต้องการให้ $v_P$ และ $v_N$ มีผลต่อวงจรโดยสมมาตรกัน จะต้องให้ขนาดของ M1, M2 เท่ากัน และขนาดของ M3, M4 เท่ากัน และถ้าอินพุต $v_P$ และ $v_N$ เท่ากันแล้วกระแสที่ไหลผ่าน M1 และ M2 จะมีค่าเท่ากันและเป็นครึ่งหนึ่งของกระแสที่ไหลผ่าน M5 สรุปความสัมพันธ์ของมอสเฟททุกตัวได้ดังนี้

ให้ $S = \frac{W}{L}$

จะได้ $S_1 = S_2$ (3.18)

$S_3 = S_4$ (3.19)

$i_1 = i_2 = \frac{i_5}{2}$ (3.20)

กระแสที่ไหลผ่าน M5 จะสะท้อนไปยัง M7 ด้วยอัตราส่วนของขนาด M7 ต่อ M5 กระแสใน M4 จะเป็นสัดส่วนกับกระแส M6 ด้วยอัตราส่วนของขนาด M6 ต่อ M4 เงื่อนไขสมดุลแสดงว่ากระแส M3, M4 เท่ากัน เมื่อแรงดันเดรนของ M3 เท่ากับแรงดันเกทของ M3 และ M4 ดังนั้นกระแส M4 จึงสะท้อนไปยังกระแส M6 ซึ่งได้ความสัมพันธ์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_7 = i_5\left(\frac{S_7}{S_5}\right) \tag{3.21}$$

$$i_6 = i_4\left(\frac{S_6}{S_4}\right) \tag{3.22}$$

สำหรับเงื่อนไขสมดุล จะได้ว่า

$$i_6 = i_7$$

$$i_4\left(\frac{S_6}{S_4}\right) = i_5\left(\frac{S_7}{S_5}\right) \tag{3.23}$$

จากที่กล่าวมาว่า

$$i_5 = 2(i_4)$$

ดังนั้น

$$\frac{S_6}{S_4} = 2\left(\frac{S_7}{S_5}\right) \tag{3.24}$$

จากสมการที่ 3.18, 3.19, 3.20 และ 3.24 เป็นความสัมพันธ์ของเงื่อนไขสมดุล แต่ยังไม่ได้คิดผลของ channel-length modulation ซึ่งจะทำให้เกิดความไม่สมมาตรขึ้น และส่งผลสะท้อนมาเป็นแรงดันอินพุตออฟเซตนั่นเอง

ค่า CMR ของวงจร คือ

$$V_{G1(\min)} = V_{SS} + V_{DS5} + \sqrt{\frac{2I_1}{K_1}} + V_{T1} \tag{3.25}$$

$$V_{G1(\max)} = V_{DD} - \sqrt{\frac{2I_3}{K_3}} - V_{T3} + V_{T1} \tag{3.26}$$

เมื่อต้องการออกแบบภาคอินพุตตามเงื่อนไขอินพุตคอมม่อนโหมดเรนจ์ จะต้องออกแบบขนาดของ M3 เพื่อให้ได้ค่าสูงสุด แล้วออกแบบขนาดของ M1 และ M5 เพื่อให้ได้ค่าต่ำสุดตามต้องการ

อัตราขยายแรงดันของวงจรหาได้โดย

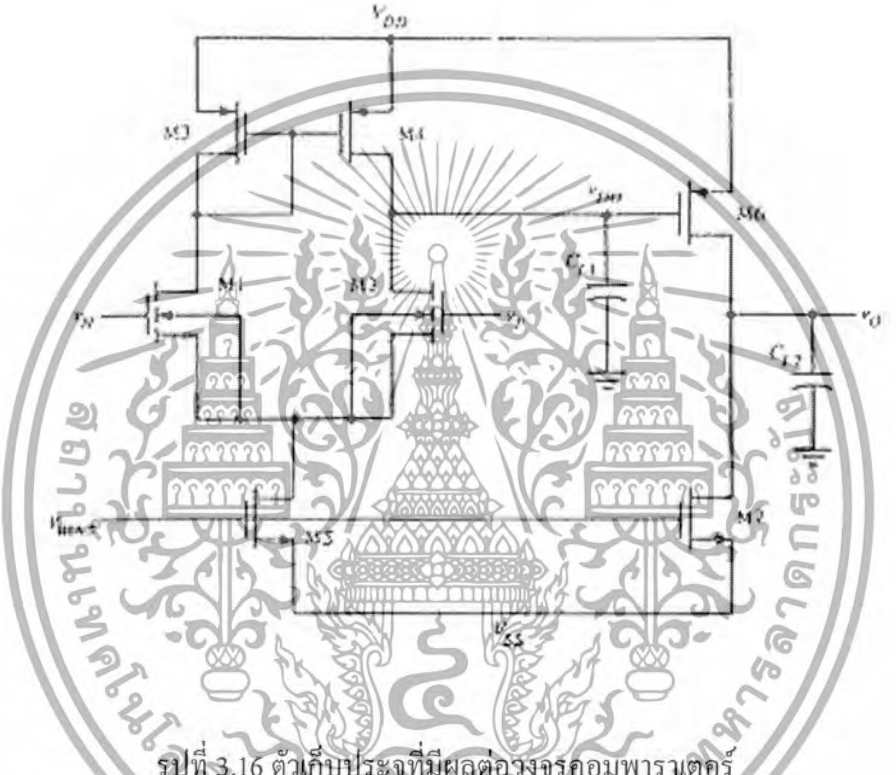
$$A_V = \left(\frac{g_{m1}}{g_{ds2} + g_{ds4}}\right)\left(\frac{g_{m6}}{g_{ds6} + g_{ds7}}\right) \tag{3.27}$$

$$A_V = \frac{2\sqrt{K_1 K_6}}{(\lambda_2 + \lambda_4)(\lambda_6 + \lambda_7)\sqrt{I_1 I_6}} \tag{3.28}$$

ในการออกแบบให้ได้อัตราขยายแรงดันตามต้องการนั้น สามารถออกแบบค่า $I_6$ , $S_6$ , $I_5$ , $S_1$ โดยถ้ากระแสลดลง อัตราขยายแรงดันจะเพิ่มขึ้น และถ้าขนาดของมอสเฟท M1 และ M6 เพิ่มขึ้น ก็จะได้อัตราขยายแรงดันเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ต้องพิจารณาต่อไปคือ เรื่องของความเร็วในการทำงาน หรือค่าเวลา $t_{prop}$ โดยหาค่ากระแสที่สามารถชาร์จหรือดิสชาร์จ พาราซิติกคาปาซิเตอร์ และคาปาซิเตอร์ในวงจร รูปที่ 3.16 แสดงให้เห็นถึงคาปาซิเตอร์ที่มีผลต่อวงจรมากที่สุด มีค่าเท่ากับ $C_{L1}$ ซึ่งมีค่าเท่ากับดีพลีชั่นคาปาซิเตอร์ $C_D$ และ $C_{gs}$



รูปที่ 3.16 ตัวเก็บประจุที่มีผลต่อวงจรคอมพาราเตอร์

สมมุติว่าอินพุต $v_P$ และ $v_N$ ที่ป้อนเข้ามาส่งผลให้วงจรเกิดสภาวะไม่สมดุลมากที่สุด คือมีกระแส M5 ไหลผ่าน M1 หรือ M2 ด้านใดด้านหนึ่ง เมื่อพิจารณาว่ากระแสที่มากที่สุดที่จะจ่ายออกไปชาร์จหรือดิสชาร์จ $C_{L1}$ ได้ ค่า $t_{prop}$ จะหาจากจำนวนเวลาที่ใช้ในการเปลี่ยนระดับแรงดันจาก $v_{DO}$ ที่เวลาเริ่มต้นถึงระดับแรงดัน $V_{TRP2}$ ของภาคที่สอง โดยสมมติว่ามอสเฟททุกตัวทำงานในช่วงอิ่มตัว ขณะขับกระแสหรือขณะเปลี่ยนสภาวะแรงดันเมื่อเราประมาณว่ากระแสขับคาปาซิเตอร์ $C_{L1}$ คงที่เท่ากับกระแส M1 หรือ M2 แต่พิจารณาอินพุตที่ทำให้เกิดเงื่อนไขไม่สมดุลคือกระแส M5 ทั้งหมดจะไหลผ่านด้านใดด้านหนึ่งเพียงด้านเดียว นั่นคือ กระแสขับคาปาซิสเตอร์เท่ากับกระแส M5 ดังนั้นจากการประมาณนั้นจะได้เวลาที่ใช้ในการเปลี่ยนจากระดับแรงดัน $v_{DO}$ ไปยัง $V_{TRP2}$ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta T_1 = \Delta v_{DO}\left(\frac{C_{L1}}{i_5}\right) \tag{3.29}$$

โดยที่

$$\Delta v_{DO} = v_{DO}(t_0) - V_{TRP2} \tag{3.30}$$

เอาต์พุตของภาคที่หนึ่งจะมีลักษณะลาดชันเข้าสู่ค่า $V_{TRP2}$ ด้วยเวลา $\Delta T_1$ เพื่อความง่ายในการหาค่า $t_{prop}$ ของวงจรภาคที่สอง จะสมมติให้ วงจรภาคที่หนึ่งให้เอาต์พุตเป็น step function แล้วพิจารณาว่าค่า $\Delta T_2$ นี้จะหาได้จากการพิจารณากระแสที่ชาร์จคาปาซิเตอร์ที่เอาต์พุต $C_{L2}$ ว่ามีค่าเท่าใด โดยแบ่งพิจารณา 2 กรณีคือ กระแสที่ชาร์จ และกระแสที่ดิสชาร์จ เพราะมีค่าไม่เท่ากัน กระแสชาร์จเกิดจากกระแส M6 ไหลไปชาร์ต $C_{L2}$ และมีกระแสส่วนหนึ่งไหลไปยัง M7 ส่วนกระแสดิสชาร์จ เกิดจากกระแส M7 เท่านั้น ดังนั้นพิจารณากระแส M7 จะได้ว่า

$$i_7 \cong i_5\left(\frac{S_7}{S_5}\right) \tag{3.31}$$

พิจารณากระแส M6 ในสภาวะไม่สมดุลเมื่อ $v_{DO}$ มีค่าต่ำสุด จะได้กระแส M6 มากที่สุด

$$i_6 \cong \frac{K_6}{2}\left(V_{DD} - v_{DO(\min)} - |V_{T6}|\right)^2 \tag{3.32}$$

เมื่อ

$$v_{DO(\min)} \cong v_n - \sqrt{\frac{i_5}{K_1}} - V_{T1} \tag{3.33}$$

โดยสมมติว่ากระแสชาร์จมีค่าคงที่จะได้ว่า เวลาที่ใช้ในการชาร์จคาปาซิเตอร์ $C_{L2}$ คือ

$$\Delta T_{2+} \cong C_{L2}\left[\frac{\left(V_{TRP3} - V_{ss}\right)}{i_6 - i_7}\right] \tag{3.34}$$

และเวลาที่ใช้ดิสชาร์จ $C_{L2}$ คือ

$$\Delta T_{2-} \cong C_{L2}\left[\left(\frac{V_{DD} - V_{TRP3}}{i_7}\right)\right] \tag{3.35}$$

โดยค่า $V_{TRP3}$ คือ แรงดันทริปพ้อยต์ของภาคถัดไป ค่าพร็อบเพเกชั่นดีเลย์ไทม์ทั้งหมดหาได้จาก

$$\Delta T = \Delta T_1 + \Delta T_2 \tag{3.36}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สรุปขั้นตอนในการออกแบบวงจรคอมพาราเตอร์**

1. จากข้อกำหนดของค่า พร็อบเพเกชั่นดีเลย์ไทม์ สามารถนำมาใช้กำหนดค่าสลูว์เรทได้ โดยควรมีค่าสลูว์เรทเป็น 10 เท่าของค่าพร็อบเพเกชั่นดีเลย์ไทม์ จากค่า SR และค่า $C_L$ นำไปหาค่ากระแสชาร์จได้เป็น

$$I_6 = C_L \frac{dV}{dT} \tag{3.37}$$

2. คำนวณหาขนาดของ M6, M7 ที่เล็กที่สุดที่ยังคงได้เอาต์พุตสวิงตามข้อกำหนดโดย

$$V_{DSAT} = \sqrt{\frac{2I}{K}} \tag{3.38}$$

3. เมื่อรู้กระแสที่ภาคที่สองและขนาดของ M6 สามารถหาอัตราขยายแรงดันของภาคที่สองจาก

$$A_{V2} = -\frac{g_{m6}}{g_{ds6} + g_{ds7}} \tag{3.39}$$

$$= -\frac{\sqrt{2K_6}}{\sqrt{I_6}(\lambda_6 + \lambda_7)} \tag{3.40}$$

4. หาอัตราขยายแรงดันภาคที่สองเพื่อให้ได้อัตราขยายแรงดันรวมตามที่ต้องการ

5. หาขนาดของ M4, M5 เพื่อให้ได้กระแสสะท้อนไปยัง M6, M7 ตามที่ออกแบบไว้ โดยยึดหลักว่าให้ใช้ขนาดของ M4, M5, M6 และ M7 ที่เล็กที่สุด ก็จะได้ค่ากระแสของวงจรภาคที่หนึ่งที่น้อยที่สุด

6. จากค่ากระแสของวงจรภาคที่หนึ่ง และค่าอัตราขยายแรงดันของภาคที่หนึ่ง นำไปหาขนาดของ M2 โดย

$$A_{V1} = -\frac{g_{m2}}{g_{ds2} + g_{ds4}} \tag{3.41}$$

$$= -\frac{\sqrt{2K_2}}{\sqrt{I_2}(\lambda_2 + \lambda_4)} \tag{3.42}$$

$$S_2 = \left[(\lambda_2 + \lambda_4)A_{V1}\right]^2 \left(\frac{I_2}{2K_2}\right) \tag{3.43}$$

7. หาขนาดของ M5 ที่เล็กที่สุดเพื่อให้ได้ค่าอินพุตต่ำสุดตามข้อกำหนดของค่า CMR โดย

$$V_{DS5} = v_{G1(\min)} - \sqrt{\frac{I_5}{K_1}} - V_{T1} - V_{ss} \tag{3.44}$$

$$S_5 > \frac{2I_5}{K_5'(V_{DS5})^2} \tag{3.45}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. ปรับเพิ่มขนาดของ M5 หรือ M7 เพื่อให้ได้ตามเงื่อนไขของ $V_{G1(min)}$ และสามารถสะท้อนกระแสไปยัง M7 ได้ถูกต้องโดย

$$S_5 = S_7 \frac{I_5}{I_7} \tag{3.46}$$

9. หาขนาดของ M3 ที่เล็กที่สุดเพื่อให้ได้ค่า อินพุตสูงสุดตามข้อกำหนดค่า CMR จาก

$$V_{G1(\max)} = V_{DD} - \sqrt{\frac{I_5}{K_3' S_3}} - |V_{T3}| + V_{T1} \tag{3.47}$$

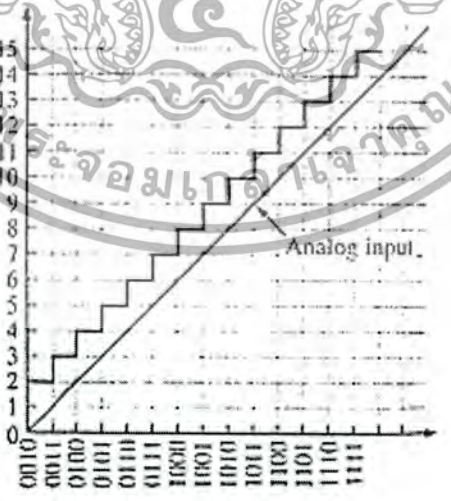
$$S_3 > \frac{I_5}{K_3' \left(V_{DD} - V_{G1}(\max) - |V_{T3}| + V_{T1}\right)^2} \tag{3.48}$$

10. ปรับขนาด M3, M6 เพื่อให้ได้กระแสสะท้อนที่ถูกต้อง โดย

$$S_3 = S_6 \frac{I_3}{I_6} \tag{3.49}$$

**3.3.1.3 วงจรคอมพาราเตอร์ที่มีการชดเชยออฟเซต (Offset cancellation)**

เมื่อต้องการใช้งานวงจรคอมพาราเตอร์ในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่มีระดับความละเอียดสูง จะเกิดปัญหาจากแรงดันอินพุตออฟเซต ดังรูปที่ 3.17 แสดงปัญหาของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลอ่านค่าแรงดันอินพุตได้มากกว่าค่าจริง ซึ่งเกิดความผิดพลาดมาจากวงจรคอมพาราเตอร์ที่มีแรงดันอินพุตออฟเซต




รูปที่ 3.17 ผลของแรงดันอินพุตออฟเซตที่มีต่อการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

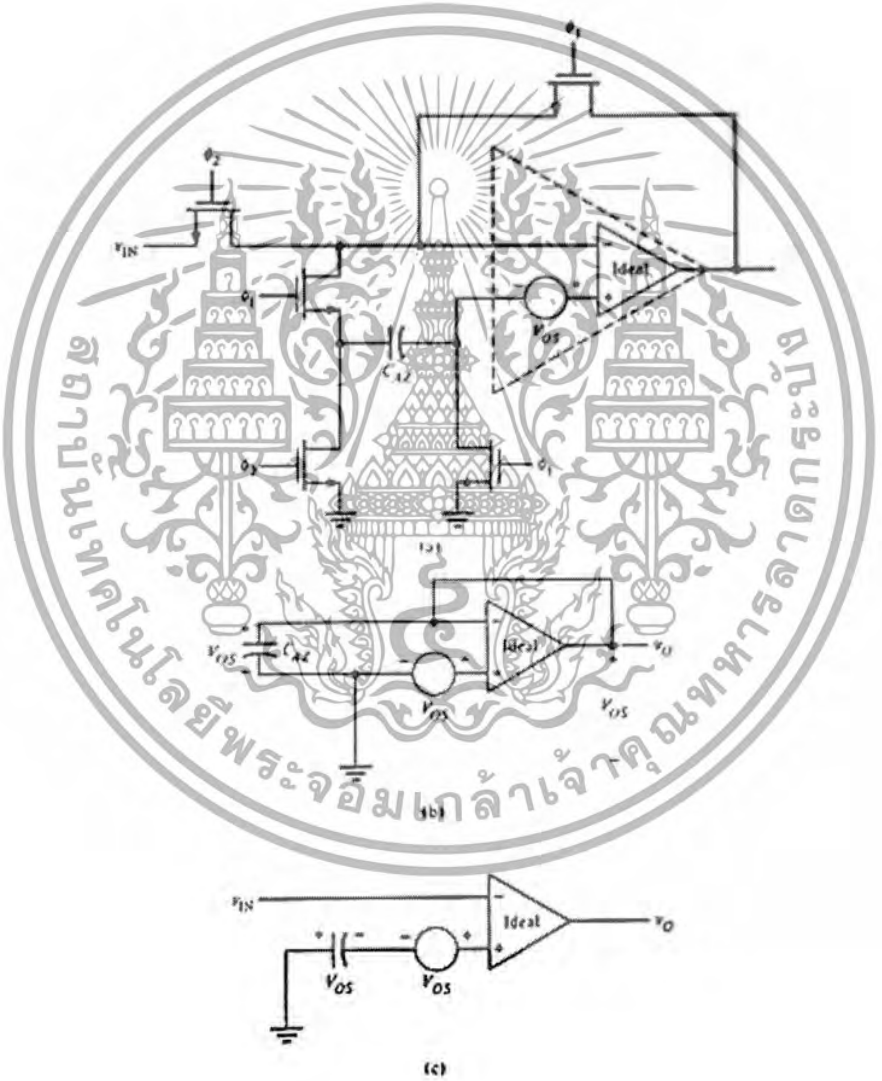
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันอินพุตออฟเซตสามารถเกิดจากความไม่สมมาตรกันของคู่มอสเฟท ผลจากอุณหภูมิ หรือจากการรบกวนอื่นๆ ซึ่งไม่สามารถหาค่าได้ จึงจำเป็นต้องใช้การแก้ไขโดยวิธีออโต้ซีโร่ (Auto zero technique) คือการใช้ตัวเก็บประจุมาเก็บค่าแรงดันอินพุตออฟเซตไว้เพื่อหักล้างกับแรงดันอินพุตออฟเซตจริงในวงจรโดยอัตโนมัติ ดังรูปที่ 3.18 แสดงวิธีการชดเชยแรงดันอินพุตออฟเซต โดยรูปที่ 3.18(a) แสดงแบบจำลองของวงจรคอมพาราเตอร์ที่มีแรงดันอินพุตออฟเซต $V_{OS}$ รูปที่ 3.18(b) แสดงการต่อวงจรคอมพาราเตอร์แบบ unity gain feedback โดยตัวเก็บประจุ $C_{AZ}$ จะเก็บค่าแรงดันเอาต์พุตซึ่งมีค่าเท่ากับแรงดันอินพุตออฟเซตไว้ รูปที่ 3.18(c) แสดงการนำตัวเก็บประจุ $C_{AZ}$ มาต่อเป็นอินพุตอนุกรมกับ $V_{OS}$ ทำให้แรงดันทั้งสองหักล้างกัน

รูปที่ 3.18 (a) แบบจำลองคอมพาราเตอร์ที่มีแรงดันอินพุตออฟเซต
(b) คอมพาราเตอร์ที่ต่อแบบ unity gain feedback เพื่อเก็บแรงดันอินพุตออฟเซต ไว้ในตัวเก็บประจุ $C_{AZ}$
(c) คอมพาราเตอร์ที่ได้รับการชดเชยแรงดันอินพุตออฟเซตแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานจริงเราจะใช้วงจรดังแสดงในรูปที่ 3.19(a) โดยรูปที่ 3.19(b) แสดงวงจรขณะที่ $\Phi_1$ มีสถานะเป็น "High" แรงดันอินพุตออฟเซตจะถูกเก็บไว้ในตัวเก็บประจุ $C_{AZ}$ รูปที่ 3.19(c) แสดงวงจรขณะที่ $\Phi_2$ มีสถานะเป็น "High" แรงดันอินพุตออฟเซตจะหักล้างกันทำให้วงจรคอมพาราเตอร์ทำงานได้อย่างถูกต้อง โดยวิธีนี้สามารถลดแรงดันอินพุตออฟเซตซึ่งมีขนาดใหญ่ได้ แต่ไม่สามารถชดเชยแรงดันอินพุตออฟเซตได้อย่างสมบูรณ์ เนื่องจากผลของชาร์จอินเจคชั่น (Charge injection) และคล็อกฟีดทรู (Clock feedthrough)




รูปที่ 3.19 (a) วงจรที่มีการชดเชยแรงดันอินพุตออฟเซต
(b) ขณะที่ $\Phi_1$ High วงจรอยู่ในสภาวะออโต้ซีโร่
(c) ขณะที่ $\Phi_2$ High คอมพาราเตอร์ทำงานปกติ

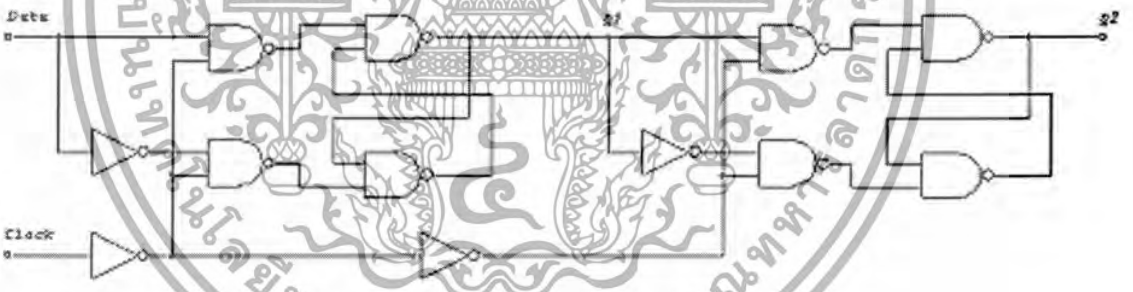
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.2 วงจรเอ็นโค้ดเดอร์ (Encoder)

วงจรเอ็นโค้ดเดอร์จะทำหน้าที่แปลงรหัสเทอร์โมมิเตอร์โค้ดที่ได้จากวงจรคอมพาราเตอร์จำนวน $2^N - 1$ ตัวให้เป็นเอาต์พุตดิจิตอลจำนวน N บิต ที่สอดคล้องกับสัญญาณอินพุตอนาล็อก โดยต้องทำการออกแบบให้วงจรสามารถป้องกันการเกิดความผิดพลาดจากบับเบิ้ล (Bubble error) คือ การที่เอาต์พุตของคอมพาราเตอร์ตัวใดตัวหนึ่งเป็น 0 แทนที่ควรจะเป็น 1 หรือเป็น 1 แทนที่ควรจะเป็น 0 ซึ่งอาจเกิดจากความไม่เสถียรของคอมพาราเตอร์ มีสัญญาณรบกวน หรือแบนด์วิธที่จำกัด ฯลฯ

### 3.3.3 วงจรแลตช์ (Latch)

วงจรแลตช์มีหน้าที่เก็บค่าของข้อมูลทีละบิต โดยแต่ละครั้งจะทำงานที่ขอบขาขึ้นหรือขอบขาลงของสัญญาณนาฬิกา เราสามารถสร้างวงจรแลตช์ได้จากวงจรดีฟลิปฟลอป แบบควบคุมโดยสัญญาณนาฬิกา ในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช เราจะใช้วงจรแลตช์ในการเก็บค่าแรงดันเอาต์พุตดิจิตอลจากเอ็นโค้ดเดอร์




รูปที่ 3.20 วงจรแลตช์แบบดีฟลิปฟลอป

ตารางที่ 3.1 ตารางความจริงของวงจรแลตช์

| Data | Clock | $Q_1$ | $Q_2$ |
|---|---|---|---|
| 0 | 0 | Data (0) | $Q_2$ |
| 0 | 1 | $Q_1$ | Data (0) |
| 1 | 0 | Data (1) | $Q_2'$ |
| 1 | 1 | $Q_1'$ | Data (1) |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 วงจรที่ใช้ในการทำงานร่วมกับวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

ในการทดสอบการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชที่ได้ทำการออกแบบนั้น จะใช้วงจรที่ทำงานร่วมกับวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ได้แก่ วงจรแซมเปิ้ลแอนด์โฮลด์และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

#### 3.4.1 วงจรแซมเปิ้ลแอนด์โฮลด์ (Sample and Hold: S/H)

วงจรแซมเปิ้ลแอนด์โฮลด์ หรือเรียกอีกชื่อหนึ่งว่าวงจรแทร็คแอนด์โฮลด์ (Track-and-hold) เป็นวงจรที่มีความสำคัญอย่างมากในระบบการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ใช้ในการสุ่มตัวอย่างสัญญาณอินพุตอนาล็อกและรักษาค่าแรงดันไว้ระยะเวลาหนึ่งเพื่อให้วงจรสามารถนำค่าที่ได้ไปใช้ในการแปลงสัญญาณอินพุตอนาล็อกเป็นสัญญาณเอาต์พุตดิจิตอล

รูปที่ 3.21 วงจรแซมเปิ้ลแอนด์โฮลด์อย่างง่าย

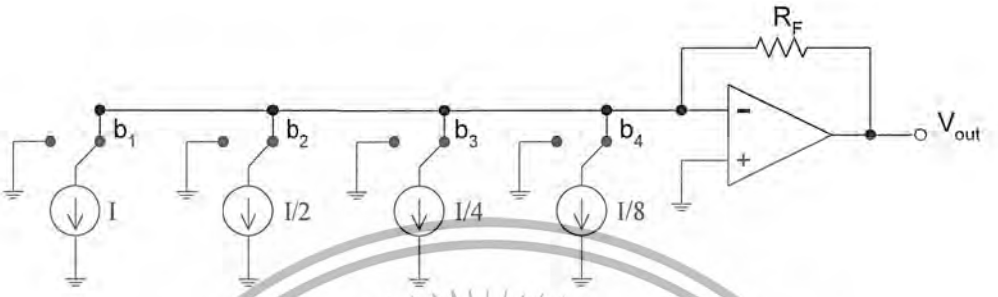
รูปที่ 3.21 แสดงวงจรแซมเปิ้ลแอนด์โฮลด์อย่างง่าย เมื่อ $\Phi_{clk}$ มีสถานะเป็น “High” V’ จะมีค่าตาม $V_{in}$ และเมื่อ $\Phi_{clk}$ มีสถานะเป็น “Low” ก็จะคงค่า V’ ไว้ ทำให้ $V_{out}$ มีค่าเท่ากับ $V_{in}$ อย่างไรก็ตามจะมีความผิดพลาดเกิดขึ้นจากชาร์จอินเจคชั่น คือเมื่อมอสเฟท Q1 off กระแสในแชนแนลก็จะไหลออกไปที่รอยต่อ ทำให้เกิดแรงดันค่าลบคร่อมรอยต่อของมอสเฟทจำนวนเล็กน้อย ทำให้ V’ มีค่าลดลงเล็กน้อย $V_{out}$ จึงมีค่าไม่เท่ากับ $V_{in}$ เรียกว่าการเกิดโฮลด์สเต็ป (Hold step)

#### 3.4.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

หลังจากสัญญาณที่ผ่านวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชแล้ว จะทำการทดสอบความถูกต้องของวงจรแปลงสัญญาณ โดยค่าสัญญาณดิจิตอลจะถูกแปลงกลับเป็นสัญญาณอนาล็อก ในที่นี้จะใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกแบบถ่วงน้ำหนักเลขฐานสองด้วยแหล่งจ่ายกระแส ซึ่งลักษณะของวงจรนี้ใช้หลักการเดียวกับการถ่วงน้ำหนักเลขฐานสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยตัวต้านทาน แต่จะมีข้อดีกว่าคือสามารถทำงานได้เร็วกว่า และการสร้างแหล่งจ่ายกระแสสามารถสร้างได้ด้วยมอสทรานซิสเตอร์ ทำให้ลดการใช้พื้นที่ภายในวงจรรวมได้ดีกว่า




รูปที่ 3.22 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก
แบบถ่วงน้ำหนักเลขฐานสองด้วยแหล่งจ่ายกระแส

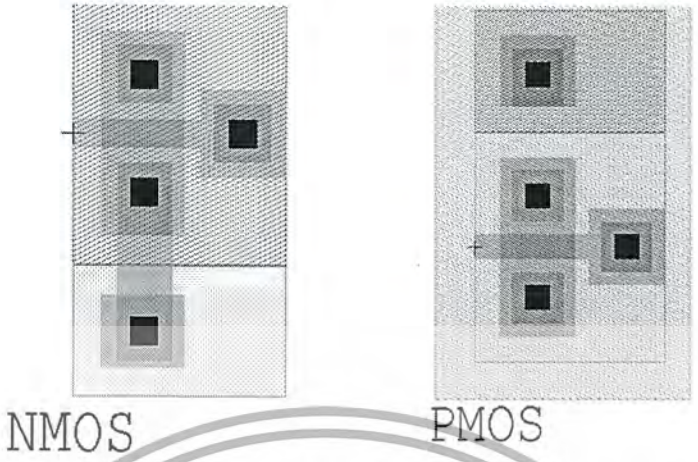
**3.5 การออกแบบวงจรในระดับเลย์เอาต์**

การออกแบบวงจรรวมในขั้นตอนสุดท้ายนั้น คือการออกแบบเลย์เอาต์ของวงจร ซึ่งเป็นการออกแบบลวดลายและกำหนดขนาดให้กับส่วนต่างๆของวงจรตามที่คำนวณได้ สิ่งสำคัญในการออกแบบคือการทำตามกฎการออกแบบ (Design Rule) ซึ่งเป็นข้อกำหนดของบริษัทผู้ผลิตเพื่อรับรองผลว่าสามารถสร้างวงจรรวมในทางปฏิบัติ โดยครอบคลุมเรื่องของเทคโนโลยีในการผลิต, ขนาดของทรานซิสเตอร์ที่เล็กที่สุดที่สามารถสร้างได้, ระยะห่างที่น้อยที่สุดระหว่างชั้นสารเดียวกัน, ขนาดที่เล็กที่สุดของชั้นสารที่ครอบคลุมอีกชั้นสารหนึ่งเพื่อให้แน่ใจว่าโครงสร้างของอุปกรณ์จะไม่ผิดเพี้ยนไปถ้าเกิดการกร่อนของขอบชั้นสาร เป็นต้น หลังจากออกแบบเลย์เอาต์แล้วสามารถทำการจำลองการทำงานของวงจรเพื่อทดสอบวงจรก่อนส่งไปผลิต ซึ่งจะรวมผลของตัวเก็บประจุแฝงที่เกิดจากการเดินสายในวงจรรวม หรือการวางตำแหน่งของอุปกรณ์ในวงจรที่อาจทำให้วงจรทำงานผิดพลาดได้ถ้ามีการออกแบบไม่ดี เมื่อทำการทดสอบการทำงานของวงจรแล้วทำการเอ็กซ์แทร็กซ์ (extract) เป็นไฟล์ CIF (Caltech Intermediate Form) หรือ GDS II เพื่อส่งไปยังโรงงานเพื่อทำการผลิตเป็นวงจรรวม

**3.5.1 การออกแบบมอสทรานซิสเตอร์**

ทำการออกแบบมอสทรานซิสเตอร์โดยกำหนดขนาด W/L นำมาวาดเป็นเลย์เอาต์ของมอสทรานซิสเตอร์ได้ดังรูปที่ 3.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.23 เลย์เอาต์ของมอสทรานซิสเตอร์

ในกรณีที่ต้องการให้มอสทรานซิสเตอร์สองตัวมีความสมมาตรกัน จะใช้การออกแบบเลย์เอาต์แบบคอมม่อนเซนทรอยด์ (common-centroid) คือ การออกแบบให้ตำแหน่งของมอสทรานซิสเตอร์ใช้พื้นที่ร่วมกัน จึงมีผลของอุณหภูมิหรือความหนาของชั้นออกไซด์ใกล้เคียงกัน ทำให้คู่มอสทรานซิสเตอร์มีความสมมาตรกัน

**3.5.2 การออกแบบตัวต้านทาน**

ค่าความต้านทานต่อพื้นที่สี่เหลี่ยมจัตุรัสจะมีค่าไม่เท่ากันในแต่ละชั้นสาร เช่น ชั้นของโลหะมีค่าสภาพต้านทานเท่ากับ 0.055 โอห์ม/sq ในชั้นของ N-Well มีค่าสภาพต้านทานเท่ากับ 1.3K โอห์ม/sq ดังนั้นการออกแบบเลย์เอาต์ของตัวต้านทานจึงต้องเลือกชั้นสารที่เหมาะสม โดยหาค่าความต้านทานได้จาก

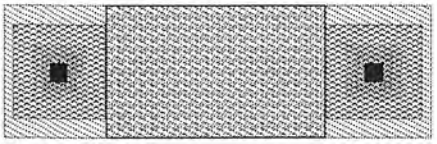
$$R = \rho_S \frac{L}{W}$$

โดย R คือ ค่าความต้านทาน

$\rho_S$ คือ ค่าสภาพต้านทาน (โอห์ม/sq)

L และ W คือ ความยาวและความกว้างของชั้นสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

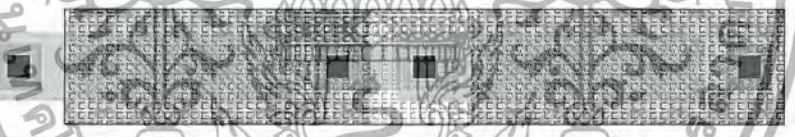



รูปที่ 3.24 เลย์เอาต์ของตัวต้านทาน

**3.5.3 การออกแบบตัวเก็บประจุ**

ตัวเก็บประจุมีโครงสร้างจากชั้นตัวนำขนานกันสองชั้นถูกคั่นด้วยสารไดอิเล็กทริกหรือฉนวน ในการออกแบบตัวเก็บประจุในวงจรรวมสามารถสร้างตัวเก็บประจุได้หลายชนิด เช่น สร้างจากชั้นของโพลีกับโพลี โลหะกับโพลี โลหะกับแอคทีฟ เป็นต้น ซึ่งแต่ละชนิดจะมีค่าความจุต่อหน่วยพื้นที่ไม่เท่ากัน โดยค่าความจุหาได้จาก

ค่าความจุ = ค่าความจุต่อหน่วยพื้นที่ x พื้นที่ของชั้นสารตัวเก็บประจุ




รูปที่ 3.25 เลย์เอาต์ของตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

## 4.1 การออกแบบและทดลองวงจรแซมเปิ้ลแอนด์โฮลด์

เราใช้วงจรแซมเปิ้ลแอนด์โฮลด์อย่างง่ายดังรูปที่ 3.21 ซึ่งประกอบด้วยมอสเฟทและตัวเก็บประจุ โดยมีสมการความต้านทานของมอสเฟทที่ทำงานในย่านเชิงเส้นดังนี้

$$R_{ON} = \frac{1}{\mu_n C_{OX} \frac{W}{L}(V_{GS} - V_T)} \qquad (4.1)$$

จากสมการที่ 4.1 จึงออกแบบให้ขนาดของมอสเฟทที่ทำหน้าที่เป็นสวิตช์มีขนาดใหญ่เพื่อให้มีความต้านทานต่ำเข้าใกล้ความต้านทานของสวิตช์ในอุดมคติ แต่ในขณะเดียว กันการออกแบบให้มีขนาดใหญ่จะทำให้ตัวเก็บประจุภายในมอสเฟทมีขนาดใหญ่ด้วย ซึ่งจะทำให้เกิดผลของคล็อกฟีดธรู (Clock feedthrough) คือจะมีกระแสไหลผ่านเมื่อสวิตช์เปิดวงจร เป็นผลทำให้แรงดันเอาต์พุตมีค่าลดลงจากแรงดันแซมปลิ้ง จึงต้องทำการแก้ไขโดยใช้ตัวเก็บประจุ $C_{hold}$ ขนาดใหญ่เพื่อลดผลของตัวเก็บประจุในมอสเฟท แต่การเพิ่มขนาดของตัวเก็บประจุจะมีผลกระทบต่อความเร็วเนื่องจากผลของค่าเวลาคงที่ ซึ่งจะต้องกำหนดให้มีขนาดเหมาะสมไม่ใหญ่จนเกินไป เพราะจะทำให้วงจรทำงานได้ช้า

กำหนด $C_{hold}$ = 20pF และ $S_1$ = 8µ/2µ

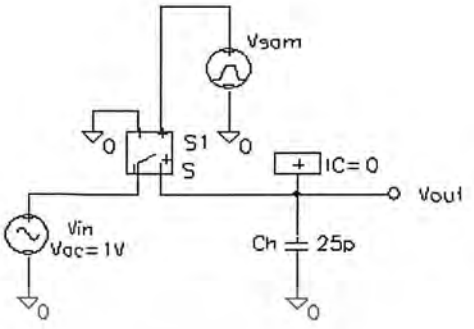
**ผลการจำลองการทำงาน**

ต่อวงจรดังรูปที่ 4.1 วงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้สวิตช์ในอุดมคติ โดยมีค่าตัวแปรกำหนด

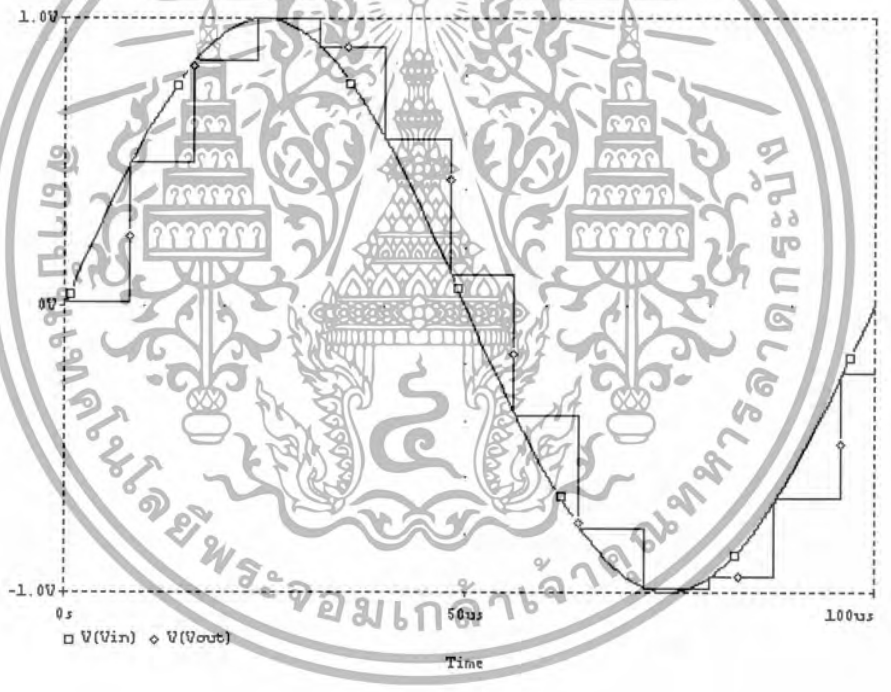
```
.MODEL S VSWITCH
RON   =  10
ROFF  =  100 MEG
VON   =  2 V
VOFF  =  0.7 V
```

ทำการ include fileป้อนสัญญาณ $V_{in}$ เป็นคลื่นรูปซายน์ มีแอมปลิจูด 1 V ความถี่ 10 KHz และ $V_{sam}$ เป็นสัญญาณพัลซ์ที่ใช้แซมปลิ้ง มี pw=0.1u per=4u จะได้กราฟสัญญาณเอาต์พุตของวงจรแซมเปิ้ลแอนด์โฮลด์ดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

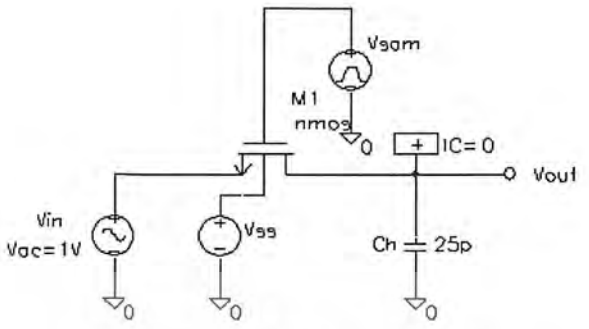



รูปที่ 4.1 วงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้สวิตช์ในอุดมคติ

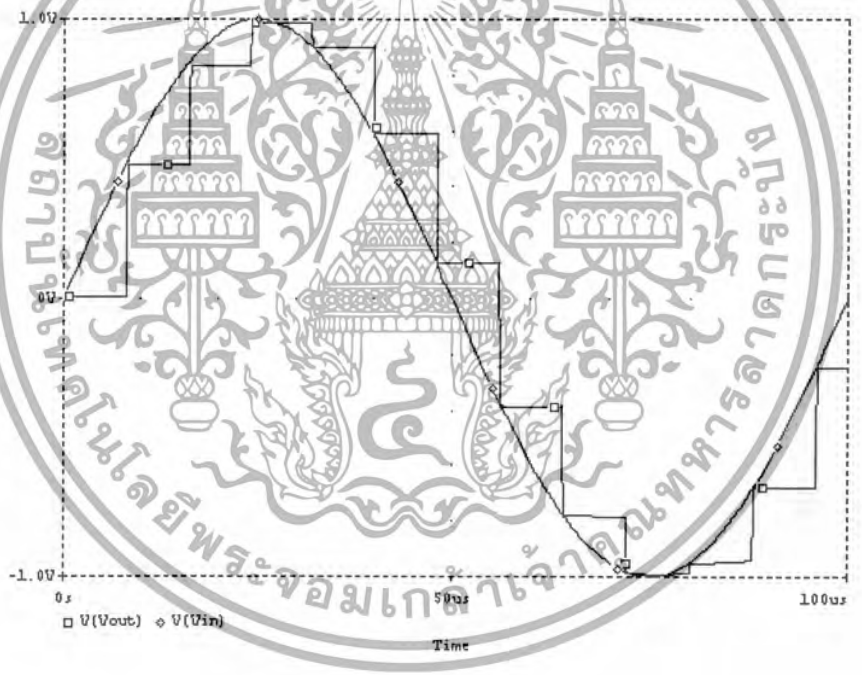



รูปที่ 4.2 สัญญาณเอาต์พุตของวงจรแซมเปิ้ลแอนด์โฮลด์
ที่ใช้สวิตช์ในอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

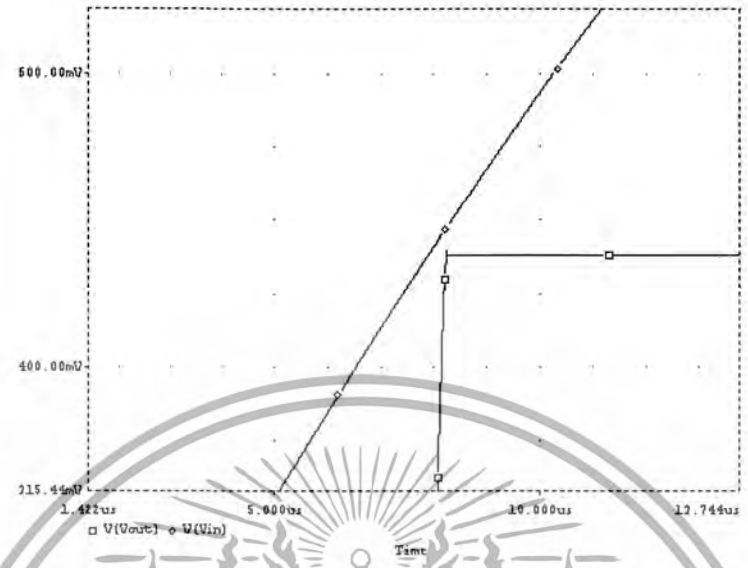



รูปที่ 4.3 วงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้มอสเฟทเป็นสวิตช์




**รูปที่ 4.4 สัญญาณเอาต์พุตของวงจรแซมเปิ้ลแอนด์โฮลด์ที่ใช้มอสเฟทเป็นสวิตช์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.5 ภาพขยายของสัญญาณเอาต์พุตในรูปที่ 4.4

จากรูปที่ 4.5 พบว่ามีความผิดพลาดจากการเกิดคล็อกฟีดธรู ทำให้แรงดันเอาต์พุตที่ได้มีค่าลดลงจากแรงดันแซมปลิ้งเล็กน้อย

**4.2 การออกแบบและทดลองวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต**

กำหนดคุณสมบัติของวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต ดังนี้ ระดับความละเอียด 4 บิต, $P_{diss} < 100$ mW, แหล่งจ่ายไฟเลี้ยง ±5 V, แรงดันอินพุต ±2 V, $E_{offset} < 1$ LSB, $E_{gain} < 1$ LSB, DNL < 1 LSB, INL < 1 LSB

**4.2.1 การออกแบบและทดลองวงจรคอมพาราเตอร์**

การออกแบบวงจรคอมพาราเตอร์มีความสำคัญอย่างมากในการออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช เนื่องจากเป็นส่วนประกอบที่กินกำลังงานไฟฟ้ามากที่สุดโดยออกแบบเป็นวงจรคอมพาราเตอร์แบบสองภาคที่มีการชดเชยแรงดันอินพุตออฟเซตที่มีข้อกำหนด คือ $A_V > 66$ dB, $P_{diss} < 5$ mW, $C_L = 2$pF, $t_{prop} \leq 1$ µs, CMR = -2 V ถึง 2 V, เอาต์พุตสวิง = -3 V ถึง 3 V โดยใช้มอสเฟทที่มีพารามิเตอร์ดังต่อไปนี้

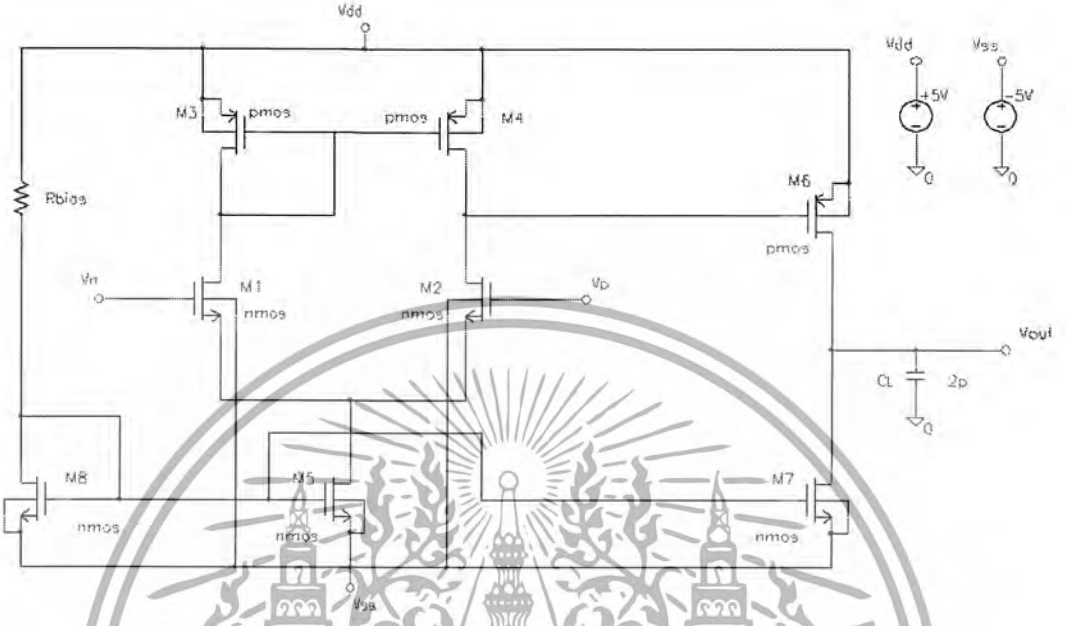
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
**MOSIS/Orbit 2.0um Process
**Level 2 MOSFET Parameters
**MOSIS run n23q/Quicksilver
**Technology: SCNA
*****************************************
.model nmos nmos level=2
+ Ld=0.22026u  Tox=395.000008E-10  Nsub=7.61874E+14
+ Vto=0.81056  Kp=5.289E-05 Gamma=0.1819
+ Phi=0.6  Uo=605.312  Uexp=8.517658E-02
+ Ucrit=14678.4  Delta=1.71295  Vmax=64128.9
+ Xj=0.25u  Nfs=1.085838E+12  Neff=1
+ Nss=1E+10  Tpg=1  Rsh=29.39
+ Cgdo=2.888314E-10  Cgso=2.888314E-10 Cgbo  =4.336885E-10
+ Cj=9E-05  Mj=0.784  Cjsw=5.525E-10
+ Mjsw=0.285  Pb=0.8
+ Lambda=1.741176E-02

.model pmos pmos level=2
+ Ld=0.25u  Tox=395.000008E-10  Nsub=9.199244E+15
+ Vto=-0.971428  Kp=1.915E-05 Gamma=0.6321
+ Phi=0.6  Uo=219  Uexp=0.251249
+ Ucrit=76412.8  Delta=0.554525  Vmax=89217.7
+ Xj=0.25u  Nfs=1E+11  Neff=1.001
+ Nss=1E+10  Tpg=-1  Rsh=65.02
+ Cgdo=3.278301E-10  Cgso=3.278301E-10  Cgbo=4.657445E-10
+ Cj=2.033E-04  Mj=0.4439  Cjsw=3E-10
+ Mjsw=0.243  Pb=0.8
+ Lambda=5.371041E-02
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ขั้นตอนการออกแบบคอมพาราเตอร์**




รูปที่ 4.6 วงจรคอมพาราเตอร์สองภาค

1. จากค่าพร็อบเพแกชั่นดีเลย์ไทม์ 1 µs, แรงดันไฟเลี้ยง ±5 V จะได้ค่าค่าสลูว์เรทเป็น 10 เท่าของ 10 V/µs = 100 V/µs จากสมการที่ 3.36 จะได้ว่า

$$I_6 = I_7 = (2pF)\left(100^{V}/_{\mu s}\right)$$

$$= 200\mu A$$

2. เพื่อให้ได้ค่าเอาต์พุตสวิงที่กำหนด หาขนาดของ M6 และ M7 จากสมการที่ 3.37 ได้ดังนี้

$$V_{DSAT7} = \sqrt{\frac{2I_7}{K_7}} < 2V$$

$$\sqrt{\frac{2(200\mu A)}{(52.89\mu)S_7}} < 2V$$

$$S_7 > 1.89$$

กำหนดให้ $S_7 = 2.2$

และ

$$V_{DSAT6} = \sqrt{\frac{2I_6}{K_6}} < 2V$$

$$\sqrt{\frac{2(200\mu A)}{(19.15\mu)S_6}} < 2V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_6 > 5.22$$

กำหนดให้ $S_6 = 8$

3. หาอัตราขยายแรงดันภาคที่สองจากสมการที่ 3.39

$$A_{V2} = -\frac{\sqrt{2(19.15\mu)(8)}}{\sqrt{200\mu}(0.017+0.054)}$$

$$= 17.4$$

4. หาอัตราขยายแรงดันภาคที่หนึ่งจากอัตราขยายแรงดันรวม 66 dB หรือ 2,000 เท่า

$$A_{V1} > \frac{A}{A_{V2}} = \frac{2{,}000}{17.4} = 115$$

กำหนดให้ $A_{V1} = 200$

5. เมื่อพิจารณาให้ใช้พื้นที่ในการสร้างให้น้อยที่สุด จะได้ขนาดของ $M_4$ และ $M_5$ มีขนาด $S_4$=1 และ $S_5$ = 1 จะได้

$$I_4 = S_4\left(\frac{I_6}{S_6}\right)$$

$$= 1\cdot\left(\frac{200}{8}\right)$$

จะได้ $I_4 = 25\mu A$

และ $I_5 = S_5\left(\frac{I_7}{S_7}\right)$

$$= 1\cdot\left(\frac{200}{2.2}\right)$$

จะได้ $I_5 = 91\mu A$

แต่กระแส $I_4$ มีกระแสไหลเป็นครึ่งหนึ่งของ $I_5$ ดังนั้นกระแส $I_4 = 45.5\mu A$

หาขนาดของ M4 อีกครั้งได้

$$S_4 = S_6\left(\frac{I_4}{I_6}\right)$$

$$= 8\left(\frac{45.5}{200}\right)$$

$$= 1.82$$

6. หาขนาดของ M2 จากสมการที่ 3.43

$$S_2 = [(0.017+0.054)(200)]^2\left(\frac{45.5\mu}{2(52.89\mu)}\right)$$

$$= 86.73$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. จากค่า CMR ที่กำหนด หาขนาดของ M5 จากสมการที่ 3.44 และ 3.45

$$V_{DS5} = (-2) - \sqrt{\frac{91\mu}{(52.89\mu)(102)}} - 0.81 - (-5)$$

$$= 2.06$$

และ $$S_5 > \frac{2(91\mu)}{(52.89\mu)(2.06)^2}$$

$$> 0.81$$

จากข้อ 5. $S_5 = 1$

8. จากค่า CMR ที่กำหนด หาขนาดของ M3 จากสมการที่ 3.47

$$S_3 > \frac{91\mu}{(19.15\mu)(5-2-|0.97|+0.81)^2}$$

$$> 0.59$$

จากข้อ 5. $S_{3,4} = 2$

9. หาขนาดของวงจร ไบอัส M8 เท่ากับ M5

จาก $$V_{GS8} = V_{GS5} = \sqrt{\frac{2I_5}{K_5}} + V_{T5}$$

$$= \sqrt{\frac{2(91\mu)}{(52.89\mu)}} + 0.81$$

$$= 2.66$$

และ $$R_{bias} = \frac{V_{DD} - V_{SS} - V_{GS8}}{I_8} \quad (4.2)$$

$$= \frac{10 - 2.66}{91\mu}$$

$$= 80.6K\Omega$$

10. หาค่ากำลังงานที่ใช้ในวงจร

$$P_{diss} = (V_{dd} - V_{ss})(I_8 + I_5 + I_7)$$

$$= (10)(91\mu + 91\mu + 200\mu) = 3.82mW$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

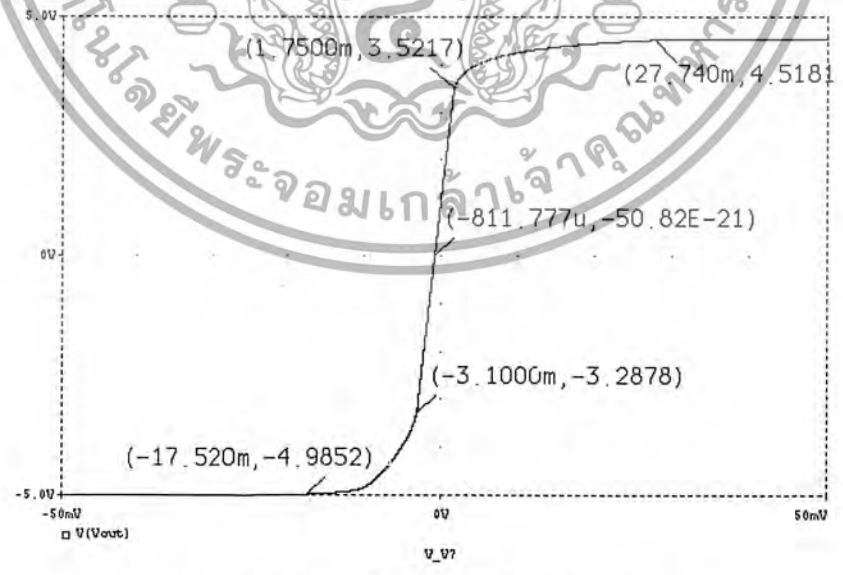
11. สรุปการออกแบบวงจรคอมพาราเตอร์

$$S_{1,2} = 102 = 204\mu / 2\mu$$
$$S_{3,4} = 2 = 4\mu / 2\mu$$
$$S_{5,8} = 1 = 3\mu / 3\mu$$
$$S_{6} = 8 = 16\mu / 2\mu$$
$$S_{7} = 2 = 4\mu / 2\mu$$
$$R_{bias} = 80.6K\Omega$$

**ผลการจำลองการทำงาน**

1. ต่อวงจรดังรูปที่ 4.7 จำลองการทำงานของคอมพาราเตอร์แบบ DC Sweep โดยให้ Vp มีค่าตั้งแต่ -50mV ถึง 50mV และ Increment = 10μV

รูปที่ 4.7 วงจรจำลองการทำงานของคอมพาราเตอร์




รูปที่ 4.8 กราฟแรงดันเอาต์พุตเปรียบเทียบกับแรงดันอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟรูปที่ 4.8 จะได้ว่า

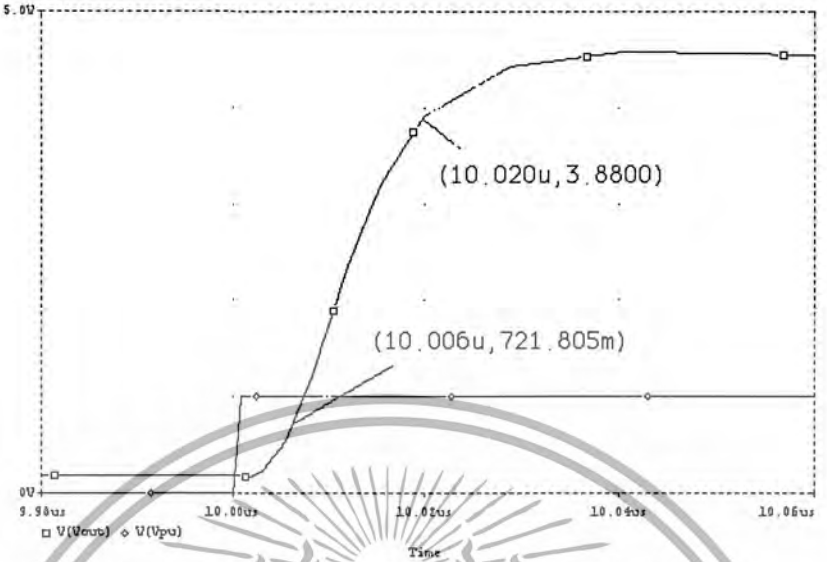
| | | |
|---|---|---|
| แรงดันอินพุตออฟเซต | | ≈ 811.777 μV |
| แรงดันเอาต์พุตสูงสุด | | ≈ 4.5181 V |
| แรงดันเอาต์พุตต่ำสุด | | = -5 V |
| เอาต์พุตสวิง | | ≈ -3.28 V ถึง 3.52 V |
| วงจรมีอัตราขยายแรงดัน | = 1,404 เท่า | = 63 dB |

วงจรจะทำงานเปรียบเทียบแรงดันได้เมื่ออินพุตทั้งสองมีระดับแรงดันต่างกันประมาณ 20 mV แรงดันออฟเซ็ทเป็นลบหมายถึงแรงดันเอาต์พุตจะเป็นบวกที่แรงดันอินพุตศูนย์โวลท์ ถ้าต้องการลดแรงดันเอาต์พุตลงให้ลดกระแส $I_6$ โดยเพิ่มแรงดันเกท M6 ซึ่งต้องไปลดแรงดันซอสเดรนของ M4 ลง ทำได้โดยเพิ่มขนาดของ M4 โดยให้ $S_3 = S_4 = 4.5\mu/2\mu$ แรงดันออฟเซ็ทใหม่วัดได้ -130.441 μV ส่วนอัตราขยายและแรงดันเอาต์พุตสวิงยังคงเท่าเดิม

รูปที่ 4.9 กราฟแรงดันเอาต์พุตเปรียบเทียบกับแรงดันอินพุตเมื่อแก้ไขขนาด M3 และ M4 ใหม่

2. ต่อวงจรโดยป้อนแรงดันเพื่อชดเชยอินพุตออฟเซตก่อนหาค่าสลูว์เรท ด้วยการจำลองแบบ Transient analysis ให้ Vp เป็นสัญญาณพัลซ์มีค่า V1 = 0, V2 = 1 V, td = 1μs และ tr = 1ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



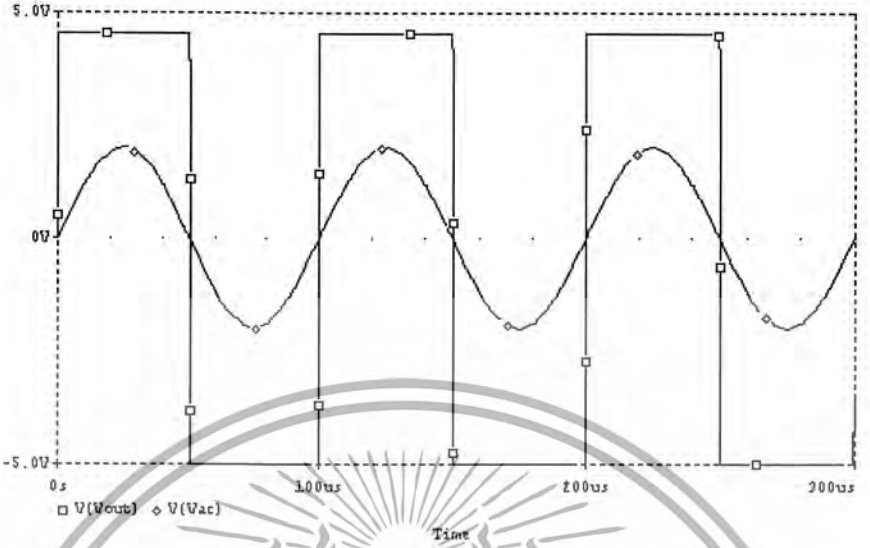

รูปที่ 4.10 กราฟผลการจำลองวงจรเพื่อหาค่าสลูว์เรท

ค่าสลูว์เรทของวงจรคอมพาราเตอร์มีค่าเท่ากับ 225.5 V/μs

3. ทดลองการทำงานเปรียบเทียบระดับแรงดันที่ศูนย์โวลท์โดยต่อวงจรดังรูปที่ 4.11 ให้ Vp เป็นสัญญาณรูปซายน์ มี voff = 0, vampl = 2 V, freq = 10KHz ให้ Vn มีค่าเป็นศูนย์ แล้ววัดสัญญาณที่เอาต์พุตโดยการจำลองแบบ Transient analysis

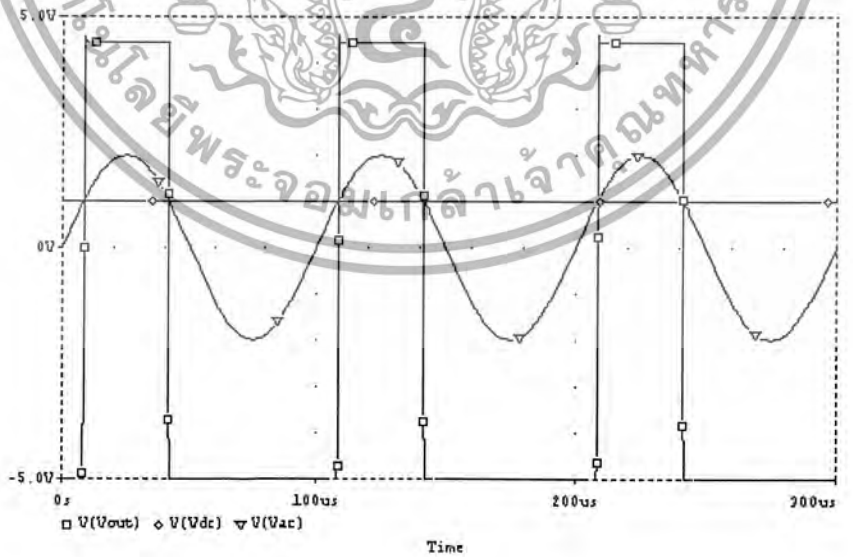
รูปที่ 4.11 วงจรเปรียบเทียบระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.12 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ศูนย์

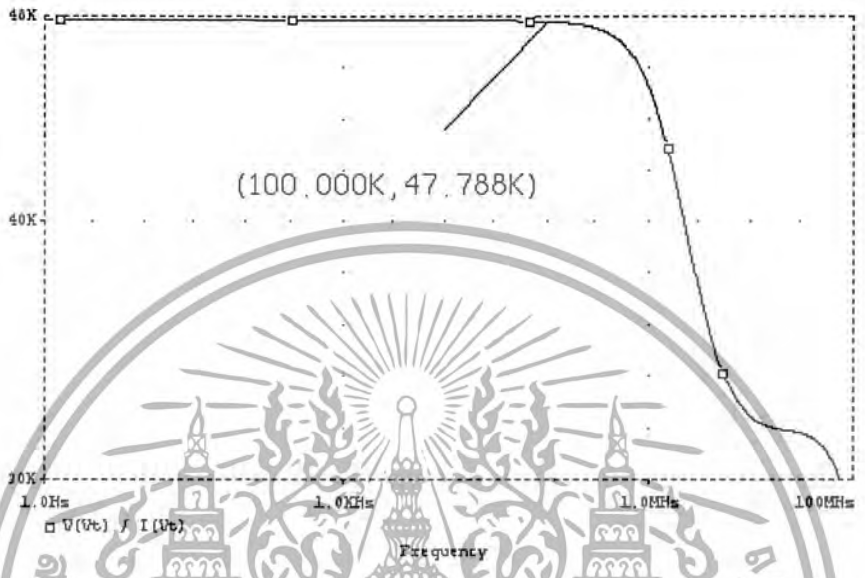
4. ทดลองการทำงานเปรียบเทียบระดับแรงดันของคอมพาราเตอร์ โดยต่อวงจรดังรูปที่ 4.11ให้ Vp เป็นสัญญาณรูปซายน์ มี voff = 0, vampl = 2 V, freq = 10KHz และ Vn เป็นแรงดันไฟตรงมีค่า 1 V ทำการจำลองแบบ Transient analysis




**รูปที่ 4.13 สัญญาณเอาต์พุตของวงจรคอมพาราเตอร์เปรียบเทียบระดับแรงดันที่ไม่เป็นศูนย์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ทดลองหาค่าเอาต์พุตอิมพีแดนซ์โดยต่อแรงดัน Vt เป็นแรงดัน AC ขนาด 1mV แทนที่ CL ทำการวัดค่าจาก AC Sweep พล็อตกราฟของ Vt / It




รูปที่ 4.14 ผลการจำลองวงจรเพื่อหาค่าเอาต์พุตอิมพีแดนซ์

**4.2.2 การออกแบบและทดลองวงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันออฟเซต**

จากรูปที่ 3.19(a) เป็นวงจรชดเชยแรงดันอินพุตออฟเซต ซึ่งจะนำไปต่อเชื่อมกับวงจรคอมพาราเตอร์ที่ทำการออกแบบไว้ก่อนหน้านี้ โดยมอสทุกตัวในวงจรออโต้ซีโร่ทำหน้าที่เป็นสวิตช์ ซึ่งมีความต้านทานขณะนำกระแสดังสมการที่ 4.1 จึงออกแบบให้มีขนาดใหญ่โดยเหมาะสมกับตัวเก็บประจุ $C_{AZ}$ ที่ใช้

ในรูปที่ 3.19(b) ขณะที่วงจรทำงานเพื่อชดเชยแรงดันอินพุตออฟเซต จะมีการต่อวงจรคอมพาราเตอร์ในลักษณะ unity gain feedback จึงต้องมีการออกแบบวงจรคอมพาราเตอร์ให้มีเสถียรภาพไม่เกิดการออสซิลเลท จึงต้องมีการชดเชยทางเฟสโดยต่อตัวเก็บประจุซึ่งจะทำให้โพลที่สองของวงจรอยู่ไกลออกไป ซึ่งจะมีผลทำให้โพลตัวแรกลดลงทำให้วงจรมีแบนด์วิธต่ำลง และจากการต่อตัวเก็บประจุจะมีผลของคลอกฟีดธรูทำให้เกิดซีโร่ขึ้น ดังนั้นในขณะที่วงจรคอมพาราเตอร์ต่อแบบ unity gain feedback เราจะต่อตัวเก็บประจุไว้ในวงจร และในขณะที่คอมพาราเตอร์ทำงานปกติ เราจะเอาตัวเก็บประจุออก ซึ่งทำได้โดยออกแบบมอสสวิตช์เพื่อตัดต่อตัวเก็บประจุนั้นและให้มีความต้านทานขณะนำกระแสเท่ากับความต้านทานเพื่อหักล้างซีโร่

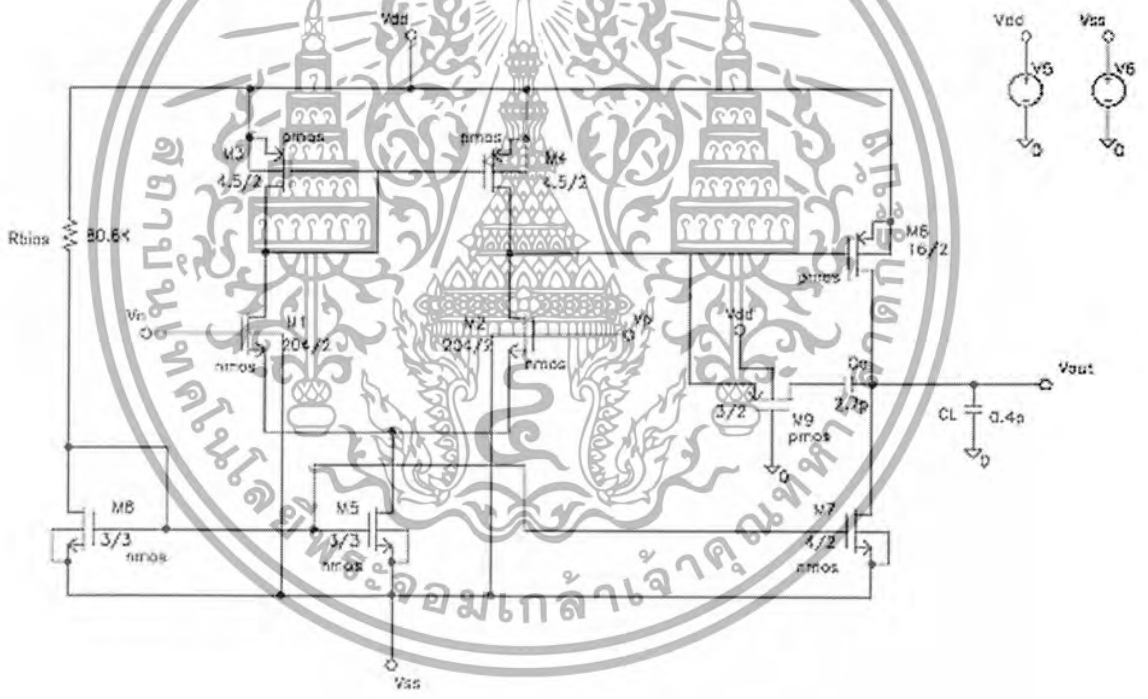
กำหนดค่าตัวเก็บประจุ $C_L$ = 0.4pF, $C_C$ = 2.7pF, $C_{AZ}$ = 20pF และให้มอสสวิตช์ทุกตัวมีขนาดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_9 = 3\mu / 2\mu$$
$$S_{10} = 50\mu / 4\mu$$
$$S_{11} = 4\mu / 2\mu$$
$$S_{12} = 12\mu / 5\mu$$
$$S_{13} = 3\mu / 4\mu$$
$$S_{14} = 3\mu / 2\mu$$

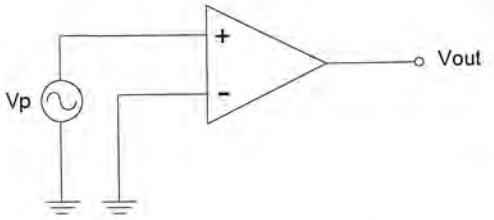
**ผลการจำลองการทำงาน**

1. ใช้วงจรในรูปที่ 4.15 ต่อวงจรดังรูปที่ 4.16 เพื่อหาการตอบสนองทางความถี่และเฟสของวงจรคอมพาราเตอร์ โดยจำลองการทำงานแบบ AC Sweep ให้ Vp มีค่าแรงดัน AC = 1mV




รูปที่ 4.15 วงจรคอมพาราเตอร์ที่มีการชดเชยทางเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



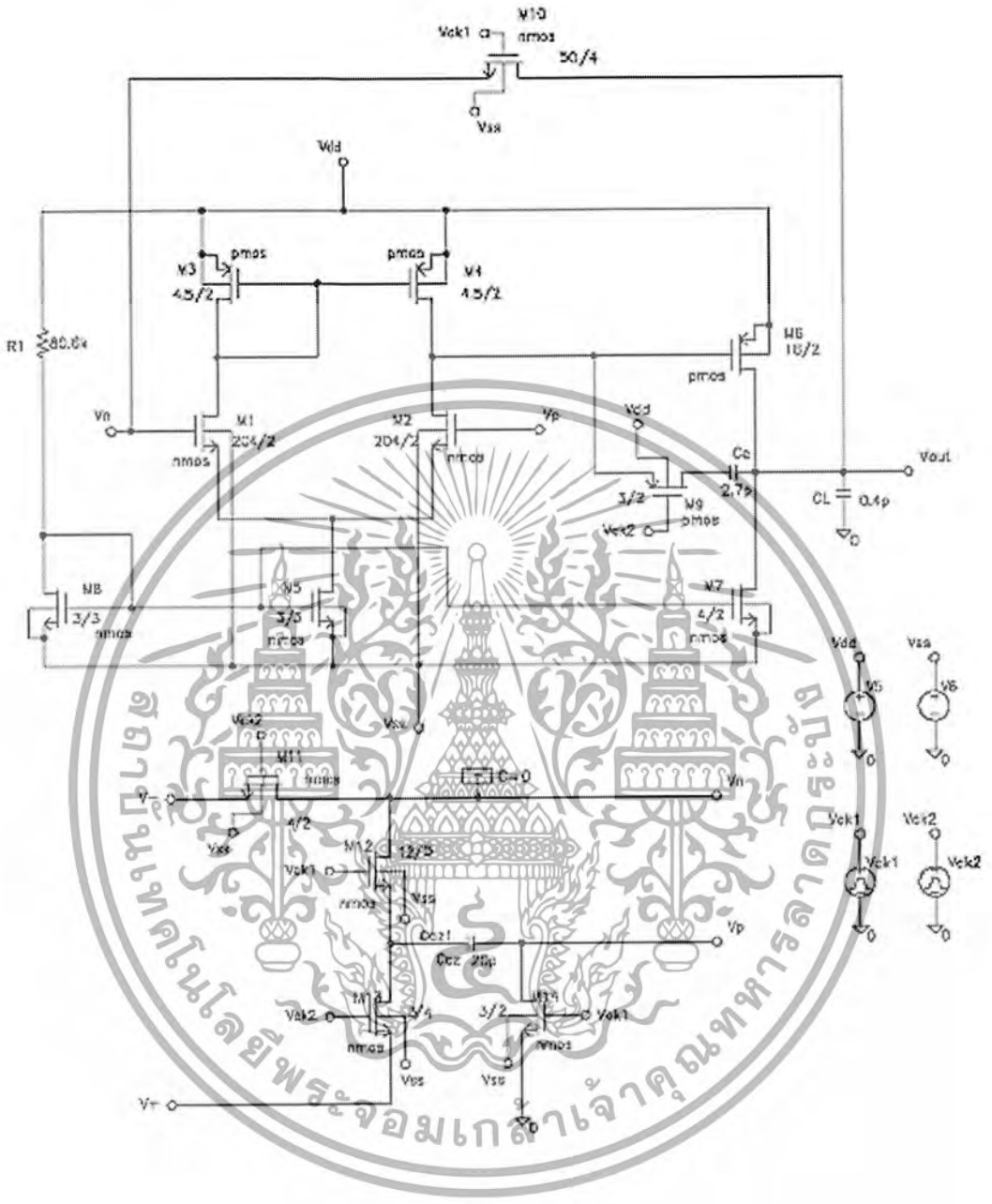

รูปที่ 4.16 การต่อวงจรเพื่อหาการตอบสนองทางความถี่
และเฟสของวงจรคอมพาราเตอร์

รูปที่ 4.17 กราฟการตอบสนองทางความถี่และเฟสของวงจรคอมพาราเตอร์

จากกราฟรูปที่ 4.17 วงจรคอมพาราเตอร์ที่ทำการชดเชยทางเฟสนี้มีอัตราขยายเปิดวงจร = 62.81 dB หรือประมาณ 1,382 เท่า และเฟสมาร์จิ้น = 54.5°

2. ต่อวงจรในรูปที่ 4.18 โดยให้ Vos จำลอง = 50 mV และสัญญาณนาฬิกา Vclk1,2 มีความถี่ 125 KHz กลับเฟสกัน 180 องศา ป้อนสัญญาณอินพุตที่ขา V- (inverting) ด้วยแหล่งจ่าย VPWL กำหนดให้ t1 = 4us v1 = 0V , t2 = 8us v2 = -50mV , t3 = 12us v3 = 50mV , t4 = 16us v4 = 0V และต่อขา V+ (noninverting) ลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

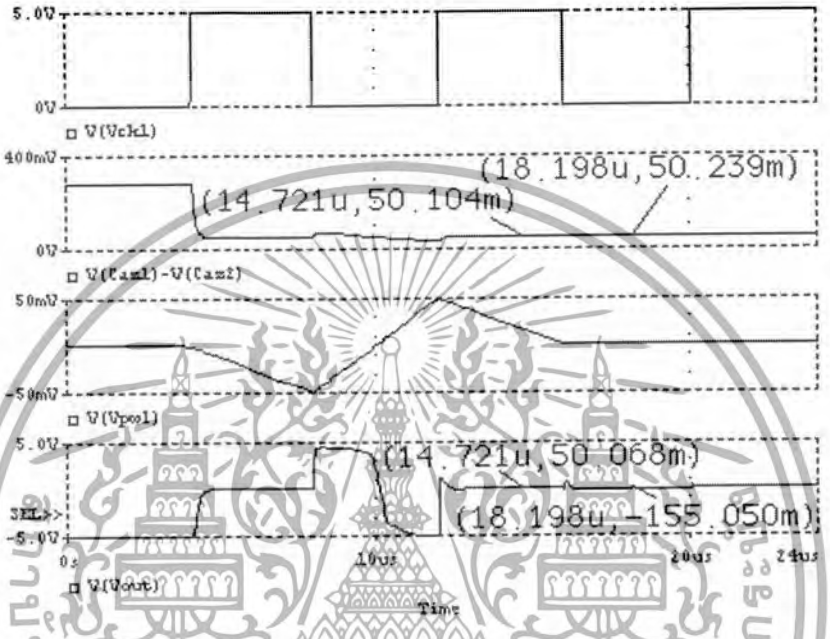



รูปที่ 4.18 วงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันอินพุตออฟเซต
ด้วยวิธีออโต้ซีโร่

ใช้คำสั่ง Transient Analysis หาค่าตั้งแต่เวลา 0 - 24 us จะพบว่าช่วงที่ทำการ auto zero หรือ clock1 เป็น 5V สัญญาณ offset จะไปตกคร่อม Caz เมื่อสัญญาณ clock1 เป็น 0V และสัญญาณ clock2 เป็น 5V วงจรจะทำการตัดส่วน auto zero ออก แรงดันที่ชาร์จประจุคร่อม Caz จะหักล้างกันหมดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

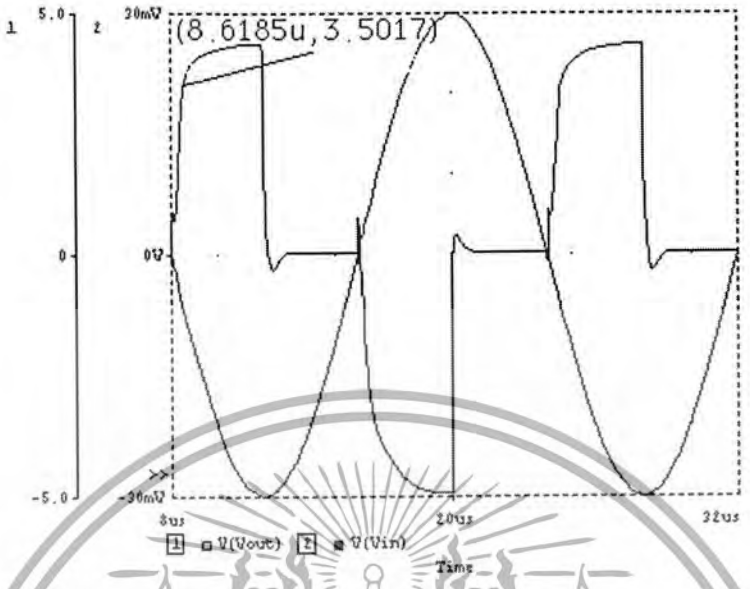
แต่เมื่อสังเกตจากการทดลองจะพบว่าแรงดันคร่อม Caz หักล้างกันไม่หมดเป็นศูนย์พอดี เนื่องจากผลความผิดพลาดของมอสสวิตช์ (ผลของชาร์จอินเจกชั่นและคล็อกฟีดธรู) ทำให้แรงดัน offset ยังไม่เป็นศูนย์พอดี แต่ไม่มีความสำคัญมากนักเนื่องจากมีค่าน้อยมาก




รูปที่ 4.19 กราฟผลการทดลองการชดเชยแรงดันอินพุตออฟเซต

4. ทำการป้อนสัญญาณอินพุทที่ขา V- ด้วยแหล่งจ่าย VSIN กำหนดให้ vampl = 30mV, freq = 62.5 kHz, Voff = 0V ความถี่สัญญาณนาฬิกาเท่าเดิม จะได้สัญญาณเอาต์พุตดังรูปที่ 4.20 ซึ่งถือว่าวงจรสามารถทำงานให้เอาต์พุตลอจิกแก่วงจรซีมอสได้ ซึ่งมีความถูกต้องไม่ต่ำกว่า 30 mV ถ้าต่ำกว่านี้วงจรจะทำงานผิดพลาด (วงจรซีมอสต้องการระดับแรงดันอินพุตต่ำและอินพุตสูงประมาณ 30% และ 70% ของแหล่งจ่าย หรือก็คือ ±3.5V)

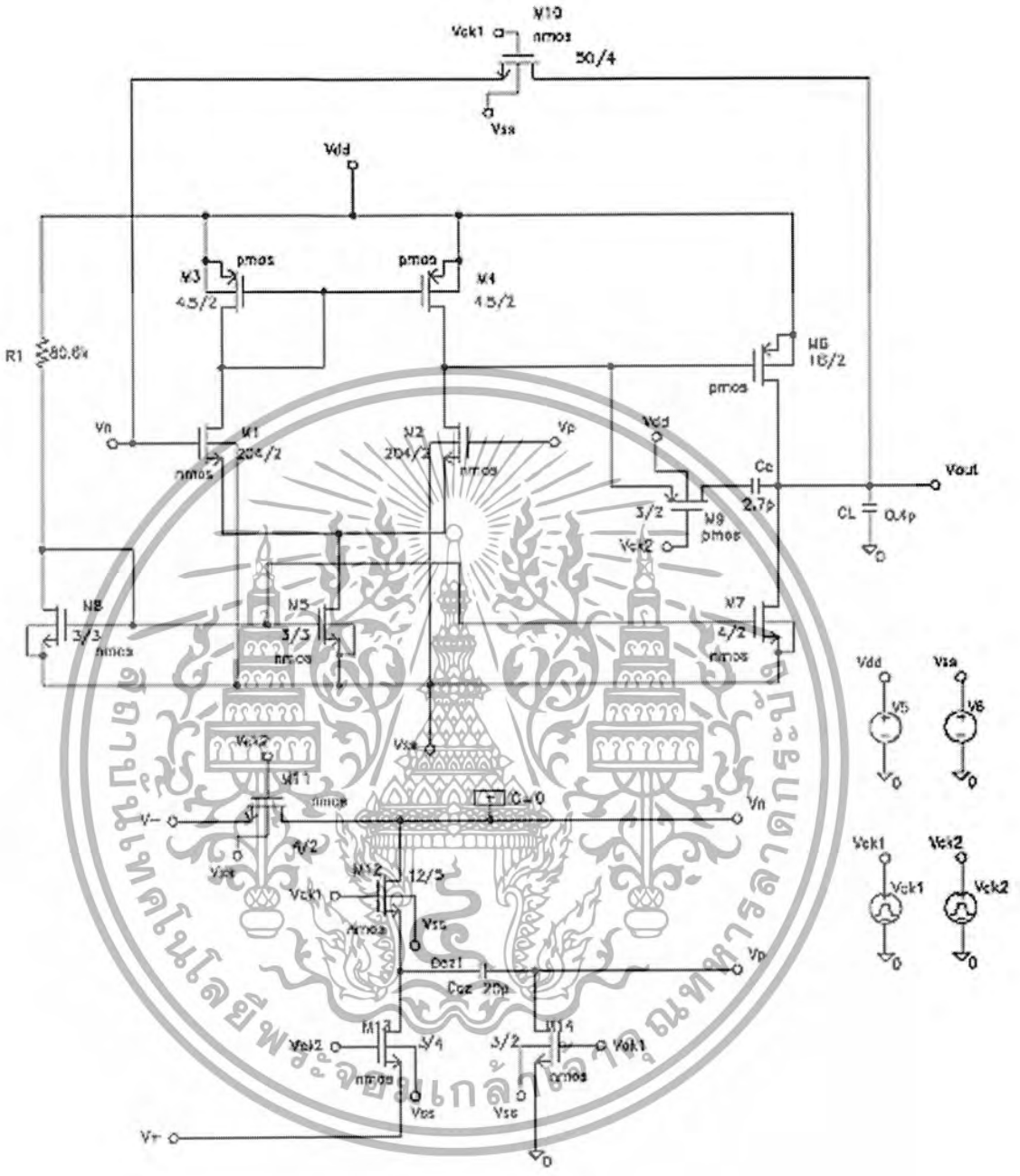
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.20 สัญญาณเอาต์พุตของวงจรที่มีการชดเชยแรงดันออฟเซท

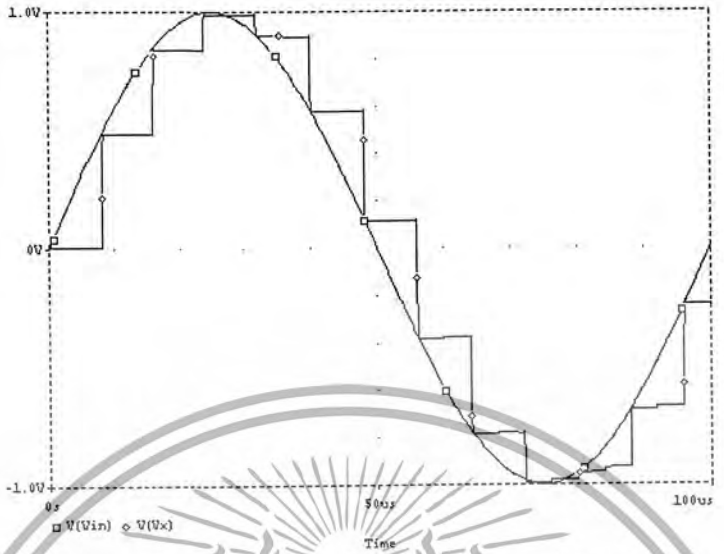
3. ต่อวงจรในรูปที่ 4.21 ให้ Vin เป็นคลื่นรูปซายน์มีความถี่ 20KHz และ Vsam เป็น Vpwl มี v1 = 0, v2 = 5, td = 4u, tr = 20p, tf = 20p, pw = 0.1u, per = 4u จำลองการทำงานแบบ Transient analysis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

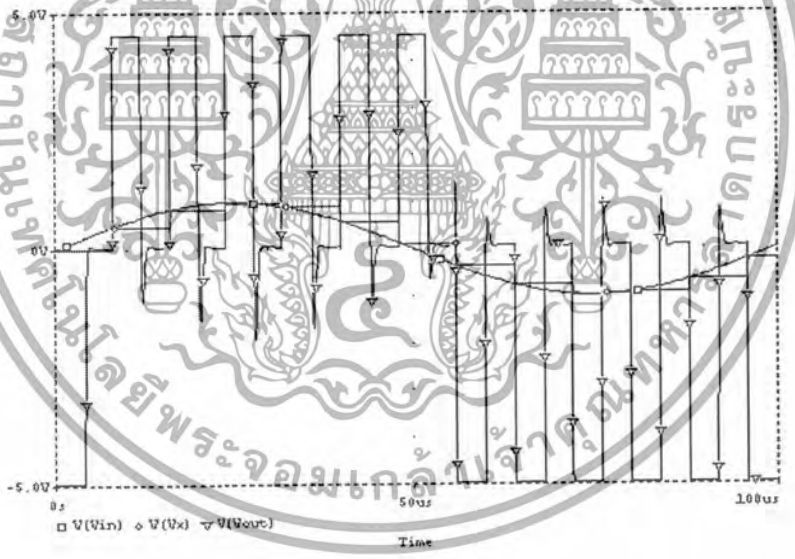



รูปที่ 4.21 วงจรคอมพาราเตอร์ที่มีการชดเชยแรงดันอินพุตออฟเซต
และวงจรแซมเปิ้ลแอนด์โฮลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.22 สัญญาณเอาต์พุตจากวงจรแซมเปิ้ลแอนด์โฮลด์




รูปที่ 4.23 สัญญาณเอาต์พุตจากวงจรคอมพาราเตอร์

### 4.2.3 การออกแบบและทดลองวงจรแลตช์

ในการออกแบบวงจรแลตช์ เรากำหนดให้พร็อบเพเกชั่นดีเลย์ไทม์น้อยกว่า 1 us มากๆ ซึ่งการทำงานของวงจรแลตช์มีความเร็วมากกว่าวงจรคอมพาราเตอร์มาก ทำให้ไม่ต้องกังวลเรื่องความเร็ว การออกแบบจึงกำหนดให้ขนาดของมอสทรานซิสเตอร์มีขนาดเล็ก และให้วงจรทำงานแบบสมมาตรคือ ค่าไรซ์ไทม์เท่ากับฟอลไทม์ ดังนั้นจะได้ขนาดของมอสทรานซิสเตอร์เป็นไปตามสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_M = \frac{V_{DD} + V_{TP} + V_{TN}\sqrt{\frac{K_N}{K_P}}}{1+\sqrt{\frac{K_N}{K_P}}} \tag{4.3}$$

$$\frac{S_N}{S_P} = \frac{K'_P}{K'_N}\left(\frac{V_{DD} + V_{TP} - V_M}{V_M - V_{TN}}\right)^2$$

โดย $V_M = 2.5V$

จะได้ $$\frac{S_N}{S_P} = \frac{19.15\mu}{52.89\mu}\left(\frac{5+(-0.97)-2.5}{2.5-0.81}\right)^2$$

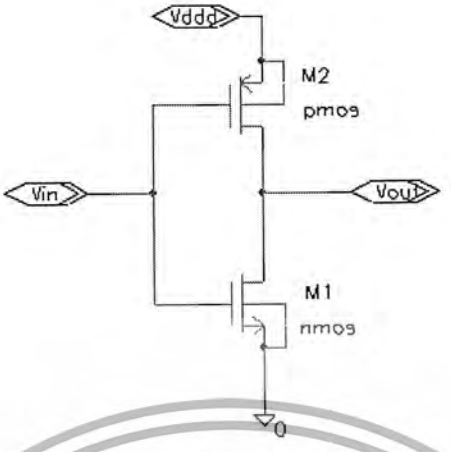
$$S_P = 3.37S_N$$

กำหนดให้ $S_N = 1.5 = 3\mu / 2\mu$

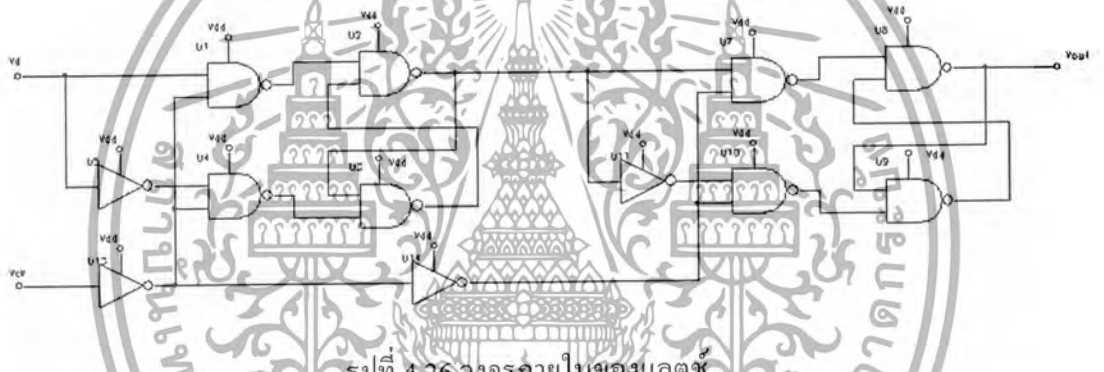
$S_P = 5.05 \cong 10\mu / 2\mu$

รูปที่ 4.24 วงจรแนนด์เกท

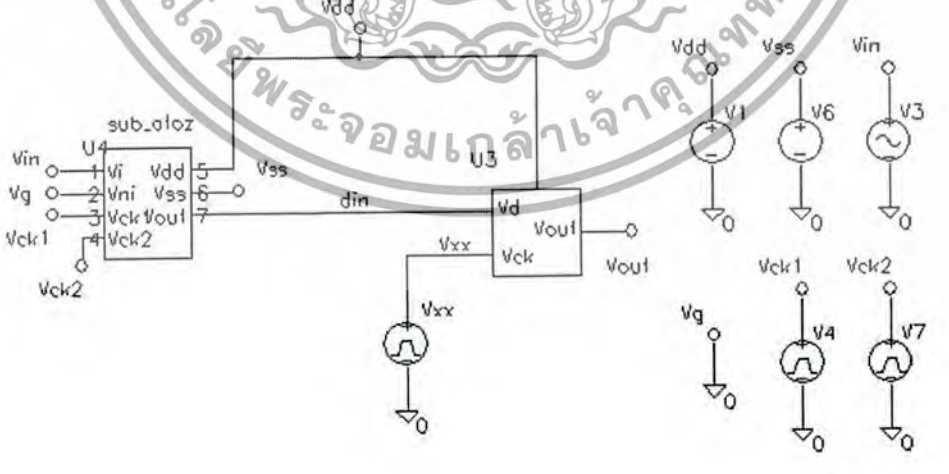
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.25 วงจรอินเวอร์เตอร์



รูปที่ 4.26 วงจรภายในของแลตช์

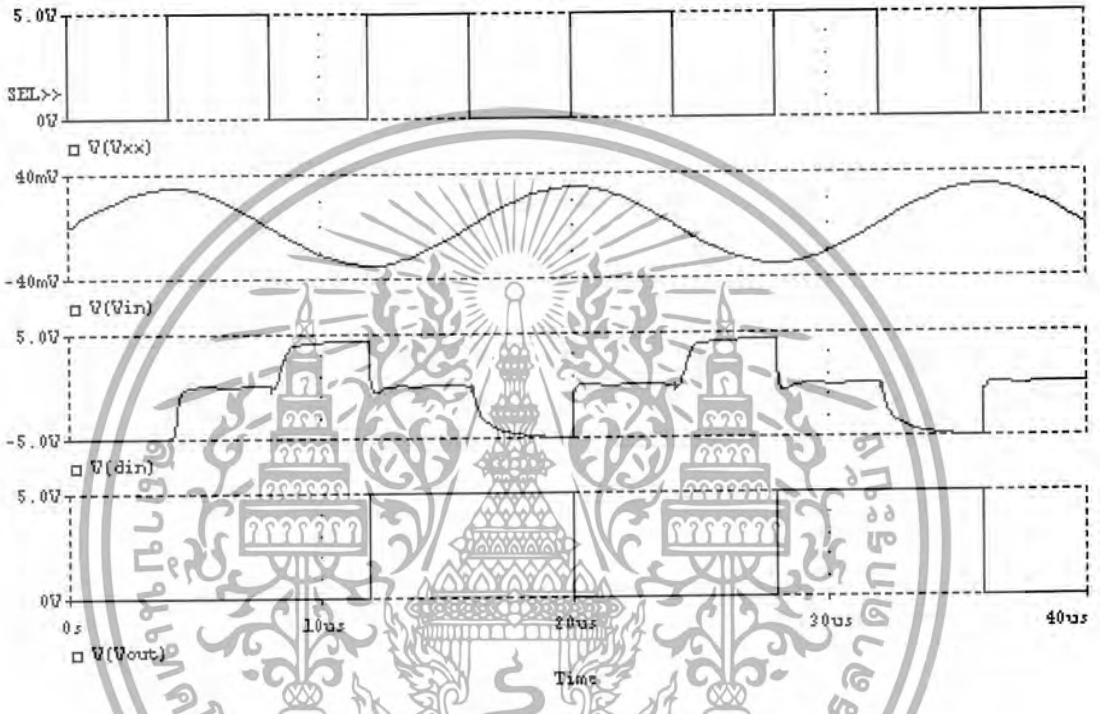



รูปที่ 4.27 วงจรทดลองการทำงานของวงจรแลตช์ร่วมกับคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ผลการจำลองการทำงาน**

ทำการสร้างวงจรแนนด์เกทและวงจรอินเวอร์เตอร์ตามรูป จากนั้นทำการต่อร่วมกันเป็นวงจรแลตช์ ทดลองต่อร่วมกับวงจรคอมพาราเตอร์ โดยนำสัญญาณเอาต์พุตของวงจรที่มีการชดเชยแรงดันออฟเซทมาเป็นอินพุตของวงจรแลตช์




รูปที่ 4.28 ผลแสดงการแลตช์ค่าเอาต์พุตของวงจรคอมพาราเตอร์

**4.2.4 การออกแบบและทดลองวงจรเอ็นโค้ดเดอร์**

จากรูปที่ 3.6 ในวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต แรงดันเอาต์พุตจากคอมพาราเตอร์ที่เป็นรหัสเทอร์โมมิเตอร์โค๊ดจะเข้าสู่วงจรแนนด์เกท และแรงดันเอาต์พุตจากแนนด์เกทจำนวน 15 ตัวจะเข้ามาเป็นแรงดันอินพุตของวงจรเอ็นโค้ดเดอร์ และวงจรเอ็นโค้ดเดอร์จะแปลงสัญญาณออกเป็นรหัสไบนารี่ 4 บิต โดยมีตารางความจริงแสดงดังตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ตารางความจริงของวงจรเอ็นโค้ดเดอร์

| $a_{15}$ | $a_{14}$ | $a_{13}$ | $a_{12}$ | $a_{11}$ | $a_{10}$ | $a_9$ | $a_8$ | $a_7$ | $a_6$ | $a_5$ | $a_4$ | $a_3$ | $a_2$ | $a_1$ | $b_3$ | $b_2$ | $b_1$ | $b_0$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

จากตารางที่ 4.1 สามารถวิเคราะห์สมการของเอาต์พุตไบนารี่ได้ดังนี้

$$b_3 = \overline{a}_{15} + \overline{a}_{14} + \overline{a}_{13} + \overline{a}_{12} + \overline{a}_{11} + \overline{a}_{10} + \overline{a}_9 + \overline{a}_8 \tag{4.3}$$

$$b_2 = \overline{a}_{15} + \overline{a}_{14} + \overline{a}_{13} + \overline{a}_{12} + \overline{a}_7 + \overline{a}_6 + \overline{a}_5 + \overline{a}_4 \tag{4.4}$$

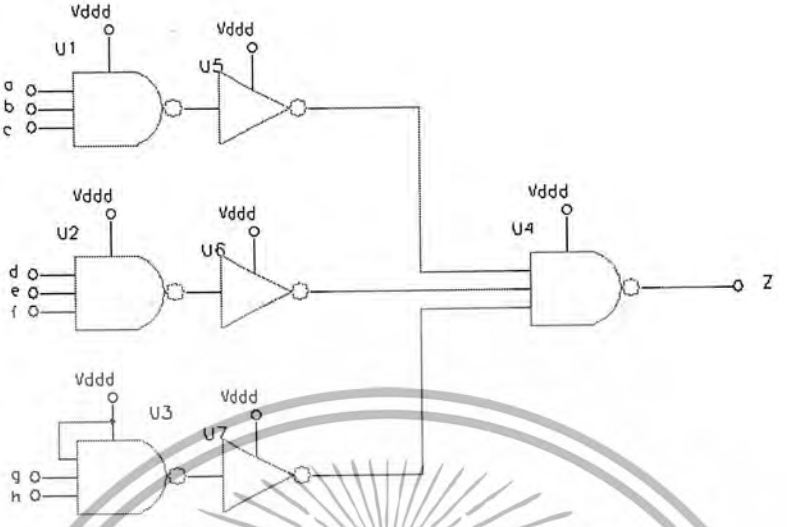
$$b_2 = \overline{a}_{15} + \overline{a}_{14} + \overline{a}_{11} + \overline{a}_{10} + \overline{a}_7 + \overline{a}_6 + \overline{a}_3 + \overline{a}_2 \tag{4.5}$$

$$b_3 = \overline{a}_{15} + \overline{a}_{13} + \overline{a}_{11} + \overline{a}_9 + \overline{a}_7 + \overline{a}_5 + \overline{a}_3 + \overline{a}_1 \tag{4.6}$$

แต่เนื่องจากการต่อวงจรตามสมการข้างต้นจะพบว่าต้องใช้ออเกทที่มีอินพุตถึง 8 อินพุต พบว่า แรงดันคร่อมพีมอสทรานซิสเตอร์จะมีค่ามาก ทำให้แรงดันเอาต์พุตที่ออกมาไม่ถูกต้องดังนั้น จึงทำการแปลงสมการข้างต้นเพื่อสร้างวงจรลอจิกดังนี้ (เพื่อความถูกต้องของวงจร ควรมีอินพุตไม่เกิน 3 อินพุต)

$$\begin{aligned} Z &= \overline{a} + \overline{b} + \overline{c} + \overline{d} + \overline{e} + \overline{f} + \overline{g} + \overline{h} \\ &= \overline{\left(\overline{a} + \overline{b} + \overline{c}\right) + \left(\overline{d} + \overline{e} + \overline{f}\right) + \left(\overline{g} + \overline{h}\right)} \\ &= \overline{\left(\overline{a} + \overline{b} + \overline{c}\right) \bullet \left(\overline{d} + \overline{e} + \overline{f}\right) \bullet \left(\overline{g} + \overline{h}\right)} \\ &= \overline{\left(a \cdot b \cdot c\right) \bullet \left(d \cdot e \cdot f\right) \bullet \left(g \cdot h\right)} \end{aligned} \tag{4.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

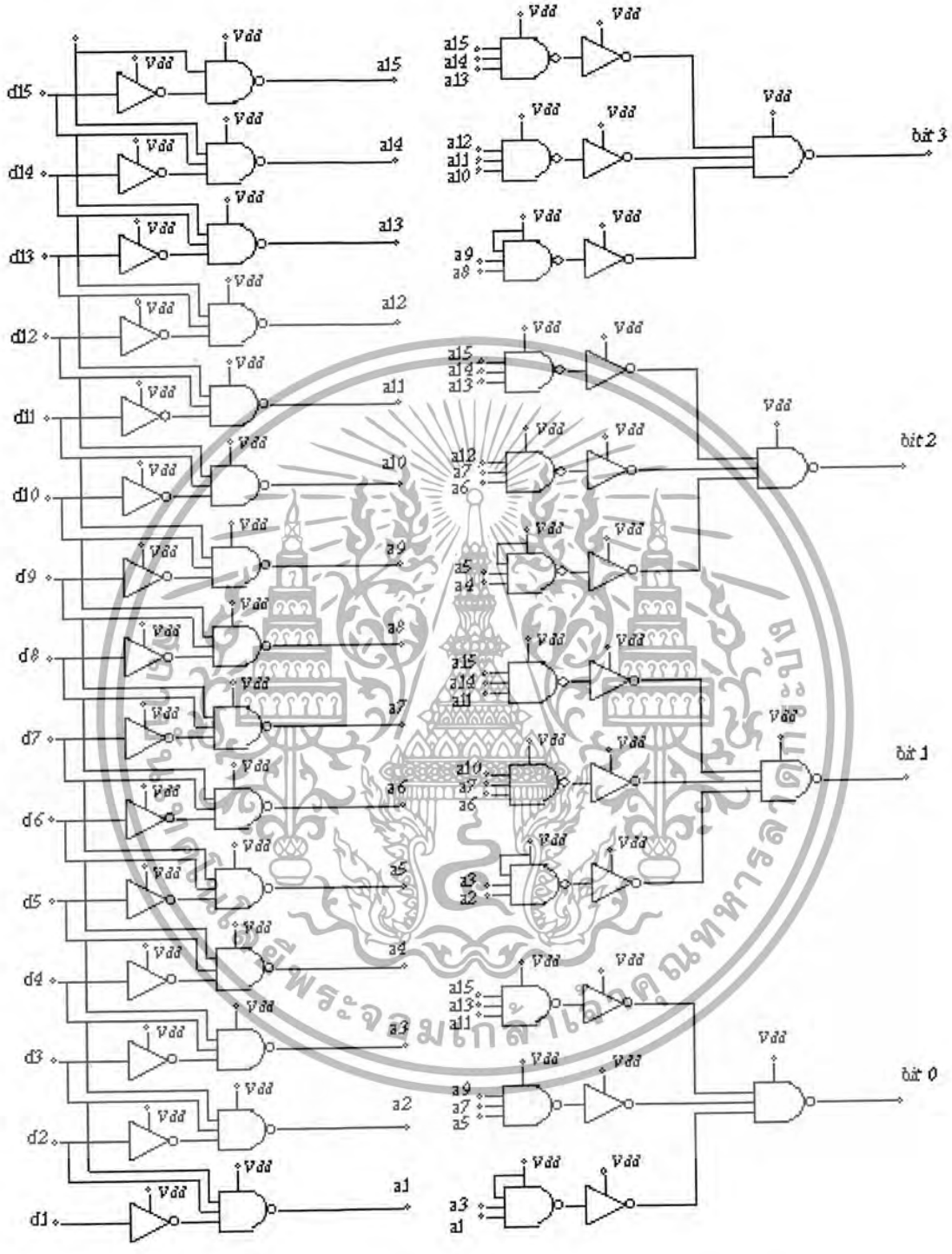



รูปที่ 4.29 วงจรลอจิกของสมการที่ 4.7

**ผลการจำลองการทำงาน**

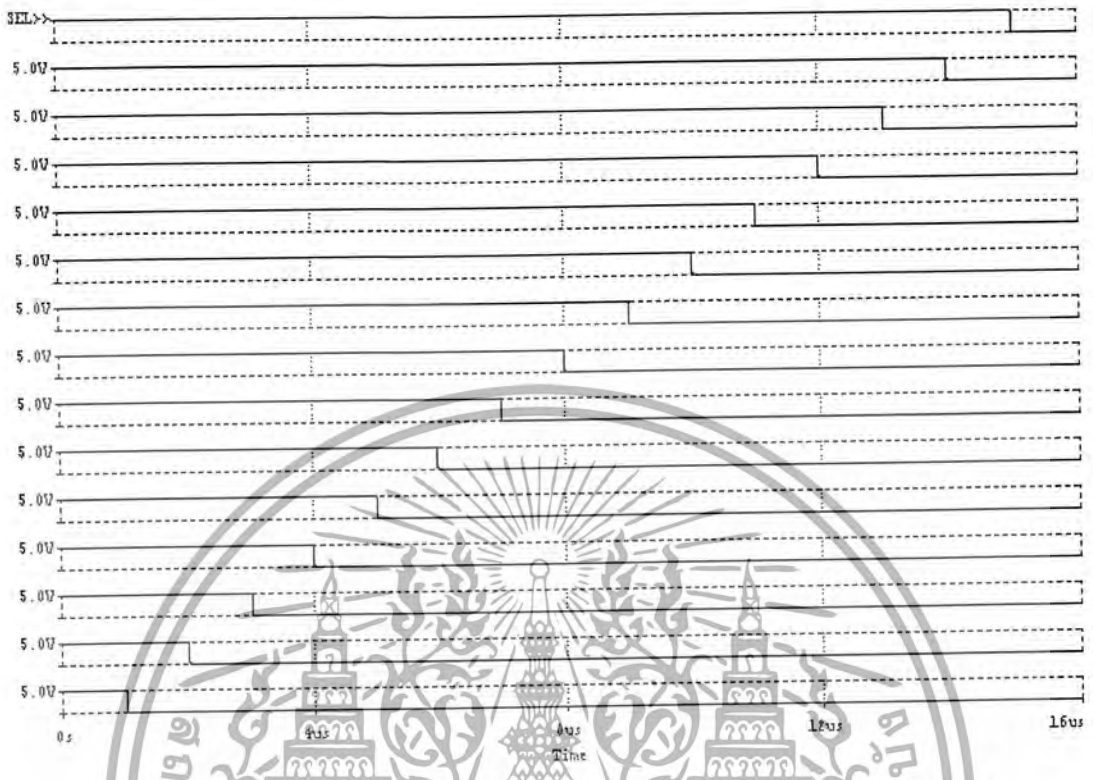
1. ต่อวงจรดังรูปที่ 4.30 ป้อนสัญญาณพัลซ์เพื่อเป็นแรงดันอินพุตของแนนด์เกทแทนแรงดันเอาต์พุตจากคอมพาราเตอร์จำนวน 15 ค่า ดังรูปที่ 4.31 และจำลองการทำงานแบบ Transient analysis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

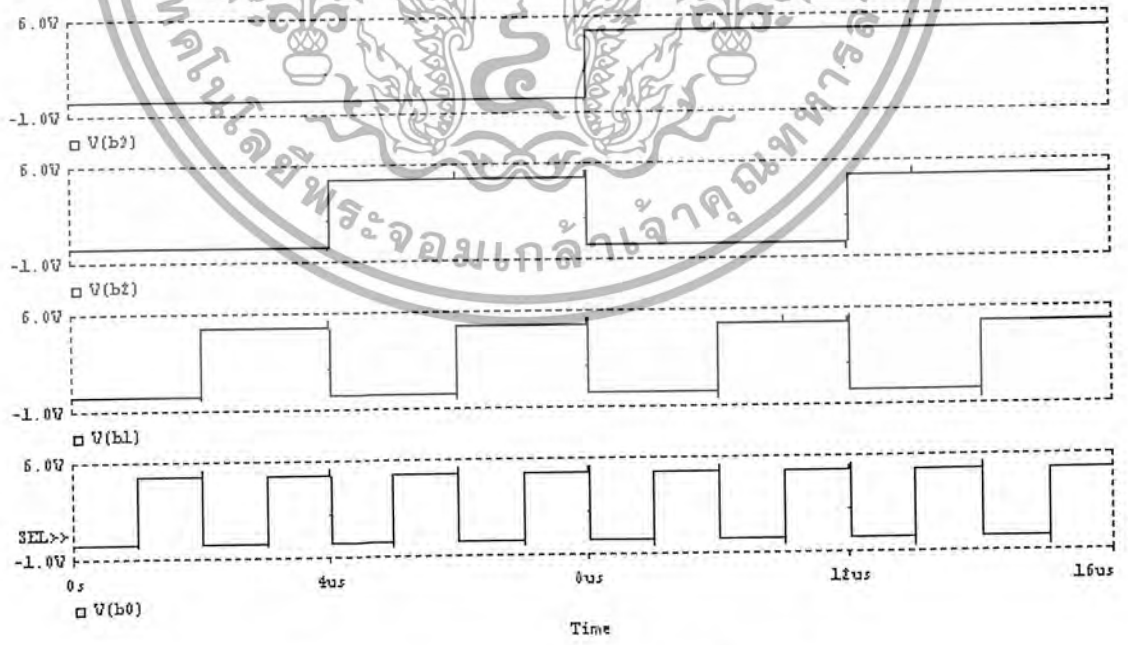



รูปที่ 4.30 การต่อวงจรทดลองการทำงานของวงจรเทอร์โมมิเตอร์โค้ดและเอ็นโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.31 สัญญาณอินพุตของแนนด์เกทหรือสัญญาณเอาต์พุตจากคอมพาราเตอร์

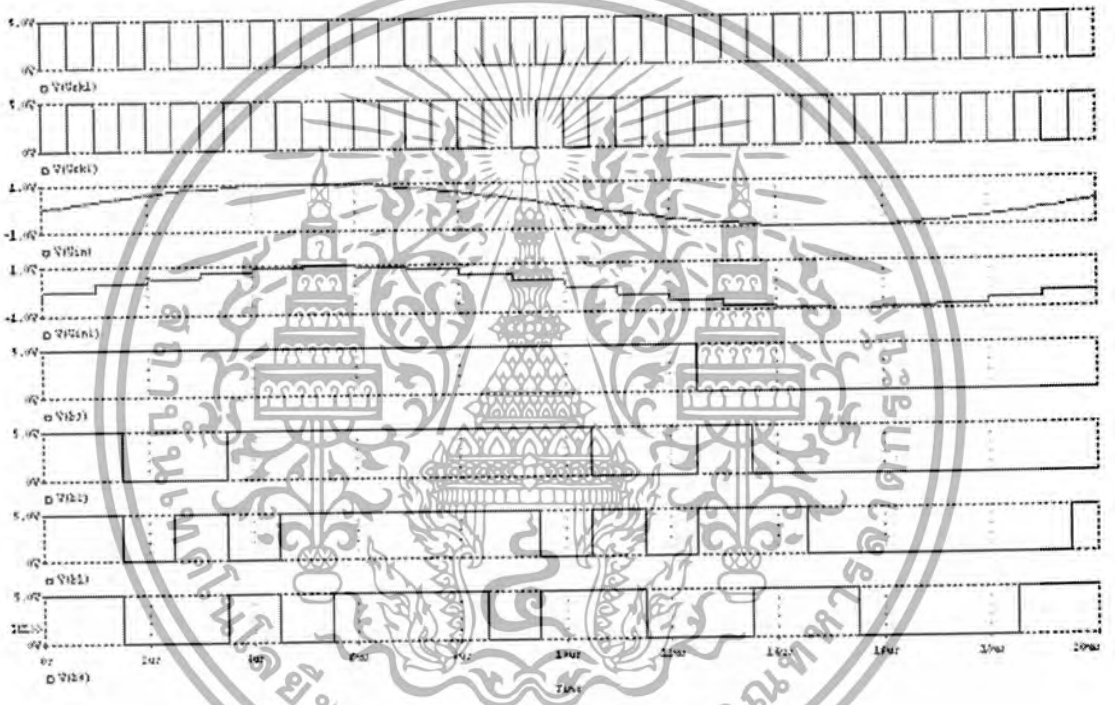



รูปที่ 4.32 สัญญาณเอาต์พุตของวงจรเอ็นโค้ดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

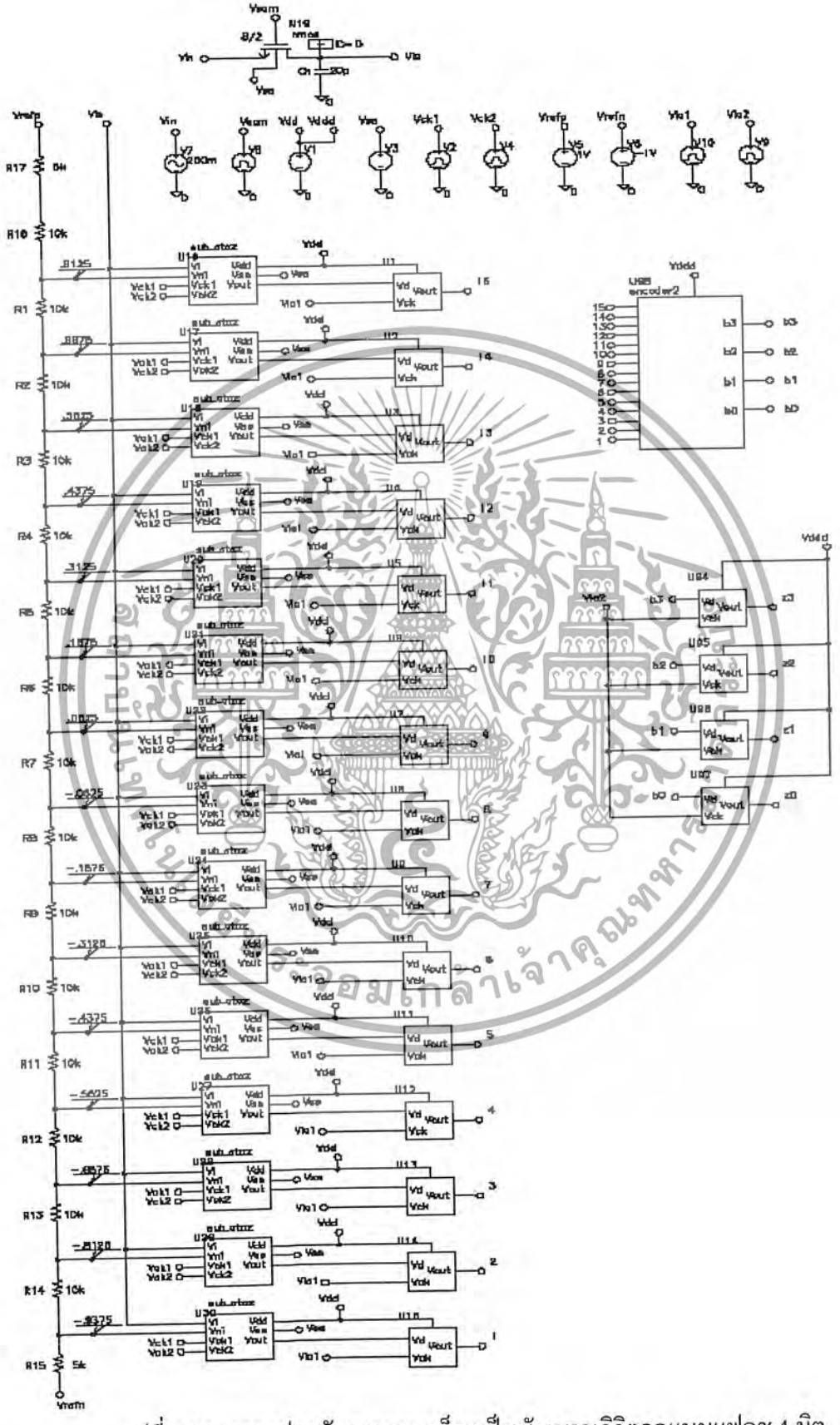
### 4.2.5 ผลการทดลองวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

เมื่อได้ทำการออกแบบวงจรย่อยทั้งหมดแล้ว ทำการต่อวงจรรวมกันทั้งหมดแล้วจำลองการทำงานอีกครั้ง โดยต่อวงจรตามรูปที่ 4.34 แล้วป้อนอินพุตเพื่อทดสอบการแปลงสัญญาณอนาลอกซายน์เวฟขนาด 2 Vp-p โดยใช้แรงดันอ้างอิง -1 ถึง 1 โวลท์ ใช้ความถี่สัญญาณนาฬิกา1 MHz แหล่งจ่ายแรงดันไฟเลี้ยง ±5 V วงจรจะทำงานได้เอาต์พุตดิจิตอลเมื่อสัญญาณ Vck2 เปลี่ยนระดับจาก 0 เป็น 1



รูปที่ 4.33 ผลการจำลองวงจรในรูปที่ 4.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

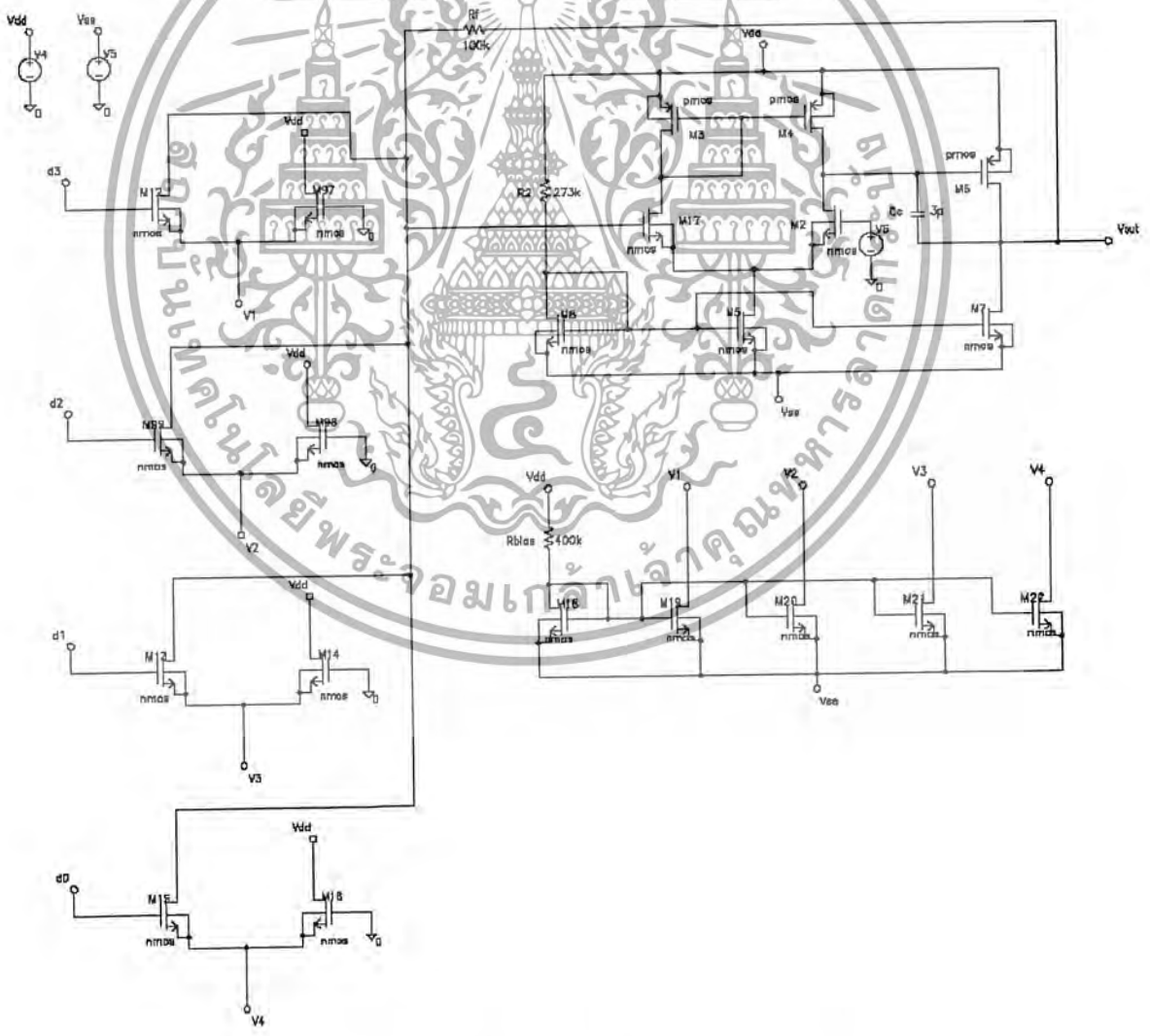


รูปที่ 4.34 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.3 การออกแบบและการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก**

ในวงจรที่ได้ออกแบบไว้จะประกอบไปด้วยแหล่งจ่ายกระแสทั้งหมด 4 ชุด ซึ่งแต่ละชุดได้มีการถ่วงน้ำหนักค่ากระแสไว้ โดยแหล่งจ่ายกระแสสามารถสร้างได้จากมอสที่ทำงานในช่วงอิ่มตัวและสะท้อนกระแสค่าต่างๆโดยการกำหนดค่า W/L เพื่อให้ได้กระแสแต่ละโหนดตามที่กำหนด ภายในวงจรยังมีสวิตช์ที่สัมพันธ์กับค่าสัญญาณดิจิตอลที่ทำหน้าที่เปิดปิดให้กระแสไหลผ่าน ซึ่งการออกแบบสวิตช์จะใช้วงจรขยายผลต่างโดยให้อินพุตด้านหนึ่งเป็นกราวด์ ส่วนอีกด้านเป็นสัญญาณดิจิตอลที่ถูกกดระดับแรงดันสัญญาณจาก 0 และ 5 โวลต์ เป็น -5 และ 5 โวลต์ โดยกระแสเกือบทั้งหมดจะไหลผ่านด้านที่มีแรงดันที่เกทมากกว่า จากนั้นกระแสที่ไหลผ่านสวิตช์จะไปรวมกันผ่านเข้าวงจรขยายกลับเฟสได้เป็นแรงดันเอาต์พุตออกมา




รูปที่ 4.35 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรสะท้อนกระแส กำหนดให้มีกระแสเท่ากับ 10μA และ M9 มีขนาดเล็กที่สุดได้ W/L = 40/5

$$V_{G13} = \sqrt{\frac{2I_D}{K'_{13}S_{13}}} + V_T$$

$$= \sqrt{\frac{2\times10\times10^{-6}}{5.29\times10^{-5}\times8}} + 0.81$$

$$= 1.03$$

$$R_{bias} = \frac{-(V_{G13} - V_{SS})}{I_D}$$

$$= \frac{-(1.03-5)}{10\mu}$$

$$= 400K\Omega$$

กระแสที่ผ่านในแต่ละเส้นเป็น I, I/2, I/4, I/8 ดังนั้นค่า W ของส่วนสะท้อนกระแสแต่ละตัวมีค่าดังนี้ $W_{10}$ = 40μ, $W_{11}$ = 20μ, $W_{12}$ =10μ, $W_{13}$ = 5μ จากนั้นคำนวณหาค่า W/L ของตัววงจรสวิตช์ ซึ่งสวิตช์ทั้ง 4 ตัวจะมีขนาดเท่ากัน เนื่องจากระดับแรงดันสัญญาณดิจิตอลเป็นไปได้ 2 ค่า คือ 0 และ -5 โวลต์เมื่อระดับแรงดันเป็น 0 โวลต์ กระแสจะไหลผ่านไปยังออปแอมป์ได้ และมีแรงดันคร่อมเกทและซอสเป็น

$$V_G - V_{DS1} = 0 - (-3.97) = 3.97V$$

จาก
$$I_D = \frac{1}{2}K'\frac{W}{L}(V_{GS} - V_T)^2$$

$$10\mu = \frac{1}{2}\times(52.9\mu)\times\frac{W}{5\mu}\times(3.97-0.81)^2$$

$$W = 0.19\mu m$$

ใช้ขนาด W เป็น 5 μ จากนั้นทำการหาค่าความต้านทานป้อนกลับที่ออปแอมป์ เมื่อกำหนดให้แรงดันค่าสูงสุดทางเอาต์พุตของออปแอมป์เป็น 1.875 V กระแสเต็มที่ทั้งหมดจะไหลผ่านตัวต้านทานป้อนกลับเป็น 15I/8 = 18.75 μA

$$R_F = \frac{1.875}{18.75\mu}$$

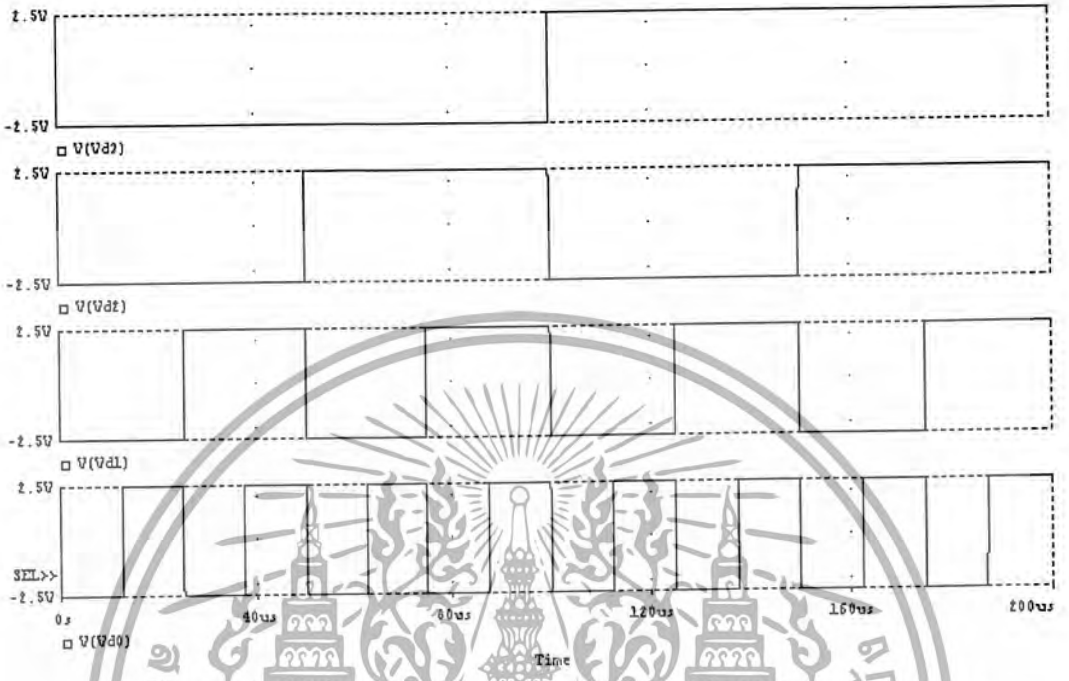
$$= 100K\Omega$$

**ผลการจำลองการทำงาน**

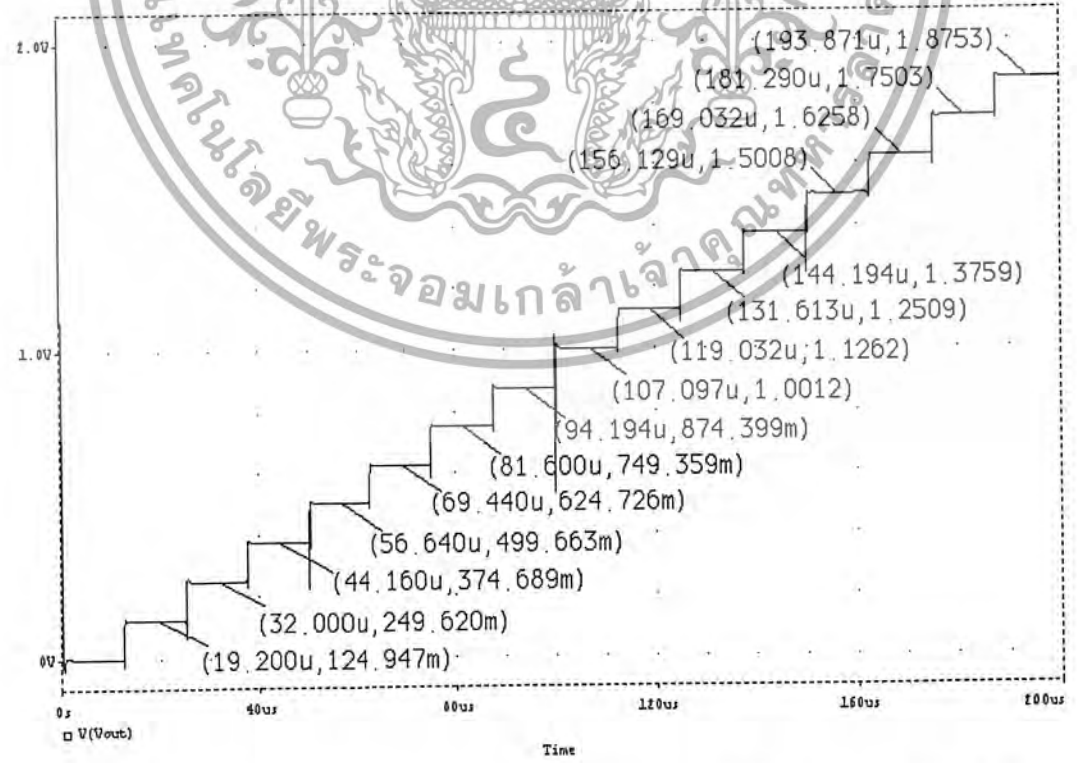
ต่อวงจรดังรูปที่ 4.35 ป้อนสัญญาณพัลซ์เพื่อเป็นแรงดันอินพุตดิจิตอลของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกแทนแรงดันเอาต์พุตจากวงจรแปลงสัญญาณอนาล็อกเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอล ดังรูปที่ 4.36 และจำลองการทำงานแบบ Transient analysis




รูปที่ 4.36 สัญญาณอินพุตของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก




รูปที่ 4.37 ผลการจำลองการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

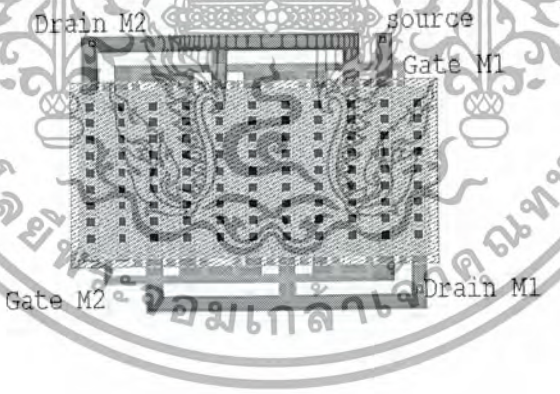
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.4 การออกแบบเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต**

การออกแบบเลย์เอาต์จะทำการกำหนดขนาดของมอสทรานซิสเตอร์แต่ละตัวในลักษณะการต่อกันทางโครงสร้างของชั้นสาร และนำทรานซิสเตอร์แต่ละตัวมาต่อรวมกัน โดยการออกแบบจะต้องเป็นไปตามกฎการออกแบบ (Design Rule) และคำนึงถึงการเกิดตัวเก็บประจุที่ไม่ต้องการจากวงจร ซึ่งถ้าหากออกแบบได้ไม่เหมาะสมวงจรที่ได้อาจจะทำงานผิดพลาดไปจากที่ต้องการ เนื่องจากตัวเก็บประจุแฝงมีค่ามากเกินไป ดังนั้นการออกแบบวงจรเลย์เอาต์ต้องคำนึงถึงความถูกต้องด้วย

**4.4.1 การออกแบบเลย์เอาต์วงจรขยายแบบดิฟเฟอเรนเชียล**

จากที่ได้กำหนดขนาดมอสทรานซิสเตอร์จากการทดลองข้างต้นพบว่าขนาดของคู่ของวงจรขยายดิฟเฟอเรนเชียลต้องออกแบบให้มีความสมมาตรกันหรือมีคุณสมบัติเหมือนกัน เพื่อลดการเกิดแรงดันอินพุตออฟเซท และเพื่อลดขนาดของทรานซิสเตอร์ให้มีขนาดลดลงกว่าเดิมด้วย ดังนั้น จึงได้ออกแบบคู่ของวงจรขยายดิฟเฟอเรนเชียลด้วยเลย์เอาต์แบบ คอมม่อนเซนทรอยด์ (Common-centroid) ดังรูป




รูปที่ 4.38 เลย์เอาต์แบบคอมม่อนเซนทรอยด์ของวงจรขยายแบบดิฟเฟอเรนเชียล

**4.4.2 การออกแบบเลย์เอาต์ของตัวต้านทาน**

จากนั้นทำการออกแบบตัวต้านทานที่ไบอัสกระแสให้กับวงจร ซึ่งจากการออกแบบตัวต้านทานมีขนาด 80 กิโลโอห์ม โดยเราจะใช้ความต้านทานที่สร้างจากชั้นสารของบ่อเอ็น (n-well) ซึ่งมีค่าสภาพความต้านทานเท่ากับ 2643 โอห์มต่อพื้นที่สี่เหลี่ยมจัตุรัส เราจะทำการออกแบบโดยใช้ตัวต้านทานขนาด 8 กิโลโอห์มต่อกันทั้งหมด 10 ตัว เพื่อลดขนาดพื้นที่ของวงจร ซึ่งออกแบบตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ $R = \rho_s \frac{L}{W}$ และออกแบบตัวต้านทานเพื่อแบ่งแรงดันที่ใช้ในวงจรแปลงสัญญาณอนาล็อก เป็นดิจิตอลแบบแฟลชโดยมีขนาด 5 กิโลโอห์มและ10 กิโลโอห์ม

รูปที่ 4.39 แสดงตัวต้านทานขนาด 80k Ω , 5k Ω และ10k Ω

**4.4.3 การออกแบบเลย์เอาต์ของตัวเก็บประจุ**

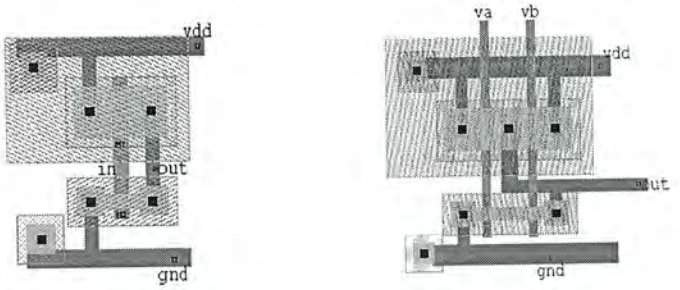
ตัวเก็บประจุที่ใช้ในวงจรประกอบด้วยตัวเก็บประจุเพื่อชดเชยทางเฟสของคอมพาราเตอร์ ซึ่งมีขนาด 2.7 พิโคฟารัด และตัวเก็บประจุเพื่อลดแรงดันออฟเซทขนาด 20 พิโคฟารัด สำหรับตัวเก็บประจุ 2.7 พิโคฟารัดจะสร้างจากชั้นของโพลี่ซิลิคอนชั้นที่ 1 กับชั้นของโพลี่ซิลิคอนชั้นที่ 2 เนื่องจากต้องการความถูกต้องของตัวเก็บประจุสูง เพราะถ้าหากการชดเชยทางเฟสไม่ถูกต้องจะทำให้การชดเชยทางเฟสของวงจรคอมพาราเตอร์ไม่ถูกต้องและจะทำให้วงจรเกิดการออสซิลเลท ในส่วนของตัวเก็บประจุ 20 พิโคฟารัดจะใช้ชั้นของโพลี่ซิลิคอนและเอ็นมอสทรานซิสเตอร์ เนื่องจากไม่ต้องการความถูกต้องมากนัก เพราะใช้เป็นเพียงตัวเก็บประจุเพื่อเก็บแรงดันชดเชยออฟเซท เท่านั้น

รูปที่ 4.40 แสดงตัวเก็บประจุขนาด 2.7pf และ 20pf

**4.4.4 การออกแบบเลย์เอาต์ของวงจรแลตช์**

ในวงจรแลตช์ประกอบไปด้วยอินเวอร์เตอร์และแนนด์เกท 2 อินพุตต่อร่วมกันซึ่งการออกแบบเลย์เอาต์จะใช้ขนาดที่ได้ออกแบบไว้ตั้งแต่ตอนต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

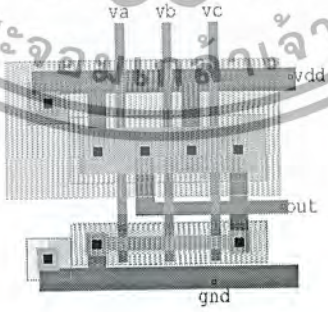



รูปที่ 4.41 วงจรอินเวอร์เตอร์และวงจรแนนด์เกท 2 อินพุต

รูปที่ 4.42 เลย์เอาต์ของวงจรแลตช์

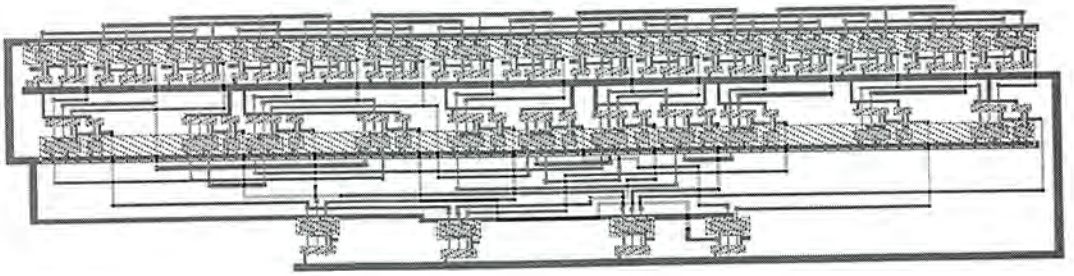
**4.4.5 การออกแบบเลย์เอาต์ของวงจรเอ็นโค้ดเดอร์**

วงจรเอ็นโค้ดเดอร์สร้างจากวงจรเกทพื้นฐานคือ วงจรอินเวอร์เตอร์ วงจรแนนด์เกท 2 อินพุต และวงจรแนนด์เกท 3 อินพุต




**รูปที่ 4.43 เลย์เอาต์ของวงจรแนนด์เกท 3 อินพุต**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



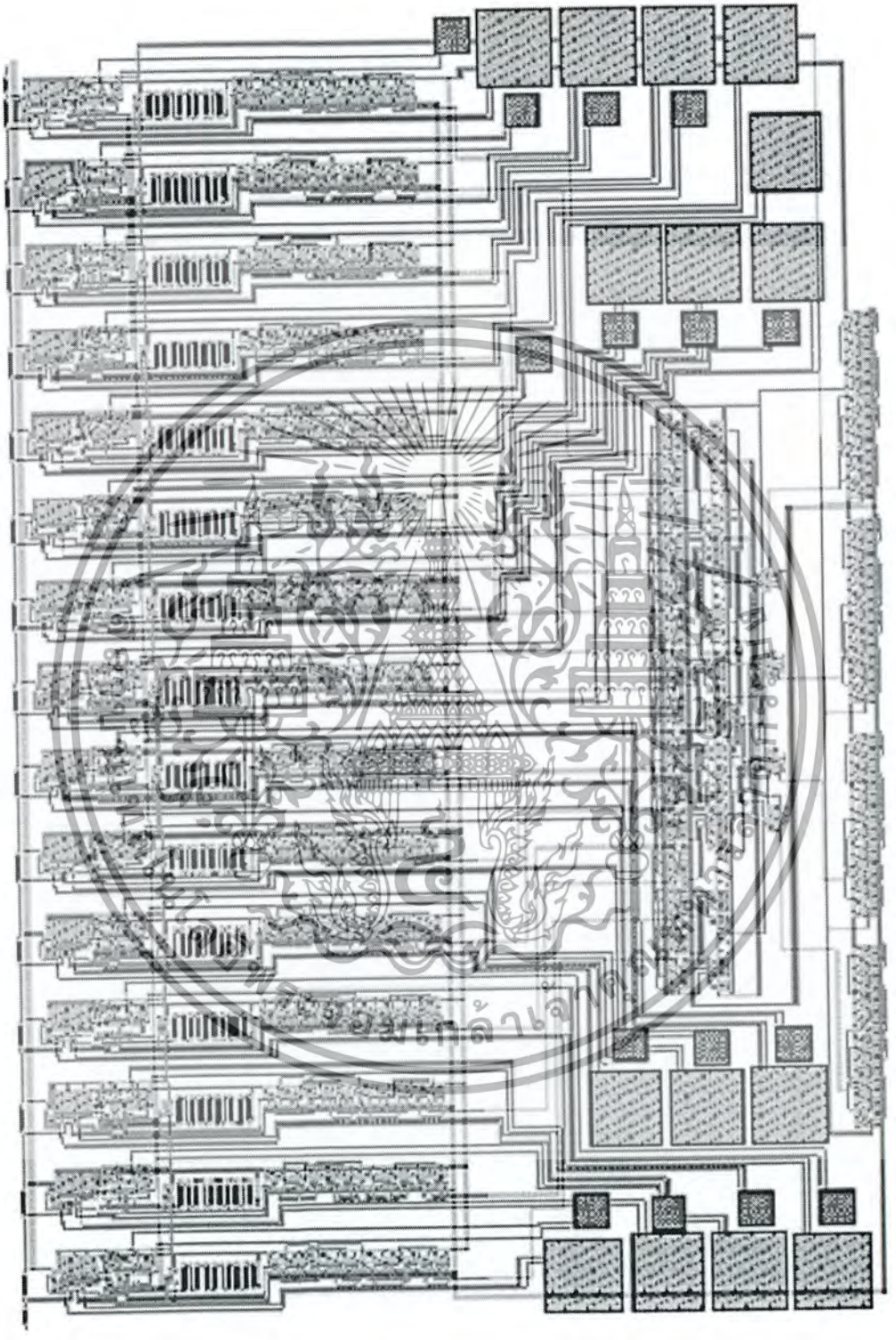
รูปที่ 4.44 เลย์เอาต์ของวงจรเอ็นโค้ดเดอร์

จากวงจรย่อยทั้งหมดนำมาต่อรวมกันเป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิตได้ดังรูป ซึ่งเฉพาะตัววงจรเลย์เอาต์ใช้พื้นที่ทั้งหมดขนาด 1898 μm × 2824 μm ใช้ทรานซิสเตอร์รวมทั้งหมด 1350 ตัว และมีตัวเก็บประจุรวมทั้งตัวเก็บประจุแฝง 621 ตัว

**ผลการทดลอง**

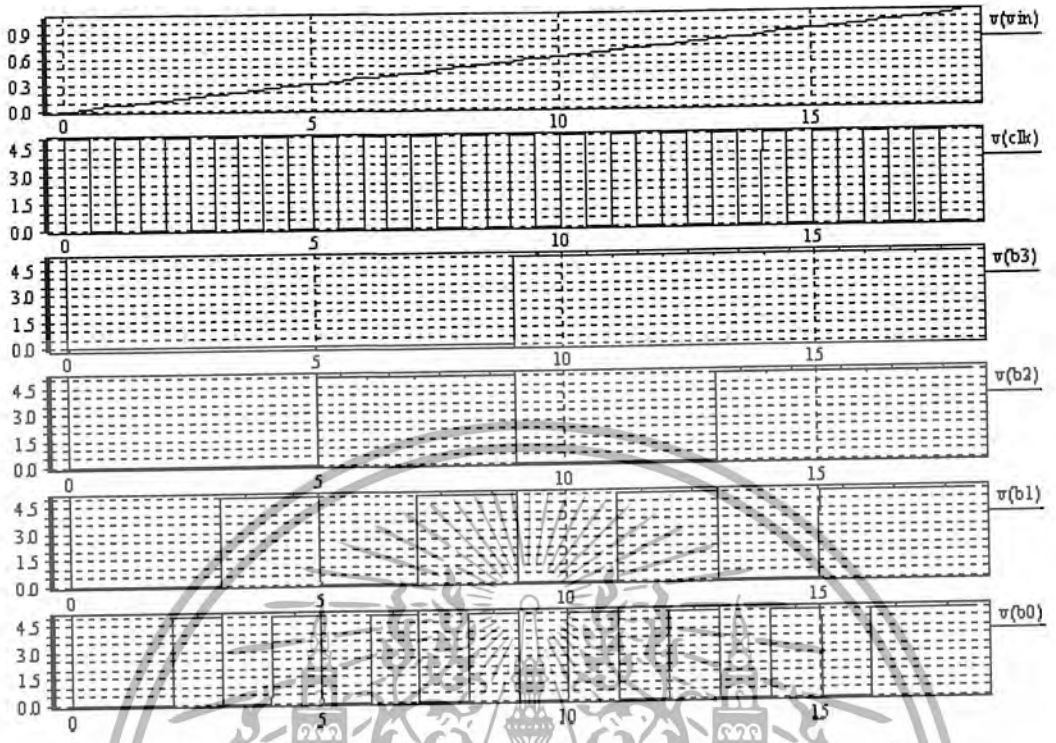
เมื่อต้องการทำการทดลองให้เอ็กซ์แทรกเลย์เอาต์ให้เป็นไฟล์เน็ตลิสต์ที่คิดผลของตัวเก็บประจุแฝงที่เกิดจากโครงสร้างรวมอยู่ด้วย จากนั้นให้ทำการแก้ไขเน็ตลิสต์ด้วยโปรแกรม Tanner T-Spice เพื่อจำลองผลการทำงาน การทดสอบวงจรย่อยแต่ละวงจรจะใช้ลักษณะการทดลองเช่นเดียวกันกับวิธีที่ใช้ในโปรแกรม P-Spice จากนั้นทำการทดสอบวงจรที่ประกอบรวมกัน เราจะทำการทดลองเปรียบเทียบแรงดันของคอมพาราเตอร์โดยใช้แรงดันอ้างอิง 2 V กับกราวด์ ทดลองป้อนแรงดันสัญญาณอินพุตแรมป์ (ramp signal) ขนาด 0- 2.125V ป้อนสัญญาณนาฬิกาความถี่ 1 MHz วัดหาค่าสัญญาณเอาต์พุตดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.45 แสดงเลย์เอาต์ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต

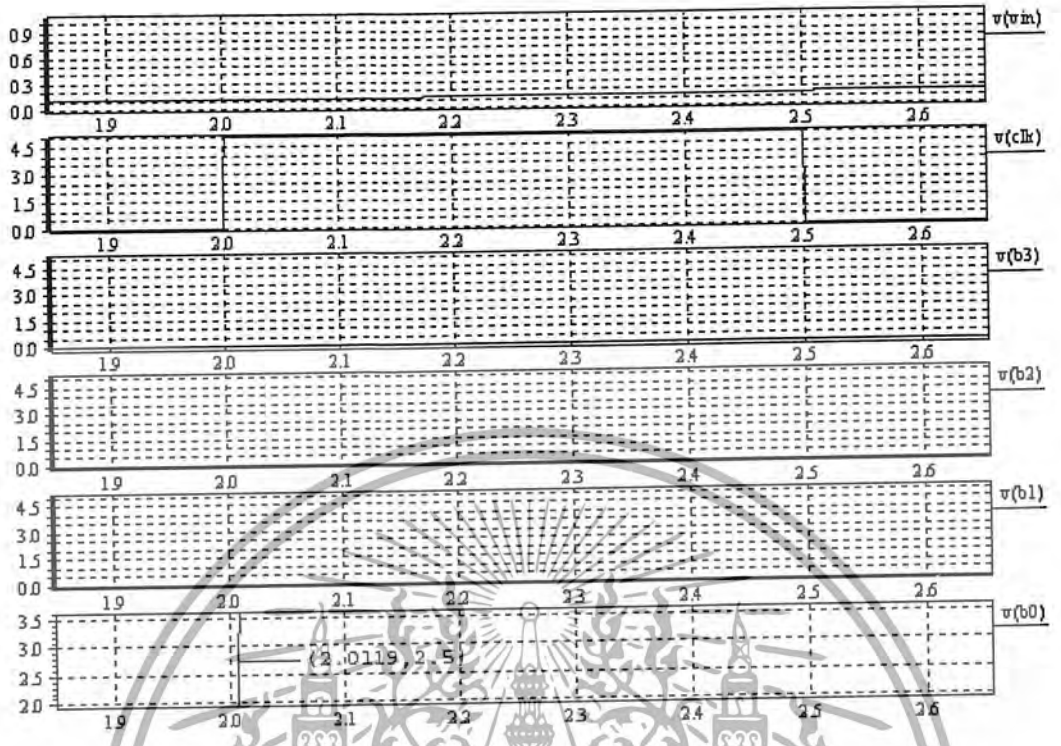
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.46 แสดงสัญญาณเอาต์พุตดิจิตอล

จากกราฟจะพบว่าสัญญาณเอาต์พุตที่ได้ถูกหน่วงออกไปเป็นเวลา 2 คาบของสัญญาณนาฬิกา ดังนั้นช่วงที่สัญญาณถูกหน่วงจะไม่นับ แต่จะเริ่มนับจากช่วงแลตช์เอาต์พุตถึงเวลาที่เอาต์พุตถูกต้อง 50% ซึ่งจะนับเป็นคอนเวอร์ชั่นไทม์ของวงจร ซึ่งจากรูปจะพบว่าวงจรมีคอนเวอร์ชั่นไทม์ 11.9ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.47 แสดงค่าคอนเวอร์ชั่นไทม์ของวงจรแฟลชคอนเวอร์เตอร์

ในการทดลองหาค่าแรงดันออฟเซท ค่าผิดพลาดจากอัตราขยาย ค่าความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล และ ค่าความไม่เป็นเชิงเส้นอินทิกรัล เราจะต้องนำสัญญาณเอาต์พุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลต่อกับวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกเพื่อหากราฟคุณสมบัติระหว่างอินพุตอนาลอกและเอาต์พุตดิจิตอล ดังรูปที่ 4.48

**แรงดันออฟเซท**

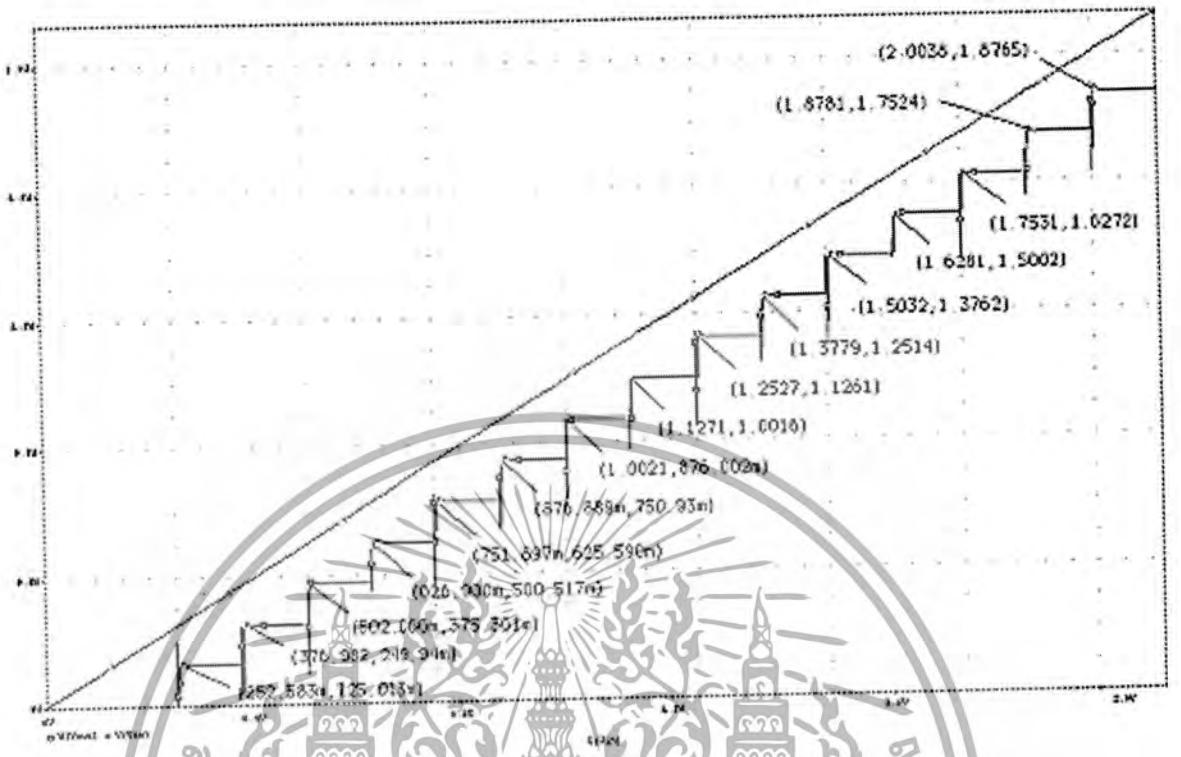
ในการหาแรงดันออฟเซทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะใช้สมการที่ 3.3 ในการคำนวณ และใช้ข้อมูลจากกราฟรูปที่ 4.48

$$E_{off} = \frac{V_{0001}}{V_{LSB}} - \frac{1}{2}LSB$$

$$E_{off} = \frac{252.583mV}{0.125V} - \frac{1}{2}LSB$$

$$E_{off} = 1.520664LSB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.48 แสดงความสัมพันธ์ระหว่างอินพุตอนาลอกกับเอาต์พุตดิจิตอล

**ค่าผิดพลาดจากอัตราขยาย ($E_{gain}$)**

สามารถคำนวณหาค่าผิดพลาดจากอัตราขยายได้จากสมการที่ 3.4 โดยใช้ข้อมูลจากกราฟ รูปที่ 4.48

$$E_{gain} = \left(\frac{V_{1111}}{V_{LSB}} - \frac{V_{0001}}{V_{LSB}}\right) - \left(2^N - 2\right)$$

$$E_{gain} = \left(\frac{2.0038V}{0.125V} - \frac{252.583mV}{0.125V}\right) - (2^4 - 2)$$

$$E_{gain} = 0.009736LSB$$

**ค่าความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล (Differential nonlinearity : DNL)**

จากสมการที่ 3.5 และ 3.6 นำค่าที่วัดจากกราฟมาคำนวณ

$$V_{in(corr)}\,|_{Dout} = \left(\frac{V_{in(actual)_{Dout}}}{V_{LSB}}\right) - E_{off} - \left(\frac{D_{out} - 1}{2^N - 1}\right)E_{gain}$$

$$DNL\,|_{Dout} = \left(V_{in(corr)}\,|_{Dout+1}\right) - \left(V_{in(corr)}\,|_{Dout-1}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงค่าแรงดันอินพุตที่ระดับสัญญาณดิจิตอลค่าต่างๆที่ชดเชยแล้ว $V_{in}(corr)|_{Dout}$

| Dout | Binary | Vin(ideal) | | Vin(actual) | | Vin(corr) |
|---|---|---|---|---|---|---|
| | | mV | LSB | mV | LSB | LSB |
| 0 | 0000 | -62.5 | -0.5 | -62.5 | -0.5 | - |
| 1 | 0001 | 62.5 | 0.5 | 252.583 | 2.020664 | 0.5 |
| 2 | 0010 | 187.5 | 1.5 | 376.982 | 3.015856 | 1.494543 |
| 3 | 0011 | 312.5 | 2.5 | 502.066 | 4.016528 | 2.494566 |
| 4 | 0100 | 437.5 | 3.5 | 626.900 | 5.0152 | 3.492589 |
| 5 | 0101 | 562.5 | 4.5 | 751.897 | 6.015176 | 4.491916 |
| 6 | 0110 | 687.5 | 5.5 | 876.889 | 7.015112 | 5.491203 |
| 7 | 0111 | 812.5 | 6.5 | 1002.1 | 8.0168 | 6.492242 |
| 8 | 1000 | 937.5 | 7.5 | 1127.1 | 9.0168 | 7.491593 |
| 9 | 1001 | 1062.5 | 8.5 | 1252.7 | 10.0216 | 8.495743 |
| 10 | 1010 | 1187.5 | 9.5 | 1377.9 | 11.0232 | 9.496694 |
| 11 | 1011 | 1312.5 | 10.5 | 1503.2 | 12.0256 | 10.49845 |
| 12 | 1100 | 1437.5 | 11.5 | 1628.1 | 13.0248 | 11.49700 |
| 13 | 1101 | 1562.5 | 12.5 | 1753.1 | 14.0248 | 12.49635 |
| 14 | 1110 | 1687.5 | 13.5 | 1878.1 | 15.0248 | 13.49570 |
| 15 | 1111 | 1812.5 | 14.5 | 2003.8 | 16.0304 | 14.50000 |

**ค่าความไม่เป็นเชิงเส้นอินทิกรัล (Integral nonlinearity : INL)**

สามารถหาค่าได้ดังสมการที่ 3.7

$$INL|_{Dout} = \left(V_{in(corr)}|_{Dout}\right) - \left(V_{in(corr)}|_{0000}\right) - D_{out}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ตารางแสดงค่า DNL และ INL

| Dout | Vin(ideal) | Vin(corr) | DNL | INL |
|---|---|---|---|---|
| | (LSB) | (LSB) | (LSB) | (LSB) |
| 0 | -0.5 | -0.5 | 0 | - |
| 1 | 0.5 | 0.5 | 0.005457 | 0 |
| 2 | 1.5 | 1.494543 | 0.002300 | -0.005457 |
| 3 | 2.5 | 2.494566 | -0.001977 | -0.005434 |
| 4 | 3.5 | 3.492589 | -0.006730 | -0.007411 |
| 5 | 4.5 | 4.491916 | -0.007130 | -0.008084 |
| 6 | 5.5 | 5.491203 | 0.001039 | -0.008797 |
| 7 | 6.5 | 6.492242 | -0.006490 | -0.00776 |
| 8 | 7.5 | 7.491593 | 0.004150 | -0.008407 |
| 9 | 8.5 | 8.495743 | 0.000951 | -0.004257 |
| 10 | 9.5 | 9.496694 | 0.001756 | -0.003306 |
| 11 | 10.5 | 10.49845 | -0.001450 | -0.00155 |
| 12 | 11.5 | 11.49700 | -0.000650 | -0.003 |
| 13 | 12.5 | 12.49635 | -0.000650 | -0.00365 |
| 14 | 13.5 | 13.49570 | 0.004300 | -0.0043 |
| 15 | 14.5 | 14.50000 | - | 0 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 ตารางสรุปคุณสมบัติของวงจร

| | |
|---|---|
| เทคโนโลยีที่ใช้ (Technology) | 2 µm Mosis CMOS N-Well |
| ความละเอียด (Resolution) | 4 บิต |
| อัตราการสุ่มตัวอย่างสัญญาณ (Sampling Rate) | 1 MHz |
| คอนเวอร์ชั่นไทม์(Conversion Time) | 11.9ns |
| สัญญาณอนาลอกอินพุตสวิง (Input Swing) | 2 Vp-p |
| จำนวนทรานซิสเตอร์ | 1350 ตัว |
| พื้นที่ของวงจร (Circuit Area) | 1898 µm × 2824 µm |
| แรงดันไฟเลี้ยง (Supply Voltage) | ±5V |
| กำลังงานที่ใช้ | 44.2 mW |
| แรงดันออฟเซท (Offset Voltage) | 1.520664 LSB |
| ค่าผิดพลาดจากอัตราขยาย (Gain Error) | 0.009736 LSB |
| ค่าความไม่เป็นเชิงเส้นดิฟเฟอเรนเชียล (DNL) | -0.007130 ถึง 0.005457 LSB |
| ค่าความไม่เป็นเชิงเส้นอินทิกรัล (INL) | -0.008797 ถึง 0 LSB |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทสรุป

โครงงานนี้ได้ออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลช 4 บิต มีอัตราการแซมปลิ้ง 1 MHz ซึ่งออกแบบโดยใช้มอสทรานซิสเตอร์โดยใช้โมเดลพารามิเตอร์ของ Mosis 2μ Level 2 ในการออกแบบจะเน้นหนักไปที่เรื่องของการออกแบบวงจรคอมพาราเตอร์ เนื่องจาก คุณสมบัติของวงจรคอมพาราเตอร์มีผลกระทบต่อคุณสมบัติโดยรวมของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลอย่างมาก ซึ่งความถี่ในการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะขึ้นอยู่กับความสามารถของวงจรคอมพาราเตอร์ว่าสามารถทำงานได้ที่ความถี่สูงสุดเท่าใดหรือหาว่าวงจรมีแบนด์วิธกว้างมากเท่าใดนั่นเอง ในส่วนของวงจรดิจิตอลสามารถทำงานที่ความถี่สูงได้เป็นอย่างดี เมื่อนำวงจรทางอนาลอกและดิจิตอลมาต่อรวมกันเป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล วงจรสามารถทำงานได้ถูกต้อง ในขั้นตอนต่อมาจะทำการออกแบบวงจรในระดับเลย์เอาต์เพื่อดูผลของตัวเก็บประจุแฝงที่เกิดจากโครงสร้างภายในและลายทางเดินวงจรและทำการจำลองการทำงาน เห็นได้ว่าวงจรที่ทำการออกแบบสามารถทำงานได้ถูกต้องตามกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ขอกราบขอบพระคุณบิดามารดาเป็นอย่างสูงที่ให้กำลังใจและสนับสนุนกำลังทรัพย์มาโดยตลอด ขอขอบคุณรุ่นพี่และเพื่อนๆ ทุกท่านที่คอยให้คำปรึกษาและความช่วยเหลือต่างๆ

ขอขอบพระคุณอาจารย์วรากร เกษมสุวรรณ์เป็นอย่างสูง ที่ให้ความช่วยเหลือและให้คำแนะนำที่ดีมาโดยตลอดจนโครงงานสามารถสำเร็จไปได้ด้วยดี

ขอขอบคุณห้องภาควิศวกรรมศาสตร์คอมพิวเตอร์ที่เอื้อเฟื้อแบ่งปันสถานที่ให้ใช้ในการทำโครงงาน และขอบคุณเพื่อนๆในห้องที่คอยให้กำลังใจ

.....

(นาย ธีรวัฒน์ พิเชฐานนท์)

.....

(นางสาว สุพัตรา กิจจุลลจาริต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


1. รศ.ดร.สมเกียรติ ศุภเดช, "เซมิคอนดัคเตอร์ดีไวซ์", สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 451p., 2545
2. Phillip E. Allen and Douglas R. Holberg, "CMOS analog circuit design", Holt, Rinehart and Winston, Inc., 701p., 1987
3. Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 684p., 2001
4. David Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 705p., 1997
5. David F. Hoeschele, Jr., "ANALOG-TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERSION TECHNIQUES", John Wiley & Sons, 397p., 1994



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้