

การปรับปรุงวงจรรวมอัดประจุสำหรับกำเนิดแรงดันสูง

IMPROVEMENT OF CHARGE PUMP INTEGRATED CIRCUITS FOR  
HIGH-VOLTAGE GENERATOR



บัญชา แสนโสดา  
BUNCHA SANSODA

จพ.  
ม 2537  
2548

เลขหมู่.....  
เลขทะเบียน..... 61239  
วัน,เดือน,ปี 17 ก.ค. 2549

b. 11523589  
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์  
บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ.2548

ISBN 974-15-2037-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**IMPROVEMENT OF CHARGE PUMP INTEGRATED CIRCUITS FOR  
HIGH-VOLTAGE GENERATOR**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2005**

**ISBN 974-15-2037-9**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2005**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การปรับปรุงวงจรรวมอัดประจุสำหรับกำเนิดแรงดันสูง
นักศึกษา	นายบัญชา แสนโสดา
รหัสนักศึกษา	43061333
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.สมศักดิ์ ชุมช่วย

## บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เป็นการศึกษาการออกแบบและปรับปรุงการทำงานของวงจรอัดประจุ (Charge Pump Circuit) ซึ่งเป็นวงจรที่ทำหน้าที่กำเนิดแรงดันให้สูงกว่าแหล่งจ่ายบนชิพวงจรรวม โดยสามารถกำเนิดแรงดันไฟฟ้ากระแสตรงทั้งด้านบวก ( $\sim +5, +15V$ ) และด้านลบ ( $\sim -15V$ ) จากแหล่งจ่ายขนาดประมาณ 3 โวลต์ การทำงานอาศัยวิธีการของสวิตช์ส่งผ่านประจุ (Charge-Transfer Switch) วงจรกำเนิดไฟสูงดังกล่าวจะมีประโยชน์ในการขับวงจรที่ต้องการแรงดันไฟฟ้าสูง เช่น จอแสดงผลแบบ TFT-LCD หรือสำหรับการเขียนข้อมูลสู่หน่วยความจำไม่ลบเลือน (Non-Volatile Memory) ในการศึกษานี้ได้ทำการศึกษาเปรียบเทียบวงจรแบบต่างๆ ได้แก่ วงจรของ Dickson วงจรปรับปรุง (Improved Dickson) วงจร Dynamic Bulk Bias วงจรคู่ไขว้ (Cross-Coupled) วงจรคู่ไขว้ที่ขั้วระดับสัญญาณนาฬิกา และวงจรคู่ไขว้ที่ใช้สัญญาณนาฬิกา 4 เฟส ในหลายเงื่อนไข โดยจุดมุ่งหมายหลักเป็นการปรับปรุงอัตราขยายแรงดัน (Voltage Gain) ของแต่ละสเตจ การรักษาระดับแรงดันขีดเริ่ม (Threshold Voltage) ให้มีระดับต่ำ การลดแรงดันกระเพื่อม (Ripple Voltage) ด้านเอาต์พุต และการลดกำลังงานที่วงจรต้องใช้ การพัฒนาวงจรในวิทยานิพนธ์ฉบับนี้จะคำนึงข้อจำกัดเหล่านี้เป็นหลัก นอกจากนี้จะนำเสนอเทคนิคการขั้วระดับสัญญาณนาฬิกาที่ใช้ขับการสวิตช์ของวงจรเพื่อเพิ่มขนาดแรงดันทางด้านเอาต์พุต และการใช้สัญญาณนาฬิกาจำนวน 4 เฟส เพื่อลดผลของความต้านทานทางด้านเอาต์พุตของวงจร จำลองการทำงานของวงจรทั้งหมดในวิทยานิพนธ์ฉบับนี้ใช้โปรแกรม HSPICE กับแบบจำลองทรานซิสเตอร์แบบมอสทอนแรงดันสูง

ผลที่ได้คือ วงจรคู่ไขว้ที่ขั้วระดับสัญญาณนาฬิกา สามารถกำเนิดแรงดันได้สูงกว่าวงจรแบบเดิม ในกรณีที่กระแสไม่สูงมากนัก ส่วนวงจรคู่ไขว้ที่ใช้สัญญาณนาฬิกา 4 เฟส สามารถรักษาระดับแรงดันและกระแสได้ดี และยังใช้ตัวเก็บประจุขนาดเล็กลง อีกด้วย

<b>Thesis</b>	Improvement of Charge Pump Integrated Circuits for High-Voltage Generator
<b>Student</b>	Mr.Buncha Sansoda
<b>Student ID</b>	43061333
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electronics Engineering
<b>Year</b>	2005
<b>Thesis Advisor</b>	Assoc.Prof.Dr.Somsak Choomchuay

## ABSTRACT

This thesis details the design and operation improvement of charge pump circuits, that can generate voltage higher than that of the power supply. The on-chip circuit, for instance, can generate both positive ( $\sim+5V, +15V$ ) and negative ( $\sim-15V$ ) voltage from a 3 volt supply. Such a high-voltage generator is usually based on charge-transfer switch technique. The on-chip generated high voltage is useful in the way that it is applicable for driving TFT-LCD panel and/or writing non-volatile memory. Various circuit techniques such as Dickson's, Dynamic bulk bias, Improved Dickson, Cross-coupled, Cross-coupled with clock re-generator and 4-phase cross-coupled charge pump, are investigated at various operating conditions while noting voltage gain, threshold voltage, taken care minimization of output ripple voltage, and circuit's power consumption. In the development and implementation carried out in this thesis, those parameters are taken as constrains. Moreover, the technique in clock signal level-up for increasing the output amplitude has been proposed. A 4-phase clocking scheme for increasing the switching frequency and to reduce output resistance is also elaborated. Simulations for the circuits' performance reported in this thesis are based on HSPICE with high voltage CMOS transistor model.

Cross-coupled with clock re-generator circuit has shown its good capability in generating higher voltage at slightly high current compared with the original no clock generator one. The 4-phase cross-coupled charge pump can also generate slightly higher voltage with comparable current while using lower stage capacitance.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงได้ด้วยความช่วยเหลือและการสนับสนุนจากบุคคลหลายฝ่าย ซึ่งข้าพเจ้าใคร่ขอแสดงความขอบคุณมา ณ โอกาสนี้

ขอขอบคุณ รศ.ดร.สมศักดิ์ ชุมช่วย อาจารย์ที่ปรึกษา ซึ่งคอยให้คำแนะนำ ช่วยเหลือเป็นอย่างดีมาตลอดระยะเวลาที่ศึกษาอยู่ ณ สถาบันแห่งนี้ และ Prof. Dr.Yasoji Suzuki แห่ง Tokai University สำหรับข้อมูลและแนวความคิดต่างๆ ขอขอบคุณห้องปฏิบัติการวิจัย Microelectronic Devices Research & Development Laboratory (MDRD) ตลอดจนครอบครัวเพื่อนร่วมงาน ผู้บังคับบัญชาที่ให้โอกาสในการเพิ่มพูนความรู้มาโดยตลอด สุดท้ายขอขอบคุณ คุณอัคราณี แสน โสดา สำหรับความช่วยเหลือและกำลังใจที่ดีตลอดเวลา



# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	3
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	3
1.5 ขอบเขตการวิจัย.....	5
1.6 ขั้นตอนของการศึกษา.....	6
บทที่ 2 หลักการของวงจรอัดประจุ.....	7
2.1 หลักการพื้นฐานของวงจรอัดประจุ.....	7
2.2 วงจรอัดประจุของ Dickson (Dickson Charge Pump).....	12
2.3 วงจรอัดประจุกับการประยุกต์ใช้งาน.....	17
2.3.1 หน่วยความจำ.....	17
2.3.1.1 EEPROM.....	17
2.3.1.2 Flash Memory.....	18
2.3.2 วงจรอัดประจุกับจอแสดงผลแบบทรานซิสเตอร์ชนิดฟิล์มบาง.....	18
บทที่ 3 การวิเคราะห์และออกแบบวงจรอัดประจุ.....	20
3.1 วงจรอัดประจุแบบโครงสร้างแถวเดี่ยว (Single-Rail Charge Pump).....	20
3.1.1 วงจรอัดประจุของ Dickson แบบใช้มอสทรานซิสเตอร์เป็นสวิทช์.....	20
3.1.1.1 วงจรอัดประจุแรงดันบวก (Positive Charge Pump).....	20
3.1.1.2 วงจรอัดประจุแรงดันลบ (Negative Charge Pump).....	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)

	หน้า
3.1.2 วงจรอัดประจุแบบ Dynamic Bulk Bias.....	25
3.1.2.1 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias.....	25
3.1.2.2 วงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias.....	27
3.1.3 การหาจำนวนสแตจและค่าตัวเก็บประจุของวงจรอัดประจุแบบแถวเดี่ยว.....	29
3.2 วงจรอัดประจุแบบ โครงสร้างแถวคู่ (Double-Rail Charge Pump).....	32
3.2.1 วงจรอัดประจุแบบคู่ไขว้ (Cross-Coupled Charge Pump).....	32
3.2.1.1 วงจรอัดประจุแรงดันบวกแบบคู่ไขว้.....	32
3.2.1.2 วงจรอัดประจุแรงดันลบแบบคู่ไขว้.....	35
3.2.2 วงจรอัดประจุแบบ Improved Cross-Coupled.....	37
3.2.3 การหาจำนวนสแตจและค่าตัวเก็บประจุของวงจรอัดประจุแบบแถวคู่.....	38
3.2.4 ประสิทธิภาพของวงจรอัดประจุแบบแถวคู่.....	39
บทที่ 4 การปรับปรุงวงจรและผลการจำลองการทำงาน.....	40
4.1 การปรับปรุงวงจรอัดประจุของ Dickson.....	40
4.2 การปรับปรุงวงจรอัดประจุแบบคู่ไขว้ด้วยวงจรยกระดับสัญญาณไฟฟ้า.....	44
4.3 การปรับปรุงวงจรอัดประจุแบบคู่ไขว้ด้วยการเพิ่มจำนวนสัญญาณไฟฟ้า.....	48
บทที่ 5 การออกแบบวงจรและผลการทดสอบ.....	55
5.1 การออกแบบวงจรและพารามิเตอร์ของอุปกรณ์ที่ใช้ในวงจร.....	55
5.1.1 พารามิเตอร์ของ CMOS.....	55
5.1.2 การคำนวณหาค่าองค์ประกอบในวงจร.....	56
5.2 ผลการจำลองการทำงาน.....	59
5.2.1 เปรียบเทียบผลการจำลองการทำงานของวงจรยกระดับสัญญาณไฟฟ้า.....	59
5.2.2 เปรียบเทียบผลการจำลองการทำงานของวงจรคู่ไขว้แบบเพิ่มสัญญาณไฟฟ้า.....	68
5.3 สรุป.....	76
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....	77
6.1 สรุปผลการวิจัย.....	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
6.2 ข้อเสนอแนะ.....	79
เอกสารอ้างอิง.....	81
ภาคผนวก .....	83
ภาคผนวก ก SPICE Parameter Model.....	84
ภาคผนวก ข ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	86
ประวัติผู้เขียน.....	92



# สารบัญตาราง

ตารางที่	หน้า
1.1 ตัวอย่างวงจรอัดประจุที่ใช้ในวงจรรวมร่วมกับอุปกรณ์ต่างๆ.....	2
5.1 พารามิเตอร์ของ High-Voltage CMOS (Level 2).....	55



# สารบัญรูป

รูปที่	หน้า
2.1 วงจรอัดประจุ (Charge Pump) .....	7
2.2 สัญญาณนาฬิกาที่ควบคุมการสวิตช์.....	8
2.3 การทำงานของวงจรอัดประจุตามการเปลี่ยนแปลงของสัญญาณนาฬิกา.....	8
2.4 การทำงานของตัวเก็บประจุตามจังหวะการสวิตช์ของวงจรอัดประจุแบบ 3 สเตจ.....	9
2.5 วงจรอัดประจุขนาด $n$ สเตจ.....	11
2.6 โครงสร้างของวงจรอัดประจุ .....	11
2.7 วงจรอัดประจุของ Dickson ขนาด $n$ สเตจ ที่ใช้การสวิตช์ของไดโอดและสัญญาณแรงดัน.....	13
2.8 วงจรสมมูลของวงจรอัดประจุของ Dickson จำนวน $n$ สเตจ .....	14
2.9 วงจรอัดประจุของ Dickson แบบใช้มอสทรานซิสเตอร์เป็นสวิตช์ส่งผ่านประจุ.....	15
2.10 แรงดันที่เปลี่ยนแปลงระหว่างสเตจ.....	16
2.11 หน่วยความจำแบบ Flash ที่ใช้ในอุปกรณ์อิเล็กทรอนิกส์ต่างๆ.....	18
2.12 โครงสร้างของจอแสดงผลแบบทรานซิสเตอร์ฟิล์มบาง.....	19
2.13 จอแสดงผลทรานซิสเตอร์ฟิล์มบางในอุปกรณ์อิเล็กทรอนิกส์.....	19
3.1 โครงสร้างของ NMOS.....	21
3.2 วงจรอัดประจุแรงดันบวกของ Dickson แบบใช้มอสทรานซิสเตอร์ชนิดเอ็น.....	22
3.3 วงจรอัดประจุแรงดันลบของ Dickson แบบใช้มอสทรานซิสเตอร์ชนิดเอ็น.....	23
3.4 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดเอ็น.....	25
3.5 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดพี.....	26
3.6 ภาพตัดของวงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias (ก) NMOS (ข) PMOS .....	27
3.7 วงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดเอ็น.....	28
3.8 วงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดพี.....	28
3.9 ภาพตัดของวงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias (ก) NMOS (ข) PMOS .....	29
3.10 โครงสร้างวงจรอัดประจุแรงดันบวกแบบคู่ไขว้.....	32
3.11 การสวิตช์ของวงจรอัดประจุแรงดันบวกแบบคู่ไขว้และการเคลื่อนที่ของประจุ.....	33
3.12 วงจรอัดประจุแรงดันบวกแบบคู่ไขว้ จำนวน $n$ สเตจ .....	35
3.13 โครงสร้างวงจรอัดประจุแรงดันลบแบบคู่ไขว้.....	35
3.14 การสวิตช์ของวงจรอัดประจุแรงดันลบแบบคู่ไขว้และการเคลื่อนที่ของประจุ.....	35

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.15 วงจรอัดประจุแรงดันลบแบบคู่ไขว้ จำนวน $n$ สเตจ .....	36
3.16 โครงสร้างวงจรอัดประจุแรงดันบวกแบบ Improved Cross-Coupled .....	37
3.17 โครงสร้างวงจรอัดประจุแรงดันลบแบบ Improved Cross-Coupled .....	37
3.18 โครงสร้างภาพตัดของ PMOS และ Parasitic Bipolar Transistor .....	38
4.1 วงจรอัดประจุแรงดันบวกแบบปรับปรุงของ Dickson (Improved Dickson, ID).....	40
4.2 วงจรอัดประจุแรงดันลบแบบปรับปรุงของ Dickson .....	42
4.3 วงจรอัดประจุแบบปรับปรุงของ Dickson แบบใช้ PMOS (ก) แบบบวก (ข) แบบลบ.....	43
4.4 วงจรอัดประจุของ Dickson แบบ แฉวเดี่ยวที่วางขนานกันเป็นแฉวคู่.....	43
4.5 ผังของวงจรอัดประจุที่ใช้วงจรถักระดับสัญญาณนาฬิกา.....	44
4.6 วงจรถักระดับสัญญาณนาฬิกา (Clock Re-generator).....	44
4.7 วงจรอัดประจุแรงดันบวกแบบคู่ไขว้ที่ใช้วงจรถักระดับสัญญาณนาฬิกา (CCTS-CG).....	45
4.8 วงจรถักระดับสัญญาณนาฬิกา (Clock Re-generator) แบบลบ.....	46
4.9 วงจรอัดประจุแรงดันลบแบบคู่ไขว้ที่ใช้วงจรถักระดับสัญญาณนาฬิกา.....	47
4.10 ผังวงจรอัดประจุแรงดันบวกแบบคู่ไขว้ใช้สัญญาณนาฬิกา 4 เฟส.....	48
4.11 รูปวงจรอัดประจุแรงดันบวกแบบคู่ไขว้ใช้สัญญาณนาฬิกา 4 เฟส และสัญญาณนาฬิกา.....	49
4.12 การสวิทช์ของวงจรอัดประจุแบบคู่ไขว้ใช้สัญญาณนาฬิกา 4 เฟส.....	50
4.13 เปรียบเทียบสัญญาณแต่ละ โหนดในวงจรอัดประจุที่ใช้สัญญาณนาฬิกา 2 เฟส และ 4 เฟส.....	53
5.1 แสดงผลแรงดันเอาต์พุตที่กระแสโหลดค่าต่างๆ.....	60
5.2 แสดงผลแรงดันเอาต์พุตเมื่อจำนวนสเตจเปลี่ยนแปลง .....	61
5.3 แสดงผลแรงดันเอาต์พุตที่ความถี่ต่างๆ.....	61
5.4 แสดงผลแรงดันเอาต์พุตเมื่อแหล่งจ่ายเปลี่ยนแปลง.....	62
5.5 แสดงผลแรงดันเอาต์พุตเมื่อกระแส โหลดเปลี่ยนแปลง.....	63
5.6 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต.....	63
5.7 เปรียบเทียบประสิทธิภาพของวงจรที่กระแส โหลดต่างๆ.....	64
5.8 แสดงผลแรงดันเอาต์พุตที่ความถี่ต่างๆ.....	64
5.9 แสดงผลการจำลองการทำงานและเวลาในการเข้าสู่สภาวะคงตัว.....	65
5.10 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต.....	66
5.11 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต.....	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.12 แสดงผลแรงดันเอาต์พุตเมื่อขนาดของแหล่งจ่ายเปลี่ยนแปลง.....	67
5.13 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง.....	68
5.14 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง.....	69
5.15 แสดงผลการจำลองการทำงานและเวลาในการเข้าสู่สภาวะคงตัว.....	69
5.16 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง.....	70
5.17 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง.....	71
5.18 เปรียบเทียบแรงดันที่ โหนด 1 และ 4 ของวงจรแบบสัญญาณนาฬิกา 2 เฟส และ 4 เฟส.....	72
5.19 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง.....	73
5.20 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง.....	73
5.21 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง.....	74
5.22 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง.....	74
5.23 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง.....	75
5.24 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง.....	75

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบัน เทคโนโลยีอิเล็กทรอนิกส์ ได้เข้ามามีอิทธิพลต่อชีวิตประจำวันของมนุษย์ อย่างที่ไม่สามารถหลีกเลี่ยงได้ อุปกรณ์อิเล็กทรอนิกส์จำนวนมากถูกคิดค้น ผลิดขึ้นมาเพื่ออำนวยความสะดวกในการดำเนินชีวิต และจำนวนไม่น้อยที่กลายเป็นสิ่งจำเป็นหรืออาจจะเรียกได้ว่าเป็นปัจจัยในการดำรงชีวิตของมนุษย์ อาทิ เครื่องรับโทรทัศน์ เครื่องรับวิทยุ โทรศัพท์เคลื่อนที่ เครื่องคอมพิวเตอร์ส่วนบุคคล และอุปกรณ์ที่กำลังได้รับความสนใจมากขึ้นเรื่อยหลายๆชนิด แต่อุปกรณ์เหล่านี้มีความจำเป็นต่อชีวิตหรือไม่เพียงใดนั้น เราคงไม่สามารถนำมาเป็นประเด็นให้เกิดข้อสงสัยเพื่อวิเคราะห์หาคำตอบได้ เนื่องจากความสนใจในวิทยานิพนธ์นี้มุ่งความสำคัญไปที่อุปกรณ์อิเล็กทรอนิกส์เท่านั้น

เมื่อพิจารณาอุปกรณ์ที่ถูกคิดค้นขึ้นเหล่านี้ ในแง่ของข้อประกอบทางเทคโนโลยีแล้วจะพบว่า มีอุปกรณ์อยู่สองชนิดที่เข้ามามีบทบาททำให้เกิดการเปลี่ยนแปลงในตัวอุปกรณ์อิเล็กทรอนิกส์ต่างๆ ในทางที่ดีขึ้นเป็นอย่างมาก ทั้งรูปลักษณ์และประสิทธิภาพ นั่นคือหน่วยความจำ (Memory) และจอแสดงผลผลึกเหลวชนิดทรานซิสเตอร์ฟิล์มบาง (TFT-LCD Display) ตัวอย่างที่เห็นได้ชัดเจนก็คือ โทรศัพท์เคลื่อนที่ คอมพิวเตอร์พกพา (PDAs) หรือกล้องดิจิทัล และหน่วยความจำชนิดต่างๆ มากมาย แน่แน่นอนว่าอุปกรณ์พกพาเหล่านี้ต้องใช้พลังงานไฟฟ้าที่มาจากแบตเตอรี่ ซึ่งสามารถจ่ายแรงดันไฟฟ้ากระแสตรงในระดับที่ไม่สูงมากนัก เช่น แบตเตอรี่ชนิดนิเกิลเมทัลไฮดรายน์ (NiMH) สามารถจ่ายแรงดันทำงาน (Operating Voltage) ได้ระหว่าง 2.7-3.6 โวลต์ หรือลิเทียมไอออน (Li-Ion) จ่ายแรงดันทำงานได้ระหว่าง 3.6-4.2 โวลต์ ในขณะที่หน่วยความจำและจอแสดงผล กลับต้องการแหล่งพลังงานที่สูงกว่า โดยหน่วยความจำไม่ลบเลือน เช่น EEPROM หรือ Flash Memory ต้องการแรงดันหลายระดับสำหรับการอ่านข้อมูลบันทึกข้อมูลและลบข้อมูล ส่วนจอแสดงผล TFT-LCD ต้องการแรงดันหลายระดับ ประมาณ +15, +5 และ -15 โวลต์ สำหรับการขับที่เกต (Gate) และ ซอร์ส (Source) ของตัวจอภาพ ซึ่งถือได้ว่าอุปกรณ์เหล่านี้ต้องการแหล่งจ่ายไฟฟ้าแบบแรงดันหลายระดับ (Multiple Voltage) วิธีการเดียวที่จะทำให้อุปกรณ์ทั้งสองสามารถทำงานได้ ก็คือการยกระดับแรงดันของแหล่งจ่ายพลังงานที่มาจากแบตเตอรี่ให้สูงขึ้นทั้งด้านบวกและลบจนถึงระดับที่ต้องการ และยังสามารถจ่ายกำลังงานได้อย่างเพียงพอ ซึ่งดูจะสวนทางกับกระแสเทคโนโลยีที่นับวันจะมีขนาดเล็กลง ใช้พลังงานต่ำลง เก็บข้อมูลได้มากขึ้น ภาพมีความละเอียดสมจริงมากขึ้น ใช้งานได้ระยะเวลามากขึ้น แต่อุปกรณ์ดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังจำเป็นที่จะต้องใช้แรงดันสูงหลายระดับเป็นแหล่งจ่าย บริษัทผู้ผลิตอุปกรณ์สารกึ่งตัวนำต่างๆ รวมถึงนักวิจัย จึงมีความพยายามในการคิดค้นออกแบบและพัฒนาวงจรที่ช่วยยกระดับแรงดันจากแหล่งจ่ายแบตเตอรี่ที่แรงดันต่ำ ให้สามารถยกระดับแรงดันให้สูงขึ้น และให้สามารถทำงานได้ดียิ่งขึ้นเรื่อยๆ ซึ่งเป็นเรื่องที่น่าสนใจที่จะศึกษาค้นคว้าและเป็นที่มาของวิทยานิพนธ์ฉบับนี้ ส่วนวงจรรวมที่ใช้วงจรอัดประจุเป็นส่วนประกอบ ที่ผู้ผลิตทำการผลิตออกจำหน่าย สามารถแสดงดังตารางที่ 1.1 จะเห็นว่าวงจรรวมแต่ละตัวจะมีคุณสมบัติที่ต่างกันไป โดยแต่ละตัวสามารถทำงานได้ที่แหล่งจ่ายในย่านแรงดันต่ำ แต่สามารถกำเนิดแรงดันที่สูงขึ้นได้หลายระดับ ที่ค่ากระแสต่างๆ กัน ทั้งนี้ขึ้นอยู่กับอุปกรณ์ที่นำไปใช้

นอกจากประโยชน์ที่จะได้จากศึกษาออกแบบ คิดค้น วิเคราะห์ปัญหา รวมทั้งแนวทางการแก้ไข และปรับปรุงวงจรแล้ว ยังหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์นี้จะช่วยก่อให้เกิดความสนใจแก่นักศึกษา และนักวิจัย ในการวิจัยงานด้านนี้เพิ่มมากขึ้น เนื่องจากในประเทศไทยยังมีผู้ทำงานวิจัยเกี่ยวกับวงจรอัดประจุเพื่อยกระดับแรงดันแบบบนชิพในประเทศไทยจำนวนไม่มากนัก

ตารางที่ 1.1 ตัวอย่างวงจรอัดประจุที่ใช้ในวงจรรวมร่วมกับอุปกรณ์ต่างๆ

IC Number	Operating Voltage	Function	Output	Type	Manufacturer
S524A60X81	1.8-5.5 V	Write Read Standby	+5.5V/ 3mA +5.5V/ 200 $\mu$ A +5.5V/ 1 $\mu$ A	EEPROM	SAMSUNG Semiconductor [1]
ADM8832	2.6-3.6V	LCD Controller Gate Driver	+5.1V/ 8mA +15.3V,-10.2V/ $\pm$ 100 $\mu$ A	TFT-LCD Driver	Analog Devices [2]
ADM8839	2.7-4.2 V	LCD Controller Gate Driver	+5V/ 8mA $\pm$ 15V/ $\pm$ 150 $\mu$ A	TFT-LCD Driver	Analog Devices

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 ศึกษาการทำงานของวงจรอัดประจุ ทั้งข้อดี ข้อเสีย ข้อจำกัดต่างๆ ตลอดจนแนวทางการประยุกต์ใช้งานวงจร

1.2.2 ศึกษาออกแบบ และปรับปรุงวงจรอัดประจุแบบยกระดับแรงดันหลายระดับ โดยนำเสนอวิธีการในแบบต่างๆ

1.2.3 สามารถจำลองผลการทำงานของวงจรที่ทำการศึกษา และออกแบบ หาผลการ  
ทำงานของวงจร เพื่อสนับสนุนสมมติฐานและทฤษฎีการทำงาน

1.2.4 เพื่อเป็นแนวทางในการออกแบบวงจร และการประยุกต์ใช้วงจรกับอุปกรณ์  
อิเล็กทรอนิกส์แบบต่างๆ

1.2.5 สามารถออกแบบวงจรอัดประจุเพื่อกำเนิดแรงดัน ได้ตามที่ต้องการ โดยมีขนาด  
ของวงจรที่เหมาะสม

1.2.6 เพื่อเป็นแนวทางสนับสนุนการวิจัยด้านเทคโนโลยี ซึ่งเป็นเป้าหมายในการพัฒนา  
ประเทศชาติต่อไป

### 1.3 สมมติฐานของการศึกษา

ในงานวิจัย ที่ถูกนำเสนอโดยนักวิจัยหลายๆ ท่าน ได้ศึกษาวิจัยโดยการวิเคราะห์หา  
ความสามารถของวงจร และข้อจำกัดต่างๆ ของการออกแบบภายใต้เงื่อนไขของการประยุกต์ใช้งาน  
และเทคโนโลยี จะพบว่างานวิจัยแต่ละชิ้นพยายามนำเสนอานที่ทำการศึกษาปรับปรุงแก้ไข เสนอ  
จุดเด่น หรือแสดงว่าผลงานออกแบบวงจรมัน สามารถแก้ปัญหาของวงจรได้อย่างไรบ้าง เช่น กำลัง  
งาน ความเร็ว ความสามารถในการขับ โหลด ความเรียบของแรงดันที่จ่ายให้วงจร และผลกระทบที่  
เกิดจากการเปลี่ยนแปลงของพารามิเตอร์ต่างๆ ในวงจร

จากวัตถุประสงค์ของวิทยานิพนธ์นี้ จึงได้พยายามนำเสนอการออกแบบ และปรับปรุง  
วงจร ให้สามารถแสดงให้เห็นว่ามีข้อดีของตัวเองจริง โดยอาศัยพื้นฐานของงานวิจัยต่างๆ และ  
งานวิจัยของผู้เขียนเอง ผลการทำงานของวงจรที่ออกแบบสามารถแสดงให้เห็นได้ด้วยข้อมูลเชิง  
ตัวเลข และกราฟิก โดยอาศัยโปรแกรมจำลองการทำงาน พร้อมเสนอแนวทางการประยุกต์ใช้งาน  
วงจรอัดประจุสำหรับกำเนิดแรงดันสูง มีพื้นฐานมาจากวงจรทวีแรงดันซึ่งอาศัยหลักการของสวิตชิง  
และลักษณะของการเก็บประจุ และคายประจุของตัวเก็บประจุ การออกแบบวงจรยกระดับแรงดัน  
หลายระดับจะช่วยสนับสนุนการทำงานตามความต้องการของอุปกรณ์อิเล็กทรอนิกส์ โดยการ  
ออกแบบบนพื้นฐานของอุปกรณ์สารกึ่งตัวนำประเภท Metal Oxide Semiconductor (MOS) ซึ่ง  
เหมาะสำหรับการออกแบบใช้งานบนวงจรรวม

### 1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

เนื่องจากความจำเป็นของอุปกรณ์อิเล็กทรอนิกส์ ประเภทหน่วยความจำ จอแสดงผล หรือ  
อื่นๆ ที่กล่าวถึงในขั้นต้น ที่ต้องการไฟกระแสตรงแรงดันสูงหลายระดับ และสามารถใช้งานใน  
ลักษณะพกพาเคลื่อนที่ โดยใช้แหล่งจ่ายพลังงานจากแบตเตอรี่ ซึ่งมีระดับแรงดันไม่สูงนัก จึงมี  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความพยายามคิดค้นออกแบบวงจรกำเนิดแรงดันไฟสูงบนวงจรรวม (On-Chip) ซึ่งสามารถกำเนิดแรงดันสูงมากกว่าแหล่งจ่ายไฟนั้น วงจรดังกล่าวถูกรวมเข้าไว้ในวงจรรวมซึ่งมีขนาดเล็กกะทัดรัด โดยปัจจุบันมีนักวิจัยให้ความสนใจและมีผลงานวิจัยนำเสนอในรูปแบบต่างๆ ให้เห็นมากพอสมควร โดยงานวิจัยทั้งหลายล้วนอาศัยหลักการพื้นฐานของวงจรอัดประจุของ Dickson [3] ที่อาศัยหลักการสวิตซ์ชิ่งของอุปกรณ์สารกึ่งตัว เพื่อส่งผ่านประจุ ไปให้กับตัวเก็บประจุ ซึ่งเป็นหลักการเดียวกันกับวงจรทวีแรงดัน (Multiplier) ที่สามารถเห็นได้ทั่วไป โดยมีการนำมาพัฒนาและนำเสนอเทคนิคต่างๆ โดยอาศัยเทคโนโลยีของวงจรรวมชนิดซิมอส (CMOS) เพื่อปรับปรุงประสิทธิภาพของวงจรให้เพิ่มมากขึ้น ในการศึกษาวิจัยนี้ได้มุ่งที่จะศึกษาการทำงานของวงจรและปรับปรุงวงจร โดยเริ่มจากการวิเคราะห์และจำลองการทำงานวงจรอัดประจุ (Charge Pump Circuit) ของ Dickson และในรูปแบบอื่นๆ เพื่อค้นหาข้อจำกัดต่างๆ รวมไปถึงวิธีการปรับปรุงแก้ไข โดยแบ่งโครงสร้างวงจรออกเป็นโครงสร้างแบบแฉกคู่ (Double Rail) [4]-[7] ซึ่งถือเอาวงจรแบบคู่ไขว้ (Cross-Coupled) ไว้ในกลุ่มเดียวกันด้วย และโครงสร้างแบบแฉกเดี่ยว (Single-Rail) ความแตกต่างสามารถพิจารณาได้จากบทต่อไป เป็นการศึกษาและปรับปรุงทั้งวงจรกำเนิดไฟบวกและวงจรกำเนิดไฟลบ ในเงื่อนไขของ แรงดัน กระแส และขนาดวงจรที่มีความเหมาะสม และนอกจากนี้ยังศึกษาในแนวทางอื่นๆ ออกแบบให้วงจรมีความกะทัดรัดอัตราการบริโภคกำลังงานที่ลดลง เพื่อให้วงจรสามารถทำงานได้ดีขึ้น เช่น การลดความต้านทานด้านเอาต์พุต เพิ่มความเร็วในการสวิตซ์ของทรานซิสเตอร์ วิธีการได้ถูกนำเสนอโดยเทคนิคต่างๆ เช่น การลดปัญหาการเพิ่มขึ้นของแรงดันขีดเริ่ม (Threshold Voltage) เมื่อวงจรมีจำนวนสเตจ (Stage) มากขึ้น โดยปรับปรุงในส่วนของสวิตซ์ส่งผ่านประจุ (Charge Transfer Switch; CTS) และการจัดแรงดันไบอัส (Bias) ที่ขั้วฐานรอง (Substrate หรือ Bulk) เพื่อช่วยให้อัตราขยาย (Gain) ของแต่ละสเตจคงที่ สามารถกำหนดแรงดันเอาต์พุตได้แน่นอน และช่วยให้สามารถทำงานได้เป็นอย่างดีกับแรงดันต่ำ การออกแบบวงจรเพื่อให้สัญญาณทางด้านเอาต์พุตมีขนาดของแรงดันกระเพื่อม (Ripple Voltage) ลดต่ำลง ซึ่งจะส่งผลให้แรงดันเฉลี่ยสูงขึ้น รวมทั้งสามารถจ่ายกระแสให้กับโหลดได้ดีขึ้น การปรับปรุงการบริโภคกำลังงาน (Power Consumption) โดยจำนวนสเตจที่เหมาะสม ในการจ่ายแรงดัน เพื่อให้มีประสิทธิภาพสูงสุด และค่าของตัวเก็บประจุที่ทำให้สามารถจ่ายกระแสให้กับวงจรได้อย่างเพียงพอ

วงจรอัดประจุแบบ Dickson จะใช้หลักการสวิตซ์ชิ่ง (Switching) ของทรานซิสเตอร์สลับกันแต่ละสเตจ โดยอาศัยสัญญาณนาฬิกา (Clock Signal) สองสัญญาณที่มีเฟสตรงกันข้าม ถ้าสวิตซ์ปิด จะทำให้เกิดการประจุที่ตัวเก็บประจุที่สเตจนั้น ถ้าสวิตซ์เปิดตัวเก็บประจุจะคายประจุไปยังสเตจถัดไป การทำงานสลับกันนี้จะทำให้สัญญาณทางด้านเอาต์พุตมีลักษณะเปลี่ยนแปลงขึ้นลงตามรูปแบบของสัญญาณนาฬิกา และทำให้เกิดการกระเพื่อมของแรงดัน นอกจากนี้เมื่อใช้กับแหล่งจ่ายที่มีแรงดันต่ำ และมีการต่อวงจรเรียงกัน (Cascade) จำนวนหลายสเตจ จะทำให้มอสทรานซิสเตอร์ (MOS Transistor) ที่อยู่ใกล้ทางด้านเอาต์พุตจะไม่สามารถนำกระแส (ON) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างสมบูรณ์เนื่องจากการเพิ่มขึ้นของแรงดันขีดเริ่ม (Threshold Voltage) ตามจำนวนสเตจ เนื่องจากผลจากฐานรอง (Body Effect) ของทรานซิสเตอร์ เกิดข้อจำกัดของประสิทธิภาพของกำลังของวงจร นอกจากนี้ถ้าวงจรมีความต้านทานทางด้านเอาต์พุตที่สูงเกินไปก็จะทำให้การส่งผ่านพลังงานไปยังโหลดได้ไม่เพียงพอหรือมีการบริโภคกำลังงานที่สูง

แนวความคิดหลักของงานวิจัยนี้ นอกจากจะทำการอัดประจุเพิ่มเข้าไปในแต่ละ สเตจแล้ว ยังมีการนำเสนอเทคนิคอีกรูปแบบหนึ่ง คือการยกระดับสัญญาณนาฬิกาที่ใช้ขับวงจรทำให้เกิดการสวิตช์ของทรานซิสเตอร์ในแต่ละสเตจให้สูงขึ้น โดยอาศัยวงจรยกระดับสัญญาณนาฬิกาให้สูงขึ้นก่อน แล้วค่อยนำไปขับวงจรอีกครั้งหนึ่ง จะทำให้เกิดการเชื่อมต่อของวงจรในแต่ละสเตจจากเดิมที่เชื่อมต่อในลักษณะเรียงกัน (Cascade) หมายถึงแต่ละสเตจ มีลักษณะแบบเดียวกันวางเชื่อมต่อกันไป อัตราการขยาย (Gain) ในแต่ละสเตจ ของวงจรในทางอุดมคติจะมีค่าคงที่ตลอด แต่ในทางปฏิบัติจะมีค่าลดลงเรื่อยๆ เมื่อจำนวนสเตจเพิ่มมากขึ้น นั่นคือประสิทธิภาพของวงจรลดลง มีการสูญเสียของกำลังงานมาก ดังนั้นเมื่อใช้วงจรยกระดับสัญญาณนาฬิกา (Clock Level Shifter หรือ Clock re-generator) มายกระดับสัญญาณนาฬิกาให้สูงขึ้น จะทำให้การเชื่อมต่อระหว่างสเตจเปลี่ยนไปเป็นลักษณะเรียงกัน โดยกำหนดคุณลักษณะได้ (Programmable-Cascade) รูปแบบของแรงดันทางด้านเอาต์พุตจะสามารถกำหนดหรือควบคุมได้ แต่การขับวงจรแต่ละสเตจ จะมีความจำเป็นหรือไม่ขึ้นอยู่กับความต้องการทางด้านเอาต์พุต โดยการออกแบบจะสามารถเลือกใช้สัญญาณนาฬิกาที่ระดับแล้วกับสเตจใดสเตจหนึ่ง โดยสลับกับสัญญาณนาฬิกาแบบเดิมก็ได้ ขึ้นกับเงื่อนไขที่ต้องการ ซึ่งประโยชน์ที่เกิดขึ้นนี้จะสามารถลดจำนวนของสเตจ ที่เกินความจำเป็นลงได้ หรือเพิ่มขนาดของแรงดันในกรณีที่วงจรหลักมีจำนวนสเตจค่าเกินกว่าที่จะจ่ายแรงดันได้เพียงพอ

### 1.5 ขอบเขตการวิจัย

การดำเนินการวิจัย มีการกำหนดขอบเขต ขั้นตอนของงานวิจัย มุ่งเน้นในการนำเสนอเทคนิควิธีการของวงจรในมุมมองที่แตกต่างออกไป เพื่อให้สามารถปรับปรุงประสิทธิภาพของวงจรให้ดียิ่งขึ้น โดยมีจุดมุ่งหมายในการออกแบบและพัฒนาการทำงานของวงจร ให้สามารถกำหนดแรงดันไฟสูงหลายระดับ ทั้งด้านลบ และด้านบวกจากแหล่งจ่ายขนาด 2.6-4.2 โวลต์ เริ่มทำการศึกษาและทดลองโดยอาศัยโปรแกรมจำลองการทำงาน ในการวิเคราะห์เปรียบเทียบคุณสมบัติของแต่ละวงจร และทำการปรับปรุงวงจรดังที่เสนอในงานวิจัยนี้ ซึ่งได้ใช้แบบจำลองของมอดูลทรานซิสเตอร์แบบทนแรงดันสูง (MOS High-Voltage Model) ในการออกแบบและจำลองการทำงานด้วยโปรแกรม HSPICE เพื่อหาค่าต่างๆ เช่น ขนาดของแรงดันทางด้านเอาต์พุต ความสามารถในการขับโหลด อัตราขยายของวงจร ตลอดจนการวิเคราะห์หาองค์ประกอบที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมาะสมในการออกแบบ ทั้งขนาดของทรานซิสเตอร์ ค่าของตัวเก็บประจุ การใช้กับโหลดที่เหมาะสม โดยแรงดันไฟฟ้าที่กำหนดในงานวิจัยนี้ ประกอบด้วยแรงดัน ขนาด +5 โวลต์ สามารถจ่ายกระแสได้ 10 มิลลิแอมป์แรงดัน +15 โวลต์ จ่ายกระแสได้ 10-100 ไมโครแอมป์ และแรงดันด้านลบขนาด -15 โวลต์ จ่ายกระแสได้ประมาณ 10-100 ไมโครแอมป์ วงจรสามารถปรับการออกแบบให้มีสเตรจ ของวงจรตามขนาดของแรงดันเอาต์พุตที่ต้องการ วงจรที่ได้นี้จะสามารถนำไปประยุกต์ใช้กับการออกแบบวงจรรวมที่ใช้กำเนิดแรงดันสูงได้

## 1.6 ขั้นตอนของการศึกษา

วิทยานิพนธ์ฉบับนี้ทำการแบ่งเนื้อหาออกเป็น 5 บทด้วยกันดังนี้

บทที่ 1 กล่าวถึงความเป็นมาของงานวิจัย ความมุ่งหมายและจุดประสงค์ สมมติฐาน ทฤษฎีแนวความคิดของงานวิจัย ขอบเขตของการวิจัย และขั้นตอนของการศึกษา

บทที่ 2 กล่าวถึงหลักการพื้นฐานของวงจรอัดประจุ วงจรอัดประจุของ Dickson และการประยุกต์ใช้งาน

บทที่ 3 เสนอการวิเคราะห์ วงจรอัดประจุในโครงสร้างแบบแถวเดี่ยวและ โครงสร้างแบบแถวคู่ ทั้งวงจรอัดประจุแรงดันบวกและวงจรอัดประจุแรงดันลบ

บทที่ 4 นำเสนอการปรับปรุงวงจร โดยใช้หลักการขจรระดับสัญญาณนาฬิกา และการเพิ่มจำนวนสัญญาณนาฬิกา

บทที่ 5 เป็นการออกแบบและคำนวณวงจร การจำลองการทำงาน ด้วยโปรแกรม HSPICE และผลการจำลองการทำงาน

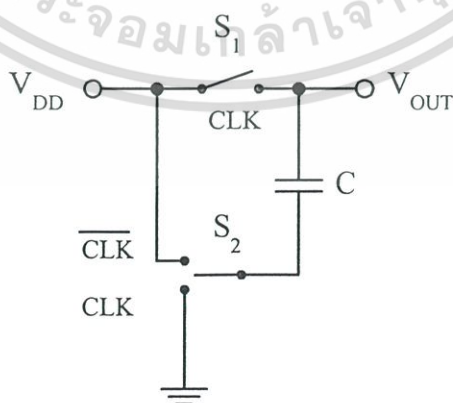
บทที่ 6 ทำการสรุปผลการวิจัยและข้อเสนอแนะ

## บทที่ 2

# หลักการของวงจรอัดประจุ

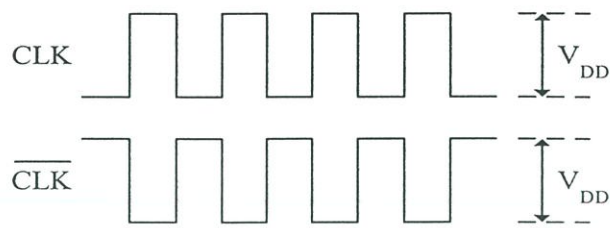
### 2.1 หลักการพื้นฐานของวงจรอัดประจุ

Charge Pump Circuit หรือในวิทยานิพนธ์นี้เรียกว่าวงจรอัดประจุ วงจรที่ทำหน้าที่กำเนิดแรงดันไฟฟ้ากระแสตรงโดยยกระดับให้สูงขึ้นกว่าแหล่งจ่าย ในลักษณะของวงจรแปลงไฟตรง (DC-DC Converter) ถูกนำไปประยุกต์ใช้กับหลายวงจร และถูกนำไปออกแบบเป็นวงจรรวมเพื่อทำหน้าที่เป็นแหล่งจ่ายแรงดันสูงให้กับอุปกรณ์หรือวงจรที่ต้องใช้แรงดันสูง เช่น จอแสดงผลแบบ TFT-LCD ที่ต้องการแรงดันไฟสูงสำหรับไปขับเกท (Gate Driver) หรือหน่วยความจำชนิดไม่ลบเลือน (Non-Volatile Memory) เช่น EEPROM และ Flash Memory ที่ต้องการแรงดันสูงสำหรับการโปรแกรมอุปกรณ์แบบเกทลอย (Floating-Gate Device) วงจรอัดประจุอาศัยหลักการของการสวิตช์ (Switching) และการเก็บประจุของตัวเก็บประจุระหว่างสเตจ (Stage Capacitance หรือ Pump Capacitance) เพื่อส่งผ่านประจุ ตามจังหวะของสัญญาณนาฬิกา วงจรพื้นฐานของวงจรอัดประจุประกอบด้วยอุปกรณ์ 2 ตัว คือตัวเก็บประจุและสวิตช์ แสดงดังรูปที่ 2.1[8] โดย  $S_1$  เป็นสวิตช์ทำหน้าที่ส่งผ่านประจุ  $S_2$  เป็นสวิตช์เลือกระดับสัญญาณนาฬิกาว่าจะให้แผ่นตัวนำล่างของตัวเก็บประจุต่ออยู่กับ  $V_{DD}$  หรือกราวด์ และ  $C$  เป็นตัวเก็บประจุระหว่างสเตจทำหน้าที่เก็บประจุที่ได้รับจากแหล่งจ่าย  $V_{DD}$  และคายประจุส่งไปยังเอาต์พุต ตามจังหวะของสัญญาณนาฬิกา โดยสัญญาณนาฬิกาที่ใช้ในการขับวงจรจะมี 2 สัญญาณคือ  $CLK$  และ  $\overline{CLK}$  ซึ่งมีเฟสต่างกัน 180 องศา และมีขนาดอยู่ระหว่าง 0 โวลต์ ถึง  $V_{DD}$  ดังรูปที่ 2.2



รูปที่ 2.1 วงจรอัดประจุ (Charge Pump)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

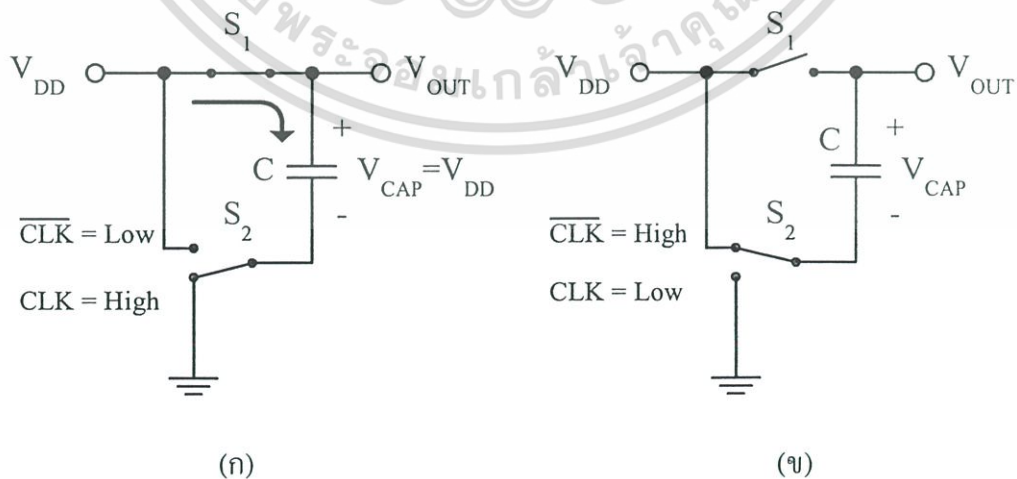


รูปที่ 2.2 สัญญาณนาฬิกาที่ควบคุมการสวิตช์

ในจังหวะที่สัญญาณ  $CLK$  มีสถานะแรงดันสูง (High) จะทำให้สวิตช์  $S_1$  ปิดวงจรต่อแผ่นตัวนำบนของตัวเก็บประจุ  $C$  เข้ากับแหล่งจ่าย  $V_{DD}$  ส่วนสวิตช์  $S_2$  ปิดวงจรด้านต่อกับกราวด์ เชื่อมแผ่นตัวนำล่างของตัวเก็บประจุกับกราวด์ ดังรูปที่ 2.3(ก) หลังจากผ่านเวลาที่เพียงพอจะทำให้แรงดันตกคร่อมตัวเก็บประจุ ( $V_{CAP}$ ) มีค่าเท่ากับ  $V_{DD}$  เมื่อสัญญาณนาฬิกาเปลี่ยนเฟส  $CLK$  เปลี่ยนเป็นสถานะแรงดันต่ำ (Low) ทำให้สวิตช์  $S_1$  เปิดวงจรและ  $S_2$  ต่อกับ  $V_{DD}$  ดังรูปที่ 2.3(ข) ที่แผ่นตัวนำด้านล่างของตัวเก็บประจุมีศักย์เท่ากับ  $V_{DD}$  ขณะที่ประจุที่สะสมอยู่ในตัวเก็บประจุทำให้แรงดันตกคร่อมตัวเก็บประจุเท่ากับ  $V_{CAP}$  ส่งผลให้แรงดันเอาต์พุตทางอุดมคติมีค่าเป็น

$$V_{OUT} = V_{DD} + V_{CAP} = 2 \cdot V_{DD} \quad (2.1)$$

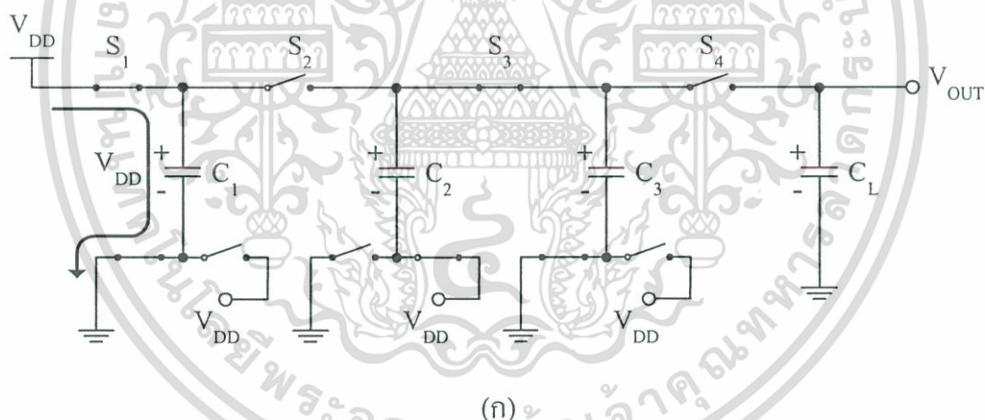
จะเห็นได้ว่าวงจรข้างต้นซึ่งเป็นวงจรขนาด 1 สเตจ จะสามารถกำเนิดแรงดันเอาต์พุตได้เท่ากับสองเท่าของแหล่งจ่าย  $V_{DD}$



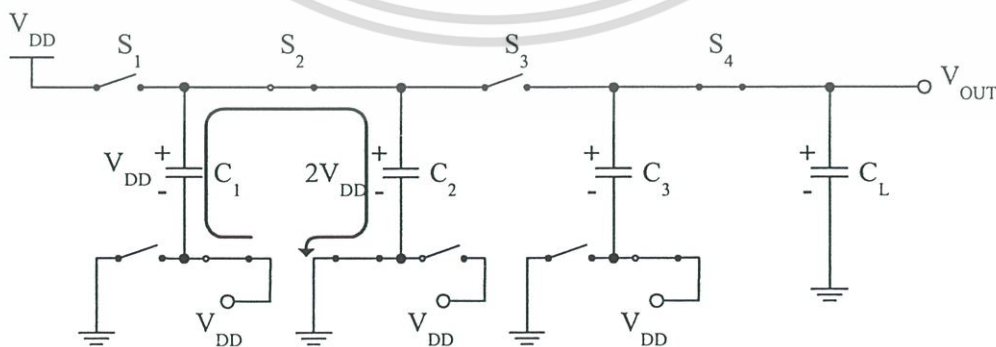
รูปที่ 2.3 การทำงานของวงจรอัดประจุตามการเปลี่ยนแปลงของสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแนวคิดข้างต้นเมื่อให้จำนวนวงจรมีขนาด 3 สเตจ ก็จะสามารถอธิบายกระบวนการทำงาน ได้ดังรูปที่ 2.4 พิจารณารูปที่ 2.4 (ก) เมื่อจ่ายแรงดัน  $V_{DD}$  เข้าทางด้านอินพุต และแผ่นตัวนำล่างของ  $C_1$  ต่อกับ  $CLK$  ที่มีสถานะแรงดันต่ำ (Low) จะทำให้สวิตช์  $S_1$ , ปิดวงจร ( $S_1$ , ปิดวงจร) ประจุจากแหล่งจ่ายจะเคลื่อนที่มาประจุให้กับ  $C_1$ , ทำให้มีแรงดันตกคร่อมที่  $C_1$  เท่ากับ  $V_{DD}$  จึงหวนต่อเฟสของสัญญาณนาฬิกา  $CLK$  เปลี่ยนเป็นสถานะแรงดันสูง (High) และ  $\overline{CLK}$  เปลี่ยนเป็นสถานะแรงดันต่ำ (Low) ทำให้  $S_1$ , เปิดวงจร และ  $S_2$ , ปิดวงจร ( $S_2$ , เปิดวงจร) ดังรูปที่ 2.4 (ข) นั่นคือแผ่นตัวนำล่างของ  $C_1$  จะถูกต่อกับ  $V_{DD}$  ขณะเดียวกัน  $C_1$  ที่เก็บสะสมประจุทำให้มีแรงดันตกคร่อมเท่ากับ  $V_{DD}$  จะรวมเป็น  $2V_{DD}$  และคายประจุส่งผ่าน  $S_2$ , ไปประจุให้  $C_2$ , ทำให้มีศักย์ตกคร่อมเท่ากับ  $2V_{DD}$  เมื่อสัญญาณนาฬิกามีการเปลี่ยนแปลงอีกครั้ง  $CLK$  เปลี่ยนเป็นสถานะแรงดันสูง (High) และ  $\overline{CLK}$  เปลี่ยนเป็นสถานะแรงดันต่ำ (Low) ดังรูปที่ 2.4 (ค) ทำให้  $S_2$ , ปิดวงจร ( $S_2$ , และ  $S_3$ , เปิดวงจร) แรงดันตกคร่อม  $C_2$ , ซึ่งเกิดจากการเก็บประจุจะเท่ากับ  $2V_{DD}$  จะถูกรวมกับสัญญาณ  $V_{DD}$  จาก  $CLK$  ถูกส่งผ่าน  $S_3$ , ไปประจุให้กับ  $C_3$  เท่ากับ  $3V_{DD}$  และเมื่อสัญญาณนาฬิกาเปลี่ยนแปลงอีกครั้ง  $\overline{CLK}$  เปลี่ยนเป็นสถานะแรงดันสูง (High) แรงดันตกคร่อมที่  $C_3$ , ขนาด  $3V_{DD}$  รวมกับ  $V_{DD}$  จาก  $\overline{CLK}$  ก็จะถูกส่งผ่าน  $S_4$ , ไปประจุให้  $C_L$  ทางด้านเอาต์พุตขนาดเท่ากับ  $4V_{DD}$  ดังรูปที่ 2.4 (ง)



(ก)

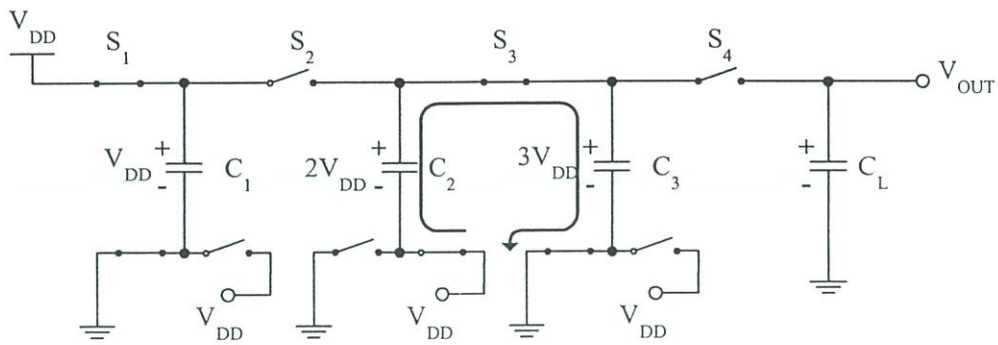


(ข)

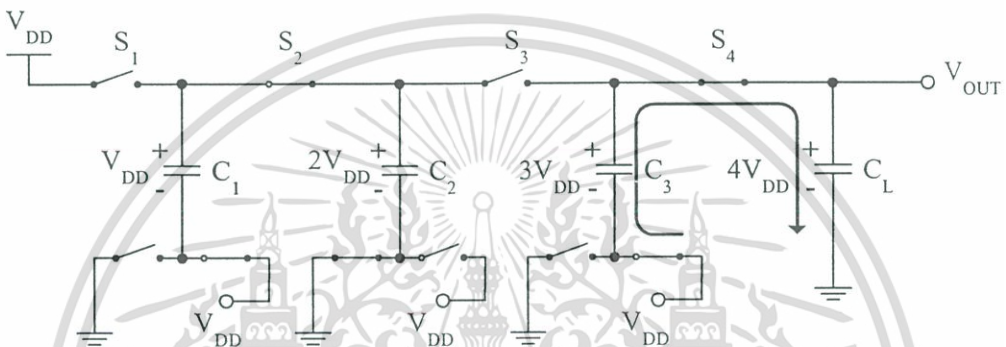
รูปที่ 2.4 การทำงานของตัวเก็บประจุตามจังหวะการสวิตช์ของวงจรอัดประจุแบบ 3 สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ง)

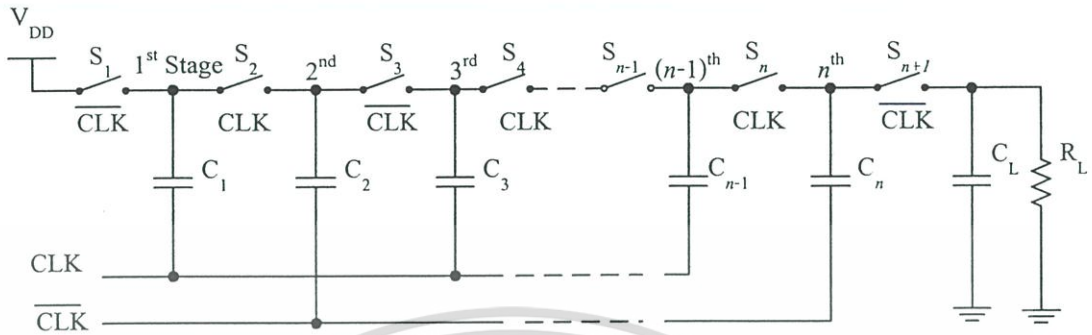
รูปที่ 2.4 การทำงานของตัวเก็บประจุตามจังหวะการสวิตช์ของวงจรอัดประจุแบบ 3 สเตจ (ต่อ)

จะเห็นได้ว่าวงจรที่มีขนาด 3 สเตจ จะสามารถกำเนิดแรงดันทางเอาต์พุตได้เท่ากับ 4 เท่าของแหล่งจ่ายหรือ  $4V_{DD}$  ดังนั้นเมื่อต้องการให้กำเนิดแรงดันที่สูงกว่า 2 เท่าของแหล่งจ่าย สามารถทำได้โดยทำให้วงจรต่อเพิ่มในลักษณะคาสเคด (Cascade) กัน โดยจะใช้อุปกรณ์สวิตช์และตัวเก็บประจุเพิ่มมากขึ้นตามจำนวนสเตจ จะได้เอาต์พุตเป็นไปตามสมการที่ (2.2)

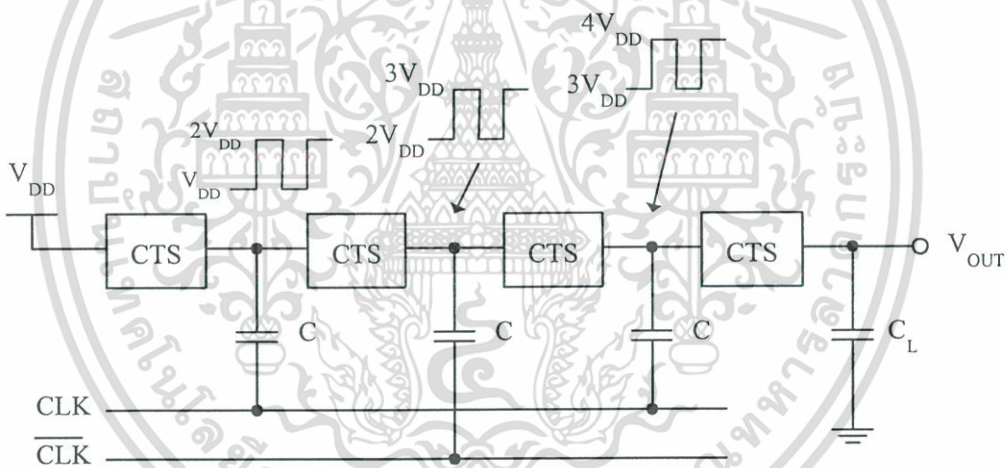
$$V_{OUT} = (n+1) \cdot V_{DD} \quad (2.2)$$

โดย  $n$  คือจำนวนสเตจ โดยวงจรขนาด  $n$  สเตจแสดงดังรูปที่ 2.5 ตัวเก็บประจุระหว่างสเตจ จะถูกเชื่อมต่อกับสัญญาณนาฬิกา 2 สัญญาณที่เฟสตรงกันข้าม เพื่อสลับกันทำหน้าที่ ให้เกิดการเก็บและคายประจุของตัวเก็บประจุ รวมทั้งควบคุมการสวิตช์ของสวิตช์ส่งผ่านประจุ โดยสังเกตได้ว่าในสเตจเดียวกัน ถ้าสเตจนั้นถูกขับด้วยสัญญาณนาฬิกาที่มีระดับแรงดันต่ำ หรือ 0 โวลต์ จะทำให้อุปกรณ์สวิตช์ถูกไบอัสตรง (ปิดวงจร) ตัวเก็บประจุจะทำการเก็บประจุ แต่ถ้าถูกขับด้วยสัญญาณ

นาฬิกาที่มีระดับแรงดันสูง หรือ  $V_{DD}$  อุปกรณ์สวิตช์จะถูกไบอัสกลับ (ปิดวงจร) ตัวเก็บประจุจะทำการคายประจุและส่งผ่านสวิตช์ไปประจุให้กับตัวเก็บประจุของสเตจถัดไป



รูปที่ 2.5 วงจรอัดประจุขนาด n สเตจ



รูปที่ 2.6 โครงสร้างของวงจรอัดประจุ

ดังนั้นวงจรอัดประจุจึงมีโครงสร้างดังรูปที่ 2.6 โดยบล็อกของสวิตช์ส่งผ่านประจุ (Charge Transfer Switch, CTS) ทำหน้าที่เป็นสวิตช์ ขึ้นอยู่กับว่าสวิตช์ทางอุดมคติ (Ideal Switch) จะถูกแทนด้วยอุปกรณ์ชนิดใด การใช้เทคนิคของวงจรแต่ละแบบที่เกิดขึ้น เพื่อให้สวิตช์สามารถทำงานได้ใกล้เคียงกับสวิตช์ทางอุดมคติมากที่สุด เพื่อให้การส่งผ่านประจุของแต่ละสเตจเป็นไปได้มากที่สุด ซึ่งจะนำไปสู่ประสิทธิภาพสูงสุดของวงจร สำหรับวงจรขนาด n สเตจ จะมีจำนวน

สวิตช์เท่ากับ  $n+1$  ตัว ดังนั้นหากวงจรมีการสูญเสียในขั้นตอนของการสวิตช์มาก ก็จะเป็นตัวแปรหลักตัวหนึ่งที่จะส่งผลให้การทำงานของวงจรมีประสิทธิภาพลดลง

## 2.2 วงจรอัดประจุของ Dickson (Dickson Charge Pump)

วงจรอัดประจุโดยส่วนมากจะอาศัยพื้นฐานการออกแบบและวิเคราะห์จากวงจรที่นำเสนอโดย Dickson ในปี 1976 [3] ซึ่งต่อไปจะเรียกว่าวงจรอัดประจุของ Dickson ซึ่งเป็นแนวคิดต้นแบบที่ถูกพัฒนาปรับปรุงออกไปอีกมาก วงจรดังกล่าวจะประกอบด้วยวงจรตัวเก็บประจุที่เชื่อมต่ออยู่กับไดโอด ซึ่งถูกนำมาใช้แทนสวิตช์ ดังรูปที่ 2.7 วงจรจะประกอบด้วยสัญญาณนาฬิกา (Pumping Clock) 2 สัญญาณคือ  $CLK$  และ  $\overline{CLK}$  ซึ่งเฟสตรงข้ามกันและมีขนาด (Amplitude) เท่ากับ  $V_{DD}$  ไดโอดทำหน้าที่เป็นสวิตช์ ตัวเก็บประจุระหว่างสเตจ (Stage Capacitance หรือ Pumping Capacitance;  $C$ ) ทำหน้าที่อัดและคายประจุตามจังหวะของสัญญาณนาฬิกาส่งผ่านไดโอด และค่าความจุแฝง (Parasitic Capacitance หรือ Stray Capacitance;  $C_s$ ) ในแต่ละ โหนด (Node) ซึ่งเกิดจากลักษณะทางกายภาพของตัวอุปกรณ์และการจัดวาง ทำให้การสวิตช์ของไดโอดและการส่งผ่านประจุไม่เป็นอุดมคติ สามารถอธิบายการทำงานได้ดังนี้

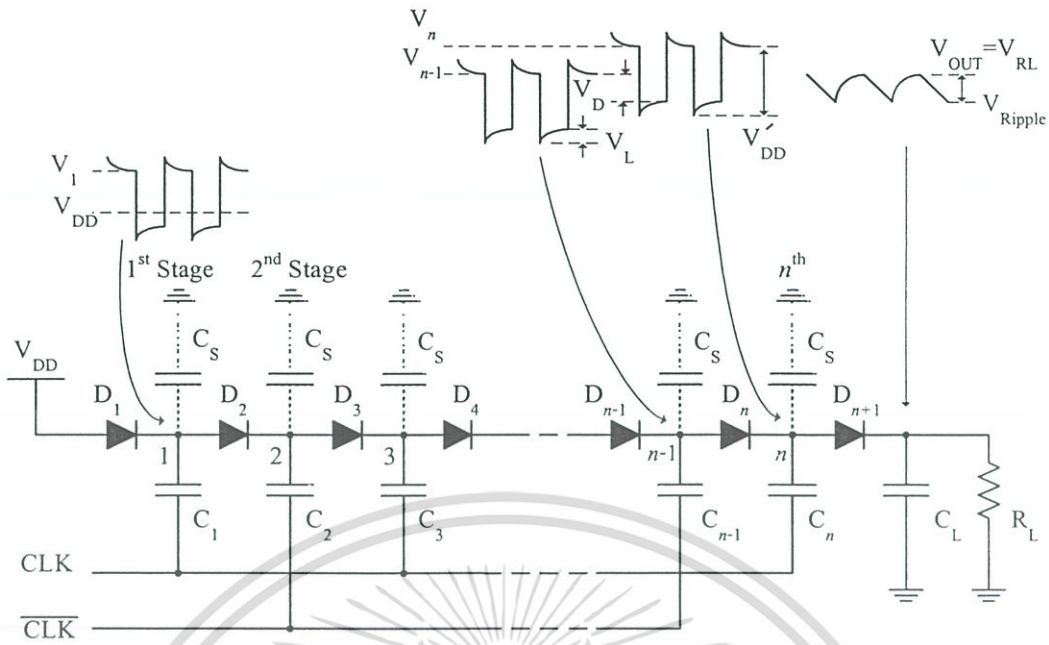
จากรูปที่ 2.7 แรงดันระหว่างสเตจ  $n$  และ  $n-1$  ที่จุดสิ้นสุดของแต่ละคาบเวลา จะได้

$$V_n - V_{(n-1)} = V'_{DD} - V_D - V_L \quad (2.3)$$

เมื่อ  $V'_{DD}$  เป็นขนาดของแรงดันที่เปลี่ยนแปลงในแต่ละ โหนดจากการคัปปลิงสัญญาณนาฬิกาของตัวเก็บประจุ  $V_D$  เป็นแรงดันตกคร่อมไดโอดเมื่อได้รับไบอัสตรง หรือคัคคาเกิน (Barrier Potential) และ  $V_L$  เป็นแรงดันที่ตัวเก็บประจุระหว่างสเตจ เมื่อทำการอัดและคายประจุขณะมีการจ่ายกระแสไปยังเอาต์พุต ส่วนผลของตัวเก็บประจุแฝง  $C_s$  ที่เกิดขึ้นในแต่ละ โหนดของวงจรจะทำให้เกิดการสูญเสียของประจุเนื่องจากประจุเล็กน้อยบางส่วนถูกแบ่งไปประจุให้ตัวเก็บประจุแฝง โดยประจุส่วนใหญ่จะเก็บสะสมอยู่ในตัวเก็บประจุ  $C$  ทำให้การส่งผ่านประจุหรือแรงดันมีขนาดลดลง ตามความสัมพันธ์

$$V'_{DD} = \left( \frac{C}{C + C_s} \right) V_{DD} \quad (2.4)$$

เช่นเดียวกัน ผลรวมของประจุที่ถูกอัดผ่านไดโอดในแต่ละคาบเวลา จะเป็น  $(C + C_s)V_L$



รูปที่ 2.7 วงจรอัดประจุของ Dickson ขนาด  $n$  สเตจ ที่ใช้การสวิตช์ของ ไดโอดและสัจญาณแรงดัน กระแสที่จ่ายโดยวงจร ที่ความถี่  $f$  จะได้

$$I_{OUT} = f(C + C_s)V_L \tag{2.5}$$

หรือ

$$V_L = \frac{I_{OUT}}{f(C + C_s)} \tag{2.6}$$

แทนค่า  $V'_{DD}$  และ  $V_L$  ในสมการ (2.3) จะทำให้ได้

$$V_n - V_{(n-1)} = \left( \frac{C}{C + C_s} \right) V_{DD} - V_D - \frac{I_{OUT}}{f(C + C_s)} \tag{2.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคิดที่จำนวน  $n$  สเตจ เทียบแรงดันเอาต์พุตกับอินพุต ซึ่งจะมีไดโอดอีกตัวทางด้านเอาต์พุตทำหน้าที่สวิตช์ส่งผ่านประจุ จะได้

$$V_{OUT} - V_{DD} = n \left[ \left( \frac{C}{C + C_S} \right) V_{DD} - V_D - \frac{I_{OUT}}{f(C + C_S)} \right] - V_D \quad (2.8)$$

จัดสมการใหม่จะได้เป็น

$$V_{OUT} = V_{DD} + n \left[ \left( \frac{C}{C + C_S} \right) V_{DD} - V_D - \frac{I_{OUT}}{f(C + C_S)} \right] - V_D \quad (2.9)$$

จากสมการที่ (2.9) สามารถเขียนใหม่ได้เป็น

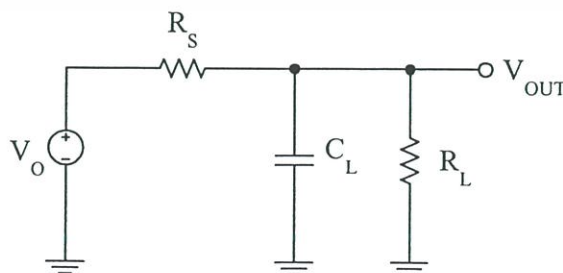
$$V_{OUT} = V_O - I_{OUT} R_S \quad (2.10)$$

โดยแทนอยู่ในเทอมของ  $V_O$  และ  $R_S$  คือ

$$V_O = V_{DD} - V_D + n \left[ \left( \frac{C}{C + C_S} \right) \cdot V_{DD} - V_D \right] \quad (2.11)$$

$$R_S = \frac{n}{f(C + C_S)} \quad (2.12)$$

เมื่อ  $V_O$  และ  $R_S$  คือแรงดันทางด้านเอาต์พุตขณะเปิดวงจร และความต้านทานที่ต่ออนุกรมกับเอาต์พุตของวงจร ตามลำดับ สามารถแสดงได้ด้วยวงจรสมมูล (Equivalent Circuit) ได้ดังรูปที่ 2.8



รูปที่ 2.8 วงจรสมมูลของวงจรอัดประจุของ Dickson จำนวน  $n$  สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

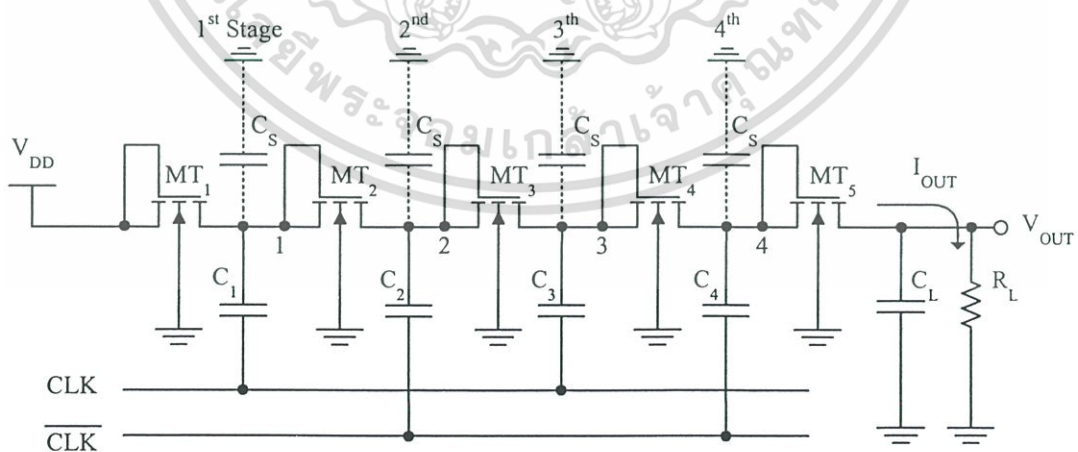
สำหรับสมการการคูณแรงดัน และวงจรสมมูลด้านบนเป็นการสมมติฐานในกรณีที่ตัวเก็บประจุมีการเก็บประจุ และคายประจุอย่างสมบูรณ์ จากผลของ  $V_D$  แต่ในทางปฏิบัติไม่เป็นเช่นนั้น เนื่องจากคุณสมบัติความไม่เป็นเชิงเส้นของ กระแสและแรงดัน และความต้านทานภายในของ ไดโอด นอกจากนี้ยังมีแรงดันกระเพื่อม ขนาดเล็กๆ ที่เอาท์พุทเนื่องจากค่าความต้านทานของโหลด โดยขนาดของแรงดันกระเพื่อม หาได้จาก

$$V_{R_{p-p}} = \frac{I_{OUT}}{fC_L} = \frac{V_{OUT}}{fR_L C_L} \quad (2.13)$$

ซึ่งแรงดันกระเพื่อมนี้สามารถทำให้มีขนาดเล็กลงได้โดยการเพิ่มความถี่ในการใช้งาน หรือใช้ตัวเก็บประจุทางด้านเอาท์พุท ( $C_L$ ) ที่มีค่าสูง โดยสมการที่กล่าวผ่านาดังแต่ต้นนี้ ใช้พิจารณาสำหรับกรณีที่วงจรเข้าสู่สถานะคงตัว (Steady State) แล้วเท่านั้น

ในทางปฏิบัติแล้วเทคโนโลยีซีมอส (CMOS) จะถูกนำมาใช้ในวงจรอัดประจุของ Dickson ดังรูปที่ 2.9 สวิตช์ไดโอดถูกแทนที่ด้วยทรานซิสเตอร์ (MT) ชนิดเอ็น (NMOS) นั่นคือแรงดันตกคร่อมรอยต่อไดโอด ( $V_D$ ) จะถูกแทนที่ด้วยแรงดันขีดเริ่ม (Threshold Voltage,  $V_{TH}$ ) ของมอส (MOS) ขณะที่แรงดันที่เปลี่ยนแปลงหรือกระเพื่อมระหว่างสเตจ (Voltage Fluctuation) [9] เขียนแทนด้วย  $\Delta V$  เมื่อ

$$\Delta V = \frac{C}{C + C_s} V_{DD} - \frac{I_{OUT}}{f(C + C_s)} \quad (2.14)$$



รูปที่ 2.9 วงจรอัดประจุของ Dickson แบบใช้มอสทรานซิสเตอร์เป็นสวิตช์ส่งผ่านประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $CLK$  เปลี่ยนจากระดับแรงดันต่ำ (Low) เป็นระดับแรงดันสูง (High) และ  $\overline{CLK}$  เปลี่ยนจากระดับแรงดันสูง เป็นระดับแรงดันต่ำ แรงดันที่ โหนด 1 จะเป็น  $V_1 + \Delta V$  และ โหนด 2 เป็น  $V_2$  เมื่อ  $V_1$  และ  $V_2$  เป็นแรงดันด้านต่ำที่ โหนด 1 และ 2 ในสภาวะคงตัวตามลำดับ ทั้ง  $MT_1$  และ  $MT_3$  จะได้รับไบอัสกลับ (Reverse Bias) ประจุจะถูกผลักจาก โหนด 1 ไปยัง โหนด 2 ผ่าน  $MT_2$  ซึ่งความต่างศักย์ระหว่าง โหนด 1 และ โหนด 2 จะมีค่าลดลงด้วยแรงดันขีดเริ่มของ  $MT_2$  ซึ่งเงื่อนไขที่จะทำให้วงจรอัดประจุทำงานได้จะต้องเป็น

$$\Delta V > V_{TH} \quad (2.15)$$

โดยผลต่างของแรงดันระหว่างสเตจ สามารถเขียนได้เป็น

$$V_2 - V_1 = \Delta V - V_{TH(V_2)} \quad (2.16)$$

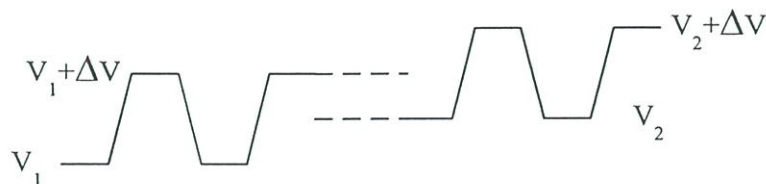
เมื่อ  $V_{TH(V_2)}$  คือแรงดันขีดเริ่มของ  $MT_2$  ซึ่งเป็นผลจากฐานรอง ที่เกิดจากแรงดันที่ขาซอร์ส ของ  $MT_2$  ดังนั้นแรงดันเอาต์พุตของวงจรที่  $n$  สเตจ จะได้เท่ากับ

$$V_{OUT} = V_{DD} + n\Delta V - \sum_{k=1}^{n+1} V_{TH(k)} \quad (2.17)$$

หรือ

$$V_{OUT} = V_{DD} + n \left[ \left( \frac{C}{C + C_S} \right) V_{DD} - \frac{I_{OUT}}{f(C + C_S)} \right] - \sum_{k=1}^{n+1} V_{TH(k)} \quad (2.18)$$

ผลก็คือแรงดันขีดเริ่มที่ตกรวม  $MT_1$ - $MT_5$  จะไปลดขนาดของแรงดันเอาต์พุตด้วยเทอม  $\sum_{k=1}^{n+1} V_{TH(k)}$  หรือทำนองเดียวกันอัตราขยายของ  $k^{\text{th}}$  สเตจ จะถูกลดลงด้วย  $V_{TH(k)}$  เมื่อ  $k$  เป็นจำนวนสเตจ ( $k=1,2,3,\dots,n$ )



รูปที่ 2.10 แรงดันที่เปลี่ยนแปลงระหว่างสเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั่นคือ ความแตกต่างของแรงดันระหว่างสแตจจะขึ้นอยู่กับ  $\Delta V$  ซึ่งขึ้นอยู่กับตัวเก็บประจุแฝง และ กระแสที่จ่ายให้อาท์พุท ซึ่งถ้าพิจารณาจากรูปที่ 2.10 จะเห็นว่าแรงดันของสแตจลดไปไม่ได้เพิ่มขึ้น เป็น 2 เท่าของทั้งนี้เนื่องจากผลของ  $V_{TH}$  ของ MOS มาจำกัด ทำให้อัตราขยายของวงจรจะลดลงใน แต่ละสแตจที่เพิ่มขึ้น

## 2.3 วงจรอัดประจุกับการประยุกต์ใช้งาน

### 2.3.1 หน่วยความจำ

หน่วยความจำที่มีในปัจจุบัน มีหลากหลายชนิด สามารถแบ่งออกเป็น 2 ประเภทใหญ่ คือ RAM (Random Access Memory) ซึ่งต้องอาศัยกระแสไฟฟ้าในการเก็บข้อมูล สามารถเรียกได้ว่าเป็นหน่วยความจำชั่วคราว หรือหน่วยความจำแบบลบเลือน (Volatile Memory) และ ROM (Read Only Memory) เป็นหน่วยความจำที่สามารถเก็บข้อมูลไว้ได้แม้ไม่มีไฟเลี้ยง จึงถูกเรียกว่าหน่วยความจำแบบไม่ลบเลือน (Non-Volatile Memory) ซึ่งหน่วยความจำแบบนี้มีความจำเป็นและสัมพันธ์โดยตรงกับการใช้งานร่วมกับวงจรอัดประจุ อุปกรณ์อิเล็กทรอนิกส์ที่ใช้หน่วยความจำแบบไม่ลบเลือน ได้แก่ เครื่องคอมพิวเตอร์ โทรศัพท์มือถือ กล้องดิจิทัล แผ่นเก็บข้อมูลแบบแฟลช เครื่องเล่นและบันทึก MP3 หรือสมาร์ตการ์ด โดยสามารถจำแนกประเภทของหน่วยความจำแบบไม่ลบเลือน ที่ใช้แรงดันไฟฟ้าในการเขียน และลบข้อมูล ซึ่งขอยกตัวอย่าง 2 ชนิด ดังนี้

#### 2.3.1.1 EEPROM

Electrically Erasable Programmable Read Only Memory หรือ EEPROM เป็นหน่วยความจำแบบไม่ลบเลือน (Non-Volatile Memory) ชนิดหนึ่งที่ใช้เทคโนโลยีแบบเกทลอย (Floating Gate Technology) โดย EEPROM จะให้ข้อมูลในการโปรแกรมแบบไบต์ต่อไบต์ ต่างจาก EPROM ที่ใช้แสง UV ในการลบข้อมูล แต่ EEPROM สามารถลบข้อมูลได้ด้วยกระแสไฟฟ้า ทำให้ไม่ต้องมีช่องรับแสงบนตัว โดยปกติ EEPROM จะใช้ในการเก็บข้อมูลที่ไม่ต้องการการเปลี่ยนแปลงบ่อยๆ EEPROM จะมีความสามารถในการเขียนและลบข้อมูลได้ช้ากว่า RAM สำหรับระดับแรงดันที่ใช้ในการทำงาน ตัวอย่างเช่น EEPROM เบอร์ S524A60X81 ของ SAMSUNG Semiconductor ต้องการแหล่งจ่าย 1.8 ถึง 5.5 โวลต์ และมีระดับแรงดันทำงานดังนี้ การเขียนข้อมูล (Write) ใช้แรงดัน 5.5 โวลต์ บริโภคกระแสไม่เกิน 3 มิลลิแอมป์ การอ่านข้อมูล (Read) ใช้แรงดัน 5.5 โวลต์ บริโภคกระแสไม่เกิน 200 ไมโครแอมป์ และสภาวะการรอ (Standby) ใช้แรงดัน 5.5 โวลต์ บริโภคกระแสไม่เกิน 1 ไมโครแอมป์ เบอร์อื่นๆ อาจมีคุณสมบัติต่างกันออกไปตามลักษณะการประยุกต์ใช้งาน

### 2.3.1.2 Flash Memory

Flash Memory ความจริงแล้วเป็น EEPROM แบบหนึ่ง แต่มีความเร็วในการเขียนและลบข้อมูลได้เร็วกว่า EEPROM เนื่องจากใช้วิธีการโปรแกรมแบบบล็อกแทนแบบไบท์ที่ใช้ใน EEPROM ในเครื่องไมโครคอมพิวเตอร์จะใช้ BIOS ที่เป็น Flash Memory ซึ่งทำให้ง่ายต่อการปรับปรุงข้อมูล ซึ่งบางครั้งจึงเรียกว่า Flash BIOS นอกจากนี้ยังใช้กับการ์ดเก็บข้อมูลต่างๆ อีกด้วย ตัวอย่างหน่วยความจำแบบ Flash ที่นิยมใช้มากได้แก่ PC Card (PCMCIA), Compact Flash, Smart Media, Multimedia Memory Card (MMC), Secure Digital (SD) และ Memory Stick ตัวอย่างเช่น หน่วยความจำชนิด Flash เบอร์ M28W320FST ของ ST Microelectronics [10] ต้องการแรงดันจากแหล่งจ่าย 2.7 ถึง 3.6 โวลต์ ในการอ่านข้อมูล การโปรแกรมข้อมูล และลบข้อมูล แต่ต้องการแรงดัน 12 โวลต์ สำหรับการโปรแกรมข้อมูล และลบข้อมูลแบบเร็ว

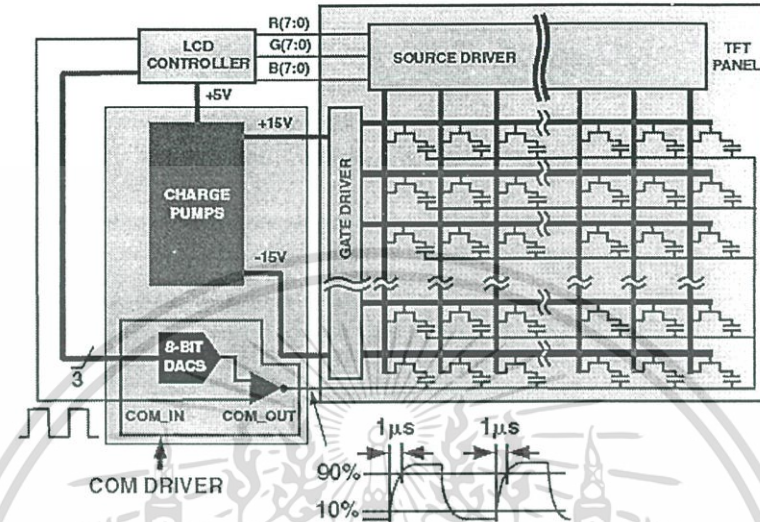


รูปที่ 2.11 หน่วยความจำแบบ Flash ที่ใช้ในอุปกรณ์อิเล็กทรอนิกส์ต่างๆ

### 2.3.2 วงจรอัดประจุกับจอแสดงผลแบบทรานซิสเตอร์ชนิดฟิล์มบาง

จอแสดงผลแบบแผ่นบาง (Flat Panel Display) ในช่วงแรกๆ ถูกสร้างขึ้นในรูปของจอผลึกเหลว (Liquid Crystal Display; LCD) เป็นจอแบบ Passive-Matrix LCD สามารถพบเห็นได้ทั่วไปในอุปกรณ์อิเล็กทรอนิกส์จำนวนมาก ตั้งแต่ นาฬิกาดิจิตอล เกมสีกด หน้าปัดเครื่องใช้ไฟฟ้าต่างๆ ส่วนจอชนิดทรานซิสเตอร์ชนิดฟิล์มบาง (Thin film Transistor Panel; TFT) เป็นจอแบบ Active-Matrix LCD ได้ถูกพัฒนาขึ้นมาในภายหลัง แต่ด้วยคุณสมบัติที่โดดเด่น สามารถแสดงผลด้วยความละเอียดของจุดสีจำนวนมาก มีละเอียดคมชัด ทำให้ได้รับความนิยมเป็นอย่างมาก จากรูปที่ 2.12 [2] จะเห็นว่าโครงสร้างของจอ TFT จะถูกควบคุมด้วยบล็อกของแหล่งจ่าย 2 ชุด ที่สร้างจากบล็อกของวงจรอัดประจุ ได้แก่ แรงดันขนาด +5 โวลต์ จ่ายให้ชุดควบคุม (LCD Controller) ซึ่งจะไปควบคุมสัญญาณสี (R, G, B) โดยไปขับด้านซอร์ส (Source Driver) ขณะที่ แรงดัน +15 โวลต์ และ -15 โวลต์ ไปขับที่ เกท (Gate Driver) หรือยกตัวอย่างวงจรรวมของ Analog Devices เบอร์ ADM8839 (Charge pump regulator for micro TFT panel ) ต้องการแหล่งจ่าย 2.7 ถึง 4.2 โวลต์ ซึ่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นระดับแรงดันที่กำเนิดจากแบตเตอรี่ Li-Ion/NiMH โดยสามารถกำเนิดแรงดันชุดควบคุมได้ +5 โวลต์ ที่กระแส 8 มิลลิแอมป์ และแรงดันขับซอร์สและเกตเท่ากับ  $\pm 15$  โวลต์ ที่กระแส  $\pm 150$  ไมโครแอมป์



รูปที่ 2.12 โครงสร้างของจอแสดงผลแบบทรานซิสเตอร์ฟิล์มบาง



รูปที่ 2.13 จอแสดงผลทรานซิสเตอร์ฟิล์มบางในอุปกรณ์อิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

## การวิเคราะห์และออกแบบวงจรอัดประจุ

วงจรอัดประจุ ส่วนใหญ่แล้วมักจะมีพื้นฐานของโครงสร้างแบบเดียวกัน คือพัฒนามาจากวงจรของ Dickson หากจะจำแนกออกเป็นประเภทต่างๆ ก็สามารถแบ่งได้หลายแบบขึ้นอยู่กับเงื่อนไขที่ใช้ในการจำแนก เช่น ถ้าจำแนกตามจำนวนสัญญาณนาฬิกา ก็สามารถแบ่งเป็นวงจรอัดประจุ แบบใช้สัญญาณนาฬิกาหลายตัว (Multiple Clock) และแบบสัญญาณนาฬิกา 2 ตัว (2 Phase Clock) หรือแยกตามโครงสร้างก็สามารถแยกเป็นโครงสร้างแบบแถวเดี่ยว (Single-Rail) และโครงสร้างแบบแถวคู่ (Double-Rail)

### 3.1 วงจรอัดประจุแบบโครงสร้างแถวเดี่ยว (Single-Rail Charge Pump)

วงจรแบบโครงสร้างแถวเดี่ยว (Single-Rail) จะทำงานตามจังหวะของสัญญาณนาฬิกา โดยใน 1 สแตจ อุปกรณ์สวิตช์ส่งผ่านประจุ (CTS) จะทำงานอยู่เพียงครึ่งคาบเวลา และหยุดทำงาน ครึ่งคาบเวลา ดังนั้นถ้าสแตจใดทำงานมีการส่งผ่านประจุสแตจถัดไปจะหยุดทำงานทำให้เกิดการประจุของตัวเก็บประจุระหว่างสแตจนั้นๆ

#### 3.1.1 วงจรอัดประจุของ Dickson แบบใช้มอสทรานซิสเตอร์เป็นสวิตช์

ในการใช้งานอุปกรณ์ที่กล่าวมาข้างต้น มีความจำเป็นต้องใช้แรงดันหลายระดับ (Multiple Voltage) โดยมีทั้งด้านศักย์บวก และด้านศักย์ลบ ดังนั้นในหัวข้อต่อไปนี้จะแสดงการวิเคราะห์วงจรอัดประจุแบบลบ (Negative Charge Pump) ควบคู่ไปด้วยเสมอ

##### 3.1.1.1 วงจรอัดประจุบวก (Positive Charge Pump)

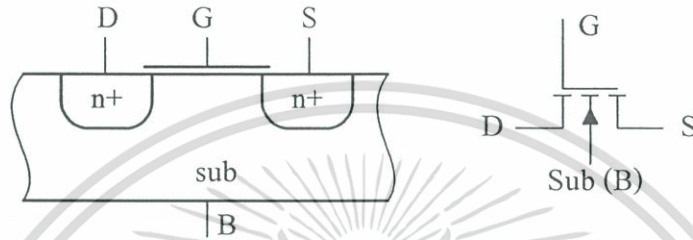
วงจรไดโอดที่ถูกทดแทนด้วยมอสทรานซิสเตอร์ ดังรูปที่ 3.1 และวงจรอัดประจุที่มีโครงสร้างของมอสทรานซิสเตอร์ ดังรูปที่ 3.2 ทำให้สมการแรงดันทางเอาท์พุทมีการเปลี่ยนแปลงโดยเทอมของ  $V_D$  ในสมการที่ (2.9) ถูกแทนที่ด้วยแรงดันขีดเริ่มของมอสทรานซิสเตอร์ ( $V_{TH}$ ) ดังสมการที่ (2.18)

$$V_{OUT} = V_{DD} + n \left[ \left( \frac{C}{C + C_S} \right) V_{DD} - \frac{I_{OUT}}{f(C + C_S)} \right] - \sum_{k=1}^{n+1} V_{TH(k)} \quad (2.18)$$

การทำงานของวงจรจะเหมือนกับวงจรไดโอด มอสทรานซิสเตอร์ในแต่ละสแตจ จะทำงานสลับกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามจังหวะสัญญาณนาฬิกา ซึ่งมีแอมพลิจูดเท่ากับ  $V_{DD}$  ในสถานะคงตัว แต่ละสแตจจะทำงานต่อเนื่องสลับกันส่งผ่านประจุไปยังเอาต์พุต ซึ่งจะได้อะไรเพิ่มขึ้นตามจำนวน สแตจ ที่เพิ่มขึ้น แต่อย่างไรก็ตามแรงดันของวงจรถูกจำกัดขนาดจากแรงดันขีดเริ่ม เมื่อจำนวนสแตจ เพิ่มขึ้นจะทำให้แรงดันขีดเริ่ม เพิ่มขึ้นด้วย เนื่องจากผลของฐานรอง ซึ่งเปลี่ยนแปลงตามการไบอัสกลับที่ฐานรอง (Back Gate Bias,  $V_{BS}$ ) เพราะ สแตจ ที่สูงขึ้นฐานรองของมอสจะได้รับไบอัสกลับ มากขึ้น ส่งผลกระทบต่อ จุดพังทลาย (Breakdown) ของมอสทรานซิสเตอร์



รูปที่ 3.1 โครงสร้างของ NMOS

โดยจะเห็นว่าเทอม  $\sum_k^{n+1} V_{TH}(k)$  ซึ่งเป็นผลรวมแรงดันขีดเริ่มของวงจรถัดขึ้นทุกสแตจ พิจารณา รูปที่ 3.1 เมื่อมีไบอัสกลับที่ฐานรอง ( $V_{BS}$ ) ส่งผลให้ผลของฐานรอง (Body Effect) มีค่าสูงขึ้น ทำให้แรงดันขีดเริ่มเพิ่มขึ้นตามสมการ

$$V_{TH} = V_{TH0} + \gamma(\sqrt{2\Phi_F - V_{BS}} - \sqrt{2\Phi_F}) \quad (3.1)$$

เมื่อ  $V_{TH0}$  คือแรงดันขีดเริ่มที่  $V_{BS}=0$   $\gamma$  เป็นสัมประสิทธิ์ผลกระทบของฐานรอง (Body Effect Coefficient) และ  $\Phi_F$  เป็นศักย์ชั้นกลับที่บริเวณเซนแนล (Surface Inversion Potential)

ดังนั้นค่า  $V_{TH}$  จะมากขึ้นทุกสแตจ นั่นคือ  $V_{TH(k+1)}$  จะสูงกว่า  $V_{TH(k)}$  หมายความว่าอัตราขยายของสแตจจะมีค่าลดลง ถ้าคิดรวมทั้งวงจรถัดขึ้นจะมีการสูญเสียในมอสทรานซิสเตอร์ค่อนข้างมาก ทำให้วงจรมีข้อจำกัดคือ ไม่สามารถออกแบบให้วงจรมีจำนวนสแตจได้มากนัก เนื่องจากถ้าแรงดันขีดเริ่มในสแตจท้ายๆ สูงขึ้นมากทำให้  $\Delta V$  มีค่าต่ำกว่า  $V_{TH}$  มอสทรานซิสเตอร์ไม่สามารถนำกระแสได้อย่างสมบูรณ์ จากสมการ (2.14) เมื่อ  $\Delta V = \frac{C}{C+C_S} V_{DD} - \frac{I_{OUT}}{f(C+C_S)}$  แทน  $\Delta V$  ลงในสมการ (2.18) จะสามารถเขียนในรูปอย่างง่ายได้เป็น

$$V_{OUT} = V_{DD} + n\Delta V - \sum_{k=1}^{n+1} V_{TH(k)} \quad (3.2)$$

ให้  $C$  มีค่ามากกว่า  $C_s$  มากๆ ทำให้สามารถตัด  $C_s$  ออกจากสมการได้ (โดยปกติแล้ว  $C$  จะมีค่าอย่างน้อยเป็น 10 เท่าของ  $C_s$ ) ทำให้

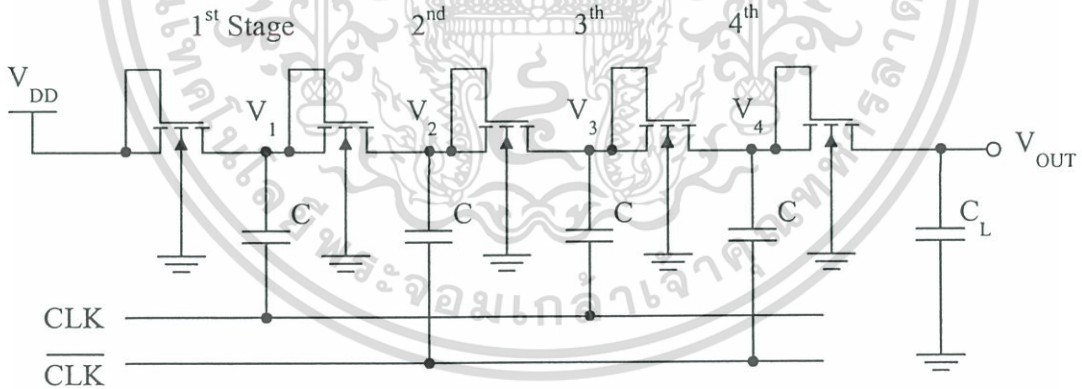
$$\Delta V = V_{DD} - \frac{I_{OUT}}{fC} \quad (3.3)$$

สมการแรงดันจะเปลี่ยนรูปเป็น

$$V_{OUT} = V_{DD} + n \left[ V_{DD} - \frac{I_{OUT}}{fC} \right] - \sum_{k=1}^{n+1} V_{TH(k)} \quad (3.4)$$

หรืออยู่ในรูปสมการ

$$V_{OUT} = (n+1)V_{DD} - \sum_{k=1}^{n+1} V_{TH(k)} - \frac{nI_{OUT}}{fC} \quad (3.5)$$



รูปที่ 3.2 วงจรอัดประจุแรงดันบวกของ Dickson แบบใช้มอสทรานซิสเตอร์ชนิดเอ็น

ในส่วนขนาดของ มอสทรานซิสเตอร์ นั้นจะไม่มีผลกระทบต่ออัตราขยายของวงจรเท่าใดนัก แต่อย่างไรก็ตามถ้าอัตราส่วนของความกว้างแชนแนล (Channel Width,  $W$ ) และความยาวของแชนแนล (Channel Length,  $L$ ) หรือ  $W/L$  ของมอสทรานซิสเตอร์ นั้นมีค่าต่ำจนเกินไปจะทำให้ผลตอบสนองต่อเวลา (Transient Response) ของการอัดประจุไม่สามารถคงที่ภายในคาบเวลาเมื่อความถี่ของสัญญาณพิกามีค่าสูง ทำให้อัตราขยายของการอัดประจุจะต่ำกว่าที่คาดการณ์ไว้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

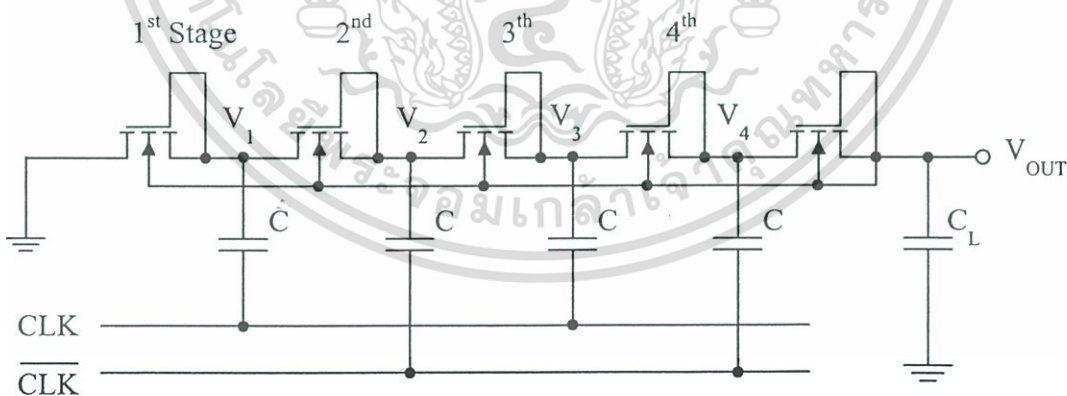
เนื่องจากความต้านทานของแซนแนล ( $R_{CH}$ ) จะทำให้ค่าความต้านทานภายในวงจร ( $R_S$ ) เพิ่มมากขึ้น  
 ดังสมการ

$$R_{CH} = \frac{1}{\mu_N C_{OX} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3.6)$$

เมื่อ  $\mu_N$  คือ ค่าความเคลื่อนที่ได้ของอิเล็กตรอนในแซนแนลเหนี่ยวนำชนิดเอ็น (Electron Mobility) (ถ้าวงจรสร้างจาก PMOS จะเป็น Hole Mobility)  $C_{OX}$  คือค่าความจุไฟฟ้าต่อหน่วยพื้นที่ระหว่างเกตและแซนแนลที่มีออกไซด์เป็นสารไดอิเล็กทริก  $V_{GS}$  คือแรงดันตกรวมขาเกต และ  $V_{TH}$  คือแรงดันขีดเริ่มของมอสทรานซิสเตอร์

### 3.1.1.2 วงจรอัดประจุแรงดันลบ (Negative Charge Pump)

วงจรอัดประจุแรงดันลบ (Negative Charge Pump) [7] สำหรับโครงสร้างแบบพื้นฐานที่ใช้มอสทรานซิสเตอร์ ในการส่งผ่านประจุจะมีโครงสร้างที่คล้ายกับวงจรแบบบวก แต่มีการเปลี่ยนทิศทางของการส่งผ่านประจุ ดังรูปที่ 3.3 โดยโนดทางด้านซ้ายสุดจะเปลี่ยนจาก  $V_{DD}$  เป็นการต่อลงกราวด์ ทำให้ทิศทางของกระแสไหลกลับทิศ สักขั้วตกรวมไหลลงจึงมีค่าเป็นลบ โดยฐานรองของมอสทรานซิสเตอร์ชนิดเอ็น ทุกตัวจะต่อถึงกันเพราะวางอยู่บนฐานเดียวกันและถูกต่อกับโนด ที่มีศักย์ลบสูงสุด เพื่อให้แน่ใจว่าผลกระทบของการไบอัสที่ฐานรองจะเกิดขึ้นน้อยที่สุด และมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region) และทำหน้าที่เสมือนไดโอด



รูปที่ 3.3 วงจรอัดประจุแรงดันลบของ Dickson แบบใช้มอสทรานซิสเตอร์ชนิดเอ็น

สำหรับสมการของแรงดันด้านเอาต์พุตในทางอุดมคติจะเท่ากับ

$$V_{OUT} = -n \cdot V_{CLK} \quad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคิดแรงดันขีดเริ่ม ( $V_{TH}$ ) และค่าความจุแฝง ( $C_S$ ) ของมอส จะทำให้ขนาดของแรงดันทางด้านเอาต์พุตลดลง ได้เป็นสมการ

$$V_{OUT} = -n \left( \frac{C}{C + C_S} \right) V_{CLK} + \sum_{k=1}^{n+1} V_{TH(k)} \quad (3.7)$$

เมื่อ  $V_{CLK} = V_{DD}$  จะได้

$$V_{OUT} = -n \left( \frac{C}{C + C_S} \right) V_{DD} + \sum_{k=1}^{n+1} V_{TH(k)} \quad (3.8)$$

ซึ่งแรงดันดังกล่าวเป็นกรณีที่ด้านเอาต์พุตของวงจรมีการต่อโหลด แต่เมื่อมีการต่อโหลดแล้ว วงจรจะมีการจ่ายกระแสให้กับโหลด เมื่อพิจารณาวงจรสมมูล (ดูรูปที่ 2.8) แล้วจะพบว่า จะมีกระแสไหลผ่านตัวต้านทาน 2 ตัว คือ  $R_S$  หรือความต้านทานภายในที่อนุกรมอยู่กับวงจร และโหลด  $R_L$  หมายความว่า จะเกิดแรงดันตกคร่อมตัวต้านทานทั้งสองตัว ซึ่งในทางอุดมคติเราต้องการให้เกิดการส่งผ่านพลังงานสูงสุด โดยความต้านทานภายในวงจรต้องเป็นศูนย์ เกิดแรงดันตกคร่อมที่โหลดทั้งหมดแต่ในความเป็นจริง ความต้านทานภายในของวงจรซึ่งเกิดจากความสัมพันธ์ของความถี่ที่ใช้งานกับค่าตัวเก็บประจุ คือ

$$R_S = \frac{1}{fC} \quad (3.9)$$

และที่วงจรจำนวน  $n$  แสดงความต้านทานภายในวงจร จะเท่ากับ

$$R_S = \frac{n}{fC} \quad (3.10)$$

ดังนั้นเมื่อมีการจ่ายกระแสให้โหลด ทำให้กระแส  $I_{OUT}$  ไหลผ่าน  $R_S$  เกิดแรงดันตกคร่อม เท่ากับ  $\frac{nI_{OUT}}{fC}$  ซึ่งเทอมนี้จะทำให้แรงดันที่ตกคร่อมโหลดมีค่าลดลง และแรงดันที่เปลี่ยนแปลงระหว่าง

แสดงจะเท่ากับ  $\Delta V = V_{DD} - \frac{I_{OUT}}{fC}$  จะได้สมการแรงดันทางด้านเอาต์พุตเป็น

$$V_{OUT} = -n\Delta V + \sum_{k=1}^{n+1} V_{TH(k)} \quad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

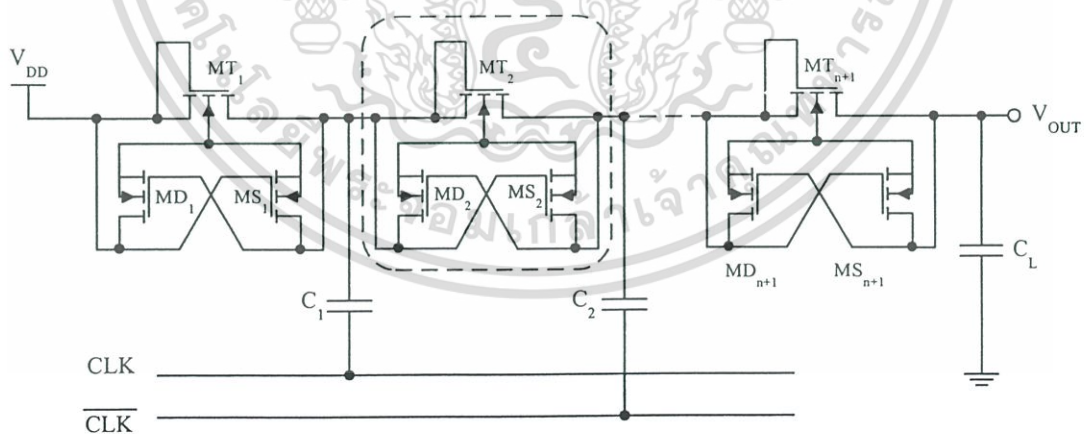
$$V_{OUT} = -nV_{DD} + \sum_{k=1}^{n+1} V_{TH(k)} + \frac{nI_{OUT}}{fC} \quad (3.12)$$

### 3.1.2 วงจรอัดประจุแบบ Dynamic Bulk Bias

การลดข้อจำกัดที่เกิดจากผลกระทบของฐานรองเนื่องจากไบอัสกลับที่ฐานรอง และส่งผลให้แรงดันขั้วเริ่มมีการเปลี่ยนแปลงเพิ่มขึ้น ทำได้โดยอาศัยวงจรพื้นฐานของ Dickson กับอุปกรณ์ซิมอส ใช้วิธีการควบคุม แรงดันขั้วเริ่มจากโดยการจัดการแรงดันที่ฐานรอง ของทรานซิสเตอร์ให้เหมาะสม

#### 3.1.2.1 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias

วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias [11]–[13] ใช้หลักการเพิ่มทรานซิสเตอร์ช่วย (Auxiliary Transistor) เข้ามาในบล็อกของสวิทช์ส่งผ่านประจุ (CTS) โดยการเชื่อมต่อฐานรองของทรานซิสเตอร์ส่งผ่านประจุ (Charge Transfer Transistor, MT) เข้ากับทรานซิสเตอร์ช่วย MS และ MD โดยทรานซิสเตอร์ช่วยทางด้านซอร์ส (MS) ต่อซอร์ส และเกตพร้อมกับ MT ส่วน ทรานซิสเตอร์ช่วยทางด้านเดรน (MD) ต่อเดรน ร่วมกับ MT ดังรูปที่ 3.4 จะเห็นว่าในแต่ละบล็อกของ CTS ประกอบด้วย ทรานซิสเตอร์ส่งผ่านประจุ และทรานซิสเตอร์ช่วย 2 ตัว ใช้ฐานรอง ร่วมกันแต่แยกฐานรองออกจากบล็อกอื่น ดังรูปที่ 3.6 (ก)



รูปที่ 3.4 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดเอ็น

การทำงาน เมื่อ MT ได้รับไบอัสตรงจะทำให้ปิดวงจร จะทำให้ทรานซิสเตอร์ช่วยด้านซอร์ส (MS)

ปิดวงจรด้วย ทำให้ซอร์ส กับฐานรองของ MT ต่อถึงกันผ่าน MS และไม่มีไบอัสกลับระหว่างซอร์ส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับฐานรอง ดังนั้น แรงดันขีดเริ่มของ MT จะเท่ากับแรงดันขีดเริ่มเมื่อไม่มีไบอัสที่ฐานรอง (Zero Back Bias Threshold Voltage,  $V_{T0}$ ) แรงดันขีดเริ่มของวงจรถูกที่แม้จำนวน สเตจจะเพิ่มมากขึ้น เมื่อ MT ปิดวงจรทำให้ทรานซิสเตอร์ช่วยด้านเดรน (MD) ปิดวงจรด้วย ทำให้เดรนกับฐานรองของ MT ต่อถึงกันผ่าน MD เสมือนว่าฐานรองของ MT จะถูกปล่อยลอย ทำให้สมการของแรงดันมีลักษณะใกล้เคียงกับวงจรไดโอดของ Dickson ดังนี้

$$V_{OUT} = V_{DD} + n \left[ \left( \frac{C}{C + C_S} \right) V_{DD} - V_{TH} \right] - V_{TH(n+1)} \quad (3.13)$$

ถ้าไม่คิด ค่าความจุแฝง จะได้เทอม  $\frac{C}{C + C_S} \approx 1$  ดังนั้น

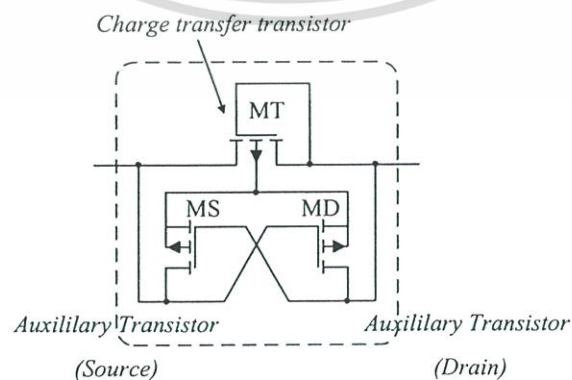
$$V_{OUT} = V_{DD} + n(V_{DD} - V_{TH}) - V_{TH(n+1)} \quad (3.14)$$

หรือ

$$V_{OUT} = (n+1)V_{DD} - (n+1)V_{TH} \quad (3.15)$$

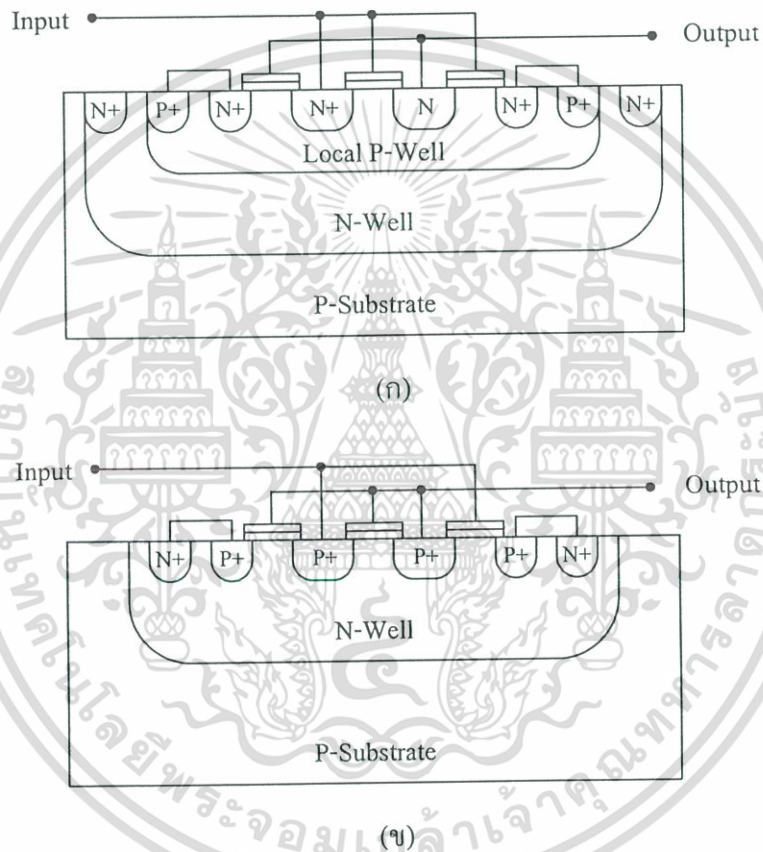
และเมื่อมีการจ่ายกระแสเอาท์พุท แรงดันที่เอาท์พุทถูกจำกัดให้จะมีขนาดลดลงด้วยเทอม  $\frac{nI_{OUT}}{fC}$  สมการเปลี่ยนเป็น

$$V_{OUT} = (n+1)V_{DD} - (n+1)V_{TH} - \frac{nI_{OUT}}{fC} \quad (3.16)$$



รูปที่ 3.5 วงจรอัดประจุแรงดันบวกแบบ Dynamic Bulk Bias ที่ใช้ทรานซิสเตอร์ชนิดพี เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกัน สามารถออกแบบให้วงจรอัตราประจุแบบ Dynamic Bulk Bias ทำจาก มอสทรานซิสเตอร์ชนิดพี (PMOS) ดังรูปที่ 3.5 โดยสร้างจากมอสทรานซิสเตอร์ชนิดพี ทั้ง ทรานซิสเตอร์ส่งผ่านประจุ (MT) และทรานซิสเตอร์ช่วย (MS และ MD) ซึ่งจะมีโครงสร้างภาพตัด (Cross-Section) ดังรูป 3.6(ข) ทรานซิสเตอร์สร้างบน N-Well จะเป็นโครงสร้างที่มีความซับซ้อน น้อยกว่า เนื่องจากวงจรที่ใช้ มอสทรานซิสเตอร์ชนิดเอ็น จะไม่สามารถแยกฐานรองของแต่ละ บล็อกออกจากกันได้ถ้าสร้างบน Substrate การจะแยกฐานรองของแต่ละตัวออกจากกันจึงต้องสร้าง P-Well ซ้อน บน N-Well อีกชั้นหนึ่ง



รูปที่ 3.6 ภาพตัดของวงจรถ่ายอัตราประจุแรงดันแบบ Dynamic Bulk Bias (ก) NMOS (ข) PMOS

### 3.1.2.2 วงจรอัตราประจุแรงดันแบบ Dynamic Bulk Bias

วงจรถ่ายอัตราประจุแบบ Dynamic Bulk Bias ใช้หลักการเหมือนกันกับวงจรถ่ายแบบบวกอาศัย ทรานซิสเตอร์ช่วย (Auxiliary Transistor) โดยการเชื่อมต่อฐานรองของทรานซิสเตอร์ส่งผ่านประจุ (MT) เข้ากับ MS และ MD โดย MS ต่อซอร์สและเกตพร้อมกับ MT ส่วน MD ต่อเดรนพร้อมกับ MT ดังรูปที่ 3.7 และแต่ละบล็อกของ CTS จะใช้ฐานรองร่วมกันแต่แยกฐานรองให้อิสระโดยการสร้าง P-Well ซ้อนเข้ามาอีกชั้นหนึ่ง ดังรูปที่ 3.9(ก) หรือถ้าออกแบบจากมอสทรานซิสเตอร์ชนิดพี ดังรูป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

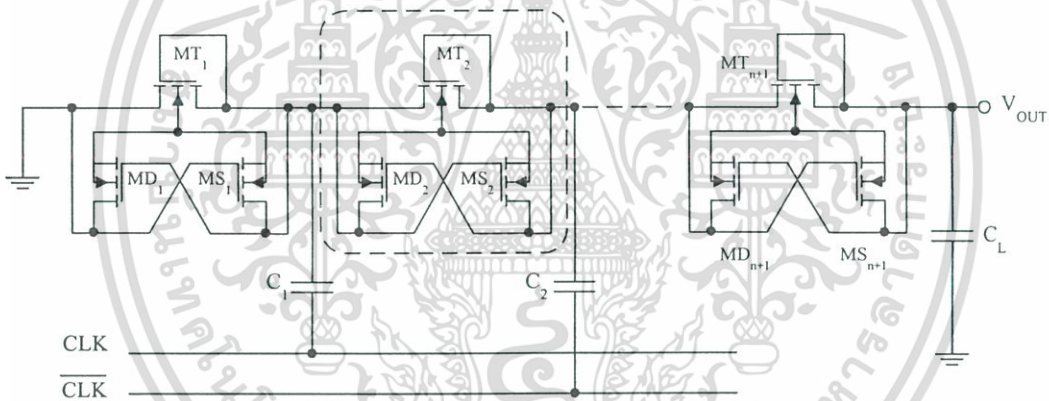
ที่ 3.8 จะมีโครงสร้างภาพตัด ดังรูป 3.9(ข) ตัวทรานซิสเตอร์จะสร้างบน N-Well สมการแรงดันของเอาต์พุต กรณีที่ไม่มีการจ่ายกระแสให้โหลด จะเท่ากับ

$$V_{OUT} = -nV_{DD} + (n+1)V_{TH} \quad (3.17)$$

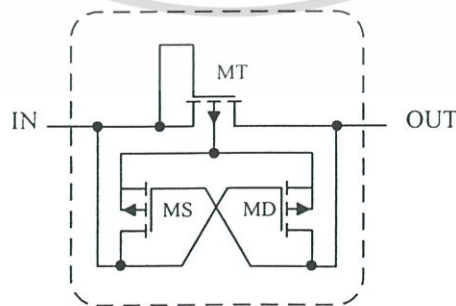
เมื่อจ่ายกระแสเอาต์พุต แอมพลิจูดจะมีขนาดลดลง สมการจะเปลี่ยนเป็น

$$V_{OUT} = -nV_{DD} + (n+1)V_{TH} + \frac{nI_{OUT}}{fC} \quad (3.18)$$

จากสมการที่ (3.18) เมื่อเทียบกับสมการที่ (3.5) จะเห็นว่าในวงจรยังมีผลของ แรงดันขีดเริ่มของมอสทรานซิสเตอร์แต่ละตัว แต่สามารถลดผลกระทบของฐานรอง ทำให้ แรงดันขีดเริ่มของทั้งวงจรเท่ากับ  $(n+1)V_{TH}$

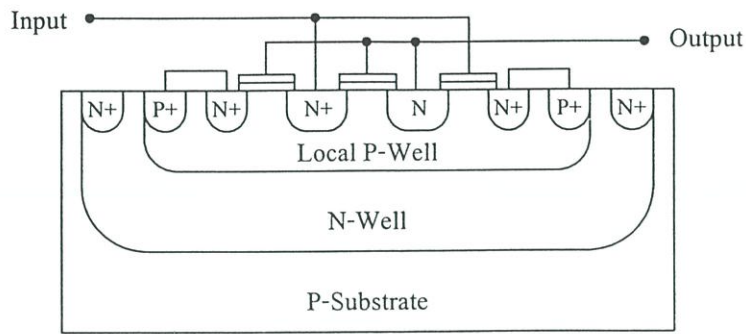


รูปที่ 3.7 วงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดเอ็น

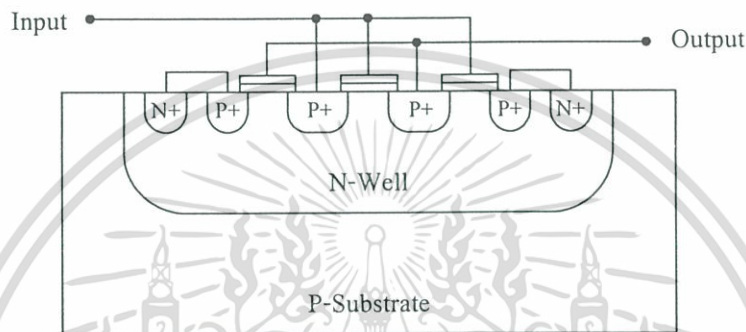


รูปที่ 3.8 วงจรอัดประจุแรงดันลบแบบ Dynamic Bulk Bias ที่ใช้มอสทรานซิสเตอร์ชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 3.9 ภาพตัดของวงจรรัดประจุแรงดันแบบ Dynamic Bulk Bias (ก) NMOS (ข) PMOS

### 3.1.3 การหาจำนวนสแตจและค่าตัวเก็บประจุของวงจรรัดประจุแบบแถวเดียว

ในการวิเคราะห์ห่วงจรรัดประจุที่ใช้รูปแบบของการสวิตชิงดังรูปที่ 2.3 และ 2.7 ไม่ว่าจะเป็นการใช้ไดโอด หรือใช้ มอสทรานซิสเตอร์เราจะใช้วิธีการวิเคราะห์ห้ร่วมกันโดยสมมติให้เป็นการสวิตชิงในทางอุดมคติ ไม่มีการสูญเสีย นั่นคือไม่คิด แรงดันขีดเริ่มของไดโอดและมอสทรานซิสเตอร์ ค่าความจุระหว่างสแตจเท่ากัน พิจารณาที่ความถี่  $f$  และวงจรรัดประจุ จำนวน  $n$  สแตจ จากสมการแรงดันของ Dickson

$$V_{OUT} = (n+1)V_{DD} - \frac{nI_{OUT}}{fC} \quad (3.19)$$

ในสถานะคงตัว วงจรจะมีการบริโภคกระแส (Current Consumption) เท่ากับ  $(n+1)I_{OUT}$  แต่ในความเป็นจริงจะมีการสูญเสียในวงจรทำให้ประสิทธิภาพลดลงต่ำกว่า 1 การบริโภคกระแสในความเป็นจริงจะเป็น [14]

$$I_{CON} = (n+1)I_{OUT} + I_{ni} \quad (3.20)$$

เมื่อ  $I_{ni}$  เป็นเทอมที่เกิดจากการเก็บและคายประจุของค่าความจุแฝงในแต่ละสเตจ จะเห็นว่า  $C_S$  จะทำให้แรงดันมีขนาดลดลง กระแสที่สูญเสียใน  $C_S$  ในหนึ่งคาบเวลาจะเป็น

$$I_{ni} = nC_S fV_{DD} \quad (3.21)$$

เมื่อ  $C_S$  มีความสัมพันธ์กับตัวเก็บประจุของ สเตจ เป็น  $\alpha = C_S/C$  เขียนใหม่ได้เป็น

$$I_{ni} = \alpha nCfV_{DD} \quad (3.22)$$

จากสมการดังกล่าวจะเห็นได้ว่าระหว่าง  $I_{ni}$  กับค่าตัวเก็บประจุที่ใช้ในวงจรมีความสัมพันธ์กันแบบเชิงเส้น และค่า  $\alpha$  จะแสดงให้เห็นถึงกระแสที่สูญเสียใน วงจรอัดประจุ และมีค่ามากกว่า 0 ใน วงจร อัดประจุ ที่ใช้จริง

ในการหาค่าตัวเก็บประจุในสเตจ อาศัยสมการที่ (3.22) จะเขียนได้เป็น

$$C = \frac{nI_{OUT}}{[(n+1)V_{DD} - V_{OUT}]f} \quad (3.23)$$

แทนสมการ (3.23) ลงในสมการ (3.22) เทอมของ  $I_{ni}$  จะเป็น

$$I_{ni} = \alpha \frac{n^2 I_{OUT}}{[(n+1)V_{DD} - V_{OUT}]} V_{DD} \quad (3.24)$$

ดังนั้น การกินกระแสเป็นอิสระไม่ขึ้นอยู่กับค่าความจุระหว่างสเตจ และสามารถออกแบบได้จากการปรับจำนวนสเตจเท่านั้น ทำการแทนค่าสมการที่ (3.24) ลงในสมการที่ (3.20) จะได้

$$I_{CON} = \left[ (n+1) + \alpha \frac{n^2}{(n+1)V_{DD} - V_{OUT}} V_{DD} \right] I_{OUT} \quad (3.25)$$

เพื่อให้การออกแบบมี การกินกำลังน้อยที่สุด โดยการทำให้วงจรมี การกินกระแสต่ำที่สุด โดยการ ใช้ดิฟเฟอเรนเชียล เทียบกับจำนวนสเตจให้ได้ผลเท่ากับ 0 จากสมการ (3.25) จะได้

$$\frac{\partial I_{CON}}{\partial n} = \frac{\partial}{\partial n} \left[ (n+1) + \alpha \frac{n^2}{(n+1)V_{DD} - V_{OUT}} V_{DD} \right] I_{OUT} \quad (3.26)$$

ได้เท่ากับ

$$\frac{\partial I_{CON}}{\partial n} = \left[ 1 + \alpha \frac{n[(n+2)V_{DD} - 2V_{OUT}]}{[(n+1)V_{DD} - V_{OUT}]^2} V_{DD} \right] I_{OUT} \quad (3.27)$$

ดังนั้นจำนวนสแตจ ที่กินกระแสต่ำที่สุดจะได้เท่ากับ

$$n = \left( 1 + \sqrt{\frac{\alpha}{1+\alpha}} \right) \left( \frac{V_{OUT}}{V_{DD}} - 1 \right) \quad (3.28)$$

สามารถหาประสิทธิภาพของวงจรได้จาก

$$\eta = \frac{I_{OUT} V_{OUT}}{I_{CON} V_{DD}} = \frac{1}{n+1 + \alpha \frac{1}{n+1} \left( \frac{V_{OUT}}{V_{DD}} \right)} \left( \frac{V_{OUT}}{V_{DD}} \right) \quad (3.29)$$

แทนค่า  $n$  จากสมการ (3.28) ลงในสมการ (3.29) จะได้ประสิทธิภาพสูงสุดหรือที่  $I_{CON} = \min.$  ของวงจรเท่ากับ

$$\eta_{MAX} = \frac{1}{1 + \frac{1+\gamma}{1-\gamma} \left( \frac{V_{OUT}}{V_{DD}} - 1 \right)} \left( \frac{V_{OUT}}{V_{DD}} \right) \quad (3.30)$$

โดยเป็นฟังก์ชันของตัวแปร  $\gamma$  ซึ่งมีความสัมพันธ์กับ  $\alpha$  มีความสัมพันธ์ตามสมการ

$$\gamma = \sqrt{\frac{\alpha}{1+\alpha}} \quad (3.31)$$

หรืออาจจะประมาณค่าเป็นอัตราส่วนของกระแสที่จ่ายจากแหล่งจ่าย กับกระแสที่จ่ายให้โหลด แทนการหาจากประสิทธิภาพ โดยหาจากสมการ (3.29) ได้เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{CON}}{I_{OUT}} = n + 1 + \alpha \frac{n^2}{n + 1 - \frac{V_{OUT}}{V_{DD}}} \quad (3.32)$$

### 3.2 วงจรอัดประจุแบบโครงสร้างแฉกคู่ (Double-Rail Charge Pump)

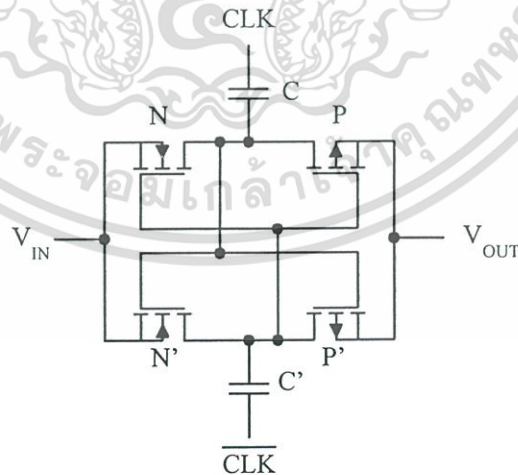
วงจรอัดประจุที่ใช้โครงสร้างแบบแฉกคู่ (Double-Rail) จะเหมือนกับวงจรอัดประจุแบบแฉกเดี่ยวที่วางขนานกัน แตกต่างที่แต่ละสแตจ จะถูกขับด้วยสัญญาณนาฬิกา 2 สัญญาณที่ตรงข้ามเฟสกัน หมายความว่าวงจรมีขนาด 1 สแตจ จะมีการสวิตช์ 2 ครั้งภายในคาบเวลา ทำให้ภายในหนึ่งคาบเวลาจะมีการเก็บประจุและคายประจุของตัวเก็บประจุเกิดขึ้นพร้อมกัน

#### 3.2.1 วงจรอัดประจุแบบคู่ไขว้ (Cross-Coupled Charge Pump)

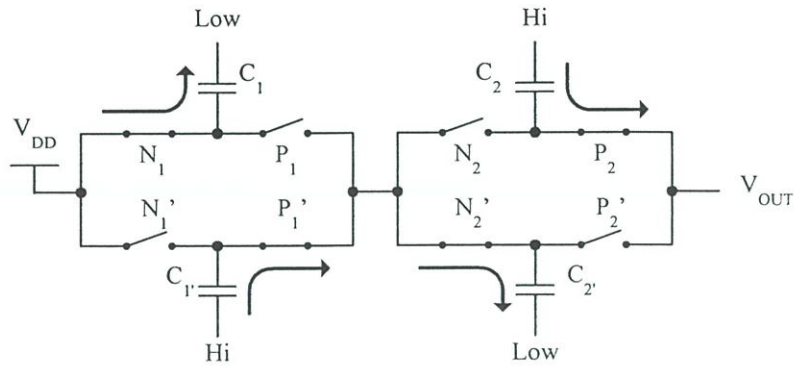
วงจรอัดประจุแบบคู่ไขว้ ประกอบด้วยโครงสร้างแบบขนานของซีมอสทรานซิสเตอร์ (CMOS) ที่สมมาตร (Symmetry) กัน หรือเรียกว่า Cross-Coupled Charge Transfer Switch (CCTS) หมายถึงทรานซิสเตอร์ที่มีพารามิเตอร์เหมือนกัน ขนาดเท่ากัน

##### 3.2.1.1 วงจรอัดประจุแรงดันบวกแบบคู่ไขว้

วงจรอัดประจุแรงดันบวกแบบคู่ไขว้ขนาด 1 สแตจ แสดงดังรูปที่ 3.10 ประกอบด้วย มอสทรานซิสเตอร์ชนิดเอ็น (NMOS) ด้านอินพุต และมอสทรานซิสเตอร์ชนิดพี (PMOS) ด้านเอาต์พุตของสแตจ



รูปที่ 3.10 โครงสร้างวงจรอัดประจุแรงดันบวกแบบคู่ไขว้



รูปที่ 3.11 การสวิตช์ของวงจรอัดประจุแรงดันบวกแบบคู่ไขว้และการเคลื่อนที่ของประจุ

มอสทรานซิสเตอร์ชนิดเอ็นจะทำหน้าที่ในการประจุ ส่วนมอสทรานซิสเตอร์ชนิดพีทำหน้าที่ส่งผ่านประจุ รูปแบบของการสวิตช์และการส่งผ่านประจุจะแสดงดังรูปที่ 3.11 ในสถานะคงตัว ถ้าแฉวบนของ สเตจ แรกได้รับสัญญาณระดับต่ำ ทำให้สวิตช์  $N_1$  ปิดวงจรและสวิตช์  $P_1$  เปิดวงจร ส่วนแฉวล่างได้รับสัญญาณระดับสูง ทำให้สวิตช์  $N_1'$  เปิดวงจร และสวิตช์  $P_1'$  ปิดวงจร ประจุที่เกิดจาก  $V_{DD}$  จะส่งผ่านสวิตช์  $N_1$  ไปประจุให้  $C_1$  ส่วน  $C_1$  ซึ่งมีประจุจากการเก็บประจุจากจังหวะการสวิตช์ก่อนหน้า จะคายประจุส่งไปยังเอาต์พุตของสเตจ ในช่วงเวลาเดียวกันที่สเตจที่ 2 ถ้าแฉวบนของ สเตจ แรกได้รับสัญญาณระดับต่ำ แฉวบนของสเตจที่ 2 จะได้รับสัญญาณระดับสูง ทำให้สวิตช์  $N_2$  เปิดวงจรและสวิตช์  $P_2$  ปิดวงจร ส่วนแฉวล่างได้รับสัญญาณระดับต่ำ ทำให้สวิตช์  $N_2'$  ปิดวงจร และสวิตช์  $P_2'$  เปิดวงจร จะทำให้สัญญาณนาฬิกากระดับสูง ( $V_{DD}$ ) รวมกับประจุที่ทำให้เกิดแรงดันตกคร่อม  $C_1$  ส่งผ่านสวิตช์  $P_1'$  และ  $N_2'$  ไปประจุให้กับ  $C_2$  ทำให้มีแรงดันตกคร่อมที่ตัว  $C_2$  เท่ากับ  $2V_{DD}$  ส่วนประจุที่เก็บใน  $C_2$  จะถูกส่งผ่าน  $P_2'$  ไปยังเอาต์พุตเพื่อประจุให้กับสเตจถัดไป

ส่วนการทำงานของวงจรขนาด  $n$  สเตจ ซึ่งต่อเรียงกันดังรูปที่ 3.12 โดยใช้สวิตช์แบบซีมอส สามารถอธิบายดังนี้ ในสถานะ คงตัว ที่สเตจแรก เมื่อ  $CLK$  เปลี่ยนจาก 0 เป็น  $V_{DD}$  และ  $\overline{CLK}$  เปลี่ยนจาก  $V_{DD}$  เป็น 0  $N_1$  จะเปิดวงจร และ  $N_1'$  จะปิดวงจร ส่วน  $P_1$  จะปิดวงจรและ  $P_1'$  จะเปิดวงจร ตัวเก็บประจุ  $C_1'$  จะถูกประจุด้วยแรงดันจากแหล่งจ่าย  $V_{DD}$  ผ่าน  $N_1'$  ขณะที่  $C_1$  จะคายประจุที่เก็บสะสมไว้ในตัวส่งผ่าน  $P_1$  ไปยัง สเตจ ต่อไป ในทางกลับกันเมื่อสัญญาณนาฬิกามีการเปลี่ยนแปลง  $CLK$  เปลี่ยนจาก  $V_{DD}$  เป็น 0 และ  $\overline{CLK}$  เปลี่ยนจาก 0 เป็น  $V_{DD}$   $N_1$  จะปิดวงจรและ  $N_1'$  จะเปิดวงจรส่วน  $P_1$  จะเปิดวงจร และ  $P_1'$  จะปิดวงจร ตัวเก็บประจุจะสลับกันทำงานโดย  $C_1$  จะกลับมาเก็บประจุ ขณะที่  $C_1'$  จะเปลี่ยนมาคายประจุรวมกับแรงดันที่ได้จาก  $\overline{CLK}$  ส่งผ่าน  $P_1'$  ไปที่เอาต์พุตของสเตจแรก ดังนั้นที่  $n$  สเตจ จะได้สมการแรงดันในอุดมคติเป็น

$$V_{OUT} = V_{DD} + nV_{DD} \quad (3.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.33)  $V_{DD}$  ตัวแรกในเทอมขวามือ คือแรงดันของแหล่งจ่าย  $V_{DD}$  ส่วน  $nV_{DD}$  คือแรงดันที่เกิดจากสัญญาณพิกษาที่รวมกับแรงดันตกคร่อมตัวเก็บประจุแต่ละสเตจเมื่อวงจรมีจำนวน  $n$  สเตจ วงจรแบบคลุ้ไขว้จะทำให้ทรานซิสเตอร์ทำงานในย่านไม่อิ่มตัว (Non Saturation) ซึ่งจะทำให้สามารถลดผลกระทบของแรงดันขีดเริ่มได้ แต่อย่างไรก็ตามก็ยังมีแรงดันตกคร่อมระหว่างซอร์สกับเดรน ( $V_{DS}$ ) ของมอสทรานซิสเตอร์ซึ่งมีค่าน้อยมาก สามารถตัดทิ้งได้ แต่ถ้านำมาคิดด้วยเพื่อให้ได้ค่าที่ใกล้เคียงความจริงมากขึ้น จะอยู่ในรูปสมการ

$$V_{OUT} = V_{DD} + nV_{DD} - 2nV_{DS} \quad (3.34)$$

การลดปัญหาของแรงดันขีดเริ่ม ส่งผลให้แรงดันเอาต์พุตของวงจรเพิ่มขึ้นสูงกว่าวงจรแบบ Dickson นั่นคือมีอัตราขยายที่สูงกว่า และจากการใช้โครงสร้างแบบคลุ้ไขว้ทำให้เสมือนมีวงจร 2 ชุดขนานกันอยู่ภายในสเตจเดียว ซึ่งจะทำให้ความต้านทานภายในวงจรมีค่าลดลงครึ่งหนึ่งเหลือเท่ากับ

$$R_S = \frac{n}{2fC} \quad (3.35)$$

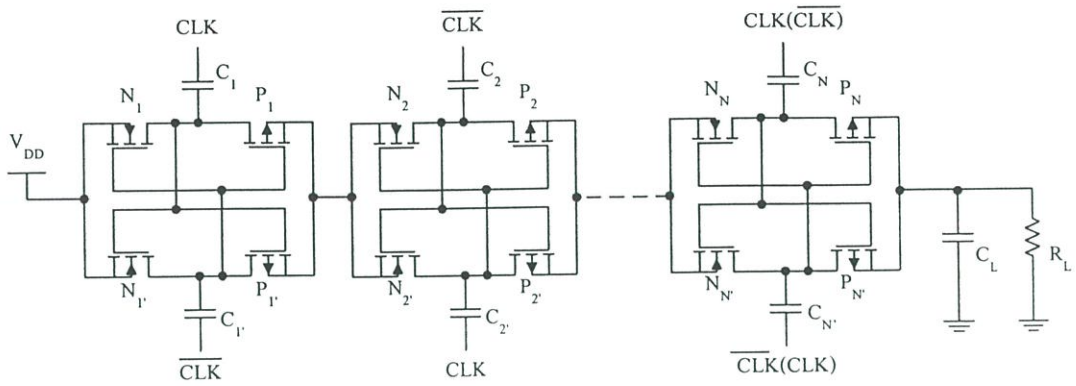
ดังนั้น เมื่อมีการจ่ายกระแสให้กับโหลด ทำให้แรงดันที่เอาต์พุตมีค่าลดลงเป็นจำนวนเท่ากับแรงดันตกคร่อมตัวต้านทานภายในวงจรคือ  $\frac{nI_{OUT}}{2fC}$  จะได้สมการ

$$V_{OUT} = V_{DD} + n \left[ V_{DD} - 2V_{DS} - \frac{I_{OUT}}{2fC} \right] \quad (3.36)$$

หรือ

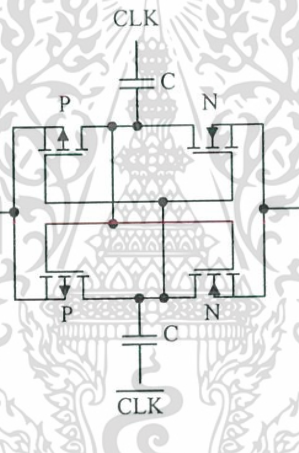
$$V_{OUT} = (n+1)V_{DD} - 2nV_{DS} - \frac{nI_{OUT}}{2fC} \quad (3.37)$$

สรุปได้ว่า วงจรอัดประจุแรงดันบวกแบบคลุ้ไขว้ จะไม่ได้รับผลกระทบของฐานรองซึ่งเกิดจากไบอัสกลับที่ฐานรอง ทั้งนี้เนื่องจากขาซอร์สและฐานรองของมอสทรานซิสเตอร์จะเชื่อมต่อกัน และทรานซิสเตอร์ทำงานในย่านไม่อิ่มตัว

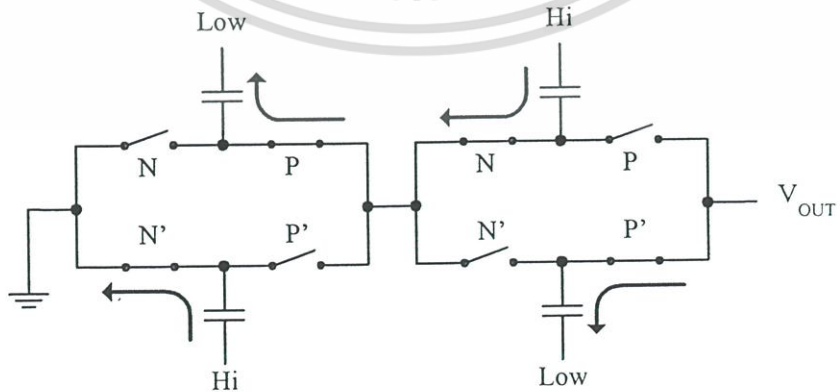


รูปที่ 3.12 วงจรอัดประจุแรงดันบวกแบบคู่ไขว้ จำนวน  $n$  สเตจ

3.2.1.2 วงจรอัดประจุแรงดันลบแบบคู่ไขว้



รูปที่ 3.13 โครงสร้างวงจรอัดประจุแรงดันลบแบบคู่ไขว้



รูปที่ 3.14 การสวิตช์ของวงจรอัดประจุแรงดันลบแบบคู่ไขว้และการเคลื่อนที่ของประจุ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น เมื่อนูญตาเห็นไปไซ้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

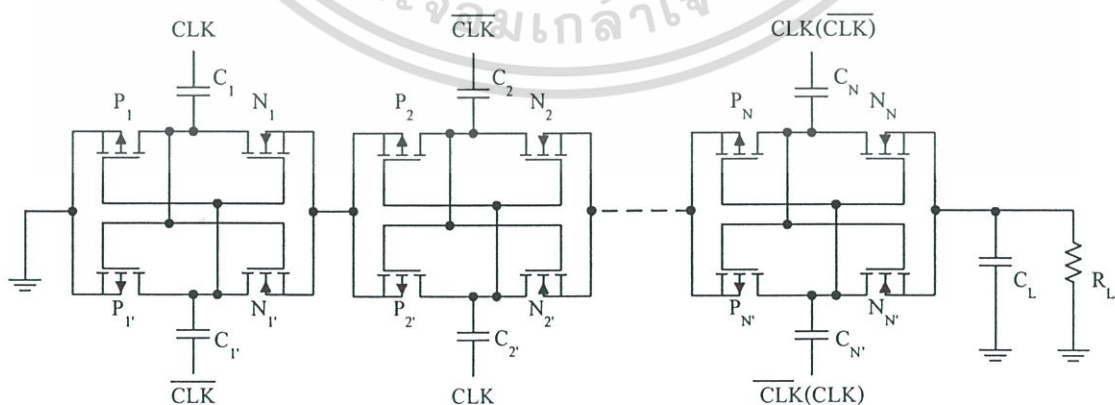
เมื่อทำการกลับโครงสร้างของวงจรอัตรประจวบแบบคู่ไขว้ ดังรูปที่ 3.13 และโน้ดด้านซ้ายมือที่ต่อกับ  $V_{DD}$  เปลี่ยนเป็น Ground ทำให้เกิดการเปลี่ยนแปลงทิศทางของประจุดังรูปที่ 3.14 พิจารณาจากวงจรขนาด  $n$  สเตจ ดังรูปที่ 3.15 ในสถานะคงตัว เมื่อ  $CLK$  เปลี่ยนจาก 0 เป็น  $V_{DD}$  และ  $\overline{CLK}$  เปลี่ยนจาก  $V_{DD}$  เป็น 0  $N_1$  จะเปิดวงจร และ  $N_1'$  จะปิดวงจร ส่วน  $P_1$  จะปิดวงจร และ  $P_1'$  จะเปิด ตัวเก็บประจุ  $C_1$  ที่อยู่ด้านบนจะคายประจุผ่าน  $P_1$  ลงกราวด์ ส่วน  $C_1'$  ตัวที่อยู่ด้านล่างจะทำการเก็บประจุแรงดันที่ส่งผ่าน  $N_1'$  มาจากเอาต์พุต ทำนองเดียวกันถ้าสัญญาณนาฬิกามีการเปลี่ยนเฟส วงจรก็จะทำงานสลับกัน จะได้สมการแรงดันเอาต์พุตเมื่อมีการจ่ายกระแสเท่ากับ

$$V_{OUT} = -n \left[ \left( \frac{C}{C + C_S} \right) V_{CLK} - 2V_{DS} - \frac{I_{OUT}}{2fC} \right] \tag{3.38}$$

ถ้าไม่คิด ค่าความจุแฝง จะได้

$$V_{OUT} = -nV_{CLK} + 2nV_{DS} + \frac{nI_{OUT}}{2fC} \tag{3.39}$$

วงจรถูกกล่าว ผลกระทบของฐานรอง (Body Effect) จะถูกควบคุมโดยการเชื่อมต่อขาซอร์สและฐานรองของมอสทรานซิสเตอร์แต่ละตัวต่อกัน เมื่อเรียงกันหลายๆ สเตจ ซอร์สและฐานรองของแต่ละสเตจจะมีศักย์ที่ต่างกัน นั่นคือทรานซิสเตอร์ชนิดเดียวกันในสเตจเดียวกันจะมี Well แยกเป็นอิสระจากสเตจอื่น ดังนั้นเมื่อ Well อิสระต่อกันทำให้ไม่เกิดกระแสรั่วไหลในทรานซิสเตอร์และมอสทรานซิสเตอร์จะทำงานในภาวะไม่อิ่มตัว โดยที่  $V_{DS}$  มีค่าน้อยมาก แรงดันไฟลบของเอาต์พุตก็จะมีค่าผันแปรตามจำนวนของสเตจ

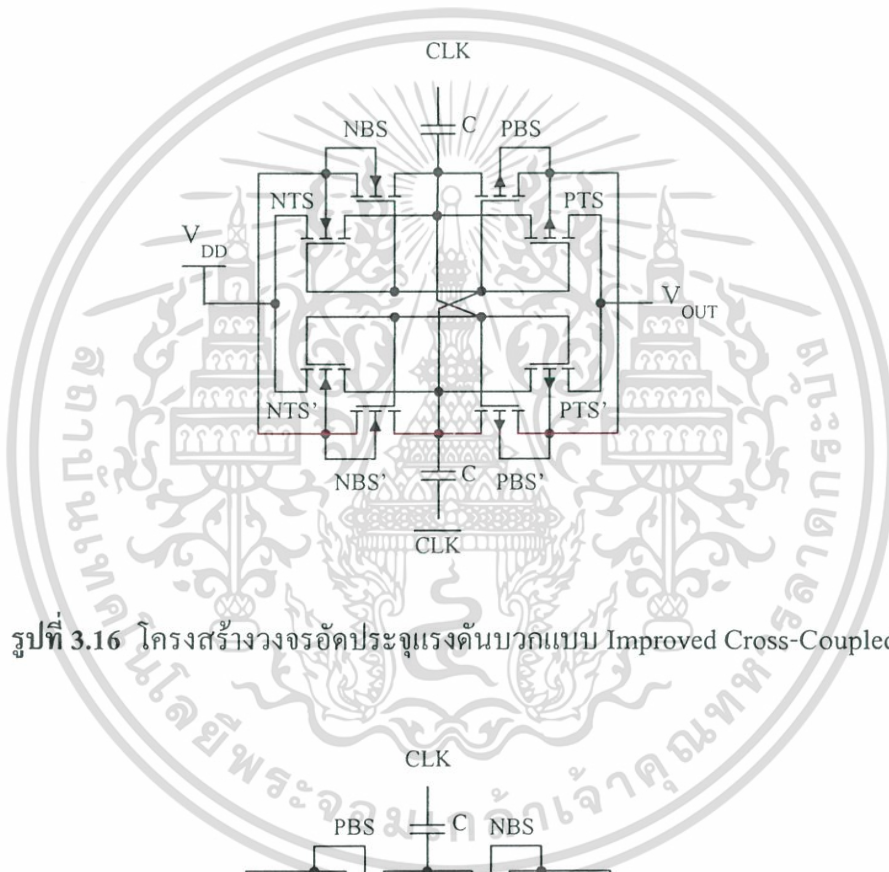


รูปที่ 3.15 วงจรอัตรประจุแรงดันลบแบบคู่ไขว้ จำนวน  $n$  สเตจ

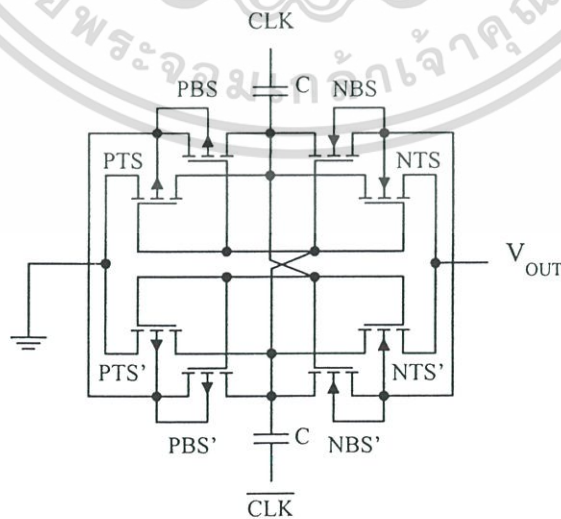
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.2 วงจรอัดประจุแบบ Improved Cross-Coupled

วงจรแบบคู่ไขว้ อาจจะมีผลกระทบจากโครงสร้างของสารกึ่งตัวนำจากทรานซิสเตอร์แฝงในวงจร เนื่องจากจะมีลักษณะ โครงสร้างรอยต่อสารกึ่งตัวนำแบบสองรอยต่อ หรือไบโพลาร์ทรานซิสเตอร์ ซึ่งจะทำให้เกิดกระแสรั่วไหลในตัวทรานซิสเตอร์ ทำให้การส่งผ่านกำลังงานไม่สมบูรณ์ จึงมีการปรับปรุงวงจรเป็น วงจรอัดประจุแบบ Improved Cross-Coupled [15] ซึ่งจะมีโครงสร้างหลักเหมือนกับวงจร CCTS คือมีมอสทรานซิสเตอร์ชนิดเอ็นและชนิดพีทำหน้าที่ส่งผ่านประจุ ส่วนที่เพิ่มเติมเข้ามาคือมอสทรานซิสเตอร์ที่ทำหน้าที่สวิตช์ฐานรอง (Bulk Switch, NBS และ PBS) ดังรูปที่ 3.16

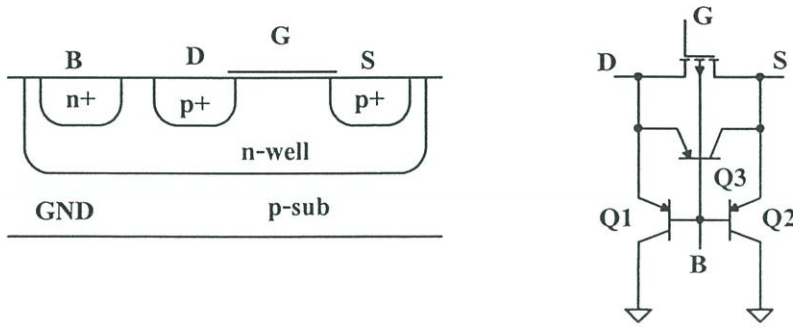


รูปที่ 3.16 โครงสร้างวงจรอัดประจุแรงดันบวกแบบ Improved Cross-Coupled



รูปที่ 3.17 โครงสร้างวงจรอัดประจุแรงดันลบแบบ Improved Cross-Coupled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนูญตเห็นนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 โครงสร้างภาพตัดของ PMOS และ Parasitic Bipolar Transistor [16]

และวงจรถูกกำหนดแรงดันลบดังรูปที่ 3.17 โดยที่ PBS ทำหน้าที่ป้องกันไม่ให้กระแสฐานรอนไหลผ่านทรานซิสเตอร์ไบโพลาร์แผ่นชนิด PNP (Parasitic PNP Bipolar Transistor) ซึ่งอาจเกิดขึ้นจากโครงสร้างทางแนวตั้งของมอสทรานซิสเตอร์ ดังรูปที่ 3.18 ทำให้ความเค้นที่เกตและออกไซด์ (Gate-Oxide Stress) ที่กระทำต่อทรานซิสเตอร์มีค่าต่ำลง ซึ่งจะปรับปรุงให้อัตราขยายแรงดันดีขึ้นได้ และช่วยให้สามารถใช้กับแหล่งจ่ายต่ำๆ ได้ ส่วน NBS ทำหน้าที่จัดการผลกระทบของฐานรอนที่จะเกิดจากการไบอัสกลับ โดยฐานรอนของ NTS จะถูกต่อกับแรงดันด้านซอร์ส เมื่อ NBS นำกระแสซึ่งวงจรถูกกล่าวต้องใช้โครงสร้างแบบ Triple-Well เพราะฐานรอนของ NTS จะต้องถูกแยกออกมาอิสระ

### 3.2.3 การหาจำนวนสเตจและค่าตัวเก็บประจุของวงจรอัดประจุแบบแถวคู่

จากสมการแรงดันของวงจรแบบคู่ไขว้ในทางอุดมคติ กรณีที่จ่ายกระแสไปยังโหลด โดยให้ไม่มีแรงดันตกคร่อมที่ตัวทรานซิสเตอร์ทำให้สมการ (3.37) สามารถเขียนได้เป็น

$$V_{OUT} = (n+1)V_{DD} - \frac{nI_{OUT}}{2fC} \quad (3.40)$$

และเมื่อย้ายสมการเพื่อหาค่าตัวเก็บประจุในสเตจ จะสามารถแสดงในรูปสมการ

$$C = \frac{nI_{OUT}}{2((n+1)V_{DD} - V_{OUT})f} \quad (3.41)$$

จากสมการจะพบว่าขนาดของตัวเก็บประจุระหว่างสเตจของวงจรอัดประจุแบบแถวคู่จะมีขนาดเล็กกว่าวงจรวจรอัดประจุแบบแถวเดี่ยวถึงครึ่งหนึ่ง

### 3.2.4 ประสิทธิภาพของวงจรอัตราประจุแบบแถวคู่

กำลังงานด้านอินพุต (Input Power) ของวงจร สามารถหาได้จาก

$$P_{IN} = P_{VDD} + P_{CLK1} + P_{CLK2} \quad (3.42)$$

เมื่อ  $P_{VDD}$  เป็นกำลังที่จ่ายออกจากแหล่งจ่าย ส่วน  $P_{CLK1}$  และ  $P_{CLK2}$  เป็นกำลังของสัญญาณนาฬิกาทั้ง 2 สัญญาณ และสามารถหาประสิทธิภาพของวงจรได้จาก

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT}}{P_{VDD} + P_{CLK1} + P_{CLK2}} \times 100\% \quad (3.43)$$

หรือหาได้จาก

$$\eta = \frac{V_{OUT} I_{OUT}}{I_{IN} V_{DD}} \times 100\% \quad (3.44)$$

เมื่อ

$$I_{IN} = I_{VDD} + I_{CLK1} + I_{CLK2} \quad (3.45)$$

โดย  $I_{IN}$  คือกระแสรวมที่ไหลในวงจรซึ่งเกิดจากแหล่งจ่าย  $V_{DD}$  และแหล่งจ่ายสัญญาณนาฬิกา

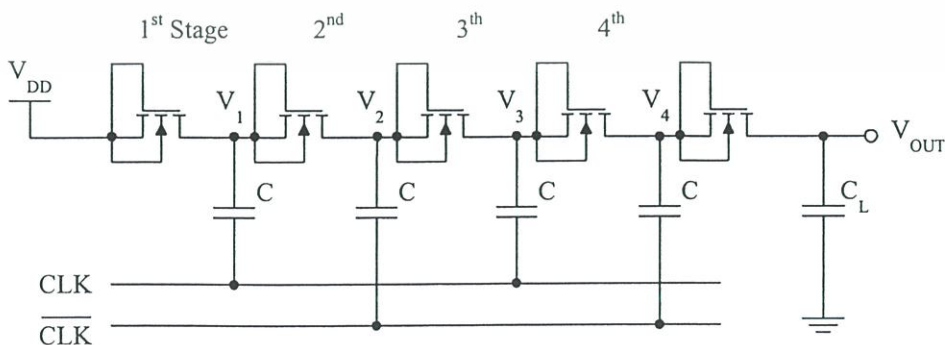
## การปรับปรุงวงจรและผลการจำลองการทำงาน

สำหรับการปรับปรุงวงจรอัตราประจุให้มีคุณสมบัติที่ดีขึ้น ในงานวิจัยชิ้นนี้ปรับปรุงโดยอาศัยวงจรอัตราประจุของ Dickson และวงจรที่ใช้โครงสร้างแบบคัปเปิล (Cross-Coupled) ในการศึกษา และเปรียบเทียบผลการจำลองการทำงาน ทั้งวงจรกำเนิดแรงดันไฟบวก และวงจรกำเนิดแรงดันไฟลบ โดยการเพิ่มวงจรยกระดับแรงดันของสัญญาณนาฬิกา (Clock Re-generator) เข้าไประหว่างสเตจ โดยต่อแทนสัญญาณนาฬิกาเดิม ซึ่งการเพิ่มสัญญาณนาฬิกาที่ผ่านการยกระดับนี้ไม่จำเป็นต้องใช้กับทุกสเตจ แต่สามารถเลือกใช้กับสเตจใดสเตจหนึ่งหรือหลายสเตจ ขึ้นอยู่กับความต้องการขนาดแรงดันด้านเอาต์พุต และการเพิ่มจำนวนสัญญาณนาฬิกาจาก 2 เฟสเป็น 4 เฟส เพื่อจัดการช่วงเวลาในการสวิตช์ของสวิตช์ทรานซิสเตอร์

### 4.1 การปรับปรุงวงจรอัตราประจุของ Dickson

สำหรับวงจรอัตราประจุแบบแถวเดี่ยว สามารถปรับปรุงวงจรให้แต่ละ สเตจมีอัตราขยายแรงดันคงที่ได้โดยอาศัยโครงสร้างของมอสทรานซิสเตอร์ ดังรูปที่ 4.1 ใช้การต่อฐานรองเข้ากับเดรนทำให้วงจรได้รับผลกระทบจากไบอัสกลับที่ฐานรอง (Back Gate Bias,  $V_{BS}$ ) เท่ากัน โดยมอสทรานซิสเตอร์ของทุกสเตจจะมีไบอัสกลับที่ฐานรองไม่เกิน  $\Delta V$  ตามสมการ (2.14) ทำให้แรงดันขั้วเริ่ม ของแต่ละสเตจจะคงที่ ไม่เพิ่มขึ้นตามจำนวนสเตจเหมือน กับวงจรของ Dickson ทำให้ได้แรงดันเอาต์พุตของวงจร เมื่อ ไม่คิดค่าตัวเก็บประจุแฝง เป็นไปตามสมการ

$$V_{OUT} = (n+1)V_{DD} - (n+1)V_{TH} - \frac{nI_{OUT}}{fC} \quad (4.1)$$



รูปที่ 4.1 วงจรอัตราประจุแรงดันบวกแบบปรับปรุงของ Dickson (Improved Dickson, ID)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาความแตกต่างของสมการ ได้ว่าเทอม  $\sum_{k=1}^{n+1} V_{TH}(k)$  ของวงจร Dickson จะมีค่ามากกว่าเทอม  $(n+1)V_{TH}$  ยิ่งเมื่อ แสดงสูงขึ้นความแตกต่างก็ยิ่งมากขึ้น ส่วนประสิทธิภาพของวงจรสามารถหาได้จาก

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT}}{P_{VDD} + P_{CLK1} + P_{CLK2}} \times 100\% \quad (4.2)$$

เมื่อ  $P_{OUT}$  คือกำลังด้านเอาต์พุต  $P_{IN}$  คือกำลังด้านอินพุตซึ่งประกอบด้วย กำลังของแหล่งจ่าย ( $P_{VDD}$ ) และกำลังของสัญญาณนาฬิกา ( $P_{CLK}$ ) หรือหาจาก

$$\eta = \frac{V_{OUT} I_{OUT}}{I_{IN} V_{DD}} \times 100\% \quad (4.3)$$

เมื่อ  $I_{IN}$  คือกระแสรวมที่ไหลในวงจรซึ่งเกิดจากแหล่งจ่าย นอกจากนี้ยังสามารถประมาณค่า ประสิทธิภาพของวงจร ได้โดยให้ กำลังด้านอินพุตเท่ากับกำลังด้านเอาต์พุต ดังสมการ

$$I_{IN} V_{DD} = I_{OUT} V_{DD} \quad (4.4)$$

เมื่อแรงดันทางออกมคติของวงจรมีค่า  $V_{OUT} = (n+1)V_{DD}$  จะได้สมการ

$$I_{IN} V_{DD} = I_{OUT} (n+1) V_{DD} \quad (4.5)$$

จะได้กระแสอินพุตเป็นสัดส่วนกับกระแสเอาต์พุต ตามสมการ

$$I_{IN} = (n+1) I_{OUT} \quad (4.6)$$

แทนสมการ (4.6) ลงในสมการ (4.3) จะได้ประสิทธิภาพของวงจรอัดประจุเท่ากับ

$$\eta = \frac{V_{OUT} I_{OUT}}{(n+1) V_{DD} I_{OUT}} \times 100\% \quad (4.7)$$

นั่นคือค่าประมาณประสิทธิภาพเกิดจากความสัมพันธ์ระหว่างแรงดันและจำนวนสเตจ ดังสมการ

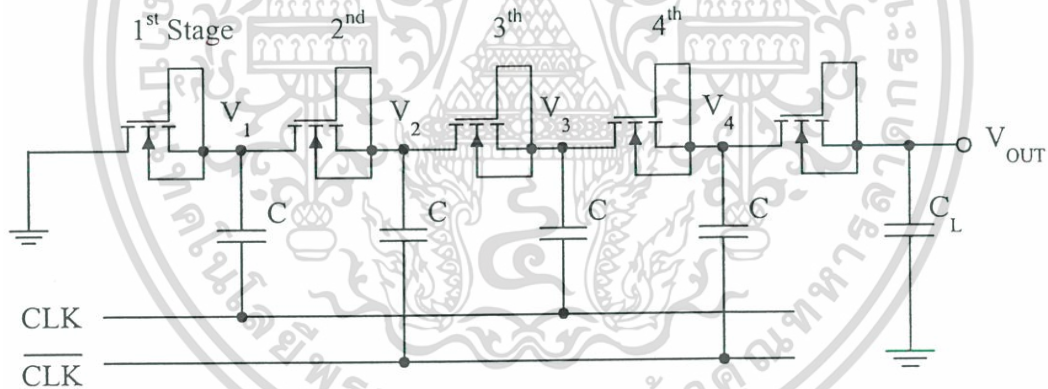
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\eta = \frac{V_{OUT}}{(n+1)V_{DD}} \times 100\% \quad (4.8)$$

ส่วนวงจรอัดประจุแรงดันลบแบบปรับปรุง ก็สามารถลดปัญหาเดียวกันได้ดังรูปที่ 4.2 ซึ่งจะได้ผลลัพธ์ของเอาต์พุตอยู่ในรูปสมการ

$$V_{OUT} = -nV_{DD} + (n+1)V_{TH} + \frac{nI_{OUT}}{fC} \quad (4.9)$$

เนื่องจากวงจรของ Dickson ซึ่งต่อฐานรอง ของทรานซิสเตอร์ทุกตัวรวมกันกับกราวด์ ทำให้ได้รับผลกระทบของ  $V_{BS}$  การจัดการปัญหาของวงจรนี้ จึงเป็นการออกแบบโดยใช้ทรานซิสเตอร์ชนิดเอ็น ที่ฐานรองของแต่ละตัวอิสระต่อกัน ซึ่งเมื่อนำมาใช้กับ โมเดลที่เป็นเทคโนโลยี N-Well จะต้องสร้าง P-Well บน N-Well อีกชั้นหนึ่ง หรืออาจเปลี่ยนมาใช้ PMOS ดังรูปที่ 4.3 ก็จะสามารถออกแบบวงจร โดยให้ N-Well ของทรานซิสเตอร์ แต่ละสเตจอิสระจากกันได้เช่นเดียวกัน และมีโครงสร้างไม่ซับซ้อนเท่ากับมอสทรานซิสเตอร์ชนิดเอ็น ที่ใช้ Well ถึงสองชั้น

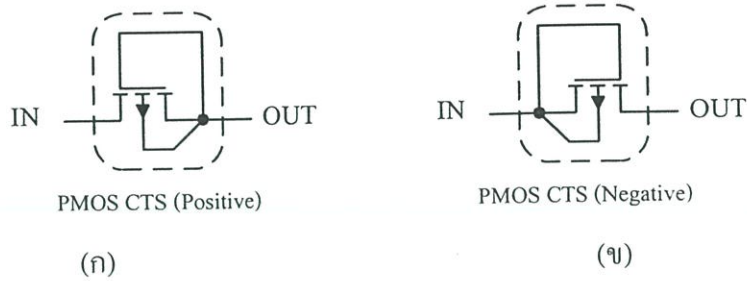


รูปที่ 4.2 วงจรอัดประจุแรงดันลบแบบปรับปรุงของ Dickson

เช่นเดียวกับกับวงจรอัดประจุแรงดันบวก สามารถประมาณค่าประสิทธิภาพของวงจรอัดประจุแรงดันลบ ได้เช่นเดียวกัน ในทางอุดมคติ  $V_{OUT} = -nV_{DD}$  จะได้จากเกิดจากความสัมพันธ์ระหว่างแรงดันและจำนวนสเตจ ดังสมการ

$$\eta = \frac{V_{OUT}}{nV_{DD}} \times 100\% \quad (4.10)$$

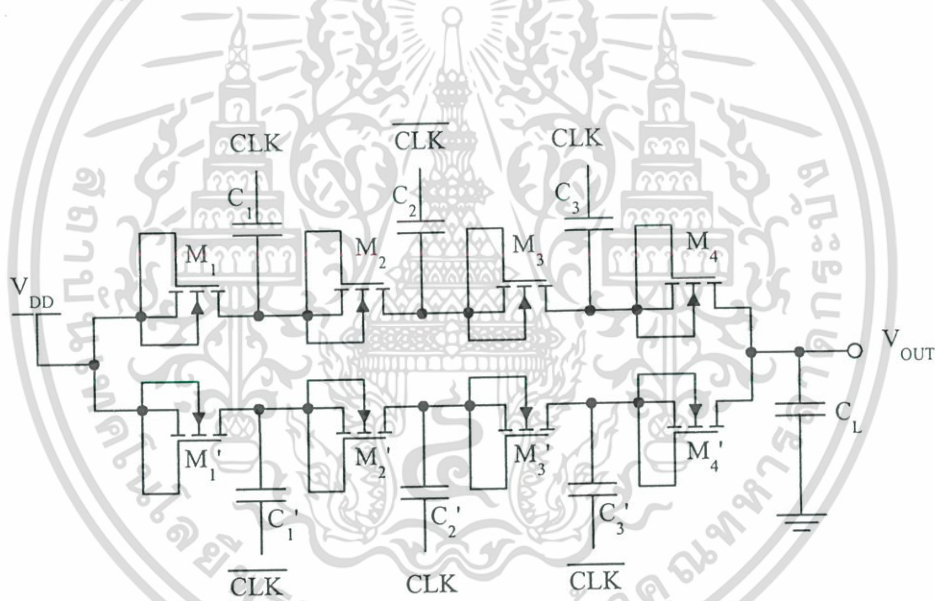
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรอัดประจุแบบปรับปรุงของ Dickson แบบใช้ PMOS (ก) แบบบวก (ข) แบบลบ

นอกจากนี้แล้ว วงจรอัดประจุแบบแถวเดี่ยว ยังสามารถนำวงจรมาวางขนานกันทำให้มีโครงสร้างแบบแถวคู่ ดังแสดงในรูปที่ 4.4 ซึ่งจะช่วยให้สามารถจ่ายแรงดัน และกระแสได้สูงขึ้น เนื่องจากแต่ละสแตจจะสวิตช์ซึ่งเพิ่มคาบเวลา ความต้านทานทางด้านเอาต์พุตของสมการ (2.11) จะ

ลดลงจาก  $R_S = \frac{n}{Cf}$  เป็น  $R_S = \frac{n}{2Cf}$  เหมือนกับวงจรแบบคู่ไขว้



รูปที่ 4.4 วงจรอัดประจุของ Dickson แบบ แถวเดี่ยวที่วางขนานกันเป็นแถวคู่

จะได้สมการเอาต์พุตดังนี้

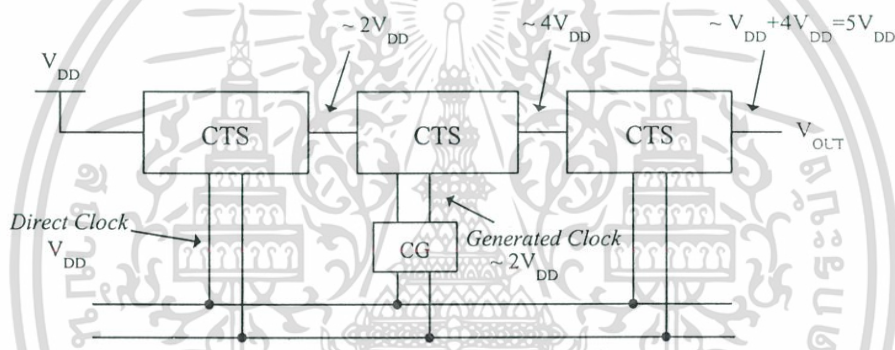
$$V_{OUT} = (n + 1)V_{DD} - (n + 1)V_{TH} - \frac{nI_{OUT}}{2fC} \quad (\text{วงจรอัดประจุแรงดันบวก}) \quad (4.11)$$

$$V_{OUT} = -nV_{DD} + (n + 1)V_{TH} + \frac{nI_{OUT}}{2fC} \quad (\text{วงจรอัดประจุแรงดันลบ}) \quad (4.12)$$

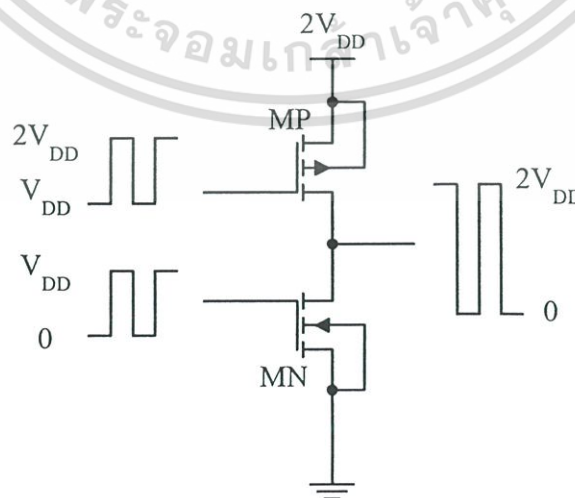
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 การปรับปรุงวงจรอัตราจังหวะแบบคู่ไขว้ด้วยวงจรยกระดับสัญญาณนาฬิกา

การปรับปรุงวงจรอัตราจังหวะแบบคู่ไขว้ สำหรับวิทยานิพนธ์นี้ ทำการปรับปรุงจากวงจร CCTS โดยการเพิ่มวงจรยกระดับสัญญาณนาฬิกา (Clock Re-generator) เข้าไปในวงจรที่แสดงในรูปที่ 4.5 ส่วนแสดงอื่นๆ ก็ใช้สัญญาณนาฬิกาแบบเดิมดังรูปที่ 4.5 โดยมีจุดประสงค์เพื่อในส่วน ของวงจรยกระดับสัญญาณนาฬิกา ใช้วงจร Push-Pull ซึ่งเป็นวงจรแบบซิมอส ประกอบด้วยทรานซิสเตอร์ชนิดพี ทำหน้าที่เป็นทรานซิสเตอร์ Pull-Up และทรานซิสเตอร์ชนิดเอ็น ทำหน้าที่เป็นทรานซิสเตอร์ Pull-Down ดังรูปที่ 4.6 วงจรจะทำหน้าที่ยกระดับสัญญาณนาฬิกาให้สูงขึ้น โดยทรานซิสเตอร์ Pull-Up จะสวิตช์ระดับแรงดันระหว่าง  $V_{DD}$  ถึง  $2V_{DD}$  และทรานซิสเตอร์ Pull-Down สวิตช์ระดับแรงดันระหว่าง 0 ถึง  $V_{DD}$  โดยสัญญาณอินพุตของมอสทั้งสองตัวต้องมีเฟสตรงกันทำให้สัญญาณที่เอาท์พุทของวงจรมีขนาดอยู่ระหว่าง 0 ถึง  $2V_{DD}$  และมีเฟสตรงกันข้ามกับอินพุต



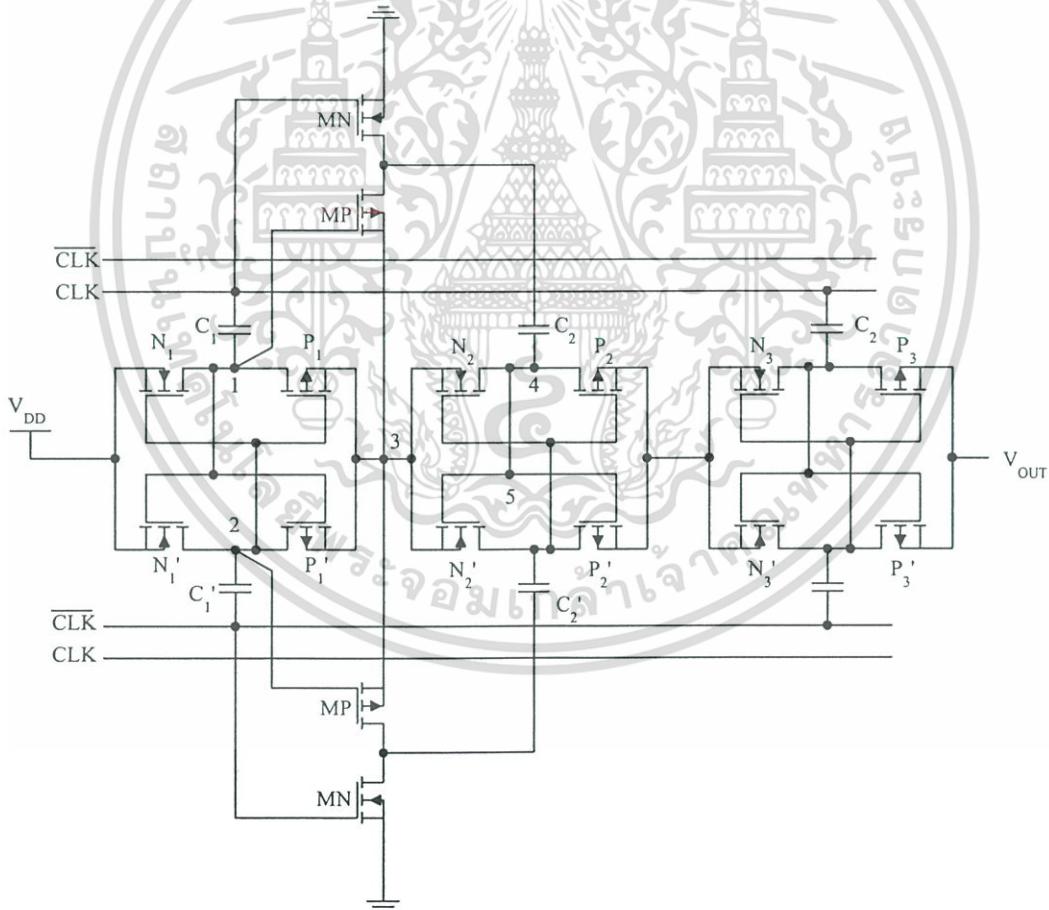
รูปที่ 4.5 ผังของวงจรอัตราจังหวะที่ใช้วงจรยกระดับสัญญาณนาฬิกา



รูปที่ 4.6 วงจรยกระดับสัญญาณนาฬิกา (Clock Re-generator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถักประจุแบบคู่ไขว้ (CCTS) ที่ใช้ วงจรยกระดับสัญญาณนาฬิกา (CG) หรือเรียกสั้นๆ ว่า CCTS-CG ดังแสดงในรูปที่ 4.7 เป็นตัวอย่างวงจรถักประจุขนาด 3 สเตจ ที่มีการใช้วงจรยกระดับสัญญาณนาฬิกา ทำการยกระดับสัญญาณนาฬิกาในสเตจที่ 2 โครงสร้างแบบแถวคู่หรือแบบคู่ไขว้ ต้องใช้ วงจรยกระดับสัญญาณนาฬิกา จำนวน 2 ชุด ในด้านบนและด้านล่าง สำหรับวงจรถักประจุบนขาเดรน ของทรานซิสเตอร์ Pull-Up ต่อเข้ากับ โหนด 3 ซึ่งทางอุดมคติในสภาวะคงตัว จะมีค่าเท่ากับ  $2V_{DD}$  ส่วนเกต ต่อกับ โหนด 1 และเดรน ของทรานซิสเตอร์ Pull-Down ต่อเข้ากับ กราวด์ ส่วนเกตต่อเข้ากับ  $CLK$  ในทำนองเดียวกัน วงจรยกระดับสัญญาณนาฬิกา ชุดล่างก็จะถูกต่อเข้ากับ วงจรในแถวล่างด้วยแบบเดียวกัน ลักษณะเช่นนี้จะเห็นว่า ตัวเก็บประจุของวงจรถักประจุในสเตจที่ 2 จะถูกขับเคลื่อนด้วย นาฬิกา ที่มีขนาด  $2V_{DD}$  ซึ่งจะส่งผลให้เอาต์พุตของสเตจที่ 2 เพิ่มขึ้นจากวิธีการเก่าซึ่งควรจะเท่ากับ  $3V_{DD}$  ขึ้นมาเป็น  $4V_{DD}$  ส่วนสเตจที่ 3 ถูกขับเคลื่อนด้วยสัญญาณนาฬิกาขนาด  $V_{DD}$  เหมือนกับสเตจแรก ก็จะมีอัตราขยายเท่าเดิม ทำให้ได้แรงดันเอาต์พุตของวงจรถักประจุขนาด 3 สเตจ เท่ากับ  $5V_{DD}$



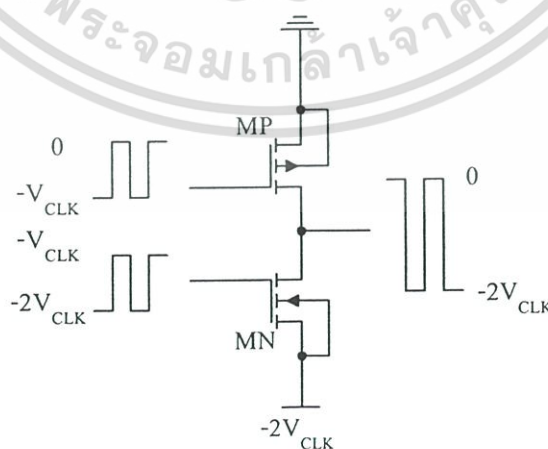
รูปที่ 4.7 วงจรถักประจุแรงดันบวกแบบคู่ไขว้ที่ใช้วงจรยกระดับสัญญาณนาฬิกา (CCTS-CG)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้สมการแรงดันอยู่ในรูปทั่วไป เท่ากับ

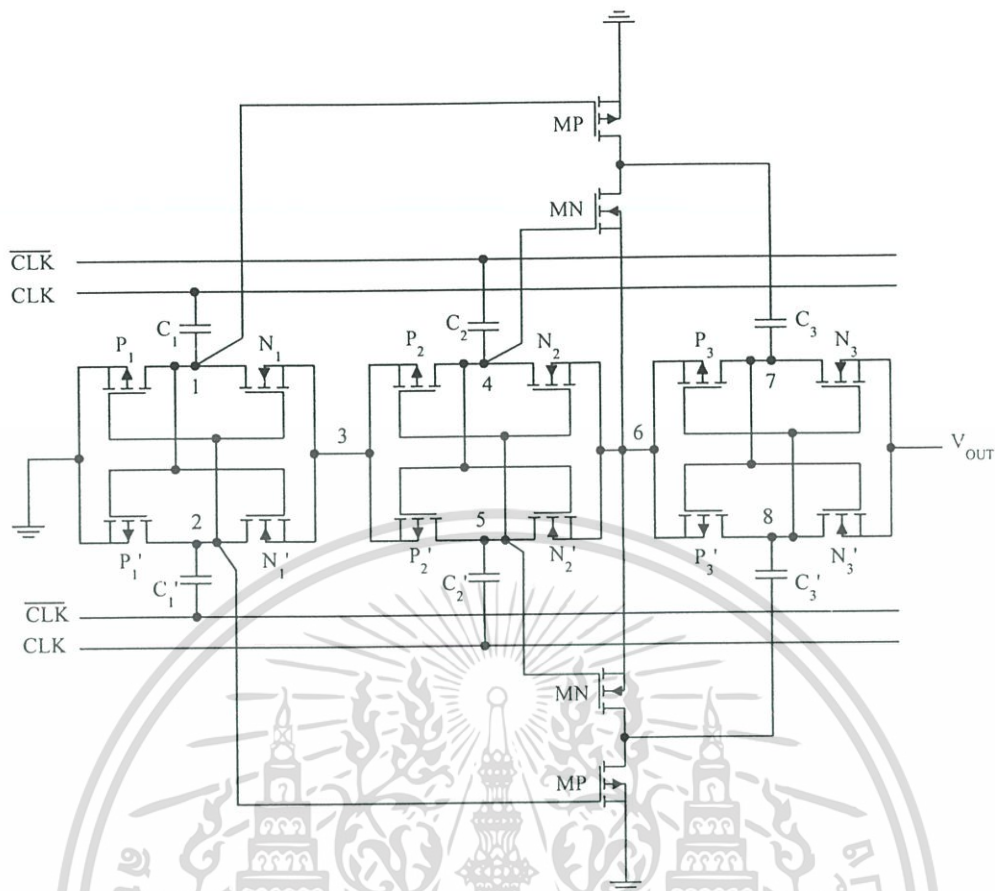
$$V_{OUT} = (n+1)V_{DD} + mV_{DD} - \frac{(n+m)I_{OUT}}{2fC} \quad (4.13)$$

เมื่อ  $m$  หมายถึง จำนวนสแตจที่ถูกขับด้วยสัญญาณนาฬิกาที่ทำการยกระดับแล้ว ซึ่งจะทำให้แรงดันมากขึ้นตามสัญญาณนาฬิกาที่ใช้ แต่อย่างไรก็ตาม เมื่อมีการจ่ายกระแสให้โหลด จะทำให้เอาต์พุตถูกจำกัดด้วยความต้านทานภายในวงจรซึ่งจะเพิ่มมากขึ้น ทำให้ความสามารถในการจ่ายกระแสต่ำลง ส่วนในวงจรอัดประจุแบบคู่ไขว้ ก็สามารถทำการออกแบบโดยใช้ วงจรยกระดับสัญญาณนาฬิกา จำนวน 2 ชุด เช่นเดียวกันโดยทรานซิสเตอร์ Pull-Up จะสวิตช์ระดับแรงดันระหว่าง  $-V_{CLK}$  ถึง 0 และทรานซิสเตอร์ Pull-Down สวิตช์ระดับแรงดันระหว่าง  $-2V_{CLK}$  ถึง  $-V_{CLK}$  สัญญาณที่เอาต์พุตของวงจรมีขนาดอยู่ระหว่าง  $-2V_{CLK}$  ถึง 0 และมีเฟสตรงกันข้ามกับอินพุต ดังรูปที่ 4.8 ส่วนวงจรอัดประจุแรงดันลบแบบคู่ไขว้ ที่ใช้วงจรยกระดับสัญญาณนาฬิกาดังแสดงในรูปที่ 4.9 แต่การใช้วงจรยกระดับสัญญาณนาฬิกา จะมีความแตกต่างออกไปจากวงจรแบบบวก ทั้งนี้เนื่องจาก อินพุตของสแตจแรกต่อกับกราวด์ เอาต์พุตของสแตจแรก เกิดจากการขับของสัญญาณ  $CLK$  กับ  $\overline{CLK}$  เท่านั้น ทำให้มีค่าเท่ากับ  $V_{DD}$  จึงไม่สามารถใช้เอาต์พุตของสแตจแรกมาสร้างเป็นสัญญาณนาฬิกาได้ จึงใช้สัญญาณจาก โหนด 1 ซึ่งสวิตช์ระดับแรงดันระหว่าง  $-V_{CLK}$  ถึง 0 ต่อเข้ากับ เกทของ ทรานซิสเตอร์ Pull-Down และ โหนด 4 ซึ่งสวิตช์ระดับแรงดันระหว่าง  $-2V_{CLK}$  ถึง  $-V_{CLK}$  ต่อเข้ากับ เกท ของทรานซิสเตอร์ Pull-Up ส่วนเดรน ต่อเข้ากับ โหนด 6 ซึ่งมีระดับแรงดัน  $-2V_{CLK}$  ดังนั้นเอาต์พุตของวงจรยกระดับสัญญาณนาฬิกาจะมีขนาดระหว่าง  $-2V_{CLK}$  ถึง 0 เท่ากับว่ามีขนาดเป็น 2 เท่าของสัญญาณ นาฬิกาเดิมและในแถวล่างก็ต่อเข้าไปในวงจรในแบบเดียวกัน



รูปที่ 4.8 วงจรยกระดับสัญญาณนาฬิกา (Clock Re-generator) แบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรอัดประจุแรงดันลบแบบคู่ไขว้ที่ใช้วงจรระดับสัญญาณนาฬิกา

โดยมีสมการแรงดัน คือ

$$V_{OUT} = -(n+m)V_{DD} + \frac{(n+m)I_{OUT}}{2fC} \quad (4.14)$$

เมื่อ  $n$  หมายถึง จำนวนสแตจทั้งหมด และ  $m$  หมายถึง จำนวนสแตจที่ถูกขับด้วยสัญญาณนาฬิกาที่ทำการยกระดับแล้วโดยมีเงื่อนไขวงจรต้องมีจำนวน 3 สแตจ ขึ้นไป จึงจะสามารถใช้วงจรระดับสัญญาณนาฬิกาได้ เนื่องจากวงจรระดับสัญญาณนาฬิกาจะมีระดับแรงดันที่จ่ายให้ครบจาก 0 ถึง  $-2V_{CLK}$  ได้นั้นต้องใช้วงจรรอัดประจุจำนวน 2 สแตจ

ข้อดีของวงจรรอัดประจุที่ทำการยกระดับสัญญาณนาฬิกาก็คือวงจรสามารถทำการกำหนดแรงดันได้สูงกว่าวงจรที่ใช้สัญญาณนาฬิกาที่ไม่มีการยกระดับหรือวงจรคู่ไขว้ แต่ก็มีข้อเสียคือจะมีความสามารถในการจ่ายกระแสได้ต่ำกว่าคู่ไขว้ที่จำนวนสแตจเท่ากัน

### 4.3 การปรับปรุงวงจรอัดประจุแบบคล็อกไคว้ด้วยการเพิ่มจำนวนสัญญาณนาฬิกา

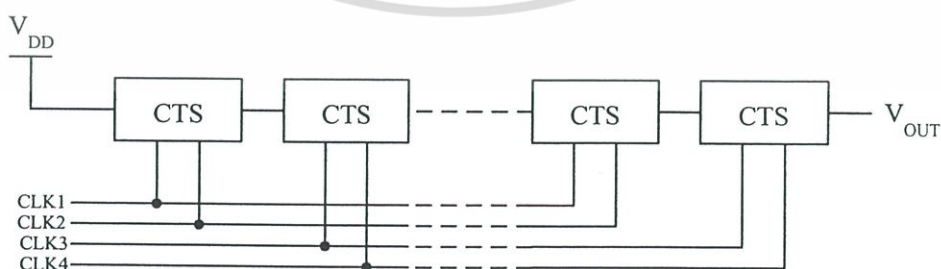
จากวงจรที่ผ่านมาเป็นการออกแบบวงจรด้วยสัญญาณนาฬิกา จำนวน 2 สัญญาณ ซึ่งมีเฟสตรงกันข้าม โดยวงจรแบบแถวเดี่ยว เช่น วงจรอัดประจุของ Dickson จะใช้สัญญาณนาฬิกา 1 ตัว ต่อวงจร 1 สเตจ ขณะที่วงจรแบบแถวคู่ไคว้ จะใช้สัญญาณนาฬิกา 2 เฟส ต่อ 1 สเตจ ทำให้ภายใน 1 สเตจ จะมีการสวิตช์และการเก็บประจุของทรานซิสเตอร์ส่งผ่านประจุ เพิ่มขึ้นเป็น 2 เท่าของวงจรแบบแถวเดี่ยว โดยวงจรแบบคู่ไคว้จะมีความต้านทานที่อนุกรมอยู่ทางด้านเอาต์พุตเป็น  $R_S = n/2fC$  ดังนั้นเมื่อวงจรมีการจ่ายกระแสให้โหลด จะทำมีกระแสไหลผ่านความต้านทานดังกล่าวทำให้มีแรงดันไปตกคร่อมที่ความต้านทานที่อนุกรมอยู่ทางด้านเอาต์พุต แรงดันเอาต์พุตของวงจรคู่ไคว้จะลดลง เท่ากับ

$$V_{RS} = I_{OUT} R_S = \frac{nI_{OUT}}{2fC} \quad (4.15)$$

ซึ่งสมการแรงดันเอาต์พุตของวงจรอัดประจุบวก โดยถือว่า  $V_{DS}$  มีค่าน้อยมาก ( $V_{DS} \sim 0$ ) คือ

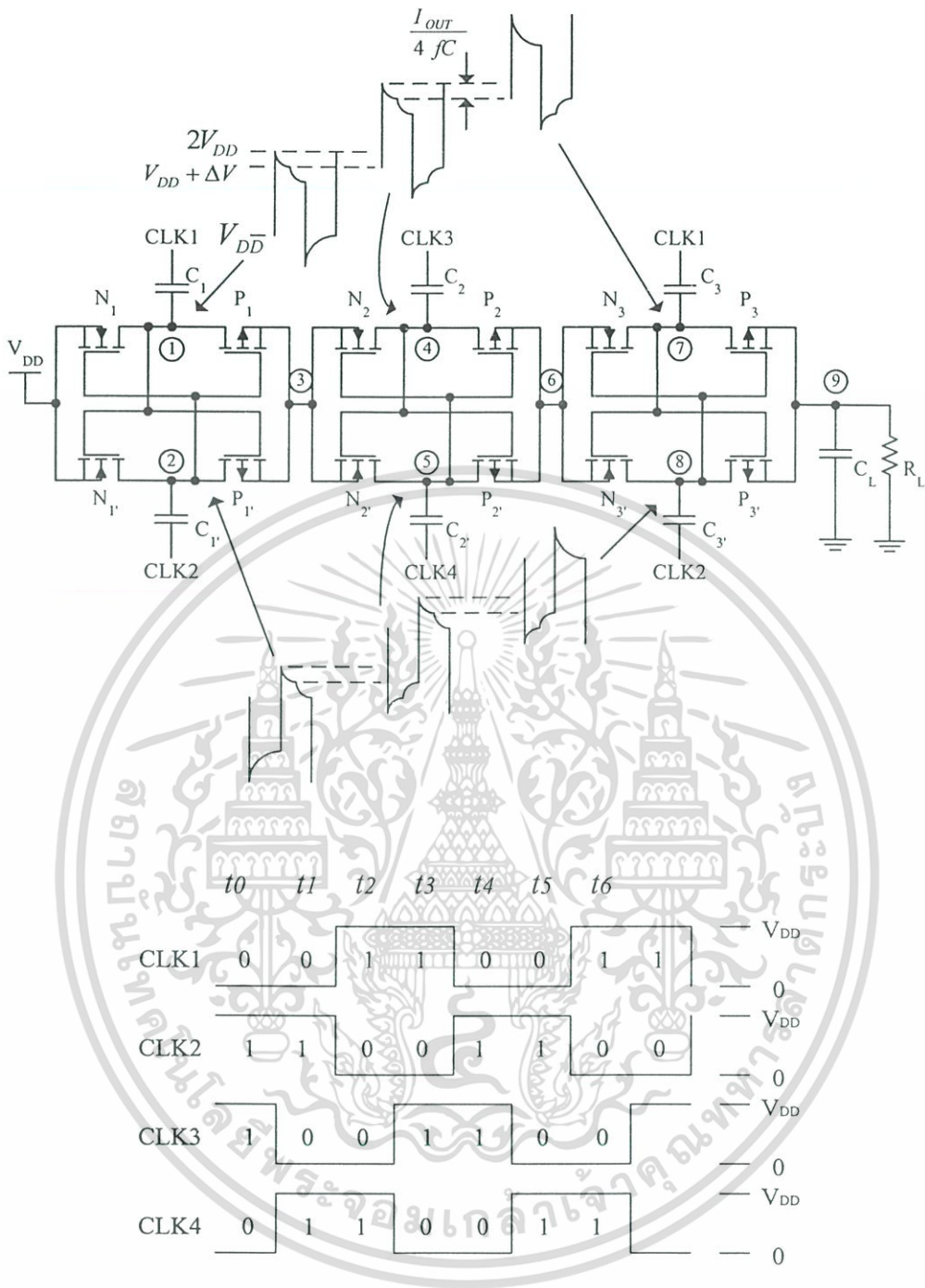
$$V_{OUT} = (n+1)V_{DD} - \frac{nI_{OUT}}{2fC} \quad (4.16)$$

ทำการปรับปรุงวงจรโดยการเพิ่มจำนวนสัญญาณนาฬิกา จาก 2 เฟส เป็น 4 เฟส แต่ละสเตจของวงจรจะถูกขับด้วยสัญญาณนาฬิกา 2 เฟสเหมือนเดิม แต่สเตจที่อยู่ถัดไป จะถูกขับด้วยสัญญาณนาฬิกาที่ถูกเลื่อนเฟสเข้ามาด้วยเวลา  $1/4$  ของคาบเวลาหรือ 90 องศา ดังรูปที่ 4.10 สเตจที่ 1 ถูกขับด้วยสัญญาณนาฬิกา  $CLK1$  และ  $CLK2$  ส่วนสเตจที่ 2 เดิมถูกขับด้วยสัญญาณนาฬิกา  $CLK2$  และ  $CLK1$  เปลี่ยนเป็นขับด้วย  $CLK3$  และ  $CLK4$



รูปที่ 4.10 ผังวงจรอัดประจุแรงดันบวกแบบคล็อกไคว้ใช้สัญญาณนาฬิกา 4 เฟส

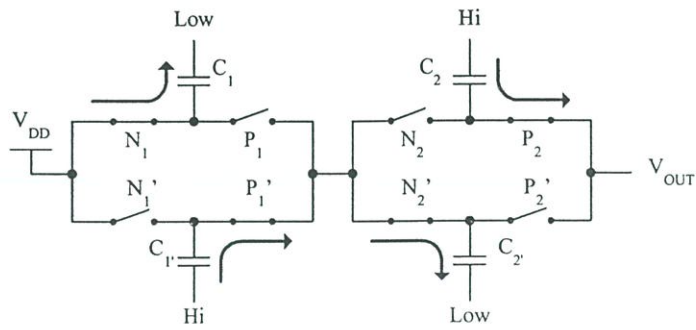
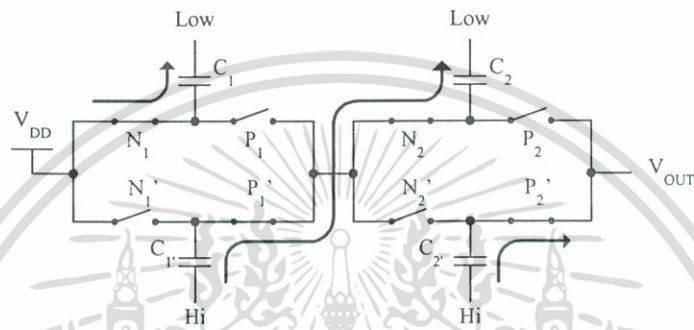
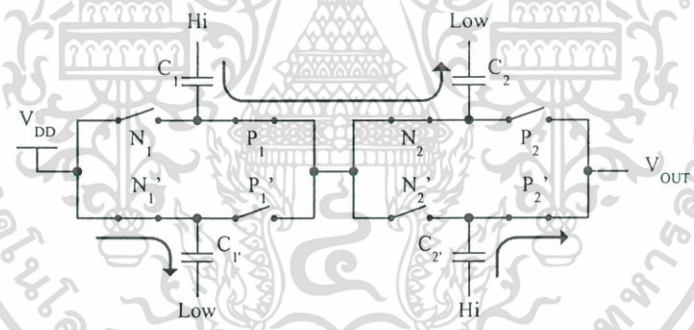
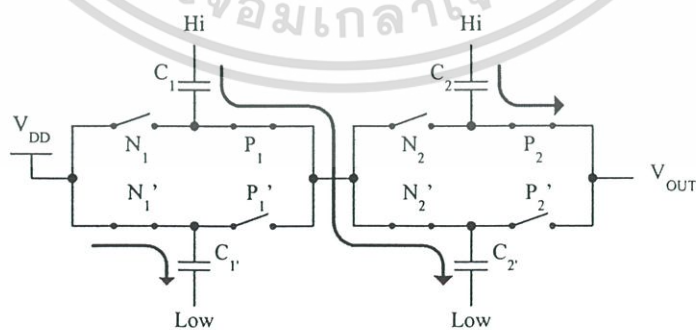
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 รูปวงจรอัดประจุแรงดันบวกแบบคู่ไขว้ใช้สัญญาณนาฬิกา 4 เฟส และสัญญาณนาฬิกา

รูปที่ 4.11 แสดงรูปวงจรและสัญญาณนาฬิกาที่ใช้ในการขับวงจร โดยแทนระดับสัญญาณในลักษณะของลอจิก คือ “1” หรือ Hi แทนระดับแรงดัน  $V_{DD}$  และ “0” หรือ Low แทนระดับกราวด์ โดยเมื่อสัญญาณนาฬิกาเป็น Low จะทำให้ตัวเก็บประจุอยู่ในสภาวะอัดประจุ และคายประจุเมื่อสัญญาณนาฬิกาเป็น Hi เพื่อให้เข้าใจง่ายสามารถพิจารณาเทียบกันระหว่างสัญญาณนาฬิกา และการสวิตช์ของทรานซิสเตอร์ ดังรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) ที่ช่วงเวลา  $t_0$ (ข) ที่ช่วงเวลา  $t_1$ (ค) ที่ช่วงเวลา  $t_2$ (ง) ที่ช่วงเวลา  $t_3$ 

#### รูปที่ 4.12 การสวิตช์ของวงจรอินเวอร์สแบบคู่ไขว้ใช้สัญญาณนาฬิกา 4 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยแสดงให้เห็นรูปแบบการอัดและคายประจุของตัวเก็บประจุ ของวงจรขนาด 2 สเตจ สามารถพิจารณาการทำงานที่ช่วงเวลาต่างๆ โดยแบ่งคาบเวลาออกเป็น 4 ส่วน จะสามารถอธิบายได้การทำงานดังนี้

ในสถานะคงตัว และวงจรมีจ่ายกระแสไหล

- ช่วงเวลา  $t_0$   $CLK1=0$   $CLK2=1$   $CLK3=1$   $CLK4=0$  ทำให้  $C_1$  และ  $C_2'$  อัดประจุ ( $C_1$  เริ่มอัดประจุ ส่วน  $C_2$  อัดประจุมาก่อนหน้าด้วยเวลา  $T/4$ ) ส่วน  $C_1'$  และ  $C_2$  คายประจุ ( $C_1'$  เริ่มคายประจุ ส่วน  $C_2$  อยู่ในช่วงหลังของการคายประจุ)

- ช่วงเวลา  $t1$   $CLK1=0$   $CLK2=1$   $CLK3=0$   $CLK4=1$  ทำให้  $C_1$  อัดประจุเพิ่มขึ้นในช่วงหลัง ทำให้มีแรงดันตกคร่อมเท่ากับ  $V_{DD}$  ขณะเดียวกัน  $C_1'$  ก็คายประจุไปประจุให้  $C_2$  (ในช่วงเวลา  $t1$   $C_2$  ถูกเก็บประจุไปด้วยระยะเวลา  $T/4$ ) และ  $C_2'$  คายประจุ

- ช่วงเวลา  $t2$   $CLK1=1$   $CLK2=0$   $CLK3=0$   $CLK4=1$  ทำให้  $C_1$  เริ่มคายประจุ  $C_1'$  กลับมาอัดประจุ ประจุที่  $C_1$  จะรวมกับ  $V_{DD}$  ของสัญญาณนาฬิกา ส่งผ่านไปอัดประจุให้  $C_2$  (ซึ่งเดิม  $C_2$  ถูกอัดประจุไปด้วยเวลา  $T/4$ ) จะทำให้มีแรงดันตกคร่อม  $C_2$  เกิดจากแรงดัน  $V_{DD}+V_{C1}+V_{C2(t1)}$  ส่วน  $C_2'$  คายประจุ

- ช่วงเวลา  $t3$   $CLK1=1$   $CLK2=0$   $CLK3=1$   $CLK4=0$  ทำให้  $C_1$  คายประจุ มาประจุให้กับ  $C_2'$  (ในช่วงเวลา  $t1$   $C_2$  ถูกเก็บประจุไปด้วยระยะเวลา  $T/4$ ) ส่วน  $C_1'$  จะอัดประจุ และ  $C_2$  คายประจุ

- ช่วงเวลา  $t4$   $CLK1=0$   $CLK2=1$   $CLK3=1$   $CLK4=0$  จะกลับไปเป็นรูปแบบเดิมของ  $t0$  โดย  $C_1'$  จะคายประจุ ส่งผ่านไปอัดประจุให้  $C_2'$  ซึ่งมีประจุอยู่แล้วบางส่วนจากช่วงเวลาก่อน  $t3$  ดังนั้นเมื่อสิ้นสุดช่วงเวลา  $t2$  จะทำให้มีแรงดันตกคร่อม  $C_2'$  เท่ากับ  $V_{DD}+V_{C1}'+V_{C2(t3)}$  ส่วน  $C_1$  จะอัดประจุ และ  $C_2$  คายประจุให้แสดงถัดไป

เมื่อมีการจ่ายกระแส จะเห็นได้ว่าที่เวลา  $t2$  แรงดันตกคร่อม  $C_2$  เท่ากับ  $V_{DD}+V_{C1}+V_{C2}-V_{RS}$  โดย  $V_{C1}=V_{DD}$  และ  $V_{RS}=nI_{OUT}/2fC$  เมื่อ  $V_{C1}$  คือแรงดันตกคร่อม  $C_1$  และ  $V_{RS}$  คือแรงดันตกคร่อมตัวต้านทานภายในวงจร ส่วน  $V_{C2}$  เป็นแรงดันตกคร่อม  $C_2$  หาได้จาก

$$v(t) = \frac{1}{C} \int_{t_1}^{t_2} i dt \quad (t1 \text{ ถึง } t2 \text{ เท่ากับ } T/4) \quad (4.17)$$

ซึ่งจะมีค่าเท่ากับ  $v(t) = \frac{iT}{4C}$  หรือ  $V_{C2} = \frac{i}{4fC}$  เมื่อ  $i$  เท่ากับ  $I_{OUT}$  เมื่อสิ้นสุดช่วงเวลา  $t2$  จะมี

แรงดันตกคร่อม  $C_2$  เท่ากับ  $2V_{DD} + \left(\frac{I_{OUT}}{4fC}\right) - \left(\frac{2I_{OUT}}{2fC}\right)$  ดังนั้นเมื่อ  $C_2$  เปลี่ยนเป็นคายประจุไปจับ

โหนด จะทำให้มีแรงดันจากสัญญาณนาฬิกา มารวมอยู่ด้วย ดังนั้นที่เอาท์พุทจะได้แรงดันเท่ากับ

$$V_{OUT} = 3V_{DD} + \frac{I_{OUT}}{4fC} - \frac{2I_{OUT}}{2fC} \quad (4.18)$$

ส่วนช่วงเวลา  $t_4$  ก็จะมีลักษณะเดียวกันคือจะมีประจุบางส่วนที่สะสมอยู่ใน  $C_2'$  ทำให้มีแรงดันเท่ากับ  $\frac{I_{OUT}}{4fC}$  ซึ่งเมื่อสิ้นสุดเวลา  $t_4$  จะมีแรงดันที่เอาต์พุตเท่ากับ สมการ (4.18) เช่นเดียวกัน ดังนั้นจึงสามารถหาสมการแรงดันเอาต์พุตสำหรับวงจรขนาด  $n$  สเตจ ได้เท่ากับ

$$V_{OUT} = (n+1)V_{DD} + \frac{(n-1)I_{OUT}}{4fC} - \frac{nI_{OUT}}{2fC} \quad (4.19)$$

หรือเท่ากับ

$$V_{OUT} = (n+1)V_{DD} - \frac{(n+1)I_{OUT}}{4fC} \quad (4.20)$$

พิจารณาสมการของวงจรทั้งแบบ 2 เฟส (4.16) และแบบ 4 เฟส (4.20) จะพบว่าถ้าไม่มีการจ่ายกระแสให้โหลด เทอมหลัง ก็จะเป็น 0 แรงดันที่ปรากฏที่เอาต์พุตของวงจรทั้งสองแบบก็จะมีค่าเท่ากัน คือ  $V_{OUT} = (n+1)V_{DD}$

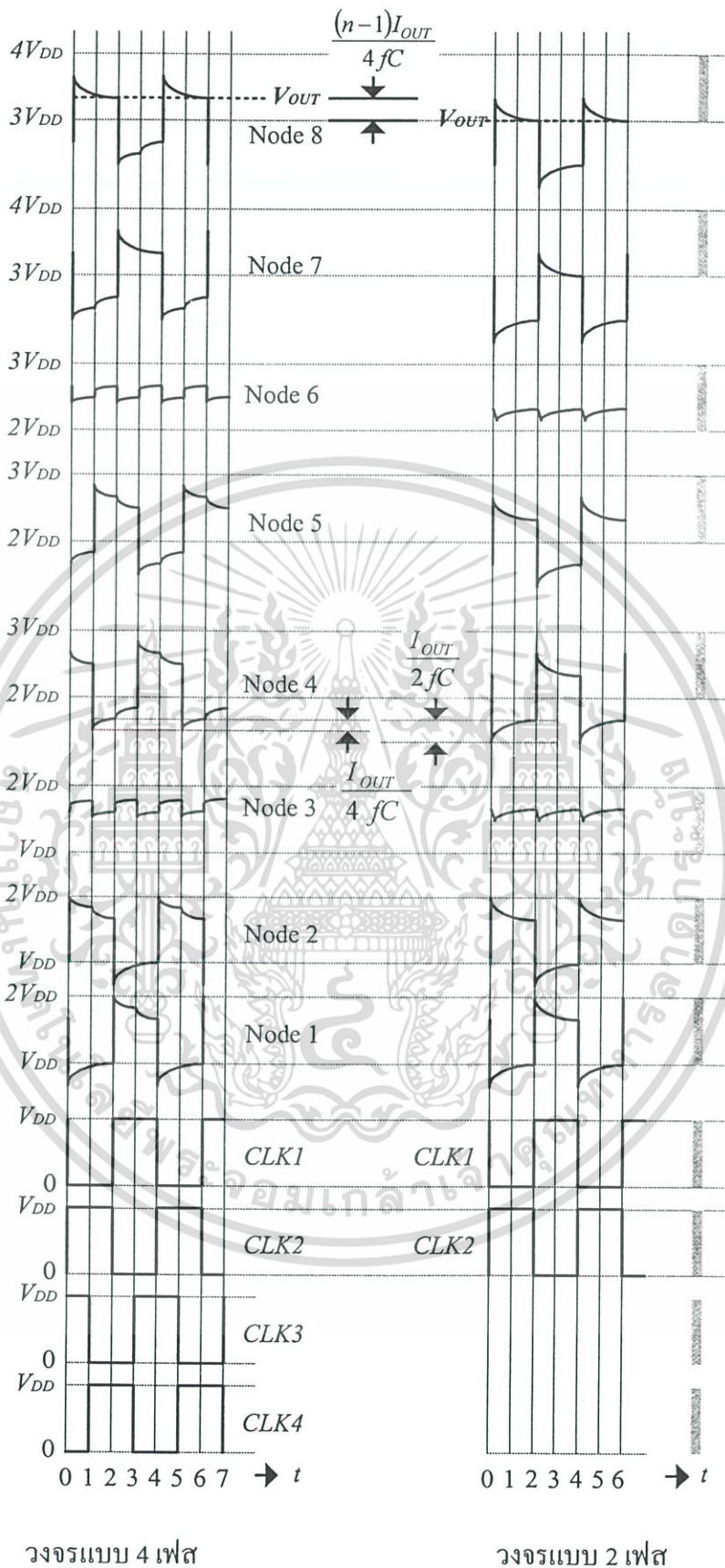
สัญญาณแรงดันที่โนดต่างๆ ของวงจร ดังรูปที่ 4.13 แสดงถึงความแตกต่างของวงจรแบบ 2 เฟสและวงจรแบบ 4 เฟส บอกได้ว่าเวลาที่สแตจถัดไปสวิตช์เร็วขึ้น 90 องศา จะทำให้ตัวเก็บประจุของสแตจถัดไปเก็บประจุเร็วขึ้นด้วยเวลา  $T/4$  ดังนั้นเมื่อตัวเก็บประจุของสแตจปัจจุบันได้รับสัญญาณนาฬิกา ระดับ Hi หรือ  $V_{DD}$  จะเกิดการคายประจุ ประจุจะไปสะสมรวมกับของประจุที่เก็บไปก่อนหน้าด้วยเวลา  $T/4$  ซึ่งจะทำให้เกิดความแตกต่างของแรงดัน กับวงจร 2 เฟส ซึ่งเริ่มเก็บประจุเมื่อคายประจุจนหมดที่เวลา  $T/2$  ทำให้การส่งผ่านประจุไปสะสมที่ตัวเก็บประจุในสแตจถัดไปจะมีเฉพาะผลของสัญญาณนาฬิกา และประจุที่สะสมอยู่ในสแตจปัจจุบันเท่านั้น

ส่วนกำลังงานด้านอินพุต (Input Power) ของวงจร สามารถหาได้จาก

$$P_{IN} = P_{VDD} + P_{CLK1} + P_{CLK2} + P_{CLK3} + P_{CLK4} \quad (4.21)$$

เมื่อ  $P_{VDD}$  เป็นกำลังที่จ่ายออกจากแหล่งจ่าย และ  $P_{CLK1}$  ถึง  $P_{CLK4}$  เป็นกำลังของสัญญาณนาฬิกาทั้ง 4 เฟส สามารถหาประสิทธิภาพของวงจรได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 เปรียบเทียบสัญญาณแต่ละโหนดในวงจรอัดประจุที่ใช้สัญญาณนาฬิกา 2 เฟส และ 4 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT}}{P_{VDD} + P_{CLK1} + P_{CLK2} + P_{CLK3} + P_{CLK4}} \times 100\% \quad (4.22)$$

เมื่อ  $P_{OUT}$  เป็นกำลังงานด้านเอาต์พุทของวงจรหรือกำลังของโหลด

สำหรับวงจรอัดประจุแบบใช้สัญญาณนาฬิกา 4 เฟส มีข้อดีคือ สามารถกำเนิดแรงดันได้สูงกว่าวงจรที่ใช้สัญญาณนาฬิกา 2 เฟส ที่จำนวนสเตจเท่ากัน เนื่องจากตัวเก็บประจุคายประจุในสเตจถัดไปจะสามารถเริ่มเก็บประจุได้เร็วขึ้น 1/4 ของคาบเวลา ทำให้จุดเริ่มต้นในการเก็บประจุอยู่สูงกว่าเล็กน้อย แต่ก็มีข้อเสียคือต้องใช้วงจรกำเนิดสัญญาณนาฬิกาเพิ่มมากขึ้น แต่ก็สามารถชดเชยได้ด้วยขนาดของตัวเก็บประจุที่ลดลง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### การออกแบบวงจรและผลการทดสอบ

จากบทที่ 3 และ 4 ทุกวงจรจะต้องถูกนำมาเปรียบเทียบคุณสมบัติ ในเงื่อนไขต่างๆ ที่กำหนด เพื่อหาว่าวงจรที่ทำการปรับปรุงจะสามารถลดปัญหาที่เกิดในวงจรแบบเดิมได้หรือไม่ โดยทำการออกแบบวงจร กำหนดขนาดของวงจร และพารามิเตอร์ที่ใช้ในวงจร ตลอดจนโหลดที่ใช้ ในวิทยานิพนธ์ฉบับนี้จะใช้ขนาดของทรานซิสเตอร์ภายในวงจรที่มีขนาดเท่ากัน เพื่อให้สามารถประมาณค่าขนาดของวงจรเพื่อใช้ในการเปรียบเทียบได้ง่ายยิ่งขึ้น โดยวงจรแบบแอมพลิฟายเออร์จะใช้ทรานซิสเตอร์ชนิด NMOS และวงจรแบบคูลูบ์จะใช้ทรานซิสเตอร์ชนิด CMOS ในการจำลองการทำงาน

#### 5.1 การออกแบบวงจรและพารามิเตอร์ของอุปกรณ์ที่ใช้ในวงจร

##### 5.1.1 พารามิเตอร์ของ CMOS

การจำลองการทำงาน สำหรับวิทยานิพนธ์นี้ อาศัยโปรแกรมจำลองการทำงาน HSPICE และโมเดลจำลองการทำงาน (Spice Parameter Model) แบบซีมอสทนแรงดันสูง (CMOS High-Voltage Process) โครงสร้างชนิด N-Well (Single Poly-Si Gate, Double Layer Metals) มีแรงดันพังทลาย (Breakdown Voltage) ประมาณ +50 โวลต์ โดยค่าพารามิเตอร์ที่สำคัญแสดงดังตารางที่ 5.1 (พารามิเตอร์ที่ใช้ในการจำลองการทำงานทั้งหมด ดูได้จากภาคผนวก ก)

ตารางที่ 5.1 พารามิเตอร์ของ High-Voltage CMOS (Level 2) [17]

Symbol	Parameter name	PMOS	NMOS	Units
$V_{TO}$	Zero-bias threshold voltage	-0.40	0.40	V
$N_A$	Substrate doping	$1.0 \times 10^{16}$	$1.0 \times 10^{16}$	$\text{cm}^{-3}$
$t_{ox}$	Gate-oxide thickness	400	400	Å
L	Channel length	1.6	1.5	$\mu\text{m}$
W	Channel width	20	20	$\mu\text{m}$
$\lambda$	Channel-length modulation	0.02	0.02	$\text{V}^{-1}$
$\phi_F$	Surface inversion potential	0.70	0.70	V
$\mu_0$	Surface mobility	200	650	$\text{cm}^2/\text{V}\cdot\text{s}$
$\gamma$	Body-effect parameter	0.80	0.60	$\text{V}^{1/2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.1.2 การคำนวณหาค่าองค์ประกอบในวงจร

สำหรับการคำนวณหาค่าต่างๆ ในวงจร ได้ทำการกำหนดเงื่อนไขให้วงจรสามารถกำเนิดแรงดันหลายระดับ และจ่ายกระแสหลายระดับเช่นเดียวกัน ขึ้นอยู่กับอุปกรณ์ที่จะนำวงจรไปใช้ โดยกำหนดไว้ดังนี้ ขนาดแรงดัน +15 โวลต์ จ่ายกระแสประมาณ 10-100 ไมโครแอมป์ แรงดัน +5 โวลต์ จ่ายกระแสประมาณ 10 มิลลิแอมป์ และแรงดัน -15 โวลต์ จ่ายกระแสประมาณ 10-100 ไมโครแอมป์ โดยอาศัยสมการแรงดันทางด้านเอาต์พุตของแต่ละวงจรมาช่วยในการคำนวณ

เงื่อนไข แรงดัน +15 โวลต์ จ่ายกระแส 100 ไมโครแอมป์ จากแหล่งจ่ายขนาด 3 โวลต์ สามารถหาจำนวนสเตจ ได้จากสมการแรงดันแบบอุดมคติของวงจรอัดประจุของ Dickson

$$n = \left( 1 + \sqrt{\frac{\alpha}{1+\alpha}} \right) \left( \frac{V_{OUT}}{V_{DD}} - 1 \right)$$

โดย  $\alpha = C_s / C$  และกำหนดให้  $C_s \ll 0.2C$  แทนค่า

$$n = \left( 1 + \sqrt{\frac{0.2}{1+0.2}} \right) \left( \frac{15}{3} - 1 \right) = 5.63 \text{ สเตจ}$$

เลือกใช้วงจรขนาด 6 สเตจ และทำการคำนวณหาตัวเก็บประจุระหว่างสเตจ และแทนค่ากระแสขนาด 100 ไมโครแอมป์ ความถี่สัญญาณนาฬิกา 5 เมกะเฮิร์ตซ์

$$C = \frac{nI_{OUT}}{((n+1)V_{DD} - V_{OUT})f} = \frac{6 \times 100 \times 10^{-6}}{((6+1)3 - 15)5 \times 10^6} = 20 \text{ พิโคฟารัด}$$

ได้ค่าตัวเก็บประจุระหว่างสเตจ เท่ากับ 20 พิโคฟารัด และถ้าเลือกใช้วงจรแบบคู่ไขว้ ที่จำนวน 5 สเตจ จากสมการ (3.35) จะได้

$$C = \frac{nI_{OUT}}{2((n+1)V_{DD} - V_{OUT})f} = \frac{6 \times 100 \times 10^{-6}}{2((6+1)3 - 15)5 \times 10^6} = 16.67 \text{ พิโคฟารัด}$$

หาค่าโหลดตัวเก็บประจุที่เหมาะสม จากสมการ (2.12) เพื่อลดผลกระทบของแรงดันกระเพื่อมของวงจรอัดประจุแบบแถวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_R = \frac{I_{OUT}}{fC_L} = \frac{V_{OUT}}{fR_L C_L}$$

กำหนดให้ แรงดันกระเพื่อม มีค่าไม่เกิน 0.5 เพลอร์เซ็นต์ หรือ 75 มิลลิโวลต์ ทำการย้ายสมการ จะได้

$$C_L = \frac{I_{OUT}}{V_R f} = \frac{100 \times 10^{-6}}{150 \times 10^{-3} \times 5 \times 10^6} = 268 \text{ พิโคฟารัด}$$

และสำหรับวงจรแบบแฉกคู่ ที่ 150 มิลลิโวลต์ ได้

$$C_L = \frac{I_{OUT}}{2V_R f} = \frac{100 \times 10^{-6}}{2 \times 150 \times 10^{-3} \times 5 \times 10^6} = 134 \text{ พิโคฟารัด}$$

การคำนวณค่าตัวเก็บประจุระหว่างสเตจ เพื่อให้ได้แรงดัน 15 โวลต์ ตามสมการ (3.19) และสมการ (3.35) ซึ่งได้ค่า 20 พิโคฟารัด, 10 พิโคฟารัด และ 16.67 พิโคฟารัด สำหรับวงจรแฉกเดี่ยว และวงจรแฉกคู่ 6 สเตจ และ 5 สเตจ ตามลำดับ ทำการจำลองการทำงานซึ่งแสดงในหัวข้อ 4.5 จะพบว่า แรงดันเอาต์พุตเมื่อจ่ายกระแสโหลด 100 ไมโครแอมป์ เป็นดังนี้

วงจร Dickson	C = 20 พิโคฟารัด	V <sub>OUT</sub> = 8.5 โวลต์
วงจร Dynamic Bulk Bias	C = 20 พิโคฟารัด	V <sub>OUT</sub> = 11 โวลต์
วงจร Improved Dickson	C = 20 พิโคฟารัด	V <sub>OUT</sub> = 13 โวลต์
วงจร Cross Couple	C = 16.67 พิโคฟารัด	V <sub>OUT</sub> = 14.8 โวลต์
วงจร Cross Coupled with CG	C = 16.67 พิโคฟารัด	V <sub>OUT</sub> = 15.8 โวลต์

ซึ่งจะพบว่าทุกวงจรกำเนิดแรงดันทางด้านเอาต์พุตได้ต่ำกว่า 15 โวลต์ ยกเว้นวงจรแบบคู่ไขว้ที่เพิ่มวงจรยกระดับสัญญาณพิก้า ทั้งนี้เนื่องจาก สมการที่ใช้ในการคำนวณนั้นเป็นสมการทางอุดมคติ ไม่ได้คิดแรงดันที่ตกคร่อมที่ตัวทรานซิสเตอร์ในวงจร ทำการคำนวณใหม่เพื่อให้ได้ค่าที่ใกล้เคียงกับความเป็นจริงมากที่สุด โดยเพิ่มเทอมของแรงดันขีดเริ่มเข้าไปในสมการ จากสมการ 3.3 ค่าความจุของวงจร Dickson จะเป็นดังสมการ

$$C = \frac{nI_{OUT}}{\left( (n+1)V_{DD} - \sum_{k=1}^{n+1} V_{TH}(k) - V_{OUT} \right) f}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอม  $\sum_{k=1}^{n+1} V_{TH}(k)$  เป็นผลรวมของแรงดันขีดเริ่มมีค่าสูงมาก เพราะแรงดันขีดเริ่มของแต่ละสแตจมีค่าเพิ่มมากขึ้นเมื่อสแตจสูงขึ้น ทำให้เทอมล่างของสมการด้านบนเป็นค่าติดลบ นั่นหมายความว่าวงจร Dickson ไม่สามารถกำเนิดแรงดันขนาด 15 โวลต์ ที่จ่ายกระแสโหลด 100 ไมโครแอมป์ ได้ ส่วนค่าความจุของวงจรปรับปรุงของ Dickson จะเท่ากับ

$$C = \frac{nI_{OUT}}{((n+1)V_{DD} - (n+1)V_{TH} - V_{OUT})f} = 37.5 \text{ พิโคฟารัด}$$

ซึ่งวงจรนี้จะมีแรงดันขีดเริ่มของแต่ละสแตจเท่ากัน ทำให้ผลรวมของแรงดันขีดเริ่มมีค่าต่ำกว่าวงจร Dickson ส่วนวงจรคู่ไขว้ จากสมการ 3.31 เลือกใช้วงจรขนาด 5 สแตจ จะมีความจุระหว่างสแตจเป็น

$$C = \frac{nI_{OUT}}{((n+1)V_{DD} - 2nV_{DS} - V_{OUT})f} = 17.9 \text{ พิโคฟารัด}$$

และวงจรคู่ไขว้แบบขั้วระดับสัญญาณนาฬิกา (CCTS-CG) ขนาด 6 สแตจจะมีค่าตัวเก็บประจุระหว่างสแตจ เท่ากับ

$$C = \frac{(n+1)I_{OUT}}{((n+2)V_{DD} - 2nV_{DS} - V_{OUT})f} = 14.4 \text{ พิโคฟารัด}$$

หรือถ้าเลือกใช้วงจรขนาด 4 สแตจ จะมีค่าตัวเก็บประจุระหว่างสแตจ เท่ากับ 29 พิโคฟารัด

**เงื่อนไข** แรงดัน +5 โวลต์ จ่ายกระแส 10 มิลลิแอมป์ จากแหล่งจ่ายขนาด 3 โวลต์ เลือกจำนวน 2 สแตจ ได้ ค่าตัวเก็บประจุระหว่าง สแตจ เท่ากับ 1.88 นาโนฟารัด สำหรับวงจรแถวเดี่ยว และ 1.23 นาโนฟารัด สำหรับวงจรคู่ไขว้

**เงื่อนไข** แรงดัน -15 โวลต์ จ่ายกระแส 100 ไมโครแอมป์ จากแหล่งจ่ายขนาด 3 โวลต์ ทำการจำลองผลการทำงานเพื่อเปรียบเทียบคุณสมบัติ ที่เงื่อนไขเดียวกัน ดังนี้ จำนวนสแตจเท่ากันที่ 6 สแตจ และตัวเก็บประจุระหว่างสแตจ 20 พิโคฟารัด ขนาดแรงดันของแหล่งจ่าย (สัญญาณนาฬิกา) 3 โวลต์ ได้ผลตามหัวข้อ 4.5.1

จากนั้นทำการคำนวณค่าโดยคิดพารามิเตอร์ต่างๆ ในวงจร เพื่อให้ได้ค่าที่ใกล้เคียงความจริง โดยในที่นี้จะพิจารณาเฉพาะวงจรปรับปรุงของ Dickson วงจรคู่ไขว้ และวงจรคู่ไขว้แบบยกระดับสัญญาณนาฬิกา

คำนวณวงจรปรับปรุงของ Dickson จากสมการ 4.2 โดยให้จำนวนสเตจ เท่ากับ 7 สเตจ จะได้

$$C = \frac{nI_{OUT}}{(V_{OUT} + nV_{CLK} - (n+1)V_{TH})f} = 50 \text{ พิโคฟารัด}$$

และจากวงจรคู่ไขว้ เลือกที่ 6 สเตจ

$$C = \frac{nI_{OUT}}{(V_{OUT} + nV_{CLK} - 2nV_{DS})f} = 21.7 \text{ พิโคฟารัด}$$

## 5.2 ผลการจำลองการทำงาน

จากการจำลองการทำงานด้วย HSPICE ด้วยเงื่อนไขและองค์ประกอบต่างๆ ของวงจรที่เปลี่ยนแปลง แสดงผลใน 2 รูปแบบ คือแสดงผลลักษณะของรูปคลื่นที่ได้จากการจำลองการทำงาน และแสดงในลักษณะของกราฟข้อมูลที่เก็บจากการจำลองการทำงาน โดยด้วยอินกราฟใช้แทนวงจรดังนี้

Dickson	แทน วงจรอัดประจุของ Dickson	(รูปที่ 3.1)
DBB	แทน วงจรอัดประจุแบบ Dynamic Bulk Bias	(รูปที่ 3.3)
ID	แทน วงจรอัดประจุแบบปรับปรุง ของ Dickson	(รูปที่ 4.1)
CTTS และ CCTS 2-Phase	แทน วงจรอัดประจุแบบคู่ไขว้	(รูปที่ 3.11)
CTTS-CG	แทน วงจรอัดประจุคู่ไขว้ที่ใช้วงจรรกระดับสัญญาณนาฬิกา	(รูปที่ 4.7)
CCTS 4-Phase	แทน วงจรอัดประจุคู่ไขว้ที่ใช้สัญญาณนาฬิกา 4 เฟส	(รูปที่ 4.11)

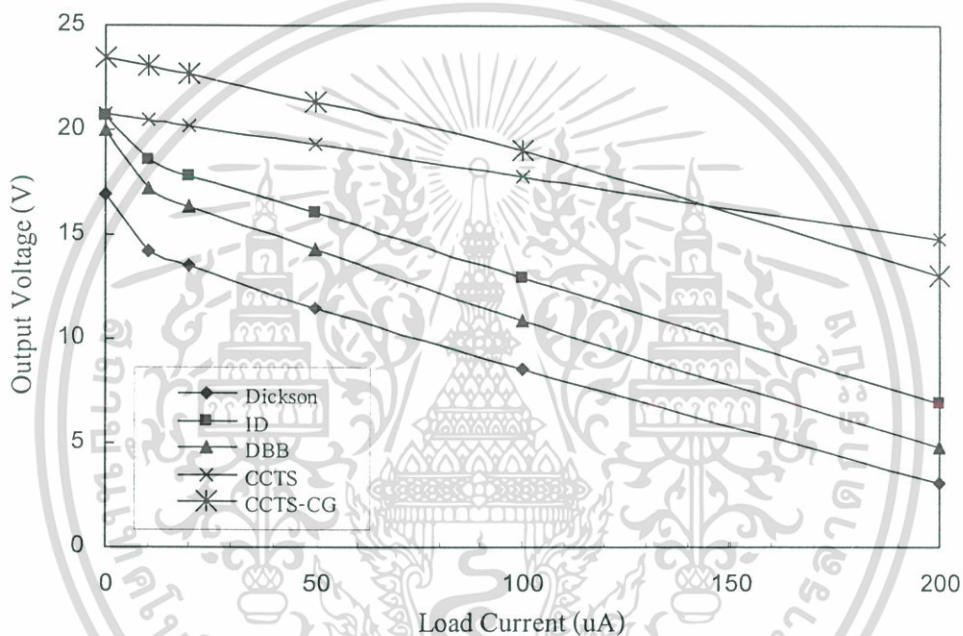
การออกแบบได้ทำการกำหนดเงื่อนไขที่ต้องการ ส่วนการจำลองการทำงานเป็นการนำค่าที่ได้จากการออกแบบไปทำการทดสอบบนเงื่อนไขอื่นๆ ที่ใกล้เคียงกันด้วย เช่น ออกแบบวงจรที่จ่ายกระแสโหลด 100 ไมโครแอมป์ แต่ทำการจำลองการทำงานในย่านการเปลี่ยนแปลงของกระแสระหว่าง 0 ถึง 200 ไมโครแอมป์ เพื่อดูผลการเปลี่ยนแปลงทางด้านเอาท์พุท

### 5.2.1 เปรียบเทียบผลการจำลองการทำงานของวงจรรกระดับสัญญาณนาฬิกา

วงจรอัดประจุบวก เงื่อนไข แรงดันเอาท์พุท +15 โวลต์ กระแสโหลด 100 ไมโครแอมป์ พิจารณาจากรูปต่อไปนี้

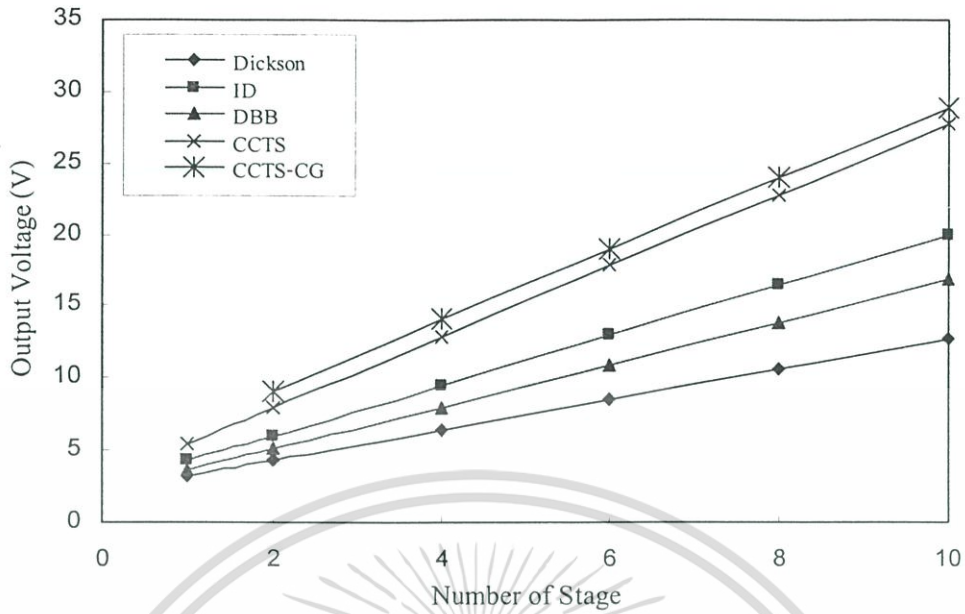
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.1 เป็นการหาแรงดันเอาต์พุตจากสมการของแฉวเดี่ยวโดยทำการคำนวณด้วยสมการแบบอุดมคติที่ 6 แสดง กระแสโหลด 100 ไมโครแอมป์ ได้ค่าตัวเก็บประจุ 20 พิโคฟารัด และนำไปใช้กับทุกวงจรเพื่อเปรียบเทียบผล จะค่าได้ดังนี้ วงจร Dickson วงจร DBB และวงจร ID สามารถกำเนิดแรงดันได้เท่ากับ 7.56 โวลต์, 10.95 โวลต์ และ 12.96 โวลต์ ตามลำดับ เห็นได้ว่า วงจร Dickson จะมีแรงดันต่ำสุดทั้งนี้ เกิดจากถูกลดทอนด้วยแรงดันขีดเริ่มที่สะสมกัน มีค่าสูงเนื่องจากผลของฐานรอง ที่เกิดจาก  $V_{BS}$  ส่วนวงจรอัดประจุแบบแฉวคู่ สามารถกำเนิดแรงดันได้สูงกว่า คือมีค่า 17.8 โวลต์ สำหรับวงจร CCTS และ 19 โวลต์ สำหรับวงจร CCTS-CG ซึ่งเกิดจากผลของวงจรยกระดับสัญญาณนาฬิกา

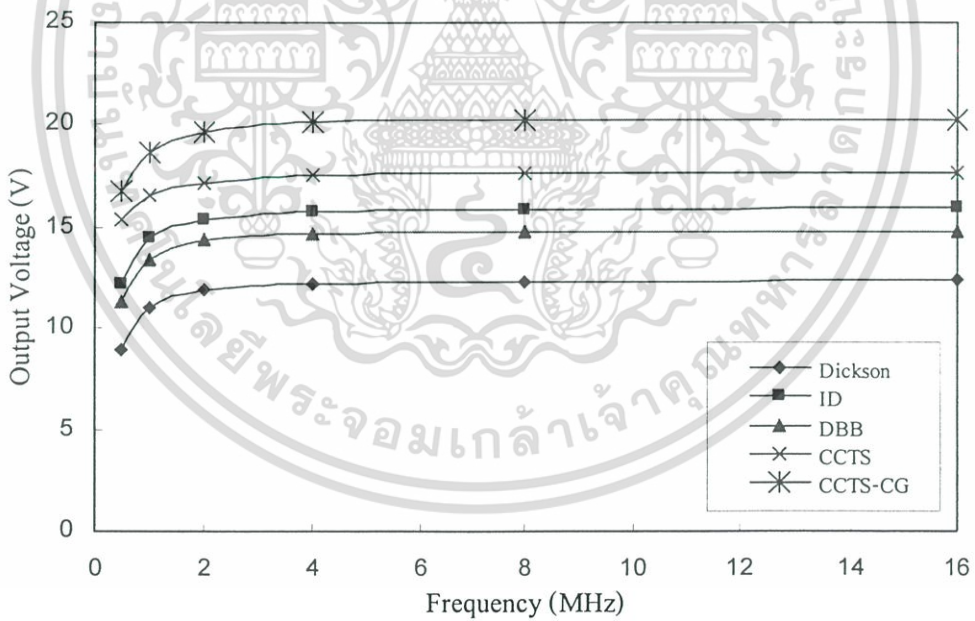


รูปที่ 5.1 แสดงผลแรงดันเอาต์พุตที่กระแสโหลดค่าต่างๆ  
( $V_{DD}=3V, f=5MHz, C=20pF, C_L=268pF, 6$  สเตจ)

รูปที่ 5.2 จำนวนสเตจเปลี่ยนจาก 1 สเตจ ถึง 10 สเตจ ที่กระแสโหลด 100 ไมโครแอมป์ วงจรแบบแฉวเดี่ยว จะให้แรงดันต่ำกว่า วงจรแบบแฉวคู่ ในทุกกรณี ซึ่งสามารถกำเนิดแรงดันได้อย่างเชิงเส้น โดยวงจร CCTS-CG จะมีแรงดันสูงกว่า CCTS เนื่องจากมี 1 สเตจที่ถูกขับด้วยสัญญาณนาฬิกาที่สูงกว่าเดิม 2 เท่าของ  $V_{DD}$  แต่ทางปฏิบัติสัญญาณนาฬิกาที่ขั้วระดับจะต่ำกว่า  $2V_{DD}$  ซึ่งเป็นผลจากการจ่ายกระแสให้โหลด และวงจร CCTS-CG ที่กำเนิดแรงดันบวกจะใช้ได้ที่วงจรขนาด 2 สเตจ ขึ้นไปเนื่องจากวงจรยกระดับสัญญาณนาฬิกาต้องการเอาต์พุตของสเตจแรกมาใช้ในวงจรด้วย ทำให้เป็นไปไม่ได้ที่สเตจแรกจะถูกขับด้วยสัญญาณนาฬิกาขนาด  $2V_{DD}$



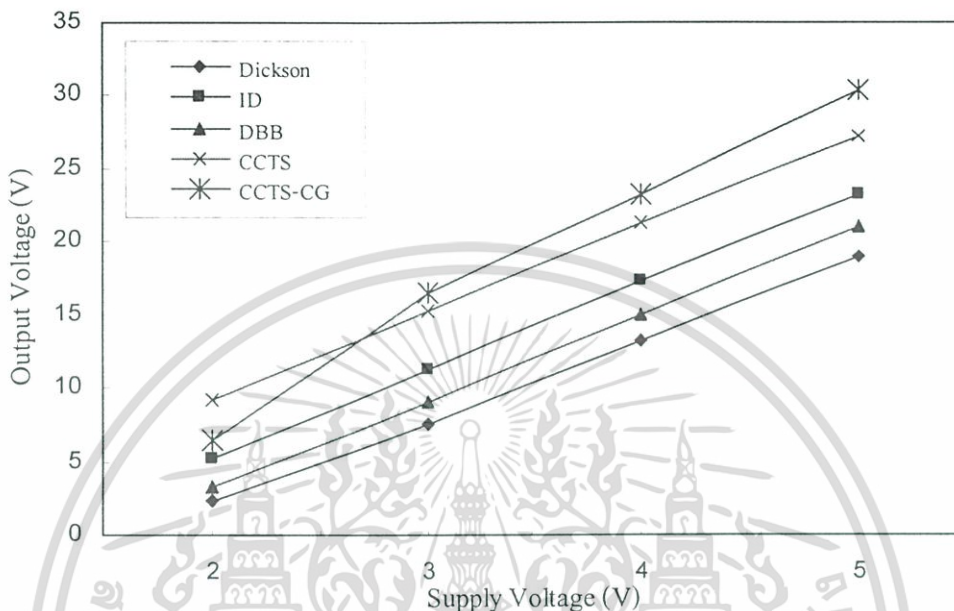
รูปที่ 5.2 แสดงผลแรงดันเอาต์พุตเมื่อจำนวนสเตจเปลี่ยนแปลง  
 ( $V_{DD}=3V, f=5MHz, C=20pF, C_L=268pF, I_{OUT}=100\mu A$ )



รูปที่ 5.3 แสดงผลแรงดันเอาต์พุตที่ความถี่ต่างๆ  
 ( $V_{DD}=3V, C=20pF, C_L=268pF, 5$  สเตจ)

ส่วนความถี่ที่เหมาะสมกับการใช้งานในวงจรนั้น สามารถพิจารณาได้จากรูปที่ 5.3 ทุกวงจรจะมีคุณสมบัติทางความถี่ในลักษณะเดียวกัน โดยขนาดของเอาต์พุตจะค่อนข้างคงที่ ที่ความถี่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

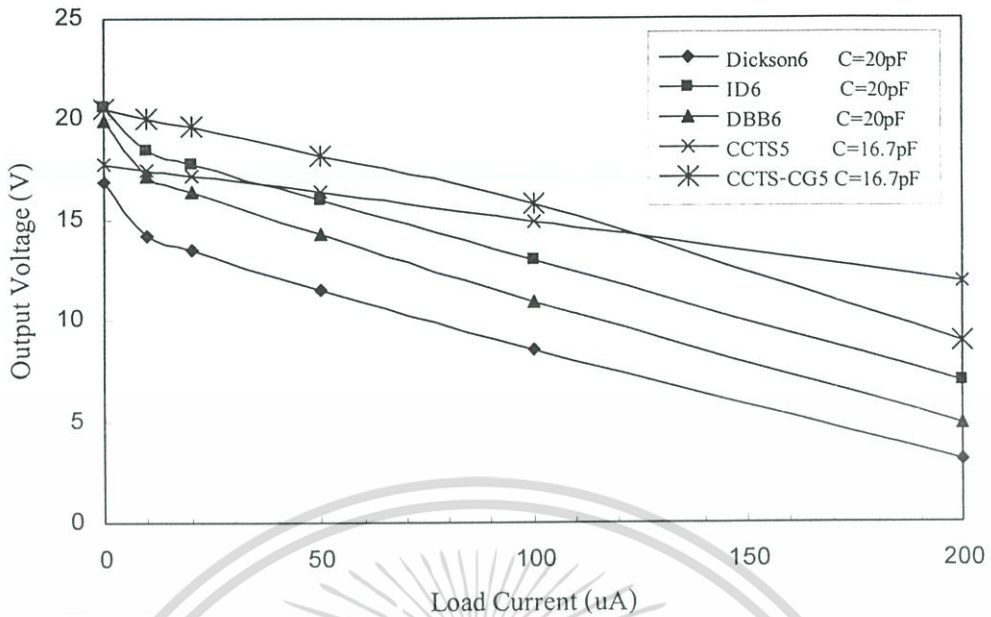
มากกว่า 2 เมกะเฮิรตซ์ ขึ้นไป เป็นผลสืบเนื่องมาจากเวลาจะส่งผลต่อการเก็บและคายประจุของตัวเก็บประจุและแรงดันกระเพื่อม ถ้าความถี่ต่ำเกินไปทำให้เวลาในการเก็บและคายประจุของตัวเก็บประจุมาก ค่าเฉลี่ยทางเอาท์พุทจะลดลง



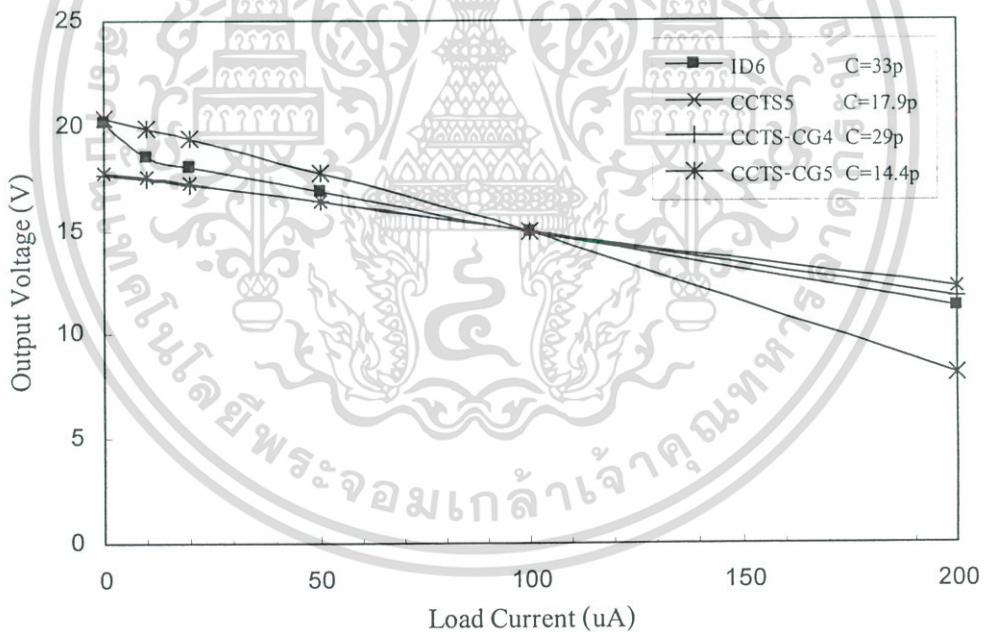
รูปที่ 5.4 แสดงผลแรงดันเอาท์พุทเมื่อแหล่งจ่ายเปลี่ยนแปลง ( $f=5\text{MHz}$ ,  $C=20\text{pF}$ ,  $C_L=268\text{pF}$ ,  $I_{out}=100\mu\text{A}$ , 5 สตเจ)

เมื่อแหล่งจ่ายมีการเปลี่ยนแปลง ดังรูปที่ 5.4 ทูทวงจรจะกำเนิดแรงดันได้สูงขึ้นตามแหล่งจ่าย ในลักษณะเชิงเส้น เนื่องจากการเพิ่มของแหล่งจ่าย แต่จำนวนสตเจยังคงที่ทำให้ผลกระทบของแรงดันซิดเริ่มเหมือนกันทุกระดับของแหล่งจ่าย แต่วงจร CCTS-CG จะเริ่มเป็นเชิงเส้นที่แหล่งจ่าย 3 โวลต์ขึ้นไป และให้แรงดันสูงกว่าวงจรรอื่น ๆ เนื่องจากที่แหล่งจ่ายค่าต่ำวงจรระดับสัญญาณนาฬิกาจะมีสัดส่วนผลกระทบของแรงดันซิดเริ่มจำนวนมาก

เมื่อปรับค่าของตัวเก็บประจุของวงจรแบบแถวคู่ตามสมการอุดมคติแล้ว ผลของแรงดัน ดังรูปที่ 5.5 ที่แหล่งจ่าย 3 โวลต์ ความถี่สัญญาณนาฬิกา 5 เมกะเฮิรตซ์ โดยปรับค่าตัวเก็บประจุเป็น 16.7 พิโคฟารัด ที่กระแส 100 ไมโครแอมป์ วงจร CCTS-CG จะมีแรงดัน 15.8 โวลต์ และวงจร CCTS มีแรงดัน 14.9 โวลต์ ซึ่งใกล้เคียงกับระดับที่ต้อง แต่จะพบว่าที่กระแสต่ำ วงจร CCTS-CG จะจ่ายแรงดันได้สูงกว่า ขณะที่กระแสสูงกว่าประมาณ 120 ไมโครแอมป์ วงจร CCTS จะรักษาระดับแรงดันดีกว่า วงจร CCTS-CG ซึ่งมีชุดของวงจรระดับสัญญาณนาฬิกา เสมือนว่ามีจำนวนสตเจเพิ่มขึ้น ทำให้ความสามารถในการจ่ายกระแสลดลง จึงมีแรงดันต่ำกว่า แต่หากต้องการให้วงจร CCTS-CG จ่ายกระแสได้สูงขึ้นต้องคำนวณที่จุดที่ต้องการ หรือปรับค่าตัวเก็บประจุให้เหมาะสม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



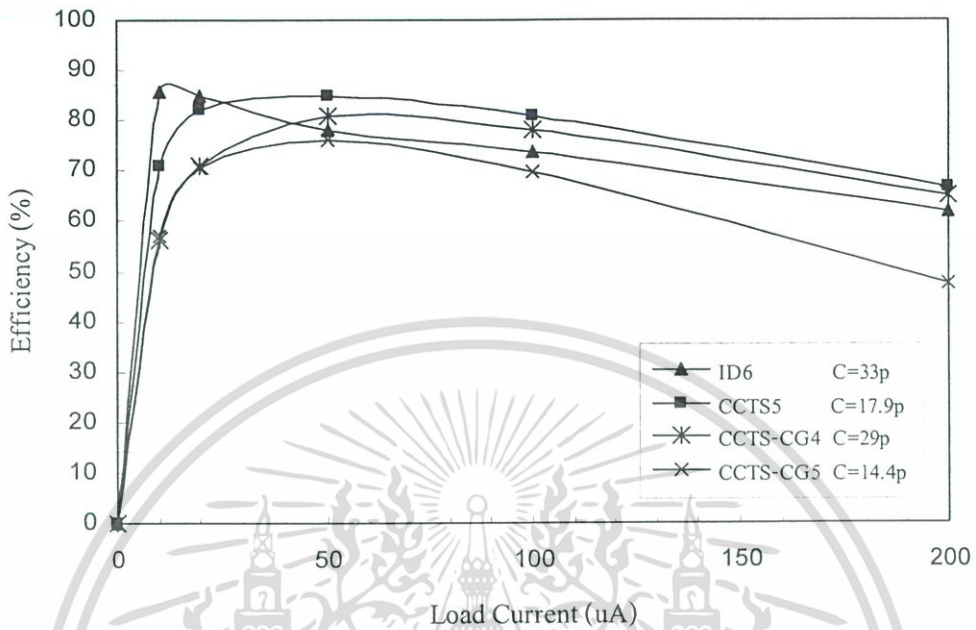
รูปที่ 5.5 แสดงผลแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง



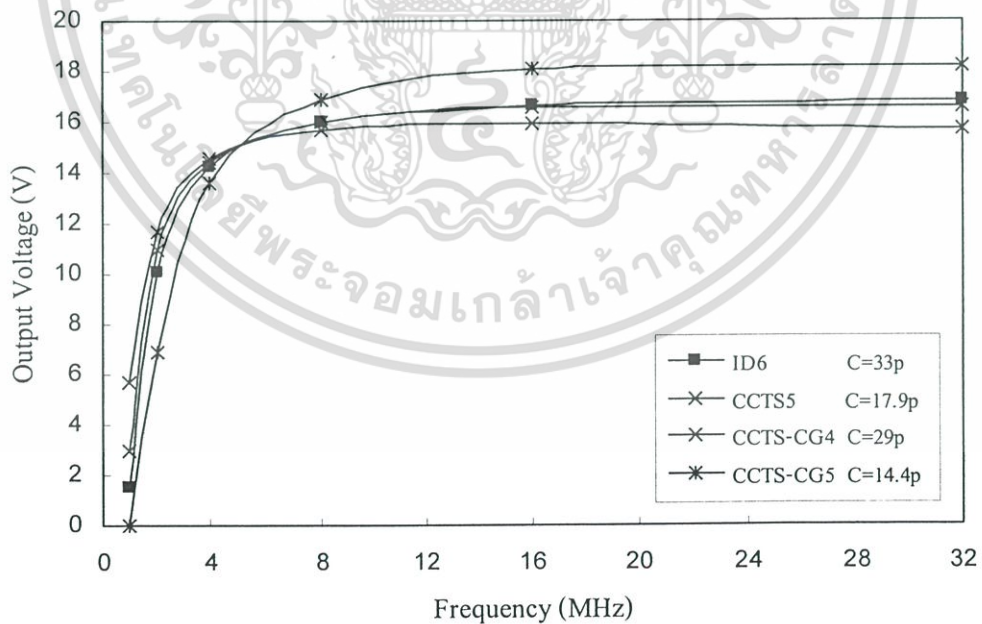
รูปที่ 5.6 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต

ทำการปรับค่าตัวเก็บประจุของแต่ละวงจรให้ใกล้เคียงความจริง โดยเพิ่มเทอมของตัวพารามิเตอร์ที่เกี่ยวข้อง ทั้งแรงดันขีดเริ่ม และแรงดันตกคร่อมไดโอด โดยพิจารณาเพียง 4 วงจร คือ วงจร ID 6 สแดง วงจร CCTS 5 สแดง และวงจร CCTS-CG ขนาด 4 และ 5 สแดง ดังรูปที่ 5.6 ที่แรงดันเอาต์พุต 15 โวลต์ กระแสโหลด 100 ไมโครแอมป์ จะพบว่าวงจร CCTS-CG 5 สแดง จะใช้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุที่มีค่าต่ำสุด ซึ่งจะทำให้ขนาดของวงจรรวมเล็กด้วย แต่อย่างไรก็ตามความสามารถในการจ่ายกระแสจะไม่สูงนัก



รูปที่ 5.7 เปรียบเทียบประสิทธิภาพของวงจรที่กระแสไหลลดต่างๆ



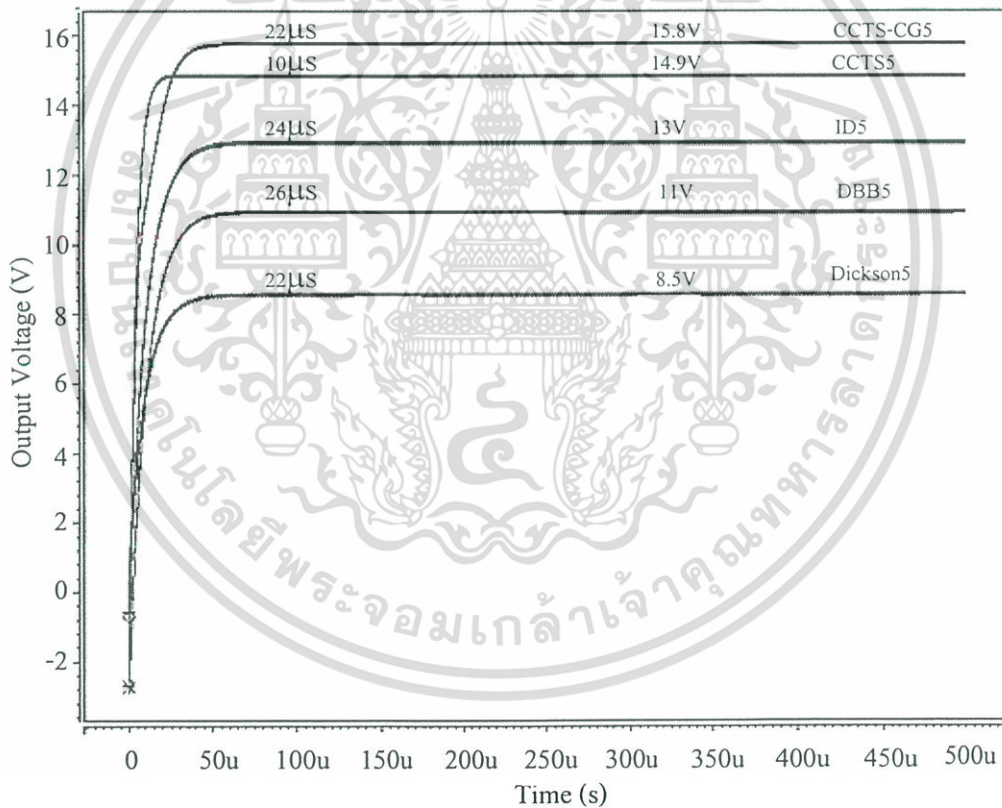
รูปที่ 5.8 แสดงผลแรงดันเอาต์พุตที่ความถี่ต่างๆ

$$(V_{DD}=3V, I_{OUT}=100\mu A)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพของวงจรดังแสดงในรูปที่ 5.7 ที่กระแสโหลด 100 ไมโครแอมป์ วงจร CCTS 5 สเตจ, วงจร CCTS-CG 4 สเตจ, วงจร ID 6 สเตจ และวงจร CCTS-CG 5 สเตจ มีประสิทธิภาพ 81 เปอร์เซ็นต์, 78 เปอร์เซ็นต์, 74 เปอร์เซ็นต์ และ 70 เปอร์เซ็นต์ ตามลำดับ วงจร CCTS-CG5 จะมีประสิทธิภาพต่ำสุด เนื่องจากมีสเตจสูงกว่าวงจรແກວ່າแบบอื่น ซึ่งความสามารถในการจ่ายกระแสจะต่ำลงนั่นเอง

รูปที่ 5.8 แสดงการทำงานที่ความถี่ต่างๆ โดยทุกวงจรจะทำงานได้ดีที่ความถี่ของสัญญาณนาฬิกา ประมาณ 5 เมกะเฮิร์ต ขึ้นไป ส่วนรูปที่ 5.9 แสดงรูปแรงดันที่ได้จากการจำลองการทำงาน วงจร CCTS จะมีความเร็วในการเข้าสู่สภาวะคงตัวได้เร็วกว่าวงจรอื่นๆ เนื่องจากมีความถี่ในการสวิตช์ที่สูงกว่าวงจรแบบແກວ່าเดี่ยว ขณะที่วงจร CCTS-CG แม้จะสวิตช์เหมือนวงจร CCTS แต่จะใช้เวลามากกว่า เพราะในชุดวงจรระดับสัญญาณนาฬิกาแล้วป้อนให้กับสเตจใด สเตจหนึ่งจะใช้เวลาในการประจุมากขึ้น

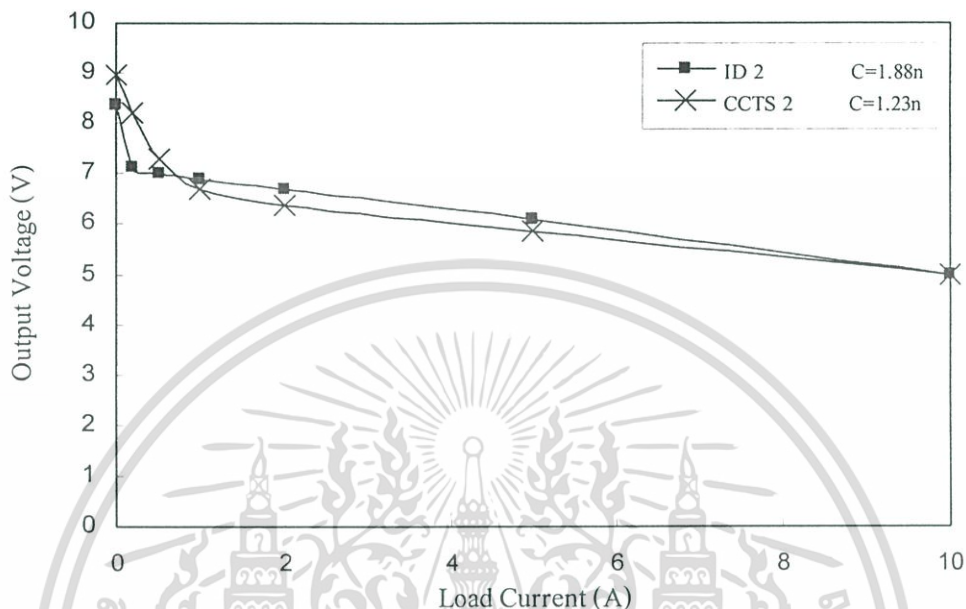


รูปที่ 5.9 แสดงผลการจำลองการทำงานและเวลาในการเข้าสู่สภาวะคงตัว

$$(V_{DD}=3\text{V}, f=5\text{MHz}, 5 \text{ สเตจ}, I_{OUT}=100\mu\text{A})$$

วงจรอัดประจุบวก เงื่อนไข แรงดันเอาต์พุต +5 โวลต์ กระแสโหลด 10 มิลลิแอมป์ พิจารณาจากรูปที่ 5.10 วงจร ID เลือกใช้  $C=1.88$  นาโนฟารัด วงจร CCTS ใช้  $C=1.23$  นาโนฟารัด เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งสองวงจรเป็นวงจรขนาด 2 สเตจ จากลักษณะของกราฟจะประมาณได้ว่าวงจร CCTS มีแนวโน้มในการกำเนิดแรงดันที่ดีกว่า ที่กระแสสูงกว่า 10 มิลลิแอมป์ ส่วนวงจรอื่นๆ ไม่สามารถทำงานบนเงื่อนไข กระแส 10 มิลลิแอมป์ได้ เนื่องจากผลของแรงดันขีดเริ่ม และกระแสสูงเกินไป



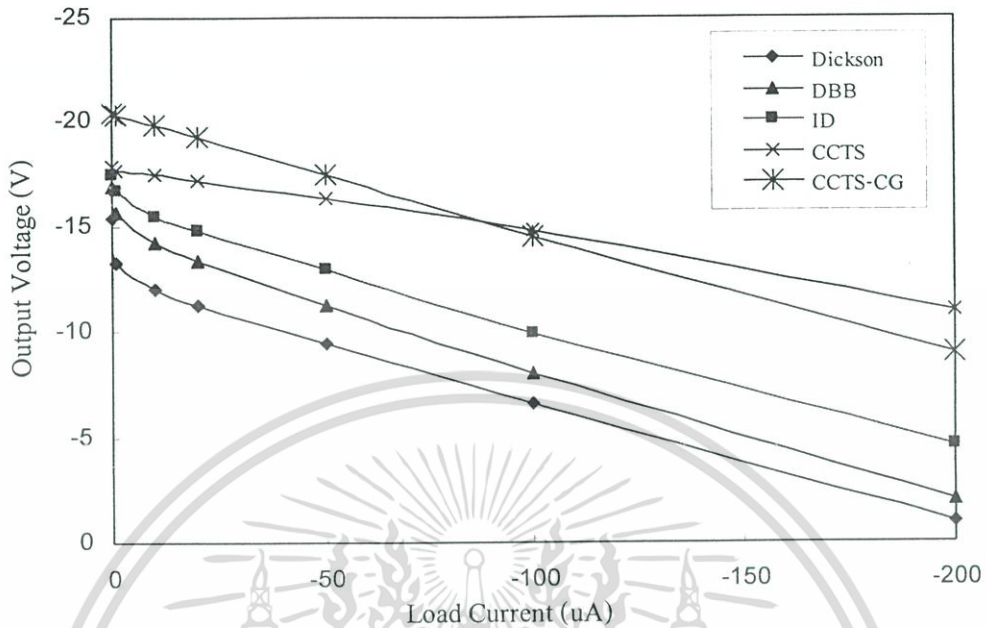
รูปที่ 5.10 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต ( $V_{DD}=3V, f=5MHz, C_L=78nF, 2$  สเตจ)

วงจรอัดประจุแรงดันลบ บนเงื่อนไขแรงดันเอาต์พุต -15 โวลต์ กระแสโหลด 100 ไมโครแอมป์ สามารถอธิบายผลการจำลองการทำงานได้ดังนี้

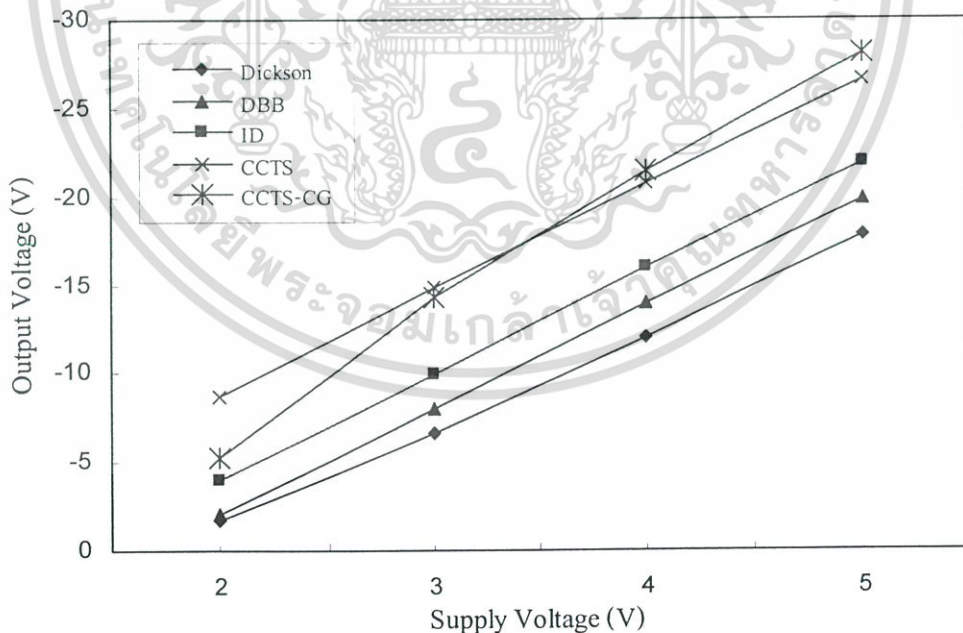
พิจารณาความสามารถในการจ่ายแรงดัน เมื่อโหลดมีการเปลี่ยนแปลง ดังรูปที่ 5.11 วงจรแบบแถวเดี่ยว จะมีคุณสมบัติคล้ายๆ กัน โดยที่กระแสโหลด  $100\mu A$  วงจร Dickson, วงจร DBB และวงจร ID สามารถกำเนิดแรงดันได้เท่ากับ -6.6 โวลต์, -8 โวลต์ และ -9.94 โวลต์ จากน้อยไปมากตามลำดับ ส่วนวงจร CCTS และ CCTS-CG สามารถจ่ายแรงดันได้ ประมาณ 14.5 โวลต์ ซึ่งกระแสโหลดที่ 100 ไมโครแอมป์ ถือเป็นกระแสที่ค่อนข้างสูง แต่ถ้าอุปกรณ์ที่ใช้กินกระแสไม่มากนัก วงจร CCTS-CG จะให้แรงดัน ได้สูงกว่าที่สเตจเท่ากัน หรือให้แรงดันเท่ากันในสเตจที่ต่ำกว่านั่นเอง

พิจารณารูปที่ 5.12 ทุกวงจรมีขนาด 5 สเตจ เท่ากัน เมื่อแหล่งจ่ายมีการเปลี่ยนแปลง โดยที่กระแสโหลด คงที่ที่ 100 ไมโครแอมป์ วงจร ID จะจ่ายแรงดันได้สูงสุดในกลุ่มวงจรอัดประจุแบบแถวเดี่ยว คือ -21.95 ที่สัญญาณนาฬิกา 5 โวลต์ ส่วนวงจรแบบแถวคู่ที่ สัญญาณนาฬิกาต่ำกว่า 3.5

โวลต์ วงจร CCTS จะสูงกว่า แต่ถ้าสัญญาณนาฬิกาสูงกว่า 3.5 โวลต์ วงจร CCTS-CG จะกำเนิดแรงดันได้สูงกว่า



รูปที่ 5.11 แสดงผลแรงดันเอาต์พุตเทียบกับกระแสเอาต์พุต  
( $V_{CLK}=3V, f=5MHz, C=20pF, C_L=200pF, 6$  สตจ)

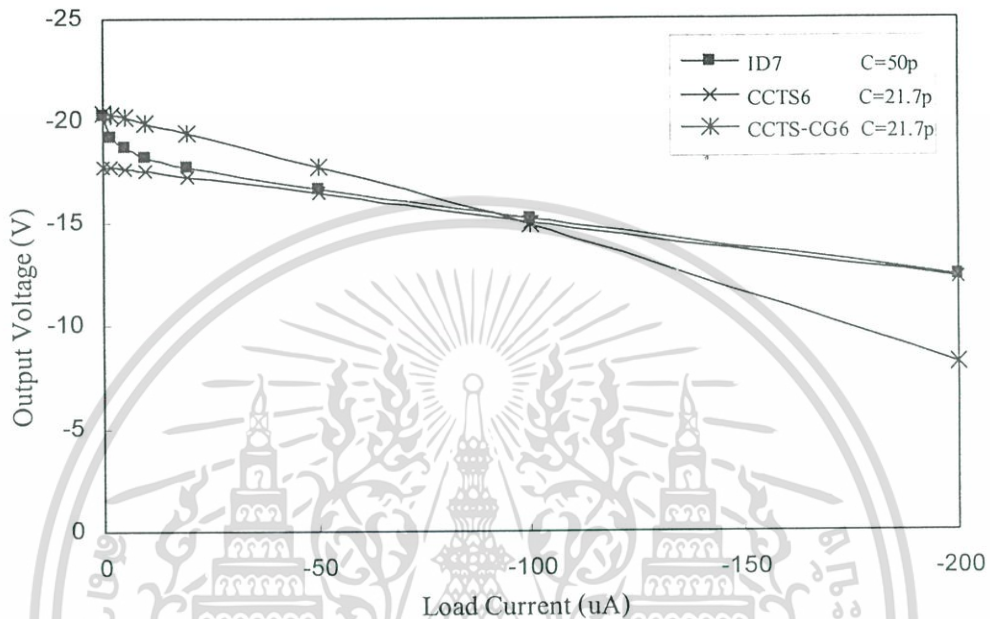


รูปที่ 5.12 แสดงผลแรงดันเอาต์พุตเมื่อขนาดของแหล่งจ่ายเปลี่ยนแปลง

( $f=5MHz, C=20pF, C_L=250pF, I_{OUT}=100\mu A$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการปรับขนาดวงจร และขนาดตัวเก็บประจุ ดังรูปที่ 5.13 โดยใช้แหล่งจ่ายและความถี่เดียวกัน ผลที่ได้จะคล้ายกับวงจรบวก ที่กระแสไหลต่ำกว่า 100 ไมโครแอมป์ วงจร CCTS-CG จะสามารถกำเนิดแรงดันได้สูงกว่า เนื่องจากการใช้วงจรยกระดับสัญญาณนาฬิกาเสมือนการมีสเตจเพิ่มมากขึ้น และความสามารถในการกำเนิดแรงดันต่ำกว่า CCTS เมื่อจ่ายกระแสสูงขึ้น



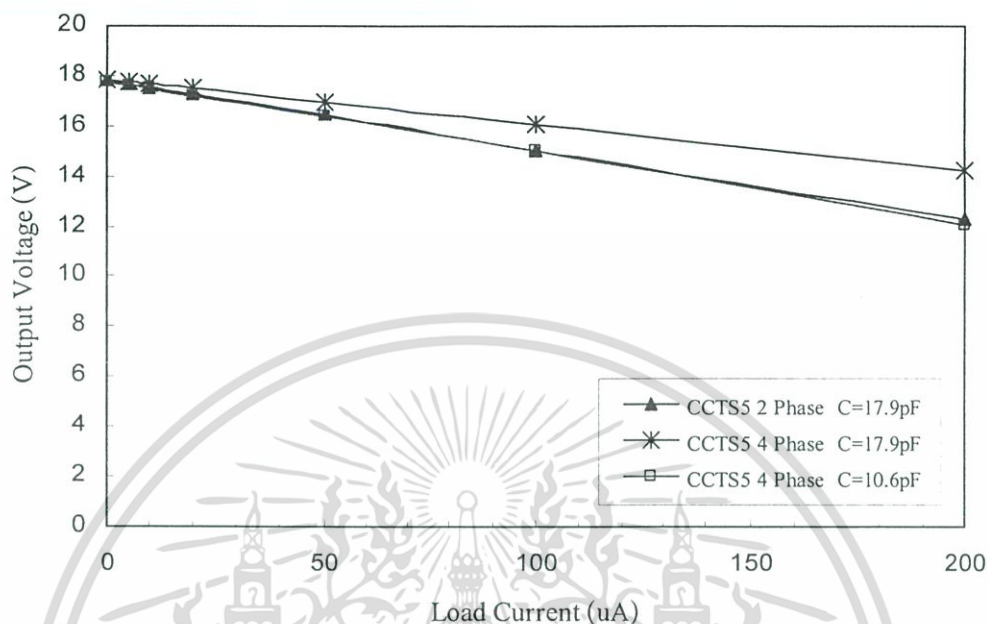
รูปที่ 5.13 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสไหลเปลี่ยนแปลง

### 5.2.2 เปรียบเทียบผลการจำลองการทำงานของวงจรคู่ไขว้แบบเพิ่มสัญญาณนาฬิกา

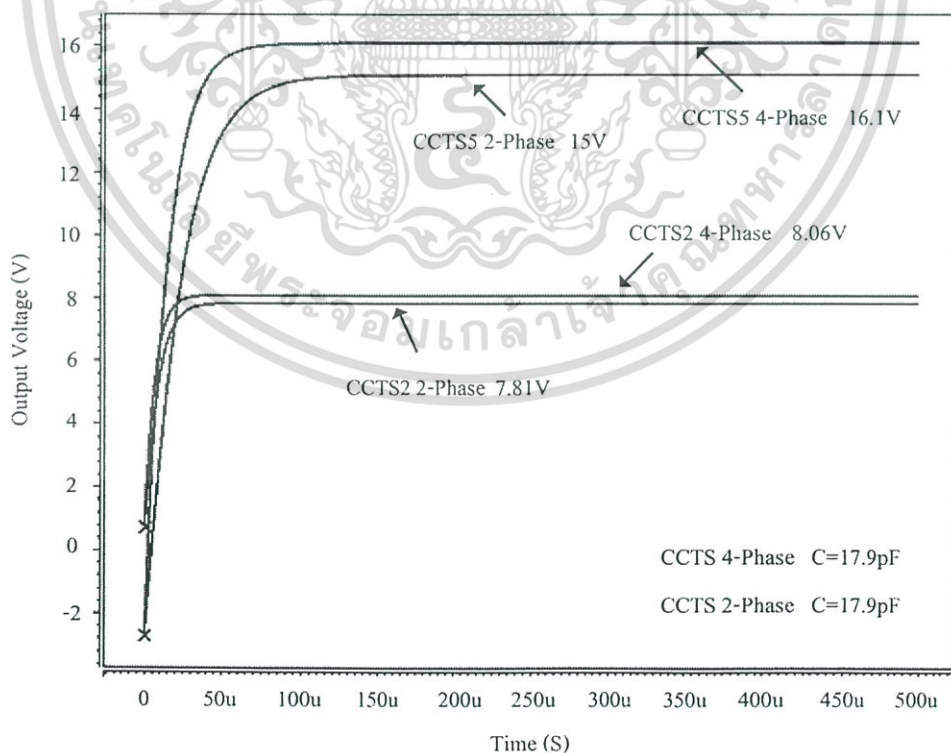
ผลการจำลองการทำงานของวงจรคู่ไขว้แบบใช้สัญญาณนาฬิกา 4 เฟส (CCTS 4-Phase) เปรียบเทียบกับวงจรคู่ไขว้ (CCTS 2-Phase) แสดงดังรูปที่ 5.14 ถึง รูปที่ 5.23 สามารถพิจารณาได้ดังนี้

เปรียบเทียบ ในเงื่อนไข จำนวนสเตจ โหลด และตัวเก็บประจุระหว่างสเตจมีค่าเท่ากัน โดยให้แหล่งจ่าย  $V_{DD}$  และ  $CLK$  มีขนาด 3 โวลต์ ความถี่สัญญาณนาฬิกา 5 เมกะเฮิร์ตซ์ และวงจรขนาด 5 สเตจ พิจารณาจากรูปที่ 5.14 แสดงแรงดันที่เอาต์พุต เมื่อมีการเปลี่ยนแปลงของกระแสไหล ที่กระแสไหล 100 ไมโครแอมป์ ตัวเก็บประจุระหว่างสเตจ 17.9 พิโคฟารัด วงจร CCTS 4-Phase และวงจร CCTS 2-Phase สามารถจ่ายแรงดันได้เท่ากับ 16.1 โวลต์ และ 15 โวลต์ เนื่องจากหากพิจารณาในเชิงของความต้านทาน จะพบว่าความต้านทานด้านเอาต์พุตของวงจร CCTS 4-Phase มีค่าต่ำกว่าวงจร CCTS 2-Phase ประมาณครึ่งหนึ่ง และเมื่อทำการปรับค่าตัวเก็บประจุของวงจร CCTS 4-Phase เพื่อให้ได้ แรงดัน 15 โวลต์ 100 ไมโครแอมป์ สามารถลดค่าตัวเก็บประจุลงมาเหลือ

10.6 พิกิวต์ จะได้กราฟคุณสมบัติของวงจร เหมือนกับวงจร CCTS 2-Phase โดยที่ขนาดของตัวเก็บประจุ สามารถลดลงจากเดิมได้ประมาณ 41 เปอร์เซ็นต์



รูปที่ 5.14 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง

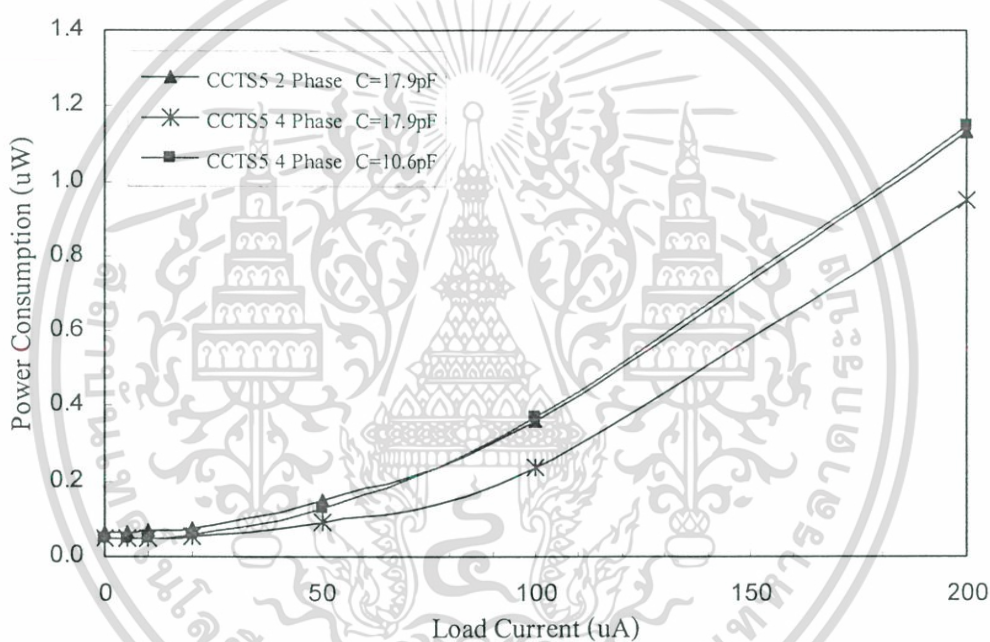


รูปที่ 5.15 แสดงผลการจำลองการทำงานและเวลาในการเข้าสู่สภาวะคงตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่สังเกตได้ว่าเมื่อจ่ายกระแสเอาต์พุตต่ำลงจะทำให้ทั้งสองวงจรมีค่าต่างกันน้อยมาก และจะเท่ากันเมื่อไม่จ่ายกระแสโหลดเลย ทั้งนี้เพราะเทอมของแรงดันตกคร่อมตัวต้านทานด้านเอาต์พุตของวงจรจะหายไป

ส่วนรูปที่ 5.15 แสดงผลเปรียบเทียบระหว่างวงจร CCTS 2-Phase และ CCTS 4-Phase เมื่อจ่ายกระแสให้กับโหลด 100 ไมโครแอมป์ โดยทั้งสองวงจรมีขนาด 5 สเตจเท่ากัน จะพบว่าเมื่อวงจรเข้าสู่สภาวะคงตัว วงจร CCTS 2-Phase จะกำเนิดแรงดันประมาณ 15 โวลต์ ส่วน CCTS 4-Phase กำเนิดแรงดัน 16.1 โวลต์ ซึ่งต่างกันประมาณ 1.1 โวลต์ ซึ่งเปรียบเทียบกับค่าที่คำนวณแล้วต่างกัน 1.12 โวลต์ถือว่าค่าใกล้เคียงกันมาก

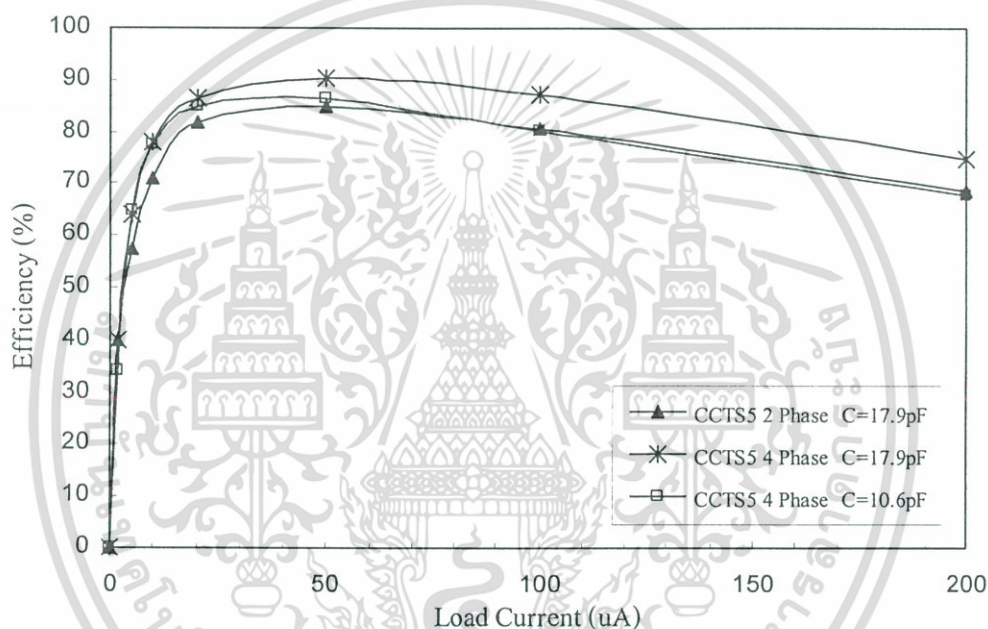


รูปที่ 5.16 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง

พิจารณา รูปที่ 5.16 เป็นการเปรียบเทียบอัตราการบริโภคกำลังงาน ที่กระแสโหลด 100 ไมโครแอมป์ ทั้ง วงจร CCTS 4-Phase วงจร CCTS 2-Phase จะมีอัตราการบริโภคกำลังงานเท่ากันที่ 1.8 มิลลิวัตต์ เพราะแต่ละสเตจใช้สัญญาณนาฬิกาจำนวนเท่ากันนั่นเอง ส่วนกรณีที่ไม่มีการจ่ายกระแสให้กับโหลด จะมีการใช้กำลังงาน 48 และ 63 ไมโครแอมป์ สำหรับวงจร CCTS 4-Phase ทั้งสองวงจร และ CCTS 2-Phase ตามลำดับ แต่เนื่องจากวงจร CCTS 4-Phase สามารถกำเนิดแรงดันได้สูงกว่าเมื่อจ่ายกระแสโหลดที่สูงขึ้น จึงทำให้ค่าการบริโภคกำลังงานสูงขึ้นด้วย

ในส่วนของคุณสมบัติของวงจร จากรูปที่ 5.17 จะเห็นว่าวงจร CCTS 4-Phase ที่มีตัวเก็บประจุ 17.9 พิโคฟารัด มีประสิทธิภาพของวงจรเท่ากับ 87 เปอร์เซ็นต์ วงจร CCTS 2-Phase มีเอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปเผยแพร่หรือใช้โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพ 80 เปอร์เซ็นต์ เท่ากับวงจร CCTS 4-Phase ที่ลดขนาดตัวเก็บประจุลงมาเหลือเพียง 10.6 พิโคฟารัด ซึ่งแสดงให้เห็นว่า วงจร CCTS 4-Phase มีความสามารถในการจ่ายกระแสและแรงดันให้โหลดได้ดีที่สุด มองในภาพรวมถ้าไม่คิดผลของวงจรกำเนิดสัญญาณนาฬิกาที่เพิ่มขึ้น ถ้าวงจรใช้ตัวเก็บประจุเท่ากัน บนเงื่อนไขแรงดัน 15 โวลต์ กระแส 100 ไมโครแอมป์ วงจร CCTS 4-Phase จะจ่ายแรงดันสูงกว่า วงจร CCTS 2-Phase ประมาณ 7 เปอร์เซ็นต์ ประสิทธิภาพสูงกว่า ประมาณ 9 เปอร์เซ็นต์ แต่เมื่อลดขนาดตัวเก็บประจุของวงจร CCTS 4-Phase เป็น 10.6 พิโคฟารัด ทำให้มีความสามารถในการกำเนิดแรงดัน จ่ายกระแส และมีประสิทธิภาพเท่ากับวงจร CCTS 2-Phase ซึ่งเป็นการลดขนาดตัวเก็บประจุลงมาถึง ประมาณ 41 เปอร์เซ็นต์

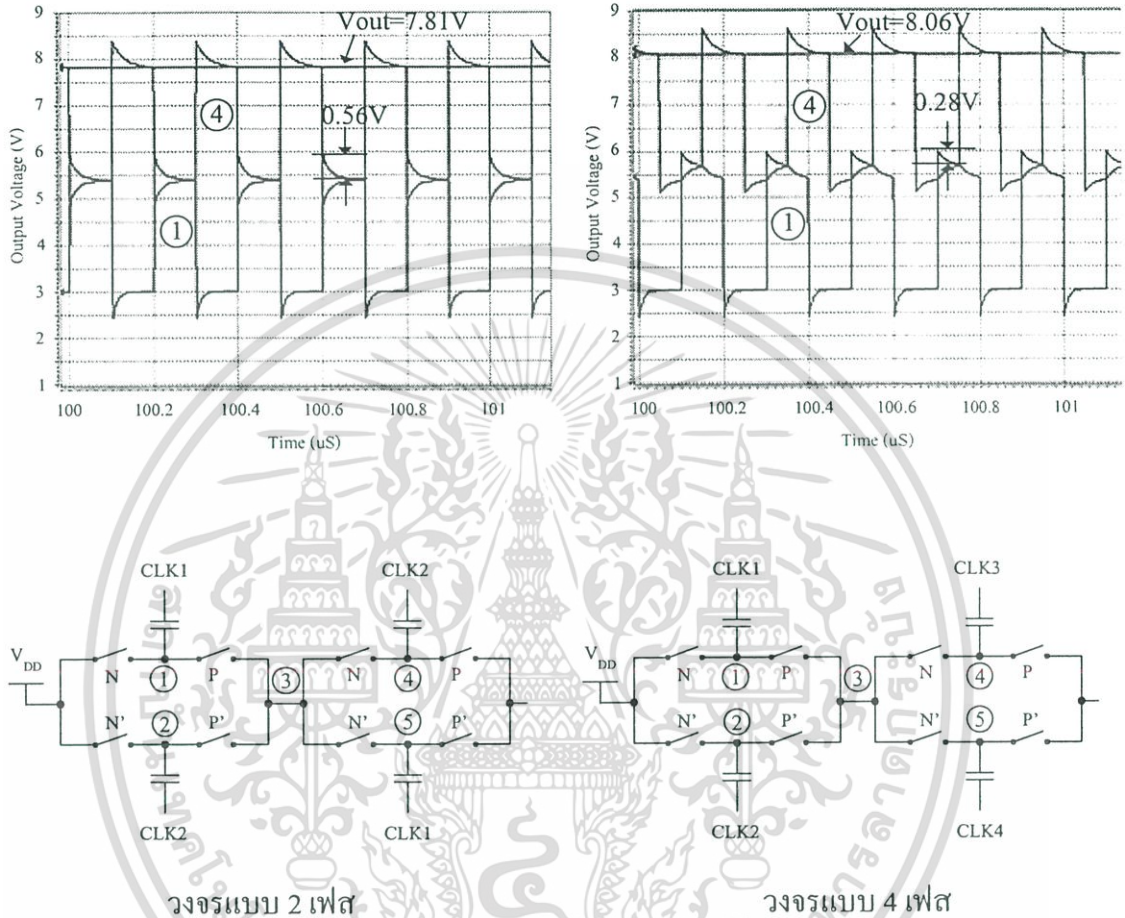


รูปที่ 5.17 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง

จากรูปที่ 5.18 เพื่อให้สามารถดูรูปสัญญาณได้ง่าย จึงแสดงผลให้เห็นเฉพาะที่ โหนด 1 และ โหนด 4 เท่านั้น เมื่อจ่ายกระแสโหลด 100 ไมโครแอมป์ การคำนวณสำหรับวงจรแบบ 2 เฟส เทอม  $I_{OUT}/2Cf$  จะได้เท่ากับ 0.56 โวลต์ และวงจรแบบ 4 เฟส เทอม  $I_{OUT}/4Cf$  จะได้เท่ากับ 0.28 โวลต์ ซึ่งตรงกับผลการจำลองการทำงาน เมื่อเปรียบเทียบกันแล้วจะเห็นว่า ตัวเก็บประจุที่ โหนด 4 ของวงจรแบบ 4 เฟส จะเริ่มการเก็บประจุเมื่อตัวเก็บประจุที่ โหนด 2 คายประจุได้เพียงครึ่งเดียว (0.28 โวลต์) ขณะที่วงจรแบบ 2 เฟส ตัวเก็บประจุที่ โหนด 4 จะเริ่มการเก็บประจุเมื่อตัวเก็บประจุที่ โหนด 2 คายประจุทั้งหมด (0.56 โวลต์) หมายความว่าจุดเริ่มต้นของแรงดันที่ โหนด 4 ของวงจรแบบ 4 เฟส จะสูงกว่าวงจรแบบ 2 เฟส เท่ากับครึ่งหนึ่งของช่วงการคายประจุหรือ  $I_{OUT}/2Cf$  นั่นเอง ทำให้เกิดผลต่างของแรงดันมากขึ้นตามจำนวน  $n$  สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายความว่าจุดเริ่มต้นของแรงดันที่ โหนด 4 ของวงจรแบบ 4 เฟส จะสูงกว่าวงจรแบบ 2 เฟส เท่ากับครึ่งหนึ่งของช่วงการคายประจุหรือ  $I_{OUT}/2Cf$  นั่นเอง ทำให้เกิดผลต่างของแรงดันมากขึ้นตามจำนวน  $n$  สเตจ

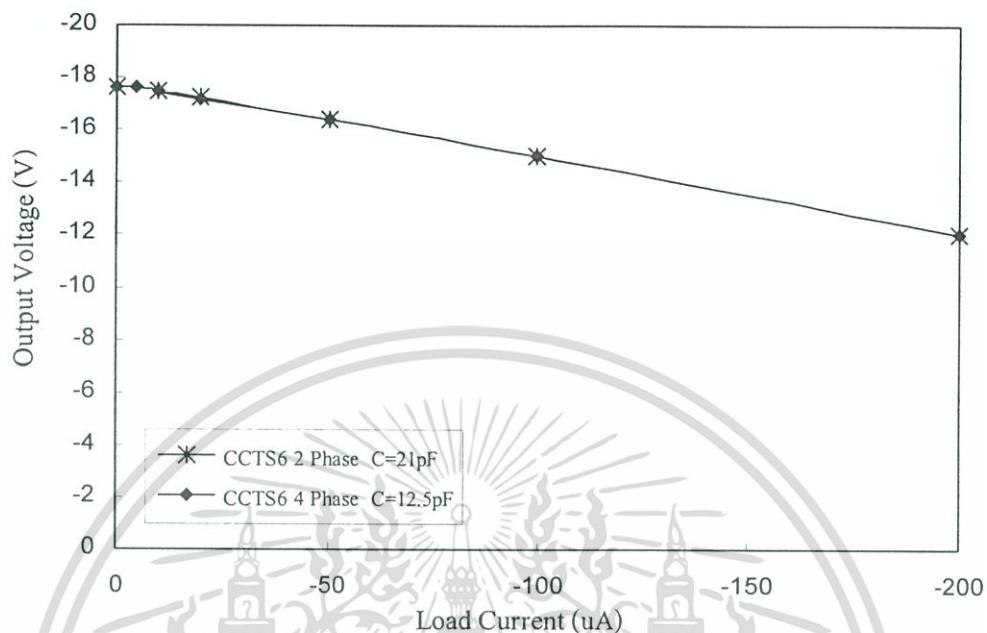


รูปที่ 5.18 เปรียบเทียบแรงดันที่ โหนด 1 และ 4 ของวงจรแบบสัญญาณนาฬิกา 2 เฟส และ 4 เฟส ( $V_{DD}=3V$ ,  $f=5MHz$ , 5 สเตจ,  $I_{OUT}=100\mu A$ ,  $C=17.9pF$ )

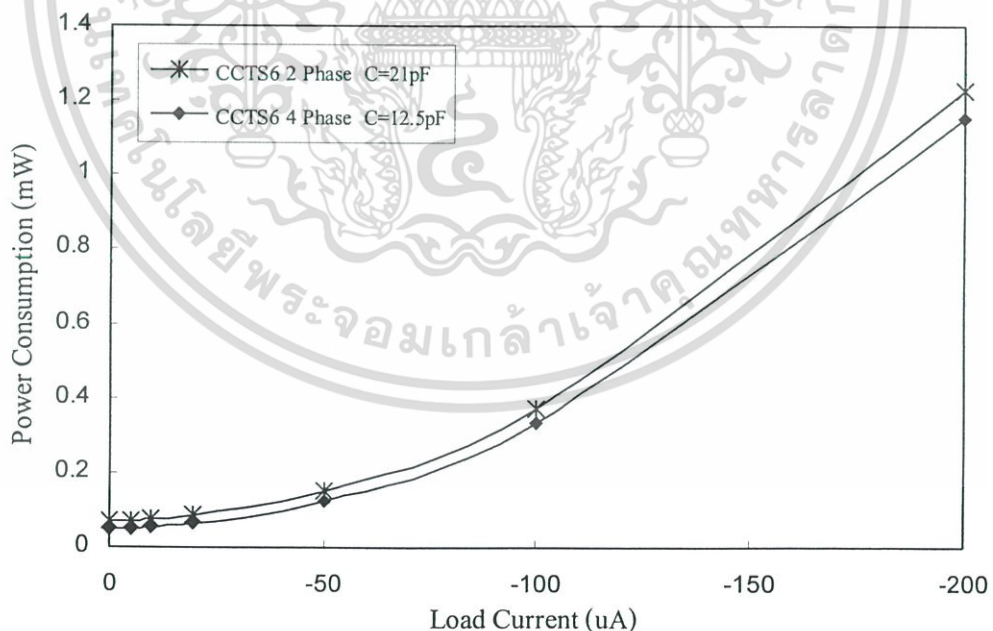
เงื่อนไข แรงดันเอาต์พุต -15 โวลต์ กระแสโหลด 100 ไมโครแอมป์ แรงดันสัญญาณนาฬิกา 5 โวลต์ ความถี่ 5 เมกะเฮิร์ตซ์ วงจรขนาด 6 สเตจ ผลการจำลองการทำงาน ดังรูปที่ 5.19 วงจร CCTS 2-Phase จะใช้ตัวเก็บประจุ 21 พิโคฟารัด วงจร CCTS 4-Phase ใช้ตัวเก็บประจุ 12.5 พิโคฟารัด จะได้แรงดันเอาต์พุต -15 โวลต์ เท่ากันและจ่ายแรงดันได้เท่ากันที่กระแสโหลดอื่นๆ จะเห็นว่า วงจร CCTS 4-Phase ใช้ตัวเก็บประจุต่ำกว่าประมาณ 40 เปอร์เซ็นต์ นอกจากนี้แล้วยังมีอัตราการบริโภคกระแสที่ต่ำกว่า ประมาณ 10 เปอร์เซ็นต์ (ที่กระแสโหลด 100 ไมโครแอมป์) ดังแสดงในรูปที่ 5.20 เมื่ออัตราการบริโภคกระแสต่ำกว่า ที่แรงดันเอาต์พุตเท่ากัน ส่งผลให้ประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจร CCTS 4-Phase สูงกว่าด้วย ดังรูปที่ 5.20 โดยวงจร CCTS 2-Phase และ CCTS 4-Phase มีประสิทธิภาพ 80 เปอร์เซ็นต์และ 82 เปอร์เซ็นต์ตามลำดับ

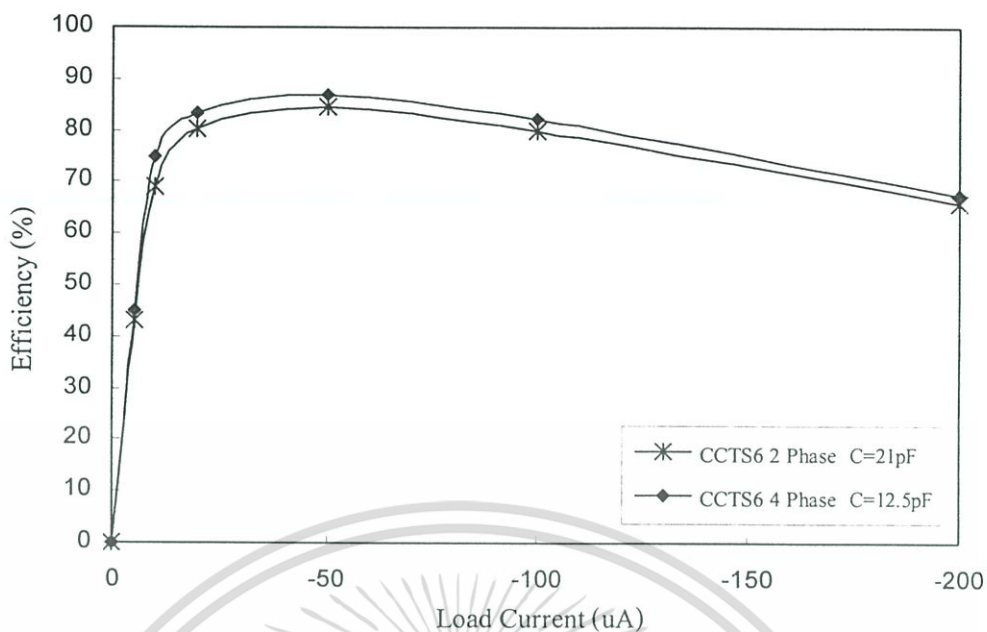


รูปที่ 5.19 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง

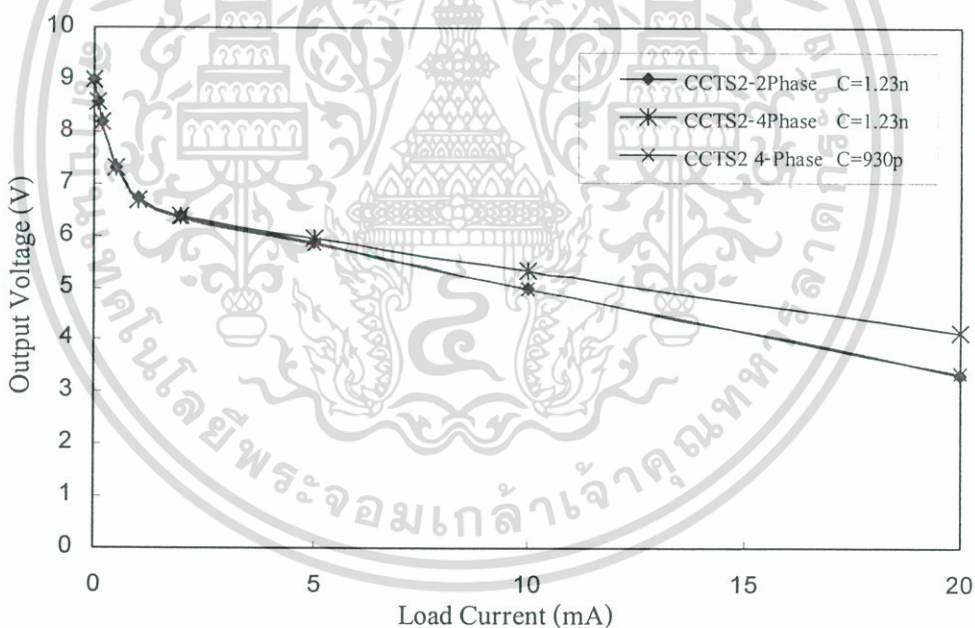


รูปที่ 5.20 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



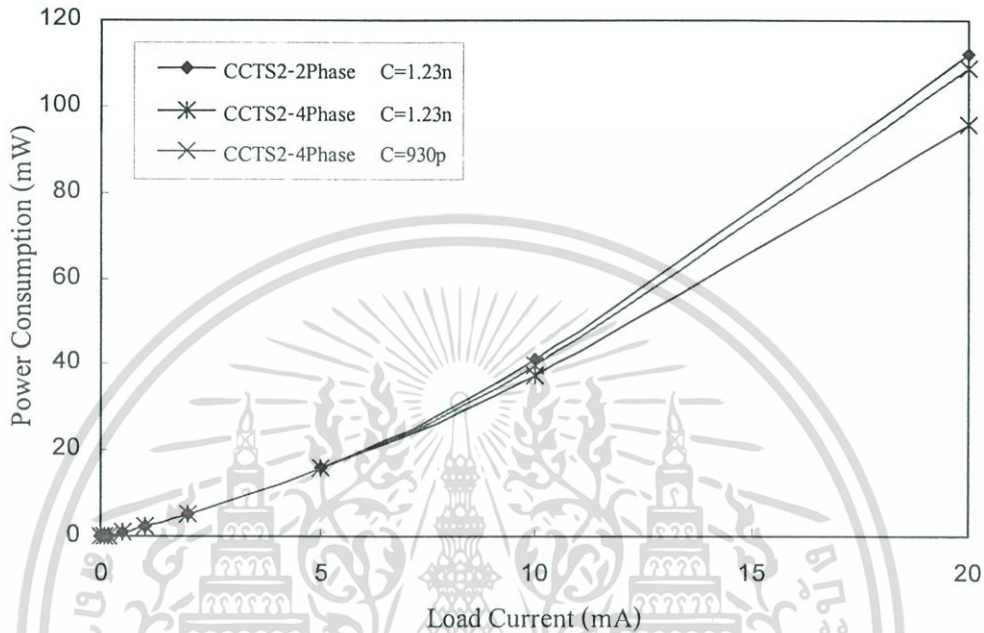
รูปที่ 5.21 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง



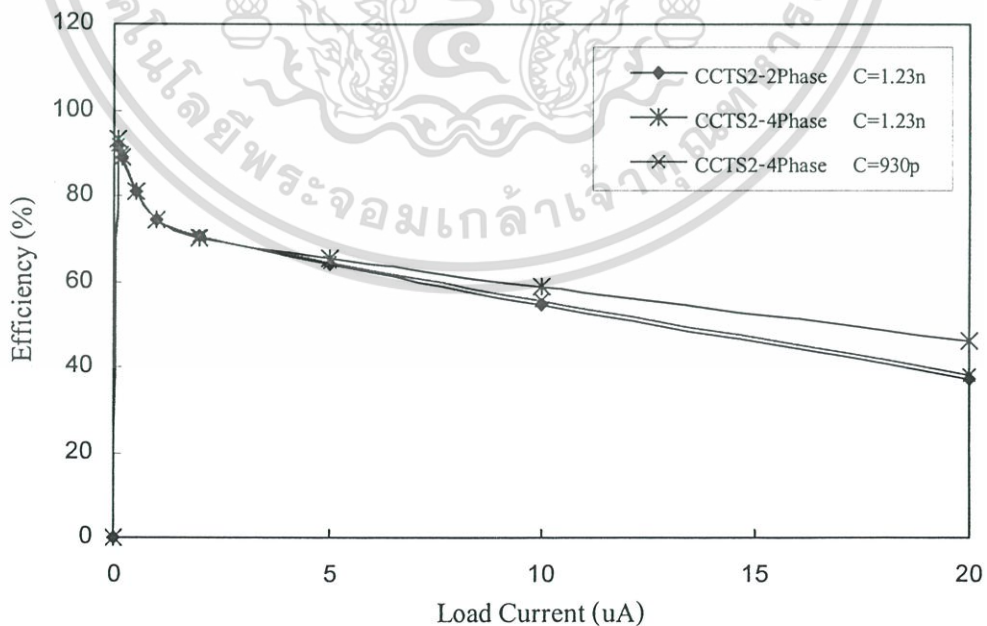
รูปที่ 5.22 แสดงผลเปรียบเทียบแรงดันเอาต์พุตเมื่อกระแสโหลดเปลี่ยนแปลง

สำหรับการกำเนิดแรงดัน +5 โวลต์ ดังรูปที่ 5.22 ถึง 5.24 วงจร CCTS 2-Phase และวงจร CCTS 4-Phase ที่กระแส 10 มิลลิแอมป์ ใช้ตัวเก็บประจุ 1.23 นาโนฟารัด วงจร CCTS 4-Phase กำเนิดแรงดัน ได้ 5.34 โวลต์ สูงกว่าวงจรที่ใช้ CCTS 2-Phase ซึ่งกำเนิดแรงดัน 5 โวลต์ ประมาณ 7 เปอร์เซ็นต์ และประสิทธิภาพของวงจร CCTS 4-Phase 59 เปอร์เซ็นต์ สูงกว่าวงจร CCTS 2-Phase ที่มีเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพ 55 เปอร์เซ็นต์ ประมาณ 7 เปอร์เซ็นต์ และถ้ากระแสสูงกว่าก็มีแนวโน้มในการรักษา ระดับแรงดันได้ดีกว่า ดังนั้นหากลดขนาดของวงจร CCTS 4-Phase โดยลดค่าของตัวเก็บประจุลง มาเป็น 930 พิโคฟารัด ซึ่งขนาดเล็กกว่าวงจร CCTS 2-Phase ถึง 25 เปอร์เซ็นต์ ยังสามารถให้ ประสิทธิภาพประมาณ 56 เปอร์เซ็นต์ สูงกว่าวงจร CCTS 2-Phase เล็กน้อย



รูปที่ 5.23 แสดงผลเปรียบเทียบการบริโภคกำลังเมื่อกระแสโหลดเปลี่ยนแปลง



รูปที่ 5.24 แสดงผลเปรียบเทียบประสิทธิภาพของวงจรเมื่อกระแสโหลดเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 สรุป

ในหัวข้อที่ผ่านมา สามารถสรุปการทำงาน คุณสมบัติในภาพรวมของวงจรแต่ละแบบ และข้อดีข้อเสียต่างๆ ดังนี้ หากพิจารณาตามโครงสร้าง 2 แบบ คือแบบแถวเดี่ยวและแบบแถวคู่ แนวคิดของวงจรทุกวงจรจะใช้พื้นฐานเดียวกัน และแนวทางการปรับปรุงพัฒนา ก็จะเน้นที่ อัตราขยายของวงจร ความสามารถในการจ่ายกระแส และขนาดของวงจร วงจรแถวเดี่ยว เช่น วงจรของ Dickson ซึ่งเป็นพื้นฐานของหลายๆวงจร จะอาศัยการสวิตช์ของมอสทรานซิสเตอร์ แต่อัตราขยายจะต่ำเนื่องจากผลของแรงดันขีดเริ่ม วงจรอื่นๆ พยายามแก้ไขปัญหาค้างกล่าวโดยอาศัย เทคนิควงจร และคุณสมบัติของตัวอุปกรณ์

จากผลการจำลองการทำงานวงจรแบบแถวคู่ให้ความสามารถในการรักษาระดับแรงดัน และจ่ายแรงดันได้สูงกว่า ซึ่งให้ประสิทธิภาพโดยรวมดีกว่า อีกทั้งแรงดันกระแสเพื่อด้านเอาต์พุตต่ำกว่าวงจรแบบแถวเดี่ยว ในกรณีที่เงื่อนไขแรงดันและกระแสเอาต์พุต เดียวกัน วงจรแถวคู่จะมีขนาดของตัวเก็บประจุที่เล็กกว่า แม้ว่าวงจรแถวเดี่ยวจะมีวงจรขนาดเล็กกว่าก็ตาม แต่พื้นที่ส่วนใหญ่ของวงจรรวมจะเป็นค่าตัวเก็บประจุ จึงให้ความสำคัญของตัวเก็บประจุมาก ส่วนแรงดันกระแสเพื่อในจุดที่แรงดัน กระแสเอาต์พุต และ ตัวเก็บประจุไหลคเท่ากัน วงจรแถวคู่จะมีค่าต่ำกว่า

ในส่วนวงจรที่นำเสนอนี้อาศัยเทคนิควงจร 2 รูปแบบ คือการยกระดับสัญญาณนาฬิกา ที่ใช้ขั้ววงจร ในทางอุดมคติจะสามารถยกระดับสัญญาณนาฬิกา ขึ้นมาได้ 2 เท่า ถ้านำมาขั้วกับสเตจใด สเตจหนึ่ง จะทำให้แรงดันที่ได้เพิ่มขึ้นเหมือนกับการเพิ่มวงจรเข้ามา 1 สเตจ โดยไม่ต้องเพิ่มจำนวนตัวเก็บประจุ แต่ในความเป็นจริง เมื่อวงจรมีสเตจเพิ่มขึ้น ความสามารถในการจ่ายกระแสก็จะลดลง กรณีนี้ก็เช่นเดียวกัน และอีกวิธีก็คือการเพิ่มสัญญาณนาฬิกาเข้ามาอีกชุดหนึ่งในวงจรคู่ไขว้ จำนวน 2 สัญญาณ เป็นวงจร CCTS 4-Phase โดยเลื่อนเฟสเข้ามา 90 องศา แล้วนำไปขั้วสเตจถัดไป ผลที่ได้ก็คือ ประสิทธิภาพของวงจร ความสามารถในการกำเนิดแรงดัน การจ่ายกระแส และการบริโภคกำลัง บนเงื่อนไขเดียวกันกับ CCTS 2-Phase การเพิ่มสัญญาณนาฬิกาไปขั้วสเตจที่อยู่ติดกัน ทำให้ต้องพิจารณารวม 2 สเตจเข้าด้วยกัน จะพบว่าช่วงเวลาการสวิตช์ ของทรานซิสเตอร์ในวงจรสเตจถัดไปจะเร็วขึ้นด้วยเวลา  $T/4$  ของคาบเวลา ทำให้เกิดข้อดีคือ เกิดการสะสมประจุไว้ที่เวลา  $T/4$  และจะรวมกับประจุส่วนใหญ่จะถูกส่งมาในช่วงเวลาต่อไป ทำให้เห็นความแตกต่างของวงจรทั้งสองแบบบนเงื่อนไขค่าตัวเก็บประจุเท่ากัน ได้มากขึ้นเมื่อจ่ายกระแสให้โหลดมากขึ้น แต่จะมีความแตกต่างไม่มากนักเมื่อจ่ายกระแสค่าต่ำๆ แต่ถ้าบนเงื่อนไขแรงดันและกระแสเอาต์พุตเท่ากัน จะใช้องจากใช้ตัวเก็บประจุที่มีค่าต่ำลง โดยให้ประสิทธิภาพใกล้เคียงกัน

## บทที่ 6

### สรุปผลการวิจัยและข้อเสนอแนะ

สำหรับการวิจัยในวิทยานิพนธ์ฉบับนี้ ได้ทำการวิเคราะห์ลักษณะการทำงานของวงจร และจำลองการทำงานเพื่อหาผลการทำงานของวงจรอ้างอิงกับหลักการทำงาน โดยสามารถสรุปผลการวิจัย และเสนอแนะแนวทางในการปรับปรุงแก้ไขให้วงจรสามารถทำงานได้ดียิ่งขึ้น ดังนี้

#### 6.1 สรุปผลการวิจัย

วงจรอัดประจุในวิทยานิพนธ์นี้แบ่งโครงสร้างออกเป็น 2 แบบ คือแบบโครงสร้างแถวเดี่ยว และโครงสร้างแถวคู่หรือวงจรแบบคู่ไขว้ซึ่งจัดไว้ในกลุ่มของโครงสร้างแถวคู่

วงจรที่ใช้โครงสร้างแบบแถวเดี่ยว ในหนึ่งสแตจจะถูกขับเคลื่อนด้วยสัญญาณนาฬิกา 1 ตัว มอสทรานซิสเตอร์ทำหน้าที่เป็นสวิตช์ส่งผ่านประจุ เมื่อสวิตช์ปิดวงจรก็จะส่งผ่านประจุไปให้กับตัวเก็บประจุระหว่างสแตจ และสวิตช์เปิดวงจรประจุในตัวเก็บประจุจะคายประจุ ส่งผ่านไปยังสแตจถัดไป ขณะที่วงจรที่ใช้โครงสร้างคู่ จะเหมือนกับวงจรแบบโครงสร้างเดี่ยวที่วางขนานกัน โดยในหนึ่งสแตจจะถูกขับเคลื่อนด้วยสัญญาณนาฬิกา 2 ตัว ซึ่งมีเฟสตรงกันข้าม ทำให้ภายในหนึ่งคาบเวลา เกิดการสวิตชิงสลับกันเต็มช่วงคลื่น ส่งผลให้วงจรสามารถจ่ายแรงดัน และกระแสได้สูงกว่าวงจรแบบแถวเดี่ยว ทั้งนี้เนื่องจากความต้านทานทางค่านเอาท์พุทของวงจร และแรงดันกระแสเพือมจะมีค่าต่ำกว่าวงจรแบบแถวเดี่ยวถึงครึ่งหนึ่ง ซึ่งเกิดจากความถี่ในการสวิตชิงในสแตจที่มากกว่า 2 เท่า

ประการสำคัญวงจรแบบแถวคู่ไม่ได้รับผลกระทบจากฐานรอง (Body Effect) ซึ่งจะเกิดจากไบอัสกลับที่ฐานรอง ส่งผลให้แรงดันขีดเริ่มของแต่ละสแตจเพิ่มสูงขึ้น และเป็นตัวแปรหลักที่ทำให้ขนาดของเอาท์พุทลดลง เนื่องจากทรานซิสเตอร์ทำงานในย่านไม่อิ่มตัว ทำให้ค่า  $V_{DS}$  ต่ำกว่า  $V_{TH}$  ซึ่งอาจไม่ต้องนำมาพิจารณา ขณะที่วงจรอัดประจุแบบ Dickson ที่ใช้มอสทรานซิสเตอร์ชนิดเอ็นจะ ได้รับผลกระทบของฐานรอง (body effect) จากการที่ฐานรองของทรานซิสเตอร์ แต่ละตัวอยู่บนฐานรองเดียวกัน และต่อกับกราวด์เมื่อสแตจสูงขึ้นจะมีไบอัสกลับที่ฐานรอง ทำให้ค่าแรงดันขีดเริ่มสูงขึ้น วงจรอัดประจุแบบ Dickson จึงมีข้อจำกัดที่ไม่สามารถสร้างวงจรให้มีจำนวนสแตจได้มากนัก โดยเฉพาะที่สแตจสูงๆ ค่า  $V_{TH}$  จะสูงจนทรานซิสเตอร์ไม่สามารถนำกระแสได้

การปรับปรุงวงจรในส่วนของวงจรแบบโครงสร้างแถวเดี่ยว จะใช้วิธีการควบคุมการไบอัสที่ฐานรองของทรานซิสเตอร์ โดยควบคุมให้พ้นจากไบอัสกลับ ซึ่งจะทำให้แรงดันขีดเริ่มคงที่ที่  $V_{T0}$  (แรงดันขีดเริ่มเมื่อ  $V_{BS}=0$ ) โดยการใช้ทรานซิสเตอร์ช่วยมาควบคุมที่ฐานรองของมอสทรานซิสเตอร์ ส่วนการปรับปรุงในวิทยานิพนธ์นี้ใช้โครงสร้างแบบง่ายๆ โดยให้ฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

body ต่อกับขั้วด้านศักย์ต่ำ และทำให้มอสทรานซิสเตอร์แต่ละตัวเป็นอิสระต่อกัน คือแยก Well ของแต่ละตัวออกจากกัน จะทำให้ไม่ส่งผลต่อการไบอัสกลับที่ฐานรอง

ในส่วนของวงจรที่นำเสนอเป็นการใช้โครงสร้างแบบแถวคู่ โดยการนำเอาวงจรระดับสัญญาณนาฬิกา (CG) ซึ่งเป็นวงจร Push-Pull ที่ใช้ทรานซิสเตอร์ชนิดซิมอส มาใช้ร่วมกับวงจรอัดประจุแบบคู่ไขว้ ในส่วนของ CG ทำหน้าที่ยกระดับของสัญญาณนาฬิกา ที่จะนำไปขับสแตจให้สูงขึ้นจากเดิม 2 เท่า ซึ่งประโยชน์ของการใช้วงจรระดับสัญญาณนาฬิกาดังกล่าว ไม่ได้อยู่ที่การยกระดับสัญญาณนาฬิกาให้กับวงจรในสแตจ แต่จะใช้เสริมเข้าไปในสแตจโคสแตจหนึ่งเพื่อช่วยเพิ่มให้แรงดันสูงขึ้นในกรณีที่วงจรไม่สามารถกำเนิดแรงดันได้ถึงจุดที่ต้องการเท่านั้น

ผลการทดลองซึ่งได้จากการจำลองการทำงานในเงื่อนไขต่างๆ ดังนี้ เมื่อมีการจ่ายกระแสให้โหลด แหล่งจ่าย ความถี่ที่ใช้ และขนาดของวงจรเปลี่ยนแปลง เป็นการเปรียบเทียบวงจรทั้งแบบแถวเดี่ยว และแบบแถวคู่ ทั้งในแบบที่มีพารามิเตอร์เหมือนกัน และแบบเงื่อนไขเอาท์พุทเดียวกัน จากผลการวิเคราะห์และการจำลองการทำงาน สามารถสรุปผลได้ดังนี้

ความสามารถในการรักษาระดับแรงดันเมื่อทำการจ่ายกระแสให้กับ โหลดที่วงจรขนาด 5 สแตจ วงจร CCTS-CG สามารถจ่ายแรงดันได้สูงที่สุด เมื่อกระแสอยู่ในช่วงต่ำกว่า 100 ไมโครแอมป์ ส่วนวงจร CCTS จะสามารถรักษาระดับแรงดันได้ดีที่กระแสสูงกว่า 100 ไมโครแอมป์ สามารถบอกได้ว่าวงจร CCTS-CG เหมาะสมกับการใช้งานในวงจรที่กินกระแสปานกลาง จะทำให้สามารถลดจำนวนสแตจของวงจรลงได้ ขณะที่วงจรแบบแถวเดี่ยว วงจร ID สามารถจ่ายแรงดันและกระแสได้สูงสุด และที่แหล่งจ่าย ประมาณ 3 โวลต์ขึ้นไป วงจร CCTS-CG จะมีอัตราขยายแรงดันสูงสุด หากต้องการให้วงจร CCTS-CG สามารถจ่ายกระแสให้โหลดได้มากขึ้น ซึ่งสามารถปรับปรุงวงจร โดยการเพิ่มขนาดของทรานซิสเตอร์ให้อัตราส่วนของ W/L มีค่าสูงขึ้น

ผลการตอบสนองต่อความถี่ในวงจรบวกทุกวงจรสามารถทำงานได้ดีที่ความถี่ประมาณ 2MHz ขึ้นไป ทั้งนี้ขึ้นอยู่กับความเหมาะสมในการเลือกใช้ตัวเก็บประจุและความถี่ในการใช้งาน

วงจรอัดประจุเพื่อกำเนิดไฟลบ จะให้ผลคล้ายกับวงจรบวก แต่จะไม่สามารถใช้วงจร CCTS-CG ที่วงจรขนาด 1-2 สแตจ ได้ เนื่องจากแรงดันที่เอาท์พุทของสแตจแรกจะเท่ากับ  $V_{CLK}(V_{DD})$  เท่านั้น ขณะที่ วงจรบวกจะมีแรงดันเท่ากับ  $2V_{DD}$  จะสามารถยกระดับสัญญาณ Clock ได้ตั้งแต่สแตจที่ 2 ขึ้นไป ดังนั้นการใช้วงจรระดับสัญญาณนาฬิกาจึงใช้ได้ตั้งแต่สแตจที่ 3 ขึ้นไป

สำหรับวงจรอัดประจุแบบคู่ไขว้ ที่ใช้สัญญาณนาฬิกาจำนวน 4 เฟส นั้น เป็นการแบ่งสัญญาณนาฬิกาออกเป็น 2 ชุด ชุดแรกจะเหมือนกับวงจรเดิม ส่วนชุดที่เพิ่มเข้าไปจะเลื่อนเฟสเข้ามา 90 องศา โดยทั้งสองชุดจะใช้ขับในแต่สแตจสลับกัน ส่งผลให้ความต้านทานเอาท์พุทของวงจรรวมจะลดลง เมื่อเทียบกับวงจรแบบคู่ไขว้ที่ใช้สัญญาณนาฬิกา 2 เฟส โดยมีเงื่อนไขว่าการเลือกใช้สัญญาณนาฬิกา 4 เฟสได้ จะต้องมีย่าน 2 สแตจ ขึ้นไป ซึ่งพบว่าที่เงื่อนไขแรงดันเอาท์พุท +15 โวลต์ กระแส 100 ไมโครแอมป์ จะได้ผลการจำลองการทำงานดังนี้ ทุกวงจรมีการบริโภคกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.8 มิลลิวัตต์ โดยวงจร CCTS 2-Phase ใช้ตัวเก็บประจุ 17.9 พิโคฟารัด มีประสิทธิภาพ 80 เปอร์เซ็นต์ วงจร CCTS 4-Phase ซึ่งตัวเก็บประจุ 17.9 พิโคฟารัด มีประสิทธิภาพ 87 เปอร์เซ็นต์ และวงจร CCTS 4-Phase ซึ่งตัวเก็บประจุ 10.6 พิโคฟารัด มีประสิทธิภาพ 80 เปอร์เซ็นต์ ส่วนขนาดของวงจรเมื่อประมาณจากค่าตัวเก็บประจุ ซึ่งเป็นตัวแปรหลักของขนาดวงจรนั้น วงจร CCTS 4-Phase จะมีขนาดต่ำกว่าวงจร CCTS 2-Phase อยู่ 40 เปอร์เซ็นต์ แม้ว่าวงจร CCTS 4-Phase จะต้องเพิ่มวงจรสัญญาณนาฬิกาอีก 2 ชุด แต่ก็เป็นส่วนน้อยเมื่อเทียบกับ ขนาดของตัวเก็บประจุ ซึ่งถือได้ว่ามีข้อดีมากกว่านั่นเอง ที่สำคัญคือแนวโน้มความสามารถในการจ่ายกระแสได้สูงกว่า ส่วนวงจรอัดประจุแรงดันลบจะทำให้คุณสมบัติของวงจรที่คล้ายกัน

พิจารณาโดยรวมจะพบว่าวงจรที่สามารถควบคุมขนาดของแรงดันที่ตกคร่อมสวิตช์ให้มีค่าต่ำ เช่นวงจร CCTS 2-Phase และ CCTS 4-Phase จะสามารถใช้งานกับแหล่งจ่ายที่มีค่าน้อยได้ดีกว่า เนื่องจากมีการสูญเสียต่ำ และทำให้อัตราขยายของวงจรสูงขึ้น และมีความเป็นเชิงเส้น ส่วนประสิทธิภาพของวงจรนั้น ถ้าวงจรมีการจ่ายกระแสที่สูงขึ้นจะทำให้ประสิทธิภาพของวงจรลดลง

วงจรอัดประจุแบบ CCTS 4-Phase เหมาะสำหรับนำไปประยุกต์ใช้งานกับวงจรรวมที่ต้องการแรงดันสูง ซึ่งต้องใช้วงจรประเภท DC-DC Converter เช่น หน่วยความจำแบบแฟลช หรือ EEPROM จอแสดงผล TFT-LCD ออปแอมป์ สมาร์ทการ์ด วงจรขยาย (Integrated Amplifier) และวงจรรวมกำลัง (Power IC) ในการนำวงจรอัดประจุไปประยุกต์ใช้งานกับอุปกรณ์อิเล็กทรอนิกส์ต่างๆ นั้น ต้องคำนึงถึงสภาพการใช้งานกับอุปกรณ์ที่เกี่ยวข้อง ซึ่งจะนำไปสู่แนวทางการออกแบบ เช่น อุปกรณ์ส่วนใหญ่ที่ต้องใช้วงจรอัดประจุ มักเป็นอุปกรณ์ไร้สาย และใช้แบตเตอรี่ทำให้สภาพแรงดันที่จ่ายให้วงจรอัดประจุมีค่าไม่แน่นอน การรักษาระดับแรงดันทางด้านเอาต์พุตที่มีความจำเป็น จึงต้องใช้วงจรรักษาระดับแรงดัน (Regulator) ร่วมกับ หรืออุปกรณ์แต่ละชนิดมีแรงดันแหล่งจ่ายที่ต่างกัน เช่น 1.8 โวลต์ 3.3 โวลต์ 5 โวลต์ ความถี่ และกระแสก็แตกต่างกัน

## 6.2 ข้อเสนอแนะ

สิ่งที่ต้องคำนึงถึงใน การออกแบบวงจรว่าจะเลือกใช้มอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี คือแรงดันพังทลายของทรานซิสเตอร์ ซึ่งพิจารณาได้จากแรงดันเอาต์พุตสูงสุดที่ต้องการว่า ทรานซิสเตอร์นั้นรองรับได้หรือไม่ ทั้งนี้เพื่อป้องกันการเกิดไบอัสกลับที่ฐานรองของมอสทรานซิสเตอร์ (Bulk-Source Voltage;  $V_{BS}$ ) กรณีที่เป็นมอสทรานซิสเตอร์ชนิดเอ็น และต่อฐานรองร่วมกัน จะส่งผลกระทบต่อฐานรองของมอสทรานซิสเตอร์ ซึ่งการแก้ไขทำได้โดยการเปลี่ยนมาใช้มอสทรานซิสเตอร์ชนิดพีซึ่งสร้างบน N-Well จะทำให้เสมือนว่าฐานรองของมอสทรานซิสเตอร์ชนิดพีเป็นแบบ Floating-Well ซึ่งจะไม่ได้รับผลกระทบจากฐานรอง

การเลือกใช้วงจรต้องคำนึงถึงขนาดความต้องการของกระแส และแรงดันในวงจรที่ใช้งานเป็นหลัก หากพิจารณาจากสมการจะพบว่าตัวแปรที่สำคัญที่สุดในวงจรคือ ตัวเก็บประจุ ซึ่งใช้พื้นที่ส่วนใหญ่ของของวงจรรวม และจำนวนสเตจของวงจร ดังนั้นต้องพิจารณาว่าวงจรใดจะใช้ค่าของตัวเก็บประจุน้อยกว่า เช่น วงจร CCTS และ CCTS-CG สามารถกำเนิดแรงดันได้สูงกว่าวงจรแบบแถวเดี่ยว โดยที่แบบแถวเดี่ยวใช้ ตัวเก็บประจุค่าสูงกว่า แม้ในจำนวนสเตจเท่ากัน CCTS และ CCTS-CG จะใช้ตัวเก็บประจุถึง 2 ตัว แต่ถ้าจ่ายแรงดันและกระแสเท่ากันก็สามารถลดจำนวนสเตจหรือค่าความต้านทานลงได้อีก

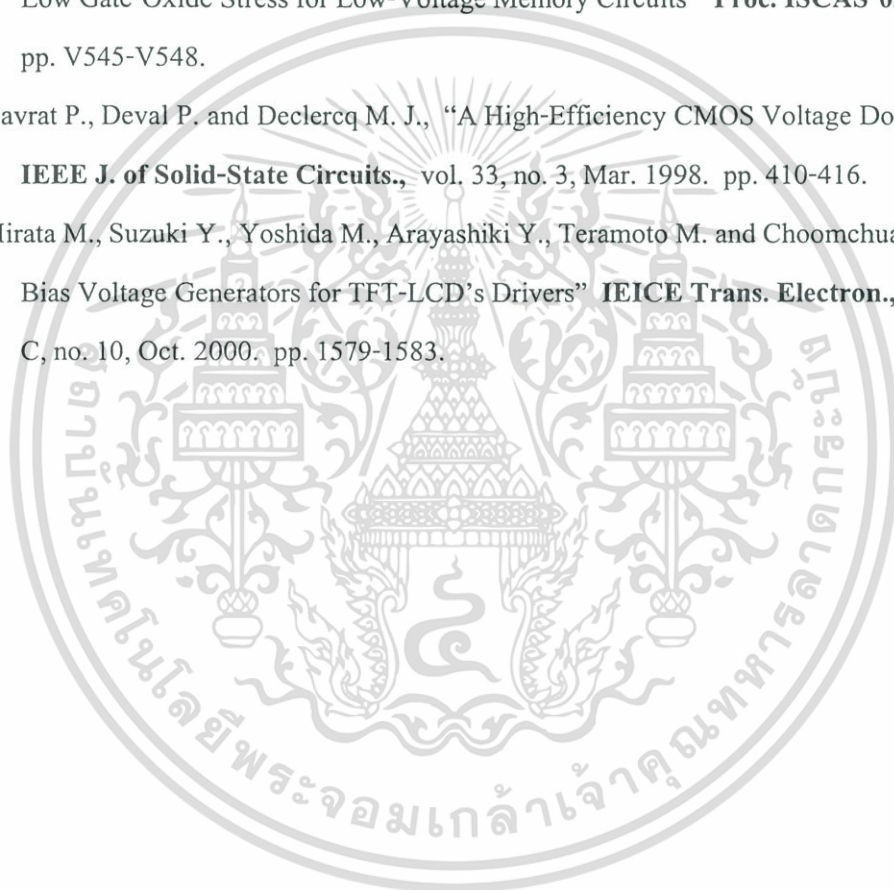
แรงดันกระแสเพิ่มของวงจร ซึ่งเป็นฟังก์ชันของกระแส ความถี่ที่ใช้งาน และโหลดตัวเก็บประจุ สามารถทำการปรับปรุงได้จากการปรับขนาดของโหลดตัวเก็บประจุที่เหมาะสม หรือการใช้วงจรแบบแถวคู่ จะสามารถลดแรงดันกระแสเพิ่มได้ครึ่งหนึ่ง ที่ค่าตัวเก็บประจุเดียวกัน หากมีความจำเป็นมากกว่านั้น การนำวงจรแบบแถวคู่มาวางขนานกันและขับเคลื่อนด้วยสัญญาณนาฬิกา 4 เฟส หรือมากกว่า ตามจำนวนวงจรที่วางขนาน จะทำให้แรงดันกระแสเพิ่มลดลงครึ่งหนึ่งต่อการเพิ่มขึ้นของสัญญาณนาฬิกา 2 เฟส อีกทั้งช่วยให้อัตราขยายแรงดันของสเตจ สูงขึ้นด้วยแต่ทั้งนี้ต้องคำนึงถึงขนาดของวงจรที่มากขึ้น ก็จะส่งผลถึงการบริโภคกำลังงานด้วย

ในการประยุกต์ใช้งานกับอุปกรณ์จริง อาจมีสภาพความต้องการกระแส แรงดันต่างๆ กันสามารถใช้เทคนิคที่นำเสนอไปใช้ได้ โดยหากต้องการให้วงจรสามารถจ่ายกระแสให้โหลดได้สูงขึ้นต้องใช้ตัวเก็บประจุที่มีขนาดใหญ่ขึ้น ซึ่งส่งผลต่อขนาดของวงจรโดยตรง และหากศึกษาข้อมูลจากงานวิจัยหลายๆ ชิ้นหรือชีพวงจรรวมที่มีการผลิตเชิงพาณิชย์จะพบว่าวงจรรวมอัดประจุอาจถูกใช้ร่วมกับตัวเก็บประจุภายนอก ซึ่งจะทำให้จ่ายกระแสได้ค่อนข้างสูง หรือหากต้องใช้กับวงจรที่โหลดมีสภาพการเปลี่ยนแปลงขึ้นลง ต้องทำการเพิ่มวงจรรักษาระดับแรงดัน (Regulator) ทางด้านเอาต์พุตของวงจร เพื่อให้แรงดันคงที่ในกรณีที่โหลดหรือแหล่งจ่ายมีการเปลี่ยนแปลง ซึ่งอาจเกิดจากแบตเตอรี่ หรือแหล่งจ่ายอื่น ซึ่งในวิทยานิพนธ์นี้ได้นำเสนอเฉพาะในส่วนขอเทคนิคของวงจรอัดประจุเท่านั้น วงจรที่นำเสนอจะมีจุดเด่นที่สามารถเปรียบเทียบกับวงจรอื่นได้ เช่น วงจร CCTS 4-Phase ในการใช้งานจริงจะต้องใช้วงจรกำเนิดสัญญาณนาฬิกา 4 ชุด ซึ่งประกอบด้วยวงจรกลับสัญญาณ และวงจรหน่วงเวลาเพื่อให้เฟสของสัญญาณต่างกัน ทำให้ส่วนวงจรของวงจร CCTS 4-Phase มีจำนวนมากขึ้น แต่ปริมาณหลักที่ส่งผลต่อขนาดของวงจรคือขนาดของตัวเก็บประจุ ซึ่งวงจร CCTS 4-Phase จะมีขนาดลดลงมากกว่าเมื่อเปรียบเทียบกับวงจร แบบ 2-Phase

## เอกสารอ้างอิง

- [1] Samsung Semiconductors. “Memory” [Online]. Available :  
<http://www.samsung.com/Products/Semiconductor/Memory/index.htm>. 2005.
- [2] Analog Devices. “Charge Pump Products” [Online]. Available :  
<http://www.analog.com/chargepump>. 2005.
- [3] Dickson J. F., “On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique” **IEEE J. of Solid-State Circuits.**, vol. SC-11, no. 3, Jun. 1976. pp. 374-378.
- [4] Choomchuay S., Hirata M., Suzuki Y., Yoshida M. and Teramoto M., “A High-Voltage Generator using CMOS Charge Pump” **Proc. ISPACS'99., Phuket, Thailand, Dec. 1999.** pp. 41-43.
- [5] Sansoda B., Choomchuay S. and Suzuki Y. “Comparative Study & Experiment of Various Methods for High-Voltage Generator” **Proc. EECON 23., Chiangmai, Thailand, Nov. 1999.** pp. 733-736.
- [6] Richard J. F. and Savaria Y., “High Voltage Charge Pump Using Standard CMOS Technoloty” **Proc. NEWCAS'04, 2004.** pp.317-320.
- [7] Sansoda B., Choomchuay S. and Suzuki Y. “An On Chip Negative High-Voltage Generator” **Proc. APSBC'2000., Bangkok, Thailand, Dec. 2000.** pp. 74-77.
- [8] Pylarinos L. and Rogers E. S., “Charge Pumps: An Overview” **University of Toronto, Canada.**
- [9] Wu J. T. and Chang K. L., “MOS Charge Pumps for Low-Voltage Operation” ” **IEEE J. of Solid-State Circuits.**, vol. 33, no. 4, Apr. 1998. pp. 592-597.
- [10] ST Microelectronics. “Memory-Flash Memory” [Online]. Available :  
<http://www.st.com/stonline/books/toc/ds/1363.htm>. 2005.
- [11] Hong D. S. and El-Gamal M. N., “Low Operating Voltage and Short Setting Time CMOS Charge Pump for MEMS Applications” **Proc. ISCAS'03., 2003.** pp. V281-V284.
- [12] Shin J., Chung I. Y., Park Y. J. and Min H. S., “A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect” **IEEE J. of Solid-State Circuits.**, vol. 35, no. 8, Aug. 2000. pp. 1227-1230.

- [13] Khouri O., Gregori S., Micheloni R., Soltesz D. and Torelli G., “Low Output Resistance Charge Pump for Flash Memory Programming” **Trans. on IEEE International Workshop**, 2001. pp. 99-104.
- [14] Palumbo G., Pappalardo D. and Gaubotti M. “Charge-Pump Circuits: Power-Consumption Optimization” **IEEE Trans. On Circuits and Systems.**, vol. 49, no. 11, Nov. 2002. pp. 1535-1542.
- [15] Min K. S., Kim Y. H., Ahn J. H., Chung J. Y. and Sakurai T., “CMOS Charge Pumps using Cross-Coupled Charge Transfer Switches with Improved Voltage Pumping Gain and Low Gate-Oxide Stress for Low-Voltage Memory Circuits” **Proc. ISCAS’02.**, 2002. pp. V545-V548.
- [16] Favrat P., Deval P. and Declercq M. J., “A High-Efficiency CMOS Voltage Doubler” **IEEE J. of Solid-State Circuits.**, vol. 33, no. 3, Mar. 1998. pp. 410-416.
- [17] Hirata M., Suzuki Y., Yoshida M., Arayashiki Y., Teramoto M. and Choomchuay S., “New Bias Voltage Generators for TFT-LCD’s Drivers” **IEICE Trans. Electron.**, vol. E83-C, no. 10, Oct. 2000. pp. 1579-1583.





ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SPICE Parameter Model

### High Voltage Parameter NMOS

```
.model NM NMOS level=2 vto=0.4 tox=0.040u nsub=1.0e16 uo=650 ucrit=1.0e4 uexp=0.10
+ tpg=1 ld=0.2e-6 xj=0.29e-6 js=6e-3 pb=0.94 cj=500u cjsw=800p cgdo=40.85p cgso=40.85p
+ cgbo=51.24p xqc=0.4 rd=1 rs=1 phi=0.70 gamma=0.60 nfs=15.0e11 lambda=0.020 vmax=0
```

### High Voltage Parameter PMOS

```
.model PM PMOS level=2 vto=-0.4 tox=0.040u nsub=1.0e16 uo=200 ucrit=1.0e4 uexp=0.10
+ tpg=-1 ld=0.3e-6 xj=0.43e-6 js=6e-3 pb=0.88 cj=500u cjsw=800p cgdo=94p cgso=94.57p
+ cgbo=97.65p xqc=0.4 rd=1 rs=1 phi=0.70 gamma=0.80 nfs=15.0e11 lambda=0.020 vmax=0
```





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PROCEEDINGS

## 2000 Asia-Pacific Symposium on Broadcasting and Communications

### APSBC 2000



*December 21-23, 2000*

**King Mongkut's Institute of Technology Ladkrabang  
Ladkrabang, Bangkok, Thailand**



**NIME**

**JICA**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## An On Chip Negative High-Voltage Generator

Buncha SANSODA\*, Somsak CHOOMCHUAY\* and Yasoji SUZUKI\*\*

\*Research Center for Communications and Information Technology (ReCCIT), KMITL, and Department of Electronics, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL) THAILAND. Phone (662)02-7373000 Ext.3309 E-mail: s1261362@kmitl.ac.th

\*\*Department of Communication Engineering, School of Engineering, TOKAI University, JAPAN.

### Abstract

In this paper, we propose new charge pump circuits utilizing CMOS with capacitors to generate negative high-voltage. Circuit operation and characteristic are simulated and discussed. With cross-coupled CMOS topology, the new circuit can generate negative output voltage without suffering from threshold voltage drop of the MOS transistor. Therefore, the circuit can offer better voltage pumping gains and suitable for low voltage operation and good property in voltage regulation.

### I. Introduction

Charge pumps are the circuits that can pump charge upward to produce voltage higher than the power supply voltage. The circuit can be made small and integratable because regenerative component such as inductor becomes not necessary. This may be a reason why on-chip high-voltage generators become more popular and increasingly incorporated on many LSI and VLSI chips. Charge pump circuits are generally required in the single-supply nonvolatile memories, such as EEPROM and Flash memory, require the high-voltage generator for programming the floating-gate switches. Most high-voltage generators are based on Dickson charge pump [1] that can be implemented in various ways. Straight forward using of MOS, no matter N or P chain, one may suffer from device threshold voltage drop. On one hand, the amount of threshold voltage is dominant when the supply voltage is around one or two volts. On the other hand the more stage cascaded the more  $V_{TH}$  drops. This is the limitation and the reason why the pumping gain cannot be made very high.

Cross-coupled CMOS inverter can be used as switches in charge pumping circuit. Devices operate in non-saturation mode that  $V_{DS}$  drop are less than  $V_{TH}$  drop. Such a circuit is investigated in this paper. Rather than focusing only on the details of a new negative high voltage generator, in addition and comparison, we also have investigated other 2 types of conventional negative voltage generator. Several parameters of the circuits are

taken out. These are, for instance, number of stages, range of supply voltage, clock frequency, steady state times and output loading characteristic.

### II. Circuit Configuration

A conventional single chain negative voltage generator with NMOS charge pumping circuit is shown in Fig. 1. This is, in fact, a slight modified version of the original Dickson's pump. A double chain topology is depicted in Fig. 2. Although two-phase clocking is still employed, clock arrangement is alternated. Because of its parallelism the second circuit seem to have higher current drive (lower output resistance). In fact the improved conventional circuits in Fig. 2 can generate output voltage slightly higher than the conventional. Due to the ripple voltage of improved circuits are half of conventional circuits. Note that the substrate of NMOS devices are tied to the most negative voltage. This can ensure the less substrate bias influence. MOS Devices are working in the saturation mode and as diodes. The output voltage of the circuit shown in Fig. 1 can be given by (1)

$$V_{OUT} = -(n+1)V_{DD} + (n+1)V_{TH} \quad (1)$$

where  $V_{TH}$  is the threshold voltage of NMOS modified by the body effect due to the source voltage. Obviously, the output voltage suffers from MOS threshold voltage which is also get multiplied by the number of stages when the output voltage  $V_{OUT}$  is taken of.

The above drawback can be compensated by the proposed CMOS circuit shown in Fig. 3. The schematic diagram of such a circuit is similar to the CMOS positive charge pump proposed in [4]. It consists of two parallel paths having symmetrical CMOS structure and driven by two non-overlapping clock signal.  $C_K$  are the kick capacitors,  $C_L$  and  $R_L$  are load capacitor and load resistor respectively. This circuit does not suffer the body effect because the source and the substrate terminals of each MOS are connected. It should be noted that MOS transistors operate in non-saturation region. The voltage at the end of 1<sup>st</sup> stage

[3] S. Saitoh, W. Tangsrirat, Y. Suzuki, M. Yoshida, M. Teramoto, A. Yamaguchi, "Substrate Bias Voltage generator Controlled by CMOS Inverter", APCCAS 1998, pp. 279–282.  
 [4] S. Choomchuay, M. Hirata, Y. Suzuki, M. Yoshida and M. Teramoto, "A High-Voltage Generator using CMOS Charge Pump", ISPACS'99, December 1999 pp.41-43.  
 [5] M. Hirata, Y. Suzuki, M. Yoshida, Y. Arayashiki, M. Teramoto and S. Choomchuay, "New Bias Voltage Generator for TFT-LCD's Drive", 6<sup>th</sup> International Display Workshop (IDW), December 1999.

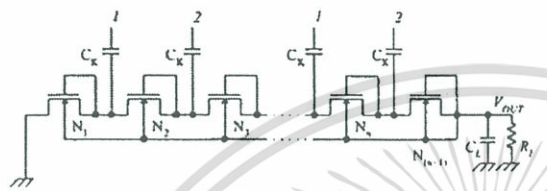


Fig.1 n-stage conventional negative voltage pumping circuit (Conv. A).

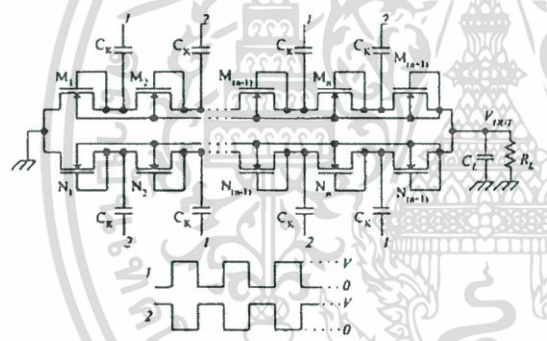


Fig.2 n-stage improved conventional negative voltage pumping circuit (Conv. B).

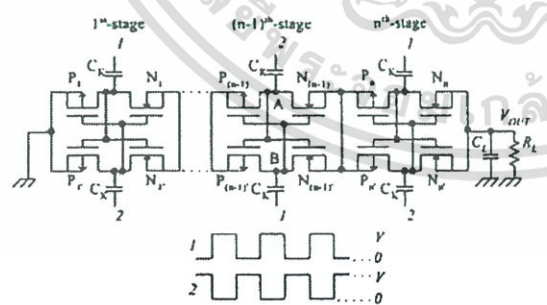


Fig. 3 Proposed n-stage negative voltages pumping circuit.

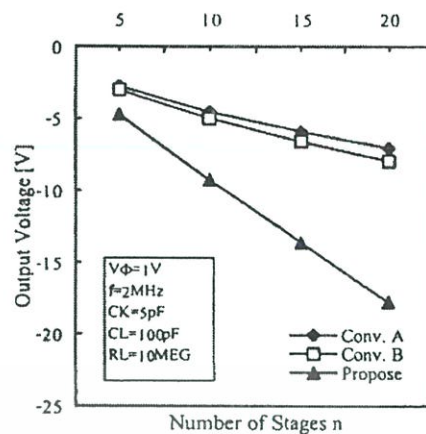


Fig. 4 Number of stage vs. Output Voltage

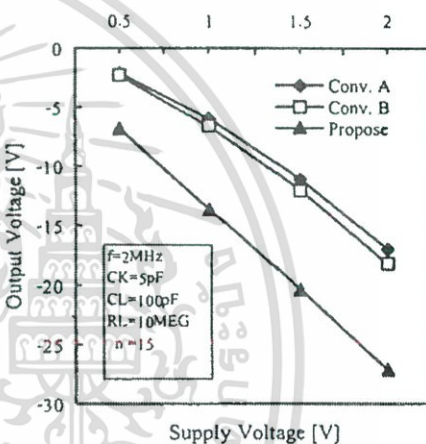


Fig. 5 Supply Voltage vs. Output Voltage

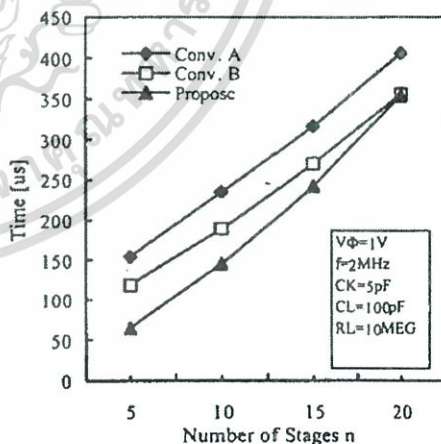


Fig. 6 Steady State Time vs. Number of stages n

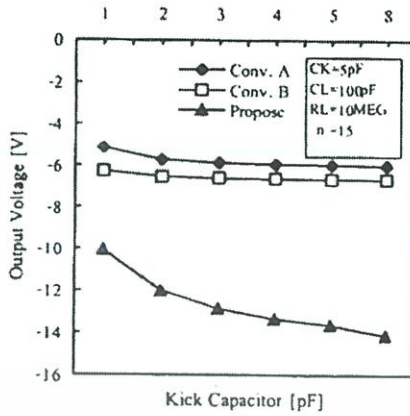


Fig. 7 Output Voltage vs. Kick Capacitor

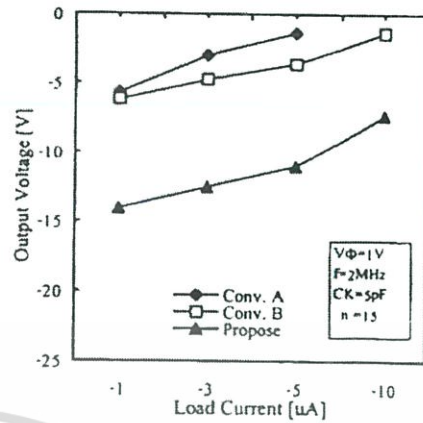


Fig. 10 Output Voltage vs. Load Current

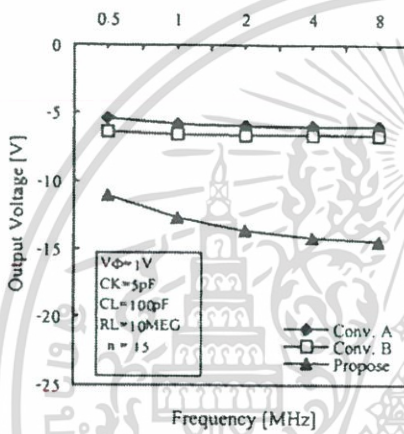


Fig. 8 Output Voltage vs. Clock Frequency

Table1. Device parameters.

Parameter	PMOS	NMOS	Units
$V_{T0}$	-0.40	0.40	V
$N_{SUB}$	$1.0 \times 10^{16}$	$1.0 \times 10^{16}$	$cm^{-3}$
$t_{ox}$	0.040	0.040	$\mu m$
$W$	20	20	$\mu m$
$L$	1.5	1.5	$\mu m$
$\lambda$	0.02	0.02	$V^{-1}$
$\phi_1$	0.70	0.70	V
$\mu_0$	200	650	$cm/V \cdot s$
$\gamma$	0.80	0.60	$V^{1/2}$

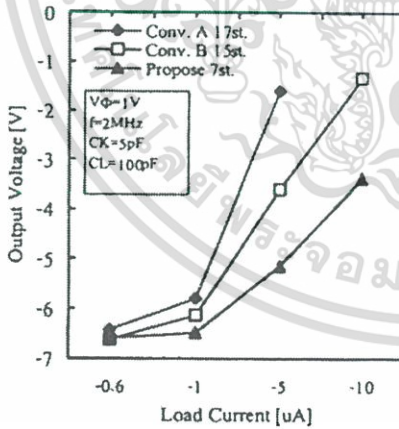


Fig. 9 Output Voltage vs. Load Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายบัญชา แสนโสดา
วัน เดือน ปีเกิด	7 ธันวาคม 2516 จังหวัดยโสธร
ที่อยู่	50/843 หมู่บ้านสถาพร ซอยศรีสถาพร 3 ถนนรังสิต-นครนายก ตำบลบึงขี้โถ อำเภอรัญบุรี จังหวัดปทุมธานี 12130 โทร.0-2569-5079
ประวัติการศึกษา	พ.ศ.2539 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า (อิเล็กทรอนิกส์) คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีราชมงคล
ประสบการณ์การทำงาน	พ.ศ. 2539-2547 อาจารย์ประจำแผนกวิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีราชมงคล วิทยาเขตสกลนคร
พ.ศ. 2547-ปัจจุบัน	อาจารย์ประจำภาควิชาครุศาสตร์อิเล็กทรอนิกส์ และ วิศวกรรมศาสตรบัณฑิต มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้