

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้แบบซีมอส
ทำงานที่แรงดันต่ำ ใช้กำลังงานต่ำ

LOW-VOLTAGE , LOW-POWER
CMOS VARIABLE GAIN AMPLIFIER



พุทธิ นาคทองกุล
PUTTI NAKTONGKUL

จพ
พ8๗๗
๒548

เลขหมู่.....
เลขทะเบียน..... 61244
วัน,เดือน,ปี..... 17 ก.ค. 2549

b. 11543838
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2548

ISBN 974-15-2057-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**LOW-VOLTAGE , LOW-POWER
CMOS VARIABLE GAIN AMPLIFIER**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING
SCHOOL OF DRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2005

ISBN 974-15-2057-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2005

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรขยายสัญญาณที่ปรับอัตราขยายได้แบบซิมอสทำงานที่แรงดันต่ำใช้กำลังงานต่ำ
นักศึกษา	นายพุทธิ นาคทองกุล
รหัสนักศึกษา	44611432
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2548
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. อภินันท์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เสนอวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ โดยอาศัยเทคนิคการผสมระหว่างวงจรรขยายทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชั่นและวงจรรขยายทรานส์-อิมพีแดนซ์ในโหมดกระแสซึ่งวงจรสามารถปรับอัตราขยายโดยที่แบนด์วิดท์กว้างและไม่เปลี่ยนแปลง การปรับอัตราอย่างหยาบทำได้โดยการปรับค่าความต้านทานโดยใช้สวิตช์ขณะเดียวกันการปรับอัตราขยายอย่างละเอียดทำได้โดยการใช้แรงดันควบคุมความต้านทานแบบมอส ผลการจำลองการทำงานโดยใช้เทคโนโลยี-ซิมอส 0.13 ไมครอนแสดงให้เห็นว่าวงจรรขยายสัญญาณที่ปรับอัตราขยายได้นั้นสามารถปรับอัตราขยายได้ช่วงกว้าง 60 เดซิเบลในขณะที่วงจรสามารถทำงานได้ที่ความถี่มากกว่า 100 เม็กกะเฮิร์ต เมื่อใช้กระแส 1.5 มิลลิแอมป์ที่แหล่งจ่ายแรงดัน 1 โวลต์ และทำได้ทำการสร้างชิพต้นแบบจากเทคโนโลยี 0.35 ไมครอน ผลการทดสอบได้อัตราขยาย 40 เดซิเบลสามารถทำงานที่ความถี่มากกว่า 10 เม็กกะเฮิร์ต โดยการจ่ายกระแส 600 ไมโครแอมป์ที่แหล่งจ่ายแรงดัน 1.5 โวลต์

Thesis Title	LOW-VOLTAGE , LOW-POWER CMOS VARIABLE GAIN AMPLIFIER
Student	Mr.Putti Naktongkul
Student ID.	44611432
Degree	Master of Engineering
Programme	Electronic Engineering
Year	2005
Thesis Advisor	Assoc. Prof. Dr.Apinunt Thanachayanont

ABSTRACT

This thesis proposes the low-voltage low-power CMOS variable gain amplifier (VGA). The proposed circuit merges a source-degenerated transconductance amplifier with a current-mode transimpedance amplifier, which renders voltage gain control with constant wide bandwidth. Coarse gain tuning is achieved by using a switched-resistor network, while fine gain tuning is obtained by using a voltage-controlled active resistor. Simulation results using a 0.13- μm technology show that a two stage VGA achieves a controllable gain range of 60-dB with more than 100-MHz bandwidth, while draining 1.5 mA from a 1-V power supply voltage. The two-stage VGA was fabricated in a 0.35- μm technology. Experimental results show that the prototype VGA has a gain range of 40-dB with more than 10-MHz bandwidth, while draining 600 μA from a 1.5-V power supply voltage.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยความกรุณาจากท่านอาจารย์ รศ.ดร.อภิรัตน์ ธนชยานนท์ ซึ่งผู้เขียนขอขอบพระคุณท่านอาจารย์เป็นอย่างยิ่งที่ประสาทวิชาความรู้ และให้คำแนะนำข้าพเจ้าตลอดมา

ขอขอบคุณ รศ.พิชัย คูศิริวานิชกร ที่คอยให้คำปรึกษาขณะที่ข้าพเจ้าเป็นนักศึกษาปริญญาโท-ทดลองเรียน

ขอขอบคุณ ครู อาจารย์ ทุกท่านที่ได้มอบความรู้อันเป็นประโยชน์

ขอขอบคุณ พี่น้องและน้อง ทุกท่านในห้องปฏิบัติการวิจัยไมโครอิเล็กทรอนิกส์ (MDRD) ที่คอยสนับสนุนและเป็นกำลังใจที่ดีตลอดมา

ขอขอบคุณ สำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) ที่ให้การสนับสนุนอุปกรณ์สำหรับการทำงานวิจัย

ขอขอบคุณบัณฑิตวิทยาลัยที่ได้ให้การสนับสนุนงานวิจัย

สุดท้ายข้าพเจ้าขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่คอยสั่งสอนให้กำลังใจและกายแก่ข้าพเจ้า คุณงามความดีที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้ทุกท่านที่ได้กล่าวมา

พุทธี นาคทองกุล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ.....	IV
สารบัญตาราง	VIII
สารบัญรูป	IX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ในการศึกษา	1
1.3. สมมติฐานของการศึกษา	2
1.4 ทฤษฎีและแนวคิดที่ใช้ในงานวิจัย.....	2
1.5 ขอบเขตงานวิจัย	2
1.6 รายละเอียดของวิทยานิพนธ์	2
บทที่ 2 ทฤษฎีเบื้องต้น.....	4
2.1 บทนำ	4
2.2 ทฤษฎีพื้นฐานของทรานซิสเตอร์ชนิดมอส	5
2.2.1 หลักการทำงานของทรานซิสเตอร์ชนิดมอส	4
2.2.2 แบบจำลองสัญญาณขนาดเล็ก	7
2.3 วงจรพื้นฐานของทรานซิสเตอร์ชนิดมอส	8
2.3.1 วงจรจ่ายและรับกระแส (current sink and source)	8
2.3.2 วงจรสะท้อนกระแส (current mirror)	10
2.3.3 สวิตช์แบบมอส (MOS switch)	12
2.3.4 ความต้านทานแบบมอส (MOS resistor)	13
2.4 วงจรขยาย (amplifier)	15
2.4.1 วงจรขยายทรานส์คอนดักแตนซ์ (transconductance amplifier)	15
2.4.2 วงจรขยายแรงดัน (voltage amplifier)	16
2.4.3 วงจรขยายกระแส (current amplifier)	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.4.4 วงจรขยายทรานส์อิมพีแดนซ์ (transimpedance amplifier)	17
2.5 วงจรป้อนกลับ (feedback circuit)	20
2.5.1 การป้อนกลับแบบอนุกรม-ขนาน (series-shunt feedback)	21
2.5.2 การป้อนกลับแบบขนาน-ขนาน (shunt-shunt feedback)	22
2.5.3 การป้อนกลับแบบอนุกรม-อนุกรม (series-series feedback).....	23
2.5.4 การป้อนกลับแบบขนาน-อนุกรม (shunt-series feedback)	24
2.6 การออกแบบวงจรขยายพื้นฐานที่ใช้ทรานซิสเตอร์แบบซีมอส	26
2.6.1 วงจรขยายสัญญาณผลต่าง (differential amplifier)	26
2.6.2 วงจรขยายกระแส	27
2.6.3 วงจรบัฟเฟอร์	30
2.7 คุณสมบัติของการออกแบบวงจรขยาย	31
2.7.1 สัญญาณรบกวนในทรานซิสเตอร์ชนิดมอส	31
2.7.2 ผลรวมความผิดเพี้ยนที่เกิดจากฮาร์โมนิก (total harmonic distortion, THD) ..	33
2.8 บทสรุป.....	34
บทที่ 3 วงจรขยายสัญญาณที่ปรับอัตราขยายได้โดยใช้ทรานซิสเตอร์แบบซีมอส	35
3.1 บทนำ	35
3.2 วงจรขยายที่สามารถปรับอัตราขยายได้ (variable gain amplifier VGA)	35
3.2.1 วงจร VGA แบบปรับกระแสไบอัส	38
3.2.2 วงจร VGA แบบการบังคับกระแสที่เอาท์พุท	39
3.2.3 วงจร VGA แบบบังคับทรานซิสเตอร์ด้านอินพุททำงานในย่านไทรโอด	40
3.2.4 วงจร VGA แบบปรับความต้านทานโหลด	41
3.2.5 วงจร VGA แบบปรับความต้านทานซอร์ส	43
3.2.6 วงจร VGA แบบปรับความต้านทานป้อนกลับของวงจรขยายที่อัตราขยายสูง และความถี่สูง.....	44
3.4 บทสรุป	45

สารบัญ (ต่อ)

	หน้า
บทที่ 4 การออกแบบวงจรขยายที่ปรับอัตราขยายได้แบบซิมอสทำงานที่แรงดันต่ำใช้กำลังงานต่ำ	46
4.1 บทนำ	46
4.2. วงจร VGA	46
4.2.1 บล็อกไดอะแกรมของวงจร VGA	46
4.2.2 โครงสร้างของวงจร VGA cell	47
4.2.3 วงจรขยายทรานส์คอนดักแตนซ์แบบชอร์ส-ดีเจเนอเรชั่นใช้แรงดันต่ำ	48
4.2.4 วงจรตัวต้านทานสำหรับการปรับอัตราขยายทรานส์คอนดักแตนซ์	53
4.2.5 วงจรขยายทรานส์คอนดักแตนซ์ที่ปรับอัตราขยายได้แบบชอร์ส-ดีเจเนอเรชั่น	56
4.2.6 วงจรขยายทรานส์อิมพีแดนซ์ (transimpedance amplifier)	58
4.2.6.1 วงจรขยายกระแส	60
4.2.6.2 วงจรขยายทรานส์อิมพีแดนซ์ใช้แรงดันไฟเลี้ยงต่ำ	64
4.2.6.3 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์	68
4.2.7 วงจร VGA cell	74
4.2.8 วงจรบัฟเฟอร์แรงดัน	78
4.3 วงจรขยายที่ปรับอัตราขยายได้ทั้งหมด	81
4.4 บทสรุป	83
บทที่ 5 การออกแบบทางกายภาพของวงจรขยายที่ปรับอัตราขยายได้แบบซิมอส ทำงานที่แรงดันต่ำใช้กำลังงานต่ำ	84
5.1 บทนำ	84
5.2 การออกแบบทางกายภาพของวงจร VGA	84
5.2.1 วงจร VGA cell	85
5.2.1.1 วงจรขยายทรานส์คอนดักแตนซ์แบบชอร์สดีเจเนอเรชั่น	86
5.2.1.2 วงจรปรับความต้านทาน R_f โดยใช้สวิตช์มอส	87
5.2.1.3 วงจรปรับความต้านทาน R_s โดยใช้ทรานซิสเตอร์ชนิดมอส	89
5.2.2 วงจรบัฟเฟอร์แรงดัน	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
5.2.3 วงจรสร้างแรงดันไปอัสวางจรและสตาร์ทอัพ	91
5.3 การทดสอบประสิทธิภาพของวงจร VGA จากชิพต้นแบบ	95
5.4 บทสรุป	101
บทที่ 6 สรุปวิจารณ์	102
เอกสารอ้างอิงและหนังสืออ้างอิง	103
ภาคผนวก ก.	105
ภาคผนวก ข.	111
ภาคผนวก ค.	113
ประวัติผู้เขียน	127

สารบัญตาราง

ตารางที่	หน้า
2.1 สรุปคุณสมบัติวงจรขยายแบบต่าง ๆ	19
2.2 สรุปคุณสมบัติวงจรป้อนกลับแบบต่าง ๆ	25
4.1 ค่าพารามิเตอร์ของวงจร VGA.....	83
4.2 ผลการเปรียบเทียบประสิทธิภาพของวงจร VGA ที่เสนอและบทความที่เคยเสนอมานี้.....	83
5.1 ค่าพารามิเตอร์ของวงจร VGA สำหรับการออกแบบทางกายภาพ	93
5.2 สรุปผลการทำงานของวงจร VGA.....	101



สารบัญรูป

รูปที่	หน้า
2.1 สัญลักษณ์ทรานซิสเตอร์ชนิดมอส	4
2.2 กราฟความสัมพันธ์ของกระแส I_D เปรียบเทียบ V_{DS} แบบอุดมคติ.....	5
2.3 วงจรจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์เอ็มมอส.....	7
2.4 วงจรจ่ายและรับกระแส.....	8
2.5 วงจรจ่ายและรับกระแสมีการเพิ่มความต้านทานเอาต์พุต	10
2.6 วงจรสะท้อนกระแสอย่างง่าย.....	9
2.7 วงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง.....	10
2.8 ทรานซิสเตอร์ชนิดมอสทำหน้าที่เป็นสวิตช์.....	12
2.9 คุณสมบัติของทรานซิสเตอร์ชนิดมอส.....	13
2.10 วงจรขยายทรานส์คอนดักแตนซ์	15
2.11 วงจรขยายแรงดัน	16
2.12 วงจรขยายกระแส	16
2.13 วงจรขยายทรานส์อิมพีแดนซ์	17
2.14 บล็อกไดอะแกรมของวงจรป้อนกลับแบบลบ	20
2.15 วงจรป้อนกลับแบบอนุกรม-ขนาน.....	21
2.16 โครงสร้างการป้อนกลับแบบขนาน-ขนาน	22
2.17 โครงสร้างการป้อนกลับแบบอนุกรม-อนุกรม	23
2.18 โครงสร้างการป้อนกลับแบบขนาน-อนุกรม	24
2.19 วงจรขยายผลต่าง (differential amplifier) มีความต้านทานเป็นโหลด	27
2.20 วงจรขยายผลต่าง (differential amplifier) ครึ่งวงจรมีความต้านทานเป็นโหลด	27
2.21 วงจรขยายกระแสอย่างง่าย	27
2.22 วงจรจำลองสัญญาณขนาดเล็กสำหรับวงจรสะท้อนกระแสอย่างง่าย	28
2.23 วงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง.....	28
2.24 วงจรจำลองสัญญาณขนาดเล็กสำหรับวงจรขยายกระแสแบบแรงดันแกว่งกว้าง	29
2.25 สัญลักษณ์วงจรบัฟเฟอร์แรงดัน.....	30
2.26 วงจรบัฟเฟอร์ที่ใช้วงจรขยายผลต่างป้อนกลับแบบลบ	30
2.27 วงจรแทนสัญญาณรบกวน	31
3.1 สัญลักษณ์วงจรขยาย	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.2 การตอบสนองแรงดันเอาต์พุตต่อสัญญาณอินพุตของวงจรขยายแบบเป็นเชิงเส้น	36
3.3 การตอบสนองแรงดันเอาต์พุตต่อสัญญาณอินพุตของวงจร VGA	36
3.4 โครงสร้างวงจร VGA	37
3.5 วงจร VGA แบบปรับกระแสไบอัส	38
3.6 วงจร VGA แบบการบังคับกระแสที่เอาต์พุต	39
3.7 วงจร VGA แบบบังคับทรานซิสเตอร์ด้านอินพุตทำงานในย่านไทรโอด	40
3.8 วงจร VGA แบบปรับความต้านทานโหลด	41
3.9 วงจร VGA แบบปรับความต้านทานซอร์ส	43
3.10 วงจร VGA แบบปรับความต้านทานป้อนกลับวงจขยายที่อัตราขยายสูงและความถี่สูง	44
4.1 บล็อกไดอะแกรมของวงจร VGA ทั้งหมด	47
4.2 โครงสร้างของวงจร VGA cell.....	47
4.3 วงจรขยายสัญญาณผลต่างอย่างง่าย.....	48
4.4 วงจรขยายสัญญาณผลต่างแบบซอร์ส-ดีเจเนอร์ชัน.....	49
4.5 วงจรขยายทรานส์คอนดักแตนซ์แบบซอสดี-เจนเนอเรชันที่มีการป้อนกลับแบบลบใช้แรงดันไฟเลี้ยงต่ำ.....	50
4.6 การปรับอัตราขยายทรานส์คอนดักแตนซ์เมื่อปรับค่า R_S จาก 2.5 ถึง 17.5 กิโลโอห์ม	52
4.7 กราฟความสัมพันธ์การปรับค่า R_S กับอัตราขยายทรานส์คอนดักแตนซ์	52
4.8 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ของกระแสที่เอาต์พุต	53
4.9 วงจรแทนตัวต้านทานโดยใช้ทรานซิสเตอร์ชนิดมอส	54
4.10 ผลการจำลองการทำงานของวงจรแทนตัวต้านทาน R_S โดยใช้ทรานซิสเตอร์ชนิดมอส.....	55
4.11 อัตราขยายขยายทรานส์คอนดักแตนซ์แบบซอสดี-เจนเนอเรชันมีหน่วยเป็น dB.....	57
4.12 กราฟความสัมพันธ์ระหว่างการปรับค่า V_C กับอัตราขยายทรานส์คอนดักแตนซ์.....	57
4.13 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ของกระแสที่เอาต์พุต	58
4.14 โครงสร้างวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส	58
4.15 วงจรจำลองสัญญาณขนาดเล็กของวงจรทรานส์อิมพีแดนซ์	59
4.16 วงจรขยายกระแสแบบแรงดันแกว่งกว้าง.....	61
4.17 ผลจำลองอัตราขยายกระแสเมื่อมีสัญญาณอินพุตที่โหนด A และ $A_i=1\sim 10$ เท่า.....	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.18 ผลจำลองอัตราขยายกระแสเมื่อมีสัญญาณอินพุตที่โหนด B และ $A_i=1\sim 10$ เท่า.....	63
4.19 ผลจำลองการทำงานค่าความต้านทานอินพุตที่โหนด A และ B.....	63
4.20 ผลจำลองการทำงานค่าความต้านทานเอาต์พุตที่โหนด C เมื่อ $A_i = 1\sim 10$ เท่า	64
4.21 ผลการจำลองการทำงานความผิดเพี้ยนรวม (THD) ของกระแสที่เอาต์พุต	64
4.22 วงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแสใช้แรงดันไฟเลี้ยงต่ำ.....	65
4.23 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f=50$ กิโลโอห์ม และ $A_i=1\sim 10$ เท่า อินพุตที่โหนด A.....	67
4.24 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f=50$ กิโลโอห์ม และ $A_i=1\sim 10$ เท่า อินพุตที่โหนด B	67
4.25 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f=5.16k\sim 51.6$ กิโลโอห์ม และ $A_i=4$ เท่าอินพุตที่โหนด A	69
4.26 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f=5.16k\sim 51.6$ กิโลโอห์ม และ $A_i=4$ เท่าอินพุตที่โหนด B.....	69
4.27 ผลการเปรียบเทียบอัตราขยายเมื่อปรับความต้านทาน R_f เป็นเชิงเส้นแบบลอการิทึมเมื่อ ป้อนสัญญาณอินพุตที่โหนด A	70
4.28 ผลการเปรียบเทียบอัตราขยายเมื่อปรับความต้านทาน R_f เป็นเชิงเส้นแบบลอการิทึมเมื่อ ป้อนสัญญาณอินพุตที่โหนด B	70
4.29 ผลจำลองผลรวมความผิดเพี้ยน (THD)เมื่อป้อนสัญญาณกระแสอินพุตที่โหนด A.....	71
4.30 ผลจำลองผลรวมความผิดเพี้ยน (THD)เมื่อป้อนสัญญาณกระแสอินพุตที่โหนด B.....	71
4.31 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์โดยใช้สวิตช์	72
4.32 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์	72
4.33 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์ $A_i=4$ เท่าอินพุตที่โหนด A เลือก โดยใช้ SW1,SW0.....	73
4.34 ผลการจำลองการทำงานความผิดเพี้ยนรวมเมื่อป้อนสัญญาณกระแสอินพุตที่โหนด A.....	73
4.35 วงจร VGA cell	74
4.36 ปรับแรงดัน V_c 105mV ถึง 150 mV แบบเป็นเชิงเส้น	75
4.37 ผลการตอบสนองความถี่ของ VGA เมื่อทำการปรับให้ SW0 และ SW1 = 0	76

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.38 ผลการตอบสนองความถี่เมื่อนำเอาเทคนิคการปรับทั้งสองแบบมา ปรับอัตราขยายเราสามารถอัตราขยายได้	76
4.39 ผลการจำลองการทำงานความผิดเพี้ยนรวมทั้งแรงดันเอาต์พุตของวงจร VGA cell	77
4.40 แหล่งจ่ายกระแส	77
4.41 ผลการตอบสนองความถี่ของวงจร VGA 2 สเตจ	78
4.42 สัญลัษณ์วงจรับัฟเฟอร์แรงดัน	78
4.43 วงจรับัฟเฟอร์แรงดัน	79
4.44 ผลตอบสนองความถี่วงจรับัฟเฟอร์	80
4.45 ผลจำลองผลรวมความผิดเพี้ยน (THD) ของแรงดันที่เอาต์พุตของวงจรับัฟเฟอร์	80
4.46 ผลการจำลองการตอบสนองความถี่ของวงจร VGA ทั้งหมด	81
4.47 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ที่เอาต์พุตของวงจรเมื่อทำการปรับแรงดันอินพุต ที่ความถี่ 1MHz และที่อัตราขยายต่างๆ	82
4.48 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ที่เอาต์พุตของวงจรเมื่อทำการปรับความถี่ของ สัญญาณอินพุตโดยกำหนดให้แรงดันเอาต์พุต 120mVpp และที่อัตราขยายต่างๆ	82
5.1 บล็อกไดอะแกรมวงจร VGA ทั้งหมด	84
5.2 วงจร VGA cell 1 เซลล์	85
5.3 วงจรขยายทรานส์คอนดักเตนซ์แบบซอสติเจนเนอร์ชัน โดยไม่มีตัวความต้านทาน R_f	86
5.4 วงจรขยายทรานส์คอนดักเตนซ์ทางกายภาพ.....	86
5.5 วงจรเลือกความต้านทาน R_f โดยใช้สวิตช์แบบมอส	87
5.6 การออกแบบวงจรเลือกความต้านทาน R_f โดยใช้สวิตช์แบบมอสทางกายภาพ.....	87
5.7 วงจรสร้างแรงดัน V_{Rf} และ $\overline{V_{Rf}}$ โดยผ่านวงจรอินเวอร์เตอร์	88
5.8 วงจรสร้างแรงดัน V_{Rf} และ $\overline{V_{Rf}}$ โดยผ่านวงจรอินเวอร์เตอร์ที่ออกแบบโดยใช้ ทรานซิสเตอร์แบบมอส	88
5.9 วงจรอินเวอร์เตอร์ทางกายภาพ	88
5.10 วงจรแทนตัวต้านทาน R_s โดยใช้ทรานซิสเตอร์ชนิดเอ็นมอส	89
5.11 วงจรแทนตัวต้านทาน R_s โดยใช้ทรานซิสเตอร์ชนิดเอ็นมอสทางกายภาพ.....	89
5.12 วงจรควบคุมแรงดัน VR_s	89
5.13 วงจรควบคุมแรงดัน VR_s ทางกายภาพ	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาหรือจะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.14 วงจรบัฟเฟอร์แรงดัน.....	90
5.15 วงจรสร้างแรงดันไบอัสวงจรและสตาร์ทอัพ.....	91
5.16 วงจรบัฟเฟอร์แรงดันทางกายภาพ.....	92
5.17 วงจรสร้างแรงดันไบอัสและวงจรสตาร์ทอัพทางกายภาพ.....	92
5.18 วงจรกายภาพของ VGA.....	94
5.19 ชิพต้นแบบ.....	94
5.20 วงจร VGA ภายในชิพต้นแบบ.....	94
5.21 บล็อกไดอะแกรมของวงจรทดสอบประสิทธิภาพชิพต้นแบบ.....	95
5.22 บอร์ดสำหรับการทดสอบประสิทธิภาพของวงจรรวมที่ทำการออกแบบ.....	96
5.23 ผลจำลองการตอบสนองความถี่ของวงจรรวมที่ทำการออกแบบ.....	97
5.24 ผลการตอบสนองความถี่ของ VGA ในชิพต้นแบบ.....	97
5.25 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 34 เดซิเบล.....	98
5.26 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 14 เดซิเบล เมื่อใช้ R_{F1}	98
5.27 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 14 เดซิเบล เมื่อใช้ R_{F2}	99
5.28 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย -6 เดซิเบล.....	99
5.29 ผลการจำลองความผิดเพี้ยนรวม (THD).....	100
5.30 ผลการทดสอบฮาร์โมนิกที่ 3 ของชิพต้นแบบ.....	100

บทที่ 1

บทนำ

1.1 ความเป็นมาของปัญหา

ปัจจุบัน โลกเราได้มีการพัฒนาไปอย่างรวดเร็ว นอกจากปัจจัยที่จำเป็นสำหรับทุกคนแล้ว สิ่งอำนวยความสะดวกต่าง ๆ เริ่มเป็นสิ่งที่ขาดไม่ได้ โดยเฉพาะอุปกรณ์อำนวยความสะดวกต่าง ๆ ที่มีส่วนประกอบของเทคโนโลยีทางอิเล็กทรอนิกส์ ซึ่งปัจจุบันนี้นักวิจัยต่างมุ่งเน้นพัฒนาอุปกรณ์พกพาจำพวกนี้ให้มีขนาดเล็กลง พร้อมกันนั้นวงจรยังสามารถทำงานโดยใช้แบตเตอรี่ในระยะเวลาที่นานขึ้นเหมาะสำหรับการพกพาเพื่อใช้งาน

วงจรรขยายสัญญาณเป็นวงจรรอิเล็กทรอนิกส์อีกแบบหนึ่งที่มีสำคัญมากสำหรับ ระบบอิเล็กทรอนิกส์ทำหน้าที่ขยายสัญญาณอินพุตที่มีขนาดเล็กให้มีขนาดใหญ่เพื่อส่งไปยังส่วนเอาต์พุต เพื่อให้สามารถนำไปใช้งาน ดังนั้นอัตราขยายสัญญาณเป็นสิ่งที่สำคัญสำหรับการออกแบบวงจรรขยายสัญญาณ วงจรรขยายสัญญาณอีกแบบที่มีความสำคัญกับระบบอิเล็กทรอนิกส์คือวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ทำหน้าที่ขยายหรือลดทอนสัญญาณอินพุต เพื่อรักษามagnitudeสัญญาณที่เอาต์พุตให้ได้ขนาดตามต้องการ โดยมีเป็นส่วนหนึ่งของวงจรรปรับอัตราขยายอัตโนมัติ ซึ่งใช้ในอุปกรณ์จำพวกคิรส์โคร์ฟ [1] อุปกรณ์ช่วยฟังสำหรับคนพิการทางหู [2] และที่พบเห็นในชีวิตประจำวันจำพวกอุปกรณ์สื่อสารไร้สาย [3] จำพวกโทรศัพท์มือถือนั่นเอง การออกแบบวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ในปัจจุบันนี้มีหลายรูปแบบแตกต่างกัน สิ่งที่น่าสนใจเริ่มให้ความสำคัญสำหรับการออกแบบวงจรรคือประสิทธิภาพการทำงานของวงจรรเปรียบเทียบกับคาร์ดินัล เป็ลืองพลังงาน การออกแบบวงจรรให้สามารถทำงานที่แหล่งจ่ายไฟเลี้ยงต่ำ กระแสไฟเลี้ยงต่ำ หรือทั้งสองอย่างพร้อมกันเป็นเรื่องยากมาก

1.2 ความมุ่งหมายและวัตถุประสงค์ในการศึกษา

จากที่ได้กล่าวถึงความจำเป็นของวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ในระบบอิเล็กทรอนิกส์ต่าง ๆ ดังนั้นจุดมุ่งหมายของวิทยานิพนธ์ฉบับนี้มุ่งเน้นการออกแบบวงจรรขยายสัญญาณที่ปรับอัตราขยายได้โดยใช้ซีมอสโดยอาศัยเทคนิคแบบใหม่ เพื่อให้สามารถทำงานที่ได้แรงดันและกระแสไฟเลี้ยงต่ำสามารถนำไปประยุกต์ใช้งานได้จริง โดยการออกแบบทางกายภาพเพื่อนำไปสร้างเป็นชิพต้นแบบและนำมาทำการทดสอบประสิทธิภาพ

1.3 สมมติฐานของการศึกษา

การออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้ที่สามารถทำงานที่แรงดันต่ำและกำลังงานต่ำ สามารถตั้งสมมติฐานได้สองแนวทางคือการอาศัยเทคโนโลยีสำหรับการออกแบบวงจร และอาศัยเทคนิคการออกแบบวงจรเพื่อให้สามารถออกแบบโดยใช้งานได้ที่แรงดันต่ำ ทั้งนี้เทคโนโลยีที่ใช้สำหรับการออกแบบคือเทคโนโลยีแบบซีมอส

1.4 ทฤษฎีและแนวคิดที่ใช้ในงานวิจัย

ในการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้นั้น อาศัยคุณสมบัติของทรานซิสเตอร์ชนิดมอส โดยอาศัยเทคนิคการออกแบบวงจรที่สามารถใช้ได้สำหรับแรงดันต่ำนำมาผสมกับวงจรขยายที่ทำงานในโหมดกระแสผลการตอบสนองต่อความถี่ทำงานได้ของวงจรสูง

1.5 ขอบเขตงานวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอทฤษฎีและการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้โดยใช้เทคโนโลยีแบบซีมอสโดยอาศัยเทคนิคการออกแบบวงจรแบบใหม่ จำลองการทำงานโดยใช้โปรแกรม Cadence Spectre™ และออกแบบทางกายภาพโดย Cadence Virtuoso เพื่อนำไปสร้างเป็นชิปต้นแบบสามารถทดสอบการทำงานเพื่อนำไปใช้งานจริงต่อไป โดยวงจรที่ได้สามารถทำงานได้ที่แรงดันไฟเลี้ยงและสิ้นเปลืองกำลังงานต่ำ

1.6 รายละเอียดของวิทยานิพนธ์

เนื้อหาของวิทยานิพนธ์เล่มนี้ ประกอบด้วย 6 บทและ 3 ภาคผนวก โดยรวมแล้วจะอธิบายการออกแบบวงจรรวมที่เป็นวงจรขยายสัญญาณที่ปรับอัตราขยายได้แบบซีมอส ซึ่งสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำและสิ้นเปลืองกำลังงานต่ำ โดยแต่ละบทจะเนื้อหา ดังนี้

บทที่ 2 กล่าวถึงการหลักการพื้นฐานของทรานซิสเตอร์ชนิดมอสและวงจรพื้นฐานสำหรับการออกแบบวงจรรวมโดยใช้เทคโนโลยีแบบซีมอส หลังจากนั้นจะเป็นการอธิบายวงจรขยายแบบต่าง ๆ และการเพิ่มประสิทธิภาพของวงจรขยายโดยการนำเอาเทคนิคการป้อนกลับแบบต่าง ๆ

บทที่ 3 กล่าวถึงการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้แบบซีมอสพื้นฐานแบบต่าง ๆ

บทที่ 4 กล่าวถึงการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้ซึ่งในบทนี้จะมีการวิเคราะห์การทำงานอย่างละเอียดรวมทั้งแนวทางการออกแบบ เพื่อให้ได้วงจรที่มีประสิทธิภาพสูงสุดในขณะที่วงจรทำงานได้ที่แหล่งจ่ายแรงดันต่ำ และกำลังงานต่ำ รวมถึงการออกแบบวงจรควบคุมอัตราขยายซึ่งมีความจำเป็นสำหรับวงจร ผลการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 กล่าวถึงการออกแบบทางกายภาพของวงจรรขยายที่ปรับอัตราขยายได้แบบซีมอส เพื่อนำวงจรที่ได้นำเสนอในบทที่ 4 สามารถนำไปสร้างชีพเพื่อสามารถใช้งานได้จริง รวมถึงการทดสอบประสิทธิภาพของชีพที่สร้างเสร็จ เพื่อนำมาเปรียบเทียบกับผลการจำลองการทำงาน

บทที่ 6 เป็นบทสุดท้ายซึ่งกล่าวสรุปงานของวิทยานิพนธ์เล่มนี้ และกล่าวถึงข้อเสนอแนะและแนวทางในการพัฒนางจรต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีเบื้องต้น

2.1 บทนำ

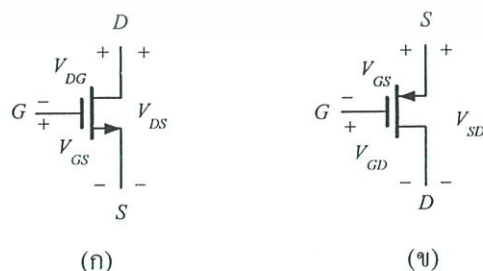
ในการออกแบบวงจรรวมต่าง ๆ (Integrated Circuits design: ICs design) มีความจำเป็นอย่างยิ่งที่ต้องรู้และเข้าใจการทำงานของเทคโนโลยีที่นำมาใช้สำหรับการออกแบบวงจร ในบทนี้จะกล่าวถึงหลักการการทำงานของทรานซิสเตอร์แบบซีมอส (Complementary Metal-Oxide-Semiconductor transistor: CMOS transistor) รวมทั้งวงจรพื้นฐานที่จำเป็นสำหรับการออกแบบวงจรรวมและวงจรขยายแบบต่าง ๆ จากนั้นเรานำวงจรขยายมาสร้างวงจรป้อนกลับแบบต่าง ๆ เพื่อเพิ่มประสิทธิภาพของวงจร

2.2 ทฤษฎีพื้นฐานของทรานซิสเตอร์ชนิดมอส

2.2.1 หลักการทำงานของทรานซิสเตอร์ชนิดมอส [4-7]

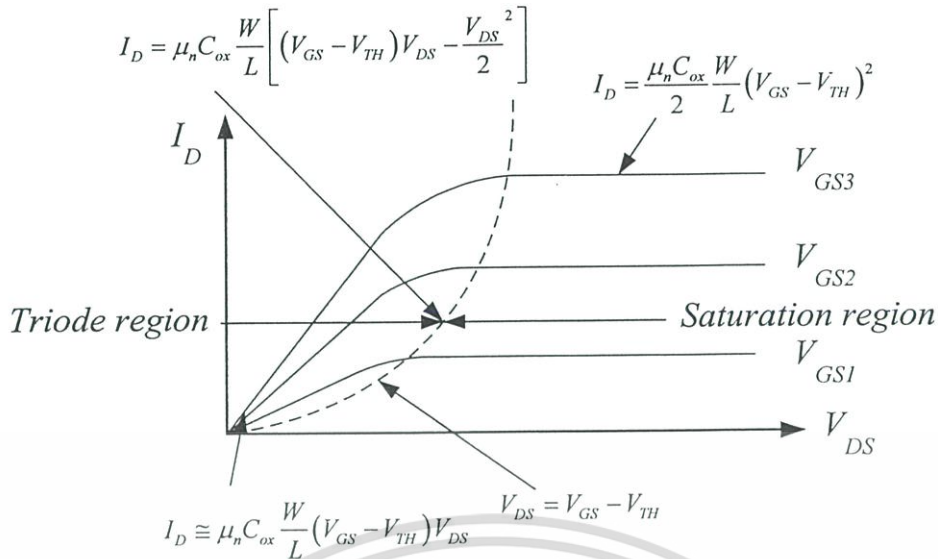
ทรานซิสเตอร์ชนิดมอสเป็นอุปกรณ์สารกึ่งตัวนำ (semiconductor) ชนิดหนึ่งที่มีโครงสร้างพื้นฐานมาจากสารกึ่งตัวนำชนิดเอ็น (n-type) และชนิดพี (p-type) โดยโครงสร้างของทรานซิสเตอร์ประกอบด้วยโลหะ (metal), ซิลิกอนไดออกไซด์ (silicon dioxide: SiO₂) และโพลีซิลิกอน (polysilicon) จากส่วนประกอบดังกล่าวเราจึงเรียกว่า Metal-Oxide Semiconductor หรือชื่อย่อว่า MOS

ทรานซิสเตอร์ชนิดมอสที่ใช้ในการออกแบบวงจรรวมมีสองชนิดคือชนิดพีและชนิดเอ็นซึ่งลักษณะการทำงานมีสามย่าน (region) การทำงานโดยสามารถแบ่งย่านการทำงานได้จากการนำกระแสเดรน (I_D) ในที่นี้จะอธิบายหลักการการทำงานของทรานซิสเตอร์แบบอุดมคติซึ่งละเลยผลของการมอดูเลตทางความยาว (channel-length modulation : λ) คือย่านคัตออฟ (cutoff region) ไทรโอด (triode region) และ อิ่มตัว (saturation region)



รูปที่ 2.1 สัญลักษณ์ทรานซิสเตอร์ชนิดมอส (ก) เอ็นมอส (ข) พีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กราฟความสัมพันธ์ของกระแส I_D เปรียบเทียบกับ V_{DS} แบบอุดมคติ

เพื่อให้ง่ายสำหรับการทำความเข้าใจการทำงานของทรานซิสเตอร์ ดังนั้นเราจะทำการเลือกทรานซิสเตอร์ชนิดเอ็นมอสดังแสดงในรูปที่ 2.1 (ก) โดยรูปที่ 2.2 แสดงกราฟความสัมพันธ์ของกระแสต่อแรงดันเดรน-ซอร์สเมื่อกำหนดแรงดันเกต-ซอร์สค่าต่าง ๆ คือ V_{GS1} , V_{GS2} และ V_{GS3} ตามลำดับ มาอธิบายการทำงานในย่านต่าง ๆ โดยเมื่อป้อนแรงดันเกต-ซอร์สที่มีค่าต่ำกว่าแรงดันขีดเริ่ม (threshold voltage) ซึ่งในที่นี้แทนด้วย V_{TH} ทรานซิสเตอร์จะอยู่ในสถานะไม่ทำงานหรือที่เรียกว่าย่านคัตออฟ จะไม่มีกระแสเดรน-ซอร์สไหลผ่านทรานซิสเตอร์ ต่อมาหากทำการเพิ่มแรงดัน V_{GS} ให้มากกว่าแรงดันขีดเริ่ม จะมีกระแสที่เกิดจากแรงดันเดรน-ซอร์สค่อย ๆ เพิ่มขึ้นซึ่งในสถานะนี้เรียกว่าย่านไทรโอด โดยในช่วงที่แรงดันเดรน-ซอร์สมีค่าน้อยมากคือ $V_{DS} \ll 2(V_{GS} - V_{TH})$ ลักษณะการนำกระแสในย่านนี้มีลักษณะเป็นเชิงเส้นในช่วงเริ่มต้น เราสามารถใช้ประโยชน์จากการที่ทรานซิสเตอร์ทำงานในสถานะนี้สำหรับสร้างความต้านทานในการออกแบบวงจรรวม โดยค่าความต้านทานเกิดจาก V_{DS}/I_D มีลักษณะเป็นเชิงเส้น และเมื่อแรงดัน V_{DS} มีค่าเพิ่มขึ้นมากกว่า $2(V_{GS} - V_{TH})$ กระแสเดรนจะเพิ่มขึ้นตามแต่จะไม่เหมือนกับกระแสในช่วงแรกของการทำงานในย่านไทรโอด จนกระทั่งกระแสที่ใหญ่มีสถานะคงที่เรียกว่าสถานะอิ่มตัว

ตามที่ได้อธิบายหลักการการทำงานของทรานซิสเตอร์ชนิดมอสมาแล้วข้างต้น สามารถแบ่งย่านการทำงานของทรานซิสเตอร์ชนิดมอสออกเป็น 3 ย่านการทำงาน โดยสังเกตจากเงื่อนไขที่ทำให้ทรานซิสเตอร์ชนิดมอสทำงานในย่านอิ่มตัว $V_{DS} = V_{GS} - V_{TH}$ เพื่อให้ง่ายต่อความเข้าใจเรากำหนดเงื่อนไขดังกล่าวโดยที่กำหนดให้

$$V_{eff} = V_{GS} - V_{TH} \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเราสามารถสรุปการทำงานได้ดังนี้
 ทรานซิสเตอร์ชนิดเอ็นมอส

$$I_D = \begin{cases} 0 & , V_{eff} < 0 \\ \mu_n C_{ox} \frac{W}{L} (V_{eff}) V_{DS} & , V_{eff} > 0 \text{ and } 0 < V_{DS} \ll 2V_{eff} \\ \mu_n C_{ox} \frac{W}{L} \left(V_{eff} - \frac{V_{DS}}{2} \right) V_{DS} & , V_{eff} > 0 \text{ and } 2V_{eff} < V_{DS} < V_{eff} \\ \frac{\mu_n C_{ox} W}{2L} (V_{eff})^2 & , 0 < V_{eff} < V_{DS} \end{cases} \quad (2.2)$$

สำหรับทรานซิสเตอร์ชนิดพี แรงดันขีดเริ่ม V_{TH} มีค่าเป็นลบ เรากำหนดให้แรงดันขีดเริ่มของมอสชนิดพีเป็น $|V_{TH}|$ เพื่อให้เป็นบวก ดังนั้นทำนองเดียวกันกับทรานซิสเตอร์ชนิดเอ็นมอส ค่า V_{SD} ที่ยังทำให้พิมอสทำงานในย่านอิ่มตัวคือ $V_{SG} = V_{SD} - |V_{TH}|$ และเรากำหนดให้ V_{SG} ดังกล่าวเป็น $V_{eff} = V_{SD} - |V_{TH}|$ เราสามารถสรุปการทำงานทั้ง 4 ย่านของพิมอสได้ดังนี้

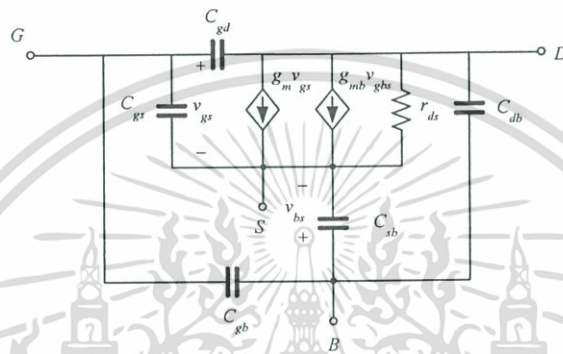
$$I_D = \begin{cases} 0 & , V_{eff} < 0 \\ \mu_n C_{ox} \frac{W}{L} (V_{eff}) V_{SD} & , V_{eff} > 0 \text{ and } 0 < V_{SD} \ll 2V_{eff} \\ \mu_n C_{ox} \frac{W}{L} \left(V_{eff} - \frac{V_{SD}}{2} \right) V_{SD} & , V_{eff} > 0 \text{ and } 2V_{eff} < V_{SD} < V_{eff} \\ \frac{\mu_n C_{ox} W}{2L} (V_{eff})^2 & , 0 < V_{eff} < V_{SD} \end{cases} \quad (2.3)$$

- เมื่อ W คือความกว้างของแชนแนล (channel width) มีหน่วยเป็นเมตร (m)
 L คือความยาวของแชนแนล (channel length) มีหน่วยเป็นเมตร (m)
 μ_n คือความคล่องตัวได้ของอิเล็กตรอน (mobility) มีหน่วยเป็นตารางเมตรโวลต์ต่อวินาที ($m^2/V.S$)
 C_{ox} คือค่าประจุไฟฟ้าที่เกิดของชั้นออกไซด์ต่อหนึ่งหน่วยพื้นที่ มีหน่วยเป็นฟารัดต่อตารางเมตร (F/m^2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 แบบจำลองสัญญาณขนาดเล็ก (small-signal model)

ทรานซิสเตอร์ชนิดมอสเป็นอุปกรณ์ที่ใช้แรงดันควบคุมกระแส สามารถแทนลักษณะการทำงานของทรานซิสเตอร์ชนิดมอสได้ด้วยแบบจำลองแหล่งจ่ายกระแสควบคุมด้วยแรงดัน (voltage control current source : VCCS) นอกจากนี้ภายในโครงสร้างของทรานซิสเตอร์ชนิดมอสประกอบด้วยตัวเก็บประจุแฝง (parasitic capacitor) หลายตัวที่เกิดจากส่วนประกอบของโครงสร้างทางกายภาพ และลักษณะการทำงานของมอสทรานซิสเตอร์เมื่อมีสัญญาณขนาดเล็กสามารถแทนแบบจำลองได้ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 วงจรจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์เอ็นมอส

จากรูปที่ 2.3 แบบจำลองสัญญาณขนาดเล็กทั้งหมดที่มีลักษณะเป็นแหล่งจ่ายกระแสควบคุมด้วยแรงดันมีอัตราขยายคือ ค่าทรานส์คอนดักแตนซ์ (transconductance : g_m) สามารถหาได้จากอัตราการเปลี่ยนแปลงของกระแสเดรน ในย่านอิมิตัวต่อแรงดัน V_{GS} โดยที่แรงดัน V_{DS} คงที่แสดงได้เป็น

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{const.}} \quad (2.4)$$

$$g_m = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2.5)$$

$$g_m = \sqrt{2\mu_n C_{OX} \frac{W}{L} I_D} \quad (2.6)$$

$$g_m = \frac{2I_D}{V_{GS} - V_{TH}} \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานแชนเนล-ชอร์สมีค่าเป็น

$$r_{ds} = \frac{(1 + \lambda V_{DS})}{\lambda I_D}$$

เมื่อกำหนดให้ $\lambda \ll 1$ จะได้ว่า

$$r_{ds} \approx \frac{1}{\lambda I_D} \quad (2.8)$$

โดยที่ λ คือค่าการมอดูเลตทางความยาว (channel-length modulation)

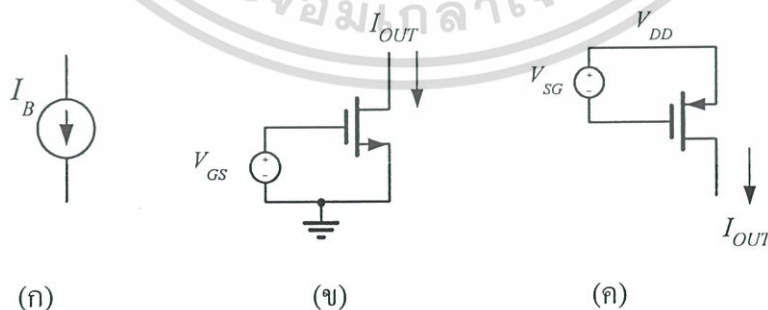
การวิเคราะห์วงจรจำลองสัญญาณขนาดเล็กที่ประกอบด้วย ตัวเก็บประจุแฝงหลายตัวเป็นเรื่องที่ซับซ้อน ดังนั้นการวิเคราะห์ที่ใช้ในวิทยานิพนธ์ฉบับนี้จะเลือกเฉพาะตัวเก็บประจุที่มีขนาดใหญ่และมีผลต่อการตอบสนองความถี่คือตัวเก็บประจุที่เกิดจากเกต-ชอร์สเท่านั้น โดยที่ค่าของตัวเก็บประจุหาได้จาก [4]

$$C_{gs} \approx \frac{2}{3} C_{ox} WL \quad (2.9)$$

2.3 วงจรพื้นฐานของทรานซิสเตอร์ชนิดมอส

2.3.1 วงจรจ่ายและรับกระแส (current sink and source)

วงจรจ่ายและรับกระแสมีความจำเป็นมากสำหรับการออกแบบวงจรรวม โดยทำหน้าที่จ่ายกระแสให้แก่วงจรต่าง ๆ ซึ่งในรูปที่ 2.4 แสดงวงจรจ่ายและรับกระแสอย่างง่าย



รูปที่ 2.4 วงจรจ่ายและรับกระแส

(ก) สัญลักษณ์แหล่งจ่ายกระแส (ข) วงจรรับกระแส (ค) วงจรจ่ายกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

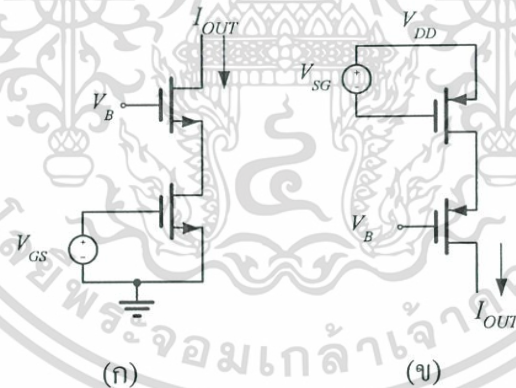
จากวงจรในรูปที่ 2.4 ทรานซิสเตอร์ชนิดเอ็นมอสและพีมอสในรูป (ข) และ (ค) ทำงานในย่านอิ่มตัว ดังนั้นวงจรนี้จึงสามารถจ่ายและรับกระแสได้ดังสมการที่ (2.10)

$$I_{OUT} = I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad (2.10)$$

โดยที่ความต้านทานที่เอาต์พุต (R_{out}) ของวงจรคือ

$$R_{out} = r_{ds} \approx \frac{1}{\lambda I_D} \quad (2.11)$$

วงจรจ่ายและรับกระแสอย่างง่ายที่แสดงในรูปที่ 2.4 นั้นยังมีข้อเสียอยู่มากหากนำมาใช้สำหรับวงจรที่ต้องการกระแสที่แม่นยำ เนื่องจากกระแสที่จ่ายให้กับวงจรจะมีค่าเปลี่ยนแปลงเมื่อแรงดันเดรน-ซอร์สของทรานซิสเตอร์เปลี่ยนแปลง อีกทั้งความต้านทานเอาต์พุตของวงจรต่ำทำให้เป็นวงจรจ่ายกระแสไม่ดีหากมีการนำเอาไปใช้กับวงจรที่มีความต้านทานสูง ซึ่งความเป็นจริงแล้วแหล่งจ่ายและรับกระแสที่ดีควรมีความต้านทานเอาต์พุตมากดังนั้นจึงได้มีการออกแบบวงจรเพื่อปรับปรุงให้ได้ลักษณะรับและจ่ายกระแสได้ดังแสดงในรูปที่ 2.5



รูปที่ 2.5 วงจรจ่ายและรับกระแสที่มีการเพิ่มความต้านทานเอาต์พุต

(ก) วงจรรับกระแส (ข) วงจรจ่ายกระแส

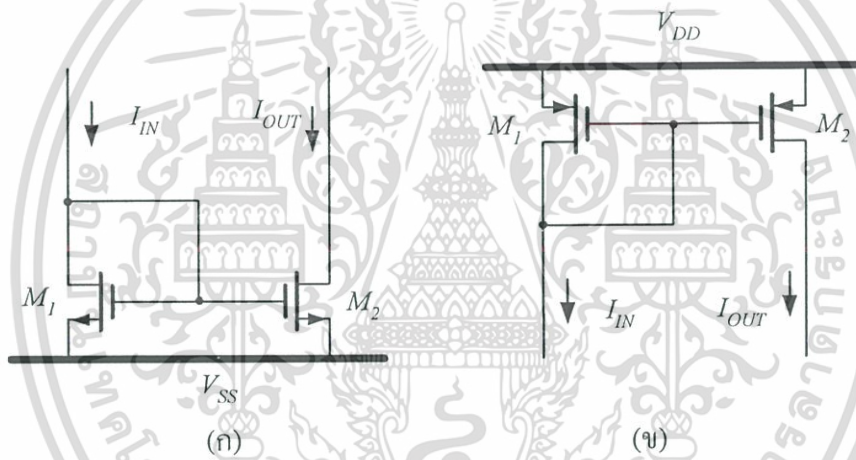
จากรูปที่ 2.5 เป็นวงจรจ่ายและรับกระแสที่มีการเพิ่มความต้านทานเอาต์พุตโดยที่ใช้ทรานซิสเตอร์ชนิดมอสต่อแบบวงจรเกตร่วมซึ่งทำหน้าที่บัฟเฟอร์กระแสและเพิ่มความต้านทานซึ่งสามารถแสดงได้ดังสมการที่ (2.12)

$$R_{out} = g_{m2}r_{ds1}r_{ds2} \quad (2.12)$$

จากสมการที่ (2.12) จะเห็นได้ว่าค่าความต้านทานที่เอาท์พุทของวงจรในรูปที่ 2.5 มีค่ามากกว่าวงจรจ่ายและรับกระแสอย่างง่ายในรูปที่ 2.4 อยู่ $g_{m2}r_{ds2}$ เท่าซึ่งสามารถนำมาเป็นวงจรจ่ายและรับกระแสได้ดีกว่า

2.3.2 วงจรสะท้อนกระแส (current mirror circuit)

ต่อไปเราจะมาทำความเข้าใจเกี่ยวกับวงจรสะท้อนกระแส ซึ่งเป็นวงจรที่สำคัญมากสำหรับการออกแบบวงจร ในส่วนนี้จะกล่าวถึงวงจรสะท้อนกระแสซึ่งนำเอาวงจรรับและจ่ายกระแสซึ่งกล่าวในหัวข้อที่ผ่านมา โดยหลักของวงจรสะท้อนกระแสคือแรงดันเกต-ซอร์สและแรงดันเดรน-ซอร์สมีค่าเท่ากันทำให้เกิดกระแสไหลผ่านทรานซิสเตอร์เท่ากัน โดยเราสามารถแสดงวงจรสะท้อนกระแสอย่างง่ายได้ดังรูป 2.6



รูปที่ 2.6 วงจรสะท้อนกระแสอย่างง่าย

(ก) ทรานซิสเตอร์ชนิดเอ็นมอส (ข) ทรานซิสเตอร์ชนิดพีมอส

ถ้าเรากำหนดให้ทรานซิสเตอร์ชนิดมอสทั้งสองทำงานในย่านอิ่มตัวโดยที่กำหนดให้

$$V_{DS} > V_{GS} - V_{TH} \quad (2.13)$$

อัตราการสะท้อนกระแสสามารถกำหนดได้เป็น

$$\frac{I_{OUT}}{I_{IN}} = \left(\frac{\mu_{n2}C_{OX2}}{\mu_{n1}C_{OX1}} \right) \left(\frac{L_1W_2}{W_1L_2} \right) \left(\frac{V_{GS2} - V_{TH2}}{V_{GS1} - V_{TH1}} \right)^2 \quad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่กล่าวมาข้างต้นหากเรากำหนดให้ $V_{DS1}=V_{DS2}$ $V_{GS1}=V_{GS2}$ $V_{TH1}=V_{TH2}$ และ $\mu_{n1}=\mu_{n2}$ เราจะได้ว่า

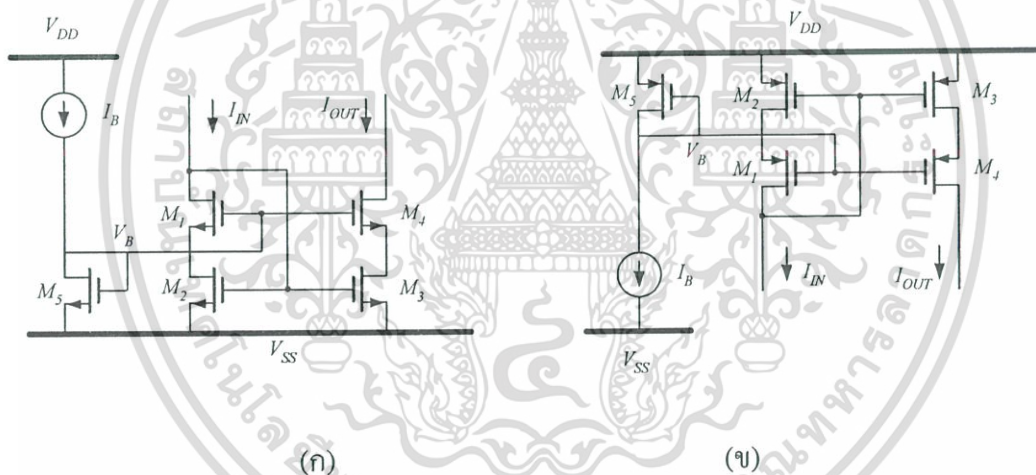
$$\frac{I_{OUT}}{I_{IN}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \quad (2.15)$$

ความต้านทานที่อินพุทของวงจรคือ

$$R_{IN} = \frac{1}{g_{m1}} \quad (2.16)$$

ความต้านทานที่เอาต์พุทของวงจรคือ

$$R_{OUT} = r_{ds2} \approx \frac{1}{\lambda I_{DS2}} \quad (2.17)$$



รูปที่ 2.7 วงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง

(ก) ทรานซิสเตอร์ชนิดเอ็นมอส (ข) ทรานซิสเตอร์ชนิดเอ็นมอส

จากวงจรในรูปที่ 2.7 เป็นวงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง (wide swing current mirror) มีหลักการเกี่ยวกับวงจรสะท้อนกระแสอย่างง่ายโดยสิ่งที่เพิ่มเข้ามาคือทรานซิสเตอร์ M_1 และ M_4 ซึ่งต่อคาสโคดทำหน้าที่บัฟเฟอร์กระแสและรักษาระดับแรงดันเดรน-ซอร์สให้กับทรานซิสเตอร์ M_2 และ M_3 คงที่ทำให้เป็นคุณสมบัติของการสะท้อนกระแสได้ดี โดยวงจรสะท้อนกระแสแบบนี้มีข้อดีคือสามารถทำงานที่แรงดันต่ำได้ดีคือเพียง V_{GS} เดียวที่ด้านอินพุท และ $2V_{DS,sat}$ ที่ด้านเอาต์พุท ความต้านทานด้านอินพุทต่ำดังแสดงได้ดังสมการที่ (2.18)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{IN} \approx \frac{1}{g_{m1}} \quad (2.18)$$

ความต้านทานที่เอาต์พุทของวงจรมีค่าสูงแสดงได้ดังสมการที่ (2.19)

$$R_{OUT} \approx \frac{g_{ds1}}{g_{m1}g_{m2}} \quad (2.19)$$

เราสามารถสรุปได้ว่าวงจรสะท้อนกระแสแบบแรงดันแกว่งกว้างสามารถทำงานได้ที่แรงดันต่ำและสามารถสะท้อนกระแสได้ดีกว่าวงจรสะท้อนกระแสอย่างง่าย ความต้านทานเอาต์พุทสูง

2.3.3 สวิตช์แบบมอส (MOS switch)



รูปที่ 2.8 ทรานซิสเตอร์ชนิดมอสทำหน้าที่เป็นสวิตช์ (ก) สัญลัษณ์ (ข) ทรานซิสเตอร์

ในการออกแบบวงจรรวม สวิตช์ก็เป็นอีกสิ่งหนึ่งที่มีความสำคัญสำหรับวงจรรวมที่ต้องการปรับเปลี่ยนทิศทางกระแส หรือค่าความต้านทานสำหรับ วงจรคูณ วงจรมอดูเลเตอร์ รวมทั้งวงจรขยายที่สามารถปรับอัตราขยายได้ และวงจรอื่น ๆ การควบคุมการทำงานของสวิตช์สามารถทำได้โดยการใช้ลอจิก (logic) ของส่วนดิจิทัลเป็นส่วนควบคุม ในวงจรรวมได้มีการนำเอาทรานซิสเตอร์ซึ่งทำงานในย่านกัตต่อพซึ่งให้คุณสมบัติของสวิตช์ในสภาวะเปิดวงจร กระแสไม่สามารถไหลผ่าน และย่านไทร โอดคที่ให้คุณสมบัติของสวิตช์ปิดวงจร กระแสสามารถไหลผ่านวงจรได้โดยแต่ละสภาวะเราสามารถแสดงได้ดังนี้ สภาวะที่ทรานซิสเตอร์ชนิดมอสทำงานย่านไทร โอดค กระแสเดรนมีค่าเป็น

$$I_D = \mu_n C_{OX} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.20)$$

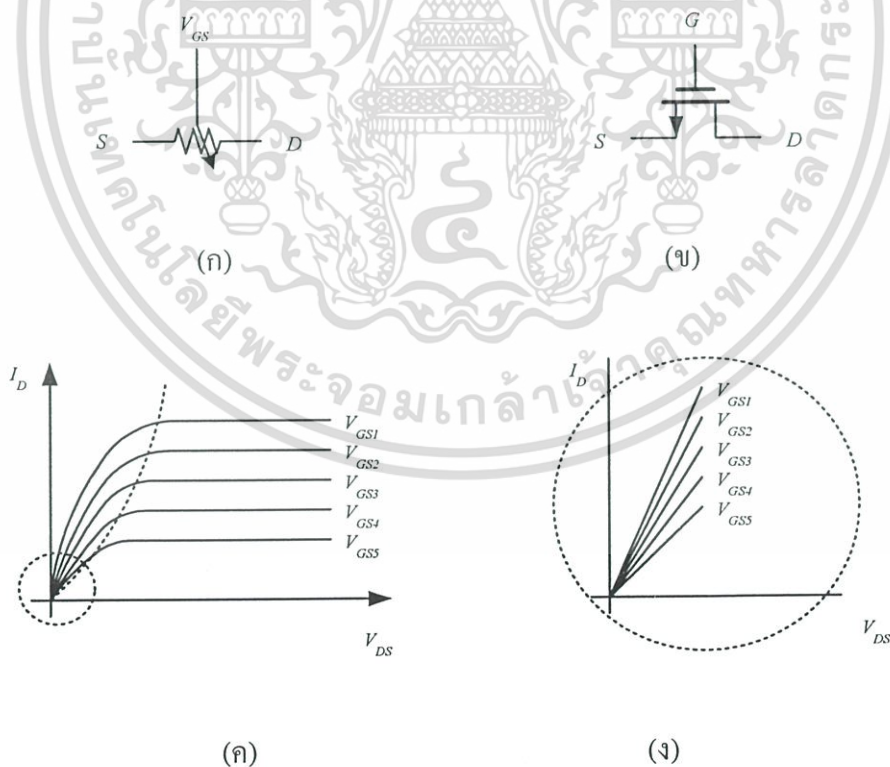
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $V_{DS} \ll 2(V_{GS} - V_{TH})$ ค่าความต้านทานของทรานซิสเตอร์ชนิดมอสที่ทำหน้าที่แทนสวิทช์ มีค่าเป็น

$$r_{ON} = \frac{1}{\partial I_D / \partial V_{DS}} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.21)$$

2.3.4 ความต้านทานแบบมอส (MOS resistor)

อุปกรณ์แบบพาสซีฟ (passive device) เช่นตัวต้านทานมีความจำเป็นสำหรับการออกแบบวงจรรวม แต่เนื่องจากการออกแบบความต้านทานโดยใช้สารกึ่งตัวนำในการออกแบบนั้น มีขนาดใหญ่ ทำให้วงจรรวมที่ใช้ตัวความต้านทานมีขนาดใหญ่ไปด้วย ดังนั้นหากไม่ต้องการตัวต้านทานที่แม่นยำมากนักออกแบบวงจรจะไม่เลือกการสร้างตัวต้านทานโดยใช้สารกึ่งตัวนำโดยตรง ทางเลือกอื่นสำหรับการออกแบบวงจรรวมที่จำเป็นต้องใช้ตัวความต้านทานคือการเลือกใช้คุณสมบัติของทรานซิสเตอร์ชนิดมอสมาแทนตัวต้านทานนั้น การออกแบบตัวต้านทานโดยใช้คุณสมบัติของทรานซิสเตอร์ชนิดมอสอย่างง่ายคือการเลือกคุณสมบัติของการทำงานในย่านไทรโอด ดังแสดงในรูปที่ 2.9



รูปที่ 2.9 คุณสมบัติของทรานซิสเตอร์ชนิดมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.9 (ค) หากเรากำหนดให้ $V_{DS} \ll 2(V_{GS} - V_{TH})$ เราจะประมาณกระแสเดรนได้ว่า

$$I_D = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.22)$$

นั่นคือในขณะที่แรงดันเดรน-ซอร์สมีค่าน้อยมากดังแสดงในรูป 2.9 (ง) เราจะได้สมการความสัมพันธ์คือ

$$R_{on} = \frac{V_{DS}}{I_D} = \frac{1}{\mu_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.23)$$

เราสามารถเลือกใช้งานทรานซิสเตอร์ที่ทำงานย่านเริ่มอิมิตัว (weak inversion) เพื่อแทนตัวต้านทานได้โดยที่ทรานซิสเตอร์จะทำงานย่านนี้ได้ก็ต่อเมื่อ $V_{GS} < V_{TH}$ และ $V_{DS} \ll V_{GS} - V_{TH}$ โดยสมการ 2.24 แสดงกระแสเดรนที่เกิดจากทรานซิสเตอร์ทำงานย่านนี้

$$I_D = \mu_n C_{OX} \frac{W}{L} e^{V_{GS}/\eta V_T} (1 - e^{-V_{DS}/V_T}) \quad (2.24)$$

โดยที่

$$V_T = \frac{kT}{q} \quad (2.25)$$

$$\eta = \frac{C_{OX} + C_{depl}}{C_{OX}} \cong 1.5 \quad (2.26)$$

ค่าความต้านทานเดรน-ซอร์ส

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} = \left(\mu_n C_{OX} \frac{W}{LV_T} e^{\frac{V_{GS} - \eta V_{DS}}{\eta V_T}} \right) \quad (2.27)$$

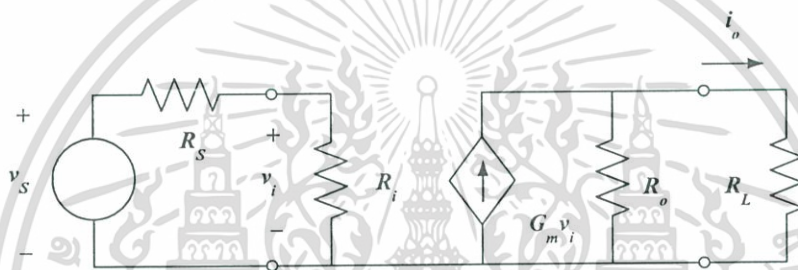
$$R_{ds} = \frac{1}{g_{ds}} = \frac{1}{\mu_n C_{OX} \frac{W}{LV_T} e^{\frac{V_{GS}}{\eta V_T}} e^{-\frac{\eta V_{DS}}{\eta V_T}}} \quad (2.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรขยาย (amplifier)[4]

วงจรขยาย (amplifier circuit) เป็นวงจรที่มีความสำคัญมากสำหรับการออกแบบวงจรรวม ทำหน้าที่หลายอย่างแตกต่างกันไป ตัวอย่างเช่นขยายสัญญาณที่มีขนาดเล็กให้มีขนาดใหญ่ขึ้นเพื่อใช้สัญญาณนั้นสำหรับวงจรส่วนถัดไป หรือใช้สำหรับการขับโหลดที่มีขนาดเล็ก ใช้สำหรับการออกแบบวงจรกรองสัญญาณ วงจรมอดูเลเตอร์ รวมทั้งวงจรขยายสัญญาณที่ปรับอัตราขยายได้ และวงจรรวมอื่น ๆ ดังนั้นในส่วนนี้จะกล่าวเกี่ยวกับฟังก์ชันถ่ายโอนของวงจรขยายแบบต่าง ๆ คือ วงจรขยายทรานส์คอนดักแตนซ์ วงจรขยายแรงดัน วงจรขยายกระแส และ วงจรขยายทรานส์อิมพีแดนซ์

2.4.1 วงจรขยายทรานส์คอนดักแตนซ์ (transconductance amplifier)



รูปที่ 2.10 วงจรขยายทรานส์คอนดักแตนซ์

วงจรขยายทรานส์คอนดักแตนซ์เป็นวงจรขยายชนิดหนึ่งที่มีหน้าที่ถ่ายโอนสัญญาณกระแสจากสัญญาณแรงดันดังแสดงในรูปที่ 2.10 เรียกว่า voltage controlled current source (VCCS) โดยที่อัตราขยายเป็น

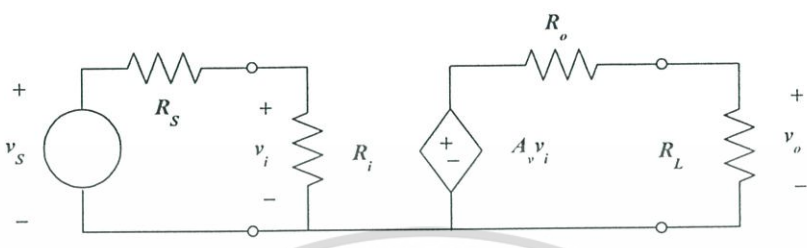
$$G_M = \frac{G_m R_o R_i}{(R_s + R_i)(R_o + R_L)} \quad (2.29)$$

- เมื่อ
- G_M คืออัตราขยายทรานส์คอนดักแตนซ์ที่เกิดจากอุปกรณ์ภายนอก
 - G_m คืออัตราขยายทรานส์คอนดักแตนซ์ที่เกิดภายในวงจร
 - R_s คือค่าความต้านทานที่เกิดจากแหล่งจ่ายสัญญาณ
 - R_i คือค่าความต้านทานที่อินพุทของวงจรขยายสัญญาณ
 - R_o คือความต้านทานเอาต์พุทของวงจรขยายสัญญาณ
 - R_L คือความต้านทานโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราขยายสูงสุดของวงจรขยายแบบทรานส์คอนดักเตนซ์จะเกิดขึ้นเมื่อความต้านทานอินพุตมีค่ามากกว่าความต้านทานที่เกิดจากแหล่งจ่าย $R_i \gg R_s$ และ ความต้านทานเอาต์พุตมีค่าน้อยกว่าความต้านทานโหลด $R_o \ll R_L$ ดังนั้นเราสามารถประมาณได้ว่า $G_M \approx G_m$

2.4.2 วงจรขยายแรงดัน



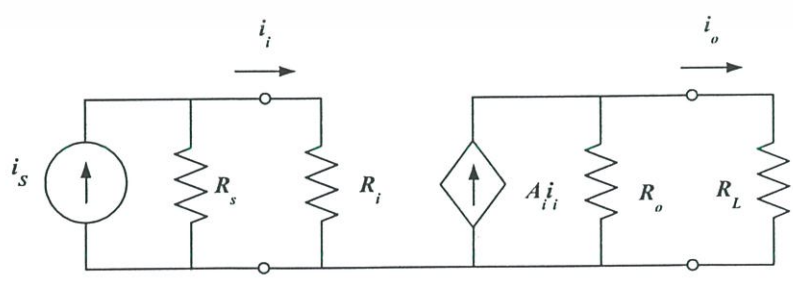
รูปที่ 2.11 วงจรขยายแรงดัน

วงจรขยายแรงดันเป็นวงจรขยายมีหน้าที่ถ่ายโอนสัญญาณแรงดันจากสัญญาณแรงดันดังแสดงในรูปที่ 2.11 เรียกว่า voltage controlled voltage source (VCVS) โดยที่อัตราขยายเป็น

$$A_v = \frac{A_v R_i R_L}{(R_s + R_i)(R_o + R_L)} \tag{2.30}$$

เมื่อ A_v คืออัตราขยายแรงดันที่เกิดจากอุปกรณ์ภายนอก
 A_v คืออัตราขยายแรงดันที่เกิดภายในวงจร
 อัตราขยายสูงสุดของวงจรขยายแรงดันจะเกิดขึ้นเมื่อความต้านทานอินพุตมีค่ามากกว่าความต้านทานที่เกิดจากแหล่งจ่าย $R_i \gg R_s$ และ ความต้านทานเอาต์พุตมีค่าน้อยกว่าความต้านทานโหลด $R_o \ll R_L$ ดังนั้นเราสามารถประมาณได้ว่า $A_v \approx A_v$

2.4.3 วงจรขยายกระแส (current amplifier)



รูปที่ 2.12 วงจรขยายกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรขยายกระแสเป็นการนำเอาสัญญาณอินพุตที่เป็นกระแสเพื่อควบคุมเอาต์พุตกระแสหรือที่เรียกว่า current controlled current source (CCCS) โดยที่อัตราขยายเป็น

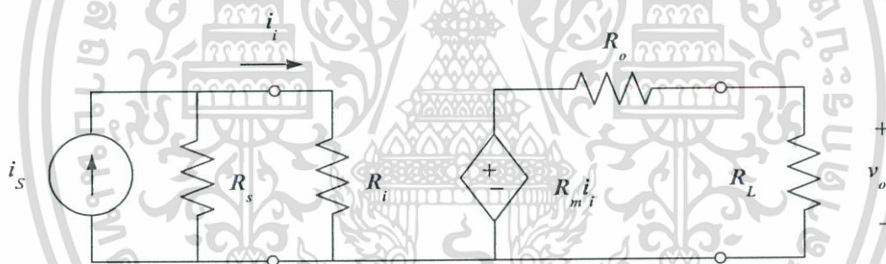
$$A_i = \frac{A_v R_s R_o}{(R_s + R_i)(R_o + R_L)} \quad (2.31)$$

เมื่อ A_i คืออัตราขยายกระแสที่เกิดจากอุปกรณ์ภายนอก

A_i คืออัตราขยายกระแสที่เกิดภายในวงจร

อัตราขยายสูงสุดของวงจรขยายกระแสจะเกิดขึ้นเมื่อความต้านทานอินพุตมีค่ามากกว่าความต้านทานที่เกิดจากแหล่งจ่าย $R_i \ll R_s$ และ ความต้านทานเอาต์พุตมีค่าน้อยกว่าความต้านทานโหลด $R_L \ll R_o$ ดังนั้นเราสามารถประมาณได้ว่า $A_i \approx A_v$

2.4.4 วงจรขยายทรานส์อิมพีแดนซ์ (transimpedance amplifier)



รูปที่ 2.13 วงจรขยายทรานส์อิมพีแดนซ์

ลักษณะของวงจรขยายทรานส์อิมพีแดนซ์เป็นการนำเอาสัญญาณอินพุตที่เป็นกระแสเพื่อควบคุมเอาต์พุตแรงดันหรือที่เรียกว่า current controlled voltage source (CCVS) โดยที่อัตราขยายเป็น

$$R_M = \frac{R_m R_s R_L}{(R_s + R_i)(R_o + R_L)} \quad (2.32)$$

เมื่อ R_M คืออัตราขยายทรานส์อิมพีแดนซ์ที่เกิดจากอุปกรณ์ภายนอก

R_m คืออัตราขยายทรานส์อิมพีแดนซ์ที่เกิดภายในวงจร

อัตราขยายสูงสุดของวงจรขยายทรานส์อิมพีแดนซ์จะเกิดขึ้นเมื่อความต้านทานอินพุทมีค่ามากกว่าความต้านทานที่เกิดจากแหล่งจ่าย $R_i \ll R_s$ และ ความต้านทานเอาต์พุทมีค่ามากกว่าความต้านทานโหลด $R_o \gg R_L$ ดังนั้นเราสามารถประมาณได้ว่า $R_M \approx R_m$

ตามที่ได้กล่าวเกี่ยวกับวงจรขยายแบบต่าง ๆ ในหัวข้อนี้เราสามารถสรุปหลักการการทำงานของวงจรขยายแบบต่าง ๆ ได้ดังตารางที่ 2.1

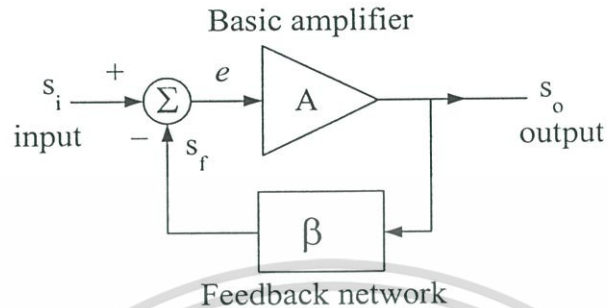


ตารางที่ 2.1 สรุปคุณสมบัติวงจรมัลติโพลแบบต่าง ๆ

พารามิเตอร์	ชนิดของวงจรมัลติโพล			
	ทรานส์คอนดักแตนซ์	แรงดัน	กระแส	ทรานส์อิมพีแดนซ์
สัญญาณอินพุต	แรงดัน	แรงดัน	กระแส	กระแส
สัญญาณเอาต์พุต	กระแส	แรงดัน	กระแส	แรงดัน
ความต้านทานอินพุต (R_i) ในอุดมคติ	∞	∞	0	0
ความต้านทานเอาต์พุต (R_o) ในอุดมคติ	∞	0	∞	0
ความต้านทานแหล่งจ่าย (R_s)	$R_s=0$ หรือ $R_s \ll R_i$	$R_s=0$ หรือ $R_s \ll R_i$	$R_s=\infty$ หรือ $R_s \gg R_i$	$R_s=\infty$ หรือ $R_s \gg R_i$
ความต้านทานโหลด (R_L)	$R_L=0$ หรือ $R_L \ll R_o$	$R_L=\infty$ หรือ $R_L \gg R_o$	$R_L=0$ หรือ $R_L \ll R_o$	$R_L=\infty$ หรือ $R_L \gg R_o$
อัตราขยาย	$G_M = \frac{G_m R_o R_i}{(R_s + R_i)(R_o + R_L)}$	$A_V = \frac{A_v R_i R_L}{(R_s + R_i)(R_o + R_L)}$	$A_I = \frac{A_i R_s R_o}{(R_s + R_i)(R_o + R_L)}$	$R_M = \frac{R_m R_s R_L}{(R_s + R_i)(R_o + R_L)}$

2.5 วงจรป้อนกลับ (feedback circuit)

จากที่กล่าวมาจากหัวข้อที่ผ่านมาวงจรขยายมักจะมีส่วนของการป้อนกลับ (feedback loop) เพื่อเพิ่มประสิทธิภาพของวงจรขยายเพื่อให้ได้คุณสมบัติตามต้องการ



รูปที่ 2.14 บล็อกไดอะแกรมของวงจรป้อนกลับแบบลบ

บล็อกไดอะแกรมอย่างง่ายของวงจรป้อนกลับแบบลบดังแสดงในรูปที่ 2.14 ประกอบด้วย ส่วนของวงจรขยายซึ่งสามารถใช้ได้ทั้งวงจรขยายกระแสหรือแรงดัน โดยมีอัตราขยายเท่ากับ A และส่วนของการป้อนกลับกำหนดเป็น β โดยลักษณะการทำงานคือเมื่อสัญญาณอินพุต s_i เข้ามาที่ อินพุตจะถูกลบกับสัญญาณเอาต์พุตที่ป้อนกลับในอัตรา β นั่นคือ

$$s_o = Ae = A(s_i - s_f) \quad (2.33)$$

โดยที่ $s_f = \beta s_o$ เราจะได้ว่า

$$s_o = (s_i + \beta s_o) \quad (2.34)$$

โดยที่อัตราขยายทั้งหมดของลูปป้อนกลับเป็น

$$A_o = \frac{s_o}{s_i} = \frac{A}{1 + A\beta} \quad (2.35)$$

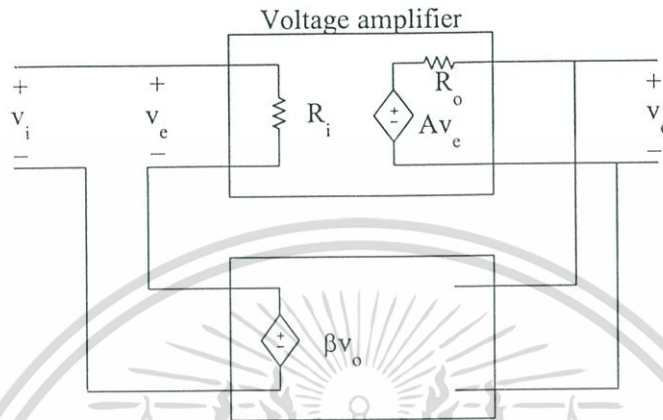
ถ้ากำหนดให้อัตราขยาย $A \gg 1$ เราสามารถประมาณได้ว่า

$$A_o = \frac{s_o}{s_i} = \frac{1}{\beta} \quad (2.36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับข้อดีของวงจรขยายที่มีการป้อนกลับแบบลบคือ อัตราขยายของวงจรขยายนั้นมีเสถียรภาพดีขึ้น สามารถเพิ่มความเป็นเชิงเส้นของวงจรขยาย เพิ่มแบนด์วิดท์ ลดสัญญาณรบกวน เป็นต้น

2.5.1 การป้อนกลับแบบอนุกรม-ขนาน (series-shunt feedback)



รูปที่ 2.15 วงจรป้อนกลับแบบอนุกรม-ขนาน

วงจรป้อนกลับแบบอนุกรม-ขนานที่แสดงในรูปที่ 2.15 เป็นการนำเอาวงจรขยายแรงดันซึ่งมีคุณสมบัติ VCVS ค่าความต้านทานอินพุตสูงและเอาต์พุตต่ำมาทำการป้อนกลับโดยใช้แรงดันที่เอาต์พุตคูณด้วยอัตราขยายป้อนกลับ β แล้วนำมาลบกับสัญญาณอินพุตแรงดันที่เกิดแรงดัน v_o เราจะได้อัตราขยายแรงดันป้อนกลับแบบลบเป็น

$$A_o = \frac{v_o}{v_i} = \frac{A}{1 + A\beta} \quad (2.37)$$

เมื่อ $A \gg 1$ เราจะได้ว่า $A_o \approx 1/\beta$ โดยข้อดีของวงจรป้อนกลับแบบนี้คือเพิ่มความต้านทานอินพุตของวงจรขยายโดยที่มีค่าความต้านทานเป็น

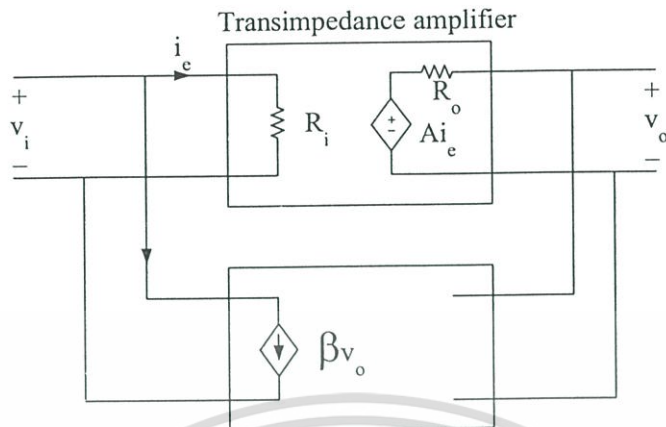
$$R_{in} = R_i (1 + A\beta) \quad (2.38)$$

และลดความต้านทานเอาต์พุตของวงจร

$$R_{out} = \frac{R_o}{(1 + A\beta)} \quad (2.39)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การป้อนกลับแบบขนาน-ขนาน (shunt-shunt feedback)



รูปที่ 2.16 โครงสร้างการป้อนกลับแบบขนาน-ขนาน

วงจรป้อนกลับแบบขนาน-ขนานที่แสดงในรูปที่ 2.16 เป็นการนำเอาวงจรขยายทรานส์อิมพีแดนซ์ซึ่งมีคุณสมบัติคือ CCVS ค่าความต้านทานอินพุตและเอาต์พุตมาทำการป้อนกลับโดยใช้แรงดันที่เอาต์พุตคูณด้วยอัตราขยายทรานส์คอนดักแตนซ์ β แล้วนำมาลบกับสัญญาณกระแสที่อินพุตเกิดกระแส i_c เราจะได้อัตราขยายทรานส์อิมพีแดนซ์ที่มีการป้อนกลับแบบลบเป็น

$$A_o = \frac{v_o}{i_i} = \frac{A}{1 + A\beta} \quad (2.40)$$

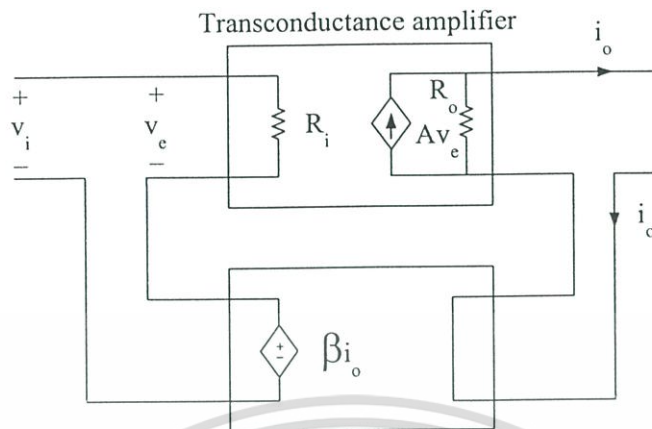
เมื่อกำหนดให้ $A \gg 1$ เราจะได้อัตราขยาย $A_o = 1/\beta$ โดยข้อดีสำหรับวงจรป้อนกลับแบบนี้คือลดค่าความต้านทานอินพุตและเอาต์พุตของวงจรเป็น

$$R_{IN} = \frac{R_i}{(1 + A\beta)} \quad (2.41)$$

$$R_{OUT} = \frac{R_o}{(1 + A\beta)} \quad (2.42)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การป้อนกลับแบบอนุกรม-อนุกรม (series-series feedback)



รูปที่ 2.17 โครงสร้างการป้อนกลับแบบอนุกรม-อนุกรม

วงจรป้อนกลับแบบอนุกรม-อนุกรมที่แสดงในรูปที่ 2.17 เป็นการนำเอาวงจรถายทอดทรานส์คอนดักแตนซ์ซึ่งมีคุณสมบัติคือ VCCS ค่าความต้านทานอินพุตสูงและเอาต์พุตสูงมาทำการป้อนกลับโดยใช้กระแสที่เอาต์พุตคูณด้วยอัตราขยายทรานส์อิมพีแดนซ์ β แล้วนำมาลบกับสัญญาณแรงดันที่อินพุตเกิดกระแส v_c เราจะได้อัตราขยายทรานส์คอนดักแตนซ์ที่มีการป้อนกลับแบบลบเป็น

$$A_o = \frac{i_o}{v_i} = \frac{A}{1 + A\beta} \quad (2.43)$$

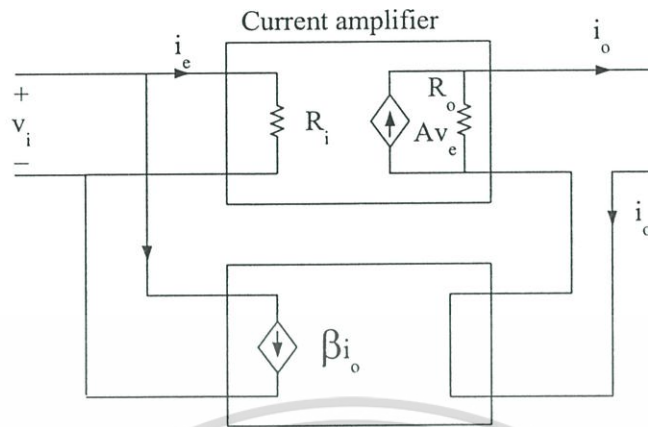
เมื่ออัตราขยาย $A \gg 1$ เราจะได้อัตราขยายที่มีการป้อนกลับเป็น $A_o = 1/\beta$ โดยวงจรนี้จะเพิ่มความต้านทานอินพุตและเอาต์พุตคือ

$$R_{IN} = R_i(1 + A\beta) \quad (2.44)$$

$$R_{OUT} = R_o(1 + A\beta) \quad (2.45)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 การป้อนกลับแบบขนาน-อนุกรม (shunt-series feedback)



รูปที่ 2.18 โครงสร้างการป้อนกลับแบบขนาน-อนุกรม

วงจรป้อนกลับแบบขนาน-อนุกรมที่แสดงในรูปที่ 2.18 เป็นการนำเอาวงจรรายกระแสซึ่งมีคุณสมบัติคือ CCCS ค่าความต้านทานอินพุตต่ำและเอาต์พุตสูงมาทำการป้อนกลับโดยใช้กระแสที่เอาต์พุตคูณด้วยอัตราขยายกระแส β แล้วนำมาลบกับสัญญาณกระแสที่อินพุตเกิดกระแส i_e เราจะได้อัตราขยายกระแสที่มีการป้อนกลับแบบลบเป็น

$$A_o = \frac{i_o}{i_i} = \frac{A}{1 + A\beta} \quad (2.46)$$

เมื่อ $A \gg 1$ เราจะได้อัตราขยายที่มีการป้อนกลับแบบลบเป็น $A_o = 1/\beta$ โดยวงจรนี้จะลดความต้านทานอินพุต

$$R_{IN} = \frac{R_i}{(1 + A\beta)} \quad (2.47)$$

และเพิ่มความต้านทานเอาต์พุตของวงจร

$$R_{OUT} = R_o (1 + A\beta) \quad (2.48)$$

ตามที่ได้กล่าวเกี่ยวกับวงจรป้อนกลับแบบต่าง ๆ ในหัวข้อนี้เราสามารถสรุปหลักการทำงานของวงจรป้อนกลับแบบต่าง ๆ ได้ดังตารางที่ 2.2

ตารางที่ 2.2 สรุปคุณสมบัติวงจรป้อนกลับแบบต่าง ๆ

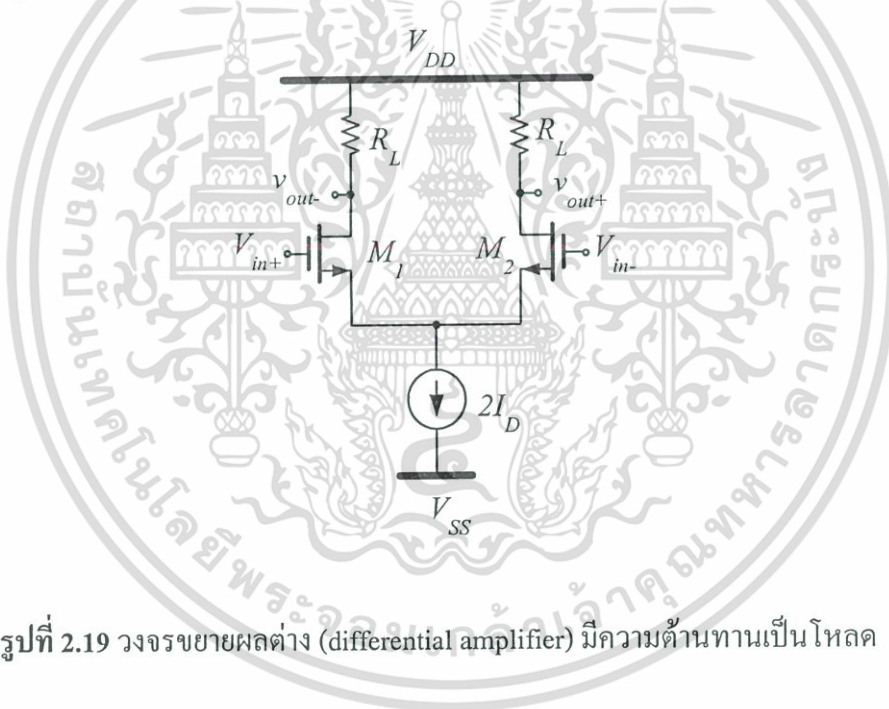
พารามิเตอร์	ชนิดของวงจรมายสัญญาณ			
	แรงดัน	ทรานส์คอนดักแตนซ์	กระแส	ทรานส์อิมพีแดนซ์
ชนิดของการป้อนกลับ	อนุกรม-ขนาน	อนุกรม-อนุกรม	ขนาน-อนุกรม	ขนาน-ขนาน
สัญญาณอินพุท	แรงดัน	แรงดัน	กระแส	กระแส
สัญญาณเอาต์พุท	แรงดัน	กระแส	กระแส	แรงดัน
อัตราขยายลูปปิด	$A_o = \frac{v_o}{v_i} = \frac{A}{1 + A\beta}$	$A_o = \frac{v_o}{i_i} = \frac{A}{1 + A\beta}$	$A_o = \frac{i_o}{i_i} = \frac{A}{1 + A\beta}$	$A_o = \frac{i_o}{v_i} = \frac{A}{1 + A\beta}$
ความต้านทานอินพุทลูปปิด	$R_{IN} = R_i(1 + A\beta)$	$R_{IN} = R_i(1 + A\beta)$	$R_{IN} = \frac{R_i}{(1 + A\beta)}$	$R_{IN} = \frac{R_i}{(1 + A\beta)}$
ความต้านทานเอาต์พุทลูปปิด	$R_{OUT} = \frac{R_o}{(1 + A\beta)}$	$R_{OUT} = R_o(1 + A\beta)$	$R_{OUT} = R_o(1 + A\beta)$	$R_{OUT} = \frac{R_o}{(1 + A\beta)}$

2.6 การออกแบบวงจรขยายพื้นฐานที่ใช้ทรานซิสเตอร์แบบซีมอส

ในหัวข้อที่ผ่านมาในวิชานีพนธ์ฉบับนี้ ได้กล่าวเกี่ยวกับการทำงานของทรานซิสเตอร์แบบซีมอส รวมทั้งหลักการในอุดมคติของวงจรขยายสัญญาณและวงจรขยายสัญญาณที่มีการป้อนกลับแบบลบต่าง ๆ ในหัวข้อนี้จะกล่าวเกี่ยวกับการนำเอาทรานซิสเตอร์ชนิดมอสมาออกแบบเป็นวงจรขยายสัญญาณ และวงจรขยายสัญญาณที่มีการป้อนกลับแบบลบเพื่อเพิ่มประสิทธิภาพของวงจรขยายสัญญาณ ต่อไปจะเป็นการนำเอาทรานซิสเตอร์มาใช้สำหรับออกแบบวงจรขยายสัญญาณ และวงจรขยายสัญญาณที่มีการป้อนกลับแบบลบ

2.6.1 วงจรขยายสัญญาณผลต่าง (differential amplifier)

สำหรับการวงจขยายสัญญาณผลต่างอย่างง่ายโดยใช้ทรานซิสเตอร์ชนิดมอสได้แสดงในรูป 2.19 ทำหน้าที่ขยายสัญญาณแรงดันผลต่าง (differential signal) และกำจัดสัญญาณแรงดันร่วม (common signal)



รูปที่ 2.19 วงจรขยายผลต่าง (differential amplifier) มีความต้านทานเป็นโหลด

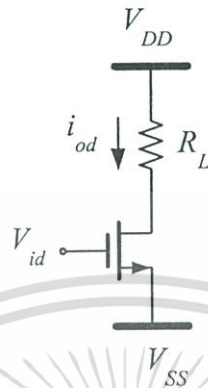
จากวงจรในรูปที่ 2.19 สามารถทำการวิเคราะห์ฟังก์ชันถ่ายโอนแรงดันเอาต์พุตต่อแรงดันอินพุตโดยใช้หลักการครึ่งวงจร (half circuit analysis) เนื่องจากที่ขาอินพุตของทรานซิสเตอร์มีสถานะเสมือนเป็นกราวด์ดังแสดงในรูปที่ 2.20 เมื่อเราทำการวิเคราะห์วงจรเราสามารถวิเคราะห์เหมือนวงจรฮอรัสต์ ร่วมมีสัญญาณอินพุตเป็น v_{id} คือสัญญาณอินพุตที่เป็นสัญญาณผลต่างคือ

$$V_{id} = V_{in+} - V_{in-}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และแรงดันสัญญาณเอาต์พุตผลต่างเป็น

$$V_{od} = V_{out-} - V_{out+}$$

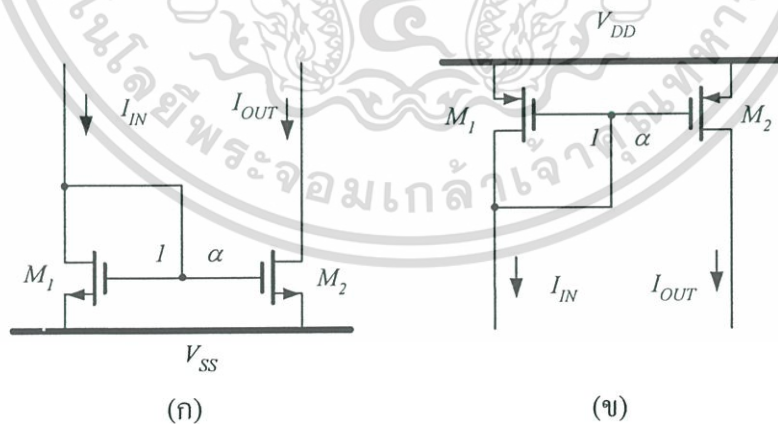


รูปที่ 2.20 วงจรขยายผลต่างจำลองการวิเคราะห์แบบครึ่งวงจรมีความต้านทานเป็นโหลด

อัตราขยายแรงดันของวงจรจะได้เป็น

$$A_v = \frac{V_{od}}{V_{id}} = -g_{m1}(r_{ds1} \parallel R_L) \quad (2.49)$$

2.6.2 วงจรขยายกระแส



(ก)

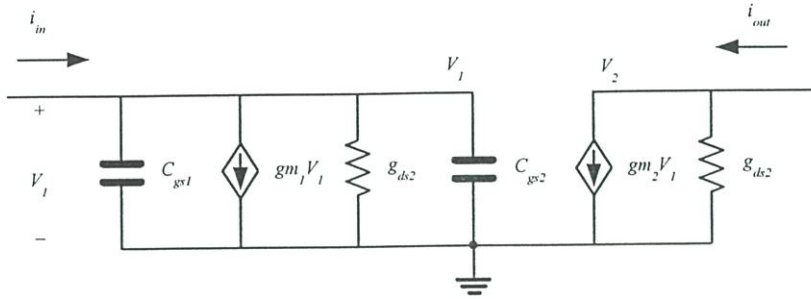
(ข)

รูปที่ 2.21 วงจรขยายกระแสอย่างง่าย

วงจรขยายกระแสที่แสดงในรูปที่ 2.21 เป็นรูปแบบเดียวกับวงจรสะท้อนกระแสอย่างง่าย ดังที่เคยแสดงในรูปที่ 2.6 อัตราขยายกระแสเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{OUT}}{I_{IN}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) = \alpha \tag{2.50}$$



รูปที่ 2.22 วงจรจำลองสัญญาณขนาดเล็กสำหรับวงจรสะท้อนกระแสอย่างง่าย

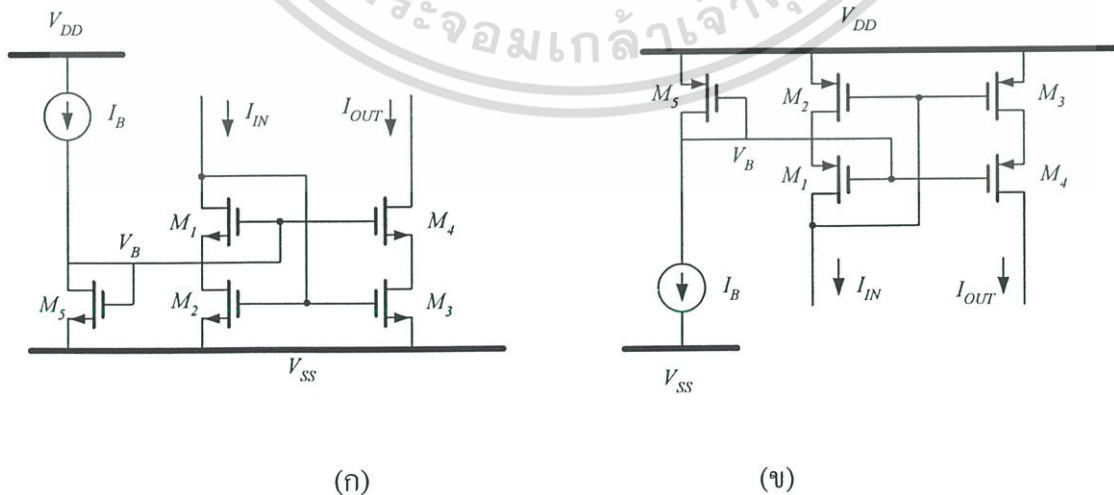
รูปที่ 2.22 แสดงวงจรจำลองสัญญาณขนาดเล็กที่ความถี่สูงใช้สำหรับการวิเคราะห์การตอบสนองความถี่ของฟังก์ชันถ่ายโอนของวงจร

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} \frac{1}{1 + s \frac{C}{g_{m1}}} \tag{2.51}$$

โพลของวงจรคือ

$$\omega_p = -\frac{g_{m1}}{C} \tag{2.52}$$

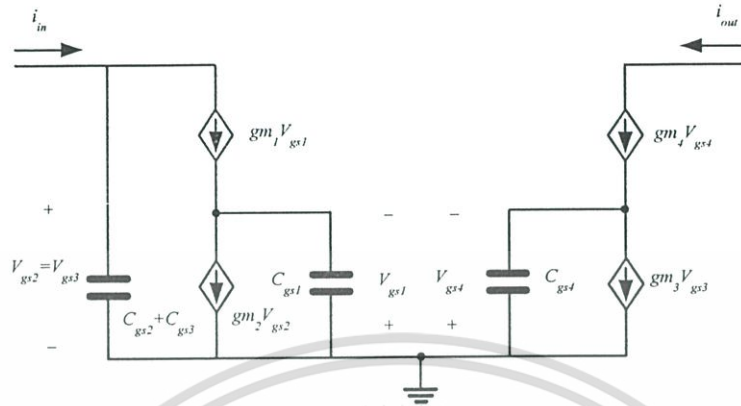
เมื่อ $C = C_{gs1} + C_{gs2}$



รูปที่ 2.23 วงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสะท้อนกระแสแบบแรงดันแกว่งกว้างสามารถทำงานได้ที่แรงดันต่ำและสามารถสะท้อนกระแสได้ดีกว่าวงจรสะท้อนกระแสอย่างง่าย ความต้านทานเอาต์พุตสูงมาก



รูปที่ 2.24 วงจรจำลองสัญญาณขนาดเล็กสำหรับวงจรขยายกระแสแบบแรงดันแกว่งกว้าง

ในรูปที่ 2.24 แสดงวงจรจำลองสัญญาณขนาดเล็กสำหรับวงจรสะท้อนกระแสแบบแรงดันแกว่งกว้างสามารถวิเคราะห์ฟังก์ชันถ่ายโอนเชิงความถี่ได้เป็น

$$\frac{i_{out}}{i_{in}} = \frac{1}{1 + \alpha \frac{C_{gs1} C_{gs2}}{g_{m1} g_{m2}}} \frac{1}{1 + \alpha \frac{C_{gs1} C_{gs2}}{g_{m1} g_{m2}} + s \frac{g_{m1}}{C_{gs1}} + s^2} \quad (2.53)$$

โดยที่โพลตัวแรกของวงจรคือ

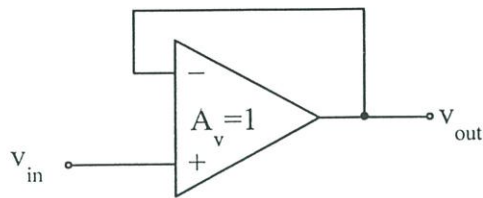
$$\omega_{p1} = -\frac{g_{m1}}{C_{gs1}} \quad (2.54)$$

โดยที่โพลตัวที่สองของวงจรคือ

$$\omega_{p2} = -\frac{g_{m2}}{C_{gs2}} \quad (2.55)$$

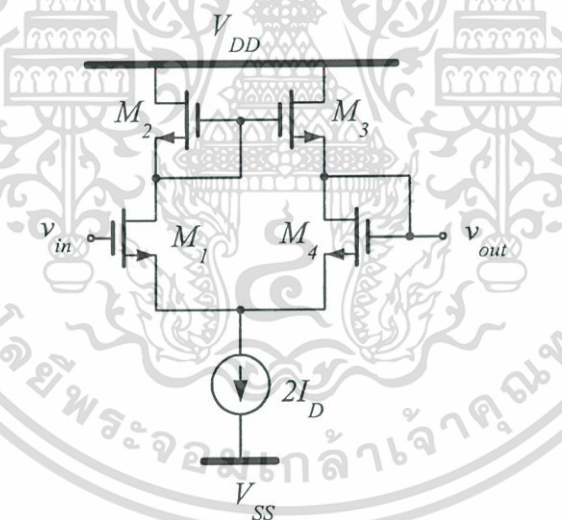
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 วงจรบัฟเฟอร์แรงดัน



รูปที่ 2.25 สัญลักษณ์วงจบบัฟเฟอร์แรงดัน

ในรูปที่ 2.25 แสดงสัญลักษณ์ของวงจรรขยายแรงดันที่มีการป้อนกลับแบบลบ โดยมี อัตราขยายแรงดันเท่ากับ 1 ทำหน้าที่เป็นวงจบบัฟเฟอร์ ซึ่งเป็นวงจรที่สำคัญอีกอย่างหนึ่งสำหรับการออกแบบวงจรรขยายเนื่องจากวงจรรขยายที่ออกแบบไปแล้วนั้นยังไม่สามารถขับโหลดได้ ดังนั้น วงจบบัฟเฟอร์ที่ออกแบบต้องสามารถขับโหลดได้ดี ในที่นี้ใช้วงจรรขยายผลต่างที่มีการป้อนกลับแบบลบดังแสดงในรูปที่ 2.26



รูปที่ 2.26 วงจบบัฟเฟอร์ที่ใช้วงจรรขยายผลต่างป้อนกลับแบบลบ

วงจรในรูปที่ 2.26 อัตราขยายแรงดันและความต้านทานเอาต์พุตเมื่อเปิดวงจร (open loop) มีค่าเป็น

$$A_{v,o} = \frac{v_{out}}{v_{in}} = -g_{m1} R_{out} \quad (4.56)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{out} = r_{ds2} // r_{ds4} \quad (4.57)$$

อัตราแรงดันและความต้านทานเอาต์พุตเมื่อปิดวงจร (close loop)

$$A_{V,close} = -1 \quad (4.58)$$

$$R_{out} = \frac{1}{g_{m1}} // r_{ds4} \quad (4.59)$$

2.7 คุณสมบัติของการออกแบบวงจรรขยาย

2.7.1 สัญญาณรบกวนในทรานซิสเตอร์ชนิดมอส

ในส่วนนี้จะกล่าวถึงสัญญาณรบกวนที่เกิดจากอุปกรณ์ในวงจรรวมซึ่งประกอบด้วย

1. สัญญาณรบกวนเชิงความร้อน (Thermal noise) โดยทั่วไปสัญญาณรบกวนเชิงความร้อนเกิดขึ้นจากการเคลื่อนที่ของประจุในตัวนำ (conductor) และเกิดขึ้นกับตัวต้านทานทุกตัวในวงจร ดังนั้นในวงจรอิเล็กทรอนิกส์ย่อมมีสัญญาณรบกวนเชิงความร้อน

2. สัญญาณรบกวนแบบประทุ (shot noise) สัญญาณรบกวนชนิดนี้เกิดขึ้นที่รอยต่อระหว่างสารชนิดเอ็นและพี เกิดขึ้นเพราะการไหลของกระแสไฟตรงที่ไม่ต่อเนื่องและราบเรียบ

3. สัญญาณรบกวนแบบฟลิคเกอร์ (flicker noise) สัญญาณรบกวนชนิดนี้ปรากฏอยู่ในอุปกรณ์ประเภทแอ็กทีฟทุกชนิดและอุปกรณ์พาสซีฟบางจำพวก เช่นตัวต้านทานแบบคาร์บอนและไดโอด เป็นต้น สัญญาณรบกวนฟลิคเกอร์เกิดขึ้นที่ความถี่ต่ำบางครั้งจึงเรียกว่าสัญญาณรบกวน $1/f$ สัญญาณรบกวนนี้สามารถละเลยผลกระทบได้เมื่อมีความถี่ใช้งานสูง

สัญญาณรบกวนฟลิคเกอร์ได้แสดงเป็นแหล่งจ่ายแรงดันต่ออนุกรมกับขาเกตของทรานซิสเตอร์ สัญญาณรบกวนนี้มีความหนาแน่นเป็น

$$V_g^2(f) = \frac{K}{WLC_{ox}f} \quad (2.60)$$

เมื่อ

K เป็นค่าคงตัวขึ้นกับกระบวนการผลิตมอสทรานซิสเตอร์

W คือความกว้างของทรานซิสเตอร์ชนิดมอส

L คือความยาวของแชนแนลของทรานซิสเตอร์ชนิดมอส

C_{ox} คือค่าการเก็บประจุที่เกตต่อหนึ่งหน่วยพื้นที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.60) มีข้อสังเกตว่าความหนาแน่นของสัญญาณรบกวนฟลิคเกอร์มีค่าแปรผกผันกับพื้นที่ของทรานซิสเตอร์ชนิดมอส WL ถ้าหากค่า WL มีค่ามากทำให้ความหนาแน่นของสัญญาณรบกวนน้อยลง

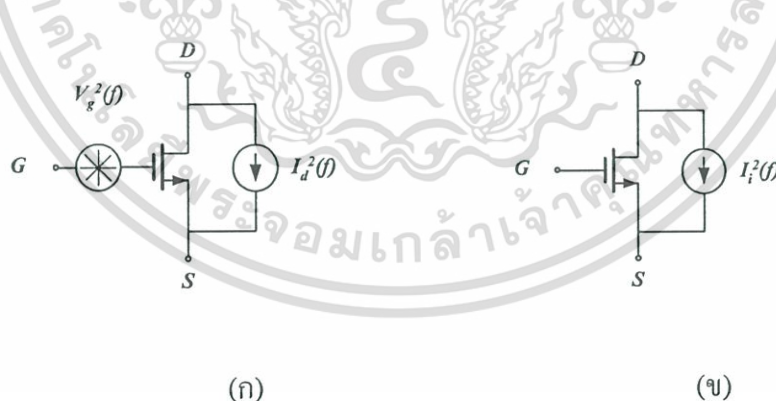
เนื่องจากในวงจรอิเล็กทรอนิกส์ประกอบด้วย ตัวต้านทานจึงไม่สามารถกำจัดสัญญาณรบกวนเชิงความร้อนทิ้งได้ ภายในทรานซิสเตอร์ชนิดมอสมีตัวต้านทานเกิดขึ้นในแซนแนลเมื่อทรานซิสเตอร์ชนิดมอสทำงานในย่านอิมิตัว อย่างไรก็ตามการทำงานของทรานซิสเตอร์ชนิดมอสในย่านอิมิตัวไม่สามารถพิจารณาแซนแนลให้มีลักษณะเท่ากันได้ตลอดทั้งความยาว เนื่องจากเกิดปรากฏการณ์พินช์ออฟ (pinch off) ทำให้แซนแนลเกิดการลาดเอียงซึ่งอยู่ทางด้านขาเดรน ดังนั้นการหาค่าสัญญาณรบกวนเชิงความร้อนทั้งหมดในแซนแนลทำได้โดยการรวบรวม (integrate) ส่วนเล็กๆ จำนวนมากในแซนแนล ผลจากการรวบรวมแสดงเป็นความหนาแน่นของสัญญาณรบกวนเชิงความร้อนในรูปกระแสได้ตามสมการ

$$I_d^2(f) = 4kT \frac{2}{3} g_m \quad (2.61)$$

เมื่อ

k แทนค่าคงตัวโบลต์ซมันน์ (Boltzmann's constant) มีค่าประมาณ 1.38×10^{-23} ในหน่วยจูลต่อเคลวิน

T แทนอุณหภูมิสัมบูรณ์ในหน่วยเคลวิน



รูปที่ 2.27 วงจรแทนสัญญาณรบกวน (ก) สัญญาณรบกวน (ข) แบบจำลองสำหรับความถี่ปานกลาง

สัญญาณรบกวนทั้งสองประเภทที่เกิดขึ้นภายในทรานซิสเตอร์ชนิดมอสสามารถแทนได้ด้วย เป็นแหล่งกำเนิดสัญญาณรบกวนได้แสดงในรูป 2.22 (ก) อย่างไรก็ตามเพื่อความง่ายต่อการวิเคราะห์สัญญาณรบกวนทำได้โดยรวมแหล่งกำเนิดสัญญาณรบกวน ดังนั้นจึงมีการนำเอาเทคนิค

วจรสมมูลของแรงดันหรือกระแสมาแทนสัญญาณที่เกิดขึ้นทั้งหมด ในวิทยานิพนธ์ฉบับนี้เลือกใช้แบบกระแส ดังแสดงในรูปที่ 2.22 (ข)

โดยผลของแหล่งกำเนิดสัญญาณรบกวนมีค่าเป็น

$$i_i^2(f) = 4kT \frac{2}{3} g_m + \frac{K}{WLC_{ox}f} \quad (2.62)$$

2.7.2 ผลรวมความผิดเพี้ยนที่เกิดจากฮาร์โมนิก (total harmonic distortion, THD)

ในการออกแบบวงจรรนาล็อกจำเป็นต้องคำนึงความเป็นเชิงเส้นและคุณสมบัติของสัญญาณรบกวนรวมทั้งการสิ้นเปลืองพลังงานของวงจร แต่สิ่งแรกที่ต้องคำนึงถึงเป็นสำคัญที่สุดคือความเป็นเชิงเส้นของสัญญาณในช่วงของสัญญาณที่สามารถยอมรับได้ของสัญญาณอินพุตและพิสัยพลวัต ดังนั้นในหัวข้อนี้จะกำหนดมาตรฐานที่สำคัญของการออกแบบวงจรรขยาย

ถ้าทำการป้อนสัญญาณที่เป็นสัญญาณไซน์เข้าที่อินพุตของวงจร เป็นที่ทราบดีว่าสัญญาณแรงดันที่ตกคร่อมเอาท์พุทของวงจรจะมีรูปร่างเป็นสัญญาณไซน์ที่มีความถี่เดียวกัน และมีมุมเฟสเดียวกัน อย่างไรก็ตามถ้าสัญญาณอินพุตเดียวกันนั้นป้อนเข้าสู่วงจรที่เป็นระบบไม่เป็นเชิงเส้นแรงดันที่ตกคร่อมเอาท์พุทของวงจรมันจะมีส่วนประกอบของความถี่ที่ฮาร์โมนิกของอินพุตรวมอยู่ ด้วยกับความถี่มูลฐาน (fundamental harmonic) เราสามารถให้คำนิยามของผลรวมความผิดเพี้ยนของสัญญาณที่เกิดจากฮาร์โมนิก โดยกำหนดได้เป็นอัตราส่วนของกำลังงานรวมของฮาร์โมนิกที่ 2 และองค์ประกอบฮาร์โมนิกที่สูงกว่าต่อกำลังงานของความถี่มูลฐาน โดยกำหนดให้อยู่ในรูปของหน่วย dB จะได้ว่า

$$THD = 10 \log \left(\frac{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots + V_{hn}^2}{V_f^2} \right) \quad (2.63)$$

เมื่อ V_f คือขนาดของความถี่มูลฐาน และ V_{hi} คือขนาดของสัญญาณของฮาร์โมนิกที่ i บางครั้งเราสามารถแสดงค่า THD ในรูปของเปอร์เซ็นต์ จะได้ว่า

$$THD = \frac{\sqrt{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots + V_{hn}^2}}{V_f} \times 100 \quad (2.64)$$

จากที่กล่าวมาเพื่อให้เข้าใจมากขึ้นจะยกตัวอย่างในการหาค่า THD เช่นค่า THD = 0.1% หมายความว่าขนาดของสัญญาณที่มีความถี่มูลฐานมากกว่าขนาดของสัญญาณฮาร์โมนิก 1000 เท่าคือเมื่อเทียบกับหน่วยในรูปแบบ dB จะเท่ากับ -60dB

ถ้าขนาดของการตอบสนองของสัญญาณแรงดันที่ขอมรับได้ถูกกำหนดให้เป็น V_{max} โดยปกติแล้ว THD=1% และระดับสัญญาณรบกวนที่คกคร่อมเอาที่พหุของวงจรมีค่าเท่ากับ V_{noise} ดังนั้นช่วงของการตอบสนองของสัญญาณคือพิสัยพลวัตมีค่าเท่ากับ

$$DR = 20 \log \frac{V_{max}}{V_{noise}} \quad (2.65)$$

2.8 บทสรุป

ในบทนี้ได้กล่าวถึงการทำงานของอุปกรณ์สารกึ่งตัวนำของทรานซิสเตอร์ชนิดมอสในย่านต่าง ๆ และการวิเคราะห์วงจร ซึ่งเป็นความรู้พื้นฐานที่จำเป็นต้องรู้เพื่อนำมาทำการออกแบบวงจรพื้นฐาน ต่อจากนั้นเป็นการอธิบายหลักการการทำงานของวงจรขยายแบบต่าง ๆ รวมถึงการใช้วงจรขยายเหล่านั้นมาทำการเพิ่มประสิทธิภาพการทำงานโดยอาศัยทฤษฎีการป้อนกลับแบบต่าง ๆ และสุดท้ายกล่าวเกี่ยวกับคุณสมบัติที่จำเป็นสำหรับวงจรขยาย สัญญาณรบกวน พิสัยพลวัต และความเป็นเชิงเส้นของวงจรขยาย

บทที่ 3

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้

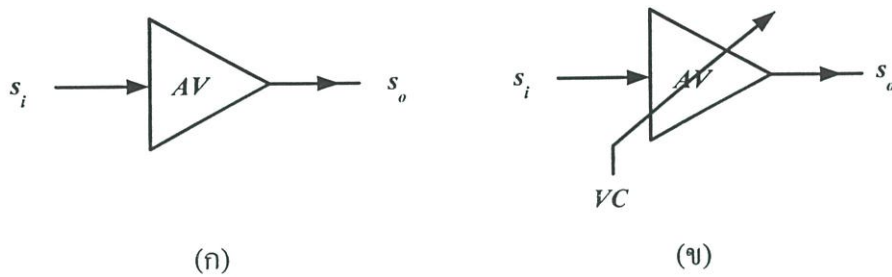
3.1 บทนำ

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้หรือวงจรร VGA (Variable Gain Amplifier) มักเป็นส่วนหนึ่งของลูปป้อนกลับในวงจรรปรับอัตราขยายอัตโนมัติหรือวงจรร AGC (Automatic Gain Control) ทำหน้าที่รักษาระดับสัญญาณเอาต์พุตให้คงที่ขณะที่วงจรรขยายรับสัญญาณที่ไม่สามารถคาดเดาขนาดเข้ามายังระบบ ตัวอย่างสำหรับการใช้งานของวงจรรขยายนี้เช่น ในระบบขยายสัญญาณสำหรับหัวอ่านดิสก์ไดรฟ์ [1] เครื่องช่วยฟังแบบพกพาสำหรับคนพิการทางหู [2] และที่พบเห็นในชีวิตประจำวันคือระบบสื่อสารไร้สายเช่น โทรศัพท์มือถือ ในบทนี้จะกล่าวเกี่ยวกับรูปแบบของการออกแบบวงจรร VGA และตัวอย่างการใช้งานแบบต่าง ๆ เพื่อเป็นแนวทางสำหรับการพัฒนาเพื่อเพิ่มประสิทธิภาพของวงจรร

3.2 วงจรร VGA

วงจรรขยายสัญญาณมีความสำคัญสำหรับระบบอิเล็กทรอนิกส์ปัจจุบันมาก โดยวงจรรขยายสัญญาณที่มีใช้ในปัจจุบันแบ่งได้คือวงจรรขยายสัญญาณแบบอัตราขยายคงที่และวงจรรขยายสัญญาณแบบที่สามารถปรับอัตราขยายได้ สามารถแสดงสัญลักษณ์ของวงจรรขยายทั้งสองแบบในรูปแบบที่ 3.1 สำหรับวงจรรขยายสัญญาณ (amplifier) ทำหน้าที่ขยายสัญญาณโดยมีอัตราขยายสัญญาณคงที่ คุณลักษณะการทำงานของวงจรรในรูปแบบที่ 3.2 โดยที่วงจรรขยายสัญญาณแบบนี้จึงเหมาะสำหรับสัญญาณอินพุตขนาดเล็ก (s_{i1}) เพื่อให้ได้ขยายสัญญาณที่ถูกขยายมีระดับสัญญาณที่เหมาะสม (s_{o1}) แต่เมื่อมีสัญญาณอินพุตที่มีขนาดใหญ่ (s_{i2}) สัญญาณนั้นจะถูกขยายด้วยอัตราขยายที่เท่าเดิมผลที่ได้จากการขยายสัญญาณ s_{o2} มีความผิดเพี้ยนของสัญญาณ

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้ (variable gain amplifier : VGA) มีส่วนที่คล้ายกับวงจรรขยายทั่วไปคือสามารถขยายสัญญาณที่มีขนาดเล็กได้ แต่ส่วนที่เป็นหน้าที่อีกอย่างหนึ่งสำหรับวงจรร VGA ก็คือสามารถลดทอนสัญญาณที่มีขนาดใหญ่ให้มีขนาดเล็กลงเพื่อให้สามารถนำสัญญาณนั้นไปใช้ประโยชน์ในระบบอิเล็กทรอนิกส์ได้ ซึ่งการปรับอัตราขยายสามารถทำได้โดยใช้ชุดควบคุมอัตราขยายมีทั้งแบบต่อเนื่อง (analog control) และการโปรแกรม (digital control) ดังแสดงในรูปแบบที่ 3.3



รูปที่ 3.1 สัญลักษณ์วงจรรขยาย (ก) ทัวไป (ข) ปรับอัตราขยายได้



รูปที่ 3.2 การตอบสนองแรงดันเอาต์พุตต่อสัญญาณอินพุตของวงจรรขยายแบบเป็นเชิงเส้น

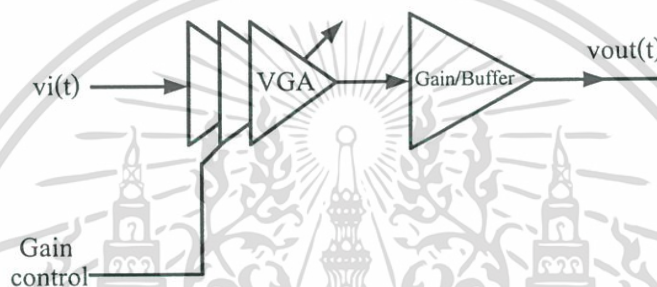
รูปที่ 3.3 การตอบสนองแรงดันเอาต์พุตต่อสัญญาณอินพุตของวงจรร VGA

ตัวอย่างระบบอิเล็กทรอนิกส์ที่ต้องการรักษาระดับสัญญาณให้คงที่จำเป็นต้องใช้วงจรร AGC ดังที่กล่าวมาข้างต้นซึ่งจำเป็นต้องใช้วงจรร VGA คือระบบขยายสัญญาณของหัวอ่านดิสก์ไคร์ฟ [1] ซึ่งสนามแม่เหล็กที่เกิดจากแถบแม่เหล็กในดิสก์ไม่สม่ำเสมอเมื่อหัวอ่านอ่านข้อมูลออกมาสัญญาณที่ได้จะไม่คงที่หากสำหรับขั้นตอนต่อไปสำหรับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องช่วยฟังสำหรับผู้พิการทางหู [2] เมื่อสัญญาณผ่านเข้ามายังระบบเครื่องช่วยฟังโดยเซ็นเซอร์ทำหน้าที่รับสัญญาณที่ไม่สม่ำเสมอซึ่งอาจมีสาเหตุจากระยะทางหรือความเข้มอ่อนของสัญญาณ ดังนั้นจึงจำเป็นต้องใช้วงจร VGA มาขยายและลดทอนสัญญาณนั้นเพื่อส่งไปยังวงจรภาคถัดไป

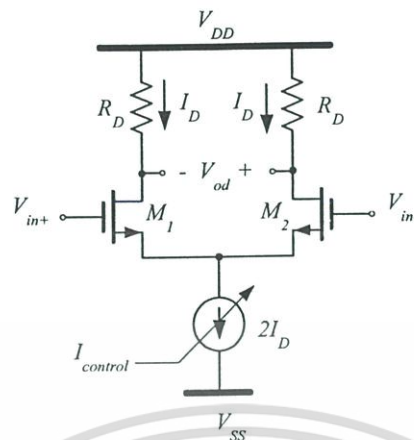
ในระบบสื่อสารไร้สาย [3] ซึ่งเป็นระบบที่มีการใช้งานอย่างกว้างขวางในปัจจุบันจำเป็นต้องใช้อุปกรณ์ที่ต้องใช้วงจร VGA เนื่องจากสัญญาณอินพุตที่เข้ามาในระบบเป็นสัญญาณอินพุตที่ไม่สามารถคาดเดาได้อีกทั้งระบบสื่อสารไร้สายนั้นมีความซับซ้อนดังนั้นจึงจำเป็นต้องทำให้สัญญาณที่ออกจากวงจร VGA มีความสม่ำเสมอเพื่อที่วงจรภาคถัดไปในที่นี้คือวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to Analog Converter : DAC) สามารถทำงานได้เต็มประสิทธิภาพต่อไป



รูปที่ 3.4 โครงสร้างวงจร VGA

จากรูปที่ 3.4 แสดงโครงสร้างของวงจร VGA ซึ่งประกอบด้วยการต่อวงจร VGA cell แบบคาสเคดหลายสเตจ ขึ้นอยู่กับเทคนิคการออกแบบและอัตราขยายโดยที่เมื่อสัญญาณอินพุตเข้ามายังวงจร VGA เราสามารถปรับอัตราอัตราขยายได้โดยใช้ส่วนของวงจรควบคุมอัตราขยาย เมื่อได้สัญญาณเอาต์พุตตามต้องการออกจากวงจร VGA จะส่งไปยังส่วนของวงจรบัฟเฟอร์ซึ่งสามารถนำไปใช้งานในวงจรถัดไปได้ทันที การออกแบบวงจร VGA โดยใช้โครงสร้างทรานซิสเตอร์ชนิดมอสมีหลายรูปแบบดังนี้

3.2.1 วงจร VGA แบบปรับกระแสไบอัส



รูปที่ 3.5 วงจร VGA แบบปรับกระแสไบอัส

วงจรรขยายสัญญาณผลต่างอย่างง่ายที่แสดงในรูปที่ 3.5 เมื่อทำการป้อนแรงดันผลต่าง V_{in+} และ V_{in-} ที่อินพุตของวงจร M_1 และ M_2 จะทำหน้าที่สร้างกระแสเดรนเพื่อไปขับโหลด R_D เกิดแรงดันสัญญาณผลต่าง V_{out} โดยอัตราขยายแรงดันของวงจรรขยายสัญญาณผลต่างมีค่าเป็น

$$A_V = \frac{v_{od}}{v_{id}} = -g_m (R_D // r_{ds2}) \quad (3.1)$$

โดยที่ g_m คือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์

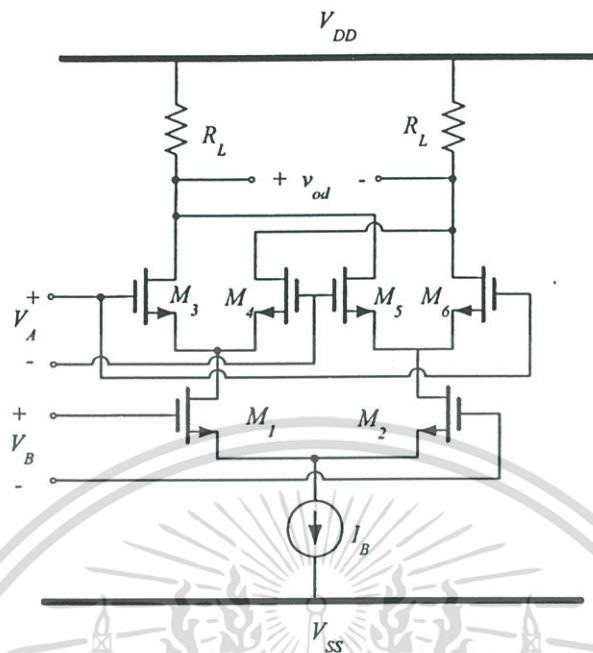
$$g_m = \sqrt{2\mu_n C_{OX} (W/L) I_D} \quad (3.2)$$

จากสมการที่ 3.1 และ 3.2 สังเกตได้ว่าเราสามารถสร้างวงจร VGA ได้ง่ายจากโครงสร้างนี้โดยการปรับค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_1 และ M_2 ในสมการที่ (3.2) จะเห็นได้ว่าเมื่อทำการปรับกระแสไบอัส I_D จะทำให้อัตราขยายแรงดันเปลี่ยนแปลง แต่เนื่องจากค่ากระแสไบอัสมีความสัมพันธ์กำลังสองของค่าทรานส์คอนดักแตนซ์แสดงในสมการที่ (3.3) การปรับอัตราขยายทำได้ยาก และวงจรนี้จะมีผลสัญญาณรบกวน แบนด์วิดท์และความเป็นเชิงเส้นที่เกิดจากกระแสไบอัส ดังนั้น โครงสร้างนี้จึงไม่นิยมนำมาออกแบบวงจร VGA

$$g_m \propto \sqrt{I_D} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจร VGA แบบการบังคับกระแสที่เอาต์พุต [8-10]



รูปที่ 3.6 วงจร VGA แบบการบังคับกระแสที่เอาต์พุต

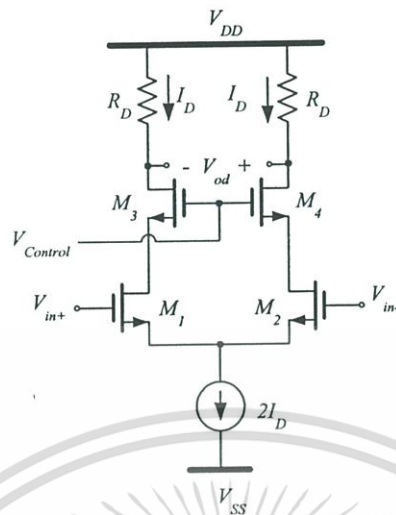
วงจรบังคับกระแส (current steering) ที่แสดงในรูปที่ 3.6 มักจะเรียกว่า Gilbert cell เป็นวงจรหนึ่งที่น่านำมาประยุกต์ใช้งานในวงจรผสมสัญญาณ (mixer) สัญญาณกระแสที่เอาต์พุตสามารถแสดงได้ดังสมการที่ (3.4) และ (3.5)

$$v_{od} = (g_{m3,4} - g_{m5,6}) \cdot R_L \cdot V_A \quad (3.4)$$

$$v_{od} = \sqrt{\frac{\mu_n C_{ox} (W/L)}{2I_B}} \cdot g_{m1,2} \cdot V_A \cdot V_B \quad (3.5)$$

เมื่อเราพิจารณาฟังก์ชันถ่ายโอนในสมการที่ (3.4-3.5) จะเห็นได้ว่าวงจรนี้มีคุณสมบัติการคูณสัญญาณกันระหว่างแรงดัน V_A และแรงดัน V_B ดังนั้นหากเราต้องการนำคุณสมบัติของวงจรนี้มาใช้ในวงจร VGA เราสามารถแทนสัญญาณ V_A หรือ V_B เป็นสัญญาณอินพุตและสัญญาณควบคุมได้ โดยมีการนำวงจรแบบนี้มาพัฒนาออกแบบวงจร VGA ที่ได้นำเสนอใน [8-10]

3.2.3 วงจร VGA แบบบังคับการทำงานทรานซิสเตอร์ด้านอินพุต [11-13]



รูปที่ 3.7 วงจร VGA แบบบังคับการทำงานทรานซิสเตอร์ด้านอินพุตทำงานในย่านไตรโอด

วงจร VGA แบบบังคับทรานซิสเตอร์อินพุตทำงานในย่านไตรโอดดังแสดงในรูปที่ 3.7 ประกอบด้วยทรานซิสเตอร์ M_1 - M_4 โดยที่ M_1 และ M_2 ทำหน้าที่เป็นส่วนอินพุตของวงจรซึ่งถูกบังคับแรงดัน V_{DS1} และ V_{DS2} ด้วยแรงดัน V_{GS3} และ V_{GS4} ของทรานซิสเตอร์ M_3 และ M_4 เพื่อให้ M_1 และ M_2 จะทำงานในย่านไตรโอดซึ่งมีลักษณะคล้ายค่าความต้านทานที่ปรับค่าความต้านทานได้ ซึ่งกระแสเดรนของทรานซิสเตอร์ M_1 และ M_2 สามารถแสดงได้ดังสมการที่ (3.6)

$$I_{D1} = I_{D2} = \mu_n C_{OX} \left(\frac{W}{L} \right) \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} \quad (3.6)$$

เมื่อ

$$V_{DS1} = (V_{GS1} - V_{TH}) - (V_{GD1} - V_{TH}) \quad (3.7)$$

เพราะฉะนั้น

$$I_{D1} = \mu_n C_{OX} \left(\frac{W}{L} \right) \left[\frac{(V_{GS} - V_{TH})^2}{2} - \frac{(V_{GD} - V_{TH})^2}{2} \right] \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร VGA แบบปรับความต้านทานโหลดเป็นเทคนิคหนึ่งที่ได้มีการนำมาพัฒนาเพื่อ ออกแบบเป็นวงจร VGA ดังแสดงในรูปที่ 3.8 โดยมีทรานซิสเตอร์ M_1 และ M_2 ทำหน้าที่เป็นส่วน อินพุตวงจรทรานส์คอนดักแตนซ์ของวงจรเพื่อที่จะไปขับโหลด M_3 และ M_4 ซึ่งต่อแบบไดโอดเรา จะได้สมการอัตราขยายแรงดันเป็น

$$A_v = \frac{g_{m,in}}{g_{m,load}} \quad (3.11)$$

โดย $g_{m,in}$ เป็นค่าทรานส์คอนดักแตนซ์ของ M_1 และ M_2

$g_{m,load}$ เป็นค่าทรานส์คอนดักแตนซ์ของ M_3 และ M_4

$$g_{m,in} = \sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} + I_{control})} \quad (3.12)$$

$$g_{m,load} = \sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} - I_{control})} \quad (3.13)$$

หากเรากำหนดให้กระแสสำหรับกรไบแอสส่วนของวงจรโหลดเป็น $I_{bias} - I_{control}$ และ ส่วนของ อินพุตเป็น $I_{bias} + I_{control}$ เราสามารถปรับอัตราขยายโดยใช้ $I_{control}$

$$A_v = \frac{g_{m,in}}{g_{m,load}} = \frac{\sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} + I_{control})}}{\sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} - I_{control})}} \quad (3.14)$$

วงจร VGA แบบปรับความต้านทานโหลดที่ได้มีการนำเสนอมาแล้วสามารถปรับ อัตราขยายได้โดยการปรับกระแส $I_{control}$ แต่เนื่องด้วยโหลดที่เกิดจากการนำเอาทรานซิสเตอร์ ชนิดมอสมาต่อแบบไดโอดให้ค่าความต้านทานที่ต่ำดังนั้น วงจรแบบนี้จึงสามารถปรับอัตราขยาย ได้ในช่วงที่แคบหากต้องการปรับอัตราขยายให้มากจะต้องมีการนำเอาวงจรแบบนี้มาต่อหลาย ๆ สเตจผลทำให้สิ้นเปลืองพลังงานมากขึ้น

วงจร VGA แบบปรับความต้านทานโหลดเป็นเทคนิคหนึ่งที่ได้มีการนำมาพัฒนาเพื่อ ออกแบบเป็นวงจร VGA ดังแสดงในรูปที่ 3.8 โดยมีทรานซิสเตอร์ M_1 และ M_2 ทำหน้าที่เป็นส่วน อินพุตของทรานส์คอนดักแตนซ์ของวงจรเพื่อที่จะไปขับโหลด M_3 และ M_4 ซึ่งต่อแบบไดโอดเรา จะได้สมการอัตราขยายแรงดันเป็น

$$A_v = \frac{g_{m,in}}{g_{m,load}} \quad (3.11)$$

โดย $g_{m,in}$ เป็นค่าทรานส์คอนดักแตนซ์ของ M_1 และ M_2

$g_{m,load}$ เป็นค่าทรานส์คอนดักแตนซ์ของ M_3 และ M_4

$$g_{m,in} = \sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} + I_{control})} \quad (3.12)$$

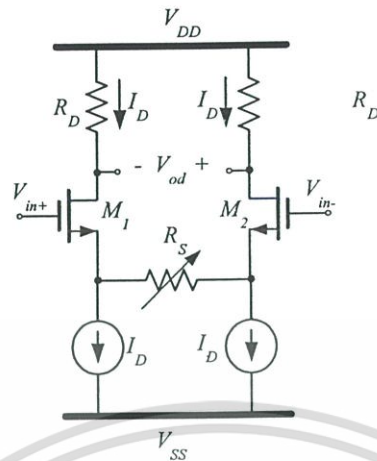
$$g_{m,load} = \sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} - I_{control})} \quad (3.13)$$

หากเรากำหนดให้กระแสสำหรับกรไบแอสส่วนของวงจรโหลดเป็น $I_{bias} - I_{control}$ และ ส่วนของ อินพุตเป็น $I_{bias} + I_{control}$ เราสามารถปรับอัตราขยายโดยใช้ $I_{control}$

$$A_v = \frac{g_{m,in}}{g_{m,load}} = \frac{\sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} + I_{control})}}{\sqrt{\mu_n C_{OX} \frac{W}{L} (I_{bias} - I_{control})}} \quad (3.14)$$

วงจร VGA แบบปรับความต้านทานโหลดที่ได้มีการนำเสนอมาแม้ว่าสามารถปรับ อัตราขยายได้โดยการปรับกระแส $I_{control}$ แต่เนื่องด้วยโหลดที่เกิดจากการนำเอาทรานซิสเตอร์ ชนิดมอสมาต่อแบบไดโอดให้ค่าความต้านทานที่ต่ำดังนั้น วงจรแบบนี้จึงสามารถปรับอัตราขยาย ได้ในช่วงที่แคบหากต้องการปรับอัตราขยายให้มากจะต้องมีการนำเอาวงจรแบบนี้มาต่อหลาย ๆ สเตจผลทำให้สิ้นเปลืองพลังงานมากขึ้น

3.2.5 วงจร VGA แบบปรับความต้านทานซอร์ส [17-20]



รูปที่ 3.9 วงจร VGA แบบปรับความต้านทานซอร์ส

วงจร VGA แบบปรับความต้านทานซอร์สของวงจรทรานส์คอนดักเตอร์แบบซอร์ส-ดีเจนเนอเรชันอย่างง่ายดังแสดงในรูปที่ 3.9 เป็นวงจรที่ให้คุณสมบัติของการขยายที่มีความเป็นเชิงเส้นสูงมากโดยอัตราขยายทรานส์คอนดักเตอร์มีค่าเป็น

$$G_m = \frac{g_m}{1 + g_m R_s} \quad (3.15)$$

หรือมีค่าเป็น

$$G_m = \frac{1}{\frac{1}{g_m} + R_s} \quad (3.16)$$

นั่นก็คือหาค่า $1/g_m$ มีค่าน้อยกว่า R_s มาก ๆ เราสามารถประมาณได้ว่าอัตราขยายทรานส์คอนดักเตอร์ได้เป็น

$$G_m \approx \frac{1}{R_s} \quad (3.17)$$

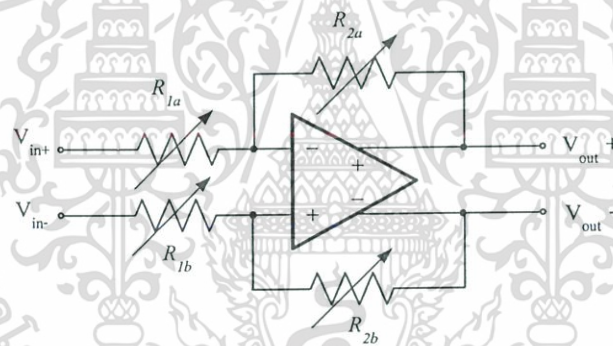
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.17) สังเกตได้ว่าวงจรเราสามารถนำมาประยุกต์ใช้สำหรับวงจร VGA ได้โดยการปรับความต้านทานซอร์ส ของวงจร

เมื่อพิจารณาจากวงจรขยายแบบซอร์สดี-เจนเนอเรชั่นเราจะให้ได้ว่าส่วนกลับของทรานส์คอนดักแตนซ์ของวงจรมานั้นคือความต้านทานที่มองเข้าไปที่ขาซอร์สของทรานซิสเตอร์ M1 ซึ่งหากเราต้องการให้วงจรขยายทรานส์คอนดักแตนซ์มีความเป็นเชิงเส้นสูงขึ้นเราสามารถทำได้โดยลดความต้านทานส่วนนั้นลง

3.2.6 วงจร VGA แบบปรับความต้านทานป้อนกลับของวงจรขยายที่อัตราขยายสูงและความถี่สูง [21]

เทคนิคที่ได้กล่าวมาทั้งหมดนั้นจะมีปัญหาเกี่ยวกับความแม่นยำในการปรับอัตราขยาย ผลอันเนื่องมาจากอัตราขยายขึ้นอยู่กับค่าพารามิเตอร์ของเทคโนโลยีที่ไม่เหมือนกัน ดังนั้นเราจึงได้ทำการแก้ไขโดยการนำเอาวงจรขยายที่มีอัตราขยายและทำงานที่ความถี่สูงมาทำการต่อ ป้อนกลับแบบลบดังแสดงในรูปที่ 3.10



รูปที่ 3.10 วงจร VGA แบบปรับความต้านทานป้อนกลับวงจรขยายที่อัตราขยายสูงและความถี่สูง

โดยอัตราขยายแรงดันของวงจรสามารถแสดงได้ดังสมการที่ (3.18)

$$\frac{v_{od}}{v_{id}} = -\frac{R_2}{R_1} \quad (3.18)$$

จากรูปที่ 3.10 และสมการที่ (3.18) เราสามารถปรับอัตราขยายได้โดยการปรับค่าความต้านทาน R_1 หรือ R_2 วงจรดังกล่าวมีความแม่นยำสูงในการปรับอัตราขยายแต่เนื่องจากการตอบสนองความถี่ไม่คงที่เมื่อมีการปรับค่าความต้านทาน R_2 จึงจำเป็นต้องมีการพัฒนาวงจรให้มีประสิทธิภาพดีขึ้นต่อไป

3.3 บทสรุป

ในบทนี้ได้กล่าวเกี่ยวกับวงจรพื้นฐานสำหรับการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายสัญญาณได้แบบต่าง ๆ โดยใช้เทคโนโลยีแบบซิมอส ซึ่งวงจรแบบต่าง ๆ นั้นมีข้อดีและข้อเสียแตกต่างกัน ปัจจุบันนี้สิ่งที่มีความจำเป็นสำหรับการนำเอาวงจรขยายสัญญาณมาใช้งานนั้นต้องคำนึงถึงประสิทธิภาพของวงจร อันได้แก่ ความเป็นเชิงเส้นของสัญญาณ ช่วงสำหรับการปรับอัตราขยายที่กว้าง ความสามารถในการนำวงจรไปใช้งานที่ความถี่สูง สัญญาณรบกวน รวมถึงอัตราการสิ้นเปลืองพลังงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรรขยายที่ปรับอัตราขยายได้แบบซิมอส ทำงานที่แรงดันต่ำ ใช้กำลังงานต่ำ

4.1 บทนำ

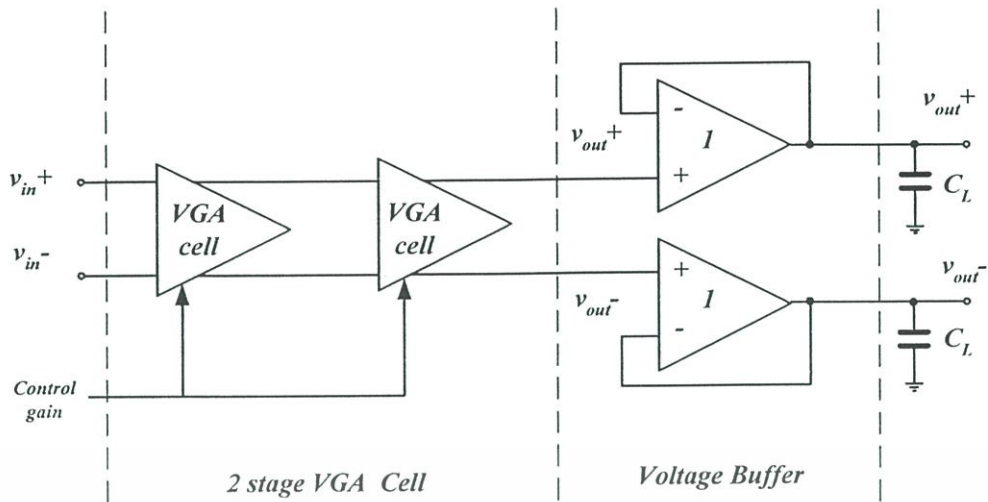
ปัจจุบันมีการนำเทคโนโลยีแบบซิมอสขนาด 1.3 ไมโครเมตรมาใช้สำหรับการออกแบบวงจรรวมขนาดใหญ่ (vary large scale integrated: VLSI) ทำให้ขนาดของชิพ (chip) ที่ได้ทำการออกแบบมีขนาดเล็กลงแต่มีประสิทธิภาพเพิ่มขึ้น แต่เนื่องจากเทคโนโลยีที่มีขนาดเล็กลงทำให้มีข้อจำกัดในเรื่องกระแสและแรงดัน ความเป็นเชิงเส้น สัญญาณรบกวน การตอบสนองความถี่ของวงจรถ้วน ดังนั้นการออกแบบวงจรมีประสิทธิภาพสูงจึงเป็นเรื่องที่น่าสนใจ

ในบทนี้จะกล่าวเกี่ยวกับ การออกแบบวงจรรขยายสัญญาณที่ปรับอัตราขยายได้โดยใช้เทคโนโลยีซิมอส สามารถทำงานที่ระดับแหล่งจ่ายแรงดันประมาณ 1 โวลต์ สิ้นเปลืองพลังงาน 1.5 มิลลิวัตต์ โดยอาศัยเทคนิคการออกแบบวงจรรแบบผสมกันระหว่าง วงจรรขยายทรานส์คอนดักแตนท์แบบซอร์ส-ดีเจเนอเรชั่น วงจรรขยายทรานส์อิมพีแดนซ์ที่ใช้การป้อนกลับกระแส และวงจรรบัพเฟอร์แรงดันเพื่อให้สามารถขับโหลดตัวเก็บประจุซึ่งเกิดจากวงจรรภาคถัดไปได้

4.2. วงจรร VGA

4.2.1 บล็อกไดอะแกรมของวงจรร VGA

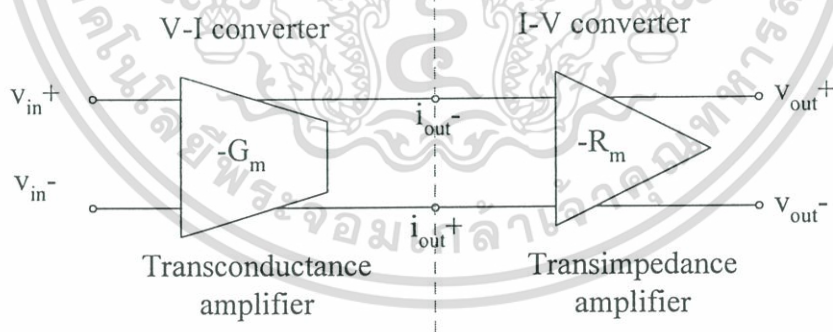
บล็อกไดอะแกรมของวงจรร VGA ทั้งหมดที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้แสดงในรูปที่ 4.1 ประกอบด้วย วงจรร VGA cell 2 เซลล์ซึ่งเป็นวงจรรขยายแรงดันที่สามารถปรับอัตราขยายได้โดยจะถูกรวมด้วยวงจรรควบคุมอัตราขยายเพื่อให้ได้อัตราขยายที่ต้องการ หลังจากนั้นสัญญาณที่ได้จากวงจรร VGA cell จะส่งไปยังวงจรรบัพเฟอร์แรงดันเพื่อให้คุณสมบัตการทำงานคงที่เมื่อนำไปใช้สำหรับโหลดตัวเก็บประจุหรือสำหรับการนำไปใช้ในวงจรรภาคถัดไป



รูปที่ 4.1 บล็อกโคอะแกรมของวงจร VGA ทั้งหมด

4.2.2 โครงสร้างของวงจร VGA cell

วงจร VGA cell เป็นส่วนที่สำคัญมากสำหรับวงจร VGA โดยทำหน้าที่หลักคือขยายหรือลดทอนสัญญาณอินพุตที่เข้ามายังวงจรซึ่งปรับอัตราขยายได้โดยส่วนของตัวควบคุมอัตราขยาย วงจร VGA cell ที่นำเสนอนี้เป็นวงจรขยายแรงดันประกอบด้วย วงจรทรานส์ทรานส์คอนดักแตนซ์ และวงจรทรานส์อิมพีแดนซ์ต่ออนุกรมกันซึ่งทำหน้าที่เปลี่ยนแรงดันเป็นกระแส และเปลี่ยนกระแสเป็นแรงดันตามลำดับ ดังแสดง โครงสร้างของวงจร VGA cell ในบล็อกโคอะแกรมรูปที่ 4.2



รูปที่ 4.2 โครงสร้างของวงจร VGA cell

อัตราขยายแรงดันของวงจร VGA cell คือ

$$A_v = \frac{v_{od}}{v_{id}} = G_m R_m \quad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อ A_v คืออัตราขยายแรงดัน
 v_{id} คือผลต่างของสัญญาณอินพุตมีค่าเป็น $v_{in+} - v_{in-}$
 v_{od} คือผลต่างของสัญญาณอินพุตมีค่าเป็น $v_{in+} - v_{in-}$
 G_m คืออัตราขยายทรานส์คอนดักแตนซ์
 R_m คืออัตราขยายทรานส์อิมพีแดนซ์

4.2.3 วงจรขยายทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชันใช้แรงดันต่ำ

วงจขยายทรานส์คอนดักแตนซ์ทำหน้าที่สร้างฟังก์ชันถ่ายโอนสัญญาณกระแสที่เอาท์พุทควบคุมโดยแรงดันที่ภาคอินพุท วงจรอย่างง่ายที่พบเห็นทั่วไปคือวงจขยายสัญญาณผลต่าง (differential amplifier) ดังแสดงในรูปที่ 4.3 ทำงานโดยสัญญาณผลต่างของแรงดัน v_{in+} และ v_{in-} สร้างแรงดันเกต-ซอร์ส ทำให้กระแสเกิดกระแสทรานซิสเตอร์ได้เป็น I_{out+} และ I_{out-}



รูปที่ 4.3 วงจขยายสัญญาณผลต่างอย่างง่าย

ในรูปที่ 4.3 เราสามารถวิเคราะห์ฟังก์ชันถ่ายโอนทรานส์คอนดักแตนซ์ได้โดยใช้เทคนิคครึ่งวงจร (half circuit analysis) โดยที่ขาซอร์สของทรานซิสเตอร์มีค่าเหมือนเป็นกราวด์เมื่อมีการทำงานสำหรับสัญญาณขนาดเล็ก นั่นคือวงจรที่ใช้เป็นวงจรซอร์ส-ร่วม (common source) นั่นเอง โดยอัตราขยายทรานส์คอนดักแตนซ์เป็น

$$G_m = \frac{i_{od}}{v_{id}} = -g_m \quad (4.2)$$

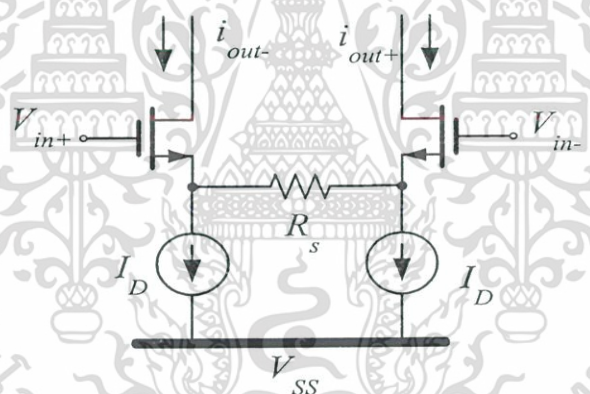
เราสามารถเพิ่มความเป็นเชิงเส้น(linearity)ของวงจร โดยอาศัยเทคนิคแบบชอร์ส-ดีเจเนอเรชันดังแสดงในรูปที่ 4.4 วงจรนี้จะให้ความเป็นเชิงเส้นสูงโดยอัตราขยาย ทรานส์คอนดักแตนซ์มีค่าดังสมการ (4.3)

$$G_m = \frac{i_{out}}{v_{id}} = -\frac{1}{R_{S1} + R_S} \quad (4.3)$$

เมื่อความต้านทาน R_{S1} ประมาณได้ว่าเป็นค่าความต้านทานที่ขาของ M_1 นั่นคือ $R_{S1} \approx 1/g_{m1}$ และถ้า $R_S \gg 1/g_{m1}$ จะได้ว่า

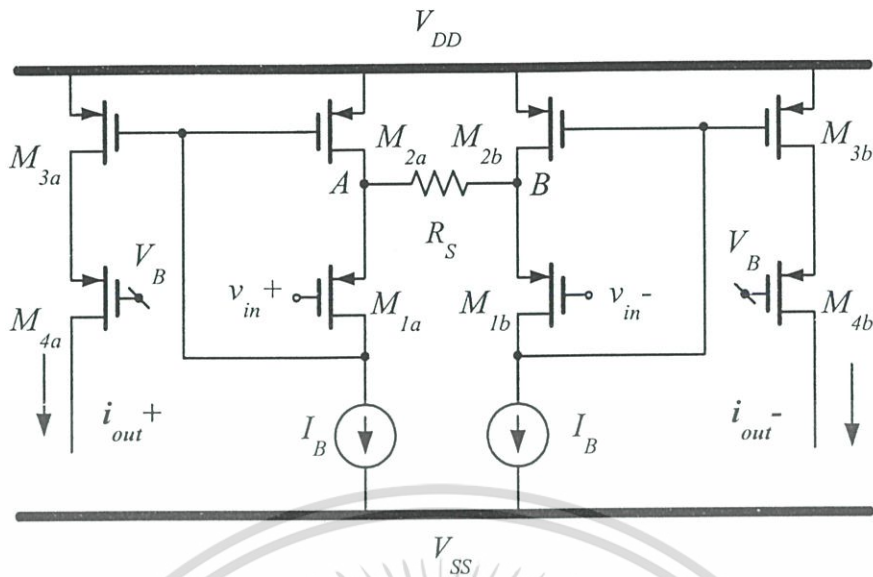
$$G_m \approx -\frac{1}{R_S} \quad (4.4)$$

ซึ่งทำให้การแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตของวงจรมีความเป็นเชิงเส้นสูง



รูปที่ 4.4 วงจรขยายสัญญาณผลต่างแบบชอร์ส-ดีเจเนอเรชัน

จากสมการที่ (4.4) สังเกตได้ว่าวงจรขยายสัญญาณผลต่างแบบชอร์ส-ดีเจเนอเรชันให้ความเป็นเชิงเส้นมากกว่าวงจรขยายสัญญาณผลต่างอย่างง่าย โดยความเป็นเชิงเส้นนั้นเราประมาณได้ว่าเกิดจากค่าความต้านทาน R_S แต่เนื่องจากวงจรมีการสิ้นเปลืองพลังงานมากหากต้องการกำหนดค่าความเป็นเชิงเส้นโดย R_S นั่นคือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_1 จะต้องมีค่ามากโดยขึ้นอยู่กับกระแสหรือแรงดันเกต-ชอร์สที่มากขึ้นนั่นเอง ดังนั้นแนวคิดของวิทยานิพนธ์ฉบับนี้จึงได้ทำการปรับปรุงวงจรให้มีประสิทธิภาพมากขึ้นโดยใช้กำลังงานที่ต่ำลง ดังแสดงในรูปที่ 4.5



รูปที่ 4.5 วงจรขยายทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชั่นที่มีการป้อนกลับแบบลบใช้แรงดันไฟเลี้ยงต่ำ

รูปที่ 4.5 แสดงวงจรทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชั่นที่ใช้การป้อนกลับแบบลบผ่านทรานซิสเตอร์ M_2 เพื่อลดค่าความต้านทานที่เกิดที่ขาซอร์สของทรานซิสเตอร์ M_1 มีค่าเป็น

$$R_{s1} \approx \frac{g_{ds1}}{g_{m1}g_{m2}} \quad (4.5)$$

เนื่องจากการต่อแบบวงจรขยายผลต่างที่ขาซอร์สของทรานซิสเตอร์ M_{1a} และ M_{1b} จะสร้างแรงดันผลต่างที่เกิดจากแรงดันอินพุต v_{in+} และ v_{in-} กำเนิดสัญญาณกระแสผลต่างไหลผ่านตัวต้านทาน R_S ไปยังทรานซิสเตอร์ M_2 จากที่กล่าวมาค่าความต้านทานของ R_{s1} ในวงจรทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชั่นที่ใช้การป้อนกลับแบบลบดังแสดงในสมการที่ (4.5) มีค่าน้อยกว่าค่าความต้านทานของ R_{S1} ในวงจรทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชั่นอย่างง่ายอยู่ g_{m2}/g_{ds1} เท่า ดังนั้นวงจรในรูปที่ 4.5 จะมีความเป็นเชิงเส้นดีกว่าวงจรในรูปที่ 4.4 เมื่อมีค่าความต้านทาน R_S เท่ากัน โดยอัตราขยายทรานส์คอนดักแตนซ์มีค่าดังแสดงในสมการที่ (4.6) (สมการที่ (ก9) ภาคผนวก ก.1) โดยในที่นี้จะขอละเว้นการพิจารณาค่าความนำในวงจรจำลองสัญญาณขนาดเล็กสามารถแสดงได้ว่า

$$G_m \approx -\frac{1}{s^2 \frac{C_1 C_2}{g_{m1} g_{m2}} + s \frac{C_2}{g_{m2}} + 1} \cdot \frac{1}{R_s} \quad (4.6)$$

โดยที่โพลอยู่ที่ตำแหน่ง

$$\omega_{p1} = -\frac{g_{m1}}{C_{gs1}} \quad (4.7)$$

$$\omega_{p2} = -\frac{g_{m2}}{C_{gs2}} \quad (4.8)$$

เมื่อพิจารณาสมการที่ (4.6) จะสังเกตได้ว่าค่าความต้านทาน R_s จะเป็นอิสระต่อการตอบสนองความถี่ และเมื่อพิจารณาอัตราขยายทรานส์คอนดักแตนซ์ที่ความถี่ต่ำจะได้เป็น

$$G_m \approx -\frac{1}{R_s} \quad (4.9)$$

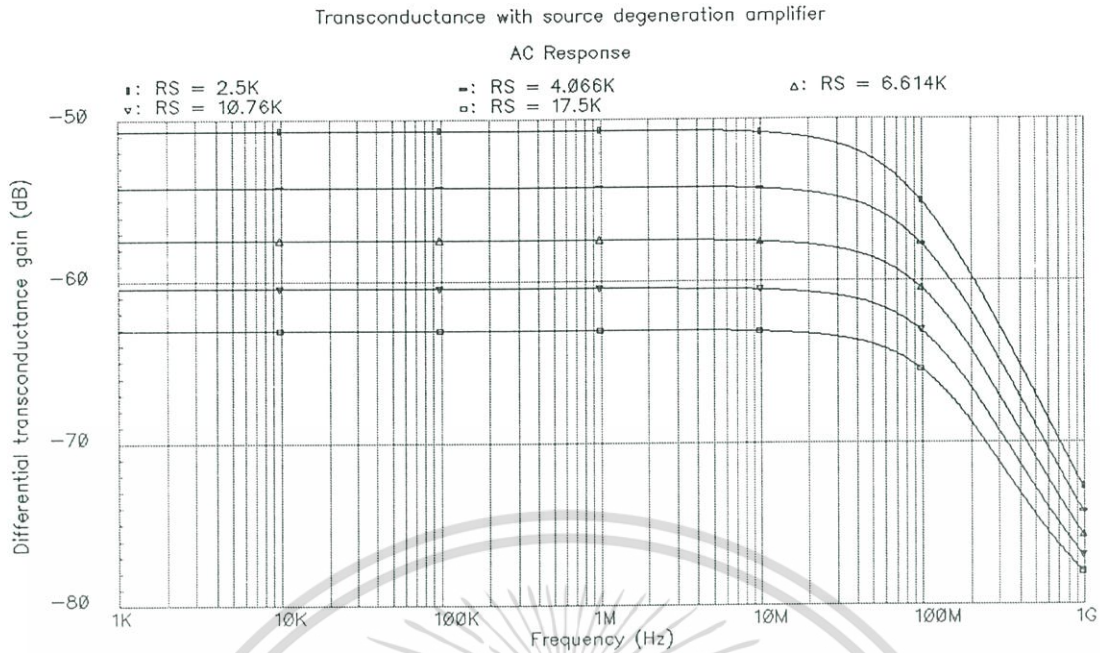
จากสมการที่ 4.9 เราสามารถสร้างวงจรรายทรานส์คอนดักแตนซ์ที่สามารถปรับอัตราขยายได้โดยใช้โครงสร้างแบบในรูปที่ 4.5 โดยการปรับค่าความต้านทาน R_s ซึ่งเคยมีการนำเสนอใน [17-20]

4.3.2.1 การจำลองการทำงาน

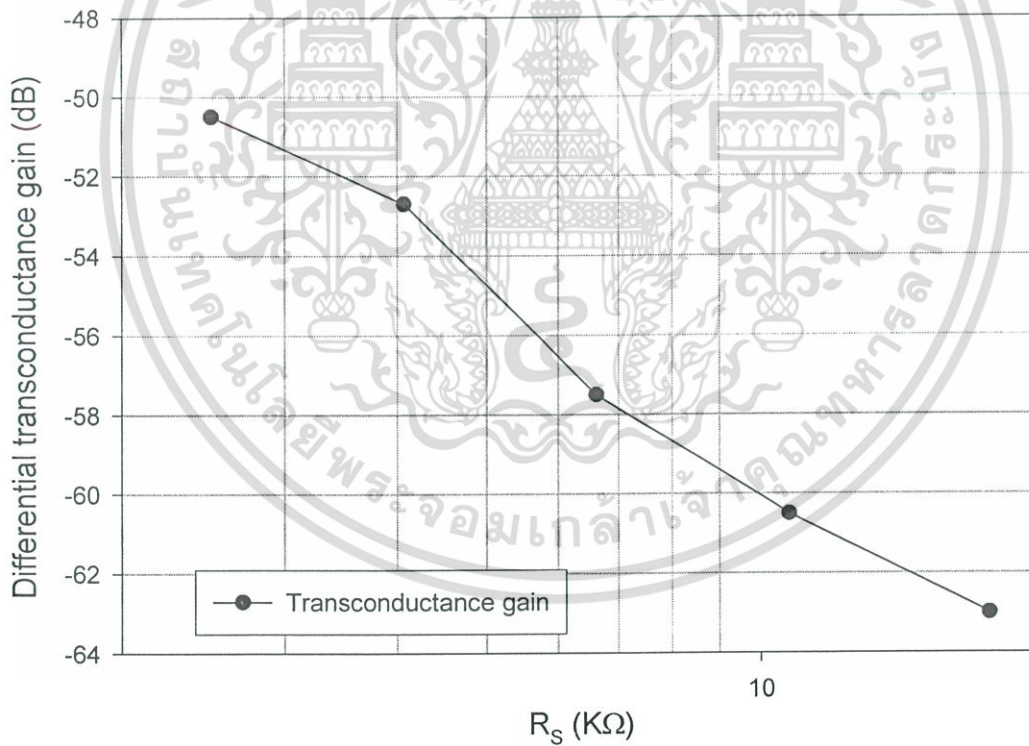
ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.5 โดยกำหนดให้อัตราส่วนของขนาดทรานซิสเตอร์ต่าง ๆ มีค่าดังนี้คือ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ และทำการปรับค่าความต้านทานจาก 2.5 K Ω ถึง 17.5 K Ω โดยการปรับเป็นช่วงแบบล็อกการิทึม (logarithm) และมีแหล่งจ่ายแรงดัน $V_{DD} - V_{SS} = 1$ V กระแสไบอัส $I_B = 50$ μA

4.3.2.2 ผลการจำลองการทำงาน

ผลที่ได้จากการจำลองการทำงานแสดงในรูปที่ 4.6 ซึ่งแสดงผลการตอบสนองความถี่เมื่อทำการปรับค่าความต้านทาน R_s แบบล็อกการิทึมให้อัตราขยายที่เป็นเชิงเส้นในแกนล็อกการิทึมเช่นเดียวกัน โดยอัตราขยายมีค่าเป็น $G_m(\text{dB}) = 20 \log(i_{out}/v_{in})$ และนำค่าที่ได้จากการปรับค่าความต้านทานและอัตราขยายมาเปรียบเทียบจะได้ดังกราฟในรูปที่ 4.7 ในการปรับค่าความต้านทานจะทำให้ผลรวมความผิดเพี้ยน (THD) ลดลงดังแสดงในรูปที่ 4.8

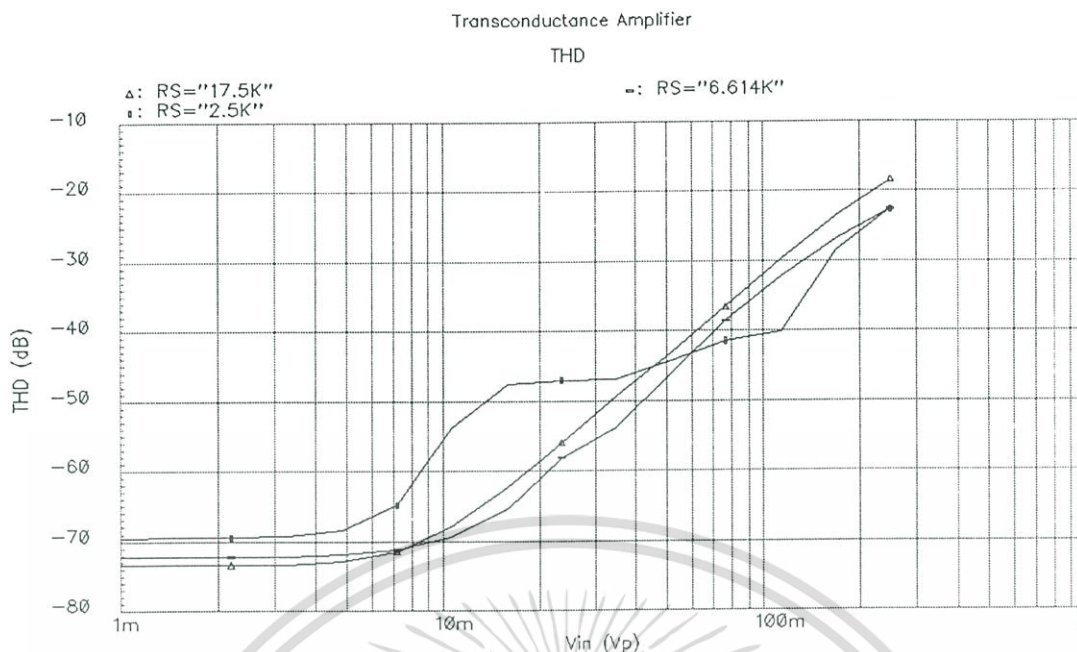


รูปที่ 4.6 การปรับอัตราขยายทรานส์คอนดักเตนซ์เมื่อปรับค่า R_S จาก 2.5 ถึง 17.5 กิโลโอห์ม



รูปที่ 4.7 กราฟความสัมพันธ์การปรับค่า R_S กับอัตราขยายทรานส์คอนดักเตนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ของกระแสที่เอาต์พุต

4.3.2.3 สรุปผลจำลองการทำงาน

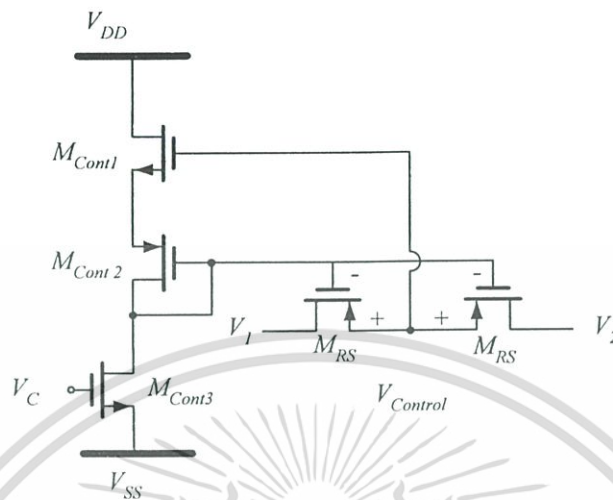
จากผลการจำลองการทำงานในรูปที่ 4.6 - 4.8 สรุปได้ว่าวงจรขยายทรานส์คอนดักแตนซ์แบบชอร์ต-ดีเจนเนอเรชันในรูปที่ 4.5 สามารถทำงานแรงดันต่ำได้ดี ปรับอัตราขยายโดยใช้เทคนิคการป้อนกลับอัตราขยายขึ้นอยู่กับความต้านทาน R_S ซึ่งปรับค่าความต้านทานเป็นล็อกการิทึมจะได้อัตราขยายที่เป็นเชิงเส้น โดยเป็นล็อกการิทึมเช่นกัน แบนด์วิดท์ไม่ขึ้นกับค่าความต้านทานจึงไม่มีการเปลี่ยนแปลง พิสัยพลวัตมากขึ้นเมื่อเพิ่มค่าความต้านทาน สามารถยืนยันได้โดยการจำลองผลรวมความผิดเพี้ยนของกระแสที่เอาต์พุตดังรูปที่ 4.8

4.2.4 วงจรตัวต้านทานสำหรับการปรับอัตราขยายทรานส์คอนดักแตนซ์

ตัวต้านทานมีความจำเป็นสำหรับการออกแบบวงจรรวม ทำหน้าที่เพิ่มประสิทธิภาพการทำงานของวงจร แต่เนื่องจากตัวต้านทานที่ออกแบบโดยใช้สารกึ่งตัวนำโดยตรงมีผลทำให้ขนาดของวงจรรวมใหญ่ ดังนั้นจึงมีการนำเอาทรานซิสเตอร์ชนิดมอสมาทำการออกแบบตัวต้านทานในวงจรปรับอัตราขยายทรานส์คอนดักแตนซ์ที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้ แต่เนื่องจากการออกแบบโดยใช้เทคนิคชอร์ต-ดีเจนเนอเรชันที่ใช้แรงดันไฟเลี้ยงต่ำและกระแสต่ำ ทำให้การออกแบบวงจรแทนความต้านทาน R_S มีความยากเนื่องจากต้องการความต้านทาน R_S มีค่ามากกว่าเมื่อวงจรขยายทรานส์คอนดักแตนซ์ที่มีการใช้กระแสไปอ้อมมาก ดังนั้นเราจึงเลือกใช้งานทรานซิสเตอร์ที่ทำงานย่านเริ่มอ้อมตัว (weak inversion) เนื่องจากคุณสมบัติของทรานซิสเตอร์ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานย่านนี้มีความสามารถปรับค่าความต้านทานได้เป็นเชิงเส้นแบบลอการิทึมและมีประสิทธิภาพสูงสุดโดยวงจรที่นำมาใช้แสดงในรูปที่ 4.9



รูปที่ 4.9 วงจรแทนตัวต้านทาน โดยใช้ทรานซิสเตอร์ชนิดมอส

รูปที่ 4.9 แสดงวงจรตัวต้านทาน โดยใช้ทรานซิสเตอร์ชนิดมอส M_{RS} ถูกควบคุมแรงดันกระแส-ชอร์สโดย V_{GS} ของ M_{Cont1} และ M_{Cont2} โดยที่

$$V_{control} = V_{GS, M_{cont1}} + V_{GS, M_{cont2}} \quad (4.10)$$

เมื่อ M_{Cont1} และ M_{Cont2} ทำงานย่านเริ่มอิมตัว (Weak inversion region) ซึ่ง V_{GS} กำหนดได้เป็น

$$V_{GS} = \eta V_T \ln \left(\frac{I_D}{\mu_n C_{OX} \frac{W}{L}} \right) \quad (4.11)$$

โดยที่ความต้านทานระหว่างกระแส-ชอร์สของ M_{RS} ที่ทำงานย่านเริ่มอิมตัว

$$g_{ds} = \frac{\partial I_D}{\partial V_{DS}} = \frac{\mu_n C_{OX}}{V_T} \frac{W}{L} e^{\left(\frac{V_{GS} - \eta V_{DS}}{\eta V_T} \right)} \quad (4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{ds} = \frac{1}{g_{ds}} = \frac{1}{\frac{\mu_n C_{OX}}{V_T} \frac{W}{L} e^{\left(\frac{V_{GS} - \eta V_{DS}}{\eta V_T}\right)}} \tag{4.13}$$

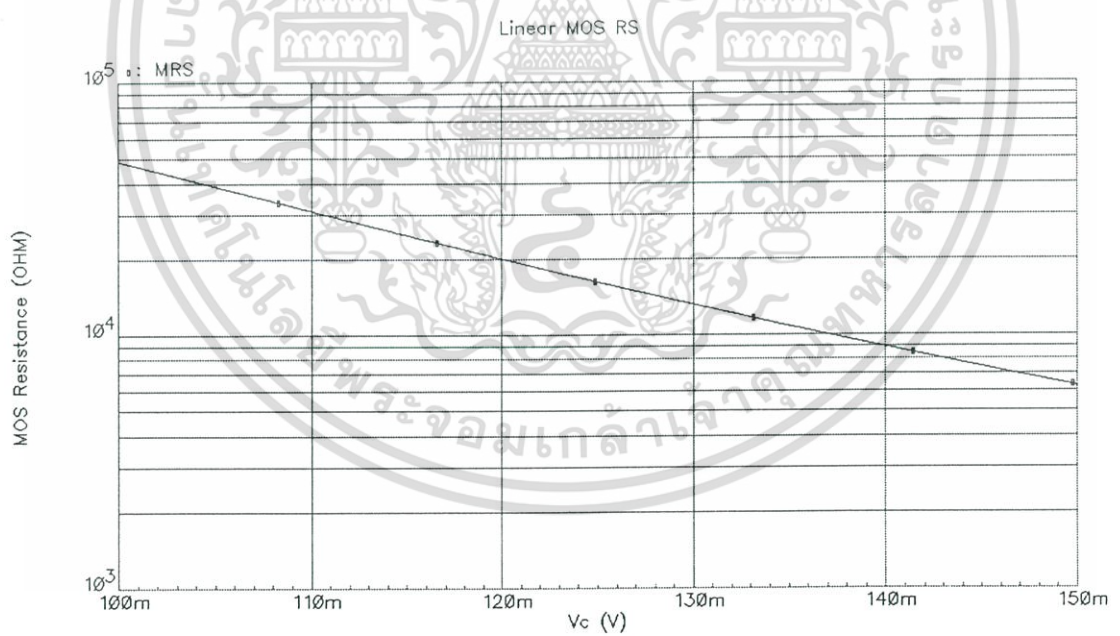
จากสมการเราสามารถปรับความต้านทานทรานซิสเตอร์ให้มีความเป็นเชิงเส้นในแกนลอการิทึม โดยการปรับ V_{GS} เป็นแบบเชิงเส้น

4.2.4.1 การจำลองการทำงาน

ในการจำลองการทำงานความเป็นเชิงเส้นของตัวต้านทานที่ใช้มอสในรูปที่ 4.9 โดยการกำหนดอัตราส่วนของทรานซิสเตอร์ต่าง ๆ คือ $W_{RS}/L_{RS}=120\mu\text{m} /0.2 \mu\text{m}$ $W_{Control1}/L_{Control1}=5\mu\text{m} /0.2\mu\text{m}$ $W_{Control2}/L_{Control2}=2.5\mu\text{m} /0.2 \mu\text{m}$ $W_{Control3}/L_{Control3}=2\mu\text{m} /11 \mu\text{m}$ แรงดันควบคุมตั้งแต่ 105mV ถึง 150 mV โดยมีการปรับแรงดันแบบเป็นเชิงเส้น

4.2.4.2 ผลการจำลองการทำงาน

ผลการจำลองการทำงานของวงจรแทนตัวต้านทานโดยใช้ทรานซิสเตอร์ชนิดมอสแสดงในรูปที่ 4.10 โดยเมื่อเราทำการปรับค่าแรงดัน V_C เพื่อให้ทรานซิสเตอร์ $M_{Control,3}$ ซึ่งทำงานย่านอิมิตัวแบบอ่อน (weak inversion) สร้างกระแสอีกไปเป็นเชิงเส้นเพื่อสร้างแรงดันควบคุม $V_{Control}$ สร้างความต้านทานระหว่างโหนด V_1 และ V_2



รูปที่ 4.10 ผลการจำลองการทำงานของวงจรแทนตัวต้านทาน R_S โดยใช้ทรานซิสเตอร์ชนิดมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4.3 สรุปผลการจำลองการทำงาน

เมื่อนำเอาวงจรในรูปที่ 4.9 มาจำลองการทำงาน โดยผลแสดงในรูปที่ 4.10 นั้นจะเห็นได้ว่า เราสามารถสร้างตัวต้านทานเพื่อนำมาแทนความต้านทาน R_S โดยทรานซิสเตอร์ทั้งหมดทำงานในย่านอิมิต์แบบอ่อน ความต้านทาน R_S ที่ได้มีความเป็นเชิงเส้นเมื่อเปรียบเทียบกับแรงดันควบคุม V_C

4.2.5 วงจรขยายทรานส์คอนดักแตนซ์ที่ปรับอัตราขยายได้แบบซอร์สดีเจนเนอเรชั่น

หลังจากที่เราได้กล่าวเกี่ยวกับวงจรขยายทรานส์คอนดักแตนซ์แบบซอร์สดีเจนเนอเรชั่น แบบใช้แรงดันต่ำ และวงจรแทนตัวต้านทานโดยใช้ทรานซิสเตอร์ชนิดมอส เราจะทำการนำเอา วงจรทั้งหมดที่กล่าวมาข้างต้น เพื่อสร้างวงจรขยายทรานส์คอนดักแตนซ์ที่ปรับอัตราขยายได้โดยใช้ ตัวต้านทานที่สร้างมาจากทรานซิสเตอร์ชนิดมอสดังแสดงในรูปที่ 4.9 มาแทนความต้านทาน R_S ใน วงจรรูปที่ 4.5 แล้วทำการจำลองการทำงานเพื่อทดสอบคุณสมบัติการปรับอัตราขยายดังนี้

4.2.5.1 การจำลองการทำงาน

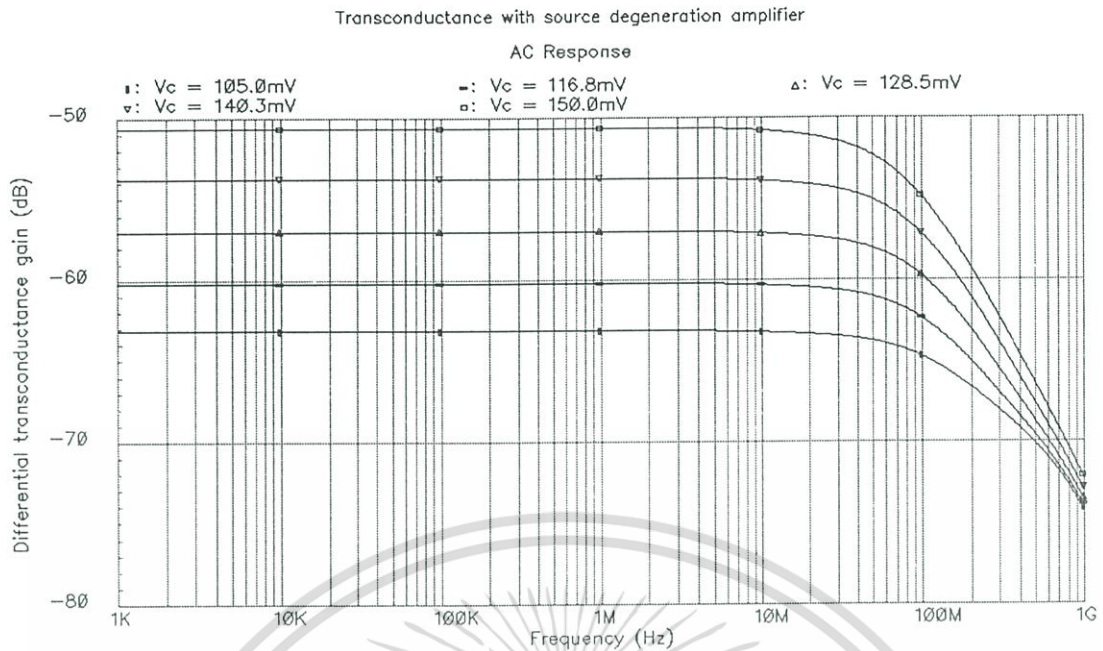
ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.5 และใช้ตัวต้านทานแบบมอสดังแสดงใน รูปที่ 4.9 แทนตัวต้านทาน R_S โดยกำหนดค่าให้ $W_1/L_1=60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2=9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3=36\mu\text{m}/0.4\mu\text{m}$ $W_{RS}/L_{RS}=120\mu\text{m}/0.2\mu\text{m}$ $W_{\text{Control1}}/L_{\text{Control1}}=5\mu\text{m}/0.2\mu\text{m}$ $W_{\text{Control2}}/L_{\text{Control2}}=2.5\mu\text{m}/0.2\mu\text{m}$ $W_{\text{Control3}}/L_{\text{Control3}}=2\mu\text{m}/11\mu\text{m}$ แรงดันควบคุมตั้งแต่ 105mV ถึง 150 mV โดยมีการปรับแรงดันแบบเป็นเชิงเส้น

4.2.5.2 ผลการจำลองการทำงาน

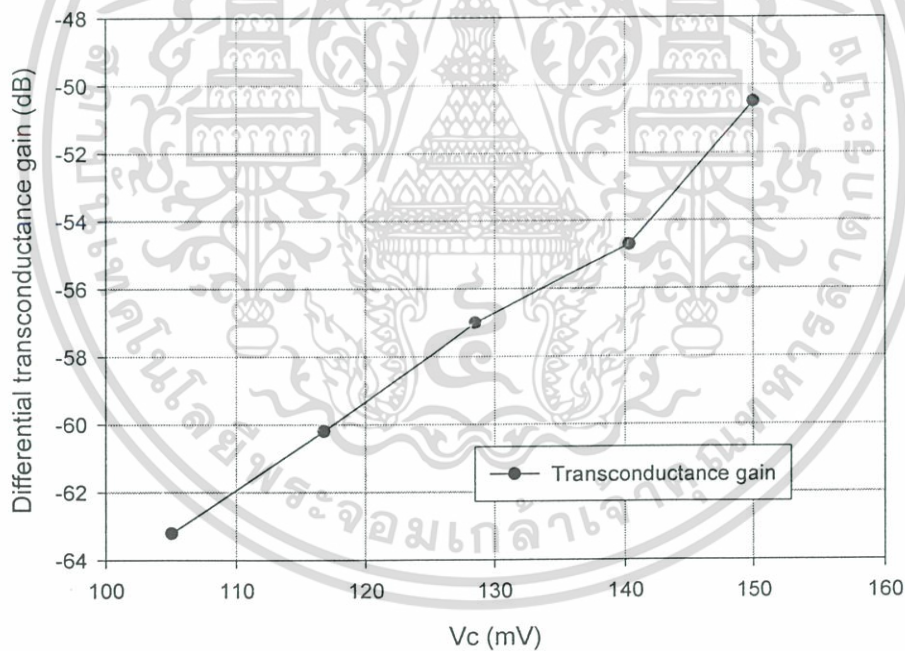
ผลการจำลองการทำงานของวงจรในรูปที่ 4.5 โดยใช้ความต้านทานแบบมอสในรูปที่ 4.9 แทนตัวต้านทาน R_S เมื่อทำการปรับค่าแรงดัน V_C ทำให้เกิดความต้านทานที่ทรานซิสเตอร์ M_{RS} ใน รูปที่ 4.11 แสดงผลของอัตราขยายที่ได้จากการปรับแรงดัน V_C โดยเราสามารถเปรียบเทียบผลของ อัตราขยายเทียบกับแรงดัน V_C ที่เปลี่ยนไปดังแสดงในรูปที่ 4.12 และผลของความผิดเพี้ยนรวมทั้ง ปรับค่าแรงดัน V_C แสดงในรูปที่ 4.13

4.2.5.3 สรุปผลการจำลองการทำงาน

จากที่กล่าวในหัวข้อที่ผ่านมา เราสามารถสร้างตัวต้านทานแบบมอสแทนตัวต้านทานแบบ อุดมคติได้โดยอาศัยการทำงานของทรานซิสเตอร์ชนิดมอสในย่านเริ่มอิมิต์ (weak inversion) โดย สามารถยืนยันการทำงาน โดยผลที่ได้จากการจำลองการทำงานที่ได้แสดงในรูปที่ 4.11-4.13

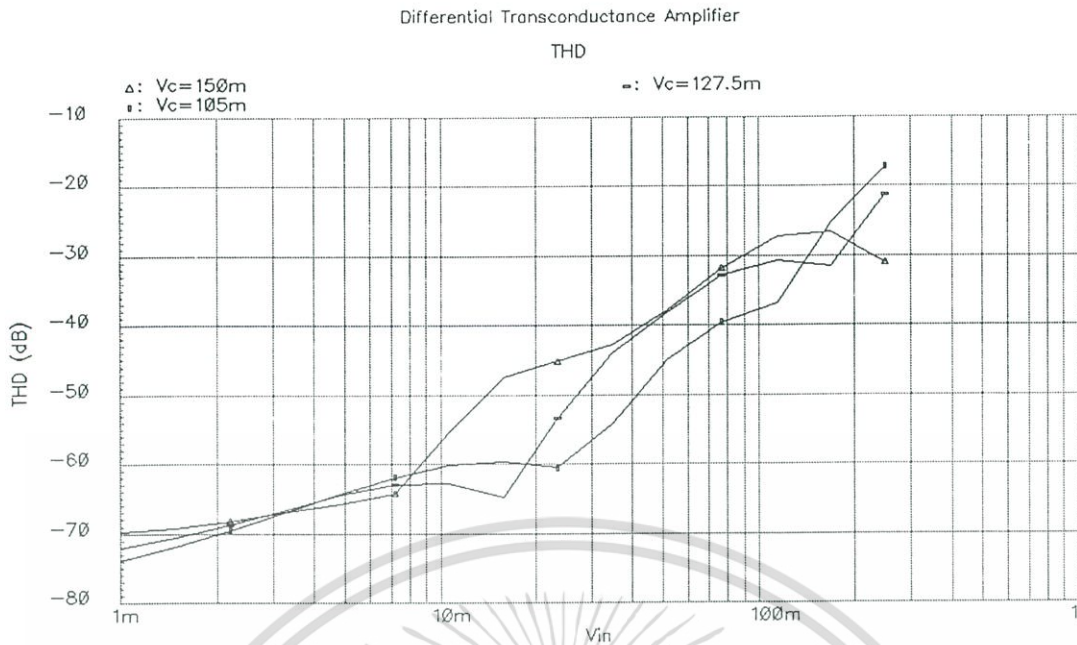


รูปที่ 4.11 อีกรายขยายทรานส์คอนคักเตนซ์แบบซอสดีเจนเนอเรชั่น



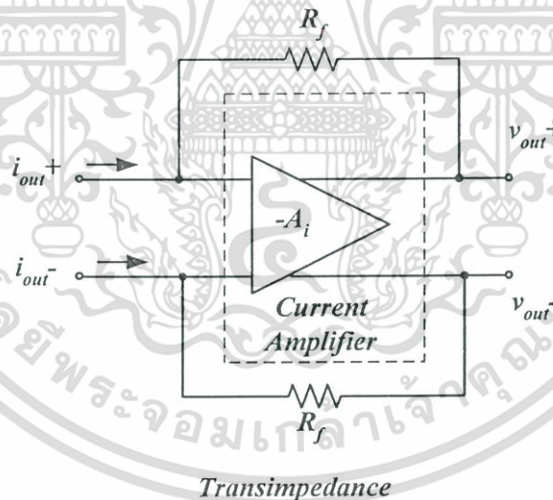
รูปที่ 4.12 กราฟความสัมพันธ์ระหว่างการปรับค่า V_c กับอีกรายขยายทรานส์คอนคักเตนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ของกระแสที่เอาต์พุต

4.2.6 วงจรขยายทรานส์อิมพีแดนซ์ (transimpedance amplifier)



รูปที่ 4.14 โครงสร้างวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส [22]

วงจรขยายทรานส์อิมพีแดนซ์ เป็นวงจรขยายชนิดหนึ่งที่มีฟังก์ชันการถ่ายโอนสัญญาณเอาต์พุตจากอินพุตเป็นแรงดันต่อกระแส สิ่งที่สำคัญสำหรับวงจรขยายทรานส์อิมพีแดนซ์คือการกำหนดให้ความต้านทานด้านอินพุตต่ำในขณะที่ความต้านทานด้านเอาต์พุตควรต่ำเพื่อให้สามารถนำไปใช้กับวงจรภาคถัดไปได้ดี ข้อดีของวงจรคือสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

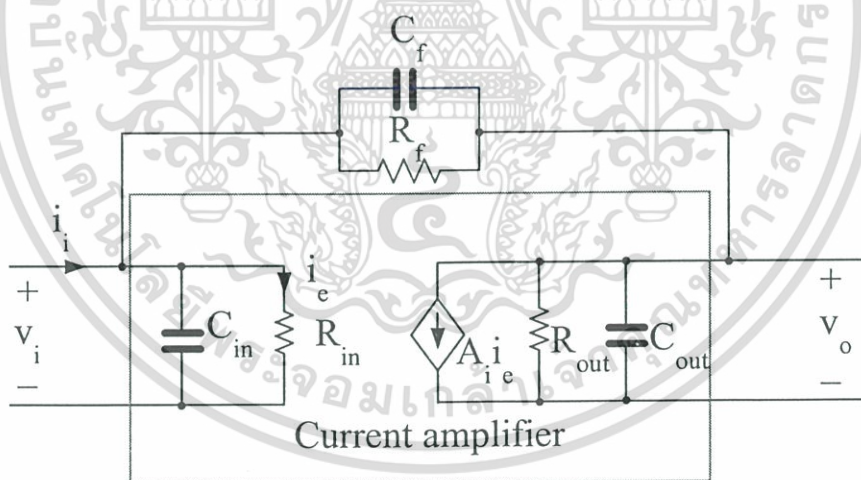
ทำงานได้ที่ความถี่สูงเนื่องจากวงจรทำงานในโหมดกระแสในขณะที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำได้ โดย วงจรทรานส์อิมพีแดนซ์สามารถออกแบบได้จากทั้งวงจรรขยายกระแสและแรงดันอาศัยเทคนิคการ ป้อนกลับแบบต่าง ๆ ดังที่เคยนำเสนอมา ในที่นี้เราจะนำเสนอการออกแบบวงจรรขยายทรานส์ อิมพีแดนซ์ที่ออกแบบโดยใช้วงจรรขยายกระแส จากรูปที่ 4.14 ตามที่กล่าวมาแล้วเราสามารถนำเอา วงจรรขยายกระแสมาออกแบบเป็นวงจรรทรานส์อิมพีแดนซ์ได้โดยใช้ความต้านทาน R_f ทำหน้าที่ ป้อนกลับกระแสไปยังอินพุท เราสามารถแสดงอัตรารขยายทรานส์อิมพีแดนซ์ได้คือ

$$R_m = \frac{v_o}{i_i} = \frac{-R_f A_i - R_m}{1 + A_i} \quad (4.14)$$

ถ้ากำหนดให้ $A_i \gg 1$ เราสามารถประมาณได้ว่า

$$R_m \approx -R_f \quad (4.15)$$

เมื่อพิจารณาวงจรจำลองสัญญาณขนาดเล็กดังแสดงในรูปที่ 4.15 เราสามารถหา อัตรารขยายทรานส์อิมพีแดนซ์ได้ดังสมการที่ (4.16)



Transimpedance amplifier

รูปที่ 4.15 วงจรจำลองสัญญาณขนาดเล็กของวงจรรทรานส์อิมพีแดนซ์ [22]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_m = \frac{v_o}{i_i} = R_f \left(\frac{A_i - R_{in}/R_f - sC_f R_{in}}{R_f + R_{in} + sR_f R_{in} (C_f + C_{in})} \right) \times \left(\frac{1}{R_f} + \frac{1}{R_L} + \frac{1}{R_{out}} + sC_T + \frac{A_i - R_{in}/R_f - s^2 C_f (R_f A_i - 2R_{in})}{R_f + R_{in} + sR_f R_{in} (C_f + C_{in})} \right) \quad (4.16)$$

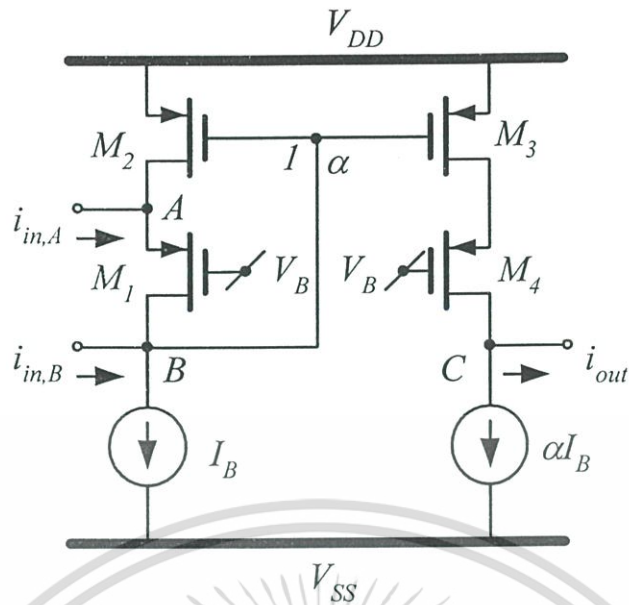
- เมื่อ R_{in} คือความต้านทานที่อินพุท
 R_o คือความต้านทานที่เอาต์พุท
 R_f คือความต้านป้อนกลับ
 R_L คือความต้านทานของโหลด
 C_{in} คือค่าเก็บประจุด้านอินพุท
 C_{out} คือค่าเก็บประจุด้านเอาต์พุท
 C_L คือค่าเก็บประจุของโหลด
 C_f คือค่าเก็บประจุป้อนกลับ

และ $C_T = C_f + C_L + C_o$

จะเห็นได้จากสมการที่ (4.16) ความต้านทาน R_f มีความสัมพันธ์กับความถี่แบนด์วิดท์น้อยมาก

4.2.6.1 วงจรขยายกระแส

วงจรขยายกระแสเป็นวงจรที่ทำหน้าที่ขยายกระแสสัญญาณในโหมดกระแส นั่นคือ สัญญาณอินพุทและเอาต์พุทของวงจรเป็นกระแส คุณสมบัติของวงจรกระแสที่อยู่ในวงจรถ้าความต้านทานอินพุทน้อยและความต้านทานเอาต์พุทมาก เหมาะสำหรับแหล่งจ่ายสัญญาณที่มีขนาดความต้านทานใหญ่แต่ต้องการขับ โหลดความต้านทานเล็ก วงจรขยายกระแสที่นำมาใช้งานในวิทยานิพนธ์ฉบับนี้คือวงจรขยายกระแสที่สร้างโดยวงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง ดังแสดงในรูปที่ 4.16



รูปที่ 4.16 วงจรขยายกระแสแบบแรงดันแกว่งกว้าง

วงจรขยายกระแสแบบแรงดันแกว่งกว้าง หรือวงจรสะท้อนกระแสแบบแรงดันแกว่งกว้าง เป็นวงจรขยายกระแสที่เหมาะสมสำหรับการใช้งานที่แหล่งจ่ายแรงดันต่ำ การทำงานของวงจร M_1 และ M_4 ทำหน้าที่เป็นวงจรบัฟเฟอร์กระแส และกำหนดแรงดันครั้น-ซอร์สของทรานซิสเตอร์ M_2 และ M_3 ทำให้เกิดความเป็นเชิงเส้นในการขยายสัญญาณความต้านทานอินพุทของวงจรมีค่าน้อย โดยอินพุทของวงจรสามารถเป็นได้ทั้งโหนด A และ โหนด B โดยมีค่าความต้านทานอินพุทที่โหนด A เป็น

$$R_{in,A} = \frac{g_{ds1}}{g_{m1}g_{m2}} \quad (4.17)$$

และความต้านทานอินพุทที่โหนด B เป็น

$$R_{in,B} = \frac{1}{g_{m1}} \quad (4.18)$$

ความต้านทานเอาต์พุทที่โหนด C มีค่ามากคือ

$$R_{out} = \frac{g_{m4}}{g_{ds3}g_{ds4}} \quad (4.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6.1.1 การจำลองการทำงาน

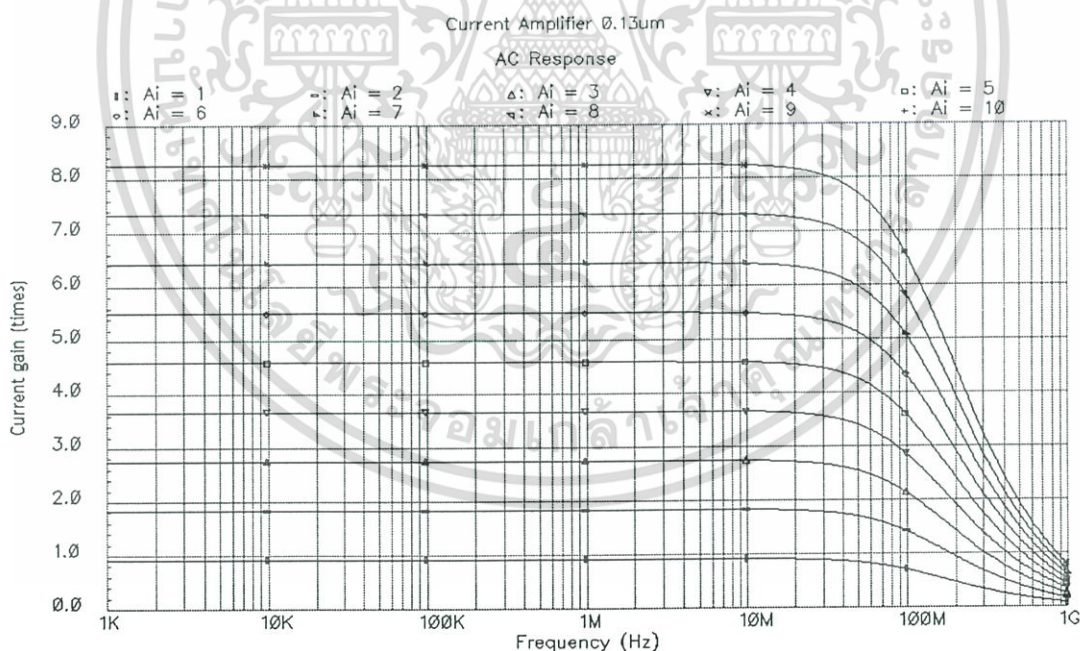
ในการจำลองการทำงานใช้วงจรในรูปที่ 4.16 โดยกำหนดให้ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ $W_4/L_4 = 240\mu\text{m}/0.2\mu\text{m}$ และทดสอบการปรับค่าอัตราขยายกระแส $A_i = 1 - 10$ โดยทำการวัดอัตราขยายกระแสของวงจร

4.2.6.1.2 ผลการจำลองการทำงาน

รูปที่ 4.17 และ 4.18 แสดงอัตราขยายกระแสที่เอาท์เมื่อทำการป้อนสัญญาณกระแสอินพุทที่ โหนด A และ B ตามลำดับโดยค่าความต้านทานของโหนด A และที่ โหนด B แสดงในรูปที่ 4.19 ในส่วนของความต้านทานเอาท์พุทที่ โหนด C เมื่อมีการปรับอัตราขยายแสดงในรูปที่ 4.20 อัตราขยายของวงจรขยายกระแสมีผลน้อยต่อความเป็นเชิงเส้นของสัญญาณเอาท์พุทดังแสดงในรูปที่ 4.21

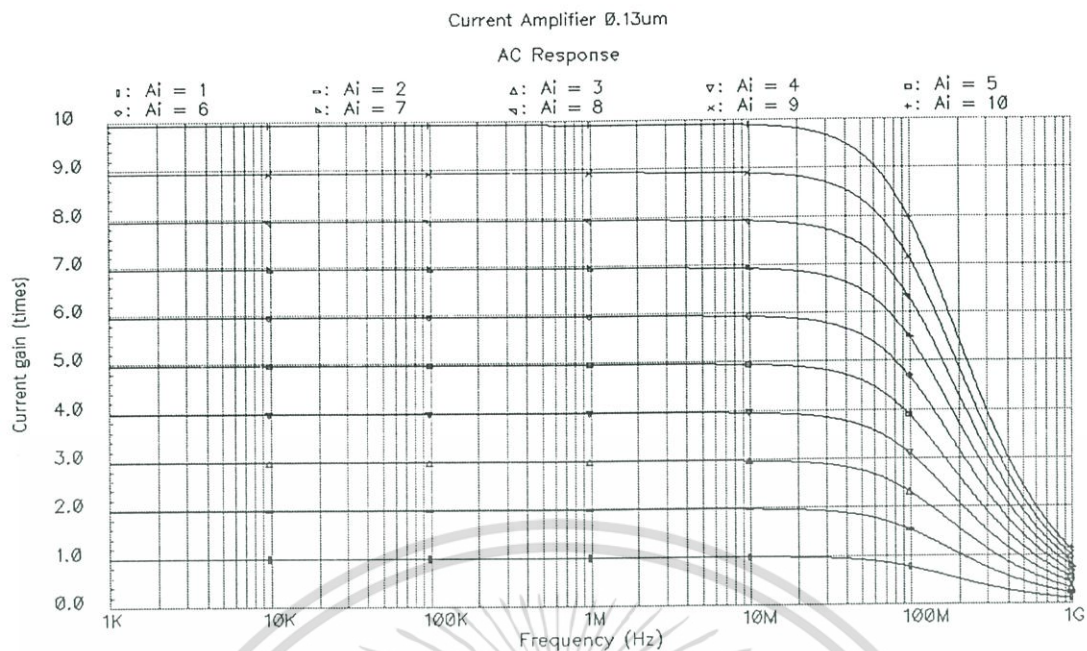
4.2.6.1.3 สรุปผลจำลองการทำงาน

คุณสมบัติของวงจรขยายกระแสแบบแรงดันแกว่งกว้างสามารถกำหนดอินพุทของสัญญาณได้ที่ โหนดอินพุท A และ B ค่าความต้านทานที่ โหนดอินพุท A และ B มีค่าน้อยมาก และค่าความต้านทานที่ โหนดเอาท์พุท C มีค่ามาก เป็นคุณสมบัติที่ดีสำหรับการออกแบบวงจรขยายกระแสดังที่เคยกล่าวในบทที่ 2

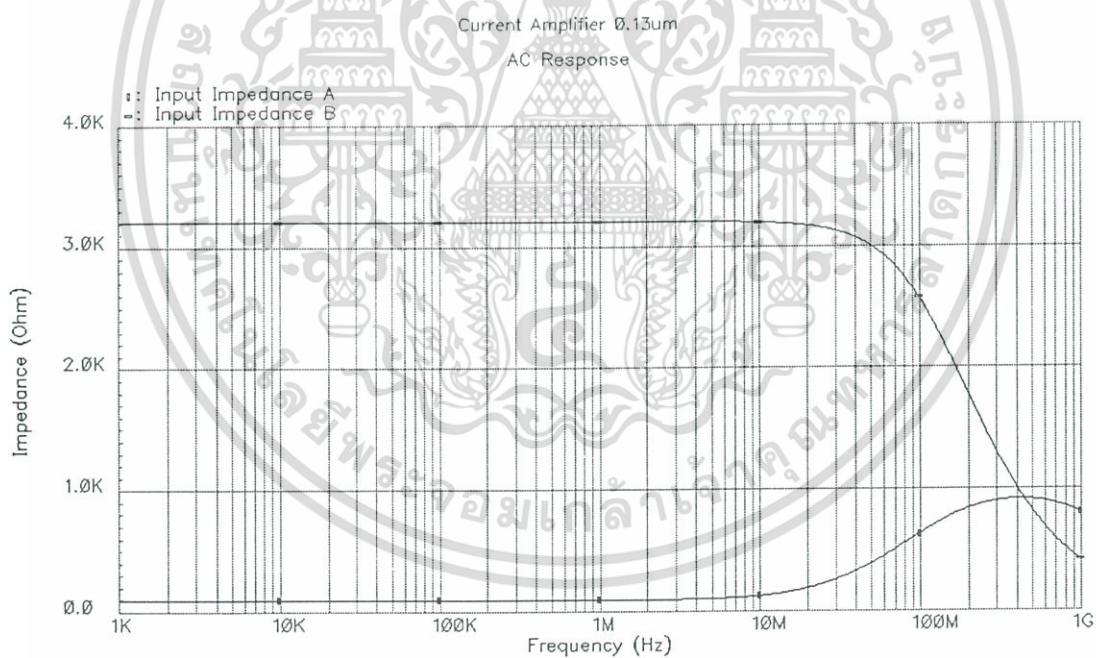


รูปที่ 4.17 ผลจำลองอัตราขยายกระแสเมื่อมีสัญญาณอินพุทที่ โหนด A และ $A_i=1\sim 10$ เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

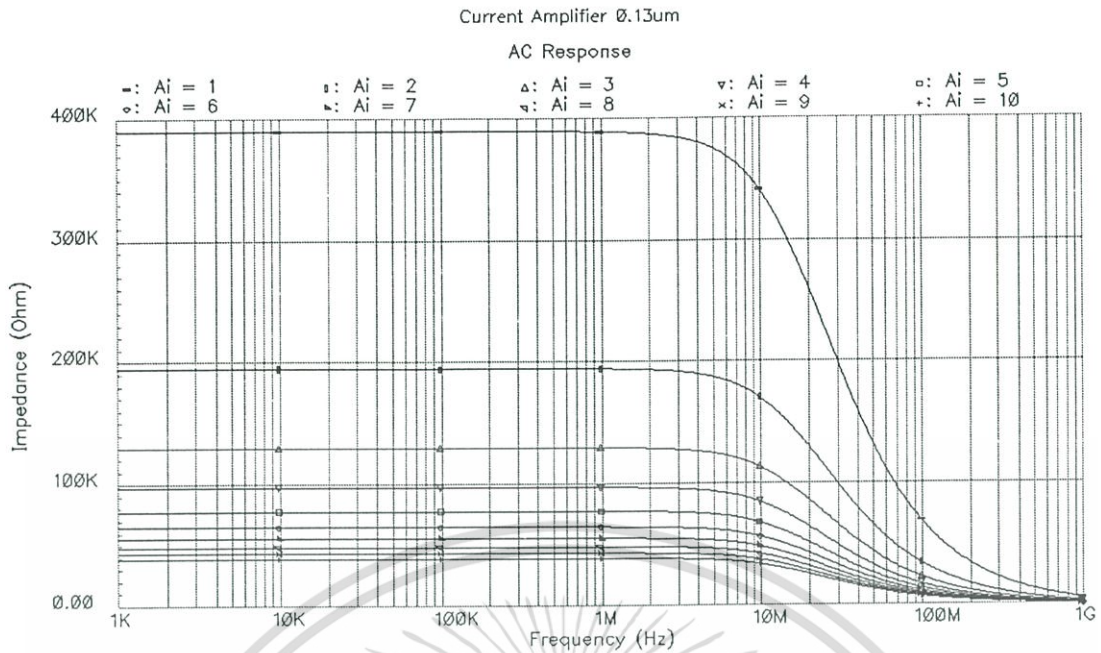


รูปที่ 4.18 ผลจำลองอัตรายขยายกระแสเมื่อมีสัญญาณอินพุตที่โหนด B และ $A_i=1\sim 10$ เท่า



รูปที่ 4.19 ผลจำลองการทำงานค่าความต้านทานอินพุตที่โหนด A และ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 ผลจำลองการทำงานค่าความต้านทานเอาต์พุตที่โหนด C เมื่อ $A_i = 1 \sim 10$ เท่า



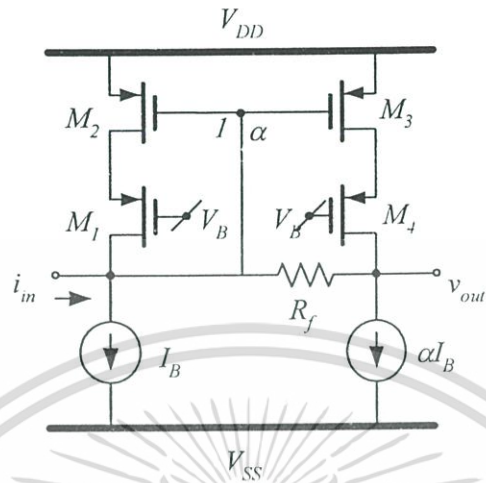
รูปที่ 4.21 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ของกระแสที่เอาต์พุต

4.2.6.2 วงจรขยายทรานส์อิมพีแดนซ์ใช้แรงดันไฟเลี้ยงต่ำ

วงจรขยายทรานส์อิมพีแดนซ์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้เป็นวงจรทรานส์อิมพีแดนซ์ที่ออกแบบจากวงจรถ่ายกระแสแบบแรงดันแกว่งกว้าง เหมาะสำหรับใช้งานที่แหล่งจ่ายไฟเลี้ยงต่ำ ดังแสดงในรูปที่ 4.22 โดยที่ M_1 - M_4 ทำหน้าที่เป็นวงจรถ่ายกระแสที่มีอัตราขยายกระแสเท่ากับ α และ R_f คือความต้านทานป้อนกลับเพื่อสร้างฟังก์ชันถ่ายโอนแบบ ทรานส์อิมพีแดนซ์ (v_{out}/i_{in}) ซึ่งมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าดังแสดงในสมการที่ (4.20) เมื่อ $g_{ds} \ll g_m$, $g_f = 1/R_f$, $C_2 = c_{gs2} + c_{gs3} = c_{gs2} + c_{gs3} = c_{gs2} (1 + \alpha)$ และ $g_{m3} = \alpha g_{m2}$



รูปที่ 4.22 วงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแสใช้แรงดันไฟเลี้ยงต่ำ

เราสามารถหาความสัมพันธ์ของแรงดันเอาต์พุตต่อกระแสอินพุตของวงจรเป็น (สมการที่ (ก17) ภาคผนวก ก.2)

$$\frac{v_{out}}{i_{in}} = R_m = \frac{g_{m1}(g_f - g_{m3})}{g_f(s^2 C_{gs1} C_2 + s(C_{gs1} g_{m3} + C_2 g_{m1}) + g_{m1}(g_{m2} + g_{m3}))} \quad (4.20)$$

ที่อัตราขยายทรานส์อิมพีแดนซ์ที่ความถี่ต่ำ (R_{m0}) ดังแสดงในสมการที่ (4.21)

$$R_{m0} = \frac{g_f - \alpha g_{m2}}{g_f g_{m2} (1 + \alpha)} = \frac{g_f - \alpha g_{m2}}{g_f g_{m2}} \cdot \frac{1}{(1 + \alpha)} \quad (4.21)$$

ถ้ากำหนดให้ $\alpha \gg 1$ ค่าทรานส์อิมพีแดนซ์ R_m และ R_{m0} สามารถประมาณได้เป็นดังสมการที่ (4.22) และ (4.23)

$$R_m \approx \frac{\frac{g_{m1}}{C_{gs1}} \left(1 - \frac{1}{g_f} \frac{\alpha g_{m2}}{C_2} \right)}{s^2 + s \left(\frac{\alpha g_{m2}}{C_2} + \frac{g_{m1}}{C_{gs1}} \right) + \frac{g_{m1}}{C_{gs1}} \cdot \frac{\alpha g_{m2}}{C_2}} \quad (4.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{m0} \approx -\frac{1}{g_f} = -R_f \quad (4.23)$$

วงจรถรานส์อิมพีแดนซ์มีความถี่โพลคู่สองความถี่คือที่

$$\omega_{p1} = -\frac{g_{m1}}{C_{gs1}} \quad (4.24)$$

และ

$$\omega_{p2} = -\frac{\alpha g_{m2}}{C_2} \approx -\frac{g_{m2}}{C_{gs2}} \quad (4.25)$$

ซึ่งมีค่าประมาณเท่ากับ f_T ของทรานซิสเตอร์ แสดงให้เห็นว่าวงจรมีช่วงความถี่การทำงานที่สูงมากและสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำและความถี่โพลที่สำคัญอยู่ที่โหนด

4.2.6.2.1 การจำลองการทำงาน

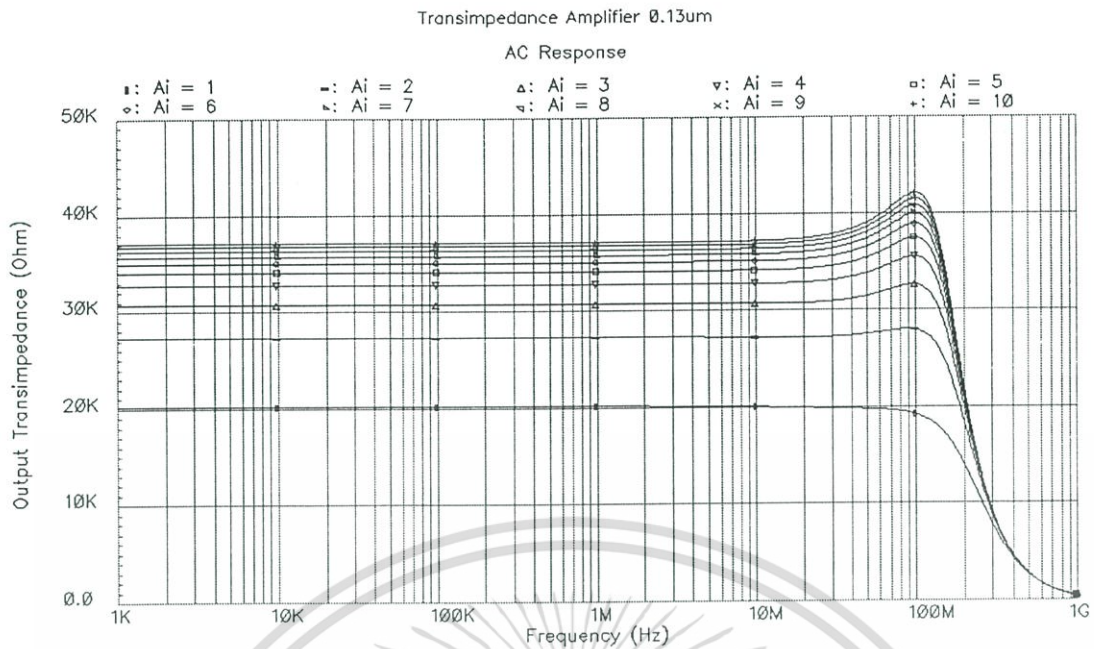
ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.22 โดยกำหนดให้ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ $W_4/L_4 = 60\mu\text{m}/0.2\mu\text{m}$ และกำหนดความต้านทาน $R_f = 50\text{K}\Omega$

4.2.6.2.2 ผลการจำลองการทำงาน

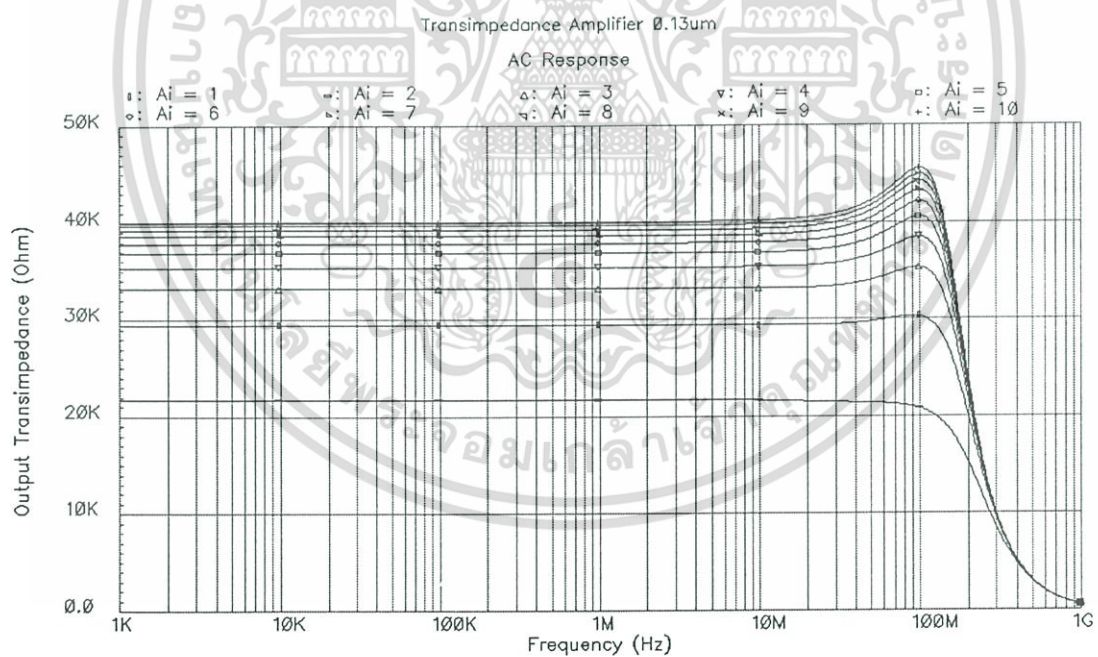
รูปที่ 4.23 และ 4.24 แสดงอัตรายขยายทรานส์อิมพีแดนซ์เมื่อทำการป้อนสัญญาณกระแสอินพุตที่โหนด A และ B ตามลำดับโดยการทำการปรับค่าอัตรายขยายสัญญาณกระแสจาก 1 เท่าถึง 10 เท่า

4.2.6.2.3 สรุปผลจำลองการทำงาน

จากผลการจำลองการทำงานในรูปที่ 4.23 และ 4.24 เมื่อทำการปรับค่าอัตรายขยายเพิ่มขึ้นค่าอัตรายขยายทรานส์อิมพีแดนซ์จะมีค่าเข้าใกล้ R_f มากซึ่งเป็นไปตามทฤษฎีที่ได้กล่าวไป แต่อย่างไรก็ตามเมื่อเพิ่มอัตรายขยายกระแสมากขึ้นยังมีการสูญเสียกำลังงาน ดังนั้นเราควรจึงเลือกค่าอัตรายขยายกระแสที่เหมาะสมในที่นี้เราเลือกอัตรายขยายกระแสเท่ากับ 4



รูปที่ 4.23 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f = 50$ กิโลโอห์ม และ $A_i = 1 \sim 10$ เท่าอินพุท
ที่โหนด A



รูปที่ 4.24 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f = 50$ กิโลโอห์ม และ $A_i = 1 \sim 10$ เท่าอินพุท
ที่โหนด B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6.3 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์

ตามที่ได้พิจารณาอัตราขยายทรานส์อิมพีแดนซ์ที่มีการป้อนกลับกระแสเมื่อมีอัตราขยายกระแส $A_v \gg 1$ เราสามารถประมาณได้ว่า

$$R_m \approx -R_f \quad (4.25)$$

จากสมการเราสามารถปรับอัตราขยายทรานส์อิมพีแดนซ์ได้จากค่าความต้านทาน R_f

4.2.6.3.1 การจำลองการทำงาน

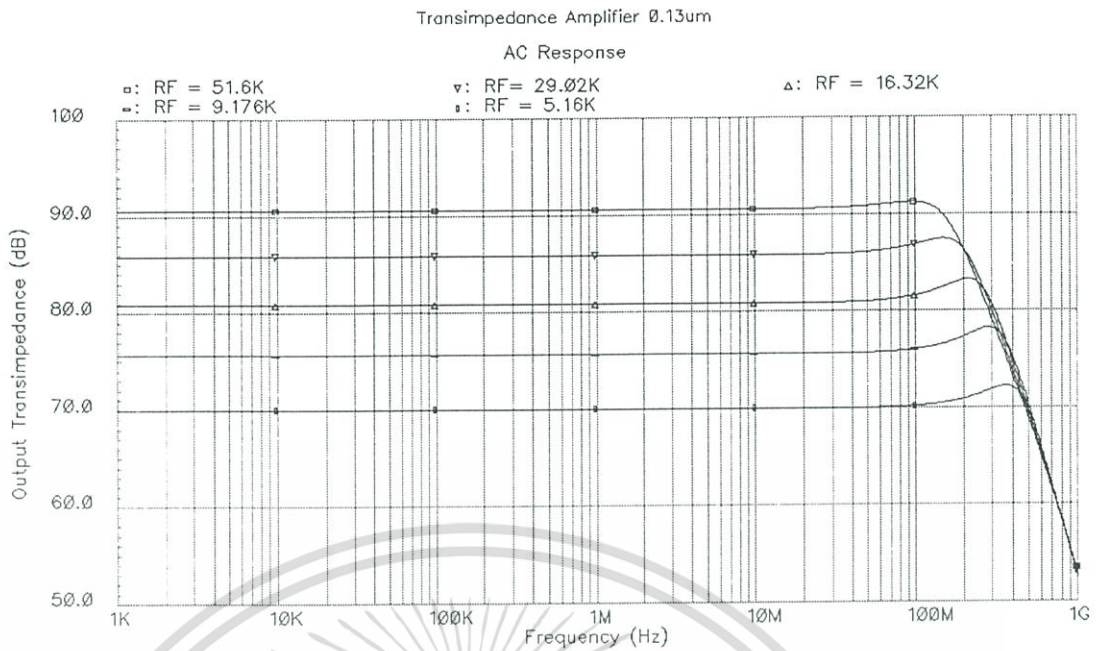
ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.22 โดยกำหนดให้ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$
 $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ $W_4/L_4 = 60\mu\text{m}/0.2\mu\text{m}$ $\alpha=4$ และกระแส $I_B = 50\mu\text{A}$

4.2.6.3.2 ผลการจำลองการทำงาน

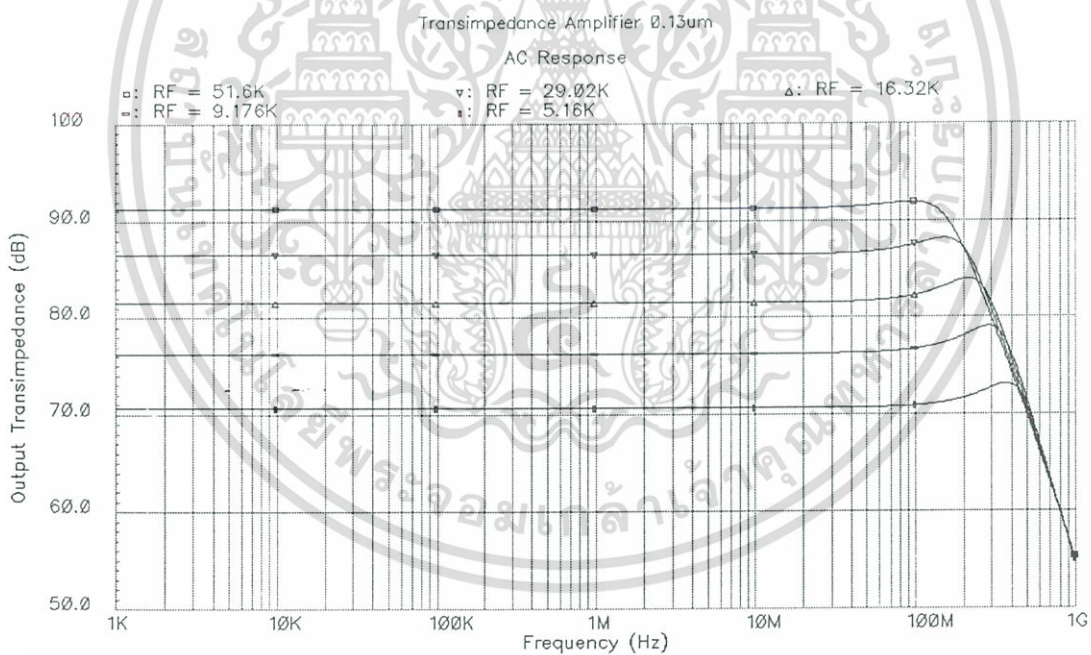
รูปที่ 4.25 และ 4.26 แสดงอัตราขยายทรานส์อิมพีแดนซ์ที่เอาต์พุตเมื่อทำการป้อนสัญญาณกระแสอินพุตที่โหนด A และ B ตามลำดับ โดยการทำการปรับค่าค่าความต้านทาน R_f ตั้งแต่ 5.16 K ถึง 51.6 K แบบเชิงเส้นลอการิทึม โดยเปรียบเทียบอัตราขยายทรานส์อิมพีแดนซ์เมื่อปรับค่าความต้านทาน R_f ดังแสดงในรูปที่ 4.27 และ 4.28 ตามลำดับ และผลการจำลองผลรวมความผิดเพี้ยนที่เกิดจากการป้อนสัญญาณอินพุตที่โหนด A และ B ดังแสดงในรูปที่ 4.29 และ 4.30 ตามลำดับ

4.2.6.3.3 สรุปผลจำลองการทำงาน

จากผลการจำลอง เราสามารถสรุปได้ว่าเราสามารถนำเอาวงจรรายกระแสแบบแรงดันแกว่งกว้างมาใช้ร่วมกับเทคนิคการป้อนกลับกระแสโดยใช้ความต้านทาน R_f ผลที่ได้จากการปรับค่าความต้านทาน R_f สามารถกำหนดอัตราขยายทรานส์อิมพีแดนซ์ได้อย่างเป็นเชิงเส้น

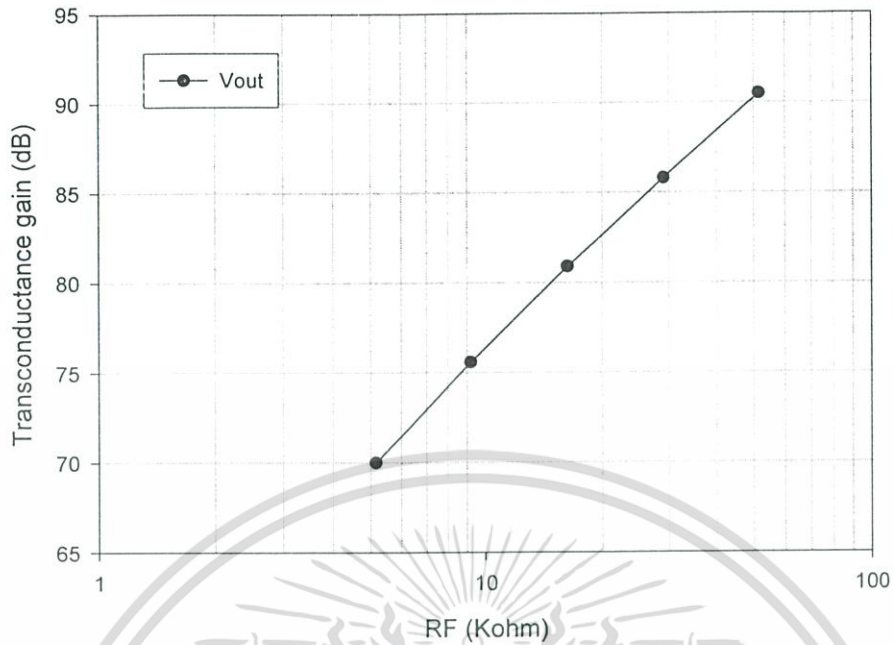


รูปที่ 4.25 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f = 5.16k \sim 51.6$ กิโลโอห์ม และ $A_i = 4$ เท่า อินพุตที่โหนด A

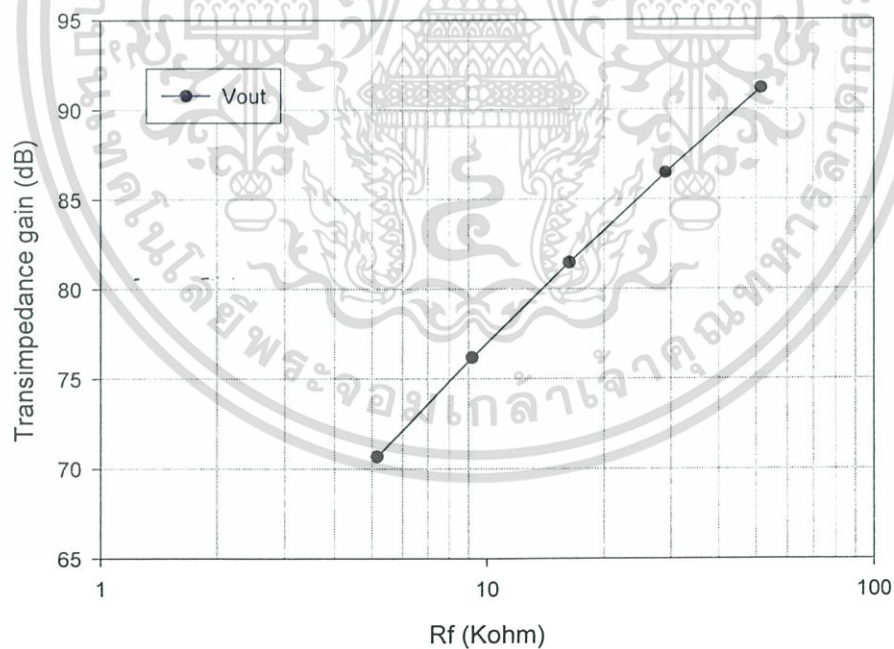


รูปที่ 4.26 ผลจำลองอัตราขยายทรานส์อิมพีแดนซ์เมื่อ $R_f = 5.16k \sim 51.6$ กิโลโอห์ม และ $A_i = 4$ เท่า อินพุตที่โหนด B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

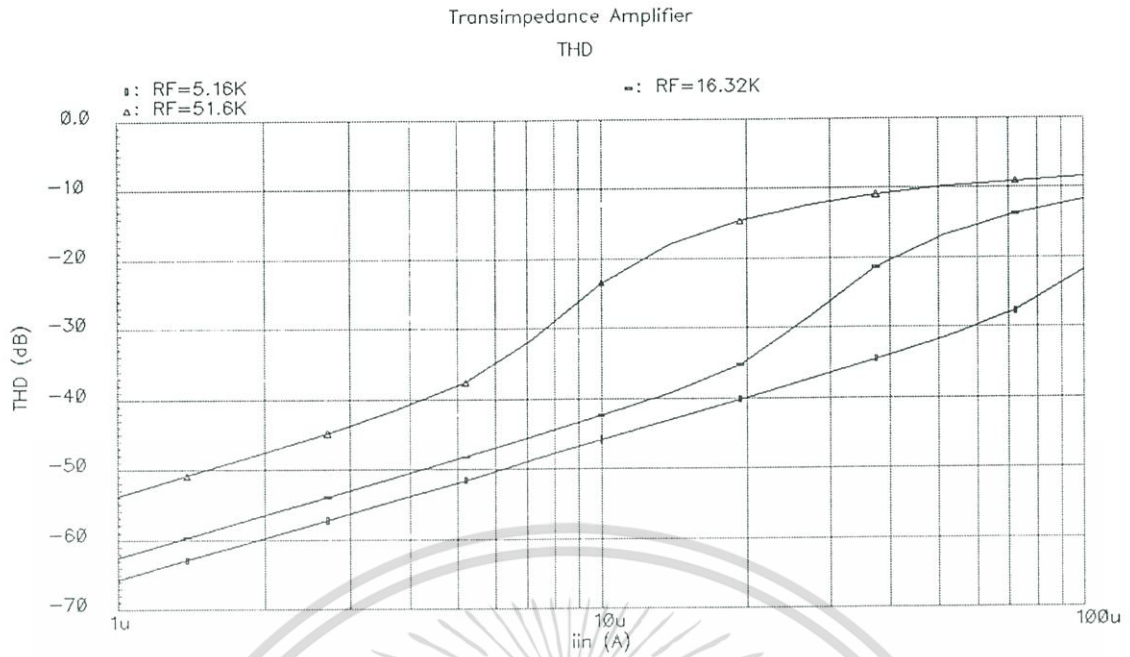


รูปที่ 4.27 ผลการเปรียบเทียบอัตราขยายเมื่อปรับความต้านทาน R_f เป็นเชิงเส้นแบบล็อกการิทึมเมื่อป้อนสัญญาณอินพุตที่โหนด A

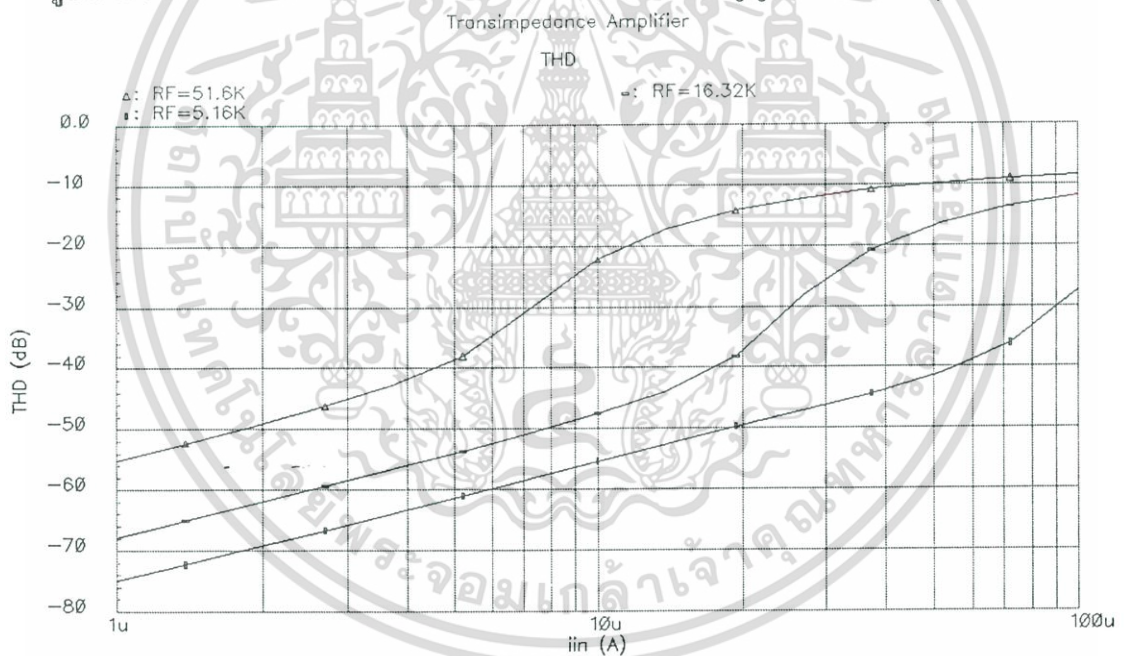


รูปที่ 4.28 ผลการเปรียบเทียบอัตราขยายเมื่อปรับความต้านทาน R_f เป็นเชิงเส้นแบบล็อกการิทึมเมื่อป้อนสัญญาณอินพุตที่โหนด B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



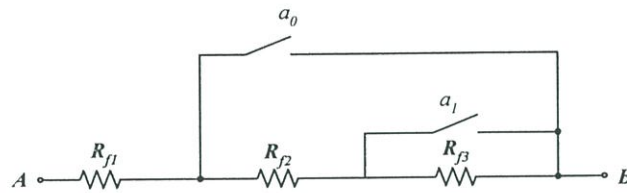
รูปที่ 4.29 ผลจำลองผลรวมความผิดเพี้ยน (THD) เมื่อป้อนสัญญาณกระแสอินพุตที่โหนด A



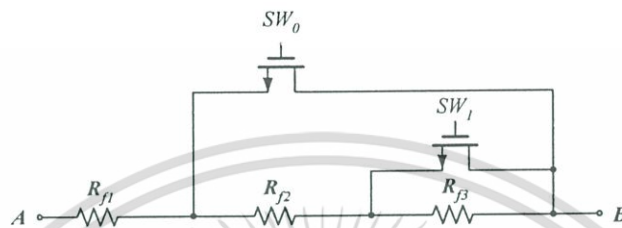
รูปที่ 4.30 ผลจำลองผลรวมความผิดเพี้ยน (THD) เมื่อป้อนสัญญาณกระแสอินพุตที่โหนด B

ในวงจร VGA นั้นการปรับอัตราขยายทำได้สองแบบตามที่กล่าวมาข้างต้นคือแบบต่อเนื่อง และ แบบโปรแกรม การปรับค่าความต้านทาน R_f ซึ่งมีขนาดใหญ่มากเป็นไปได้ยากที่จะสร้างตัวต้านทานจากทรานซิสเตอร์ดังนั้นการออกแบบวงจรสำหรับการปรับค่าความต้านทานจึงจำเป็นต้องใช้สวิตช์ดังแสดงในรูปที่ 4.31 และสามารถสร้างสวิตช์โดยใช้ทรานซิสเตอร์ดังแสดงในรูปที่ 4.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์โดยใช้สวิตช์



รูปที่ 4.32 วงจรสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์

ตามที่กล่าวมาแล้วในบทที่ 2 เกี่ยวกับสวิตช์ทรานซิสเตอร์ชนิดมอส ในส่วนนี้จะนำมาใช้เพื่อเลือกค่าความต้านทานสำหรับการปรับอัตราขยายทรานส์อิมพีแดนซ์ของวงจร โดยที่ค่าความต้านทานที่เลือกใช้สำหรับการปรับอัตราขยายนั้นจะมีส่วนของค่าความต้านทานของมอสย่านโทรโอดดิ่งนั้น จึงต้องมีการปรับลดค่าความต้านทานให้เหมาะสม

4.2.6.3.4 การจำลองการทำงาน

ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.22 โดยนำเอาวงจรปรับความต้านทาน R_f ในรูปที่ 4.32 มาแทนในวงจร โดยกำหนดให้ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ $W_4/L_4 = 60\mu\text{m}/0.2\mu\text{m}$ $W_{sw1,2}/L_{sw1,2} = 10\mu\text{m}/0.2\mu\text{m}$ $\alpha=4$ และกระแส $I_B = 50\mu\text{A}$ ค่าความต้านทาน R_{f1} , R_{f2} และ R_{f3} มีค่าเท่ากับ $5.16\text{K}\Omega$, $10\text{K}\Omega$ และ $36\text{K}\Omega$ ตามลำดับ

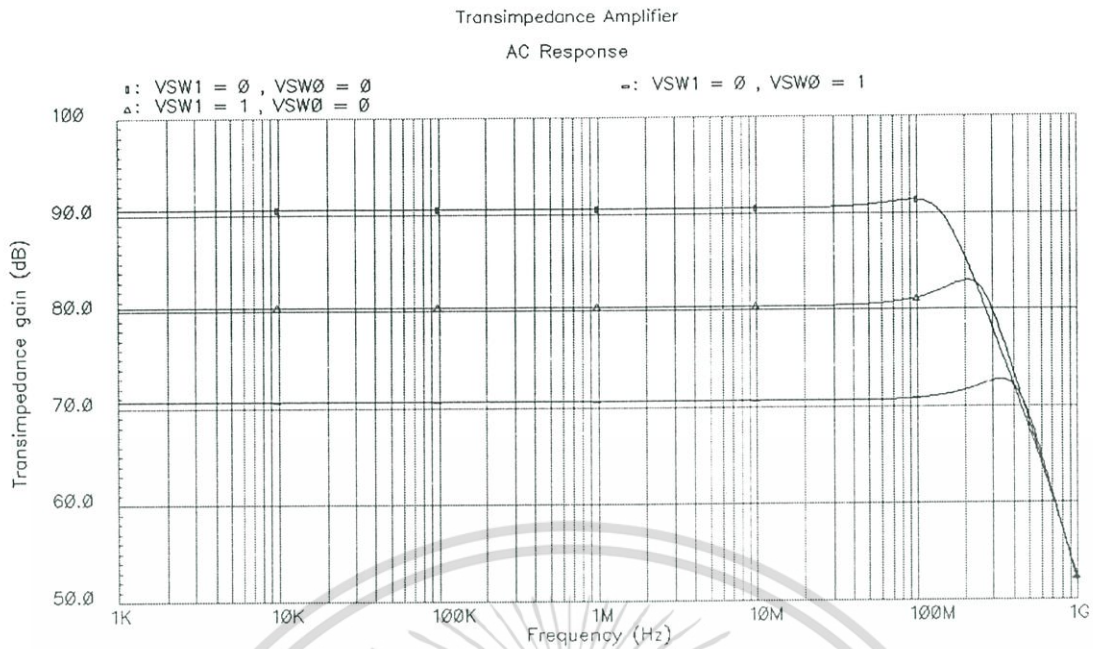
4.2.6.3.5 ผลการจำลองการทำงาน

ผลการจำลองการทำงานในรูปที่ 4.33 แสดงอัตราขยายทรานส์อิมพีแดนซ์ที่เอาต์พุทเมื่อทำการป้อนสัญญาณกระแสอินพุทที่โหนด A โดยทำการปรับเปลี่ยนสวิตช์ SW_0 , SW_1 เป็น 00, 01 และ 10 ตามลำดับ และการจำลองผลรวมความผิดเพี้ยนรวมแสดงในรูปที่ 4.34

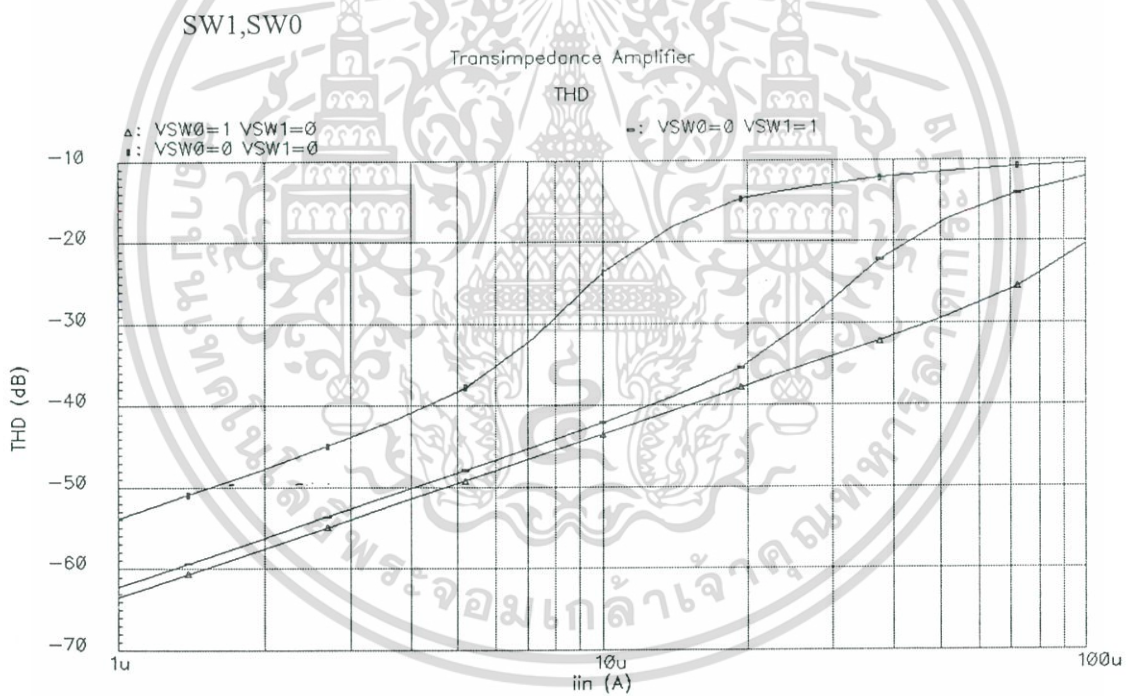
4.2.6.3.6 สรุปผลจำลองการทำงาน

จากผลที่ได้จากการจำลองการทำงาน เราสามารถปรับอัตราขยายทรานส์อิมพีแดนซ์โดยการปรับแรงดันควบคุม SW_0 และ SW_1 ได้ โดยที่ผลการตอบสนองมีค่าใกล้เคียงกับวงจรที่ปรับอัตราขยายโดยเปลี่ยนค่าความต้านทาน R_f แบบอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.33 ผลจำลองอัตรายขยายทรานส์อิมพีแดนซ์ $A_i=4$ เทออินพุทที่โหนด A เลือกโดยใช้



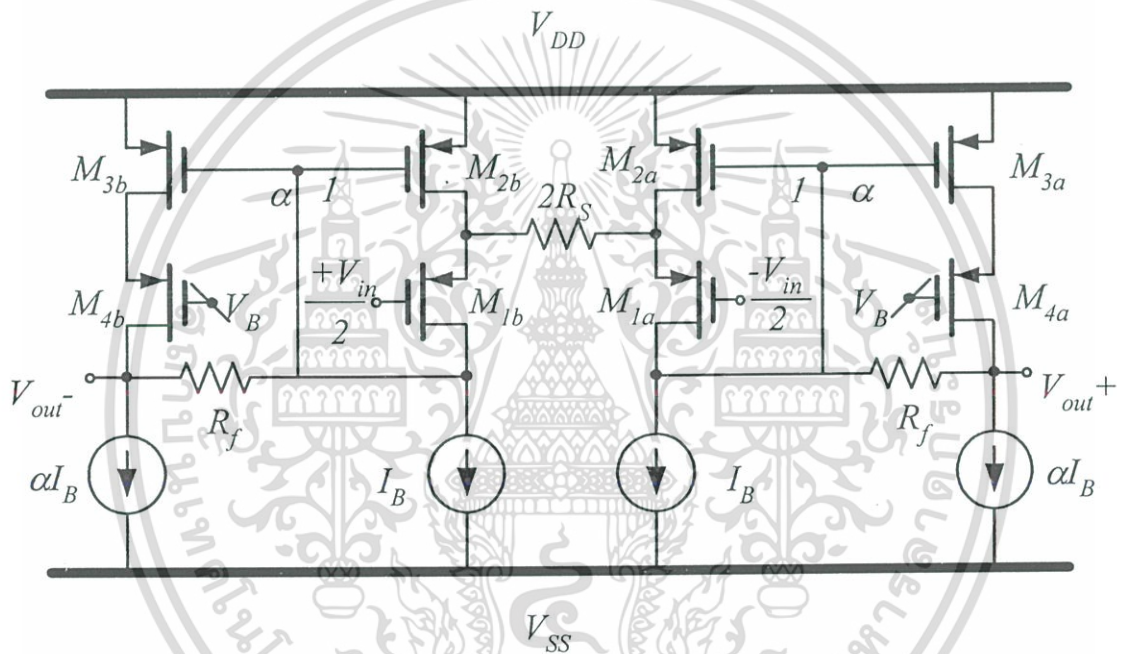
รูปที่ 4.34 ผลจำลองผลรวมความผิดเพี้ยน (THD) เมื่อป้อนสัญญาณกระแสอินพุทที่โหนด A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.7 วงจร VGA cell

จากโครงสร้างที่แสดงในรูปที่ 4.2 เราสามารถนำเอาวงจรรขยายทรานส์คอนดักต์แบบชอร์สตีเจนเนอร์ชั้ที่มีการป้อนกลับแบบลบและใช้กำลังงานต่ำในรูปที่ 4.5 โดยปรับค่าความต้านทานโดยใช้วงจรในรูปที่ 4.8 แทนความต้านทาน R_s มารวมกับวงจรรขยายทรานส์อิมพีแดนซ์ที่มีการป้อนกลับกระแสใช้แรงดันต่ำในรูปที่ 4.22 และวงจรปรับค่าความต้านทาน R_f รูปที่ 4.32 มารวมกันได้ดังรูปที่ 4.35 เราจะได้ความสัมพันธ์ของอัตราขยายแรงดันเป็น

$$A_v = \frac{R_f}{R_s} \quad (4.25)$$



รูปที่ 4.35 วงจร VGA cell

สำหรับการปรับอัตราขยายสัญญาณเราสามารถปรับอัตราขยายสัญญาณได้สองแบบด้วยกันคือ สามารถปรับอัตราขยายคอนดักต์แบบชอร์สตีเจนเนอร์ชั้โดยการปรับค่าความต้านทาน R_s และ การปรับอัตราขยายทรานส์อิมพีแดนซ์ซึ่งสามารถปรับอัตราขยายได้โดยการปรับค่าความต้าน R_f

4.2.7.1 การจำลองการทำงาน

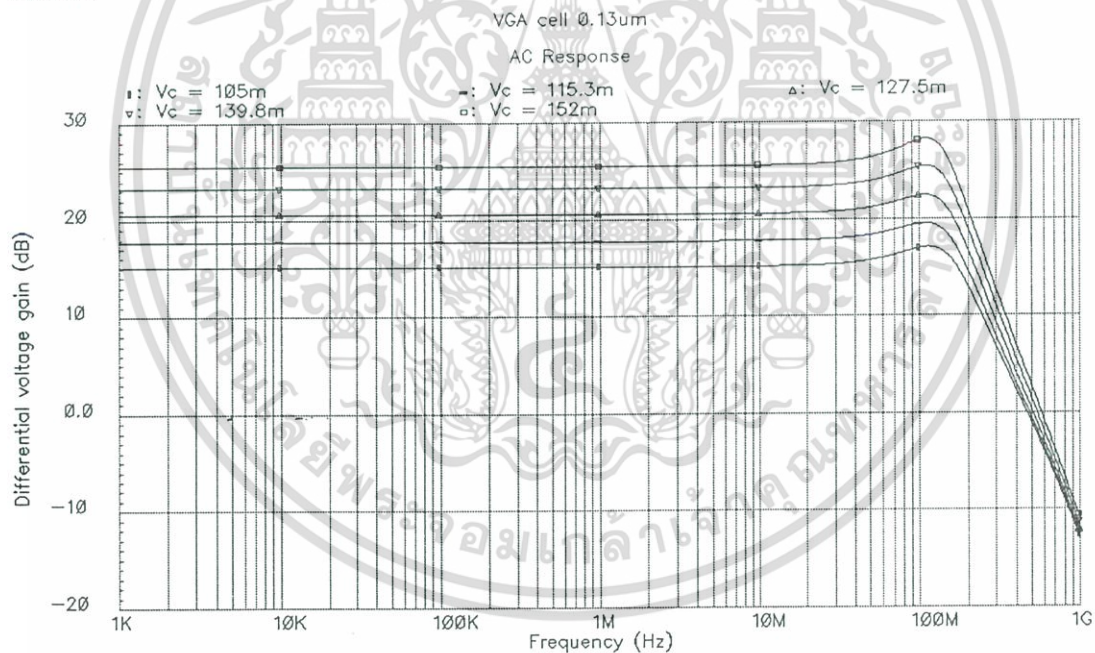
ในการจำลองการทำงานเราจะใช้วงจรในรูปที่ 4.35 โดยกำหนดให้ $W_1/L_1 = 60\mu\text{m}/0.2\mu\text{m}$ $W_2/L_2 = 9\mu\text{m}/0.4\mu\text{m}$ $W_3/L_3 = 36\mu\text{m}/0.4\mu\text{m}$ $W_4/L_4 = 60\mu\text{m}/0.2\mu\text{m}$ $\alpha = 4$ และกระแส $I_B = 50\mu\text{A}$ ทำการปรับอัตราขยายโดย V_C SW_0 และ SW_1

4.2.7.2 ผลการจำลองการทำงาน

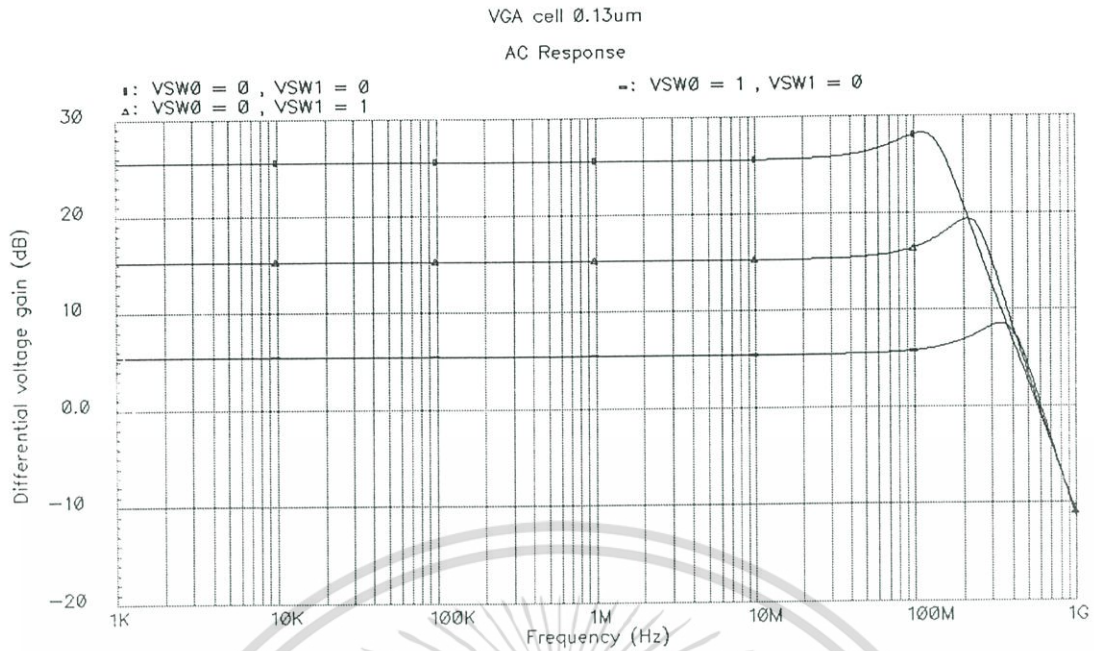
รูปที่ 4.36 แสดงการอัตราขยายแรงดันโดยการปรับแรงดัน V_C 105mV ถึง 150 mV แบบเป็นเชิงเส้น รูปที่ 4.37 แสดงการปรับอัตราขยายแรงดันโดยการปรับสวิตช์ SW_0 และ SW_1 เป็น 00 01 10 ตามลำดับ ในรูปที่ 4.38 การปรับอัตราขยายแรงดันเมื่อนำเอาเทคนิคการปรับทั้งสองแบบมาปรับอัตราขยายสามารถปรับอัตราขยายได้ 30 เดซิเบล โดยผลการจำลองความผิดเพี้ยนแสดงได้ในรูปที่ 4.39

4.2.7.3 สรุปผลจำลองการทำงาน

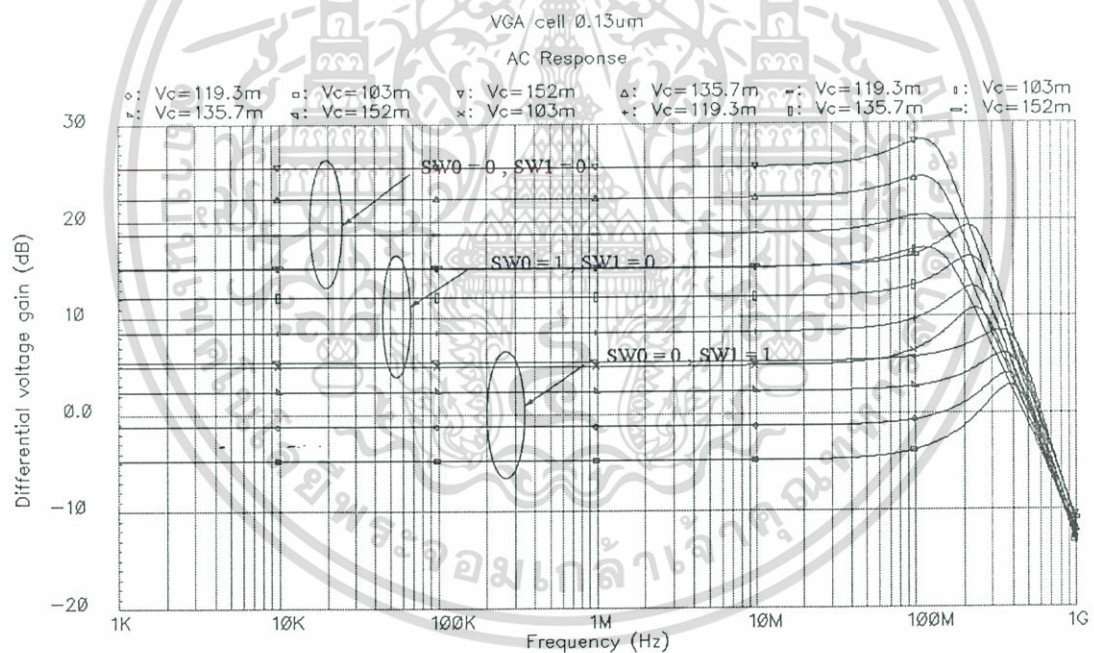
วงจร VGA cell ที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้สามารถปรับอัตราขยายแรงดันโดยใช้เทคนิคทั้งสองแบบมารวมกัน โดยวงจรสามารถปรับอัตราขยายได้ช่วงกว้างตั้งแต่ -5 เดซิเบลถึง 25 เดซิเบล



รูปที่ 4.36 ปรับแรงดัน V_C 105mV ถึง 150 mV แบบเป็นเชิงเส้น

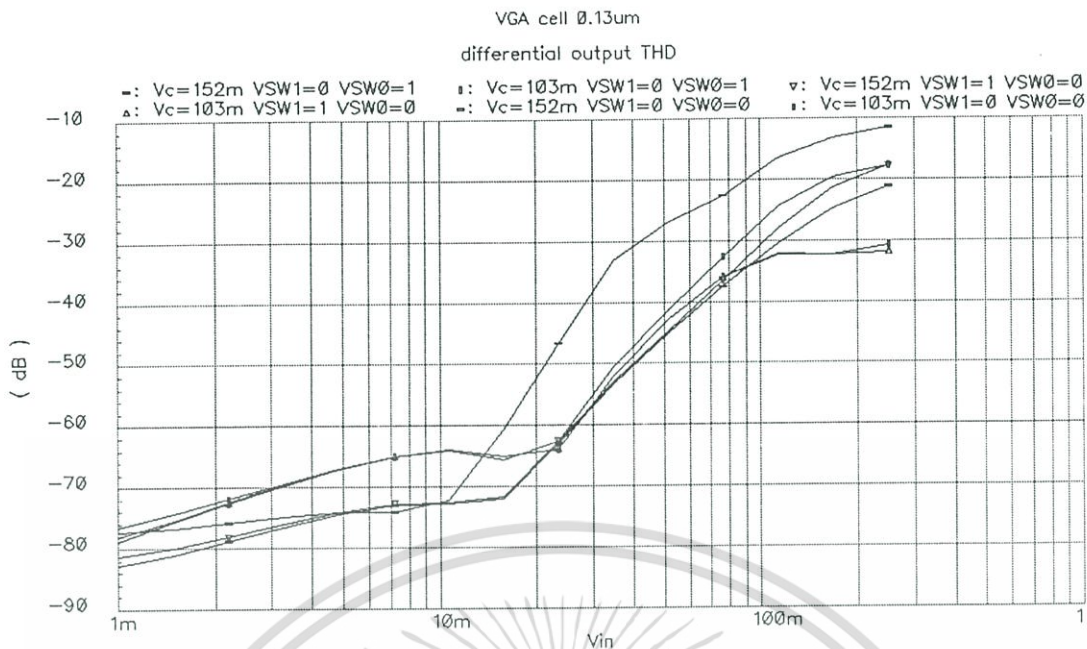


รูปที่ 4.37 ผลการตอบสนองความถี่ของ VGA เมื่อทำการปรับให้ SW0 และ SW1 = 0



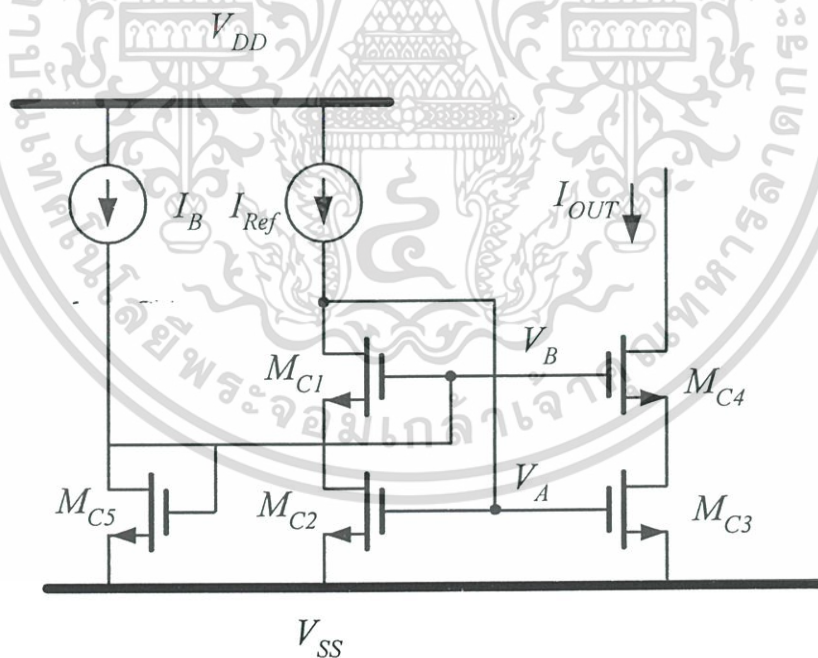
รูปที่ 4.38 ผลการตอบสนองความถี่เมื่อนำเอาเทคนิคการปรับทั้งสองแบบมาปรับอัตราขยายเรา
สามารถอัตราขยายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 ผลการจำลองความผิดเพี้ยนรวมที่แรงดันเอาต์พุตของวงจร VGA cell

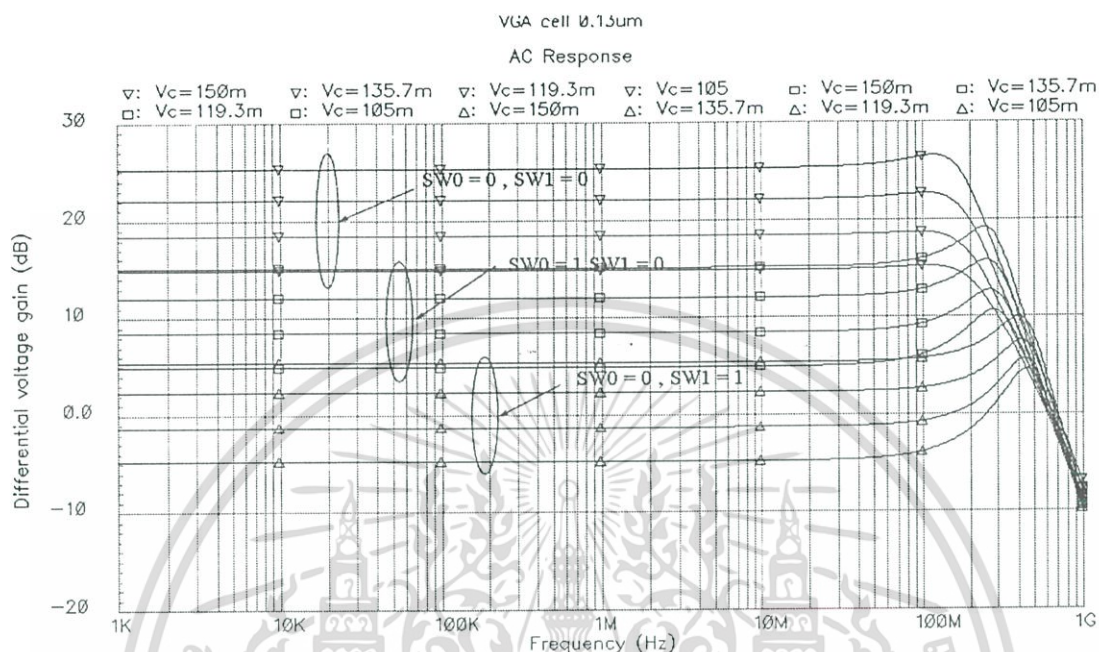
จากที่ได้กล่าวมาทั้งหมดเราสามารถออกแบบวงจร VGA cell สิ่งที่เราไม่ได้ทำอย่างหนึ่งคือวงจรจ่ายกระแสซึ่งเคยกล่าวมาแล้วในบทที่ 2 ดังแสดงในรูปที่ 4.40



รูปที่ 4.40 วงจรจ่ายกระแส

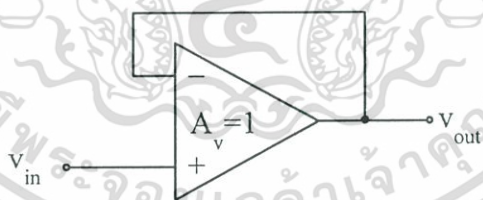
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจ่ายกระแสเป็นวงจรที่สำคัญสำหรับการออกแบบวงจรรวมในวิทยานิพนธ์ฉบับนี้
เลือกใช้วงจรจ่ายกระแสโดยออกแบบในโครงสร้างวงจรสะท้อนกระแส และนำมาไปทดสอบกับ
วงจร VGA ผลที่ได้ดังแสดงในรูปที่ 4.41



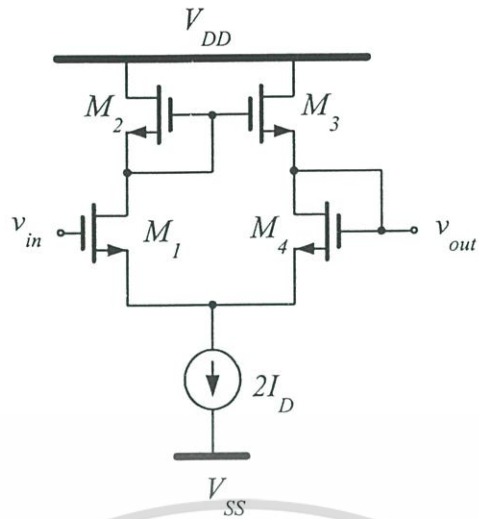
รูปที่ 4.41 ผลการตอบสนองความถี่ของวงจร VGA 2 สตเจจ

4.2.8 วงจรบัฟเฟอร์แรงดัน



รูปที่ 4.42 สัญลักษณ์วงจรบัฟเฟอร์แรงดัน

วงจรบัฟเฟอร์เป็นวงจรที่สำคัญอีกอย่างหนึ่งสำหรับการออกแบบวงจรขยายเนื่องจาก
วงจรขยายที่ออกแบบไปแล้วนั้นยังไม่สามารถขับโหลดได้ดังนั้นวงจรบัฟเฟอร์ที่ออกแบบต้อง
สามารถขับโหลดได้ดี โดยอัตราขยายแรงดันของวงจร $A_v=1$ ในที่นี้ใช้วงจรขยายสัญญาณผลต่างที่มี
การป้อนกลับแบบลบดังแสดงในรูปที่ 4.42



รูปที่ 4.43 วงจรบัฟเฟอร์แรงดัน

วงจรในรูปที่ 4.43 อัตราขยายแรงดันและความต้านทานเอาต์พุตเมื่อเปิดวงจร (open loop) มีค่าเป็น

$$A_{v,o} = g_{m1} R_{out} \quad (4.27)$$

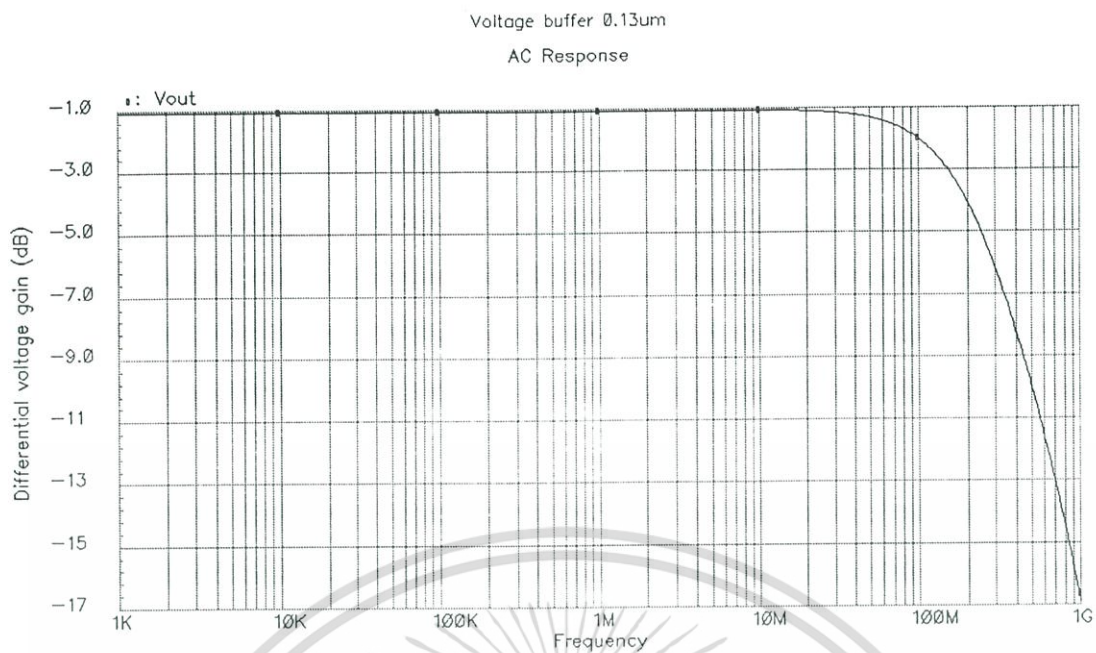
$$R_{out} = r_{ds2} // r_{ds4} \quad (4.28)$$

อัตราแรงดันและความต้านทานเอาต์พุตเมื่อปิดวงจร (close loop)

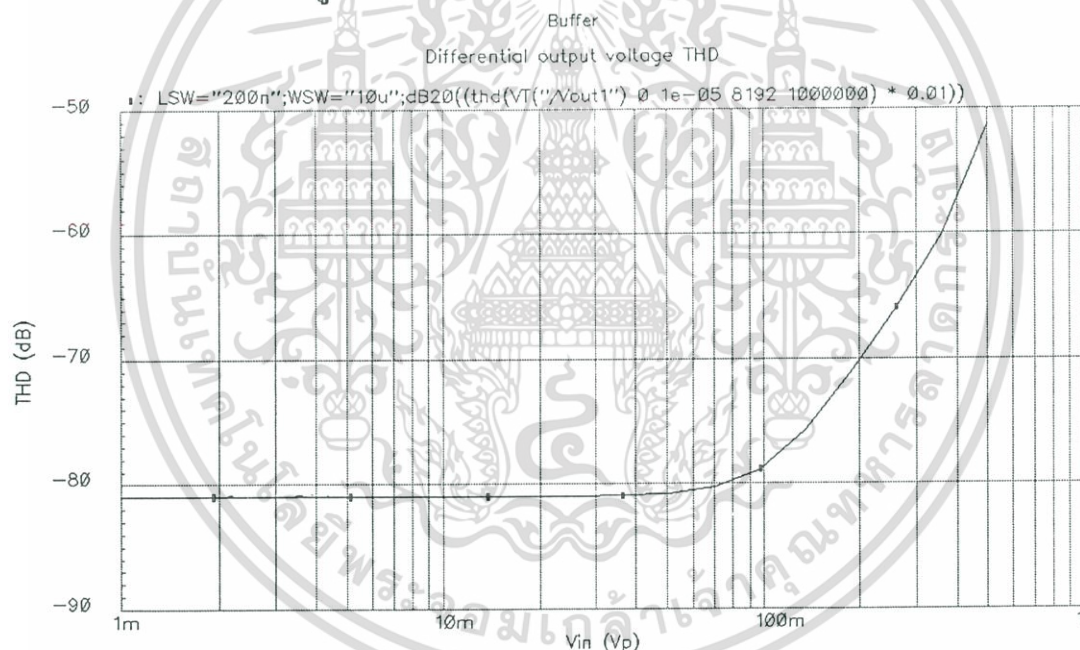
$$A_{v,close} = -1 \quad (4.29)$$

$$R_{out} = \frac{1}{g_{m1}} // r_{ds4} \quad (4.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.44 ผลตอบสนองของความถี่ของวงจรบัฟเฟอร์



รูปที่ 4.45 ผลจำลองผลรวมความผิดเพี้ยน(THD)ของแรงดันเอาต์พุตของวงจรบัฟเฟอร์

4.2.8.1 การจำลองการทำงาน

ทำการจำลองการทำงานวงจรในรูปที่ 4.44 โดยกำหนดขนาดของทรานซิสเตอร์ M1 และ M4 มีค่าเป็น $100\mu\text{m}/0.4\mu\text{m}$ M2 และ M3 มีค่าเป็น $120\mu\text{m}/0.4\mu\text{m}$ และแหล่งจ่ายกระแสแบบอุดมคติเปลี่ยนเป็นแหล่งจ่ายแบบวงจรชอร์สร่วมมีขนาดเป็น $200\mu\text{m}/1\mu\text{m}$ มีแรงดันไบอัสให้กับขาเกตของแหล่งจ่ายเป็น 500 มิลลิโวลต์ และต่อตัวเก็บประจุ 2 พิโกฟาราดที่ด้านเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.8.2 ผลการจำลองการทำงาน

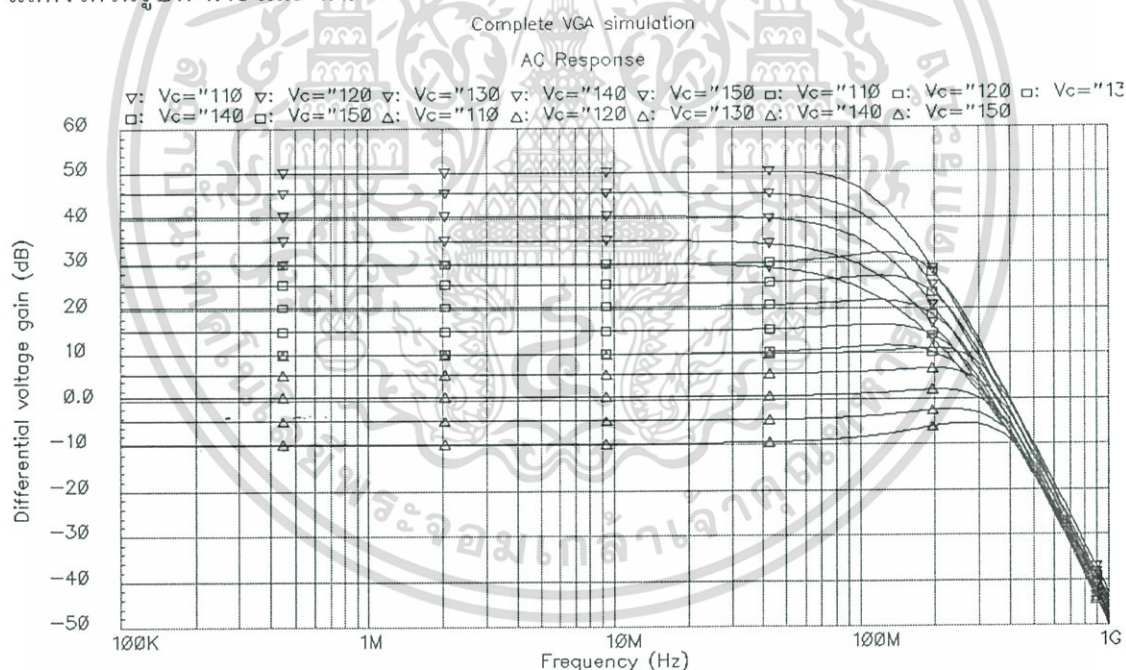
รูปที่ 4.45 แสดงผลจำลองการทำงานการตอบสนองความถี่ของวงจรบัฟเฟอร์แรงดัน และผลจำลองความผิดเพี้ยนสัญญาณรวมแสดงในรูปที่ 4.46

4.2.8.3 สรุปผลการจำลองการทำงาน

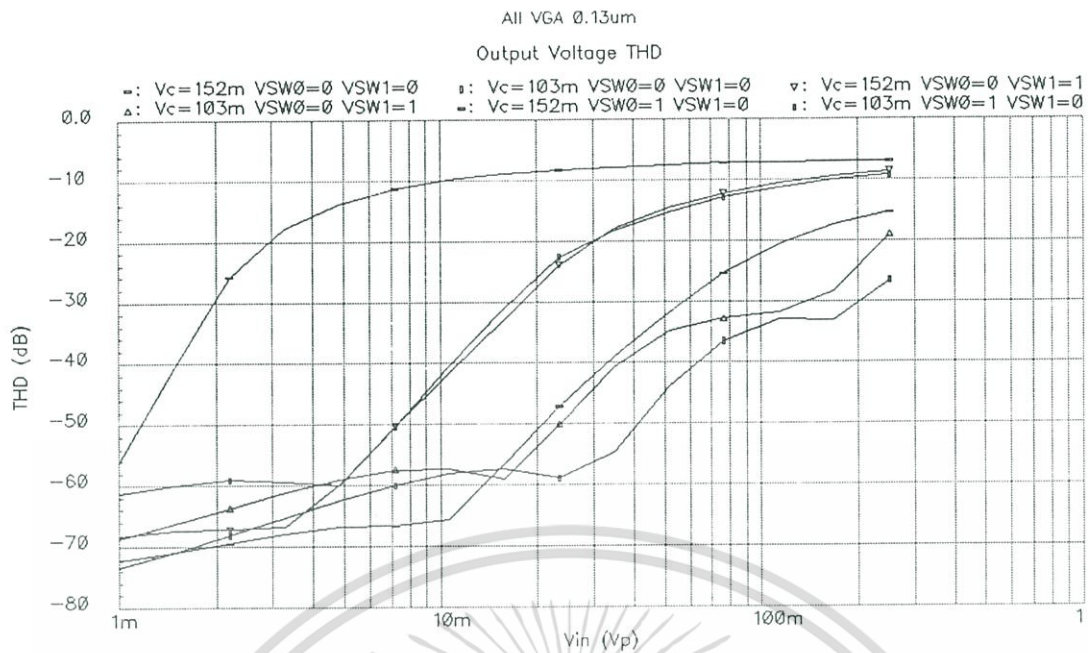
วงจรในรูปที่ 4.44 เป็นวงจรบัฟเฟอร์แรงดันสามารถทำงานที่แรงดัน 1 โวลต์ได้ดีมีการตอบสนองความถี่ในช่วงกว้างครอบคลุมการตอบสนองความถี่ของวงจร VGA 2 แสดงและผลการจำลองความผิดเพี้ยนสัญญาณรวมมีค่าน้อย จึงเหมาะที่นำมาใช้สำหรับวงจร VGA ในภาคสุดท้ายได้

4.3 วงจรขยายที่ปรับอัตราขยายได้ทั้งหมด

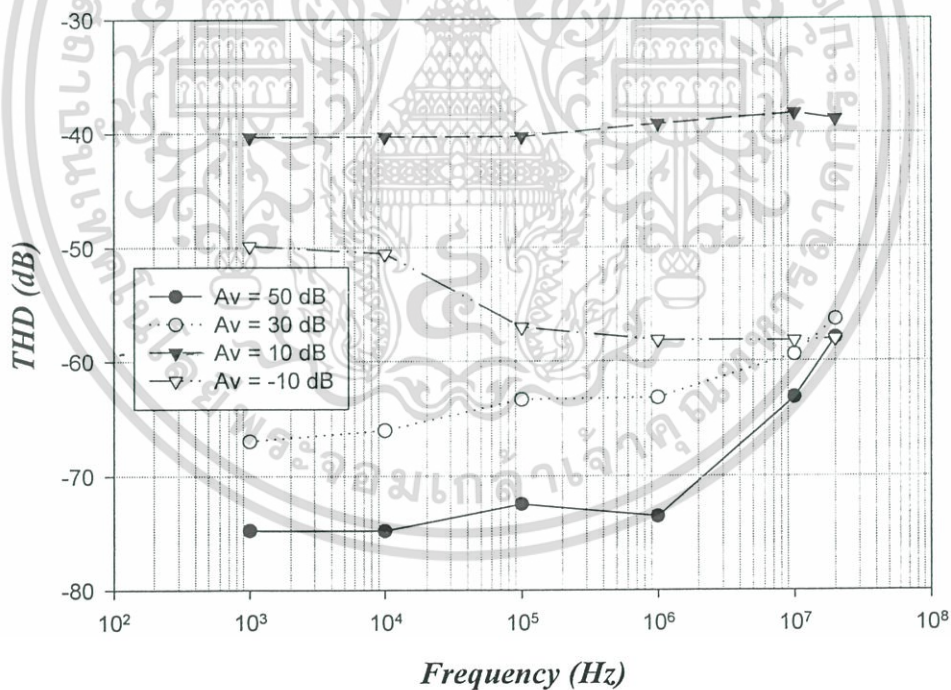
จากที่เราได้กล่าวมาทั้งหมดในบทนี้เป็นส่วนประกอบที่สำคัญสำหรับการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้ เมื่อเรานำเอาวงจรทั้งหมดมาต่อตามบล็อกไดอะแกรมในรูปที่ 4.1 แล้วทำการทดสอบผลการตอบสนองความถี่และช่วงสำหรับการปรับอัตราขยายที่ได้แสดงในรูปที่ 4.47 และทำการทดสอบความผิดเพี้ยนรวมของสัญญาณ (total harmonic distortion) ดังแสดงได้ในรูปที่ 4.48 และ 4.49



รูปที่ 4.46 ผลการจำลองการตอบสนองความถี่ของวงจร VGA ทั้งหมด



รูปที่ 4.47 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ที่เอาต์พุตของวงจรเมื่อทำการปรับแรงดันอินพุตที่ความถี่ 1MHz และที่อัตราขยายต่างๆ



รูปที่ 4.48 ผลการจำลองผลรวมความผิดเพี้ยน (THD) ที่เอาต์พุตของวงจรเมื่อทำการปรับความถี่ของสัญญาณอินพุต โดยกำหนดให้แรงดันเอาต์พุต 120mVpp และที่อัตราขยายต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. 4 บทสรุป

ในบทนี้ของวิทยานิพนธ์ได้เสนอการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้แบบซิมอสทำงานที่แหล่งจ่ายแรงดันต่ำสลับเปลี่ยนกำลังงานต่ำ ส่วนประกอบทั้งหมดของวงจรประกอบด้วยวงจรถ่าย VGA cell 2 เซลล์ แต่ละเซลล์ประกอบด้วยโครงสร้างของวงจรขยายทรานส์คอนดักแตนซ์แบบซอสดีเจนเนอเรชั่นที่มีการป้อนกลับแบบลบ และวงจรขยายทรานส์อิมพีแดนซ์ที่มีการป้อนกลับกระแสมาผสมกัน โดยแต่ละวงจรสามารถทำงานได้ที่แรงดันต่ำสลับเปลี่ยนกำลังงานต่ำ คือ 1 โวลต์ ผลการตอบสนองความถี่ได้กว้างมีค่าประมาณค่า f_T ของทรานซิสเตอร์คือ 100 เมกกะเฮิร์ตปรับอัตราขยายสัญญาณได้ช่วงกว้างคือ 60 เดซิเบล โดยโครงสร้างทั้งหมดเราสามารถสรุปพารามิเตอร์และประสิทธิภาพของวงจรเปรียบเทียบกับวงจรที่เคยนำเสนอมาได้ดังตารางที่ 4.1 และ 4.2

ตารางที่ 4.1 ค่าพารามิเตอร์ของวงจร VGA

พารามิเตอร์	ค่า
$(W/L)_1$ and $(W/L)_4$	60 $\mu\text{m}/0.2 \mu\text{m}$
$(W/L)_2$ and $(W/L)_3$	9 $\mu\text{m} /0.4 \mu\text{m}$
อัตราสะท้อนกระแส (α)	4
$(W/L)_{\text{cont1}}$	5 $\mu\text{m} /0.2 \mu\text{m}$
$(W/L)_{\text{cont2}}$	2.5 $\mu\text{m} /0.2 \mu\text{m}$
$(W/L)_{\text{cont3}}$	2 $\mu\text{m} /10 \mu\text{m}$
$(W/L)_{\text{RS}}$	120 $\mu\text{m} /0.2 \mu\text{m}$
$V_{\text{DD}} - V_{\text{SS}}$	1 V
I_{B}	50 μA
V_{B}	0.5 V

ตารางที่ 4.2 ผลการเปรียบเทียบประสิทธิภาพของวงจร VGA ที่เสนอและบทความที่เคยเสนอมานำเสนอ

วงจร VGA	[13]	[19]	[23]	นำเสนอ
เทคโนโลยี	0.18 μm	0.35 μm	0.25 μm	0.13 μm
ช่วงความถี่ (MHz)	350	246	210	100
ช่วงปรับอัตราขยาย (dB)	-42~42	-15~45	-35~55	-10~50
แหล่งจ่ายแรงดัน	1.8 V	3 V	2.5 V	1V
กระแส	3 mA	9 mA	11mA	1.5 mA
กำลังงานสูญเสีย	5.4 mW	27 mW	27.5mW	1.5 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

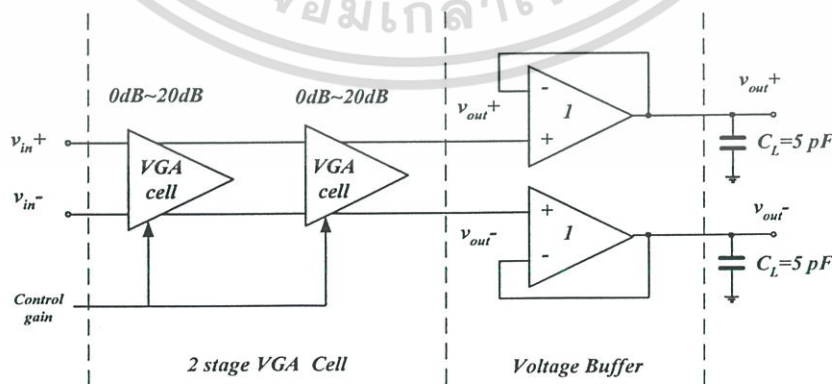
การออกแบบ ทางกายภาพของวงจขยายที่ปรับอัตราขยาย ได้แบบซิมอสทำงานที่แรงดันต่ำ ใช้กำลังงานต่ำ

5.1 บทนำ

สิ่งที่ได้กล่าวมาทั้งหมดจากบทก่อน ๆ เป็นกระบวนการขั้นแรกสำหรับการออกแบบวงจร VGA โดยเริ่มจากการศึกษาและนำเอาทฤษฎีของทรานซิสเตอร์ชนิดมอสมาทำการออกแบบวงจร และจำลองการทำงานเพื่อยืนยันการทำงานโดยใช้โปรแกรม เพื่อให้ได้ประสิทธิภาพตามต้องการ ขั้นตอนต่อมาสำหรับการออกแบบคือการออกแบบวงจรทางกายภาพเพื่อนำไปเจือสารสร้างเป็นชิพ ต้นแบบ ดังนั้นบทนี้จะเป็นบทที่กล่าวเกี่ยวกับการออกแบบวงจร VGA ทางกายภาพโดยใช้ เทคโนโลยีซิมอส 0.35 μm ชนิด AMS 035B4C3 ร่วมกับโปรแกรม Cadence Spectre™ และ Virtuoso สุดท้ายจะเป็นการนำผลที่ได้จากการจำลองการทำงานมาเปรียบเทียบกับผลที่ได้จากการ วัดประสิทธิภาพของชิพต้นแบบ

5.2 การออกแบบทางกายภาพของวงจขยาย VGA

วงจที่นำมาออกแบบทางกายภาพ มีรูปแบบและวิธีการออกแบบดังอธิบายในบทที่ 4 โดย เริ่มจากการทำการคำนวณขนาด จำลองการทำงาน วงจที่ใช้สำหรับการออกแบบกำหนดคุณสมบัติ ดังนี้ วงจ VGA ประกอบด้วยวงจ VGA cell 2 สเตจต่อкасเสกกันผ่านวงจบัฟเฟอร์แรงดันซึ่ง ทำหน้าที่ขับโหลดตัวเก็บประจุซึ่งเกิดจากจุดเชื่อมต่อ (pad) เพื่อนำไปต่อใช้งานด้วยขาของอุปกรณ์ มีค่าประมาณ 2 พิโกฟาราด เพื่อให้การออกแบบสมบูรณ์ยิ่งขึ้นจึงใช้ตัวเก็บประจุ 5 พิโกฟาราด มาทำการออกแบบโดยมีลักษณะบล็อกระบบดังแสดงในรูปที่ 5.1

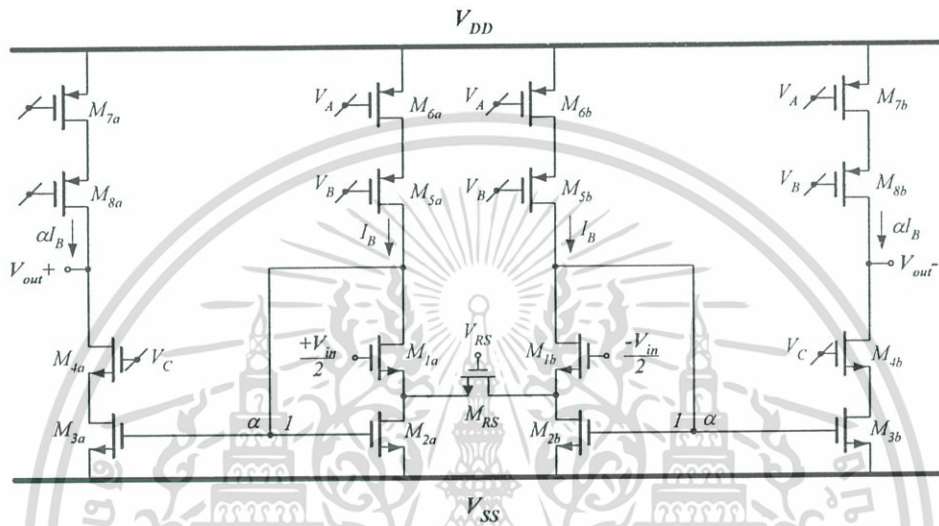


รูปที่ 5.1 บล็อกไดอะแกรมวงจขยาย VGA ทั้งหมด

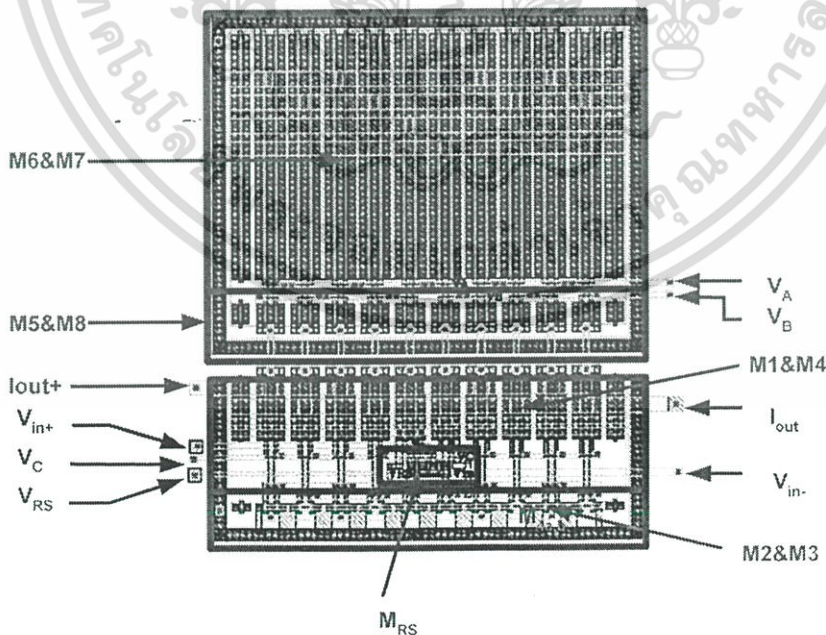
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1.1 วงจรขยายทรานส์คอนดักต์แดนซ์แบบซอร์ส-ดีเจเนเรชัน

เนื่องจากวงจรส่วนของอินพุตแบบผลต่างของวงจรขยายทรานส์คอนดักต์แดนซ์แบบซอร์ส-ดีเจเนเรชันมีความสำคัญ การแมตซ์กันระหว่างส่วนของอินพุตทั้งสองด้าน ดังนั้นเราจำเป็นต้องใช้เทคนิคการออกแบบแบบคอมมอนเซนทรอย (common-centroid layout) [4] มาทำการออกแบบจากรูปที่ 5.3 เราจะเห็นได้ว่าชุดที่จำเป็นต้องแมตซ์กันคือทรานซิสเตอร์ $M1-M8$ ทั้งด้าน a และ b เราสามารถออกแบบทางกายภาพได้ดังรูปที่ 5.4



รูปที่ 5.3 วงจรขยายทรานส์คอนดักต์แดนซ์แบบซอร์สดีเจเนเรชัน โดยไม่มีตัวความต้านทาน R_f

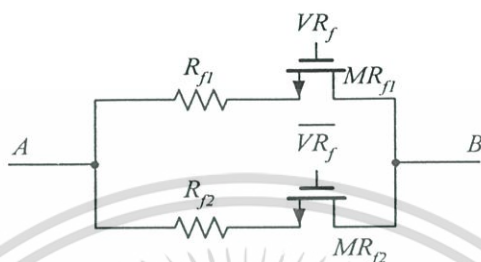


รูปที่ 5.4 วงจรขยายทรานส์คอนดักต์แดนซ์ทางกายภาพ

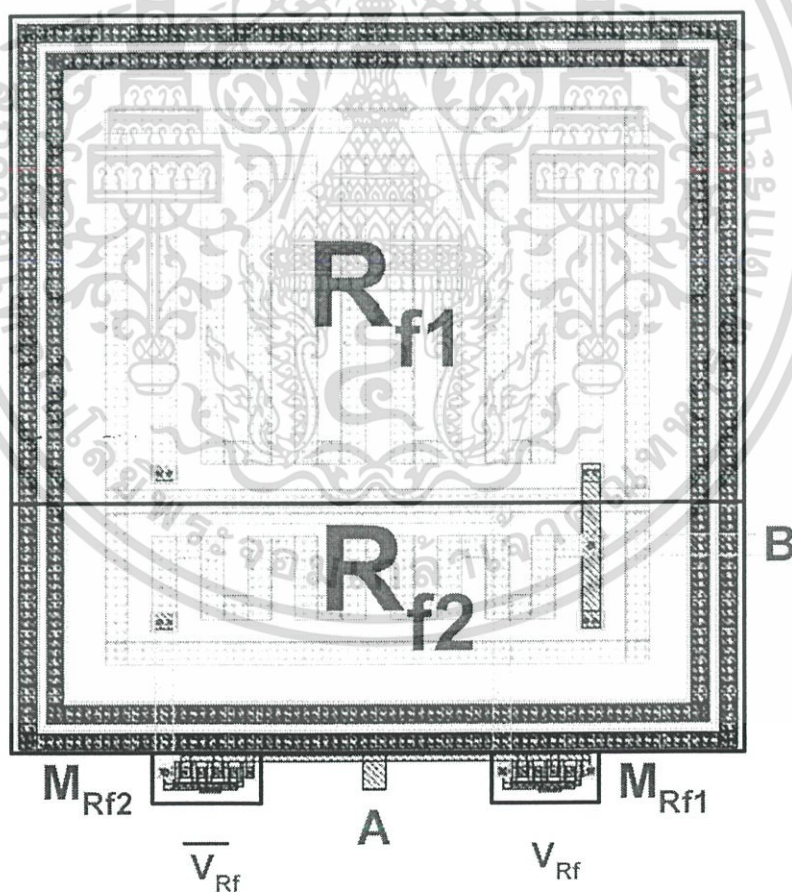
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1.2 วงจรปรับความต้านทาน R_f โดยใช้สวิตช์แบบมอส

วงจร VGA แต่ละเซลล์ที่แสดงในรูปที่ 5.2 กำหนดให้มีการปรับอัตราขยายแบบหยาบโดยการปรับเลือกตัวต้านทาน R_f สองค่าคือตัวต้านทาน R_{f1} และ R_{f2} โดยใช้เทคนิคการปรับเลือกโดยสวิตช์ดังแสดงในรูปที่ 5.5 ซึ่งการใช้สวิตช์ในการเลือกซึ่งในที่นี้เราสามารถนำเอาทรานซิสเตอร์มาทำงานแทนสวิตช์โดยเราสามารถออกแบบทางกายภาพดังแสดงในรูปที่ 5.6



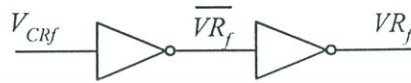
รูปที่ 5.5 วงจรเลือกความต้านทาน R_f โดยใช้สวิตช์แบบมอส



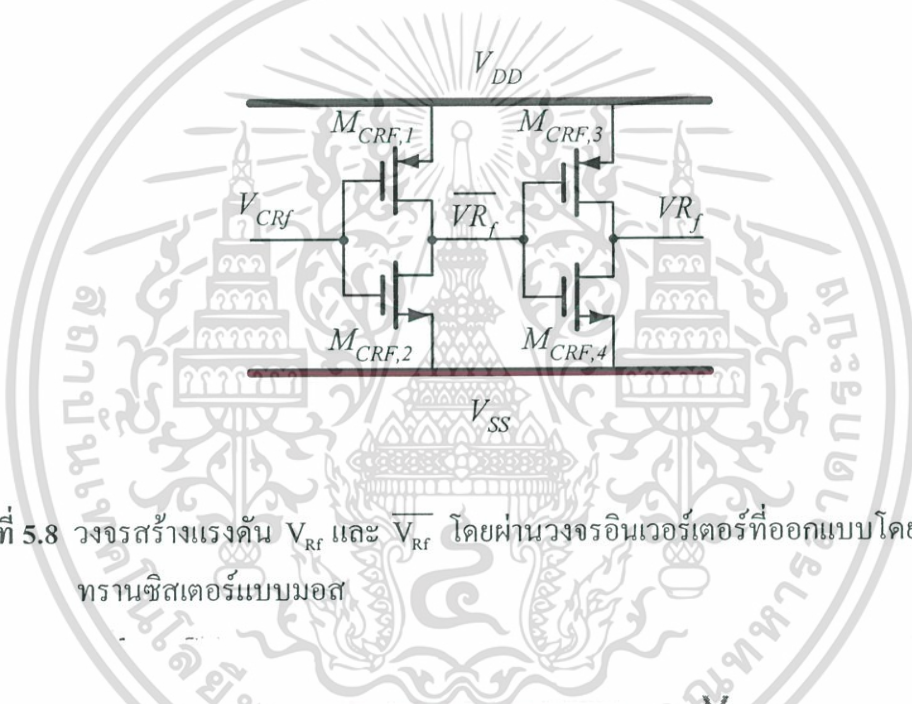
รูปที่ 5.6 การออกแบบวงจรเลือกความต้านทาน R_f โดยใช้สวิตช์แบบมอสทางกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

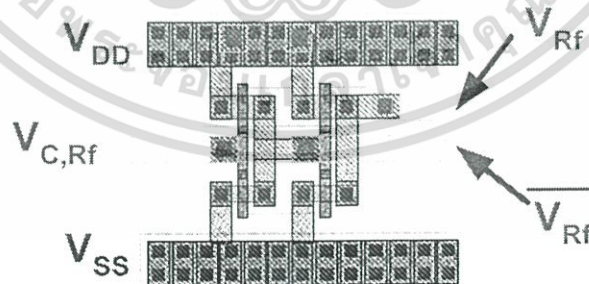
การออกแบบชุดควบคุมแรงดัน V_{Rf} และ $\overline{V_{Rf}}$ เราสามารถออกแบบได้ในชุดเดียวกันโดยใช้วงจรรีเลย์เตอร์ดังแสดงสัญลักษณ์และวงจรที่สร้างด้วยทรานซิสเตอร์ในรูปที่ 5.7 และ 5.8 ตามลำดับ โดยวงจรรีเลย์เตอร์ยังมีข้อดีคือทำให้สัญญาณดิจิทัลที่มาควบคุมสวิตช์สำหรับความต้านทาน R_f มีความชันในการควบคุมมากขึ้นด้วยโดยวงจรขณะที่ทำการเปลี่ยนแรงดันสูงต่ำ เราสามารถออกแบบวงจรทางกายภาพได้ดังแสดงในรูปที่ 5.9



รูปที่ 5.7 วงจรสร้างแรงดัน V_{Rf} และ $\overline{V_{Rf}}$ โดยผ่านวงจรรีเลย์เตอร์



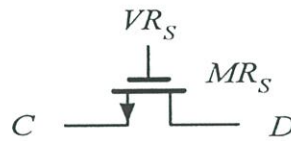
รูปที่ 5.8 วงจรสร้างแรงดัน V_{Rf} และ $\overline{V_{Rf}}$ โดยผ่านวงจรรีเลย์เตอร์ที่ออกแบบโดยใช้ทรานซิสเตอร์แบบมอส



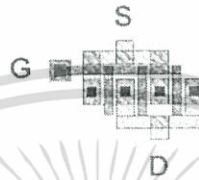
รูปที่ 5.9 วงจรรีเลย์เตอร์ทางกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1.3 วงจรปรับความต้านทาน R_S โดยใช้ทรานซิสเตอร์ชนิดมอส

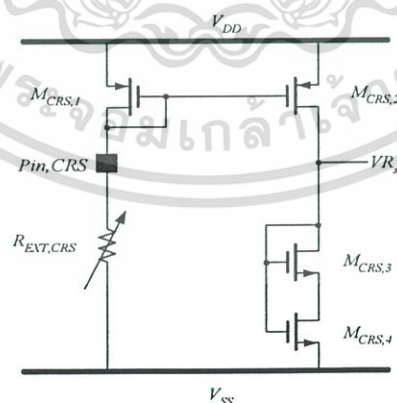


รูปที่ 5.10 วงจรแทนตัวต้านทาน R_S โดยใช้ทรานซิสเตอร์ชนิดเอ็นมอส



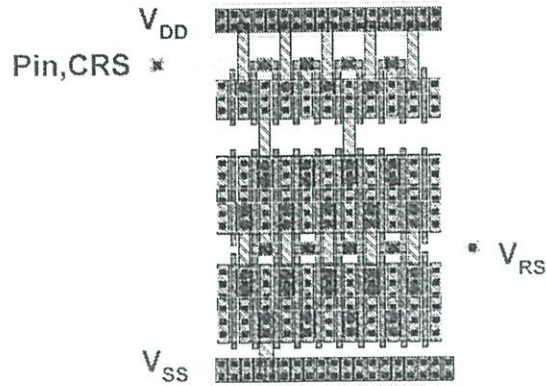
รูปที่ 5.11 วงจรแทนตัวต้านทาน R_S โดยใช้ทรานซิสเตอร์ชนิดเอ็นมอสทางกายภาพ

วงจรในรูปที่ 5.10 เป็นตัวต้านทาน R_S ที่ใช้ทรานซิสเตอร์ชนิดเอ็นมอสทำงานย่านไทรโอด ซึ่งแรงดันคร่อมคร่อมโหนด C และ D น้อย สามารถออกแบบวงจรทางกายภาพดังแสดงในรูปที่ 5.11 และทำให้วงจรขยายสามารถปรับอัตราขยาย ได้ในช่วง 20 เดซิเบลโดยอาศัยแรงดัน V_{RS} ที่ได้จากวงจรในรูปที่ 5.12 ซึ่งการทำงานของวงจรมีใช้ตัวต้านทาน $R_{EXT,CRS}$ ปรับระดับกระแสให้กับวงจร สะท้อนกระแส $M_{CRS,1}$ และ $M_{CRS,2}$ เพื่อจ่ายกระแสให้โหลดไดโอด $M_{CRS,3}$ และ $M_{CRS,4}$ เกิดเป็นแรงดัน V_{RS} เราสามารถออกแบบวงจรดังกล่าวดังแสดงในรูปที่ 5.13



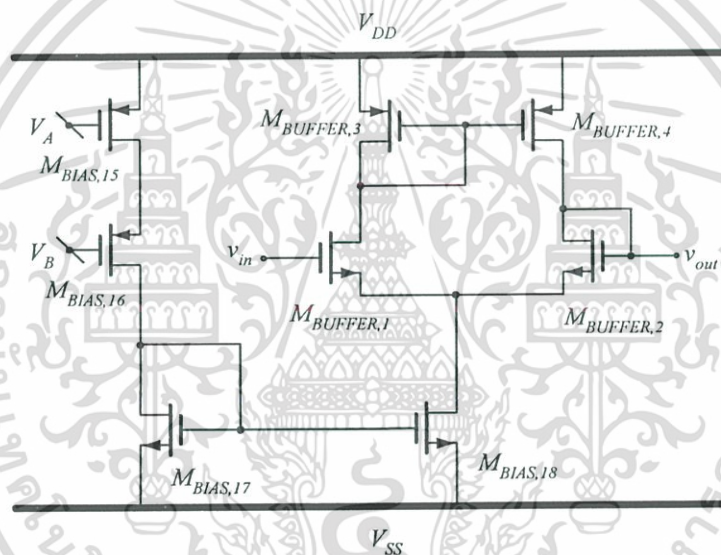
รูปที่ 5.12 วงจรควบคุมแรงดัน VR_S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 วงจรควบคุมแรงดัน V_{RS} ทางกายภาพ

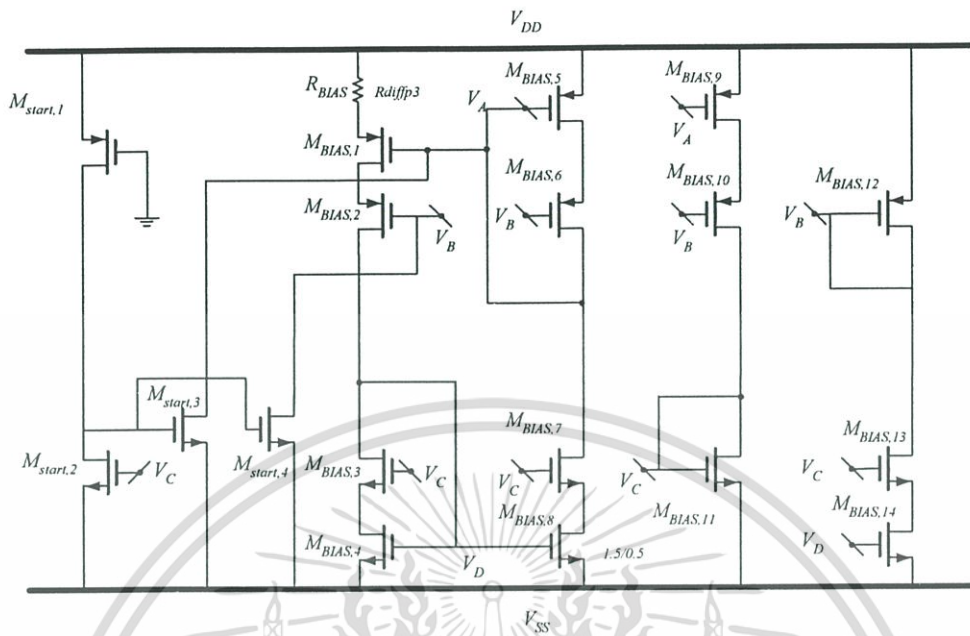
5.2.2 วงจรบัฟเฟอร์แรงดัน



รูปที่ 5.14 วงจรบัฟเฟอร์แรงดัน

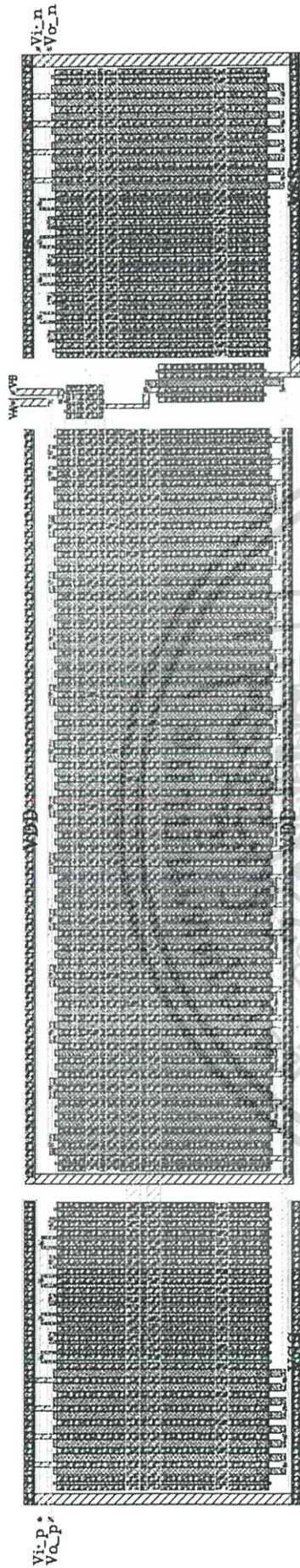
รูปที่ 5.14 แสดงวงจรบัฟเฟอร์ทำหน้าที่บัฟเฟอร์แรงดันให้กับวงจร VGA เพื่อให้สามารถทำหน้าที่ขับโหลดตัวเก็บประจุได้ 5 พิโคฟาราดที่เกิดจากขาของชิพหรือสำหรับวงจรภาคถัดไป โดยวงจรบัฟเฟอร์ออกแบบได้จากวงจรขยายผลต่างต่อกับ โหลดไดโอดมีการป้อนกลับแบบลบ การออกแบบทางการภาพต้องคำนึงถึงการเมตซ์กันระหว่างทรานซิสเตอร์ $M_{BIAS,15}$ และ $M_{BIAS,16}$, $M_{BIAS,17}$ และ $M_{BIAS,18}$, $M_{BUFFER,1}$ และ $M_{BUFFER,2}$, $M_{BUFFER,3}$ และ $M_{BUFFER,4}$ ดังแสดงในรูปที่ 5.16

5.2.3 วงจรสร้างแรงดันไบอัสวงจรและสตาร์ทอัพ

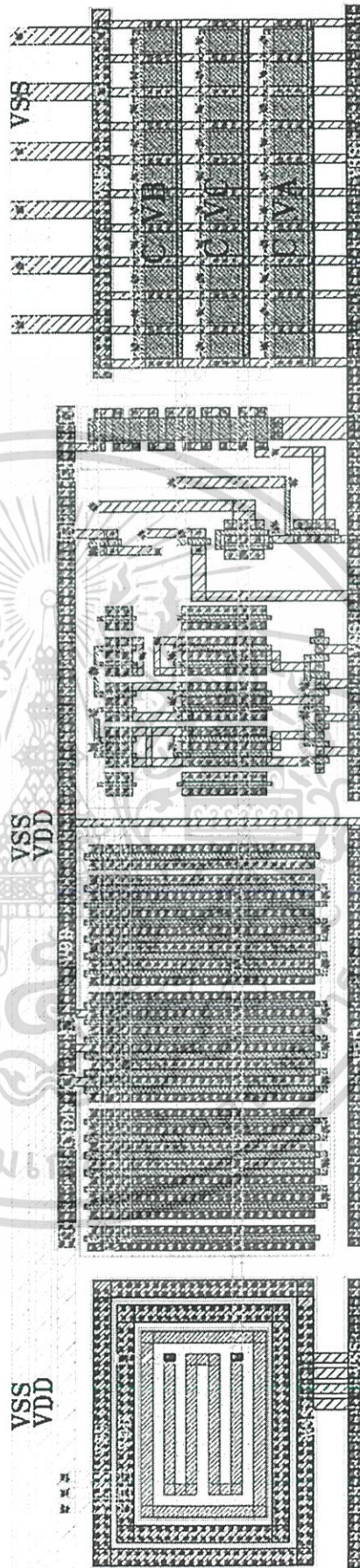


รูปที่ 5.15 วงจรสร้างแรงดันไบอัสและวงจรสตาร์ทอัพ

รูปที่ 5.15 เป็นวงจรสร้างแรงดันไบอัสและวงจรสตาร์ทอัพสำหรับวงจร VGA การออกแบบทางกายภาพประกอบด้วยสองส่วนด้วยกัน คือส่วนของวงจรไบอัสมีการต่อแบบคาสโคดแรงดันแกว่งกว้างกำหนดกระแสโดยค่าความต้านทาน R_{BIAS} และเนื่องจากกระแสที่ไหลผ่านทรานซิสเตอร์ในบริเวณ (branch) ต่าง ๆ มีค่าเท่ากันดังนั้นลักษณะการออกแบบทางกายภาพจึงจำเป็นต้องคำนึงถึงเรื่องการแมตซ์กันของทรานซิสเตอร์เช่นกัน และในส่วนของวงจรสตาร์ทอัพแสดงในรูปที่ 5.17



รูปที่ 5.16 วงจรบีพเฟอร์แรงดันทางกายภาพ



รูปที่ 5.17 วงจรไปอัสและวงจรสตาร์ทอัพทางกายภาพ

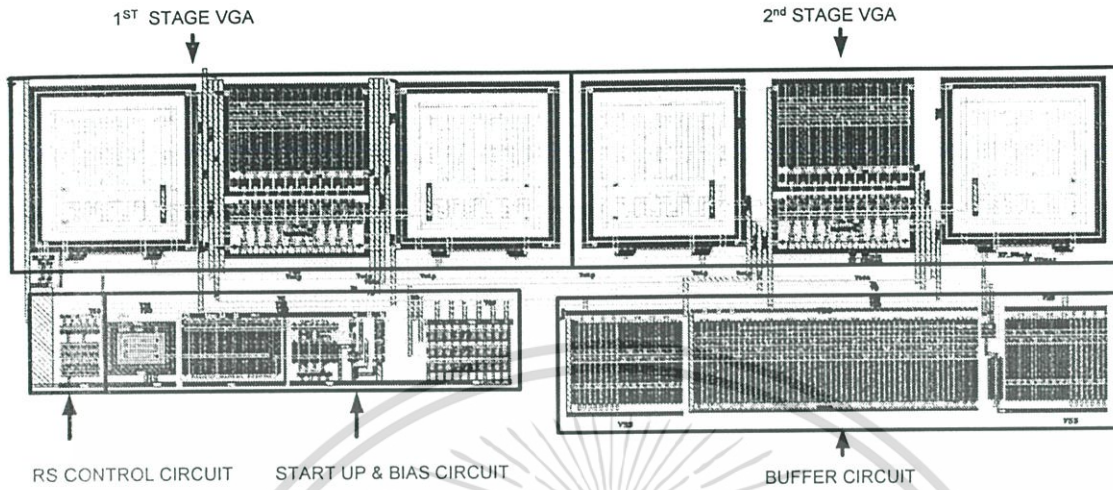
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 ค่าพารามิเตอร์ของวงจร VGA สำหรับการออกแบบทางกายภาพ

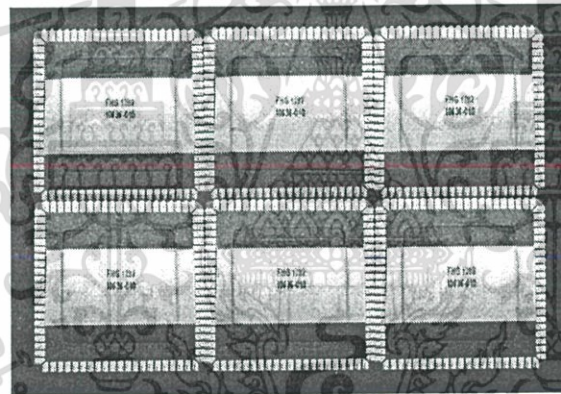
พารามิเตอร์	ค่า
เทคโนโลยี	ซีมอส 0.35 μm
$(W/L)_{M1}$ และ $(W/L)_{M4}$	15/0.35
$(W/L)_{M5}$ และ $(W/L)_{M8}$	5/0.35
$(W/L)_{M6}$ และ $(W/L)_{M7}$	60/0.5
$(W/L)_{M2}$ และ $(W/L)_{M3}$	1.6/0.35
$(W/L)_{MRF1}$ และ $(W/L)_{MRF2}$	5/0.35
$(W/L)_{MCRF1}$ และ $(W/L)_{MCRF3}$	0.8/0.35
$(W/L)_{MCRF2}$ และ $(W/L)_{MCRF4}$	0.5/0.35
$(W/L)_{MRS}$	3/0.35
$(W/L)_{MCRS1}$ และ $(W/L)_{MCRS2}$	10/0.35
$(W/L)_{MCRS3}$ และ $(W/L)_{MCRS4}$	40/0.35
$(W/L)_{MBUFFER1}$ และ $(W/L)_{MBUFFER2}$	240/0.35
$(W/L)_{MBUFFER3}$ และ $(W/L)_{MBUFFER4}$	360/1
$(W/L)_{MSTART1}$	1/10
$(W/L)_{MSTART2}$, $(W/L)_{MSTART3}$ และ $(W/L)_{MSTART4}$	3.5/0.35
$(W/L)_{MBIAS1}$ และ $(W/L)_{MBIAS9}$	60/0.35
$(W/L)_{MBIAS2}$, $(W/L)_{MBIAS6}$ และ $(W/L)_{MBIAS10}$	5/0.35
$(W/L)_{MBIAS5}$	240/0.35
$(W/L)_{MBIAS15}$	120/0.5
$(W/L)_{MBIAS16}$	5/0.35
$(W/L)_{MBIAS3}$, $(W/L)_{MBIAS7}$ และ $(W/L)_{MBIAS13}$	15/0.35
$(W/L)_{MBIAS4}$, $(W/L)_{MBIAS8}$ และ $(W/L)_{MBIAS14}$	1.6/0.5
$(W/L)_{MBIAS11}$	1.3/0.5
$(W/L)_{MBIAS12}$	1.2/0.5
R_{BIAS}	1/49
R_{F1}	2/260
R_{F1}	2/70
อัตราสะท้อนกระแส (α)	4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

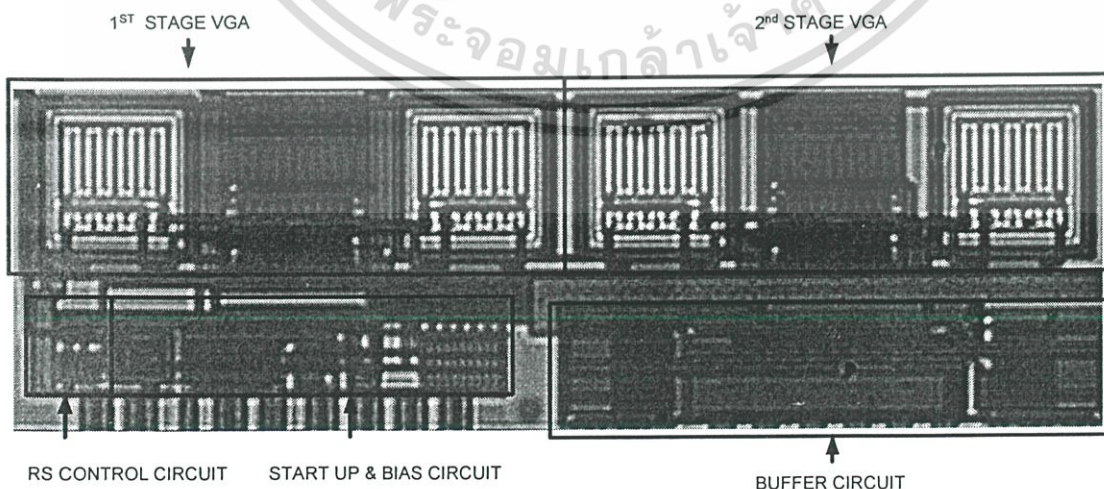
ตารางที่ 5.1 แสดงพารามิเตอร์ของวงจร VGA ทั้งหมดสำหรับการออกแบบทางกายภาพของรูปที่ 5.18 เพื่อสร้างเป็นชิพต้นแบบในรูปที่ 5.19 โดยรูปที่ 5.20 เป็นวงจรทางกายภาพภายในชิพต้นแบบ



รูปที่ 5.18 วงจรกายภาพของ VGA



รูปที่ 5.19 ชิพต้นแบบ



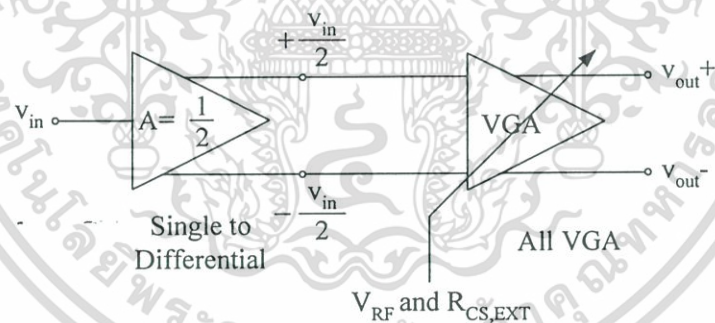
รูปที่ 5.20 วงจร VGA ภายในชิพต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

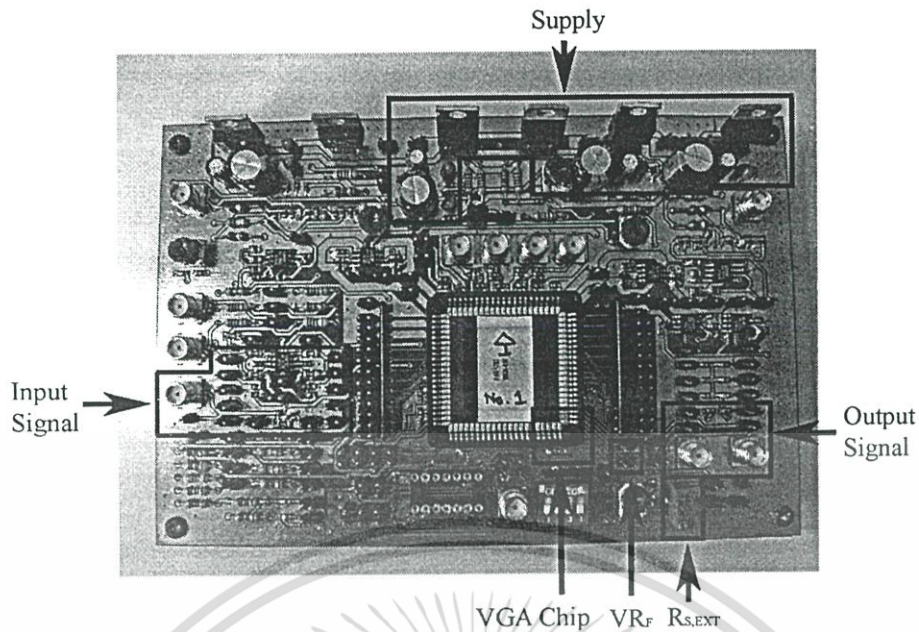
5.3 การทดสอบประสิทธิภาพของวงจร VGA จากชิพต้นแบบ

หลังจากการออกแบบทางกายภาพส่งไปเพื่อสร้างและได้รับชิพต้นแบบมา ต่อไปเป็นการทดสอบประสิทธิภาพเพื่อยืนยันการทำงานของวงจรที่ได้ออกแบบ เพราะฉะนั้นในส่วนนี้จะเป็นการกล่าวถึงการทดสอบประสิทธิภาพของชิพต้นแบบและการเปรียบเทียบกับวงจรที่จำลองการทำงานโดยโปรแกรมกับการทดสอบชิพจริงจริง

ในการออกแบบวงจรสำหรับการทดสอบชิพนั้น จำเป็นต้องกำหนดขอบเขตของการทดสอบ โดยในการทดสอบประสิทธิภาพของชิพต้นแบบในวิทยานิพนธ์ฉบับนี้จะประกอบด้วย การทดสอบการตอบสนองความถี่และการตอบสนองทางเวลาเมื่อทำการปรับอัตราขยายที่เกิดจากการปรับอัตราขยายจากวงจรปรับอัตราขยายที่ได้กำหนดไว้ล่วงหน้า วงจรที่ทำการออกแบบทางกายภาพนั้นเป็นวงจรขยายสัญญาณผลต่างที่สามารถปรับอัตราขยายได้ตั้งแต่ 0 เดซิเบลถึง 40 เดซิเบลโดยใช้การปรับค่าความต้านทานที่ออกแบบภายในชิพควบคุมด้วยแรงดัน V_{RF} และค่าความต้านทาน $R_{CRS,EXT}$ ดังนั้นวงจรที่นำมาใช้สำหรับการออกแบบบอร์ดทดสอบคือ วงจรจ่ายแรงดัน (power supply) วงจรเปลี่ยนสัญญาณอินพุตแบบเดี่ยวเป็นสัญญาณอินพุตผลต่าง (single to differential) วงจรจ่ายแรงดันควบคุมแรงดัน V_{RF} และวงจรควบคุมความต้านทาน R_s (ภาคผนวก ข.) โดยในบล็อกไดอะแกรมในรูปที่ 5.21 เป็นวงจรที่ใช้สำหรับการทดสอบประสิทธิภาพของชิพ ต่อจากนั้นทำการออกแบบบอร์ดคิงแสดงในรูปที่ 5.22



รูปที่ 5.21 บล็อกไดอะแกรมของวงจรทดสอบประสิทธิภาพชิพต้นแบบ



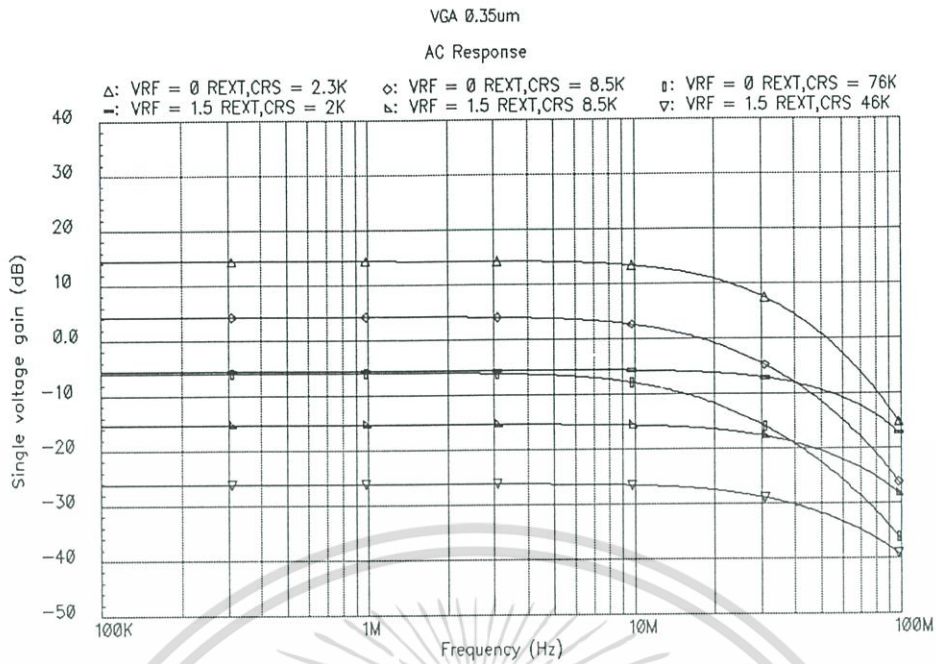
รูปที่ 5.22 บอร์ดสำหรับการทดสอบประสิทธิภาพของวงจรรวมที่ทำการออกแบบ

ผลการจำลองการตอบสนองความถี่และช่วงของการปรับอัตราขยายของวงจร VGA ที่ได้ ออกแบบโดยใช้โปรแกรม Cadence Spectre™ โดยผลที่ได้สามารถตอบสนองความถี่ประมาณ 20 เม็กเฮิรตซ์ที่อัตราขยายสูงสุด และ 40 เม็กเฮิรตซ์ที่อัตราขยายต่ำสุดดังแสดงในรูปที่ 5.23

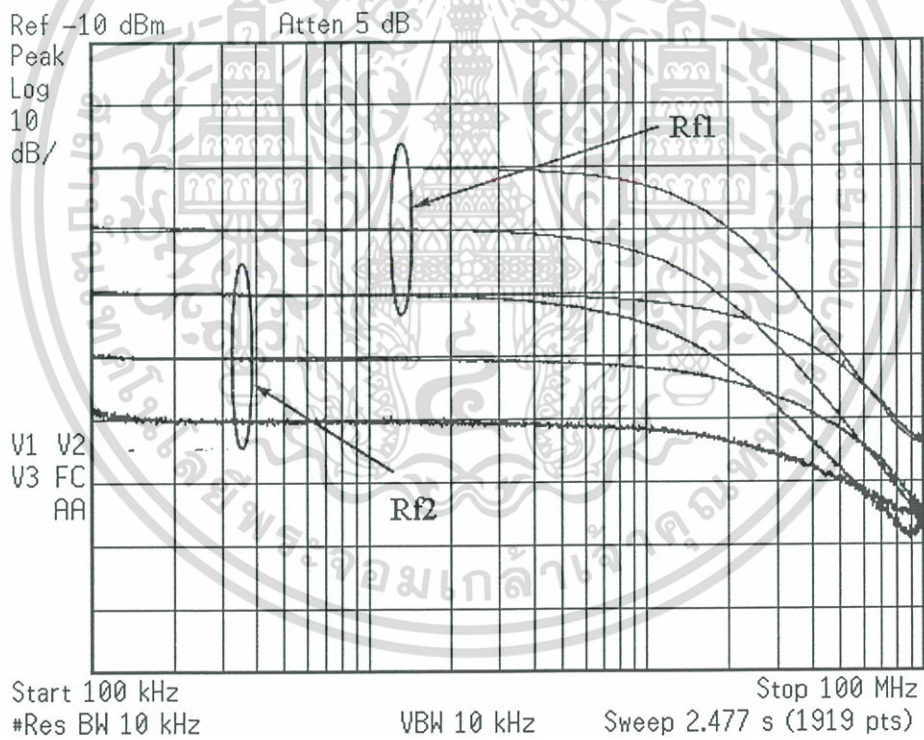
ในรูปที่ 5.24 แสดงผลการทดสอบประสิทธิภาพของวงจร VGA ผลการตอบสนองความถี่ของชิพต้นแบบโดยกำหนดแรงดัน V_{RF} เป็น 0 โวลต์และทำการปรับค่าความต้านทาน $R_{EXT,CRS}$ ที่ 1.3 กิโลโอห์มถึง 40 กิโลโอห์มตามลำดับ สามารถปรับอัตราขยายที่อัตราขยาย 34 เดซิเบลถึง 14 เดซิเบล และเมื่อกำหนดแรงดัน V_{RF} เป็น 1.5 โวลต์ และทำการปรับค่าความต้านทาน $R_{EXT,CRS}$ ที่ 1.3 กิโลโอห์มถึง 40 กิโลโอห์มตามลำดับ สามารถปรับอัตราขยายที่อัตราขยาย 14 เดซิเบลถึง -4 เดซิเบล ผลการตอบสนองความถี่ 10 เม็กกะเฮิรตซ์ที่อัตราขยายสูงสุดและ 20 เม็กกะเฮิรตซ์ที่อัตราขยายต่ำสุด

รูปที่ 5.25 – 5.28 แสดงผลทางเวลาเมื่อทำการป้อนสัญญาณอินพุตผลต่างให้กับวงจร VGA โดยกำหนดให้อัตราขยายเป็น 34 และ 14 เดซิเบล (50 เท่า และ 5 เท่า) แรงดัน V_{RF} 0 โวลต์ และ ความต้านทาน $R_{CRS,EXT}$ 1.3 กิโลโอห์มและ 40 กิโลโอห์ม และอัตราขยายเป็น 14 และ -6 เดซิเบล (5 เท่า และ 0.5 เท่า) แรงดัน V_{RF} 1.5 โวลต์ และ ความต้านทาน $R_{CRS,EXT}$ 1.3 กิโลโอห์มและ 40 กิโลโอห์ม ตามลำดับ

รูปที่ 5.29 แสดงผลการจำลองผลรวมความผิดเพี้ยน ที่อัตราขยายต่าง ๆ รูปที่ 5.30 แสดงผลทดสอบความเพี้ยนฮาร์โมนิกที่ 3 ที่อัตราขยายต่าง ๆ

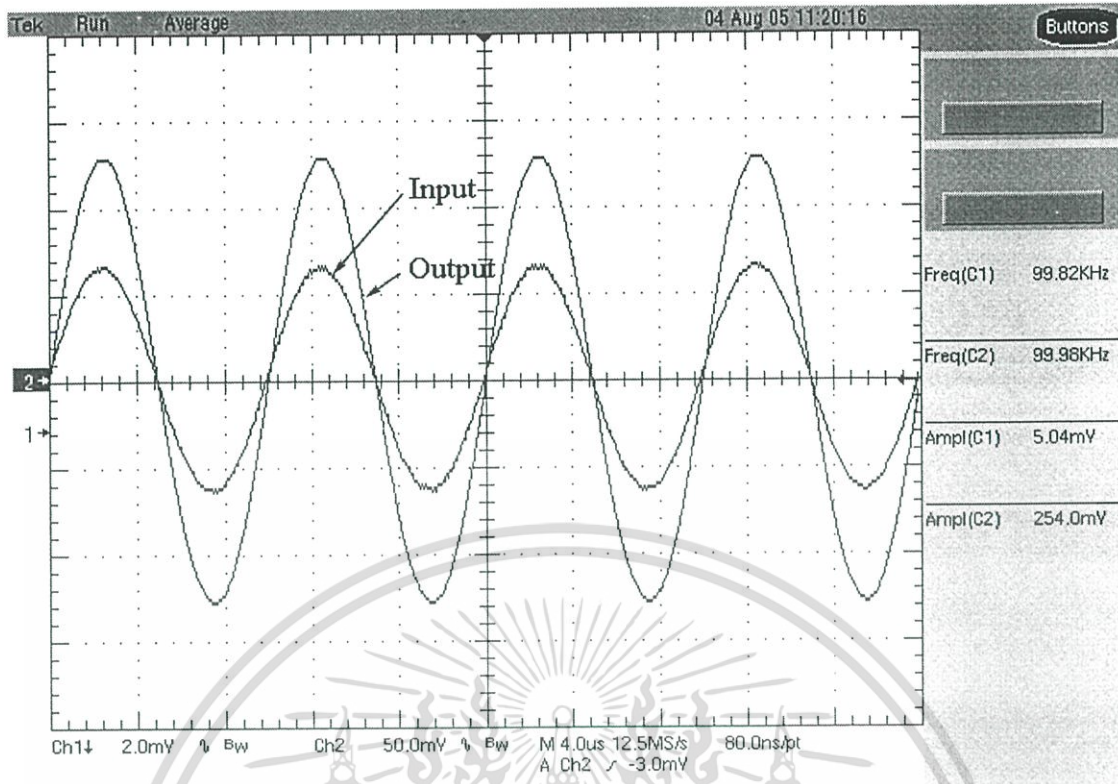


รูปที่ 5.23 ผลจำลองการตอบสนองความถี่ของวงจรรวมที่ทำการออกแบบ

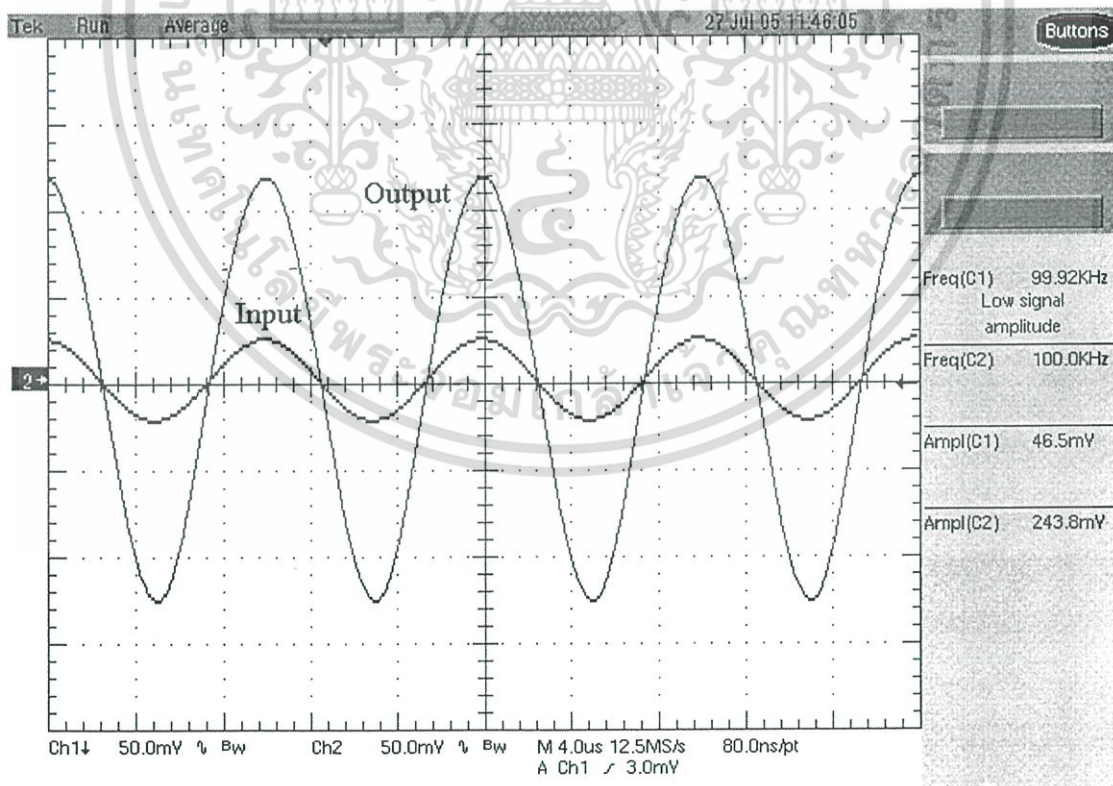


รูปที่ 5.24 ผลการตอบสนองความถี่ของวงจร VGA ในชิพต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

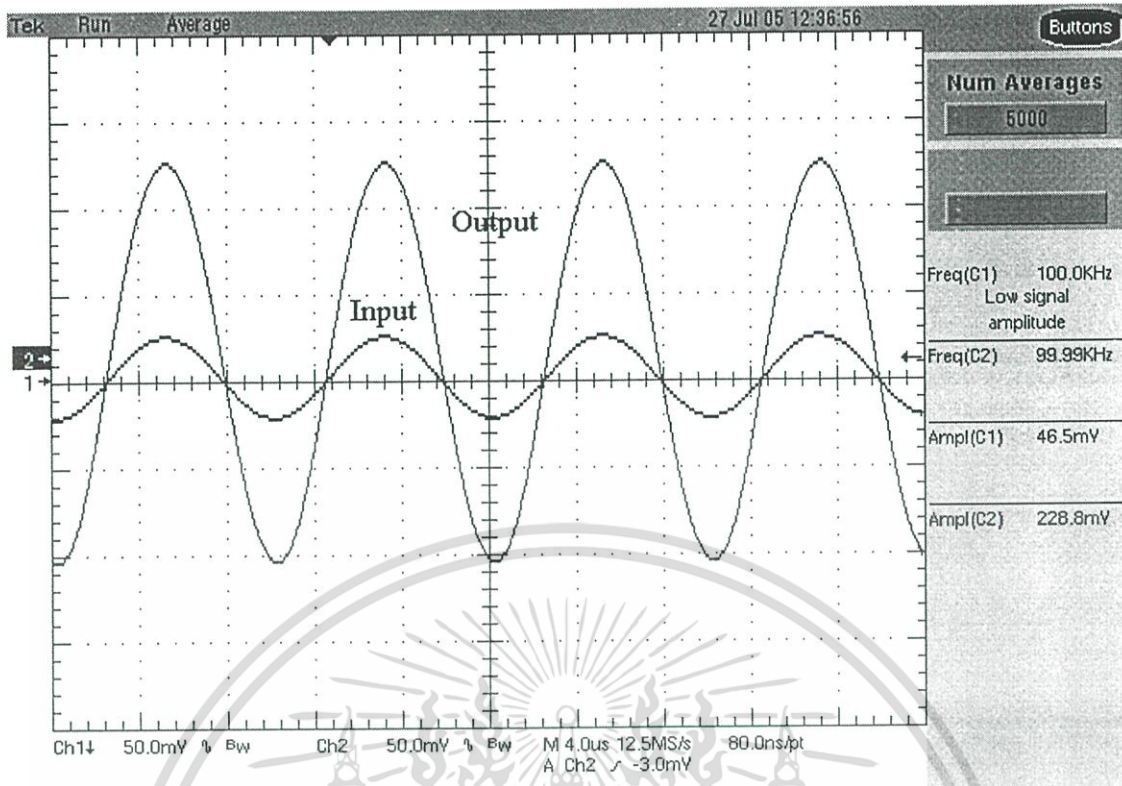


รูปที่ 5.25 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 34 เดซิเบล

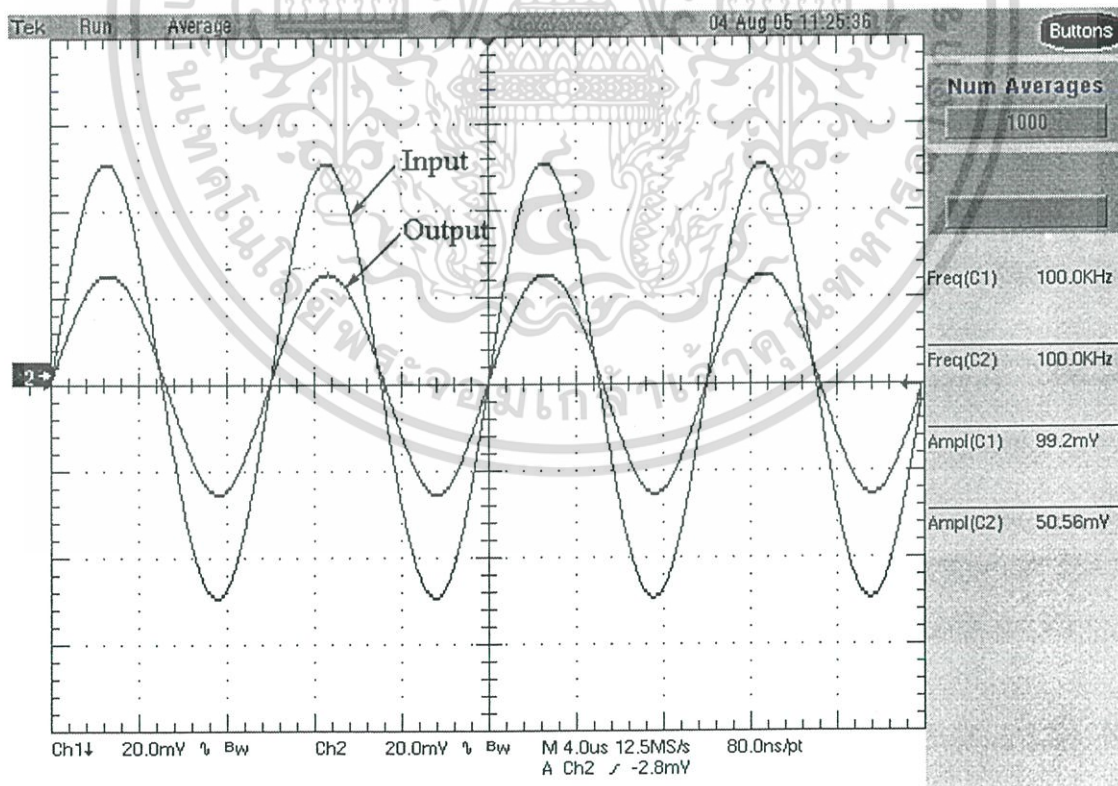


รูปที่ 5.26 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 14 เดซิเบล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

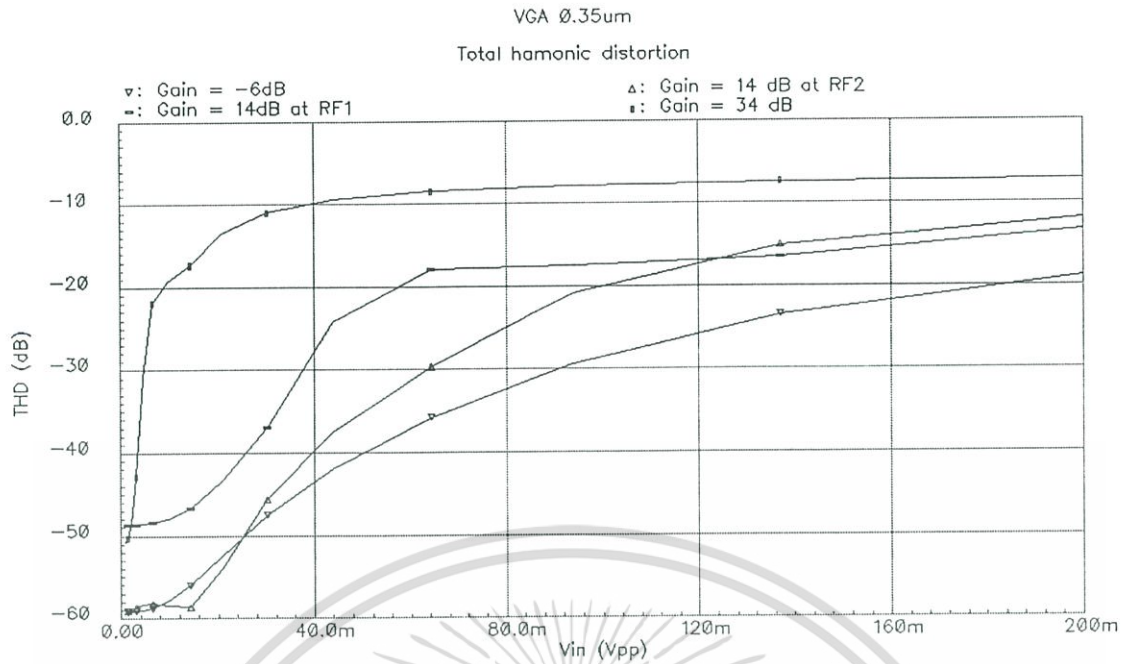


รูปที่ 5.27 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย 14 เดซิเบล

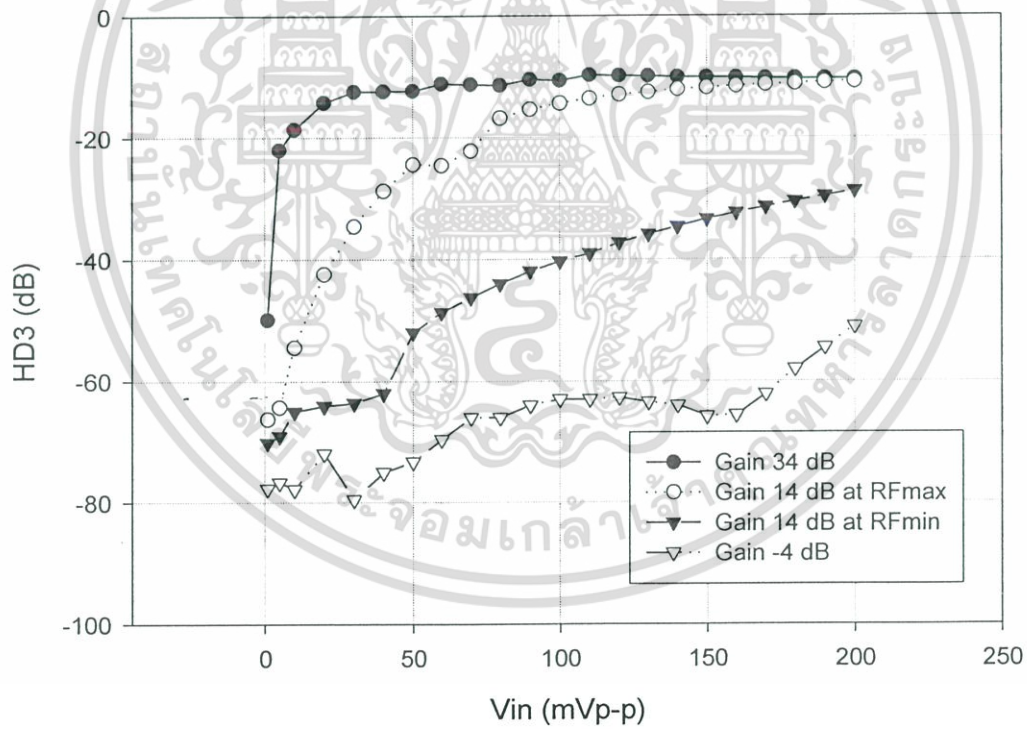


รูปที่ 5.28 ผลการตอบสนองทางเวลาของวงจร VGA ที่อัตราขยาย -6 เดซิเบล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.29 การจำลองผลรวมความเพี้ยนรวม (THD) ของสัญญาณแรงดันอินพุตที่พุท



รูปที่ 5.30 ผลการทดสอบฮาร์โมนิกที่ 3 ของชิพต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 บทสรุป

ในบทนี้เป็นการนำเสนอการออกแบบวงจร VGA ทางกายภาพเพื่อนำไปเจือสารสร้างเป็นชิพต้นแบบ และนำชิพต้นแบบดังกล่าวมาทำการทดสอบประสิทธิภาพเปรียบเทียบกับผลการจำลองการทำงานโดยใช้โปรแกรม Cadence Spectre™ ผลที่ได้จากการจำลองการทำงานโดยใช้โปรแกรมและการทดสอบประสิทธิภาพจากชิพต้นแบบมีค่าใกล้เคียงกันดังผลสรุปในตารางที่ 5.2 ผลความผิดเพี้ยนบางส่วนอาจเกิดจากพารามิเตอร์แฝงที่ไม่สามารถคาดเดาได้จากกระบวนการเจือสาร

ตารางที่ 5.2 สรุปผลการทำงานของวงจร VGA

พารามิเตอร์	จำลองการทำงาน	ทดสอบชิพต้นแบบ
เทคโนโลยี	0.35 μ m	
ช่วงความถี่ (MHz) อัตราขยายสูงสุด	20	10
ช่วงความถี่ (MHz) อัตราขยายต่ำสุด	40	20
ช่วงปรับอัตราขยาย (dB) (ด้านเดียว)	-4~34	-4~34
แหล่งจ่ายแรงดัน	1.5 โวลต์	1.5 โวลต์
กระแส (VGA 1 เซล)	50 μ A	-
กระแส (บัฟเฟอร์ 1 เซล)	250 μ A	-
กำลังงานสูญเสีย	900 μ W	-

บทที่ 6

บทสรุป

6.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอเกี่ยวกับการออกแบบวงจรขยายที่สามารถปรับอัตราขยายได้ หรือที่เรียกว่าวงจร VGA เป็นวงจรที่มีความสำคัญต่อระบบอิเล็กทรอนิกส์ปัจจุบัน โดยทั่วไปจะเป็นส่วนหนึ่งของลูปป้อนกลับวงจรปรับอัตราขยายอัตโนมัติหรือที่เรียกว่า AGC ซึ่งทำหน้าที่รักษาระดับแรงดันเอาต์พุตให้คงที่ การนำเสนอวงจร VGA ในวิทยานิพนธ์ฉบับนี้จะเน้นถึงการออกแบบวงจรโดยใช้เทคนิคใหม่โดยอาศัยการทำงานร่วมกันระหว่างวงจรถ่ายทรานส์คอนดักแดนซ์แบบชอร์ตดีเจนเนอเรชันและวงจรถ่ายทรานส์อิมพีแดนซ์ที่ใช้โครงสร้างวงจรถ่ายกระแสและมีการป้อนกลับแบบลบโดยเทคนิคทั้งสองให้สามารถทำงานที่แรงดันต่ำได้ ผลที่ได้จากการวิจัยสามารถนำเสนองานวิจัยวงจร VGA แบบใหม่ที่สามารถใช้แรงดันและกำลังงานต่ำเหมาะสำหรับการประยุกต์ใช้งานในระบบอิเล็กทรอนิกส์ต่าง ๆ โดยแหล่งจ่ายแรงดันที่ใช้คือ 1 โวลต์ และกระแสทั้งหมดของวงจรคือ 1.5 มิลลิแอมป์ผลตอบสนองความถี่สูงคือ 100 เมกกะเฮิร์ต สามารถปรับอัตราขยายช่วงกว้างคือ 60 เดซิเบล ตั้งแต่ -10 เดซิเบลถึง 50 เดซิเบล โดยเทคโนโลยีแบบซีมอส 0.13 ไมโครเมตร โครงสร้างที่ได้นำเสนอไปในวิทยานิพนธ์ฉบับนี้มีโอกาสได้ออกแบบทางกายภาพเพื่อสร้างชิพต้นแบบโดยทำการออกแบบโดยใช้เทคโนโลยีแบบซีมอส 0.35 ไมโครเมตร ผลที่ได้เป็นที่น่าพอใจคือสามารถใช้งานที่แหล่งจ่ายแรงดัน 1.5 โวลต์ที่มีอัตราขยายแรงดันช่วงกว้างตามที่กำหนดไว้คือ 40 เดซิเบลและมีการตอบสนองความถี่ได้กว้าง 10 เมกกะเฮิร์ตซึ่งเมื่อเปรียบเทียบกับชิพที่ได้ออกแบบโดยใช้กำลังงานแบบเดียวกันถือว่าดีกว่า

6.2 ข้อเสนอแนะแนวทางการวิจัย

วงจร VGA แบบใหม่ที่ได้นำเสนอไปนั้น เป็นวงจร VGA ที่มีการรวมเอาเทคนิควงจรถ่ายทรานส์คอนดักแดนซ์และทรานส์อิมพีแดนซ์มาใช้ร่วมกัน แต่เนื่องจากวงจรที่ใช้งานนั้นทำงานที่กำลังงานต่ำทำให้ผลของพิสัยพลวัตของวงจรต่ำไปด้วย ดังนั้นผู้เขียนคิดว่าสิ่งที่ต้องพัฒนาต่อไปคือเรื่องการเพิ่มพิสัยพลวัตของวงจรให้มากขึ้น

เอกสารอ้างอิง

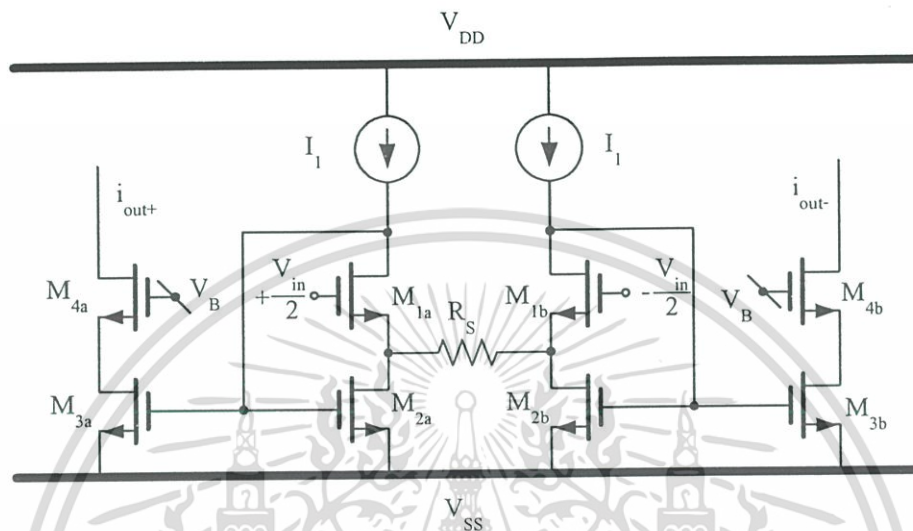
- [1] Harjani, R. 1995. "A low-power CMOS VGA for 50 Mb/s disk drive read channels.", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing 42(6) : 370 – 376
- [2] Silva-Martinez, J. and Salcedo-Suner, J. 1998. "A CMOS automatic gain control for hearing aid devices" 2 : 297 – 300 in IEEE Proceedings of the International Symposium on ISCAS '98. 1.
- [3] Chunbing, G. et. al. 2002 "A fully integrated 900-MHz CMOS wireless receiver with on-chip RF and IF filters and 79-dB image rejection" 37 (8) : 1084 – 1089.
- [4] David, J. And Ken, M. 1997. ANALOG INTEGRATED CIRCUIT DESIGN. Canada : John Wiley & Sons Inc.
- [5] Paul, R.G. Paul, J. H. Stephen, H. L. and Robert, G. M. 2001. ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS. United state of America : John Wiley & Sons Inc.
- [6] Phillip, E. Allen, Douglas R. Holberg 2002. CMOS Analog Circuit Design Second Edition. New York : OXFORD UNIVERSITY PRESS.
- [7] Behzad, R. 2000. Design of Analog CMOS Integrated Circuit. Korea: McGraw-Hill Companies, Inc.
- [8] Tadjpour, S. Behbahani, F. and Abidi, A. A., 1998. "A CMOS Variable Gain Amplifier for a Wideband Wireless Receiver," VLSI Circuits, 1998. Digest of Technical Paper, 86-89.
- [9] Watanabe, O. Otaka, S. Ashida, M. Itakura, T. 2003. "A 380-MHz CMOS Linear-in-dB Variable Gain Amplifier with Gain Compensation Techniques for CDMA Systems." IEICE Trans. Electron., E86-C (6). 1069-1076.
- [10] Wu, C.H., Lui, C.S. and Lui, S. I. 2004. "A 2 GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet" IEEE International Solid-State Circuits Conference. 1 . 484 - 541
- [11] Stefanelli, B., Kaiser, A. 1990. "CMOS TRIODE TRANSCONDUCTOR WITH HIGH DYNAMIC RANGE." Electronics Letters. 26 (13). 880-881
- [12] Song, W. C. et. al. 2000. "High frequency/high dynamic range CMOS VGA" ELECTRONIC LETTERS. 36(13). 1096-1097.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

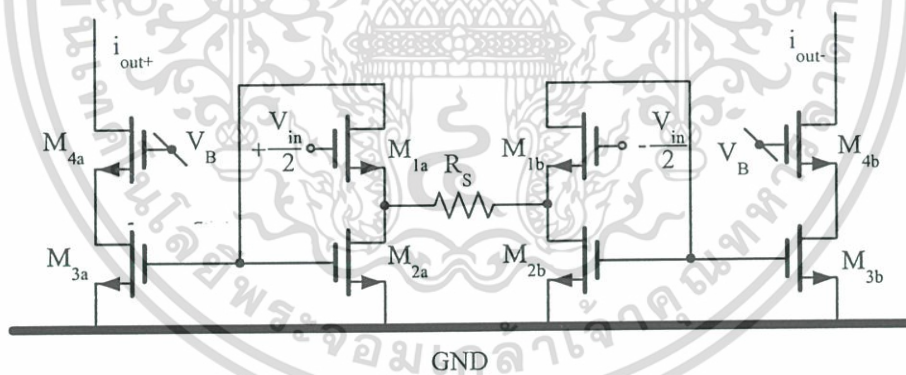
- [13] Kwon, J.K., Kim, K.D., Song, W.C. and Cho G.H. 2003. "Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications." 39(10) 759-760
- [14] Huang, P. C., Chiou, L.Y. and Wang, C.K. 1998. "A 3.3-V Wideband Exponential Control Variable-Gain-Amplifier." IEEE International Symposium on Circuits and Systems, 1 . 285-288.
- [15] Mangelsdorf, C.W.,2000, "A variable gain CMOS amplifier with exponential gain control" , Digest of Technical Papers. 2000 Symposium on VLSI Circuits. 146-149.
- [16] Saito, R. et. al. 2003 "A 1.8-V 73-dB dynamic-range CMOS variable gain amplifier" Proceedings of the 29th European Solid-State Circuits Conference. 301 – 304.
- [17] Rijns, J.J.F. 1996. "CMOS low-distortion high-frequency variable-gain amplifier." IEEE Journal of Solid-State Circuits. 31(7). 1029 – 1034.
- [18] Mostafa, M. Elwan, H. Bellaour, A. Kramer, B. Embabi, S.H.K. 1999 " A 110 MHz 70 dB CMOS variable gain amplifier." Proceedings of the 1999 IEEE International Symposium on Circuits and Systems. 2 . 628 - 631
- [19] Mohamed A. K. et. al. 2003 " A 60-dB 246-MHz CMOS Variable Gain Amplifier for Subsampling GSM Recivers",IEE Transactions on VLSI SYSTEM, 11(5). 835-838
- [20] Calvo, B. Celma, S. and Sanz, M.T.2003. "High-frequency digitally programmable gain amplifier" ELECTRONIC LETTERS 39(15). 1095-1096.
- [21] Hsu, C.C. and Wu,J.T. 2001. "Highly linear 100 MHz CMOS programmable gain amplifiers" IEEE International Symposium on Circuits and Systems. 1. 647 – 650.
- [22] Wilson, B.and Drew, J.D. 1997. "Novel transimpedance amplifier formulation exhibiting gain-bandwidth independence" IEEE Proceedings of International Symposium on Circuits and Systems.1. 169 - 172
- [23] Yamaji, T., Kanou, N. and Itakura, T. 2002. "A Temperature-Stable CMOS Variable-Gain Amplifier With 80-dB Linearly Controlled Gain Range." IEEE Journal of Solid-State Circuits. 37(5). 553 – 558.

ภาคผนวก ก.

ภาคผนวก ก.1 วงจรขยายสัญญาณผลต่างทรานส์คอนดักต์แดนซ์แบบชอร์สตีเจนเนอร์ชั้นใช้แรงดันต่ำ

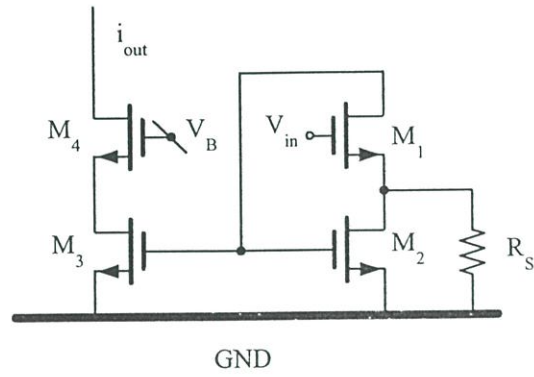


รูปที่ ก.1 วงจรขยายสัญญาณผลต่างทรานส์คอนดักต์แดนซ์แบบชอร์สตีเจนเนอร์ชั้นใช้แรงดันต่ำ

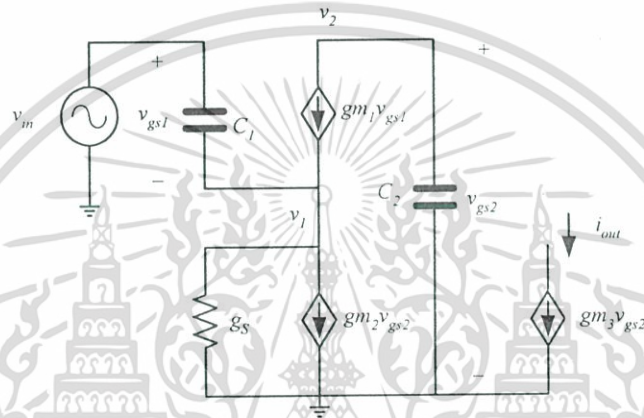


รูปที่ ก.2 วงจรสำหรับการวิเคราะห์ที่ความถี่สูงของรูปที่ ก.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.3 วงจรสำหรับการวิเคราะห์ที่ความถี่สูงของรูปที่ ก.2 แบบครึ่งวงจร



รูปที่ ก.4 วงจรจำลองสัญญาณขนาดเล็กของรูปที่ ก.3

การวิเคราะห์วงจร ใช้วงจรในรูปที่ ก.4 ทำการวิเคราะห์โดยหาความสัมพันธ์ระหว่างกระแสเอาต์พุตต่อแรงดันอินพุต i_{out}/v_{in} กำหนดให้ $y_1 = sC_1$, $y_2 = sC_2$, $y_3 = g_s$ และ $C_2 = C_{gs2} + C_{gs3}$ สมการกระแสที่โหนด v_1

$$g_{m1}(v_{in} - v_1) = g_{m2}v_2 + (y_1 + y_3)v_1 - y_6v_{in}$$

$$g_{m1}v_{in} - g_{m1}v_1 = g_{m2}v_2 + (y_1 + y_3)v_1 - y_6v_{in}$$

(ก1)

$$(g_{m1} + y_1)v_{in} = g_{m2}v_2 + (g_{m1} + y_1 + y_3)v_1$$

$$v_1 = \frac{(g_{m1} + y_1)v_{in} - g_{m2}v_2}{(g_{m1} + y_1 + y_3)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการกระแสที่โหนด v_2

$$g_{m1}v_{in} - g_{m1}v_1 = y_2v_2 \quad (ก2)$$

$$v_1 = \frac{g_{m1}v_{in} - y_2v_2}{g_{m1}}$$

กำหนดให้ (ก1)=(ก2)

$$\frac{(g_{m1} + y_1)v_{in} - g_{m2}v_2}{(g_{m1} + y_1 + y_3)} = \frac{g_{m1}v_{in} - y_2v_2}{g_{m1}} \quad (ก3)$$

$$\frac{v_2}{v_{in}} = -\frac{y_3g_{m1}}{\{(g_{m1} + y_1 + y_3)y_2 + g_{m1}g_{m2}\}} \quad (ก4)$$

แทนค่า $y_1 = sC_1$ $y_2 = sC_2$ $y_3 = g_s$

$$\frac{v_2}{v_{in}} = -\frac{g_s g_{m1}}{s^2 C_1 C_2 + s C_2 (g_{m1} + g_s) + g_{m1} g_{m2}} \quad (ก5)$$

$$i_{out} = g_{m3}v_2 \quad (ก6)$$

เราจะได้ว่า

$$-i_{out} = -\frac{g_s g_{m1} g_{m3}}{s^2 C_1 C_2 + s C_2 (g_{m1} + g_s) + g_{m1} g_{m2}} \quad (ก7)$$

กำหนดให้ $g_{m3} = \alpha g_{m2}$ และ $\alpha = 1$ $g_{m1} \gg g_s$

เราจะได้ว่า

$$\frac{i_{out}}{v_{in}} = -\frac{g_s g_{m1} g_{m2}}{s^2 C_1 C_2 + s C_2 g_{m1} + g_{m1} g_{m2}} \quad (ก8)$$

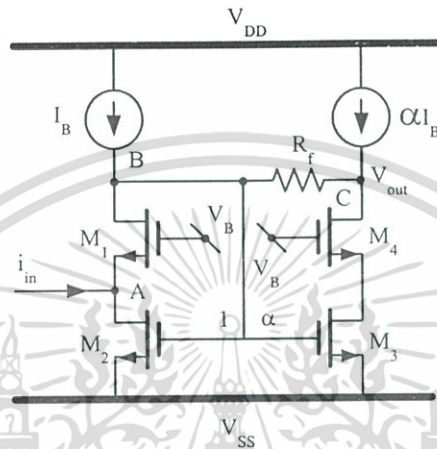
$$\frac{i_{out}}{v_{in}} = -\frac{g_s}{s^2 \frac{C_1 C_2}{g_{m1} g_{m2}} + s \frac{C_2}{g_{m2}} + 1} \quad (ก9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

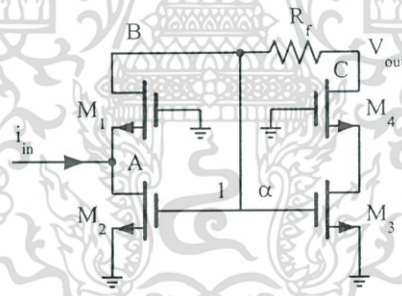
เมื่อ $s = 0$

$$\frac{i_{out}}{v_{in}} = -g_s = -\frac{1}{R_S} \quad (ก10)$$

ภาคผนวก ก.2 วงจรขยายสัญญาณทรานส์อิมพีแดนซ์แบบกระแสป้อนกลับใช้แรงดันต่ำ

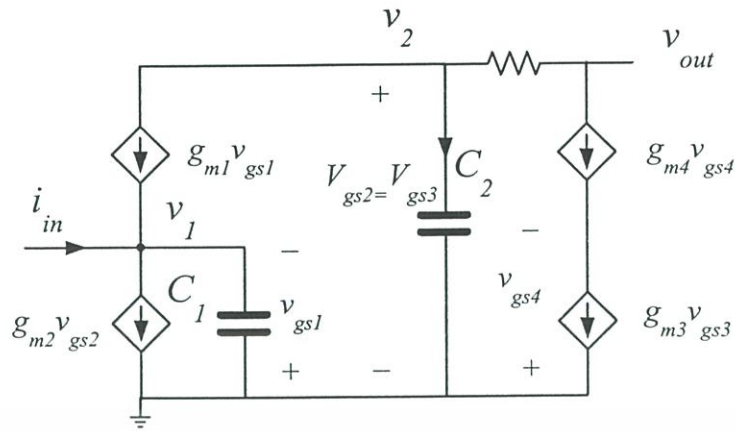


รูปที่ ก.5 วงจรขยายสัญญาณทรานส์อิมพีแดนซ์แบบกระแสป้อนกลับใช้แรงดันต่ำ



รูปที่ ก.6 วงจรสำหรับการวิเคราะห์ที่ความถี่สูงของรูปที่ ก.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 วงจรจำลองสัญญาณขนาดเล็กรูปที่ ก.6

การวิเคราะห์ห้วงจร ใช้วงจรในรูปที่ ก.7 ทำการวิเคราะห์โดยหาความสัมพันธ์ระหว่างกระแสเอาต์พุตต่อแรงดันอินพุต i_{out}/v_{in} กำหนดให้ $y_1 = sC_1$, $y_2 = sC_2$, $y_3 = g_f$ และ $C_2 = C_{gs2} + C_{gs3}$ สมการกระแสที่โหนด v_1

$$(y_1 + g_{m1})v_1 + g_{m2}v_2 = i_{in}$$

$$v_1 = \frac{i_{in} - g_{m2}v_2}{(y_1 + g_{m1})}$$

(ก11)

สมการกระแสที่โหนด v_2

$$(y_2 + y_3)v_2 - g_{m1}v_1 - y_2v_{out} = 0$$

$$v_1 = \frac{-y_3v_3 + (y_2 + y_3)v_2}{g_{m1}}$$

(ก12)

สมการกระแสที่โหนด v_{out}

$$y_3v_{out} - (y_3 - g_{m3})v_2 = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{out} = \frac{(y_3 - g_{m3})v_2}{y_3} \quad (ก13)$$

กำหนดให้ สมการที่ (ก11) เท่ากับสมการที่ (ก12)

$$\frac{i_{in} - g_{m2}v_2}{(y_1 + g_{m1})} = \frac{-y_3v_{out} + (y_2 + y_3)v_2}{g_{m1}}$$

เราจะได้ว่า

$$v_2 = \frac{i_{in}g_{m1} + y_3(y_1 + g_{m1})v_{out}}{\{(y_2 + y_3)(y_1 + g_{m1}) - g_{m1}g_{m2}\}} \quad (ก14)$$

นำ (ก14) ไปแทนใน (ก13) เราจะได้ว่า

$$v_{out} = \frac{g_{m1}(y_3 - g_{m3})}{y_3[(y_1y_2 + y_2g_{m1} + y_1g_{m3} + g_{m1}g_{m2} + g_{m1}g_{m3})]} i_{in} \quad (ก15)$$

แทนค่า $y_1 = sC_1$ $y_2 = sC_2$ $y_3 = g_f$

$$v_{out} = \frac{g_{m1}(g_f - g_{m3})}{g_f[s^2C_1C_2 + sC_2g_{m1} + sC_1g_{m3} + g_{m1}g_{m2} + g_{m1}g_{m3}]} i_{in} \quad (ก16)$$

เมื่อ $g_{m3} = \alpha g_{m2}$ เราจะได้ว่า

$$\frac{v_{out}}{i_{in}} = \frac{g_{m1}(g_f - g_{m3})}{g_f\{s^2C_1C_2 + s(C_1g_{m3} + C_2g_{m1}) + g_{m1}g_{m2}(1 + \alpha)\}} \quad (ก17)$$

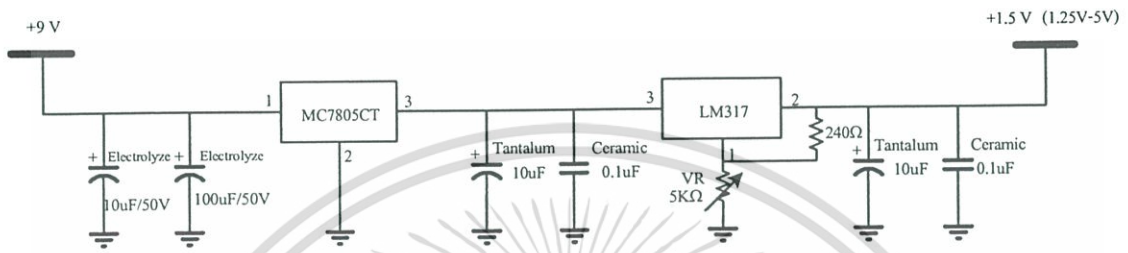
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

วงจรภายนอกสำหรับบอร์ดทดสอบชิพต้นแบบ

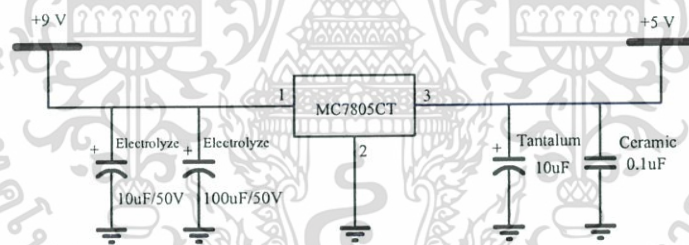
ภาคผนวก ข.1 วงจรจ่ายแรงดัน

-วงจรจ่ายแรงดัน 1.5 โวลต์



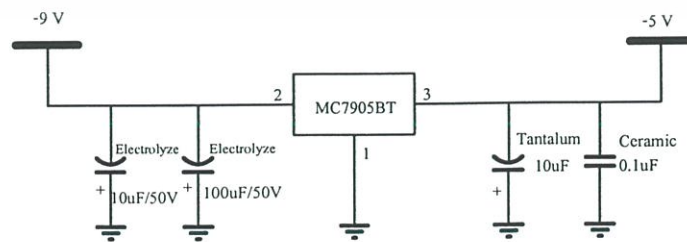
รูปที่ ข.1 วงจรจ่ายแรงดัน +1.5 โวลต์

-วงจรจ่ายแรงดัน +5 โวลต์



รูปที่ ข.2 วงจรจ่ายแรงดัน +5 โวลต์

-วงจรจ่ายแรงดัน -5 โวลต์

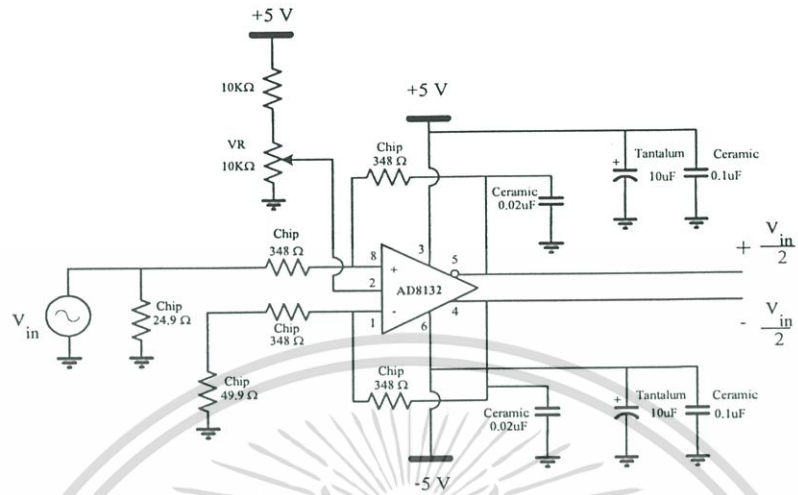


รูปที่ ข.3 วงจรจ่ายแรงดัน -5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

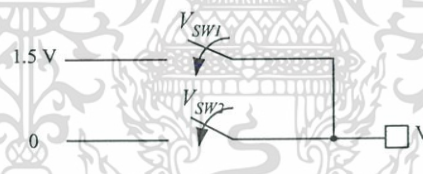
ภาคผนวก ข.2 วงจรแปลงสัญญาณ

-วงจรแปลงสัญญาณเดี่ยวเป็นสัญญาณคู่ผลต่าง



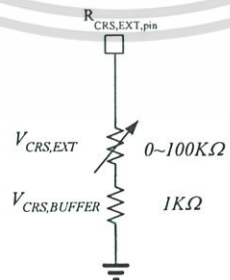
รูปที่ ข.4 วงจรแปลงสัญญาณอินพุทแบบเดี่ยวเป็นสัญญาณคู่ผลต่าง

ภาคผนวก ข.3 วงจรสร้างแรงดัน V_{RF}



รูปที่ ข.5 วงจรสร้างแรงดัน V_{RF}

ภาคผนวก ข.4 วงจรควบคุมความต้านทาน R_S



รูปที่ ข.6 วงจรควบคุมความต้านทาน R_S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ผลงานวิจัยที่ได้รับการตีพิมพ์

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารในประเทศและต่างประเทศในวิทยานิพนธ์นี้มี 3
บทความดังต่อไปนี้

- P. Naktongkul and A. Thanachayanont, “A 1-V 25-dB 100-MHz CMOS Variable Gain Amplifier cell” International Symposium on Communications and Information Technologies (ISCIT), pp. 527-530, 2004.
- A. Thanachayanont and P. Naktongkul, “Low-voltage wideband compact CMOS variable gain amplifier” Electronics Letter, pp.51-52, Volume 41 Number 2 20th January 2005.
- P. Naktongkul and A. Thanachayanont, “A 1-V 60-dB 100-MHz CMOS Variable Gain Amplifier” , Proceeding of The 2005 Electrical Engineering/Electronic, Computer, Telecommunications, and Information Technology (ECTI) International Conference, pp.193-196, 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 1-V 25-dB 100-MHz CMOS Variable Gain Amplifier Cell

P. Naktongkul¹ and A. Thanachayanont²

Microelectronics Research Laboratory, Research Center of Communications and Information Technology
Department of Electronic Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext 3309
Email: puttin@hotmail.com¹, ktapinun@kmitl.ac.th²

Abstract: This paper proposes a novel low-voltage, low-power wide-bandwidth variable gain amplifier (VGA) cell. The proposed circuit combines source degeneration and current-mode techniques to achieve high linearity and constant bandwidth. Using a 0.35- μm CMOS process and dissipating 84 μW from a 1-V supply voltage, the proposed VGA cell can have a voltage gain varying from 0 dB to 25-dB DC gain while maintaining a constant bandwidth of 100-MHz.

1. Introduction

Variable gain amplifier (VGA) is a key building block in many applications, such as disk drives [1], hearing aids [2], and communication systems [3], in order to maximize the dynamic range of the overall system. In wireless communication receiver, VGA is typically employed in a feedback loop to realize an automatic gain control (AGC), to provide constant signal power to baseband analog-to-digital converter (ADC) for unpredictable received signal strengths. The specification for the linearity of the VGA is generally very high to maintain good overall system linearity. High linearity VGA cell can be designed using techniques including source degeneration [4], variable current bias [5], variable triode bias [6], variable load [7], and high gain with feedback [8]. It is also important that the bandwidth of the amplifier remains constant when the voltage gain is varied. This can be obtained by employing current-mode techniques [9].

This paper describes a novel compact VGA that exploits current-mode technique to achieve high linearity and wide bandwidth simultaneously with very low power supply voltage and power dissipation. Section 2 describes the VGA architecture, which can achieve constant bandwidth. Section 3 describes the circuit implementation of the proposed VGA. Simulation results are reported in section 4 and conclusion is given in section 5.

2. VGA Architecture

Fig. 1 shows the architecture of the proposed VGA. A current amplifier with shunt-feedback resistors (R_f) is used to allow constant bandwidth when varying the voltage gain [9]. The closed-loop transimpedance gain of the transimpedance stage is given by:

$$R_m = \frac{v_{out}}{i_{in}} = -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \quad (1)$$

If $A_i \gg 1$, $R_m \approx -R_f$ therefore the voltage gain of the VGA is approximately given by (2).

$$A_v \approx -G_m R_f \quad (2)$$

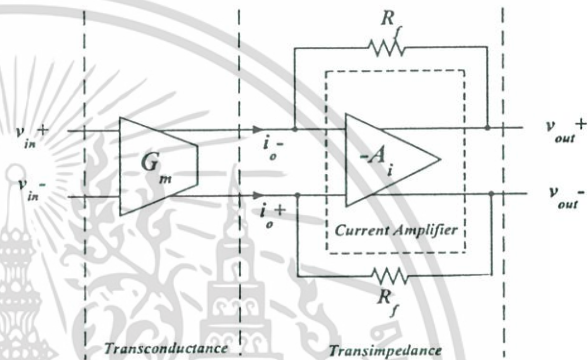


Fig. 1: Architecture of the proposed VGA.

3. Circuit Implementation

This section describes the circuit implementation of the proposed VGA, which consists of a source degeneration differential input transconductance amplifier and a current-mode transimpedance amplifier.

3.1 Source degeneration fully differential input transconductance amplifier

A source degeneration fully differential input structure is employed to get high precision gain steps and good linearity. Fig. 2 shows the basic source degeneration differential amplifier whose differential transconductance is given by (3), where $R_{s1} \approx 1/g_{m1}$ is the resistance looking into the source of M_1 .

$$G_{md} = \frac{1}{(R_{s1} + R_s)} \quad (3)$$

When $R_s \gg 1/g_{m1}$, the transconductance $G_m \approx 1/R_s$ and the voltage-to-current conversion is free of the non-linear characteristic of the transistor thus the circuit is

linear. Linearity can be improved by reducing R_{s1} , which can be done by applying negative feedback via M_2 , as shown in Fig. 2. The feedback forces a constant current to flow in M_1 thus the differential input voltage appears across the source degeneration resistor and the differential output current signal flows in M_2 . With the negative feedback, R_{s1} is approximately given by

$$R_{s1} \approx \frac{g_{o1}}{g_{m1}g_{m2}} \quad (4)$$

which is a factor of g_{m2}/g_{o1} smaller than the original value. Thus the circuit in Fig. 2 can achieve better linearity for the same value of R_s . The circuit requires only $V_T + V_{dsat}$ to operate and does not have a high-impedance node, thus it is suitable for low-voltage and wide bandwidth operation.

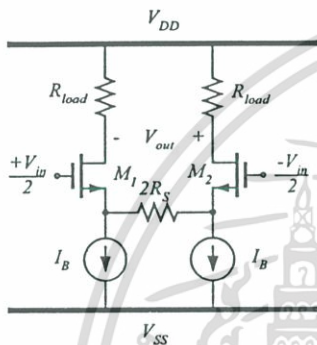


Fig. 2: Basic source-degeneration differential pair.

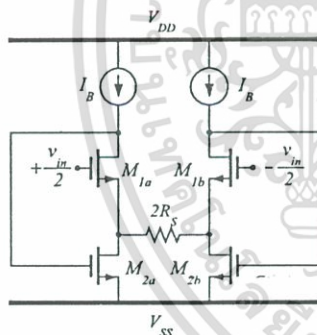


Fig. 3: Source-degeneration differential pair with linearity enhancement.

3.2 Low-Voltage Transimpedance Amplifier

A low-voltage transimpedance amplifier can be realized by using a current amplifier with feedback resistor as shown in Fig. 4 [9]. The circuit can achieve a closed-loop gain approaching $-R_f$ for large current gain (α).

Assuming $g_o \ll g_m$, the transimpedance gain (R_m) is

$$\frac{v_{out}}{i_{in}} = R_m = \frac{g_{m1}(g_f - g_{m3})}{g_f(s^2 C_{gs1} C_2 + s(C_{gs1} g_{m3} + C_2 g_{m1}) + g_{m1}(g_{m2} + g_{m3}))} \quad (7)$$

where $g_f = 1/R_f$, $C_2 = c_{gs2} + c_{gs3} = c_{gs2}(1 + \alpha)$ and $g_{m3} = \alpha g_{m2}$.

The DC transimpedance gain (R_{m0}) is given by (8).

$$R_{m0} = \frac{g_f - \alpha g_{m2}}{g_f g_{m2} (1 + \alpha)} = \frac{g_f - \alpha g_{m2}}{g_f g_{m2}} \cdot \frac{1}{(1 + \alpha)} \quad (8)$$

If $\alpha \gg 1$, R_m and R_{m0} are given by (9) and (10) respectively.

$$R_m \approx \frac{\frac{g_{m1}}{C_{gs1}} \left(1 - \frac{1}{g_f} \frac{\alpha g_{m2}}{C_2} \right)}{s^2 + s \left(\frac{\alpha g_{m2} + g_{m1}}{C_2} + \frac{g_{m1}}{C_{gs1}} \right) + \frac{g_{m1}}{C_{gs1}} \cdot \frac{\alpha g_{m2}}{C_2}} \quad (9)$$

$$R_{m0} \approx -\frac{1}{g_f} \quad (10)$$

It can be seen from (9) the transimpedance function has two poles at $\omega_{p1} = -g_{m1}/C_{gs1}$ and $\omega_{p2} = -\alpha g_{m2}/C_2 \approx -g_{m2}/C_{gs2}$, which are the f_T of the transistors. Therefore the dominant pole of the transimpedance amplifier will be determined by the load capacitance.

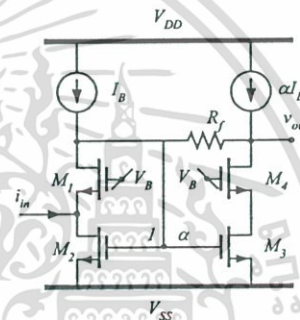


Fig. 4: Low voltage transimpedance amplifier.

3.3 Proposed VGA cell

Combining the circuits in Fig. 3 and Fig. 4, the proposed VGA is depicted in Fig. 5. Note that the transistors M_1 and M_2 of the circuits in Fig. 3 and Fig. 4 are merged, resulting in a very compact VGA circuit. In this paper, the current gain (α) of 5 is chosen to compromise between accuracy and power dissipation. High gain accuracy can be obtained with large bias current.

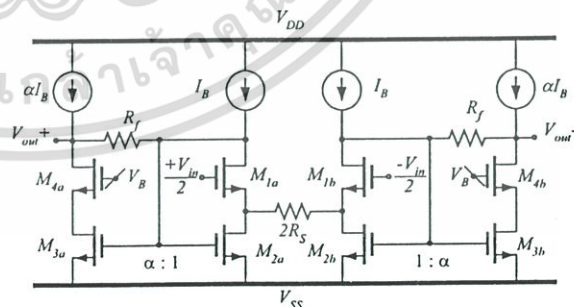


Fig. 5: Proposed VGA cell.

4. Simulation Results

The proposed low-voltage low-power VGA was designed and simulated using Cadence *Spectre*TM with process parameters from a 0.35- μm standard CMOS technology. The circuit was designed to operate with a single 1-V power supply voltage and nominal parameters summarized in Table I. Note that the main focus of this work is to push the VGA bandwidth to the limit under a 1 V supply voltage, thus less attention was given to other characteristics.

Fig. 6. and Fig. 7 show the simulated AC frequency response of the proposed VGA when varying R_f and R_s respectively. The voltage gain can be varied from 0 to 25dB and the -3dB bandwidth of 100 MHz can be obtained. It can be seen that gain control with constant bandwidth can be achieved by varying R_s , while varying R_f affects the bandwidth of the VGA because R_f determines the dominant output pole frequency of the circuit. Therefore to design the VGA, R_f should be chosen first according to the bandwidth requirement and R_s is then tuned to adjust the voltage gain.

Fig. 8 shows the gain control characteristic of the VGA. Fig. 9 and Fig. 10 show the simulated total harmonic distortion (THD) of the circuit as a function of input amplitude, and frequency, respectively. Table II summarises the simulated performance of the VGA. It can be seen that the proposed circuit can achieve wide bandwidth with only 84 μW power dissipation.

5. Conclusion

A novel low voltage VGA circuit has been described. The proposed VGA combines a source degeneration transconductance amplifier with a current amplifier in transimpedance configuration to achieve high linearity and wide bandwidth. Using the current-mode technique, the voltage gain of the VGA can be tuned while the bandwidth remains constant. The key advantages of the proposed VGA are low supply voltage, wide and constant bandwidth.

6. Acknowledgement

Financial support from Thailand Research Fund (grant #RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (under IMT-2000 project) are gratefully acknowledged.

References

- [1] W. A. Serdijn, A. C. Van der Woerd, J. Davidse, and A. H. M. Van Roermund, "A low-voltage low-power fully integratable automatic gain control for hearing instruments," *IEEE J. Solid-State Circuits*, Vol. 29, pp. 943-946, Aug 1994.
- [2] R. Harijani, "A low-power CMOS VGA for 50 Mb/s Disk Drive Read Channels," *IEEE Trans. on Circuits*

and Systems-II: Analog and Digital Signal Processing, Vol. 42, no. 6, pp. 370-376, June 1995.

- [3] G. S. Sahota and C.J Persico, "High Dynamic Range Variable Gain Amplifier for CDMA Wireless Application," *Proc. of 1997 IEEE International Solid-State Circuits Conference*, pp. 374-375, 1997.
- [4] J. J. F. Rijns, "CMOS Low-Distortion High-Frequency Variable-Gain Amplifier," *IEEE Trans. on Solid-State Circuits*, Vol. 31, no. 7, pp. 1029-1034, July 1996.
- [5] S. Tadjpour, F.Behbahani, and A. A. Abidi, "A CMOS Variable Gain Amplifier for a Wideband Wireless Receiver," *Symposium on VLSI Circuits Digest of Technical Paper*, pp. 86-89, 1998.
- [6] W. C. Song, C. J. Oh, G. H. Cho and H. B. Jung, "High frequency/high dynamic range CMOS VGA," *Electronic letter*, Vol. 36, no. 13, pp. 1096-1098, 2000
- [7] P-C. Huang, L-Y. Chiou, C-K. Wang, "A 3.3-V Wideband Exponential Control Variable-Gain-Amplifier," *IEEE International Symposium on Circuits and Systems*, 1, pp. 285-228, 1998.
- [8] K. Hadidi, M. Jenabi, J. Sobhi and A. Hasankhaan, "A 300 MHz 18 dB Variable Gain Amplifier," *IEEE International Conference on Electronic, Circuitis and Systems*, Vol. 3, pp.373-375, Sept, 1998.
- [9] K. Phang, D. A. Johns, "A 1 V 1 mW CMOS Front-End with On-chip Dynamic Gate Biasing for a 75Mb/s Optical Receiver," *IEEE Int. Solid-Stage Circuits Conference*, pp. 218-220, 2001
- [10] B. Calvo, S. Celma and M.T. Sanz, "High-frequency digitally programmable gain amplifier", *Electronics Letter*, Vol. 39, no. 15, pp. 1095-1096, July 2003

Table I: Circuit parameters of the proposed VGA

Parameters	Value
$(W/L)_1$ and $(W/L)_4$	40/0.35
$(W/L)_2$ and $(W/L)_3$	0.7/0.5
Current mirror ratio (α)	5
V_{DD} to V_{SS}	1
I_B	7 μA
V_B (V)	0.85

Table II: Simulated performance of the completed OTA.

Parameters	This work	[10]
Supply (V)	1	3.3
CMOS Technology	0.35 μm	0.35 μm
Dynamic range	0~25dB	0~16dB
-3dB bandwidth	100MHz	100MHz
Power consumption	84 μW	1.8 mW

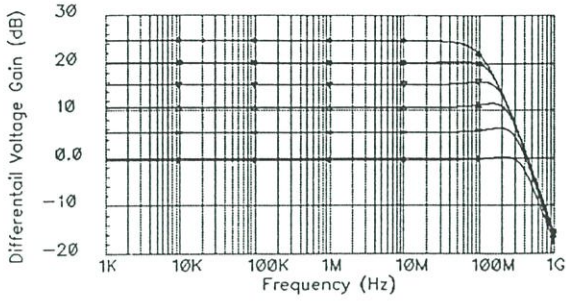


Fig. 6: Measured gain response vary by R_f ($R_s=5k\Omega$)

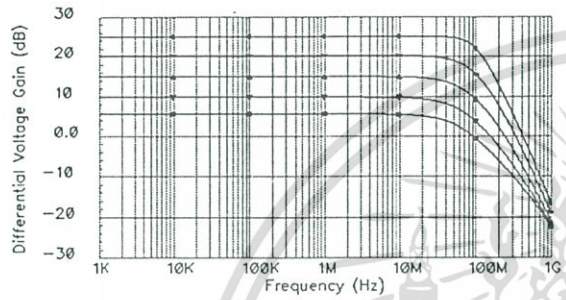


Fig. 7: Measured gain response vary by R_s ($R_f=240k\Omega$)

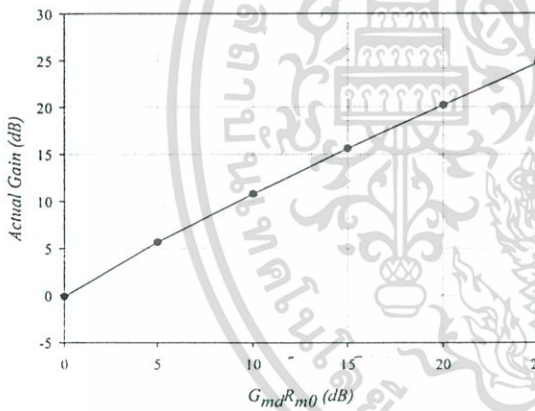


Fig. 8: VGA Gain characteristics.

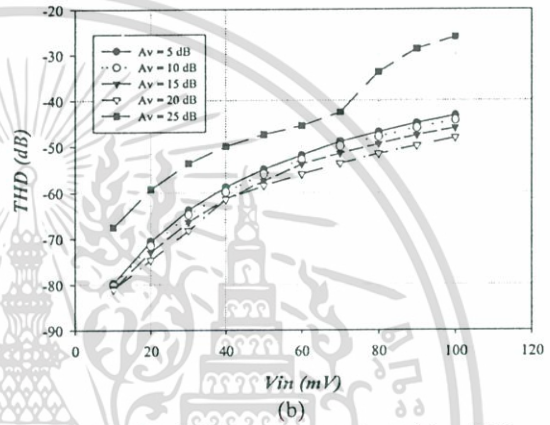
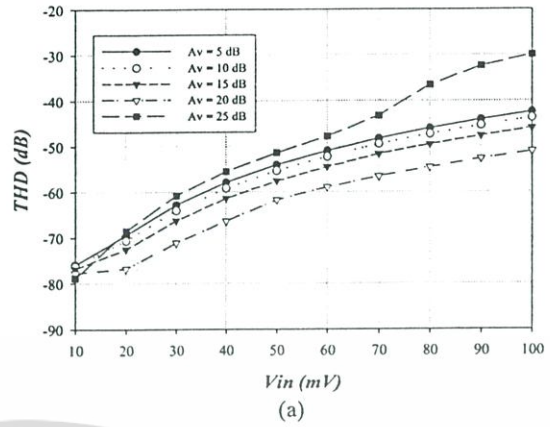


Fig. 9: Simulated THD vs. input voltage (a) at 1KHz and (b) at 20 MHz.

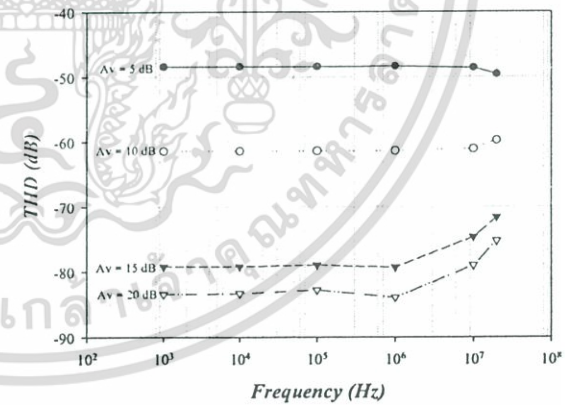


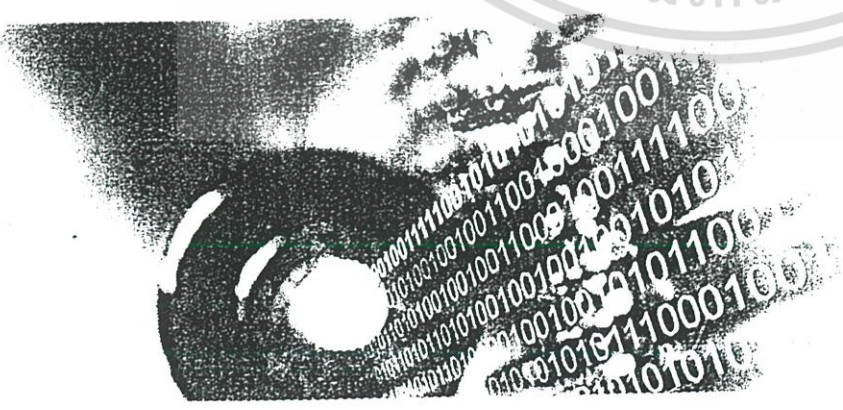
Fig. 10: Simulated THD vs. input frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronics Letters

Volume 41 Number 2 20th January 2005
ISSN 0013-5194

Engineering the future



001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-voltage wideband compact CMOS variable gain amplifier

A. Thanachayanont and P. Naktongkul

A novel low-voltage wideband CMOS variable gain amplifier (VGA) is proposed. Using a 0.13 μm CMOS technology, the VGA exhibits a linear-dB controllable gain range of 40 dB with a bandwidth in excess of 130 MHz, while drawing only 50 μA from a single 1 V power supply voltage.

Introduction: The variable gain amplifier (VGA) is an indispensable building block in modern wireless communication systems [1, 2]. In deep submicrometre CMOS technology where the supply voltage can be as small as 1.2 V, designing a VGA with high linearity and wide bandwidth with acceptable power dissipation is a real challenge. In this Letter, a new low-voltage low-power wideband CMOS VGA circuit is proposed.

Proposed VGA cell: The architecture of the proposed VGA circuit is shown in Fig. 1, which is a cascade of a linear transconductance amplifier and a linear transimpedance amplifier. The transimpedance amplifier is realised using a current amplifier with shunt-feedback resistors (R_f). This allows constant bandwidth when varying the voltage gain [3]. The voltage gain of the VGA circuit is the product of the transconductance gain (G_m) and the transimpedance gain (R_m). The transimpedance gain is given by (1), where R_{in} and A_i , respectively, are the input resistance and the current gain of the current amplifier. Note that, when $A_i \gg 1$, we have $R_m \approx -R_f$. Therefore, a linear G_m and a high-gain current amplifier are required to realise a high-linearity VGA:

$$R_m = -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \quad (1)$$

Fig. 2 shows the circuit implementation of the proposed VGA cell, which combines a source degeneration differential input transconductance amplifier (M_1, M_2 and R_s) and a current-mode transimpedance amplifier (M_1-M_4 and R_f) [3]. Transistors M_1 and M_2 perform two roles simultaneously, both as part of the transconductance amplifier and as an input section of the current amplifier. This saves power dissipation and chip area. As part of the transconductance amplifier, M_2 provides negative feedback to force a constant current flowing through M_1 ; thus the differential input voltage appears across R_s and the differential output current flows in M_2 . As an input section of the current amplifier, M_1 and M_2 provide low input impedance for the differential current signal. The differential transconductance gain is given by (2), where $R_{s1} \approx g_{m1}/g_{m1}g_{m2}$ is the resistance looking into the source of M_1 . Thus, it is required that $R_s \gg 1/R_{s1}$ to obtain high linearity:

$$G_{m1} \approx \frac{1}{(R_{s1} + R_s)} \quad (2)$$

The transimpedance gain is given by (3), where z is the current gain, $g_f = 1/R_f$, $C_2 = c_{gs2} + c_{gs1} = c_{gs2}(1 + z)$ and $g_{m3} \approx zg_{m2}$, and assuming that $g_m \gg g_{m3}$. When $z \gg 1$, the low-frequency transimpedance gain is equal to $-R_f$ and the poles are at $\omega_{p1} \approx -g_{m1}/C_{gs1}$ and $\omega_{p2} \approx -g_{m2}/C_{gs2}$, which are at the f_T of the transistors. Therefore the proposed VGA circuit inherently has a wide operating bandwidth, which is determined by the output load capacitance (C_L). Varying R_f affects the output pole and thus the bandwidth of the VGA. Therefore to design the VGA, R_f and C_L should be chosen first according to the bandwidth requirement and R_s is used to adjust the voltage gain while keeping the bandwidth constant:

$$R_m = \frac{g_f - zg_{m2}}{g_f g_{m2}(1 + z)} \times \frac{1}{1 + z[(z, 1 + z)(C_{gs1}/g_{m1}) + (C_{gs2}/g_{m2})] + z^2[(C_{gs1}/g_{m1})(C_{gs2}/g_{m2})]} \quad (3)$$

Simulation results: The proposed VGA circuit was designed to operate with a single 1 V power supply voltage. The circuit was simulated using SpectreTM with process parameters from a 0.13 μm

standard CMOS technology. Wide-swing cascode I_{20} sources were used, and I_B and z equal 5 μA and 4, respectively. Resistors R_f and R_s were implemented using triode PMOS transistors. To allow direct coupling of two or more VGA cells for higher voltage gain, both input and output common-mode voltages were designed to be at one-half the supply voltage.

Fig. 3 shows three families of AC frequency response with different -3 dB bandwidth, as set by using MOS switches and R_f . Each family of curves shows a linear-in-dB gain range of 12 dB in steps of 2 dB, as obtained by varying R_f . The VGA cell inherently exhibits constant bandwidth of 130, 350, and 650 MHz, when the gain ranges are 18 to 30, 16 to 4 and 2 to -10 dB, respectively.

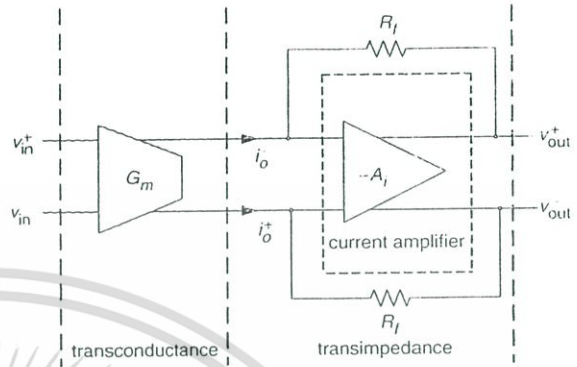


Fig. 1 VGA architecture

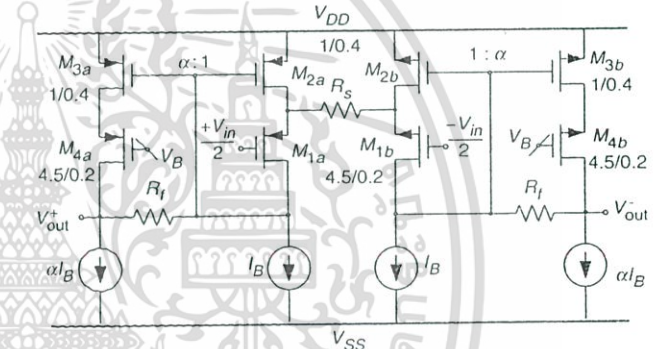


Fig. 2 Proposed VGA circuit

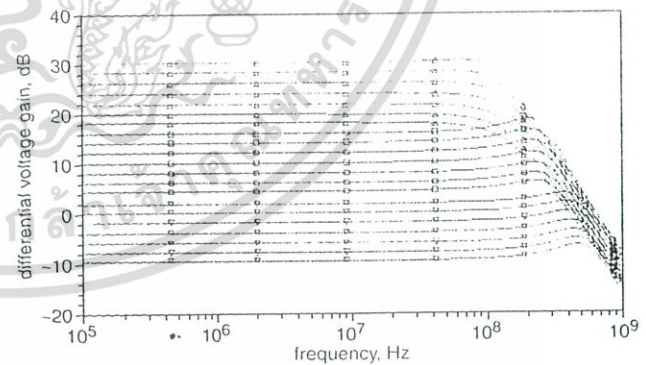


Fig. 3 AC frequency response

- \triangle $R_f = 730 \text{ k}\Omega$
- \square $R_f = 130 \text{ k}\Omega$
- ∇ $R_f = 30 \text{ k}\Omega$

Fig. 4 shows the simulated total harmonic distortion (THD) against a 1 MHz differential input voltage. For high gain settings (>10 dB), the THD is below -40 dB for a 500 mV peak differential output voltage. For low gain settings (<10 dB), the THD is below -40 dB for peak differential input voltage less than 120 mV. The THD is roughly constant over 130 MHz bandwidth. The simulated input-referred IP3 were at -20.5 , -0.9 and $+4.9$ dBm for gain settings at 30, 0 and -10 dB, respectively. For 30 dB gain, the input-referred noise integrated over 130 MHz bandwidth was 404 μV_{rms} .

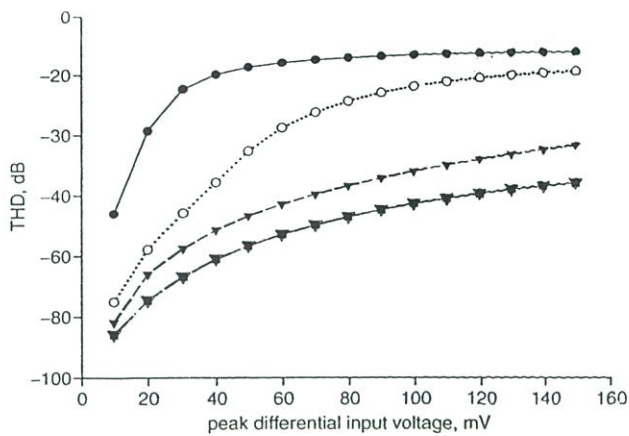


Fig. 4 THD against differential V_{in} at 1 MHz

—●— Av = 30 dB
 ...○... Av = 20 dB
 ---▼--- Av = 10 dB
 -·-▽-·- Av = 0 dB
 --■-- Av = -10 dB

Conclusion: A novel low-voltage VGA circuit has been described. The proposed VGA combines a source degeneration transconductance amplifier with a current amplifier in transimpedance configuration to allow compact realisation and to achieve high linearity and constant wide bandwidth.

Acknowledgments: The financial support of the Thailand Research Fund (RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (NT-B-07-4B-13-517) are gratefully acknowledged.

© IEE 2005

Electronics Letters online no: 20057110
 doi: 10.1049/el:20057110

A. Thanachayanont and P. Naktongkul (Research Centre of Communication and Information Technology and Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Bangkok 10520, Thailand)

E-mail: ktapinun@kmitl.ac.th

References

- 1 Kwon, J.K., Kim, K.D., Song, W.C., and Cho, G.H.: 'Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications', *Electron. Lett.*, 2003, 39, (10), pp. 759–760
- 2 Yamaji, T., Kanou, N., and Itakura, T.: 'A temperature-stable CMOS variable-gain amplifier with 80-dB linearly controlled gain range', *IEEE J. Solid-State Circuits*, 2002, 37, (5), pp. 553–558
- 3 Phang, K., and Johns, D.A.: 'A 1 V 1 mW CMOS front-end with on-chip dynamic gate biasing for a 75 Mb/s optical receiver', *IEEE Int. Solid-State Circuits Conf.*, San Francisco, CA, USA, 2001, pp. 218–220

Compact diversity antenna for wireless devices

Y. Ge, K.P. Esselle and T.S. Bird

A compact diversity antenna, consisting of two E-shaped microstrip patch antennas, is presented. It has a wide bandwidth, covering all frequency bands of 5–6 GHz WLAN systems operating under IEEE 802.11a and HiperLAN2 standards. Corrugations have been introduced to reduce the overall width of the diversity configuration to 54 mm—the width of a standard PCMCIA card. The isolation between the two inputs is greater than 20 dB and the signal correlation is less than 0.2 over all WLAN bands.

Introduction: Antenna diversity has been recognised as an effective way to combat multipath fading in wireless communication systems. To implement antenna diversity, at least two antennas with suitable characteristics are required. The overall size of the antenna pair is a crucial factor in the case of thin compact communication devices such as wireless local area network (WLAN) cards in the PC format (also known as PCMCIA or CardBus format). E-shaped microstrip patch antennas have been developed in the past for wireless communication systems operating in 2 GHz bands [1] and 5 GHz bands [2, 3]. It has been shown that the bandwidth required for 5 GHz WLAN systems can be achieved by an E-shaped patch antenna that is only 3.5 mm tall [2]. However, this antenna is too large in its lateral dimensions (~32 mm × 23.6 mm), and hence two of them cannot be accommodated inside a standard PC card (which is only 54 mm wide), without extending the width of the card [3].

In this Letter, a novel E-shaped patch diversity antenna is presented to address the size limitation of previous diversity antennas. In the new antenna, corrugations have been introduced to the two side-wings of each E-shaped patch to reduce the overall width of each antenna element without significantly affecting the performance of the antenna. With this technique, the width of each antenna element has been reduced by about 25%. Two such antenna elements have been integrated into a single compact ground plane to create a diversity antenna configuration. Owing to the reduced size of the antenna elements, the overall width of the new diversity antenna does not exceed the width of a standard PC card (i.e. 54 mm). This antenna also offers wide bandwidth (~20%), high isolation (>20 dB) and low correlation (<0.2) between the two elements. In particular, it covers all 5–6 GHz wireless communication bands (e.g. 5.15–5.35 GHz and 5.725–5.825 GHz U-NII bands in the USA, 5.15–5.25 GHz High Speed Wireless Access band in Japan, 5.15–5.35 GHz and 5.470–5.725 GHz HiperLAN2 bands in Europe).

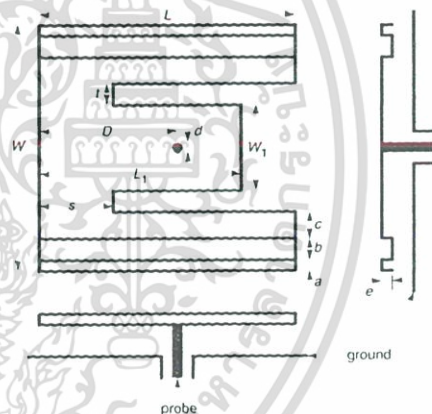


Fig. 1 Geometry of corrugated E-shaped patch antenna element

Antenna configuration: The geometry of a single E-shaped patch antenna element with corrugated wings is shown in Fig. 1. The main difference between this antenna and its planar version in [1–3] is the corrugation of the wings. The corrugations can be seen well in the cross-sectional views in Fig. 1. To maintain the same antenna overall height as before, the corrugations are bent towards the ground plane rather than away from the ground plane. With corrugations and adjustment of parameters, it was possible to reduce the width of each patch by about 25%, without affecting performance significantly. The patch is fabricated by cutting an E shape out of a metal sheet and pressing it to form the corrugations. Each patch is fed by a coaxial probe connected to the central wing.

The compact diversity antenna comprises two corrugated E-shaped patches, which are orthogonal to each other and mounted close to each other on a common ground plane. A photograph of a prototype diversity antenna is shown in Fig. 2. The relative rotation between the two antenna elements serves two purposes: (a) it provides polarisation diversity; (b) it reduces mutual coupling between the two elements. The antenna pair has been designed as an integrated unit using the commercial software Ansoft HFSS, to achieve desirable matching and isolation over the 5–6 GHz WLAN frequency bands. The ground plane has a width of 53 mm, which is close to the width (54 mm) of a standard PCMCIA card, and a length of 34 mm. The dimensions of the two



Proceedings of The 2005 Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI) International Conference

May 12-13, 2005
 Asia Pattaya Beach Hotel, Pattaya, Cholburi, THAILAND







A 1-V 60-dB 100-MHz CMOS Variable Gain Amplifier

P. Naktongkul¹ and A. Thanachayanont²

Microelectronics Research Laboratory, Research Center of Communications and Information Technology
Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Road, Ladkrabang, Bangkok, 10520, THAILAND
Tel: (02) 737-3000 ext 3309, Email: putti_n@hotmail.com¹, ktapinun@kmitl.ac.th²

ABSTRACT

This paper describes the design and implementation of a low-voltage high-frequency variable gain amplifier in a 0.13- μm CMOS technology. The proposed circuit employs source degeneration and current feedback techniques to achieve high linearity and wide bandwidth. Simulation results show that the overall amplifier (including output voltage buffer) has a linear-in-dB controllable gain range of 60-dB with more than 100-MHz bandwidth, while draining 1.5-mA from a 1-V power supply voltage.

Keywords: variable gain amplifier, analog circuit

1. INTRODUCTION

Variable gain amplifier (VGA) is an indispensable building block in modern wireless communication system [1], [2], [3] which is used to maximize the dynamic range of the overall system. A VGA is typically employed in a feedback loop to realize an automatic gain control (AGC), to provide constant signal power to baseband analog-to-digital converter (ADC) for unpredictable received signal strengths. The voltage gain of the VGA is controlled by the AGC loop, and a linear-in-dB gain control characteristic is usually desired to obtain constant settling time of the AGC loop [4]. In addition, VGA is generally required to maintain high linearity and low noise over the entire bandwidth and gain range. It is very challenging to design a VGA with high linearity and wide bandwidth with acceptable power dissipation, especially in modern deep submicron CMOS technology where the supply voltage can be as low as 1 V.

This paper describes the design and implementation of a low-voltage compact VGA that exploits current-mode technique to achieve high linearity and wide operating bandwidth. The rest of the paper is organized as follows. Section 2 describes the architecture of the overall VGA, while the circuit implementation of the proposed VGA is described in Section 3. Simulation results and conclusion are given in Section 4 and Section 5, respectively.

2. VGA ARCHITECTURE

The overall amplifier comprises a two-stage cascaded VGA cells and an output voltage buffer, as shown in Fig. 1. Each VGA stage is optimized for both noise and linearity and it has a gain range of -5 to +25 dB. The output voltage

buffer, which is used to drive load capacitor, is realized by using simple current-mirror active-load operational transconductance amplifier in a unity-gain feedback configuration.

The architecture of each VGA cell is shown in Fig. 2. The VGA cell is a cascade of a transconductance amplifier and a transimpedance amplifier, which is realized by using a current amplifier with shunt-feedback resistors (R_f). The voltage gain of the VGA circuit is the product of the transconductance gain (G_m) and the transimpedance gain (R_m). The transimpedance gain is given by (1), where R_m and A_i , respectively, are the input resistance and the current gain of the current amplifier. Note that when $A_i \gg 1$, we have $R_m \approx -R_f$. Therefore, a linear G_m and a high gain current amplifier are required to realize a high-linearity VGA. The key advantage of this VGA structure is that the voltage gain can be controlled by varying the value of G_m , while keeping the bandwidth constant with fixed R_f [5].

$$R_m \approx -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \quad (1)$$

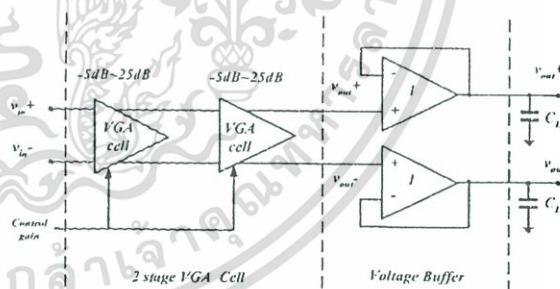


Fig. 1: Block diagram of the overall VGA

3. CIRCUIT IMPLEMENTATION

Fig. 3 shows the circuit implementation of the proposed VGA cell, which combines a source degeneration differential input transconductance amplifier (M_1 , M_2 and R_S) and a current-mode transimpedance amplifier (M_1 - M_4 and R_f) [5]. Cascode current mirrors are used to implement the DC current sources. Transistors M_1 and M_2 perform two roles simultaneously, both as part of the transconductance amplifier and as an input section of the current amplifier. This saves power dissipation and chip area. As part of the

transconductance amplifier, M_2 provides negative feedback to force a constant current flowing through M_1 thus the differential input voltage appears across R_s and the differential output current flows in M_2 . As an input section of the current amplifier, M_1 and M_2 provide low input impedance for the differential current signal. The differential transconductance gain is given by (2), where $R_{s1} \approx g_{o1}/g_{m1}g_{m2}$ is the resistance looking into the source of M_1 . Thus, it is required that $R_s \gg 1/R_{s1}$ to obtain high linearity.

$$G_{md} = \frac{1}{(R_{s1} + R_s)} \quad (2)$$

The transimpedance gain is given by (3), where α is the current gain, $g_f = 1/R_f$, $C_2 = c_{gs2} + c_{gs3} = c_{gs2}(1 + \alpha)$ and $g_{m3} = \alpha g_{m2}$, and assuming that $g_m \gg g_o$. When $\alpha \gg 1$, the low-frequency transimpedance gain is equal to $-R_f$ and the poles are at $\omega_{p1} = -g_{m1}/C_{gs1}$ and $\omega_{p2} = -g_{m2}/C_{gs2}$ which are at the f_T of the transistors. This allows the VGA circuit to have wide operating bandwidth. Therefore the dominant pole of the transimpedance amplifier will be determined by the load capacitance. Varying R_f affects the output pole and thus the bandwidth of the VGA. Therefore to design the VGA, R_f and C_L should be chosen first according to the bandwidth requirement and R_s is used to adjust the voltage gain while keeping the bandwidth constant.

The controllable linear resistance R_s is realized by the resistance between node 1 and node 2 of the circuit shown in Fig. 4(a) [6]. The value of R_s is controlled by varying the control current source ($I_{control}$). To obtain coarse voltage gain tuning, the feedback resistance R_f is realized by using a switched resistor network as shown in Fig. 4(b).

$$R_m = \frac{g_f - \alpha g_{m2}}{g_f g_{m2} (1 + \alpha)} \frac{1}{1 + s \left[\left(\frac{\alpha}{1 + \alpha} \right) \cdot \left(\frac{C_{xv1}}{g_{m1}} + \frac{C_{xv2}}{g_{m2}} \right) + s^2 \left(\frac{C_{gs1}}{g_{m1}} \cdot \frac{C_{gs2}}{g_{m2}} \right) \right]} \quad (3)$$

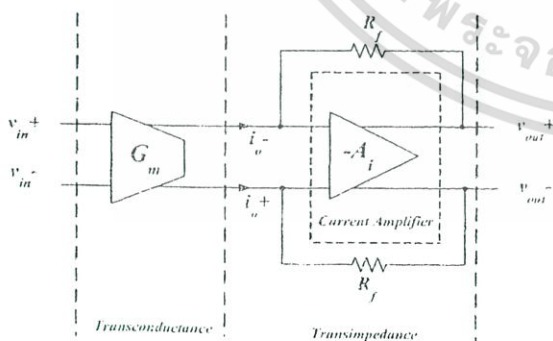


Fig. 2: Architecture of each VGA stage

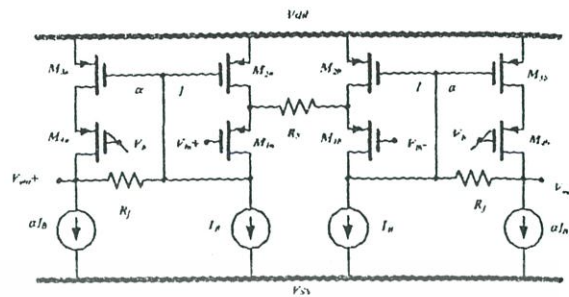


Fig. 3: Simplified circuit diagram of the VGA cell

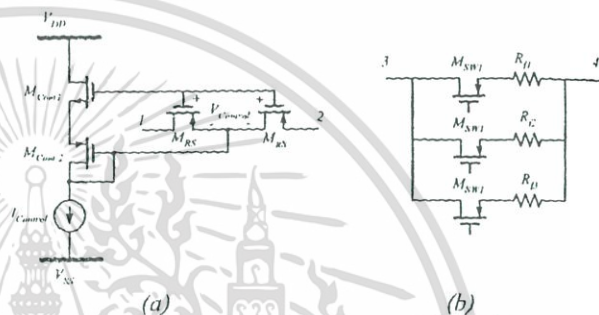


Fig. 4: Circuit implementation of R_s and R_f

4. SIMULATION RESULTS

The overall VGA was designed and simulated using Cadence Spectre™ with process parameters from a 0.13- μ m standard CMOS technology. The circuit was designed to operate with a single 1-V power supply voltage. Both VGA stages are identical and their nominal circuit parameters are summarized in Table 1. The load capacitor was set to 2 pF. Under the nominal condition, each VGA stage and the output voltage buffer have the same power dissipation of 0.5 mW, thus the total power dissipation is 1.5 mW. To allow direct coupling of two or more VGA cells for higher voltage gain, both input and output common-mode voltages were designed to be at one half of the supply voltage.

Fig. 5 shows three families of curves of simulated AC frequency response. Each family of curve, which was obtained by setting R_f to 6 K Ω , 16.5 K Ω and 51.5 K Ω , demonstrates the coarse gain tuning. Within each family of curve, the value of R_s was changed from 2.6 K Ω to 17.2 K Ω to obtain fine gain tuning. The overall voltage gain can be varied in linear-dB manner from -10 to 50dB. The -3dB bandwidth is more than 100 MHz at the maximum voltage gain. It can be seen that voltage gain control with constant bandwidth can be achieved by varying R_s , while changing R_f affects the bandwidth of the VGA because R_f determines the dominant output pole frequency of the circuit. Therefore to design the VGA, R_f should be chosen first according to the bandwidth requirement and R_s is then tuned to adjust the voltage gain.

Figs. 6 and 7 show the simulated total harmonic distortion (THD) as a function of input amplitude, and frequency, respectively. In Fig. 6, a 1-MHz sinusoidal input voltage is applied and the THD is below -40 dB for a peak differential input voltage of less than 10 mV for most gain settings. The THD figures in Fig. 7 were obtained at a constant output peak-to-peak voltage of 200 mV. At the maximum gain setting, the input-referred noise integrated over 100-MHz bandwidth was 200 μV_{rms} . Table 2 summarizes the simulated performance of the VGA. It can be seen that the proposed VGA can achieve the similar gain range to other reported VGAs, while operating under lower supply voltage and consuming much less power.

5. CONCLUSION

A novel low voltage VGA has been described. The proposed VGA combines a source degeneration transconductance amplifier with a current amplifier in transimpedance configuration to achieve high linearity and wide bandwidth. Using the current-mode technique, the voltage gain of the VGA can be tuned while the bandwidth remains constant. The key advantages of the proposed VGA are low supply voltage, wide and constant bandwidth.

6. ACKNOWLEDGEMENT

Financial support from Thailand Research Fund (grant #RSA4680027) and National Electronics and Computer Technology Center, National Science and Technology Development Agency (project #NT-B-22-T2-38-47-13, grant #13/2547) are gratefully acknowledged.

Table 1: Circuit parameters for a single VGA stage

Parameters	Value
$(W/L)_1$ and $(W/L)_4$	60 $\mu\text{m}/0.2 \mu\text{m}$
$(W/L)_2$ and $(W/L)_3$	9 $\mu\text{m}/0.4 \mu\text{m}$
Current mirror ratio (α)	4
$(W/L)_{\text{cont1}}$	5 $\mu\text{m}/0.2 \mu\text{m}$
$(W/L)_{\text{cont2}}$	2.5 $\mu\text{m}/0.2 \mu\text{m}$
$(W/L)_{\text{RS}}$	120 $\mu\text{m}/0.2 \mu\text{m}$
$V_{\text{DD}} - V_{\text{SS}}$	1 V
I_{B}	50 μA
V_{B}	0.5 V

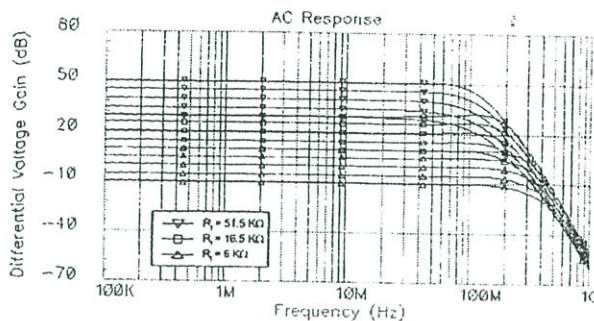


Fig. 5: Simulated AC frequency response of the VGA

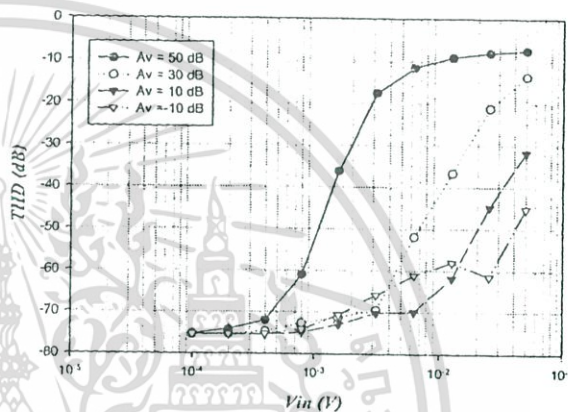


Fig. 6: Simulated THD vs. input voltage at 1 MHz

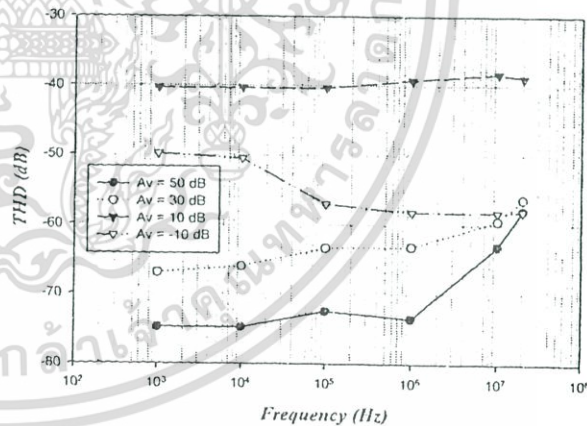


Fig. 7: Simulated THD vs. input frequency

Table 2: Performance summary of the proposed VGA

VGA circuit	[1]	[2]	[3]	This work
Technology	0.18 μ m	0.25 μ m	0.35 μ m	0.13 μ m
Bandwidth (MHz)	350	210	246	100
Gain range (dB)	-42~42	-35~55	-15~45	-10~50
Supply voltage	1.8 V	2.5 V	3 V	1V
Total current	3 mA	11mA	9 mA	1.5mA
Power consumption	5.4 mW	27.5mW	27 mW	1.5 mW

6. REFERENCES

- [1] J. K. Kwon, K. D. Kim, W. C. Song, and G. H. Cho, "Wideband high dynamic range CMOS variable gain amplifier for low voltage and low power wireless applications," *Electron. Lett.*, vol. 39, Issue10, pp. 759-760, May 2003
- [2] T. Yamaji, N. Kanou, and T. Itakura, "A temperature-stable CMOS variable-gain amplifier with 80-dB linearly controlled gain range," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 553-558, May 2002.
- [3] M. A. I., Mostafa, S. H. K. Embabi, and M. Elmala, "A 60dB, 246MHz CMOS variable gain amplifier for subsampling GSM receivers," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 11, Issue 5, pp. 835-838, October 2003.
- [4] J. M. Khoury, "On the design of constant settling time AGC circuits," *IEEE Trans. Circuits Syst. II*, vol. 45, pp. 283 - 294, Mar. 1998.
- [5] K. Phang, and D. A. Johns, "A 1 V 1 mW CMOS Front-End with On-chip Dynamic Gate Biasing for a 75Mb/s Optical Receiver," *IEEE Int. Solid-State Circuits Conference*, pp. 218-220, February 2001.
- [6] A. K., Gupta, J. W. Haslett, and F. N. Trofimenkoff, "A Wide Dynamic Range Continuously Adjustable CMOS Current Mirror," *IEEE J. Solid-State Circuits*, vol. 31, no. 8, pp.1208-1213, August 1996.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายพุทธิ นาคทองกุล
วัน เดือน ปีเกิด	3 สิงหาคม 2517 ที่จังหวัดสุราษฎร์ธานี
ที่อยู่	99/240 หมู่บ้านอยู่เจริญ ซอยพหลโยธิน 50 ถ.พหลโยธิน แขวงอนุสาวรีย์ เขตบางเขน กรุงเทพฯ 10220
ประวัติการศึกษา	2537 ประโยควิชาชีพชั้นสูง สาขาวิชาอิเล็กทรอนิกส์ มหาวิทยาลัยศรีปทุม 2540 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร
ความชำนาญเฉพาะด้าน	1.) การออกแบบวงจรโดยใช้อุปกรณ์แบบแยก 2.) การออกแบบวงจรรวมโดยใช้เทคโนโลยีแบบซิมอส
ประสบการณ์ทำงาน	
2540 – 2542	เปิดร้านเล็กๆ สำหรับซ่อมคอมพิวเตอร์ และจอคอมพิวเตอร์
2543	วิศวกรออกแบบแผ่นพิมพ์วงจรไฟฟ้า บริษัทสามเทคโนโลยี จำกัด
2545 – ปัจจุบัน	เปิดห้างหุ้นส่วนจำกัด สยามพัฒนาคอมพิวเตอร์ รับออกแบบแผ่นพิมพ์ วงจรไฟฟ้า วงจรควบคุมเครื่องจักร และรับงานอิเล็กทรอนิกส์ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้