

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3 โหมดของการทำงานในวงจรคูณสัญญาณอนาล็อกแบบ 4 ควอดแรนท์
กับการบวกสัญญาณทางเวกเตอร์

3 MODE-OPERATION FOUR-QUADRANT ANALOG MULTIPLIER CIRCUITS
WITH SIGNAL VECTOR SUMMATION



๔/๑๐๐

อิทธิพงษ์ ชัยชัยณห์

ITTIPONG CHAISAYUN

เลขหมู่.....
เลขทะเบียน 47533
วัน, เดือน, ปี 19 ส.ค. 2546

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2546

ISBN 974-324-510-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3 MODE-OPERATION FOUR-QUADRANT ANALOG MULTIPLIER CIRCUITS
WITH SIGNAL VECTOR SUMMATION**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2003
ISBN 974-324-510-3**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	3 โหมดของการทำงานในวงจรคูณสัญญาณอนาลอก
นักศึกษา	นายอิทธิพงษ์ ชัยสายัณฑ์
รหัสประจำตัว	40060201
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เฉลยหาญ

บทคัดย่อ

วิทยานิพนธ์นี้แสดงการออกแบบวงจรคูณสัญญาณอนาลอกแบบ 4 ควอดแรนท์ใน 3 โหมดของการทำงานดังนี้ วงจรแรกคือ วงจรคูณสัญญาณโหมคแรงดันซึ่งประกอบขึ้นด้วย วงจรคูณสัญญาณแบบพื้นฐานโดยใช้เทคนิคกำลังสองส่วนสี่ 1 วงจร และวงจรลบสัญญาณ 6 วงจร และจากการที่วงจรคูณสัญญาณแบบพื้นฐานใช้เทคนิคกำลังสองส่วนสี่ ทำให้ผลลัพธ์ที่ได้มีความผิดเพี้ยนต่ำ และจากโครงสร้างของวงจรลบสัญญาณที่ใช้ทรานซิสเตอร์สองตัวที่ต่อทางแนวตั้งทำให้วงจรคูณสัญญาณที่นำเสนอนี้ใช้แรงดันไฟเลี้ยงที่ต่ำ วงจรที่สองคือ วงจรคูณสัญญาณโหมคกระแสประกอบขึ้นจากวงจรคูณสัญญาณแบบพื้นฐานโดยใช้เทคนิค ผลต่างกำลังสอง 1 วงจร และวงจรคัดลอกสัญญาณ 1 วงจร ในการออกแบบวงจรคูณสัญญาณโหมคกระแสได้ออกแบบให้ทรานซิสเตอร์บางตัวทำงานสองหน้าที่(กำลังสองสัญญาณอินพุท และคัดลอกสัญญาณอินพุท) ในเวลาเดียวกันทำให้วงจรคูณสัญญาณที่ออกแบบนี้สามารถลดจำนวนทรานซิสเตอร์ลงไปได้ วงจรที่สามคือ วงจรคูณสัญญาณโหมคผสมซึ่งเป็นวงจรที่ทำงานทั้งโหมคกระแสและโหมคแรงดันพร้อมกันในทรานซิสเตอร์บางตัวโดยวงจรคูณสัญญาณโหมคผสมนี้ประกอบด้วย วงจรคูณสัญญาณแบบพื้นฐานโดยใช้เทคนิคผลต่างกำลังสอง 1 วงจร วงจรบวกสัญญาณ 1 วงจร วงจรผสมสัญญาณ 2 วงจร และวงจรแบ่งแรงดัน 1 วงจร ถึงแม้ว่าจะใช้หลายวงจรมาต่อร่วมกันแต่ วงจรดังกล่าวนี้ไม่มีทรานซิสเตอร์หลายตัวที่ทำงาน 2 หน้าที่ในเวลาเดียวกันทำให้ใช้จำนวนทรานซิสเตอร์ที่ไม่มาก

ผลการวิเคราะห์หาประสิทธิภาพ ผลการเลียนแบบการทำงานและผลการทดลองจริงของวงจรคูณสัญญาณทั้ง 3 โหมดได้แสดงในวิทยานิพนธ์นี้และให้ผลที่สอดคล้องกัน ซึ่งวงจรคูณสัญญาณทั้ง 3 โหมดนี้มีคุณสมบัติต่างๆที่ดี สามารถนำไปใช้ได้เป็นอย่างดีในการประมวลผลสัญญาณแบบอนาลอก และเหมาะสมอย่างมากในการนำไปทำเป็นวงจรรวม นอกจากนี้วิทยานิพนธ์นี้ยังนำเสนอวิธีการออกแบบวงจรบวกสัญญาณทางเวกเตอร์โดยอาศัยวงจรคูณสัญญาณด้วย

Thesis title	3 Mode-Operation Four-Quadrant Analog Multiplier Circuits with Signal Vector Summation
Student	Mr.Ittipong Chaisayun
Student ID	40060201
Degree	Doctor of Engineering
Programme	Electrical Engineering
Year	2003
Thesis Advisor	Assoc.Prof.Dr. Kobchai Dejhan

ABSTRACT

This thesis presents 3-mode-operation of Four-Quadrant analog multiplier design as follows: The first circuit, voltage mode analog multiplier, consists of a basic multiplier based on quarter square technique and 6 subtractor circuits. Advantage of the quarter square technique is low distortion of output. Advantage of the subtractor circuit is that only two transistors are connected horizontally in order to operate low voltage supply. The second circuit, current mode analog multiplier, consists of a basic multiplier based on square-different technique and a copy signal circuit. In the current multiplier, some transistors have two functions (squaring input signal and copy input signal) at the same time. Therefore, this circuit can decrease the transistors. The third circuit, mixed mode analog multiplier operating both voltage mode and current mode in some transistors at the same time, consists of a basic multiplier based on square-different technique, an adder circuit, two mixed signal circuits, and a voltage divider circuit.

Though the mixed mode multiplier has several circuits, but these circuits have common operation in some transistors. Therefore the number of transistors used is lesser.

Theoretical analysis, simulation results, and experimental results of all circuits are carried out, and these results accord with theoretical analysis. All circuits have good performance, and they expect to use in analog signal processing and are suitable for implementing as an integrated circuit.

Additionally, this thesis presents also the design of signal vector summation based on analog multiplier.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จสมบูรณ์ได้ ผู้เขียนขอกราบขอบพระคุณบุคคลและองค์กรที่มีรายนามดังต่อไปนี้

พ่อและแม่ ผู้ให้กำเนิดกายเนื้อแก่ผู้เขียน ให้การอบรมเลี้ยงดู ให้การศึกษาและอดทนที่จะพร่ำสอนผู้เขียนให้เป็นคนดี

รศ.ดร.กอบชัย เดชหาญ ผู้ให้คำปรึกษา ความรู้ แนวคิด และเป็นต้นแบบในการทำงานวิจัย

ศศ. สระรัช บุญยพันธุ์ และศูนย์ภาษามหาวิทยาลัยเอเชียอาคเนย์ ที่ให้ความรู้ภาษาอังกฤษ ดร. พิพัฒน์ พรหมมี และ ศศ. ฉัฐ จันทร์ครบ ผู้ให้คำแนะนำและช่วยเหลือในการทดลองมหาวิทยาลัยเอเชียอาคเนย์ ซึ่งเป็นที่ทำงานของผู้เขียนที่ให้ความรู้ ประสบการณ์หลายอย่าง และรายได้กับผู้เขียน

คุณวราภรณ์ ชัยสายัณห์ ภรรยาผู้เป็นยอดกัลยาณมิตร และเป็นบุคคลที่มีอุปการะมากที่สุดของผู้เขียน

วัดพระธรรมกาย ที่ให้ความรู้ทางธรรมแก่ผู้เขียน และสุดท้ายขอกราบนมัสการขอบพระคุณแด่ พระเดชพระคุณหลวงพ่อวัดปากน้ำภาษีเจริญ(สด จันทสโร) ที่ให้แนวทางในการประพฤติปฏิบัติธรรม ซึ่งผู้เขียนได้นำมาใช้ในการทำวิจัยการทำงาน และการดำเนินชีวิต

อิทธิพงษ์ ชัยสายัณห์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูป.....	VIII
สารบัญตาราง.....	X
บทที่ 1 บทนำ.....	1
1.1 บทนำ.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	1
1.3 หลักการใหม่ในวิทยานิพนธ์.....	2
1.4 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีการทำงาน.....	4
2.1 บทนำ.....	4
2.1.1 เทคโนโลยีโมส.....	4
2.2 การทำงานของมอสทรานซิสเตอร์.....	5
2.2.1 โครงสร้างของมอสทรานซิสเตอร์.....	5
2.2.2 สัญญลักษณ์ของมอสทรานซิสเตอร์.....	7
2.2.3 คุณสมบัติการทำงานของมอสทรานซิสเตอร์.....	9
2.3 การวิเคราะห์หาช่วงอินพุตปฏิบัติงาน.....	10
2.4 การวิเคราะห์หาความถี่ตอบสนอง.....	11
2.5 การวิเคราะห์หาความผิดพลาดต่างๆ ของวงจร.....	12
2.5.1 การลดทอนความคล่องตัวของพาหะ.....	12
2.5.2 ความไม่สมพงษ์ของอุปกรณ์.....	13
2.5.3 ความผิดเพี้ยนทางฮาร์โมนิค.....	13
2.6 สรุป.....	14
บทที่ 3 วงจรคุณสมบัติสัญญาณโหมคแรงดัน.....	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.1 บทนำ.....	15
3.2 หลักการทำงาน.....	15
3.2.1 วงจรคูลพื้นฐานแบบกำลังสองส่วนสี่.....	15
3.2.2 วงจรลบสัญญาณ.....	17
3.2.3 วงจรคูลสัญญาณโหมคแรงดันที่สมบูรณ์.....	19
3.2.4 ช่วงอินพุตปฏิบัติงาน.....	20
3.3 ความถี่ตอบสนองของวงจร.....	21
3.4 การวิเคราะห์หาสมรรถนะของวงจร.....	21
3.4.1 การลดทอนความคล่องตัวของพาหะ.....	21
3.4.2 ความไม่สมพงษ์ของอุปกรณ์.....	22
3.5 ผลการทดสอบ.....	23
3.5.1 ผลการทดสอบด้วย PSpice.....	23
3.5.2 ผลการทดสอบด้วยการต่อวงจรจริงลงบอร์ด.....	28
3.6 สรุป.....	30
บทที่ 4 วงจรคูลสัญญาณโหมคกระแส.....	31
4.1 บทนำ.....	31
4.2 หลักการทำงาน.....	31
4.2.1 วงจรคูลสัญญาณกระแสแบบพื้นฐาน.....	31
4.2.2 วงจรคัลลอกสัญญาณ.....	33
4.2.3 วงจรคูลสัญญาณโหมคกระแสที่สมบูรณ์.....	35
4.2.4 ช่วงอินพุตปฏิบัติงาน.....	36
4.3 ความถี่ตอบสนองของวงจร.....	37
4.4 การวิเคราะห์หาสมรรถนะของวงจร.....	37
4.4.1 การลดทอนความคล่องตัวของพาหะ.....	38
4.4.2 ความไม่สมพงษ์ของอุปกรณ์.....	38
4.5 ผลการทดสอบ.....	38
4.5.1 ผลการทดสอบด้วย PSpice.....	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.5.2 ผลการทดสอบด้วยการต่อวงจรจริงลงบอร์ด.....	43
4.6 สรุป.....	45
บทที่ 5 วงจรคูณสัญญาณ โหมดผสม.....	46
5.1 บทนำ.....	46
5.2 หลักการทำงาน.....	46
5.2.1 วงจรผสมสัญญาณ.....	46
5.2.2 วงจรบวกสัญญาณ.....	48
5.2.3 วงจรคูณแบบพื้นฐาน.....	49
5.2.4 วงจรคูณสัญญาณ โหมดผสมที่สมบูรณ์.....	50
5.2.5 ช่วงอินพุตปฏิบัติงาน.....	52
5.3 การวิเคราะห์หาค่าความถี่ตอบสนอง.....	52
5.4 การวิเคราะห์หาสมรรถนะของวงจร.....	53
5.4.1 การลดทอนความคล่องตัวของพาหะ.....	53
5.4.2 ความไม่สมพงษ์ของอุปกรณ์.....	53
5.5 การประยุกต์ใช้งานวงจรคูณสัญญาณ โหมดผสม.....	54
5.6 ผลการทดสอบ.....	57
5.6.1 ผลการทดสอบด้วย PSpice.....	57
5.6.2 ผลการทดสอบด้วยการต่อวงจรจริงลงบอร์ด.....	62
5.7 สรุป.....	64
บทที่ 6 วงจรบวกสัญญาณทางเวกเตอร์.....	66
6.1 บทนำ.....	66
6.2 หลักการทำงาน.....	66
6.3 การพิจารณาสมรรถนะของวงจรบวกสัญญาณทางเวกเตอร์โดยใช้วงจรคูณสัญญาณ.....	70
6.4 สรุป.....	70
บทที่ 7 บทสรุปและแนวทางการพัฒนาต่อ.....	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
เอกสารอ้างอิง.....	74
ภาคผนวก.....	76
ก. การวิเคราะห์หาความถี่ตอบสนองและประสิทธิภาพของวงจรคูณสัญญาณ โหมดแรงดัน.....	76
ข. การวิเคราะห์หาความถี่ตอบสนองและประสิทธิภาพของวงจรคูณสัญญาณ โหมดกระแส.....	84
ค. การวิเคราะห์หาความถี่ตอบสนองและประสิทธิภาพของวงจรคูณสัญญาณ โหมดผสม.....	92
ง. การวิเคราะห์ผลของความผิดพลาดของวงจรลบสัญญาณและวงจรสะท้อนกระแสที่เกิดจาก การลดทอนความคล่องตัวของพาหะและความไม่สมพงษ์ของทรานซิสเตอร์.....	98
จ. แบบจำลองของทรานซิสเตอร์ที่ใช้ใน PSpice และที่ใช้ในการทดลองจริง.....	101
ฉ. บทความที่ได้รับการตีพิมพ์ในวารสารต่างประเทศ.....	103
ประวัติผู้เขียน.....	125

สารบัญรูป

รูปที่		หน้า
2.1	แสดงแผนผังของเทคโนโลยีวงจรรวม.....	5
2.2	โครงสร้างของเอ็นฮานเมนท์มอสเฟตชนิด NMOS.....	6
2.3	โครงสร้างของเอ็นฮานเมนท์มอสเฟตชนิด PMOS.....	6
2.4	แสดงการไบอัส.....	7
2.5	แสดงสัญลักษณ์ต่างๆของมอสทรานซิสเตอร์.....	8
2.6	แสดงคุณสมบัติของมอสทรานซิสเตอร์.....	10
2.7	แสดงวงจรสมมูลของมอสทรานซิสเตอร์.....	11
3.1	วงจรรูณพื้นฐานแบบกำลังสองส่วนสี่.....	16
3.2	วงจรรูปสัญญาณ.....	17
3.3	วงจรรูณสัญญาณ โหมดแรงดันที่สมบูรณ์.....	19
3.4	แสดงการเชื่อมต่อของวงจรรูณที่นำเสนอกับวงจรรูณอื่นๆ เมื่อใช้แรงดันไฟเลี้ยงเดี่ยว.....	20
3.5	ผลของคุณสมบัติทางไฟตรง.....	24
3.6	ผลของความถี่ตอบสนอง.....	25
3.7	ผลความคิดพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ.....	26
3.8	ผลของ Balanced modulator.....	28
3.9	ผลความคิดพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ.....	29
4.1	วงจรรูณสัญญาณกระแสแบบผลต่างกำลังสอง.....	32
4.2	วงจรรูณสัญญาณกระแสโดยอาศัยวงจรรูณสัญญาณกระแสแบบพื้นฐาน.....	34
4.3	วงจรรูณสัญญาณ โหมดกระแสที่สมบูรณ์.....	35
4.4	ผลของคุณสมบัติทางไฟตรง.....	40
4.5	ผลของความถี่ตอบสนอง.....	41
4.6	ผลความคิดพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ.....	42
4.7	ผลของ Balanced modulator.....	44
4.8	ผลความคิดพี้ยนทางฮาร์โมนิก.....	45
5.1	วงจรมอสสัญญาณกระแสกับแรงดัน.....	47
5.2	วงจรรูณสัญญาณ.....	48
5.3	วงจรรูณแบบพื้นฐาน.....	49
5.4	วงจรรูณโหมดผสมที่สมบูรณ์.....	51

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.5	วงจรรวมสัญญาณกระแส.....54
5.6	วงจรรวมแรงดัน.....55
5.7	วงจรรวมคาปาซิแตนซ์.....56
5.8	ผลของคุณสมบัติทางไฟตรง.....59
5.9	ผลของความถี่ตอบสนอง.....60
5.10	ผลความคิดพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ.....61
5.11	ผลของ Balanced modulator.....63
5.12	ผลความคิดพี้ยนทางฮาร์โมนิก.....64
6.1	แสดงบล็อกไดอะแกรมการทำงานของวงจรวกสัญญาณทางแวกเตอร์ โดยใช้วงจรรวมสัญญาณ.....67
6.2	วงจรวกสัญญาณทางแวกเตอร์โดยใช้วงจรรวมสัญญาณ.....67
ก.1	วงจรรวมสัญญาณ โหมดแรงดันเมื่อหา $\frac{V_o}{V_x}$ 76
ก.2	แบบจำลองสัญญาณขนาดเล็กของวงจรรูป ก.1.....77
ก.3	วงจรรวมสัญญาณ โหมดแรงดันเมื่อหา $\frac{V_o}{V_x}$79
ก.4	แบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ก.3.....79
ก.5	วงจรรวมสัญญาณ โหมดแรงดันแบบพื้นฐานที่ใช้หาความผิดพลาดของวงจรวก.....81
ข.1	วงจรรวมสัญญาณ โหมดกระแส.....84
ข.2	แบบจำลองของรูปที่ ข.1.....85
ข.3	การพัฒนาของรูปที่ ข.2.....85
ข.4	โบลไดอะแกรมผลตอบสนองทางความถี่ของวงจรรวมสัญญาณ โหมดกระแส.....88
ค.1	วงจรมผสมสัญญาณด้านอินพุท X สำหรับวิเคราะห์หาความถี่ตอบสนอง.....92
ค.2	วงจรมสท่อนกระแสสำหรับวิเคราะห์หาความถี่ตอบสนอง.....93
ค.3	วงจรมลบสัญญาณสำหรับวิเคราะห์หาความถี่ตอบสนอง.....93
ค.4	วงจรรวมสัญญาณ โหมดผสมที่ใช้หาความผิดพลาดของวงจรวก.....96
ง.1	วงจรมลบสัญญาณ.....98
ง.2	วงจรมสท่อนกระแส.....99

สารบัญตาราง

ตารางที่	หน้า
3.1	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดแรงดันที่อินพุต V_Y ขณะ $V_X = 0.6V$...27
3.2	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดแรงดันที่อินพุต V_X ขณะ $V_Y = 0.6V$...27
4.1	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดกระแสที่อินพุต I_Y ขณะ $I_X = 20\mu A$..43
4.2	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดกระแสที่อินพุต I_X ขณะ $I_Y = 20\mu A$..43
5.1	แสดง % THD และ BW ที่อินพุตต่างๆ ของวงจรคูณ.....58
5.2	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดผสมที่อินพุต V_Y ขณะ $V_X = 0.2 V$ 62
5.3	ความผิดพลาดความเป็นเชิงเส้นของวงจรคูณ โหมดผสมที่อินพุต V_X ขณะ $V_Y = 0.2 V$62
7.1	แสดงสมรรถนะของวงจรคูณ โหมดต่างๆ.....72
ก.1	ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรรูปที่ ก.1 จาก PSpice.....78
ก.2	ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรรูปที่ ก.3 จาก PSpice.....80
ข.1	ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรคูณ โหมดกระแสจาก PSpice.....87
ค.1	ค่า BW จาก PSpice และจากการคำนวณของวงจรคูณ โหมดผสม.....95
จ.1	ค่าพารามิเตอร์ของแบบจำลองทรานซิสเตอร์ที่ใช้งานใน PSpice.....101
จ.2	ค่าพารามิเตอร์ของทรานซิสเตอร์ที่ใช้ใน PSpice เทียบกับที่ใช้ใน การทดลองจริง..... 102

บทที่ 1

บทนำ

1.1 บทนำ

เทคโนโลยีการออกแบบวงจรรีเลย์ทรานซิสต์ได้ถูกพัฒนาใน 2 ด้านหลักๆ คือ 1. การพัฒนาวัสดุที่นำมาสร้างวงจรรวม 2. การพัฒนาการออกแบบวงจร ในการพัฒนาวัสดุที่นำมาสร้างนั้นเริ่มจากหลอดสุญญากาศ BJT จนถึงปัจจุบันเป็น CMOS และยังคงพัฒนาอยู่เรื่อยๆ ในการพัฒนาวัสดุที่นำมาสร้างนี้จะพัฒนาให้มีขนาดเล็กลง กินกำลังต่ำ และประสิทธิภาพสูง เป็นต้น และผลจากการพัฒนาทำให้สามารถสร้างอุปกรณ์ได้หลายตัวลงบนชิปเดียวหรือที่เรียกว่า วงจรรวม และในวิทยานิพนธ์นี้ได้นำเสนอการออกแบบวงจรรวมโดยใช้เทคโนโลยี CMOS ด้วย

สำหรับการพัฒนาการออกแบบวงจรรีเลย์ทรานซิสต์สามารถแยกตามโหมดการทำงานของวงจรได้ 2 โหมดคือ การออกแบบวงจรทำงานในโหมดแรงดัน และการออกแบบวงจรทำงานในโหมดกระแส เชื่อกันว่า โหมดกระแสมีข้อดีกว่าโหมดแรงดันหลายอย่าง เช่น ทำงานเร็วกว่า, สะดวกในการบวกและลบสัญญาณมากกว่า และช่วงอินพุตปฏิบัติงานไม่ขึ้นตรงกับแรงดันไฟเลี้ยง เป็นต้น แต่อย่างไรก็ตามวงจรที่ใช้ในปัจจุบัน ยังคงเป็นโหมดแรงดันมากกว่า นั้นแสดงให้เห็นว่าถึงอย่างไรก็ตาม วงจรที่ทำงานในโหมดแรงดันก็ยังต้องใช้งานอยู่ สำหรับวิทยานิพนธ์นี้นำเสนอ วงจรทั้งโหมดแรงดันและโหมดกระแส และนอกจากนี้ยังนำเสนอแนวทางใหม่ในการออกแบบวงจรคือการรวมเอาโหมดกระแสกับโหมดแรงดันมาทำงานร่วมกันเรียกใหม่ว่าโหมดผสม โดยวงจรถูกออกแบบคือ วงจรคูณสัญญาณอนาล็อก แบบ 4 ควอดแรนต์และที่เลือกวงจรมีเพราะว่าเป็นวงจรมีประโยชน์มาก โดยสามารถนำไปใช้งานได้อย่างกว้างขวาง เช่น วงจรมอดูเลเตอร์ วงจรทวีความถี่ และวงจรรองสัญญาณ เป็นต้น

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

วิทยานิพนธ์ นี้มีวัตถุประสงค์ในการวิจัยและพัฒนา การออกแบบวงจรมคูณสัญญาณอนาล็อกแบบ 4 ควอดแรนต์ โดยศึกษาการออกแบบวงจรในโหมดแรงดัน โหมดกระแส และการทำงานร่วมกันของโหมดกระแสและโหมดแรงดัน ทุกวงจรถูกออกแบบมีจุดเด่นคือ วงจรมีขนาดเล็ก (ใช้จำนวนอุปกรณ์น้อย) ตอบสนองความถี่ได้สูง (ใช้มอสทรานซิสเตอร์ทำงานย่านอิมิต์และใช้ NMOS เป็นส่วนมาก) วงจรมีประสิทธิภาพสูง (ใช้มอสทรานซิสเตอร์ที่มีขนาด (W/L) เท่ากันทุกตัว) และผลการทดสอบ

วงจรรวมต่างๆ ได้ถูกแสดงเพื่อเปรียบเทียบความแตกต่าง นอกจากนี้วิทยานิพนธ์นี้ยังมีวัตถุประสงค์ ในการพัฒนาการออกแบบวงจรวกสัญญาณทางเวกเตอร์โดยอาศัยวงจรรวมสัญญาณ

1.3 หลักการใหม่ในวิทยานิพนธ์

จากการค้นคว้าในการทำวิทยานิพนธ์นี้ ได้มีแนวคิดใหม่ที่แตกต่างจากหลักการของผู้ออกแบบ เดิมที่เคยเสนอมาดังนี้

1. การออกแบบวงจรรวมที่ทำงานในโหมดผสม(ทำงานทั้งโหมดกระแสและโหมดแรงดันในเวลาเดียวกันในทรานซิสเตอร์บางตัว)
2. ออกแบบวงจรที่ทำงาน 2 หน้าที่ เพื่อที่จะลดจำนวนอุปกรณ์ให้น้อยลง
3. ออกแบบวงจรวกสัญญาณทางเวกเตอร์โดยอาศัยวงจรรวมสัญญาณ

1.4 รายละเอียดของวิทยานิพนธ์

บทที่ 1 กล่าวถึงความเป็นมาของวิทยานิพนธ์ว่า ทำไมต้องเป็นวงจรรวมเป็น CMOS ทำไมต้องเป็นการออกแบบวงจรในโหมดต่างๆ ทำไมต้องเป็นวงจรรวมสัญญาณ และรวมถึงวัตถุประสงค์และรายละเอียดของวิทยานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวข้อง เช่น ทฤษฎีทำงานของ CMOS การวิเคราะห์หาสมรรถนะ เช่น การวิเคราะห์หาความตอบสนองทางความถี่ การหาช่วงอินพุตปฏิบัติงาน การวิเคราะห์ผลของความผิดพลาดต่างๆ ของอุปกรณ์

บทที่ 3 กล่าวถึงการออกแบบวงจรรวมสัญญาณ โหมดแรงดัน การวิเคราะห์หาสมรรถนะต่างๆ ของวงจรรวมสัญญาณ การทดสอบวงจรรวมสัญญาณด้วย PSpice และการทดสอบวงจรด้วยการทดลองจริง

บทที่ 4 กล่าวถึงการออกแบบวงจรรวมสัญญาณ โหมดกระแส การวิเคราะห์หาสมรรถนะต่างๆ ของวงจร การทดสอบวงจรรวมสัญญาณด้วย PSpice และการทดสอบวงจรด้วยการทดลองจริง

บทที่ 5 กล่าวถึงการออกแบบวงจรในโหมดผสม ลักษณะของโหมดผสม หลักการออกแบบวงจรรวมสัญญาณโหมดผสม การประยุกต์ใช้งานวงจรรวมสัญญาณโหมดผสม การวิเคราะห์หาสมรรถนะต่างๆ ของวงจร การทดสอบวงจรรวมสัญญาณด้วย PSpice และการทดสอบวงจรด้วยการทดลองจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 กล่าวถึงหลักการออกแบบวงจรบวกสัญญาณทางเวกเตอร์ โดยอาศัยวงจรคูณสัญญาณ

บทที่ 7 กล่าวถึงการสรุปของวิชานิพนธ์ เป็นการนำวงจรทั้ง 3 โหมคมาเปรียบเทียบกันเพื่อแสดงข้อดีข้อเสียของวงจรทั้ง 3 โหมค และใช้หลักการทางทฤษฎีอธิบายถึงสาเหตุของข้อดีและข้อเสียที่เกิดขึ้นมาสรุปผลและสรุปวงจรบวกสัญญาณทางเวกเตอร์

ภาคผนวก ก – ง แสดงรายละเอียดการวิเคราะห์หาความถี่ตอบสนอง และรายละเอียดการวิเคราะห์หาความผิดพลาดที่เกิดจากการลดทอนความคล่องตัวของพาหะ และความไม่สมพงษ์ของอุปกรณ์ของวงจรคูณทั้ง 3 โหมค



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีการทำงาน

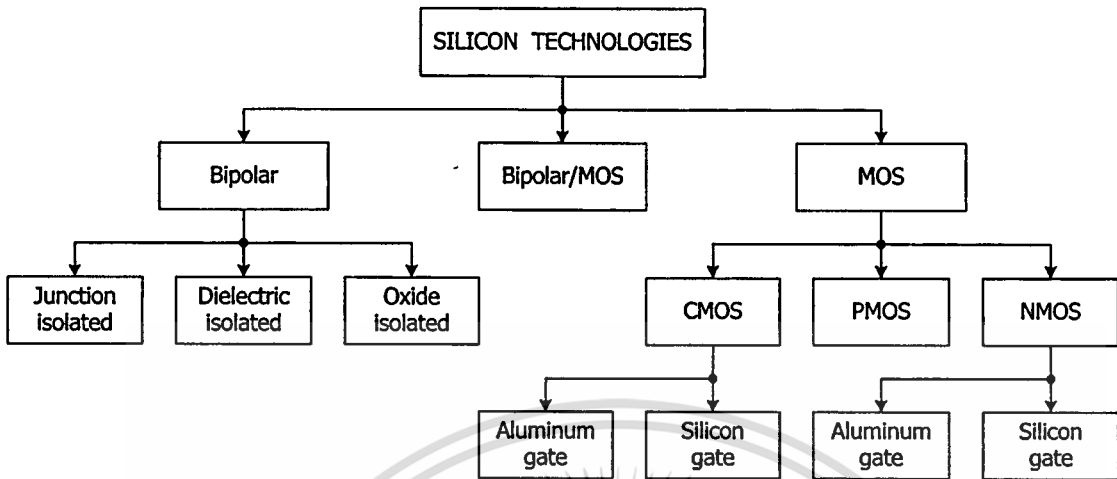
2.1 บทนำ

วิทยานิพนธ์นี้นำเสนอ วงจรคูณสัญญาณอนาล็อกแบบ 4 ควอดแรนท์ โดยอาศัยเทคโนโลยี CMOS ดังนั้นจำเป็นต้องรู้เทคโนโลยีวงจรรวมแบบ CMOS เบื้องต้น หลักการทำงานของ CMOS และทฤษฎีที่จำเป็นในการวิเคราะห์หาประสิทธิภาพของวงจรถคูณสัญญาณ เช่น การวิเคราะห์หาช่วงอินพุตปฏิบัติงาน การวิเคราะห์หาช่วงความถี่ปฏิบัติงาน และการวิเคราะห์หาความผิดพลาดต่างๆที่เกิดจากความไม่เป็นอุดมคติของอุปกรณ์ ซึ่งทฤษฎีดังกล่าวถูกแสดงรายละเอียดดังนี้

2.1.1 เทคโนโลยีมอส

ปัจจุบันนี้ เทคโนโลยี CMOS VLSI (Very Large Scale Integration) เป็นการผลิตวงจรรวมที่เป็นที่นิยมมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่นๆหลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากทางด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรอบบนชิปเดียว (Single Chip) โดยการทำงานจะมีสมรรถนะมากที่สุด ซึ่งการออกแบบวงจรทางด้านอนาล็อกก็เป็นบทบาทสำคัญในการผลิตไอซี โดยออกแบบเป็น VLSI วงจรที่รู้จักกันส่วนใหญ่ของระบบที่เป็นอนาล็อกคือ วงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล และแปลงจากสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราขยายโดยอัตโนมัติ (Automatic Gain Control) ฯลฯ

วิธีการออกแบบไอซี จะนิยมใช้เทคโนโลยีอยู่ 2 แบบคือ แบบไบโพลาร์ (BJT) และมอสทรานซิสเตอร์(MOSFET) โดยจะแบ่งเป็นส่วนย่อยๆ ดังรูปที่ 2.1 โดยทั้งหมดนั้นจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน



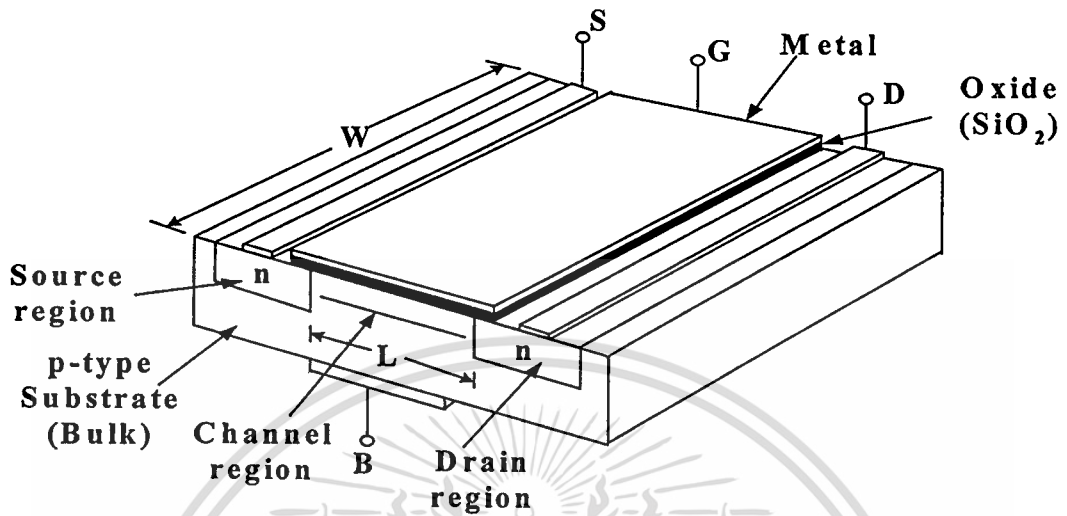
รูปที่ 2.1 แสดงแผนผังของเทคโนโลยีวงจรรวม [1]

2.2 การทำงานของมอสทรานซิสเตอร์

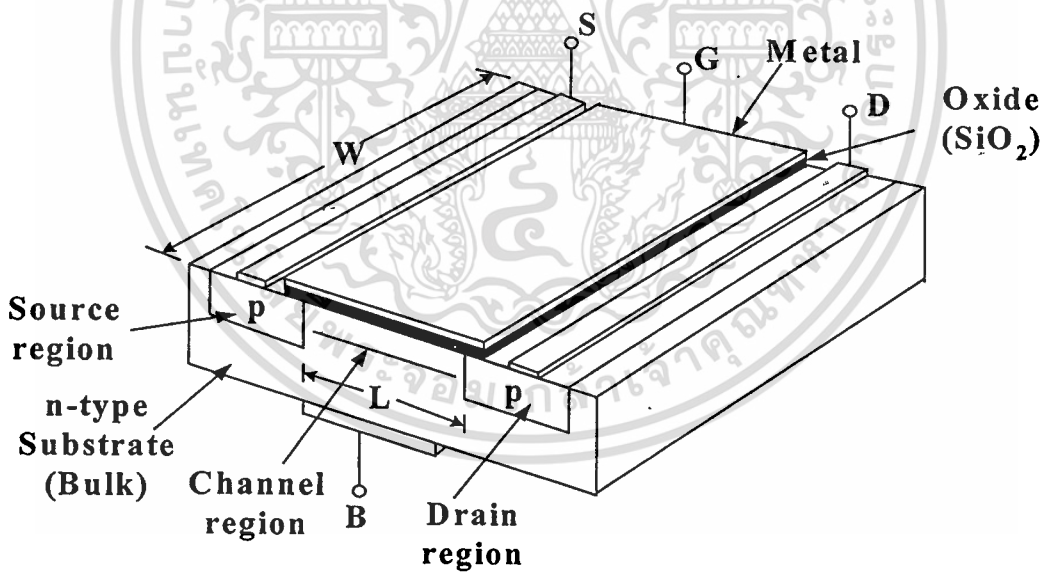
มอสทรานซิสเตอร์ (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor มีชื่อเรียกอีกชื่อหนึ่งว่า อินซูลเกตเทคเกตเฟต (Insulated Gate Field Effect Transistor) เขียนย่อว่า IGFET เป็นอุปกรณ์ชนิดหนึ่ง ซึ่งใช้สนามไฟฟ้าควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันนี้มอสทรานซิสเตอร์ได้เริ่มเข้ามาแทนที่ไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีโครงสร้างง่าย ขั้นตอนการผลิตน้อย มีขนาดเล็กทำให้ได้ปริมาณมาก ความต้านทานอินพุตสูง (High Input Impedance) สัญญาณรบกวนต่ำ แต่มอสทรานซิสเตอร์ก็ยังมีข้อเสียเทียบกับไบโพลาร์ทรานซิสเตอร์ คือ การทำงานที่กำลั้งต่ำ อัตราขยายต่ำ ความเร็วในการทำงานต่ำ

2.2.1 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์แบ่งชนิดตามการทำงานได้ 2 ชนิด คือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement MOSFET) และดีเพลทชันมอสทรานซิสเตอร์ (Depletion MOSFET) ซึ่งแต่ละชนิดนี้สามารถแบ่งออกได้อีก 2 ชนิด คือ P-Channel หรือเรียกว่า PMOS และ N-Channel หรือเรียกว่า NMOS โครงสร้างของ PMOS และ NMOS มีโครงสร้างตรงข้ามกันในที่นี้จะขอแสดงโครงสร้างของมอสทรานซิสเตอร์ที่เป็น เอ็นฮานเม้นท์เท่านั้น โครงสร้าง NMOS แสดงในรูปที่ 2.2 ส่วนโครงสร้างของ PMOS แสดงในรูปที่ 2.3



รูปที่ 2.2 โครงสร้างของเอ็นฮานเมนต์มอสทรานซิสเตอร์ชนิด NMOS



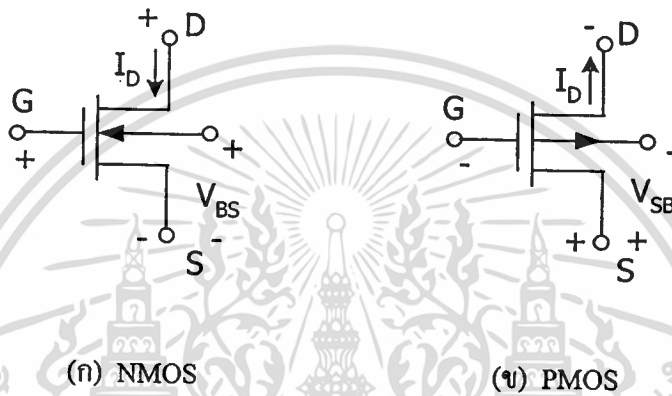
รูปที่ 2.3 โครงสร้างของเอ็นฮานเมนต์มอสทรานซิสเตอร์ชนิด PMOS

NMOS ประกอบด้วยส่วนฐานรองที่เป็นสารกึ่งตัวนำชนิด พี (P-Type) ซึ่งมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด ถูกแพร่ลงบนฐานรอง สารกึ่งตัวนำชนิดเอ็นนี้ถูกเรียกว่า ซอร์ส (Source) และเดรน (Drain)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บนผิวหน้าระหว่าง ซอร์สกับเดรนจะมีแผ่นฟิล์มบางๆ ของซิลิกอนไดออกไซด์ (SiO_2) ส่วนบนของซิลิกอนไดออกไซด์ จะมีโลหะซึ่งทำจาก โพลีซิลิกอน ส่วนนี้ถูกเรียกว่า เกท (Gate) ถ้าส่วนของฐานรอง ทำด้วยสารกึ่งตัวนำชนิดเอ็น (N-Type) และสารกึ่งตัวนำชนิด พี ถูกแพร่ลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า PMOS

ระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอร์ส และเดรน เรียกว่า Channel Length (L) และความกว้างของช่องระหว่างซอร์สและเดรน เรียกว่า Channel Width (W)

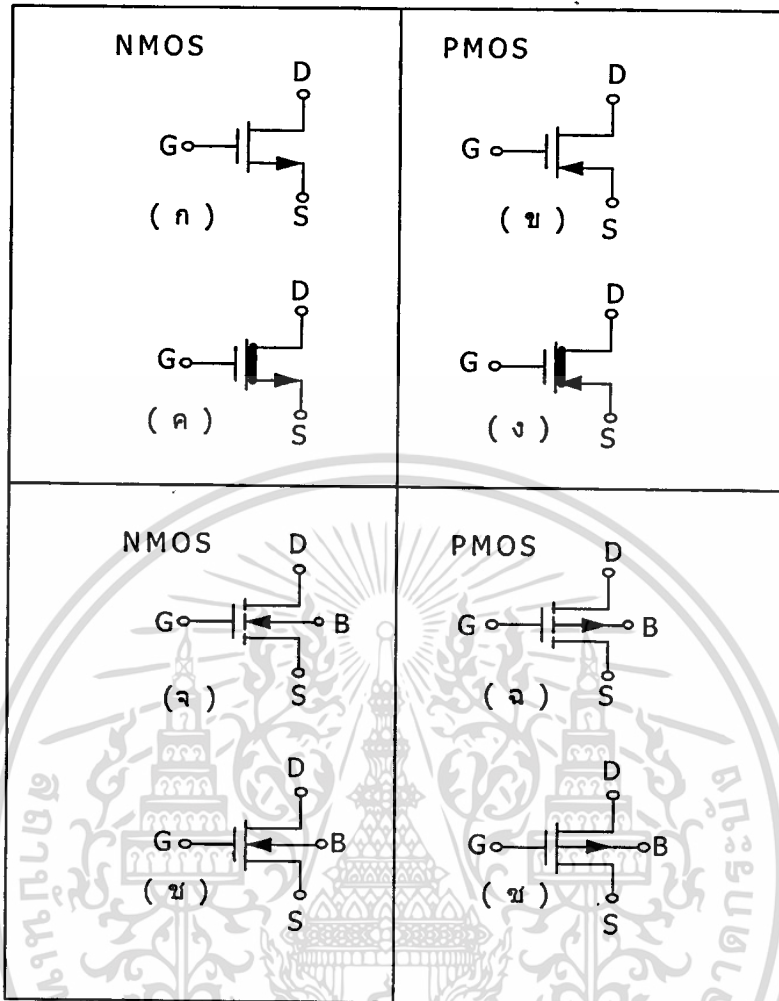


รูปที่ 2.4 แสดงการไบอัส

การทำงานของ NMOS ขณะที่ไม่มีแรงดันไบอัสที่เกท สิ่งประดิษฐ์อยู่ในสภาวะ off ไม่นำกระแส ต่อเมื่อให้แรงดัน V_G ที่เกท จะเกิดการเหนี่ยวนำ อิเล็กตรอนซึ่งเป็นพาหะส่วนน้อยในฐานรองชนิดพี (P-Type Substrate) เกิดเป็นแชนแนลขึ้น เมื่อให้ไบอัสที่ขั้วเดรนเป็นบวกเทียบกับซอร์ส กระแสอิเล็กตรอนซึ่งเป็นพาหะส่วนมากของซอร์สและเดรนสามารถไหลได้

2.2.2 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดเอ็นฮานสมอสทรานซิสเตอร์ และดีเฟลทซ์มอสทรานซิสเตอร์ แสดงดังรูปที่ 2.5



รูปที่ 2.5 แสดงสัญลักษณ์ต่างๆ ของมอสทรานซิสเตอร์

รูปที่ 2.5 แสดงสัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่าง ๆ สัญลักษณ์ในรูปที่ 2.5 (ก) คือ Enhancement NMOS เมื่อโวลต์เตจระหว่างบอดี้และซอร์ส (V_{BS}) เป็นศูนย์ สัญลักษณ์ในรูปที่ 2.5 (ข) คือ Enhancement PMOS เมื่อ $V_{BS} = 0$ สัญลักษณ์ในรูปที่ 2.5 (ค) คือ Depletion NMOS เมื่อ $V_{BS} = 0$ สัญลักษณ์ในรูปที่ 2.5 (ง) คือ Depletion PMOS เมื่อ $V_{BS} = 0$ สัญลักษณ์ในรูปที่ 2.5 (จ) – 2.5 (ซ) แสดงสัญลักษณ์ของ NMOS และ PMOS เหมือนรูปที่ 2.5 (ก) – 2.5 (ง) แต่แตกต่างกันตรงที่ $V_{BS} \neq 0$

2.2.3 คุณสมบัติการทำงานของมอสทรานซิสเตอร์

การทำงานของมอสทรานซิสเตอร์เป็นลักษณะใช้ศักดาไฟฟ้าควบคุมปริมาณของกระแสสมการของมอสทรานซิสเตอร์ถูกคิดขึ้นโดย Sah [2] และ Shichman and D. Hodges [3] ดังสมการที่ 2.1 แสดงคุณสมบัติการทำงานของมอสทรานซิสเตอร์

$$I_D = \frac{K' W}{L} \left\{ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right\} V_{DS} ; V_{GS} \geq V_T \quad (2.1)$$

โดยที่ K' คือ ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{ox}$
 μ_0 คือ ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
 C_{ox} คือ ค่าความจุต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of The Gate Oxide)
 W คือ ความกว้างของช่องนำ (Channel Width)
 L คือ ความยาวของช่องนำ (Channel Length)
 V_{GS} คือ ความต่างศักย์ระหว่างเกตกับซอร์ส
 V_T คือ แรงดันขีดเริ่ม (Threshold Voltage)
 V_{DS} คือ ความต่างศักย์ระหว่างเดรนกับซอร์ส
 I_D คือ กระแสเดรน

มอสทรานซิสเตอร์มีการทำงานแบ่งเป็น 3 ช่วง โดยแต่ละช่วงการทำงานขึ้นอยู่กับค่า $V_{GS} - V_T$ ดังนี้

1. ช่วงค่า $V_{GS} - V_T$ เป็นศูนย์หรือเป็นค่าลบ มอสทรานซิสเตอร์จะอยู่ในช่วงไม่นำกระแส (Cut off) ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด (Open Circuit)

$$I_D = 0 ; V_{GS} - V_T \leq 0 \quad (2.2)$$

2. ถ้า $V_{GS} - V_T > 0$ และ $0 < V_{DS} < V_{GS} - V_T$ แล้วมอสทรานซิสเตอร์จะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Non-Saturation) มีสมการเป็น ดังสมการ (2.3)

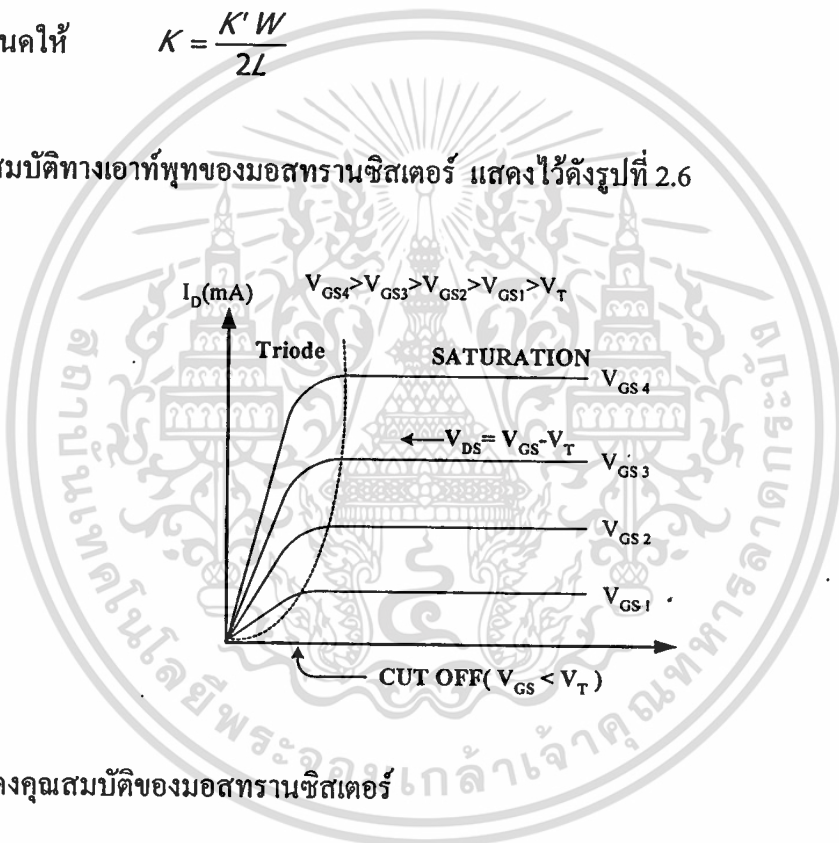
$$I_D = \frac{K'W}{L} \left\{ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (2.3)$$

3. ถ้า $V_{GS} - V_T > 0$ และ $V_{DS} \geq V_{GS} - V_T$ แล้วมอสทรานซิสเตอร์ จะทำงานในช่วงของการนำกระแสอิ่มตัว (Saturation) มีสมการเป็น

$$I_D = K(V_{GS} - V_T)^2 \quad (2.4)$$

กำหนดให้ $K = \frac{K'W}{2L}$

คุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์ แสดงไว้ดังรูปที่ 2.6



รูปที่ 2.6 แสดงคุณสมบัติของมอสทรานซิสเตอร์

2.3 การวิเคราะห์หาช่วงอินพุทปฏิบัติงาน

ช่วงอินพุทปฏิบัติงานเป็นคุณสมบัติตัวหนึ่งที่บ่งบอกถึงประสิทธิภาพของวงจร วงจรที่ดีจะต้องมีช่วงอินพุทปฏิบัติงานที่กว้าง เพื่อให้ไอ้ตราส่วนของสัญญาณ(signal) ต่อสัญญาณรบกวน(noise) มีค่าสูง และรองรับการทำงานที่แรงดันไฟเลี้ยงต่ำได้ เนื่องจากวงจรในวิชานี้นี้ ไม่มีการใช้แหล่งจ่ายกระแส และออกแบบให้ CMOS ทุกตัวทำงานในช่วงอิ่มตัว ดังนั้นช่วงอินพุทปฏิบัติงานของวงจร จึงถูกหาได้จากเงื่อนไขการทำงานในช่วงอิ่มตัวของมอสทรานซิสเตอร์คือ

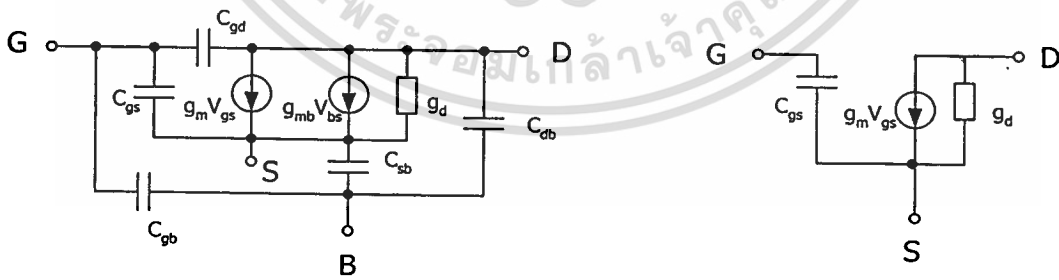
$$V_{DS} \geq V_{GS} - V_T \tag{2.5}$$

และ $V_{GS} > V_T \tag{2.6}$

ในการพิจารณาหาช่วงอินพุตปฏิบัติงานจะต้องพิจารณามอสมการานซิสเตอร์ทุกตัวด้วยเงื่อนไขข้างบน โดยช่วงอินพุตปฏิบัติงานจะถูกหาได้จากเงื่อนไขการทำงานช่วงอิมิต์ของมอสมการานซิสเตอร์ตัวใดตัวหนึ่งหรือชุดใดชุดหนึ่งที่จะทำงานผิดช่วงการทำงานก่อนตัวอื่นหรือชุดอื่นในขณะที่มีการเปลี่ยนแปลงสัญญาณอินพุต V_x และ V_y

2.4 การวิเคราะห์หาความถี่ตอบสนอง

ช่วงความถี่ตอบสนองของวงจรเป็นคุณสมบัติตัวหนึ่งที่บ่งบอกถึงประสิทธิภาพของวงจร โดยทั่วไปจะออกแบบวงจรให้ตอบสนองความถี่ได้สูงๆ เพื่อรองรับการทำงานในย่านความถี่สูงๆ และในการหาช่วงความถี่ตอบสนองจะใช้แบบจำลองขนาดเล็กของมอสมการานซิสเตอร์ซึ่งปกติจะแสดงไว้ดังรูปที่ 2.7 (ก) ซึ่งในกรณีของมอสมการานซิสเตอร์ทำงานในย่านอิมิต์ จะเป็นผลให้ช่องสนามไฟฟ้า (Channel) ที่ขาแตรมีความแคบมาก ในย่านอิมิต์นี้แรงดันที่ขาแตรที่ จะมีผลกระทบกับประจุไฟฟ้าที่ขาเกต และช่องสนามไฟฟ้าน้อยมาก ด้วยเหตุนี้เองอาจจะกล่าวได้ว่า ตัวเก็บประจุ C_{gd} จะมีค่าน้อยมากสามารถประมาณได้ว่าเท่ากับศูนย์ ส่วนตัวเก็บประจุ C_{db} , C_{gs} และ C_{sb} เป็นตัวเก็บประจุแอบแฝงมีค่าน้อยมาก ซึ่งแบบจำลองสัญญาณขนาดเล็กของมอสมการานซิสเตอร์ในการทำงานย่านอิมิต์ จะแสดงไว้ดังรูปที่ 2.7 (ข)



(ก) มอสมการานซิสเตอร์

(ข) มอสมการานซิสเตอร์ย่านอิมิต์

รูปที่ 2.7 วงจรสมมูลของมอสมการานซิสเตอร์

ในการหาค่าความถี่ตอบสนองจะกระทำโดยการแทนมอสทรานซิสเตอร์ ด้วยแบบจำลองรูปที่ 2.7 (ข) ในวงจรที่ต้องการหาค่าความถี่ตอบสนองและหาค่าฟังก์ชันถ่ายโอน (transfer function) ของวงจรที่ถูกแทนด้วยแบบจำลองนั้น ต่อจากนั้นพิจารณาหา โพลเด่น (Dominant Pole) ของวงจร โดยโพลเด่นของวงจรจะเป็นตัวกำหนดความถี่ตอบสนองของวงจร

ในบางกรณีอาจไม่มีโพลเด่นหรืออาจมีผลกระทบของซีโร (Zero) ซึ่งกรณีนี้ใช้วิธีประมาณค่าด้วย โบคไดอะแกรม (Bode diagram) [4] และใช้โปรแกรม MATLAB เพื่อหาค่าความถี่ตอบสนองของวงจร

2.5 การวิเคราะห์หาความผิดพลาดต่างๆของวงจร

การวิเคราะห์วงจรโดยทั่วไป ใช้คุณสมบัติของมอสทรานซิสเตอร์ในรูปกฎกำลังสองแต่ในความเป็นจริงจะมีค่าความไม่เป็นอุดมคติของมอสทรานซิสเตอร์(second-order effect) ต่างๆเกิดขึ้น เช่น ผลของขาบอดี้ (body effect), การมอดูเลตของความยาวช่องกระแส (channel-length modulation), ผลการลดทอนความคล่องตัวของพาหะ (mobility reduction) และ ผลความไม่สมพงษ์ของอุปกรณ์ (Component mismatch) เป็นต้น ซึ่งค่าต่างๆเหล่านี้จะทำให้ประสิทธิภาพของวงจรลดลง โดยผลของขาบอดี้ จะไม่เกิดขึ้น เนื่องจากมอสทรานซิสเตอร์ทุกตัวต่อขาซอร์สกับขาซบสเทรทเข้าด้วยกัน และผลของการเปลี่ยนแปลงของความยาวช่องกระแส (channel-length modulation) สามารถทำให้ดีขึ้นโดยการใช้ long channel-length หรือใช้วงจรสะท้อนกระแสแบบ Cascode ดังนั้นในวิทยานิพนธ์นี้จะพิจารณาเฉพาะการลดทอนความคล่องตัวของพาหะ (mobility reduction) และความไม่สมพงษ์ของอุปกรณ์ (Component mismatch) เท่านั้น

2.5.1 การลดทอนความคล่องตัวของพาหะ (mobility reduction)

ลักษณะสมบัติ I-V ของมอสทรานซิสเตอร์ [5] ที่คิดการลดทอนความคล่องตัวของมอสทรานซิสเตอร์คือ

$$I_D = \frac{K(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (2.7)$$

เมื่อ θ เป็นค่า mobility reduction parameter ซึ่งมีค่าประมาณ $0.001 \sim 0.1 \text{ V}^{-1}$ และใช้ Taylor Series สมการ (2.7) สามารถเขียนได้ใหม่เป็น

$$I_D = K(V_{GS} - V_T)^2 [1 - \theta(V_{GS} - V_T) + \theta^2(V_{GS} - V_T)^2 - \dots] \quad (2.8)$$

ในวิเคราะห์ที่ θ มีกำลังเป็นหนึ่งหรือสองเท่าที่นั้นที่ถูกใช้ ส่วน θ ที่มีกำลังสูงกว่าถูกละเลย เพราะค่าดังกล่าวนี้จะส่งผลน้อยมาก

ในการวิเคราะห์ผลของ mobility reduction จะทำโดยแทนสมการ (2.4) ด้วยสมการ (2.7) หรือ (2.8) ในวงจรต่างๆที่ต้องหาวิเคราะห์

2.5.2 ความไม่สมพงษ์ของอุปกรณ์ (Component mismatch)

ในการวิเคราะห์ความไม่สมพงษ์ของอุปกรณ์จะคิดเฉพาะ transconductance parameter (K) เท่านั้นโดยจะสมมุติวงจรที่จะวิเคราะห์เป็น 2 ชุด โดยชุดแรกให้มี transconductance parameter เป็น $K + \frac{\Delta K}{2}$ และชุดที่สองให้มี transconductance parameter เป็น $K - \frac{\Delta K}{2}$ ซึ่งการวิเคราะห์ด้วยวิธีดังกล่าวนี้จะทำตามเอกสารอ้างอิง [6]

2.5.3 ความผิดเพี้ยนทางฮาร์โมนิก (Harmonic distortion)

ในการวิเคราะห์ความผิดเพี้ยนทางฮาร์โมนิกในวิทยานิพนธ์นี้ใช้มาตรฐาน IEEE Std 519 [7] ซึ่งนิยามไว้ดังนี้

$$THD_V = \sqrt{\frac{\sum_{n=2}^{\alpha} V_n^2}{V_1^2}} \times 100\% \quad (2.9)$$

$$THD_I = \sqrt{\frac{\sum_{n=2}^{\alpha} I_n^2}{I_1^2}} \times 100\% \quad (2.10)$$

โดยที่ V_1 และ I_1 คือแรงดันและกระแสของความถี่หลัก ส่วน V_n และ I_n คือแรงดันและกระแสของฮาร์โมนิกลำดับที่ n เมื่อ n คือจำนวนเต็มบวก (ลำดับของฮาร์โมนิก) สำหรับในวิทยานิพนธ์นี้จะคิดค่า THD ถึง n ลำดับที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 สรุป

ในบทนี้ได้ปูพื้นฐานความรู้เรื่องเทคโนโลยีวงจรรวมแบบ CMOS การทำงานของมอสทรานซิสเตอร์และได้แสดงถึงวิธีการต่างๆที่ใช้วิเคราะห์หาประสิทธิภาพต่างๆของวงจรรวมสัญญาณ เช่น ช่วงอินพุตปฏิบัติงาน ความถี่ตอบสนองของวงจร และความผิดพลาดต่างๆ ของวงจร ซึ่งความรู้ต่างๆ เหล่านี้จะนำไปใช้ในบทที่ 3 – 6 และภาคผนวกต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรรูณสัญญาณโหมคแรงดัน

3.1 บทนำ

วงจรรูณโหมคแรงดันคือ วงจรที่มีอินพุท เอาท์พุท และการประมวลผลของสัญญาณอยู่ในรูปของสัญญาณแรงดัน (อิมพีแดนซ์ต่างๆ ที่สัญญาณผ่านจะมีค่าสูง) ถึงแม้ว่าในปัจจุบันนี้จะมีการพัฒนาวงจรถ่ายโอนสัญญาณในโหมคกระแสเพิ่มขึ้น แต่อย่างไรก็ตาม วงจรโหมคแรงดันก็ยังต้องคงอยู่เพราะวงจรรูณโหมคแรงดันจะสะดวกและง่ายในการออกแบบวงจรถ่ายโอนสัญญาณ และนอกจากนี้วงจรรูณโหมคแรงดันได้นำมาใช้งานตั้งแต่ยุคแรกของการออกแบบวงจรถ่ายโอนสัญญาณ

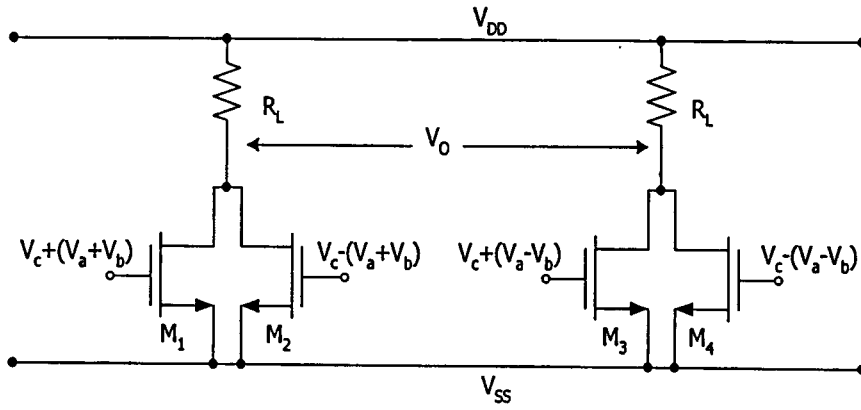
วงจรรูณโหมคแรงดันเริ่มต้นจาก [8-9] ซึ่งวงจรถ่ายโอนสัญญาณให้ความคิดเห็นทางฮาร์โมนิกที่ต่ำ แต่มีข้อด้อยคือ ใช้จำนวนอุปกรณ์ที่มาก และใช้แรงดันไฟเลี้ยงที่สูง ต่อมาได้พัฒนาวงจรถ่ายโอนสัญญาณไฟเลี้ยงต่ำ [10-12] และใช้จำนวนอุปกรณ์ที่น้อยลง แต่มีข้อด้อยคือมีความคิดเห็นทางฮาร์โมนิกที่ต่ำและมีช่วงอินพุทปฏิบัติงานแคบ ในวิทยานิพนธ์นี้นำเสนอวงจรรูณโหมคแรงดันที่ใช้แรงดันไฟเลี้ยงต่ำมีช่วงปฏิบัติงานทางอินพุทที่กว้างแบบ single rail และมีค่าความคิดเห็นทางฮาร์โมนิกที่ต่ำ หลักการทำงาน การวิเคราะห์ประสิทธิภาพต่างๆ และผลการทดสอบของวงจรถ่ายโอนสัญญาณจะแสดงในหัวข้อถัดไป

3.2 หลักการทำงาน

วงจรรูณสัญญาณโหมคแรงดันที่นำเสนอประกอบด้ววงจรรูณพื้นฐานแบบ Quarter Square technique 1 วงจร และวงจรถ่ายโอนสัญญาณ 6 วงจร ซึ่งแสดงรายละเอียดได้ดังนี้

3.2.1 วงจรรูณพื้นฐานแบบกำลังสองส่วนสี่ (Quarter Square)

หลักการของวงจรรูณพื้นฐานแบบกำลังสองส่วนสี่ถูกแสดง โดยอาศัยสมการคณิตศาสตร์คือ $V_a V_b = \frac{1}{4} [(V_a + V_b)^2 - (V_a - V_b)^2]$ ซึ่งถูกพัฒนามาจาก [8] และจากสมการดังกล่าวสามารถทำขึ้นได้โดยอาศัยคุณสมบัติความเป็นกำลังสองของ CMOS ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 วงจรคูณพื้นฐานแบบ กำลังสองส่วนสี่ (Quarter Square)

จากรูปที่ 3.1 กำหนดให้ V_c คือสัญญาณร่วม (Voltage common mode) V_a และ V_b คือสัญญาณอินพุตเมื่อใช้สมการ (2.4) สามารถเขียนกระแสทรานของ CMOS M_1 - M_4 ได้ดังนี้

$$I_{D1} = K(V_c + V_a + V_b - V_{SS} - V_T)^2 \quad (3.1)$$

$$I_{D2} = K(V_c - V_a - V_b - V_{SS} - V_T)^2 \quad (3.2)$$

$$I_{D3} = K(V_c + V_a - V_b - V_{SS} - V_T)^2 \quad (3.3)$$

$$I_{D4} = K(V_c - V_a + V_b - V_{SS} - V_T)^2 \quad (3.4)$$

จากรูปที่ 3.1 สามารถกำหนดแรงดันเอาต์พุตและแสดงได้ดังนี้

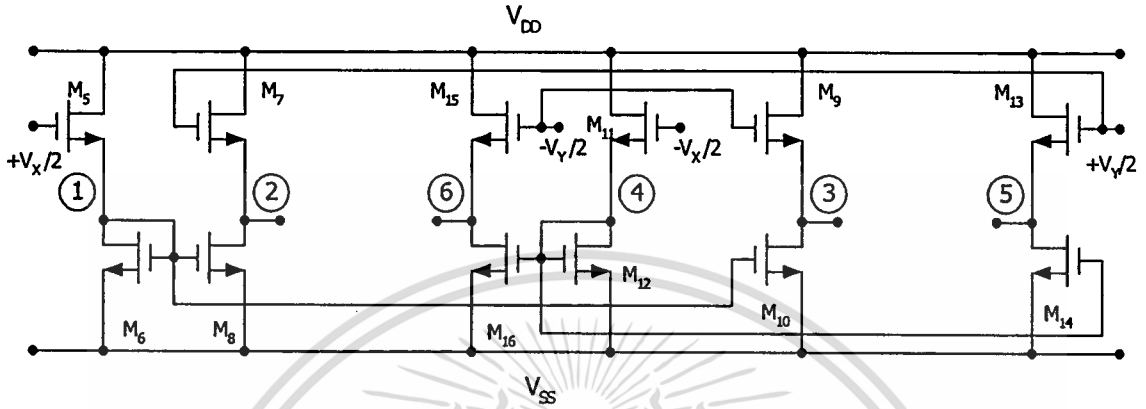
$$V_o = R_L[(I_{D1} + I_{D2}) - (I_{D3} + I_{D4})] \quad (3.5)$$

$$V_o = 8KR_L V_a V_b \quad (3.6)$$

สมการ (3.6) แสดงว่าแรงดันเอาต์พุตคือผลคูณของแรงดัน V_a และ V_b โดยที่ V_c จะถูกกำจัดให้หมดไป และให้สังเกตว่าในการใช้งานจริงวงจรดังกล่าวต้องการสัญญาณ $(V_a + V_b)$, $(-V_a - V_b)$, $(V_a - V_b)$, $(-V_a + V_b)$ ซึ่งจะถูกสร้างจากวงจรลบสัญญาณจำนวน 6 วงจรซึ่งแสดงในหัวข้อถัดไป

3.2.2 วงจรลatching

วงจรลatching จะใช้ NMOS 2 ตัวเท่านั้นที่ต่อกันทางแนวตั้งทำให้วงจรสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ



รูปที่ 3.2 วงจรลatching

รูปที่ 3.2 แสดงวงจรลatching จำนวน 6 วงจร ซึ่งวงจรที่ 1 ประกอบด้วย M_5-M_6 , วงจรที่ 2 ประกอบด้วย M_7-M_8 , วงจรที่ 3 ประกอบด้วย M_9-M_{10} , วงจรที่ 4 ประกอบด้วย $M_{11}-M_{12}$, วงจรที่ 5 ประกอบด้วย $M_{13}-M_{14}$ และวงจรที่ 6 ประกอบด้วย $M_{15}-M_{16}$ และเพื่อความสะดวกในการอธิบายและคำนวณจึงกำหนดแรงดันที่โหนดเอาต์พุตของวงจรลatching เป็นดังนี้ V_1, V_2, V_3, V_4, V_5 และ V_6 ตามจุดต่างๆดังรูปที่ 3.2 และที่โหนด 1 สามารถหาความสัมพันธ์ของกระแสของ M_5-M_6 (วงจรลatching วงจรที่ 1) คือ

$$I_{D5} = I_{D6} \tag{3.7}$$

ใช้สมการ (2.4) จะได้
$$K \left(\frac{V_x}{2} - V_1 - V_T \right)^2 = K (V_1 - V_{SS} - V_T)^2 \tag{3.8}$$

แรงดัน V_1 สามารถหาได้คือ
$$V_1 = \frac{V_x}{4} + \frac{V_{SS}}{2} \tag{3.9}$$

ที่โหนด 2 ความสัมพันธ์ของกระแสของ M_7-M_8 (วงจรลatching วงจรที่ 2) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (3.10) การค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้สมการ (2.4) จะได้
$$K\left(\frac{V_Y}{2} - V_2 - V_T\right)^2 = K(V_1 - V_{SS} - V_T)^2 \quad (3.11)$$

แรงดัน V_2 สามารถหาได้คือ
$$V_2 = \frac{V_Y}{2} - V_1 + V_{SS} \quad (3.12)$$

แทนสมการ (3.9) ในสมการ (3.12) จะได้
$$V_2 = \frac{V_Y}{2} - \frac{V_X}{4} + \frac{V_{SS}}{2} \quad (3.13)$$

ที่โหนด 3 (วงจรถบสัญญาณวงจรที่ 3) พิจารณาทำนองเดียวกับสมการ (3.10)–(3.13) สามารถหาแรงดัน V_3 คือ

$$V_3 = -\frac{V_Y}{2} - \frac{V_X}{4} + \frac{V_{SS}}{2} \quad (3.14)$$

ในทำนองเดียวกันกับ V_1 , V_2 และ V_3 เราสามารถหาค่า V_4 , V_5 และ V_6 (วงจรถบสัญญาณวงจรที่ 4-6) ได้ดังนี้

$$V_4 = -\frac{V_X}{4} + \frac{V_{SS}}{2} \quad (3.15)$$

$$V_5 = \frac{V_Y}{2} + \frac{V_X}{4} + \frac{V_{SS}}{2} \quad (3.16)$$

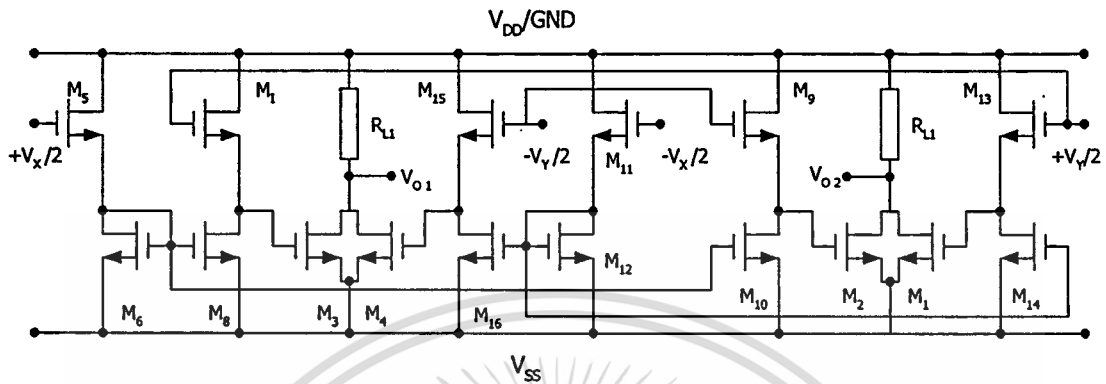
$$V_6 = -\frac{V_Y}{2} + \frac{V_X}{4} + \frac{V_{SS}}{2} \quad (3.17)$$

สังเกตว่าวงจรถบสัญญาณวงจรที่ 2, 3, 5, 6 ทำหน้าที่ลบสัญญาณ นั่นคือเอาต์พุตของวงจร (V_2 , V_3 , V_5 , V_6) เกิดจากแรงดันที่ขาเกทของมอสทรานซิสเตอร์ด้วนลบด้วยแรงดันที่ขาเกทของมอสทรานซิสเตอร์ตัวล่าง

สำหรับวงจรถบสัญญาณวงจรที่ 1 และ 4 เป็นการนำขาเกทของ MOS ตัวล่างมาต่อกับเอาต์พุต ทำให้วงจรดังกล่าวทำหน้าที่เป็นวงจรแบ่งแรงดัน และจากวงจรดังกล่าว ทำให้เราสามารถสร้างผลรวมและผลต่างของสัญญาณอินพุต V_X และ V_Y ได้

3.2.3 วงจรคุณลักษณะโหมคแรงดันที่สมบูรณ์

วงจรคุณลักษณะโหมคแรงดันที่สมบูรณ์แสดงในรูปที่ 3.3 ซึ่งเกิดจากการรวมวงจรรูปที่ 3.1 และรูปที่ 3.2 เข้าด้วยกัน



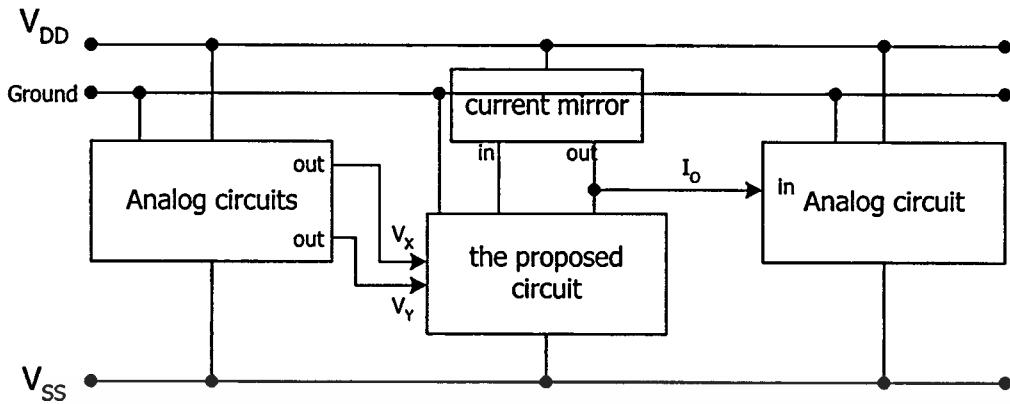
รูปที่ 3.3 วงจรคุณลักษณะโหมคแรงดันที่สมบูรณ์

จากสมการ (3.6) เมื่อเรากำหนด $V_a = \frac{V_Y}{2}$ และ $V_b = \frac{V_X}{4}$ จะได้แรงดันเอาต์พุต V_o คือ

$$V_o = KR_L V_X V_Y \quad (3.18)$$

สังเกตว่าวงจรรูปที่ 3.3 สามารถทำงานได้ทั้งแหล่งจ่ายไฟเลี้ยงเดี่ยว ($GND-V_{SS}$) และแหล่งจ่ายไฟเลี้ยงคู่ ($V_{DD}-GND, GND-V_{SS}$)

สำหรับการประยุกต์ใช้งานจริงในทางปฏิบัติ เมื่อวงจรที่นำเสนอนี้ทำงานที่แรงดันไฟเลี้ยงเดี่ยว สัญญาณอินพุตสามารถเชื่อมต่อกับวงจรภายนอกได้เลยเนื่องจากวงจรอนาล็อกทั่วไปจะทำงานที่แรงดันไฟเลี้ยงคู่ (V_{DD} และ V_{SS}) ระดับสัญญาณที่ส่งออกมาจะมีระดับไฟตรงประมาณ 0 V ซึ่งสามารถเข้ามาที่อินพุตของวงจรคุณลักษณะโหมคแรงดันได้เลยซึ่งเกิดข้อดีคือ ทำให้กำลังไฟฟ้าที่สูญเสีย (Power dissipation) ในวงจรจะถูกลดลงครึ่งหนึ่ง และในส่วนของเอาต์พุตอาจต้องใช้วงจรสะท้อนกระแสแทน R_L โดยวงจรสะท้อนกระแสอาจจะต้องต่อกับแรงดัน V_{DD} เพื่อให้ช่วงเอาต์พุตปฏิบัติงานกว้างแบบ rail to rail แต่อย่างไรก็ตามก็จะทำให้กำลังไฟฟ้าสูญเสียเพิ่มขึ้นจากเดิมเล็กน้อยเท่านั้น ซึ่งแสดงได้ดังรูปที่ 3.4



รูปที่ 3.4 แสดงการเชื่อมต่อของวงจรคุณที่นำเสนอกับวงจรอื่นๆเมื่อใช้แรงดันไฟเลี้ยงแบบเดี่ยว

3.2.4 ช่วงอินพุตปฏิบัติงาน

ช่วงอินพุตปฏิบัติงานของวงจรคุณสัญญาณโหมคแรงดัน สามารถหาได้จากเงื่อนไขการทำงานในช่วงอิมิตัวของมอสทรานซิสเตอร์ $M_5, M_7, M_9, M_{11}, M_{13}, M_{15}$ และเมื่อกำหนดให้วงจรทำงานภายใต้แหล่งจ่ายไฟเลี้ยงเดี่ยวจะได้เงื่อนไขคือ

$$\left| \frac{V_x}{2} \right| < V_T \quad \text{และ} \quad \left| \frac{V_y}{2} \right| < V_T \quad (3.19)$$

และสามารถหาได้จากเงื่อนไขการทำงานในช่วงอิมิตัวของมอสทรานซิสเตอร์ $M_1, M_2, M_3, M_4, M_6, M_{10}, M_{14}, M_{16}$

$$V_T + \frac{V_{SS}}{2} < \frac{V_y}{2} + \frac{V_x}{4} < -V_T - \frac{V_{SS}}{2} \quad (3.20)$$

และ

$$\left| \frac{V_x}{2} \right| + \left| \frac{V_y}{2} \right| \leq V_T \quad (3.21)$$

จากสมการ (3.19) และ (3.20) จะเห็นว่า เมื่อวงจรทำงานภายใต้แหล่งจ่ายไฟเลี้ยงเดี่ยว ช่วงอินพุตปฏิบัติงานทางด้านบวกสามารถมีค่าสูงกว่าแรงดันไฟเลี้ยงได้ ซึ่งเราเรียกช่วงอินพุตปฏิบัติงานนี้ว่าเป็นแบบ Single rail

3.3 ความถี่ตอบสนองของวงจรถอด

ความถี่ตอบสนองของวงจรถอดแสดงทั้งสองด้านของอินพุตคือ ที่อินพุต V_x เมื่อกำหนดให้ $V_x = V_{ac}$ และ $V_y = V_{dc}$ เราสามารถหาความถี่ตอบสนองซึ่งถูกแสดงรายละเอียดไว้ในภาคผนวก ก1 ได้ดังนี้

$$\frac{V_o}{V_x} = \frac{R_L}{2} \left[\frac{g_m [g_{m3} - g_{m4}] (sC + g_m)}{(2sC + g_m)(4sC + 2g_m)} \right] \quad (3.22)$$

และจากการแทนค่า g_m และ C_s ต่างๆ จากตารางที่ ก.1 ในสมการ (3.21) พบว่ามี โพลเด่น 2 ตัว ซึ่งมีค่าเท่ากันคือ $P_1 = P_2 = \frac{g_m}{2C}$ rad/s ซึ่งความถี่ cutoff สามารถหาค่าได้จาก โพลเด่นทั้ง 2 ตัว คือ

$$f_{-3dB} = \frac{0.64g_m}{2\pi 2C} = 63 \text{ MHz} \text{ และค่าที่ได้จาก PSpice คือ } 61 \text{ MHz} \text{ ซึ่งจะเห็นว่ามีค่าใกล้เคียงกัน}$$

ความถี่ตอบสนองที่อินพุต V_y สามารถหาโดยกำหนดให้ $V_y = V_{ac}$ และ $V_x = V_{dc}$ เราสามารถหาค่าความถี่ตอบสนองซึ่งถูกแสดงรายละเอียดไว้ในภาคผนวก ก1 ได้ดังนี้

$$\frac{V_o}{V_y} = R_L \left[\frac{g_{m3}(sC_7 + g_{m7})(2sC + g_{m15}) - g_{m4}(sC_{15} + g_{m15})(2sC + g_{m7})}{(2sC + g_{m7})(2sC + g_{m15})} \right] \quad (3.23)$$

และจากการแทนค่า g_m และ C_s ต่างๆ จากตารางที่ ก.2 ในสมการ (3.22) พบว่ามีโพล 2 ตัว ที่มีค่าใกล้เคียงกัน คือ $P_1 = \frac{g_{m7}}{2C}$ rad/s , $P_2 = \frac{g_{m15}}{2C}$ rad/s ซึ่งความถี่ Cutoff คือ

$$f_{-3dB} = \frac{0.64P_2}{2\pi} = 59 \text{ MHz} \text{ และค่าที่ได้จาก PSpice คือ } 57 \text{ MHz} \text{ ซึ่งจะเห็นว่ามีค่าใกล้เคียงกัน}$$

3.4 การวิเคราะห์หาสมรรถนะของวงจรถอด

การหาประสิทธิภาพของวงจรถอดสัญญาณโหมคแรงดันจะพิจารณาเฉพาะผลของการลดทอนความคล่องตัวของพาหะและผลของความไม่สมพงษ์ของอุปกรณ์เท่านั้น

3.4.1 การลดทอนความคล่องตัวของพาหะ

การลดทอนความคล่องตัวของพาหะในวงจรถอดพื้นฐานรูปที่ ก.5 ถูกแสดงรายละเอียดไว้ในภาคผนวก ก.2 ซึ่งจะได้แรงดันเอาต์พุตคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_o = R_L K V_x V_y [1 + 3\theta V_{A1}] + R_L K \theta^2 \left(\frac{V_x V_y^3}{2} + \frac{V_x^3 V_y}{8} + 6V_{A1}^2 V_x V_y \right) \quad (3.24)$$

เมื่อกำหนดให้

$$V_{A1} = (V_{SS} + V_T)$$

จากสมการ (3.24) แสดงให้เห็นว่าการลดทอนความคล่องตัวของพาหะจะส่งผลต่อความผิดเพี้ยนเด่นในฮาร์โมนิกที่ 3 ซึ่งผลที่ได้สอดคล้องกับการเลียนแบบการทำงาน (simulation) ด้วย PSpice และการต่อวงจรจริงด้วย IC 4007 และเทอม θ^2 เท่านั้นที่ส่งผลต่อความผิดเพี้ยนของวงจร และเนื่องจาก θ^2 มีค่าที่ต่ำมาก ๆ ทำให้วงจรที่นำเสนอมีความผิดเพี้ยนที่ต่ำมาก ๆ เมื่อเทียบกับวงจรในบทที่ 4-6

3.4.2 ความไม่สมพงษ์ของอุปกรณ์

พิจารณาความไม่สมพงษ์ของ Transconductance parameter ในวงจรพื้นฐานรูปที่ ก.5 ถูกแสดงรายละเอียดไว้ในภาคผนวก ก3 ซึ่งจะได้อำนาจดันเอาท์พุทคือ

$$V_o = K R_L V_x V_y + \Delta K R_L \left[\left(\frac{V_x^2}{8} + \frac{V_y^2}{2} \right) + 2(V_{SS} + V_T)^2 \right] \quad (3.25)$$

จากสมการ (3.25) แสดงว่าความไม่สมพงษ์ของอุปกรณ์ จะส่งผลต่อระดับแรงดัน ดีซี และความเพี้ยนในฮาร์โมนิกที่สอง

โดยทั่วไป ผลกระทบที่เกิดจากการลดทอนความคล่องตัวของพาหะจะนำกังวลที่สุด เพราะผลดังกล่าวไม่สามารถถูกทำให้ลดลงได้แต่โซลูชันที่วงจรนี้มีโครงสร้างวงจรแบบสมมาตรทำให้เทอม θ ถูกหักล้างกันหมดไป เหลือเพียงเทอม θ^2 ซึ่งมีค่าน้อยมาก

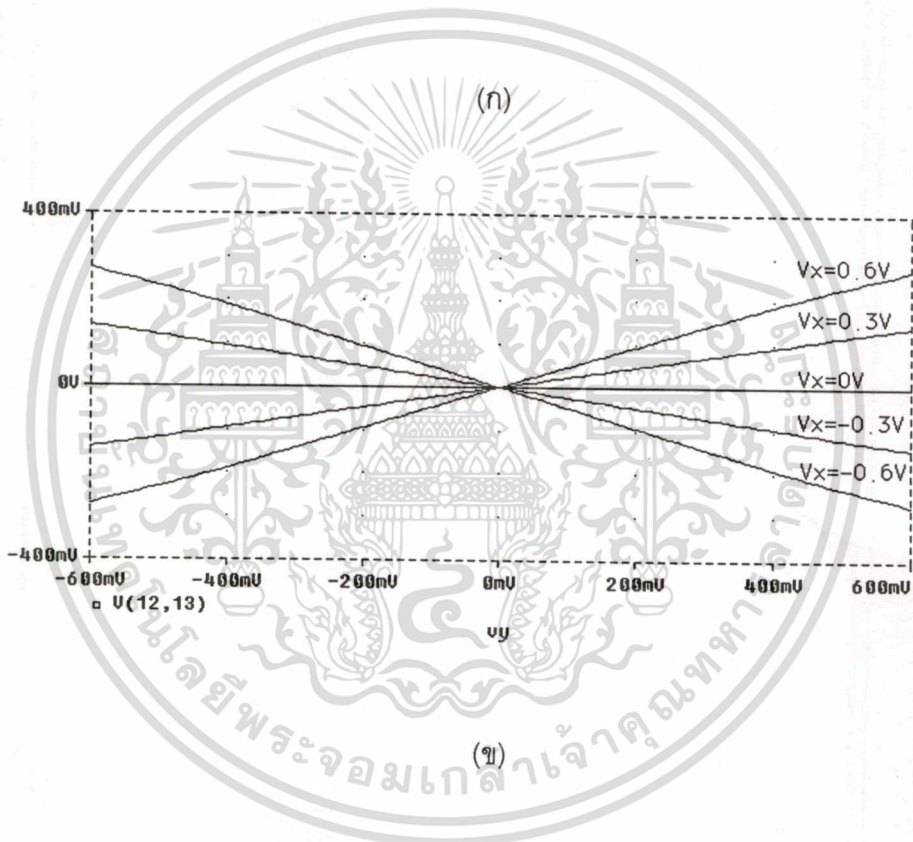
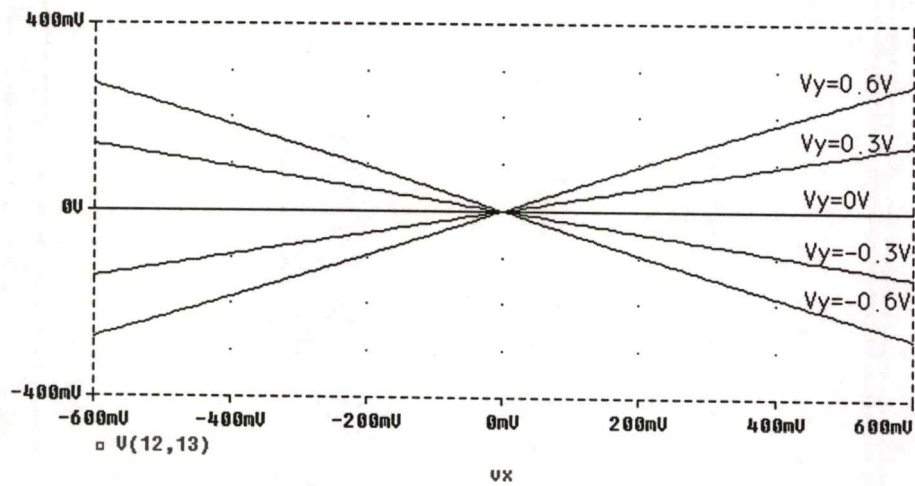
สำหรับผลของความไม่สมพงษ์ของอุปกรณ์สามารถปรับปรุงให้ดีขึ้นได้โดยใช้เทคโนโลยีที่สูงขึ้น และโดยทั่วไปผลอันนี้จะมีค่าน้อยเมื่อเทียบกับผลของการลดทอนความคล่องตัวของพาหะ

3.5 ผลการทดสอบ

ผลการทดสอบถูกกระทำด้วยโปรแกรม PSpice เพื่อพิสูจน์ผลที่ได้จากการวิเคราะห์ทางทฤษฎีและผลการทดลองจริง ถูกกระทำด้วยการต่อวงจรจริงโดยใช้ IC 4007 เพื่อยืนยันการทำงานของวงจร

3.5.1 ผลการทดสอบด้วย PSpice

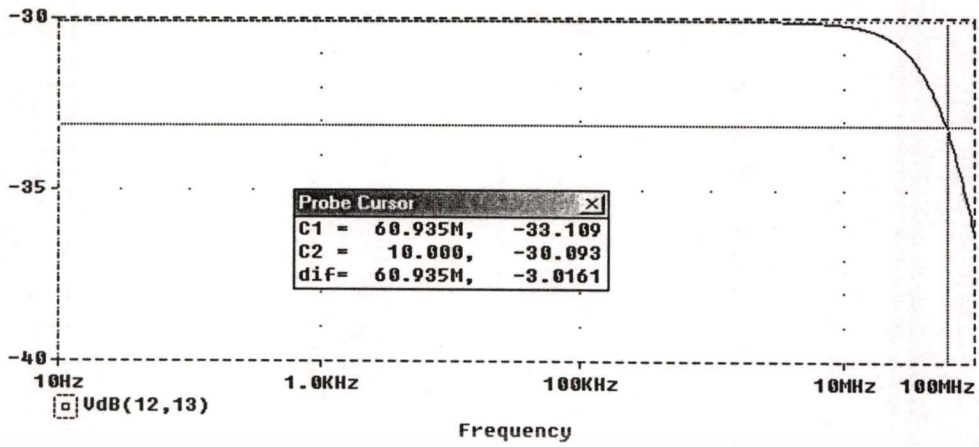
เพื่อหาประสิทธิภาพการทำงานของวงจรคูณโหมคแรงดัน เราได้นำวงจรดังกล่าวมาทดสอบด้วยโปรแกรม PSpice ในการทดสอบ ใช้โมเดลทรานซิสเตอร์ของ MOSIS ใน LEVEL 3 ที่มีขนาด W/L ของ NMOS คือ $5\mu\text{m}/4\mu\text{m}$ และ PMOS คือ $10\mu\text{m}/4\mu\text{m}$ โดยใช้ไฟเลี้ยง $V_{DD} = 0$, $V_{SS} = -2\text{V}$, $R_L = 10\text{ k}\Omega$ ผลการทดสอบคุณสมบัติทาง DC Transfer ด้วยการป้อนอินพุต V_x แปรค่าจาก -0.6 V ถึง 0.6 V และอินพุต V_y แปรค่าจาก -0.6 V ถึง 0.6 V สเต็ปละ 0.3 V ถูกแสดงในรูป 3.5 (ก) และป้อนอินพุต V_y แปรค่าจาก -0.6 V ถึง 0.6 V และอินพุต V_x แปรค่าจาก -0.6 V ถึง 0.6 V สเต็ปละ 0.3 V ถูกแสดงในรูป 3.5 (ข) ผลการทดสอบทางความถี่ตอบสนองด้วยการป้อน อินพุต V_x เป็นสัญญาณไซน์ ขนาด 0.4 V ปรับค่าความถี่ 10 Hz ถึง 100 MHz และอินพุต V_y เป็นสัญญาณไฟตรงขนาด 0.1 V ถูกแสดงในรูป 3.6 (ก) และ การป้อนอินพุต V_y เป็นสัญญาณไซน์ ขนาด 0.4 V ปรับค่าความถี่ 10 Hz ถึง 100 MHz และอินพุต V_x เป็นสัญญาณไฟตรงขนาด 0.1 V ถูกแสดงในรูป 3.6 (ข) ผลการวัดความผิดเพี้ยนทางฮาร์โมนิกถูกทดสอบโดย การป้อนอินพุต V_x เป็นสัญญาณไซน์ ขนาดความถี่ 100 kHz และอินพุต V_y เป็นสัญญาณไฟตรงขนาด 0.4 V ถูกแสดงในรูป 3.7 (ก) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิครวมได้ 0.11% โดยการป้อนอินพุต V_y เป็นสัญญาณไซน์ ขนาด 0.4 V ความถี่ 100 kHz และอินพุต V_x เป็นสัญญาณไฟตรงขนาด 0.4 V ถูกแสดงในรูป 3.7 (ข) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิครวมได้ 0.15%



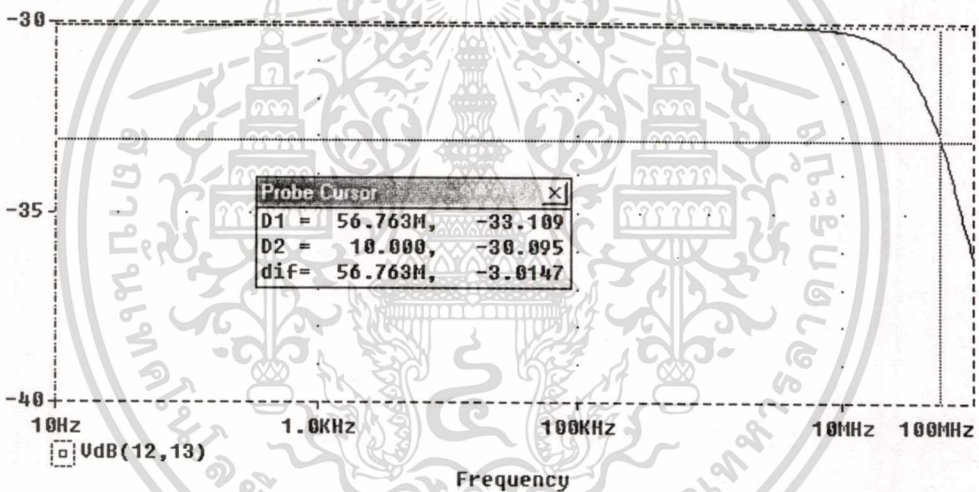
รูปที่ 3.5 ผลของคุณสมบัติทางไฟตรง (DC Transfer Characteristics)

(ก) V_x กับ I_o ขณะ V_y แปรค่าจาก 0.6 V ถึง -0.6 V สติ้ปะละ 0.3 V

(ข) V_y กับ I_o ขณะ V_x แปรค่าจาก 0.6 V ถึง -0.6 V สติ้ปะละ 0.3 V



(ก)

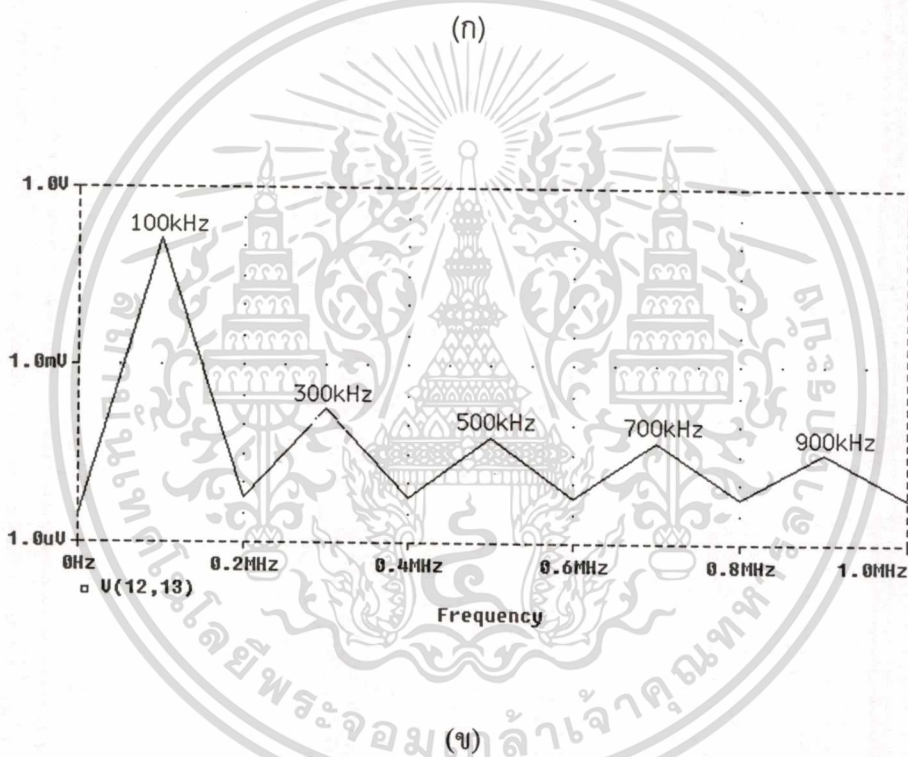
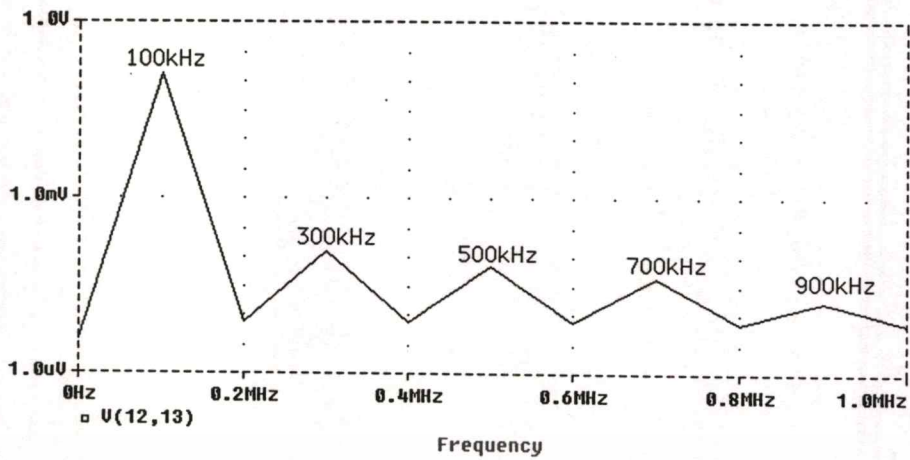


(ข)

รูปที่ 3.6 ผลของความถี่ตอบสนอง

(ก) เมื่อ $V_x = 0.4 \sin \omega t$ และ $V_y = 0.1V$ (ข) เมื่อ $V_y = 0.4 \sin \omega t$ และ $V_x = 0.1V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ผลความผิดเพี้ยนทางฮาร์โมนิกที่ค่าความถี่ต่างๆ

(ก) เมื่อ $V_x = 0.4 \sin 200k\pi t$ และ $V_y = 0.4V$

(ข) เมื่อ $V_y = 0.4 \sin 200k\pi t$ และ $V_x = 0.4V$

การวัดความผิดพลาดของความเป็นเชิงเส้นของวงจรถูก โหมคแรงดันใช้วิธี ผลต่างจากการย่อยของ นิวตัน(Newton's divided-difference interpolating polynomials) [13] ซึ่งทำโดยกำหนดสมการ เส้นตรงขึ้นมา 1 สมการและเทียบกับผลที่ได้จากรูปที่ 3.5 ขณะที่อินพุตเต็มสเกล

ตารางที่ 3.1 ความผิดพลาดความเป็นเชิงเส้นของวงจรถูก โหมคแรงดันที่อินพุต V_y ขณะที่ $V_x = 0.6$ V

V_y (V)	-0.6	-0.45	-0.3	-0.15	0	0.15	0.3	0.45	0.6
%error	3.8	0.09	0.3	0	0	0	0.3	0	3.8

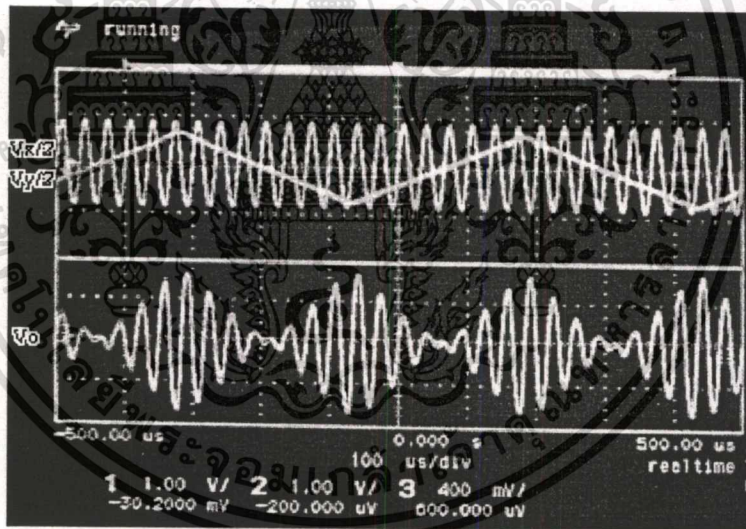
ตารางที่ 3.2 ความผิดพลาดความเป็นเชิงเส้นของวงจรถูก โหมคแรงดันที่อินพุต V_x ขณะที่ $V_y = 0.6$ V

V_x (V)	-0.6	-0.45	-0.3	-0.15	0	0.15	0.3	0.45	0.6
%error	5.2	3.2	1.2	0	0	0	1.2	3.2	5.2

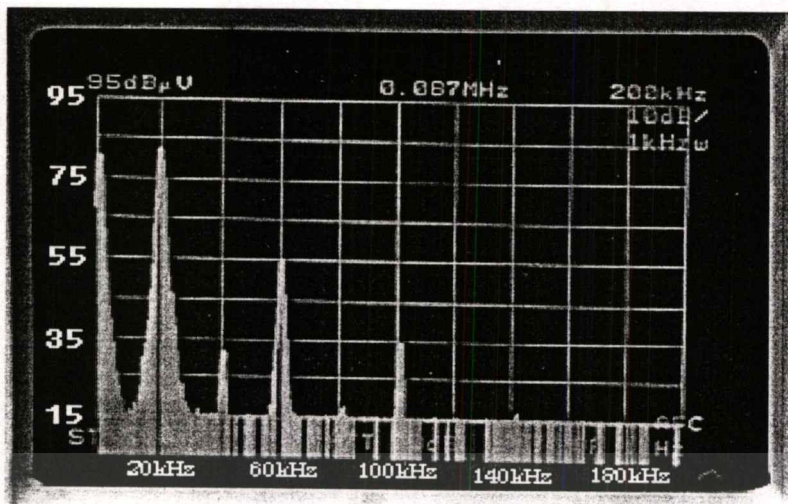
จากตารางที่ 3.1 และ 3.2 พบว่าค่าความผิดพลาดของความเป็นเชิงเส้นของอินพุตทั้ง 2 ด้าน (V_x และ V_y) มีค่าไม่เท่ากัน เพราะวงจรมีโครงสร้างที่ไม่สมมาตรกันทางอินพุต และ ตารางที่ 3.1 มีค่าเฉลี่ยของความผิดพลาดของความเป็นเชิงเส้นคือ 0.92 % ตารางที่ 3.2 มีค่าเฉลี่ยของความผิดพลาดของความเป็นเชิงเส้นคือ 2.1 %

3.5.2 ผลการทดสอบด้วยการต่อวงจรจริงลงบอร์ด

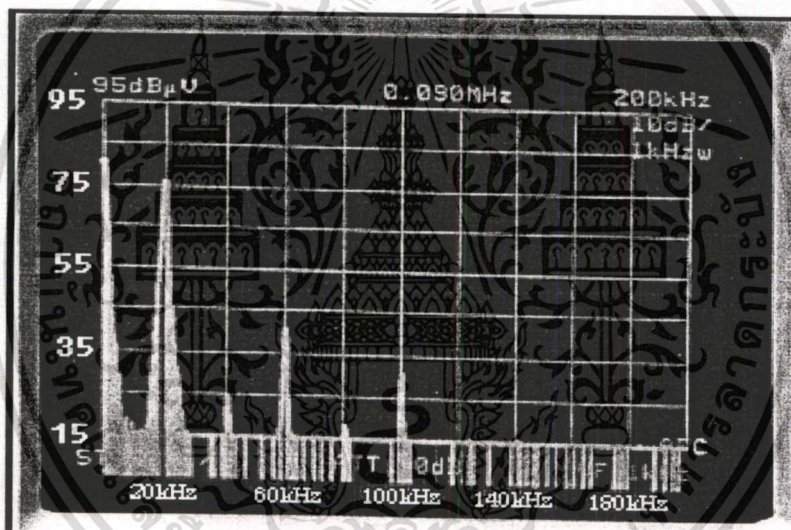
เพื่อยืนยันการทำงานของวงจรถมโทมดแรงดันได้นำวงจรดังกล่าวมาต่อวงจรจริงลงบอร์ดทดลอง โดยใช้ไอซี CD 4007 แรงดันไฟเลี้ยง $V_{DD} = 0$, $V_{SS} = -4$ V, $R_L = 10k\Omega$ การทดสอบถูกกระทำเป็นวงจร Balanced modulator โดยป้อนอินพุตเป็นสัญญาณสามเหลี่ยมขนาด $1 V_p$ ความถี่ 2 kHz และป้อนอินพุต V_y เป็นสัญญาณไซน์ขนาด 1 V ความถี่ 30 kHz ถูกแสดงในรูปที่ 3.8 การทดสอบความผิดเพี้ยนทางฮาร์โมนิกถูกกระทำโดย การป้อนอินพุต V_y เป็นสัญญาณไซน์ขนาด $1.2 V_p$ ความถี่ 2 kHz และป้อนอินพุต V_x ด้วยไฟตรงขนาด 1 V ถูกแสดงในรูป 3.9 (ก) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิกรวมได้ 4.5% โดยการป้อนอินพุต V_x เป็นสัญญาณไซน์ขนาด 1.2 V ความถี่ 2 kHz และป้อนอินพุต V_y ด้วยไฟตรงขนาด 1 V ซึ่งแสดงในรูปที่ 3.9 (ข) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิกรวมได้ 1.8% จากผลการวัด THD พบว่าสอดคล้องกับผลการวิเคราะห์ทางทฤษฎีและผลการ Simulate ด้วย PSpice คือ มี third order harmonics เป็นตัวหลักในการส่งผลต่อความผิดเพี้ยนรวม



รูปที่ 3.8 ผลของ Balanced modulator



(ก)



(ข)

รูปที่ 3.9 ผลของความผิดเพี้ยนทางฮาร์โมนิก

(ก) เมื่อ $V_Y = 0.4 \sin 2000\pi t$ และ $V_X = 1V$

(ข) เมื่อ $V_X = 0.4 \sin 2000\pi t$ และ $V_Y = 1V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 สรุป

วงจรคุณสัญญาณโหมคแรงดันที่นำเสนอนี้ประกอบด้วยวงจรถูกพื้นฐานแบบ Quarter Square และวงจรถบสัญญาณ 6 วงจร จากโครงสร้างที่ออกแบบไว้อย่างดีของวงจรดังกล่าว ทำให้วงจรมีจุดเด่น คือ

1. ใช้แรงดันไฟเลี้ยงต่ำ และสามารถทำงานได้ด้วยทั้งแหล่งจ่ายไฟเลี้ยงเดี่ยวและไฟเลี้ยงคู่
2. มีช่วงอินพุตปฏิบัติงานกว้างและทำงานแบบ Single rail
3. มีความผิดเพี้ยนรวม (Total Harmonic Distortion :THD) ต่ำ
4. ใช้ทรานซิสเตอร์ ที่มีขนาด W/L เท่ากันหมดทุกตัว

และถึงแม้ว่าวงจรถนำเสนอจะมีข้อดีหลายประการแต่ก็ยังมีข้อด้อยคือใช้จำนวนของทรานซิสเตอร์มากพอสมควร และสัญญาณอินพุตต้องการแบบผลต่าง (differential input) ผลการทดสอบด้วยโปรแกรม PSpice ที่แรงดันไฟเลี้ยง $V_{DD} = 0$, $V_{SS} = 2$ V พบว่าวงจรมีความผิดเพี้ยนรวม (THD) = 0.12 % ที่ อินพุต $0.4 V_p$ ความถี่ตอบสนอง (f_{-3dB}) = 60 MHz ผลการทดสอบจริงด้วย CD 4007 พบว่าวงจรถสามารถทำงานได้จริงและให้ผลที่สอดคล้องกับการทดสอบด้วย PSpice และการวิเคราะห์ในทางทฤษฎี วงจรถนำเสนอนี้คาดหวังที่จะนำไปใช้งานด้านการประมวลผลสัญญาณทางอนาลอก ที่วงจรถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ และต้องการความแม่นยำสูง

บทที่ 4

วงจรรูณสัญญาณโหมดกระแส

4.1 บทนำ

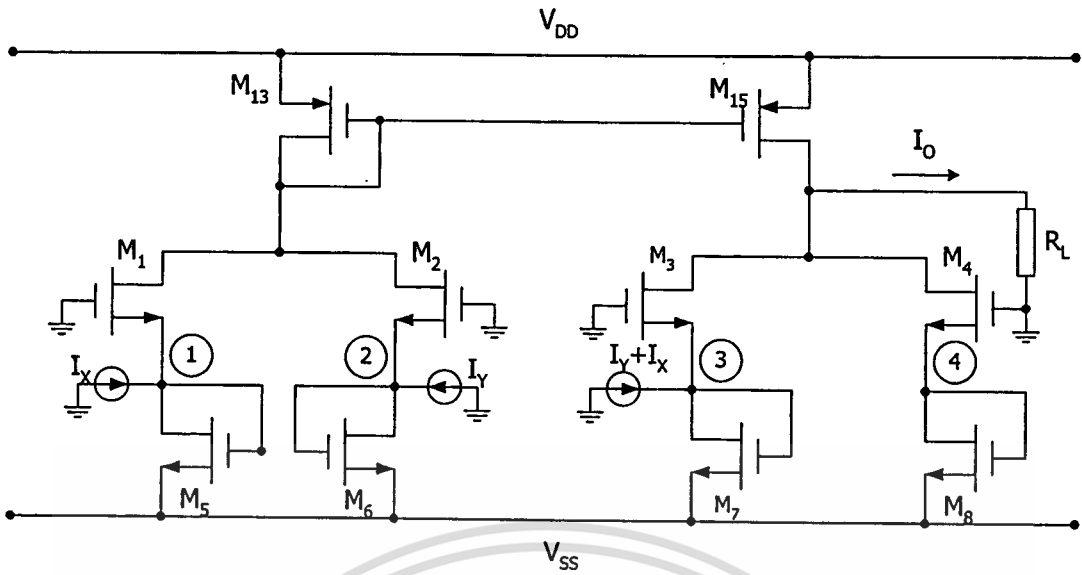
วงจรรูณกระแสคือวงจรมีอินพุท เอาท์พุท และการประมวลผลสัญญาณอยู่ในรูปของสัญญาณกระแส (อิมพีแดนซ์ต่างๆที่สัญญาณผ่านจะมีค่าต่ำ) ปัจจุบันการออกแบบวงจรมีการทำงานในโหมดกระแสกำลังเป็นที่นิยม เพราะมีข้อดีกว่าโหมดแรงดัน เช่น ความเร็วในการทำงาน เพราะทำงานในรูปกระแส (อิมพีแดนซ์ต่ำ), ความง่ายในการประมวลผล เพราะสัญญาณกระแสสามารถบวกและลบกันได้โดยตรง และเหมาะสำหรับวงจรมีการทำงานภายใต้แรงดันไฟเลี้ยงต่ำ เพราะช่วงอินพุทปฏิบัติงานไม่ขึ้นตรงกับแรงดันไฟเลี้ยง แต่อย่างไรก็ตาม วงจรรูณแบบอนาล็อกส่วนใหญ่ถูกออกแบบให้ทำงานในโหมดแรงดัน [7-12] มีเพียงบางบทความเท่านั้น [14-16] ที่ถูกออกแบบให้ทำงานในโหมดกระแส และเพื่อออกแบบวงจรรูณให้มีคุณสมบัติที่คิดว่าข้างต้น วิทยานิพนธ์นี้จึงนำเสนอวงจรรูณสัญญาณที่ทำงานในโหมดกระแส หลักการทำงาน การวิเคราะห์ช่วงอินพุทปฏิบัติงาน การวิเคราะห์ความถี่ตอบสนอง การวิเคราะห์หาประสิทธิภาพต่างๆและผลการทดสอบของวงจรรูณโหมดกระแสนี้จะถูกแสดงไว้ในหัวข้อถัดไป

4.2 หลักการทำงาน

วงจรรูณสัญญาณโหมดกระแสนี้ประกอบด้วย วงจรรูณสัญญาณกระแสแบบพื้นฐาน 1 วงจร (square difference) และวงจรรัดลอกลสัญญาณ 1 วงจร ซึ่งแสดงรายละเอียดได้ดังนี้

4.2.1 วงจรรูณสัญญาณกระแสแบบผลต่างกำลังสอง (Square Difference)

หลักการของวงจรรูณสัญญาณกระแสแบบพื้นฐานถูกแสดงโดยอาศัยสมการคณิตศาสตร์คือ $2I_r I_x = (I_x + I_r)^2 - I_x^2 - I_r^2$ และจากสมการดังกล่าวสามารถทำขึ้นได้โดยอาศัยคุณสมบัติความเป็นกำลังสองของ CMOS ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 วงจรคุณสมบัติญาณกระแสแบบผลต่างกำลังสอง

วงจรรูปที่ 4.1 ประกอบด้วยวงจรถ่วงกำลังสอง 3 วงจร ซึ่งวงจรถ่วงกำลังสองพัฒนาจาก [14] และวงจรรูปที่ 4.1 สามารถกำหนดโหนดแรงดันต่างๆดังนี้คือ V_1 , V_2 , V_3 และ V_4 โดยที่ V_1 สามารถหาความสัมพันธ์ของกระแสอินพุต I_x กับกระแสทรานซิสเตอร์ M_1 และ M_5 ได้ดังนี้

$$I_x = I_{D5} - I_{D1} \quad (4.1)$$

ใช้สมการ (2.4) จะได้
$$V_1 = \frac{V_{SS}}{2} + \frac{I_x}{A_1}; A_1 = -2K(V_{SS} + 2V_T) \quad (4.2)$$

และทำนองเดียวกับที่โหนด V_1 เราสามารถหาค่า V_2 และ V_3 ได้ดังนี้

$$V_2 = \frac{V_{SS}}{2} + \frac{I_Y}{A_1} \quad (4.3)$$

$$V_3 = \frac{V_{SS}}{2} + \frac{I_x + I_Y}{A_1} \quad (4.4)$$

และ V_4 สามารถหาค่าได้โดยการแบ่งแรงดันของ M_4 กับ M_8 คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_4 = \frac{V_{SS}}{2} \quad (4.5)$$

จากสมการ (4.1)-(4.4) พบว่าความสัมพันธ์ของกระแสอินพุตกับแรงดันที่โหนดต่างๆ มีความสัมพันธ์เป็นเชิงเส้นกัน หรืออาจกล่าวได้ว่าวงจรทำหน้าที่แปลงสัญญาณกระแสเป็นสัญญาณแรงดันนั่นเอง และกระแสครนของ M_1 - M_4 สามารถแสดงโดยใช้สมการ (4.1)-(4.5) ได้ดังนี้

$$I_{D1} = K \left(-\frac{V_{SS}}{2} - \frac{I_X}{A_1} - V_T \right)^2 \quad (4.6)$$

$$I_{D2} = K \left(-\frac{V_{SS}}{2} - \frac{I_Y}{A_1} - V_T \right)^2 \quad (4.7)$$

$$I_{D3} = K \left(-\frac{V_{SS}}{2} - \frac{(I_X + I_Y)}{A_1} - V_T \right)^2 \quad (4.8)$$

$$I_{D4} = K \left(-\frac{V_{SS}}{2} - V_T \right)^2 \quad (4.9)$$

กระแสเอาต์พุตของวงจรสามารถถูกกำหนดและแสดงได้ดังนี้

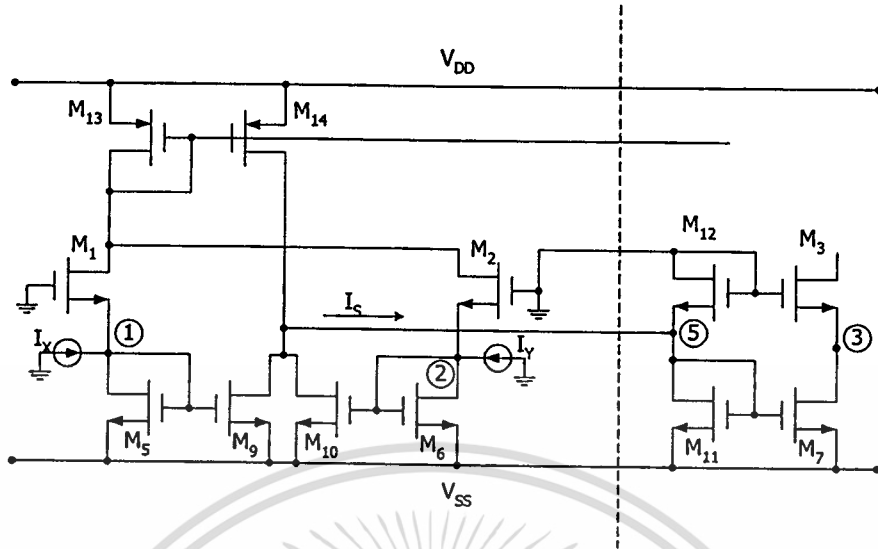
$$I_O = ((I_{D1} + I_{D2}) - (I_{D3} + I_{D4})) \quad (4.10)$$

$$I_O = -\frac{I_X I_Y}{2K(V_{SS} + 2V_T)^2} \quad (4.11)$$

จากสมการ (4.11) จะเห็นว่ากระแสเอาต์พุตเป็นผลคูณของกระแส I_X และ I_Y

4.2.2 วงจรคัตลอกสัญญาณ

โดยทั่วไปสัญญาณอินพุตของวงจรควมมี 2 สัญญาณคือ I_X และ I_Y แต่เมื่อพิจารณาวงจรรูปที่ 4.1 จะเห็นว่า วงจรดังกล่าวต้องการสัญญาณ $(I_X + I_Y)$ และสัญญาณดังกล่าวจะถูกสร้างจากวงจรคัตลอกสัญญาณดังนี้



รูปที่ 4.2 วงจรคัดลอกกระแสโดยอาศัยวงจรคูณสัญญาณกระแสแบบพื้นฐาน

รูปที่ 4.2 คือวงจรคัดลอกกระแสที่อาศัยวงจรคูณโหมดกระแสแบบพื้นฐาน พิจารณาวงจรในด้านซ้ายของเส้นประจะได้ว่า

$$I_S = I_{D14} - (I_{D9} + I_{D10}) \quad (4.12)$$

พิจารณารูปที่ 4.2 จะได้ว่า $I_{D2} + I_{D1} = I_{D14}$ และ $I_{D5} = I_{D9}$, $I_{D6} = I_{D10}$ และนำไปแทนในสมการ (4.12) จะได้

$$I_S = I_{D1} + I_{D2} - I_{D5} - I_{D6} \quad (4.13)$$

และจากสมการ (4.1) จะได้ว่า $I_X = I_{D5} - I_{D1}$ และในทำนองเดียวกันจะได้ $I_Y = I_{D6} - I_{D2}$ ดังนั้น I_S สามารถเขียนใหม่ได้คือ

$$I_S = -I_X - I_Y \quad (4.14)$$

พิจารณาวงจรในด้านขวาของเส้นประพบว่า $I_{D11} = I_{D7} = I_{D3}$ โดยกระแสดังกล่าวสามารถหาค่าได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.3 จะเห็นว่าวงจรมีลักษณะคล้ายกับวงจรคูณสัญญาณกระแสแบบพื้นฐาน (รูปที่ 4.1) ส่วนที่แตกต่างกันคือ M_5, M_{12}, M_{14} ถูกเพิ่มเข้าไปเพื่อสร้างสัญญาณ ($I_x + I_y$)

จากรูปที่ 4.1 และสมการ (4.6), (4.7) และ (4.9) เมื่อนำมาเทียบกับวงจรรูปที่ 4.3 จะได้ว่า กระแสเดรน M_1, M_2, M_4 ของทั้งสองวงจรมีค่าเหมือนกันคือ

$$I_{D1} = K \left(-\frac{V_{SS}}{2} - \frac{I_x}{A_1} - V_T \right)^2 \quad (4.18)$$

$$I_{D2} = K \left(-\frac{V_{SS}}{2} - \frac{I_y}{A_1} - V_T \right)^2 \quad (4.19)$$

$$I_{D4} = K \left(-\frac{V_{SS}}{2} - V_T \right)^2 \quad (4.20)$$

และรูปที่ 4.2 และสมการ (4.17) เมื่อนำมาเทียบกับวงจรรูปที่ 4.3 จะได้ว่ากระแสเดรน M_3 มีค่าเหมือนกันคือ

$$I_{D3} = K \left(-\frac{V_{SS}}{2} - \frac{(I_x + I_y)}{A_1} - V_T \right)^2 \quad (4.21)$$

และกระแสเอาต์พุตของวงจรคูณสามารถหาได้ทำนองเดียวกับสมการ (4.11) คือ

$$I_O = -\frac{I_x I_y}{2K(V_{SS} + 2V_T)^2} \quad (4.22)$$

สังเกตว่า มอสมทรานซิสเตอร์ M_1, M_2, M_5, M_6 ทำหน้าที่ 2 อย่างในเวลาเดียวกันคือ สร้างสัญญาณกำลังสองอินพุทกระแส (I_x^2 และ I_y^2) และสร้างสัญญาณผลบวกอินพุทกระแส ($I_x + I_y$) นั้น แสดงให้เห็นว่าวงจรมีลักษณะคล้ายกับวงจรมีลักษณะที่คล้ายกัน เพื่อลดจำนวนมอสมทรานซิสเตอร์ให้น้อยลง

4.2.4 ช่วงอินพุทปฏิบัติงาน

ช่วงอินพุทปฏิบัติงานของวงจรคูณโหมตกระแสสามารถหาค่าได้โดยการพิจารณาเงื่อนไข

การทำงานของมอสมทรานซิสเตอร์ M_{11}, M_{12} ซึ่งสามารถหาค่าได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_T + \frac{V_{SS}}{2} < \frac{I_X + I_Y}{-2K(V_{SS} + 2V_T)} < -V_T - \frac{V_{SS}}{2} \quad (4.23)$$

จากสมการ (4.23) พบว่าช่วงอินพุตปฏิบัติงานขึ้นอยู่กับค่า K , V_T และ V_{SS}

4.3 ความถี่ตอบสนองของวงจร

พิจารณารูปที่ 4.3 จะพบว่าที่อินพุต I_X และ I_Y มีความสมมาตรเหมือนกัน ทำให้ค่าความถี่ตอบสนองที่อินพุตแต่ละด้านมีค่าเท่ากัน ดังนั้นในการวิเคราะห์หาความถี่ตอบสนองจะพิจารณาเพียงอินพุตเดียวเท่านั้น โดยกำหนดให้ $I_X = I_{sc}$ และ $I_Y = I_{DC}$ เราสามารถหาค่าทรานเฟอร์ฟังก์ชันของวงจรไว้ในภาคผนวก ข1 และ เพื่อง่าย เราจะวิเคราะห์ที่ละส่วนคือ $\frac{I_{O1}}{I_I}$ และ $\frac{I_{O2}}{I_I}$ ดังนี้

$$\frac{I_{O1}}{I_I} = \frac{-g_{m1}g_{m15} / 9C_n C_p}{\left(s + \frac{g_{m1} + g_{m5}}{3C_n}\right) \left(s + \frac{g_{m13}}{3C_p}\right)} \quad (4.24)$$

$$\frac{I_{O2}}{I_I} = \frac{g_{m3}g_{m7}g_{m9} \left(s + \frac{g_{m13} + g_{m14}}{3C_p}\right)}{9C_n^3 \left(s + \frac{g_{m3}}{C_n}\right) \left(s + \frac{2g_{m1}}{3C_n}\right) \left(s + \frac{g_{m13}}{3C_p}\right) \left(s + \frac{g_{m11} + g_{m12}}{3C_n}\right)} \quad (4.25)$$

และ $\frac{I_O}{I_I} = \frac{I_{O1} + I_{O2}}{I_I}$ จะได้

$$\frac{I_O}{I_I} = \frac{10^{17} (s + 273 \times 10^6)(s - 1059 \times 10^6)}{(s + 1521 \times 10^6)(s + 827 \times 10^6)(s + 246 \times 10^6)(s + 821 \times 10^6)} \quad (4.26)$$

จากสมการ (4.26) พบว่าทั้งโพลและซีโร มีค่าใกล้เคียงกันมากจนทำให้ไม่สามารถประมาณค่าได้จากโพลเด่น ดังนั้นจึงต้องใช้ ฟังก์ชัน Bode Diagram ที่มีอยู่ในโปรแกรม MATLAB มาช่วยวิเคราะห์ซึ่งได้ค่าคือ 65 MHz และ ผลการเขียนแบบการทำงาน (simulation) ด้วย PSpice ได้ 66 MHz ซึ่งจะเห็นว่ามีความใกล้เคียงกัน

4.4 การวิเคราะห์หาสมรรถนะของวงจร

การหาประสิทธิภาพของวงจรคุณสมบัติสัญญาณ โหมคกระแสะจะพิจารณาเฉพาะผลของการลดทอนความคล่องตัวของพาหะและผลของความไม่สมพงษ์ของอุปกรณ์เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.1 การลดทอนความคล่องตัวของพาหะ

การพิจารณาการลดทอนความคล่องตัวของพาหะในวงจรรวมสัญญาณกระแสแบบพื้นฐาน ถูกแสดงรายละเอียดไว้ในภาคผนวก ข2 ซึ่งจะได้กระแสเอาต์พุตคือ

$$I_o = \frac{-2KI_x I_Y}{A_1^2} - 3\theta K \left[2 \left(\frac{I_x I_Y}{A_1^2} \right) \left(\frac{V_{SS}}{2} + V_T \right) + \left(\frac{I_x^2 I_Y}{A_1^3} \right) + \left(\frac{I_x I_Y^2}{A_1^3} \right) \right] \quad (4.27)$$

จากสมการ (4.27) แสดงให้เห็นว่าการลดทอนความคล่องตัวของพาหะจะส่งผลกระทบต่อความผิดเพี้ยนในฮาร์โมนิกที่ 2 ซึ่งผลที่ได้นี้จะสอดคล้องกับผลการเลียนแบบการทำงาน (simulation) ด้วย PSpice และการทดลองจริง

4.4.2 ความไม่สมพงษ์ของอุปกรณ์

การพิจารณาความไม่สมพงษ์ของ Transconductance parameter ในวงจรรวมสัญญาณกระแสแบบพื้นฐานถูกแสดงรายละเอียดไว้ในภาคผนวก ข3 ซึ่งจะได้กระแสเอาต์พุตคือ

$$I_o = \frac{-2KI_x I_Y}{A_1^2} + \Delta K \left[\frac{I_x^2 + I_Y^2 + I_x I_Y}{A_1^2} + 2 \left(\frac{V_{SS}}{2} + V_T \right) \left(\frac{I_x + I_Y}{A_1} \right) + 2 \left(\frac{V_{SS}}{2} + V_T \right)^2 \right] \quad (4.28)$$

จากสมการ (4.28) พบว่า ผลของความไม่สมพงษ์ของ Transconductance parameter จะส่งผลกระทบต่อความผิดเพี้ยนในฮาร์โมนิกที่ 2

พิจารณาเอาต์พุตของวงจรรวมสัญญาณโหมดกระแส (4.27) พบว่า เทอม θ ไม่ถูกหักล้างเนื่องจากโครงสร้างของวงจรมิสมมาตรกัน ดังนั้นความผิดเพี้ยนจึงมีค่ามากกว่าเอาต์พุตของวงจรรวมสัญญาณโหมดแรงดัน ซึ่งเทอม θ ไม่มีคูณกับสัญญาณอินพุต

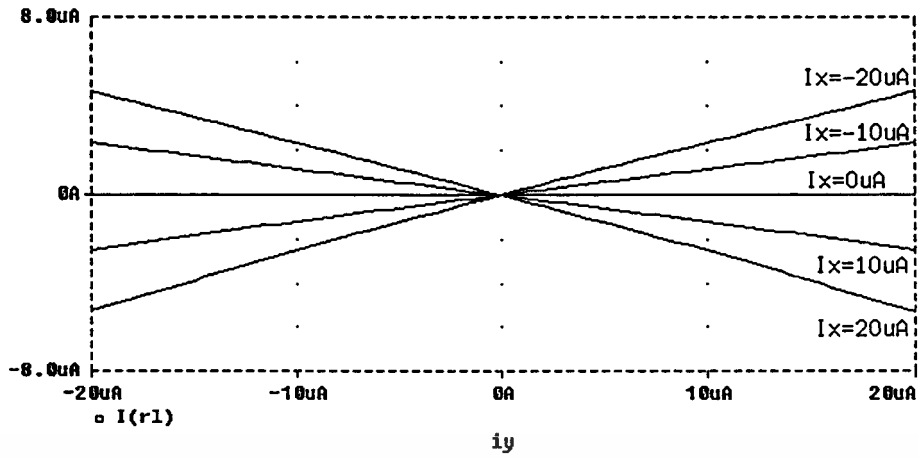
4.5 ผลการทดสอบ

ผลการทดสอบถูกกระทำด้วยโปรแกรม PSpice เพื่อพิสูจน์ผลที่ได้จากการวิเคราะห์ทางทฤษฎีและผลการทดลองจริง เพื่อยืนยันการทำงานของวงจร

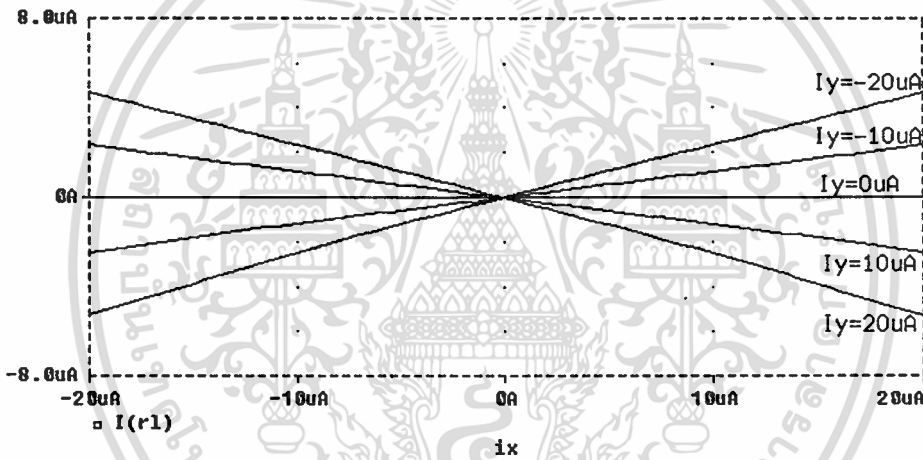
4.5.1 ผลการทดสอบด้วย PSpice

เพื่อหาประสิทธิภาพการทำงานของวงจรถูก โหมดกระแสเราได้นำวงจรดังกล่าวมาทดสอบด้วยโปรแกรม PSpice ในการทดสอบ ใช้โมเดลทรานซิสเตอร์ของ MOSIS ใน LEVEL 3 ที่มีขนาด $W/L = 5\mu\text{m}/4\mu\text{m}$ สำหรับ NMOS และ $W/L = 10\mu\text{m}/4\mu\text{m}$ สำหรับ PMOS โดยใช้แรงดันไฟเลี้ยง $V_{DD} = V_{SS} = 2\text{V}$, $R_L = 10\text{k}\Omega$ ผลการทดสอบคุณสมบัติทาง DC Transfer ด้วยการป้อนอินพุต I_Y แปรค่าจาก $-20\mu\text{A}$ ถึง $20\mu\text{A}$ และอินพุต I_X แปรค่าจาก $-20\mu\text{A}$ ถึง $20\mu\text{A}$ สเต็ปละ $10\mu\text{A}$ ถูกแสดงในรูป 4.4 (ก) และการป้อนอินพุต I_X แปรค่าจาก $-20\mu\text{A}$ ถึง $20\mu\text{A}$ และอินพุต I_Y แปรค่าจาก $-20\mu\text{A}$ ถึง $20\mu\text{A}$ สเต็ปละ $10\mu\text{A}$ ถูกแสดงในรูปที่ 4.4 (ข) จากรูปที่ 4.4 แสดงให้เห็นว่าเอาต์พุตของวงจรมีความเป็นเชิงเส้นดี และไม่มีแรงดันเอาต์พุต offset ผลการทดสอบทางความถี่ตอบสนองด้วยการป้อนอินพุต I_X เป็นสัญญาณไซน์ ขนาด $10\mu\text{A}$ ปรับค่าความถี่ 10 Hz ถึง 200 MHz และอินพุต I_Y เป็นสัญญาณไฟตรงขนาด $10\mu\text{A}$ ถูกแสดงในรูปที่ 4.5(ก) การป้อนอินพุต I_Y เป็นสัญญาณไซน์ ขนาด $10\mu\text{A}$ ปรับค่าความถี่ 10 Hz ถึง 200 MHz และอินพุต I_X เป็นสัญญาณไฟตรงขนาด $10\mu\text{A}$ ถูกแสดงในรูปที่ 4.5 (ข) จากรูปที่ 4.5 แสดงให้เห็นว่าที่อินพุต I_X และ I_Y มีความถี่ตอบสนองเท่ากันและมีค่าประมาณ 66 MHz ซึ่งสอดคล้องกับการวิเคราะห์ทางทฤษฎี ผลการวัดความผิดเพี้ยนทางฮาร์โมนิกรวมถูกทดสอบโดย การป้อนอินพุต I_X เป็นสัญญาณไซน์ ขนาด $10\mu\text{A}$ ความถี่ 100 kHz และอินพุต I_Y เป็นสัญญาณไฟตรงขนาด $10\mu\text{A}$ ถูกแสดงในรูปที่ 4.6 (ก) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิกรวมได้ 0.73% โดยการป้อนอินพุต I_Y เป็นสัญญาณไซน์ ขนาด $10\mu\text{A}$ ความถี่ 100 kHz และอินพุต I_X เป็นสัญญาณไฟตรงขนาด $10\mu\text{A}$ ถูกแสดงในรูปที่ 4.6(ข) ซึ่งวัดความผิดเพี้ยนทาง ฮาร์โมนิกรวมได้ 0.73%

จากรูปที่ 4.6 วงจรมีความผิดเพี้ยนที่ต่ำ และเด่นในฮาร์โมนิกที่สองซึ่งนี้เกิดจากผลของการลดทอนความคล่องตัวของพาหะซึ่งผลดังกล่าวสอดคล้องกับการวิเคราะห์ในหัวข้อที่ 4.4.1



(ก)

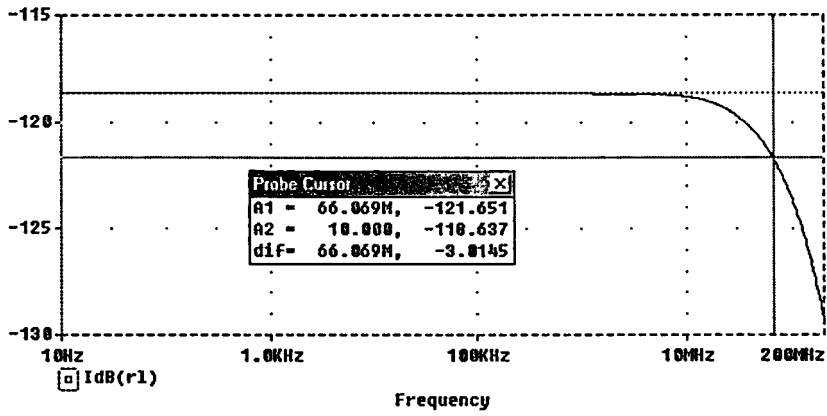


(ข)

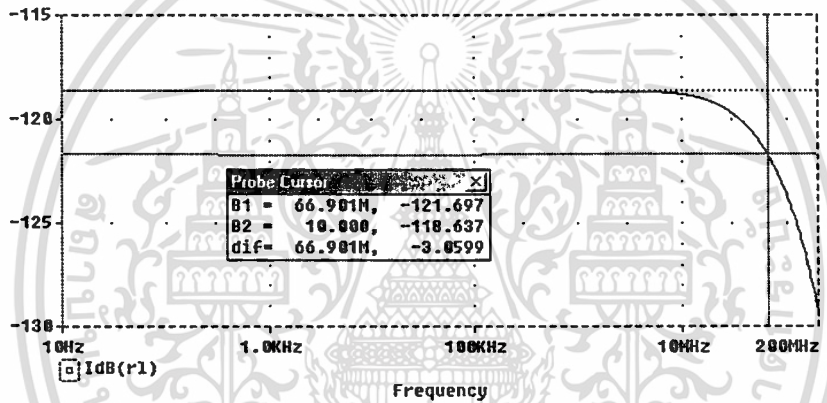
รูปที่ 4.4 ผลของคุณสมบัติทางไฟตรง (DC Transfer Characteristic)

(ก) I_x กับ I_o ขณะที่ I_y แปรค่าจาก $-20 \mu A$ ถึง $20 \mu A$ สदैปละ $10 \mu A$

(ข) I_y กับ I_o ขณะที่ I_x แปรค่าจาก $-20 \mu A$ ถึง $20 \mu A$ สदैปละ $10 \mu A$



(ก)

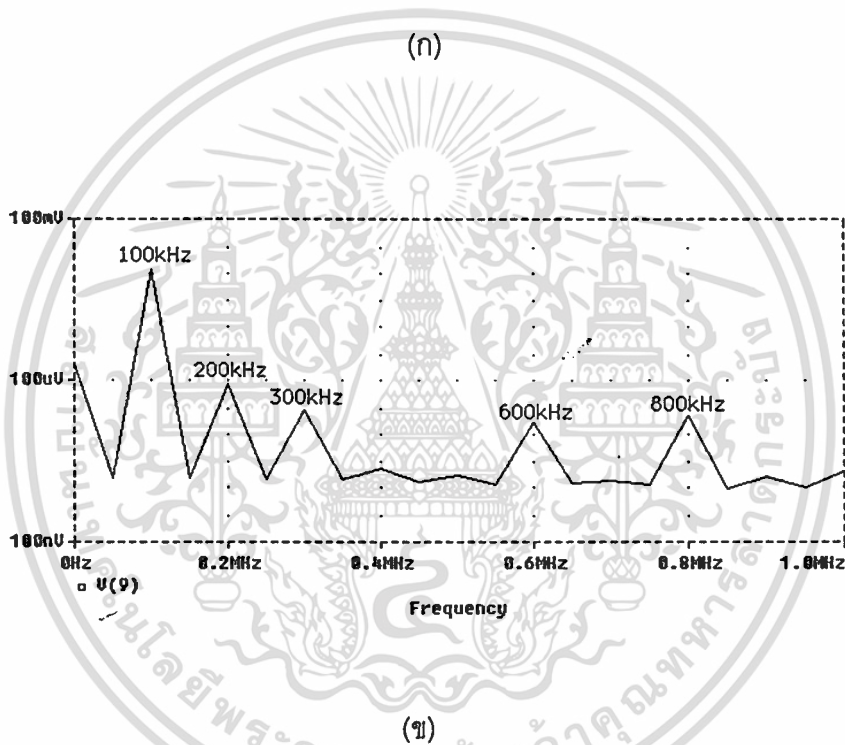
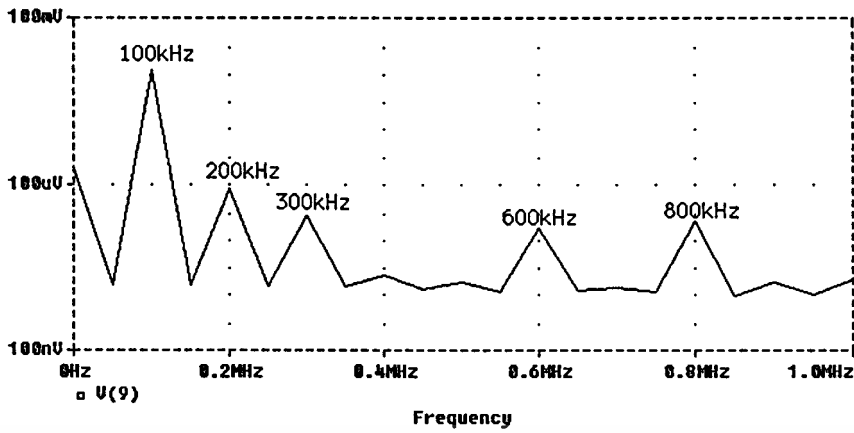


(ข)

รูปที่ 4.5 ผลของความถี่ตอบสนอง

(ก) เมื่อ $I_x = 10\mu A \sin \omega t$ และ $I_y = 10\mu A$

(ข) เมื่อ $I_y = 10\mu A \sin \omega t$ และ $I_x = 10\mu A$



รูปที่ 4.6 ผลความผิดเพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ

(ก) เมื่อ $I_x = 10\mu\text{A}\sin 200\text{krad}$ และ $I_y = 10\mu\text{A}$

(จ) เมื่อ $I_y = 10\mu\text{A}\sin 200\text{krad}$ และ $I_x = 10\mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความผิดพลาดของความเป็นเชิงเส้นของวงจรถู่มอหคกระแส ขณะทีอินพุทเต็มสเกลแสดงได้ ในตารางที่ 4.1 แลล 4.2

ตารางที่ 4.1 ความผิดพลาดความเป็นเชิงเส้นของวงจรถู่มอหคกระแสทีอินพุท I_Y ขณะ $I_X = 20\mu A$

I_Y (μA)	-20	-15	-10	-5	0	5	10	15	20
%error	8.3	5.2	2.6	0	0	0	1.5	1.9	2.2

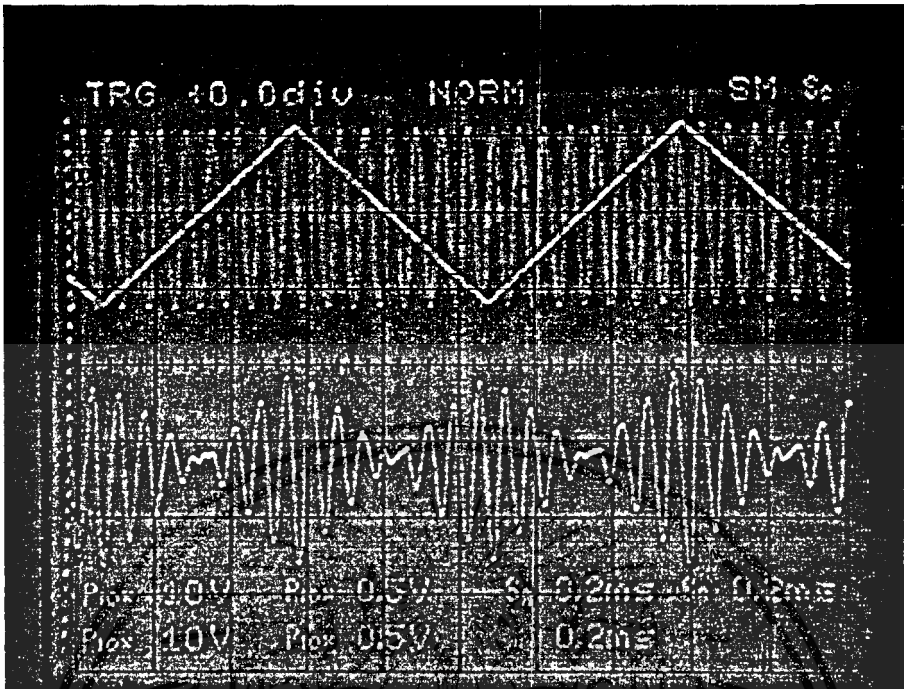
ตารางที่ 4.2 ความผิดพลาดความเป็นเชิงเส้นของวงจรถู่มอหคกระแสทีอินพุท I_X ขณะ $I_Y = 20\mu A$

I_X (μA)	-20	-15	-10	-5	0	5	10	15	20
%error	8.3	5.2	2.6	0	0	0	1.5	1.9	2.2

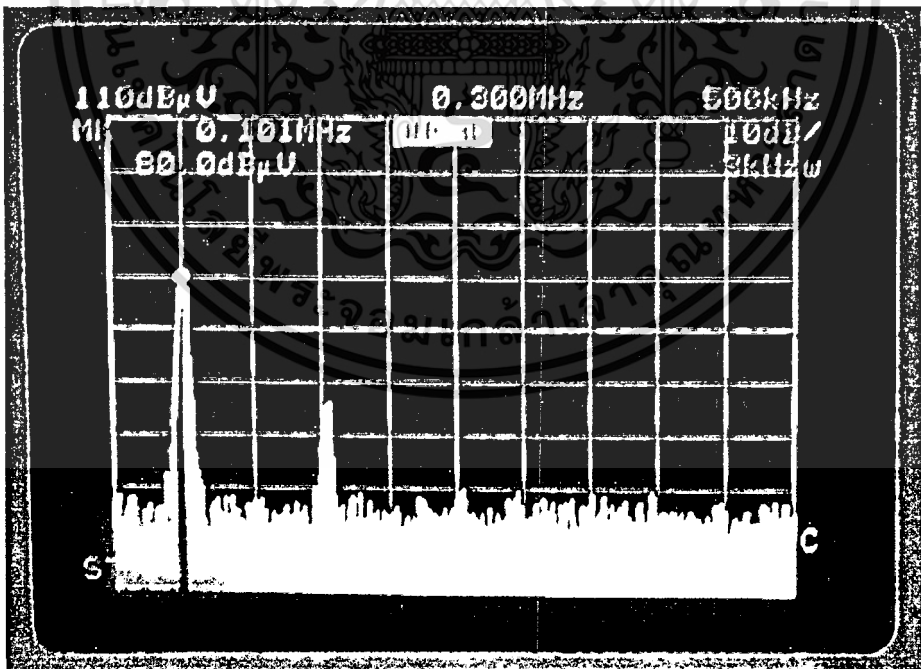
จากตารางที่ 4.1 แลล 4.2 พบว่า ค่าความผิดพลาดของความเป็นเชิงเส้นของอินพุททั้ง 2 ด้าน (I_X แลล I_Y) มีค่าเท่ากันเพราะวงจรมีโครงสร้างทีสมมาตรทางอินพุท แลลมีค่าเฉลี่ยของความผิดพลาดทีเท่ากันคือ 2.4 %

4.5.2 ผลการทดสอบด้วยการต่อวงจรถู่มอหคกระแส

เพื่อยืนยันการทำงานของวงจรถู่มอหคกระแส ได้นำวงจรถู่มอหคกระแสต่อวงจรถู่มอหคกระแสทดลอง โดยใช้ไอซี IC 4007 แรงดันไฟเลี้ยง $V_{DD} = 5V$, $V_{SS} = -5V$, $R_L = 1\text{ k}\Omega$ สำหรับกระแส I_X แลล I_Y ถูกสร้างโดยวงจรถู่มอหคกระแสเป็นกระแสโดยใช้ Op-Amp 741 ตามเอกสารอ้างอิง[17] การทดสอบถูกกระทำเป็นวงจรถู่มอหคกระแส Balance modulator โดยป้อนอินพุทเป็นสัญญาณสามเหลี่ยมขนาด $25\mu A_{p-p}$ ความถี่ 1 kHz แลลป้อนอินพุท I_Y เป็นสัญญาณซายน์ ขนาด $25\mu A_{p-p}$ ความถี่ 1 kHz ถูกแสดงในรูปที่ 4.7 การทดสอบความผิดพลาดเพี้ยนทางฮาร์โมนิคถูกกระทำโดย การป้อนอินพุท I_Y เป็นสัญญาณซายน์ ขนาด $25\mu A_{p-p}$ ความถี่ 100 kHz แลลป้อนอินพุท I_X ด้วยไฟตรงขนาด $3\mu A$ ถูกแสดงในรูปที่ 4.8 (ก) ซึ่งวัดความผิดพลาดเพี้ยนทางฮาร์โมนิครวม (THD) ได้ 5.6 % โดย การป้อนอินพุท I_X เป็นสัญญาณซายน์ ขนาด $25\mu A_{p-p}$ ความถี่ 100 kHz แลลป้อนอินพุท I_Y ด้วยไฟตรงขนาด $3\mu A$ ถูกแสดงในรูปที่ 4.8 (ข) ซึ่งวัดความผิดพลาดเพี้ยนทางฮาร์โมนิครวมได้ 5.6 % จากผลการวัด THD พบว่าสอดคล้องกับผลการวิเคราะห์ทางทฤษฎีแลลผลการเลียนแบบการทำงาน ด้วย PSpice คือ มี second order harmonics เป็นตัวหลักในการส่งผลต่อความผิดพลาดรวม

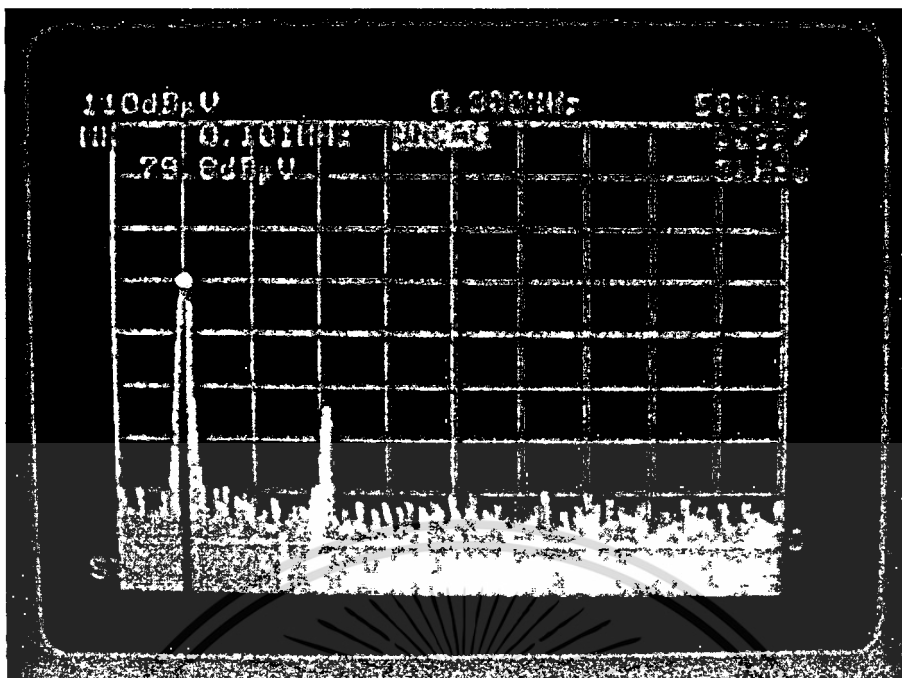


รูปที่ 4.7 ผลของ Balanced modulator



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(๗)

รูปที่ 4.8 ผลของความผิดเพี้ยนทางฮาร์โมนิก

(ก) เมื่อ $I_Y = 12.5 \mu A \sin 200 \text{ kHz}$ และ $I_X = 3 \mu A$

(ข) เมื่อ $I_X = 12.5 \mu A \sin 200 \text{ kHz}$ และ $I_Y = 3 \mu A$

4.6 สรุป

วงจรคุณสัญญาณโหมตกระแสที่นำเสนอนี้ประกอบด้วยวงจรคุณสัญญาณกระแสแบบพื้นฐาน (ผลต่างกำลังสอง) และวงจรคัดลอกสัญญาณ ลักษณะที่สำคัญของวงจรคุณสัญญาณที่นำเสนอคือ มีมอสทรานซิสเตอร์บางตัว (M_1, M_2, M_5, M_6 และ M_{13}) ทำงาน 2 หน้าที่ ในเวลาเดียวกันคือ ทำหน้าที่เป็นวงจรคุณแบบพื้นฐานและคัดลอกสัญญาณ ทำให้วงจรดังกล่าวประหยัดจำนวนของมอสทรานซิสเตอร์ลงไปได้ จุดเด่นของวงจรที่นำเสนอคือ ใช้จำนวน CMOS ที่น้อย และ CMOS ทุกตัวมีขนาด W/L เท่ากัน ส่วนจุดด้อยคือ วงจรมีความผิดเพี้ยนรวมทางฮาร์โมนิก (THD) ที่ไม่ต่ำมาก เมื่อเทียบกับวงจรคุณโหมตแรงดันที่ถูกนำเสนอไปแล้วในบทที่ 3 แต่อย่างไรก็ตามค่า THD ที่ได้ของวงจรที่นำเสนอนี้ก็ถือว่าเป็นเกณฑ์ที่ยอมรับว่าดี ผลการทดสอบด้วยโปรแกรม PSpice ภายใต้เงื่อนไขคือ $V_{DD} = V_{SS} = 2 \text{ V}$ พบว่าวงจรมีความผิดเพี้ยนรวม (THD) = 0.7% ที่อินพุต 10 μA ความถี่ตอบสนอง 67 MHz ผลการทดสอบจริงด้วย CD 4007 พบว่าวงจรสามารถทำงานได้จริงและให้ผลที่สอดคล้องกับการทดสอบด้วย PSpice และการวิเคราะห์ในทางทฤษฎี วงจรที่นำเสนอนี้คาดหวังที่จะนำไปใช้งานด้านการประมวลผลสัญญาณทางอนาลอกในโหมตกระแส เช่นในระบบฟัซซีคอนโทรล (fuzzy control system) และ นิวรัลเน็ตเวิร์ค (neural networks)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วงจรคุณสัญญาณโหมคผลสม

5.1 บทนำ

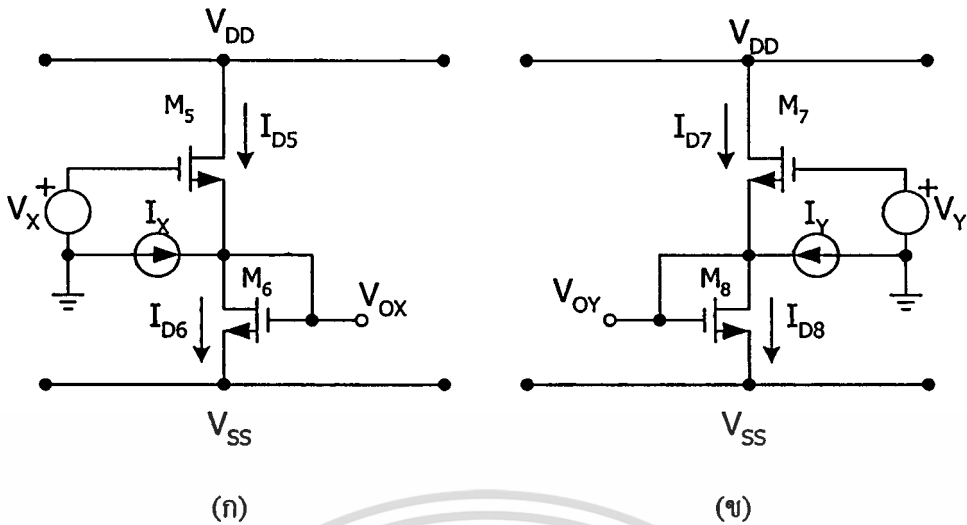
วงจรคุณสัญญาณโหมคแรงคั้น คือวงจรคุณที่อินพุทเป็นสัญญาณแรงคั้น การประมวลผลสัญญาณภายในวงจรอยู่ในรูปแรงคั้น วงจรคุณสัญญาณโหมคกระแส คือวงจรคุณที่อินพุทเป็นสัญญาณกระแส การประมวลผลสัญญาณภายในวงจรอยู่ในรูปกระแส วงจรคุณที่นำเสนอในบทนี้คือวงจรคุณที่ทำงานในโหมคผลสม ซึ่งการประมวลผลภายในวงจรมีทั้งอยู่ในรูปแรงคั้นและรูปกระแส ผลที่ได้จากการทำเช่นนี้จะทำให้ลดจำนวนของอุปกรณ์ลงได้ แต่อย่างไรก็ตามความซับซ้อนก็จะเพิ่มขึ้นตามและการทำงานในโหมคผลสมนี้จะเหมาะสมกับวงจรที่ต้องการใช้จำนวนของมอสทรานซิสเตอร์น้อยๆ

5.2 หลักการทำงาน

วงจรคุณสัญญาณโหมคผลสมประกอบด้วย วงจรผสมสัญญาณ, วงจรบวกสัญญาณ, วงจรคูณแบบพื้นฐาน และวงจรแบ่งแรงคั้น หลักการทำงานของวงจรสามารถอธิบายเป็นวงจรร้อยคั้งนี้

5.2.1 วงจรผสมสัญญาณ

วงจรผสมสัญญาณคือวงจรที่เอาท์พุทเป็นผลรวมของสัญญาณแรงคั้นอินพุทกับสัญญาณกระแสอินพุท วงจรผสมสัญญาณถูกแสดงในรูปแบบที่ 5.1



รูปที่ 5.1 วงจรผสมสัญญาณกระแสกับแรงดัน

(ก) วงจรผสมสัญญาณกระแสกับแรงดันด้านอินพุต X

(ข) วงจรผสมสัญญาณกระแสกับแรงดันด้านอินพุต Y

รูปที่ 5.1 วงจรผสมสัญญาณจำนวน 2 วงจร โดยรูปที่ 5.1 (ก) เป็นวงจรผสมสัญญาณสำหรับอินพุต V_x และ I_x และรูปที่ 5.1 (ข) เป็นวงจรผสมสัญญาณสำหรับอินพุต V_y และ I_y จากรูปที่ 5.1 (ก) อินพุตคือ V_x และ I_x ส่วนเอาต์พุตคือ V_{ox} ความสัมพันธ์ของกระแสอินพุตกับกระแสเดรนของ MOS แสดงได้ดังนี้

$$I_x = I_{D6} - I_{D5} \quad (5.1)$$

แทนสมการ (2.4) ในสมการ (5.1) จะได้แรงดันเอาต์พุต V_{ox} คือ

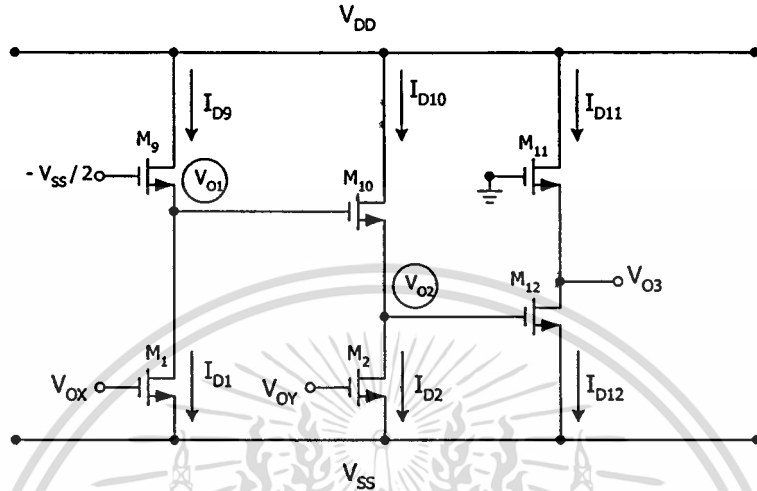
$$I_x = K(V_{ox} - V_{SS} - V_T)^2 - K(V_x - V_{ox} - V_T)^2 \quad (5.2)$$

$$V_{ox} = \frac{I_x}{2K(V_x - V_{SS} - 2V_T)} + \frac{V_x}{2} + \frac{V_{SS}}{2} \quad (5.3)$$

ในทำนองเดียวกันรูปที่ 5.1 (ข) มีอินพุตคือ I_y และ V_y ส่วนแรงดันเอาต์พุตคือ V_{oy} ซึ่งสามารถแสดงได้เช่นเดียวกับวงจรรูปที่ 5.1 (ก) คือ

$$V_{OY} = \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} + \frac{V_{SS}}{2} \quad (5.4)$$

5.2.2 วงจรบวกสัญญาณ



รูปที่ 5.2 วงจรบวกสัญญาณ

วงจรบวกสัญญาณแสดงในรูปที่ 5.2 ซึ่งประกอบด้วยวงจรลบสัญญาณจำนวน 3 วงจร วงจรลบสัญญาณวงจรแรกประกอบด้วย M_1 และ M_9 และมีความสัมพันธ์ ของกระแสเดรนดังนี้

$$I_{D1} = I_{D9} \quad (5.5)$$

ใช้สมการ (2.4) จะได้

$$K(V_{OX} - V_{SS} - V_T)^2 = K\left(-\frac{V_{SS}}{2} - V_{O1} - V_T\right)^2 \quad (5.6)$$

แรงดันเอาต์พุต V_{O1} คือ
$$V_{O1} = -V_{OX} + \frac{V_{SS}}{2} \quad (5.7)$$

แทนสมการ (5.3) ในสมการ (5.7) จะได้
$$V_{O1} = -\frac{I_X}{2K(V_X - V_{SS} - 2V_T)} - \frac{V_X}{2} \quad (5.8)$$

ในการทำงานเดียวกันวงจรลบสัญญาณวงจรที่สองซึ่งประกอบด้วย M_2 และ M_{10} สามารถแสดงแรงดันเอาต์พุต V_{O2} คือ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{O2} = V_{O1} - V_{OY} + V_{SS} \tag{5.9}$$

แทนสมการ (5.4) และ (5.8) ในสมการ (5.9) จะได้

$$V_{O2} = -\frac{I_X}{2K(V_X - V_{SS} - 2V_T)} - \frac{V_X}{2} - \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} - \frac{V_Y}{2} + \frac{V_{SS}}{2} \tag{5.10}$$

ในการทำงานเดียวกันวงจรลบสัญญาณวงจรที่สามซึ่งประกอบด้วย M_{11} และ M_{12} สามารถแสดงแรงดันเอาต์พุต V_{O3} คือ

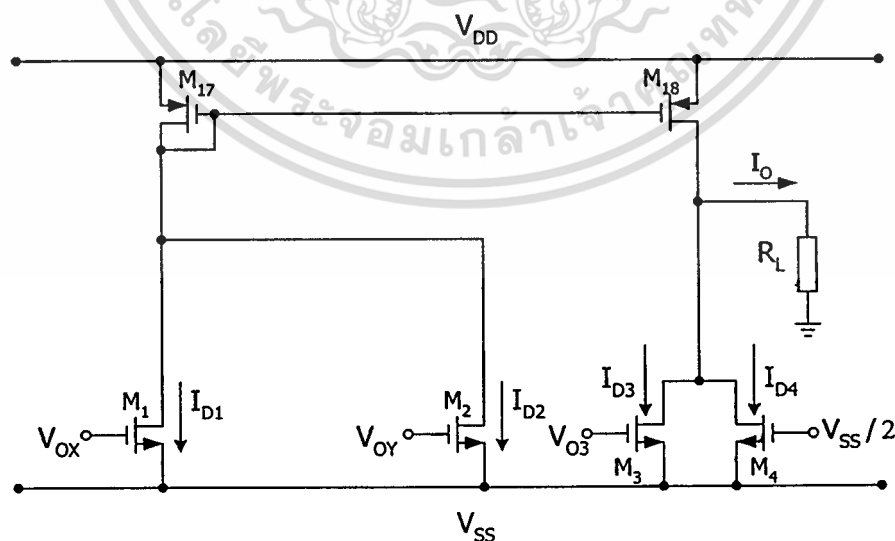
$$V_{O3} = -V_{O2} + V_{SS} \tag{5.11}$$

แทนสมการ (5.10) ในสมการ (5.11) จะได้

$$V_{O3} = \frac{I_X}{2K(V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} + \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} + \frac{V_{SS}}{2} \tag{5.12}$$

5.2.3 วงจรคูณแบบพื้นฐานหรือแบบผลต่างกำลังสอง (Square difference)

วงจรคูณแบบพื้นฐานเป็นวงจรแบบเดียวกับวงจรรูปที่ 3.1 และแสดงได้ดังรูปที่ 5.3



รูปที่ 5.3 วงจรคูณแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรูปที่ 5.3 นี้ สามารถแสดงกระแสครนของ M_1 - M_4 ได้ดังนี้

$$I_{D1} = K(V_{OX} - V_{SS} - V_T)^2 \quad (5.13)$$

$$I_{D2} = K(V_{OY} - V_{SS} - V_T)^2 \quad (5.14)$$

$$I_{D3} = K(V_{O3} - V_{SS} - V_T)^2 \quad (5.15)$$

$$I_{D4} = K\left(-\frac{V_{SS}}{2} - V_T\right)^2 \quad (5.16)$$

แทนสมการ (5.3), (5.4) และ (5.12) ใน สมการ (5.13), (5.14) และ (5.15) ตามลำดับและกระแสครน M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = K\left(\frac{I_X}{B_1} + \frac{V_X}{2} - \frac{V_{SS}}{2} - V_T\right)^2; B_1 = 2K(V_X - V_{SS} - 2V_T) \quad (5.17)$$

$$I_{D2} = K\left(\frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T\right)^2; B_2 = 2K(V_Y - V_{SS} - 2V_T) \quad (5.18)$$

$$I_{D3} = K\left(\frac{I_X}{B_1} + \frac{V_X}{2} + \frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T\right)^2 \quad (5.19)$$

$$I_{D4} = K\left(-\frac{V_{SS}}{2} - V_T\right)^2 \quad (5.20)$$

กระแสเอาท์พุทของวงจรรูณแบบพื้นฐานสามารถกำหนดและแสดงได้ดังนี้

$$I_O = I_{D1} + I_{D2} - I_{D3} - I_{D4} = -2K\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) \quad (5.21)$$

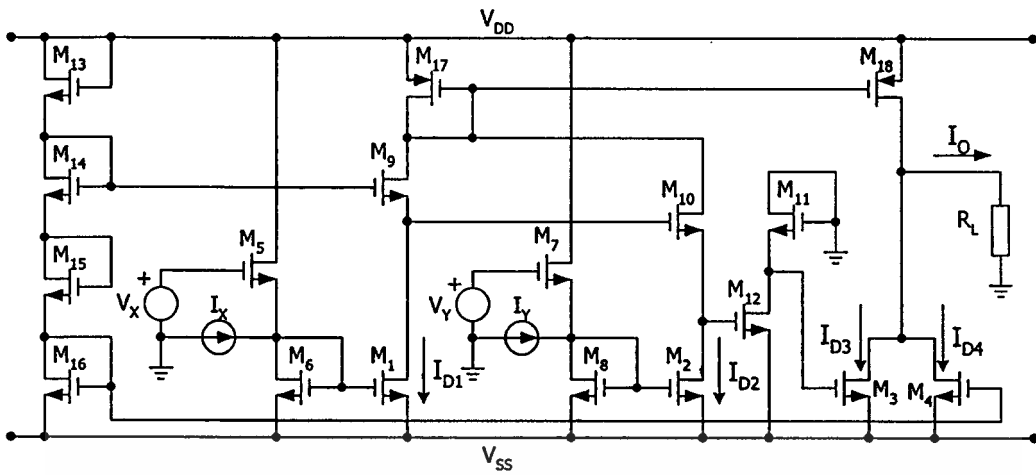
5.2.4 วงจรรูณสัญญาณโหมคสมที่สมบูรณ

วงจรรูณสัญญาณโหมคสมที่สมบูรณแสดงดังรูปที่ 5.4 ซึ่งประกอบด้วยวงจรมสม

สัญญาณ 2 วงจร, วงจรบวกสัญญาณ, วงจรรูณแบบพื้นฐาน และวงจรมแบ่งแรงคัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 วงจรคูม โทมคผสมที่สมบูรณ์

วงจรแบ่งแรงดันประกอบด้วย M_{13} - M_{16} ซึ่งมีหน้าที่สร้างสัญญาณ $-\frac{V_{SS}}{2}$ และ $\frac{V_{SS}}{2}$ และรูปที่ 5.4 กระแสเอาต์พุตของวงจรคูมจะสัมพันธ์กับสัญญาณอินพุต V_x , I_x , V_y และ I_y ดังนี้

$$I_o = -2K \left[\frac{I_x}{2K(V_x - V_{SS} - 2V_T)} + \frac{V_x}{2} \right] \left[\frac{I_y}{2K(V_y - V_{SS} - 2V_T)} + \frac{V_y}{2} \right] \quad (5.22a)$$

พิจารณาสมการ (5.22a) สามารถถูกแสดงใหม่ได้ดังนี้เมื่อ $I_x = I_y = 0$ หรือการไม่ป้อนสัญญาณอินพุต วงจรคูมที่นำเสนอนี้จะทำหน้าที่เป็นวงจรคูมสัญญาณแรงดัน ซึ่งมีเอาต์พุตคือ

$$I_o = -\frac{KV_x V_y}{2} \quad (5.22b)$$

เมื่อ $V_x = V_y = 0$ หรือการต่ออินพุตแรงดัน V_x และ V_y ลงกราวด์ วงจรคูมที่นำเสนอนี้จะทำหน้าที่เป็นวงจรคูมสัญญาณกระแส ซึ่งมีกระแสเอาต์พุตคือ

$$I_o = -\frac{I_x I_y}{2K(V_{SS} + 2V_T)^2} \quad (5.22c)$$

เมื่อ $V_x = 0$, $I_y = 0$ หรือ $I_x = 0$, $V_y = 0$ วงจรคูมที่นำเสนอนี้จะทำหน้าที่เป็นวงจรคูมสัญญาณกระแสกับแรงดัน, วงจรปรับค่าความนำด้วยสัญญาณกระแส หรือวงจรขยายกระแสด้วยแรงดัน ซึ่งมีกระแสเอาต์พุตคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นวงจรดังกล่าวมีโหนดแรงดันถึง 10 โหนด หรือเมื่อนำมาเขียนสมการจะได้ถึง 10 สมการ ทำให้เป็นไปได้ยากที่จะมาคำนวณด้วยมือ ดังนั้นเพื่อความสะดวกในการวิเคราะห์ในการวิเคราะห์จะประมาณความถี่ cutoff จาก pole ที่เด่นโดยไม่คำนึงถึง zero และโดยทั่วไปค่า pole จะขึ้นอยู่กับ $\frac{g_m}{C_{gs}}$ ดังนั้น pole เค้นอาจประมาณจาก g_m ของ CMOS ที่มีค่าน้อยที่สุด (g_m ค่าน้อยเกิดจาก V_{gs} ค่าน้อย) จากวงจรพบว่า M_{11} และ M_{12} (วงจรลบสัญญาณ) จะให้ค่า g_m น้อยที่สุด นอกจากนี้ pole เค้นอาจประมาณได้จาก C_{gs} ของ CMOS ที่มีค่ามากที่สุด จากวงจรพบว่า M_{17} และ M_{18} (วงจรสะท้อนกระแส) จะให้ค่า C_{gs} มากที่สุด ดังนั้น pole เค้นจะเกิดที่วงจรดังกล่าว แต่อย่างไรก็ตามวงจรผสมสัญญาณด้านอินพุต X และ Y ก็เป็นวงจรหนึ่งที่กำลังเกิด pole ที่อาจจะส่งผลต่อความถี่ตอบสนองของวงจร ดังนั้นจะเลือกวิเคราะห์สัญญาณขนาดเล็กเฉพาะวงจรผสมสัญญาณด้านอินพุต X และ Y วงจรสะท้อนกระแส และวงจรลบสัญญาณ รายละเอียดการวิเคราะห์แสดงไว้ในภาคผนวก ก1

5.4 การวิเคราะห์หาสมรรถนะของวงจร

การหาประสิทธิภาพของวงจรคุณสมบัติสัญญาณโหมคผสมจะพิจารณาเฉพาะผลของการลดทอนความคล่องตัวของพาหะและผลของความไม่สมพงษ์ของ CMOS เท่านั้น

5.4.1 การลดทอนความคล่องตัวของพาหะ (Mobility Reduction Effect)

พิจารณาการลดทอนความคล่องตัวของพาหะของวงจรคุณสมบัติสัญญาณโหมคผสมแบบพื้นฐาน ถูกแสดงรายละเอียดไว้ในภาคผนวก ก2 ซึ่งจะได้กระแสเอาต์พุตคือ

$$I_O = -2K\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + 3K\theta\left[\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)^2\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)^2 - \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)\left(\frac{V_{SS}}{2} + V_T\right)\right] \quad (5.25)$$

จากสมการ (5.25) แสดงว่าผลของการลดทอนความคล่องตัวของพาหะจะส่งผลต่อความผิดเพี้ยนในฮาร์โมนิกที่ 2 ซึ่งผลที่ได้นี้สอดคล้องกับผลการเลียนแบบการทำงาน (simulation) ด้วย PSpice และการต่อวงจรจริงด้วย IC 4007

5.4.2 ความไม่สมพงษ์ของอุปกรณ์ (Component Mismatch)

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาความไม่สมพงษ์ของ Transconductance parameter ในวงจรอุดมคติแบบพื้นฐานถูกแสดงรายละเอียดไว้ในภาคผนวก ค ซึ่งจะได้ผลลัพธ์คือ

$$I_O = -2K\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + \Delta KB_3 \quad (5.26)$$

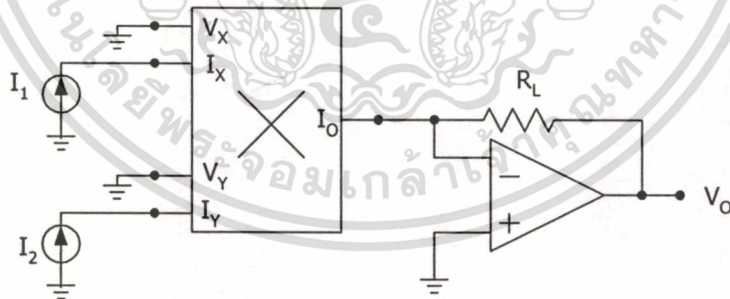
$$B_3 = \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)^2 + \left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)^2 - 2\left(\frac{V_{SS}}{2} + V_T\right)\left(\frac{I_X}{B_1} + \frac{V_X}{2} + \frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + 2\left(\frac{V_{SS}}{2} + V_T\right)^2 + \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)$$

จากสมการ (5.26) พบว่าผลของความไม่สมพงษ์ของ Transconductance parameter จะส่งผลกระทบต่อความผิดเพี้ยนในฮาร์โมนิกที่ 2

5.5 การประยุกต์ใช้งานวงจรอุดมคติแบบผสม

วงจรอุดมคติแบบผสมนี้สามารถประยุกต์ใช้งานเป็นวงจรอุดมคติกระแส วงจรหารสัญญาณแรงดัน และวงจรคาปาซิแตนซ์

วงจรอุดมคติกระแสแสดงในรูปที่ 5.5 ซึ่งประกอบด้วยวงจรอุดมคติแบบผสมทำหน้าที่เป็นวงจรอุดมคติกระแส และออปแอมป์ทำหน้าที่เป็นวงจรแปลงกระแสเป็นแรงดัน



รูปที่ 5.5 วงจรอุดมคติกระแส

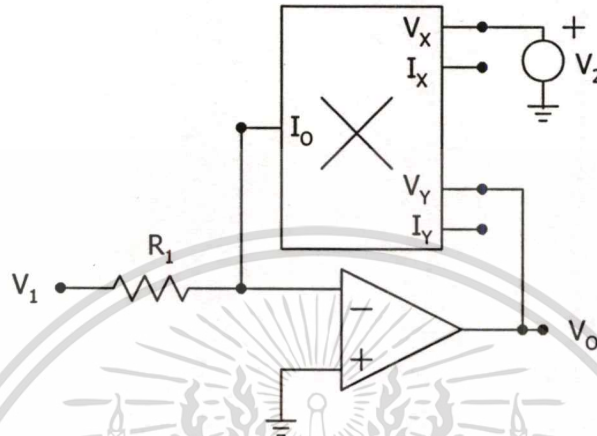
ใช้สมการ (5.22c) แรงดันเอาต์พุตของวงจรรูปที่ 5.5 คือ

$$V_O = -\frac{R_L I_X I_Y}{2K(V_{SS} - 2V_T)^2} \quad (5.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตว่าอัตราขยายของวงจรสามารถปรับได้ด้วย R_1

วงจรหารสัญญาณแรงดันแสดงในรูปที่ 5.6 ซึ่งประกอบด้วยวงจรคูณสัญญาณโหมคผสม ทำหน้าที่เป็นวงจรคูณสัญญาณแรงดัน และออปแอมป์ทำหน้าที่เป็นวงจรขยายสัญญาณแบบกลับเฟส



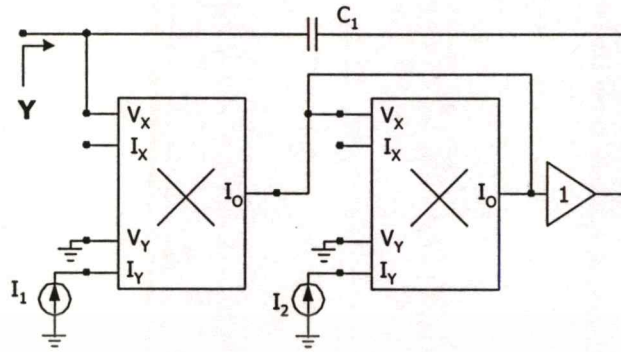
รูปที่ 5.6 วงจรหารสัญญาณแรงดัน

ใช้สมการ (5.22b) แรงดันเอาต์พุตของวงจรรูปที่ 5.6 คือ

$$V_o = \frac{2V_1}{KR_1V_2} \quad (5.28)$$

สังเกตว่าวงจรนี้ใช้มอสทรานซิสเตอร์เพียง 1 ตัว เท่านั้น และอัตราขยายของวงจรสามารถปรับได้ด้วย R_1

วงจรคูณคาปาซิแตนซ์ แสดงในรูปที่ 5.7 ซึ่งประกอบด้วย วงจรคูณสัญญาณกระแสกับแรงดัน จำนวน 2 วงจร และวงจรกันชน 1 วงจร โดยวงจรนี้ ถูกดัดแปลงมาจากบทความ [18]



รูปที่ 5.7 วงจรคณาปาซิแตนซ์

ค่าความนำของวงจรรูปที่ 5.7 คือ

$$Y(s) = s \left(1 - \frac{I_1}{I_2} \right) C_1 \quad (5.29)$$

และค่าคณาปาซิแตนซ์ของวงจรคือ

$$C_e = \left(1 + \frac{I_1}{I_2} \right) C_1 \quad (5.30)$$

สังเกตว่าค่าคณาปาซิแตนซ์ที่ได้นี้ เป็นอิสระต่อผลกระทบบอดหภูมิ และค่าคณาปาซิแตนซ์สามารถปรับค่าได้ด้วยกระแส I_1 และ I_2

5.6 ผลการทดสอบ

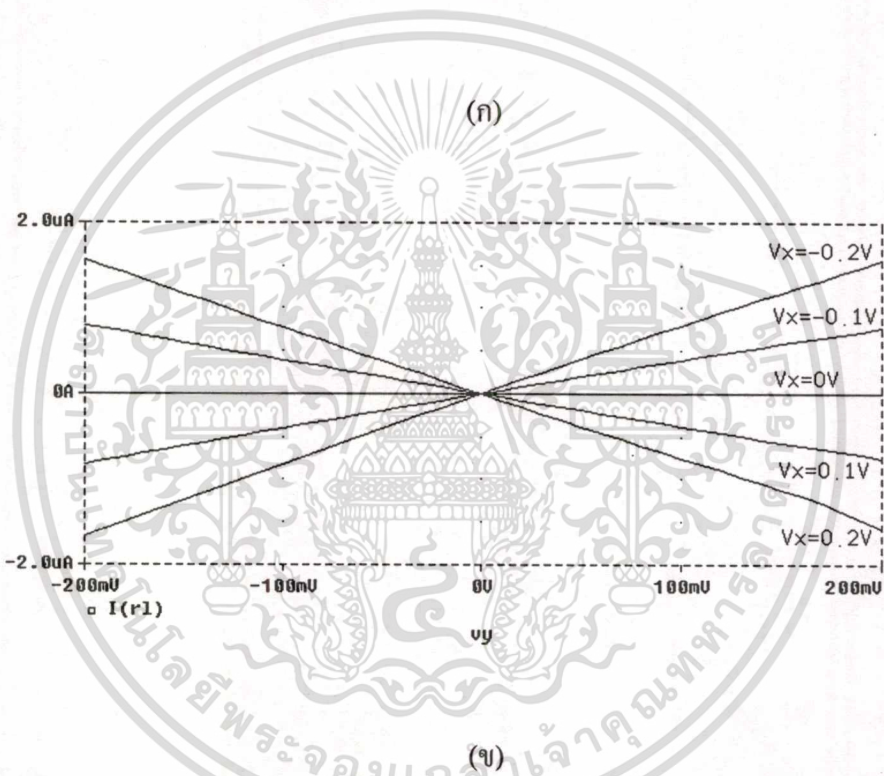
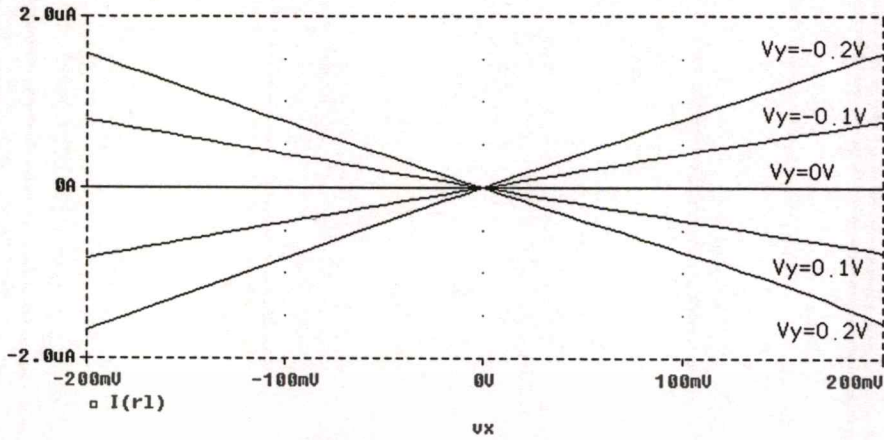
5.6.1 ผลการทดสอบด้วย PSpice

เพื่อหาประสิทธิภาพการทำงานของวงจรรวมโหมดผสม เราได้นำวงจรดังกล่าวมาทดสอบด้วยโปรแกรม PSpice ในการทดสอบ ใช้โมเดลมอสทรานซิสเตอร์ของ Mosis ใน level 3 ที่มีขนาด W/L ของ NMOS คือ $W = 5\mu\text{m}$ และ $L = 4\mu\text{m}$ PMOS คือ $W = 10\mu\text{m}$ และ $L = 4\mu\text{m}$ เงื่อนไขของการทดสอบ $V_{DD} = -V_{SS} = 1.85\text{V}$, $V_{DC} = 200\text{mV}$, $V_{AC} = 400\text{mV}_{p-p}\text{sine}200\text{kHz}$, $I_{DC} = 8\mu\text{A}$, $I_{AC} = 16\mu\text{A}_{p-p}\text{sine}200\text{kHz}$ ผลการทดสอบถูกแสดงในตารางที่ 5.1 ซึ่งแสดงความผิดเพี้ยนทางฮาร์โมนิครวม และความถี่ตอบสนอง ผลการทดสอบคุณสมบัติทาง DC Transfer ด้วยการป้อนอินพุต V_X แปรค่าจาก -200 mV ถึง 200 mV และอินพุต V_Y แปรค่าจาก -200 mV ถึง 200 mV สเต็ปละ 100 mV ถูกแสดงในรูปที่ 5.8 (ก) และป้อนอินพุต V_Y แปรค่าจาก -200 mV ถึง 200 mV และอินพุต V_X แปรค่าจาก -200 mV ถึง 200 mV สเต็ปละ 100 mV ถูกแสดงในรูปที่ 5.8 (ข) จากรูปที่ 5.8 แสดงว่าความเป็นเชิงเส้นที่ดีและไม่มีแรงดันเอาต์พุต offset ผลการทดสอบทางความถี่ตอบสนอง ด้วยการป้อนอินพุต V_X เป็นสัญญาณไซน์ขนาด 200 mV_p ปรับค่าความถี่ 10 Hz ถึง 100 MHz และอินพุต V_Y เป็นสัญญาณไฟตรงขนาด 200 mV ถูกแสดงในรูปที่ 5.9 (ก) และการป้อนอินพุต V_Y เป็นสัญญาณไซน์ขนาด 200 mV_p ปรับค่าความถี่ 10 Hz ถึง 100 MHz และอินพุต V_X เป็นสัญญาณไฟตรงขนาด 200 mV ถูกแสดงในรูปที่ 5.9 (ข) ผลการวัดความผิดเพี้ยนทางฮาร์โมนิกถูกทดสอบโดย การป้อนอินพุต V_X เป็นสัญญาณไซน์ขนาด 200 mV_p ความถี่ 100 kHz และอินพุต V_Y เป็นสัญญาณไฟตรงขนาด 200 mV ถูกแสดงในรูปที่ 5.10 (ก) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิครวมได้ 1.6% โดยการป้อนอินพุต V_Y เป็นสัญญาณไซน์ขนาด 200 mV ความถี่ 100 kHz และอินพุต V_X เป็นสัญญาณไฟตรงขนาด 200 mV ถูกแสดงในรูปที่ 5.10 (ข) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิครวมได้ 1.6%

ตารางที่ 5.1 แสดง % THD และ BW ที่อินพุตต่างๆ ของวงจรมคูณ

Biasing inputs of the multiplier		THD	BW
$I_o = -\frac{KV_X V_Y}{2}$ $; I_X = I_Y = 0$	$V_X = V_{AC}, V_Y = V_{DC}$	1.6%	84 MHz
	$V_X = V_{DC}, V_Y = V_{AC}$	1.6%	30 MHz
$I_o = \frac{V_X I_Y}{2(V_{SS} + 2V_T)}$ $; I_X = 0, V_Y = 0$	$V_X = V_{DC}, I_Y = I_{AC}$	1.4%	45 MHz
	$V_X = V_{AC}, I_Y = I_{DC}$	1.6%	45 MHz
$I_o = \frac{I_X V_Y}{2(V_{SS} + 2V_T)}$ $; V_X = 0, I_Y = 0$	$I_X = I_{AC}, V_Y = V_{DC}$	1.4%	72 MHz
	$I_X = I_{DC}, V_Y = V_{AC}$	1.6%	81 MHz
$I_o = -\frac{I_X I_Y}{2K(V_{SS} + V_T)^2}$ $; V_X = V_Y = 0$	$I_X = I_{DC}, I_Y = I_{AC}$	1.4%	75 MHz
	$I_X = I_{AC}, I_Y = I_{DC}$	1.4%	42 MHz

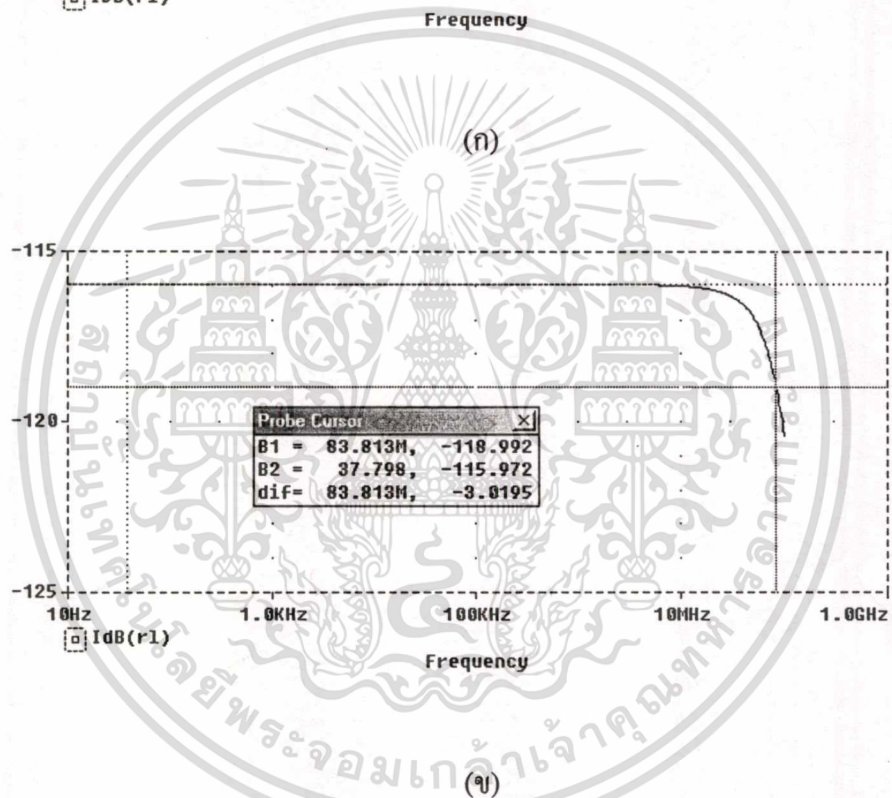
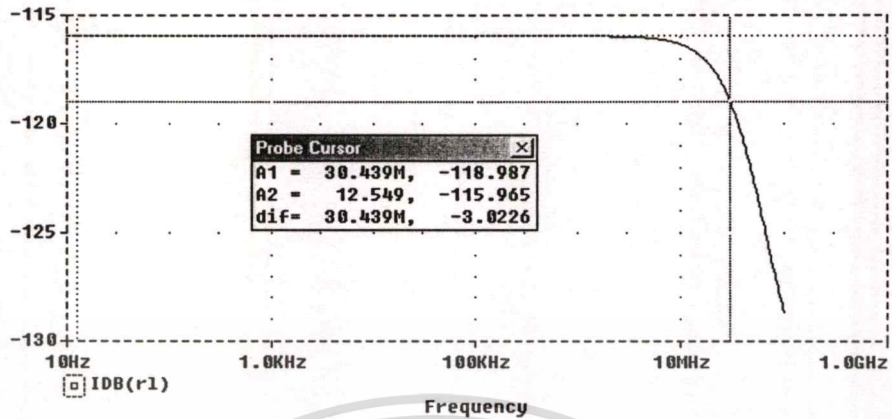
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 ผลของคุณสมบัติของไฟตรง (DC Transfer characteristic)

(ก) V_x กับ I_o ขณะ V_y แปรค่าจาก -0.2 V ถึง 0.2 V สติ้ปะละ 0.1 V

(ข) V_y กับ I_o ขณะ V_x แปรค่าจาก -0.2 V ถึง 0.2 V สติ้ปะละ 0.1 V

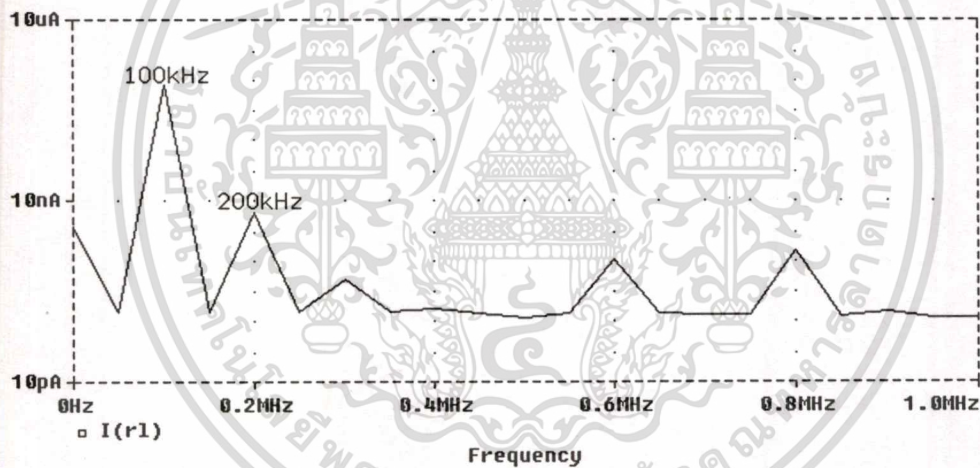
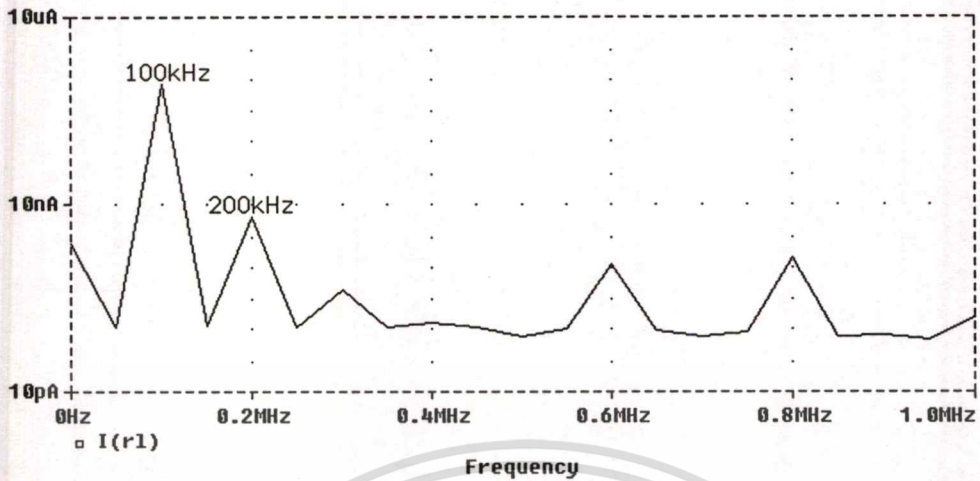


รูปที่ 5.9 ผลของความถี่ตอบสนอง

(ก) เมื่อ $V_X = 0.2V \sin \omega t$ และ $V_Y = 0.2V$

(ข) เมื่อ $V_Y = 0.2V \sin \omega t$ และ $V_X = 0.2V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 5.10 ผลความผิดเพี้ยนทางฮาร์โมนิกที่ค่าความถี่ต่างๆ

(ก) เมื่อ $V_X = 0.2V \sin 200 k\pi t$ และ $V_Y = 0.2V$

(ข) เมื่อ $V_Y = 0.2V \sin 200 k\pi t$ และ $V_X = 0.2V$

จากตารางที่ 5.1 แสดงให้เห็นว่าวงจรมีความเป็นเชิงเส้นที่ค่อนข้างดี และมีผลตอบสนองความถี่ค่อนข้างสูง และมีค่าความถี่ตอบสนองของแต่ละอินพุตต่างกัน ทั้งนี้เกิดจากแต่ละอินพุตมีโครงสร้างที่ไม่เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.8 วัดค่าความผิดพลาดของความเป็นเชิงเส้นของวงจรรวม โหมดผสมขณะที่อินพุตเต็มสเกลแสดงได้ในตารางที่ 5.2 และ 5.3

ตารางที่ 5.2 ความผิดพลาดของความเป็นเชิงเส้นของวงจรรวม โหมดผสมขณะที่อินพุต V_Y ขณะที่ $V_X = 0.2V$

V_Y (V)	-0.2	-0.15	-0.1	-0.05	0	0.05	0.1	0.15	0.2
%error	2.9	1.6	1.1	0	0	0	1.1	1.7	3.2

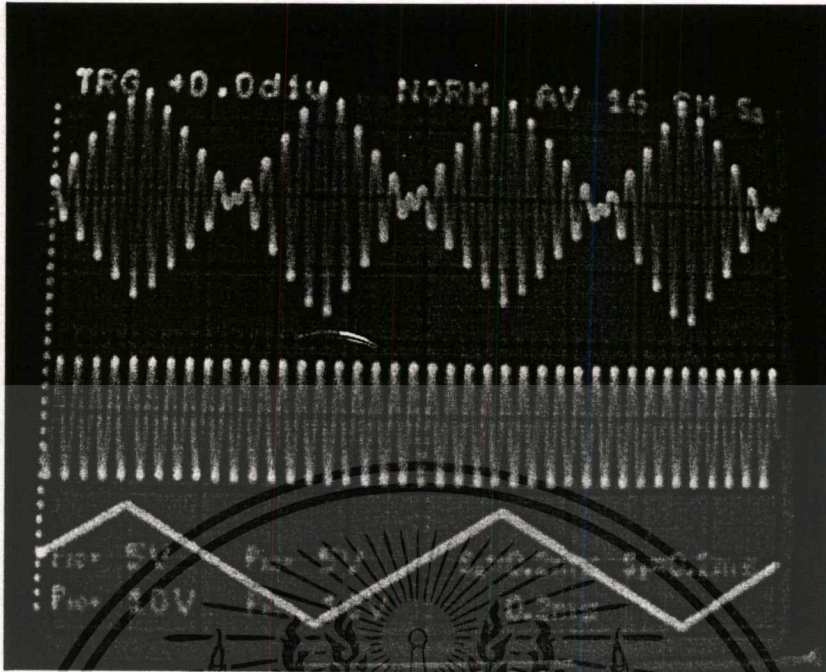
ตารางที่ 5.3 ความผิดพลาดของความเป็นเชิงเส้นของวงจรรวม โหมดผสมขณะที่อินพุต V_X ขณะที่ $V_Y = 0.2V$

V_X (V)	-0.2	-0.15	-0.1	-0.05	0	0.05	0.1	0.15	0.2
%error	2.9	2	1.1	0	0	0	1.1	1.7	3

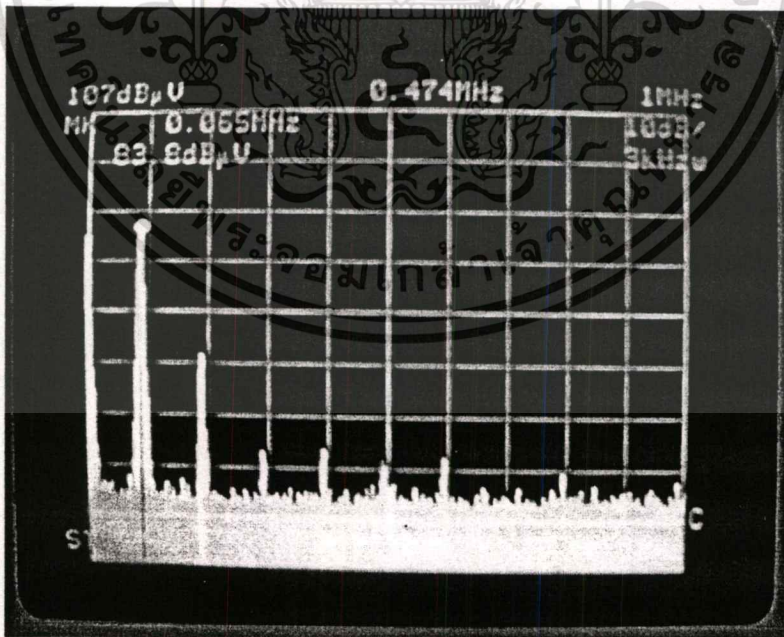
จากตารางที่ 5.2 และ 5.3 พบว่าค่าความผิดพลาดของความเป็นเชิงเส้นของอินพุตทั้ง 2 ด้าน (V_X และ V_Y) มีค่าต่างกันเล็กน้อย เพราะวงจรมีโครงสร้างที่ไม่สมมาตรกันทางอินพุต และตารางที่ 5.2 มีค่าเฉลี่ยของความผิดพลาดคือ 1.28 % ตารางที่ 5.3 มีค่าเฉลี่ยของความผิดพลาดคือ 1.3 %

5.6.2 ผลการทดสอบด้วยการต่อวงจรจริงลงบอร์ด

เพื่อยืนยันการทำงานของวงจรรวม โหมดผสม ได้นำวงจรดังกล่าวมาต่อวงจรจริงลงบอร์ดทดลอง โดยใช้ไอซี IC 4007 แรงดันไฟเลี้ยง $V_{DD} = -V_{SS} = 5V$, $R_L = 10k\Omega$ ในการทดสอบนี้ กำหนดให้วงจรรวม โหมดผสมทำงานเป็นวงจรรวมสัญญาณแรงดัน (ให้ $I_X = I_Y = 0$) การทดสอบถูกกระทำเป็นวงจร Balance modulator โดยป้อนอินพุต V_X เป็นสัญญาณสามเหลี่ยมขนาด $1.6 V_{p-p}$ ความถี่ 1 kHz และป้อนอินพุต V_Y เป็นสัญญาณไซน์ขนาด $1.6 V_{p-p}$ ความถี่ 20 kHz ถูกแสดงในรูปที่ 5.11 การทดสอบความผิดเพี้ยนทางฮาร์โมนิกถูกกระทำโดยการป้อนอินพุต V_Y เป็นสัญญาณไซน์ขนาดความถี่ $0.8 V_{p-p}$ และ 100 kHz และป้อนอินพุต V_X ด้วยไฟตรงขนาด 0.8 V ถูกแสดงในรูปที่ 5.12 (ก) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิกรวม (THD) ได้ 5 % โดยการป้อนอินพุต V_X เป็นสัญญาณไซน์ขนาดความถี่ $0.8 V_{p-p}$ และ 100 kHz และป้อนอินพุต V_Y ด้วยไฟตรงขนาด 0.8 V ถูกแสดงในรูปที่ 5.12 (ข) ซึ่งวัดความผิดเพี้ยนทางฮาร์โมนิกรวมได้ 5.4 % จากผลการวัด THD พบว่าสอดคล้องกับผลการวิเคราะห์ทางทฤษฎีและผลการเลียนแบบการทำงาน (simulation) ด้วย PSpice คือ มี second order harmonics เป็นตัวหลักในการส่งผลกระทบต่อความผิดเพี้ยนรวม

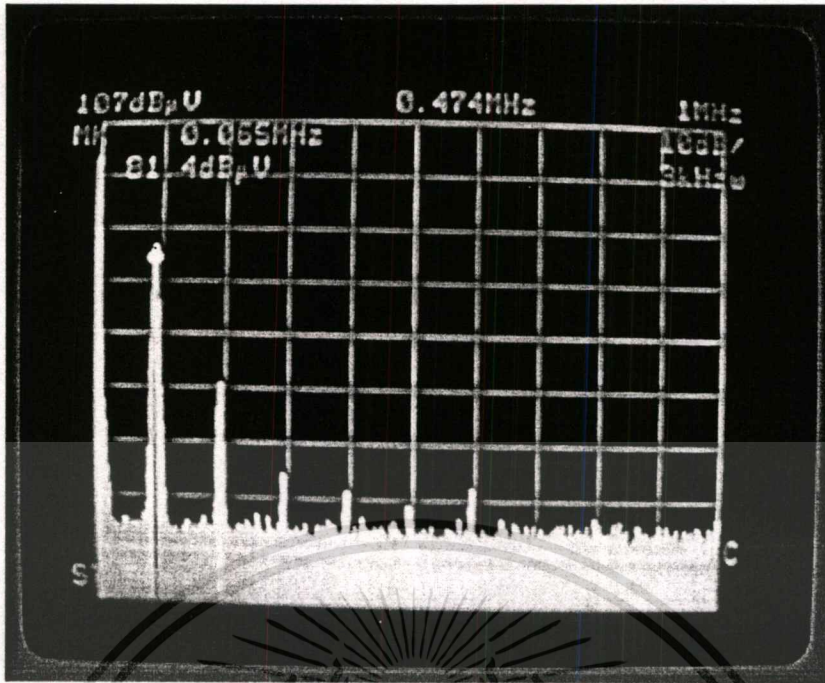


รูปที่ 5.11 ผลของ Balanced modulator



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(จ)

รูปที่ 5.12 ผลของความผิดเพี้ยนทางฮาร์โมนิกที่ความถี่ต่างๆ

(ก) เมื่อ $V_Y = 0.4V \sin 200 k\pi t$ และ $V_X = 0.8V$

(ข) เมื่อ $V_X = 0.4V \sin 200 k\pi t$ และ $V_Y = 0.8V$

5.7 สรุป

วงจรมอดูเลชันแบบผสมนี้ประกอบด้วยวงจรมอดูเลชันพื้นฐานแบบผลต่างกำลังสอง (Square difference) 1 วงจร, วงจรมอดูเลชัน 2 วงจร, วงจรมอดูเลชัน 1 วงจร และวงจรมอดูเลชัน 1 วงจร วงจรที่นำเสนอนี้ถูกออกแบบไว้อย่างเหมาะสม ทำให้มอดูเลชันซิสเตอร์บางตัวทำงานได้ถึง 2 หน้าที คือ บวกสัญญาณและคูณแบบพื้นฐาน ในเวลาเดียวกันเป็นผลให้วงจรมอดูเลชันนี้สามารถลดจำนวนมอดูเลชันซิสเตอร์ได้ คุณลักษณะที่สำคัญของวงจรมอดูเลชันที่นำเสนอนี้คือ ทำงานได้หลายหน้าที่, อินพุตเป็นสัญญาณแบบเดี่ยว (single ended) และมอดูเลชันซิสเตอร์ที่ใช้มีขนาด (W/L) เท่ากัน ดังนั้นวงจรมอดูเลชันนี้สามารถประยุกต์ใช้งานได้กว้าง, สะดวกในการต่อร่วมกับวงจรอื่นๆ และเหมาะที่จะนำไปทำวงจรรวม ผลการทดสอบด้วยโปรแกรม PSpice ภายใต้เงื่อนไขคือ $V_{DD} = V_{SS} = 1.85V$, พบว่าวงจรมอดูเลชันมีความผิดเพี้ยนทางฮาร์โมนิกรวม (THD) น้อยกว่า 1.7 % ที่แรงดันอินพุต 200 mV และกระแสอินพุต 8 μA ความถี่ตอบสนองอยู่ในช่วง 30-84 MHz จากการวิเคราะห์ทางทฤษฎี การเลียนแบบการทำงาน (simulation) และการทดลองจริงให้ผลที่ตรงกันคือความผิดเพี้ยนฮาร์โมนิกที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะโดยวิธีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นความคิดที่เด่นในความคิดเพื่อนรวม (THD) วงจรที่นำเสนอนี้คาดหวังที่จะนำไปใช้งานด้านการประมวลผลสัญญาณทางอนาลอกในโหมดแรงดันและโหมดกระแส นอกจากนี้วงจรยังถูกคาดหวังว่าจะถูกนำไปใช้งานในอนาคตของการออกแบบวงจรรวมอนาลอก ที่จะมีลักษณะเกี่ยวกับการออกแบบวงจรรวมแบบดิจิทัลคือ วงจรต่างๆจะถูกจัดเก็บในรูปแบบไลบรารี(library)และถูกดึงมาใช้เมื่อต้องการ และวงจรที่นำเสนอนี้จะเป็นวงจรที่ออกแบบประสงค์มาก เพราะมันสามารถแทนวงจรหลายๆได้ถึง 3 วงจรทำให้ไลบรารี(library) ที่จัดเก็บมีขนาดเล็กลง เพราะแทนที่จะจัดเก็บวงจรหลายๆถึง 3 วงจร (คุณกระแส คุณแรงดัน คุณกระแสกับแรงดัน) แต่จะจัดเก็บเพียงแค่วงจรเดียวเท่านั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

วงจรวกสัญญาณทางเวกเตอร์

6.1 บทนำ

วงจรวกสัญญาณทางเวกเตอร์[19-22] เป็นวงจรหนึ่งที่สามารถนำไปประยุกต์ใช้งานต่างๆ ได้เช่น การคำนวณ โครงข่ายประสาท การคำนวณในการสื่อสาร และเครื่องมือวัด วงจรคุณสัญญาณ โดยทั่วไป [8-12, 14-16] หนึ่งวงจรจะทำหน้าที่ได้เพียงหน้าที่เท่านั้น แต่ในวิทยานิพนธ์นี้แสดงวิธีการออกแบบวงจรหนึ่งวงจรที่สามารถทำงานได้สองหน้าที่ ซึ่งส่งผลให้ประหยัดจำนวนมอสทรานซิสเตอร์และวงจรที่ได้ยังเป็นเอนกประสงค์ทำให้สะดวกในการใช้งานเมื่อถูกนำมาสร้างเป็นวงจรรวม ซึ่งจะเป็นประโยชน์อย่างมากในเชิงพาณิชย์ ในการออกแบบวงจร 2 หน้าที่ดังกล่าวจะเลือกวงจรที่มีองค์ประกอบเหมือนกัน เพื่อที่จะให้วงจรย่อยวงจรเดียวสามารถทำงานได้หลายหน้าที่ ซึ่งจะทำให้วงจรที่ออกแบบมีขนาดเล็กกว่าเมื่อเทียบกับ วงจรที่มีหน้าที่ต่างกัน 2 วงจรมารวมกัน

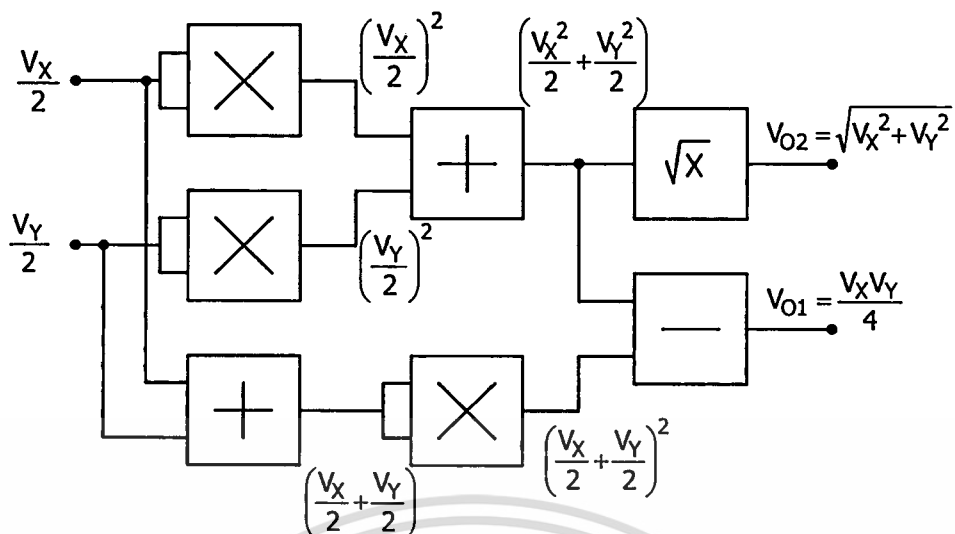
6.2 หลักการทำงาน

วงจรถูกสัญญาณที่ใช้เทคนิคผลต่างกำลังสองมีสมการเป็น

$$(V_x + V_y)^2 - V_x^2 + V_y^2 = 2V_{xy} \quad (6.1)$$

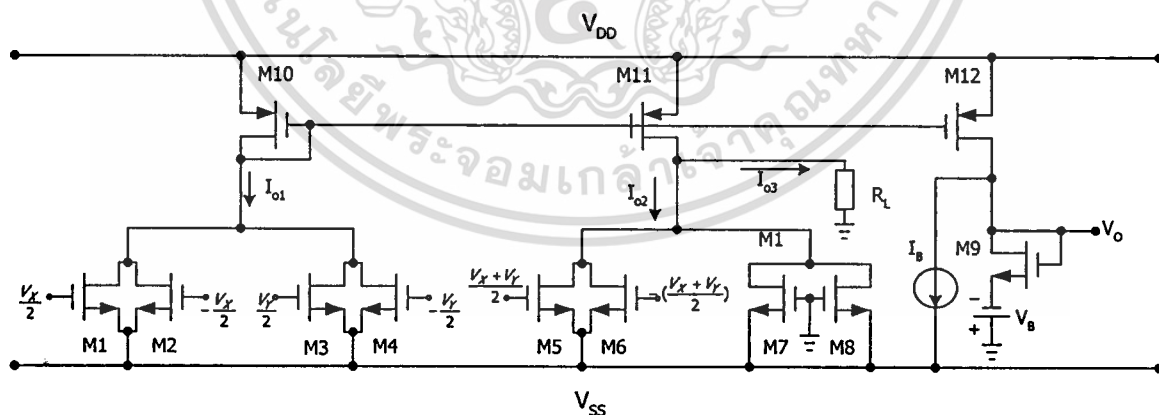
และจากสมการ (6.1) สามารถนำบางส่วนของสมการมาทำเป็นวงจรวกสัญญาณทางเวกเตอร์ ซึ่งมีเอาท์พุทคือ

$$V_o = \sqrt{V_x^2 + V_y^2} \quad (6.2)$$



รูปที่ 6.1 แสดงบล็อกโคอะแกรมการทำงานของวงจรวกสัญญาณทางเวกเตอร์ โดยใช้วงจรมัลติพลายสัญญาณ

จากบล็อกโคอะแกรมจะเห็นว่าเราสามารถสร้างวงจรวกสัญญาณทางเวกเตอร์ได้โดยเพิ่มวงจรถอดรากที่สองเพียงหนึ่งวงจรเท่านั้น จากหลักการดังกล่าวนี้สามารถนำไปประยุกต์กับวงจรมัลติพลายสัญญาณทั้งโหมคแรงดันและโหมคกระแส และวงจรมัลติพลายสัญญาณที่จะสามารถปรับปรุงเป็นวงจรวกสัญญาณทางเวกเตอร์ด้วยคือวงจรมัลติพลายสัญญาณในบทความ [23-24]



รูปที่ 6.2 วงจรวกสัญญาณทางเวกเตอร์โดยใช้วงจรมัลติพลายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ CMOS ทุกตัวมีขนาดเท่ากัน และใช้สมการ (2.4) จะได้ กระแสเดรนของ M_1 - M_4 คือ

$$I_1 = K \left(\frac{V_X}{2} - V_{SS} - V_T \right)^2 \quad (6.3)$$

$$I_2 = K \left(-\frac{V_X}{2} - V_{SS} - V_T \right)^2 \quad (6.4)$$

$$I_3 = K \left(\frac{V_Y}{2} - V_{SS} - V_T \right)^2 \quad (6.5)$$

$$I_4 = K \left(-\frac{V_Y}{2} - V_{SS} - V_T \right)^2 \quad (6.6)$$

กระแสเอ๊าท์พุท I_{O1} ถูกกำหนดคือ

$$I_{O1} = I_1 + I_2 + I_3 + I_4 \quad (6.7)$$

$$I_{O1} = K \left(\frac{V_X^2}{2} + \frac{V_Y^2}{2} + 4(V_{SS} - V_T)^2 \right) \quad (6.8)$$

กระแสเดรนของ M_5 - M_7 คือ

$$I_5 = K \left(\frac{V_X + V_Y}{2} - V_{SS} - V_T \right)^2 \quad (6.9)$$

$$I_6 = K \left(-\left(\frac{V_X + V_Y}{2} \right) - V_{SS} - V_T \right)^2 \quad (6.10)$$

$$I_7 = I_8 = K (-V_{SS} - V_T)^2 \quad (6.11)$$

กระแสเอ๊าท์พุท I_{O2} ถูกกำหนดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{O2} = I_5 + I_6 + I_7 + I_8 \quad (6.12)$$

$$I_{O2} = K \left(\frac{V_X^2}{2} + \frac{V_Y^2}{2} + V_X V_Y + 4(V_{SS} - V_T)^2 \right) \quad (6.13)$$

ผลลัพธ์ของการคูณสัญญาณสามารถหาได้โดย

$$I_{O3} = I_{O1} - I_{O2} \quad (6.14)$$

$$I_{O3} = -KV_X V_Y \quad (6.15)$$

จากสมการ (6.15) จะเห็นว่า I_{O3} คือผลคูณของแรงดัน V_X และ V_Y และผลลัพธ์ของการบวกสัญญาณทางเวกเตอร์สามารถหาได้โดย

$$I_{O1} = I_B + I_9 \quad (6.16)$$

เมื่อกำหนดให้ $I_B = 4K(V_{SS} + V_T)^2$ (6.17)

จะได้ $I_9 = K \left(\frac{V_X^2}{2} + \frac{V_Y^2}{2} \right)$ (6.18)

แรงดันเอาต์พุตของการบวกสัญญาณทางเวกเตอร์คือ

$$V_O = \sqrt{V_X^2 + V_Y^2} \quad (6.19)$$

เมื่อกำหนดให้ $V_B = V_T$ (6.20)

ในการใช้งานจริงสัญญาณ $V_X + V_Y$ และ $V_X - V_Y$ สามารถสร้างได้จากวงจรลบสัญญาณและวงจรกลับสัญญาณที่ได้กล่าวไว้แล้วในบทที่ 3

6.3 การพิจารณาสมรรถนะของวงจรบวกสัญญาณทางเวกเตอร์โดยใช้วงจรคูณสัญญาณ

การเพิ่มวงจรบวกสัญญาณทางเวกเตอร์เข้าไปในวงจรคูณสัญญาณจะไม่ทำให้สมรรถนะเดิมต่างๆของวงจรคูณเปลี่ยนแปลง เพราะส่วนที่เพิ่มเข้าไปจะถูกแยกออกมาจากวงจรถูก แต่มีอยู่อย่างหนึ่งที่อาจจะเปลี่ยนแปลงคือ ค่าความถี่ตอบสนองของวงจร เพราะเดิมวงจรคูณอาจมีค่าความถี่ตอบสนองขึ้นอยู่กับวงจรสะท้อนกระแสแบบลบซึ่งมีค่า $f_{-3dB} = \frac{g_{mp}}{4\pi C_p}$ Hz และเมื่อวงจรสะท้อนกระแสถูกเพิ่มจำนวนเอาต์พุตหนึ่งเอาต์พุตจะทำให้ความถี่ตอบสนองของวงจรมีค่า

$$f_{-3dB} = \frac{g_{mp}}{6\pi C_p} \text{ Hz}$$

6.4 บทสรุป

บทนี้แสดงหลักการสร้างวงจรบวกสัญญาณทางเวกเตอร์โดยใช้วงจรคูณสัญญาณ ซึ่งจากบล็อกไดอะแกรมนั้นจะเห็นว่าสามารถทำได้โดยการเพิ่มวงจรถอดครากที่สองเพียง 1 วงจรเท่านั้น แต่ในทางปฏิบัติจริงอาจต้องเพิ่มจำนวนมอสทรานซิสเตอร์อีก 2-3 ตัว วงจรถึงจะทำงานได้

วงจรที่น่าเสนอนี้คาดว่าจะนำไปประยุกต์ใช้ในระบบนิเวศเน็ตเวิร์ค(neural networks) เพราะระบบดังกล่าวมีการใช้งานทั้งวงจรคูณสัญญาณและบวกสัญญาณทางเวกเตอร์ แนวทางการออกแบบวงจรที่ทำงานได้สองหน้าที่นี้สามารถนำไปประยุกต์ใช้กับวงจรอิเล็กทรอนิกส์อื่นๆ ได้ ซึ่งจะทำให้ประหยัดจำนวนมอสทรานซิสเตอร์ลงได้เมื่อเทียบกับวงจรที่มีหน้าที่ต่างกัน 2 วงจรมารวมกัน

บทที่ 7

บทสรุปและแนวทางการพัฒนาต่อ

วิทยานิพนธ์นี้แสดงการออกแบบวงจรคุณสัญญาณอนาล็อกแบบ 4 ควอดแรนท์ที่ทำงานในโหมดต่าง ๆ 3 โหมด

วงจรคุณสัญญาณโหมดแรงดันใช้เทคนิคกำลังสองส่วนสี่ ส่วนของวงจรคุณสัญญาณโหมดกระแสและโหมดผสมใช้เทคนิคผลต่างกำลังสอง จากการวิเคราะห์ภาคผนวก (ก)–(ค) และผลการเขียนแบบการทำงาน (simulation) ด้วย PSpice พบว่าวงจรคุณที่ใช้เทคนิคกำลังสองส่วนสี่ สามารถหักล้างความผิดพลาดที่เกิดจากเทอม θ ลงได้ทำให้วงจรมีความผิดเพี้ยนที่ต่ำมาก ส่วนวงจรคุณที่ใช้เทคนิคผลต่างกำลังสองไม่สามารถหักล้างความผิดพลาดที่เกิดจากเทอม θ จึงทำให้วงจรมีความผิดเพี้ยนมากกว่าแบบแรก ซึ่งอีกเหตุผลหนึ่งคือ เนื่องจากสัญญาณอินพุตที่ป้อนและโครงสร้างของวงจรคุณที่ใช้เทคนิคกำลังสองส่วนสี่ มีความสมมาตรกันทำให้เทอม θ สามารถหักล้างกันได้ และสัญญาณอินพุตที่ป้อนและโครงสร้างของวงจรคุณที่ใช้เทคนิคผลต่างกำลังสอง ไม่สมมาตรกันทำให้เทอม θ ไม่สามารถหักล้างกันได้ นอกจากนี้ยังพบว่าวงจรคุณสัญญาณโหมดแรงดันที่ออกแบบนี้ยังใช้แรงดันไฟเลี้ยงที่ต่ำกว่าและมีช่วงอินพุตปฏิบัติงานที่สูงกว่าเพราะใช้อินพุตแบบผลต่าง (differential input) สำหรับความถี่ตอบสนองของวงจรคุณสัญญาณทั้ง 3 โหมดมีค่าใกล้เคียงกัน วงจรคุณสัญญาณโหมดกระแสมีข้อดี ซึ่งเป็นข้อดีของวงจรที่ทำงานในโหมดกระแสทั่วไปคือ อินพุตเป็นรูปสัญญาณกระแสทำให้ช่วงอินพุตปฏิบัติงานไม่ขึ้นตรงกับแรงดันไฟเลี้ยง สำหรับวงจรคุณสัญญาณโหมดผสมนี้ มีข้อดีกว่า 2 แบบแรกคือ ใช้จำนวนอุปกรณ์ที่น้อยกว่า เมื่อเทียบกับฟังก์ชันการทำงานที่มากกว่า ซึ่งผลการเปรียบเทียบถูกแสดงในตารางที่ 7.1

ตารางที่ 7.1 แสดงสมรรถนะของวงจรรวมโหมดต่างๆ

multiplier	V_{DD} (V)	V_{SS} (V)	input range	THD %	BW (MHz)	Number of Transistors	
						NMOS	PMOS
Voltage mode	-	2				16	
$V_O = KV_X V_Y$	$V_X = V_{ac}$	$V_Y = V_{dc}$	-0.8V / 0.8V	0.11	61		
	$V_Y = V_{ac}$	$V_X = V_{dc}$	-0.8V / 0.8V	0.15	57		
Current mode	2	2				12	3
$I_O = KI_X I_Y$	$I_X = V_{ac}$	$I_Y = I_{dc}$	-10 μ A / 10 μ A	0.73	66		
	$I_Y = V_{ac}$	$I_X = I_{dc}$	-10 μ A / 10 μ A	0.73	67		
Mixed mode	1.85	1.85				16	2
1. $I_O = -KV_X V_Y / 2$	$V_X = V_{ac}$	$V_Y = V_{dc}$	-0.2V / 0.2V	1.6	84		
	$V_Y = V_{ac}$	$V_X = V_{dc}$	-0.2V / 0.2V	1.6	30		
2. $I_O = V_X I_Y / (2(V_{ss} + 2V_T))$	$V_X = V_{ac}$	$I_Y = I_{dc}$	-0.2V / 8 μ A	1.4	45		
	$I_Y = I_{ac}$	$V_X = V_{dc}$	-8 μ A / 0.2V	1.6	45		
3. $I_O = I_X V_Y / (2(V_{ss} + 2V_T))$	$I_X = I_{ac}$	$V_Y = V_{dc}$	-8 μ A / 0.2V	1.4	72		
	$V_Y = V_{ac}$	$I_X = I_{dc}$	-0.2V / 8 μ A	1.6	81		
4. $I_O = -I_X I_Y / (2K(V_{ss} + 2V_T)^2)$	$I_X = I_{ac}$	$I_Y = I_{dc}$	-8 μ A / 8 μ A	1.4	75		
	$I_Y = I_{ac}$	$I_X = I_{dc}$	-8 μ A / 8 μ A	1.4	42		

ผลการทดสอบวงจรรวมทั้ง 3 โหมด โดยใช้ CMOS ที่มีขนาดเดียวกันคือ NMOS มีขนาด (W/L) = 5 μ m/4 μ m และ PMOS มีขนาด (W/L) = 10 μ m/4 μ m จากผลการทดสอบ พบว่าวงจรรวมทั้ง 3 โหมดนี้ ให้ผลเป็นที่น่าพอใจซึ่งสามารถนำไปใช้งานในการประมวลผลสัญญาณแบบอนาลอก และเหมาะที่จะนำไปเป็นวงจรรวม นอกจากนี้วิทยานิพนธ์นี้ยังนำเสนอหลักการออกแบบวงจรรวมสัญญาณทางเวกเตอร์โดยใช้วงจรรวมสัญญาณ

สำหรับแนวทางการพัฒนาในวงจรรวม โหมดแรงดันมีคุณสมบัติต่างๆ ที่ดีมาก ซึ่งถ้าจะพัฒนาก็จะต้องเป็นการลดจำนวน MOS ให้น้อยลง และออกแบบวงจรให้รับอินพุตเป็น single ended

ในวงจรรวมโหมดกระแส และโหมดผสม ได้ถูกออกแบบวงจรไว้อย่างกะทัดรัดแล้ว ซึ่งถ้าจะพัฒนาคงต้องเป็นการหาวิธีการลดความผิดเพี้ยนของวงจรให้ต่ำลง

นอกจากนี้วงจรในโหมดผสมเป็นแนวทางที่น่าสนใจในการที่จะออกแบบวงจรอิเล็กทรอนิกส์ต่างๆ เพื่อลดจำนวนมอสทรานซิสเตอร์ให้น้อยลง แต่นั่นก็จะเป็นการเพิ่มความซับซ้อนให้กับวงจรที่ออกแบบด้วย

สำหรับวงจรวกสัญญาณทางเคอร์ที่อาศัยวงจรคูณสัญญาณนั้นถูกนำเสนอเพื่อเป็นแนวทางในการออกแบบวงจรที่นำเอา 2 วงจรที่มีบางส่วนของวงจรเหมือนกันมาต่อร่วมกันทำให้ลดจำนวนอุปกรณ์ให้น้อยลงซึ่งหลักการนี้สามารถนำไปใช้กับวงจรรีเลย์ทรอนิกส์ต่างๆ ได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] R.E. Allen and D.R. Holberg, CMOS analog circuit design, New York: Holt, Rinehart and winston, 1987.
- [2] C.T. Sah, "Characteristic of the Metal-Oxide-Semiconductor Transistor," IEEE Trans. Electron Devices, Vol. ED-11, pp.329-345, 1964.
- [3] H. Shichman and D. Hodges , "Modeling and Simulation of Insulated Gate Fied-Effect Transistor Switching Circuit," IEEE J. Solid-State Circuit, Vol. SC-3, pp.258-289, 1968.
- [4] K. Ogata, Modern Control Engineering, 2nd Ed., pp.432-450, Prentice-hall,INC, 1990.
- [5] S. Wong and C. A. Salama, "Impact of scaling on MOS analog performance," IEEE J. Solid-State Circuits, vol. 18, pp.106-114, Feb.1983.
- [6] P. R. Gray and R. G. Meryer, Analysis and Design of Analog Integrated Circuits, 2nd ed., pp.216-221, John Wiley&Son, 1997.
- [7] IEEE Std. 519, IEEE Recommended Practices and Requirement for Harmonic Control in Electrical Power Systems, Institute of Electrical and Electronics Engineers, 1992.
- [8] J.S. Pena-Finol and J.A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," IEEE J. Solid-State Circuits, vol.SC22, pp.1067-1073, Dec.1987.
- [9] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," IEEE J. Solid-State Circuits, vol.SC21, pp.430-435, June 1986.
- [10] S.I. Lin and C.-C. Chang, "CMOS four-quadrant multiplier using Bias Feedback techniques," IEEE J. Solid-State Circuits, vol.29, pp.750-752, June. 1994.
- [11] S.I. Lin and C.-C. Chang, "CMOS four-quadrant multiplier using active attenuators," Int. J. Electron., vol. 79, pp.323-328, 1995.
- [12] N. Saxena and J.J. Clark, "A four-quadrant CMOS analog multiplier for analog neural networks," IEEE J. Solid-State Circuits, vol. 29, pp.746-749, June 1994.
- [13] ปราโมทย์ เตชะอำไพ, ระเบียบวิธีเชิงตัวเลขในงานวิศวกรรม, สำนักพิมพ์แห่งจุฬาลงกรมหาวิทยาลัย, 2541.

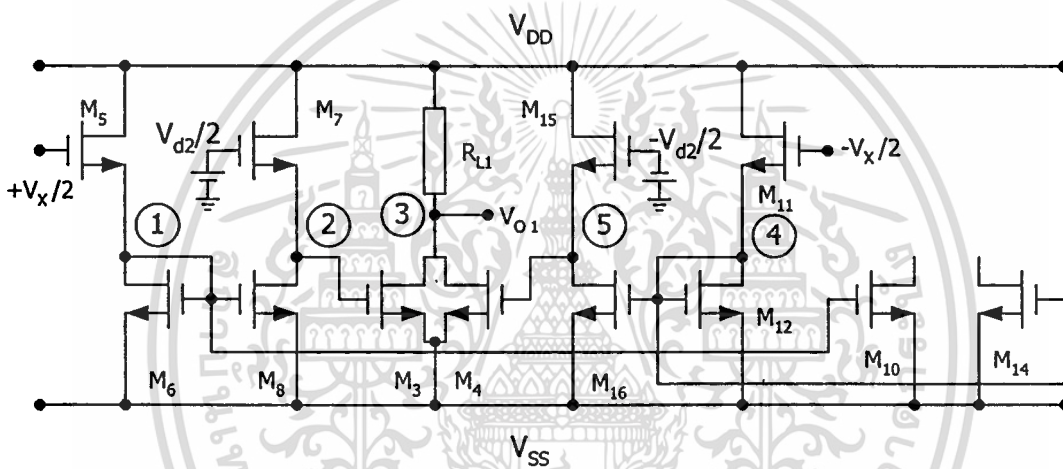
- [14] K. Tanno, O. Ishizuka and Z. Tang, "Four-Quadrant CMOS Current-Mode Multiplier Independent of Device Parameter," *IEEE Trans. Circuits Syst. II*, vol.47, pp.473-477, May 2000.
- [15] O. Oliaei and P. Loumeau, "Four-quadrant class AB CMOS current multiplier," *Electron. Lett.*, vol.32, pp.2327-2329, May 1996.
- [16] A. Ravindran, K. Ramarao, E. Vidal and M. Ismail, "Compact low Voltage four quadrant CMOS current multiplier," *Electron. Lett.*, Vol.37, No.24, pp. 1428-1429, Nov. 2001.
- [17] J. Michael Jacob, *Industrail Control Electronics Applications and design.*, pp.225-266., Prentice-Hall, Inc.
- [18] I. A. Khan and M. T. Ahmed, "OTA-based integrable voltage/current-controlled ideal C-multiplier," *Electron. Lett.*, vol.22, pp.365-366, March 1986.
- [19] S.I. Liu and C.-C. Chang, "A CMOS Square-Law Vector Summation Circuit," *IEEE Trans. Circuits and Systems Part II*, Vol. 43, No.7, pp.520-523, July 1996.
- [20] บุญยั้ง นบนอบ กอบชัย เศรษฐาญ สมเกียรติ ถกษัรวิญญู และ เชื้อ นกอยู่, "การออกแบบวงจรบวกทางเวกเตอร์ด้วยมอสเฟต," *วิศวกรรมลาดกระบัง ปีที่ 15 ฉบับที่ 1 หน้า 1-5 สิงหาคม 2541.*
- [21] O. Landolt, E. Vittoz and P. Heim, "CMOS selfbiased euclidean distance computing circuit with high dynamic range," *Electron. Lett.*, Vol.28, No.4, pp.352-354, Feb. 1992.
- [22] T.Y. Liu, E.M. Drakakis and A.J. Payne, "Vector-scalar-product circuit concept," *Electron. Lett.*, Vol.36, No. 20, pp.1676-1677, Sep. 2000.
- [23] K. Dejhan, F. Cheevasuvit, I. Chaisayun, W. Bumrung and C. Soonyeeekan, "Current mode and voltage mode analog multiplier," *Proc. Of 1999 ROVPIA'99*, pp.635-641, Malasia, July 16-18, 1999.
- [24] I. Chaisayun, K. Dejhan, F. Cheevasuvit and C. Soonyeeekan, "3-mode-operation of four-quadrant analog multiplier circuit with signal vector summation," *Proc. Of 1999 ITC-CSCC'99*, pp.418-421, Japan, July 13-15, 1999.
- [25] B. Robert and N. Louis, *Electronic Devices & Circuit theory*, Prentice-Hall, 1992.

ภาคผนวก ก

การวิเคราะห์หาความถี่ตอบสนองและประสิทธิภาพของวงจรคูณสัญญาณโหมคแรงดัน

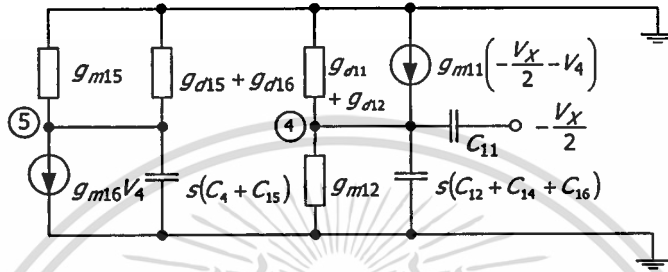
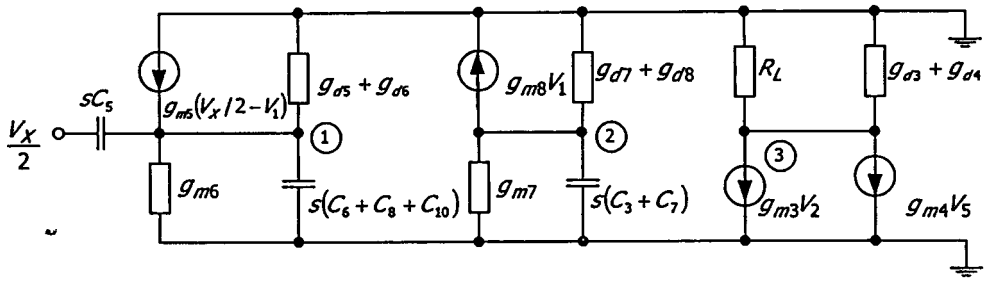
ก.1 การวิเคราะห์หาค่าความถี่ตอบสนองของวงจรคูณสัญญาณโหมคแรงดัน

จากวงจรคูณสัญญาณโหมคแรงดันในรูปที่ 3.3 มีโครงสร้างของวงจรบางส่วนที่เหมือนกัน ดังนั้นสามารถใช้หลักการแบ่งครึ่งวงจรซึ่งสามารถแสดงรูปได้ใหม่เป็น รูปที่ ก.1 โดยในการวิเคราะห์ห้วงจรคูณสัญญาณโหมคแรงดันนั้นมีอินพุต V_x และ V_y ที่ไม่สมมาตรกัน ดังนั้นจึงต้องวิเคราะห์อินพุตทั้งสองด้านโดยจะวิเคราะห์ที่อินพุต V_x ก่อน ซึ่งสามารถทำได้โดยให้ $V_x = V_{ac}$, $V_y = V_{dc}$



รูปที่ ก.1 วงจรคูณสัญญาณโหมคแรงดันเมื่อหา $\frac{V_o}{V_x}$

จากวงจรรูปที่ ก.1 เมื่อถูกแทนด้วยแบบจำลองสัญญาณขนาดเล็กดังรูปที่ 2.7 (ข) โดยที่ $C_i = C_{gsi}$ และ เพื่อให้ง่ายต่อการประมาณค่าเราสามารถปรับลดอุปกรณ์บางตัวโดยเงื่อนไขว่า $g_m + g_{ds} \approx g_m$ ซึ่งสามารถแสดงได้ดังรูปที่ ก.2



รูปที่ ก.2 แบบจำลองสัญญาณขนาดเล็กของวงจรรูป ก.1

จากรูปที่ ก.2 เราสามารถหาแรงดันที่โหนดต่างๆ ได้ดังนี้

ที่โหนด 1 จะได้
$$V_1 = \frac{\frac{V_x}{2}(sC_5 + g_{m5})}{s(C_5 + C_6 + C_8 + C_{10}) + g_{m5} + g_{m6} + 2g_d} \quad (\text{ก.1})$$

ที่โหนด 2 จะได้
$$V_2 = \frac{-g_{m8}V_1}{s(C_3 + C_7) + g_{m7} + 2g_d} \quad (\text{ก.2})$$

ที่โหนด 4 จะได้
$$V_4 = \frac{-\frac{V_x}{2}(sC_{11} + g_{m11})}{s(C_{11} + C_{12} + C_{14} + C_{16}) + g_{m11} + g_{m12} + 2g_d} \quad (\text{ก.3})$$

ที่โหนด 5 จะได้
$$V_5 = \frac{-g_{m16}V_4}{s(C_4 + C_{15}) + g_{m15} + 2g_d} \quad (\text{ก.4})$$

ที่โหนด 3 จะได้
$$V_3 = V_o = \frac{-R_L(g_{m3}V_2 + g_{m4}V_5)}{[g_{d3}R_L + g_{d4}R_L + 1]} \quad (\text{ก.5})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้สมการ (ก.1 – ก.4) แทนใน (ก.5) จะได้

$$V_o = \frac{V_x}{2} R_L \left[\frac{\frac{g_{m3}g_{m8}V_1(sC_3 + g_{m5})}{(s(C_3 + C_4) + g_{m7})(s(C_5 + C_6 + C_8 + C_{10}) + (g_{m5} + g_{m6}))} + \frac{g_{m4}g_{m6}(sC_{11} + g_{m11})}{(s(C_4 + C_{13}) + g_{m15})(s(C_{11} + C_{12} + C_{14} + C_{16}) + g_{m11} + g_{m12})} \right] \quad (\text{ก.6})$$

ตารางที่ ก.1 ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรรูปที่ ก.1 จาก PSpice

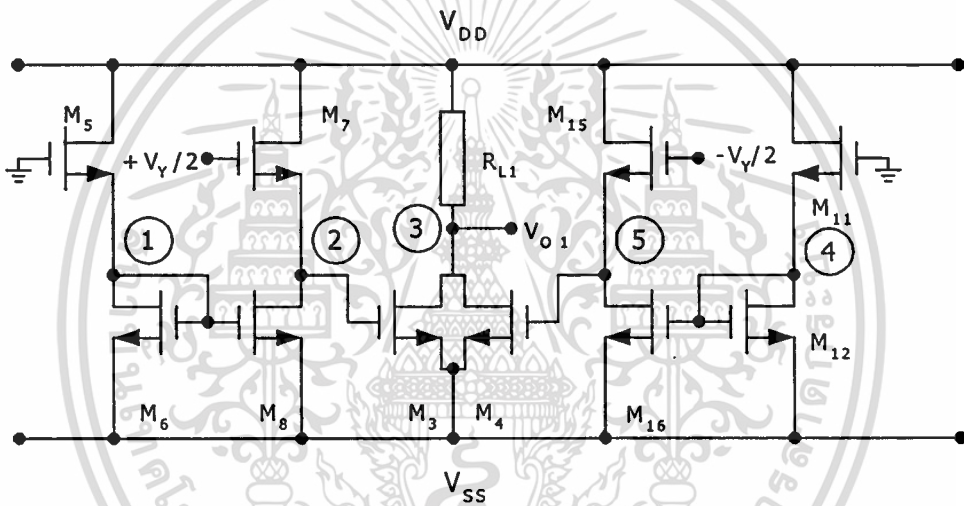
NAME	m1	m2	m3	m4	m5	
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1	
ID	1.32E-05	7.36E-06	1.32E-05	7.36E-06	1.01E-05	
VGS	1.05E+00	9.50E-01	1.05E+00	9.50E-01	1.00E+00	
GM	6.60E-05	5.03E-05	6.60E-05	5.03E-05	5.83E-05	
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14	
NAME	m6	m7	m8	m9	m10	
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1	
ID	1.01E-05	1.01E-05	1.01E-05	1.01E-05	1.01E-05	
VGS	1.00E+00	1.00E+00	1.00E+00	1.00E+00	1.00E+00	
GM	5.83E-05	5.83E-05	5.83E-05	5.83E-05	5.83E-05	
GDS	5.06E-09	5.06E-09	5.06E-09	5.06E-09	5.06E-09	
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14	
NAME	m11	m12	m13	m14	m15	m16
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1	nmos1
ID	1.01E-05	1.01E-05	1.01E-05	1.01E-05	1.01E-05	1.01E-05
VGS	1.00E+00	1.00E+00	1.00E+00	1.00E+00	1.00E+00	1.00E+00
VGM	5.83E-05	5.83E-05	5.83E-05	5.83E-05	5.83E-05	5.83E-05
GDS	5.06E-09	5.06E-09	5.06E-09	5.06E-09	5.06E-09	5.06E-09
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14

จากตารางที่ ก.1 จะได้ว่า $g_m = g_{m5} = g_{m6} = g_{m7} = g_{m8} = g_{m9} = g_{m10} = g_{m11} = g_{m12} = g_{m13} = g_{m14} = g_{m15} = 5.83 \times 10^{-5}$ และ C ทุกตัวมีค่าเท่ากันคือ $4.7 \mu\text{F}$, $g_{m3} = 6.6 \times 10^{-5}$, $g_{m4} = 5.03 \times 10^{-5}$ และจากสมการ (ก.6) สามารถจัดรูปใหม่ได้ดังนี้

$$\frac{V_O}{V_X} = \frac{R_L}{2} \left[\frac{g_m [g_{m3} - g_{m4}] (sC + g_m)}{(2sC + g_m)(4sC + 2g_m)} \right] \quad (ก.7)$$

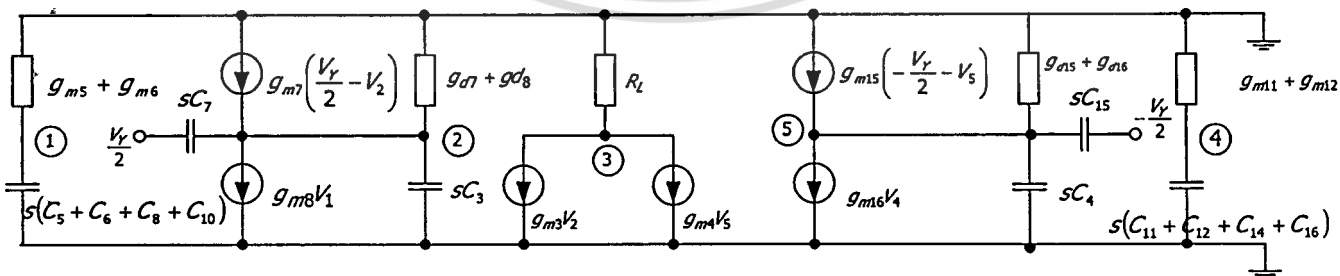
จากสมการ (ก.7) พบว่ามี โพลเด่น 2 ตัว ซึ่งมีค่าเท่ากันคือ $P_1 = P_2 = \frac{g_m}{2C}$ rad/s ซึ่งความถี่ cutoff สามารถหาค่าได้จาก โพลเด่นทั้ง 2 ตัว [22] คือ $f_{-3dB} = \frac{0.64g_m}{4\pi C} = 63$ MHz และค่าที่ได้จาก PSpice คือ 61 MHz ซึ่งจะเห็นว่ามีความใกล้เคียงกัน

ถัดมา เมื่อเราวิเคราะห์ที่อินพุต V_Y โดยกำหนดให้ $V_Y = V_{ac}$, $V_X = V_{dc}$ ดังนั้นวงจรอุดมคติแรงดันรูปที่ 3.3 สามารถถูกเขียนใหม่เพื่อวิเคราะห์หาความถี่ตอบสนองที่อินพุต V_Y ดังนี้



รูปที่ ก.3 วงจรอุดมคติสัญญาณ โหมดแรงดันเมื่อหา $\frac{V_O}{V_Y}$

จากวงจรรูปที่ ก.3 เมื่อถูกแทนด้วยแบบจำลองสัญญาณขนาดเล็กสามารถถูกเขียนใหม่ได้ดังนี้



รูปที่ ก.4 แบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ก.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะได้ว่า $V_1 = V_4 = 0$ เนื่องจากไม่มีแหล่งจ่ายพลังงานใดที่โหนด V_1 และ V_4 ส่วนที่โหนดอื่นๆ สามารถหาค่าแรงดันต่างๆ ได้ดังนี้

ที่โหนด 2 จะได้
$$V_2 = \frac{\frac{V_Y}{2}(sC_7 + g_{m7})}{s(C_3 + C_7) + g_{m7} + g_{d7} + g_{d8}} \quad (ก.8)$$

ที่โหนด 3 จะได้
$$V_3 = -(g_{m3}V_2 + g_{m4}V_5)R_L \quad (ก.9)$$

ที่โหนด 5 จะได้
$$V_5 = \frac{-\frac{V_Y}{2}(sC_{15} + g_{m15})}{s(C_4 + C_{15}) + g_{m15} + g_{d15} + g_{d16}} \quad (ก.10)$$

เมื่อ $g_{m+} + g_d \approx g_m$ และ ใช้สมการ (ก.8)-(ก.10) จะได้

$$V_o = V_3 = \frac{V_Y R_L}{2} \left[\frac{g_{m3}(sC_7 + g_{m7})}{(2sC + g_{m7})} - \frac{g_{m4}(sC_{15} + g_{m15})}{(2sC + 2g_{m15})} \right] \quad (ก.11)$$

ตารางที่ ก.2 ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรรูปที่ ก.3 จาก PSpice

NAME	m1	m2	m3	m4	m5
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1
ID	1.16E-05	8.66E-06	8.66E-06	1.16E-05	1.16E-05
VGS	1.03E+00	9.75E-01	9.75E-01	1.03E+00	1.03E+00
GM	6.22E-05	5.44E-05	5.44E-05	6.22E-05	6.22E-05
GDS	5.53E-09	4.60E-09	4.60E-09	5.53E-09	5.53E-09
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14
NAME	m6	m7	m8	m9	m10
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1
ID	1.16E-05	1.16E-05	1.16E-05	1.16E-05	1.16E-05
VGS	1.03E+00	1.03E+00	1.03E+00	1.03E+00	1.03E+00
GM	6.22E-05	6.22E-05	6.22E-05	6.22E-05	6.22E-05
GDS	5.53E-09	5.53E-09	5.53E-09	5.53E-09	5.53E-09
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14

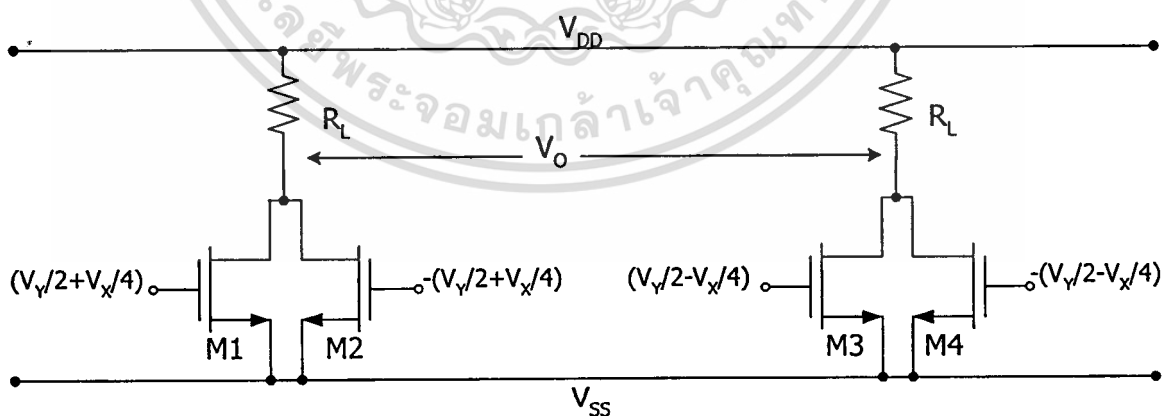
ตารางที่ ก.2 (ต่อ)

NAME	m11	m12	m13	m14	m15	m16
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1	nmos1
ID	8.66E-06	8.66E-06	8.66E-06	8.66E-06	8.66E-06	8.66E-06
VGS	9.75E-01	9.75E-01	9.75E-01	9.75E-01	9.75E-01	9.75E-01
GM	5.43E-05	5.43E-05	5.43E-05	5.43E-05	5.43E-05	5.43E-05
GDS	4.60E-09	4.60E-09	4.60E-09	4.60E-09	4.60E-09	4.60E-09
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14

$$\frac{V_o}{V_y} = R_L \left[\frac{g_{m3}(sC_7 + g_{m7})(2sC + g_{m15}) - g_{m4}(sC_{15} + g_{m15})(2sC + g_{m7})}{(2sC + g_{m7})(2sC + g_{m15})} \right] \quad (\text{ก.12})$$

ค่า g_m ต่างๆของทรานซิสเตอร์ที่ได้จาก PSpice ซึ่งมีค่าตามตารางที่ ก.2 และ C ทุกตัวมีค่าเท่ากันคือ $4.7 \mu F$ จากสมการ (ก.11) พบว่ามีโพลเด่น 2 โพล ซึ่งมีค่าคือ $p_1 = \frac{g_m}{2C} = 661 \times 10^6 \text{ rad/s}$ และ $p_2 = \frac{g_{m15}}{2C} = 578 \times 10^6 \text{ rad/s}$ ซึ่งความถี่ Cutoff คือ $f_{-3dB} = \frac{0.64|p_2|}{2\pi} = 59 \text{ MHz}$ และค่าที่ได้จาก PSpice คือ 57 MHz ซึ่งจะเห็นว่ามีความใกล้เคียงกัน

ก.2 การวิเคราะห์ผลความผิดพลาดของวงจรมัลติพลายโหมดแรงดันที่เกิดจากการลดทอนความคล่องตัวของพาหะ



รูปที่ ก.5 วงจรมัลติพลายโหมดแรงดันแบบพื้นฐานที่ใช้หาความผิดพลาดของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D1} = K\left(\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^2 - \theta K\left(\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^3 + \theta^2 K\left(\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^4 \quad (ก.13)$$

$$I_{D2} = K\left(-\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^2 - \theta K\left(-\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^3 + \theta^2 K\left(-\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^4 \quad (ก.14)$$

$$I_{D3} = K\left(\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^2 - \theta K\left(\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^3 + \theta^2 K\left(\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T\right)^4 \quad (ก.15)$$

$$I_{D4} = K\left(-\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^2 - \theta K\left(-\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^3 + \theta^2 K\left(-\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^4 \quad (ก.16)$$

แรงดันเอาต์พุตสามารถกำหนดและหาค่าได้ดังนี้

$$V_O = (I_{D1} + I_{D2} - I_{D3} - I_{D4})R_L \quad (ก.17)$$

เมื่อใช้สมการ (2.8) กระแสเดรนของ M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_O = R_L K V_X V_Y [1 + 3\theta V_{A1}] + R_L K \theta^2 \left(\frac{V_X V_Y^3}{2} + \frac{V_X^3 V_Y}{8} + 6V_{A1}^2 V_X V_Y \right) \quad (ก.18)$$

เมื่อ $V_{A1} = (V_{SS} + V_T)$

ก.3 การวิเคราะห์ผลความผิดพลาดของวงจรมอดูลสัญญาณโหมดแรงดันที่เกิดจากความไม่สมพงษ์ของค่า Transconductance parameter ของทรานซิสเตอร์

เมื่อกำหนดให้ค่า Transconductance parameter ของ M_1 - M_2 และ M_3 - M_4 คือ $K + \frac{\Delta K}{2}$ และ $K - \frac{\Delta K}{2}$ ตามลำดับ กระแสเดรนของ M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = \left(K + \frac{\Delta K}{2}\right) \left(\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T\right)^2 \quad (ก.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D2} = (K + \frac{\Delta K}{2}) \left(-\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T \right)^2 \quad (\text{ก.20})$$

$$I_{D3} = (K - \frac{\Delta K}{2}) \left(\frac{V_Y}{2} - \frac{V_X}{4} - V_{SS} - V_T \right)^2 \quad (\text{ก.21})$$

$$I_{D4} = (K - \frac{\Delta K}{2}) \left(-\frac{V_Y}{2} + \frac{V_X}{4} - V_{SS} - V_T \right)^2 \quad (\text{ก.22})$$

แรงดันเอาต์พุตคือ

$$V_O = KR_L V_X V_Y + \Delta KR_L \left[\left(\frac{V_X^2}{8} + \frac{V_Y^2}{2} \right) + 2(V_{SS} + V_T)^2 \right] \quad (\text{ก.23})$$



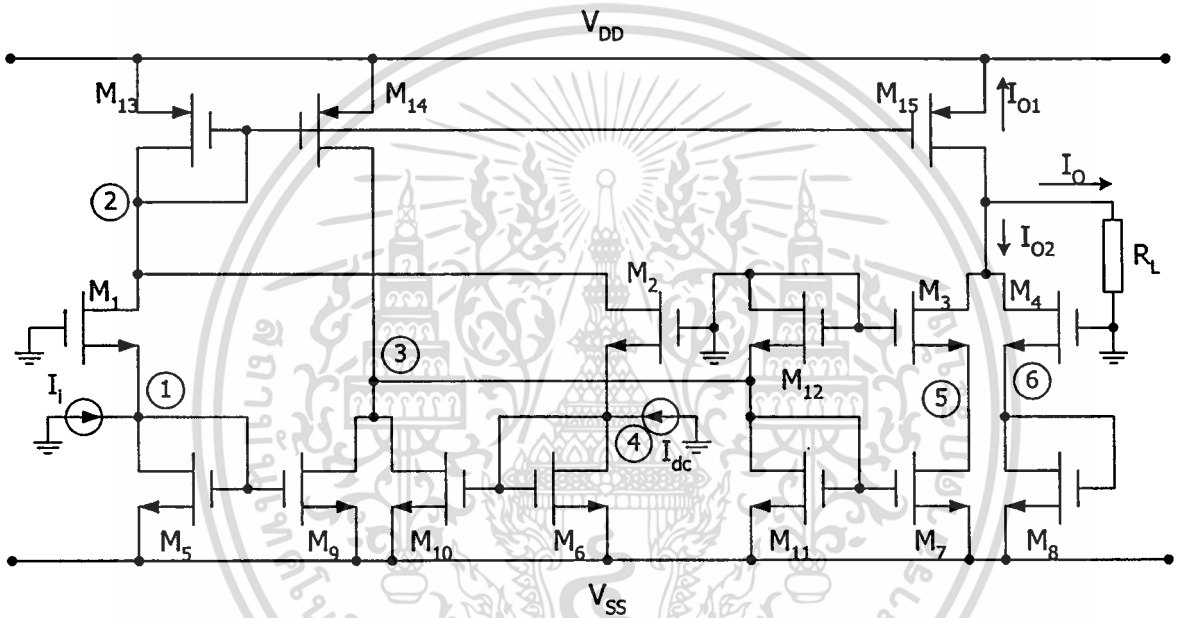
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การวิเคราะห์หาค่าความถี่ตอบสนองและประสิทธิภาพของวงจรคูณสัญญาณโหมคกระแส

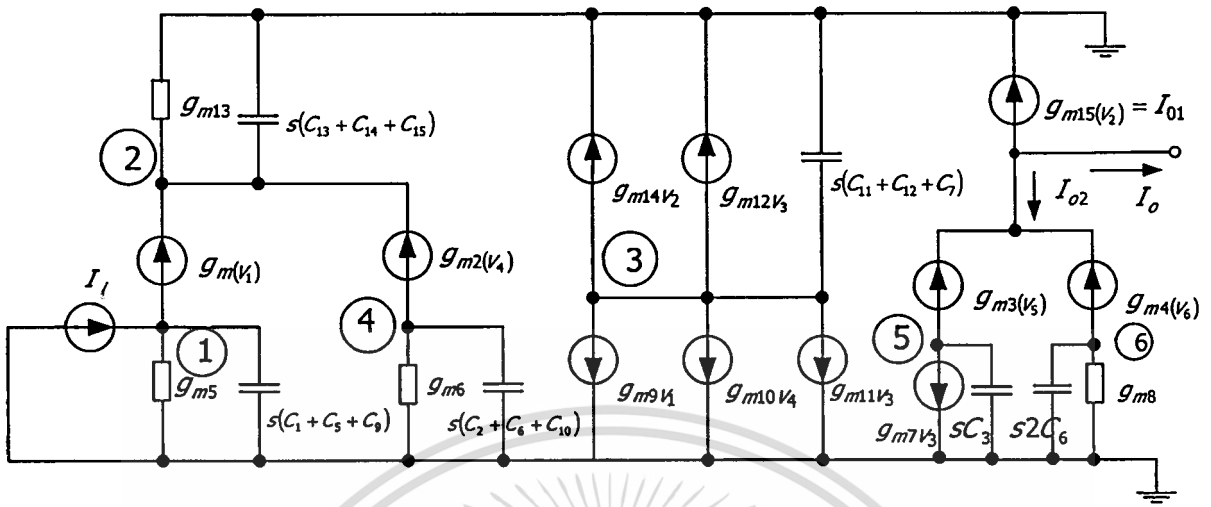
ข.1 การวิเคราะห์หาค่าความถี่ตอบสนองของวงจรคูณสัญญาณโหมคกระแส

พิจารณาวงจรคูณสัญญาณโหมคกระแสในรูปที่ 4.3 จะเห็นว่า อินพุต I_x และ I_y มีความสมมาตรกัน ดังนั้นความถี่ตอบสนองของแต่ละอินพุตจะมีค่าเท่ากัน ดังนั้นจึงเลือกวิเคราะห์เพียงอินพุตเดียว ซึ่งแสดงได้ดังรูปที่ ข.1



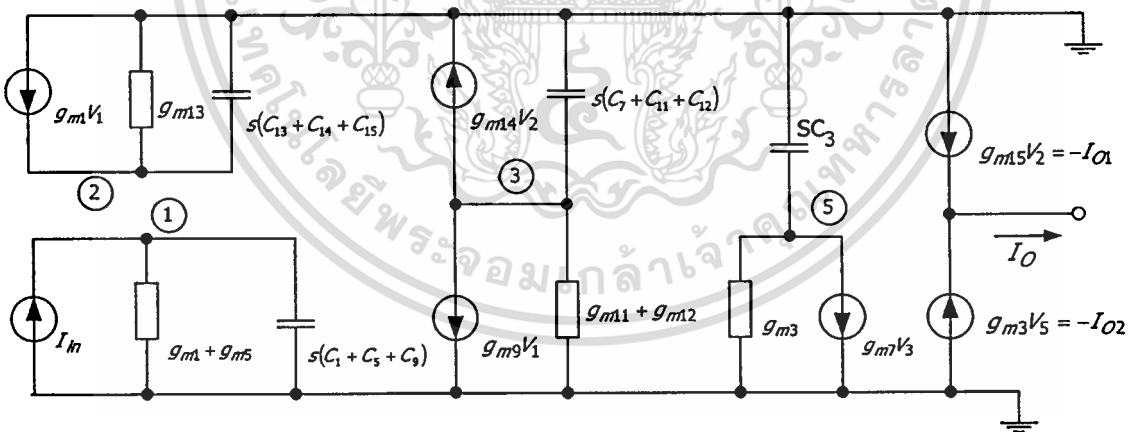
รูปที่ ข.1 วงจรคูณสัญญาณ โหมคกระแส

การหาค่าความถี่ตอบสนองของวงจรคูณสัญญาณโหมคกระแส หาได้จากความสัมพันธ์ของ $\frac{I_{o1} - I_{o2}}{I_1}$ และเพื่อง่าย เราจะวิเคราะห์ทีละส่วนคือ $\frac{I_{o1}}{I_1}$ และ $\frac{I_{o2}}{I_1}$ และจากรูป ข.1 สามารถแทนวงจรดังกล่าวด้วยแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ได้ดังนี้



รูปที่ ข.2 แบบจำลองของรูปที่ ข.1

รูปที่ ข.2 จะได้ว่า $V_4 = V_6 = 0$ และใช้ทฤษฎีการเปลี่ยนแหล่งจ่ายกระแสเป็นความนำ ดังนั้นสามารถพัฒนาให้ง่ายในการคำนวณได้ดังนี้



รูปที่ ข.3 การพัฒนาของรูปที่ ข.2

และจากโหนดต่างๆ ในรูปที่ ข.3 สามารถเขียนสมการได้ดังนี้

ที่โหนด 1

$$I_i = V_1(g_{m1} + g_{m5} + s(C_1 + C_5 + C_9)) \quad (\text{ข.1})$$

ที่โหนด 2

$$g_{m1}V_1 = V_2(g_{m13} + s(C_{13} + C_{14} + C_{15})) \quad (\text{ข.2})$$

ที่โหนดเอาต์พุต

$$I_{O1} = -g_{m15}V_2 \quad (\text{ข.3})$$

ที่โหนด 3

$$-g_{m9}V_1 - g_{m14}V_2 = V_3(g_{m11} + g_{m12} + s(C_7 + C_{11} + C_{12})) \quad (\text{ข.4})$$

ที่โหนด 5

$$g_{m7}V_3 = -V_5(sC_3 + g_{m3}) \quad (\text{ข.5})$$

ที่โหนดเอาต์พุต

$$I_{O2} = -g_{m3}V_5 \quad (\text{ข.6})$$

ใช้สมการ (ข.1)-(ข.3) จะได้

$$\frac{I_{O1}}{I_i} = \frac{-g_{m1}g_{m15}}{\left(s + \frac{g_{m1}+g_{m5}}{(C_1 + C_5 + C_9)}\right)\left(s + \frac{g_{m13}}{(C_{13} + C_{14} + C_{15})}\right)} \quad (\text{ข.7})$$

ค่า g_m และ C_{gs} ที่ได้จาก PSpice มีค่าดังตารางที่ ข.1

ตารางที่ ข.1 ค่าพารามิเตอร์ภายในต่างๆ ของทรานซิสเตอร์ในวงจรคูลอมโหมคกระแสดจาก PSpice

NAME	m1	m2	m3	m4	m5
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1
ID	1.01E-05	1.56E-05	1.57E-05	1.01E-05	1.01E-05
VGS	1.00E+00	1.09E+00	1.09E+00	1.00E+00	1.00E+00
GM	5.83E-05	7.14E-05	7.15E-05	5.83E-05	5.83E-05
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14
NAME	m6	m7	m8	m9	m10
MODEL	nmos1	nmos1	nmos1	nmos1	nmos1
ID	5.65E-06	1.57E-05	1.01E-05	1.01E-05	5.65E-06
VGS	9.14E-01	1.09E+00	1.00E+00	1.00E+00	9.14E-01
GM	4.44E-05	7.15E-05	5.83E-05	5.83E-05	4.44E-05
CGS	4.70E-14	4.70E-14	4.70E-14	4.70E-14	4.70E-14
NAME	m11	m12	m13	m14	m15
MODEL	nmos1	nmos1	pmos1	pmos1	pmos1
ID	1.57E-05	5.63E-06	-2.57E-05	-2.58E-05	-2.57E-05
VGS	1.09E+00	9.14E-01	-1.65E+00	-1.65E+00	-1.65E+00
GM	7.15E-05	4.44E-05	6.89E-05	6.91E-05	6.90E-05
CGS	4.70E-14	4.70E-14	9.34E-14	9.34E-14	9.34E-14

จากสมการพบว่ามีโพล 2 ตัวคือ $P_1 \left(\frac{g_{m1} + g_{m5}}{C_1 + C_5 + C_9} \right) = 827 \times 10^6 \text{ rad/s}$ และ

$P_2 \left(\frac{g_{m13}}{C_{13} + C_{14} + C_{15}} \right) = 246 \times 10^6 \text{ rad/s}$ ซึ่งความถี่ cutoff เกิดจาก P_2 มีค่าเท่ากับ 39 MHz ซึ่งผลการ

simulation ได้เท่ากับ 33 MHz ซึ่งจะเห็นว่ามีความใกล้เคียงกัน และใช้สมการ (ข.1)-(ข.6) จะได้

$$\frac{I_{O2}}{I_{in}} = \frac{g_{m3}g_{m7}g_{m9} \left(s + \frac{g_{m13} + g_{m14}}{3C_p} \right)}{9C_n^3 \left(s + \frac{g_{m3}}{C_n} \right) \left(s + \frac{2g_{m1}}{3C_n} \right) \left(s + \frac{g_{m13}}{3C_p} \right) \left(s + \frac{g_{m11} + g_{m12}}{3C_n} \right)} \quad (\text{ข.8})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

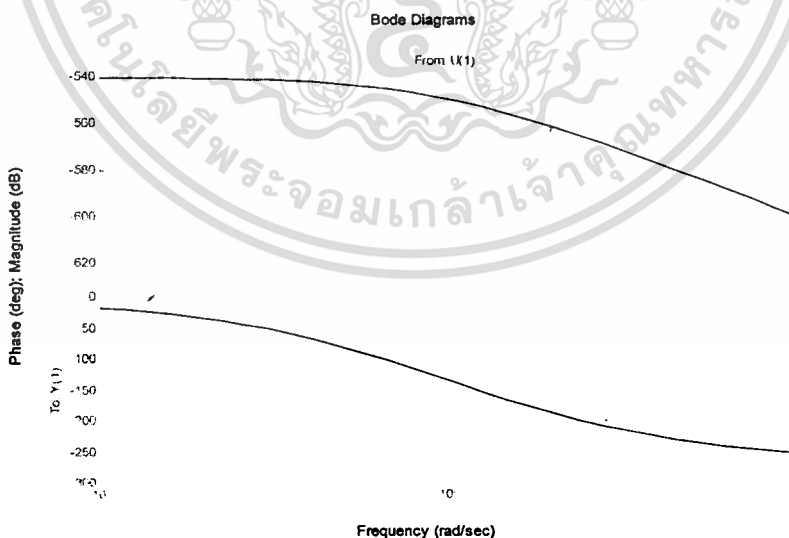
จากสมการ (ข.8) พบว่ามีโพล 4 ตัวคือ $P_1\left(s + \frac{g_{m3}}{C_n}\right) = 1521 \times 10^6 \text{ rad/s}$, $P_2\left(s + \frac{2g_{m1}}{3C_n}\right) = 827 \times 10^6 \text{ rad/s}$, $P_3\left(s + \frac{g_{m3}}{3C_p}\right) = 246 \times 10^6 \text{ rad/s}$, และ $P_4\left(s + \frac{g_{m1} + g_{m2}}{3C_n}\right) = 821 \times 10^6 \text{ rad/s}$ มีซีโร 1 ตัวคือ $Z_1\left(s + \frac{g_{m3} + g_{m4}}{3C_p}\right) = 492 \times 10^6 \text{ rad/s}$ และความถี่ cutoff เกิดจาก P_3 ซึ่งมีค่าเท่ากับ $\frac{246 \times 10^6}{2\pi} = 39 \text{ MHz}$ และผลการ simulation ได้ 33 MHz ซึ่งพบว่ามีค่าใกล้เคียงกัน และจากสมการ (ข.7) และ (ข.8) จะได้

$$\frac{I_{O1} + I_{O2}}{I_I} = \left[\frac{0.319 \times 10^{27} (s + 492 \times 10^6) - 0.102 \times 10^{27} (s + 1521 \times 10^6)(s + 821 \times 10^6)}{(s + 1521 \times 10^6)(s + 827 \times 10^6)(s + 246 \times 10^6)(s + 821 \times 10^6)} \right] \quad (\text{ข.9})$$

จะได้

$$\frac{I_O}{I_I} = \frac{10^{17} (s + 273 \times 10^6)(s - 1059 \times 10^6)}{(s + 1521 \times 10^6)(s + 827 \times 10^6)(s + 246 \times 10^6)(s + 821 \times 10^6)} \quad (\text{ข.10})$$

จากสมการ (ข.10) พบว่าทั้งโพลและซีโร มีค่าใกล้เคียงกันมากจนทำให้ไม่สามารถประมาณค่าได้จากโพลเด่น ดังนั้นจึงต้องใช้ ฟังก์ชัน Bode Diagram ที่มีอยู่ในโปรแกรม MATLAB ซึ่งจะได้ค่าคือ 65 MHz และ ผลการ simulation ด้วย PSpice ได้ 66 MHz ซึ่งจะเห็นว่ามีความใกล้เคียงกัน



รูปที่ ข.4 โพลไดอะแกรมผลตอบสนองทางความถี่ของวงจรอนุกรมโหมดกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อตรวจสอบความถูกต้องของสมการ จึงทำการหาค่าเกณฑ์ที่ได้จาก (ข.10) เทียบกับที่เกณฑ์ที่ได้จากการทดสอบด้วย PSpice สมการ (ข.10) เกณฑ์ทางไฟสลับบสามารถหาได้โดยแทน $s = 0$ ซึ่งสมการ (ข.10) สามารถเขียนใหม่เป็น

$$\frac{I_o}{I_i} = 0.1138 I_{dc} \quad (\text{ข.11})$$

และเมื่อจะเปรียบเทียบค่าเกณฑ์ที่คำนวณ ได้กัผลการเลียนแบบการทำงานด้วย PSpice ในรูปที่ 4.5 จึงแทนค่า $I_{dc} = 10 \mu\text{A}$ ใน (ข.11) และคำนวณหาเกณฑ์ของสมการ (ข.11) ในหน่วยของ dB คือ

$$20 \log \frac{I_o}{I_i} = -118.872 \text{ dB} \quad (\text{ข.12})$$

จาก (ข.12) พบว่าเกณฑ์ที่ได้นี้มีค่าตรงกับผลการทดสอบด้วย PSpice ในรูปที่ 4.5 และเพื่อที่จะตรวจสอบเกณฑ์ทางไฟสลับบกับเกณฑ์ทางไฟตรงโดยแทนค่า $K = 9 \times 10^{-7} \text{ A/V}^2$, $V_{ss} = 2 \text{ V}$, $V_T = 0.67 \text{ V}$ และ $I_i = 10 \mu\text{A}$ สมการ 4.22 ซึ่งจะได้

$$\frac{I_o}{I_i} = 0.1275 I_{dc} \quad (\text{ข.13})$$

ซึ่งจาก (ข.13) พบว่ามีค่าเกณฑ์ทางไฟตรงใกล้เคียงกับเกณฑ์ทางไฟสลับบ

ข.2 การวิเคราะห์ผลความผิดพลาดของวงจรคุณสมบัติของโหมคกระแสที่เกิดจากการลดทอนความคล่องตัวของพาหะ

เมื่อใช้สมการ (2.8) กระแสเดรนของ M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = K \left(-\frac{I_X}{A_1} - \frac{V_{ss}}{2} - V_T \right)^2 - \theta K \left(-\frac{I_X}{A_1} - \frac{V_{ss}}{2} - V_T \right)^3 \quad (\text{ข.14})$$

$$I_{D2} = K \left(-\frac{I_Y}{A_1} - \frac{V_{ss}}{2} - V_T \right)^2 - \theta K \left(-\frac{I_Y}{A_1} - \frac{V_{ss}}{2} - V_T \right)^3 \quad (\text{ข.15})$$

$$I_{D3} = K \left(\frac{-I_X - I_Y}{A_1} - \frac{V_{SS}}{2} - V_T \right)^2 - \theta K \left(\frac{-I_X - I_Y}{A_1} - \frac{V_{SS}}{2} - V_T \right)^3 \quad (\text{ข.16})$$

$$I_{D4} = K \left(-\frac{V_{SS}}{2} - V_T \right)^2 - \theta K \left(-\frac{V_{SS}}{2} - V_T \right)^3 \quad (\text{ข.17})$$

กระแสเอาต์พุตสามารถกำหนดและหาค่าได้ดังนี้

$$I_O = I_{D1} + I_{D2} - I_{D3} - I_{D4} \quad (\text{ข.18})$$

$$I_O = \frac{-2KI_X I_Y}{A_1^2} - 3\theta K \left[2 \left(\frac{I_X I_Y}{A_1^2} \right) \left(\frac{V_{SS}}{2} + V_T \right) + \left(\frac{I_X^2 I_Y}{A_1^3} \right) + \left(\frac{I_X I_Y^2}{A_1^3} \right) \right] \quad (\text{ข.19})$$

ข.3 การวิเคราะห์ผลความผิดพลาดของวงจรมัลติพลายเออร์กระแสที่เกิดจากความไม่สมพงษ์ของค่า Transconductance parameter ของทรานซิสเตอร์

เมื่อกำหนดให้ค่า Transconductance parameter ของ M_1 - M_2 และ M_3 - M_4 คือ $K + \frac{\Delta K}{2}$ และ $K - \frac{\Delta K}{2}$ ตามลำดับ กระแสเดรนของ M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = \left(K + \frac{\Delta K}{2} \right) \left(-\frac{I_X}{A_1} - \frac{V_{SS}}{2} - V_T \right)^2 \quad (\text{ข.20})$$

$$I_{D2} = \left(K + \frac{\Delta K}{2} \right) \left(-\frac{I_Y}{A_1} - \frac{V_{SS}}{2} - V_T \right)^2 \quad (\text{ข.21})$$

$$I_{D3} = \left(K - \frac{\Delta K}{2} \right) \left(\frac{-I_X - I_Y}{A_1} - \frac{V_{SS}}{2} - V_T \right)^2 \quad (\text{ข.22})$$

$$I_{D4} = \left(K - \frac{\Delta K}{2} \right) \left(-\frac{V_{SS}}{2} - V_T \right)^2 \quad (\text{ข.23})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสอาทิตย์พุทธสามารถกำหนด และหาค่าได้ดังนี้

$$I_O = I_{D1} + I_{D2} - I_{D3} - I_{D4} \quad (ข.24)$$

$$I_O = \frac{-2KI_X I_Y}{A_1^2} + \Delta K \left[\frac{I_X^2 + I_Y^2 + I_X I_Y}{A_1^2} + 2 \left(\frac{V_{SS}}{2} + V_T \right) \left(\frac{I_X + I_Y}{A_1} \right) + 2 \left(\frac{V_{SS}}{2} + V_T \right)^2 \right] \quad (ข.25)$$



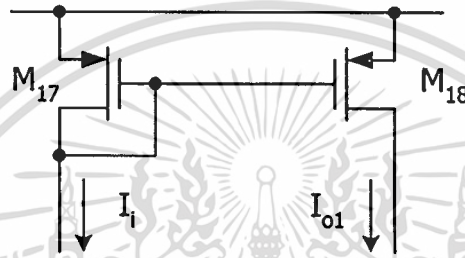
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{OX} = \frac{g_{m1}[(sC_n + g_{m5})V_X + I_X]}{(3sC_n + 2g_{m5})} \quad (\text{ค.1})$$

และในทำนองเดียวกัน วงจรผสมสัญญาณด้านอินพุท Y สามารถหาค่า I_{OY} ได้คือ

$$I_{OY} = \frac{g_{m2}[(sC_n + g_{m7})V_Y + I_Y]}{(3sC_n + 2g_{m7})} \quad (\text{ค.2})$$

ค.1.2 วงจรสะท้อนกระแส

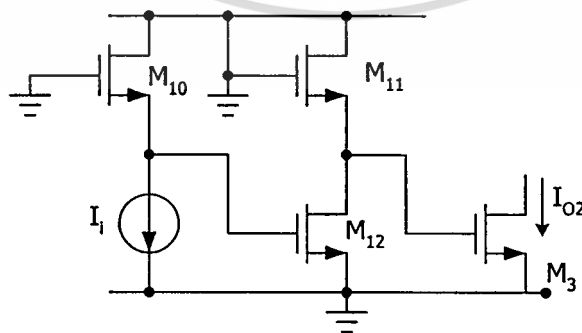


รูปที่ ค.2 วงจรสะท้อนกระแสสำหรับวิเคราะห์หาความถี่ตอบสนอง

จากรูปที่ ค.2 เมื่อแทนทรานซิสเตอร์ด้วยแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์จะสามารถหาค่าความสัมพันธ์ของ I_{O1} และ I_i คือ

$$\frac{I_{O1}}{I_i} = \frac{-g_{m18}}{(2sC_p + g_{m17})} \quad (\text{ค.3})$$

ค.1.3 วงจรลบสัญญาณ



รูปที่ ค.3 วงจรลบสัญญาณสำหรับวิเคราะห์หาความถี่ตอบสนอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ค.3 เมื่อแทนทรานซิสเตอร์ด้วยแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์จะสามารถหาค่าความสัมพันธ์ของ I_{O2} และ I_1 คือ

$$\frac{I_{O2}}{I_1} = \frac{g_{m3}g_{m12}}{(2sC_n + g_{m11})(2sC_n + g_{m10})} \quad (\text{ค.4})$$

เมื่อกำหนดให้ไฟกระแสลับป้อนเข้าอินพุตด้าน X (V_X และ I_X สลับกันป้อนไฟกระแสลับและกราวด์) ส่วนอินพุต V_Y และ I_Y สลับกันป้อนไฟกระแสตรงและกราวด์ ความถี่ cutoff ของ I_{O1} สามารถประมาณค่าได้จากค่า pole ของวงจรผสมสัญญาณด้าน X และวงจรสะท้อนกระแส

$$I_{O1} = \frac{-g_{m1}g_{m18}[(sC_n + g_{m5})V_X + I_X]}{(3sC_n + 2g_{m5})(2sC_p + g_{m17})} \quad (\text{ค.5})$$

และความถี่ cutoff ของ I_{O2} สามารถประมาณค่าได้จากค่า pole ของวงจรผสมสัญญาณด้าน X และวงจรถสัญญาณ

$$I_{O2} = \frac{g_{m1}g_{m3}g_{m13}[(sC_n + g_{m5})V_X + I_X]}{(3sC_n + 2g_{m5})(2sC_n + g_{m11})(2sC_n + g_{m10})} \quad (\text{ค.6})$$

ถัดมาเมื่อกำหนดให้ไฟกระแสลับป้อนเข้าอินพุตด้าน Y (V_Y และ $-I_Y$ สลับกันป้อนไฟกระแสลับและกราวด์) ส่วนอินพุต V_X และ I_X สลับกันป้อนไฟกระแสตรงและกราวด์ ความถี่ cutoff ของ I_{O1} สามารถประมาณค่าได้จากค่า pole ของวงจรผสมสัญญาณด้าน Y และ วงจรสะท้อนกระแส

$$I_{O1} = \frac{-g_{m2}g_{m18}[(sC_n + g_{m17})V_Y + I_Y]}{(3sC_n + 2g_{m7})(2sC_p + g_{m17})} \quad (\text{ค.7})$$

และความถี่ cutoff ของ I_{O2} สามารถประมาณค่าได้จากค่า pole ของวงจรผสมสัญญาณด้าน Y และวงจรถสัญญาณ

$$I_{O2} = \frac{g_{m2}g_{m3}g_{m12}[(sC_n + g_{m7})V_Y + I_Y]}{(3sC_n + 2g_{m7})(2sC_n + g_{m11})(2sC_n + g_{m10})} \quad (\text{ค.8})$$

เนื่องจากโพลในสมการ (ค.5)-(ค.8) มีค่าแตกต่างกันไม่มาก ดังนั้นจึงหาค่าความถี่ cutoff ได้โดยใช้ฟังก์ชัน Bode diagram ใน MATLAB ซึ่งจะได้ค่าตามตารางที่ ค.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค.1 ค่า BW จาก PSpice และจากการคำนวณของวงจรถูกโหมดผสม

Mixed mode multiplier	เงื่อนไขอินพุท	ค่า gm จาก PSpice (μs)				ค่า BW จาก PSpice		ค่า BW จากคำนวณ	
		g_{m5}	g_{m7}	g_{m11}	g_{m17}	I_{O1} (MHz)	I_{O2} (MHz)	I_{O1} (MHz)	I_{O2} (MHz)
$I_o = -K V_x V_y / 2$	$V_x = V_{ac}, V_y = V_{dc}$	46.3		29.2	57.7	40	42	42	40
	$V_y = V_{ac}, V_x = V_{dc}$		46.3	29.2	57.7	40	36	42	40
$I_o = V_x I_y / (2(V_{SS} + 2V_T))$	$V_x = V_{ac}, I_y = I_{dc}$	46.3		31.5	56.4	39	44	46	45
	$I_y = I_{ac}, V_x = V_{dc}$		46.3	29.2	57.7	38	34	42	40
$I_o = I_x V_y / (2(V_{SS} + 2V_T))$	$I_x = I_{ac}, V_y = V_{dc}$	46.3		29.2	57.7	38	39	42	40
	$V_y = V_{ac}, I_x = I_{dc}$		46.3	31.5	56.4	40	39	46	45
$I_o = -I_x I_y / (2K(V_{SS} + 2V_T)^2)$	$I_x = I_{ac}, I_y = I_{dc}$	46.3		31.5	56.4	37	41	46	45
	$I_y = I_{ac}, I_x = I_{dc}$		46.3	31.5	56.4	38	36	46	45

จาก PSpice $C_n = 4.7 \times 10^{-14}$, $C_p = 9.34 \times 10^{-14}$ และ $g_{m10} = 6.22 \times 10^{-5}$

จากตารางที่ ค.1 จะเห็นว่าค่า ความถี่ตอบสนองของ I_{O1} และ I_{O2} ที่ได้จากการ Simulation และการคำนวณมีค่าใกล้เคียงกัน ส่วนความถี่ตอบสนองของ I_o ($I_o = I_{O1} - I_{O2}$) นั้นโดยทั่วไปสามารถประมาณได้จากความถี่ cutoff ของ I_{O1} หรือ I_{O2} (เลือกตัวที่ต่ำสุด) แต่ในกรณีวงจรมีไม่สามารถทำได้เนื่องจากผลของการ cancel pole และ zero ของทรานสเฟอร์ฟังก์ชัน ซึ่งเป็นลักษณะเดียวกับวงจรถูกโหมดกระแส และจากการทดสอบด้วย PSpice โดยการปรับขนาด (W/L) $M_{13} - M_{16}$ ให้เล็กลง ($W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$) พบว่าความถี่ตอบสนองของวงจร I_o จะมีค่าประมาณ 38 MHz นั้นแสดงให้เห็นว่า $M_{13} - M_{16}$ เป็นตัวส่งผลให้ zero cancel กับ pole เค่นของวงจร ทำให้ผลการ simulation จะได้ความถี่ตอบสนองของ I_o ที่มีค่าสูงกว่าของ I_{O1} และ I_{O2}

ค.2 การวิเคราะห์ผลความผิดพลาดของวงจรถูกโหมดผสมที่เกิดจากการลดทอนความถี่ของพาหะ

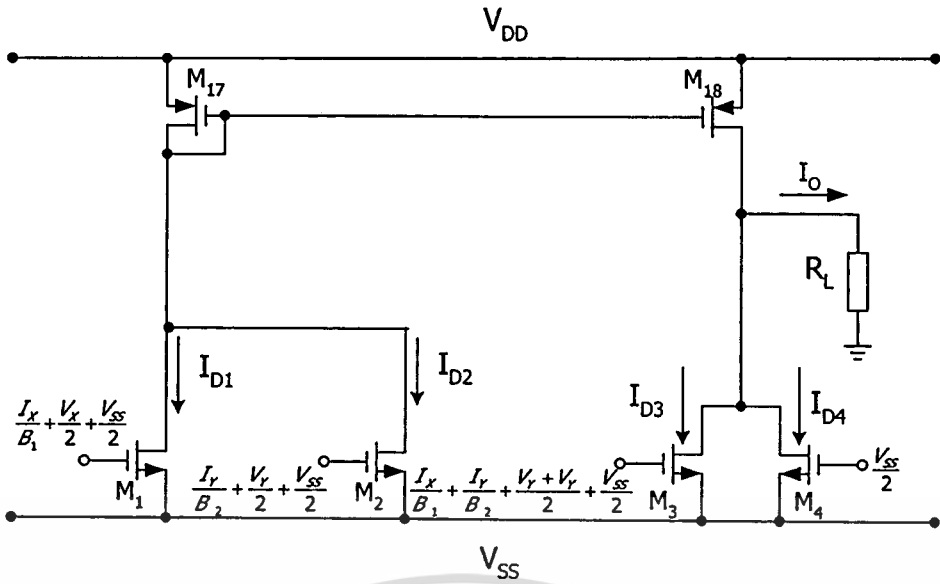
เมื่อใช้สมการ (2.8) กระแสแตรนของ $M_1 - M_4$ สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = K \left(\frac{I_X}{B_1} + \frac{V_X}{2} - \frac{V_{SS}}{2} - V_T \right)^2 - K\theta \left(\frac{I_X}{B_1} + \frac{V_X}{2} - \frac{V_{SS}}{2} - V_T \right)^3 \quad (\text{ค.9})$$

$$I_{D2} = K \left(\frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^2 - K\theta \left(\frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^3 \quad (\text{ค.10})$$

$$I_{D3} = K \left(\frac{I_X}{B_1} + \frac{V_X}{2} + \frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^2 - K\theta \left(\frac{I_X}{B_1} + \frac{V_X}{2} + \frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^2 \quad (\text{ค.11})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.4 วงจรคูณสัญญาณ โหมดผสมที่ใช้หาความผิดพลาดของวงจร

$$I_{D4} = K\left(-\frac{V_{SS}}{2} - V_T\right)^2 - K\theta\left(-\frac{V_{SS}}{2} - V_T\right)^3 \tag{ค.12}$$

กระแสเอาต์พุตสามารถกำหนด และหาค่าได้ดังนี้

$$I_o = -2K\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + 3K\theta\left[\left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)^2\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right) + \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)^2 - \left(\frac{I_X}{B_1} + \frac{V_X}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2}\right)\left(\frac{V_{SS}}{2} + V_T\right)\right] \tag{ค.13}$$

ค.3 การวิเคราะห์ผลความผิดพลาดของวงจรคูณสัญญาณโหมดผสมที่เกิดจากความไม่สมพงษ์ของค่า Transconductance parameter ของทรานซิสเตอร์

เมื่อกำหนดให้ค่า Transconductance parameter ของ M_1 - M_2 และ M_3 - M_4 คือ $K + \frac{\Delta K}{2}$ และ $K - \frac{\Delta K}{2}$ ตามลำดับ กระแสเดรนของ M_1 - M_4 สามารถเขียนใหม่ได้ดังนี้

$$I_{D1} = \left(K + \frac{\Delta K}{2}\right)\left(\frac{I_X}{B_1} + \frac{V_X}{2} - \frac{V_{SS}}{2} - V_T\right)^2 \tag{ค.14}$$

$$I_{D2} = \left(K + \frac{\Delta K}{2}\right)\left(\frac{I_Y}{B_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T\right)^2 \tag{ค.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D3} = (K - \frac{\Delta K}{2}) (\frac{I_X + V_X}{B_1} + \frac{I_Y + V_Y}{B_2} - \frac{V_{SS}}{2} - V_T)^2 \quad (\text{ค.16})$$

$$I_{D4} = (K - \frac{\Delta K}{2}) (-\frac{V_{SS}}{2} - V_T)^2 \quad (\text{ค.17})$$

กระแสเอาต์พุตคือ

$$I_O = -2K (\frac{I_X + V_X}{B_1} + \frac{I_Y + V_Y}{B_2}) + \Delta K B_3 \quad (\text{ค.18})$$

$$B_3 = (\frac{I_X + V_X}{B_1} + \frac{I_Y + V_Y}{B_2})^2 - 2(\frac{V_{SS}}{2} + V_T) (\frac{I_X + V_X}{B_1} + \frac{I_Y + V_Y}{B_2}) + 2(\frac{V_{SS}}{2} + V_T)^2 + (\frac{I_X + V_X}{B_1} + \frac{I_Y + V_Y}{B_2}) \quad (\text{ค.19})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

การวิเคราะห์ผลของความผิดพลาดของวงจรถับสัญญาณและวงจรสะท้อนกระแส

ง.1 การวิเคราะห์ผลของความผิดพลาดของวงจรถับสัญญาณและวงจรสะท้อนกระแส ที่เกิดจากการลดทอนความคล่องตัวของพาหะ

ง.1.1 วงจรถับสัญญาณ



รูปที่ ง.1 วงจรถับสัญญาณ

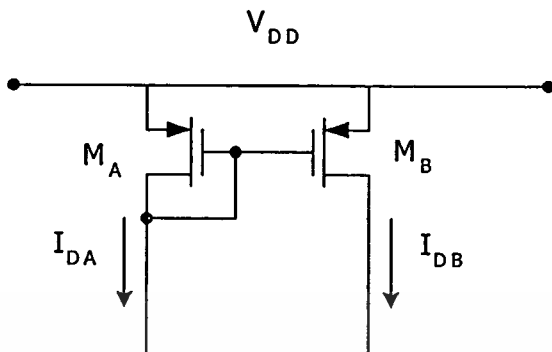
จากรูปที่ ง.1 สามารถหาความสัมพันธ์ของกระแสเดรนของ M_A และ M_B คือ

$$I_{DA} = I_{DB} \quad (ง.1)$$

$$\frac{K_A(V_{GSA} - V_T)^2}{1 - \theta(V_{GSA} - V_T)} = \frac{K_B(V_{GSB} - V_T)^2}{1 - \theta(V_{GSB} - V_T)} \quad (ง.2)$$

จากสมการ (ง.2) ถ้าทรานซิสเตอร์มีขนาดเท่ากันจะได้ว่า $K_A = K_B$ และจากวงจร $I_{DA} = I_{DB}$ ทำให้ $V_{GSA} = V_{GSB}$ ดังนั้นเทอมส่วนของสมการ (ง.2) สามารถถูกตัดไปได้ ดังนั้น การลดทอนความคล่องตัวของพาหะจะไม่ส่งผลต่อวงจรถับสัญญาณ

ง.1.2 วงจรสะท้อนกระแส



รูปที่ ง.2 วงจรสะท้อนกระแส

จากรูปที่ ง.2 สามารถหาความสัมพันธ์ของกระแสเดรนของ M_A และ M_B คือ

$$I_{DA} = I_{DB} \tag{ง.3}$$

$$\frac{K_A (V_{GSA} - V_T)^2}{1 - \theta(V_{GSA} - V_T)} = \frac{K_B (V_{GSB} - V_T)^2}{1 - \theta(V_{GSB} - V_T)} \tag{ง.4}$$

จากสมการ (ง.4) ถ้า ทรานซิสเตอร์มีขนาดเท่ากันจะได้ว่า การพิจารณาจะเหมือนกับวงจรลบสัญญาณ นั่นคือ การลดทอนความคล่องตัวของพาหะจะไม่ส่งผลต่อวงจรสะท้อนกระแส

ง. 2 การวิเคราะห์ผลของความผิดพลาดของวงจรลบสัญญาณและวงจรสะท้อนกระแสที่เกิดจากความไม่สมพงษ์ของค่า Transconductance parameter

ง.2.1 วงจรลบสัญญาณ

จากรูปที่ ง.1 กำหนดให้ M_A มีค่า Transconductance parameter เท่ากับ $K + \frac{\Delta K}{2}$ และ M_B มีค่าเท่ากับ $K - \frac{\Delta K}{2}$

ดังนั้นสมการกระแสเดรนของ M_A และ M_B คือ

$$\left(K + \frac{\Delta K}{2}\right)(V_{GS4} - V_T)^2 = \left(K - \frac{\Delta K}{2}\right)(V_{GSB} - V_T)^2 \quad (ง.5)$$

$$\left(K + \frac{\Delta K}{2}\right)(V_A - V_O - V_T)^2 = \left(K - \frac{\Delta K}{2}\right)(V_B - V_{SS} - V_T)^2 \quad (ง.6)$$

$$V_A - V_O = \sqrt{\frac{\left(K - \frac{\Delta K}{2}\right)}{\left(K + \frac{\Delta K}{2}\right)}}(V_B - V_{SS} - V_T) - V_T \quad (ง.7)$$

จากสมการ (ง.7) แสดงว่าผลของความไม่สมพงษ์ของอุปกรณ์ส่งผลต่อระดับแรงดัน ดิซี offset และขนาดของสัญญาณ V_B

ง.2.2 วงจรสะท้อนกระแส

จากรูปที่ ง.2 กำหนดให้ M_A และ M_B มีค่า Transconductance parameter เป็น $K + \frac{\Delta K}{2}$ และ $K - \frac{\Delta K}{2}$ ตามลำดับ ดังนั้นสมการกระแสเดรนคือ

$$I_{DA} = \left(K + \frac{\Delta K}{2}\right)(V_{GS4} - V_T)^2 \quad (ง.8)$$

$$I_{DB} = \left(K - \frac{\Delta K}{2}\right)(V_{GSB} - V_T)^2 \quad (ง.9)$$

เมื่อสมการ (ง.8) หารด้วย (ง.9) จะได้ว่า

$$\frac{I_{DA}}{I_{DB}} = 1 + \frac{\Delta K}{K - \frac{\Delta K}{2}} \quad (ง.10)$$

และความผิดพลาดของการสะท้อนกระแสคือ $\frac{\Delta K}{1 - \frac{\Delta K}{2}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

ค่าพารามิเตอร์ต่างๆของทรานซิสเตอร์ที่ใช้ในการเลียนแบบการทำงานด้วย PSpice

ค่าพารามิเตอร์ต่างๆ ของแบบจำลองของทรานซิสเตอร์ที่ใช้ในการเลียนแบบการทำงานด้วย PSpice แสดงในตารางที่ จ.1

ตารางที่ จ.1 ค่าพารามิเตอร์ของแบบจำลองทรานซิสเตอร์ที่ใช้ใน PSpice

```
* MOSIS MODEL AT 0.5U
.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U
+TPG=1 VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04
+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382
+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02
+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11
+ MJSW=0.71000 PB=0.9900000
.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U
+ TPG=-1 VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05
+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10
+ MJSW=0.21200 PB=0.930000
```

เนื่องจากในการทดลองจริงใช้ไอซี CD 4007 และ MC 14007 ในการทดลอง ซึ่งมีค่าพารามิเตอร์ภายในที่ต่างจากแบบจำลองทรานซิสเตอร์ใน PSpice ทำให้ผลการทดลองที่ได้มีความแตกต่างกัน ดังนั้นเพื่อความสมบูรณ์ของวิทยานิพนธ์ ผู้เขียนได้วัดค่าพารามิเตอร์ภายในของไอซีที่ใช้ในการทดลองเทียบกับที่ใช้ใน PSpice ซึ่งแสดงในตารางที่ จ.2

ตารางที่ จ.2 ค่าพารามิเตอร์ของทรานซิสเตอร์ที่ใช้ใน PSpice เทียบกับที่ใช้ในการทดลองจริง

Parameter	MOSIS LEVEL 3		MC 14007		CD 4007	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
K (A/V ²)	9×10^{-5}	5×10^{-5}	9.02×10^{-4}	3.31×10^{-3}	5.6×10^{-4}	8.56×10^{-4}
VT (V)	0.67	-0.93	1.75	-1.4	1.75	-1.6
r _o (Ω)	200M	30M	900k	900k	900k	900k



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง
บทความที่ได้รับการตีพิมพ์ในวารสารต่างประเทศ

- [1] I. Chaisayun, K. Dejhan, F. Cheevasuvit and C. Soonyeeekan, "Single/Dual power supply differential input voltage four-quadrant analog multiplier using quarter-square technique," Proc. of 1999 IEEJ International Analog VLSI Workshop, pp.91-96, Taipei, Taiwan, May 5-7, 1999.
- [2] I. Chaisayun, K. Dejhan, F. Cheevasuvit and C. Soonyeeekan, "3-mode-operation of four-quadrant analog multiplier circuit with signal vector summation," Proc. of 1999 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC'99), pp. 418-421, Sado Island, Niigata, Japan, July 13-15, 1999.
- [3] K. Dejhan, F. Cheevasuvit, I. Chaisayun, T. Poonsawad and C. Soonyeeekan, "A four-quadrant current mode analog multiplier circuit," Proc. of 1999 International Conference on Robotics Vision and Parallel Processing for Automation (ROVPIA'99), pp. 288-294, Ipoh, Malaysia, July 16-18, 1999.
- [4] K. Dejhan, F. Cheevasuvit, I. Chaisayun, W. Bumrung and C. Soonyeeekan, "Current mode and voltage mode analog multiplier," Proc. of 1999 International Conference on Robotics Vision and Parallel Processing for Automation (ROVPIA'99), pp. 635-641, Ipoh, Malaysia, July 16-18, 1999.
- [5] K. Dejhan, F. Cheevasuvit, I. Chaisayun, P. Mahabunphachai and C. Soonyeeekan, "Low voltage, Low Power analog multiplier," Proc. of 1999 International Conference on Robotics Vision and Parallel Processing for Automation (ROVPIA'99), pp. 295-301, Ipoh, Malaysia, July 16-18, 1999.
- [6] I. Chaisayun, K. Dejhan, "A versatile CMOS analog multiplier," IEICE Trans. Fundamentals, vol. E86-A, no.5, pp. 1225-1232, May 2003.

1999 International Analog VLSI Workshop



PROCEEDINGS

May 5 ~ 7, 1999

The Grand Hotel, Taipei, Taiwan

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Single/Dual Power Supply Differential Input Voltage Four-Quadrant

Analog Multiplier Using Quarter-Square Technique

Ittipong Chaisayun, Kobchai Dejhan, Fusak Cheevasuvit

Faculty of Engineering and
Research Center for Communications and Information Technology
King Mongkut's Institute of Technology Ladkrabang
Bangkok 10520, Thailand

Email : kobchai@telelan.telecom.eng.kmitl.ac.th

Tel : 66-2-3269967, 66-2-3269081

Fax : 66-2-3269086

Chatcharin Soonyeeakan

Faculty of Engineering, Kasem Bundit University
Pattanakarn Road, Bangkok 10250, Thailand

Abstract

This paper presents a four-quadrant analog multiplier by using the quarter-square technique. The quarter-square technique takes advantages of high frequency response but it consists of more active devices. Thus, it has more chip area and high power dissipation. The input voltages should be differential voltage, then the multiplier operates. This paper proposes a design with differential voltage but the circuit operates for single or dual power supply. This proposed circuit uses the same transistor sizing (W/L) for all transistors, it is easy to design the process. This proposed circuit can be modified for differential input voltage or using for single input voltage but for dual power supply. This circuit technique is suitable for VLSI design.

Keywords : Quarter-Square, multiplier

Introduction

The multiplier circuits are widely used to apply to communication systems, instrumentations, analog signal processing. The analog multiplier circuits have been started from bipolar technology [1-2] and then with CMOS technology for circuit designs [3-20]. The design principle uses Gilbert cell [3], but the circuit uses a lot of CMOS transistors, same technique uses the linearity of CMOS transistors in saturation operation [4-5] and the frequency response is not high. The conventional principle is quarter square [6-8]. a previous paper [6] used a lot of devices, took time for integration, high power dissipation another previous paper [7] proposed the differential input for operating the circuit. This paper proposes two multiplier circuits to use quarter square principle, both multiplier circuits use the same basic circuit in order to have the same characteristics. The results have been carried out based

on PSpice simulator program. This paper also proposes the experimental results based on the commercial integrated circuit chip such as CMOS MC14007, in order to investigate the hardware testing.

Theory

The quarter square principle can be shown as in equation (1) and its block diagram as shown in Fig.1.

$$\Delta T = \frac{1}{4}[(X+Y)^2 - (X-Y)^2] \quad (1)$$

In Fig.1 consists of the connection of subcircuits, this circuit is designed by using CMOS technology for operation in saturation region. the drain current of CMOS transistor is,

$$I_D = K(V_{GS} - V_T)^2 : V_{GS} > V_T, V_{DS} > (V_{GS} - V_T) \quad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

as
$$K = \frac{\mu C_{OX} W}{2L} \quad (3)$$

Suppose that all values of K in this circuit are equal. Each subcircuit can be explained as following.

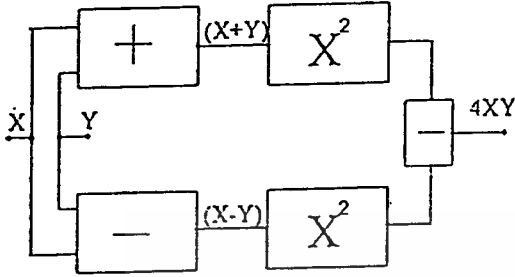


Fig.1 Block diagram of multiplier circuit based on quarter square principle

Signal subtraction circuit:

This circuit uses to subtract the input voltage signal at gate of M1, M2, the output voltage signal is the signal at drain of M2 and source of M1. The operation can be described as in equations (4) - (6)

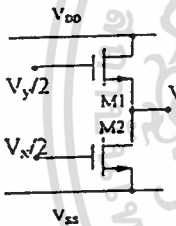


Fig.2 Signal subtraction circuit

$$I_{D1} = I_{D2} \quad (4)$$

$$K \left(\frac{V_Y}{2} - V_{O1} - V_T \right)^2 = K \left(\frac{V_X}{2} - V_{SS} - V_T \right)^2 \quad (5)$$

$$V_{O1} = \frac{V_Y}{2} - \frac{V_X}{2} + V_{SS} \quad (6)$$

In equation (6), the output voltage (V_{O1}) is the differential voltage of $(V_Y/2)$ and $(V_X/2)$ adding to the V_{SS} voltage.

Signal level-shifting circuit

This circuit is quite similar with the signal subtraction circuit, it is designed for reducing the input signal amplitude in order to extend the input signal operating range and input signal level shifting in the desired level, as shown in Fig.3.

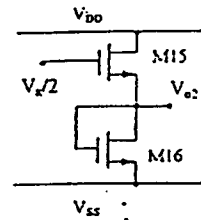


Fig.3 Signal level-shifting circuit

From Fig.3, the relations are;

$$I_{D15} = I_{D16} \quad (7)$$

$$K \left(\frac{V_X}{2} - V_{O2} - V_T \right)^2 = K \left(V_{O2} - V_{SS} - V_T \right)^2 \quad (8)$$

$$V_{O2} = \frac{V_X}{4} + \frac{V_{SS}}{2} \quad (9)$$

The equation (19), the output signal V_{O2} is the sum of input signal $(V_x/4)$ and $(V_{SS}/2)$

Differential signal squaring circuit

A multiplier circuit needs to use two circuits of differential signal squaring circuit for inputs $\pm(V_y - V_x)/2$ and $\pm(V_y + V_x)/2$, as shown in Fig.4. The output of each circuit comes from the difference of the output of each signal squaring circuit.

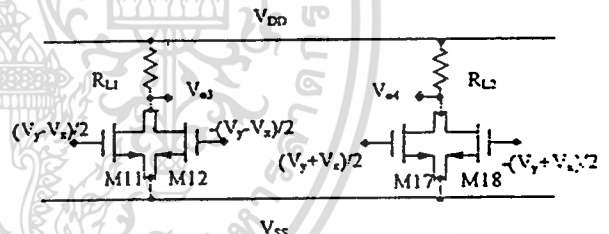


Fig.4 Differential signal squaring circuit

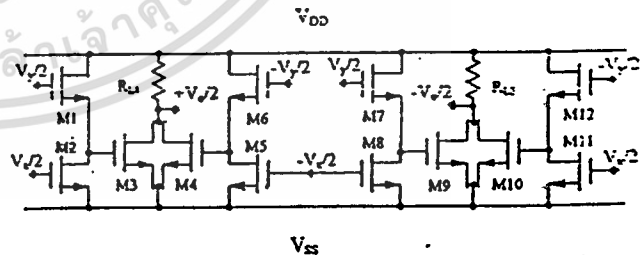


Fig.5 Proposed multiplier-based quarter square technique.

Consider the transistors M3 and M4 of the circuit as shown in Fig.4, the relations can be obtained as following.

$$V_{O3} = V_{DD} - (I_{D3} + I_{D4})R_L : R_L = R_{L1} = R_{L2} \quad (10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{O3} = V_{DD} - 2KR_L \left[\frac{(V_T - V_X)^2}{4} + (V_T + V_{SS})^2 \right] \quad (11)$$

Similarly for the transistors M9 and M10

$$V_{O4} = V_{DD} - 2KR_L \left[\frac{(V_T + V_X)^2}{4} + (V_T + V_{SS})^2 \right] \quad (12)$$

Thus, the differential voltage is the product of input voltages V_x and V_y as shown in equation (13).

$$V_{O3} - V_{O4} = 2KR_L V_X V_Y \quad (13)$$

Proposed multiplier-based quarter square technique

The proposed circuit is shown in Fig.5 by connecting 4 circuits in Fig.2 and 1 circuit in Fig.4. The circuit in Fig.5 can operate as input signal V_x must be less than input signal V_y or $V_x < V_y$.

Proposed multiplier circuit no. 1

Connect the circuit in Fig.5 with the signal level-shifting circuit as shown in Fig.3, the proposed multiplier circuit no. 1 can be obtained as shown in Fig.6. this circuit can be used for single supply or dual supply. The output voltage can be obtained as;

$$V_O = KR_L V_X V_Y \quad (14)$$

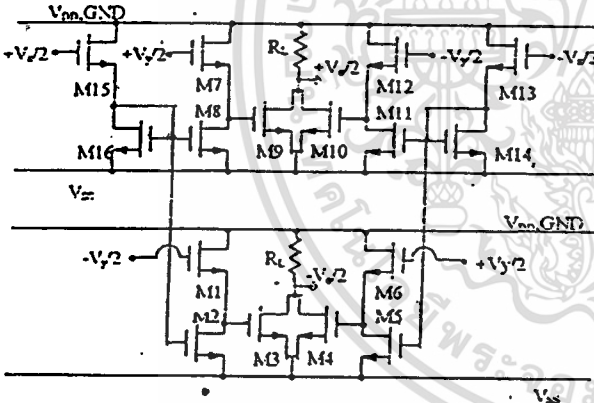


Fig.6 Proposed multiplier circuit no. 1

The differential pair circuit can be used to adjust the voltage, or convert single voltage signal to be differential voltage signal. The differential voltage signal has two types namely; signal level shifting up and signal level-shifting down, as shown in Fig.7.

Consider the circuit in Fig.7(a) for single input voltage, the relation can be obtained as follows;

$$I_X = I_{GS1} - I_{GS3} \quad (15)$$

$$I_{D1} - I_{D3} = I_{GS2} - I_{GS4}; I_{D1} = -I_1; I_{D3} = I_1 \quad (16)$$

$$I_{D1} = I_{D2} \quad I_{D3} = I_{D4} \quad (17)$$

Thus, equation (15) can be rewritten as

$$I_X = -(I_{D1} - I_{D3}) \quad (18)$$

The variations of V_{D1} and V_{D3} will effect with the input V_x .

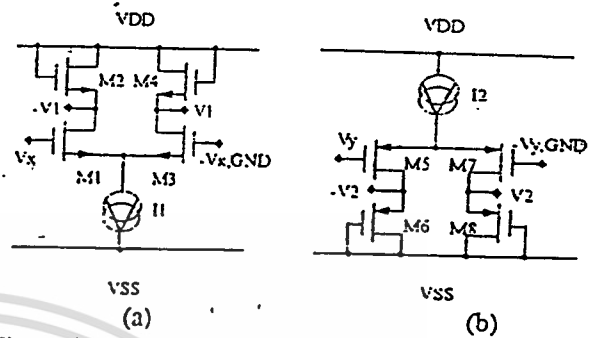


Fig.7 Differential pair circuit. (a) level-shifting up, (b) level-shifting down.

Proposed multiplier circuit no.2

The circuits in Fig.5 and the differential pair circuit as shown in Fig.7 are connected, then a new multiplier circuit can be obtained as shown in Fig.8. This circuit has both single voltage signal and differential voltage signal, that is an advantage.

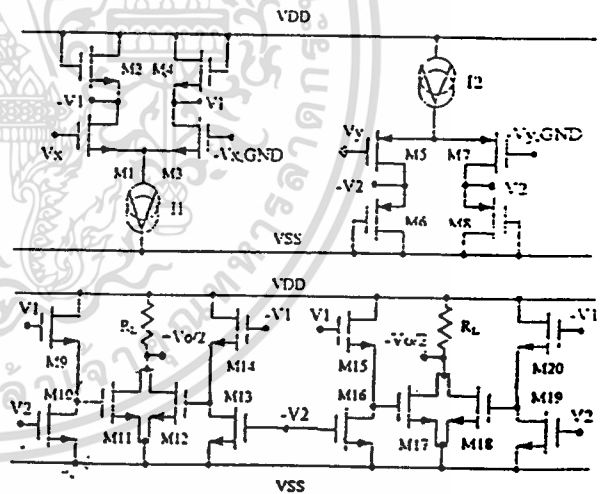


Fig.8 Proposed multiplier circuit no.2

The output signal of proposed circuit as shown in Fig.8 is the same as in equation (13).

Results

All results are divided into simulating results and experimental results. Simulating results have been carried out by using PSpice based on worst case transistor models of European Silicon Structure (ES2) for level =2. 85°C. The proposed multiplier circuit no.1

uses the ratio W/L for all transistors are $10 \mu\text{m}/10 \mu\text{m}$. The proposed multiplier circuit no.2 uses the ratio W/L for all N-channel transistors are $10 \mu\text{m}/10 \mu\text{m}$ but for both P-channel and N-channel transistors are $10 \mu\text{m}/10 \mu\text{m}$. $I_1 = 50 \mu\text{A}$, $I_2 = 100 \mu\text{A}$ and all characteristics are shown in table 1.

Transistor type	μC_{ox} ($\mu\text{A}/\text{V}^2$)	V_T (volts.)
N-Channel	17	1.07
P-Channel	4.8	-0.8

Table 1. Transistors characteristics.

The comparative results of table 2 show that the proposed circuit no.1 has some advantage characteristics better than the proposed circuit no.2. Both proposed circuits use the same basic circuit, the error occur from the differential pair circuit in proposed circuit no.2.

Characteristic	Proposed circuit	
	no.1	no.2
Supply voltage	0, -4V	-4V, 0V, +4V
linearity error for input $\pm 1.5\text{V}$	$V_x = 0.1\%$ $V_y = 0.1\%$	$V_x = 1\%$ $V_y = 0.7\%$
Total harmonic distortion (THD) input 1.5V $f = 20 \text{ kHz}$	$V_x = 0.28\%$ $V_y = 0.16\%$	$V_x = 0.1\%$ $V_y = 0.74\%$
Frequency response	$V_x = 30 \text{ MHz}$ $V_y = 25 \text{ MHz}$	$V_x = 44 \text{ MHz}$ $V_y = 9.7 \text{ MHz}$

Table 2 Comparative results between proposed circuits no.1 and no.2

All experiment results have been carried out based on the proposed circuit no.1 by using 16 chips of MC14007 CMOS transistor array $K_N \approx 0.73 \text{ mA}/\text{V}^2$, $V_T \approx 1.6 \text{ V}$, -4 V supply voltage, $R_L = 6.8 \text{ k}\Omega$. The testing circuit is shown in Fig.9. Fig.10(a) shows the input signal that is used to test the DC transfer characteristic. The staircase signal varies from -1.4 V to 1.4 V, 0.4 V per step and the fullwave sinusoidal signal varies from -2 V to 2 V. Fig.10(b) shows the testing results of DC transfer characteristic by injecting the input signal from Fig.10(a) into input V_x and V_y of the multiplier circuit, setting the oscilloscope for x-y mode, output from the multiplier circuit connecting to vertical connector of oscilloscope and inject fullwave sinusoidal signal to horizontal connector of oscilloscope. Fig.10 (c) shows the DC transfer characteristic by alternating the input signals V_x and V_y . Fig.11 is the spectrum of the output signal when connecting the $1.2 \sin 40,000\pi t$ to input V_x and V_{DC} to input V_y , the measured total harmonic distortion (THD) is 1.8%. Alternate the input signals V_x and V_y , the THD is 4.5%.

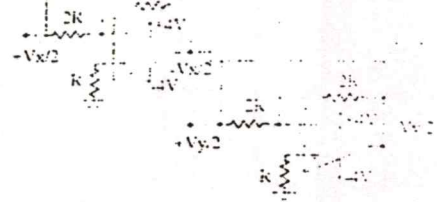
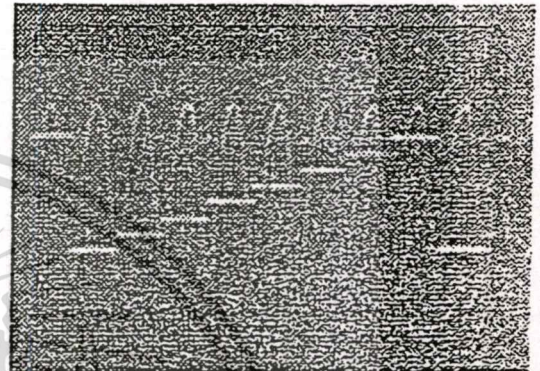
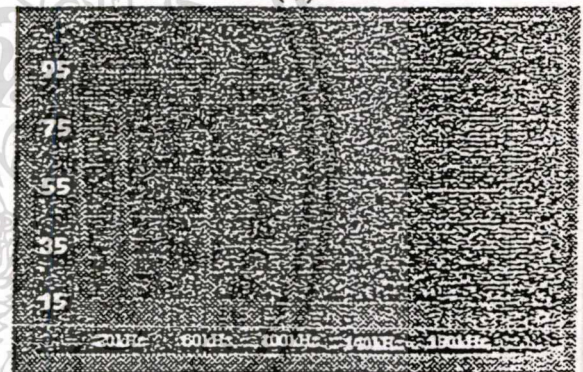


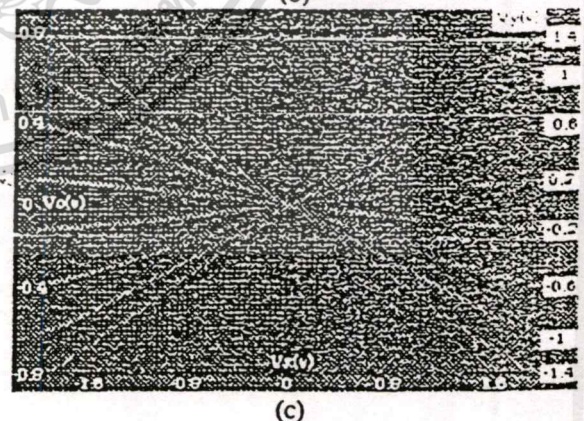
Fig.9 Experimental circuit



(a)

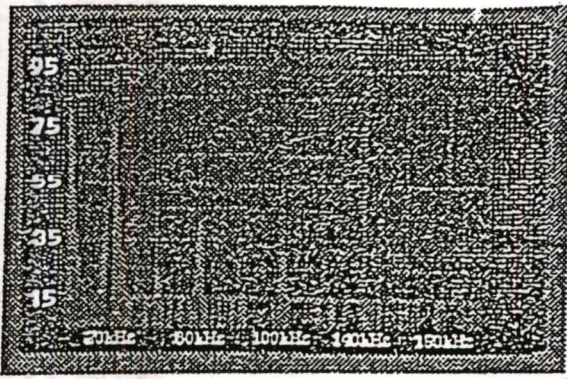


(b)



(c)

Fig.10 DC transfer characteristics. (a) input signals. (b) V_o vs V_y for various values of V_x . (c) V_o vs V_x for various values of V_y .



(a)

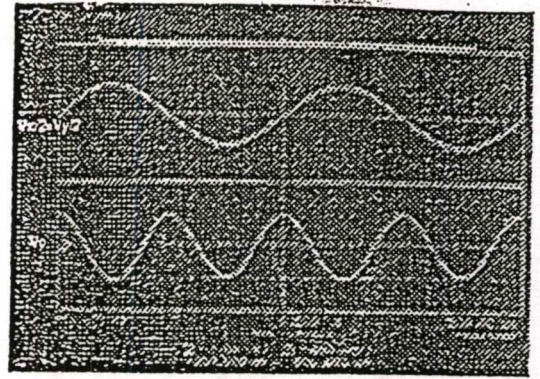


(b)

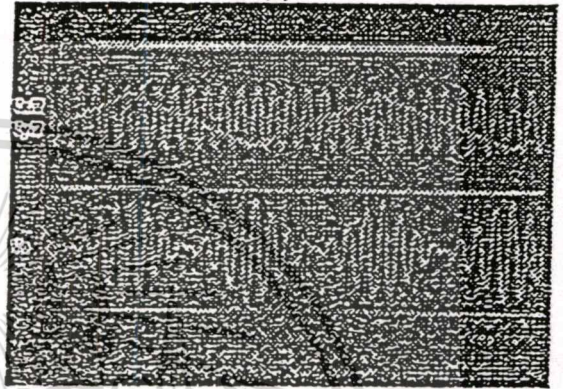
Fig.11 Total harmonic distortion from experiment.

(a) $V_x = 1.2 \sin 40,000\pi t$, $V_y = V_{D1}$

(b) $V_x = 1.2 \sin 40,000\pi t$, $V_y = V_{D2}$



(a)

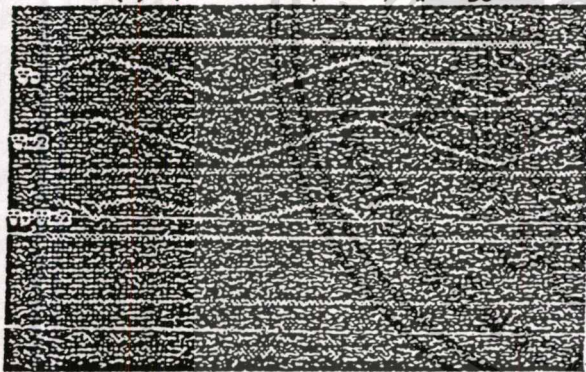


(b)

Fig.13 Applications from experiment

(a) as frequency doubler circuit

(b) as signal mixer circuit



(a)



(b)

Fig.12 measured linearity error from experiment

(a) $V_x = 1.2 V_p$, triangular, $V_y = V_{D1}$

(b) $V_x = 1.2 V_p$, triangular, $V_y = V_{D2}$

Fig.12 is the linearity error whereas input signal $V_x/2$ is $0.6 V_p$ triangular signal, V_y is adjustable DC voltage in order to obtain $V_o = V_x/2$. Then, V_o is subtracted by $V_x/2$ based on the differential amplifier. Fig.12(a), the upper trace is the output waveform, the middle trace is the input waveform, the lower trace is the difference between output signal trace is the difference between output signal and input signal. Then, the average measured linearity error is 1.66%. Similarly for Fig.12(b), alternate the input $V_x/2$ and $V_y/2$ as mentioned, the average measured linearity error is 7.5% Fig.13 (b) is the result of signal mixer circuit by using input signal $V_x/2 = \sin 4,000\pi t$, $V_y/2 = \sin 60,000\pi t$, $R_c = 680 \Omega$, the output signal amplitude is $1.2 V_p$.

Conclusion

This paper presents two multiplier circuits based on the same basic circuits but the performances are different depending on job description. The proposed circuit no.1 operates with the single supply to save the energy or the dual supply to have the wide input dynamic range. The proposed circuit no.2 operates both with single input voltage and dual input voltage, it is easy to connect with the other circuits. The characteristic comparison of both proposed

circuits, it is obviously that the proposed circuit no.1 is more advantages than the proposed circuit no.2, such as small linearity error, small total harmonic distortion, high frequency response, as $V_x \approx V_y$. The proposed circuit no.2 is more disadvantages than the proposed circuit no.1 because of differential amplifier as V_x and V_y have the different characteristic depending on N-channel transistor as signal level-shifting up and P-channel transistor as signal level-shifting down. In the experiment, it is obviously shown that the odd harmonic distortion is dominant according to mobility reduction of transistor in MC14007 when compared with the even harmonic distortion. It may occur from the mismatch problem of devices. The comparison of results from experiment and simulation as shown that the experimental results are undistinguished. The experiment needs to use the other circuits such as inverting amplifier, noninverting amplifier, differential amplifier to connect with the proposed circuit. The simulation is unnecessary to connect with the other circuit and W/L for all transistors are the same.

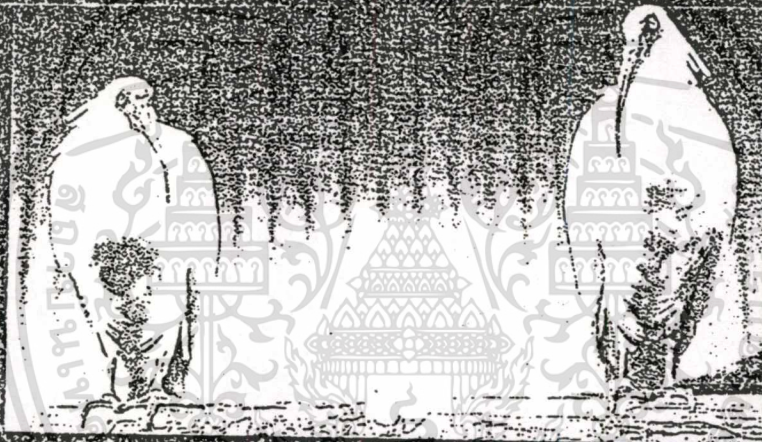
References

- [1] B. Gilbert, "A precision four-quadrant multiplier with nanosecond response," *IEEE J. Solid-State Circuits*, Vol. SC-3, pp.310-317, Dec. 1968.
- [2] K. Kimura, "A bipolar four-quadrant analog quarter-square multiplier consisting of unbalanced emitter-coupled pairs and expansion of its input range," *IEEE J. Solid-State Circuits*, Vol. 29, pp. 46-55, Jan 1994.
- [3] J.N. Babanezhad and G.C. Temes, "A 20-V four-quadrant CMOS analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-20, No.6, pp.1158-1168, Dec. 1985.
- [4] J.H. Tsay et al., "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure," *Electronics Letters*, Vol. 31, No.12, pp. 962-963, June 1995.
- [5] A.L. Coban and P.E. Allen, "Low-voltage, four-quadrant analogue CMOS multiplier," *Electronics Letters*, Vol. 30, No.13, pp.1044-1045, June 1994.
- [6] J.S. Pena-Finol and J.A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," *IEEE J. Solid-State Circuits*, Vol. SC-22, pp.1064-1073, Dec. 1987.
- [7] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-21, pp.430-435, June 1986.
- [8] S.I. Lin and C.C. Chang, "CMOS analog divider and four-quadrant multiplier using pool circuits," *IEEE J. Solid-State Circuits*, Vol.30, No.30, pp. 1025-1029, Sep. 1995.
- [9] D.C. Soo and R.G. Meyer, "A four-quadrant NMOS analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-17, pp.1174-1178, Dec. 1982.
- [10] S.C. Qin and R.L. Gieger, "A $\pm 5V$ CMOS analog multiplier," *IEEE J. Solid-State Circuits*, Vol. SC-22, pp. 1143-1146, Dec. 1987.
- [11] Z. Hong and H. Melchior, "Four-quadrant CMOS analog multiplier," *Electron. Letts.*, Vol. 20, pp. 1015-1016, Nov. 1984.
- [12] Z. Wang, "A CMOS four-quadrant analog multiplier with single-ended voltage output and improved temperature performance," *IEEE J. Solid-State Circuits*, Vol. SC-26, pp.1293-1301, Sep. 1991.
- [13] S.L. Wong, N. Kalayanasundaram and C.A.T. Salama, "Wide dynamic range four-quadrant CMOS analog multiplier using linearized transconductance stages," *IEEE J. Solid-State Circuits*, Vol. SC-21, No. 6, pp.1120-1122, Dec. 1986.
- [14] Y.H. Kim and S.B. Park, "Four-quadrant CMOS analogue multiplier," *Electron. Letts.*, Vol. 28, No. 7, pp.649-650, Mar. 1992.
- [15] K. Bult and H. Wallinga, "A class of analog CMOS circuits based on the square-law characteristic of an MOS transistor in saturation," *IEEE J. Solid-State Circuits*, Vol. SC-22, No. 3, pp.357-365, June 1987.
- [16] Th. L. Laopoulos et al., "Analogue divider/multiplier for low frequency applications," *nt. J. Electronics*, Vol. 73, No.6, pp.1261-1266, 1992.
- [17] K.K. Chi and J.H. Nevin, "A fully integrated all-enhancement PMOS four-quadrant analogue multiplier," *Int. J. Electronics*, Vol.60, No.3, pp. 403-407, 1996.
- [18] Z. Wang, "A four-transistor four-quadrant analog multiplier using MOS transistors operating in the saturation region," *IEEE J. Solid-State Circuits*, Vol. 42, No.1, pp.75-77, Feb. 1993.
- [19] S.-I. Liu and Y.S. Hwang, "CMOS squarer and four-quadrant multiplier," *IEEE J. Solid-State Circuits*, Vol. 42, No. 2, pp.119-122, Feb. 1995.
- [20] I.M. Filanovsky and H. Baltes, "CMOS two-quadrant multiplier using transistor triode Region," *IEEE J. Solid-State Circuits*, Vol. 27, No. 5, pp. 831-833, May 1992.
- [21] PSPICE, Microsim Corp., Laguna Hills, CA 92653, U.S.A., May, 1980.
- [22] G. Wilson and P.K. Chan, "Novel voltage-controlled grounded resistor," *Electron. letts.*, Vol 25, No.25, pp.1725-1726, Dec 1989.

TECHNOLOGY

PROCEEDINGS of
The 1999 International Technical Conference on
Circuits / Systems,
Computers and Communications

VOLUME I



IBIS 朱鷺

July 13-15, 1999

Hotel Osado, Sado Island, Niigata, Japan

Flap of Wing to 21st Century Global Network

Sponsored by

The Institute of Electronics, Information and Communication Engineers
Research Society of Systems and Signal Processing
The Institute of Electronics Engineers of Korea

In cooperation with

The Institute of Electrical and Electronics Engineers
Circuits and Systems Society

Corporate sponsors

The Telecommunications Advancement Foundation (TAF)
Niigata Prefectural Government
Sado Administrative Council
Shinetsu Telecom Association

3-Mode-Operation Four-Quadrant Analog Multiplier Circuit with Signal Vector Summation

Ittipong Chaisayun, Kobchai Dejhan, Fusak Cheevasuvit
 Faculty of Engineering and Research Center for Communications and Information Technology
 King Mongkut's Institute of Technology Ladkrabang
 Bangkok 10520, Thailand
 Email : kobchai@telelan.telecom.eng.kmitl.ac.th
 Tel : 66-2-3269967, 66-2-3269081
 Fax : 66-2-3269086
 Chatcharin Soonyeckan
 Faculty of Engineering, Kasem Bundit University
 Pattanakarn Road, Bangkok 10250, Thailand

Abstract: This paper proposes a four-quadrant analog multiplier circuit design for three mode operation; voltage mode, current mode, mixed voltage and current mode. This paper presents a type of mixed mode, the first one is only mixed voltage and current mode, the second one is mixed mode multiplier circuit with vector summation circuit. All transistors in the circuits use the same W/L ratio, it is suitable and easy to implement.

1. Introduction

The four quadrant analog multiplier circuits are widely used in telecommunication systems, instrumentations, signal processing and etc. The multiplier circuits are developed since BJT and CMOS [1-6]. The CMOS design techniques for saturation region [1-4] and unsaturation region [5-6] have been used. The saturation region of CMOS design technique will give the better frequency response than unsaturation region, thus this paper also uses this method.

The general design techniques can be classified into two groups: voltage mode operation [1-3, 5-7] and current mode operation [4]. A previous paper proposed a design with differential voltage for single or dual power supply of the circuit [8]. This paper proposes to design in mixed mode operation with number of transistors reduction by using Quarter-Square technique [1]. The Quarter-Square technique uses a lot of transistors and the input has to use with differential signal, therefore it is unsuitable for practical use. A previous paper [7] improved this technique to reduce the number of transistors with single signal input, it is more convenient to connect with the other circuits. Both mentioned techniques are shown in Fig.1 and 2, respectively.

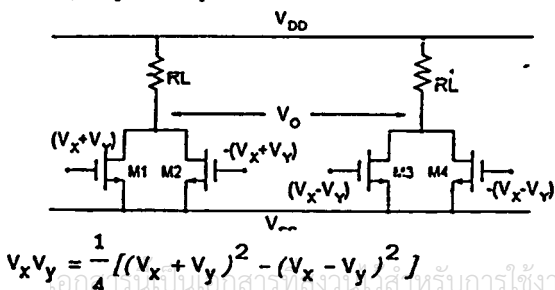


Fig.1 Conventional Quarter-Square technique [1].

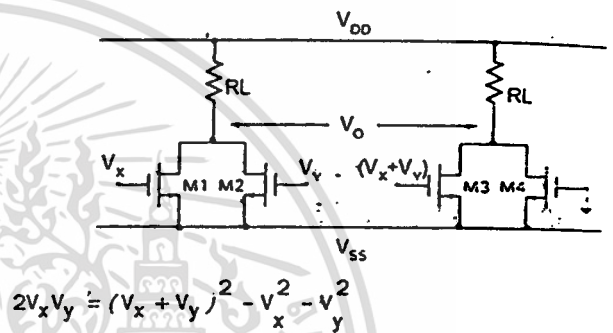


Fig.2 Modified Quarter-Square technique [7]

2. Theory

Suppose all CMOS transistors operate in saturation region thus the drain current should be as follows:

$$I_D = K (V_{GS} - V_T)^2 V_{GS} V_{DS} \quad (1)$$

for $K = \frac{\mu C_{OX} W}{L}$

2.1 Voltage-mode analog multiplier

The basic circuit of voltage-mode analog multiplier is shown in Fig.2, but it should add the sub-circuits to produce the needed signal (V_x+V_y) . Fig.3 shows the proposed voltage-mode analog multiplier, the proposed circuit consists of the transistors M1 and M2 to produce the signal V_x^2 and V_y^2 . The transistors M1, M2, M5, M6 are used to produce the signal $-(V_x+V_y)$, but the transistors M7 and M8 are used to invert the signal $-(V_x+V_y)$ to be (V_x+V_y) . The transistor M3 produces the signal (V_x-Vy) , the transistor M4 is used to produce the compensating current.

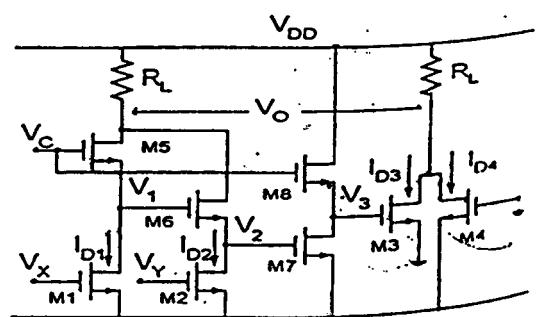


Fig.3 Proposed voltage-mode analog multiplier

Suppose all CMOS transistors have the same W/L ratio and the node voltages are as follows;

$$V_1 = V_C - (V_X - V_{SS}) \quad (2)$$

$$V_2 = V_C - (V_X + V_Y) + 2V_{SS} \quad (3)$$

$$V_3 = V_X + V_Y - V_{SS} \quad (4)$$

The drain currents of transistor M1 to M4 are as follows;

$$I_{D1} = K(V_X - V_{SS} - V_T)^2 \quad (5)$$

$$I_{D2} = K(V_Y - V_{SS} - V_T)^2 \quad (6)$$

$$I_{D3} = K(V_X + V_Y - V_{SS} - V_T)^2 \quad (7)$$

$$I_{D4} = K(-V_{SS} - V_T)^2 \quad (8)$$

The output current of this multiplier circuit is

$$I_O = (I_{D1} + I_{D2}) - (I_{D3} + I_{D4}) \quad (9)$$

$$\text{Thus, } I_O = -2KV_X V_Y \quad (10)$$

2.2 Current-mode analog multiplier

The simple current-mode analog multiplier circuit is shown in Fig.4, it consists of transistors M1, M2, M4 and M3 to produce the signal $(I_X)^2$, $(I_Y)^2$, $(I_X + I_Y)^2$ and compensating current, respectively.

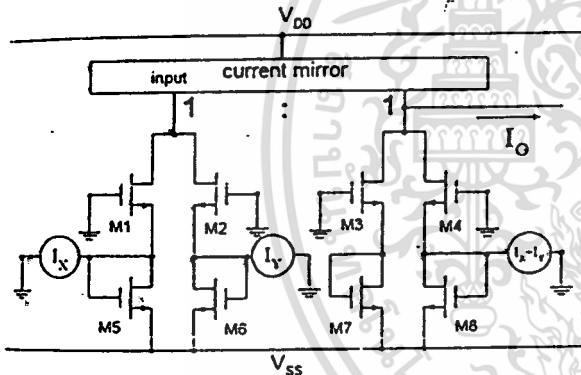


Fig.4 Simple current-mode analog multiplier circuit

The circuit as shown in Fig.4 needs the signal $(I_X + I_Y)$, thus the improvement is done by adding the sub-circuit to produce the desired signal. Fig.5 shows the proposed current-mode analog multiplier circuit. Suppose all CMOS transistors have the same W/L ratio and the node voltages are as follows;

$$V_1 = \frac{V_{SS}}{2} + \frac{I_X}{C_1}; C_1 = -2K(V_{SS} + 2V_T) \quad (11)$$

$$V_2 = \frac{V_{SS}}{2} + \frac{I_Y}{C_1} \quad (12)$$

$$V_3 = \frac{V_{SS}}{2} - \frac{(I_X + I_Y)}{C_1} \quad (13)$$

$$V_4 = \frac{V_{SS}}{2} \quad (14)$$

The drain currents of transistors M1 to M4 are as follows;

$$I_{D1} = K(-V_1 - V_T)^2 \quad (15)$$

$$I_{D2} = K(-V_2 - V_T)^2 \quad (16)$$

$$I_{D3} = K(V_3 - V_T - V_{SS})^2 \quad (17)$$

$$I_{D4} = K\left(-\frac{V_{SS}}{2} - V_T\right)^2 \quad (18)$$

The output current of this multiplier circuit is

$$I_O = (I_{D1} + I_{D2}) - (I_{D3} + I_{D4}) \quad (19)$$

$$\text{Thus, } I_O = \frac{-I_X I_Y}{2K(V_{SS} + 2V_T)^2} \quad (20)$$

2.3 Mixed-mode analog multiplier

The input signals of the mixed-mode analog multiplier are in the function of current and voltage. Therefore, some processing part is in the current signal and the voltage signal, the input current operating range is unlimited by the power supply. The proposed mixed-mode analog multiplier is shown in Fig.6. This circuit operates as multiplier and signal vector summation. The multiplier circuit needs to use the signal $(I_X + I_Y)^2$ to subtract with the signal $I_X^2 + I_Y^2$. The signal $I_X^2 + I_Y^2$ passes to the square root circuit, thus the signal vector summation can be obtained as $(I_X^2 + I_Y^2)^{1/2}$. Fig.6 consists of the current signal processing part by using the transistors M1 to M3 and M4 to M6 as squaring current signal of I_X and I_Y . The other part is the voltage signal processing by using the transistors M3, M9 and M10, M6 to subtract the voltage signal of M11 and M12 in order to shift the voltage levels V_1 and V_2 , respectively. The transistors M7 and M8 are connected as differential pair to square the voltage signal. Suppose all CMOS transistors have the same W/L ratio.

The node voltages are as follows;

$$V_1 = \frac{V_{SS}}{2} + \frac{I_X}{C_1}; C_1 = -2K(V_{SS} + 2V_T) \quad (21)$$

$$V_2 = \frac{V_{SS}}{2} + \frac{I_Y}{C_1} \quad (22)$$

$$V_3 = V_C + V_1 \quad (23)$$

$$V_4 = V_C + V_2 \quad (24)$$

$$V_5 = V_C + V_2 - V_1 + V_{SS} \quad (25)$$

$$V_6 = V_C + V_1 - V_2 + V_{SS} \quad (26)$$

The currents at various points are as follows;

$$I_{O1} = 2K \left[\left(\frac{I_X}{C_1} \right)^2 + \left(\frac{V_{SS}}{2} + V_T \right)^2 \right] \quad (27)$$

$$I_{O2} = 2K \left[\left(\frac{I_Y}{C_1} \right)^2 + \left(\frac{V_{SS}}{2} + V_T \right)^2 \right] \quad (28)$$

$$I_{O3} = 2K \left[\left(\frac{I_X - I_Y}{C_1} \right)^2 + (V_C - V_T)^2 \right] \quad (29)$$

The output current of the proposed mixed-mode multiplier circuit is

$$I_{O4} = I_{O1} + I_{O2} - I_{O3} \quad (30)$$

Thus,

$$I_{O4} = \frac{-I_X I_Y}{K(V_{SS} + 2V_T)^2}; (V_C - V_T)^2 = 2 \left(\frac{V_{SS}}{2} + V_T \right)^2 \quad (31)$$

The output current of the signal vector summation is

$$I_{O5} = I_{O1} + I_{O2} \quad (32)$$

$$I_{D13} = 2K \left[\left(\frac{I_X}{C_1} \right)^2 + \left(\frac{I_Y}{C_1} \right)^2 \right]; I_n = 4K \left(\frac{V_{SS}}{2} + V_T \right)^2 \quad (33)$$

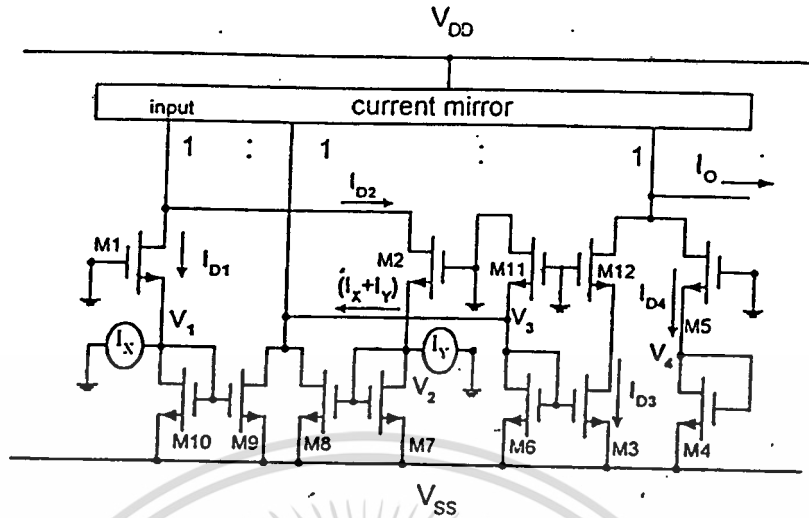


Fig.5 Proposed current-mode analog multiplier circuit.

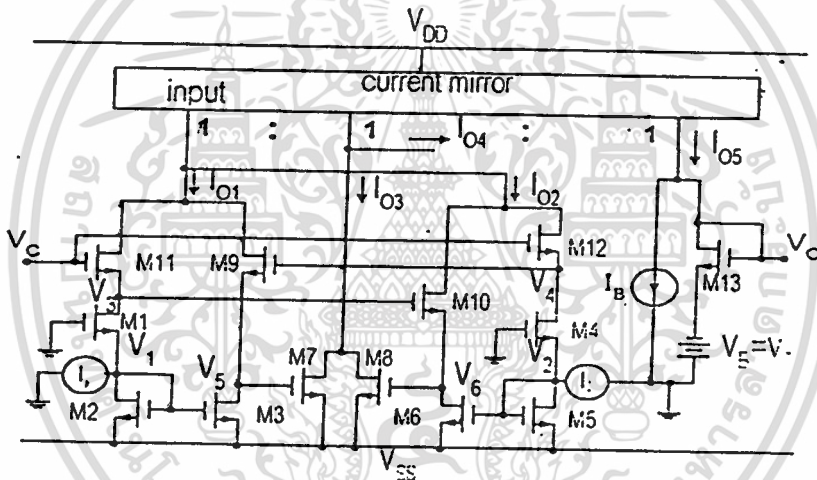


Fig.6 Proposed mixed-mode analog multiplier with vector summation circuit.

Multiplier circuit	Supply voltage	Frequency response	THD
1. voltage-mode	$V_{DD}=V_C=3.5V, V_{SS}=1.75V$	6.5 MHz	0.8 %
2. current-mode	$V_{DD}=-V_{SS}=4V$	6 MHz	0.25 %
3. mixed-mode	$V_{DD}=6V, V_{SS}=-4V, V_C=2.5V$	23 MHz	0.88 %

Table 1 Testing results of proposed multiplier circuits.

The output voltage of the signal vector summation is $KV_O^2 = I_{D13}$ as $V_B = V_T$ = Threshold voltage of NMOS

$$\text{thus, } V_O = \sqrt{2 \left\{ \left(\frac{I_x}{C_1} \right)^2 + \left(\frac{I_y}{C_1} \right)^2 \right\}} \tag{35}$$

3. Results

All results are divided into simulating results and experimental results. The simulating results have been carried out by using PSpice based on worst case transistor models of European Silicon Structure (ES2) for level = 2, 85°C. All NMOS transistors use $W = 10 \mu m, L = 10 \mu m$, all PMOS transistor use $W = 100 \mu m, L = 10 \mu m$. The

voltage-mode uses 0.2 V input signal. the current-mode and mixed-mode use 20 μA input signal. All simulation results are shown in table 1.

All experimental results have been carried out by using MC14007 CMOS transistor array. Fig.7 shows the transfer characteristic of voltage-mode multiplier for varying $V_x = -350$ to 350 mV. 100 mV per step. V_y varied from -500 to 500 mV. Fig.8 and 9, respectively, show varying $I_x = -350$ to 350 mA. 100 mA per step. I_y varied from -500 to 500 mA.

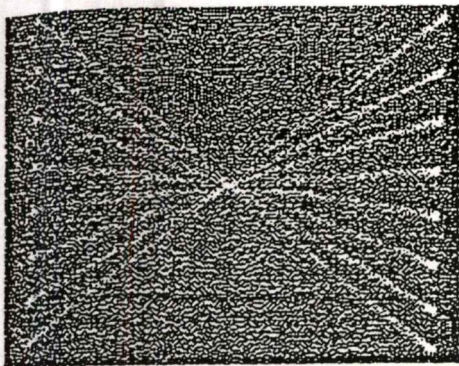


Fig.7 DC transfer characteristic of proposed voltage-mode multiplier circuit using $V_{DD} = 5.5V, V_{SS} = 2.5V, V_C = 5.5V$.

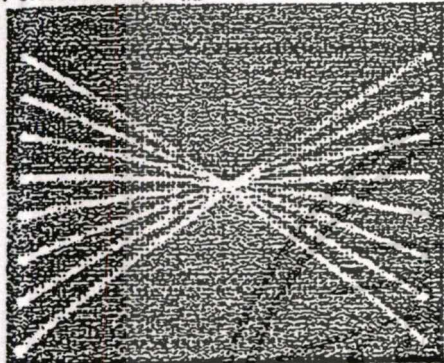


Fig.8 DC transfer characteristic of proposed current-mode multiplier circuit using $V_{DD} = V_{SS} = 5.6V$.

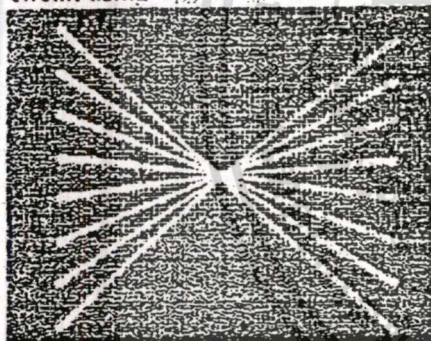


Fig.9 DC transfer characteristic of proposed mixed-mode multiplier circuit using $V_{DD} = 8V, V_{SS} = 4.3V$.

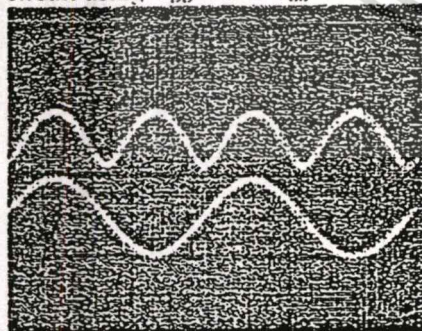


Fig.10 Result of signal vector summation using $V_{DD} = 8V, V_{SS} = 4.3V$, with 0° phase shifted

4. Circuit performance analysis

The frequency response evaluations can be carried out by substituting CMOS transistor with voltage-controlled current source and gate-to-source capacitance. The frequency response of the multiplier is f_{3dB}

$\cong gm/2.4\pi C$ Hz, for current-mode and mixed-mode multiplier depend on PMOS transistor of current mirror circuit and $f_{3dB} \cong gm/6\pi C$ Hz. It is obviously that the frequency response of mixed-mode multiplier circuit is highest because the current mirror circuit has the maximum value and gm is maximum. The input voltage operating range of voltage-mode multiplier circuit is $(V_T + V_{SS}) < (V_x + V_y)$, the input current operating range of current-mode and for mixed-mode multiplier circuit is $K(V_{SS} + 2V_{SS})^2 > (V_x + V_y) > -K(V_{SS} + 2V_T)^2$.

5. Conclusion

The voltage-mode multiplier circuit uses the small number of transistors. the disadvantage is supply voltage. The circuit operates as the supply voltage is suitable. The operating range is narrow. The current-mode or mixed-mode circuit has the similar characteristics. It should be noted that the mixed-mode circuit design will reduce the number of transistors. The mixed-mode circuit can be redesigned to have two outputs or both circuits can operate together in order to reduce the transistors.

References

- [1] J.S. Pena-Finol and J.A. Connelly. "A MOS four-quadrant analog multiplier using the quarter-square technique." IEEE J. Solid-State Circuits, Vol. SC-22, pp.1064-1073, Dec. 1987.
- [2] K. Bult and H. Wallinga. "A CMOS four-quadrant analog multiplier." IEEE J. Solid-State Circuits, Vol. SC-21, pp.430-435, June 1986.
- [3] S.-I. Lin and C.-C. Chang. "CMOS analog divider and four-quadrant multiplier using pool circuits." IEEE J. Solid-State Circuits, Vol. 30, No. 30, pp.1025-1029, Sep. 1995.
- [4] K. Bult and H. Wallinga. "A class of analog CMOS circuits based on the square-law characteristic of an MOS transistor in saturation." IEEE J. Solid-State Circuits, Vol. SC-22, No. 3, pp.357-365, June 1987.
- [5] J.-H. Tsay et al.. "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure." Electronics Letters, vol.31, No.12, pp.962-963, June 1995.
- [6] I.M. Filanovsky and H. Baltés. "CMOS two-quadrant multiplier using transistor triode region," IEEE J. Solid-State Circuits, Vol. 27, No. 5, pp.831-833, May 1992.
- [7] N. Saxena and J.J. Clark. "A four-quadrant CMOS analog multiplier for analog neural networks," IEEE J. Solid-State Circuits, vol. 29, N.6, pp.746-749, June 1994.
- [8] I. Chaisayun, K. Dejhan, F. Cheevasuvit and C. Soonyeckan. "Single/Dual Power supply differential input voltage four-quadrant analog multiplier using quarter-square techniques." Proc. 1999 Int. Analog VLSI Workshop, pp.91-96., Taipei, Taiwan, May 5-7, 1999.

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IEICE

TRANSACTIONS

Journal on Fundamentals of Electronics, Communications and Computer Sciences

Special Section on Discrete Mathematics and Its Applications

VOL.E86-A
NO.5
MAY 2003



A PUBLICATION OF THE ENGINEERING SCIENCES SOCIETY
The Institute of Electronics, Information and Communication Engineers
Kikai-Shinko-Kaikan Bldg., 5-8, Shibakoen 3 chome, Minato-ku,
TOKYO, 105-0011 JAPAN

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
หรือธุรกิจใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAPER

A Versatile CMOS Analog Multiplier

Ittipong CHAISAYUN^{†a)}, Student Member and Kobchai DEJHAN[†], Regular Member

SUMMARY This paper describes a novel four-quadrant analog multiplier. It is comprised of two mixed signal circuits, a voltage adder circuit, a voltage divider circuit and a basic multiplier. Its major advantages over the other analog multipliers are: this design has single ended inputs, the geometry of all CMOS transistors are equal, and its output can be the product of two signal currents, the product of two signal voltages, or the product of a signal current and a signal voltage. Second-order effects are analyzed, and the experimental and simulative results that confirm the theoretical analysis are carried out.

key words: analog multiplier, analog signal processing

1. Introduction

A four-quadrant analog multiplier is a key element in the construction of many signal-processing circuits. There are different approaches for implementing four-quadrant analog multiplier in CMOS technology. The previous techniques used quarter square [1]–[4], and its equation is $\frac{1}{4} [(V_X + V_Y)^2 + (V_X - V_Y)^2 = V_X V_Y]$. The disadvantages are that there are a lot of number of used devices and the required differential input signal. Then the square-difference technique [5], [6] has been proposed to improve the equation form as $[(V_X + V_Y)^2 - V_X^2 - V_Y^2 = 2V_X V_Y]$. The advantages are that the number of used devices decrease and the single ended input signals are required. This paper also employs the latter technique. In general, a voltage multiplier [1]–[5] (output signal is product of two signal voltages) can be applied in modulator, frequency double and etc., a current multiplier [7]–[9] (output signal is product of two signal currents) can be applied for fuzzy controller and neural networks, and a current and voltage multiplier (output signal is product of a signal voltage and a signal current) can be applied for a variable gain amplifier [10], a current-controlled transconductance amplifier or a voltage-controlled current amplifier. In this paper, we properly combine a voltage multiplier, a current multiplier and a current and voltage multiplier into a single circuit, and it is

called the versatile analog multiplier. The output current I_o of the multiplier is related to input signals V_X , I_X , V_Y , and I_Y by

$$I_o = -2K \left(\frac{I_X}{2K(V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} \right) \times \left(\frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} \right).$$

This design has single ended inputs so that the inputs do not need to be pre-processed before being fed to the multiplier, thus, it saves additional arrays. The advantages of the proposed multiplier are 1) it versatilely applies because it can be a voltage multiplier, a current multiplier, or a voltage and current multiplier. 2) it conveniently connects with the other circuits because it has single ended inputs, and 3) it is suitable to implement as integrated form because this design has the same dimension for all transistors.

2. Principle of Operation

All devices have the same geometry and operate in the saturation region. The drain current is written as follows:

$$I_D = K(V_{GS} - V_T)^2; V_{GS} > V_T, V_{DS} > V_{GS} - V_T \quad (1)$$

when $K = \frac{\mu C_{OX} W}{2L}$.

The proposed multiplier consists of two mixed signal circuits, a voltage adder circuit, a basic multiplier circuit and a voltage divider circuit. The operating principle of each of sub-circuits is described below.

2.1 Two Mixed Signal Circuits

The first mixed signal circuit is shown in Fig. 1. Their inputs are a signal current I_X and a signal voltage V_X , and its output is a signal voltage V_{OX} . The input current of the first mixed signal circuit can be written as

$$I_X = I_{D6} - I_{D5} \quad (2)$$

Substituting (1) into (2), we can express the output voltage V_{OX} as

$$I_X = K(V_{OX} - V_{SS} - V_T)^2 - K(V_X - V_{OX} - V_T)^2 \quad (3)$$

$$V_{OX} = \frac{I_X}{2K(V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} + \frac{V_{SS}}{2} \quad (4)$$

Manuscript received May 2, 2002.

Manuscript revised September 24, 2002.

Final manuscript received January 20, 2003.

[†]The authors are with the Faculty of Engineering and Research Center for Communications and Information Technology, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand.

a) E-mail: ittipong@sau.ac.th

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิใช่เอกสารที่เผยแพร่โดยอิสระ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

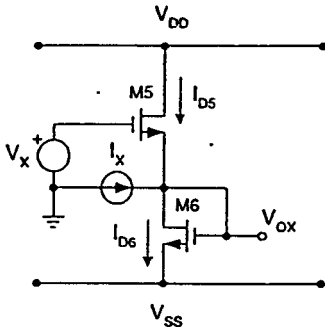


Fig. 1 Mixed signal circuit.

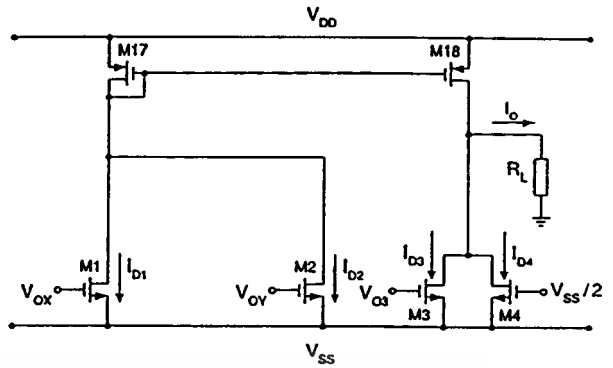


Fig. 3 Basic multiplier.

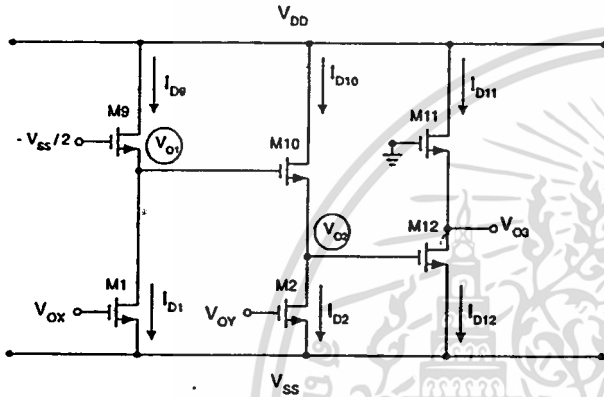


Fig. 2 Voltage adder circuit.

The proposed multiplier needs two-mixed signal circuits. The first circuit is shown in Fig. 1, and the configuration of the second circuit is the same as Fig. 1. Their inputs are a signal voltage V_Y and a signal current I_Y , and its output is a signal voltage V_{OY} . The output voltage V_{OY} is related to input signals V_Y and I_Y by

$$V_{OY} = \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} + \frac{V_{SS}}{2}. \quad (5)$$

2.2 A Voltage Adder Circuit

A voltage adder circuit is shown in Fig. 2, and it consists of three simple NMOS inverter stages.

The first NMOS inverter stage, consisting of the transistors M1 and M9, can express the relation of the drain current as

$$I_{D1} = I_{D9} \quad (6)$$

Using (1) yields

$$K(V_{OX} - V_{SS} - V_T)^2 = K \left(-\frac{V_{SS}}{2} - V_{O1} - V_T \right)^2 \quad (7)$$

The output voltage V_{O1} is

$$V_{O1} = -V_{OX} + \frac{V_{SS}}{2} \quad (8)$$

Substituting (4) into (8), we obtain

$$V_{O1} = -\frac{I_X}{2K(V_X - V_{SS} - 2V_T)} - \frac{V_X}{2} \quad (9)$$

Similarly, the second NMOS inverter stage, consisting of the transistors M2 and M10, can express the output voltage V_{O2} as

$$V_{O2} = V_{O1} - V_{OY} + V_{SS} \quad (10)$$

Substituting (5) and (9) into (10), we obtain

$$V_{O2} = \frac{I_X}{2K(V_X - V_{SS} - 2V_T)} - \frac{V_X}{2} - \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} - \frac{V_Y}{2} + \frac{V_{SS}}{2} \quad (11)$$

Similarly, the third NMOS inverter stage, consisting of the transistors M11 and M12, can express the output voltage V_{O3} as

$$V_{O3} = -V_{O2} + V_{SS} \quad (12)$$

Substituting (11) into (12), we obtain

$$V_{O3} = \frac{I_X}{2K(V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} + \frac{I_Y}{2K(V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} + \frac{V_{SS}}{2}. \quad (13)$$

2.3 A Basic Multiplier

Figure 3 shows the basic multiplier based on the square-difference identity $[(a+b)^2 - a^2 - b^2 = 2ab]$. Using (1), the drain currents of the transistors M1–M4 can be expressed as follows:

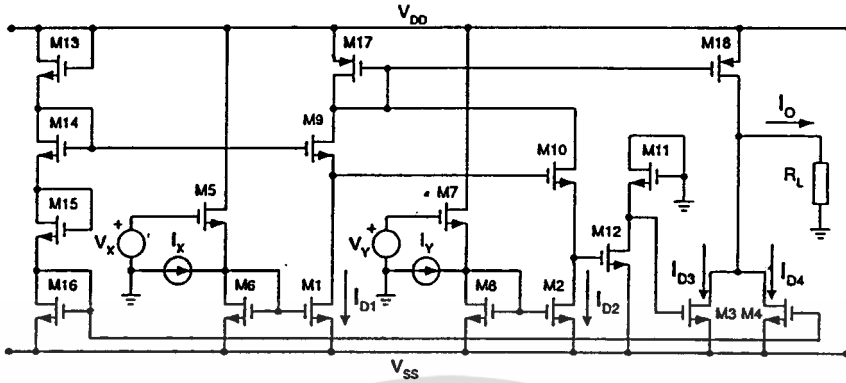


Fig. 4 Completed analog multiplier.

$$I_{D1} = K (V_{0X} - V_{SS} - V_T)^2 \quad (14)$$

$$I_{D2} = K (V_{0Y} - V_{SS} - V_T)^2 \quad (15)$$

$$I_{D3} = K (V_{03} - V_{SS} - V_T)^2 \quad (16)$$

$$I_{D4} = K \left(-\frac{V_{SS}}{2} - V_T \right)^2 \quad (17)$$

Substituting (4), (5), and (13) into (14), (15) and (16), respectively. The drain currents of the transistors M1-M4 can be rewritten as follows:

$$I_{D1} = K \left(\frac{I_X}{A_1} + \frac{V_X}{2} - \frac{V_{SS}}{2} - V_T \right)^2; \quad (18)$$

$$A_1 = 2K (V_X - V_{SS} - 2V_T)$$

$$I_{D2} = K \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^2; \quad (19)$$

$$A_2 = 2K (V_Y - V_{SS} - 2V_T)$$

$$I_{D3} = K \left(\frac{I_X}{A_1} + \frac{V_X}{2} + \frac{I_Y}{A_2} + \frac{V_Y}{2} - \frac{V_{SS}}{2} - V_T \right)^2 \quad (20)$$

$$I_{D4} = K \left(-\frac{V_{SS}}{2} - V_T \right)^2 \quad (21)$$

The output current of the basic multiplier can be defined and expressed as

$$I_O = I_{D1} + I_{D2} - I_{D3} - I_{D4}$$

$$= -2K \left(\frac{I_X}{A_1} + \frac{V_X}{2} \right) \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} \right). \quad (22)$$

2.4 The Completed Analog Multiplier

The completed analog multiplier is shown in Fig. 4, and it consists of two mixed signal circuits, a voltage adder circuit, a basic multiplier circuit and a voltage divider circuit.

The voltage divider circuit consists of the transistors M13-M16, and it is used for generating voltage signals $-\frac{V_{SS}}{2}$ and $\frac{V_{SS}}{2}$. The output current I_O of the proposed multiplier is related to input signals V_X , I_X , V_Y , and I_Y by

$$I_O = -2K \left(\frac{I_X}{2K (V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} \right) \times \left(\frac{I_Y}{2K (V_Y - V_{SS} - 2V_T)} + \frac{V_Y}{2} \right) \quad (23a)$$

where $V_{DD} = -V_{SS}$.

Consider (23a), it may be rewritten as follows: If $I_X = I_Y = 0$ or there are no input currents, the multiplier has function as the voltage multiplier.

$$I_O = -\frac{KV_X V_Y}{2} \quad (23b)$$

If $V_X = V_Y = 0$ or connecting voltage inputs to ground, the multiplier has function as the current multiplier.

$$I_O = -\frac{I_X I_Y}{2K (V_{SS} + 2V_T)^2} \quad (23c)$$

If $V_X = 0$, $I_Y = 0$ or $I_X = 0$, $V_Y = 0$ the multiplier has function as the current and voltage multiplier, a current-controlled transconductance amplifier, or a voltage-controlled current amplifier.

$$I_O = \frac{I_X V_Y}{2 (V_{SS} + 2V_T)} \quad (23d)$$

and

$$I_O = \frac{V_X I_Y}{2 (V_{SS} + 2V_T)} \quad (23e)$$

From the multi-function of the multiplier, the proposed multiplier is called the versatile analog multiplier. In general, a voltage adder and a basic multiplier are usually separated, so many transistors are used. The proposed circuit presents economy configuration. The transistors M1 and M2 are used as a composition of the voltage adder and the basic multiplier. Therefore, the proposed multiplier can reduce two transistors.

2.5 Input Range

The input range of the multiplier is restricted by the saturation conditions of M3 and M12. Therefore, the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่โดยเว็บไซต์งานด้านการศึกษา

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

input range can be derived as follows:

$$2V_T + V_{SS} < \frac{I_X}{K(V_X - V_{SS} - 2V_T)} + V_X + \frac{I_Y}{K(V_Y - V_{SS} - 2V_T)} + V_Y < -2V_T - V_{SS} \quad (24)$$

and

$$-V_T < \frac{I_X}{K(V_X - V_{SS} - 2V_T)} + V_X + \frac{I_Y}{K(V_Y - V_{SS} - 2V_T)} + V_Y. \quad (25)$$

Equation (25) indicates that input range of V_X and V_Y directly depend on the threshold voltage V_T and input range of I_X and I_Y depend on the threshold voltage V_T and K parameter. Equations (24) and (25) suggest that the lowest supply voltage V_{SS} as maximum input range is $V_{SS} = -3V_T$.

3. Performance Analysis

Our previous analysis of the proposed multiplier was based on the assumption that the characteristics of the devices are perfectly square-law. However practically, the various second-order effects such as mobility reduction, transistor mismatch, body effect and channel length modulation will degrade the circuit performance. The body effect can be reduced by connecting sources and bulks of transistors. Nevertheless, a p-well fabrication technology is necessary for bulk-source connection. The channel length modulation effect can be improved by using the long channel length devices or cascade current mirrors. In this section, we will only discuss influence of mobility reduction and transistor mismatch.

3.1 Mobility Reduction

The simplified I - V characteristics of MOS transistor can be modeled as [11]

$$I_D = \frac{K(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (26a)$$

The θ is the mobility degradation parameter which has value about $0.1 \sim 0.001 \text{ V}^{-1}$, and the (26a) may be developed into a Taylor series.

$$I_D = K(V_{GS} - V_T)^2 \cdot [1 - \theta(V_{GS} - V_T) + \theta^2(V_{GS} - V_T)^2 \dots] \quad (26b)$$

For a calculation, the first order of θ was used only whereas the higher-order terms of θ were neglected. The mobility reduction affected the following sub-circuits.

For the first mixed signal circuit, substituting (26b) into (2), we obtain

$$V_{OX} = \frac{I_X}{2K(V_X - V_{SS} - 2V_T)} + \frac{V_X}{2} + \frac{V_{SS}}{2} + \frac{\theta [(V_{OX} - V_{SS} - V_T)^3 - (V_X - V_{OX} - V_T)^3]}{2(V_X - V_{SS} - 2V_T)} \quad (27)$$

Equation (27) indicates that the mobility reduction effect will affect the offset dc voltage and dominant in the second and third-order harmonic distortion.

Similarly, for the second mixed signal circuit, its analysis is the same as the first.

For the voltage adder circuit, the first NMOS inverter stage is considered by substituting (26a) into (6), so the (7) can be rewritten as

$$\frac{K(V_{GS1} - V_T)^2}{1 + \theta(V_{GS1} - V_T)} = \frac{K(V_{GS9} - V_T)^2}{1 + \theta(V_{GS9} - V_T)} \quad (28)$$

Considering (28), when the transistors M1 and M9 have the same geometry and $V_{GS1} = V_{GS9}$, the denominator terms of (28) can be canceled. Hence, the mobility reduction effect will not affect the first NMOS inverter stage. The analysis of other NMOS inverter stages are the same as the first, so the mobility reduction effect will not affect the voltage adder circuit either.

For the basic multiplier, substituting (26b) into (18)–(21), we can rewrite the (22) as follows:

$$I_O = -2K \left(\frac{I_X}{A_1} + \frac{V_X}{2} \right) \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} \right) + 3K\theta \left[\left(\frac{I_X}{A_1} + \frac{V_X}{2} \right)^2 \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} \right) + \left(\frac{I_X}{A_1} + \frac{V_X}{2} \right) \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} \right)^2 - 2 \left(\frac{I_X}{A_1} + \frac{V_X}{2} \right) \left(\frac{I_Y}{A_2} + \frac{V_Y}{2} \right) \left(\frac{V_{SS}}{2} + V_T \right) \right] \quad (29)$$

Equation (29) indicates that the mobility reduction effect will be dominant in the second-order harmonic distortion.

3.2 Transistor Mismatch

For the first mixed signal circuit in Fig. 1, let us assume that the transconductance parameters of the transistors M5 and M6 are $K + \frac{\Delta K}{2}$ and $K - \frac{\Delta K}{2}$, respectively. Substituting the assumed transconductance parameters into (3), the output voltage V_{OX} can be rewritten as

$$V_{OX} = \frac{1}{B_1 + B_2} \left[\frac{I_X}{(B_1 - B_2)V_{OX} - (B_1 + B_2)V_T + B_2V_X - B_1V_{SS} + (B_1 - B_2)V_T + B_2V_X + B_1V_{SS}} \right] \quad (30)$$

where

$$B_1 = \sqrt{K - \frac{\Delta K}{2}} \quad \text{and} \quad B_2 = \sqrt{K + \frac{\Delta K}{2}}$$

Similarly, the output voltage V_{OY} can be rewritten like the output voltage V_{OX} .

For the voltage adder circuit in Fig. 2, let us assume that the transconductance parameters of the transistors M9, M10 and M11 are $K + \frac{\Delta K}{2}$ and those of the transistors M1, M2 and M12 are $K - \frac{\Delta K}{2}$. The output voltages V_{O1} , V_{O2} , and V_{O3} can be rewritten as follows:

$$V_{O1} = \frac{1}{B_2} \left[-B_1V_{OX} + \left(B_1 - \frac{B_2}{2} \right) V_{SS} + (B_1 - B_2)V_T \right] \quad (31)$$

$$V_{O2} = V_{O1} + \frac{(B_1 - B_2)}{B_2} V_T - \frac{B_1}{B_2} V_{OY} + \frac{B_1}{B_2} V_{SS} \quad (32)$$

$$V_{O3} = -\frac{B_1}{B_2} V_{O2} + \frac{B_1}{B_2} V_{SS} + \frac{(B_1 - B_2)V_T}{B_2} \quad (33)$$

Equations (30)–(33) indicate that transistor mismatch will contribute to both of the offset dc voltage and the signal gains. Additionally, the variation of the signal gains will affect to the second harmonic although the basic multiplier is perfectly matched.

For the basic multiplier in Fig. 3. Let us assume that the transconductance parameters of the transistors M1–M2 and those of the transistors M3–M4 are $K + \frac{\Delta K}{2}$ and $K - \frac{\Delta K}{2}$, respectively. The output current I_O can be rewritten as follows:

$$I_O = -2K \left(\frac{I_X + V_X}{A_1 + \frac{V_X}{2}} \right) \left(\frac{I_Y + V_Y}{A_2 + \frac{V_Y}{2}} \right) + \Delta K A_3 \quad (34)$$

where

$$A_3 = \left(\frac{I_X + V_X}{A_1 + \frac{V_X}{2}} \right)^2 + \left(\frac{I_Y + V_Y}{A_2 + \frac{V_Y}{2}} \right)^2 - 2 \left(\frac{V_{SS} + V_T}{2} \right) \left(\frac{I_X + V_X}{A_1 + \frac{V_X}{2}} + \frac{I_Y + V_Y}{A_2 + \frac{V_Y}{2}} \right) + 2 \left(\frac{V_{SS} + V_T}{2} \right)^2 + \left(\frac{I_X + V_X}{A_1 + \frac{V_X}{2}} \right) \left(\frac{I_Y + V_Y}{A_2 + \frac{V_Y}{2}} \right)$$

Hence, such mismatch will contribute to the second harmonic distortion.

4. Applications

Some applications of the proposed circuit are shown as a current multiplier, a voltage division and a capacitance multiplier.

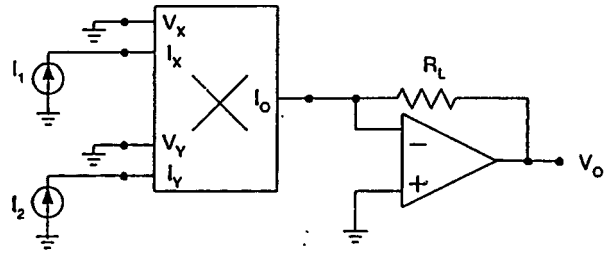


Fig. 5 Current multiplier.

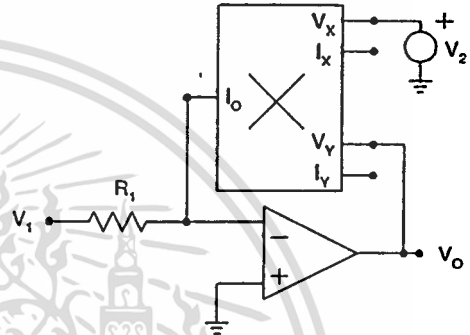


Fig. 6 Voltage division.

The current multiplier is shown in Fig. 5. Let $V_X = V_Y = 0$, the proposed multiplier will perform as a current multiplier and an operational amplifier acts as a current to voltage converter. Using (23c), the output voltage of the circuit in Fig. 5 can be expressed as

$$V_O = \frac{R_L I_X I_Y}{2K (V_{SS} + 2V_T)^2} \quad (35)$$

Note that the gain of the circuit can be adjusted by R_L .

The voltage division is shown in Fig. 6 and consists of a voltage multiplier and an operational amplifier. Let $I_X = I_Y = 0$, the proposed multiplier will perform as a voltage multiplier. Using (23b), the output voltage of the circuit in Fig. 6 can be expressed as

$$V_O = \frac{2V_1}{K R_1 V_2} \quad (36)$$

Note that this circuit uses only a single resistor, and the gain can be adjusted by R_1 .

The capacitance multiplier is shown in Fig. 7 and consists of two voltage and current multipliers and a buffer. This circuit is adapted from a previous paper [13]. Let $I_X = 0$ and $V_Y = 0$, the proposed multiplier performs as a voltage and current multiplier. The admittance function in Fig. 7 is

$$Y(s) = s \left(1 + \frac{I_1}{I_2} \right) C_1 \quad (37)$$

the effective capacitance C_e of the capacitance multiplier is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

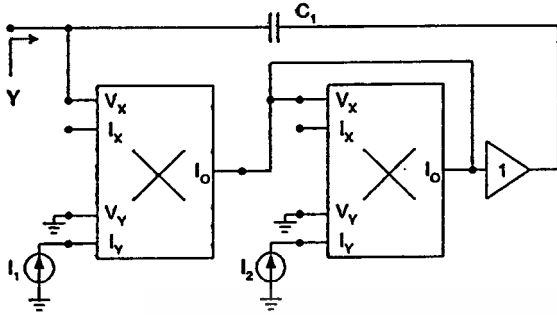


Fig. 7 Capacitance multiplier.

$$C_e = \left(1 + \frac{I_1}{I_2}\right) C_1 \tag{38}$$

Note that the effective capacitance is temperature independent and the capacitance can be controlled by the bias currents I_1 and I_2 .

5. Results

5.1 Simulation Results

The performance of the proposed circuit was verified by PSpice simulation program. The transistor model is shown in Table 1 based on 0.5 μm CMOS process by MOSIS.

The same dimension of CMOS transistors are $W=5\mu\text{m}$ and $L=4\mu\text{m}$ for N channel transistors and $W=10\mu\text{m}$ and $L=4\mu\text{m}$ for P channel transistors. The simulation conditions are that: the power supplies are $V_{DD} = -V_{SS} = 1.85\text{V}$ and the input signals are the DC voltage (V_{DC}) = 200 mV, the AC voltage (V_{AC}) = 400 mV_{P-P} sinusoidal of 100kHz, the DC current (I_{DC}) = 8 μA and the AC current (I_{AC}) = 16 μA_{P-P} sinusoidal of 100 kHz. The simulation results are listed in Table 2, showing total harmonic distortion (THD) and frequency response. Figure 8 shows the dc transfer characteristics of the proposed multiplier under the condition that $V_Y = -200\text{mV} \sim +200\text{mV}$ and $V_X = -200\text{mV} \sim +200\text{mV}$ in step of 100 mV. Figure 9 shows frequency response and phase characteristic under the condition that $V_Y=200\text{mV}_{DC}$ and $V_X = 200\text{mV}_{P-P}$ sinusoidal with the frequency of V_X is varied from 10 Hz to 1 GHz. Figure 10 shows the relation between THD and V_X under the condition that $V_Y=200\text{mV}_{DC}$, V_X is varied from 100 mV_{P-P} to 400 mV_{P-P} and the frequency of V_X is varied to 5 kHz, 50 kHz, 500 kHz.

5.2 Experimental Results

The proposed multiplier was verified experimentally using a commercial CMOS transistor array (CD4007). In this experiment, $V_{DD} = -V_{SS} = 5\text{V}$ and $R_L=10\text{k}\Omega$ were used for the multiplier. The V_X and V_Y are used and the I_X and I_Y are not applied. Figure 11 shows the

Table 1 Transistor model.

NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1 + VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04 + UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382 + NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02 + KAPPA=1.8100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10 + CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11 + MJSW=0.7100C PB=0.9900000
PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1 + VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05 + UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551 + NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02 + KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10 + CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10 + MJSW=0.21200 PB=0.930000

Table 2 Simulation results.

Biasing inputs	of the multiplier	THD	Bandwidth
$I_o = -\frac{K_V V_X V_Y}{2}$	$V_X = V_{AC}, V_Y = V_{DC}$	1.6%	84MHz
$; I_X = I_Y = 0$	$V_X = V_{DC}, V_Y = V_{AC}$	1.6%	30MHz
$I_o = \frac{V_X I_Y}{2(V_{SS} + 2V_T)}$	$V_X = V_{DC}, I_Y = I_{AC}$	1.4%	45 MHz
$; I_X = 0, V_Y = 0$	$V_X = V_{AC}, I_Y = I_{DC}$	1.6%	45MHz
$I_o = \frac{I_X V_Y}{2(V_{SS} + 2V_T)}$	$I_X = I_{AC}, V_Y = V_{DC}$	1.4%	72MHz
$; V_X = 0, I_Y = 0$	$I_X = I_{DC}, V_Y = V_{AC}$	1.6%	81MHz
$I_o = -\frac{I_X I_Y}{2K(V_{SS} + V_T)^2}$	$I_X = I_{DC}, I_Y = I_{AC}$	1.4%	75MHz
$; V_X = V_Y = 0$	$I_X = I_{AC}, I_Y = I_{DC}$	1.4%	42MHz

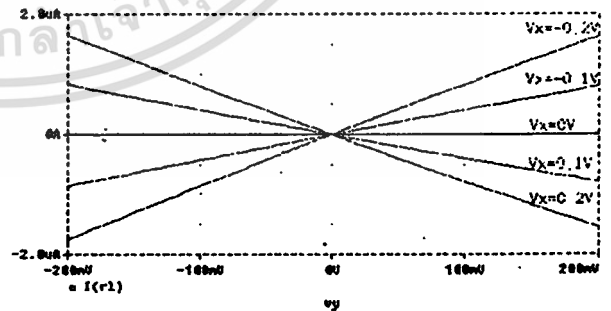


Fig. 8 Simulated dc transfer characteristics.

multiplier being used for amplitude modulation, when a 20 kHz 1.6 V_{P-P} sine signal and a 1 kHz 1.6 V_{P-P} triangular signal are applied to V_X and V_Y , respectively. Figure 12 shows the measured output spectrum of the multiplier, when a 100 kHz 0.8 V_{P-P} sine signal and a 0.8 V dc voltage are applied to V_X and V_Y , respectively. In Fig. 12 the measured THD is 5% with the second

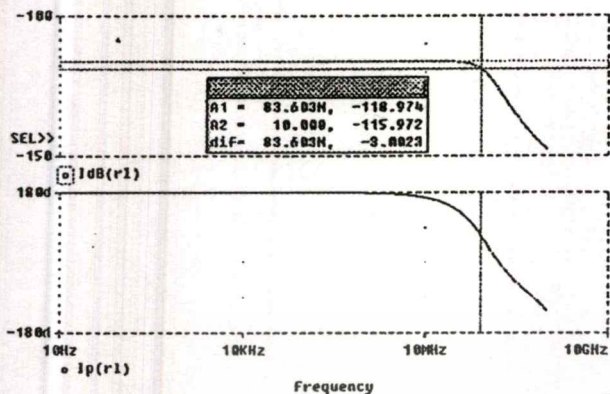


Fig. 9 Frequency response and phase characteristic.

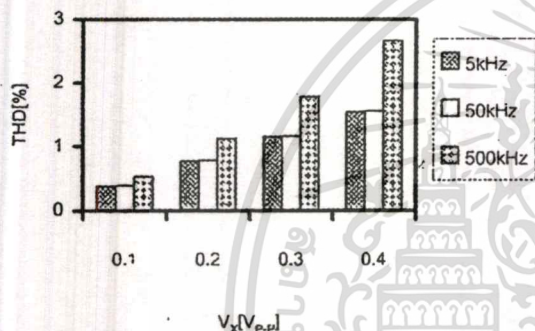


Fig. 10 Relation between THD and V_X under the condition that $V_Y = 200 \text{ mV}_{DC}$.

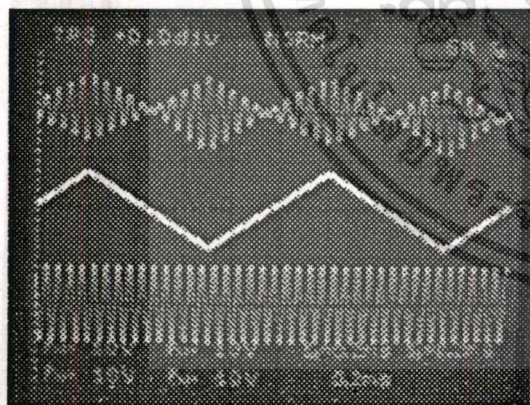


Fig. 11 Result of amplitude modulator V_X (lowest trace, 1V/div) is a 1.6V_{p-p} sine signal of 20kHz and V_Y (middle trace, 1V/div) is a 1.6V_{p-p} triangular signal of 1kHz. Measured output (upper trace) is 1V/div. Horizontal scale is 0.2ms/div.

harmonic as main contribution to distortion, and this result is in accordance with the theoretical analysis.

6. Conclusions

The versatile CMOS analog multiplier has been presented. The design is based on the square-difference

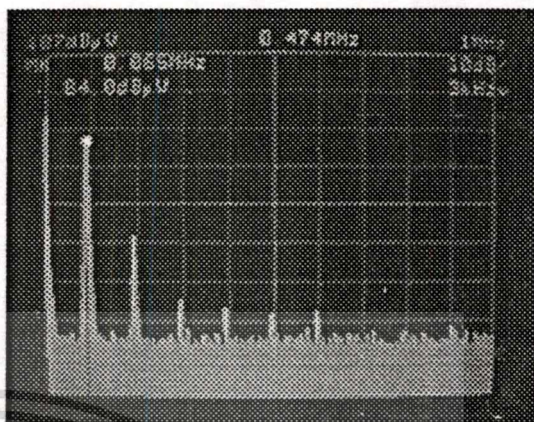


Fig. 12 Measured output spectrum of the multiplier, for the case in which a 0.8V_{p-p} sine signal of 100kHz and a 0.8V DC voltage are applied to V_X and V_Y , respectively [Horizontal scale is 100kHz/div; Vertical scale is 10dBμV/div ($1 \text{ dB}\mu\text{V} = 20 \log \frac{V_o}{1 \mu\text{V}}$)].

technique. The proposed circuit is properly designated as some transistors operate as two functions which are a voltage adder and a basic multiplier at the same time. Therefore, this multiplier has decreased the number of transistors. As its significant merit, the multiplier has multi-functions, single ended input and same size of all transistors. Thus, this multiplier widely applies, conveniently connects to other circuits, and is suitable for implement as integrated form. Second-order effects have been analyzed, and its performance has been demonstrated by PSpice. The simulation results of that the proposed multiplier acts as the voltage multiplier show that the THD is less than 1.7% for a 400mV_{p-p} input signal at $\pm 1.85 \text{ V}$ supply voltages and the -3dB bandwidth is up 84MHz. The experimental results have been shown to confirm the operation.

References

- [1] J.S. Pena-Finol and J.A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," IEEE J. Solid-State Circuits, vol.SC-22, no.6, pp.1067-1073, Dec. 1987.
- [2] K. Bult and H. Wallinga, "A CMOS four-quadrant analog multiplier," IEEE J. Solid-State Circuits, vol.SC-21, no.3, pp.430-435, June 1986.
- [3] S.I. Lin and C.-C. Chang, "CMOS analog divider and four-quadrant multiplier using pool circuits," IEEE J. Solid-State Circuits, vol.30, no.9, pp.1025-1029, Sept. 1995.
- [4] S.I. Lin and Y.S. Hwang, "CMOS four-quadrant multiplier using bias feedback techniques," IEEE J. Solid-State Circuits, vol.29, no.6, pp.750-752, June 1994.
- [5] S.I. Lin and C.-C. Chang, "CMOS four-quadrant multiplier using active attenuators," Int. J. Electron., vol.79, pp.323-328, 1995.
- [6] N. Saxena and J.J. Clark, "A four-quadrant CMOS analog multiplier for analog neural networks," IEEE J. Solid-State Circuits, vol.29, no.6, pp.746-749, June 1994.
- [7] K. Tanno, O. Ishizuka, and Z. Tang, "Four-quadrant CMOS

- current-mode multiplier independent of device parameter." *IEEE Trans. Circuits Syst. II*, vol.47, no.5, pp.473-477, May 2000.
- [8] O. Oliaei and P. Loumeau, "Four-quadrant class AB CMOS current multiplier," *Electron. Lett.*, vol.32, pp.2327-2329, May 1996.
- [9] S.T. Lee and K.T. Lau, "Low power building block for artificial neural networks," *Electron. Lett.*, vol.31, pp.1618-1619, Sept. 1995.
- [10] A. Motamed, C. Hwang, and M. Ismail, "A low-voltage low-power wide-range CMOS variable gain amplifier," *IEEE Trans. Circuits Syst. II*, vol.45, no.7, pp.800-811, July 1998.
- [11] S. Wong and C.A. Salama, "Impact of scaling on MOS analog performance," *IEEE J. Solid-State Circuits*, vol.18, no.1, pp.106-114, Feb. 1983.
- [12] P.R. Gray and R.G. Meryer, *Analysis and Design of Analog Integrated Circuits*, 2nd ed., pp.216-221, John Wiley & Sons, 1997.
- [13] I.A. Khan and M.T. Ahmed, "OTA-based integrable voltage/current-controlled ideal C-multiplier," *Electron. Lett.*, vol.22, pp.365-366, March 1986.



Ittipong Chaisayun received the B.Ind. in Industrial Instrumentation Technology and M.Eng. degree in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, THAILAND, in 1990 and 1994, respectively. He is currently studying D.Eng degree in electrical engineering at KMITL. His research interests analog circuit design.



Kobchai Dejhan received the B.Eng. and M.Eng. degrees in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, THAILAND, in 1978 and 1980, respectively and the D.Eng degree in telecommunications from Ecole Nationale Supérieure des telecommunications (ENST) Paris, France (telecom Paris) in 1989. Since 1980, he has been a member of the department of telecommunication at faculty of engineering, KMITL, where he is currently an associate professor of telecommunication. His research interests analog circuit design, digital circuit design, and telecommunication.

ประวัติผู้เขียน

ชื่อ - สกุล	นายอิทธิพงศ์ ชัยสายัณห์
วัน เดือน ปีเกิด	12 สิงหาคม 2514
ที่อยู่ปัจจุบัน	445/2 หมู่บ้านสวนตะไคร้ ต.สนามจันทร์ อ.เมือง จ.นครปฐม 73000
การศึกษา	ปวช. - ปวส. สาขาอิเล็กทรอนิกส์ วิทยาลัยเทคนิคสมุทรปราการ
ปริญญาตรี	อสบ. สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปริญญาโท	วศม. สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ที่ทำงานปัจจุบัน	มหาวิทยาลัยเอเชียอาคเนย์ ตำแหน่ง หัวหน้าสาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้