สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสังเคราะห์วงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สองชนิดแรงดันต่ำโดยใช้ซีมอส

SYNTHESIS OF LOW-VOLTAGE FULL-WAVE RECTIFIER AND SQUARE-ROOTING CIRCUITS USING CMOS

T049306

โรจนากร กัณฑะพงศ์

ROJANAKORN GUNTAPONG

เลขหมู่.....
เลขทะเบียน 49306
วัน, เดือน, ปี 19 ก.พ. 2547

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พ.ศ.2546

ISBN 974-324-852-8

SYNTHESIS OF LOW-VOLTAGE FULL-WAVE RECTIFIER AND SQUARE-ROOTING CIRCUITS USING CMOS

ROJANAKORN GUNTAPONG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ISBN 974-324-852-8

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การสังเคราะห์วงจรเรียงกระแสแบบเต็มคลื่น และวงจรถอดรากที่สองชนิดแรงดันต่ำโดยใช้ซีมอส
นักศึกษา	นายโรจนากร กัณฑะพงศ์
รหัสประจำตัว	40060002
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขา	วิศวกรรมไฟฟ้า
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.วันชัย ริ้วรุจา

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการวิจัยและพัฒนาการออกแบบวงจรรวมโดยใช้เทคโนโลยีของซีมอสที่สามารถใช้แหล่งจ่ายไฟแรงดันต่ำสำหรับการประมวลผลสัญญาณอนาลอกสองวงจร คือวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สอง ในส่วนของการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นจะใช้การไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแส ซึ่งพบว่าวิธีนี้จะทำให้ได้สัญญาณเอาท์พุทมีความผิดเพี้ยนน้อยและมีผลตอบสนองความถี่ที่สูง สำหรับการออกแบบวงจรถอดรากที่สองใช้คุณสมบัติของมอสทรานส์ลิเนียร์โดยมีอินพุทเป็นสัญญาณกระแสหรือสัญญาณแรงดัน และสัญญาณเอาท์พุทจะมีค่าเป็นรากที่สองของสัญญาณอินพุทที่มีความเที่ยงตรงและมีการตอบสนองความถี่ที่สูง ในวิทยานิพนธ์นี้ใช้การเลียนแบบการทำงานของวงจรโดยใช้โปรแกรม PSPICE เพื่อยืนยันสมรรถณะของหลักการที่ได้นำเสนอ

พระจอมเกล้าเจ้าคุณทหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Synthesis of low-voltage full-wave rectifier and square-rooting circuits using CMOS
Student	Mr. Rojanakorn Guntapong
Student ID.	40060002
Degree	Doctor of Engineering
Programme	Electrical Engineering
Year	2003
Thesis Advisor	Assoc.Prof.Dr.Vanchai Riewruja

ABSTRACT

This thesis concerns with the development of novel circuit concepts and new design methodologies aiming at improving performance features of a full-wave rectifier and square-rooting circuits in the form of integrated circuit for analog signal processing. For the realization method of the full-wave rectifier circuit, the design strategy is based on the use of MOS transistor operating at the edge of conduction. The rectifying characteristic of the circuit exhibits a low distortion in the output signal at low level input signal. The square-rooting circuit uses the characteristic of MOS translinear principle. The output signal of the circuit is a square root function of the input current or voltage signal. The circuit has a wide dynamic range, wide-band capability and high accuracy. Simulation results using PSPICE analog simulation program demonstrating the performance of the proposed circuits are also included.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ผู้เขียนขอกราบขอบคุณรองศาสตราจารย์ ดร.วันชัย ริ้วรุจา อาจารย์ที่ปรึกษาเป็นอย่างสูง ที่ได้กรุณาให้ความคิดริเริ่ม คำปรึกษาและแนวทางในการแก้ปัญหาต่างๆ ตลอดจนการฝึกฝนให้ผู้เขียนมีความสามารถในการทำงานวิจัยและพัฒนาได้อย่างมีประสิทธิภาพมาโดยตลอดระยะเวลาที่ศึกษา

ขอกราบขอบคุณ ดร.คงศักดิ์ อนันตหิรัญรัตน์ ที่ให้คำปรึกษาชี้แนวทางในการทำวิทยานิพนธ์ ทำให้การเรียบเรียงวิทยานิพนธ์มีความสมบูรณ์ มีคุณภาพมากยิ่งขึ้น และขอขอบคุณทีมงานห้องปฏิบัติการ CS (B 418) ทุกท่านที่มีส่วนช่วยเหลือเป็นธุระ ตลอดจนเอื้อเฟื้ออุปกรณ์เครื่องมือและสถานที่ในการทำวิจัย

ขอกราบขอบคุณ คุณพ่อ คุณแม่ พี่ชาย และภรรยา ที่ช่วยเป็นกำลังใจในการทำงานกับผู้เขียนมาโดยตลอด

สุดท้ายนี้ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัยประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ที่ให้ทุนและเครื่องมือสนับสนุนในการทำวิทยานิพนธ์นี้

โรจนากร กัณฑะพงศ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ ...III

สารบัญ ...IV

สารบันตาราง ..VII

สารบัญรูป .VIII

รายการสัญลักษณ์ XI

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญ 1

1.2 จุดมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ 2

1.3 ทฤษฎีและแนวความคิดที่ใช้ในการทำวิจัย 2

1.4 รายละเอียดของวิทยานิพนธ์ 3

บทที่ 2 วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ 5

2.1 บทนำ 5

2.2 หลักการเดิมของวงจรเรียงกระแสแบบเต็มคลื่น 6

2.3 หลักการเบื้องต้นของวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ 10

2.4 วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ 19

2.5 สมรรถนะของวงจร 20

2.5.1 การวิเคราะห์ช่วงกระแสปฏิบัติงาน 20

2.5.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท 22

2.5.3 การวิเคราะห์หาค่าความถี่ปฏิบัติงาน 23

2.5.4 การวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแสของวงจร 26

2.5.5 การวิเคราะห์ผลกระทบต่ออุณหภูมิ 29

2.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE 30

2.7 บทสรุป 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 3 วงจรถอดรากที่สองชนิดแรงดันต่ำ 37
3.1 บทนำ 37
3.2 หลักการเดิมของวงจรถอดรากที่สอง 38
3.3 หลักการพื้นฐานของวงจร 42
3.4 วงจรถอดรากที่สองของแรงดันอินพุท 43
3.4.1 การทำงานของวงจร 43
3.4.2 สมรรถนะของวงจร 45
3.4.2.1 การวิเคราะห์แรงดันปฏิบัติงาน 45
3.4.2.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท 46
3.4.2.3 การวิเคราะห์หาค่าความถี่ปฏิบัติงาน 47
3.5 วงจรถอดรากที่สองของกระแสอินพุท 50
3.5.1 การทำงานของวงจร 50
3.5.2 สมรรถนะของวงจร 52
3.5.2.1 การวิเคราะห์กระแสปฏิบัติงาน 52
3.5.2.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท 53
3.5.2.3 การวิเคราะห์หาค่าความถี่ปฏิบัติงาน 54
3.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE 56
3.6.1 วงจรถอดรากที่สองของแรงดันอินพุท 56
3.6.2 วงจรถอดรากที่สองของกระแสอินพุท 59
3.7 บทสรุป 61

บทที่ 4 สรุปผลการวิจัยและข้อเสนอแนะ 62
4.1 บทสรุป 62
4.2 ข้อเสนอแนะการทำวิจัย 63

เอกสารอ้างอิง 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

ภาคผนวก ก. การวิเคราะห์และคำนวณค่าพารามิเตอร์ของมอสทรานซิสเตอร์......................67

ภาคผนวก ข. การวิเคราะห์หาความสัมพันธ์ของกระแส I_{in} ,I_{D2} และ I_{D4} ของวงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V.[13]...........69

ภาคผนวก ค. การวิเคราะห์หาความต้านทานอินพุทของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำกรณีกระแสอินพุทเป็นลบ...71

ภาคผนวก ง. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ...73

ภาคผนวก จ. การวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแสของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำกรณีกระแสอินพุทเป็นลบ...76

ภาคผนวก ฉ. การหาสมรรถนะของวงจรสายพานกระแส..78

ภาคผนวก ช. การวิเคราะห์หาความต้านทานเอาท์พุทของวงจรถอดรากที่สองของแรงดันอินพุท..82

ภาคผนวก ซ. การวิเคราะห์ความถี่ปฏิบัติงานของส่วนวงจรถอดรากที่สอง 85

ภาคผนวก ฌ. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรสะท้อนกระแส....................................87

ภาคผนวก ญ. การวิเคราะห์หาความต้านทานอินพุทและเอาท์พุทของวงจรถอดรากที่สองของกระแสอินพุท 89

ภาคผนวก ฎ. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรตามกระแส.......................................92

ภาคผนวก ฏ. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแผ่ 93

ประวัติผู้เขียน.. .122

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

2.1 แสดงค่า W และ L ในมอสทรานซิสเตอร์....30
3.1 แสดงค่า W และ L ในมอสทรานซิสเตอร์....57
3.2 แสดงค่า W และ L ในมอสทรานซิสเตอร์....59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 วงจรเรียงกระแสแบบเต็มคลื่น Zhenhua Wang [11] 7

2.2 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น Zhenhua Wang [11] เมื่อใช้แรงดันอินพุท $2V_{p-p}$ ที่ความถี่ 10kHz 8

2.3 วงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V.[13] 9

2.4 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V. [13] เมื่อใช้กระแสอินพุท $40\mu A_{p-p}$ ที่ความถี่ 10kHz ..9

2.5 แสดงตำแหน่งการไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแส 10

2.6 วงจรเรียงกระแสแบบเต็มคลื่นแบบที่ใช้แหล่งจ่ายไฟบวกลบ 11

2.7 แสดงผลตอบสนองทางไฟตรงของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6 12

2.8 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6 เมื่อใช้ กระแสอินพุท $200\mu A_{p-p}$
(ก) ความถี่ 10MHz (ข) ความถี่ 50MHz (ค) ความถี่ 100MHz 13

2.9 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6 เมื่อใช้กระแสอินพุท $20\mu A_{p-p}$ ที่ความถี่ 100MHz 14

2.10 วงจรเรียงกระแสแบบเต็มคลื่นแบบที่ใช้แหล่งจ่ายไฟบวก 15

2.11 แสดงผลตอบสนองทางไฟตรงของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10 16

2.12 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10 เมื่อใช้กระแสอินพุท $100\mu A_{p-p}$
(ก) ความถี่ 1MHz (ข) ความถี่ 10MHz (ค) ความถี่ 100MHz 17

2.13 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10 เมื่อใช้กระแสอินพุท $20\mu A_{p-p}$ ที่ความถี่ 1MHz 18

2.14 วงจรสะท้อนกระแสชนิดความต่างศักย์เดรน-ซอสด้านอินพุทคงที่ 18

2.15 วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ 19

2.16 วงจรสมมูลในการวิเคราะห์หาความต้านทานกรณีกระแสอินพุทเป็นบวก 22

2.17 วงจรสมมูลในการวิเคราะห์หาความต้านทานกรณีกระแสอินพุทเป็นลบ 23

2.18 วงจรสมมูลในการวิเคราะห์หาความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นบวก 24

2.19 วงจรสมมูลในการวิเคราะห์หาความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นลบ 25

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

2.20 วงจรสมมูลในการวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแส
กรณีกระแสอินพุทเป็นลบ.....27
2.21 วงจรสมมูลในการวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแส
กรณีกระแสอินพุทเป็นบวก.....28
2.22 แสดงผลของกระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ.....31
2.23 แสดงบริเวณช่วงสัญญาณผ่านจุดศูนย์.....31
2.24 แสดงผลของความถี่ปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ.....32
2.25 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ
เมื่อใช้กระแสอินพุท $100\mu A_{p-p}$
(ก) ความถี่ 10MHz (ข) ความถี่ 50MHz (ค) ความถี่ 100MHz.....33
2.26 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ
เมื่อใช้กระแสอินพุท $10\mu A_{p-p}$ (ก) ความถี่ 50MHz (ข) ความถี่ 100MHz.....34
2.27 แสดงช่วงสัญญาณผ่านจุดศูนย์เมื่อใช้กระแสอินพุท $100\mu A_{p-p}$ ที่ความถี่ 50MHz
เมื่อกำหนดให้กระแส I_1 เท่ากับ 5μA , 10μA และ 15μA.....35
2.28 (ก) แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น
ชนิดแรงดันต่ำเมื่อมีการเปลี่ยนแปลงค่าแรงดันและอุณหภูมิ.....35
(ข) แสดงส่วนขยายบริเวณจุดสูงสุดของสัญญาณเอาท์พุทจากรูป (ก).....36
3.1 วงจรถอดรากที่สอง S.-I.Liu [24].....38
3.2 วงจรถอดรากที่สองที่ใช้หลักการของวงจรทรานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์.....40
3.3 วงจรถอดรากที่สองที่ใช้หลักการของวงจรขยายคลาส AB.....41
3.4 ส่วนหลักของวงจรถอดรากที่สอง.....42
3.5 วงจรถอดรากที่สองของแรงดันอินพุท.....43
3.6 วงจรสมมูลในการวิเคราะห์หาความต้านทานเอาท์พุท.....46
3.7 วงจรสมมูลของวงจรถอดรากที่สอง.....47
3.8 วงจรสมมูลของวงจรสะท้อนกระแส.....48
3.9 วงจรถอดรากที่สองของกระแสอินพุท.....51
3.10 วงจรสมมูลในการวิเคราะห์หาความต้านทานอินพุทและเอาท์พุท.....54
3.11 วงจรสมมูลของวงจรตามกระแส.....55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.12 แสดงผลของแรงดันปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุท.......................57

3.13 แสดงผลของความถี่ปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุท 57

3.14 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของแรงดันอินพุท เมื่อใช้แรงดันอินพุทขนาด $0.8V_{p\text{-}p}$ ความถี่ (ก) 10kHz (ข) 1MHz...............................58

3.15 แสดงผลของกระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุท.......................59

3.16 แสดงผลของความถี่ปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุท 60

3.17 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของกระแสอินพุท เมื่อใช้กระแสอินพุทขนาด $100\mu A_{p\text{-}p}$ ความถี่ (ก) 10kHz (ข) 1MHz...........................61

ก.1 วงจรสมมูลของมอสทรานซิสเตอร์...67

ฉ.1 วงจรสมมูลของวงจรสายพานกระแส...78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์

I_{in} หมายถึงกระแสอินพุท

I_{out} หมายถึงกระแสเอาท์พุท

I_S หมายถึงกระแสย้อนกลับอิ่มตัว

I_C หมายถึงกระแสคอลเลคเตอร์

I_D หมายถึงกระแสเดรน

V_{DD} หมายถึงแหล่งจ่ายไฟบวก

V_{SS} หมายถึงแหล่งจ่ายไฟลบ

V_{in} หมายถึงแรงดันอินพุท

V_{out} หมายถึงแรงดันเอาท์พุท

V_o หมายถึงแรงดันเอาท์พุท

V_{BE} หมายถึงแรงดันระหว่างเบสกับอีมิเตอร์

V_{ther} หมายถึงแรงดันความร้อน

V_{GS} หมายถึงแรงดันไฟฟ้าระหว่างเกทกับซอส

V_{SG} หมายถึงแรงดันไฟฟ้าระหว่างซอสกับเกท

V_{DS} หมายถึงแรงดันไฟฟ้าระหว่างเดรนกับซอส

V_{BS} หมายถึงแรงดันไฟฟ้าระหว่างบอดี้กับซอส

V_T หมายถึงแรงดันขีดเริ่ม

V_{TN} หมายถึงแรงดันขีดเริ่มของ NMOS

V_{TP} หมายถึงแรงดันขีดเริ่มของ PMOS

R หมายถึงความต้านทาน

r_{in} หมายถึงความต้านทานอินพุท

r_{out} หมายถึงความต้านทานเอาท์พุท

r_o หมายถึงความต้านทานเอาท์พุท

CCII หมายถึงวงจรสายพานกระแสยุคที่สอง

Q หมายถึงไบโพลาร์ทรานซิสเตอร์

M หมายถึงมอสทรานซิสเตอร์

W หมายถึงความกว้างประสิทธิผลของแชลแนล

L หมายถึงความยาวประสิทธิผลของแชลแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

μ_0 หมายถึงค่าความคล่องของโฮลหรืออิเลกตรอน

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์(ต่อ)

t_{ox} หมายถึงความหนาของออกไซด์

g_m หมายถึงค่าความนำของมอสทรานซิสเตอร์

g_d หมายถึงค่าความนำที่ขาเดรน

g_i หมายถึงค่าความนำของแหล่งจ่ายกระแสคงที่

K_p หมายถึงพารามิเตอร์ความนำ

C_{gs} หมายถึงความจุไฟฟ้าระหว่างเกทกับซอส

C_{ox} หมายถึงความจุไฟฟ้าที่เกิดจากออกไซด์

λ หมายถึงความยาวแชลแนลโมดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญ

ปัจจุบันนี้อุตสาหกรรมมีการพัฒนาให้มีความเจริญก้าวหน้าอย่างไม่หยุดนิ่ง ไม่ว่าจะเป็นอุตสาหกรรมการเกษตร อุตสาหกรรมสิ่งทอ อุตสาหกรรมการก่อสร้าง อุตสาหกรรมเครื่องจักรกล โดยเฉพาะอุตสาหกรรมอิเลกทรอนิกส์จะเกี่ยวเนื่องกับการพัฒนาเกือบทุกอุตสาหกรรม ที่ผ่านมาได้มีการพัฒนาอย่างต่อเนื่องนับตั้งแต่ระบบหลอดสุญญากาศ (vacuum tube) มาเป็นสารกึ่งตัวนำ (semiconductor) ที่มีลักษณะเป็นดิสครีท (discrete) และมาเป็นรูปแบบวงจรรวม (integrated circuit) หรือเรียกว่า ไอซี (IC) วงจรแบบดิสครีทจะใช้อุปกรณ์จำพวกแอคทีฟ (active) เช่น ทรานซิสเตอร์ มอสทรานซิสเตอร์ มาต่อร่วมกับตัวต้านทาน หรือตัวเก็บประจุซึ่งเป็นอุปกรณ์จำพวกพาสซีฟ (passive) ทำให้วงจรใช้พื้นที่มากและมีขนาดใหญ่ ความเที่ยงตรงและเสถียรภาพของวงจรทางด้านอุณหภูมิและผลตอบสนองต่อความถี่ไม่ดี เนื่องจากความร้อนที่เกิดขึ้นแต่ละบริเวณของแผ่นวงจรไม่เท่ากัน และเกิดค่าเหนี่ยวนำรวมทั้งค่าประจุสะสมระหว่างลายวงจรมีค่าสูง ในส่วนของวงจรรวมสามารถลดปัญหาที่เกิดขึ้นจากการใช้วงจรแบบดิสครีทลงได้มาก เนื่องจากอุปกรณ์ทั้งหมดของวงจรรวมถูกสร้างขึ้นบนสารกึ่งตัวนำชิ้นเดียวกัน ทำให้วงจรมีขนาดเล็กและอุณหภูมิแต่ละจุดของวงจรมีค่าใกล้เคียงกันจึงทำให้วงจรมีเสถียรภาพต่ออุณหภูมิที่ดี การออกแบบวงจรรวมจึงได้รับความสนใจและมีการทำวิจัยกันอย่างกว้างขวางและต่อเนื่อง โดยได้มีการนำเสนอหลักการใหม่ๆขึ้น เพื่อสามารถนำวงจรไปประยุกต์ใช้งานได้ง่ายหรือปรับปรุงแก้ไขวงจรที่มีอยู่เดิมให้มีประสิทธิภาพ และคุณสมบัติในการทำงานตลอดจนความละเอียดแม่นยำในการทำงานดีขึ้นและมีผลตอบสนองต่อความถี่ในการปฏิบัติงานสูงขึ้น อีกทั้งมีการพัฒนาให้วงจรใช้กำลังไฟฟ้าน้อยลงและใช้จำนวนอุปกรณ์ภายในวงจรน้อยที่สุดเท่าที่เป็นไปได้ เพื่อให้สามารถนำไปสร้างเป็นวงจรรวมได้ง่ายและมีราคาต่อหน่วยต่ำ

วงจรเรียงกระแสแบบเต็มคลื่นสำหรับสัญญาณขนาดเล็กและวงจรถอดรากที่สอง เป็นวงจรที่มีความสำคัญสำหรับการประมวลผลสัญญาณแบบอนาลอก จากอดีตถึงปัจจุบันได้มีผู้นำเสนอการออกแบบและพัฒนาวงจรเรียงกระแสแบบเต็มคลื่น และวงจรถอดรากที่สองกันอย่างต่อเนื่อง โดยใช้อุปกรณ์สารกึ่งตัวนำต่างๆ เช่น ไดโอด ไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) มอสทรานซิสเตอร์ (metal oxide semiconductor field effect transistor หรือ MOS) ออปแอมป์ (operation amplifier หรือ op-amp) โอทีเอ (operational transconductance amplifier หรือ OTA) จุดมุ่งหมายเพื่อให้วงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สองมีคุณสมบัติและประสิทธิภาพในการทำงาน ตลอดจนความละเอียดแม่นยำใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานและผลตอบสนองต่อความถี่สูง อีกทั้งเพื่อให้ได้วงจรที่ใช้อุปกรณ์น้อยที่สุด และใช้กำลังไฟฟ้าต่ำลง

ในวิทยานิพนธ์นี้ เป็นการนำเสนอการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำโดยใช้มอสทรานซิสเตอร์สำหรับสัญญาณขนาดเล็กอีกวิธีหนึ่ง โดยการกำหนดให้มอสทรานซิสเตอร์ทำงานที่ขอบของการนำกระแส และวงจรถอดรากที่สองชนิดแรงดันต่ำโดยใช้มอสทรานซิสเตอร์สำหรับสัญญาณขนาดเล็กโดยใช้คุณสมบัติของมอสทรานส์ลิเนียร์ ซึ่งทั้งสองวงจรสามารถตอบสนองต่อช่วงปฏิบัติการของสัญญาณอินพุทกว้าง และตอบสนองความถี่สูง

1.2 จุดมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

มุ่งเน้นการวิจัยและพัฒนา การออกแบบวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สองสำหรับสัญญาณขนาดเล็ก ในอดีตได้มีการใช้ไดโอด ออปแอมป์ ไบโพลาร์ทรานซิสเตอร์ มอสทรานซิสเตอร์ เป็นอุปกรณ์หลักในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สอง แต่ยังมีจุดด้อยอยู่มากทั้งด้านช่วงปฏิบัติการ ผลตอบสนองทางความถี่ และต้องการแรงดันไฟเลี้ยงสูง จึงได้กำหนดวัตถุประสงค์ในการทำวิทยานิพนธ์เอาไว้ดังนี้คือ

1. เพื่อศึกษาค้นคว้าและวิจัยหาหลักการใหม่ในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สอง เพื่อขจัดปัญหาและข้อจำกัดจากการออกแบบวงจรในอดีต
2. สามารถทำงานได้กับแรงดันไฟต่ำ
3. จำนวนอุปกรณ์ที่ใช้น้อยที่สุด
4. สามารถนำไปสร้างเป็นวงจรรวมได้

1.3 ทฤษฎีและแนวความคิดที่ใช้ในการทำวิจัย

ในวิทยานิพนธ์นี้ ได้เสนอแนวคิดใหม่ในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นโดยใช้หลักการกำหนดจุดทำงานของมอสทรานซิสเตอร์ให้ทำงานที่ขอบของการนำกระแส (edge of conduction) ข้อได้เปรียบของหลักการที่นำเสนอนี้ จะเป็นการลดความผิดพลาดที่สัญญาณเอาท์พุทผ่านจุดศูนย์ (zero-crossing) ส่วนวงจรถอดรากที่สองใช้หลักการของมอสทรานส์ลิเนียร์ร่วมกับแหล่งจ่ายกระแสคงที่ เพื่อสร้างเป็นวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นกระแสที่มีความเที่ยงตรง และยังสามารถใช้ถอดรากที่สองของสัญญาณอินพุทที่เป็นแรงดันได้ โดยเพิ่มวงจรเปลี่ยนแรงดันไปเป็นกระแส (voltage-to-current converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ ได้แบ่งเนื้อหาออกเป็น 4 บท และภาคผนวกอีก 12 ภาค โดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำที่กล่าวถึงความเป็นมาและความสำคัญของปัญหา ตลอดจนวัตถุประสงค์ แนวคิดและหลักการใหม่ที่ใช้ในการทำในวิทยานิพนธ์นี้ พร้อมรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงหลักการออกแบบ และสมรรถนะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ โดยใช้หลักการกำหนดจุดทำงานของมอสทรานซิสเตอร์ให้ทำงานที่ขอบของการนำกระแส และวิธีการวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎี แล้วนำมาเปรียบเทียบกับการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อเป็นการยืนยันสมรรถนะการทำงานของวงจร

บทที่ 3 กล่าวถึงหลักการออกแบบและสมรรถนะของวงจรถอดรากที่สองชนิดแรงดันต่ำ และการวิเคราะห์หาคุณสมบัติของวงจรทางทฤษฎี แล้วนำมาเปรียบเทียบกับการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อเป็นการยืนยันสมรรถนะการทำงานของวงจร

บทที่ 4 เป็นบทส่งท้ายซึ่งเป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์และแนวทางในการวิจัยพัฒนาวงจรต่อไป

ในส่วนสุดท้ายของวิทยานิพนธ์ จะเป็นภาคผนวกซึ่งรวบรวมการวิเคราะห์ของสมการต่างๆ ของแต่ละบท ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก. การวิเคราะห์และคำนวณค่าพารามิเตอร์ของมอสทรานซิสเตอร์

ภาคผนวก ข. การวิเคราะห์หาความสัมพันธ์ของกระแส I_{in} ,I_{D2} และ I_{D4} ของวงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V. [13]

ภาคผนวก ค. การวิเคราะห์หาความต้านทานอินพุทของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำกรณีกระแสอินพุทเป็นลบ

ภาคผนวก ง. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ. การวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแสของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำกรณีกระแสอินพุทเป็นลบ

ภาคผนวก ฉ. การหาสมรรถนะของวงจรสายพานกระแส

ภาคผนวก ช. การวิเคราะห์หาความต้านทานเอาท์พุทของวงจรถอดรากที่สองของแรงดันอินพุท

ภาคผนวก ซ. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรถอดรากที่สอง

ภาคผนวก ฌ. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรสะท้อนกระแส

ภาคผนวก ญ. การวิเคราะห์หาความต้านทานอินพุทและเอาท์พุทของวงจรถอดรากที่สองของกระแสอินพุท

ภาคผนวก ฎ. การวิเคราะห์ความถี่ปฏิบัติงานของวงจรตามกระแส

ภาคผนวก ฏ. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแผ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ

2.1 บทนำ

วงจรเรียงกระแสแบบเต็มคลื่นเป็นวงจรหนึ่งที่มีความสำคัญเพื่อใช้สำหรับการประมวลผลสัญญาณแบบอนาลอก และเป็นวงจรที่มีการประยุกต์ใช้งานกันอย่างกว้างขวางทั้งในด้านการสื่อสารโทรคมนาคมและในเครื่องมือวัดต่างๆ เช่น ใช้ในวงจรตรวจจับค่ายอดของสัญญาณซายน์ (peak amplitude detector) [1] ใช้ในการแปลงค่าสัญญาณ RMS เป็นกระแสตรง [2] เป็นต้น วงจรเรียงกระแสแบบเต็มคลื่นโดยทั่วไปจะใช้ไดโอดในการเรียงกระแส แต่เนื่องจากไดโอดมีแรงดันตกคร่อมประมาณ 0.2 โวลท์สำหรับไดโอดแบบเยอรมันเนียม และ 0.6 โวลท์สำหรับซิลิกอนไดโอด เป็นผลให้วงจรเรียงกระแสมีความผิดพลาดเมื่อใช้กับสัญญาณที่มีขนาดต่ำใกล้กับแรงดันตกคร่อมไดโอด ดังนั้นจึงมีการพัฒนาไปสู่วงจรเรียงกระแสซึ่งสามารถทำงานได้อย่างถูกต้องเมื่อใช้สัญญาณอินพุทต่ำ ในอดีตได้มีการนำเสนอวงจรเรียงกระแสแบบเต็มคลื่นโดยใช้ออปแอมป์และไดโอด [3] หรือใช้ไบโพลาร์ทรานซิสเตอร์ที่ไบอัสให้ทำงานในคลาสบี [4],[5] ซึ่งทั้งสองวงจรนี้จะเกิดความผิดพลาดที่สัญญาณเอาท์พุทขึ้นที่บริเวณช่วงสัญญาณผ่านจุดศูนย์เนื่องจากการเปลี่ยนสภาวะไม่ทันของทรานซิสเตอร์หรือไดโอดระหว่างสภาวะนำกระแสและไม่นำกระแส วิธีการอื่นที่ใช้ออกแบบวงจรเรียงกระแสโดยใช้เทคนิคการตรวจจับกระแสที่จ่ายให้กับออปแอมป์ (operational – amplifier supply-current sensing technique) [6] ซึ่งวิธีนี้มีข้อจำกัดอยู่ที่ขนาดของสัญญาณของกระแสอินพุทต้องมากกว่าสี่เท่าของกระแสที่ใช้ไบอัสให้กับออปแอมป์ เพื่อหลีกเลี่ยงความผิดพลาดเนื่องจากคุณสมบัติความไม่เป็นเชิงเส้นของออปแอมป์ [7] นอกจากวิธีการดังที่กล่าวมาแล้วนี้ยังมีการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นอื่นๆอีก เช่น การออกแบบโดยอาศัยหลักการของวงจรสายพานกระแสและไดโอด [8],[9] ซึ่งวิธีนี้ใช้เทคนิคการไบอัสไดโอดตรงบริเวณจุดที่เริ่มนำกระแส เพื่อหลีกเลี่ยงการเปลี่ยนสภาวะไม่ทันของไดโอดระหว่างสภาวะนำกระแสและไม่นำกระแสและยังสามารถทำงานได้ในความถี่สูงขึ้นด้วย ในเทคโนโลยีวงจรรวมแบบซีมอสไดโอดสามารถนำมอสทรานซิสเตอร์มาแทนได้โดยต่อขาเดรนกับขาเกทเข้าด้วยกัน [10] ซึ่งจะเห็นได้จากวงจรเรียงกระแสแบบเต็มคลื่นที่ออกแบบโดยใช้ออปแอมป์ และมอสทรานซิสเตอร์ที่ถูกไบอัสให้ทำงานในคลาสบี [11] แต่วงจรนี้ไม่สามารถทำงานได้ที่ความถี่สูงได้เนื่องจากข้อจำกัดทางความถี่ของออปแอมป์และการเปลี่ยนสภาวะไม่ทันของมอสทรานซิสเตอร์ระหว่างสภาวะนำกระแสและไม่นำกระแส ส่วนวิธีอื่นๆที่อาศัยเทคโนโลยีของมอสคือการไบอัสให้มอสทรานซิสเตอร์ทำงานในคลาสเอบี [12],[13] แต่วิธีนี้กระแสของสัญญาณอินพุทต้องมากกว่ากระแสไบอัสถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 เท่าเพื่อหลีกเลี่ยงความผิดพลาดที่เกิดจากกฎกำลังสองของสมการกระแสในมอสทรานซิสเตอร์ (square law error)

ในปัจจุบันนี้ นักวิจัยได้ให้ความสำคัญกับการลดค่าแรงดันไฟเลี้ยงที่จ่ายให้กับวงจรเพื่อตอบสนองความต้องการของเครื่องมือวัดแบบพกพาที่มีแหล่งจ่ายไฟเป็นแบตเตอรี่ ดังนั้นการออกแบบวงจรโดยใช้โหมดของกระแสสามารถตอบสนองต่อความต้องการนี้ได้เนื่องจากคุณสมบัติของวงจรที่ทำงานในโหมดของกระแสสามารถทำงานได้ที่ความถี่สูง ช่วงสัญญาณปฏิบัติงานทางอินพุทกว้าง และสามารถใช้แรงดันต่ำจ่ายให้กับวงจร [14],[15] วงจรเรียงกระแสแบบเต็มคลื่นที่ใช้แรงดันต่ำ [16] ถูกออกแบบโดยไบอัสให้คู่มอสทรานซิสเตอร์แบบ NMOS และ PMOS ทำงานในคลาสเอบี แต่วงจรนี้ไม่สามารถทำงานได้ที่ความถี่สูงและมีความผิดพลาดที่สัญญาณเอาท์พุทเนื่องจากการใช้มอสทรานซิสเตอร์ชนิด N และ P ทำงานร่วมกัน ในบทที่สองนี้จะเป็นการนำเสนอการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำโดยใช้หลักการกำหนดจุดทำงาน หรือไบอัสมอสทรานซิสเตอร์ชนิด NMOS ให้ทำงานในสภาวะที่ขอบของการนำกระแสซึ่งจากการทดลองพบว่าคุณสมบัติของวงจรให้ความเที่ยงตรงสูง สามารถทำงานได้ในช่วงปฏิบัติงานทั้งด้านขนาดและความถี่ของสัญญาณที่กว้าง และสามารถทำงานได้กับสัญญาณอินพุทที่มีขนาดเล็ก

2.2 หลักการเดิมของวงจรเรียงกระแสแบบเต็มคลื่น

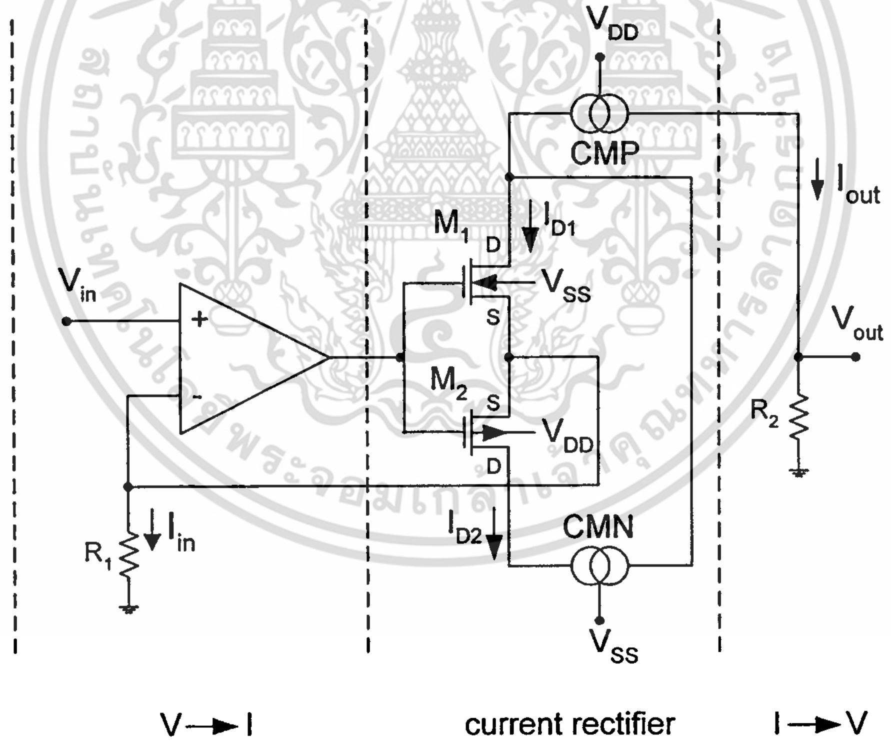
ในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นที่ผ่านมาในอดีต สามารถสรุปแนวทางการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นได้เป็น 2 กลุ่มใหญ่ อันได้แก่ กลุ่มที่ 1 วงจรเรียงกระแสแบบเต็มคลื่นที่ใช้ออปแอมป์ และกลุ่มที่ 2 วงจรเรียงกระแสแบบเต็มคลื่นที่ไม่ใช้ออปแอมป์

วงจรเรียงกระแสแบบเต็มคลื่นในกลุ่มที่ 1 ใช้หลักการออกแบบวงจรโดยใช้ออปแอมป์ร่วมกับไดโอด หรือใช้ไบโพลาร์ทรานซิสเตอร์ หรือมอสทรานซิสเตอร์โดยไบอัสให้ทำงานในคลาสบี การออกแบบวิธีนี้มีข้อเสียคือช่วงความถี่ปฏิบัติงานถูกจำกัดเนื่องจากข้อจำกัดทางความถี่ของออปแอมป์ และเกิดความผิดพลาดที่สัญญาณเอาท์พุทขึ้นที่บริเวณช่วงสัญญาณผ่านจุดศูนย์ ตัวอย่างของวงจรที่ใช้หลักการนี้คือวงจรเรียงกระแสแบบเต็มคลื่นที่ออกแบบโดย Zhenhua Wang [11] แสดงดังรูปที่ 2.1 โดยวงจรจะแบ่งเป็น 2 ส่วนคือ ส่วนแปลงแรงดันเป็นกระแส (voltage-to-current converter, V-I) และส่วนแปลงกระแสเป็นแรงดัน (current-to-voltage, I-V) การทำงานของวงจรสามารถอธิบายได้ดังนี้

เมื่อป้อนแรงดันอินพุทเป็นบวก ($V_{in} > 0$) ทำให้แรงดันที่เอาท์พุทของออปแอมป์สูงขึ้นส่งผลให้มอสทรานซิสเตอร์ M_1 นำกระแสเนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 เพิ่มขึ้น ส่วนความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 ลดลงทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์ M_2 เข้าสู่สภาวะไม่นำกระแส เกิดกระแส I_{D1} ไหลผ่านตัวต้านทาน R_1 มีค่าเท่ากับ $I_{D1} = I_{in} = \frac{V_{in}}{R_1}$ เนื่องจากมีการป้อนกลับแบบลบ (negative feedback) ของออปแอมป์ทำให้แรงดันที่ขาอินพุทบวก (non-inverting) จะเท่ากับแรงดันที่ขาอินพุทลบ (inverting) เกิดแรงดันตกคร่อม R_1 เท่ากับ V_{in} ในทางกลับกันถ้าป้อนแรงดันอินพุทเป็นลบ ($V_{in} < 0$) ที่แรงดันเอาท์พุทของออปแอมป์จะลดลงส่งผลให้มอสทรานซิสเตอร์ M_2 นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 เพิ่มขึ้น ส่วนความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 ลดลงทำให้มอสทรานซิสเตอร์ M_1 เข้าสู่สภาวะไม่นำกระแส เกิดกระแส $I_{D2} = I_{in} = \frac{V_{in}}{R_1}$ กระแส I_{D2} ถูกสะท้อนไปรวมกับกระแส I_{D1} โดยผ่านวงจรสะท้อนกระแส CMN ผลรวมของกระแส I_{D1} และ I_{D2} ถูกส่งผ่านไปยังเอาท์พุทโดยวงจรสะท้อนกระแส CMP โดยที่แรงดันเอาท์พุท (V_{out}) สามารถแสดงดังสมการ (2.1)



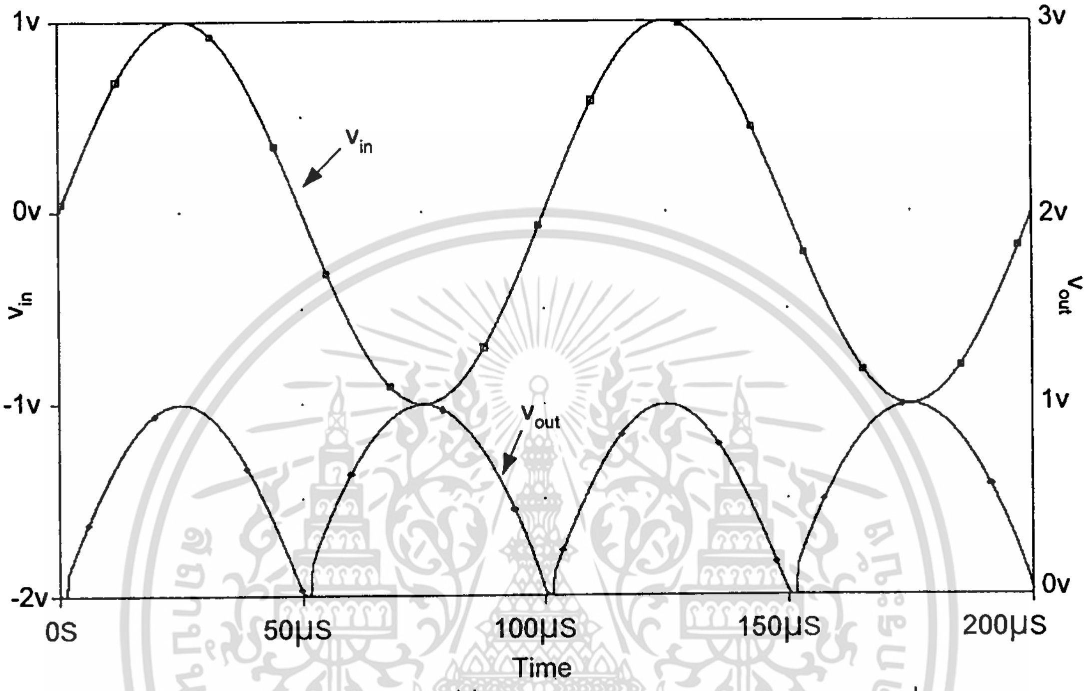
รูปที่ 2.1 วงจรเรียงกระแสแบบเต็มคลื่น Zhenhua Wang [11]

$$V_{out} = \frac{R_2}{R_1}|V_{in}| \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากำหนดให้ $R_1 = R_2 = R$ ดังนั้นแรงดันเอาท์พุทเป็น

$$V_{out} = |V_{in}| \tag{2.2}$$



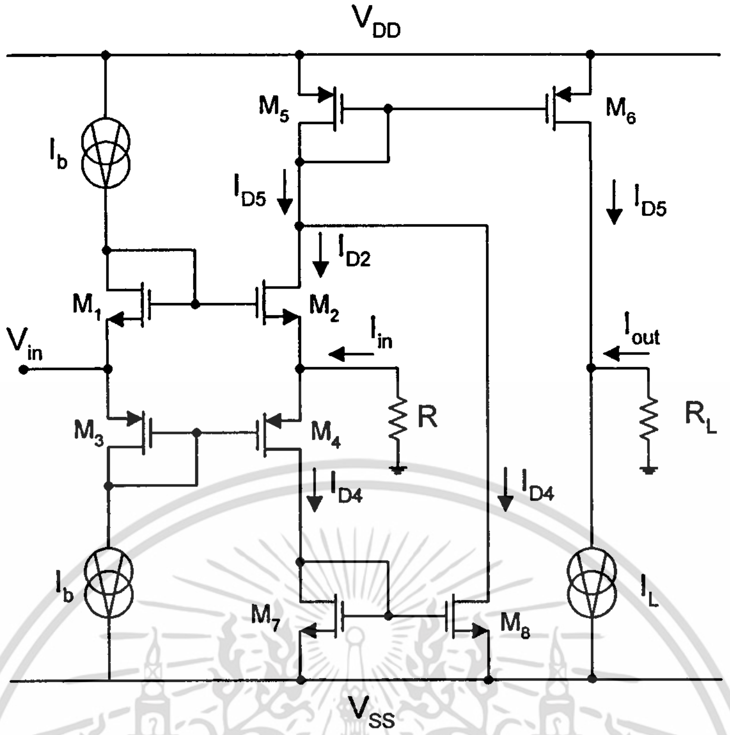
รูปที่ 2.2 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น Zhenhua Wang [11] เมื่อใช้แรงดันอินพุท $2V_{p-p}$ ที่ความถี่ 10kHz

จากรูปที่ 2.2 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น Zhenhua Wang [11] เมื่อใช้แรงดันอินพุท $2V_{p-p}$ ที่ความถี่ 10kHz จะเห็นได้ว่าเกิดความผิดพลาดที่สัญญาณเอาท์พุทขึ้นที่บริเวณช่วงสัญญาณผ่านจุดศูนย์

วงจรเรียงกระแสแบบเต็มคลื่นในกลุ่มที่ 2 ใช้หลักการออกแบบวงจรโดยใช้เทคโนโลยีของซีมอสไบอัสให้ทำงานในคลาสเอบีแสดงดังรูปที่ 2.3 ตัวอย่างของวงจรที่ใช้หลักการนี้คือวงจรเรียงกระแสแบบเต็มคลื่นที่ออกแบบโดย Surakampontorn,W. and Riewruja,V. [13]

จากรูปที่ 2.3 ตัวจ่ายกระแสคงที่ I_b จะจ่ายกระแสคงที่เพื่อไบอัสให้กับวงจร กำหนดให้มอสทรานซิสเตอร์ M_1 และ M_2 มีคุณสมบัติเหมือนกันทุกประการกับมอสทรานซิสเตอร์ M_3 และ M_4 ทำให้ $(W/L)_1/(W/L)_2 = (W/L)_3/(W/L)_4$ และมอสทรานซิสเตอร์ทุกตัวทำงานในช่วงอิ่มตัว ความสัมพันธ์ของกระแส I_{in} ,I_{D2} และ I_{D4} เมื่อกำหนดให้ $|I_{in}| >> 4I_b$ (ภาคผนวก ข.) แสดงดังสมการ (2.3)

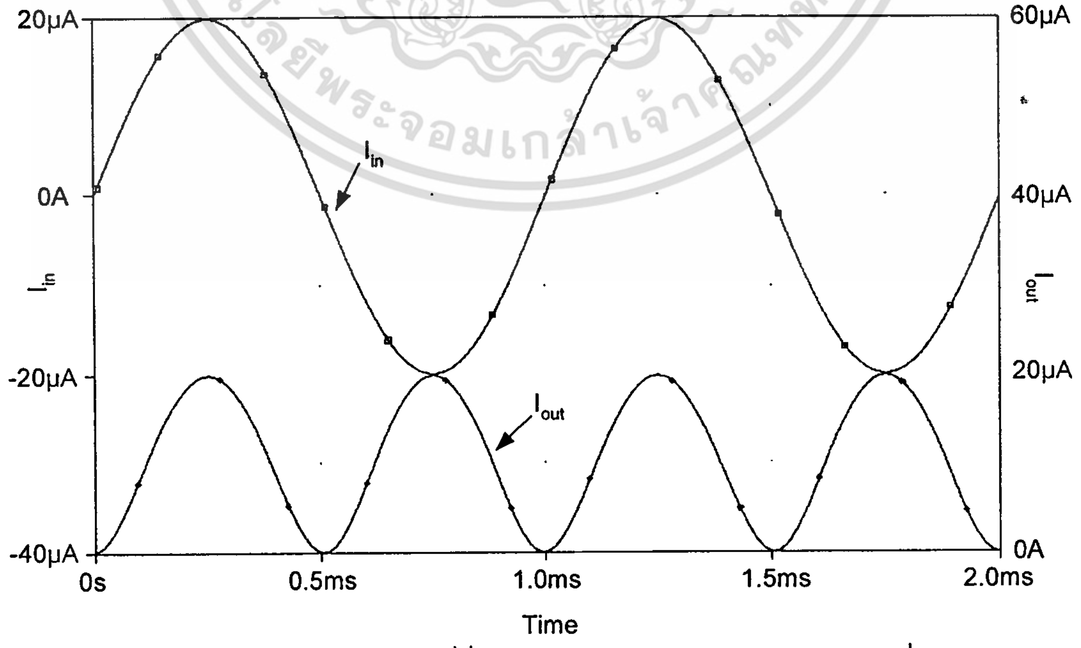
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V. [13]

$$I_{D2} \cong 0 \quad \text{และ} \quad I_{D4} \cong I_{in} \quad \text{เมื่อ } I_{in} > 0 \tag{2.3 ก}$$

$$I_{D2} \cong I_{in} \quad \text{และ} \quad I_{D4} \cong 0 \quad \text{เมื่อ } I_{in} < 0 \tag{2.3 ข}$$



รูปที่ 2.4 **แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น** Surakampontorn,W.,Riewruja,V.[13] **เมื่อใช้กระแสอินพุท** $40\mu A_{p\text{-}p}$ **ที่ความถี่** 10kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

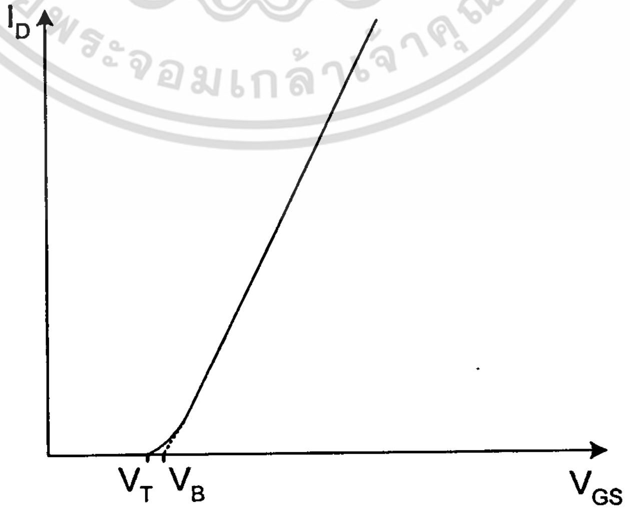
เมื่อนำกระแส I_{D2} และ I_{D4} มารวมกันจะได้เป็นดังสมการ (2.4) ซึ่งก็คือสมการของวงจรเรียงกระแสแบบเต็มคลื่นนั่นเอง

$$I_{D2} + I_{D4} = |I_{in}| \tag{2.4}$$

หลักการของวงจรนี้มีข้อเสียตรงที่ไม่สามารถทำงานได้ที่สัญญาณอินพุทต่ำๆ แต่จะทำงานได้เมื่อสัญญาณอินพุทมากกว่ากระแสไบอัสถึง 4 เท่า ดังรูปที่ 2.4 แสดงให้เห็นถึงค่าผิดพลาดกรณีที่สัญญาณอินพุทมีขนาดต่ำใกล้เคียงกับค่าสี่เท่าของกระแสไบอัส

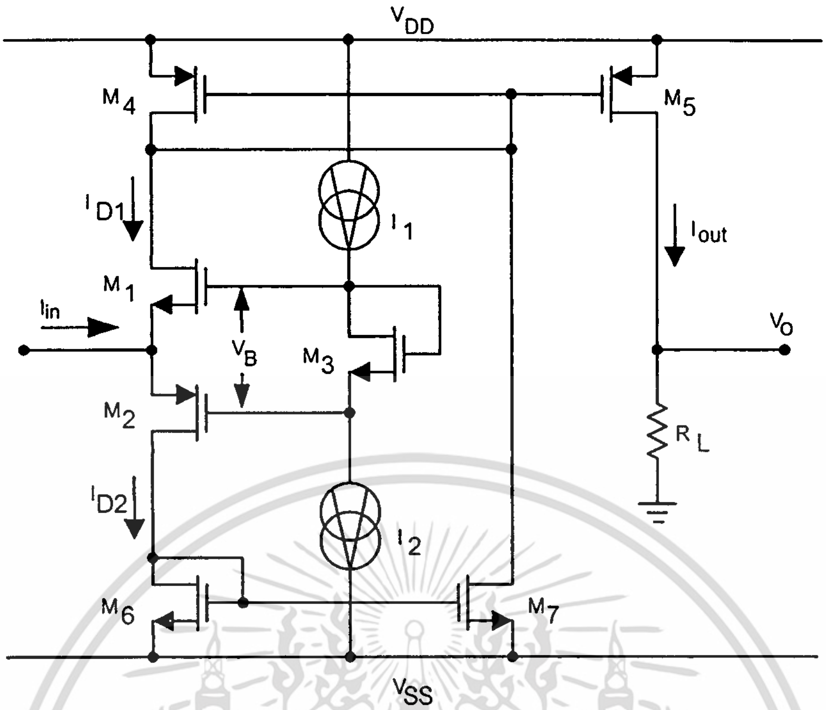
2.3 หลักการเบื้องต้นของวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ

วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอใช้หลักการไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแสแสดงดังจุด V_B ในรูปที่ 2.5 โดยที่ V_T เป็นแรงดันขีดเริ่มของมอสทรานซิสเตอร์ ข้อได้เปรียบของการไบอัสที่จุดนี้จะเป็นการลดความผิดเพี้ยนทางฮาร์โมนิกส์ที่สอง และสามารถทำงานได้ที่ความถี่สูง ดังวงจรในรูปที่ 2.6 [17] โดยที่ตัวจ่ายกระแสคงที่ I_1 และ I_2 จะจ่ายกระแสคงที่ให้กับมอสทรานซิสเตอร์ M_3 เพื่อให้เกิดค่าความต่างศักย์ V_B ไบอัสให้กับมอสทรานซิสเตอร์ M_1 และ M_2 ทำให้มอสทรานซิสเตอร์ M_1 และ M_2 ถูกไบอัสที่ขอบของการนำกระแส ค่าความต่างศักย์ V_B จะมีค่าประมาณ $V_{T1} + V_{T2}$ โดยที่ V_{T1} และ V_{T2} เป็นแรงดันขีดเริ่มของมอสทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้



รูปที่ 2.5 แสดงตำแหน่งการไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจรเรียงกระแสแบบเต็มคลื่นแบบที่ใช้แหล่งจ่ายไฟบวกลบ

เมื่อกระแสอินพุทเป็นบวก ($I_{in} > 0$) กระแสจะไหลผ่านมอสทรานซิสเตอร์ M_2 และวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_6 และ M_7 ซึ่งทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 เพิ่มขึ้นและมอสทรานซิสเตอร์ M_1 เข้าสู่สภาวะไม่นำกระแส (cuttoff) เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 ลดลงจนหยุดนำกระแส ดังนั้น $I_{D2} = I_{in}$ และ $I_{D1} = 0$ ในทางกลับกันถ้ากระแสอินพุทเป็นลบ ($I_{in} < 0$) กระแสจะไหลผ่านมอสทรานซิสเตอร์ M_1 และวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_4 และ M_5 ทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 เพิ่มขึ้นและมอสทรานซิสเตอร์ M_2 เข้าสู่สภาวะไม่นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 ลดลงจนหยุดนำกระแส ดังนั้น $I_{D1} = I_{in}$ และ $I_{D2} = 0$

$$I_{D1} = I_{in} \ , \ I_{D2} = 0 \quad \text{เมื่อ } I_{in} < 0 \tag{2.5}$$

และ

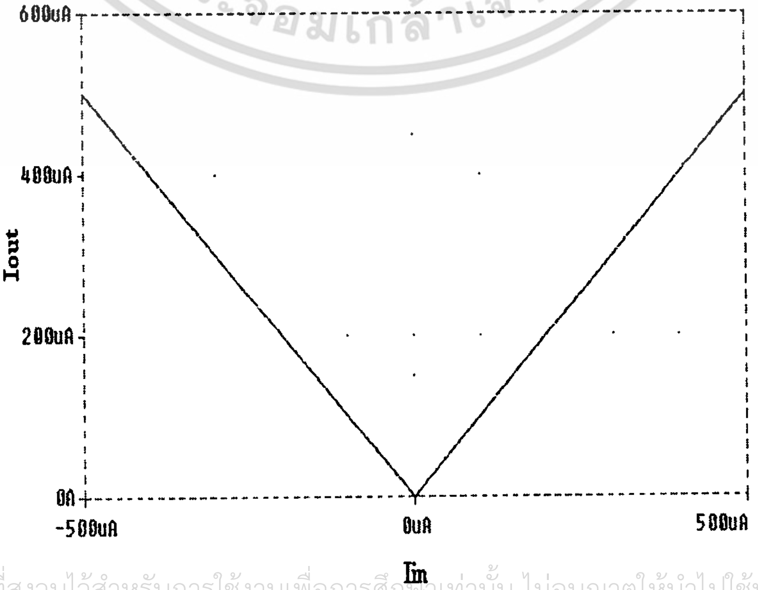
$$I_{D2} = I_{in} \ , \ I_{D1} = 0 \quad \text{เมื่อ } I_{in} > 0 \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มของมอสทรานซิสเตอร์ M_4 , M_5 และมอสทรานซิสเตอร์ M_6 , M_7 เป็นวงจรสะท้อนกระแสซึ่งมีอัตราขยายกระแสเท่ากับหนึ่ง จากวงจรรูปที่ 2.6 จะเห็นว่ามอสทรานซิสเตอร์ M_7 จะสะท้อนกระแส I_{D2} จากมอสทรานซิสเตอร์ M_6 เพื่อนำมารวมกับกระแส I_{D1} ดังนั้นกระแส I_{D4} คือผลรวมของกระแส I_{D1} และ I_{D2} ซึ่งก็คือรูปแบบของการเรียงกระแสแบบเต็มคลื่น วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_4 และ M_5 จะสะท้อนผลรวมของกระแส I_{D1} และ I_{D2} ไปสู่จุดเอาท์พุท ดังนั้น

$$I_{out} = I_{D1} + I_{D2} = |I_{in}| \tag{2.7}$$

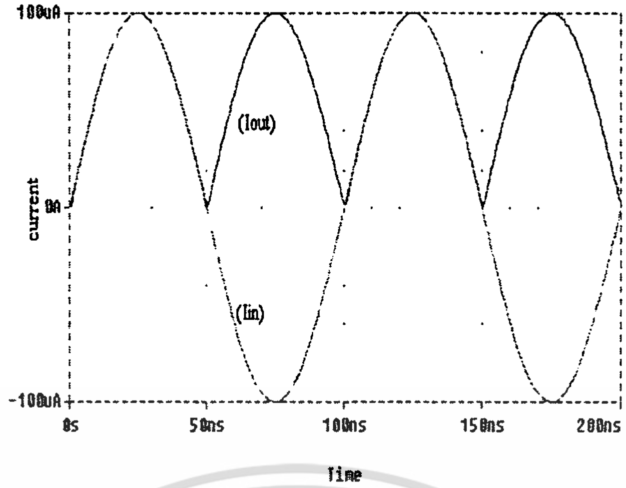
ผลการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6 โดยใช้โปรแกรม PSPICE กำหนดให้ $I_1 = I_2 = 20\mu A$, $V_{DD} = -V_{SS} = 5V$, W_1 ถึง $W_7 = 5\mu m$, L_1 ถึง $L_7 = 2\mu m$ พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้เลียนแบบการทำงานของวงจรใช้ MOSIS 2.0µm ผลตอบสนองทางไฟตรงของวงจรเมื่อป้อนกระแสอินพุทจาก -500µA ถึง 500µA แสดงดังรูปที่ 2.7 จะเห็นได้ว่ากระแสเอาท์พุทอยู่ในรูปของค่าสัมบูรณ์ของกระแสอินพุท และมีช่วงกระแสปฏิบัติงานทางอินพุทกว้าง ผลตอบสนองทางความถี่ชั่วขณะ (transient response) ของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6 เมื่อใช้กระแสอินพุท $200\mu A_{p\text{-}p}$ ที่ความถี่ 10MHz, 50MHz และ 100MHz แสดงดังรูปที่ 2.8 จะเห็นว่ารูปคลื่นของสัญญาณเอาท์พุทให้รูปคลื่นที่เป็นสัญญาณเรียงกระแสแบบเต็มคลื่นที่สมบูรณ์ ทำงานได้ที่ความถี่สูง และสามารถทำงานได้กับสัญญาณอินพุทที่มีขนาดเล็กได้ดังแสดงในรูปที่ 2.9



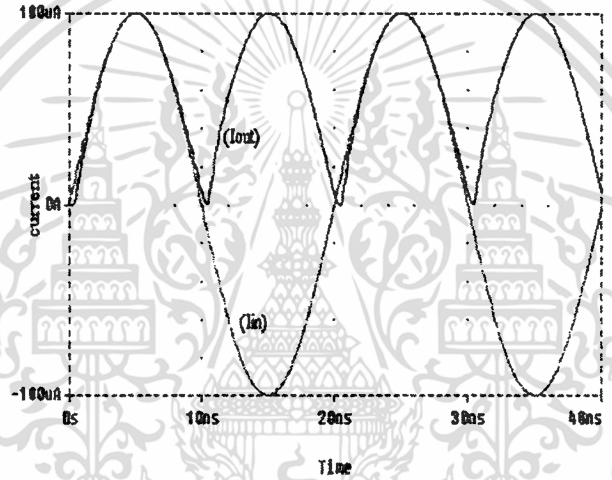
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 2.7 แสดงผลตอบสนองทางไฟตรงของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.6

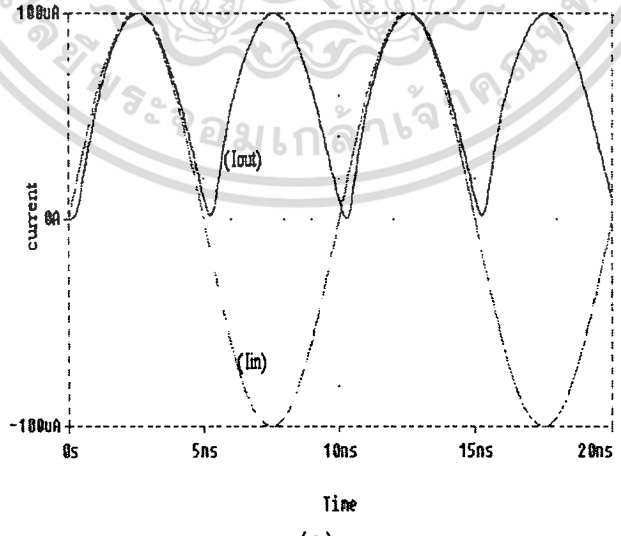
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

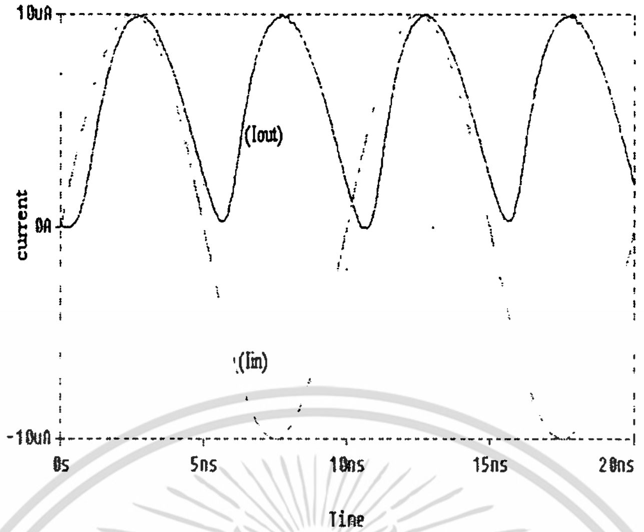


(ค)

รูปที่ 2.8 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น จากรูปที่ 2.6 เมื่อใช้กระแสอินพุท $200\mu A_{p\text{-}p}$

(ก) ความถี่ 10MHz (ข) ความถี่ 50MHz (ค) ความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



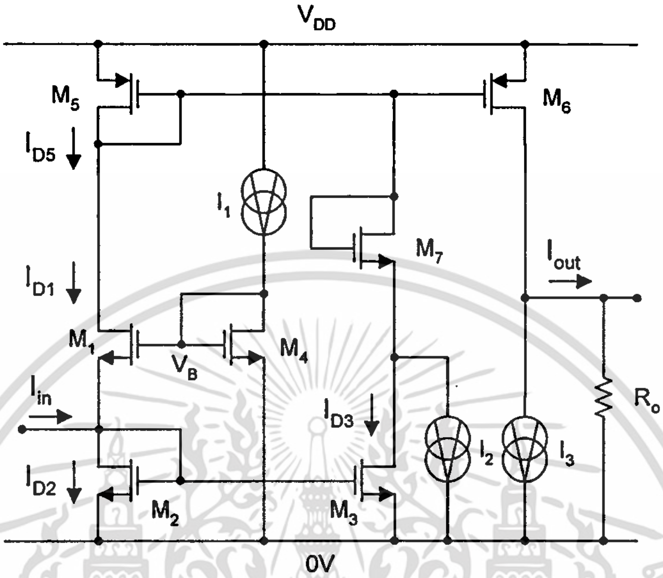
รูปที่ 2.9 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น จากรูปที่ 2.6 เมื่อใช้กระแสอินพุท $20\mu A_{p-p}$ ที่ความถี่ 100MHz

จากวงจรรูปที่ 2.6 มีข้อเสียตรงที่วงจรต้องใช้วงจรจ่ายกระแสคงที่เพื่อไบอัสมอสทรานซิสเตอร์ M_3 ให้เกิดความต่างศักย์ V_B ที่เท่ากันถึงสองตัวคือ I_1 และ I_2 สำหรับไบอัสให้มอสทรานซิสเตอร์ M_1 และ M_2 อยู่ในสภาวะที่ขอบของการนำกระแส ถ้าตัวจ่ายกระแสคงที่ I_1 และ I_2 ไม่เท่ากันจะทำให้ความต่างศักย์ที่ขาเดรนและขาซอสของมอสทรานซิสเตอร์ M_3 มีการเปลี่ยนแปลงค่อนข้างมากซึ่งอาจจะทำให้มอสทรานซิสเตอร์ M_1 หรือ M_2 หยุดทำงานไป และในเทคโนโลยีของมอส การที่จะทำให้ตัวจ่ายกระแสคงที่ I_1 และ I_2 เท่ากันนั้นทำได้ยาก และแหล่งจ่ายไฟที่ใช้กับวงจรยังใช้แหล่งจ่ายไฟทั้งด้านบวกและด้านลบ รวมทั้งมอสทรานซิสเตอร์ M_1 และ M_2 ยังเป็นคนละชนิดซึ่งทำให้เกิดค่าผิดพลาดในช่วงสัญญาณผ่านจุดศูนย์และความถี่ที่สูงขึ้นเนื่องจากความไม่สมพงษ์กัน เพื่อลดผลกระทบดังกล่าวจึงนำไปสู่การพัฒนาเป็นวงจรเรียงกระแสแบบเต็มคลื่นแบบที่ใช้กระแสไบอัสมอสทรานซิสเตอร์เพื่อให้เกิดความต่างศักย์ V_B เพียงตัวเดียวสำหรับไบอัสให้มอสทรานซิสเตอร์ M_1 และ M_2 ให้อยู่ในสภาวะที่ขอบของการนำกระแสและใช้แหล่งจ่ายไฟเพียงชุดเดียว ดังวงจรที่แสดงในรูปที่ 2.10 [18]

การทำงานของวงจรจากรูปที่ 2.10 สามารถอธิบายได้ดังนี้ ตัวจ่ายกระแสคงที่ I_1 จะจ่ายกระแสคงที่ให้กับมอสทรานซิสเตอร์ M_4 เพื่อให้เกิดค่าความต่างศักย์ V_B ไบอัสให้กับมอสทรานซิสเตอร์ M_1 และ M_2 ทำให้มอสทรานซิสเตอร์ M_1 และ M_2 ถูกไบอัสที่ขอบของการนำกระแส ค่าความต่างศักย์ V_B จะมีค่าประมาณ $V_{T1} + V_{T2}$ โดยที่ V_{T1} และ V_{T2} เป็นแรงดันขีดเริ่มของมอสทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ มอสทรานซิสเตอร์ M_7 และตัวจ่ายกระแสคงที่

เอกสารนี้เป็นของ... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_2 ทำหน้าที่ลดผลกระทบของความยาวแชลแนลโมดูเลชันของมอสทรานซิสเตอร์ M_3 และเป็นการไบอัสวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 และ M_6 ส่วนตัวจ่ายกระแสคงที่ I_3 ทำหน้าที่กำจัดกระแส I_2 ออกจากกระแสเอาท์พุท



รูปที่ 2.10 วงจรเรียงกระแสแบบเต็มคลื่นแบบที่ใช้แหล่งจ่ายไฟบวก

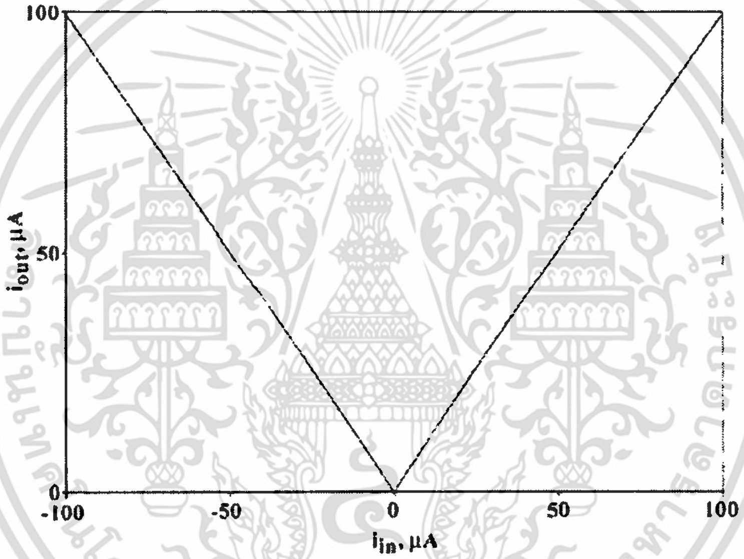
เมื่อกระแสอินพุทเป็นลบ ($I_{in} < 0$) กระแสจะไหลผ่านมอสทรานซิสเตอร์ M_1 และวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 และ M_6 ซึ่งทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 เพิ่มขึ้นและมอสทรานซิสเตอร์ M_2 เข้าสู่สภาวะไม่นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 ลดลงจนหยุดนำกระแส ดังนั้น $I_{D1} = I_{in}$ และ $I_{D2} = 0$ ในทางกลับกันถ้ากระแสอินพุทเป็นบวก ($I_{in} > 0$) กระแสจะไหลเข้าสู่วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_2 และ M_3 ซึ่งทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 เพิ่มขึ้นและมอสทรานซิสเตอร์ M_1 เข้าสู่สภาวะไม่นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท - ซอสของมอสทรานซิสเตอร์ M_1 ลดลงจนหยุดนำกระแส ดังนั้น $I_{D2} = I_{D3} = I_{in}$ และ $I_{D1} = 0$ กระแส I_{D2} จะถูกสะท้อนมารวมกับกระแส I_{D1} โดยวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_2 และ M_3 ที่อินพุทของวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 และ M_6 เป็นกระแส I_{D5} และสะท้อนไปสู่จุดเอาท์พุทดังนั้นกระแสเอาท์พุทจะได้เป็น

$$I_{out} = I_{D1} + I_{D2} = |I_{in}| \tag{2.8}$$

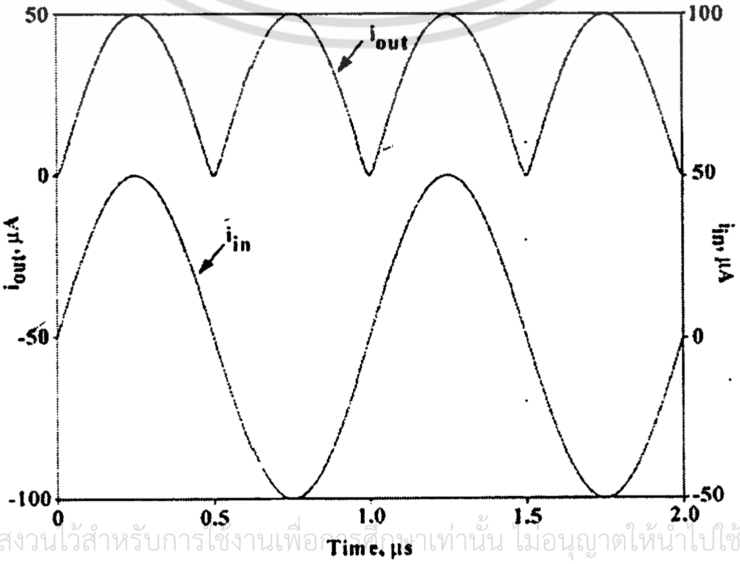
ผลการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10 โดยใช้โปรแกรม PSPICE กำหนดให้ $I_1 = 30\mu A$, $I_2 = I_3 = 50\mu A$, $V_{DD} = 2.4V$, W_1 ถึง $W_3 = W_5$ ถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

W_7 = 2μm, L_1 ถึง L_3 = L_5 ถึง L_7 = 0.7μm และ W_4 = 1μm, L_4 = 1μm พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้เลียนแบบการทำงานของวงจรใช้ BSIM 0.7μm ผลตอบสนองทางไฟตรงของวงจรเมื่อป้อนกระแสอินพุทจาก -100μA ถึง 100μA แสดงดังรูปที่ 2.11 จะเห็นได้ว่ากระแสเอาท์พุทมีความเป็นเชิงเส้นและอยู่ในรูปของค่าสัมบูรณ์ของกระแสอินพุท ผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10 เมื่อใช้กระแสอินพุท $100μA_{p-p}$ ที่ความถี่ 1MHz, 10MHz และ 100MHz แสดงดังรูปที่ 2.12 จะเห็นว่ารูปคลื่นของสัญญาณเอาท์พุทให้รูปคลื่นที่เป็นสัญญาณเรียงกระแสแบบเต็มคลื่นที่สมบูรณ์ ทำงานได้ที่ความถี่สูง และสามารถทำงานได้กับสัญญาณอินพุทที่มีขนาดเล็กได้ดังแสดงในรูปที่ 2.13



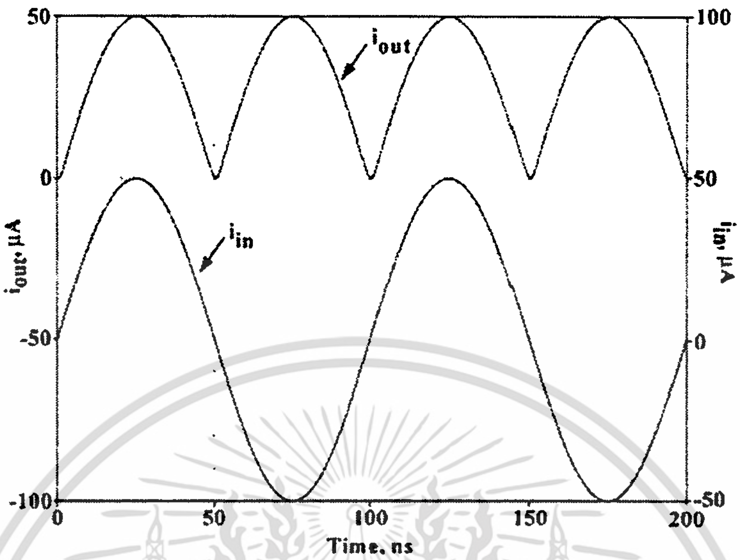
รูปที่ 2.11 แสดงผลตอบสนองทางไฟตรงของวงจรเรียงกระแสแบบเต็มคลื่นจากรูปที่ 2.10



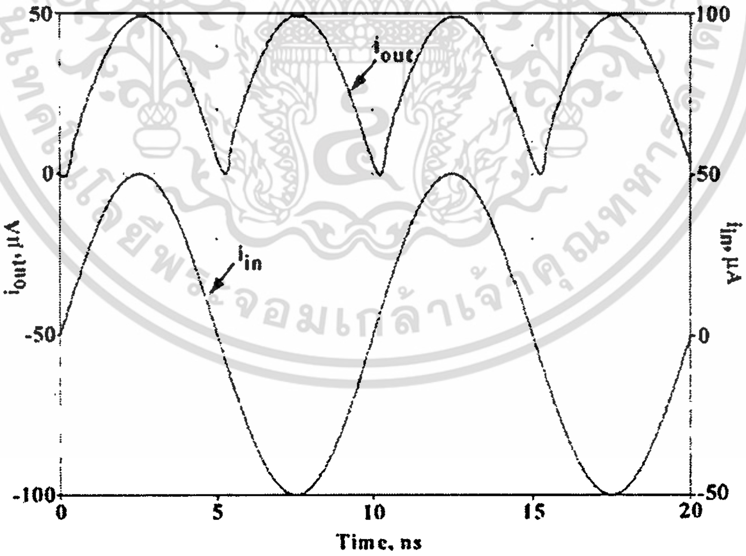
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



(ข)

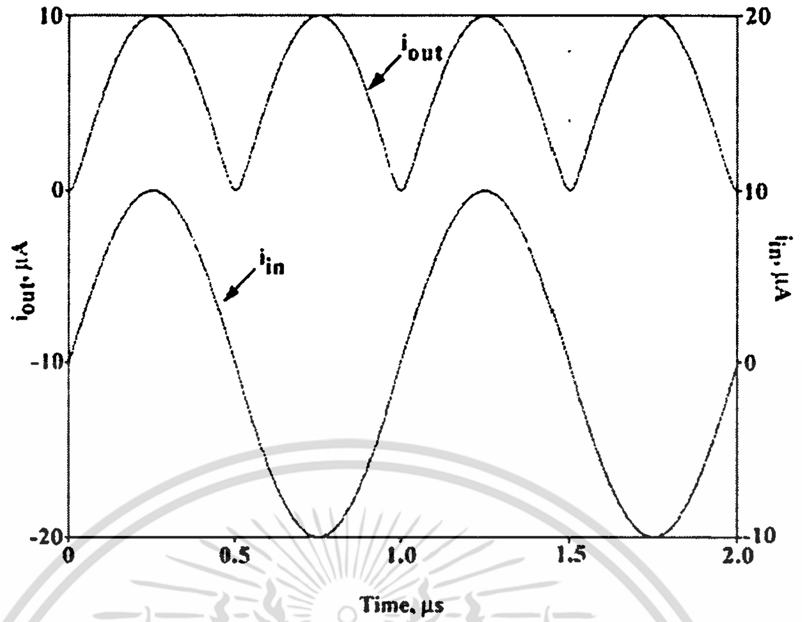


(ค)

รูปที่ 2.12 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น จากรูปที่ 2.10 เมื่อใช้กระแสอินพุท $100\mu A_{p\text{-}p}$

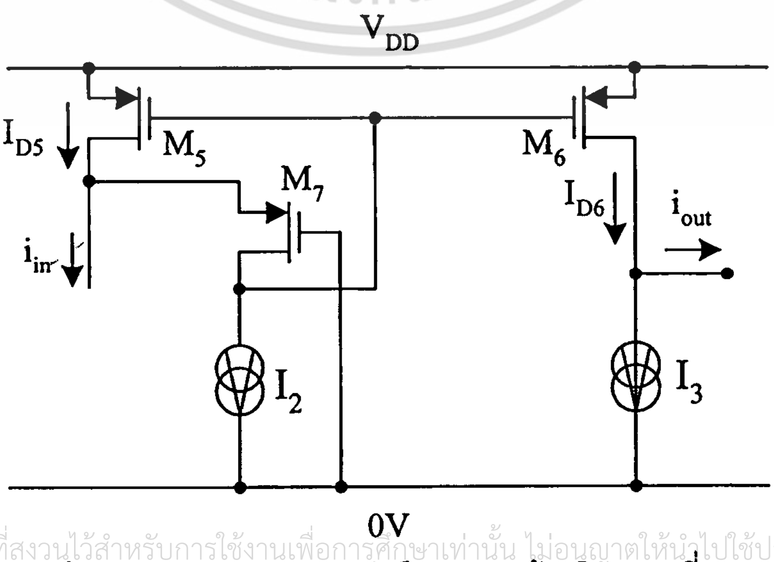
(ก) ความถี่ 1MHz (ข) ความถี่ 10MHz (ค) ความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น จากรูปที่ 2.10 เมื่อใช้กระแสอินพุท $20\mu A_{p\text{-}p}$ ที่ความถี่ 1MHz

จากวงจรเรียงกระแสแบบเต็มคลื่นในรูปที่ 2.10 สามารถทำงานได้ในแหล่งจ่ายไฟชุดเดียว แต่ยังไม่สามารถทำงานได้กับแหล่งจ่ายไฟที่มีขนาดต่ำมากได้ เนื่องจากมอสทรานซิสเตอร์ M_2 และ M_5 ที่ต่อในรูปของไดโอดจะมีแรงดันตกคร่อมที่สูงประมาณ V_{GS} + V_T เป็นผลให้ช่วงปฏิบัติงานของสัญญาณอินพุทมีช่วงแคบเมื่อใช้แหล่งจ่ายไฟต่ำ ดังนั้นวิธีการปรับปรุงวงจรเรียงกระแสแบบเต็มคลื่นให้มีช่วงปฏิบัติงานของสัญญาณอินพุทกว้างเมื่อใช้แหล่งจ่ายไฟต่ำทำได้ โดยใช้วงจรสะท้อนกระแสแบบลบที่มีความต่างศักย์ระหว่างขาซอสและขาเดรนของมอสทรานซิสเตอร์

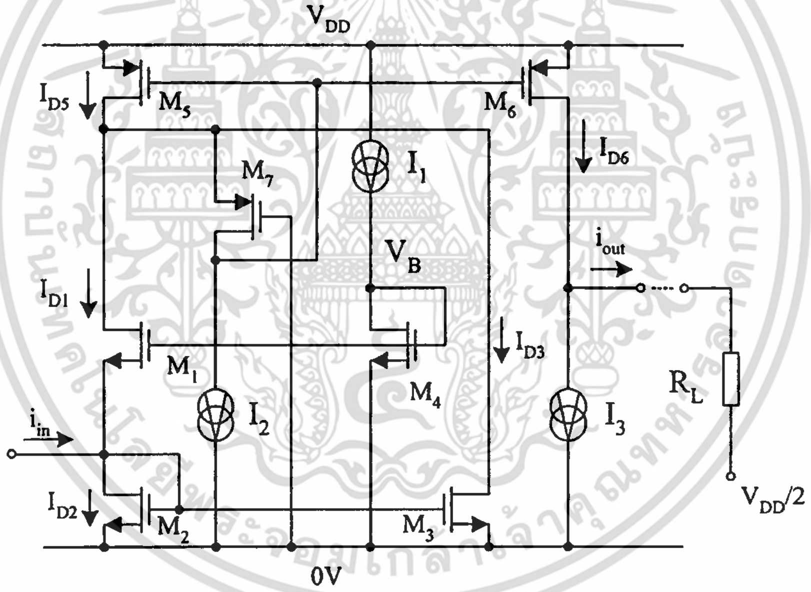


รูปที่ 2.14 วงจรสะท้อนกระแสชนิดความต่างศักย์เดรน-ซอสด้านอินพุทคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านอินพุทคงที่ไม่เปลี่ยนแปลงตามกระแสอินพุทที่ไหลผ่าน [19] ดังรูปที่ 2.14 ซึ่งสามารถอธิบายการทำงานของวงจรได้ดังนี้ กำหนดให้มอสทรานซิสเตอร์ M_5 และ M_6 สมพงษ์กันทุกประการ มอสทรานซิสเตอร์ M_7 และตัวจ่ายกระแสคงที่ I_2 ทำหน้าที่กำหนดค่าความต่างศักย์ที่ขาเดรนของมอสทรานซิสเตอร์ M_5 ทางด้านอินพุทของวงจรสะท้อนกระแสแบบลบมีค่าเป็น V_{SG7} และเป็นการไบอัสวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 และ M_6 เมื่อมีกระแสอินพุทเป็นลบ ($i_{in}<0$) ความต่างศักย์ที่ขาซอส-เกทของมอสทรานซิสเตอร์ M_5 เพิ่มขึ้นส่งผลให้ $I_{D5} = I_{D6} = i_{in}+I_2$ เนื่องจาก $V_{SG5} = V_{SG6}$ ตัวจ่ายกระแสคงที่ I_3 ทำหน้าที่กำจัดกระแสไบอัส I_2 ออกไปทำให้ได้กระแสเอาท์พุทเท่ากับกระแสอินพุท ($i_{out} = i_{in}$)

2.4 วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ



รูปที่ 2.15 วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ

จากวงจรในรูปที่ 2.15 เป็นวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ มอสทรานซิสเตอร์ M_4 และ ตัวจ่ายกระแสคงที่ I_1 ทำหน้าที่กำหนดค่าความต่างศักย์ V_B ไบอัสให้กับมอสทรานซิสเตอร์ M_1 และ M_2 ทำให้มอสทรานซิสเตอร์ M_1 และ M_2 ถูกไบอัสที่ขอบของการนำกระแส โดยที่ค่าความต่างศักย์ V_B จะมีค่าประมาณ $V_{T1} + V_{T2}$ โดยที่ V_{T1} และ V_{T2} เป็นแรงดันขีดเริ่มของมอสทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ กลุ่มของมอสทรานซิสเตอร์ M_5 ถึง M_7 และตัวจ่ายกระแสคงที่ I_2 เป็นวงจรสะท้อนกระแสซึ่งมีอัตราขยายกระแสเท่ากับหนึ่งและมีความต่างศักย์ที่ขาเดรนของมอสทรานซิสเตอร์ M_5 คงที่เท่ากับ V_{SG7} เมื่อกระแสอินพุทเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

($i_{in} > 0$) กระแสจะไหลผ่านมอสทรานซิสเตอร์ M_2 ซึ่งทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 เพิ่มขึ้นส่วนมอสทรานซิสเตอร์ M_1 เข้าสู่สภาวะไม่นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 ลดลงจนหยุดนำกระแส ในทำนองกลับกันเมื่อกระแสอินพุทเป็นลบ ($i_{in} < 0$) กระแสจะไหลผ่านมอสทรานซิสเตอร์ M_1 ซึ่งทำให้ความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_1 เพิ่มขึ้นส่วนมอสทรานซิสเตอร์ M_2 เข้าสู่สภาวะไม่นำกระแส เนื่องจากความต่างศักย์ที่ขาเกท-ซอสของมอสทรานซิสเตอร์ M_2 ลดลงจนหยุดนำกระแส ดังสมการ

$$I_{D1} = i_{in} \ , \ I_{D2} = 0 \quad \text{เมื่อ } i_{in} < 0 \tag{2.9}$$

และ

$$I_{D2} = i_{in} \ , \ I_{D1} = 0 \quad \text{เมื่อ } i_{in} > 0 \tag{2.10}$$

กลุ่มของมอสทรานซิสเตอร์ M_2 และ M_3 เป็นวงจรสะท้อนกระแสซึ่งมีอัตราขยายกระแสเท่ากับหนึ่ง จะสะท้อนกระแส I_{D2} จากมอสทรานซิสเตอร์ M_2 เพื่อนำมารวมกับกระแส I_{D1} ดังนั้นกระแส I_{D5} คือผลรวมของกระแส I_{D1}, I_{D2} และ I_2 ซึ่งส่งผ่านไปยังเอาท์พุทโดยวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_7 โดยที่ตัวจ่ายกระแสคงที่ I_3 จะช่วยกำจัดกระแส I_2 ออกไป ดังนั้นกระแสเอาท์พุทสามารถแสดงดังสมการ (2.11)

$$i_{out} = I_{D6} - I_3 = I_{D1} + I_{D2} = | i_{in} | \tag{2.11}$$

2.5 สมรรถนะของวงจร

เพื่อให้ทราบถึงสมรรถนะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำที่นำเสนอสามารถทำได้โดยวิเคราะห์ ช่วงกระแสปฏิบัติงาน ความต้านทานอินพุทและเอาท์พุท ความถี่ปฏิบัติงาน ค่าผิดพลาดของการส่งผ่านกระแส ผลกระทบต่ออุณหภูมิ ดังการวิเคราะห์ต่อไปนี้

2.5.1 การวิเคราะห์ช่วงกระแสปฏิบัติงาน

พิจารณาวงจรรูปที่ 2.15 มอสทรานซิสเตอร์ M_1 และ M_2 จะทำงานสลับกัน โดยที่มอสทรานซิสเตอร์ M_1 จะทำงานเมื่อกระแสอินพุทเป็นลบ ส่วนมอสทรานซิสเตอร์ M_2 จะทำงานเมื่อกระแสอินพุทเป็นบวก

พิจารณากรณีกระแสอินพุทเป็นบวก แรงดันที่ขาเดรนของมอสทรานซิสเตอร์ M_2 จะมีค่าสูงขึ้น ดังนั้นข้อจำกัดของวงจรเมื่อมีกระแสอินพุทเป็นบวกจึงขึ้นกับค่าแรงดันที่ขาเดรนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์ M_2 ต้องไม่สูงเกินแรงดันไบอัส V_B ที่เกิดจากมอสทรานซิสเตอร์ M_4 และตัวจ่ายกระแสคงที่ I_1 ดังสมการ

$$V_{DS2} \leq V_{GS4} \tag{2.12}$$

แทนค่า $V_{DS2} = V_{GS2}$ เนื่องจากขาเดรนและขาเกทของมอสทรานซิสเตอร์ M_2 ต่อร่วมกัน โดยที่ $V_{GS2} = \sqrt{\frac{2L_2 i_{in}}{K_p W_2}} + V_{T2}$ และ $V_{GS4} = \sqrt{\frac{2L_4 I_1}{K_p W_4}} + V_{T4}$ ลงในสมการ (2.12) ดังนั้นช่วงกระแสปฏิบัติงานเมื่อกระแสอินพุทเป็นบวกมีค่าดังนี้

$$i_{in} \leq \frac{I_1 W_2 L_4}{W_4 L_2} \tag{2.13}$$

พิจารณากรณีกระแสอินพุทเป็นลบ เนื่องจากแรงดันที่ขาเกทของมอสทรานซิสเตอร์ M_1 ถูกไบอัสด้วยตัวจ่ายกระแสคงที่ I_1 และมอสทรานซิสเตอร์ M_4 ให้มีค่าประมาณ $2V_T$ ดังนั้นแรงดันเกทซอสที่ทำให้เกิดกระแส i_{in} ไหลออกสูงสุดผ่านมอสทรานซิสเตอร์ M_1 จึงมีค่าเท่ากับ

$$V_{GS1} \leq V_{GS4} \tag{2.14}$$

แทนค่า $V_{GS1} = \sqrt{\frac{2L_1 i_{in}}{K_p W_1}} + V_{T1}$ และ $V_{GS4} = \sqrt{\frac{2L_4 I_1}{K_p W_4}} + V_{T4}$ ลงในสมการ (2.14) ดังนั้นช่วงกระแสปฏิบัติงานเมื่อกระแสอินพุทเป็นลบมีค่าเท่ากับ

$$|i_{in}| \leq \frac{I_1 W_1 L_4}{W_4 L_1} \tag{2.15}$$

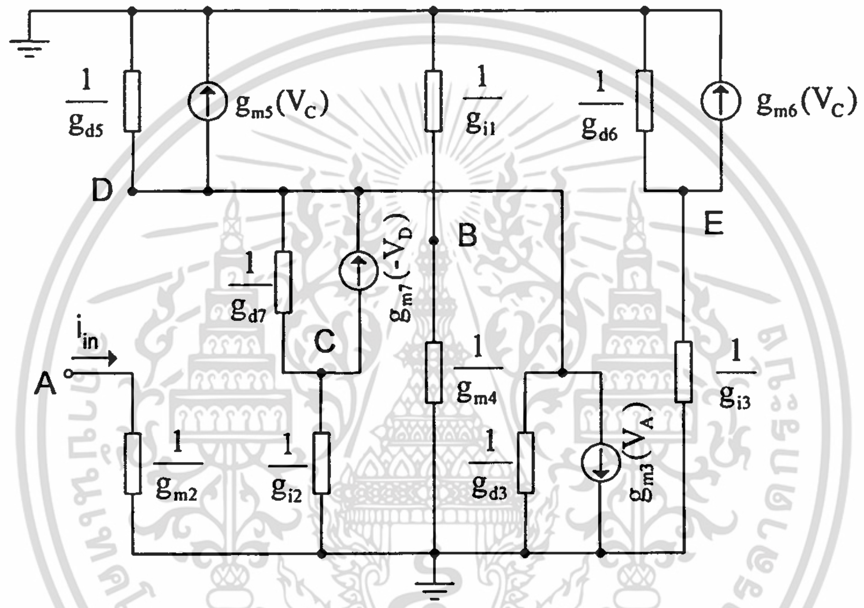
เพราะฉะนั้นจึงสามารถสรุปช่วงกระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำที่นำเสนอได้เป็น

$$-\frac{I_1 W_1 L_4}{W_4 L_1} \leq i_{in} \leq \frac{I_1 W_2 L_4}{W_4 L_2} \tag{2.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท

การคำนวณหาความต้านทานอินพุทและเอาท์พุท สามารถทำได้โดยใช้การวิเคราะห์สัญญาณขนาดเล็ก (small signal analysis) เนื่องจากมอสทรานซิสเตอร์ M_1 และ M_2 ทำงานสลับกัน ดังนั้นการคำนวณหาค่าความต้านทานอินพุทกรณีกระแสอินพุทเป็นบวกจะตัดมอสทรานซิสเตอร์ M_1 ออกไปเนื่องจากมอสทรานซิสเตอร์ M_1 ไม่ทำงานเสมือนเป็นวงจรเปิด ดังวงจรสมมูลที่แสดงในรูปที่ 2.16



รูปที่ 2.16 วงจรสมมูลในการวิเคราะห์หาความต้านทานกรณีกระแสอินพุทเป็นบวก

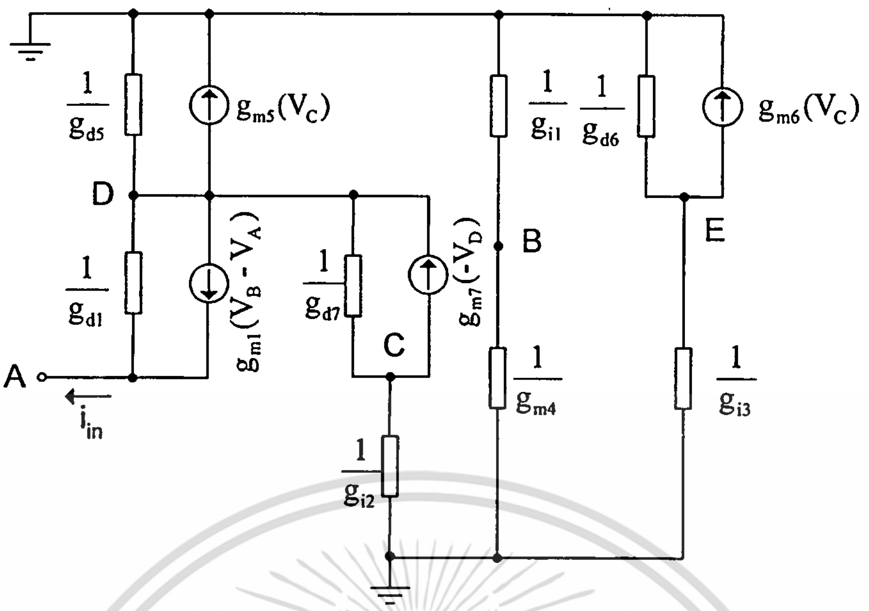
พิจารณาที่จุด A ได้ $g_{m2}V_A = i_{in}$ ดังนั้นความต้านทานอินพุทของวงจรกรณีกระแสอินพุทเป็นบวกจะมีค่าเท่ากับ

$$r_{in} = \frac{V_A}{i_{in}} = \frac{1}{g_{m2}} \tag{2.17}$$

การคำนวณหาค่าความต้านทานอินพุทกรณีกระแสอินพุทเป็นลบต้องตัดมอสทรานซิสเตอร์ M_2 และ M_3 ออก ดังวงจรสมมูลที่แสดงในรูปที่ 2.17 ซึ่งสามารถพิจารณาความต้านทานอินพุทของวงจรกรณีกระแสอินพุทเป็นลบ (ภาคผนวก ค.) จะมีค่าเท่ากับ

$$r_{in} \approx \frac{1}{g_{m1}} \tag{2.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรสมมูลในการวิเคราะห์หาความต้านทานกรณีกระแสอินพุทเป็นลบ

ส่วนในการพิจารณาค่าความต้านทานเอาท์พุทโดยกำหนดให้กระแส $i_{in} = 0$ เมื่อพิจารณาที่จุด E จะได้ความต้านทานเอาท์พุทของวงจรจะมีค่าเท่ากับ

$$r_{out} \approx \frac{1}{g_{d6}} \tag{2.19}$$

2.5.3 การวิเคราะห์หาค่าความถี่ปฏิบัติงาน

การวิเคราะห์หาค่าความถี่ปฏิบัติงานสามารถทำได้โดยใช้การวิเคราะห์สัญญาณขนาดเล็ก ซึ่งมีค่าความจุแฝงที่เกิดขึ้นระหว่างขาเกทและขาซอสของมอสทรานซิสเตอร์ เป็นส่วนสำคัญที่กำหนดค่าความถี่ตอบสนองของวงจร โดยที่ค่าความจุแฝงที่เกิดขึ้นระหว่างขาเกทและขาซอสของมอสทรานซิสเตอร์ในช่วงอิ่มตัว มีค่าประมาณ [10]

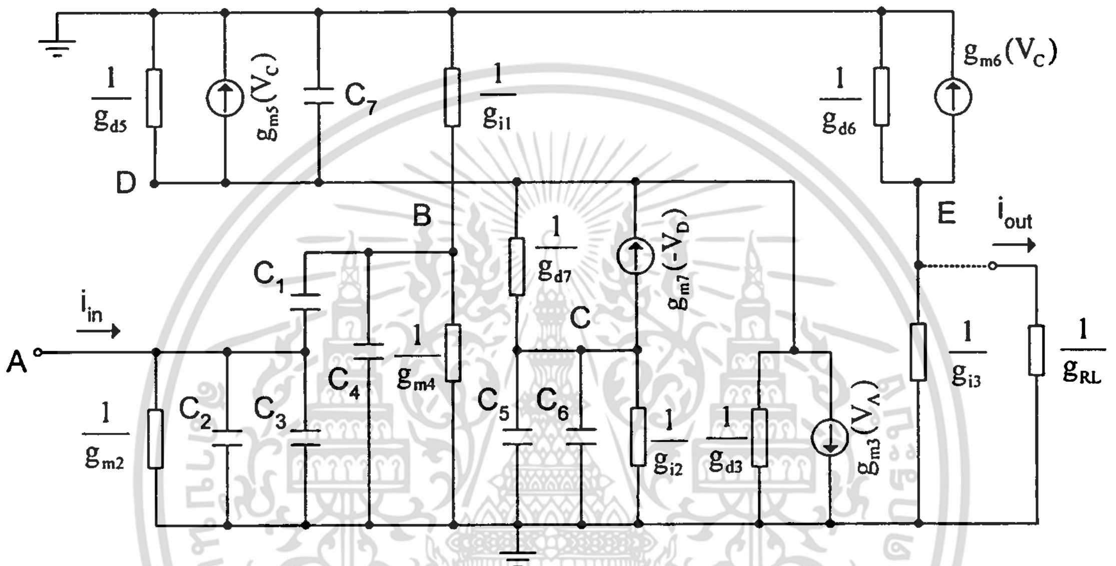
$$C_{gs} \cong \frac{2}{3} C_{ox} WL \tag{2.20}$$

เนื่องจากมอสทรานซิสเตอร์ M_1 และ M_2 ทำงานสลับกัน ดังนั้นการคำนวณหาค่าความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นบวกต้องตัดมอสทรานซิสเตอร์ M_1 ออกไปเนื่องจากมอสทรานซิสเตอร์ M_1 ไม่ทำงานเหลือแต่ C_{gs1} ดังวงจรสมมูลที่แสดงในรูปที่ 2.18 ได้ความสัมพันธ์ของ i_{out} และ i_{in} (ภาคผนวก ง.) ดังนี้

เอกสารนี้เป็นเอกสารที่ได้รับอนุญาตให้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} = \frac{\left(\frac{g_{m3}g_{m6}}{g_{m2}g_{m5}}\right)\left[1+\frac{(C_1+C_4)}{g_{m4}}s\right]}{\left[1+\frac{(C_5+C_6)}{g_{m5}}s\right]\left\{1+\frac{\left[g_{m2}(C_1+C_4)+g_{m4}(C_1+C_2+C_3)\right]}{g_{m2}g_{m4}}s\right\}} \tag{2.21}$$

จากฟังก์ชันถ่ายโอนสมการ (2.21) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของซีโร่ 1 ตัว และค่าตำแหน่งของโพล 2 ตัว คือ



รูปที่ 2.18 วงจรสมมูลในการวิเคราะห์หาความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นบวก

$$f_{o1} = \frac{g_{m4}}{2\pi(C_1+C_4)} \tag{2.22}$$

$$f_{p1} = \frac{g_{m5}}{2\pi(C_5+C_6)} \tag{2.23}$$

และ

$$f_{p2} = \frac{g_{m2}g_{m4}}{2\pi\left[g_{m2}(C_1+C_4)+g_{m4}(C_1+C_2+C_3)\right]} \tag{2.24}$$

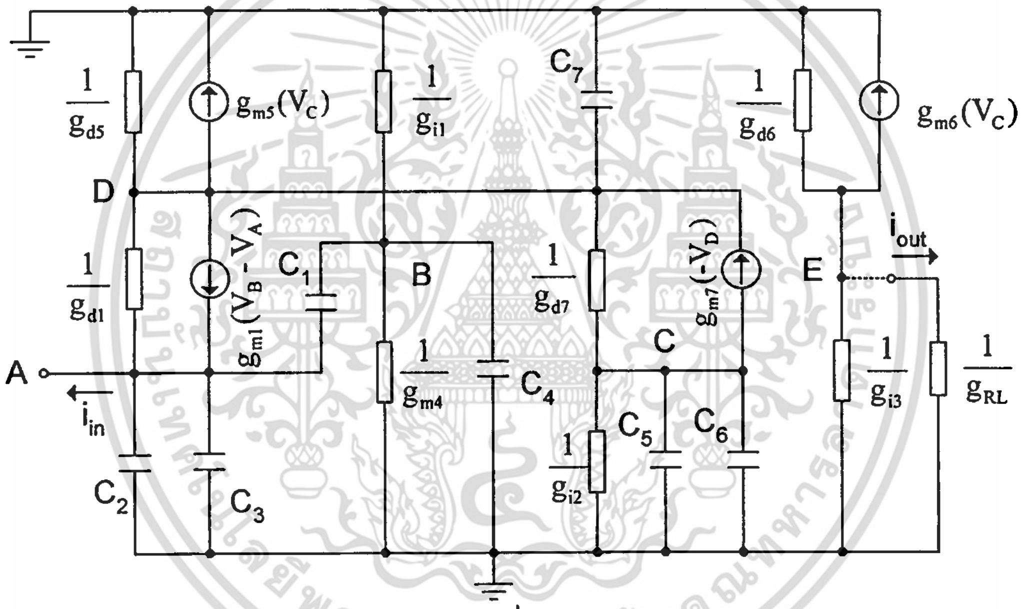
จากผลที่ได้จากการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ รูปที่ 2.15 จะได้ค่าพารามิเตอร์ต่างๆดังนี้ $g_{m2} = 8.33\times10^{-4}$ A/V, $g_{m4} = 2.71\times10^{-5}$ A/V, $g_{m5} = 1.33\times10^{-4}$ A/V, $C_1 = C_2 = C_3 = 9.86\times10^{-15}$ F, $C_4 = 3.29\times10^{-15}$ F และ $C_5 + C_6 = 7.89\times10^{-14}$ F พบว่า f_{o1}= 327.99MHz, f_{p1}= 268.28MHz และ f_{p2} = 305.63MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นขีดจำกัดการทำงานของวงจรเมื่อกระแสอินพุทเป็นบวกจะขึ้นอยู่กับวงจรสะท้อนกระแสแบบลบ ซึ่งสามารถทำงานได้ถึงความถี่ 268.28MHz

ส่วนการคำนวณหาค่าความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นลบ ต้องตัดมอสทรานซิสเตอร์ M_2 และ M_3 ออก เหลือแต่ C_{gs2} และ C_{gs3} ดังวงจรสมมูลที่แสดงในรูปที่ 2.19 จะได้ความสัมพันธ์ของ i_{out} และ i_{in} (ภาคผนวก ง.) ดังนี้

$$\frac{i_{out}}{i_{in}}=\frac{\left(\frac{g_{m6}}{g_{m5}}\right)\left(1+\frac{C_4}{g_{m4}}s\right)}{\left[1+\frac{(C_5+C_6)}{g_{m5}}s\right]\left[1+\frac{(C_1+C_2+C_3+C_4)}{g_{m1}}s\right]} \tag{2.25}$$



รูปที่ 2.19 วงจรสมมูลในการวิเคราะห์หาความถี่ปฏิบัติงานกรณีกระแสอินพุทเป็นลบ

จากฟังก์ชันถ่ายโอนสมการ (2.25) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของซีโร่ 1 ตัว และค่าตำแหน่งของโพล 2 ตัว คือ

$$f_{o1}=\frac{g_{m4}}{2\pi C_4} \tag{2.26}$$

$$f_{p1}=\frac{g_{m5}}{2\pi(C_5+C_6)} \tag{2.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ
$$f_{p2} = \frac{g_{m1}}{2\pi(C_1 + C_2 + C_3 + C_4)} \quad (2.28)$$

จากผลที่ได้จากการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ รูปที่ 2.15 จะได้ค่าพารามิเตอร์ต่างๆดังนี้ $g_{m1} = 5.33 \times 10^{-4}$ A/V, $g_{m4} = 2.71 \times 10^{-5}$ A/V, $g_{m5} = 1.33 \times 10^{-4}$ A/V, $C_1 = C_2 = C_3 = 9.86 \times 10^{-15}$ F, $C_4 = 3.29 \times 10^{-15}$ F และ $C_5 + C_6 = 7.89 \times 10^{-14}$ F พบว่า f_{o1}= 1.31GHz, f_{p1}= 268.28MHz และ f_{p2} = 2.58GHz ดังนั้นขีดจำกัดการทำงานของวงจรเมื่อกระแสอินพุทเป็นลบจะขึ้นอยู่กับวงจรสะท้อนกระแสแบบลบ ซึ่งสามารถทำงานได้ถึงความถี่ 268.28MHz

2.5.4 การวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแสของวงจร

กรณีกระแสอินพุทเป็นลบ กระแสอินพุทไหลผ่านมอสทรานซิสเตอร์ M_1 และสะท้อนไปที่จุดเอาท์พุทโดยผ่านวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_7 สามารถแทนด้วยวงจรสมมูลได้ดังรูป 2.20 จะได้ค่าความผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นลบดังนี้ (ภาคผนวก จ.)

$$\varepsilon_N = \frac{\Delta g_{mp}}{g_{m5}} + \left\{ \frac{r_{I2} + r_{O7}}{g_{m5} r_{I2} r_{O7}} + \frac{R_L}{r_{O6}} \right\} \quad (2.29)$$

โดยที่ Δg_{mp} เป็นค่าผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสทรานซิสเตอร์ M_5 และ M_6

กรณีกระแสอินพุทเป็นบวก กระแสอินพุทไหลผ่านมอสทรานซิสเตอร์ M_2 และสะท้อนไปที่จุดเอาท์พุทโดยผ่านวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_2 ถึง M_3 และ M_5 ถึง M_6 ดังนั้นค่าความผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นบวกเกิดจากผลรวมของค่าความผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสแบบบวกที่ประกอบด้วยมอสทรานซิสเตอร์ M_2 ถึง M_3 และค่าความผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสแบบลบที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_7 วงจรสมมูลกรณีกระแสอินพุทเป็นบวกสามารถแสดงได้ดังรูปที่ 2.21 โดยที่ r_p คือความต้านทานที่จุด D ในรูปที่ 2.20 ซึ่งสามารถหาได้ดังนี้

ที่จุด D

$$\left(\frac{1}{r_{O5}} + \frac{1}{r_{O7}}\right) V_D - \left(\frac{1}{r_{O7}}\right) V_C = -g_{m5} V_C - g_{m7} V_D - i_{in} \quad (2.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่จุด C

$$\left(\frac{1}{r_{I2}}+\frac{1}{r_{O7}}\right)V_C-\left(\frac{1}{r_{O7}}\right)V_D=g_{m7}V_D \tag{2.31}$$

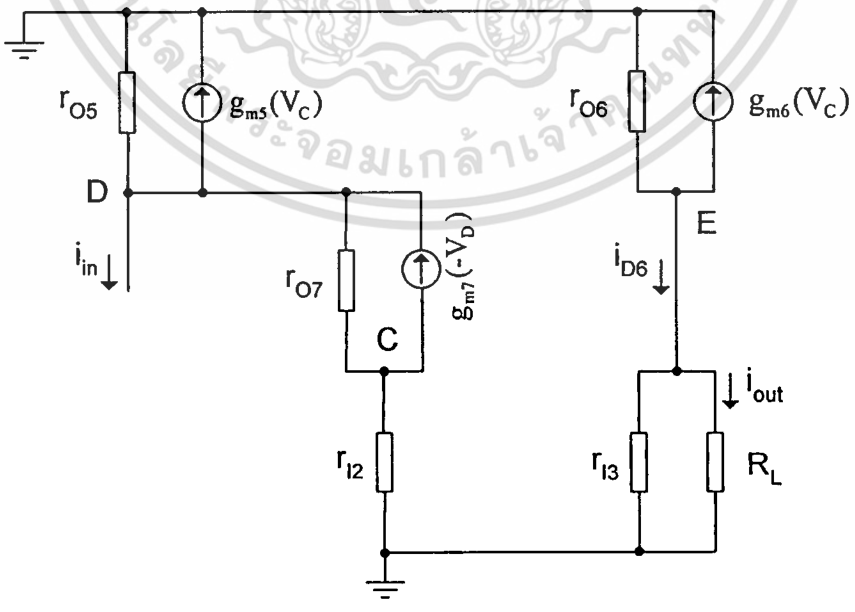
แทนค่า V_C จากสมการ (2.31) ลงในสมการ (2.30) ได้

$$\left(\frac{1}{r_{05}}+\frac{1}{r_{07}}+g_{m7}\right)V_D+\left[\frac{r_{I2}\left(g_{m5}-\frac{1}{r_{07}}\right)\left(1+g_{m7}r_{07}\right)}{r_{I2}+r_{07}}\right]V_D=-i_{in} \tag{2.32}$$

ในการประมาณค่าสมการ จะกำหนดให้ $g_m >> \frac{1}{r_d}$ และเทอมของ $\left(\frac{g_{m5}g_{m7}r_{I2}r_{07}}{r_{I2}+r_{07}}\right) << g_{m7}$

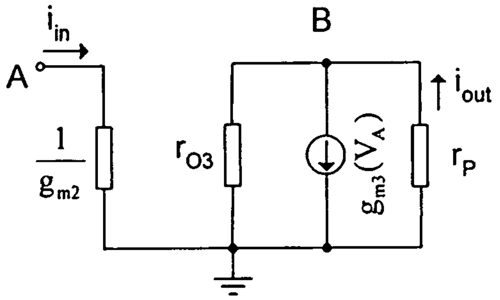
ดังนั้นความต้านทานที่จุด D จะมีค่าเท่ากับ

$$r_P=\left|\frac{V_D}{i_{in}}\right|=\frac{1}{g_{m7}} \tag{2.33}$$



รูปที่ 2.20 วงจรสมมูลในการวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแส กรณีกระแสอินพุทเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 วงจรสมมูลในการวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแส กรณีกระแสอินพุทเป็นบวก

จากรูปที่ 2.21 ได้ $V_B = \dfrac{g_{m3}V_A r_{o3} r_P}{r_{o3} + r_P}$, $V_A = \dfrac{i_{in}}{g_{m2}}$ และ $i_{out} = \dfrac{V_B}{r_P}$ ดังนั้น

$$\frac{i_{out}}{i_{in}} = \frac{g_{m3} r_{03}}{g_{m2}(r_{03} + r_P)} \tag{2.34}$$

จากสมการ (2.34) สามารถหาค่าผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสแบบบวกในเทอมของ x โดยแทนค่า r_P จากสมการ (2.33) ลงในสมการ (2.34) ได้

$$\frac{i_{out}}{i_{in}} = (1 - x) \tag{2.35}$$

เมื่อ

$$x = \frac{\Delta g_{mn}}{g_{m2}} + \frac{1}{g_{m7} r_{03}} \tag{2.36}$$

โดยที่ Δg_{mn} เป็นค่าผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสทรานซิสเตอร์ M_2 และ M_3 ดังนั้นค่าผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นบวกจะมีค่าเท่ากับ

$$\varepsilon_p = \frac{\Delta g_{mp} g_{m2} + \Delta g_{mn} g_{m5}}{g_{m2} g_{m5}} + \left\{ \frac{r_{I2} + r_{O7}}{g_{m5} r_{I2} r_{O7}} + \frac{1}{g_{m7} r_{03}} + \frac{R_L}{r_{O6}} \right\} \tag{2.37}$$

เทอมแรกของสมการ (2.29) และสมการ (2.37) เกิดจากความไม่สมพงษ์กันของทรานซิสเตอร์ในวงจรสะท้อนกระแส ซึ่งสามารถปรับปรุงได้โดยการเพิ่มอัตราส่วนของ W/L ให้มากขึ้นเพราะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ค่าความนำของมอสทรานซิสเตอร์สูงขึ้น ส่วนเทอมที่สองของสมการ (2.29) และสมการ (2.37) เกิดจากความต้านทานเอาท์พุทของวงจรสะท้อนกระแส จากผลที่ได้จากการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำรูปที่ 2.15 จะได้ค่าพารามิเตอร์ต่างๆ ดังนี้ $\Delta g_{mp} = 1.64\times10^{-6} A/V$, $\Delta g_{mn} = 6.73\times10^{-7} A/V$, $g_{m2} = 8.33\times10^{-5} A/V$, $g_{m5} = g_{m6} = 1.33\times10^{-4} A/V$, $g_{m7} = 1.15\times10^{-4} A/V$, $r_{03} = 838.6k\Omega$, $r_{06} = r_{07} = 666.67k\Omega$, $r_{12} = 22.71M\Omega$ และ $R_L = 1k\Omega$ ค่าผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นลบเท่ากับ 2.54% และค่าผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นบวกเท่ากับ 3.23% ซึ่งเห็นได้ว่าค่าผิดพลาดของการส่งผ่านกระแสของวงจรกรณีกระแสอินพุทเป็นบวกมีค่ามากกว่ากรณีอินพุทเป็นลบเล็กน้อย เนื่องจากเป็นผลรวมของค่าผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสแบบบวกและวงจรสะท้อนกระแสแบบลบ

2.5.5 **การวิเคราะห์ผลกระทบต่ออุณหภูมิ**

การเปลี่ยนแปลงอุณหภูมิมีผลต่อการเปลี่ยนแปลงพฤติกรรมของมอสทรานซิสเตอร์เนื่องมาจากสองปัจจัยหลัก [20] คือค่าความคล่องตัว (μ: surface mobility) ซึ่งมีผลที่ขึ้นกับอุณหภูมิดังสมการ (2.38)

$$\mu(T) \cong \mu_{T=300^{\circ}}\left(\frac{300}{T}\right)^2 \qquad (2.38)$$

โดยที่ $\mu_{T=300^{\circ}}$ เป็นค่าความคล่องตัวที่อุณหภูมิห้อง และส่งผลต่อพารามิเตอร์ความนำ $(K_p = \mu C_{ox})$ ซึ่งจะทำให้ค่าพารามิเตอร์ความนำลดลงเมื่ออุณหภูมิสูงขึ้น ส่วนปัจจัยที่สองคือแรงดันขีดเริ่ม (V_T : threshold voltage) ดังสมการ (2.39)

$$V_{T0} = V_{T0,300^{\circ}} - \alpha(T - 300^{\circ}) \qquad (2.39)$$

โดยที่ α มีค่าในช่วง 0.5mV/°K – 5mV/°K

จากวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ ความผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสจะไม่ขึ้นกับอุณหภูมิถ้ามอสทรานซิสเตอร์สมพงษ์กัน แต่แรงดันไบอัส V_B จะมีผลต่อการเปลี่ยนแปลงของอุณหภูมิ ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta V_B = \frac{\Delta T}{300^{\circ}}\sqrt{\frac{2I_1}{\beta_4}} - \alpha\Delta T \qquad (2.40)$$

โดยที่ ΔT เป็นค่าของอุณหภูมิที่แตกต่างจากอุณหภูมิห้อง และ $\beta_4 = \frac{K_p W_4}{L_4}$ ของมอสทรานซิสเตอร์ M_4 ถ้ากำหนดให้ $I_1 = 10\mu A$, $\beta_4 = 3.667 \times 10^{-5} A/V^2$, $\Delta T = 10^{\circ}C$, $\alpha = 2.057 mV/^{\circ}K$ และ V_B = 1.133V จะได้แรงดันไบอัส V_B เพิ่มขึ้น 4.047mV หรือ 0.36% เมื่ออุณหภูมิเพิ่มขึ้น $10^{\circ}C$

2.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

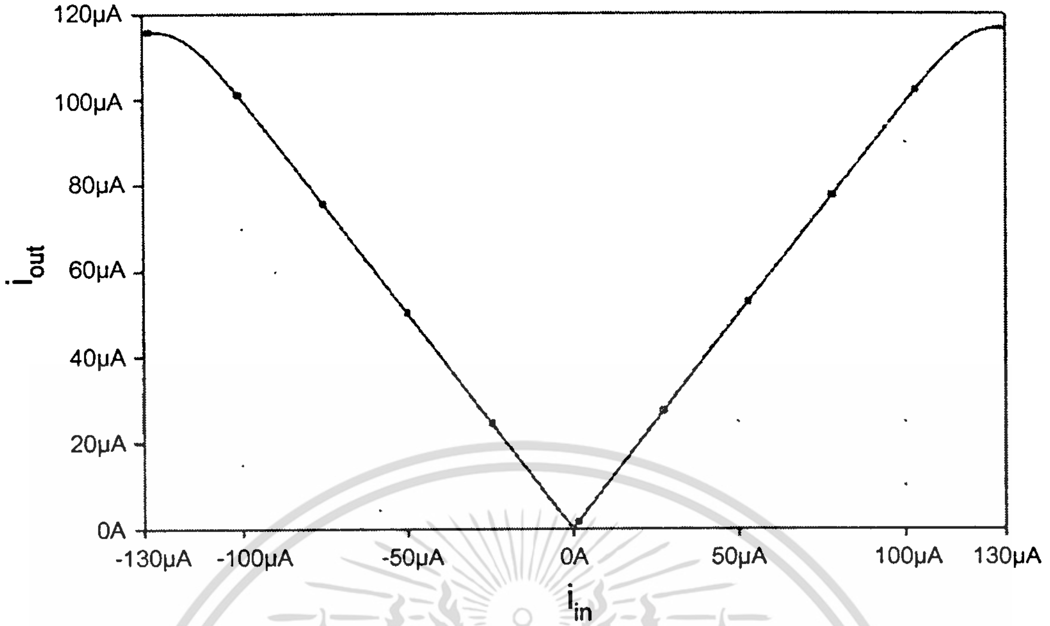
จากคุณลักษณะและการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ ดังรูป 2.15 เพื่อเป็นการทดสอบและยืนยันว่าสมรรถนะของวงจรที่ได้ทำการออกแบบขึ้นเป็นไปตามการวิเคราะห์ค่าต่างๆ ดังแสดงไว้ในหัวข้อ 2.5 ว่ามีความถูกต้องและเป็นไปตามที่คาดการณ์ไว้เพียงใด โดยใช้โปรแกรม PSPICE ทำการเลียนแบบการทำงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำดังรูปที่ 2.15 ซึ่งค่า W และ L แสดงดังตารางที่ 2.1 พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้เลียนแบบการทำงานของวงจรใช้ BSIM 0.5μm และ V_{Tn} = 0.509V, V_{TP} = -0.510V, T_{OX} = 9.4 X 10^{-9}m, C_{OX} = 0.0148286733F/m^2, I_1= 10μA, I_2 = I_3 = 20μA และ V_{DD} = 1.5V

ผลของการศึกษาช่วงกระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ โดยแทนค่าในสมการที่ (2.16) พบว่ากระแสปฏิบัติงานของวงจรมีความเป็นเชิงเส้นในช่วง -120μA ถึง 120μA และเมื่อเปรียบเทียบกับการเลียนแบบการทำงานโดยใช้โปรแกรม PSPICE ให้ผลใกล้เคียงกัน ดังแสดงในรูปที่ 2.22 ส่วนรูปที่ 2.23 แสดงกระแสเอาท์พุทบริเวณช่วงสัญญาณผ่านจุดศูนย์ซึ่งเห็นได้ว่ามีความผิดเพี้ยนน้อยมาก

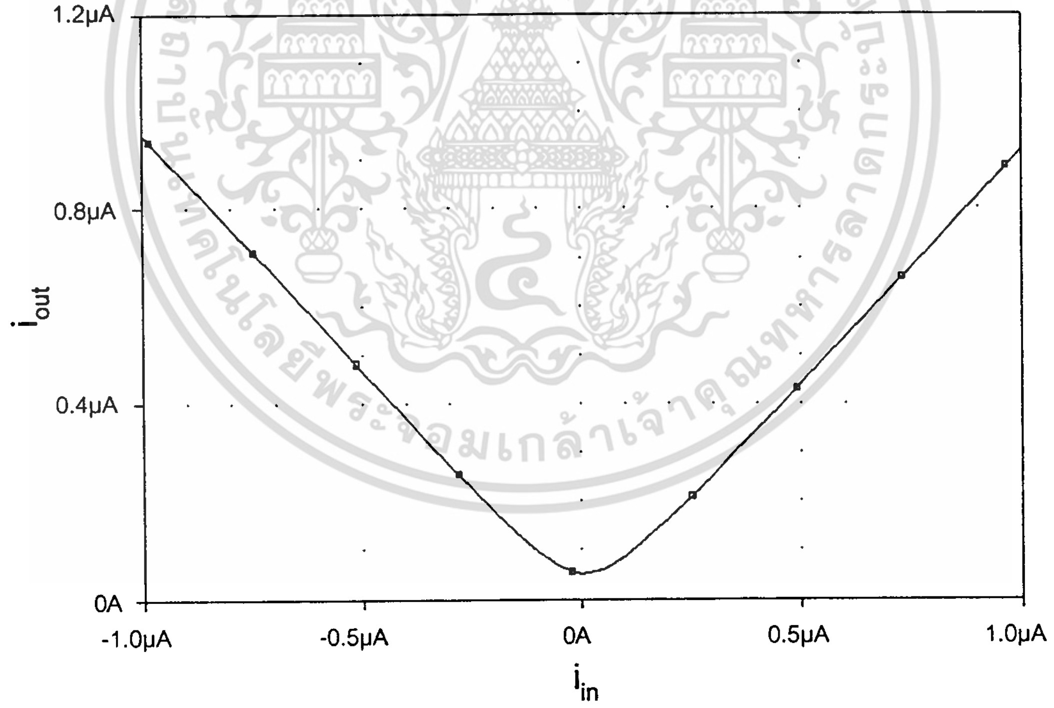
ตารางที่ 2.1 แสดงค่า W และ L ในมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	W (μm)	L (μm)
M_1,M_2,M_3	1	0.5
M_4	1	6
M_5,M_6	2	1
M_7	8	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



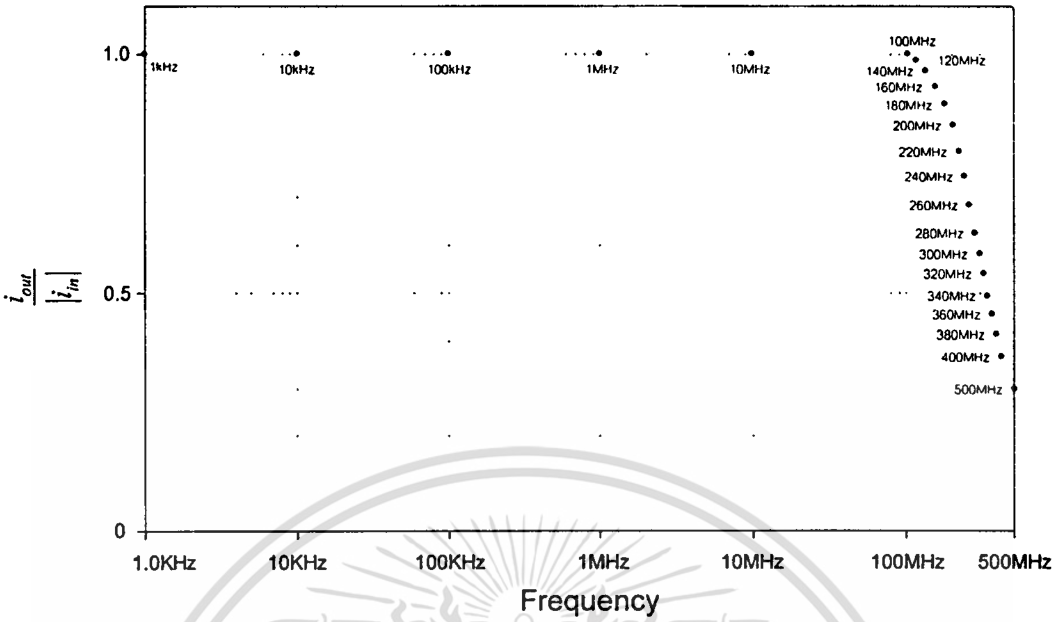
รูปที่ 2.22 แสดงผลของกระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ



รูปที่ 2.23 แสดงบริเวณช่วงสัญญาณผ่านจุดศูนย์

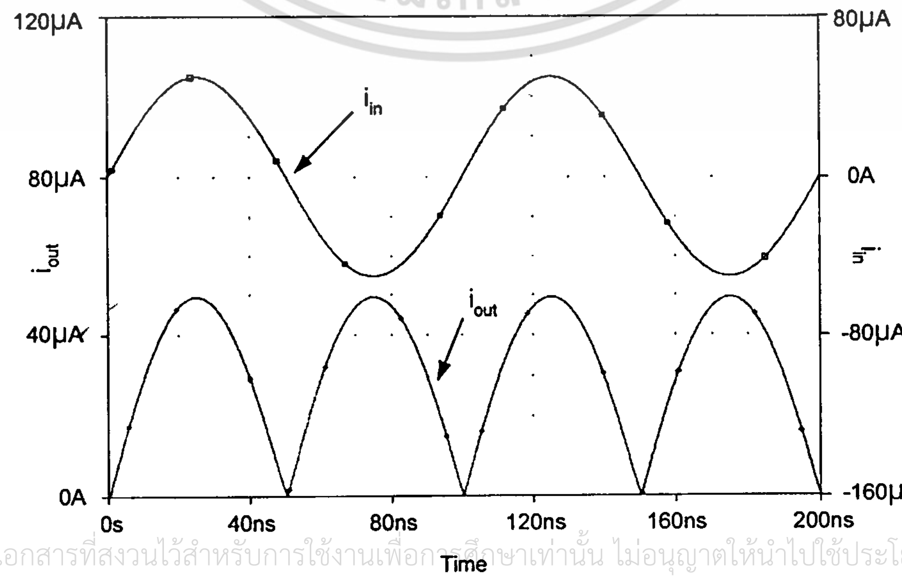
ในส่วนของผลการศึกษาความถี่ปฏิบัติงาน โดยป้อนกระแสที่เป็นสัญญาณซายน์ความถี่ต่างๆ ที่จุดอินพุท (จุด A) แล้ววัดกระแสของสัญญาณเอาท์พุท (จุด E) พบว่าวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำสามารถทำงานได้ถึงความถี่ 250 MHz ซึ่งต่ำกว่าความถี่ปฏิบัติงานที่คำนวณไว้ในหัวข้อที่ 2.5.3 ซึ่งมีค่าเท่ากับ 268.28MHz เล็กน้อย ดังแสดงในรูปที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



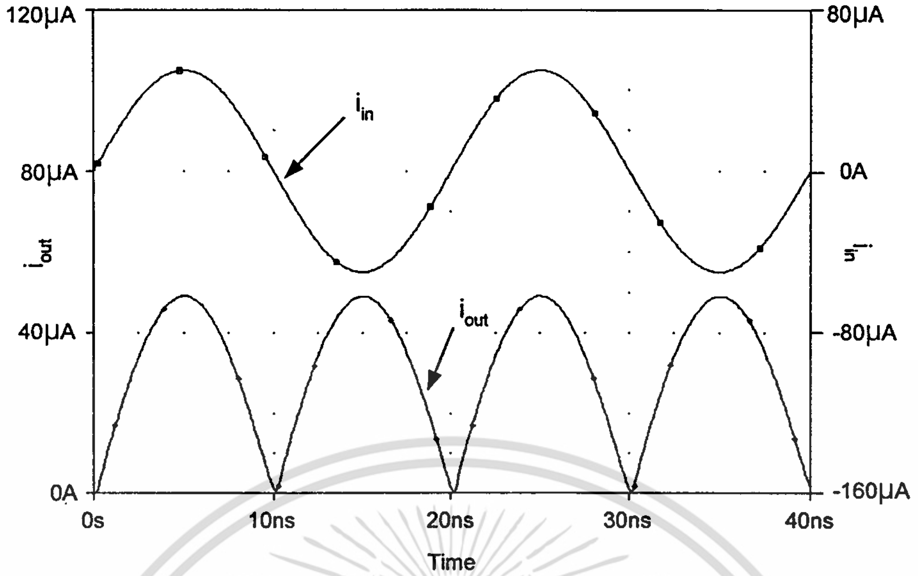
รูปที่ 2.24 แสดงผลของความถี่ปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ

ผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ ดังรูปที่ 2.15 เมื่อใช้กระแสอินพุท 100µA$_{p-p}$ ที่ความถี่ 10MHz, 50MHz และ 100MHz แสดงดังในรูปที่ 2.25 ส่วนรูปที่ 2.26 แสดงความผิดเพี้ยน (distortion) ของกระแสที่เอาท์พุทเมื่อใช้กระแสอินพุท 10µA$_{p-p}$ ที่ความถี่ 50MHz และ 100MHz ซึ่งเห็นได้ว่ามีความผิดเพี้ยนของกระแสเอาท์พุทน้อย เพื่อเป็นการยืนยันว่าการไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแสสามารถลดความผิดเพี้ยนของสัญญาณเอาท์พุทโดยทำการแปรค่าตัวจ่ายกระแสคงที่ I_1 ให้เบี่ยงเบนไปจาก 10µA เป็น 5µA และ 15µA ดังแสดงผลของกระแสเอาท์พุทบริเวณช่วงสัญญาณผ่านจุดศูนย์ในรูปที่ 2.27

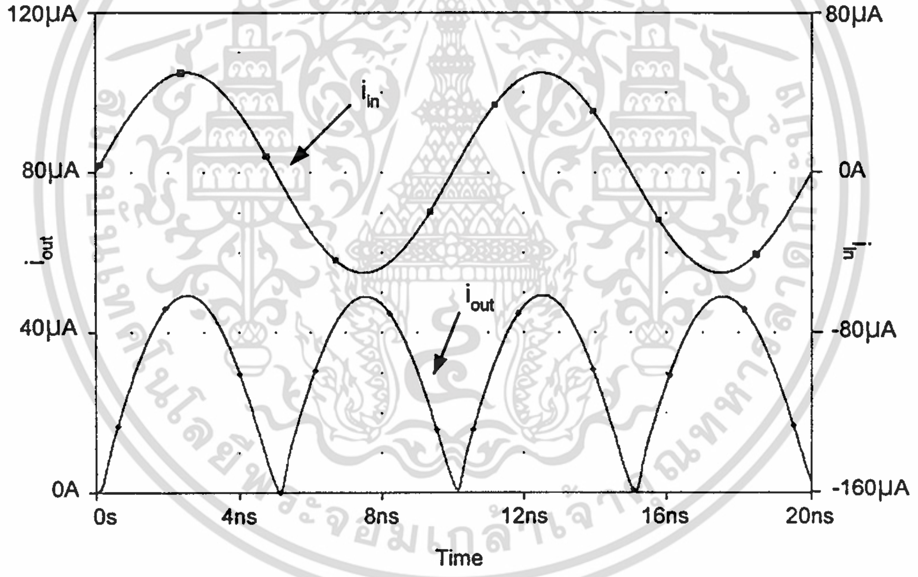


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)



(ค)

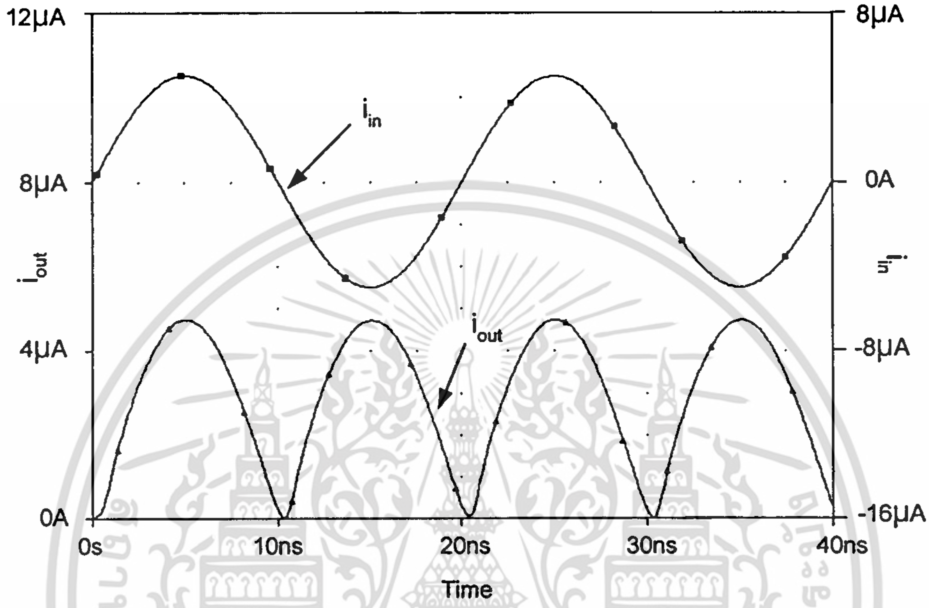
รูปที่ 2.25 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น ชนิดแรงดันต่ำเมื่อใช้กระแสอินพุท $100\mu A_{p\text{-}p}$

(ก) ความถี่ 10MHz (ข) ความถี่ 50MHz (ค) ความถี่ 100MHz

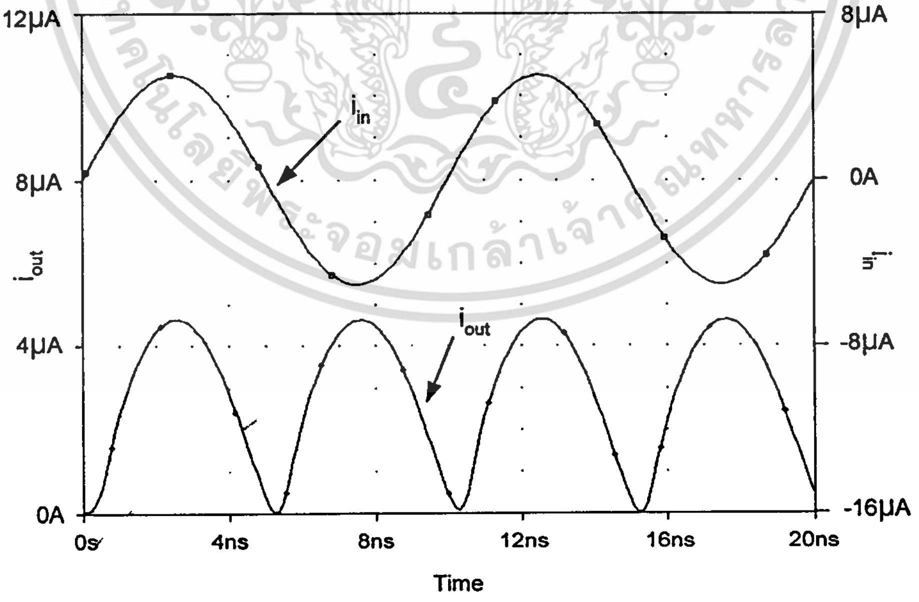
ซึ่งเห็นได้ว่าความผิดเพี้ยนของกระแสเอาท์พุทมากขึ้นเมื่อกระแส I_1 เบี่ยงเบนไปจาก 10μA ในอุตสาหกรรมการผลิตจะใช้การทดสอบสมรรถนะการทำงานของวงจร โดยการจำลองการทำงานของวงจรด้วยผลของกระบวนการผลิต (process) แรงดันที่จ่ายให้กับวงจร (voltage) และอุณหภูมิ (temperature) ซึ่งเรียกว่า PVT โดยจะใช้การทดสอบใน 3 เงื่อนไขคือ การใช้งานที่อยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะที่ดีที่สุด (best case) ซึ่งกำหนดแรงดันที่จ่ายให้วงจรเป็น 1.8V ที่อุณหภูมิการทำงานของวงจรเป็น 0°C การใช้งานในสภาวะปกติ (typical case) ซึ่งกำหนดแรงดันที่จ่ายให้วงจรเป็น 1.5V ที่อุณหภูมิการทำงานของวงจรเป็น 27°C และการใช้งานในสภาวะที่เลวที่สุด (worst case) ซึ่ง



(ก)



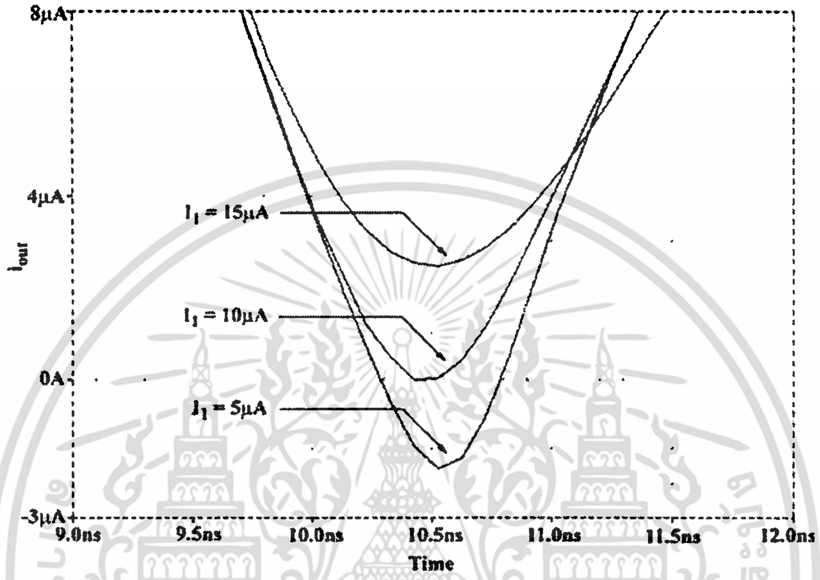
(ข)

รูปที่ 2.26 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่น ชนิดแรงดันต่ำเมื่อใช้กระแสอินพุท $10\mu A_{p\text{-}p}$

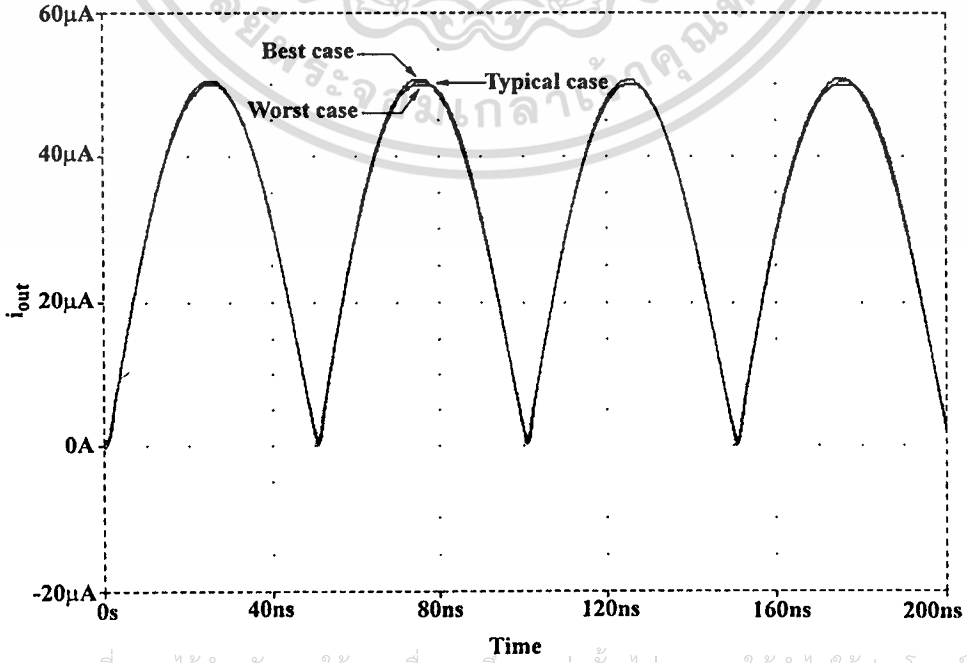
(ก) ความถี่ 50MHz (ข) ความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดแรงดันที่จ่ายให้วงจรเป็น 1.2V ที่อุณหภูมิการทำงานของวงจรเป็น 70°C ผลของการเลียนแบบการทดสอบ PVT ของวงจรเรียงกระแสแบบเต็มคลื่นแรงดันต่ำรูปที่ 2.15 เมื่อป้อนกระแสอินพุทขนาด 100μA$_{p-p}$ ที่ความถี่ 10MHz แสดงดังรูปที่ 2.28 ซึ่งเห็นได้ว่ากระแสเอาท์พุทของวงจรสามารถทำงานได้ถูกต้อง



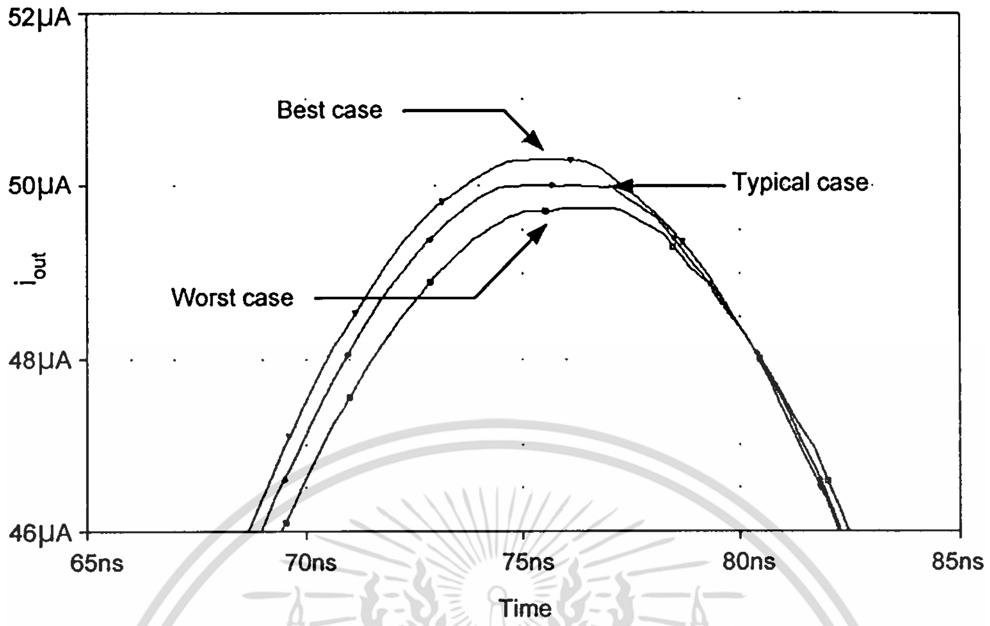
รูปที่ 2.27 แสดงช่วงสัญญาณผ่านจุดศูนย์เมื่อใช้กระแสอินพุท 100μA$_{p-p}$ ที่ความถี่ 50MHz เมื่อกำหนดให้กระแส I_1 เท่ากับ 5μA , 10μA และ 15μA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

(ก)

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 2.28 (ก) แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำเมื่อมีการเปลี่ยนแปลงค่าแรงดันและอุณหภูมิ

(ข) แสดงส่วนขยายบริเวณจุดสูงสุดของสัญญาณเอาท์พุทจากรูป (ก)

2.7 บทสรุป

ในบทนี้ได้เสนอให้เห็นถึงหลักการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ ที่ใช้หลักการกำหนดจุดทำงานหรือไบอัสมอสทรานซิสเตอร์ที่ขอบของการนำกระแส ซึ่งวิธีนี้ทำให้ความผิดพลาดที่สัญญาณเอาท์พุทบริเวณช่วงสัญญาณผ่านจุดศูนย์น้อยมาก คุณสมบัติของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำที่ได้ออกแบบนี้ สามารถทำงานได้อย่างมีประสิทธิภาพตลอดช่วงการทำงานของสัญญาณอินพุทที่มีขนาดระหว่าง $-120\mu A < i_{in} < 120\mu A$ และตอบสนองความถี่สูงถึง 268.28MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วงจรถอดรากที่สองชนิดแรงดันต่ำ

3.1 บทนำ

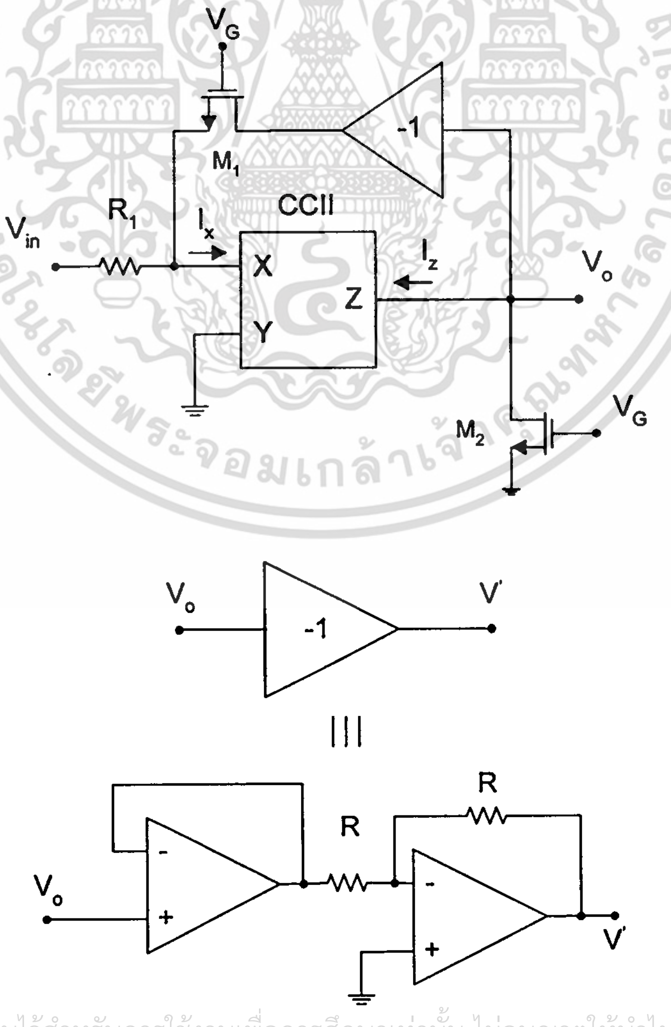
วงจรถอดรากที่สองเป็นวงจรที่ใช้กันอย่างกว้างขวางในเครื่องมือวัด ตัวอย่างเช่น ใช้ในการจัดการสัญญาณจากหัววัดอัตราการไหลให้เป็นเชิงเส้น หรือใช้คำนวณหาค่าเฉลี่ย (RMS) ของสัญญาณ [21] วงจรถอดรากที่สองได้มีการพัฒนากันอย่างต่อเนื่องเช่น การออกแบบโดยใช้ออปแอมป์ร่วมกับอนาลอกสวิทช์ ซึ่งการออกแบบโดยวิธีนี้จำเป็นต้องอาศัยสัญญาณนาฬิกามาควบคุมอนาลอกสวิทช์และมีช่วงปฏิบัติงานทางความถี่ไม่สูง การออกแบบโดยใช้ออปแอมป์ร่วมกับไบโพลาร์ทรานซิสเตอร์ที่ประกอบเป็นวงจรขยายล็อก (logarithmic amplifier) และแอนตี้ล็อก (antilogarithmic amplifier) [22],[23] วิธีนี้จำเป็นต้องใช้ความต้านทานที่สมพงษ์กันเป็นจำนวนมาก ซึ่งทำให้เปลืองเนื้อที่ของสารกึ่งตัวนำเมื่อนำมาทำเป็นวงจรรวมและยังให้ช่วงการตอบสนองต่อความถี่แคบเนื่องจากคุณสมบัติของออปแอมป์อีกด้วย การออกแบบโดยใช้วงจรสายพานกระแสยุคที่สอง (second-generation current conveyor) ต่อร่วมกับมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว [24] แต่การออกแบบโดยวิธีนี้ทำให้วงจรทำงานได้ความถี่ไม่สูงเนื่องจากความจุแฝงมีค่ามากที่เกิดจากมอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว และข้อจำกัดทางความถี่ของออปแอมป์ การออกแบบโดยให้มอสทรานซิสเตอร์ทำงานในช่วงต่ำกว่าแรงดันขีดเริ่ม (weak inversion) [25] การออกแบบโดยวิธีนี้ทำให้ช่วงปฏิบัติงานทั้งด้านขนาดและความถี่แคบมากเนื่องจากค่าทรานส์คอนดัคแตนซ์ที่ไม่สูงของมอสทรานซิสเตอร์ที่ทำงานในช่วงต่ำกว่าแรงดันขีดเริ่ม แต่มีข้อดีที่ใช้พลังงานน้อยและใช้แรงดันต่ำ อีกวิธีหนึ่งที่ใช้ทำวงจรถอดรากที่สองคือ ใช้คุณสมบัติของทรานส์ลิเนียร์ในการออกแบบวงจรถอดรากที่สองโดยใช้ไบโพลาร์ทรานซิสเตอร์ [14] หรือมอสทรานซิสเตอร์ [26] เนื่องจากคุณสมบัติที่ดีของวงจรทรานส์ลิเนียร์ที่ไม่ไวต่อการเปลี่ยนแปลงอุณหภูมิ มีช่วงปฏิบัติงานทางขนาดและความถี่ที่กว้างเนื่องจากทำงานในโหมดของกระแสและมีความเหมาะสมที่จะนำไปทำเป็นวงจรรวม จากคุณสมบัติที่ดีของหลักการทรานส์ลิเนียร์ดังที่กล่าวมาข้างต้น จึงเป็นเหตุจูงใจให้ทำการวิจัยและพัฒนาวงจรถอดรากที่สองโดยใช้หลักการของทรานส์ลิเนียร์ ในบทที่สามนี้จะเป็นการนำเสนอเทคนิคการออกแบบวงจรถอดรากที่สองชนิดแรงดันต่ำ โดยใช้เทคโนโลยีวงจรรวมแบบซีมอสซึ่งใช้หลักการของมอสทรานส์ลิเนียร์ โดยคุณสมบัติของวงจรให้ความเที่ยงตรงสูงสามารถทำงานได้ในช่วงปฏิบัติงานทั้งด้านขนาดและความถี่ของสัญญาณที่กว้าง และสามารถทำงานได้กับสัญญาณอินพุทที่มีขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการเดิมของวงจรถอดรากที่สอง

จากหลักการออกแบบวงจรถอดรากที่สองที่ผ่านมาในอดีต สามารถสรุปแนวทางการออกแบบวงจรถอดรากที่สองได้เป็น 3 กลุ่มใหญ่ อันได้แก่ กลุ่มที่ 1 วงจรถอดรากที่สองที่ใช้ออปแอมป์ กลุ่มที่ 2 วงจรถอดรากที่สองที่ใช้หลักการของวงจรทรานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์ และกลุ่มที่ 3 วงจรถอดรากที่สองที่ใช้วงจรขยายคลาส AB

วงจรถอดรากที่สองในกลุ่มที่ 1 หลักการออกแบบวงจรโดยใช้ออปแอมป์ ร่วมกับอนาลอกสวิทซ์และตัวเก็บประจุ หรือร่วมกับไบโพลาร์ทรานซิสเตอร์ในรูปแบบของวงจรขยายล็อกและแอนตี้ล็อก หรือร่วมกับวงจรสายพานกระแสยุคที่สองกับมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว การออกแบบวิธีนี้มีข้อเสียคือความถี่ปฏิบัติงานถูกจำกัดเนื่องจากข้อจำกัดทางความถี่ของออปแอมป์ ตัวอย่างของวงจรที่ใช้หลักการนี้คือวงจรถอดรากที่สองที่ออกแบบโดย S.-I.Liu [24] แสดงดังรูปที่ 3.1



รูปที่ 3.1 วงจรถอดรากที่สอง S.-I.Liu [24]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ยกเว้นได้รับอนุญาตเป็นลายลักษณ์อักษร และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 3.1 วงจรถอดรากที่สองประกอบด้วยวงจรสายพานกระแสยุคที่สอง มอสทรานซิสเตอร์ M_1 และ M_2 ไบอัสให้ทำงานในช่วงไม่อิ่มตัว โดยทำให้ความต่างศักย์ระหว่างขาบอดี้กับขาซอสเป็นลบ ($V_{BS} << 0$) ตัวต้านทาน R_1 และวงจรขยายออปแอมป์ที่มีอัตราขยายเท่ากับ -1 กระแสเดรนของมอสทรานซิสเตอร์ที่ไบอัสให้ทำงานในช่วงไม่อิ่มตัวเป็นดังสมการ (3.1) กำหนดให้มอสทรานซิสเตอร์ M_1 และ M_2 สมพงษ์กันทุกประการ

$$I_D = \frac{K_p W}{L}\left[(V_{GS} - V_T)V_{DS} - \frac{V^2{}_{DS}}{2}\right] \tag{3.1}$$

จากคุณสมบัติของวงจรสายพานกระแส ทำให้ $V_X = V_Y = 0$ ดังนั้นกระแส I_x และ I_z เป็นดังสมการ (3.2) และ สมการ (3.3) ตามลำดับ

$$I_x = \frac{V_{in}}{R_1} + \frac{K_p W_1}{L_1}\left[(V_G - V_T)(-V_o) - \frac{(-V_o)^2}{2}\right] \tag{3.2}$$

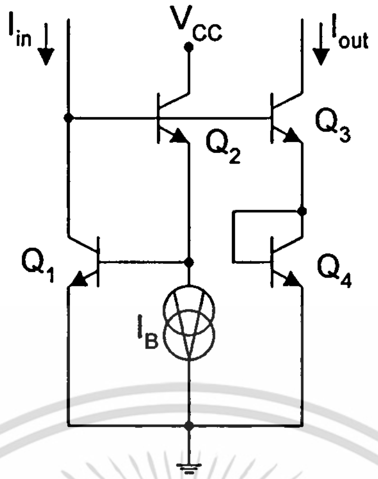
$$I_z = -\frac{K_p W_1}{L_1}\left[(V_G - V_T)V_o - \frac{V^2{}_o}{2}\right] \tag{3.3}$$

เนื่องจาก $I_x = I_z$ ดังนั้นจากสมการ (3.2) และสมการ (3.3) สามารถหาความสัมพันธ์ของ V_o กับ V_{in} ได้เป็น

$$V_o = -\left(\frac{V_{in}}{R_1 K_p \frac{W_1}{L_1}}\right)^{\frac{1}{2}} \quad \text{เมื่อ } V_{in} > 0 \text{ และ } V_G > |V_o| + V_T \tag{3.4}$$

วงจรถอดรากที่สองในกลุ่มที่ 2 ออกแบบวงจรโดยอาศัยหลักการของวงจรทรานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์ ซึ่งการออกแบบวิธีนี้ทำให้วงจรมีขนาดเล็กกว่าวงจรที่ออกแบบโดยมีออปแอมป์ร่วมอยู่ด้วย รูปแบบของวงจรแสดงดังรูปที่ 3.2 ซึ่งประกอบด้วยทรานซิสเตอร์ชนิด NPN จำนวน 4 ตัว ร่วมกับตัวจ่ายกระแสคงที่ I_B กำหนดให้ทรานซิสเตอร์ Q_1 ถึง Q_4 สมพงษ์กันทุกประการ จากหลักการของทรานส์ลิเนียร์ทำให้ได้ความสัมพันธ์ของแรงดัน V_{BE} ดังสมการที่ (3.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรถอดรากที่สองที่ใช้หลักการของวงจรทรานส์ลิเนียร์ แบบไบโพลาร์ทรานซิสเตอร์

$$V_{BE1} + V_{BE2} = V_{BE3} + V_{BE4} \tag{3.5}$$

ค่าแรงดันของ V_{BE} ในไบโพลาร์ทรานซิสเตอร์จะมีค่า

$$V_{BE} = V_{ther} \ln \frac{I_C}{I_S} \tag{3.6}$$

โดยที่ I_C คือกระแสคอลเลคเตอร์ V_{ther} คือแรงดันความร้อน (thermal voltage) มีค่าเท่ากับ kT/q หรือประมาณ 25.8 มิลลิโวลท์ ที่อุณหภูมิ 300 เคลวิน และ I_S คือค่ากระแสย้อนกลับอิ่มตัว (reverse saturation current) แทนค่า V_{BE} จากสมการที่ (3.6) ลงในสมการที่ (3.5) ได้

$$V_{ther1} \ln \frac{I_{C1}}{I_{S1}} + V_{ther2} \ln \frac{I_{C2}}{I_{S2}} = V_{ther3} \ln \frac{I_{C3}}{I_{S3}} + V_{ther4} \ln \frac{I_{C4}}{I_{S4}} \tag{3.7}$$

กำหนดให้ทรานซิสเตอร์ทุกตัวสมพงษ์กันทุกประการ และ $V_{ther1} = V_{ther2} = V_{ther3} = V_{ther4} = V_{ther}$ $I_{S1} = I_{S2} = I_{S3} = I_{S4} = I_S$ จากสมการที่ (3.7) ได้

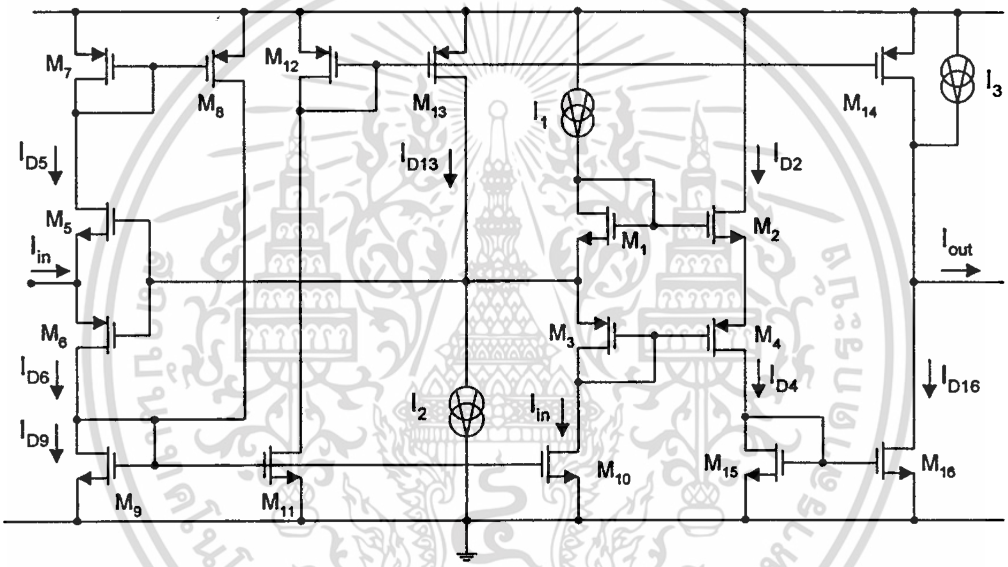
$$I_{C1} I_{C2} = I_{C3} I_{C4} \tag{3.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $I_{C1} = I_{in}$, $I_{C2} = I_B$ และ $I_{C3} = I_{C4} = I_{out}$ ในสมการที่ (3.8) ได้

$$I_{out} = \sqrt{I_B}\sqrt{I_{in}} \tag{3.9}$$

วงจรถอดรากที่สองในกลุ่มที่ 3 หลักการออกแบบวงจรโดยใช้วงจรขยายคลาส AB ซึ่งวิธีนี้เหมาะที่จะนำไปทำเป็นวงจรรวม แต่วงจรไม่สามารถทำงานได้ที่ความถี่สูงมากได้ ตัวอย่างของวงจรที่ใช้หลักการนี้คือวงจรถอดรากที่สองที่ออกแบบโดย Riewruja,V., Anuntahirunrat,K. and Surakampontorn,W. [26] แสดงดังรูปที่ 3.3



รูปที่ 3.3 วงจรถอดรากที่สองที่ใช้หลักการของวงจรขยายคลาส AB

จากรูปที่ 3.3 พิจารณามอสทรานซิสเตอร์ M_1 ถึง M_4 ได้

$$V_{GS1} + V_{SG3} = V_{GS2} + V_{SG4} \tag{3.10}$$

แทนค่า $V_{GS1} = \sqrt{\frac{I_1}{K_{p1}}} + V_{T1}$, $V_{GS2} = \sqrt{\frac{I_{D2}}{K_{p2}}} + V_{T2}$, $V_{SG3} = \sqrt{\frac{I_{in}}{K_{p3}}} + V_{T3}$ และ $V_{SG4} = \sqrt{\frac{I_{D4}}{K_{p4}}} + V_{T4}$ ลงในสมการ (3.10) โดยกำหนดให้ $V_{T1} = V_{T2}$, $V_{T3} = V_{T4}$, $K_{p1} = K_{p2} = K_{p3} = K_{p4} = K_p$ และ $I_{D2} = I_{D4}$ ได้

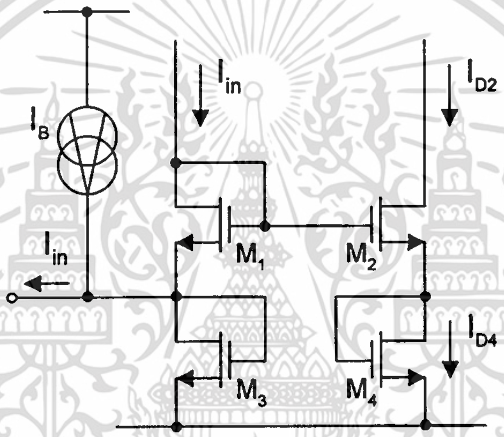
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$2\sqrt{I_{D4}} = \sqrt{I_1} + \sqrt{I_{in}} \tag{3.11}$$

ยกกำลังสองทั้งสองข้างในสมการ (3.11) ได้

$$I_{D4} = \frac{I_1 + I_{in}}{4} + \frac{\sqrt{I_1}}{2}\sqrt{I_{in}} \tag{3.12}$$

3.3 หลักการพื้นฐานของวงจร



รูปที่ 3.4 ส่วนหลักของวงจรถอดรากที่สอง

รูปที่ 3.4 แสดงให้เห็นถึงการต่อวงจรส่วนหลักของวงจรถอดรากที่สอง ซึ่งประกอบด้วยมอสทรานซิสเตอร์ M_1 ถึง M_4 และตัวจ่ายกระแสคงที่ I_B เป็นกระแสไบอัสให้กับวงจร กำหนดให้มอสทรานซิสเตอร์ M_1 ถึง M_4 สมพงษ์กันทุกประการและทำงานในช่วงอิ่มตัว เมื่อป้อนกระแสอินพุท I_{in} ให้กับวงจร ได้ความสัมพันธ์ดังสมการ (3.13)

$$V_{GS1} + V_{GS3} = V_{GS2} + V_{GS4} \tag{3.13}$$

แทนค่า $V_{GS1} = \sqrt{\frac{2L_1 I_{D1}}{K_p W_1}} + V_{T1}$, $V_{GS2} = \sqrt{\frac{2L_2 I_{D2}}{K_p W_2}} + V_{T2}$, $V_{GS3} = \sqrt{\frac{2L_3 I_{D3}}{K_p W_3}} + V_{T3}$ และ $V_{GS4} = \sqrt{\frac{2L_4 I_{D4}}{K_p W_4}} + V_{T4}$ โดยกำหนดให้ $I_{D2} = I_{D4}$, $I_{D1} = I_{in}$, $I_{D3} = I_B$ และ $V_{T1} = V_{T2} = V_{T3} =$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

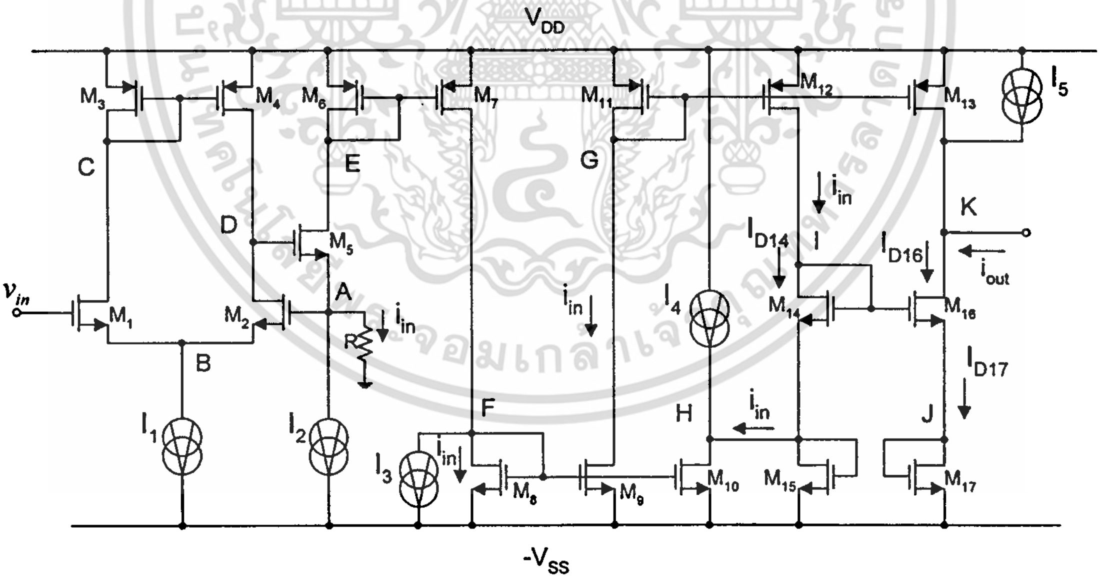
$V_{T4} = V_T$ ในสมการที่ (3.13) ดังนั้นความสัมพันธ์ของกระแส I_{in}, I_{D2} และ I_{D4} เป็นไปตามสมการ (3.14)

$$I_{D2} = I_{D4} = \frac{I_B + I_{in}}{4} + \frac{\sqrt{I_B}}{2}\sqrt{I_{in}} \qquad (3.14)$$

จากสมการที่ (3.14) เห็นได้ว่า กระแส I_{D2} ประกอบด้วยกระแส 2 เทอมคือเทอมของ $\frac{I_B + I_{in}}{4}$ กับเทอมของ $\frac{\sqrt{I_B}}{2}\sqrt{I_{in}}$ เมื่อกำจัดเทอมของ $\frac{I_B + I_{in}}{4}$ ออกไปโดยมอสทรานซิสเตอร์ M_{14} และแหล่งจ่ายกระแสคงที่ I_3 ในรูปที่ 3.3 จะทำให้กระแสเอาท์พุทเป็นรากที่สองของกระแสอินพุท โดยมีอัตราขยายกระแสเท่ากับ $\frac{\sqrt{I_B}}{2}$

3.4 วงจรถอดรากที่สองของแรงดันอินพุท

3.4.1 การทำงานของวงจร



รูปที่ 3.5 วงจรถอดรากที่สองของแรงดันอินพุท

วงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นแรงดันแสดงดังรูปที่ 3.5 [27] ซึ่งประกอบด้วยกลุ่มของวงจรย่อย 3 วงจร คือ วงจรสายพานกระแส [28] ที่ประกอบด้วยมอสทรานซิสเตอร์ M_1 ถึง M_7 ตัวจ่ายกระแสคงที่ I_1 ถึง I_3 และตัวต้านทาน R ทำหน้าที่เปลี่ยนแรงดันอินพุทให้เป็นกระแส วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_8 ถึง M_{13} ทำหน้าที่ส่งผ่านกระแสที่ได้จากวงจรสายพานกระแสไปสู่ส่วนที่สามคือ วงจรถอดรากที่สองที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยมอสทรานซิสเตอร์ M_{14} ถึง M_{17} และตัวจ่ายกระแสคงที่ I_4 การทำงานของวงจรสามารถอธิบายได้ดังนี้ กำหนดให้มอสทรานซิสเตอร์ทุกตัวในวงจรสมพงษ์กันทุกประการและทำงานในช่วงอิ่มตัว มอสทรานซิสเตอร์ M_1 ถึง M_5 ประกอบเป็นวงจรเปลี่ยนแรงดันเป็นกระแส โดยมีตัวจ่ายกระแสคงที่ I_1 เป็นกระแสไบอัสให้กับมอสทรานซิสเตอร์ M_1 และ M_2 ทำให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_1 และ M_2 เท่ากัน เนื่องมาจากวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_3 และ M_4 ทำให้ $V_{GS1}= V_{GS2}$ ความสัมพันธ์ของ v_{in} และ i_{in} สามารถแสดงได้ดังสมการ (3.15)

$$v_{in} = V_{GS1} - V_{GS2} + i_{in}R \tag{3.15}$$

เนื่องจาก $V_{GS1} = V_{GS2}$ ดังนั้น

$$i_{in} = \frac{v_{in}}{R} \tag{3.16}$$

เมื่อป้อนแรงดันอินพุทเป็นบวก ($v_{in} > 0$) ทำให้เกิดกระแส i_{in} ไหลออกจากจุด A กระแส i_{in} ที่ได้จะไปรวมกับกระแส I_2 เป็น $i_{in} + I_2$ ป้อนให้กับวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_6 ถึง M_7 โดยผ่านมอสทรานซิสเตอร์ M_5 ที่ต่อลักษณะของวงจรตามกระแสซึ่งทำหน้าที่ส่งผ่านกระแส $i_{in} + I_2$ จากขาซอสมาขาเดรน กระแส $i_{in} + I_2$ จะถูกสะท้อนไปเป็นกระแสเดรนของมอสทรานซิสเตอร์ M_7 ถ้ากำหนดให้ตัวจ่ายกระแสคงที่ $I_3 = I_2$ ดังนั้นจึงเหลือแต่กระแส i_{in} ไหลเข้าสู่วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_8 ถึง M_{12} ไปยังวงจรถอดรากที่สองที่ขาเดรนของมอสทรานซิสเตอร์ M_{14} ส่วนตัวจ่ายกระแสคงที่ I_4 เป็นกระแสไบอัสให้กับมอสทรานซิสเตอร์ M_{15} ความสัมพันธ์ของกระแส i_{in} , I_{D16} และ I_{D17} เป็นไปดังสมการ (3.17)

$$I_{D16} = I_{D17} = \frac{i_{in}}{4} + \frac{I_4}{4} + \frac{\sqrt{I_4}\sqrt{i_{in}}}{2} \tag{3.17}$$

เนื่องจาก

$$I_{D16} = i_{out} + I_{D13} + I_5 \tag{3.18}$$

แทนค่า I_{D16} จากสมการ (3.17) ลงในสมการ (3.18) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = \frac{\sqrt{I_4}\sqrt{i_{in}}}{2} + \frac{i_{in}}{4} + \frac{I_4}{4} - I_{D13} - I_5 \qquad (3.19)$$

กำหนดให้ตัวจ่ายกระแสคงที่ $I_5 = I_4/4$ และกระแส $I_{D13} = i_{in}/4$ ซึ่งสามารถทำได้จากการใช้วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_{11} และ M_{13} มีอัตราขยายกระแสเป็น ¼ เท่า ดังนั้นกระแสเอาท์พุทจะได้ว่า

$$i_{out} = \frac{\sqrt{I_4}\sqrt{i_{in}}}{2} \qquad (3.20)$$

แทนค่า i_{in} จากสมการ (3.16) ลงในสมการ (3.20) ได้

$$i_{out} = \sqrt{\frac{I_4}{4R}}\sqrt{v_{in}} = K\sqrt{v_{in}} \quad ; v_{in} > 0 \qquad (3.21)$$

โดยที่ $K = (I_4/4R)^{1/2}$, R เป็นความต้านทานที่ต่อที่จุด A จากสมการ (3.21) พบว่ากระแสเอาท์พุทเป็นรากที่สองของแรงดันอินพุทโดยมีอัตราขยายเป็น $(I_4/4R)^{1/2}$

3.4.2 สมรรถนะของวงจร

เพื่อให้ทราบถึงสมรรถนะของวงจรถอดรากที่สองของแรงดันอินพุทดังรูปที่ 3.5 สามารถทำได้โดยวิเคราะห์ ช่วงแรงดันปฏิบัติงาน ความต้านทานอินพุทและเอาท์พุท ความถี่ปฏิบัติงาน ดังการวิเคราะห์ต่อไปนี้

3.4.2.1 การวิเคราะห์แรงดันปฏิบัติงาน

เมื่อแรงดันอินพุทมากขึ้นจะทำให้กระแส i_{in} สูงขึ้นผลคือแรงดันที่ขาเดรนของมอสทรานซิสเตอร์ M_5 ลดลง ดังนั้นขีดความสามารถของวงจรจะรับแรงดันอินพุทได้มากน้อยเพียงใดขึ้นอยู่กับมอสทรานซิสเตอร์ M_5 ที่ยังสามารถทำงานในช่วงอิ่มตัวได้ ซึ่งสามารถหาได้ดังนี้

$$V_{DD} - V_{SG6} - i_{in}R \geq V_{GS5} - V_{T5} \qquad (3.22)$$

แทนค่า $V_{GS5} = \sqrt{\frac{2L_5(I_2 + i_{in})}{K_{p5}W_5}} + V_{T5}$ และ $V_{SG6} = \sqrt{\frac{2L_6(I_2 + i_{in})}{K_{p6}W_6}} + V_{T6}$ ลงในสมการ (3.22) และกำหนดให้ $K_{p5} = K_{p6} = K_p$ ดังนั้นช่วงแรงดันปฏิบัติงานของวงจรมีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} \le \frac{[2BR(V_{DD}-V_{T6})+1]-\sqrt{[2BR(V_{DD}-V_{T6})+1]^2-\{4BR^2[B(V_{DD}-V_{T6})^2-I_2]\}}}{2BR} \quad (3.23)$$

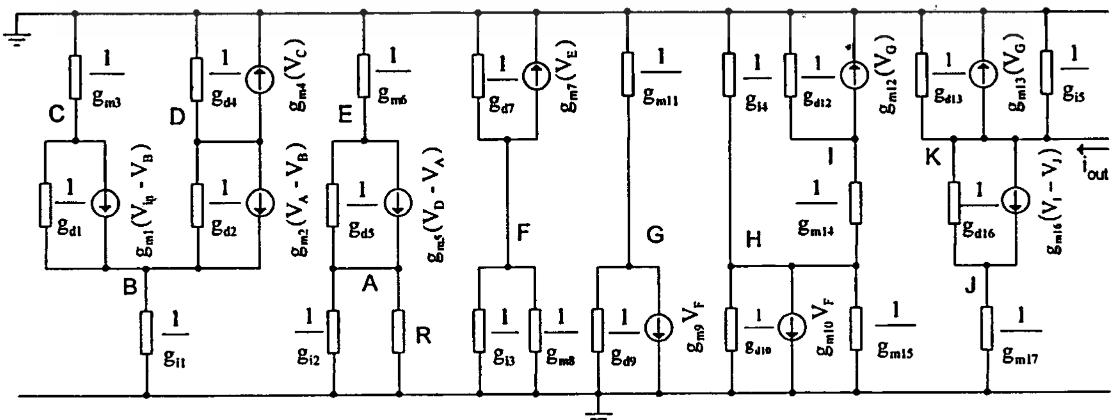
โดยที่ $B = \dfrac{K_p W_6}{2L_6\left(1+\sqrt{\dfrac{L_5 W_6}{W_5 L_6}}\right)^2}$

ถ้ากำหนดให้ K_p = 220.4134X10^{-6}A/V^2, W_5 = 20μm, W_6 = 8μm, L_5 = L_6 = 1μm, V_{DD} = 2V, V_{T6} = 0.51V, I_2 = 30μA, R = 10kΩ ได้แรงดันปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุท จากสมการ (3.23) เป็น 0.89 V

3.4.2.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท

จากวงจรรูปที่ 3.5 กลุ่มของมอสทรานซิสเตอร์ M_1 ถึง M_7 และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 ประกอบเป็นวงจรสายพานกระแส ทำหน้าที่เปลี่ยนแรงดันอินพุทเป็นกระแส แรงดันอินพุทถูกป้อนเข้าที่ขาเกทของมอสทรานซิสเตอร์ M_1 ทำให้ความต้านทานอินพุทของวงจรมีค่าสูงมากประมาณ $10^{15}\,\Omega$ ซึ่งเป็นผลมาจากความต้านทานที่เกิดจากฉนวนซิลิคอนไดออกไซด์ (SiO_2) และความต้านทานที่จุด A (ภาคผนวก ฉ.) สามารถหาได้จาก

$$r_A = \frac{v_A}{i_{in}} = \frac{(g_{m1}+g_{m2})(g_{d2}+g_{d4})}{g_{m1}g_{m2}g_{m5}} \quad (3.24)$$



รูปที่ 3.6 วงจรสมมูลในการวิเคราะห์หาความต้านทานเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ส่วนในการพิจารณาค่าความต้านทานเอาท์พุท ต้องกำหนดให้แรงดันอินพุทเป็นศูนย์ ดังวงจรสมมูลในรูปที่ 3.6 นั่นคือจะทำให้ $V_A = 0$ (ภาคผนวก ซ.) จะได้ความต้านทานเอาท์พุทของวงจรเป็น

$$r_{out} = \frac{V_K}{I_{out}} = \frac{g_{m16} + g_{m17}}{g_{m16}g_{d13} + g_{m17}(g_{d13} + g_{d16})} \tag{3.25}$$

3.4.2.3 การวิเคราะห์หาค่าความถี่ปฏิบัติงาน

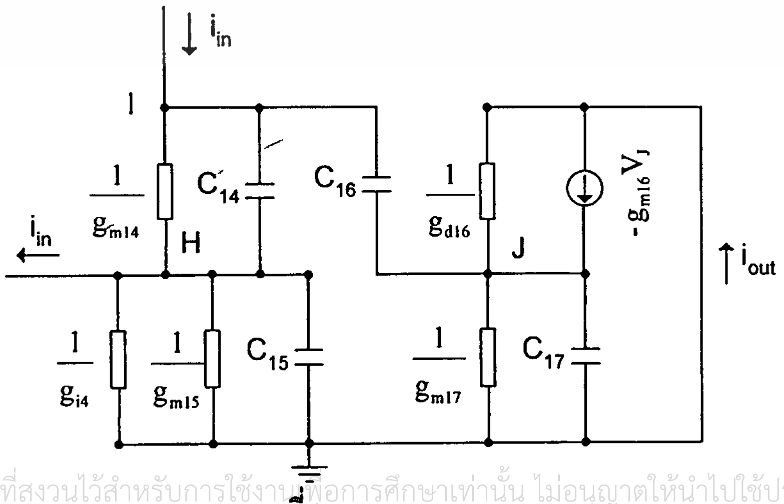
จากวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นแรงดัน แสดงดังรูปที่ 3.5 ประกอบด้วยกลุ่มของวงจร 3 ส่วน คือส่วนวงจรถอดรากที่สองที่มีกลุ่มมอสทรานซิสเตอร์ M_{14} ถึง M_{17} และตัวจ่ายกระแสคงที่ I_4 ส่วนของวงจรสะท้อนกระแสที่มีกลุ่มมอสทรานซิสเตอร์ M_8 ถึง M_{13} และตัวจ่ายกระแสคงที่ I_5 วงจรสายพานกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_1 ถึง M_7 และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 ดังนั้นการวิเคราะห์หาความถี่ปฏิบัติงานของวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นแรงดัน จึงต้องวิเคราะห์หาความถี่ปฏิบัติงานทั้งสามส่วนแล้วนำมาเปรียบเทียบกันว่าส่วนใดเป็นขีดจำกัดของการทำงานด้านความถี่ปฏิบัติงาน

ส่วนวงจรถอดรากที่สองสามารถแสดงวงจรสมมูลดังรูปที่ 3.7 (ภาคผนวก ซ.) จะได้ความสัมพันธ์ของ i_{out} และ i_{in} ดังสมการที่ (3.26)

$$\frac{i_{out}}{i_{in}} = \frac{g_{m15}g_{m16}g_{m17}\left(1 + s\frac{C_{15}}{g_{m15}}\right)\left(1 + s\frac{C_{17}}{g_{m17}}\right)}{g_{m14}g_{m15}(g_{m16} + g_{m17})(1 + sT)} \tag{3.26}$$

เมื่อ

$$T = \frac{g_{m14}g_{m17}(C_{15} + C_{16}) + g_{m15}g_{m17}(C_{14} + C_{16}) + g_{m14}g_{m15}(C_{16} + C_{17}) + g_{m16}(g_{m14}C_{15} + g_{m15}C_{14})}{g_{m14}g_{m15}(g_{m16} + g_{m17})}$$



รูปที่ 3.7 วงจรสมมูลของวงจรถอดรากที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากฟังก์ชันถ่ายโอนของวงจรถอดรากที่สองสมการ (3.26) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของซีโร่ 2 ตัว และค่าตำแหน่งของโพล 1 ตัว คือ

$$f_{o1} = \frac{g_{m15}}{2\pi C_{15}} \tag{3.27}$$

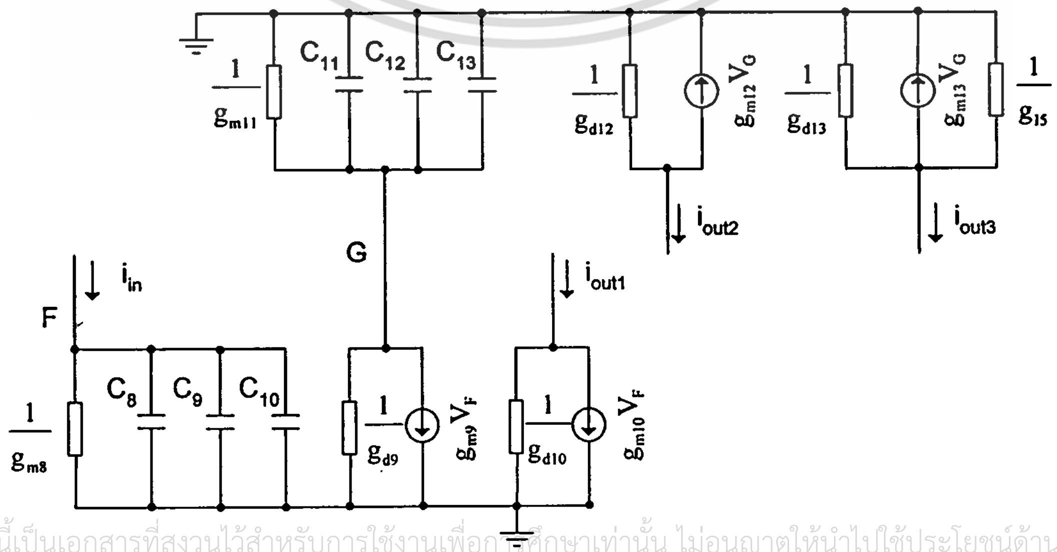
$$f_{o2} = \frac{g_{m17}}{2\pi C_{17}} \tag{3.28}$$

$$f_p = \frac{g_{m14}g_{m15}\left(g_{m16}+g_{m17}\right)}{2\pi\left[g_{m14}g_{m17}\left(C_{15}+C_{16}\right)+g_{m15}g_{m17}\left(C_{14}+C_{16}\right)+g_{m14}g_{m15}\left(C_{16}+C_{17}\right)+g_{m16}\left(g_{m14}C_{15}+g_{m15}C_{14}\right)\right]} \tag{3.29}$$

ส่วนของวงจรสะท้อนกระแสแสดงวงจรสมมูลดังรูปที่ 3.8 (ภาคผนวก ฌ.) จะได้ความสัมพันธ์ของ i_{out1} กับ i_{in} ดังสมการที่ (3.30) ความสัมพันธ์ของ i_{out2} กับ i_{in} ดังสมการที่ (3.31) และ ความสัมพันธ์ของ i_{out3} กับ i_{in} ดังสมการที่ (3.32)

$$\frac{i_{out1}}{i_{in}} = \frac{g_{m10}}{g_{m8}\left[1+s\frac{\left(C_8+C_9+C_{10}\right)}{g_{m8}}\right]} \tag{3.30}$$

$$\frac{i_{out2}}{i_{in}} = \frac{g_{m9}g_{m12}}{g_{m8}\left(g_{m11}+g_{d9}\right)\left[1+s\frac{\left(C_8+C_9+C_{10}\right)}{g_{m8}}\right]\left[1+s\frac{\left(C_{11}+C_{12}+C_{13}\right)}{\left(g_{m11}+g_{d9}\right)}\right]} \tag{3.31}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 3.8 วงจรสมมูลของวงจรสะท้อนกระแส

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out3}}{i_{in}} = \frac{g_{m9}g_{m13}}{g_{m8}(g_{m11}+g_{d9})\left[1+s\frac{(C_8+C_9+C_{10})}{g_{m8}}\right]\left[1+s\frac{(C_{11}+C_{12}+C_{13})}{(g_{m11}+g_{d9})}\right]} + \frac{i_5}{i_{in}} \quad (3.32)$$

จากฟังก์ชันถ่ายโอนของวงจรสะท้อนกระแสสมการ (3.30) ถึง สมการ (3.32) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของโพล 2 ตัว คือ

$$f_{p1} = \frac{g_{m8}}{2\pi(C_8+C_9+C_{10})} \quad (3.33)$$

$$f_{p2} = \frac{(g_{m11}+g_{d9})}{2\pi(C_{11}+C_{12}+C_{13})} \quad (3.34)$$

ส่วนของวงจรสายพานกระแส ได้ความสัมพันธ์ของ i_{D8} กับ v_{in} (ภาคผนวก ฉ.) แสดงดังสมการที่ (3.35)

$$\frac{i_{D8}}{v_{in}} = \frac{g_{m7}}{g_{m6}R}\left[1-\frac{(g_{d2}+g_{d4})}{(g_{m2}+g_{d2}+g_{d4})}\right]\left[\frac{(1+sT_1)}{(1+sT_2)(1+sT_3)}\right] \quad (3.35)$$

โดยที่ $$T_1 = \frac{C_2(g_{d2}+g_{d4})+C_5g_{m2}}{g_{m2}g_{m5}}$$

$$T_2 = \frac{(C_2+C_5)(g_{d2}+g_{d4})+C_5g_{m2}}{g_{m2}g_{m5}}$$

$$T_3 = \frac{(C_6+C_7)}{g_{m6}}$$

จากฟังก์ชันถ่ายโอนของวงจรสายพานกระแส สมการ (3.35) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของซีโร่ 1 ตัว และค่าตำแหน่งของโพล 2 ตัว คือ

$$f_o = \frac{g_{m2}g_{m5}}{2\pi[C_2(g_{d2}+g_{d4})+C_2g_{m2}]} \quad (3.36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{p1} = \frac{g_{m2}g_{m5}}{2\pi\left[(C_2 + C_5)(g_{d2} + g_{d4}) + C_5 g_{m2}\right]} \tag{3.37}$$

$$f_{p2} = \frac{g_{m6}}{2\pi(C_6 + C_7)} \tag{3.38}$$

จากผลที่ได้จากการเลียนแบบการทำงานของวงจรถอดรากที่สองของแรงดันอินพุทดังรูปที่ 3.5 จะได้ค่าพารามิเตอร์ต่างๆดังนี้ $g_{m2} = 1.66 \times 10^{-4}$ A/V , $g_{m5} = 3.58 \times 10^{-4}$ A/V , $g_{m6} = 1.23 \times 10^{-4}$ A/V , $g_{m8} = 2.56 \times 10^{-6}$ A/V , $g_{m11} = 3.36 \times 10^{-6}$ A/V , $g_{m14} = 3.55 \times 10^{-6}$ A/V , $g_{m15} = 7.23 \times 10^{-5}$ A/V , $g_{m16} = g_{m17} = 8.53 \times 10^{-6}$ A/V , $g_{d2} = 8.25 \times 10^{-7}$ A/V , $g_{d4} = 4.85 \times 10^{-7}$ A/V , $g_{d9} = 1.77 \times 10^{-8}$ A/V , $C_{13} = C_{14} = C_{15} = C_{16} = C_{17} = 2.84 \times 10^{-16}$ F , $C_5 = 2.84 \times 10^{-15}$ F และ $C_2 = C_6$ ถึง $C_{12} = 1.14 \times 10^{-15}$ F พบว่าความถี่ปฏิบัติงานของวงจรถอดรากที่สองจากสมการ (3.27) สมการ (3.28) และสมการ (3.29) เท่ากับ 40.52GHz 4.78GHz และ 844.09MHz ตามลำดับ ความถี่ปฏิบัติงานของวงจรสะท้อนกระแสจากสมการ (3.33) และสมการ (3.34) เท่ากับ 119.13MHz และ 209.66MHz ตามลำดับ ความถี่ปฏิบัติงานของวงจรสายพานกระแสจากสมการ (3.36) สมการ (3.37) และสมการ (3.38) เท่ากับ 20.00GHz 19.84GHz และ 8.59GHz ตามลำดับ

ดังนั้นขีดจำกัดการทำงานของวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นแรงดัน จะขึ้นอยู่กับวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_8 ถึง M_{13} ซึ่งสามารถทำงานได้ถึงความถี่ 119.13MHz

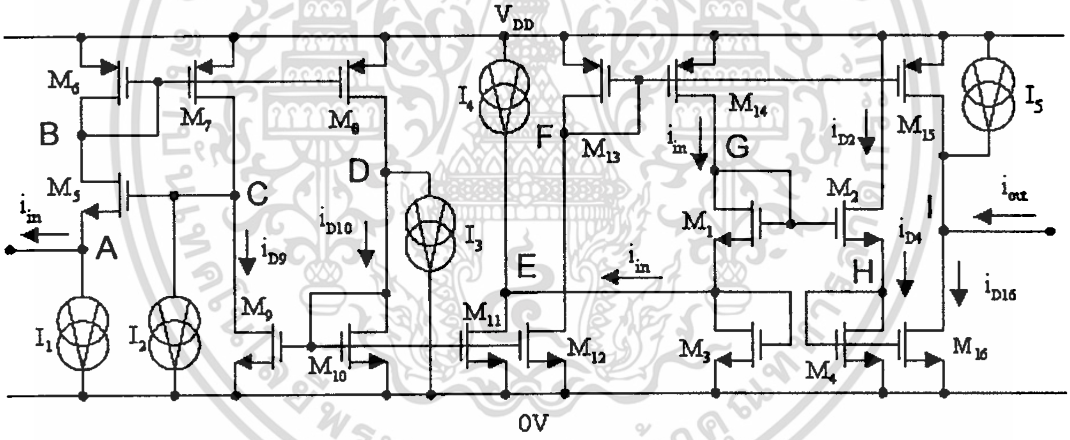
เพื่อให้มีการประยุกต์ใช้งานของวงจรถอดรากที่สองกว้างขึ้น จึงได้มีการพัฒนาวงจรถอดรากที่สองให้สามารถทำงานกับสัญญาณอินพุทที่เป็นกระแสได้ ซึ่งรูปของวงจรจะคล้ายกับวงจรถอดรากที่สองของแรงดันอินพุทเพียงแต่เปลี่ยนจากวงจรสายพานกระแสมาเป็นวงจรตามกระแส ดังที่จะได้กล่าวถึงรายละเอียดในหัวข้อต่อไป

3.5 วงจรถอดรากที่สองของกระแสอินพุท

3.5.1 การทำงานของวงจร

วงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นกระแสแสดงดังรูปที่ 3.9 [29] ประกอบด้วยกลุ่มของวงจรย่อย 4 วงจรคือวงจรตามกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_{10} และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_{10} ถึง M_{15} และตัวจ่ายกระแสคงที่ I_5 วงจรถอดรากที่สองที่ประกอบด้วยมอสทรานซิสเตอร์ M_1 ถึง M_4 และตัวจ่ายกระแสคงที่ I_4 วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_4 และ M_{16}

กำหนดให้มอสทรานซิสเตอร์ทุกตัวในวงจรสมพงษ์กันทุกประการและทำงานในช่วงอิ่มตัว การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อมีกระแสอินพุทเป็นลบ (i_{in} < 0) ทำให้เกิดกระแส $i_{in} + I_1$ ไหลผ่านมอสทรานซิสเตอร์ M_5 เข้าสู่วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_6 ถึง M_8 จะได้กระแสเดรนของมอสทรานซิสเตอร์ M_7 และ M_8 เท่ากับ $i_{in} + I_1$ กำหนดให้ตัวจ่ายกระแสคงที่ $I_1 = I_2 = I_3$ ดังนั้นจะได้กระแส i_{D9} และ i_{D10} เท่ากับกระแส i_{in} โดยที่มอสทรานซิสเตอร์ M_9 และ M_{10} ทำหน้าที่ป้อนสัญญาณ i_{in} กลับมาที่จุด C เพื่อกำจัดแรงดันออฟเซท (voltage offset) ที่เกิดขึ้นที่จุด C เนื่องจากแรงดันที่จุด C จะสูงขึ้นตามขนาดของกระแสอินพุทที่มากขึ้น กระแส i_{in} จะถูกสะท้อนเข้าสู่วงจรถอดรากที่สองโดยผ่านวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_{10} ถึง M_{14} เข้าสู่วงจรถอดรากที่สองที่ขาเดรนของมอสทรานซิสเตอร์ M_1 โดยมีตัวจ่ายกระแสคงที่ I_4 ทำหน้าที่จ่ายกระแสไบอัสให้กับมอสทรานซิสเตอร์ M_3 กระแส i_{D4} ถูกสะท้อนไปยังเอาท์พุทโดยผ่านวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_4 และ M_{16} ความสัมพันธ์ของกระแส i_{in} , I_{D4} และ I_{D16} เป็นไปดังสมการ (3.39)



รูปที่ 3.9 วงจรถอดรากที่สองของกระแสอินพุท

$$i_{D16} = i_{D4} = \frac{I_4 + i_{in}}{4} + \frac{\sqrt{I_4}}{4}\sqrt{i_{in}} \tag{3.39}$$

เนื่องจาก

$$I_{out} = i_{D16} - i_{D15} - I_5 \tag{3.40}$$

แทนค่า i_{D16} จากสมการ (3.39) ลงในสมการ (3.40) ได้

$$i_{out} = \frac{I_4 + i_{in}}{4} + \frac{\sqrt{I_4}}{4}\sqrt{i_{in}} - i_{D15} - I_5 \tag{3.41}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ตัวจ่ายกระแสคงที่ $I_5 = I_4/4$ และกระแส $I_{D15} = i_{in}/4$ ซึ่งสามารถทำได้โดยใช้วงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_{13} และ M_{15} มีอัตราขยายกระแสเป็น ¼ เท่า ดังนั้นกระแสเอาท์พุทเป็น

$$i_{out} = \frac{\sqrt{I_4}}{4}\sqrt{i_{in}} = G\sqrt{i_{in}} \tag{3.42}$$

โดยที่ $G = \frac{\sqrt{I_4}}{4}$ จากสมการ (3.42) จะได้กระแสเอาท์พุทเป็นรากที่สองของกระแสอินพุทโดยมีอัตราขยายกระแสเป็น $\frac{\sqrt{I_4}}{4}$

3.5.2 สมรรถนะของวงจร

เพื่อให้ทราบถึงสมรรถนะของวงจรถอดรากที่สองของกระแสอินพุทดังรูปที่ 3.9 สามารถทำได้โดยวิเคราะห์ ช่วงกระแสปฏิบัติงาน ความต้านทานอินพุทและเอาท์พุท ความถี่ปฏิบัติงาน ดังการวิเคราะห์ต่อไปนี้

3.5.2.1 การวิเคราะห์กระแสปฏิบัติงาน

การวิเคราะห์หาช่วงกระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุทรูปที่ 3.9 จำเป็นต้องหากระแสปฏิบัติงาน 2 ส่วนคือ ส่วนของมอสทรานซิสเตอร์ M_5 , M_6 และส่วนของมอสทรานซิสเตอร์ M_1 , M_3 , M_{14} แล้วนำค่าของกระแสทั้งสองที่ได้มาเปรียบเทียบกัน ค่าของกระแสส่วนใดต่ำกว่าค่านั้นคือช่วงของกระแสปฏิบัติงานของวงจร

พิจารณาส่วนของมอสทรานซิสเตอร์ M_5 , M_6 เมื่อกระแสอินพุทเป็นลบ ($i_{in}<0$) ทำให้แรงดันที่ขาเดรนของมอสทรานซิสเตอร์ M_5 ลดลง ดังนั้นขีดความสามารถของวงจรจะรับกระแสอินพุทได้มากน้อยเพียงใดขึ้นอยู่กับมอสทรานซิสเตอร์ M_5 ที่ยังสามารถทำงานในช่วงอิ่มตัวได้ ซึ่งสามารถหาได้ดังนี้

$$V_{DD} - V_{SG6} \geq V_{GS5} - V_{T5} \tag{3.43}$$

แทนค่า $V_{GS5} = \sqrt{\frac{2L_5(I_1 + i_{in})}{K_{p5}W_5}} + V_{T5}$ และ $V_{SG6} = \sqrt{\frac{2L_6(I_1 + i_{in})}{K_{p6}W_6}} + V_{T6}$ ลงในสมการ (3.43) กำหนดให้ $W_5 = W_6 = W$, $L_5 = L_6 = L$ และ $K_{p5} = K_{p6} = K_p$ ดังนั้นช่วงกระแสปฏิบัติงานสำหรับส่วนของมอสทรานซิสเตอร์ M_5 และ M_6 มีค่าเป็น

เอกสารนี้เป็นเอกสารที่เผยแพร่เพื่อการศึกษาเท่านั้น ... ของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in} \le \frac{K_p W}{8L}\left(V_{DD} - V_{T6}\right)^2 - I_1 \quad (3.44)$$

พิจารณาส่วนของมอสทรานซิสเตอร์ M_1 , M_3 , M_{14} เมื่อกระแสอินพุทมากขึ้น จะทำให้ V_{SD14} ลดลง ดังนั้นขีดความสามารถของวงจรจะรับกระแสอินพุทได้มากน้อยเพียงใดขึ้นอยู่กับมอสทรานซิสเตอร์ M_{14} ที่ยังสามารถทำงานในช่วงอิ่มตัวได้ ซึ่งสามารถหาได้ดังนี้

$$V_{DD} - V_{GS1} - V_{GS3} \ge V_{SG14} - V_{T14} \quad (3.45)$$

แทนค่า $V_{GS1} = \sqrt{\frac{2L_1 i_{in}}{K_{p1} W_1}} + V_{T1}$, $V_{GS3} = \sqrt{\frac{2L_3 I_4}{K_{p3} W_3}} + V_{T3}$ และ $V_{SG14} = \sqrt{\frac{2L_{14} i_{in}}{K_{p14} W_{14}}} + V_{T14}$ ลงในสมการ (3.45) กำหนดให้ $W_1 = W_{14} = W$, $L_1 = L_{14} = L$ และ $K_{p1} = K_{p3} = K_{p14} = K_p$ ดังนั้นช่วงกระแสปฏิบัติงานสำหรับส่วนของมอสทรานซิสเตอร์ M_1 , M_3 และ M_{14} มีค่าเป็น

$$i_{in} \le \frac{K_p W}{8L}\left(V_{DD} - V_{T1} - V_{T3} - \sqrt{\frac{2I_4 L_3}{K_p W_3}}\right)^2 \quad (3.46)$$

ถ้ากำหนดให้ V_{DD}= 2V, V_{T1}= V_{T3}= 0.509V, V_{T6} = 0.51V, K_p = 220.4134X10^{-6}A/V^2, I_1 = 10μA, I_4 = 10μA, W_3 = W = 8μm และ L_3 = L = 1μm ลงในสมการ (3.44) และสมการ (3.46) ได้ค่าของกระแสอินพุทเป็น 479.11μA และ 168.37μA ตามลำดับ

ดังนั้นกระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุทเป็น

$$i_{in} \le \frac{K_p W}{8L}\left(V_{DD} - V_{T1} - V_{T3} - \sqrt{\frac{2I_4 L_3}{K_p W_3}}\right)^2 \quad (3.47)$$

3.5.2.2 การวิเคราะห์ความต้านทานอินพุทและเอาท์พุท

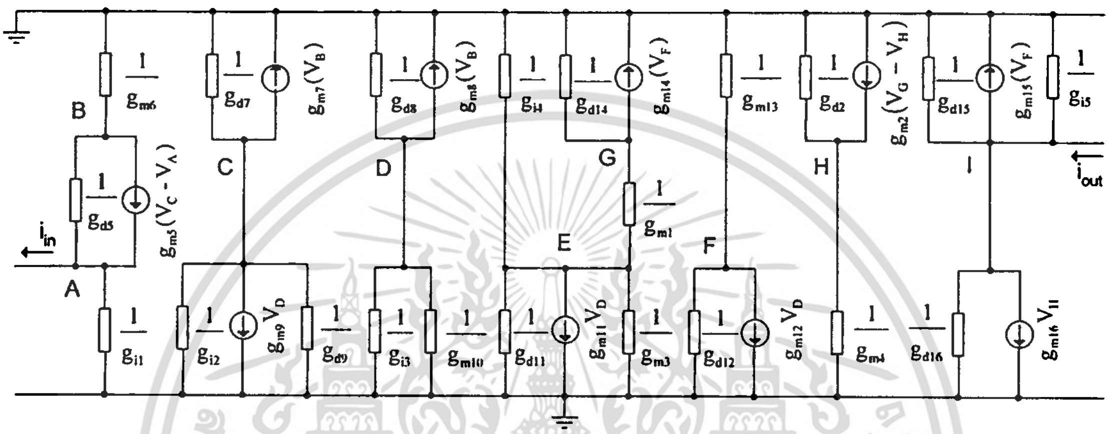
จากวงจรรูปที่ 3.9 สามารถเขียนเป็นวงจรสมมูลได้ดังรูปที่ 3.10 จะได้ความต้านทานอินพุทของวงจรเป็น (ภาคผนวก ญ.)

$$r_{in} = \frac{V_A}{i_{in}} = \frac{1}{g_{m5}} \quad (3.48)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในการพิจารณาค่าความต้านทานเอาท์พุท จะได้ความต้านทานเอาท์พุทของวงจรเป็น (ภาคผนวก ญ.)

$$r_{out} = \frac{V_I}{i_{out}} = \frac{1}{g_{d15} + g_{d16}} \qquad (3.49)$$



รูปที่ 3.10 วงจรสมมูลในการวิเคราะห์หาความต้านทานอินพุทและเอาท์พุท

3.5.2.3 **การวิเคราะห์หาค่าความถี่ปฏิบัติงาน**

จากวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นกระแส แสดงดังรูปที่ 3.9 ประกอบด้วยกลุ่มของวงจร 4 ส่วนคือส่วนวงจรถอดรากที่สองที่มีกลุ่มของมอสทรานซิสเตอร์ M_1 ถึง M_4 และตัวจ่ายกระแสคงที่ I_4 ส่วนของวงจรสะท้อนกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_{13} ถึง M_{15} และตัวจ่ายกระแสคงที่ I_5 ส่วนของวงจรสะท้อนกระแสที่มีกลุ่มมอสทรานซิสเตอร์ M_4 และ M_{16} และส่วนของวงจรตามกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_5 ถึง M_{12} และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 ดังนั้นการวิเคราะห์หาความถี่ปฏิบัติงานวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นกระแส จึงต้องวิเคราะห์ความถี่ปฏิบัติงานทั้งสี่ส่วนแล้วนำมาเปรียบเทียบกันส่วนใดเป็นขีดจำกัดการทำงานด้านความถี่ปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุท

วิธีการวิเคราะห์หาความถี่ปฏิบัติงานของส่วนวงจรถอดรากที่สอง วงจรสะท้อนกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_{13} ถึง M_{15} และวงจรสะท้อนกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_4 และ M_{16} สามารถหาได้เหมือนกับการวิเคราะห์ในหัวข้อ 3.4.2.3 ดังนั้นขีดจำกัดทางด้านความถี่สูงของวงจรส่วนถอดรากที่สอง วงจรสะท้อนกระแส M_{13} ถึง M_{15} และวงจรสะท้อนกระแส M_4 และ M_{16} แสดงดังสมการ (3.50) สมการ (3.51) และสมการ (3.52) ตามลำดับ

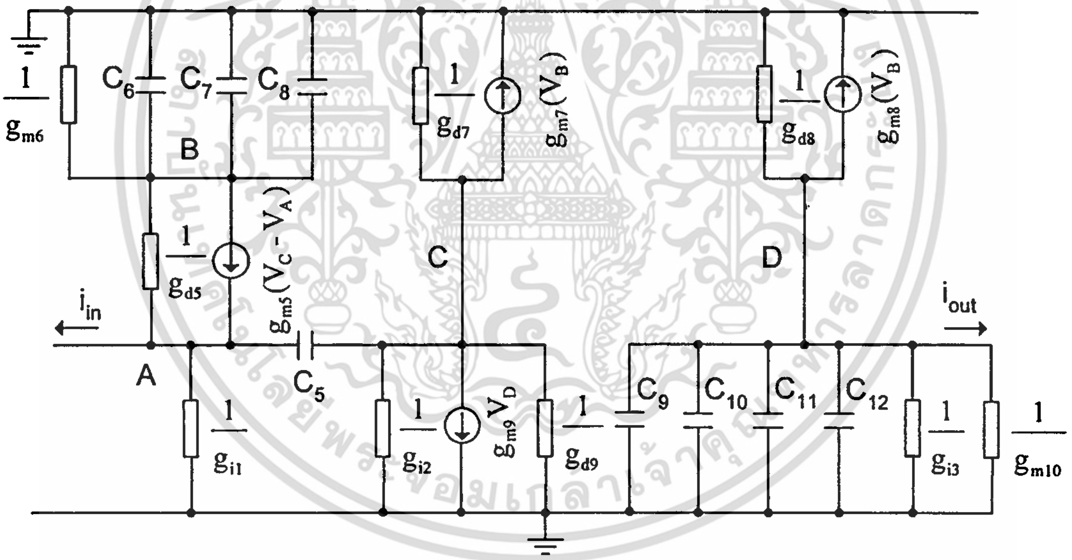
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left.\begin{aligned} f_{o1} &= \frac{g_{m3}}{2\pi C_3}, f_{o2} = \frac{g_{m4}}{2\pi C_4} \\ f_p &= \frac{g_{m1}g_{m3}(g_{m2}+g_{m4})}{2\pi[g_{m1}g_{m4}(C_3+C_2)+g_{m3}g_{m4}(C_1+C_2)+g_{m1}g_{m3}(C_2+C_4)+g_{m2}(g_{m1}C_3+g_{m3}C_1)]} \end{aligned}\right\} \quad (3.50)$$

$$f_p = \frac{g_{m13}}{2\pi(C_{13}+C_{14}+C_{15})} \quad (3.51)$$

$$f_p = \frac{g_{m4}}{2\pi(C_4+C_{16})} \quad (3.52)$$

ส่วนของวงจรตามกระแสที่มีกลุ่มของมอสทรานซิสเตอร์ M_5 ถึง M_{12} และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 สามารถเขียนเป็นวงจรสมมูลดังรูปที่ 3.11 (ภาคผนวก ฎ.) จะได้ความสัมพันธ์ของ i_{out} และ i_{in} ดังนี้



รูปที่ 3.11 วงจรสมมูลของวงจรตามกระแส

$$\frac{i_{out}}{i_{in}} = \frac{g_{m8}}{g_{m6}\left[1+s\frac{(C_9+C_{10}+C_{11}+C_{12})}{g_{m10}}\right]\left[1+s\frac{C_5(g_{m6}+g_{d5})+g_{m5}(C_6+C_7+C_8)}{g_{m5}g_{m6}}\right]} \quad (3.53)$$

จากฟังก์ชันถ่ายโอนสมการ (3.53) พบว่ามีขีดจำกัดทางด้านความถี่สูง เนื่องจากค่าตำแหน่งของโพล 2 ตัว คือ

$$f_{p1} = \frac{g_{m10}}{2\pi(C_9+C_{10}+C_{11}+C_{12})} \quad (3.54)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{p2} = \frac{g_{m5}g_{m6}}{2\pi[C_5(g_{m6}+g_{d5})+g_{m5}(C_6+C_7+C_8)]} \quad (3.55)$$

จากผลที่ได้จากการเลียนแบบการทำงานของวงจรถอดรากที่สองของกระแสอินพุทดังรูปที่ 3.9 จะได้ค่าพารามิเตอร์ต่างๆ ดังนี้ $g_{m1} = 3.22\times10^{-6} A/V$, $g_{m3} = g_{m5} = 1.27\times10^{-4} A/V$, $g_{m2} = g_{m4} = 3.09\times10^{-5} A/V$, $g_{m6} = 7.3\times10^{-5} A/V$, $g_{m10} = 2.98\times10^{-6} A/V$, $g_{m13} = 3.03\times10^{-6} A/V$, $g_{d5} = 6.67\times10^{-7} A/V$, C_1 ถึง C_{14} และ $C_{16} = 1.14\times10^{-15} F$, $C_{15} = 2.84\times10^{-16} F$ พบว่าความถี่ปฏิบัติงานของวงจรถอดรากที่สองจากสมการ (3.50) เท่ากับ 17.73GHz, 4.31GHz และ 699.41MHz ความถี่ปฏิบัติงานของวงจรสะท้อนกระแสจากสมการ (3.51) และสมการ (3.52) เท่ากับ 118.08MHz และ 2.16GHz ตามลำดับ ความถี่ปฏิบัติงานของวงจรตามกระแสจากสมการ (3.54) และสมการ (3.55) เท่ากับ 104.00MHz และ 2.85GHz ตามลำดับ

ดังนั้นขีดจำกัดการทำงานของวงจรถอดรากที่สองของสัญญาณอินพุทที่เป็นกระแส จะขึ้นอยู่กับวงจรตามกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_{12} และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 ซึ่งสามารถทำงานได้ถึงความถี่ 104.00MHz

3.6 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

จากคุณลักษณะและการทำงานของวงจรถอดรากที่สองชนิดแรงดันต่ำทั้งสัญญาณอินพุทที่เป็นแรงดันและกระแสที่ได้นำเสนอในหัวข้อที่ผ่านมาแล้วนั้น เพื่อเป็นการทดสอบและยืนยันสมรรถนะของวงจรที่ได้ออกแบบ สามารถทำงานได้ตามที่คาดการณ์และมีคุณสมบัติเหมือนกับที่วิเคราะห์ไว้ ในที่นี้ใช้โปรแกรม PSPICE มาเลียนแบบการทำงานของวงจร

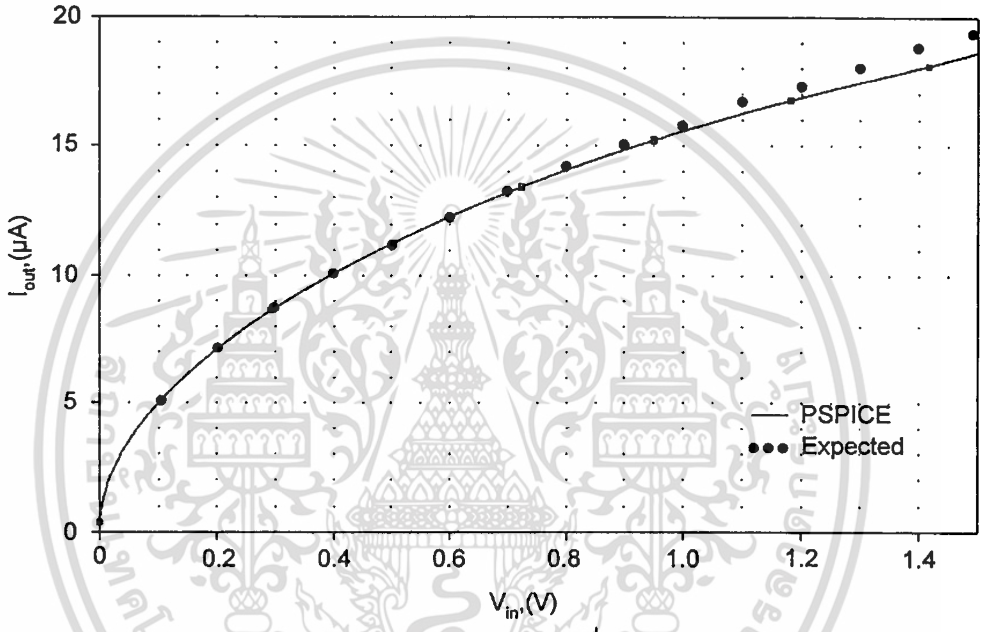
3.6.1 วงจรถอดรากที่สองของแรงดันอินพุท

การเลียนแบบการทำงานของวงจรในรูปที่ 3.5 โดยกำหนดให้ V_{DD} = 2V, V_{SS} = - 2V, $I_1 = I_2 = I_3$ = 30μA, I_4 = 10μA, I_5 = 2.5μA, R = 10kΩ และค่าของ W และ L แสดงดังตารางที่ 3.1 พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้เลียนแบบการทำงานของวงจรใช้ BSIM 0.7μm ผลของการคำนวณช่วงแรงดันปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุทโดยแทนค่าในสมการที่ (3.23) พบว่าแรงดันปฏิบัติงานของวงจรสามารถทำงานได้ถึง 0.89V และเมื่อเปรียบเทียบกับการเลียนแบบการทำงานโดยใช้โปรแกรม PSPICE ให้ผลใกล้เคียงกัน ดังแสดงในรูปที่ 3.12

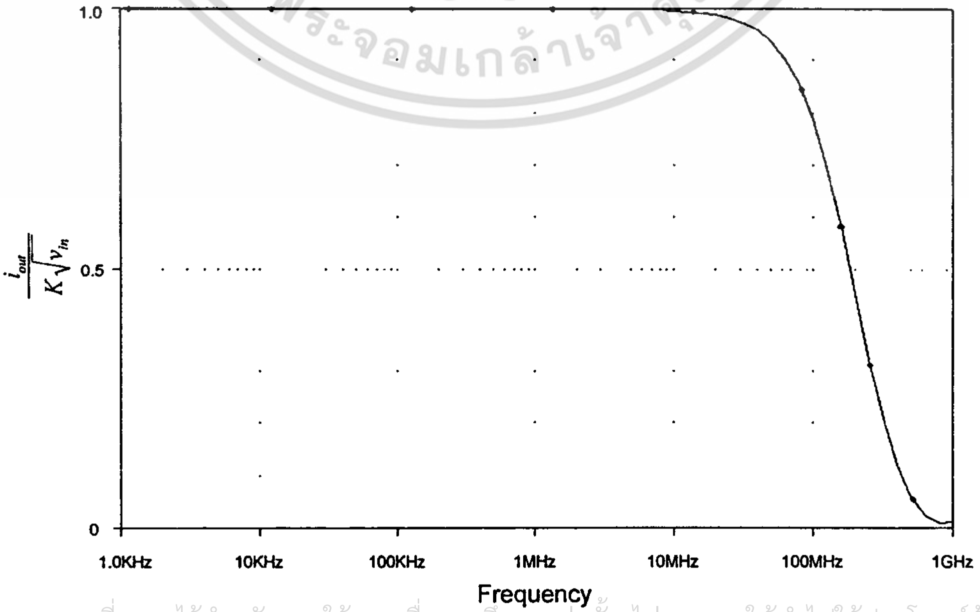
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงค่า W และ L ในมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	W (μm)	L (μm)
M_1-M_4,M_6-M_{12}	8	1
M_5	20	1
M_{13} – M_{17}	2	1



รูปที่ 3.12 แสดงผลของแรงดันปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุท

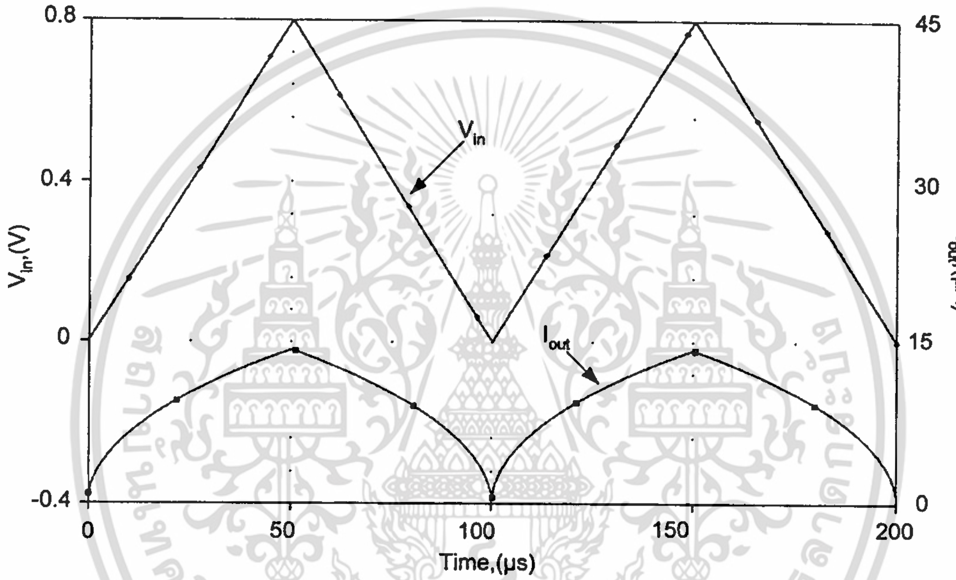


รูปที่ 3.13 แสดงผลของความถี่ปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุท

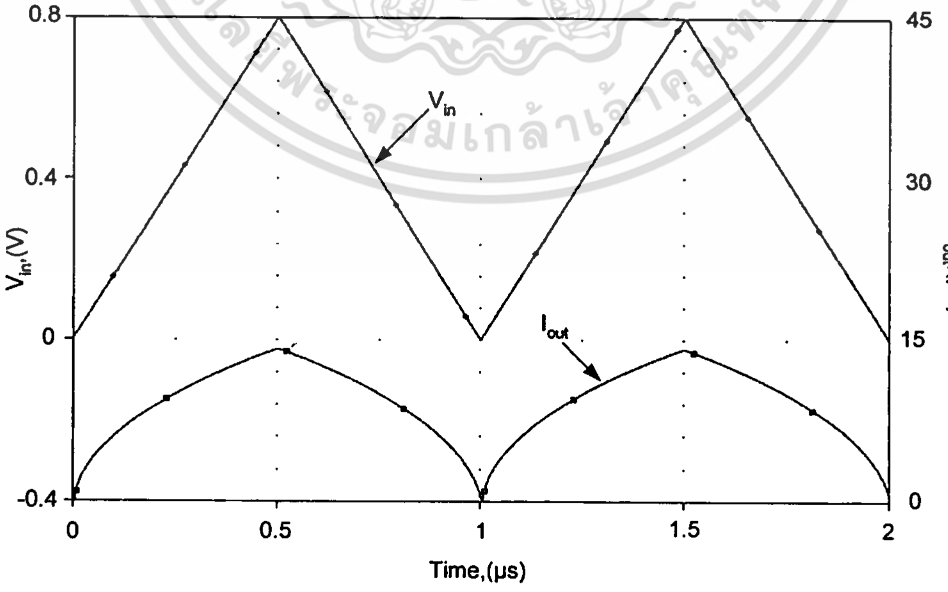
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการหาความถี่ปฏิบัติงานของวงจรทำได้โดยป้อนแรงดันที่เป็นสัญญาณซายน์เข้าที่จุดอินพุท แล้ววัดค่าของกระแสเอาท์พุท ปรากฏว่าช่วงความถี่ปฏิบัติงานของวงจรดังแสดงในรูปที่ 3.13 สอดคล้องกับผลที่ได้วิเคราะห์ความถี่ปฏิบัติงานของวงจรจะขึ้นอยู่กับวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_8 ถึง M_{13} ซึ่งสามารถทำงานได้ถึงความถี่ 119.13MHz

ผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของแรงดันอินพุทเมื่อป้อนแรงดันอินพุทรูปสามเหลี่ยมขนาด $0.8V_{p-p}$ ความถี่ 10kHz และความถี่ 1MHz แสดงดังรูปที่ 3.14 จะเห็นได้ว่ารูปคลื่นของสัญญาณเอาท์พุทเป็นสัญญาณถอดรากที่สองที่ค่อนข้างสมบรูณ์



(ก)



(ข)

รูปที่ 3.14 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของแรงดันอินพุทเมื่อใช้แรงดันอินพุทขนาด $0.8V_{p-p}$ ความถี่ (ก) 10kHz (ข) 1MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

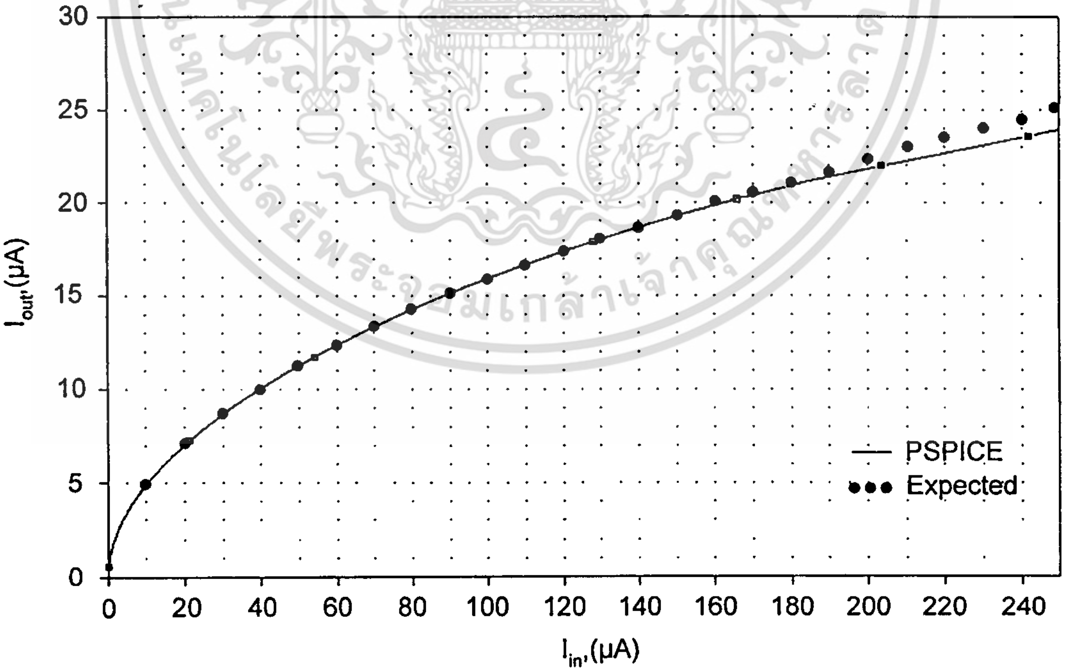
3.6.2 วงจรถอดรากที่สองของกระแสอินพุท

การเลียนแบบการทำงานของวงจรในรูปที่ 3.9 โดยกำหนดให้ V_{DD} = 2V, $I_1 = I_2 = I_3 = I_4$ = 10μA, I_5 = 2.5μA และค่าของ W และ L แสดงดังตารางที่ 3.2 พารามิเตอร์ของมอสทรานซิสเตอร์ที่ใช้เลียนแบบการทำงานของวงจรใช้ BSIM 0.7μm

ตารางที่ 3.2 แสดงค่า W และ L ในมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	W (μm)	L (μm)
M_1-M_{14},M_{16}	8	1
M_{15}	2	1

ผลของการศึกษากระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุทพบว่ากระแสปฏิบัติงานของวงจรสามารถทำงานได้ประมาณ 160μA และเมื่อเปรียบเทียบกับการคำนวณกระแสปฏิบัติงานในสมการที่ (3.47) มีค่าเท่ากับ 168.37μA ให้ผลใกล้เคียงกัน ดังแสดงในรูปที่ 3.15

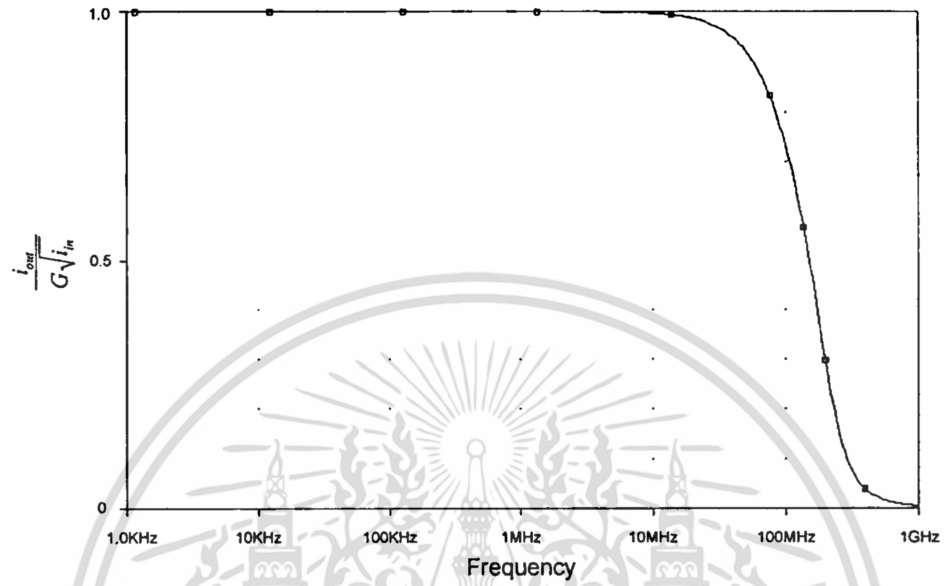


รูปที่ 3.15 แสดงผลของกระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุท

ส่วนการหาความถี่ปฏิบัติงานของวงจรทำได้โดยป้อนแรงดันที่เป็นสัญญาณซายน์เข้าที่จุดอินพุท แล้ววัดค่าของกระแสเอาท์พุท ปรากฏว่าช่วงความถี่ปฏิบัติงานของวงจรดังแสดงในรูป

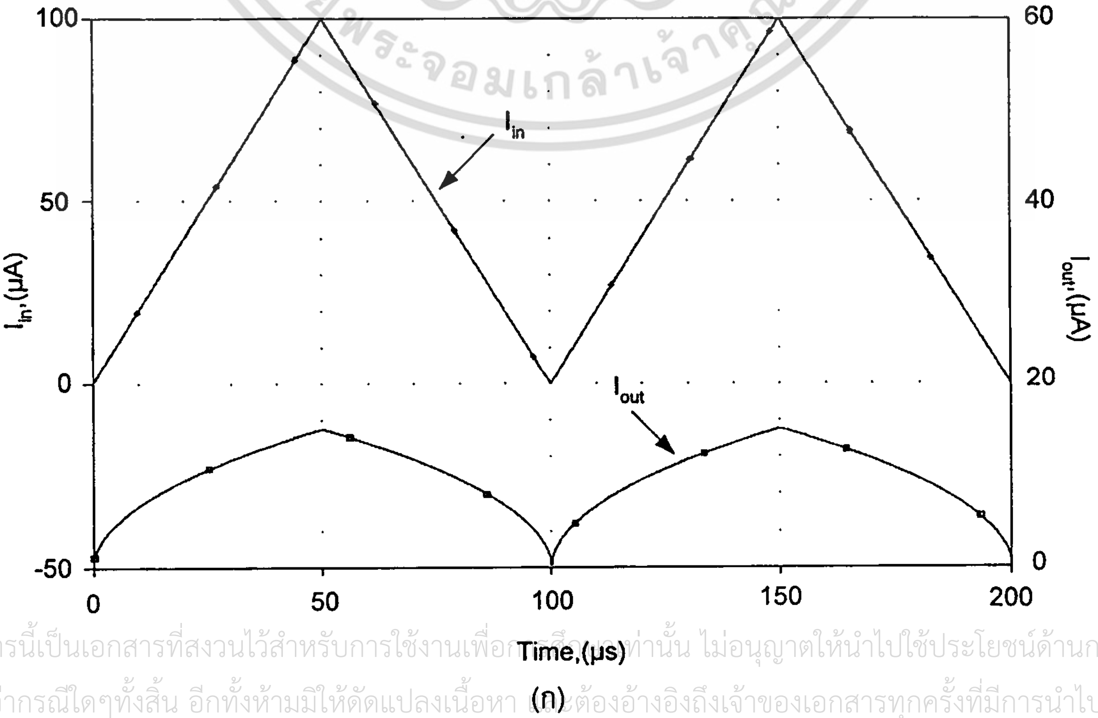
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ 3.16 สอดคล้องกับผลที่ได้วิเคราะห์ความถี่ปฏิบัติงานของวงจรจะขึ้นอยู่กับวงจรตามกระแส ซึ่งสามารถทำงานได้ถึงความถี่ 104.00MHz



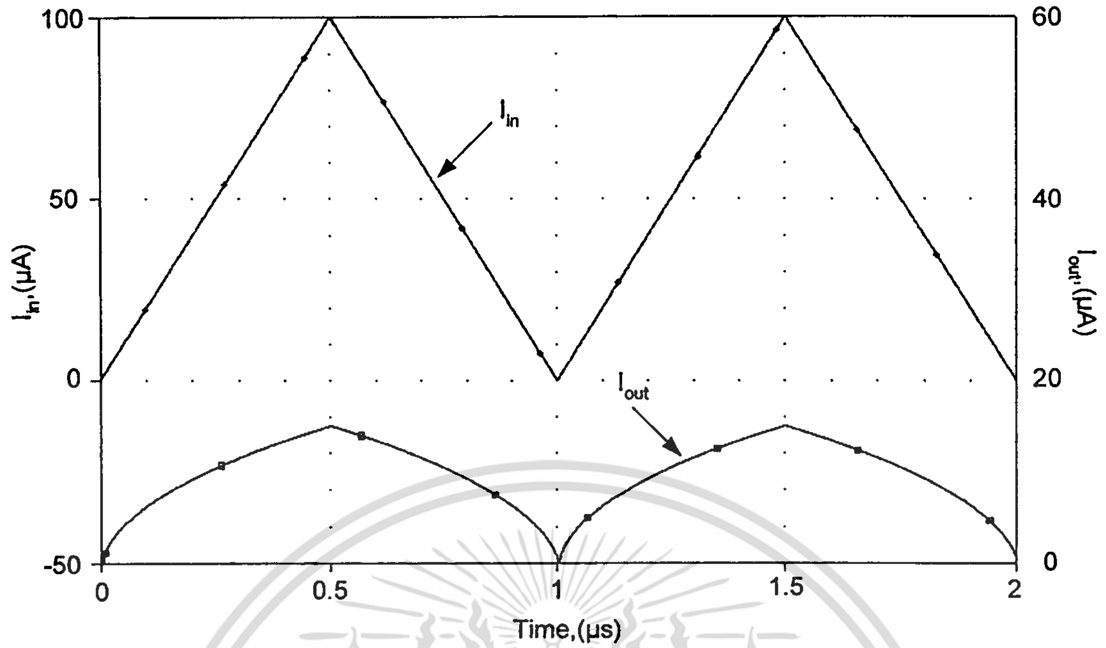
รูปที่ 3.16 แสดงผลของความถี่ปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุท

ผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของกระแสอินพุท เมื่อป้อนกระแสอินพุทรูปสามเหลี่ยมขนาด 100μA $_{p-p}$ ความถี่ 10kHz และความถี่ 1MHz แสดงดังรูปที่ 3.17 จะเห็นได้ว่ารูปคลื่นของสัญญาณเอาท์พุทเป็นสัญญาณถอดรากที่สองที่ค่อนข้างสมบรูณ์



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 3.17 แสดงผลตอบสนองทางความถี่ชั่วขณะของวงจรถอดรากที่สองของกระแสอินพุท เมื่อใช้กระแสอินพุทขนาด 100µA$_{p-p}$ ความถี่ (ก) 10kHz (ข) 1MHz

3.7 บทสรุป

ได้นำเสนอให้เห็นถึงหลักการออกแบบวงจรถอดรากที่สองของสัญญาณอินพุท ทั้งที่เป็นแรงดันและกระแสถูกสร้างขึ้นมาจากหลักการของมอสทรานส์ลิเนียร์ จากการทดสอบช่วงแรงดัน กระแส และความถี่ปฏิบัติงานของทั้งสองวงจรทั้งทางทฤษฎีและการจำลองการทำงานโดยใช้โปรแกรม PSPICE ต่างให้ผลใกล้เคียงกัน ซึ่งวงจรถอดรากที่สองของแรงดันอินพุทมีช่วงแรงดันปฏิบัติงานอยู่ในช่วง 0 – 0.89V และสามารถทำงานได้ถึงความถี่ 119.13MHz ส่วนวงจรถอดรากที่สองของกระแสอินพุทมีช่วงกระแสปฏิบัติงานอยู่ในช่วง 0 - 168.37µA และสามารถทำงานได้ถึงความถี่ 104.00MHz แสดงให้เห็นได้ว่าวงจรที่ออกแบบมีช่วงแรงดัน กระแสและความถี่ปฏิบัติงานที่กว้างและสามารถใช้แรงดันจ่ายให้วงจรทั้งสองเท่ากับ 2V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
สรุปผลการวิจัยและข้อเสนอแนะ

4.1 บทสรุป

การนำเสนอหลักการและวิธีการออกแบบวงจรเรียงกระแสแบบเต็มคลื่น และวงจรถอดรากที่สอง ในวิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาขึ้น โดยใช้อุปกรณ์ประเภทมอสทรานซิสเตอร์ทั้งหมดในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สองโดยไม่มีตัวต้านทานหรือตัวเก็บประจุร่วมอยู่ในวงจรซึ่งทำให้ขนาดของวงจรมีขนาดเล็ก การออกแบบวงจรเรียงกระแสแบบเต็มคลื่นอาศัยหลักการกำหนดจุดทำงานให้มอสทรานซิสเตอร์ชนิด NMOS เริ่มทำงานที่ขอบของการนำกระแส เพื่อหลีกเลี่ยงความผิดพลาดของสัญญาณเอาท์พุทที่บริเวณช่วงสัญญาณผ่านจุดศูนย์ จากการวิเคราะห์คุณสมบัติทางทฤษฎีพบว่ากระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำรูปที่ 2.15 ขึ้นอยู่กับกระแสไบอัสให้มอสทรานซิสเตอร์อยู่ในสภาวะขอบของการนำกระแส และอัตราส่วน W/L ของมอสทรานซิสเตอร์ M_1, M_2 และ M_4 สำหรับความถี่ปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำรูปที่ 2.15 ขึ้นอยู่กับวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_7 และตัวจ่ายกระแสคงที่ I_2 ส่วนการออกแบบวงจรถอดรากที่สองอาศัยคุณสมบัติของมอสทรานส์ลิเนียร์ ร่วมกับแหล่งจ่ายกระแสคงที่ คุณสมบัติของวงจรสามารถใช้ถอดรากที่สองของสัญญาณอินพุททั้งที่เป็นแรงดันและกระแส โดยช่วงแรงดันปฏิบัติงานของวงจรถอดรากที่สองของแรงดันอินพุทดังรูปที่ 3.5 ขึ้นอยู่กับแหล่งจ่ายไฟ แรงดันขีดเริ่มของมอสทรานซิสเตอร์ชนิด PMOS อัตราส่วน W/L ของมอสทรานซิสเตอร์ M_5 ถึง M_6 และตัวต้านทานที่ใช้เปลี่ยนแรงดันอินพุทให้เป็นกระแสอินพุท ส่วนกระแสปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุทดังรูปที่ 3.9 ขึ้นอยู่กับแหล่งจ่ายไฟ แรงดันขีดเริ่มของมอสทรานซิสเตอร์ชนิด NMOS และอัตราส่วน W/L ของมอสทรานซิสเตอร์ M_1 , M_3 และ M_{14} สำหรับความถี่ปฏิบัติงานของถอดรากที่สองของแรงดันอินพุทดังรูปที่ 3.5 ขึ้นอยู่กับวงจรสะท้อนกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_8 ถึง M_{13} ส่วนความถี่ปฏิบัติงานของวงจรถอดรากที่สองของกระแสอินพุทดังรูปที่ 3.9 ขึ้นอยู่กับวงจรตามกระแสที่ประกอบด้วยมอสทรานซิสเตอร์ M_5 ถึง M_{12} และตัวจ่ายกระแสคงที่ I_1 ถึง I_3 ประสิทธิภาพของวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สอง สามารถยืนยันได้ด้วยผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎี และผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

วงจรที่ได้พัฒนาขึ้นในวิทยานิพนธ์นี้ได้เสนอผลงานลงตีพิมพ์ในวารสารงานวิจัย ทางด้านวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ในระดับนานาชาติ คือ IJE (International Journal of Electronics) ในการประชุมวิชาการ ณ. ประเทศเกาหลี (Proceedings of the 14^{th} Korea

เอกสาร... เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Automatic Control Conference KACC'99,Proceedings of the 15th Korea Automatic Control Conference KACC'2000) **ในการประชุมวิชาการ ณ. ประเทศสิงคโปร์** (Proceedings of the 8th International Symposium on Integrated Circuits, Devices & Systems ISIC-99) **และในการประชุมวิชาการ ณ. ประเทศไทย** (1999 IEEE International Symposium on Intelligent Signal Processing Communication Systems ISPACS'99) **โดยทั้ง 5 บทความได้รวบรวมไว้ในภาคผนวก ฎ. ของวิทยานิพนธ์นี้**

4.2 ข้อเสนอแนะการทำวิจัย

ในปัจจุบัน เทคโนโลยีด้านมอสทรานซิสเตอร์ที่ใช้ในงานอนาลอกได้มีการพัฒนาไปอย่างรวดเร็ว มีการพัฒนาขนาดของวงจรที่เล็กลง มีแรงดันขีดเริ่มของมอสทรานซิสเตอร์ที่ต่ำลง แนวทางในการวิจัยและพัฒนาต่อไปของวงจรเรียงกระแสแบบเต็มคลื่นและวงจรถอดรากที่สอง คือ การออกแบบวงจรให้สามารถทำงานได้ที่แรงดันไฟที่จ่ายให้กับวงจรต่ำลง และสามารถทำงานได้ที่ความถี่สูงขึ้น ซึ่งอาจจะใช้วิธีการลดขนาดของ W และ L เพราะจะทำให้ค่าความจุไฟฟ้าในมอสทรานซิสเตอร์ลดลงทำให้วงจรสามารถทำงานได้ที่ความถี่ที่สูงขึ้นแต่จะมีผลต่อความผิดพลาดในการทำงานของวงจรมากขึ้น ช่วงปฏิบัติการจะแคบ ซึ่งต้องหาเทคนิคใหม่ๆมาแก้ปัญหาต่อไป ในส่วนของกระแสปฏิบัติงานของวงจรเรียงกระแสแบบเต็มคลื่นที่เสนอในวิทยานิพนธ์นี้น่าจะมีการพัฒนาต่อไป เพื่อให้มีช่วงกระแสปฏิบัติงานที่กว้างขึ้น สำหรับวงจรถอดรากที่สองถ้าสามารถพัฒนาวงจรให้ทำงานได้กับสัญญาณอินพุททั้งที่เป็นแรงดันและกระแสได้ในวงจรเดียวกัน จะเป็นประโยชน์ต่อการนำไปประยุกต์ใช้งานได้กว้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Pookaiyaudom,S et al. " Peak-amplitude detector for sinusoidal signals." Electron. Lett., vol.15, no.4, Feb.1979. pp.127-128.

[2] Trofimenkoff,F.N. " Ac ripple and DC error in RMS to DC converters." IEEE Trans. Instrum. Meas., vol. IM-30, no.4, Dec.1981. pp.311.

[3] Gray, P. R. and Meyer, R. G. **Analysis and Design of Analog Integrated Circuits.** Third Edition John Wiley&Sons, Inc.,1993.

[4] Barker, R. W. J. " Versatile precision fullwave rectifier." Electronics. Letters, vol.13, no.5, Mar.1977. pp.143-144.

[5] Barker, R. W. J., and Hart, B. L." Precision absolute-value ircuit technique." International Journal of Electronics, vol.66, 1989. pp.445-448.

[6] Toumazou, C., and Lidgey, F. J. " Wide-band precision rectification." Proc.IEE, Pt G, vol. 134, 1987. pp.7-15.

[7] Surakampontorn, W. " Sinusoidal frequency doublers using operational amplifiers." IEEE Trans. Instru. and Measure., vol.37,1988. pp.259-262.

[8] Toumazou, C., Lidgey, F. J., and Chattong, S. " High frequency current conveyor precision full-wave rectifier." Electron.Lett.,vol.30, 1994. pp.745-746.

[9] Wilson, B., and Mannama, V. " Current-mode rectifier with improved precision." Electron.Lett., vol.31, 1995. pp.247-248.

[10] Allen, P. E., and Holberg, D. R. **CMOS Analog Circuit Design.** Holt, Rinehart and Winston, 1987.

[11] Wang, Z. "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation." IEEE Trans. Circuits Syst.I, vol.39, 1992. pp.456-462.

[12] Ramirez-Angulo, J. " High frequency low voltage CMOS diode. " Electron. Lett., vol.28, 1992. pp.298-299.

[13] Surakampontorn, W., and Riewruja, V. " Integrable CMOS sinusoidal frequency doubler and full-wave rectifier." Int. J. Electron., vol.73, 1992.pp.627-632.

[14] Toumazou, C., Lidgey, F. J., and Haigh, D. G. **Analogue IC Design : The Current - Mode Approach** London,UK,Peter Peregrinus,1990.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[15] Hilas,C.S.,and Laopoulos,Th. " Circuit design: a study on voltage-mode to current- mode conversion technique." Proceedings of 8th Mediterranean Electrotechnical Conference MELECON'96Bari,Italy,vol.3,1996.pp.1309-1312

[16] Ramirez-Angulo, J. Carvajal,R.G.,Tombs,J., and Torralba,A. "Very low-voltage class AB CMOS and bipolar precision current rectifiers." Electron. Lett., vol.35, 1999. pp.1904-1905

[17] Guntapong, R.,Riewruja,V.,Fongsamut,C. and Kaewpoonsuk,A. "High frequency CMOS precision full-wave rectifier circuit." Proc. ISIC-99, Singapore,Sep.1999. pp.13-15.

[18] Riewruja,V.,Wangwiwattana,C.,Guntapong,R.,Chaikla.A. and Linthong,A. "A high frequency precision full-wave rectifier." Proc.KACC-2000, Korea, Oct.2000. pp.514.

[19] Castello, R.,Montecchi,F.,Rezzi,F. and Baschirotto,A. "Low-voltage analog filters." IEEE Trans. Circuits Syst.I, vol.42,no.11,Nov.1995.pp.827-840.

[20] Uyemura,J.P. **Circuit Design for CMOS VLSI**. Boston:Kluwer , 1992.

[21] O.E.Doebelin **Measurement Systems : Application and Design**. New York , McGraw-Hill,1990.

[22] Millman, J. and Grabel, A. **Microelectronics**. New York, McGraw-Hill,1992.

[23] Franco,S., **Design with Operation Amplifier and Analog Integrated Circuits**. New York, McGraw-Hill,1998.

[24] S.-I.,Liu. "Square-rooting vector summation circuits using current conveyors." IEE Proceedings. Circuits Services and Systems,vol.142,1995.pp.223-226.

[25] M.,Van Der Gevel and J.C. Kuenen. " $\sqrt{x}$ circuit based on a novel,back-gate-using multiplier." Electron. Lett.,vol.30,1994.pp.183-184.

[26] Riewruja,V.,Anuntahirunrat,K. and Surakampontorn,W. "A class AB square-rooting circuit." INT.J.,vol.85,no.1,1998.pp.55-60.

[27] Riewruja,V.,Guntapong,R.,Kaewpoonsuk,A. and Fongsamut,C. "Accurate CMOS-based square root extractor." Proc.KACC'99,Korea,Oct.1999.pp.E-256-E-258.

[28] W. Surakampontorn, V. Riewruja, K. Kumwachara and K. Dejhan." Accurate CMOS -based current conveyors." IEEE Trans. Instru. and Measure., vol.40, no.4, 1991.pp.699-702.

เอกสารนี้เป็นเอกสารที่อนุญาตให้ใช้การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[29] Guntapong,R.,Riewruja,V. Kaewpoonsuk,A. and Fongsamut,C. "Accurate CMOS-base square-rooting circuit." Proc.ISPACS'99,Thailand,Dec.1999.pp.637-639.

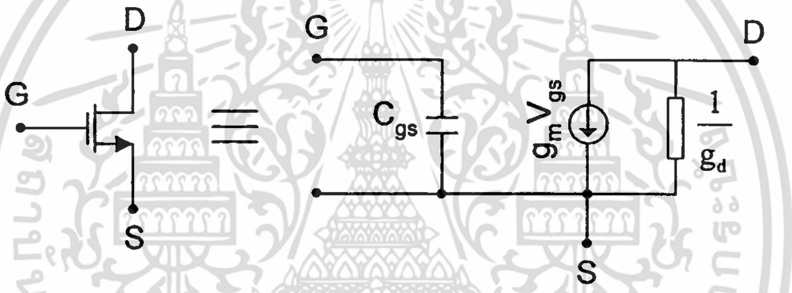
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

การวิเคราะห์และคำนวณค่าพารามิเตอร์ของมอสทรานซิสเตอร์

ก.1 วงจรสมมูลและแบบจำลองของมอสทรานซิสเตอร์

การใช้งานของมอสทรานซิสเตอร์ในวิทยานิพนธ์นี้ กำหนดให้มอสทรานซิสเตอร์ทำงานในช่วงกระแสอิ่มตัว ซึ่งเป็นผลให้แชลแนลที่ปลายด้านขาเดรนแคบมากและแรงดันที่ขาเดรนรบกวนต่อแชลแนลหรือประจุที่ขาเกทน้อยมาก ทำให้ C_{gd} และ C_{ds} มีค่าน้อยมาก จะมีแต่ $C_{gs} \cong \frac{2}{3} C_{ox} WL$ ส่วนค่าความต้านทาน R_{gd} และ R_{gs} มีค่าสูงมาก จะมีแต่ $R_{ds} = \frac{1}{g_d}$ ดังแสดงในวงจรสมมูลรูปที่ ก.1



รูปที่ ก.1 วงจรสมมูลของมอสทรานซิสเตอร์

ก.2 สมการที่ใช้คำนวณค่าพารามิเตอร์ที่สำคัญของมอสทรานซิสเตอร์

การทำงานของมอสทรานซิสเตอร์ในวิทยานิพนธ์นี้จะไบอัสให้มอสทรานซิสเตอร์มีการทำงานในช่วงอิ่มตัว ซึ่งในช่วงนี้จะไบอัสให้แรงดันที่ขาเดรนเทียบกับขาซอส (V_{DS}) มีค่ามากกว่าหรือเท่ากับ $V_{GS} - V_T$ ซึ่งกระแสเดรน (I_D) ที่เกิดขึ้นมีค่าดังสมการ (ก.1)

$$I_D = \frac{K_p W}{2L}(V_{GS} - V_T)^2 = \frac{\mu_o \varepsilon_{ox} W}{2Lt_{ox}}(V_{GS} - V_T)^2, V_{DS} \geq (V_{GS} - V_T) \qquad (ก.1)$$

ส่วนค่าพารามิเตอร์ g_m และ g_d แสดงดังสมการ (ก.2) และ (ก.3) ตามลำดับ

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{K_p W}{L}(V_{GS} - V_T) \qquad (ก.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_d = \lambda I_D \qquad (ก.3)$$

เมื่อ

I_D	=	กระแสเดรน	(A)
V_{GS}	=	แรงดันไฟฟ้าระหว่างเกทกับซอส	(V)
V_{DS}	=	แรงดันไฟฟ้าระหว่างเดรนกับซอส	(V)
V_T	=	แรงดันขีดเริ่ม	(V)
W	=	ความกว้างประสิทธิผลของแชลแนล	(m)
L	=	ความยาวประสิทธิผลของแชลแนล	(m)
μ_0	=	ค่าความคล่องของโฮลหรืออิเลกตรอน	($cm^2/V\text{-}s$)
t_{ox}	=	ความหนาของออกไซด์	(m)
g_m	=	ค่าความนำของมอสทรานซิสเตอร์	(A/V)
g_d	=	ค่าความนำที่ขาเดรน	(A/V)
K_p	=	พารามิเตอร์ความนำ	(A/V^2)
C_{gs}	=	ความจุไฟฟ้าระหว่างเกทกับซอส	(F)
C_{ox}	=	ความจุไฟฟ้าที่เกิดจากออกไซด์	(F/cm^2)
λ	=	ความยาวแชลแนลโมดูเลชัน	(V^{-1})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

การวิเคราะห์หาความสัมพันธ์ของกระแส I_{in} ,I_{D2} และ I_{D4} ของวงจรเรียงกระแสแบบเต็มคลื่น Surakampontorn,W.,Riewruja,V.[13]

จากรูปที่ 2.3 พิจารณามอสทรานซิสเตอร์ M_1 ถึง M_4 ได้

$$V_{GS1}+V_{SG3}=V_{GS2}+V_{SG4} \quad (ข.1)$$

แทนค่า $V_{GS1}=\sqrt{\frac{I_b}{K_1}}+V_{T1}$, $V_{GS2}=\sqrt{\frac{I_{D2}}{K_2}}+V_{T2}$, $V_{SG3}=\sqrt{\frac{I_b}{K_3}}+V_{T3}$ และ $V_{SG4}=\sqrt{\frac{I_{D4}}{K_4}}+V_{T4}$ ลงในสมการ (ข.1) โดยกำหนดให้ $V_{T1}=V_{T2}=V_{T3}=V_{T4}$ และ $K_1=K_2=K_3=K_4$ ได้

$$2\sqrt{I_b}=\sqrt{I_{D2}}+\sqrt{I_{D4}} \quad (ข.2)$$

ยกกำลังสองทั้งสองข้างในสมการ (ข.2) ได้

$$4I_b=I_{D2}+2\sqrt{I_{D2}I_{D4}}+I_{D4} \quad (ข.3)$$

ความสัมพันธ์ของ I_{D2} , I_{D4} และ I_{in} เป็นดังสมการ (ข.4) และสมการ (ข.5)

$$I_{D2}=I_{D4}-I_{in} \quad (ข.4)$$

$$I_{D4}=I_{D2}+I_{in} \quad (ข.5)$$

แทนค่า I_{D2} จากสมการ (ข.4) ลงในสมการ (ข.3) ได้

$$I_{D4}=\frac{16I_b^2+8I_bI_{in}+I_{in}^2}{16I_b} \quad (ข.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า I_{D4} จากสมการ (ข.6) ลงในสมการ (ข.4) ได้

$$I_{D2} = \frac{16I_b^{\,2} - 8I_bI_{in} + I_{in}^{\,2}}{16I_b} \qquad (ข.7)$$

จากสมการ (ข.6) และสมการ (ข.7) ถ้ากำหนดให้ $|I_{in}| \geq 4I_b$ วงจรขยายคลาสเอบีจะเปลี่ยนการทำงานเป็นคลาสบีดังสมการ (ข.8) และ สมการ (ข.9)

$I_{D2} \cong 0$ และ $I_{D4} \cong I_{in}$ เมื่อ $I_{in} > 0$ (ข.8)

$I_{D2} \cong I_{in}$ และ $I_{D4} \cong 0$ เมื่อ $I_{in} < 0$ (ข.9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

การวิเคราะห์หาความต้านทานอินพุทของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ กรณีกระแสอินพุทเป็นลบ

จากวงจรสมมูลรูปที่ 2.17 พิจารณา

ที่จุด A

$$g_{d1}V_A - g_{d1}V_D = g_{m1}\left(V_B - V_A\right) - I_{in} \qquad (ค.1)$$

ที่จุด B

$$\left(g_{m4} + g_{i1}\right)V_B = 0 \qquad (ค.2)$$

ที่จุด C

$$\left(g_{d7} + g_{i2}\right)V_C - g_{d7}V_D = g_{m7}V_D \qquad (ค.3)$$

ที่จุด D

$$\left(g_{d5} + g_{d1} + g_{d7}\right)V_D - g_{d1}V_A - g_{d7}V_C = -g_{m5}V_C - g_{m1}\left(V_B - V_A\right) - g_{m7}V_D \qquad (ค.4)$$

แทนค่า V_B จากสมการ (ค.2) และ V_C จากสมการ (ค.3) ในสมการ (ค.4) ได้

$$V_D = \frac{\left(g_{d1} + g_{m1}\right)V_A}{\left[g_{d5} + g_{d1} + g_{d7} + g_{m7} - \dfrac{\left(g_{d7} - g_{m5}\right)\left(g_{d7} - g_{m7}\right)}{\left(g_{d7} + g_{i2}\right)}\right]} \qquad (ค.5)$$

แทนค่า V_B จากสม์การ (ค.2) และ V_D จากสมการ (ค.5) ในสมการ (ค.1) ได้

$$r_{in} = \frac{V_A}{I_{in}} = \frac{1}{\left(g_{d1} + g_{m1}\right)\left\{1 - \dfrac{g_{d1}}{\left[g_{d5} + g_{d1} + g_{d7} + g_{m7} - \dfrac{\left(g_{d7} - g_{m5}\right)\left(g_{d7} - g_{m7}\right)}{\left(g_{d7} + g_{i2}\right)}\right]}\right\}} \qquad (ค.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการประมาณค่าสมการ จะกำหนดให้ $g_m >> g_d$ เสมอ ดังนั้นความต้านทานอินพุทของวงจรกรณีกระแสอินพุทเป็นลบเป็น

$$r_{in} = \frac{V_A}{I_{in}} \approx \frac{1}{g_{m1}} \quad (ค.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

การวิเคราะห์ความถี่ปฏิบัติงานของ วงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำ

กรณีกระแสอินพุทเป็นบวก

จากวงจรสมมูลรูปที่ 2.18 พิจารณา

ที่จุด A

$$[g_{m2} + s(C_1 + C_2 + C_3)]V_A - sC_1V_B = I_{in} \quad (ง.1)$$

ที่จุด B

$$[g_{i1} + g_{m4} + s(C_1 + C_4)]V_B - sC_1V_A = 0 \quad (ง.2)$$

ที่จุด C

$$[g_{i2} + g_{d7} + s(C_5 + C_6)]V_C - g_{d7}V_D = g_{m7}V_D \quad (ง.3)$$

ที่จุด D

$$(g_{d5} + g_{d7} + g_{d3} + sC_7)V_D - g_{d7}V_C = -g_{m5}V_C - g_{m7}V_D - g_{m3}V_A \quad (ง.4)$$

ที่จุด E

$$(g_{i3} + g_{d6} + g_{RL})V_E = -g_{m6}V_C \quad (ง.5)$$

แทนค่า $V_E = \frac{I_{out}}{g_{RL}}$ ลงในสมการ (ง.5) ได้

$$V_C = -(g_{i3} + g_{d6} + g_{RL})\frac{I_{out}}{g_{RL}g_{m6}} \quad (ง.6)$$

แทนค่า V_C จากสมการ (ง.6) ลงในสมการ (ง.3) ได้

$$V_D = -\frac{I_{out}}{g_{RL}g_{m6}(g_{d7} + g_{m7})}(g_{i3} + g_{d6} + g_{RL})[g_{i2} + g_{d7} + s(C_5 + C_6)] \quad (ง.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า V_B จากสมการ (ง.2) ลงในสมการ (ง.1) ได้

$$V_A = \frac{I_{in}}{\left[g_{m2} + s(C_1 + C_2 + C_3) - \dfrac{(C_1 s)^2}{g_{i1} + g_{m4} + s(C_1 + C_4)}\right]} \quad (ง.8)$$

แทนค่า V_C จากสมการ (ง.6) , V_D จากสมการ (ง.7) และ V_A จากสมการ (ง.8) ลงในสมการ (ง.4) โดยกำหนดให้ $g_m >> g_d$ และ $g_m >> g_i$ ดังนั้น

$$\frac{i_{out}}{i_{in}} = \frac{\left(\dfrac{g_{m3}g_{m6}}{g_{m2}g_{m5}}\right)\left[1 + \dfrac{(C_1 + C_4)}{g_{m4}}s\right]}{\left[1 + \dfrac{(C_5 + C_6)}{g_{m5}}s\right]\left\{1 + \dfrac{[g_{m2}(C_1 + C_4) + g_{m4}(C_1 + C_2 + C_3)]}{g_{m2}g_{m4}}s\right\}} \quad (ง.9)$$

กรณีกระแสอินพุทเป็นลบ

จากวงจรสมมูลรูปที่ 2.19 พิจารณา

ที่จุด A

$$[g_{d1} + s(C_1 + C_2 + C_3)]V_A - sC_1V_B - g_{d1}V_D = g_{m1}(V_B - V_A) - I_{in} \quad (ง.10)$$

ที่จุด D

$$(g_{d1} + g_{d5} + g_{d7} + sC_7)V_D - g_{d1}V_A - g_{d7}V_C = -g_{m5}V_C - g_{m7}V_D - g_{m1}(V_B - V_A) \quad (ง.11)$$

แทนค่า V_C จากสมการ (ง.6) และ V_D จากสมการ (ง.7) ลงในสมการ (ง.11) ได้

$$V_B = P + \left(\frac{g_{d1} + g_{m1}}{g_{m1}}\right)V_A \quad (ง.12)$$

โดยที่

$$P = \frac{I_{out}(g_{i3} + g_{d6} + g_{RL})[(g_{d1} + g_{d5} + g_{d7} + g_{m7} + sC_7)\{g_{i2} + g_{d7} + s(C_5 + C_6)\} + (g_{m5} - g_{d7})(g_{d7} + g_{m7})]}{g_{m1}g_{m6}g_{RL}(g_{d7} + g_{m7})}$$

แทนค่า V_B จากสมการ (ง.12) ลงในสมการ (ง.2) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_A = -\frac{P[g_{i1} + g_{m4} + s(C_1 + C_4)]}{\frac{[g_{i1} + g_{m4} + s(C_1 + C_4)](g_{d1} + g_{m1})}{g_{m1}} - sC_1} \qquad (ง.13)$$

แทนค่า V_B จากสมการ (ง.12) และ V_A จากสมการ (ง.13) ลงในสมการ (ง.10) โดยกำหนดให้ $g_m >> g_d$ และ $g_m >> g_i$ ดังนั้น

$$\frac{i_{out}}{i_{in}} = \frac{\left(\frac{g_{m6}}{g_{m5}}\right)\left(1 + \frac{C_4}{g_{m4}}s\right)}{\left[1 + \frac{(C_5 + C_6)}{g_{m5}}s\right]\left[1 + \frac{(C_1 + C_2 + C_3 + C_4)}{g_{m1}}s\right]} \qquad (ง.14)$$

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ.

การวิเคราะห์ค่าผิดพลาดของการส่งผ่านกระแสของวงจรเรียงกระแสแบบเต็มคลื่นชนิดแรงดันต่ำกรณีกระแสอินพุทเป็นลบ

จากวงจรสมมูลรูปที่ 2.20 พิจารณา

ที่จุด D

$$\left(\frac{1}{r_{O5}}+\frac{1}{r_{O7}}\right)V_D-\left(\frac{1}{r_{O7}}\right)V_C=-g_{m5}V_C-g_{m7}V_D-i_{in} \qquad (จ.1)$$

ที่จุด C

$$\left(\frac{1}{r_{I2}}+\frac{1}{r_{O7}}\right)V_C-\left(\frac{1}{r_{O7}}\right)V_D=g_{m7}V_D$$

$$V_D=\left[\frac{r_{07}+r_{I2}}{r_{I2}\left(1+g_{m7}r_{07}\right)}\right]V_C \qquad (จ.2)$$

แทนค่า V_D จากสมการ (จ.2) ลงในสมการ (จ.1) ได้

$$\left[\frac{g_{m7}\left(r_{07}+r_{I2}\right)+g_{m5}r_{I2}+g_{m5}g_{m7}r_{07}r_{I2}}{r_{I2}\left(1+g_{m7}r_{07}\right)}\right]V_C=-i_{in} \qquad (จ.3)$$

แทนค่า $V_C=-\dfrac{i_{D6}}{g_{m6}}$ ลงในสมการ (จ.3) ได้

$$\left[\frac{g_{m7}\left(r_{07}+r_{I2}\right)+g_{m5}r_{I2}+g_{m5}g_{m7}r_{07}r_{I2}}{r_{I2}\left(1+g_{m7}r_{07}\right)}\right]\frac{i_{D6}}{g_{m6}}=i_{in} \qquad (จ.4)$$

แทนค่า $i_{D6}=\dfrac{\left(r_{06}+R_L\right)}{r_{06}}i_{out}$ ลงในสมการ (จ.4) ได้

$$\frac{i_{out}}{i_{in}}=\frac{g_{m6}r_{06}r_{I2}\left(1+g_{m7}r_{07}\right)}{\left(g_{m7}r_{07}+g_{m7}r_{I2}+g_{m5}r_{I2}+g_{m5}g_{m7}r_{07}r_{I2}\right)\left(r_{06}+R_L\right)} \qquad (จ.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (จ.5) สามารถหาค่าผิดพลาดของการส่งผ่านกระแสของวงจรสะท้อนกระแสแบบลบในเทอมของ ε_N ได้

$$\frac{i_{out}}{i_{in}} = \left(1 - \varepsilon_N\right) \qquad (จ.6)$$

เมื่อ

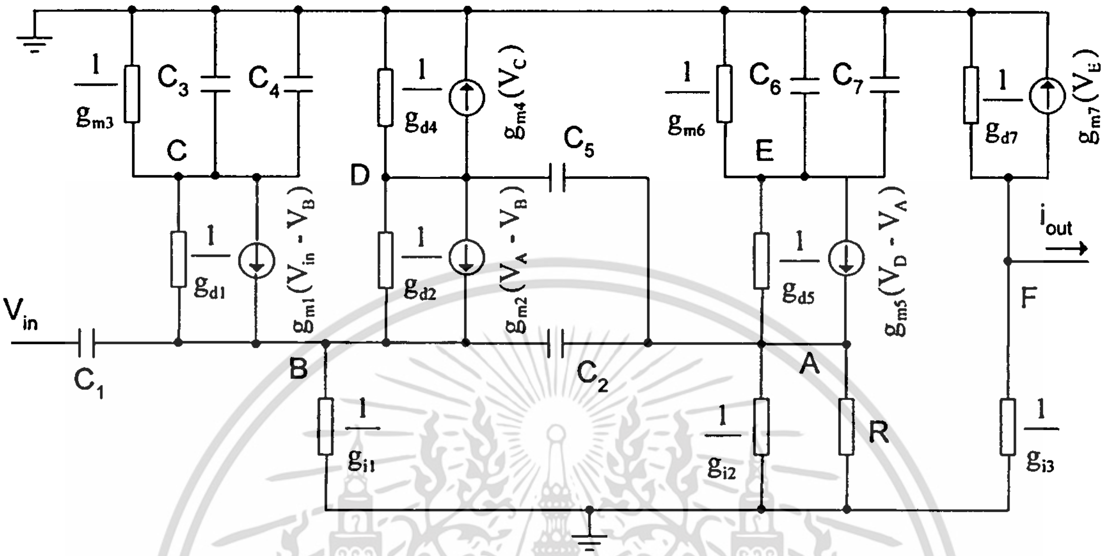
$$\varepsilon_N = \frac{\Delta g_{mp}}{g_{m5}} + \left\{\frac{r_{I2} + r_{O7}}{g_{m5} r_{I2} r_{O7}} + \frac{R_L}{r_{O6}}\right\} \qquad (จ.7)$$

โดยที่ Δg_{mp} เป็นค่าผิดพลาดเนื่องจากความไม่สมพงษ์กันของมอสทรานซิสเตอร์ M_5 และ M_6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฉ.

การหาสมรรถนะของวงจรสายพานกระแส



รูปที่ ฉ.1 วงจรสมมูลของวงจรสายพานกระแส

ฉ.1 การวิเคราะห์หาความถี่ปฏิบัติงานของวงจรสายพานกระแส

ที่จุด B

$$[g_{d1}+g_{d2}+g_{i1}+s(C_1+C_2)]V_B - g_{d1}V_C - g_{d2}V_D - sC_2V_A - sC_1V_{in} = g_{m1}(V_{in}-V_B)+g_{m2}(V_A-V_B) \quad (ฉ.1)$$

ที่จุด C

$$V_B = V_{in} + \frac{[g_{m3}+s(C_3+C_4)]}{g_{m1}}V_C \quad (ฉ.2)$$

ที่จุด D

$$V_C = \frac{g_{m1}g_{m2}(V_{in}-V_A)-g_{m1}(g_{d2}+g_{d4})V_D}{g_{m1}g_{m4}-g_{m2}g_{m3}-g_{m2}s(C_3+C_4)} \quad (ฉ.3)$$

แทนค่า V_B จากสมการ (ฉ.2) และ V_C จากสมการ (ฉ.3) ลงในสมการ (ฉ.1) ได้

$$(g_{m1}+sC_1)Vin+(g_{m2}+sC_2)V_A - AV_{in} - \frac{Ag_{m2}[g_{m3}+s(C_3+C_4)]}{G}V_{in} + \frac{Ag_{m2}[g_{m3}+s(C_3+C_4)]}{G}V_A$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$+\frac{A[g_{m3}+s(C_3+C_4)](g_{d2}+g_{d4})}{G}V_D+g_{d1}V_C+g_{d2}V_D=0 \qquad (ฉ.4)$$

เมื่อ $A=[g_{m1}+g_{m2}+s(C_1+C_2)]$ และ $G=[g_{m1}g_{m4}-g_{m2}g_{m3}-g_{m2}s(C_3+C_4)]$

เนื่องจากมอสทรานซิสเตอร์ M_1,M_2 และ M_3,M_4 มีความสมพงษ์กันและมีกระแสเดรนไหลผ่านเท่ากัน เป็นผลให้ค่าของ G มีค่าต่ำมากที่ความถี่ปฏิบัติการไม่สูงมาก ดังนั้นสมการที่ (ฉ.4) สามารถเขียนได้เป็น

$$\frac{A[g_{m3}+s(C_3+C_4)](g_{d2}+g_{d4})}{G}V_D-\frac{Ag_{m2}[g_{m3}+s(C_3+C_4)]}{G}(V_{in}-V_A)=0 \qquad (ฉ.5)$$

ที่จุด A

$$sC_2(V_B-V_A)+g_{m5}(V_D-V_A)+\frac{[g_{m5}-g_{m6}-s(C_6+C_7)]}{[g_{m6}+g_{d5}+s(C_6+C_7)]}V_A-\frac{g_{d5}g_{m5}}{[g_{m6}+g_{d5}+s(C_6+C_7)]}V_D-\frac{V_A}{R}=0 \qquad (ฉ.6)$$

แทนค่า V_B จากสมการ (ฉ.2) , V_C จากสมการ (ฉ.3) และ V_D จากสมการ (ฉ.5) ลงในสมการ (ฉ.1) โดยกำหนดให้ $R>>\frac{1}{g_{m5}}$ จะได้

$$\frac{V_A}{V_{in}}=\left(\frac{g_{m2}}{g_{m2}+g_{d2}+g_{d4}}\right)\left[\frac{(T_1s+1)}{T_2s+1}\right] \qquad (ฉ.7)$$

เมื่อ $T_1=\frac{C_2(g_{d2}+g_{d4})+C_5g_{m2}}{g_{m2}g_{m5}}$, $T_2=\frac{(C_2+C_5)(g_{d2}+g_{d4})+C_5g_{m2}}{g_{m2}g_{m5}}$

เนื่องจาก $i_{out}\cong g_{m7}V_E$, $i_{D6}=[g_{m6}+s(C_6+C_7)]$ และ $V_A=i_{D6}R$ ดังนั้นจากสมการ (ฉ.7) สามารถเขียนได้เป็น

$$\frac{i_{out}}{V_{in}}=\frac{1}{R}\left[\frac{g_{m2}g_{m7}}{g_{m6}(g_{m2}+g_{d2}+g_{d4})}\right]\left[\frac{(T_1s+1)}{(T_2s+1)(T_3s+1)}\right] \qquad (ฉ.8)$$

เมื่อ $T_3=\frac{(C_6+C_7)}{g_{m6}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉ.2 การวิเคราะห์หาความต้านทานอินพุทของวงจรสายพานกระแส

สำหรับการหาความต้านทานที่จุด A สามารถทำได้โดยกำหนด $V_{in}=0$

ที่จุด C

$$(g_{m3}+g_{d1})V_C - g_{d1}V_B = g_{m1}V_B \tag{ฉ.9}$$

ที่จุด B

$$(g_{d1}+g_{d2}+g_{i1})V_B - g_{d1}V_C - g_{d2}V_D = -g_{m1}V_B + g_{m2}(V_A - V_B) \tag{ฉ.10}$$

ที่จุด D

$$(g_{d2}+g_{d4})V_D - g_{d2}V_B = -g_{m4}V_C - g_{m2}(V_A - V_B) \tag{ฉ.11}$$

ที่จุด E

$$(g_{m6}+g_{d5})V_E - g_{d5}V_A = -g_{m5}(V_D - V_A) \tag{ฉ.12}$$

ที่จุด A

$$(g_{d5}+g_{i2})V_A - g_{d5}V_E = i_A + g_{m5}(V_D - V_A) \tag{ฉ.13}$$

จากสมการ (ฉ.9) โดยกำหนดให้ $g_m >> g_d$ ดังนั้น

$$V_C = \frac{g_{m1}}{g_{m3}}V_B \tag{ฉ.14}$$

แทนค่า V_C จากสมการ (ฉ.14) ลงในสมการ (ฉ.10) โดยกำหนดให้ $g_m >> g_d >> g_i$ ดังนั้น

$$V_B = \frac{g_{d2}}{g_{m1}+g_{m2}}V_D + \frac{g_{m2}}{g_{m1}+g_{m2}}V_A \tag{ฉ.15}$$

แทนค่า V_C จากสมการ (ฉ.14) และ V_B จากสมการ (ฉ.15) ลงในสมการ (ฉ.11) โดยกำหนดให้ $g_m >> g_d$ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_D = \frac{-g_{m1}g_{m2}}{(g_{m1}+g_{m2})(g_{d2}+g_{d4})}V_A \qquad (ฉ.16)$$

แทนค่า V_E จากสมการ (ฉ.12) และ V_D จากสมการ (ฉ.16) ลงในสมการ (ฉ.13) โดยกำหนดให้ $g_m >> g_d$ ได้

$$r_A = \frac{V_A}{i_A} = \frac{(g_{m1}+g_{m2})(g_{d2}+g_{d4})}{g_{m1}g_{m2}g_{m5}} \qquad (ฉ.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ช.

การวิเคราะห์หาความต้านทานเอาท์พุทของวงจรถอดรากที่สองของแรงดันอินพุท

จากวงจรสมมูลรูปที่ 3.6 พิจารณา

ที่จุด A

$$\left(g_{d5} + g_{i2} + \frac{1}{R}\right)V_A - g_{d5}V_E = g_{m5}\left(V_D - V_A\right) \quad (ช.1)$$

ที่จุด B

$$\left(g_{i1} + g_{d1} + g_{d2}\right)V_B - g_{d1}V_C - g_{d2}V_D = g_{m1}\left(V_{in} - V_B\right) + g_{m2}\left(V_A - V_B\right) \quad (ช.2)$$

ที่จุด C

$$\left(g_{m3} + g_{d1}\right)V_C - g_{d1}V_B = -g_{m1}\left(V_{in} - V_B\right) \quad (ช.3)$$

ที่จุด D

$$\left(g_{d4} + g_{d2}\right)V_D - g_{d2}V_B = -g_{m4}V_C - g_{m2}\left(V_A - V_B\right) \quad (ช.4)$$

ที่จุด E

$$\left(g_{m6} + g_{d5}\right)V_E - g_{d5}V_A = -g_{m5}\left(V_D - V_A\right) \quad (ช.5)$$

ที่จุด F

$$\left(g_{d7} + g_{i3} + g_{m8}\right)V_F = -g_{m7}V_E \quad (ช.6)$$

ที่จุด G

$$\left(g_{m11} + g_{d9}\right)V_G = -g_{m9}V_F \quad (ช.7)$$

ที่จุด H

$$\left(g_{i4} + g_{m15} + g_{m14} + g_{d10}\right)V_H - g_{m14}V_I = -g_{m10}V_F \quad (ช.8)$$

ที่จุด I

$$\left(g_{d12} + g_{m14}\right)V_I - g_{m14}V_H = -g_{m12}V_G \quad (ช.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่จุด J

$$(g_{m17} + g_{d16})V_J - g_{d16}V_K = g_{m16}(V_I - V_J) \quad (ช.10)$$

ที่จุด K

$$(g_{d16} + g_{d13} + g_{i5})V_K - g_{d16}V_J = -g_{m13}V_G - g_{m16}(V_I - V_J) + i_{out} \quad (ช.11)$$

แทนค่า v_{in}=V_A=0 ลงในสมการ (ช.1) และสมการ (ช.5) ได้

$$-g_{d5}V_E = g_{m5}V_D \quad (ช.12)$$

$$(g_{m6} + g_{d5})V_E = -g_{m5}V_D \quad (ช.13)$$

นำสมการ (ช.12) บวกกับสมการ (ช.13) ได้

$$V_E = 0 \quad (ช.14)$$

แทนค่า V_E จากสมการ (ช.14) ในสมการ (ช.12) และ สมการ (ช.6) ได้

$$V_D = V_F = 0 \quad (ช.15)$$

แทนค่า V_F จากสมการ (ช.15) ในสมการ (ช.7) ได้

$$V_G = 0 \quad (ช.16)$$

แทนค่า V_F จากสมการ (ช.15) และ V_G จากสมการ (ช.16) ลงในสมการ (ช.8) และ สมการ (ช.9) ได้

$$V_H = V_I = 0 \quad (ช.17)$$

แทนค่า V_I จากสมการ (ช.17) ในสมการ (ช.10) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_J = \frac{g_{d16}V_K}{\left(g_{m16} + g_{m17} + g_{d16}\right)} \quad (\text{ข}.18)$$

แทนค่า V_J จากสมการ (ข.18) และ V_G จากสมการ (ข.16) ในสมการ (ข.11) ได้ความต้านทานเอาท์พุทของวงจรเป็น

$$r_{out} = \frac{V_K}{I_{out}} = \frac{g_{m16} + g_{m17}}{g_{m16}g_{d13} + g_{m17}\left(g_{d13} + g_{d16}\right)} \quad (\text{ข}.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ซ.

การวิเคราะห์ความถี่ปฏิบัติงานของส่วนวงจรถอดรากที่สอง

จากวงจรสมมูลรูปที่ 3.7 พิจารณา

ที่จุด I

$$[g_{m14} + s(C_{14} + C_{16})]V_I - (g_{m14} + sC_{14})V_H - sC_{16}V_J = i_{in} \qquad (ซ.1)$$

ที่จุด H

$$[g_{m14} + g_{m15} + g_{i4} + s(C_{14} + C_{15})]V_H - (g_{m14} + sC_{14})V_I = -i_{in}$$

$$V_H = \frac{-i_{in} + (g_{m14} + sC_{14})V_I}{g_{m14} + g_{m15} + g_{i4} + s(C_{14} + C_{15})} \qquad (ซ.2)$$

ที่จุด J

$$[g_{m17} + g_{d16} + s(C_{16} + C_{17})]V_J - sC_{16}V_I = g_{m16}(V_I - V_J)$$

$$V_J = \frac{(g_{m16} + sC_{16})V_I}{[g_{m16} + g_{m17} + g_{d16} + s(C_{16} + C_{17})]} \qquad (ซ.3)$$

กระแส i_{out} หาได้ดังนี้

$$i_{out} = g_{m16}(V_I - V_J) \qquad (ซ.4)$$

แทนค่า V_J จากสมการ (ซ.3) ในสมการ (ซ.4) ได้

$$V_I = \frac{i_{out}[g_{m16} + g_{m17} + s(C_{16} + C_{17})]}{g_{m16}(g_{m17} + sC_{17})} \qquad (ซ.5)$$

แทนค่า V_H จากสมการ (ซ.2) V_J จากสมการ (ซ.3) และ V_I จากสมการ (ซ.5) ลงในสมการ (ซ.1) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m15}g_{m16}g_{m17}\left(1 + s\frac{C_{15}}{g_{m15}}\right)\left(1 + s\frac{C_{17}}{g_{m17}}\right)}{g_{m14}g_{m15}\left(g_{m16} + g_{m17}\right)\left(1 + sT\right)} \qquad (ข.6)$$

เมื่อ

$$T = \frac{g_{m14}g_{m17}\left(C_{15} + C_{16}\right) + g_{m15}g_{m17}\left(C_{14} + C_{16}\right) + g_{m14}g_{m15}\left(C_{16} + C_{17}\right) + g_{m16}\left(g_{m14}C_{15} + g_{m15}C_{14}\right)}{g_{m14}g_{m15}\left(g_{m16} + g_{m17}\right)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ณ.

การวิเคราะห์ความถี่ปฏิบัติงานของวงจรสะท้อนกระแส

จากวงจรสมมูลรูปที่ 3.8 พิจารณา

ที่จุด F

$$V_F = \frac{i_{in}}{[g_{m8} + s(C_8 + C_9 + C_{10})]} \qquad (ณ.1)$$

กระแส i_{out1} หาได้ดังนี้

$$i_{out1} = g_{m10} V_F \qquad (ณ.2)$$

แทน V_F จากสมการ (ณ.1) ลงในสมการ (ณ.2) ได้

$$\frac{i_{out1}}{i_{in}} = \frac{g_{m10}}{g_{m8}\left[1 + s\frac{(C_8 + C_9 + C_{10})}{g_{m8}}\right]} \qquad (ณ.3)$$

ที่จุด G

$$V_G = -\frac{g_{m9} V_F}{g_{m11} + g_{d9} + s(C_{11} + C_{12} + C_{13})} \qquad (ณ.4)$$

แทน V_F จากสมการ (ณ.1) ลงในสมการ (ณ.4) ได้

$$V_G = -\frac{g_{m9} i_{in}}{[g_{m8} + s(C_8 + C_9 + C_{10})][g_{m11} + g_{d9} + s(C_{11} + C_{12} + C_{13})]} \qquad (ณ.5)$$

กระแส i_{out2} หาได้ดังนี้

$$i_{out2} = -g_{m12} V_G \qquad (ณ.6)$$

แทน V_G จากสมการ (ณ.5) ลงในสมการ (ณ.6) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_{out2}}{i_{in}} = \frac{g_{m9}g_{m12}}{g_{m8}(g_{m11}+g_{d9})\left[1+s\frac{(C_8+C_9+C_{10})}{g_{m8}}\right]\left[1+s\frac{(C_{11}+C_{12}+C_{13})}{(g_{m11}+g_{d9})}\right]} \quad (ฌ.7)$$

กระแส i_{out3} **หาได้ดังนี้**

$$i_{out3} = -g_{m13}V_G + i_5 \quad (ฌ.8)$$

แทน V_G จากสมการ (ฌ.5) ลงในสมการ (ฌ.8) ได้

$$\frac{i_{out3}}{i_{in}} = \frac{g_{m9}g_{m13}}{g_{m8}(g_{m11}+g_{d9})\left[1+s\frac{(C_8+C_9+C_{10})}{g_{m8}}\right]\left[1+s\frac{(C_{11}+C_{12}+C_{13})}{(g_{m11}+g_{d9})}\right]} + \frac{i_5}{i_{in}} \quad (ฌ.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ญ.

การวิเคราะห์หาความต้านทานอินพุทและเอาท์พุท ของวงจรถอดรากที่สองของกระแสอินพุท

จากวงจรสมมูลรูปที่ 3.10 พิจารณา

ที่จุด A

$$(g_{i1} + g_{d5})V_A - g_{d5}V_B = g_{m5}(V_C - V_A) - i_{in} \qquad (ญ.1)$$

ที่จุด B

$$(g_{m6} + g_{d5})V_B - g_{d5}V_A = -g_{m5}(V_C - V_A) \qquad (ญ.2)$$

ที่จุด C

$$(g_{d7} + g_{d9} + g_{i2})V_C = -g_{m7}V_B - g_{m9}V_D \qquad (ญ.3)$$

ที่จุด D

$$(g_{m10} + g_{d8} + g_{i3})V_D = -g_{m8}V_B \qquad (ญ.4)$$

แทนค่า V_D จากสมการ (ญ.4) ในสมการ (ญ.3) ได้

$$V_C = \left[\frac{g_{m8}g_{m9} - g_{m7}(g_{m10} + g_{d8} + g_{i3})}{(g_{m10} + g_{d8} + g_{i3})(g_{d7} + g_{d9} + g_{i2})}\right]V_B \qquad (ญ.5)$$

แทนค่า V_C จากสมการ (ญ.5) ลงในสมการ (ญ.2)

$$V_B = \left[\frac{(g_{m5} + g_{d5})(g_{m10} + g_{d8} + g_{i3})(g_{d7} + g_{d9} + g_{i2})}{(g_{m6} + g_{d5})(g_{m10} + g_{d8} + g_{i3})(g_{d7} + g_{d9} + g_{i2}) + g_{m5}(g_{m8}g_{m9} - g_{m7}(g_{m10} + g_{d8} + g_{i3}))}\right]V_A \qquad (ญ.6)$$

แทนค่า V_B จากสมการ (ญ.6) , V_C จากสมการ (ญ.5) ลงในสมการ (ญ.1) โดยกำหนดให้ $g_m >> g_d >> g_i$ ดังนั้นความต้านทานอินพุทของวงจรเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{in} = \frac{V_A}{i_{in}} = \frac{1}{g_{m5}} \quad \text{(ญ.7)}$$

ส่วนในการพิจารณาค่าความต้านทานเอาท์พุท ต้องกำหนดให้ $i_{in} = 0$ ดังนั้นจากสมการ (ญ.1) และสมการ (ญ.2) สามารถหาค่า V_B ได้เป็น

$$V_B = 0 \quad \text{(ญ.8)}$$

แทนค่า V_B จากสมการ (ญ.8) ในสมการ (ญ.4) ได้

$$V_D = 0 \quad \text{(ญ.9)}$$

ที่จุด E

$$(g_{m1} + g_{m3} + g_{d11} + g_{i4})V_E - g_{m1}V_G = -g_{m11}V_D \quad \text{(ญ.10)}$$

ที่จุด F

$$(g_{m13} + g_{d12})V_F = -g_{m12}V_D \quad \text{(ญ.11)}$$

ที่จุด G

$$(g_{m1} + g_{d14})V_G - g_{m1}V_E = -g_{m14}V_F \quad \text{(ญ.12)}$$

ที่จุด H

$$(g_{m4} + g_{d2})V_H = g_{m2}(V_G - V_H) \quad \text{(ญ.13)}$$

ที่จุด I

$$(g_{d15} + g_{d16} + g_{i5})V_I = -g_{m15}V_F - g_{m16}V_H + i_{out} \quad \text{(ญ.14)}$$

แทนค่า V_D จากสมการ (ญ.9) ในสมการ (ญ.11) ได้

$$V_F = 0 \quad \text{(ญ.15)}$$

แทนค่า V_D จากสมการ (ญ.9) และ V_F จากสมการ (ญ.15) ในสมการ (ญ.10) สมการ (ญ.12) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_G = 0 \quad \text{(ญ.16)}$$

จากสมการ (ญ.13) สมการ (ญ.14) สมการ (ญ.15) และสมการ (ญ.16) ได้ความต้านทานเอาท์พุทของวงจรเป็น

$$r_{out} = \frac{V_I}{i_{out}} = \frac{1}{g_{d15} + g_{d16}} \qquad \text{(ญ.17)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฎ.

การวิเคราะห์ความถี่ปฏิบัติงานของวงจรตามกระแส

จากวงจรสมมูลรูปที่ 3.11 พิจารณา

ที่จุด A

$$(g_{d5}+g_{i1}+sC_5)V_A - g_{d5}V_B - sC_5V_C = g_{m5}(V_C - V_A) - i_{in} \qquad (ฎ.1)$$

ที่จุด B

$$[g_{m6}+g_{d5}+s(C_6+C_7+C_8)]V_B - g_{d5}V_A = -g_{m5}(V_C - V_A) \qquad (ฎ.2)$$

ที่จุด C

$$(g_{d7}+g_{d9}+g_{i2}+sC_5)V_C - sC_5V_A = -g_{m7}V_B - g_{m9}V_D \qquad (ฎ.3)$$

ที่จุด D

$$[g_{m10}+g_{d8}+g_{i3}+s(C_9+C_{10}+C_{11}+C_{12})]V_D = -g_{m8}V_B \qquad (ฎ.4)$$

แทนค่า $V_D = -\dfrac{i_{out}}{g_{m10}}$ ลงในสมการ (ฎ.4) ได้

$$V_B = -\frac{i_{out}}{g_{m8}g_{m10}}[g_{m10}+g_{d8}+g_{i3}+s(C_9+C_{10}+C_{11}+C_{12})] \qquad (ฎ.5)$$

แทน V_B และ V_D ลงในสมการ (ฎ.3) ได้

$$V_C = \frac{\dfrac{i_{out}}{g_{m10}}\left\{g_{m9} - \dfrac{g_{m7}}{g_{m8}}[g_{m10}+g_{d8}+g_{i3}+s(C_9+C_{10}+C_{11}+C_{12})]\right\} + sC_5V_A}{(g_{d7}+g_{d9}+g_{i2}+sC_5)} \qquad (ฎ.6)$$

จากสมการ (ฎ.1) , สมการ (ฎ.2) , สมการ (ฎ.5) และ สมการ (ฎ.6) โดยกำหนดให้ $g_m >> g_d >> g_i$ ได้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m8}}{g_{m6}\left[1+s\dfrac{(C_9+C_{10}+C_{11}+C_{12})}{g_{m10}}\right]\left[1+s\dfrac{C_5(g_{m6}+g_{d5})+g_{m5}(C_6+C_7+C_8)}{g_{m5}g_{m6}}\right]} \qquad (ฎ.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฎ.

บทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสาร ในวิทยานิพนธ์นี้มี 5 บทความ ดังต่อไปนี้

[1] Riewruja ,V. and **Guntapong, R.** "A low-voltage wide-band CMOS precision full-wave rectifier." International Journal of Electronics,vol.89,no.6,2002.pp.467-476.

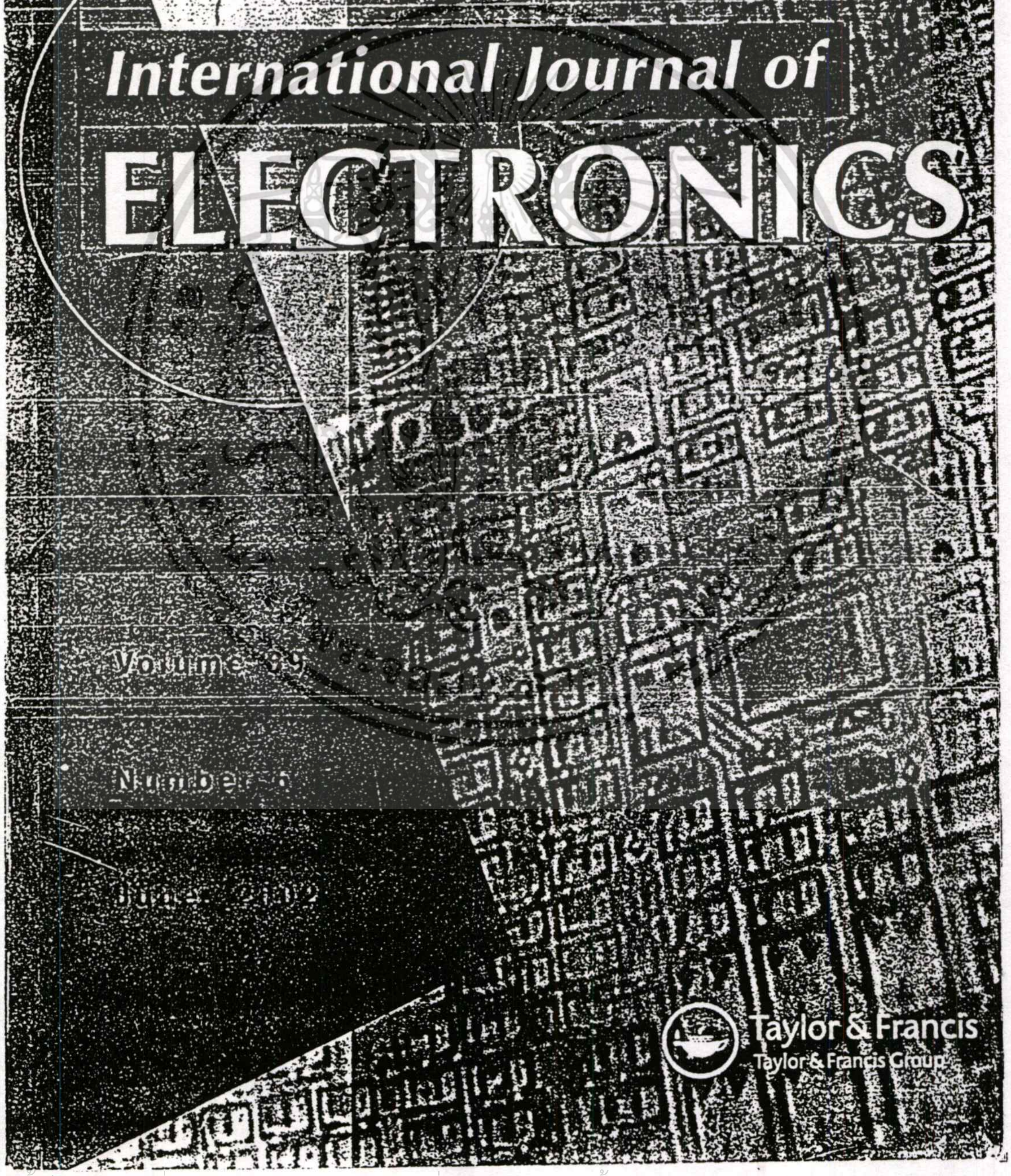
[2] Riewruja,V.,Wangwiwattana,C.,**Guntapong,R.**,Chaikla.A. and Linthong,A. "A high frequency precision full-wave rectifier." Proc.KACC-2000,Korea,Oct.2000.pp.514.

[3] **Guntapong,** R.,Riewruja,V.,Fongsamut,C. and Kaewpoonsuk,A. "High frequency CMOS precision full-wave rectifier circuit." Proc. ISIC-99, Singapore,Sep.1999. pp.13-15.

[4] Riewruja,V.,**Guntapong,R.**,Kaewpoonsuk,A. and Fongsamut,C. "Accurate CMOS-based square root extractor." Proc.KACC'99,Korea,Oct.1999.pp.E-256-E-258.

[5] **Guntapong,R.**,Riewruja,V. Kaewpoonsuk,A. and Fongsamut,C. "Accurate CMOS-base square-rooting circuit." Proc.ISPACS'99,Thailand,Dec.1999.pp.637-639.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INT. J. ELECTRONICS, 2002, VOL. 89, NO. 6, 467–476

Taylor & Francis
Taylor & Francis Group

A low-voltage wide-band CMOS precision full-wave rectifier

VANCHAI RIEWRUJA*† and ROJANAKORN GUNTAPONG†

A simple integrable circuit for implementing a precision full-wave rectifier circuit in CMOS technology, which can be operated from a low-voltage power supply, is described. The realization method is based on the use of a MOS class AB configuration to improve the high frequency performance. The circuit exhibits a very sharp corner in the dc transfer characteristic. Simulation results showing the performance of the proposed circuit are also presented.

1. Introduction

A precision rectifier of low-level signals is an important circuit building block used in analogue signal processing systems. The traditional approaches to the realization of a precision rectifier are based on the use of operational amplifiers (op-amps) and diodes (Gray and Meyer 1993) or bipolar transistors operating in class B (Barker 1977, Barker and Hart 1989). These approaches exhibit the output distortion evident during the zero crossing of the low-level input signal due to the delay caused by the switching between the 'on' and 'off' state of diodes or bipolar transistors. Alternatively, an approach based on the use of the operational-amplifier supply-current sensing technique has been shown to realize a precision rectifier (Toumazou and Lidgey 1987). This approach requires the signal current to be much greater than the op-amp bias current to avoid nonlinearity error due to the op-amp characteristic (Surakampontorn 1988). In addition, two approaches to improving the nonideal precision rectifier performance based on the current mode technique, which demonstrate the use of current conveyors and diodes as the active elements, have been reported in the literature (Toumazou *et al.* 1994, Wilson and Mannama 1995). These approaches used diodes biased to the edge of conduction to reduce the delay and improve the high-frequency performance. In CMOS technology, the diodes can be replaced by a drain-gate-connected MOS transistor (Allen and Holberg 1987). However, the MOS diodes exhibit a nonideal V–I characteristic. The realization of a CMOS full-wave rectifier can be implemented by the use of op-amp and MOS transistors operating in class B (Wang 1992). The high-frequency limitation of this scheme is due to the finite gain–bandwidth product of the op-amp and the delay caused by switching of MOS transistors. Another approach is based on a CMOS class AB configuration (Ramirez-Angulo 1992, Surakampontorn and Riewruja 1992). This approach requires the signal current to be greater than four times the bias current to avoid the square-law error of MOS transistors.

Recently, there has been much effort to reduce the supply voltage of analogue CMOS systems. This is due to the demand for portable and battery-powered

Received 7 November 2000. Accepted 26 May 2002.

* Corresponding author. e-mail: vanchai@cs.eng.kmitl.ac.th

† The Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand.

International Journal of Electronics ISSN 0020–7217 print/ISSN 1362–3060 online © 2002 Taylor & Francis Ltd
http://www.tandf.co.uk/journals
DOI: 10.1080/00207210210160936

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equipment. Since a low-voltage-operating circuit becomes necessary, the current-mode technique is ideally suited for this purpose. Many other advantages of the current-mode circuit can be found in the literature (Toumazou *et al.* 1990, Hilas and Laopoulos 1996). A current-mode low-voltage precision rectifier has been proposed by Ramirez-Angulo *et al.* (1999). However, the use of NMOS and PMOS transistors in the class AB configuration causes distortion of the output signal and high frequency limitation. This is due to the nonidentical MOS transistors used in the class AB configuration.

The purpose of this paper is to propose a CMOS circuit technique for the realization of a low-voltage precision full-wave rectifier circuit. The proposed circuit employs NMOS transistors in the class AB configuration. The resulting performance of the proposed circuit features high accuracy and wide-band capability.

2. Circuit description

The proposed CMOS-based precision full-wave rectifier is shown in figure 1. The operation of the proposed circuit is as follows. The transistor M_4 and the current source I_1 generate a constant voltage V_B to provide a bias voltage for transistors M_1 and M_2. The constant voltage V_B should be fairly close to the sum of threshold voltage of transistors M_1 and M_2 to obtain precision results, and causes them to operate in class AB. The transistors M_5–M_7 and the current source I_2 form a low-voltage unity-gain current mirror (Castello *et al.* 1995). During positive input current i_{in}, the current i_{in} flows through the transistor M_2. This causes the gate–source voltage of transistor M_2 to increase, the gate–source voltage of transistor M_1 to decrease and then cut off. Similarly, the flow of a negative current i_{in} through transistor M_1 causes transistor M_2 to cut off. Therefore the currents I_{D1} and I_{D2} can be given by

$$I_{D1} = i_{in} \quad \text{and} \quad I_{D2} = 0 \quad \text{for} \quad i_{in} < 0 \tag{1a}$$

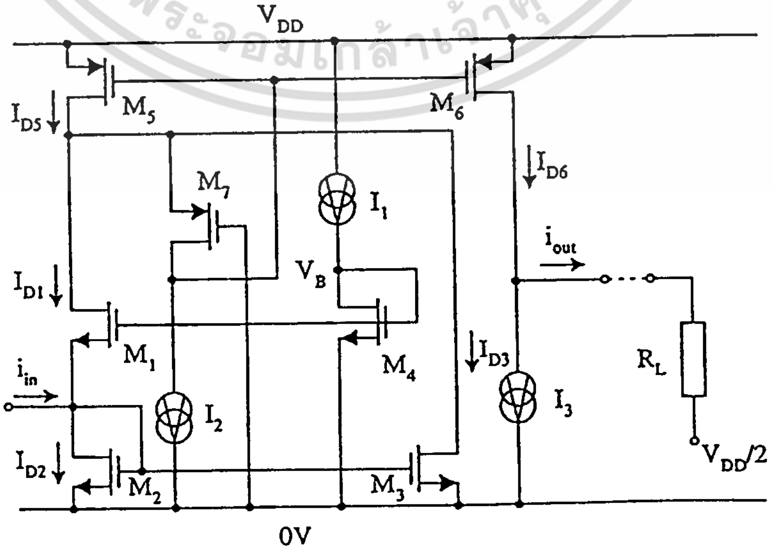


Figure 1. The proposed precision full-wave rectifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and

$$I_{D2} = i_{in} \quad \text{and} \quad I_{D1} = 0 \quad \text{for} \quad i_{in} > 0 \tag{1b}$$

The unity gain current mirror M_2 and M_3 reflects a positive current i_{in} in order to add to the current I_{D1}. Then the current I_{D5}, the sum of the currents I_{D1}, I_{D3} and I_2, is reflected by the current mirror M_5–M_7 through I_{D6} to the output node. The current I_{D6} can be expressed as

$$I_{D6} = I_2 + I_{D1} + I_{D3} \tag{2}$$

The current source I_3, which is equal to the value of the current source I_2, is used to eliminate a dc current offset of the output current i_{out}. Then the output current i_{out} can be stated as

$$i_{out} = I_{D1} + I_{D3} = I_{D1} + I_{D2} = |i_{in}| \tag{3}$$

It is clearly seen that the output current i_{out} is a full-wave rectified version of the input signal current i_{in}.

3. Circuit performance

The ideal circuit performance so far has been based on the assumptions that the current mirrors have unity gain and transistors are perfectly matched. However, in a practical realization, several nonidealities that contribute to error from the ideal performance are present. The major factors to be considered are the finite drain resistance of the transistors, transistor mismatches and temperature effect.

From the circuit in figure 1, the sources of all transistors are connected to the body. Therefore, the operation of the MOS transistors is insensitive to the variation of the threshold voltage caused by the body effect. During the negative current input i_{in}, the current i_{in} flows through transistor M_1 and mirrors into the output node by the current mirror M_5–M_7. Then the output current i_{out} can be approximated by

$$i_{out} = i_{in}(1 - \epsilon_N) \quad \text{for} \quad i_{in} < 0 \tag{4}$$

and

$$\epsilon_N = \frac{\Delta gm_p}{gm_5} + \frac{r_{I2} + r_{O7}}{gm_5 r_{I2} r_{O7}} + \frac{R_L}{r_{O6}} \tag{5}$$

where Δgm_p is the transconductance error due to the transistor mismatch between transistors M_5 and M_6, gm_i and r_{Oi} are the transconductance and the drain resistance, respectively, of the transistor M_i, r_{I2} is the output resistance of the current source I_2 and R_L is the given resistance connected to the output node. During the positive current input i_{in}, the current i_{in} is imposed to the output node by the current mirrors M_2–M_3 and M_5–M_7. The output current i_{out} is approximately given by

$$i_{out} = i_{in}(1 - \epsilon_P) \qquad \text{for} \qquad i_{in} > 0 \tag{6}$$

and

$$\epsilon_P = \frac{(\Delta gm_p gm_2 + \Delta gm_n gm_5)}{gm_2 gm_5} + \left\{ \frac{r_{I2} + r_{O7}}{gm_5 r_{I2} r_{O7}} + \frac{1}{gm_7 r_{O3}} + \frac{R_L}{r_{O6}} \right\} \tag{7}$$

where Δgm_n is the transconductance error due to the transistor mismatch between transistors M_2 and M_3. The first terms on the right side of equations (5) and (7) are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

caused by the mismatch between the transistors in the current mirrors. The adverse effect of the transistor mismatches can be improved by using large aspect ratios. The second terms on the right side of equations (5) and (7) are due to the finite output resistance of the current mirrors.

The small signal parameters used in equations (5) and (7) obtained from the simulation are

$$\Delta gm_p = 1.64 \times 10^{-6}\,\mathrm{AV^{-1}},$$
$$\Delta gm_n = 6.73 \times 10^{-7}\,\mathrm{AV^{-1}},$$
$$gm_2 = 8.33 \times 10^{-5}\,\mathrm{AV^{-1}},$$
$$gm_5 = gm_6 = 1.33 \times 10^{-4}\,\mathrm{AV^{-1}},$$
$$gm_7 = 1.15 \times 10^{-4}\,\mathrm{AV^{-1}},$$
$$r_{O3} = 838.6\,\mathrm{k\Omega},$$
$$r_{O6} = r_{O7} = 666.67\,\mathrm{k\Omega},$$
$$r_{12} = 22.71\,\mathrm{M\Omega},$$

and

$$R_L = 1\,k\Omega.$$

Then the errors percentages ε_N and ε_P are about 2.54% and 3.23%, respectively. It should be noted that the output current error suffers more during the positive current input than during the negative current input.

For the temperature effect, the surface mobility and the threshold voltage are the temperature-dependent parameters. The current transfer error of the current mirrors can be made independent of temperature if the transistors are perfectly matched. However, the bias voltage V_B exhibits temperature dependence and the variation of the bias voltage, ΔV_B, can be approximated by

$$\Delta V_B = \frac{\Delta T}{300}\sqrt{\frac{2I_1}{\beta_4}} - \alpha\Delta T \qquad (8)$$

where ΔT and β_4 are the temperature variation from room temperature and the transconductance parameter $(K_P W/L)$ of transistor M_4, respectively. The factor α is dependent on the substrate doping and oxide thickness (Uyemura 1993). If $I_1 = 10\,\mu A$, $\beta_4 = 3.667 \times 10^{-5}\,\mathrm{AV^{-2}}$, $\Delta T = 10\,\mathrm{K}$, $\alpha = 2.057\,\mathrm{mV K^{-1}}$ and $V_B = 1.133\,V$, then the bias voltage variation ΔV_B is about 4.047 mV or 0.36% above the bias voltage V_B.

For high-frequency response, the major high-frequency limitation of the proposed circuit results from the bandwidth of the negative current mirror. The single dominant pole P_n of the negative current mirror is be approximately given by

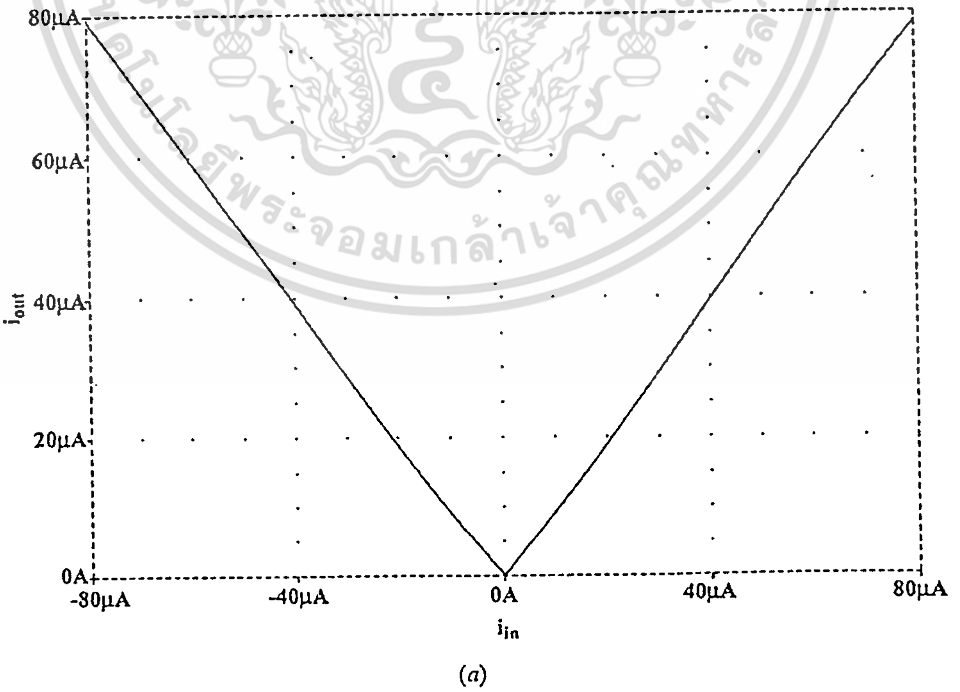
$$P_n = \frac{1}{1 + (C_5/gm_5)s} \qquad (9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where $C_5 = C_{GS5} + C_{GS6}$ and C_{GSi} is the gate-to-source capacitance of the transistor M_i. If $C_5 = 7.89 \times 10^{-14}$ F, then this pole will be located at 268.28 MHz.

4. Simulation results

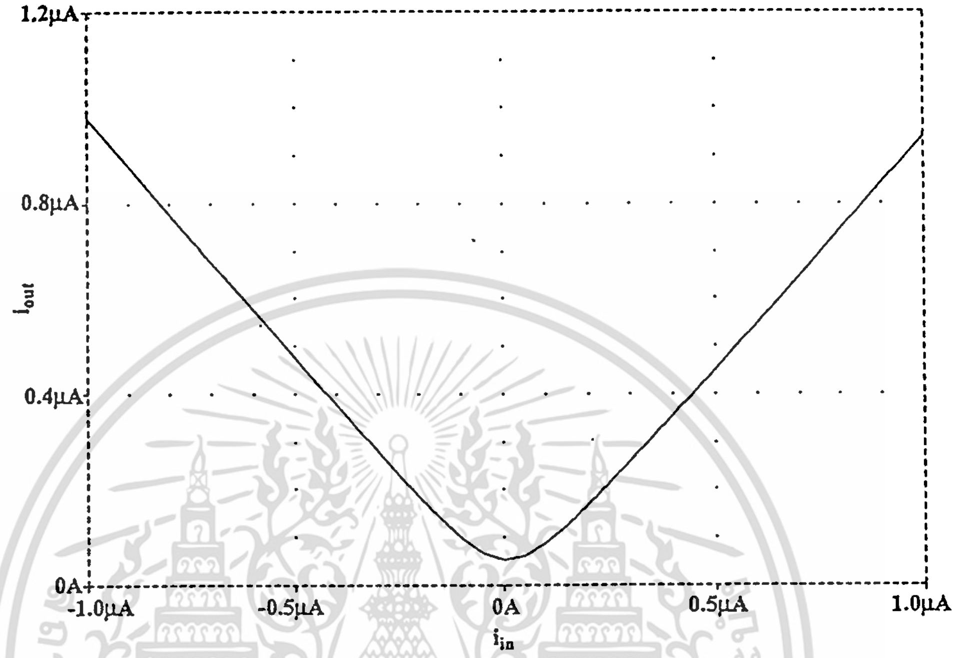
The performance of the circuit was observed through the use of a SPICE analog simulation program. The BSIM model of the 0.5 µm double-poly CMOS process was used for the circuit simulation. The ratios of channel widths and lengths (W/L) of the devices used are as follows: $W_1/L_1 = W_2/L_2 = W_3/L_3 = 1\,\mu m/0.5\,\mu m$, $W_4/L_4 = 1\,\mu m/6\,\mu m$, $W_5/L_5 = W_6/L_6 = 2\,\mu m/1\,\mu m$, $W_7/L_7 = 8\,\mu m/1\,\mu m$, $V_{DD} = 1.5$ V, and the current sources I_2 and I_3 are set to 20 µA. The bias current I_1 is set to 10 µA to give a value of $V_B = 1.133$ V. Figure 2(a) shows the dc transfer characteristic for the input signal current i_{in} which is varied from −80 µA to 80 µA. The zero-crossing region of the dc transfer characteristic is shown in figure 2(b). Figure 3 shows the transient response of the circuit for the input signal frequenies 10 MHz, 50 MHz and 100 MHz of peak amplitude 50 µA. The low-level signal distortion of the proposed circuit can be illustrated by using the 50 MHz and 100 MHz input signals of peak amplitude 5 µA as shown in figure 4. It is apparent that the circuit exhibits low distortion of the output signal for an input signal of peak amplitude as low as 5 µA. Figure 5 shows the output signal during the zero crossing region of the input signal frequency 50 MHz with peak amplitude of 50 µA, for three values of the bias current I_1, i.e. 5 µA, 10 µA and 15 µA. From the simulation results, the distortion of the output signal seems to increase when the bias current I_1 deviates from



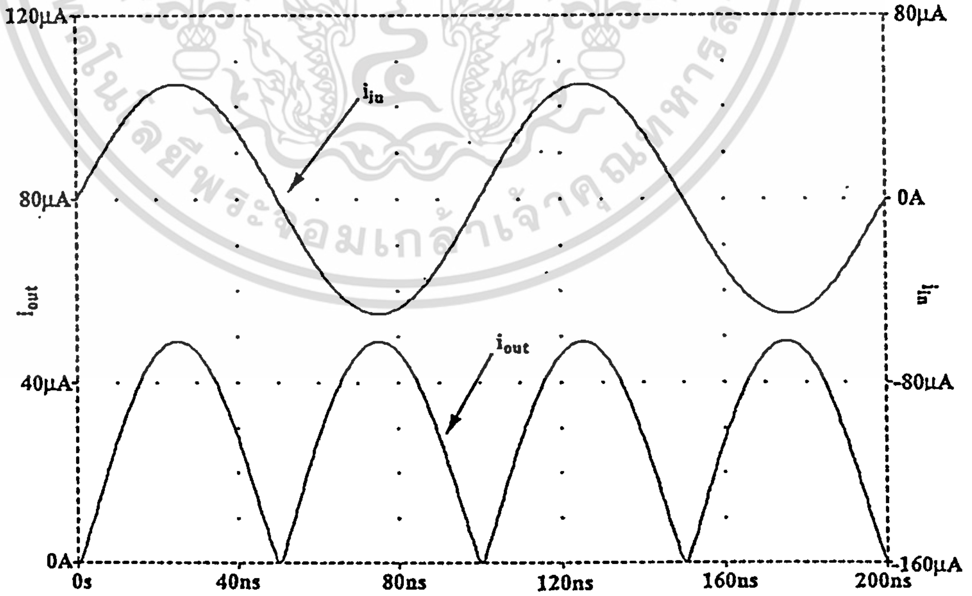
(*a*)

Figure 2. Simulated results for dc performance: (*a*) dc transfer characteristic; (*b*) zero crossing region.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



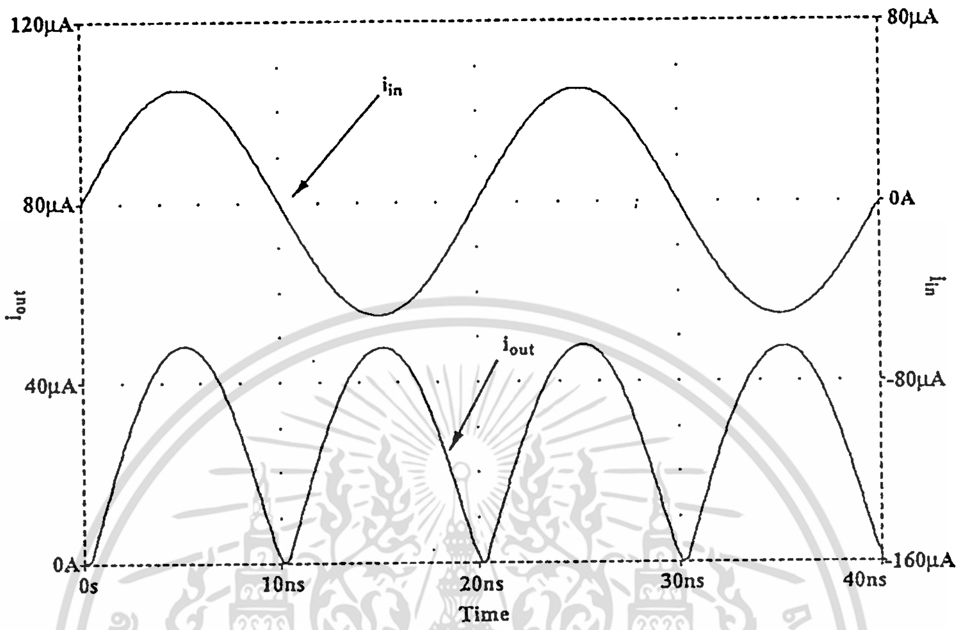
2 (*b*)



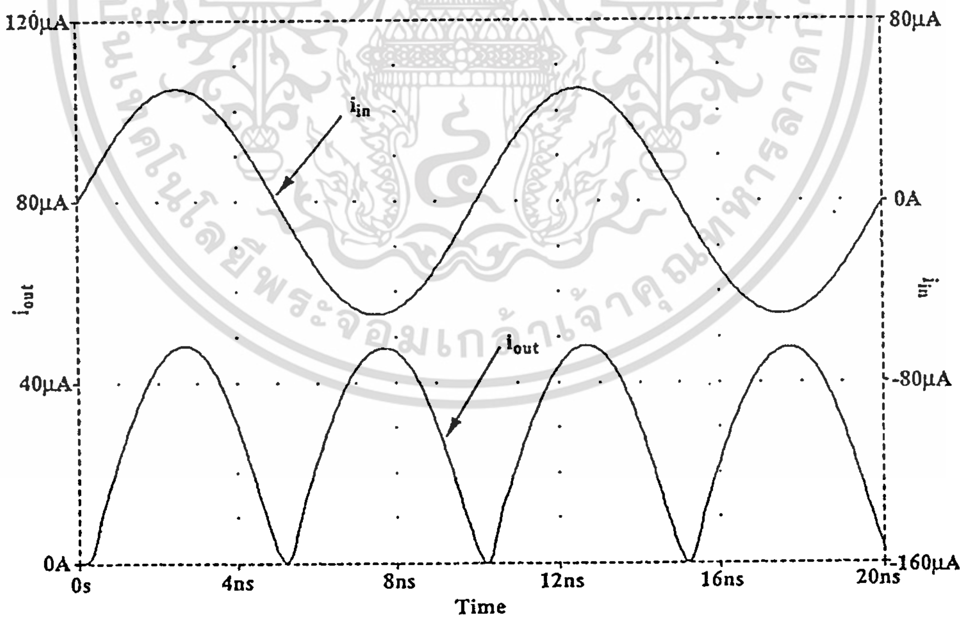
(*a*)

Figure 3. Transient response of 50 μA peak amplitude: (*a*) for input signal frequency 10 MHz; (*b*) for input signal frequency 50 MHz; (*c*) for input signal frequency 100 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



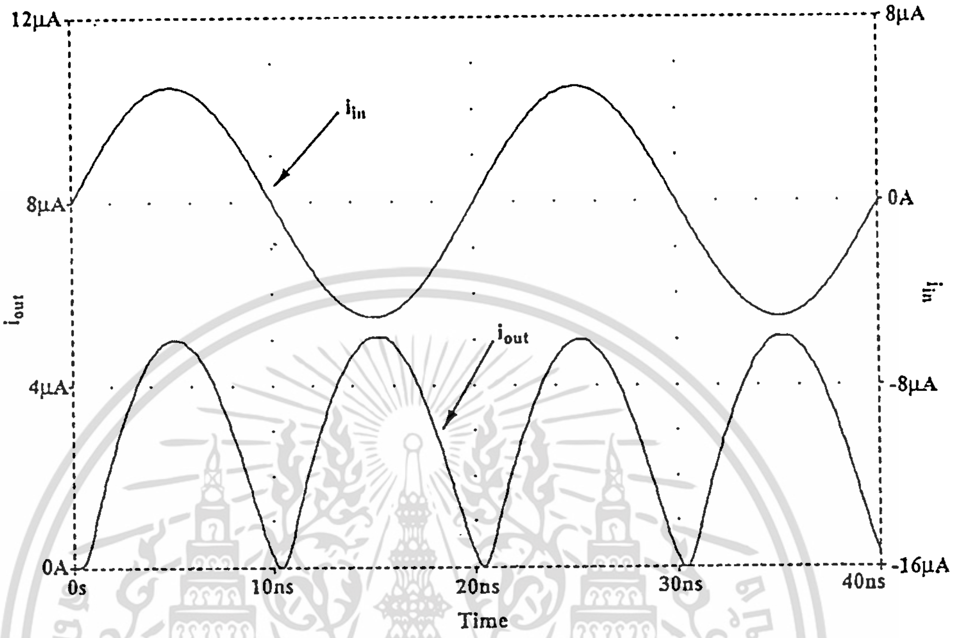
3 (*b*)



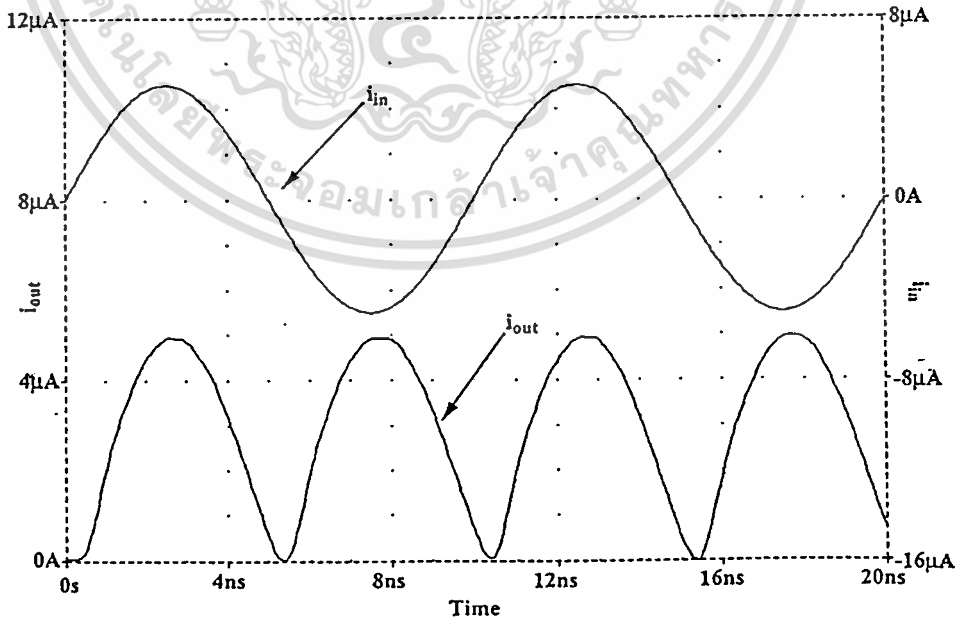
3 (*c*)

the design current of 10 μA. The output signal of the circuit under three process, voltage and temperature (PVT) conditions, i.e. best case (FF, 1.8 V, 0°C), typical case (TT, 1.5 V, 27°C) and worst case (SS, 1.2 V, 70°C), are shown in figure 6. It is clearly seen that the circuit can operate with good results under the three given PVT conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(*a*)



(*b*)

Figure 4. Transient response of 5 μA peak amplitude: (*a*) for input signal frequency 50 MHz; (*b*) for input signal frequency 100 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

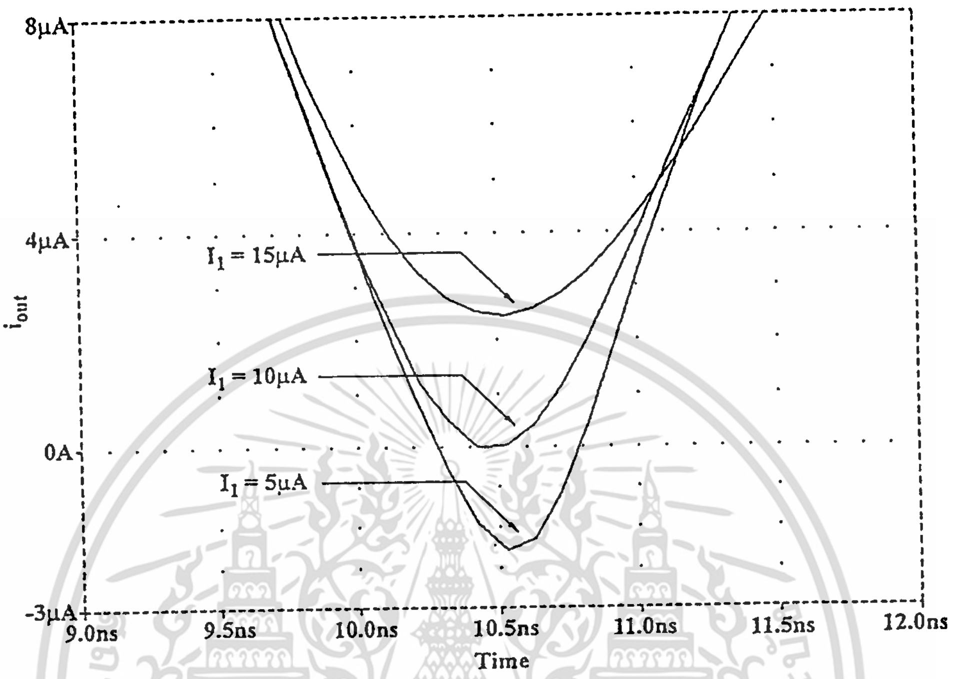


Figure 5. Output signal during the zero crossing region for three different values of I_1 with input signal frequency 50 MHz of peak amplitude 50 μA.

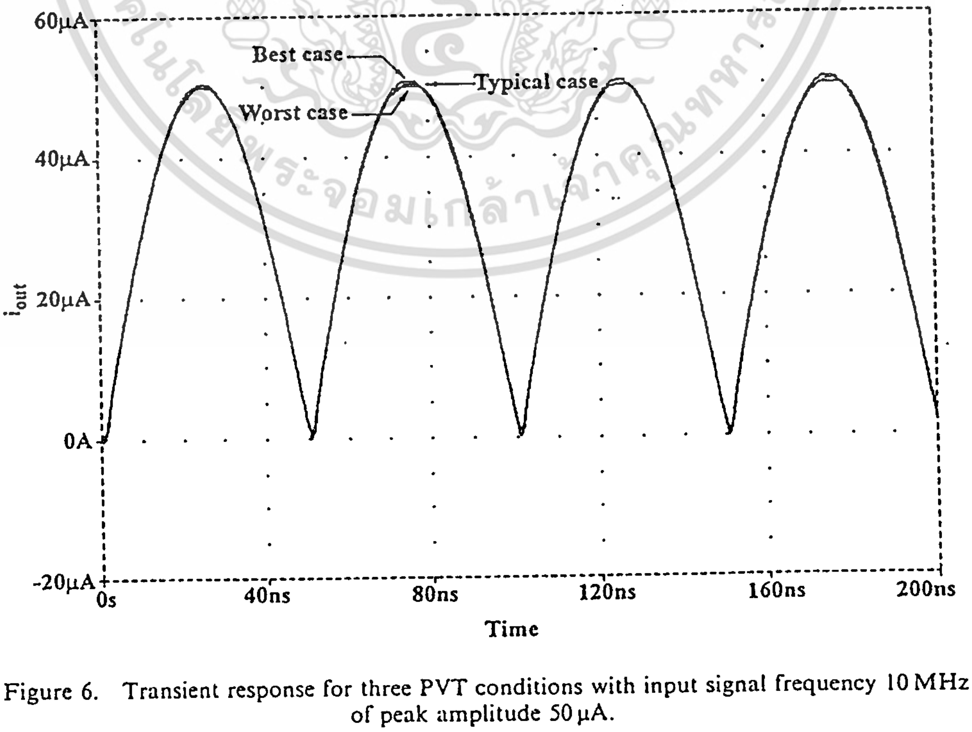


Figure 6. Transient response for three PVT conditions with input signal frequency 10 MHz of peak amplitude 50 μA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Conclusion

A simple analogue circuit technique for realizing a precision full-wave rectifier has been described in this paper. The dc transfer characteristic shows very low distortion at the zero crossing and is linear over the total dynamic range. The circuit performance was also discussed in detail. Demonstrated simulation results confirmed the circuit performance.

Acknowledgments

The authors would like to express their sincere gratitude to the National Science Technology Development Agency (NASTDA), Thailand, for financial support. The authors also wish to thank Professor Wanlop Surakampontorn, Associate Professor Charray Surawatpunya and the reviewers for their valuable comments and suggestions on the manuscript.

References

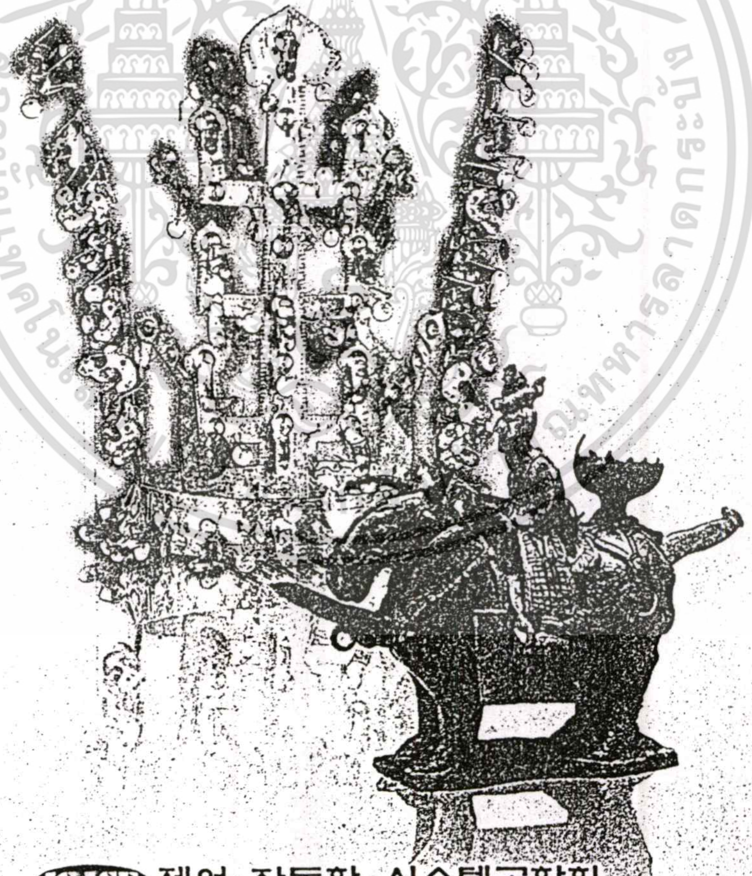
ALLEN, P. E., and HOLBERG, D. R., 1987, *CMOS Analog Circuit Design* (New York: Holt, Rinehart and Winston).
BARKER, R. W. J., 1977, Versatile precision fullwave rectifier. *Electronics Letters*, 13, 143–144.
BARKER, R. W. J., and HART, B. L., 1989, Precision absolute-value circuit technique. *International Journal of Electronics*, 66, 445–448.
CASTELLO, R., MONTECCHI, F., REZZI, F., and BASCHIROTTO, A., 1995, Low-voltage analog filters. *IEEE Transactions on Circuits and Systems I*, 42, 827–840.
GRAY, P. R., and MEYER, R. G., 1993, *Analysis and Design of Analog Integrated Circuits* (New York: Wiley).
HILAS, C. S., and LAOPOULOS, Th., 1996, Circuit design: a study on voltage-mode to current-mode conversion technique. *Proceedings of 8th Mediterranean Electrotechnical Conference MELECON'96*, Bari, Italy, vol. 3, pp. 1309–1312.
RAMIREZ-ANGULO, J., 1992, High frequency low voltage CMOS diode. *Electronics Letters*, 28, 298–299.
RAMIREZ-ANGULO, J., CARVAJAL, R. G., TOMBS, J., and TORRALBA, A., 1999, Very low-voltage class AB CMOS and bipolar precision current rectifiers. *Electronics Letters*, 35, 1904–1905.
SURAKAMPONTORN, W., 1988, Sinusoidal frequency doublers using operational amplifiers. *IEEE Transactions on Instrumentation and Measurement*, 37, 259–262.
SURAKAMPONTORN, W., and RIEWRUJA, V., 1992, Integrable CMOS sinusoidal frequency doubler and full-wave rectifier. *International Journal of Electronics*, 73, 627–632.
TOUMAZOU, C., and LIDGEY, F. J., 1987, Wide-band precision rectification. *Proceedings of the Institute of Electrical and Electronics Engineers*, Pt G, 134, 7–15.
TOUMAZOU, C., LIDGEY, F. J., and CHATTONG, S., 1994, High frequency current conveyor precision full-wave rectifier. *Electronics Letters*, 30, 745–746.
TOUMAZOU, C., LIDGEY, F. J., and HAIGH, D. G., 1990, *Analogue IC Design: the Current-Mode Approach* (London: Peter Peregrinus).
UYEMURA, J. P., 1992, *Circuit Design for CMOS VLSI* (Boston: Kluwer).
WANG, Z., 1992, Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation. *IEEE Transactions on Circuits and Systems I*, 39, 456–462.
WILSON, B., and MANNAMA, V., 1995, Current-mode rectifier with improved precision. *Electronics Letters*, 31, 247–248.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KACC 2000 Abstract Book

KACC 2000 제15회 한국자동제어학술회의 요약문집
15th Korea Automatic Control Conference

■ 일시 : 2000년 10월 19일(목)~10월 21일(토)
■ 장소 : 현대인재개발원(용인)



ICASE 제어·자동화·시스템공학회
Institute of Control, Automation and Systems Engineers, Korea

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A high frequency CMOS precision full-wave rectifier

V. Riewruja , C. Wangwiwattana, R. Guntapong,
A. Chaikla, A. Linthong

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand
(Tel: 66-2-739-1362; Fax: 66-2-326-9989; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract

In this article, the realization of a precision full-wave rectifier circuit for analog signal processing, which operates throughout in the current domain, is presented. The circuit makes use of a MOS class B/AB configuration, and provides a wide dynamic range and wide-band capability. The rectifier has a simple circuit configuration and is suitable for implementing in CMOS integrated circuit form as versatile building block. The characteristic of the circuit exhibits a low distortion in the output signal at low level input signal. PSPICE simulation results demonstrating the characteristic of the proposed circuit are included.

1. Introduction

An absolute value circuit or a precision rectifier is one of important circuit building block used in analog signal processing systems. Usually, precision rectifiers exhibit significant zero-crossing distortion. The classical approaches to realize a precision rectifier are based on the use of operational amplifiers (op-amp) and diodes [1] or bipolar transistors operating in class B [2,3]. These approaches exhibit the output distortion evident during the zero-crossing of the low-level input signal due to the delay caused by the switching between "on" and "off" state of diodes or bipolar transistors. Alternatively, an approach based on the use of operational-amplifier supply-current sensing technique has been shown to realize a precision rectifier [4]. This approach requires the signal current much greater than the op-amp bias current to avoid nonlinearity error due to the op-amp characteristic [5]. In addition, two approaches to improve the nonideal precision rectifier performance based on current mode technique, which is demonstrated the use of current conveyors and diodes as the active elements, have been reported in literature [6,7]. These approaches used the diodes biased to the edge of conduction to reduce the delay and improve high frequency performance. In CMOS technology, the diodes can replace by a drain-gate-connected MOS transistor [8]. However, the MOS diodes exhibit the nonideal V-I characteristic. The realization of a CMOS full-wave rectifier can be implemented by the use of op-amp and MOS transistors operating in class B [10]. The high frequency limitation of this scheme is due to the finite gain bandwidth product of the op-amp and the delay caused by switching of MOS transistors. Another approaches are based on a CMOS class AB configuration [11,12]. These approaches require the signal current greater than four times of the bias current to avoid square law error of MOS transistors. Recently, there has been much effort to reduce the supply voltage of analog CMOS systems. This is due to the demand of portable and battery-powered equipment. The purpose of this paper is to propose a CMOS circuit technique for the realization of a low-voltage precision full-wave rectifier circuit. The resulting performances of the proposed circuit have high accuracy and wide-band capability.

2. Circuit description

The proposed high frequency CMOS precision full-wave rectifier is shown in figure 1. The transistor M_4 and the current source I_1 generate a constant voltage V_B to provide a prebias M_1 and M_2. The constant voltage V_B is approximately equal to the sum of the threshold voltage of the transistors M_1 and M_2, $V_{T1} + V_{T2}$, and brings them to the edge of conduction. The transistors M_2 - M_3 and M_5 - M_6 form as a unity gain current mirror. The transistor M_7 and the current source I_2 are used to alleviate the channel-length modulation effect of the transistor M_3. During a positive input current $i_{in} > 0$, the current i_{in} flows through the transistor M_2 that causes the gate-source voltage of the transistor M_2 to increase and the gate-source voltage of the transistor M_1 to decrease effecting M_1 to cutoff. Similarly, the flow of a negative current $i_{in} < 0$ through the transistor M_1 causes the transistor M_2 to cutoff. Therefore the currents I_{D1} and I_{D2} can be given by

$$I_{D1} = i_{in} \quad \text{and} \quad I_{D2} = 0 \quad \text{for } i_{in} \le 0 \tag{1a}$$

and

$$I_{D2} = i_{in} \quad \text{and} \quad I_{D1} = 0 \quad \text{for } i_{in} \ge 0 \tag{1b}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The current mirror M_2 and M_3 reflects a positive current i_{in} in order to add to the current I_{D1} that equal to a negative current i_{in}. Consequently, the current I_{D5}, the sum of I_{D1}, I_{D3} and the current I_2 is full-wave rectified. The current mirror M_5 and M_6 reflects the current I_{D5} to the output node and the current source I_3, which equal to the value of the current source I_2, is used to eliminate a DC current offset of the output current i_{out}. Then the output current i_{out} can be stated as

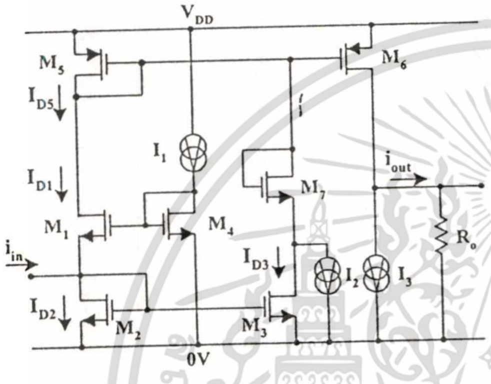


Figure 1. The proposed circuit

$$i_{out} = I_{D1} + I_{D2} - I_3 = |i_{in}| \quad (2)$$

It is clearly seen that i_{out} contains the full-wave rectification of an input signal current.

3. Circuit performance

The ideal circuit performance so far has been based on the assumptions that the current mirrors have unity gain and transistors are perfectly matched. However, in a practical realization, several nonidealities that contribute to error from the ideal performance are presented. The major factors that consider are the finite drain resistance of the transistors, transistor mismatch and temperature effect.

From the circuit in figure 1, the sources of all transistors are connected to the body. Therefore, the operation of a MOS transistor is insensitive to the variation of the threshold voltage caused by the body effect. During the positive current input $i_{in} > 0$, the current i_{in} is mirrored into output node by the current mirror M_5 and M_6. Then the output current i_{out} can be approximated by

$$i_{out} = i_{in}(1 - \varepsilon_N) \qquad \text{for} \quad i_{in} > 0 \quad (3)$$

and

$$\varepsilon_N = \frac{\Delta gm_n}{gm_5} + \frac{R_O}{r_{O6}} \quad (4)$$

where Δgm_n is the transconductance error due to the transistor mismatches on the transistors M_5 and M_6, gm_i and r_{oi} are the transconductance and the drain resistance, respectively, of the transistors M_i and R_O is given resistance that connected to the output node. During the negative current input $i_{in} < 0$, the current i_{in} is imposed to the output node by the current mirrors M_2 - M_3 and M_5 - M_6. The output current i_{out} can be approximately given by

$$i_{out} = i_{in}(1 - \varepsilon_P) \qquad \text{for} \quad i_{in} < 0 \quad (5)$$

and

$$\varepsilon_P = \frac{(\Delta gm_n gm_2 + \Delta gm_p gm_5)}{gm_2 gm_5} + \left\{ \frac{gm_6 + gm_7}{gm_6\, gm_7\, r_{O3}} + \frac{R_O}{r_{O6}} \right\} \quad (6)$$

where Δgm_p is the transconductance error due to the transistor mismatches on the transistors M_2 and M_3. The first terms of the right side of eqns. 4 and 6 are caused by the mismatch of the transistors formed positive and negative current mirrors, respectively. The second terms of the right side of eqns. 4 and 6 are due to the finite output resistance of the current mirrors. From eqns. 4 and 6, if Δgm_p = 0.03x10^{-4}A/V, Δgm_n = 0.031x10^{-4}A/V, gm_2 = 1.15x10^{-4}A/V, gm_6 = 4.75x10^{-4}A/V, gm_7 = 4.87x10^{-4}A/V, r_{o3} = 1.195MΩ, r_{o6} = 632.9kΩ and R_o = 1kΩ. Then the percentage of the error ε_N and ε_P are about 0.785% and 3.8%, respectively. It should be note that the output current error during the positive current input suffers more than during the negative current input.

For the temperature effect, the surface mobility and the threshold voltage are the temperature-dependent parameters. The current transfer error of the current mirrors can be prevented if the transistors are perfectly matched. However, the variation of the bias voltage V_B exhibits temperature dependence. The bias voltage V_B variation, ΔV_B, is approximated by

$$\Delta V_B = \frac{\Delta T}{300^o} \sqrt{\frac{2I_1}{\beta_4}} - \alpha \Delta T \quad (7)$$

where ΔT and β_4 are the temperature variation form the room temperature and the transconductance parameter ($K_P W/L$) of the transistor M_4, respectively. The factor α is depended on the substrate doping and oxide thickness [12]. If I_1 = 30μA, β_4 = 220x10^{-6}A/V^2, ΔT = 10^{o}K and α = 2.057mV/^{o}K, then the bias voltage variation ΔV_B is about –3.18x10^{-3}V. It should be noted that the percentage of the bias voltage variation from the bias voltage, $V_{T1}+V_{T2}$, is about - 0.26%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Simulation results

The performances of the proposed circuit were observed through the use of a SPICE analog simulation program. The BSIM MOS model of the 0.7μm double-poly CMOS process was used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are as follows: $W_1/L_1 = W_2/L_2 = W_3/L_3 = W_5/L_5 = W_6/L_6 =$ 2μm/0.7μm and W_4/L_4 = 1μm/1μm, the bias current I_1 and $I_2 = I_3$ are set to 30μA and 50μA, respectively, and V_{DD} = 2.4V. Figure 2 shows the DC transfer characteristic for the input signal current i_{in} which is varied from -100μA to 100μA. Figure 3 shows the transient response of the circuit for the input signal frequencies 1MHz, 10MHz and 100MHz of peak amplitude 50μA. The low-level signal distortion of the proposed circuit can be illustrated by the use of 1MHz sine wave input signal of the peak amplitude 10μA that shows in figure 4. It is apparent that the circuit exhibits very low distortion for an input signal as low as 10μA peak amplitude.

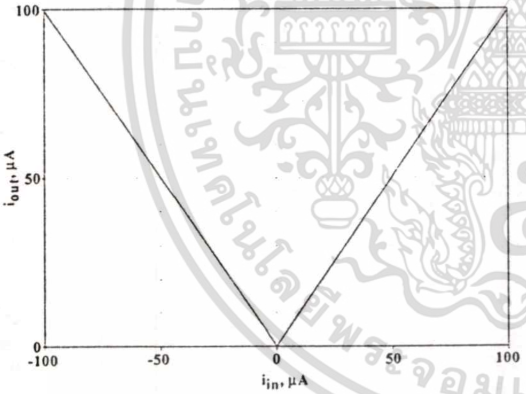
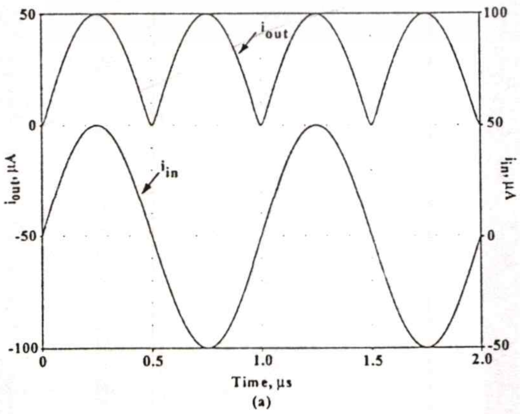
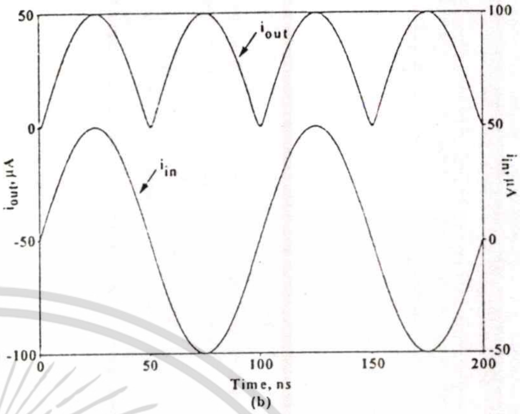


Figure 2. DC transfer characteristic of the proposed circuit





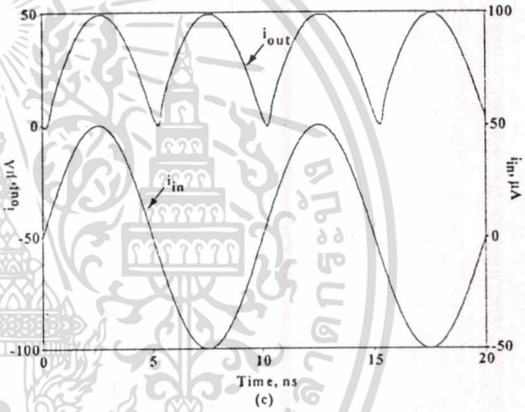


Figure 3. Transient response of the proposed circuit
(a) for frequency 1MHz
(b) for frequency 10MHz
(c) for frequency 100MHz

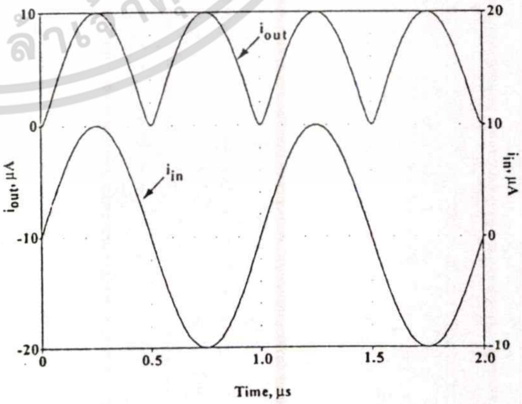


Figure 4. Simulated transient response for 10uA peak-to-peak, 1MHz input signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Conclusion

In this article, an alternative scheme suitable for fabrication using CMOS technology for the realization of a precision full-wave rectifier has been presented. The DC transfer characteristic shows a very low distortion at the zero crossing. The circuit performances were also discussed in detail. The simulation results have shown that the circuit performances have high accuracy and wide-band capability.

6. Acknowledgments

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and the National Electronics and Computer Technology Center (NECTEC), Thailand.

References

[1]P. R. Gray and R. G. Meyer, "Analysis and design of analog integrated circuits", New York: Wiley, 1993

[2]R. W. J. Barker, "Versatile precision fullwave rectifier", Electron. Lett., Vol. 13. no. 5., pp. 143-144, 1977

[3]R. W. J. Barker and B. L. Hart, "Precision absolute-value circuit technique", INT. J. Electronics, Vol. 66. no. 3., pp.445-448, 1989

[4]C. Toumazou and F. J. Lidgey, "Wide-band precision rectification", IEE Proc. G, Vol. 134. no. 1., pp. 7-15, 1987

[5]W. Surakampontorn, "Sinusoidal frequency doublers using operational amplifiers", IEEE Trans. Instrum. Meas., Vol. 37. no. 2., pp. 259-262, 1988

[6]C. Toumazou, F. J. Lidgey and S. Chattong, "High frequency current conveyor precision full-wave rectifier", Electron. Lett., Vol. 30. no. 10., pp. 745-746, 1994

[7]B. Wilson and V. Mannama, "Current-mode rectifier with improved precision", Electron. Lett., Vol. 31. no. 4., pp. 247-248, 1995

[8]P. E. Allen and D. R. Holberg, "CMOS analog circuit design", Holt, Rinehart and Winston, 1987

[9]Z. Wang, "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation", IEEE Trans. on Circuits and Syst. I, Vol. 39. no. 6., pp. 456-462, 1992

[10]J. Ramirez-Angulo, "High frequency low voltage CMOS diode", Electron. Lett., Vol. 28. no. 3., pp. 298-299, 1992

[11]W. Surakampontorn and V. Riewruja, "Integrable CMOS sinusoidal frequency doubler and full-wave rectifier", INT. J. Electronics, Vol. 73. no. 3., pp. 627-632, 1992

[12]J. P. Uyemura, "Circuit design for CMOS VLSI", Kluwer Academic Publishers, 1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

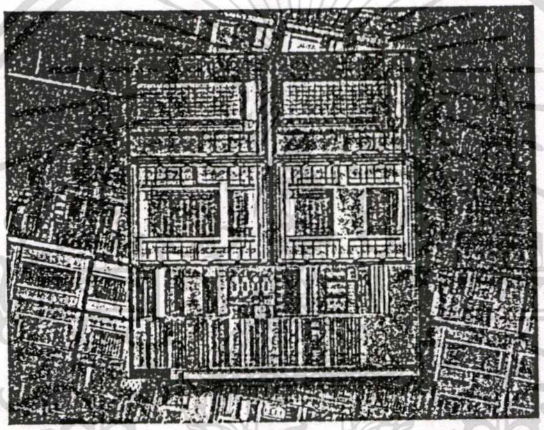
ISIC-99

8th International Symposium on
Integrated Circuits, Devices & Systems

8-10 September 1999
Grand Hyatt, Singapore

IEEE
Networking the World™
IEEE Singapore Section

PROCEEDINGS



Organised by:
Nanyang Technological University
School of Electrical and Electronic Engineering

And
IEEE Singapore Section

Sponsored by:
Cadence Design Systems

cadence

Supported by:
IEE Singapore Centre

IEE
IEE Singapore Centre

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High frequency CMOS precision full-wave rectifier circuit

Rojanakorn Guntapong, Vanchai Riewruja,
Chalermpan Fongsamut and Anucha Kaewpoonsuk

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.

Abstract : A CMOS integrable circuit technique for the realization of full-wave precision rectifier circuit, which operates throughout in the current domain, is presented. The circuit achieves a wide dynamic range and a wide-band capability. The rectifying characteristic of the circuit exhibits a low distortion in the output signal at low level input signal. Simulation results demonstrating the circuit performance are included.

1. INTRODUCTION

A precision rectifier of low-level signal is one of important circuit building block used in analogue signal processing systems. The traditional approaches to realize a precision rectifier are based on the use of operational amplifiers (op-amp) and diodes [1] or bipolar transistors operating in class B [2,3]. These approaches exhibit the output distortion evident during the zero-crossing of the low-level input signal due to the delay caused by the switching between "on" and "off" state of diodes or bipolar transistors. Alternatively, an approach based on the use of operational-amplifier supply-current sensing technique has been shown to realize a precision rectifier [4]. This approach requires the signal current much greater than the op-amp bias current to avoid nonlinearity error due to the op-amp characteristic [5]. In addition, two approaches to improve the nonideal precision rectifier performance based on current mode technique, which is demonstrated the use of current conveyors and diodes as the active elements, have been reported in literature [6,7]. These approaches used the diodes biased to the edge of conduction to reduce the delay and improve high frequency performance. In CMOS technology, the diodes can replace by a drain-gate-connected MOS transistor [8]. However, the MOS diodes exhibit the nonideal V-I characteristic. The realization of a CMOS full-wave rectifier can be implemented by the use of op-amp and MOS transistors operating in class B [10]. The high frequency limitation of this scheme is due to the finite gain bandwidth product of the op-amp and the delay caused by switching of MOS transistors. Another approaches are based on a CMOS class AB configuration [11,12]. These approaches require the signal current greater than four times of the bias current to avoid square law error of MOS transistors. The aim of this article is to propose a method for realizing a CMOS precision full-wave rectifier circuit. The resulting performances of the circuit have high accuracy and wide-band capability.

2. CIRCUIT DESCRIPTION

The proposed circuit diagram is shown in figure 1. The current sources I_1, I_2 and transistor M_3 provide the bias voltage V_B for the transistors M_1 and M_2 and bring the transistors M_1 and M_2 to the edge of conduction. The voltage V_B is approximately equal to $V_{T1}+V_{T2}$, where V_{T1} and V_{T2} is the threshold voltage of the MOS transistors M_1 and M_2, respectively. The advantage of this biasing technique is to reduce second order harmonic distortion [11] and the circuit can operate at high frequency. The operation of the proposed circuit is as follows. During the positive input current $I_{in}>0$, the current I_{in} that flow through the transistor M_2 and the current mirror M_6 - M_7, causes the voltage V_{GS2} to increase and the voltage V_{GS1} to decrease driving M_1 into cutoff, therefore $I_{D2}=I_{in}$ and $I_{D1}=0$. During the negative input current $I_{in}<0$, the current flow through the transistor M_1 and the current mirror M_4 - M_5. The voltage V_{GS1} is increased and causes the voltage V_{GS2} to decrease driving the transistor M_2 into cutoff, thus $I_{D1}=I_{in}$ and $I_{D2}=0$. This means that

$$I_{D1} = I_{in} \text{ and } I_{D2} = 0 \quad \text{for } I_{in} < 0 \tag{1a}$$

and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D1} = 0 \;\; and \; I_{D2} = I_{in} \quad for \; I_{in} > 0 \qquad (1b)$$

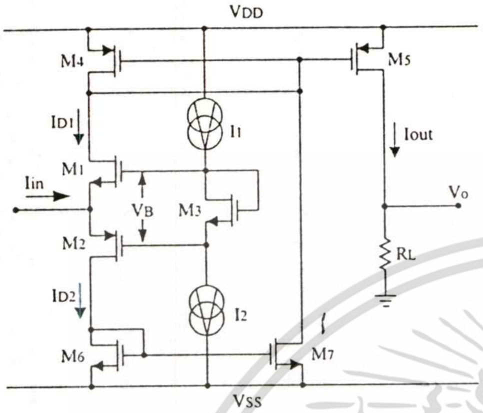


Fig. 1. The proposed circuit

Group of transistor M_4 - M_5 and M_6 - M_7 function as unity current mirror. Owing to the fact that the current mirror M_6 and M_7 reflects the current I_{D2} in order to add to the current I_{D1}. Thus the current I_{D4}, the sum of I_{D1} and I_{D2}, is full-wave rectified. The current mirror M_4 and M_5 reflects the current $|I_{in}|$ to the output node, then the drain current of the transistor M_5, I_{out}, becomes

$$I_{out} = I_{D1} + I_{D2} = |I_{in}| \qquad (2)$$

3. SIMULATION RESULTS

The performance of the proposed circuit were observed using the PSPICE analogue simulation program. The current sources I_1 and I_2 are set to 20μA, $V_{DD} = -V_{SS}$ = 5V. The sinusoidal input signal current I_{in} is 200μA peak-to-peak. The MOSIS 2.0μm CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are as 5μm/2μm. The simulation result for

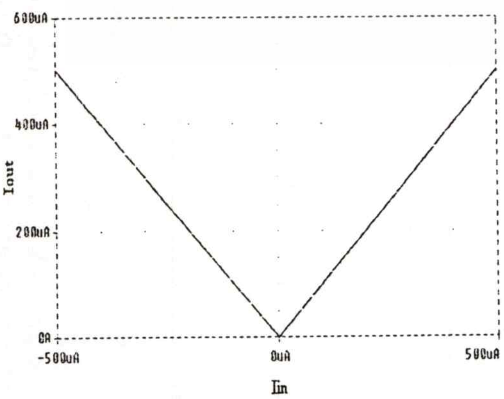


Fig. 2. DC transfer characteristic of the proposed circuit

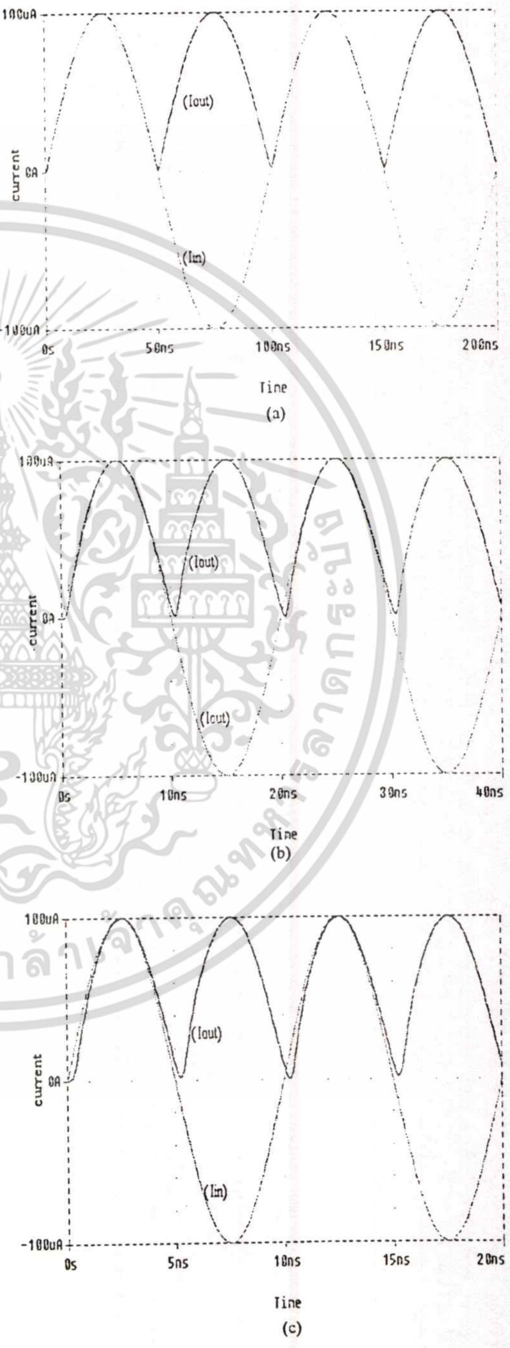


Fig. 3. Transient response of the proposed circuit
(a) for frequency 10MHz
(b) for frequency 50MHz
(c) for frequency 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC transfer characteristic of the proposed circuit is shown in figure 2. The result shows that the transfer characteristic of the circuit is linear and wide dynamic range. The simulated transient response for input frequency 10MHz, 50MHz and 100MHz are shown in figure 3. Figure 4 shows the transient response for 20 μA peak-to-peak, 100MHz input signal. It is evident that the performance of the proposed circuit is almost consistent with the ideal case.

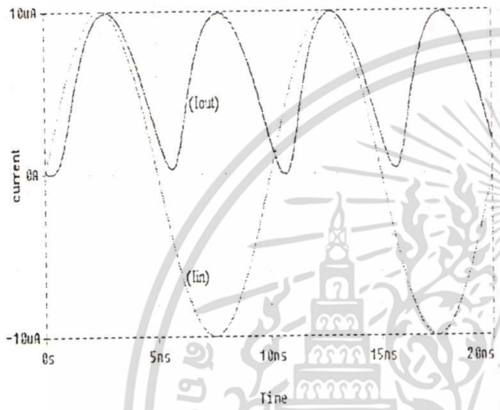


Fig. 4. Simulated transient response for 20μA peak-to-peak, 100MHz input signal

4. CONCLUSION

Integrable high frequency precision full-wave rectifier is presented. The rectifier has a simple configuration and suitable for implementing in CMOS integrated circuit form as a versatile building block. The basic performances of the circuit are confirmed by PSPICE analogue simulation program.

ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), Thailand, for the financial support of this work.

REFERENCES

[1] P. R. Gray and R. G. Meyer, 'Analysis and design of analog integrated circuits,' New York: Wiley, 1993

[2] R. W. J. Barker, 'Versatile precision fullwave rectifier,' Electron. Lett., Vol. 13, No. 5, pp. 143-144, 1977.

[3] R. W. J. Barker and B. L. Hart, 'Precision absolute-value circuit technique,' INT. J. Electronics, Vol. 66, No.3, pp.445-448, 1989.

[4] C. Toumazou and F. J. Lidgey, 'Wide-band precision rectification,' IEE Proc. G, Vol. 134, No. 1, pp. 7-15, 1987.

[5] W. Surakampontorn, 'Sinusoidal frequency doublers using operational amplifiers,' IEEE Trans. Instrum. Meas., Vol. 37, No. 2, pp. 259-262, 1988.

[6] C. Toumazou, F. J. Lidgey and S. Chattong, 'High frequency current conveyor precision full-wave rectifier,' Electron. Lett., Vol. 30, No. 10, pp. 745-746, 1994.

[7] B. Wilson and V. Mannama, 'Current-mode rectifier with improved precision,' Electron. Lett., Vol. 31, No. 4, pp. 247-248, 1995.

[8] P. E. Allen and D. R. Holberg, 'CMOS analog circuit design,' Holt, Rinehart and Winston, 1987.

[9] Z. Wang, 'Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation,' IEEE Trans. on Circuits and Syst. I, Vol. 39, No. 6, pp. 456-462, 1992.

[10] J. Ramirez-Angulo, 'High frequency low voltage CMOS diode,' Electron. Lett., Vol. 28, No. 3, pp. 298-299, 1992.

[11] W. Surakampontorn and V. Riewruja, 'Integrable CMOS sinusoidal frequency doubler and full-wave rectifier,' INT. J. Electronics, Vol. 73, No. 3, pp.627-632, 1992.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'99 KACC 논문집 E

KACC '99 제14차 한국자동제어학술회의 논문집

Proceedings of the 14th Korea Automatic Control Conference

■ 일시 : 1999년 10월 14일~16일
■ 장소 : 용인 고등기술연구원

ICASE 제어·자동화·시스템공학회
Institute of Control, Automation and Systems Engineers, Korea

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Accurate CMOS-based square root extractor

Vanchai Riewruja., Rojanakorn Guntapong.,
Anucha Kaewpoonsuk., and Chalermpan Fongsamut

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
(Tel : 66-2-739-0757; Fax : 66-2- 326-9989; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract

In this article, an integrable circuit technique for implementing square root extractor for analog signal processing is described. The realization method makes use of the characteristic of MOS translinear principle. The proposed scheme achieves a wide dynamic range, wide-band capability and high accuracy. Simulation results demonstrating the performance of the proposed scheme are also presented.

1. Introduction

A square root extractor is a useful circuit building block used in analog measurement and instrumentation. For example, it can be used to linearize a signal from a differential pressure flow meter or to calculate the RMS value of an arbitrary waveform [1]. In the past, one fundamental approach to realize a square-root function is based on the use of an operational amplifier (op-amp) together with a bipolar transistor to form a log and anti-log amplifier [2]. This approach provides the logarithmic principle to realize a square root function. Another approach is based on the use of op-amps, analog switches and resistor-capacitor time constant. However, the frequency performance achieved by these approaches is limited by the narrow bandwidth of an op-amp topology. Alternatively, an approach based on the characteristic of the translinear configuration of bipolar junction transistors, which is suitable for implementing in monolithic integrated circuit form, has been shown to realize a square root function [3]. The advantage of this technique is a wide bandwidth due to the circuit operating in current mode. In addition, two approaches have been reported on the realization of a square root function using MOS transistors. The first approach is based on the use of weak inverted MOS transistors [4]. This approach obtains low power consumption and low voltage operation. In contrast, the accuracy and the frequency performance are limited by the small transconductance value of the weak inverted MOS transistors restriction [5]. The second approach is based on the use of the second generation current conveyor (CCII) connected with non-saturated MOS transistors and op-amp [6]. The high-frequency limitation of this approach is due to the finite gain bandwidth product of the op-amp and parasitic capacitances of the non-saturated MOS transistors. The purpose of this article is to propose a CMOS integrated circuit technique for the realization of an accurate square root extractor. The resulting performances of the square root extractor have wide bandwidth and high accuracy.

2. Circuit description

The proposed CMOS-based square root extractor is shown in figure 1. Assuming that all transistors are well matched and operate in their saturation regions. The operation of the circuit can be explained as follow. The unity gain current mirror formed by M_3 and M_4 forces equal current in the transistors M_1 and M_2. This operation drives the gate-source voltages of the transistors M_1 and M_2 to equal, $V_{GS1} = V_{GS2}$, and consequently, forces the voltage at node A to follow the input voltage v_{in} with the voltage gain equal 1 [7]. Then the signal current i_{in} can be stated as

$$i_{in} = \frac{v_{in} - V_{GS1} + V_{GS2}}{R} = \frac{v_{in}}{R} \tag{1}$$

Where R is a given resistance connected at node A. The resistor R converts the input signal voltage to the signal current i_{in}, and the transistor M_5 formed as a current follower transfers the signal current i_{in} to unity gain current mirror M_6 - M_7. The current mirror M_8 - M_{10} provides only positive current to flow through it to limit the negative current. The unity gain current mirrors M_8 - M_9 and M_{11} - M_{12} force the signal current i_{in} to the transistor M_{14} and the current source I_4 provides the bias current of transistor M_{15}. When the signal current i_{in} is applied to the transistor M_{14}, then the relationship of the drain current of the transistors M_{14} and M_{16}, I_{D14} and I_{D16}, respectively, and the signal current i_{in}, can be expressed as

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

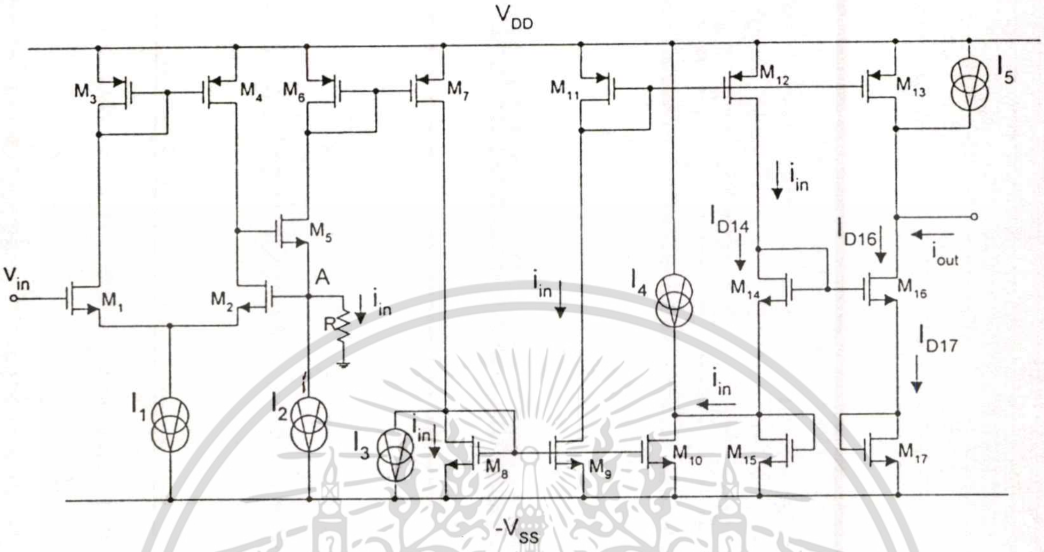


Figure 1. The proposed circuit

$$I_{D16} = \frac{i_{in}}{4} + \frac{\sqrt{I_4}\sqrt{i_{in}}}{2} + \frac{I_4}{4} \quad (2)$$

Where I_{Di} is the drain current of the transistor M_i. The current mirror formed by M_{11} and M_{13}, which has current gain equal to 1/4, forces the current $i_{in}/4$ into an output node, and the current source $I_5 = I_4/4$ provides an elimination of the output current offset. Then the output current i_{out} becomes

$$i_{out} = \frac{\sqrt{I_4}\sqrt{i_{in}}}{2} = \sqrt{\frac{I_4}{4R}}\sqrt{v_{in}} \quad ; \; v_{in} > 0$$
$$= K\sqrt{v_{in}} \quad (3)$$

where $K = (I_4/4R)^{1/2}$. From Eq. (3), it is evident that the output current i_{out} is a square root of the input signal voltage v_{in}, with the transconductance gain equal to $(I_4 / 4R)^{1/2}$

3. Simulation results

The performance of the proposed circuit in figure 1 was observed using the PSPICE analogue simulation program. The MOSIS 2.0µm CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are shown in table 1. The bias currents $I_1 = I_2 = I_3$, I_4 and I_5 are set to 300µA, 100µA and 25µA, respectively, $V_{DD} = V_{SS} = 5V$. and R = 100kΩ. Figure 2 shows the simulated DC transfer characteristic for the input signal voltage v_{in}, which is varied from 0V to 3V. Figure 3 shows the transient response of the output current waveform for 10kHz triangular wave input waveform of peak amplitude 3V. The high frequency performance of the proposed scheme is shown in figure 4. It should be noted that the bandwidth about 100MHz is observed.

Transistors	W/L
M1-M4, M6-M12	20µm/2µm
M5	100µm /2µm
M13	5µm /2µm
M14-M17	10µm /2µm

Table 1 the ratio of channel widths and lengths of the MOS transistors

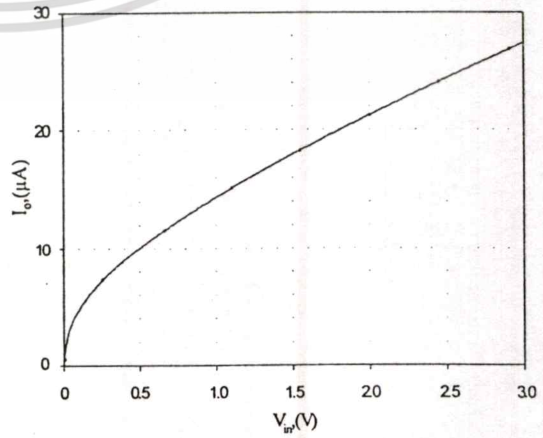


Figure 2. DC transfer characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

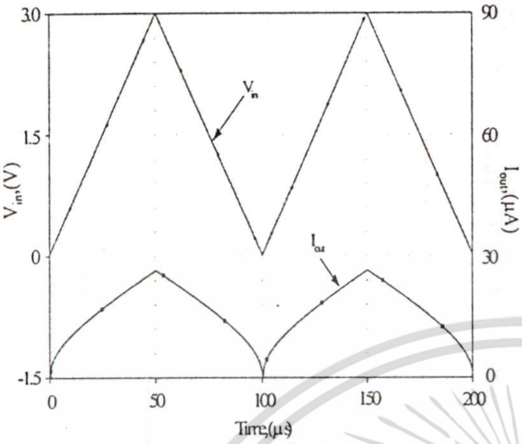


Figure 3. Simulated transient response for 10kHz triangular wave input waveform

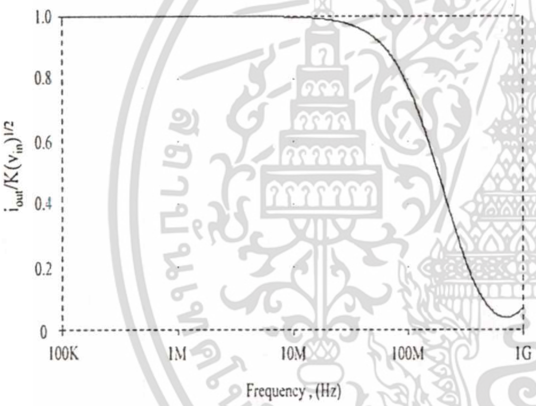


Figure 4. Frequency response of the proposed scheme

4. Conclusion

In this article, an alternative scheme suitable for fabrication using CMOS technology for the realization of a square root extractor has been presented. The simulation results have shown that the circuit performance is highly accurate and has wide-band capability.

5. Acknowledgments

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and the National Electronics and Computer Technology Center (NECTEC), Thailand.

References

[1] O. E. Doebelin, *Measurement Systems : Application and Design*, New York , McGraw Hill, 1990

[2] J. Millman and A. Grabel, *Microelectronics*, New York , McGraw-Hill, 1992

[3] C. Toumazou, F. J. Lidgey and D. G. Haigh, *Analogue IC Design : the current-Mode Approach*, London, UK, Peter Peregrinus, 1990

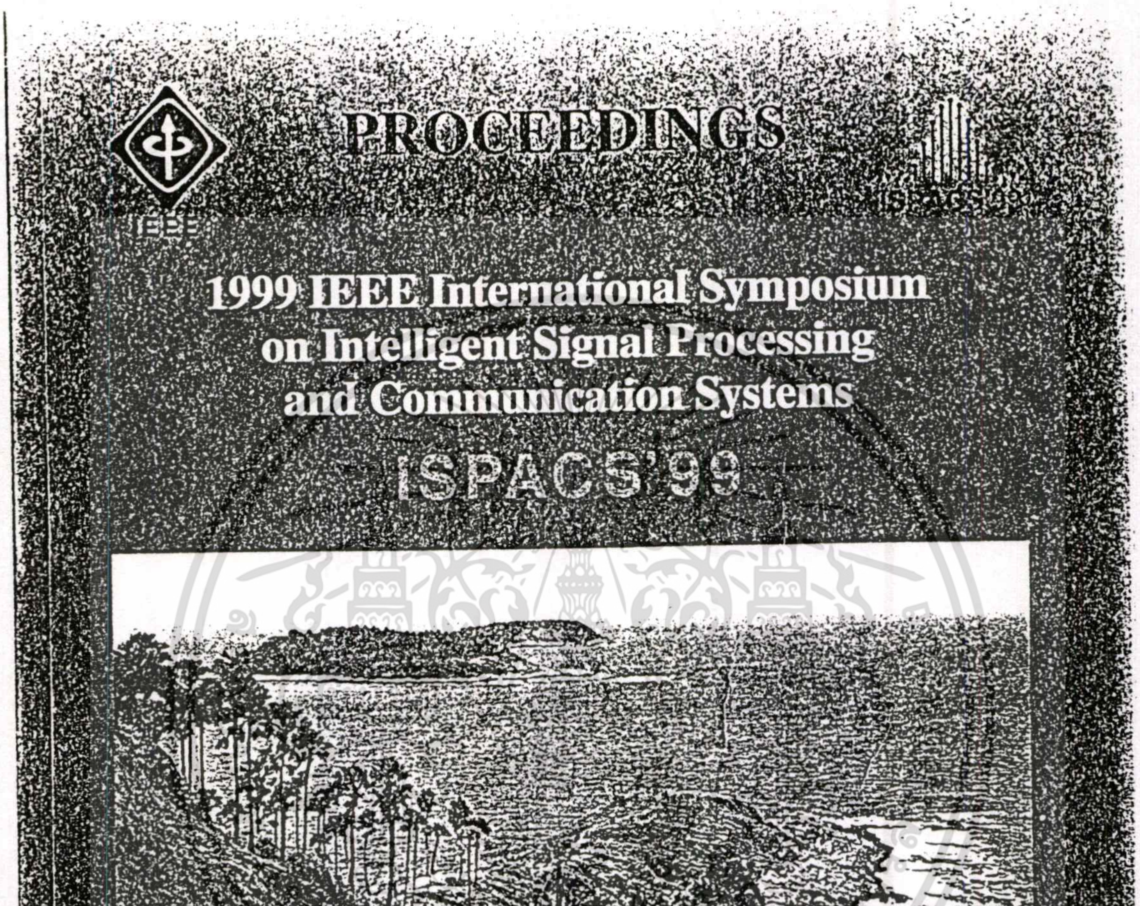
[4] M. Van Der Gevel and J.C. Kuenen, "√x circuit based on a novel, back-gate using multiplier", Electronics Letters, vol. 30, pp. 183-184, 1994

[5] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Wiley, 1993

[6] S.-I. Liu, "Square-rooting vector summation circuits using current conveyors", IEE Proceedings. Circuits Sevices and Systems, vol. 142, pp. 223-226, 1995

[7] W. Surakampontorn, V. Riewruja , K. Kumwachara and K. Dejhan , "Accurate CMOS-based current conveyors", IEEE Transactions on Instrumentation and Measurement , vol.40 ,no. 4 ,pp. 699-702 , 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Accurate CMOS-based square-rooting circuit

Rojanakorn Guntapong., Vanchai Riewruja.,
Anucha Kaewpoonsuk., and Chalermpan Fongsamut
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
(Tel : 66-2-739-0757; Fax : 66-2- 326-9989; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract

An integrable circuit technique for implementing square-rooting circuit is described. The realization method is suitable for fabricating in CMOS technology. The circuit achieves a wide dynamic range and a wide-band capability. The accuracy of the circuit is also high over the entire dynamic range. Simulation results demonstrating the characteristic of the proposed circuit are also included.

1. Introduction

A square-rooting circuit is a useful circuit building block used in analogue measurement and instrumentation. Many applications can be found in [1]. In the past, one fundamental approach to realize a square-root function is based on the use of an operational amplifier (op-amp) together with a bipolar transistor to form a log and antilog amplifier [2]. This approach provides the logarithmic principle to realize a square-root function. However, the frequency performance achieved by this circuit is limited by the narrow bandwidth of an op-amp topology. Alternatively, an approach based on the characteristic of the translinear configuration of bipolar junction transistors, which is suitable for implementing in monolithic integrated circuit form, has been shown to realize a square-root function [3]. The advantage of this technique is a wide bandwidth due to the circuit operating in current mode. In addition, two approaches have been reported on the realization of a square-root function using MOS transistors. The first approach is based on the use of weak inverted MOS transistors [4]. This approach obtains low power consumption and low voltage operation. In contrast, the accuracy and the frequency performance are limited by the small transconductance value of the weak inverted MOS transistors restriction [5]. The second approach is based on the use of the second generation current conveyor (CCII) connected with non-saturated MOS transistors and op-amp [6]. The high-frequency limitation of this approach is due to the finite gain bandwidth product of the op-amp and parasitic capacitances of the non-saturated MOS transistors. The purpose of this paper is to propose a CMOS integrated circuit technique for the realization of an accurate square-rooting circuit.

2. Circuit Description

Fig. 1 shows a MOS translinear configuration for realize square-rooting cell formed by transistors M_1 – M_4. The constant current source I_B provides the bias current for the circuit. Ideally, it is required that the transistors M_1 - M_4 are closely matched and all the transistors operate in their saturation region. If the input signal current I_{in} is applied to the circuit, then the relationship of the current I_{D2}, I_{D4} and I_{in}, since the current I_{D2} and I_{D4} have the same magnitude, can be expressed as

$$I_{D2} = I_{D4} = \frac{I_B + I_{in}}{4} + \frac{\sqrt{I_B}}{2}\sqrt{I_{in}} \tag{1}$$

where I_{D2} and I_{D4} are the drain currents of the transistors M_2 and M_4, respectively. From Eq .(1), if the currents $I_{in}/4$ and $I_B/4$ are compensated, then the result is a square root function of the input current I_{in}.

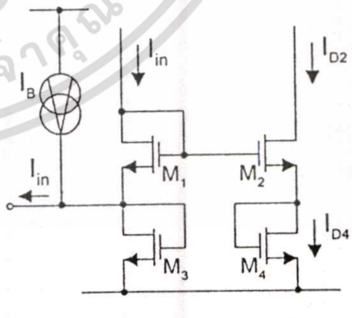


Fig. 1 Square-rooting cell

The proposed square-rooting circuit is shown in Fig. 2. The transistors M_5 functions as a current follower to transfer an input current I_{in} to the unity gain current mirror M_6 - M_8. The drain current of the transistor M_8, $I_{D8} = I_{in}$, flows through the unity gain current mirror M_9 - M_{12}. Since

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

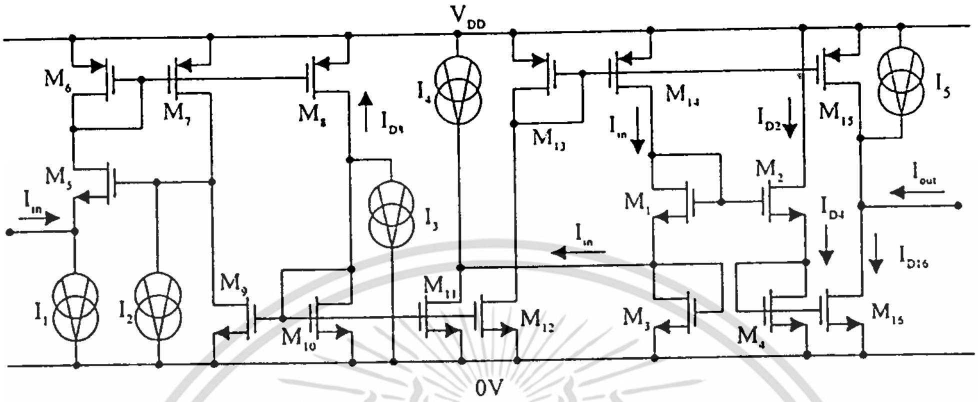


Fig. 2 The proposed circuit

the current mirror M_9 - M_{12} allows only the negative input current to flow through it to limit the positive input current. The transistors M_7, M_9 and the current source I_2 provide the bias for the transistor M_5. Groups of transistors M_1 – M_4 form as a square-rooting cell. If the negative input current I_{in} is applied to the circuit, the operation of the circuit can be explained as follows. The current mirror M_6 – M_8 reflects the input current I_{in} to the current mirror M_9 - M_{12} and M_{13} - M_{14}. The current source I_4 provides the bias current for the transistor M_3. The unity gain current mirrors M_{10}- M_{11} and M_{13} – M_{14} reflect the input current I_{in} into the transistor M_1. The current mirror M_4 and M_{16} reflects the current I_{D4} to the output node and the current I_{D16} can be written as

$$I_{D16} = \frac{I_4}{4} + \frac{I_{in}}{4} + \frac{\sqrt{I_4}}{2}\sqrt{I_{in}} \tag{2}$$

The current mirror M_{13} and M_{15}, which have current gain equal to 1/4, force the current $I_{in}/4$ into an output node, and the current source $I_5 = I_4/4$ provided and elimination of the output current offset. Then the output current I_{out} becomes

$$I_{out} = \frac{\sqrt{I_4}}{2}\sqrt{I_{in}} = G\sqrt{I_{in}} \tag{3}$$

which means that the output current I_{out} is a square-root of the input signal current I_{in}, with the current gain equal to G or $\sqrt{I_4}/2$.

3. Simulation results

The transfer characteristic and high-frequency response of the proposed circuit were observed using the PSPICE analogue simulation program. The current sources $I_1 = I_2 = I_3 = I_4$ and I_5 are set to 100μA and 25μA, respectively, and V_{DD} = 7V. The MOSIS 2.0μm CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are as follows : $W_8/L_8 = W_9/L_9$ = 20μm/2μm, W_{15}/L_{15} = 5μm/2μm and the other devices are set to 2μm/2μm. The DC transfer characteristic of the proposed circuit is shown in Fig. 3. Fig. 4 shows the transient response for 1MHz triangular wave input current signal with the peak amplitude 100μA. The simulated frequency response of the proposed circuit is shown in Fig. 5. It should be note that the bandwidth about 80 MHz is observed.

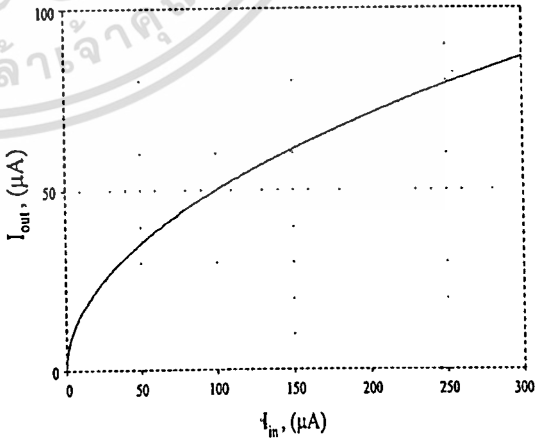


Fig. 3 DC transfer characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

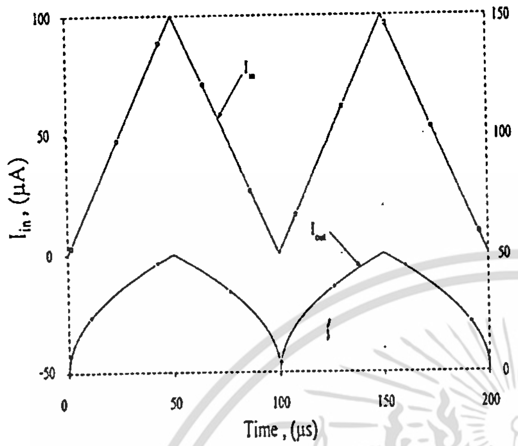


Fig. 4 Simulated transient response

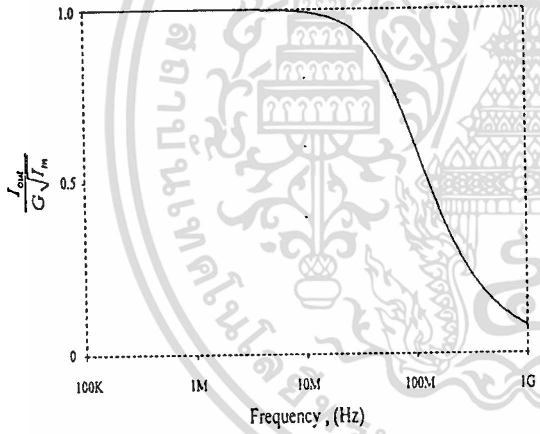


Fig. 5 Frequency response of the proposed circuit

4. Conclusion

A current-controlled square-rooting circuit has been introduced. The realization method is based on the principle of MOS translinear configuration and is suitable for implementation in CMOS integrated circuit form. The simulation results have shown that the circuit performance is highly accurate and has wide-band capability.

Acknowlegments

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA), Thailand, for the financial support of this work.

References

[1] O. E. Doebelin, Measurement Systems : Application and Design (New York : McGraw Hill), 1990.

[2] J., Millman, and A., Grabel, Microelectronics (New York : McGraw-Hill), 1992.

[3] C., Toumazou, F. J., Lidgey, and D.G., Haigh, Analogue IC Design : the current-Mode Approach, (London, UK : Peter Peregrinus), 1990.

[4] M., Van Der Gevel, and J.C., Kuenen, "√x circuit based on a novel, back-gate-using multiplier," Electronics Letters, 30, 183-184, 1994.

[5] P. R., Gray and R. G., Meyer, Analysis and Design of Analog Integrated Circuits (Wiley), 1993.

[6] S.-I., Liu, Square-rooting vector summation circuits using current conveyors. IEE Proceedings. Circuits Sevices and Systems, 142, 223-226, 1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายโรจนากร กัณฑะพงศ์ เกิดเมื่อวันที่ 27 กุมภาพันธ์ พ.ศ.2508 กรุงเทพมหานคร สำเร็จการศึกษาปริญญาวิทยาศาสตรบัณฑิต สาขาฟิสิกส์ประยุกต์ (เกียรตินิยมอันดับสอง) และปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2530 และปีการศึกษา 2535 ตามลำดับ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้