

วงจรมุขศาสตร์ไบโสมอสไตรสเททบัฟเฟอร์

ความเร็วสูงใช้ไฟเลี้ยง 1.5 โวลท์

AN 1.5 VOLTS HIGH - SPEED BOOTSTRAPPED

BiCMOS TRISTATE BUFFER CIRCUIT



ชาวลิตย์ สังข์รุ่ง

CHAOWALIT SANGRUNG

๑
๒
๖

เลขที่.....
เลขทะเบียน...47516
วัน, เดือน, ปี...19 ส.ค. 2546

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2546

ISBN 974-324-499-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AN 1.5 VOLTS HIGH - SPEED BOOTSTRAPPED
BiCMOS TRISTATE BUFFER CIRCUIT**



**THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2003

ISBN 974-324-499-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์ วงจรมอดูเลตไบซิมอสไดรคเทคบทัพเพอร์ความเร็วสูงใช้ไฟเลี้ยง 1.5
โวลท์
นักศึกษา นาย เชาวลิขย์ สังข์รุ่ง
รหัสประจำตัว 42061181
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
พ.ศ. 2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร. กอบชัย เฉลิมหาญ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอ วงจรมอดูเลตไบซิมอสไดรคเทคบทัพเพอร์ความเร็วสูง สำหรับขับโหลดคาปาซิแตนซ์ที่มีค่าสูงๆ การออกแบบส่วนขับสัญญาณใช้เทคโนโลยีไบโพลาร์แบบอนคอมพลิเมนทารี ในส่วนการเชื่อมต่อสัญญาณอินพุตและเอาต์พุตของวงจรรวมใช้วงจรมอสทรานซิสเตอร์แนนด์เกตกับนอร์เกตร์วมกัน ส่วนตัวขับไบโพลาร์ด้านขาขึ้นจะถูกขับด้วยวงจรมอสมอดูเลตไบซิมอส ดังนั้นจึงทำให้วงจรมอสที่นำเสนอสามารถประกอบขึ้นโดยกระบวนการผลิตวงจรรวมไบซิมอสแบบมาตรฐานได้ และวงจรมอสที่นำเสนอยังมีความเร็วในการทำงานสูงและสามารถทำงานได้ที่ระดับสวิตชิ่งไฟเลี้ยงต่ำที่ค่า 1.5 โวลท์ ผลการทดสอบคุณสมบัติทางด้านภาระหน่วงเวลาของวงจรมอสทำได้โดยการเลียนแบบการทำงานโดยใช้โปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	An 1.5 Volts High-Speed Bootstrapped BiCMOS Tristate Buffer Circuit
Student	Mr.Chaowalit Sangrung
Student ID.	42061181
Degree	Master Degree
Programme	Electrical Engineering
Year	2003
Thesis Advisor	Assoc. Prof. Dr .Kobchai Dejhan

ABSTRACT

This thesis proposes a high-speed bootstrapped BiCMOS tristate buffer circuit for driving a large capacitive load. The driving sections are designed by using the noncomplementary BiCMOS technology. In enable and disable sections are using CMOS NAND with CMOS NOR circuit. The bipolar pull up driving section are driven by bootstrapped CMOS circuit. Therefore, the proposed circuit can be fabricated on standard BiCMOS technology and this circuit has high speed operation and operates on 1.5 volt supply voltage, the circuit time delay performances are investigated by using PSpice program.

กิตติกรรมประกาศ

ผู้วิจัยขอขอบคุณบิดามารดา และผู้มีพระคุณทุกท่านที่ให้โอกาสให้ได้รับการศึกษา อีกทั้งครูอาจารย์ทุกท่านทั้งในอดีตจวบจนปัจจุบันที่กรุณาให้ความรู้จนทำให้มีพื้นฐานทำให้สามารถค้นคว้างานทำความเข้าใจในงานวิจัยนี้ได้ ขอขอบคุณอาจารย์กอบชัย เศรษฐาญูที่ได้ให้ข้อมูลและความช่วยเหลือในทุกๆด้านจนมีงานวิจัยที่เสร็จสิ้นตามเป้าหมาย ขอขอบคุณเพื่อนๆน้องๆทุกท่านที่ให้เวลาและช่วยเหลืองานจนวิทยานิพนธ์นี้จบสิ้นลงสมบูรณ์

นาย เชาวลิขย์ สังข์รุ่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญภาพ.....	VII
บทที่ 1 บทนำ	1
1.1 บทนำ.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	2
1.3 หลักการใหม่ในวิทยานิพนธ์.....	3
1.4 รายละเอียดในวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	4
2.3 การทำงานของมอสทรานซิสเตอร์.....	6
2.4 คุณสมบัติและการทำงานทั่วไปของมอสทรานซิสเตอร์.....	7
2.5 สรุป.....	10
บทที่ 3 ทฤษฎีของวงจรวจรไบซีมอสโลจิก	11
3.1 บทนำ.....	11
3.2 หลักการเบื้องต้น.....	11
3.3 หลักการออกแบบจรวจรไบซีมอสโลจิก.....	23
3.3.1 วิธีการบูตแอสตรปวงจรวจรไบซีมอส.....	25
3.4 จรวจรไบซีมอสบูตแอสตรป.....	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.5 สรุป.....	30
บทที่ 4 วงจรชุดแตรปไบซิมอสไครสเดทบัฟเฟอร์ความเร็วสูงใช้ไฟเลี้ยง 1.5 โวลท์ ที่นำเสนอ.....	31
4.1 บทนำ.....	31
4.2 วงจรไบซิมอสไครสเดทบัฟเฟอร์.....	32
4.3 วงจรไบซิมอสไครสเดทบัฟเฟอร์แบบคอมพลิเมนทารี.....	33
4.4 วงจรชุดแตรปไบซิมอสไครสเดทบัฟเฟอร์ความเร็วสูงใช้ไฟเลี้ยง 1.5 โวลท์ที่ นำเสนอ.....	35
4.4.1 หลักการทำงานและการวิเคราะห์วงจรที่นำเสนอ.....	35
4.5 ผลการจำลองการทำงานของวงจรด้วย โปรแกรม PSpice.....	36
4.6 บทสรุป.....	52
บทที่ 5 บทสรุปและข้อเสนอแนะ.....	53
5.1 ช่วงหน่วงเวลาด้านขาขึ้น.....	53
5.2 ด้านความถี่.....	53
5.3 ข้อเสนอแนะในการปรับปรุง.....	53
บรรณานุกรม.....	56
ภาคผนวก.....	57
ภาคผนวก ก. ผลงานที่ได้รับการตีพิมพ์.....	58
ภาคผนวก ข. โปรแกรม Pspice ที่ใช้วิเคราะห์ในวิทยานิพนธ์.....	59
ประวัติผู้เขียน.....	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่

หน้า

1. ตัวแปรของไบโพลาร์.....

37



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
1.1 เปรียบเทียบเวลาหน่วงระหว่าง CMOS และ BiCMOS.....	1
1.2 เปรียบกำลังงานที่ใช้กับเวลาหน่วงระหว่าง BiCMOS ,CMOS และวงจรถ่ายสัญญาณต่าง ๆ โดยใช้เทคโนโลยีที่ 2 μm	2
2.1 แสดงโครงสร้างของเอ็นแชนแนลเอ็นฮานสมেন্ট.....	4
2.2 สัญลักษณ์ของเอ็นแชนแนลและพีแชนแนล เอ็นฮานสมেন্টมอสเฟต.....	5
2.3 การเกิดย่านปลอดพาหะ (Depletion Region) ของเอ็นแชนแนลเอ็นฮานสมেন্টมอสเฟต...	6
2.4 แสดงชั้นอินเวชันในเอ็นแชนแนลเอ็นฮานสมেন্ট มอสเฟต.....	6
2.5 (ก.) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงลิเนียร์.....	7
2.5 (ข.) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงขอบของจุดอิ่มตัว(edge of Saturation)	7
2.5 (ค.) แสดงภาพตัดของ nMOS ทรานซิสเตอร์ช่วงอิ่มตัว (beyond Saturation).....	7
2.6 คุณลักษณะกระแสแรงดันของเอ็นแชนแนลมอสเฟตทรานซิสเตอร์.....	8
2.7 แสดงคุณลักษณะการไหลของกระแสแรงดันที่เกต.....	8
2.8 คุณลักษณะกระแสแรงดันของ n-channel MOS transistor โดยรวมผลของ Channel length modulation ด้วย.....	10
3.1 แสดงวงจรไบซิมอสอินเวอร์เตอร์พื้นฐาน.....	11
3.2 แสดงคุณลักษณะของไบซิมอสอินเวอร์เตอร์.....	12
3.3 วงจรสมมูลขณะเปลี่ยนสถานะจาก logic '0' ไปเป็น logic '1'.....	15
3.4 วงจรสมมูลช่วงขาขึ้น	16
3.5 วงจรไบซิมอสอินเวอร์เตอร์ทั่วไป.....	17
3.6 แสดงคุณลักษณะการถ่ายโอนแรงดันของวงจรไบซิมอสอินเวอร์เตอร์.....	18
3.7 แบบจำลองแรงดันเอาต์พุตของวงจรไบซิมอสอินเวอร์เตอร์ทั่วไปกับวงจรไบซิมอสที่โหลด 1 pF โดยแต่ละวงจรมีใช้พื้นที่เป็นซิลิกอนเท่ากัน.....	19
3.8 แสดงวงจรไบซิมอสอินเวอร์เตอร์ขณะเอาต์พุตถูกโหลด โดยแสดงเฉพาะส่วนที่เกี่ยวข้อง	19
3.9 วงจรสมมูลเพื่อวิเคราะห์เวลาหน่วงในช่วงขาขึ้น (pull up).....	20
3.10 แสดงการเปลี่ยนสถานะเวลาหน่วงขาขึ้น โดยแบ่งเป็น 3 ช่วงเวลา.....	21
3.11 วงจรไบซิมอสอินเวอร์เตอร์ช่วงขาลง(pull down).....	22
3.12 แสดงวงจรสมมูลของเวลาหน่วงช่วงขาลง(pull down).....	23
3.13 แสดงการหน่วงเวลาของวงจรไบซิมอสเปรียบเทียบกับพื้นที่ของอิมิตเตอร์.....	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.14 แสดงการเวลาหน่วงของวงจรไบซิมอส เมื่อเทียบกับขนาดของช่องทางเดินกระแส (W) ของ มอสทรานซิสเตอร์อินพุท.....	25
3.15 วงจรบูตแอสตรูปซิมอสอินเวอร์เตอร์.....	26
3.16 วงจรสมมูลย์ของวงจรบูตแอสตรูป.....	27
3.17 วงจรบูตแอสตรูปฟูลสวิงไบซิมอสอินเวอร์เตอร์.....	28
4.1 วงจรไบซิมอสไทรสเททบัฟเฟอร์.....	32
4.2 วงจรไบซิมอสไทรสเททบัฟเฟอร์แบบคอมพลิเมนทารี.....	33
4.3 วงจรบูตแอสตรูปไบซิมอสไทรสเททบัฟเฟอร์ความเร็วสูงใช้ไฟเลี้ยง1.5 โวลท์ที่นำเสนอ....	35
4.4 รูปสัญญาณเอาต์พุตทั้ง 3 วงจร เมื่อศักดาไฟเลี้ยงเท่ากับ1.5 โวลท์และโหลด คาปาซิแตนซ์เท่ากับ 1pF.....	38
4.5 รูปสัญญาณเอาต์พุตของวงจรบูตแอสตรูปไบซิมอสไทรสเททบัฟเฟอร์เทียบกับศักดาเบส ที่ศักดาไฟเลี้ยงเท่ากับ 1.5 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pF.....	38
4.6 แสดงการหน่วงเวลาเฉลี่ยขาขึ้นเมื่อศักดาไฟเลี้ยงเท่ากับ 1.5 โวลท์.....	39
4.7 แสดงการหน่วงเวลาเฉลี่ยขาลงเมื่อศักดาไฟเลี้ยงเท่ากับ 1.5 โวลท์.....	40
4.8 แสดงค่าการหน่วงเวลาขาขึ้นเมื่อ โหลดคาปาซิแตนซ์เท่ากับ 1 pF และทำการปรับ เปลี่ยนแรงดันไฟเลี้ยงวงจร	41
4.9 แสดงค่าการหน่วงเวลาขาขึ้นเมื่อขาลง โหลดคาปาซิแตนซ์เท่ากับ 1 pF และทำการปรับ เปลี่ยนแรงดันไฟเลี้ยงวงจร	41
4.10 รูปสัญญาณเอาต์พุตทั้ง 3 วงจร เมื่อศักดาไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลด คาปาซิแตนซ์ เท่ากับ 0.5 pF.....	42
4.11 รูปสัญญาณเอาต์พุตทั้ง 3 วงจร เมื่อศักดาไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลด คาปาซิแตนซ์เท่ากับ 1.5 pF.....	42
4.12 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อศักดาไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลด คาปาซิแตนซ์ เท่ากับ 2 pF.....	43
4.13 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อศักดาไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลด คาปาซิแตนซ์ เท่ากับ 2.5pF.....	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.14 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และโหลดคาปาซิแตนซ์ เท่ากับ 3 pF.....	44
4.15 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และโหลดคาปาซิแตนซ์ เท่ากับ 4 pF.....	44
4.16 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และโหลดคาปาซิแตนซ์เท่ากับ 5pF.....	45
4.17 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และโหลดคาปาซิแตนซ์เท่ากับ 6 pF.....	45
4.18 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1 โวลท์และ โหลดคาปาซิแตนซ์ เท่ากับ 1 pF.....	46
4.19 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.2 โวลท์และ โหลดคาปาซิแตนซ์ เท่ากับ 1 pF.....	46
4.20 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.4 โวลท์และ โหลดคาปาซิแตนซ์ เท่ากับ 1 pF.....	47
4.21 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.6 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pF.....	47
4.22 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.8 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pF.....	48
4.23 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 2 โวลท์และ โหลดคาปาซิแตนซ์ เท่ากับ1pF.....	48
4.24 รูปสัญญาณเอาต์พุตทั้ง3วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.5 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pF ที่ความถี่ 200 MHz.....	49
4.25 รูปสัญญาณเอาต์พุตทั้ง 3 วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pF ที่ความถี่ 400MHz.....	49
4.26 รูปสัญญาณเอาต์พุตทั้ง 3 วงจร เมื่อสัปดาห์ไฟเลี้ยงเท่ากับ1.5 โวลท์และ โหลดคาปาซิแตนซ์เท่ากับ 1 pFที่ความถี่ 500MHz.....	50
4.27 แสดงเวลาหน่วงกับค่า C_{boot} ที่คำนวณค่าต่างๆ.....	50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.28 แสดงเวลาหน่วงกับค่า C_{boot} ที่คำนวณและการแทนด้วย NMOS.....	51
4.29 แสดงกำลังงานที่ใช้ที่โหลด C_L 1pF – 5pF.....	52
5.1 วงจรเสนอแนะเพื่อให้การกวาดสัญญาณดีขึ้นทั้งขาขึ้นและขาลง.....	54
5.2 รูปสัญญาณของวงจรเสนอแนะและที่นำเสนอที่ 1 pF.....	54
5.3 รูปสัญญาณของวงจรเสนอแนะและที่นำเสนอที่ 3 pF.....	55



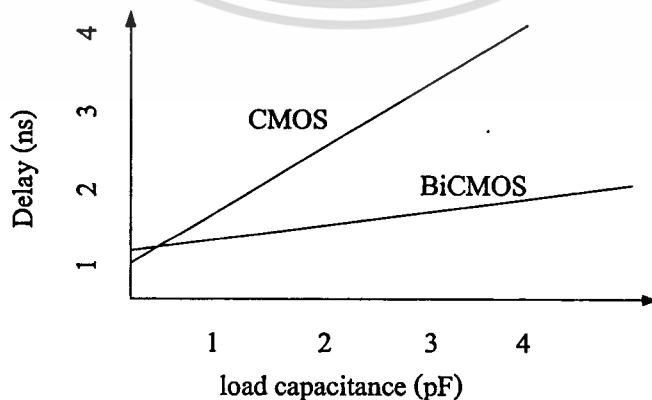
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

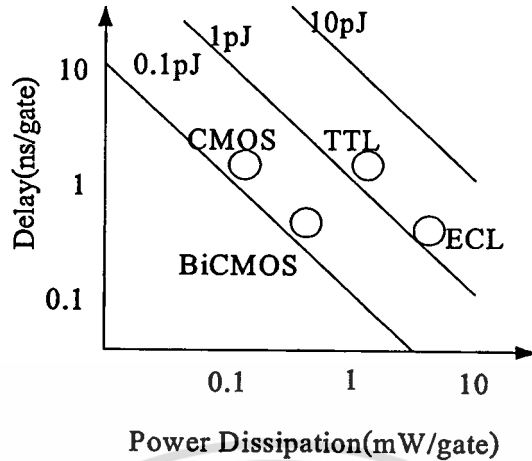
1.1 บทนำ

สาเหตุใหญ่ๆ ที่เป็นข้อจำกัดของวงจรมอส คือ ผลจากค่าคาปาซิแตนซ์ของวงจรการสร้างความเร็วของชิป ทำให้เกิดเวลาหน่วงของสัญญาณความเร็วของชิปถูกจำกัดโดยกระแสที่ขับโหลดคาปาซิแตนซ์เช่นเส้นสัญญาณที่ใช้ในหน่วยความจำแบบอะเรย์ หรือข้อมูลที่ใช้เชื่อมต่อระหว่างภาคของวงจรดิจิทัล ทำให้ต้องใช้กระแสขับเป็นจำนวนมาก เช่น ในวงจรมโครโปรเซสเซอร์ วงจรลอจิกเกตต่างๆ วงจรหน่วยความจำเป็นต้น ซึ่งต้องมีวงจรมอสที่ทำได้กระแสสูงขึ้นจนเพียงพอที่จะใช้ขับวงจร และต้องใช้วงจรเชื่อมต่อเป็นไตรสเตทซึ่ง จะให้ข้อมูลได้ขณะที่ต้องมีสัญญาณรบกวน โดยวงจรมอสไตรสเตทบัฟเฟอร์ จะให้เอาต์พุตเป็นได้ 3 สถานะ คือ 0 1 และเปิดวงจร โดยสถานะต่างๆ จะถูกควบคุม โดยขาควบคุมด้วยสัญญาณ 0 และ 1 เทคโนโลยีปัจจุบันการสร้างวงจร VLSI จะใช้การรวมกันระหว่างเทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ และทรานซิสเตอร์แบบมอสเฟต โดยอาศัยข้อดีของทรานซิสเตอร์แบบมอสเฟต คือ ใช้กำลังงานที่ต่ำและการป้องกันการรบกวน (Noise immunity) ที่สูง ส่วนข้อเสีย คือ การขับโหลดคาปาซิเตอร์ขนาดใหญ่ ดังกล่าว ส่วนข้อดีของไบโพลาร์ทรานซิสเตอร์ คือ สามารถรับโหลดคาปาซิเตอร์ขนาดใหญ่ได้ดี มีความเร็วในการทำงานสูงกว่า แต่ข้อจำกัดคือต้องใช้แหล่งจ่ายกระแสสูงๆ วงจรรวมขนาดใหญ่ (VLSI) จึงให้ความสนใจเทคโนโลยีไบชิโมส ในปัจจุบันเพื่อให้วงจรทางดิจิทัลมีความเร็วในการทำงานสูงและสามารถทำงานได้ที่ระดับไฟเลี้ยงวงจรมอสต่ำๆ ได้อย่างมีประสิทธิภาพ



รูปที่ 1.1 เปรียบเทียบเวลาหน่วงระหว่าง CMOS และ BiCMOS

เอกสารนี้เป็นเอกสารทบทวนวิชาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 เปรียบกำลังงานที่ใช้กับเวลาหน่วงของ BiCMOS, CMOS และวงจรถ่ายสัญญาณต่าง ๆ โดยใช้เทคโนโลยีที่ $2\ \mu\text{m}$

ด้วยเหตุผลดังกล่าว ในวิทยานิพนธ์นี้จึงได้ทำการพัฒนาวงจรถ่ายสัญญาณความเร็วสูงโดยใช้เทคโนโลยีไบซีเอ็มเอส (BiCMOS) ทำให้อุปกรณ์ทำงานที่ระดับไฟเลี้ยงต่ำและมีความเร็วในการทำงานสูง ได้อย่างมีประสิทธิภาพ

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

วงจรถ่ายสัญญาณไบซีเอ็มเอส เป็นวงจรถ่ายสัญญาณที่ใช้ในการขับสายโลหะที่ใช้เชื่อมต่อภายในวงจรรวมที่มีความยาว ใช้กับโหลดคาปาซิแตนซ์ที่มีค่าสูงๆ หรือใช้ในการเชื่อมต่อข้อมูลเข้ากับระบบบัสของวงจรถ่ายสัญญาณ โดยวงจรถ่ายสัญญาณไบซีเอ็มเอสได้ถูกนำเสนอขึ้น [2,3] เพื่อให้วงจรมีความเร็วในการทำงานมากขึ้นการออกแบบวงจรถ่ายสัญญาณ ในปัจจุบันจะให้ความสำคัญกับความเร็วในการทำงาน และการสิ้นเปลืองกำลังงานของวงจรถ่ายสัญญาณ เป็นหลัก วิธีการลดอัตราการสิ้นเปลืองพลังงานของวงจรถ่ายสัญญาณ สามารถทำได้โดยการลดระดับ ไฟเลี้ยงลงซึ่งจะทำให้ความสามารถในการขับสัญญาณของทรานซิสเตอร์ลดลง วงจรถ่ายสัญญาณไบซีเอ็มเอสที่นำเสนอมาทั้งสองวงจรถ่ายสัญญาณ ยังไม่สามารถทำงานที่ ไฟเลี้ยงต่ำๆ ได้อย่างมีประสิทธิภาพ และวงจรถ่ายสัญญาณไบซีเอ็มเอสแบบคอมพลิเมนต์ทารี ซึ่งจะมีค่าใช้จ่ายสูงในการผลิตเป็นวงจรรวมเทคนิคการออกแบบวงจรถ่ายสัญญาณไบซีเอ็มเอส ที่ ไฟเลี้ยงต่ำๆ ได้ถูกนำเสนอขึ้น [1,8] ด้วยเทคนิคการบูตแสตมป์ด้วยการใช้ ไฟที่ค่าระดับสูงๆ ขับไปที่ตัวขับด้านเอาต์พุตทำให้อุปกรณ์ไบซีเอ็มเอสมีการทำงานที่เร็วขึ้น และยังสามารถทำงานได้ที่ ไฟเลี้ยงต่ำๆ ได้อย่างมีประสิทธิภาพ มีความเร็วในการทำงานที่สูงกว่าวงจรถ่ายสัญญาณที่แนะนำเสนอมาก่อนที่โหลดคาปาซิแตนซ์ค่าสูงๆ และปรับปรุงให้สัญญาณด้านเอาต์พุตของวงจรถ่ายสัญญาณ สามารถสวิงได้เต็มย่าน ไฟเลี้ยงวงจรถ่ายสัญญาณยิ่งกว่าแบบก่อนส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 หลักการใหม่ในวิทยานิพนธ์

ในวิทยานิพนธ์นี้จะใช้วงจรชุดแอสตรูปไบซิมอสไตรสเททบัฟเฟอร์ โดยส่วนขับเคลื่อนเอาต์พุตใช้เทคโนโลยีไบโพลาร์แบบนอนคอมพลิเมนต์ารี ซึ่งทำให้การสร้างวงจรรวมทำได้ง่ายขึ้น วงจรสามารถทำงานได้เร็วกว่า วงจรที่นำเสนอมาก่อน [2,3] โดยใช้วงจรชุดแอสตรูป ในส่วนตัวขับเคลื่อนเอาต์พุตด้านขาขึ้น และยังทำให้สามารถทำงานได้ดีที่ค่าไฟเลี้ยงต่ำๆ เพียง 1.5 V ได้ ในส่วนวงจรควบคุมสัญญาณเอาต์พุตนั้น จะถูกออกแบบโดยใช้วงจรซิมอสปีอนสัญญาณกลับเข้ามาทำให้กวดสัญญาณได้สูงสุดถึงแหล่งจ่ายและต่ำสุดจนถึง 0 โวลต์ และซิมอสเนอร์เกท [3] ซึ่งสามารถทำให้วงจรชุดแอสตรูปไบซิมอสไตรสเททบัฟเฟอร์ที่นำเสนอมีความเร็วในการทำงานดีกว่าวงจรไบซิมอสไตรสเททบัฟเฟอร์แบบเก่าทั้งสอง และสามารถทำงานที่คิกคาไฟเลี้ยงต่ำเพียง 1.5 โวลต์ได้เป็นอย่างดี

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 5 บท

- บทที่ 1 จะเป็นการกล่าวถึงวัตถุประสงค์ในการทำวิทยานิพนธ์หลักการใหม่ในวิทยานิพนธ์ และรายละเอียดในวิทยานิพนธ์
- บทที่ 2 กล่าวถึงทฤษฎีการทำงานของมอสทรานซิสเตอร์ โครงสร้าง การทำงาน คุณสมบัติและการใช้งานทั่วไปของมอสทรานซิสเตอร์
- บทที่ 3 กล่าวถึงหลักการของการออกแบบวงจรไบซิมอสโลจิก เทคนิควิธีการชุดแอสตรูปวงจรซิมอส การทำงานของวงจรซิมอสชุดแอสตรูป [1]
- บทที่ 4 กล่าวถึงวงจรชุดแอสตรูปไบซิมอสไตรสเททบัฟเฟอร์ความเร็วสูง ไฟเลี้ยง 1.5 โวลต์ที่นำเสนอ วงจรไบซิมอสไตรสเททบัฟเฟอร์ [3] วงจรชุดแอสตรูปไบซิมอส ไตรสเททบัฟเฟอร์ [2] หลักการทำงานและการวิเคราะห์ห้วงจรที่นำเสนอ ผลการจำลองทำงานของวงจรด้วย PSpice
- บทที่ 5 เป็นการสรุปรายละเอียดต่างๆ และข้อเสนอแนะเพื่อเป็นแนวทางพัฒนาต่อไป

บทที่ 2

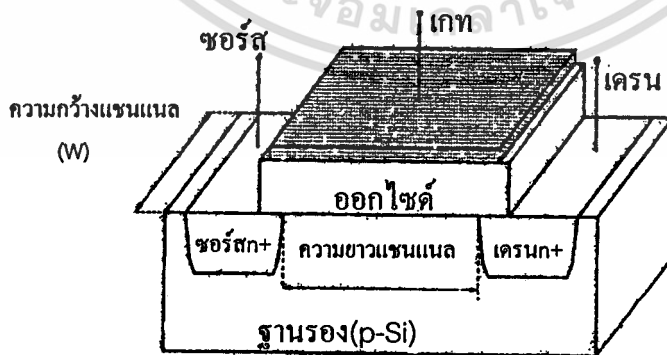
ทฤษฎีของมอสทรานซิสเตอร์

2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟท (MOSFET) มาจากคำว่า MOS Field Effect Transistor เป็นพื้นฐานสำคัญของมอสและซีมอส ในการสร้างวงจรรวมดิจิทัลซึ่งเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์แล้ว มอสทรานซิสเตอร์จะมีขนาดของซิลิกอนที่ใช้เล็กกว่าและผลิตด้วยขั้นตอนที่ยุงยากน้อยกว่า โดยมอสทรานซิสเตอร์จะใช้แพร่หลายในการผลิตอุปกรณ์สวิตช์ในวงจรร LSI และ VLSI อย่างมาก โครงสร้างพื้นฐานของมอสทรานซิสเตอร์ ได้แก่ nMOS (เอ็น-แชลแนลมอส) และ pMOS (พี-แชลแนลมอส) เอ็นมอสจะเป็นอุปกรณ์หลักในการใช้งานเป็นสวิตช์ซึ่ง ส่วนพีมอสจะใช้ร่วมกับเอ็นมอสในวงจรรวมซีมอส อย่างไรก็ตามการทำงานพื้นฐานของเอ็นมอสและพีมอสจะคล้ายกันมาก โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะได้กล่าวรายละเอียดต่อไป

2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสเฟทเป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่ง การทำงานใช้การควบคุมด้วยสนามไฟฟ้า (Field Effect Devices) สามารถแบ่งตามโครงสร้างได้ 2 แบบ คือ เอ็น แชลแนลมอสทรานซิสเตอร์ และ พี แชลแนลมอสทรานซิสเตอร์ โดยแต่ละชนิดยังแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ แบบเอ็นฮานสมেন্ট (Enhancement) และดีพลีชัน (Depletion) มอสทรานซิสเตอร์ โดยในวิทยานิพนธ์นี้ใช้มอสทรานซิสเตอร์แบบเอ็นฮานสมেন্ট ดังนั้น จึงจะกล่าวถึงมอสทรานซิสเตอร์ประเภทนี้เท่านั้น



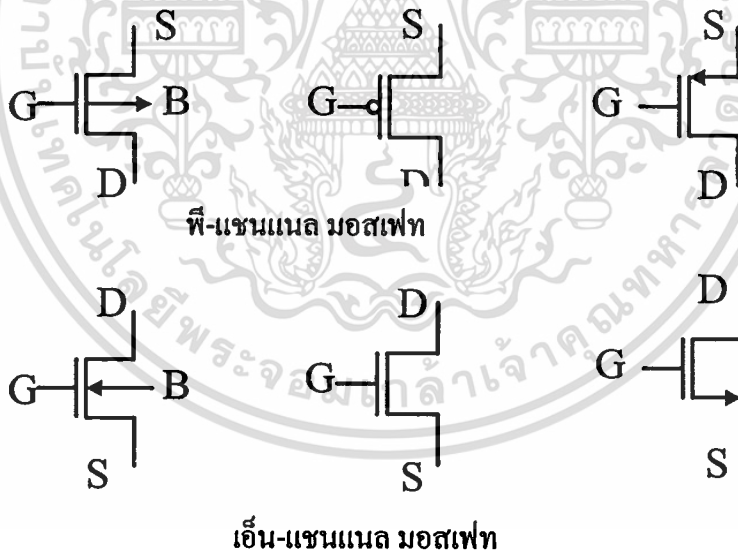
รูปที่ 2.1 แสดงโครงสร้างของเอ็นแชลแนล เอ็นฮานสมท์มอสเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.1 เป็นโครงสร้างของมอสเฟตแบบเอ็นชานเม้นท์ชนิด เอ็น-แชนแนล (N-Channel) ประกอบด้วยฐานรองเป็นแบบพี (P-type substrate) ความหนาแน่นน้อย (Lightly Dope) มีอิเล็กโทรดบริเวณเดรน (Drain) และซอร์ส (Source) ต่อกับบริเวณที่ทำการเคมสารเจือชนิด N ความหนาแน่นสูงเข้าไปในฐานรอง แต่จะไม่เชื่อมต่อกันดังรูป แล้วทำการเคลือบสารซิลิกอนไดออกไซด์ (SiO_2) ซึ่งคุณสมบัติเป็นฉนวนลงบนฐานรอง แล้วทำการต่ออิเล็กโทรดที่เป็นโลหะเข้าที่ขั้วเกต (Gate) โดยช่องทางเดินกระแสจะอยู่ระหว่างซอสกับเดรน โดยมีช่วงความยาว (Channel Length) เป็น L และความกว้าง (Channel Width) เป็น W ส่วนมอสเฟตแบบเอ็นชานเม้นท์ แบบพี-แชนแนล พื้นจะมีโครงสร้างสลับกัน คือ ฐานรองเป็นเอ็นซัพสเทคความหนาแน่นน้อย ส่วนเดรนและซอสเป็นสารกึ่งตัวนำชนิดพีที่ความหนาแน่นสูงแพร่อยู่แทน

โดยปกติเราจะใช้งานมอสทรานซิสเตอร์ด้วยกัน 3 ขา คือ ขาเดรน เกต และซอร์ส ส่วนขาที่ 4 คือ ขาบัลค์ (Bulk) คือ ขาที่ต่อจากฐานรอง (Substrate) จะถูกใช้ในการกำหนดค่าแรงดันเทรชโวลต์ ที่เป็นค่าคงที่ ซึ่งปกติจะต่อขาบัลค์ เข้ากับขาซอร์ส เพื่อใช้ผลของแรงดันเทรชโวลต์มีค่าที่ต่ำที่สุดเท่ากับ V_{T0}

สัญลักษณ์ของมอสทรานซิสเตอร์จะมีลักษณะต่างๆดังรูป



รูปที่ 2.2 สัญลักษณ์ของเอ็น-แชนแนล และพี-แชนแนล เอ็นชานเม้นท์มอสเฟต

จากสัญลักษณ์สามารถจำแนกได้ว่าเป็นมอสทรานซิสเตอร์ประเภทใด โดยดูที่หัวลูกศรและขาของมอสเฟต โดยพิจารณา ดังนี้

4 ขา มอสทรานซิสเตอร์ หัวลูกศรขาบัลค์ชี้เข้าหาฐานรองเป็น เอ็น-แชนแนลมอสเฟต

4 ขา มอสทรานซิสเตอร์ หัวลูกศรขาบัลค์ชี้ออกจากฐานรองเป็น พี-แชนแนลมอสเฟต

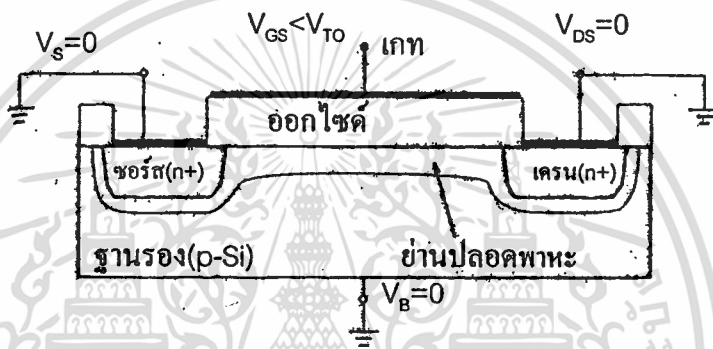
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ขา มอสเฟต หัวลูกศรชี้เข้าฐานรองเป็น พี-เซลล์แนลมอสเฟต

3 ขา มอสเฟต หัวลูกศรชี้ออกจากฐานรองเป็น เอ็น-เซลล์แนลมอสเฟต

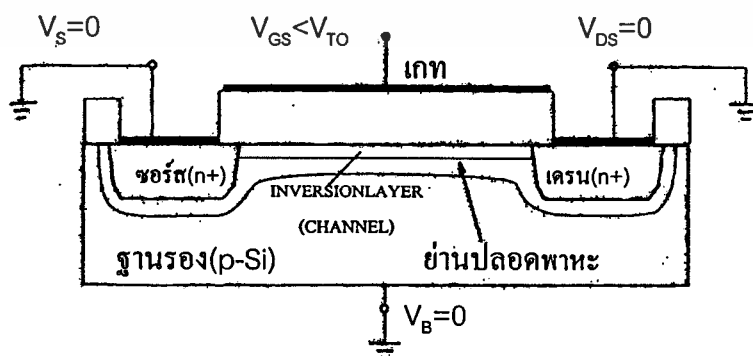
2.3 การทำงานของมอสทรานซิสเตอร์

จากโครงสร้างของเอ็น-เซลล์แนล เอ็นฮานสมท์มอสทรานซิสเตอร์ รูป 2.3 สามารถเขียนอธิบายการทำงานของมอสเฟตได้โดยการควบคุมกระแสที่ไหลในช่องทางเดินกระแสระหว่างเดรนกับซอร์สของมอสเฟตนั้น จะทำได้โดยการป้อนแรงดันไฟฟ้าเข้าที่เกทของมอสทรานซิสเตอร์ ทำให้เกิดสนามไฟฟ้าบังคับปริมาณของกระแส และปริมาณของกระแสที่ไหลยังถูกควบคุมโดยความต่างศักย์ระหว่างเดรน ซอร์ส และฐานรองอีกด้วย



รูปที่ 2.3 การเกิดย่านปลอดพาหะ (Depletion Region) ของเอ็น-เซลล์แนล เอ็นฮานสมท์ มอสเฟต

จากรูปที่ 2.3 เป็นการให้ไบอัสแก่ เอ็น-เซลล์แนล เอ็นฮานสมท์มอสเฟต โดยขาเดรน ซอร์ส และขาบัลค์ต่อกับกราวด์ โดยให้ขาเกทมีศักดาเป็นบวกเมื่อเทียบกับซอร์ส (V_{GS}) ถ้าค่าศักดาไฟฟ้า V_{GS} มีค่าต่ำหรือ $V_{GS} < V_{TO}$ คือ น้อยกว่าค่าเทรชโฮลของมอสเฟต โฮลที่เป็นประจุข้างมาก (Majority Carrier) จะถูกผลักลงไปฐานรองทำให้ช่องทางเดินกระแสระหว่างเดรนกับซอร์ส เกิดย่านปลอดพาหะ (Depletion Region) ดังนั้นก็จะไม่มีกระแสไหลระหว่างเดรนกับซอร์ส



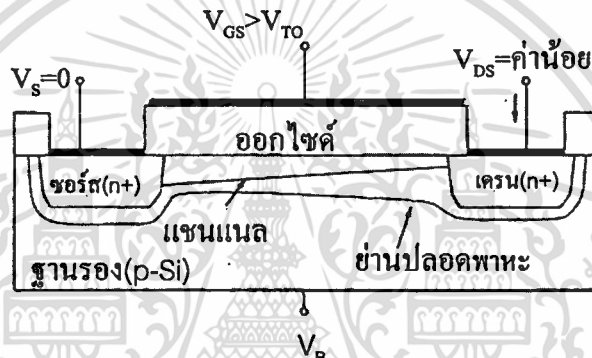
รูปที่ 2.4 แสดงชั้นอินเวชันชันใน เอ็น-เซลล์แนล เอ็นฮานสมท์มอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

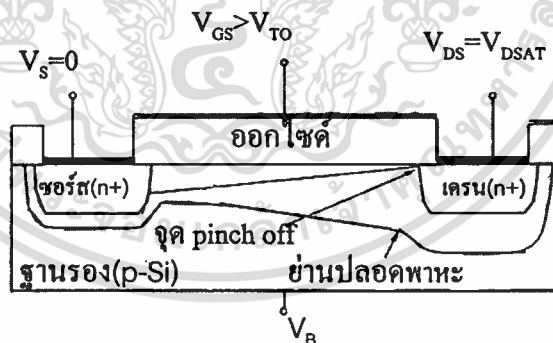
จากรูปที่ 2.4 ถ้าให้ไบอัสที่เท่ากับขอร์สค่าเป็นบวกมากขึ้น จนมากกว่าค่าแรงดันเทรชโฮลด์ (Threshold Voltage, V_{TO}) ศักคาที่เกตจะทำกรดึงอิเล็กตรอนจากฐานรองเข้ามายังช่องทางเดินกระแส สร้างเป็นอินเวสชันชั้นเลเยอร์ (Inversion Layer) จะทำให้เกิดเป็นช่องทางเดินของกระแสไฟฟ้าจากเดรนไปยังขอร์สโดยปริมาณกระแสจะขึ้นอยู่กับค่าศักคาไฟฟ้าที่ป้อนระหว่างเดรนกับขอร์ส โดยถ้าให้ศักคาที่เดรนเป็นบวกเมื่อเทียบกับขอร์สเพียงเล็กน้อย ($V_{DS} > 0$) ก็จะมีกระแสไหลจากเดรนไปยังขอร์สทันที กระแสจากเดรนจะไหลสูงสุดเมื่อ $V_{DS} = V_{GS} - V_{TO}$ และจะคงที่ตลอดแม้ว่าจะเพิ่มศักคาระหว่างเดรนกับขอร์สให้มากกว่านี้ก็ตาม

2.4 คุณสมบัติและการทำงานทั่วไปของมอสทรานซิสเตอร์

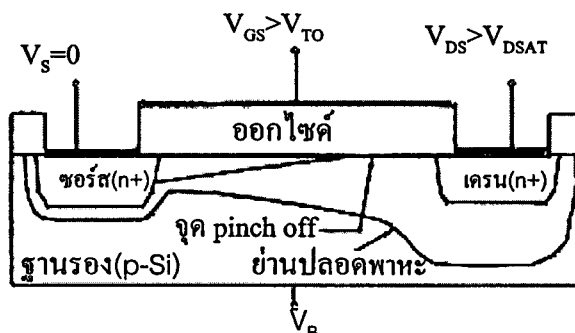
ในการจะนำมอสทรานซิสเตอร์ไปใช้งานนั้น จำเป็นจะต้องมีจุดทำงานที่เหมาะสมดังรูปที่ 2.5



รูปที่ 2.5 (ก) แสดงภาพตัดขวางของ nMOS ทรานซิสเตอร์ช่วงลิเนียร์



รูปที่ 2.5 (ข) แสดงภาพตัดขวางของ nMOS ทรานซิสเตอร์ช่วงขอบของจุดอิ่มตัว (edge of Saturation)

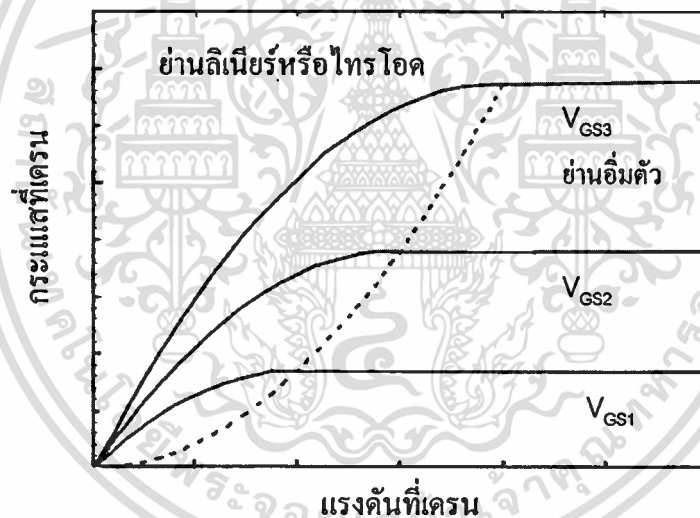


รูปที่ 2.5 (ค) แสดงภาพตัดขวางของ nMOS ทรานซิสเตอร์ช่วงอิ่มตัว (beyond Saturation)

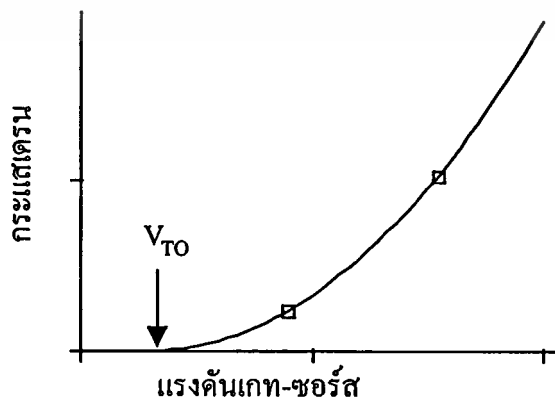
รูปที่ 2.5 (ก) โดยการป้อนแรงดันที่เกตเป็น $V_G > V_{TO}$ และแรงดันที่เดรนเป็น $V_{DS} < V_{GS} - V_T$ ทำให้เกิดความต่างศักย์ระหว่างขาเดรนและซอร์ส ผลทำให้มีกระแสเดรนไหลผ่านช่องทางเดินกระแสจากเดรนไปยังซอร์ส โดยมีลักษณะเป็นเชิงเส้น (Linear)

รูปที่ 2.5 (ข) เมื่อเพิ่มแรงดันที่เดรนเทียบซอร์สเป็น $V_D = V_{DSAT}$ โดยคงค่าแรงดันที่เกตไว้ $V_{GS} > V_{TO}$ จะพบว่าช่องทางเดินกระแสจะเริ่มเปลี่ยนไปโดยจะมีลักษณะลาดเอียง ไปทางส่วนของเดรน ซึ่งทำให้ช่องทางเดินกระแสที่เดรนแคบขึ้นเรื่อยๆ จนถึงจุดๆ หนึ่งซึ่งเรียกว่า จุดพินช์ออฟ (pinch-off Point) โดยจะมีค่า $V_{GS} - V_{DS} = V_{TO}$

รูปที่ 2.5 (ค) เมื่อเพิ่มค่าแรงดัน V_{DS} ขึ้นไปอีกคือ $V_{DS} > V_{DSAT}$ หรือ $V_{DS} > V_{GS} - V_{TO}$ ผลทำให้แรงดันที่คร่อมช่องทางเดินกระแสที่ด้านเดรน $V_{GS} - V_T$ ทำให้เกิดสภาวะพินช์ออฟมากขึ้น จนทำให้ช่องทางเดินของกระแสขาดออกบริเวณด้านเดรน เพราะไม่มีสนามไฟฟ้ามาทำให้อิเล็กตรอนเคลื่อนเข้ามาสะสม แต่ยังมีกระแสไหลอยู่เนื่องจากการแพร่กระแส (Diffusion Current) โดยเสมือนเป็นแหล่งจ่ายกระแสที่มีค่าคงที่ แม้ว่าเพิ่มแรงดันที่เดรนให้มากขึ้นอีกก็ตาม



รูปที่ 2.6 คุณสมบัติกระแสแรงดันของเอ็นแชนแนลเมอสเฟทรานซิสเตอร์



รูปที่ 2.7 แสดงคุณสมบัติการไหลของกระแสเดรน-แรงดันที่เกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากลักษณะการไหลของกระแสดังกล่าวข้างต้นทำให้สามารถนำมาเขียนเป็นคุณลักษณะของมอสเฟตได้ดังรูป 2.6 ซึ่งประกอบด้วย

ช่วงแรก เรียกว่าช่วงคัทออฟ (Cutoff region)

$$I_D = 0, \quad \text{เมื่อ} \quad V_{GS} < V_T \quad (2.1)$$

มอสเฟตไม่ทำงานไม่มีกระแสครนไหล

ช่วงที่สอง $V_{GS} \geq V_T$ และ $V_{DS} < V_{GS} - V_T$ เรียกว่าช่วงลิเนียร์ หรือย่านไตรโอด (Linear Region หรือ Triode Region) มอสทรานซิสเตอร์นำกระแสโดยสมการจะเป็น

$$I_{D(\text{lin})} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.2)$$

ช่วงนี้อาจจะเรียกอีกชื่อหนึ่ง ได้แก่ ช่วงไม่อิ่มตัว (Non - Saturation Region) โดยที่ขณะมีแรงดันระหว่างครนกับซอร์สมีน้อยๆ ($V_{DS} < V_{GS} - V_T$) กระแสครน (I_D) จะมีลักษณะเป็นเชิงเส้นดังรูป 2.6 เส้นกราฟจะโค้งมนขึ้นเมื่อแรงดัน V_{DS} เพิ่มขึ้น ซึ่งเป็นผลมาจากความต้านทานช่วงบริเวณช่องทางเดินของกระแสที่จะมีลักษณะอิ่มตัว ในขณะที่เพิ่มแรงดัน V_{DS} โดยรูปร่างของช่องทางเดินกระแสจะมีลักษณะลาดเอียงและบริเวณที่ใกล้กับส่วนของครนจะมีขนาดเล็ก

ช่วงที่สาม เรียกว่าช่วงอิ่มตัว หรือ Saturation Region) โดยสมการจะเป็นดังนี้

$$I_{D(\text{sat})} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.3)$$

$$\text{เมื่อ } V_{GS} \geq V_T \text{ และ } V_{DS} \geq V_{GS} - V_T$$

ส่วนสมการระหว่างกระแสและแรงดันของ p-channel MOSFET มีดังนี้

$$I_D = 0, \quad \text{เมื่อ} \quad V_{GS} > V_T \quad (2.4)$$

$$I_D(\text{lin}) = \frac{\mu_p C_{ox}}{2} \cdot \frac{W}{L} \cdot [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.5)$$

เมื่อ $V_{GS} < V_T$ และ $V_{DS} > V_{GS} - V_T$

$$I_D(\text{sat}) = \frac{\mu_p C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (2.6)$$

เมื่อ $V_{GS} \leq V_T$ และ $V_{DS} \leq V_{GS} - V_T$

$$\epsilon_{ox} = \text{ค่าคงที่ของ SiO}_2 \text{ ซึ่งเท่ากับ } (3.97)(8.85)(10^{-4}) \text{ F/cm}$$

โดยที่ I_D = กระแสครน

V_{GS} = แรงดันระหว่างเกตกับซอร์ส

V_{DS} = แรงดันระหว่างครนกับซอร์ส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

W= ความกว้างของแชนแนล

L= ความยาวของแชนแนล

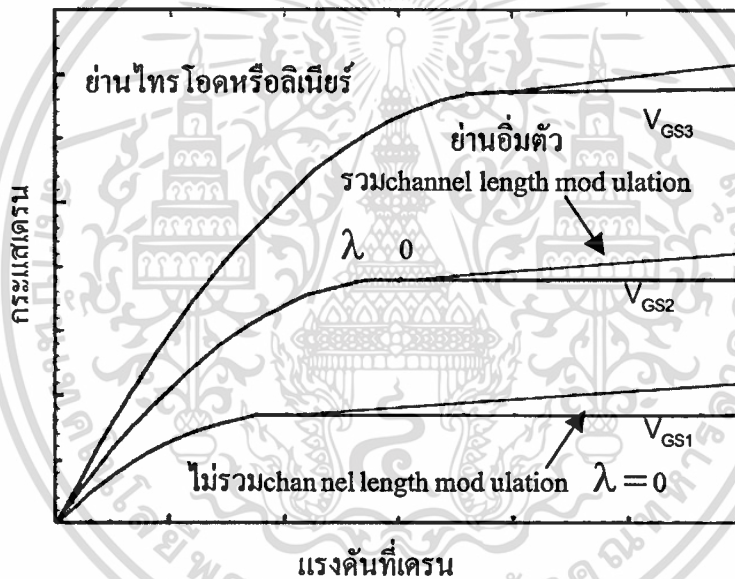
$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} = \text{ค่าความจุต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ที่กั้นระหว่างเกตกับแชนแนล}$$

V_T = แรงดันเทรชโฮลของมอสเฟต

λ = แชนแนลเลนจัมอดูเลชันพารามิเตอร์ (Channel Length Modulation Parameter)

T_{ox} = ความหนาของเกตออกไซด์

จากรูปที่ 2.6 เมื่อแรงดัน V_{DS} ถึงจุดพินช์ออฟ ผลจะทำให้กระแสเดรนจะไหลค่อนข้างคงที่ ทั้งนี้เนื่องจากผลของแชนแนลเลนจัมอดูเลชัน พารามิเตอร์ ด้วยแต่ในทางปฏิบัติจะตัดค่า λ นี้ทิ้งเพื่อให้ง่ายต่อการคำนวณ จึงถือว่ากระแสจะอิมิตัวคงที่หรือความความชันของกระแสเดรนเป็นศูนย์



รูปที่ 2.8 แสดงคุณลักษณะกระแส-แรงดันของ n-channel MOS transistor โดยรวมผลของ channel length modulation ด้วย

2.5 สรุป

ที่กล่าวในบทนี้ เป็นการอธิบายโครงสร้างการทำงานของมอสทรานซิสเตอร์แบบเอ็นชานแนล เป็นส่วนใหญ่ เนื่องจากเป็นอุปกรณ์สารกึ่งตัวนำที่ใช้ในวิทยานิพนธ์ฉบับนี้ โดยใช้มอสทรานซิสเตอร์แบบเอ็นแชนแนลเป็นหลัก จากโครงสร้างต่อมาอธิบายลักษณะการไหลของกระแสจากเดรนไปซอร์ส ว่ามีกลไกอย่างไร การเกิดช่องทางเดินกระแส (Inversion Layer) กระแสในช่วงคัทออฟ ช่วงโทรโอด และช่วงอิมิตัว โดยแต่ละช่วงก็จะทำให้กระแสเดรนมีฟังก์ชันที่แตกต่างกันออกไป ดังนั้นในการออกแบบจะต้องพิจารณาถึงจุดทำงานทั้งสามกรณีของ กระแสเดรน เพื่อให้การออกแบบวงจรเพื่อใช้งานมีประสิทธิภาพสูงสุดด้วย

บทที่ 3

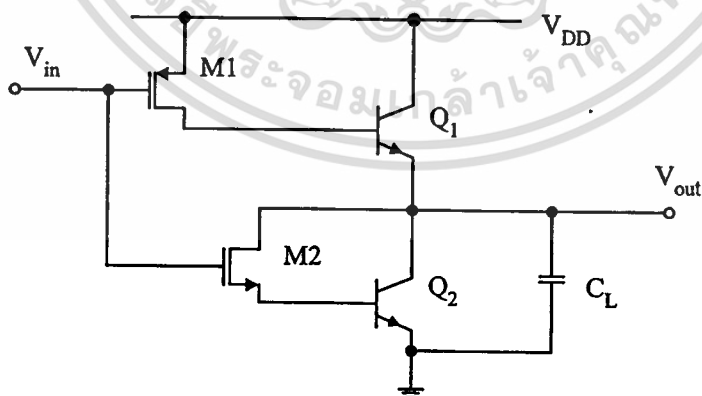
ทฤษฎีของวงจรวอร์ไบซิมอสโลจิก

3.1 บทนำ

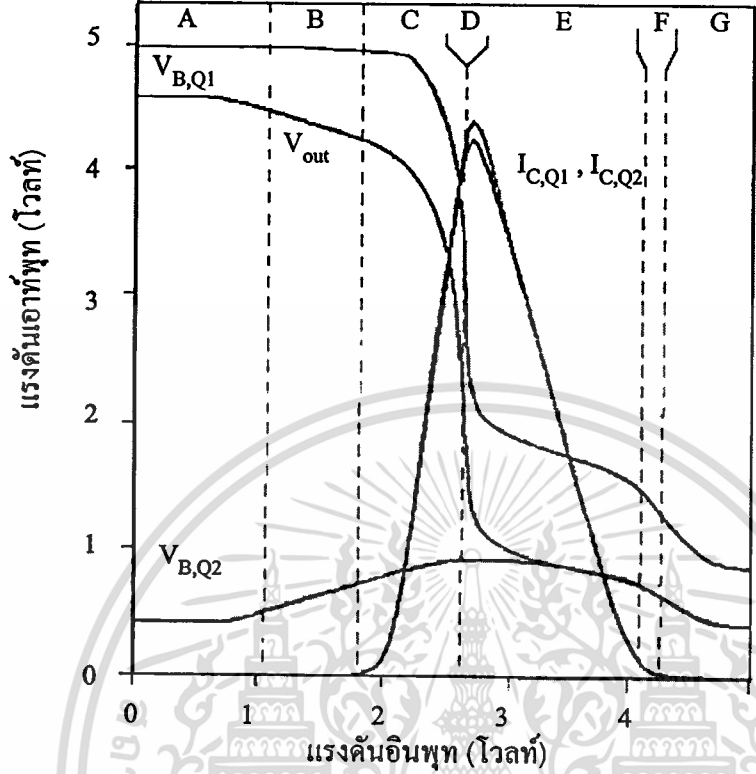
วงจรวอร์ไบซิมอสโลจิก เป็นวงจรถูกกำลังพัฒนาและได้รับความสนใจอย่างมากในปัจจุบัน โดยมีแนวทางการวิจัยพัฒนาไปในทางที่จะให้ได้อุปกรณ์และวงจรถูกสามารถใช้งานได้ที่ความเร็วสูงๆ โดยใช้กำลังงานไฟฟ้า (Power Dissipation) ต่ำๆ ในการพัฒนาระบบแรกๆ นั้น ใช้วิธีการเพิ่มอุปกรณ์ไบโพลาร์ภายใต้เทคโนโลยีการผลิตอุปกรณ์ซิมอส ซึ่งผลก็ทำให้ได้วงจรถูกที่มีความเร็วสูง แต่วงจรถูกที่ได้ก็มีขนาดใหญ่มีการสูญเสียกำลังงานไฟฟ้าสูงจึงไม่นิยมแพร่หลาย อีกวิธีหนึ่งคือ ขบวนการผลิตจะใช้เทคโนโลยีซิมอสเป็นหลัก แล้วสร้างอุปกรณ์ไบโพลาร์เพิ่มเข้าไป เนื้อหาในบทนี้จะแสดงการทำงานของวงจรวอร์ไบซิมอสดีคิตอลพื้นฐาน แนวทางการพัฒนาของวงจรวอร์ไบซิมอสโลจิก วิธีการบดแสดรปวงจรถูกและการทำงานของวงจรวอร์ไบซิมอส [2]

3.2 หลักการเบื้องต้น

วงจรวอร์ไบซิมอสอินเวอร์สเตอร์ เป็นวงจรถูกพื้นฐานของการทำความเข้าใจเพื่อสามารถใช้เป็นแนวทางในการพัฒนาวงจรถูกอื่นๆ ต่อไป โดยจะพิจารณาในสองแง่มุมคือ คุณสมบัติของวงจรถูกต่อสัญญาณไฟฟระแสดรูก (Voltage Transfer Characteristics) และคุณสมบัติในการสวิทช์ของวงจรถูก คุณสมบัติของวงจรถูกต่อสัญญาณไฟฟตรงของวงจรวอร์ไบซิมอสอินเวอร์สเตอร์



รูปที่ 3.1 แสดรูกวงจรวอร์ไบซิมอสอินเวอร์สเตอร์พื้นฐาน



รูปที่ 3.2 แสดงคุณลักษณะของไบซีมอสอินเวอร์สเตอร์

จากรูปที่ 3.1 แสดงวงจรไบซีมอสอินเวอร์สเตอร์พื้นฐาน ซึ่งจากวงจรจะมีคุณลักษณะการทำงานดังแสดงในรูป 3.2 ซึ่งสามารถแบ่งขั้นตอนการทำงานออกเป็น 7 ช่วง คือ ช่วง A – ช่วง G ซึ่งจะได้อธิบายต่อไป จากรูป 3.1 วงจรเอาต์พุตถือเป็นแบบนอนคอมพลีเมนทารี โดยพารามิเตอร์ของ Q_1 เท่ากับ Q_2 ดังนั้นจะได้ว่า

$$I_{C,Q1} = I_{C,Q2} \tag{3.1}$$

$$V_{BE,Q1} = V_{BE,Q2} \tag{3.2}$$

จากกฎวงจรแบ่งแรงดันของเคอร์ซอพสามารถเขียนสมการของแรงดันเอาต์พุต V_{out} ได้ว่า

$$V_{out} = V_{B,Q1} - V_{BE,Q1} \tag{3.3}$$

แทนค่าสมการ 3.2 ลงใน 3.3 จะได้ว่า

$$V_{out} = V_{B,Q1} - V_{BE,Q2} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ช่วงการทำงาน A พิจารณาเมื่อ $V_{in} < (V_{BE,Q2} - V_{T,n})$

ช่วงนี้เอ็นมอสทรานซิสเตอร์ M2 ไม่ทำงานเนื่องจากได้รับศักดาที่เกตเป็น 0 ทำให้ Q_2 ไม่ทำงานทำให้ $I_{C,Q2} \approx 0$ ด้วย และเนื่องจาก $I_{C,Q1} = I_{C,Q2}$ ดังนั้น ทำให้ Q_1 ไม่ทำงานตามไปด้วย แต่ที่มอสทรานซิสเตอร์ M1 ทำงานทำให้แรงดันระหว่างเดรนกับซอร์สของ M1 $\approx 0V$ เนื่องจากมีกระแสเดรนของ M1 แรงดันที่เบสและอิมิตเตอร์ของ Q_1 จะมีค่าประมาณ 0.4 V ดังนั้นถ้า $V_{DD} = 5V$

จะได้แรงดันเอาต์พุต

$$\begin{aligned} V_{OUT} &= V_{DD} - V_{BE,Q1} \\ &\approx 5V - 0.4V \\ &\approx 4.6V \end{aligned}$$

2. ช่วงการทำงาน B พิจารณาเมื่อ $(V_{BE,Q2} + V_{TN}) < V_{in} < (V_{BE,ON} + V_{TN})$

ช่วงนี้เอ็นมอสทรานซิสเตอร์ M2 เริ่มทำงานเนื่องจากผลของกระแสทรานซิสล้อย่อย (Sub threshold Current) ขณะที่พีมอสทรานซิสเตอร์ M1 ก็ยังคงทำงาน ทรานซิสเตอร์ไบโพลาร์ Q_1 และ Q_2 ยังไม่ทำงานเนื่องจาก V_{BE} ของ Q_2 ยังไม่ถึงจุดทำงาน ผลของการทำงานของ M1 และ M2 ที่เพิ่งเริ่มทำงานทำให้เส้นกราฟแสดงคุณลักษณะของแรงดันเอาต์พุต V_{out} เริ่มลาดเอียงลง

3. ช่วงการทำงาน C พิจารณาเมื่อ $(V_{BE,on} + V_{T,n}) < V_{in} < V_{inv}$

การทำงานช่วงนี้พีมอสและเอ็นมอสทรานซิสเตอร์ทำงานทั้งคู่ผลทำให้ไบโพลาร์ทรานซิสเตอร์ Q_2 ทำงานเนื่องจากแรงดันไบอัสระหว่างเบสและอิมิตเตอร์ของ Q_2 ถึงจุดทำงานทำให้เกิดกระแส $I_{C,Q2}$ ผลการทำงานของ Q_2 ทำให้ Q_1 ทำงานตามไปด้วยจากสมการ $I_{C,Q1} = I_{C,Q2}$ ดังแสดงในกราฟคุณลักษณะของ V_{out} ซึ่งตกลงอย่างรวดเร็ว

4. ช่วงการทำงาน D พิจารณาเมื่อ $V_{in} = V_{inv}$ ช่วงนี้แรงดันอินพุตเข้าใกล้ $\frac{V_{DD}}{2}$ มอสทรานซิสเตอร์เอ็นมอสและพีมอสยังคงทำงาน ไบโพลาร์ทรานซิสเตอร์ Q_1 และ Q_2 ทำงานในช่วงอิมิตต์วคั้งนั้นกระแสของทรานซิสเตอร์เอ็นมอสและพีมอสเท่ากัน นั่นคือ $I_{D,p} = I_{D,n}$ แรงดันเอาต์พุตจะตกลงจากประมาณ V_{DD} ไปเป็นเข้าใกล้ 0 อย่างรวดเร็วจาก Logic '1' ไป Logic '0' จึงเรียกจุดนี้ว่าจุดกลับสัญญาณ (Inversion point) และจะได้สมการ

$$W_p K_p C_{ox,p} (V_{DD} - V_{in} - |V_{T,p}|) = W_n K_n C_{ox,n} (V_{in} - V_{BE,on} - |V_{T,n}|) \quad (3.5)$$

โดยที่ถ้าความหนาของเกตออกไซด์มีค่าเท่ากันแรงดันที่จุดนี้จะมีค่าเป็น

$$V_{inv} = \frac{V_{DD} |V_{T,p}| + \frac{K_n W_n}{K_p W_p} (V_{BE,on} + V_{T,n})}{1 + \frac{K_n W_n}{K_p W_p}} = V_{in} \quad (3.6)$$

โดยที่ I_D คือ กระแสเดรนของมอสทรานซิสเตอร์

W คือ ความกว้างของมอสทรานซิสเตอร์

K คือ ค่ากระแสอิ่มตัวของมอสทรานซิสเตอร์

C_{ox} คือ เกทคาปาซิแตนซ์ของมอสทรานซิสเตอร์

V_T คือ แรงดันเทรชโฮลของมอสทรานซิสเตอร์

5. ช่วงการทำงาน E พิจารณาเมื่อ $V_{inv} < V_{in} < (V_{DD} - V_{T,p})$

ช่วงนี้แรงดันอินพุต V_{in} มากกว่า $\frac{V_{DD}}{2}$ ที่มอสทรานซิสเตอร์เริ่มนำกระแสลดลง เนื่องจากเริ่มเป็นรีเวสไบอัสส่วนเอ็นมอสทรานซิสเตอร์ M2 ได้รับแรงดันที่เกทเป็นฟอร์เวสไบอัส ดังนั้นแรงดันเอาต์พุต V_{out} จะลดลงเข้าใกล้ 0 และผลของ M1 ทรานซิสเตอร์ทำให้ $I_{C,Q1}$ และ $I_{C,Q2}$ ลดลงดังรูป 3.2

6. ช่วงการทำงาน F พิจารณาเมื่อ $(V_{DD} - |V_{T,p}|) < V_{in} < (V_{DD} - V_{BE,on})$

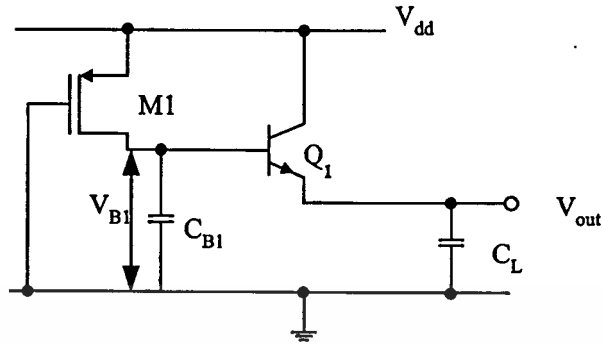
ช่วงนี้เอ็นมอสทรานซิสเตอร์ได้ศักดาที่เกทเป็นฟอร์เวสไบอัส แต่ที่มอสทรานซิสเตอร์ M1 มีศักดาที่เกทเป็นรีเวสไบอัสทำให้ M1 เริ่มไม่ทำงานทำให้ไบโพลาร์ทรานซิสเตอร์ Q_1 และ Q_2 ไม่ทำงานจึงเป็นจุดเปลี่ยนให้ $I_{C,Q1}$ และ $I_{C,Q2}$ ลดลงเป็น 0 แรงดันเอาต์พุต V_{out} ลดลงต่ำอีก

7. ช่วงการทำงาน G พิจารณาเมื่อ $V_{in} > (V_{DD} - V_{BE,on})$

เป็นช่วงที่ที่มอสทรานซิสเตอร์ M1 ซึ่งทำงานทำให้ไบโพลาร์ทรานซิสเตอร์ Q_1 และ Q_2 ไม่ทำงาน กระแส $I_{C,Q1}$ และ $I_{C,Q2} = 0$ เอ็นมอสทรานซิสเตอร์ M2 ทำงาน ดังนั้นแรงดันเอาต์พุต $V_{out} = V_{C,Q2}$ กล่าวคือ ประมาณ 0V

คุณลักษณะในการสวิตช์ของวงจรไบซีมอสอินเวอร์สเตอร์

จากรูปที่ 3.1 สามารถเขียนใหม่เพื่อพิจารณาเมื่อ V_{in} เปลี่ยนสถานะจาก Logic '1' ไปยัง Logic '0' และทำให้ V_{out} เปลี่ยนสถานะจาก Logic '0' ไปเป็น Logic '1' ดังรูป



รูปที่ 3.3 วงจรสมมูลย์ขณะเปลี่ยนสถานะจากโลจิก '0' ไปโลจิก '1'

ด้วยความสามารถของไบโพลาร์ทรานซิสเตอร์ที่นำกระแสได้สูงถึงมิลลิแอมป์ ทำให้การทำงานในแบบสวิตช์มีความเร็วสูง การพิจารณาจะแบ่งเป็น 3 ช่วง ได้แก่ t_1 , t_2 และ t_3

ในช่วง t_1 ช่วงนี้เกทเริ่มได้รับศักย์เป็น Logic '0' ทำให้พินออสทรานซิสเตอร์ M1 ทำงานทำให้คาปาซิเตอร์ C_B เริ่มเก็บประจุซึ่งจะเป็นค่าแรงดันที่ทำให้ไบโพลาร์ทรานซิสเตอร์ Q_1 ทำงาน คือ $V_{BE,on}$ เวลาที่ใช้ในการนี้คือ

$$t_1 = \frac{C_B + C_{BE}}{I_{D,p}} V_{BE,on} \tag{3.7}$$

กำหนดค่า $V_{BE,on} \cong 0.7 \text{ V}$

$$I_{D,p} = \frac{\mu_p C_{OX} W}{2L} (V_{GS} - V_{T,p})^2 \tag{3.8}$$

ช่วง t_2 ช่วงนี้ M1 เริ่มทำงานในช่วงอิมิตัวผลทำให้ Q_1 เริ่มทำงานทำให้มี $I_{C,Q1}$ ไหลจาก V_{DD} ผ่าน Q_1 ไปประจุที่ C_L โดยที่ V_{out} มีค่าประมาณ $0 < V_{out} < (|V_{T,p}| - V_{BE})$

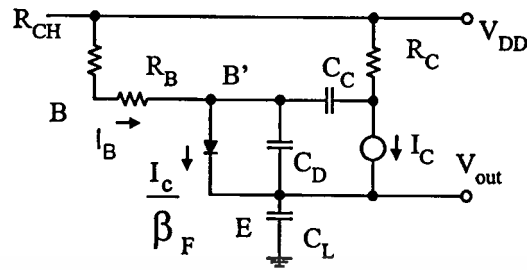
ช่วงนี้

$$t_2 = \frac{Q}{I_{C,Q1}} \tau_F$$

τ_F คือช่วงเวลาเริ่มขึ้น (Forward Transit Time)

ช่วงเวลา t_3 พิจารณาเมื่อ $V_{out} \geq (|V_{T,p}| - V_{BE})$ ช่วงนี้ไบโพลาร์ทรานซิสเตอร์ Q_1 ทำงานในช่วงเชิงเส้น เขียนวงจรสมมูลย์ได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรสมมูลช่วงขาขึ้น

จากกฎแรงดันของเคอร์ชอฟจะทำให้ได้สมการ

$$I_B(R_{CH} + R_B) = V_{DD} - V_{B'E} - V_{out} \tag{3.10}$$

$$I_B = I_C + C_D \frac{dV_{B'E}}{dt} + C_C \frac{d}{dt} \left\{ V_{out} + V_{BE} - (V_{DD} - I_C R_C) \right\} \tag{3.11}$$

เมื่อ

$$I_C = I_s e^{\frac{qV_{B'E}}{kT}}$$

$$C_D = \text{ค่าคาปาซิแตนซ์ของอิมิตเตอร์} - \text{เบส} = \frac{q \tau_F I_C}{kT}$$

$$R_{CH} = \frac{2L}{W_I \mu_P C_{OX} \left\{ V_{DD} - |V_{TP}| \right\}}$$

$$\text{โดยที่ } \frac{dI_C}{dt} = \frac{qI_C}{kT} \frac{dV_{B'E}}{dt} \tag{3.12}$$

$$\text{และ } \frac{dV_{out}}{dt} = \frac{I_E}{C_L} \cong \frac{I_C}{C_L} ; I_E \cong I_C \tag{3.13}$$

$$\text{โดยที่ } t = t_3, V_{out} = \frac{V_{DD}}{2} \text{ และ } \frac{dI_C}{dt} = 0 \quad \text{ดังนั้น}$$

$$t_3 = \frac{\pi}{2} \sqrt{(R_{CH} + R_B) C_L \tau_F} \tag{3.14}$$

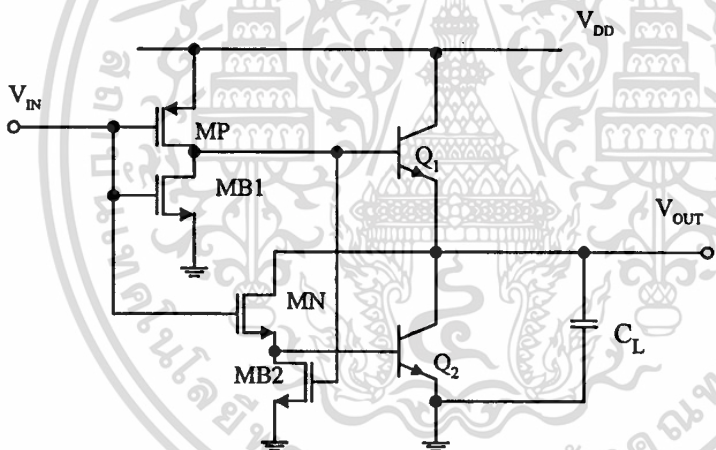
ดังนั้นเวลาที่ใช้ในการเปลี่ยนสถานะจากลอจิก 0 ไปเป็นลอจิก 1 คือ

$$t_d = t_1 + t_2 + t_3$$

$$\cong \frac{C_1 + C_{BE}}{I_{DP}} V_{BE,ON} + \tau_F + \frac{\pi}{2} \sqrt{(R_{CH} + R_B) C_L \tau_F} \quad (3.15)$$

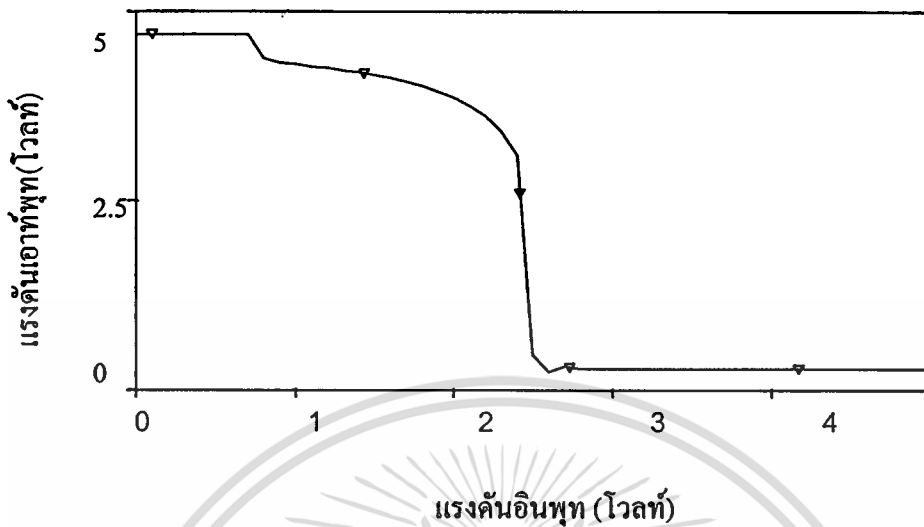
การพิจารณารายละเอียดการทำงานวงจรไบซีมอสอินเวอร์เตอร์ทั่วไป

ข้อได้เปรียบของการใช้ไบซีมอสทรานซิสเตอร์ในวงจรเกทต่างๆ ก็คือ สามารถขับกระแสได้สูง กำลังงานสูญเสียต่ำและอินพุทอิมพีแดนซ์สูงเนื่องจากใช้มอสทรานซิสเตอร์ แต่ในขณะที่ใช้งานเพื่อเป็นการลดช่วงเวลาหยุดทำงาน (Turn off Time) ซึ่งเกิดขึ้นขณะที่ทำการสวิตช์จะใช้เอ็นมอสทรานซิสเตอร์ขนาดเล็ก MB1 และ MB2 ซึ่งใช้เป็นทางคายประจุของเบส โดยแทนที่ของตัวต้านทานซึ่งไม่นิยมใช้ เพราะวงจรต้องใช้กระแสสูงวงจรดังแสดงในรูป 3.5



รูปที่ 3.5 วงจรไบซีมอสอินเวอร์เตอร์ทั่วไป

จากรูปที่ 3.5 จะทำให้ได้รูปแบบการถ่ายเทคสัญญาณจากอินพุทไปยังเอาต์พุทของวงจรไบซีมอสอินเวอร์เตอร์ดังรูปที่ 3.6



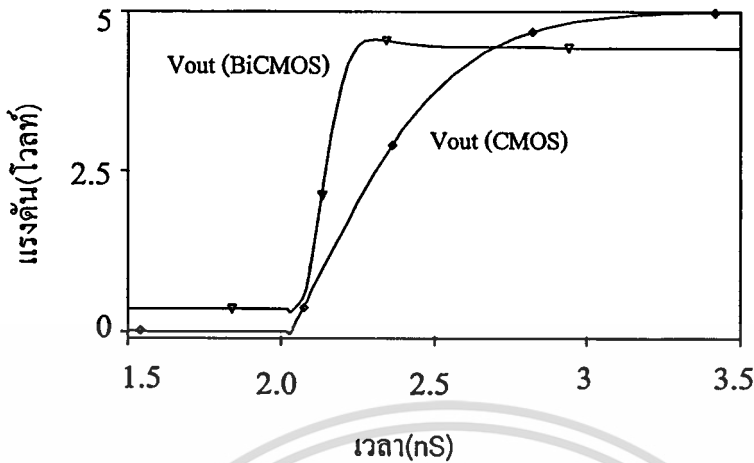
รูปที่ 3.6 แสดงคุณลักษณะการถ่ายโอนแรงดันของวงจรไบซีมอสอินเวอร์สเตอร์

เมื่อ V_{in} เป็น 0 เอ็นมอสทรานซิสเตอร์ MN และ MB1 จะไม่ทำงาน (OFF) แต่พีมอสทรานซิสเตอร์ MP และเอ็นมอสทรานซิสเตอร์ MB2 ทำงานทำให้เบสไบโพลาร์ทรานซิสเตอร์ Q_2 มีศักย์ค่าเป็น 0 Q_2 ไม่นำกระแสทำให้ Q_1 ไม่นำกระแสด้วยเมื่อแรงดันอินพุตเพิ่มขึ้นจนถึง $V_{Tn} + V_{BE2}$ เอ็นมอสทรานซิสเตอร์ MN เริ่มทำงานทำให้เบสของไบโพลาร์ทรานซิสเตอร์ Q_2 ไม่เป็น 0 ทรานซิสเตอร์ Q_1 และ Q_2 ทำงานในช่วงแอคทีฟ (Active Region) แรงดันที่เบสโคมิตเตอร์เพิ่มขึ้นอย่างรวดเร็วทำให้แรงดันเอาต์พุต V_{out} ลดลงอย่างรวดเร็ว

ต่อมาเมื่อแรงดันอินพุตมีค่าสูงสุดพีมอสทรานซิสเตอร์เริ่มหยุดทำงาน และไบโพลาร์ทรานซิสเตอร์ Q_1 , Q_2 หยุดทำงาน (Cut off) แรงดันระหว่างแคโทดกับซอร์สของมอสทรานซิสเตอร์ MN เป็น 0 และไม่มีกระแสเบสผ่านเข้า Q_2 ทำให้ เป็น 0

เวลาหน่วงในวงจรไบซีมอสโลจิก

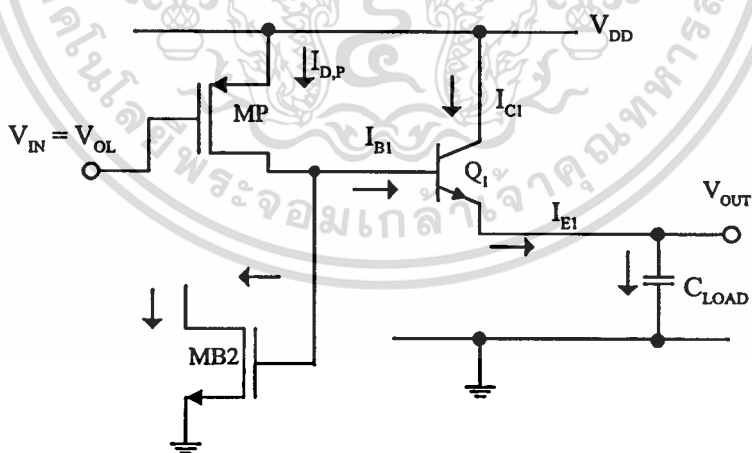
ข้อดีของวงจรไบซีมอสโลจิกคือ สามารถขับเคลื่อนได้เป็นจำนวนมากซึ่งดีกว่าวงจรซีมอสทั่วไป ในกรณีที่โหลดเป็นอุปกรณ์คาปาซิเตอร์ ดังรูป 3.7 เป็นการเปรียบเทียบการถ่ายโอนแรงดันระหว่างวงจรไบซีมอสโลจิกและซีมอสโลจิก ซึ่งใช้พื้นที่ของซิลิกอนและโหลดเป็นคาปาซิเตอร์ที่ 1 pF เช่นเดียวกัน



รูปที่ 3.7 แบบจำลองแรงดันเอาต์พุตของวงจรมอสอินเวอร์สเตอร์ทั่วไปกับ วงจรไบซีมอสที่โหลด 1PF โดยแต่ละวงจรมีใช้พื้นที่เป็นซิลิกอนเท่ากัน[7]

วงจรถูกใช้ไบซีมอสบัฟเฟอร์ สามารถดึงแรงดันเอาต์พุตได้เร็วกว่าวงจรมอสถึง 1 ใน 4 ที่แรงดันเท่ากัน

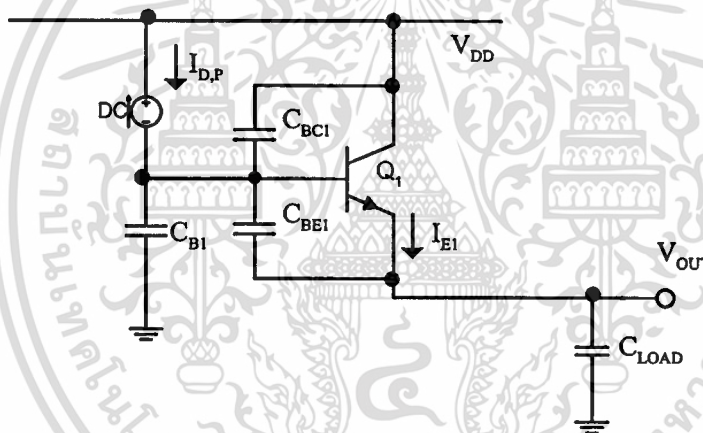
ในการตรวจสอบรายละเอียดวงจรไบซีมอสอินเวอร์สเตอร์ จะพิจารณาจากการบูตอัพวงจรเอาต์พุตเพื่อดูผลกระทบจากการเปลี่ยนของสัญญาณ โดยเริ่มที่ให้แรงดันอินพุตเปลี่ยนสถานะจาก Logic '1' V_{OH} ไปสู่ Logic '0' หรือ V_{OL} เมื่อเวลา $t = 0$ โดยให้แรงดันเอาต์พุตคือ $V_{out} = V_{OH}$ โดยรูปวงจรแสดงได้ดังรูปที่ 3.8



รูปที่ 3.8 แสดงวงจรไบซีมอสอินเวอร์สเตอร์ขณะเอาต์พุตถูกโหลด โดยแสดงเฉพาะส่วนที่เกี่ยวข้อง

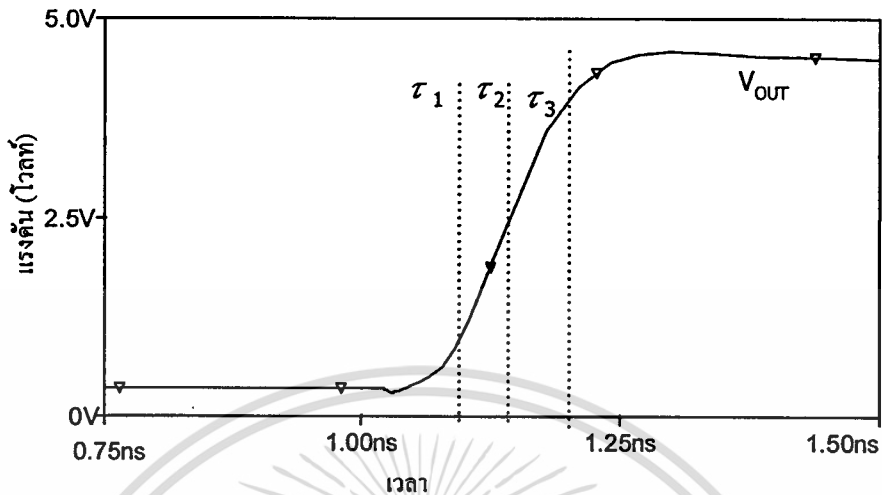
การทำงานของวงจรเมื่อมีแรงดันอินพุต $V_{in} = V_{OL}$ พีมอสทรานซิสเตอร์ MP จะทำงานและอยู่ในช่วงอิมิตัว เอนมอสทรานซิสเตอร์ MN และ MB1 จะหยุดทำงาน (Turn off) ดังนั้น ส่วนของ “Pull Down” ของวงจรจะถูกตัดทิ้งไปยกเว้นค่าคาปาซิแตนซ์ที่เกิดจากพารามิเตอร์ของอุปกรณ์เอนมอสทรานซิสเตอร์ และไบโพลาร์ Q_2 มอสทรานซิสเตอร์ MB2 ทำงานทำการคายประจุที่เบสของ Q_2 ลงกราวด์ทำให้ Q_2 หยุดทำงานในเวลาเดียวกัน MP ก็จะทำให้กระแสเบสแก่ Q_1 ทำให้ C_{LOAD} เก็บประจุโดยผ่านทางกระแสอิมิตเตอร์

C_{LOAD} คือ ค่าคาปาซิแตนซ์ของโหลดซึ่งต่ออยู่นอกกับค่าพารามิเตอร์คาปาซิแตนซ์ของ Q_1 วงจรในส่วนพูลอัพจึงมีผลจากโหลดคาปาซิแตนซ์ต่างๆ ที่เชื่อมต่อยู่ดังแสดงในแบบจำลองวงจรในรูปที่ 3.9



รูปที่ 3.9 วงจรสมมูลเพื่อวิเคราะห์เวลาหน่วงในช่วงขาขึ้น (pull up)

จากรูปที่ 3.9 แสดงให้เห็นการสวิทช์ของพีมอสทรานซิสเตอร์ MP และไบโพลาร์ทรานซิสเตอร์ Q_1 เพื่อใช้ในการวิเคราะห์เวลาหน่วง ส่วนของเอาต์พุตจะแบ่งออกเป็น 3 ช่วง t_1 , t_2 และ t_3 ซึ่งขึ้นกับการทำงานของทรานซิสเตอร์ดังรูปที่ 3.10



รูปที่ 3.10 แสดงการเปลี่ยนสถานะขณะเวลาหนึ่งช่วงขึ้น โดยแบ่งเป็น 3 ช่วงเวลา การหนึ่งเวลาทั้ง 3 ช่วง อธิบายได้ดังนี้

ช่วง t_1 แรงดันที่เบส-อิมิตเตอร์ของ Q_1 เริ่มเพิ่มขึ้นเข้าสู่ $V_{BE,on}$ แต่ทรานซิสเตอร์ Q_1 ยังคงไม่ทำงาน และพีมอสทรานซิสเตอร์ทำงานช่วงอิมิตัว

ช่วง t_2 ไบโพลาร์ทรานซิสเตอร์ Q_1 เริ่มนำกระแสเข้าสู่ย่านทำงานพีมอสทรานซิสเตอร์ MP ยังคงทำงานในช่วงอิมิตัว

ช่วง t_3 พีมอสทรานซิสเตอร์ MP ทำงานผ่านลิเนียร์หรือโทรโอดไบโพลาร์ทรานซิสเตอร์ ยังคงทำงานอยู่ในย่านทำงาน สามารถเขียนสมการคิฟเฟอเรนเชียล การเปลี่ยนแปลงของแรงดันระหว่างเบส-อิมิตเตอร์ ของไบโพลาร์ทรานซิสเตอร์ Q_1 ในช่วง t_1 ได้ดังนี้

$$\frac{dV_{BE}}{dt} = I_{D,p} \cdot \frac{C'_{load}}{C'_{load} \cdot C_{BE1} + (C_{B1} + C_{BC1})(C'_{load} + C_{BE1})} \quad (3.16)$$

ในช่วงเริ่มต้น t_2 ไบโพลาร์ทรานซิสเตอร์ Q_1 เริ่มเข้าสู่ย่านทำงานขณะที่พีมอสทรานซิสเตอร์ ยังคงทำงานในช่วงอิมิตัว ตัวเก็บประจุรวม C'_{load} เริ่มเก็บประจุเนื่องจากการไหลของกระแสอิมิตเตอร์ สมการคิฟเฟอเรนเชียล เขียนได้ในรูปของแรงดันขาออก V_{out} เทียบกับเวลาและแรงดันที่เบสได้ดังนี้

$$\frac{dv_{out}}{dt} = \frac{i_C + i_B}{C'_{load}} \quad (3.17)$$

$$\frac{dV_B}{dt} = \frac{I_{D,p} - i_B}{C_{B1} + C_{BC1}} \quad (3.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta_F = \frac{\beta_{F0}}{1 + \frac{I_C}{I_k}} \quad (3.19)$$

การทำงานของไบโพลาร์ช่วงระหว่าง t_2 และ t_3 อัตราขยายทางกระแสขึ้นอยู่กับกระแสคอลเลกเตอร์ขณะเปลี่ยนสถานะเป็นสถานะสูงอธิบายโดยใช้โมเดลของ Gummel-Poon ได้

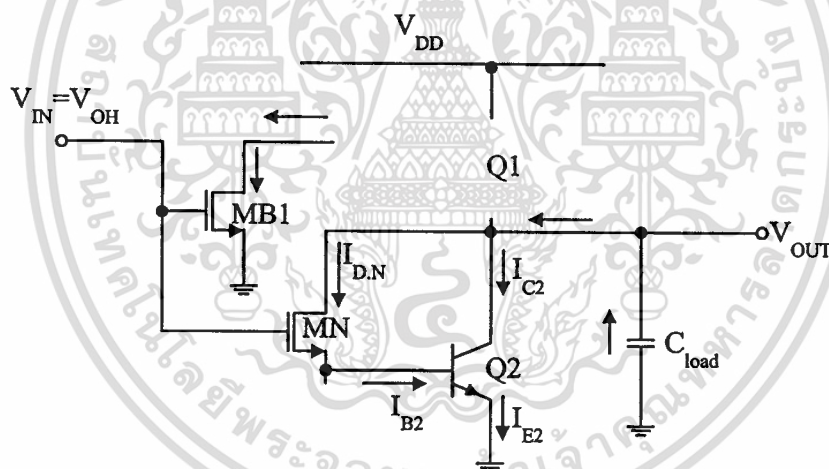
I_k คือ กระแส knee

ความสัมพันธ์ระหว่างเวลา และกระแสคอลเลกเตอร์สามารถเขียนได้ดังนี้

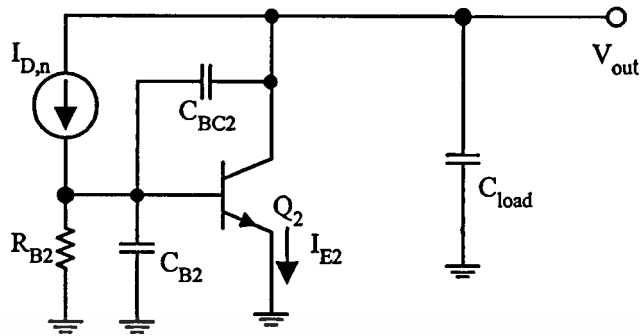
$$\tau_F = \tau_{F0} \left(1 + \frac{I_C}{I_k} \right) \quad (3.20)$$

ค่า t_3 หาได้จากการแทนค่ากระแสในย่านอิ่มตัวในกระแสในช่วงทำงานของพีมอสทรานซิสเตอร์

การพิจารณาการทำงานช่วงพูลดาวน์แสดงได้ดังรูปที่ 3.11 และ 3.12



รูปที่ 3.11 วงจรไบซิมอสอินเวอร์เตอร์ช่วงขาลง(pull down)



รูปที่ 3.12 แสดงวงจรสมมูลของเวลาหน่วงช่วงขาลง(pull down)

รูปที่ 3.11 แสดงวงจรเฉพาะในส่วนของแรงดันขาออก V_{out} จาก V_{OL} เป็น V_{OH} ที่เวลา $t=0$ แรงดันขาออก $V_{out} = V_{OL}$ เมื่อแรงดันอินพุตเพิ่มค่าขึ้น ทรานซิสเตอร์ MP ไม่ทำงาน ทรานซิสเตอร์ MN และ MB1 ทำงาน ไบโพลาร์ทรานซิสเตอร์ Q_1 ในส่วนพูลอัพเริ่มหยุดทำงานเนื่องจากกระแสเบสเข้าสู่ 0 MB1 ทำการคายประจุที่เบสของ Q_1 ทรานซิสเตอร์ MN ทำงานจนอิ่มตัวและจ่ายกระแสเบสให้ไบโพลาร์ทรานซิสเตอร์ ส่วนพูลดาวน์ Q_2 เนื่องจาก MB1 ไม่สามารถคายประจุให้ Q_1 ได้หมดในทันที

ส่วนวงจรในส่วนการคายประจุในช่วงพูลดาวน์ เขียนได้เป็นวงจรสมมูลดังรูปที่ 3.12 ส่วนการคำนวณจะคล้ายกับวิธีการพูลอัพ

3.3 หลักการออกแบบวงจรไบซีมอสโลจิก

ในการออกแบบวงจรใดๆ โดยทั่วไปจะมีสิ่งที่จะต้องพิจารณาคือ การเลือกอุปกรณ์ที่เหมาะสมแต่ละตัวมาประกอบเป็นวงจรและผลกระทบจากค่าพารามิเตอร์ของตัวอุปกรณ์เอง ในวงจรไบซีมอสโลจิกจะประกอบด้วยอุปกรณ์ที่ทำหน้าที่ต่างๆ ดังต่อไปนี้

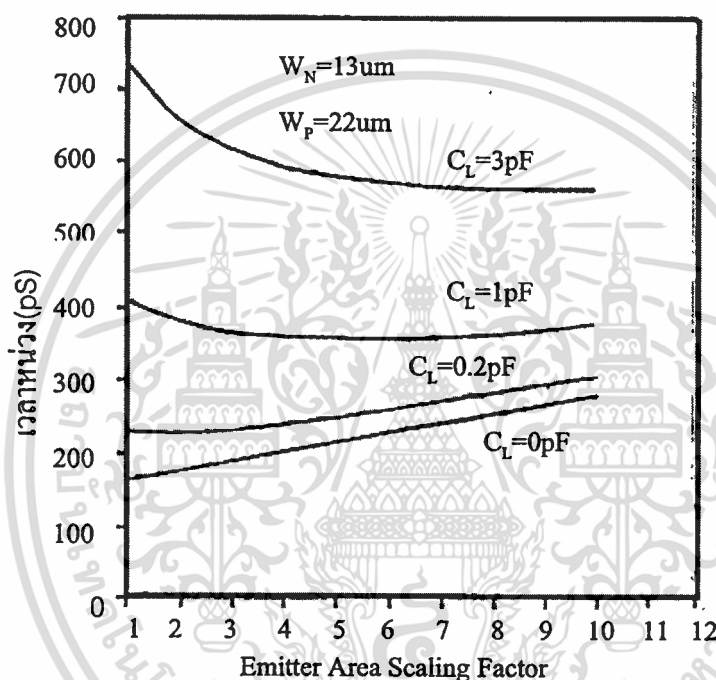
1. ส่วนที่ทำหน้าที่ขับวงจรภาคสุดท้ายเป็น ไบโพลาร์ทรานซิสเตอร์
2. ส่วนอินพุตใช้มอสทรานซิสเตอร์
3. ส่วนคายประจุใช้มอสทรานซิสเตอร์

ส่วนที่ทำหน้าที่ขับวงจร

ส่วนสำคัญส่วนนี้ได้แก่ การออกแบบพื้นที่ของอิมิตเตอร์เพื่อเป็นตัวควบคุมกระแสคอลเลกเตอร์ ถ้ากระแสคอลเลกเตอร์มากอาจทำให้การหน่วงเวลาของวงจรมีค่าเพิ่มขึ้น สมการของส่วนนี้ คือ

$$t_d \propto \frac{1}{\sqrt{AE}} \quad (3.21)$$

จะเห็นสมการการหน่วงเวลาเป็นสัดส่วนผกผันกับพื้นที่ของอิมิตเตอร์ แต่ในกรณีที่โหลดมีค่าคาปาซิแตนซ์สูงๆ การหน่วงเวลาจะลดลงได้แค่ระดับหนึ่งเท่านั้น แม้ว่าพื้นที่ของอิมิตเตอร์เพิ่มขึ้นอีกก็ตาม เนื่องจากมีค่าตัวเก็บประจุแฝงอยู่ในส่วนพื้นที่ของอิมิตเตอร์ด้วย จึงดูเหมือนว่าตัวเก็บประจุที่เอาท์พุทเพิ่มขึ้นอีก ทำให้การหน่วงเวลาของวงจรเพิ่มขึ้นอีก ดังรูปที่ 3.13



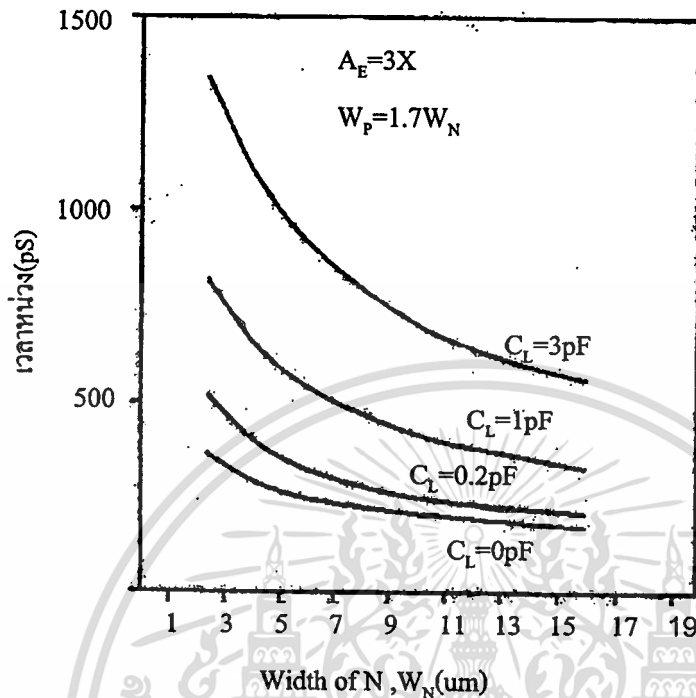
รูปที่ 3.13 แสดงการหน่วงเวลาของวงจรไบสมอส โลจิกเปรียบเทียบกับพื้นที่ของอิมิตเตอร์

ส่วนที่ทำหน้าที่อินพุท

ส่วนนี้ใช้มอสทรานซิสเตอร์ ค่าหน่วงเวลาจะมีค่าลดลงตามการเพิ่มของขนาดความกว้างของช่องทางเดินกระแส (W) ดังสมการ

$$t_d \propto \frac{1}{\sqrt{W}} \quad (3.22)$$

ถ้าค่าตัวเก็บประจุของโหลดมีค่าต่ำๆ ค่าคาปาซิแตนซ์ภายในตัวของมอสทรานซิสเตอร์ ก็จะมีผลต่อค่าของตัวเก็บประจุที่รวมกัน ความกว้างของช่องกระแส W จึงมีผลต่อการหน่วงเวลาไม่มาก แต่ถ้าโหลดมีค่าคาปาซิแตนซ์สูงๆ ขนาดของช่องทางเดินกระแส W จะทำให้กระแสไหลได้มากขึ้น ทำให้เวลาหน่วงลดลง



รูปที่ 3.14 แสดงเวลาหน่วงของวงจรมอสเมื่อเทียบกับขนาดของช่องทางเดินกระแส (W) ของมอสทรานซิสเตอร์อินพุท

ส่วนขยายประจุก

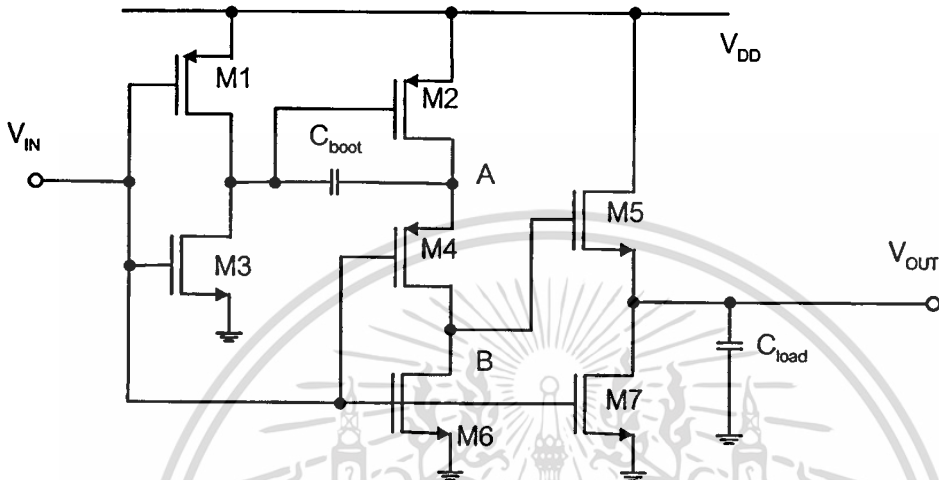
จากรูป 3.5 ใช้อมตรานซิสเตอร์แทนตัวต้านทานเพื่อลดกระแสที่ไหลในวงจรมอสทรานซิสเตอร์ โดยหลักการทั่วไปแล้วถ้ามีขนาดใหญ่จะทำให้การคายประจุกทำได้ง่าย โดยใช้เวลาในการคายประจุกน้อย แต่ในทางปฏิบัติจะใช้อมตรานซิสเตอร์ค่าไม่สูงมาก เพราะจะทำให้ต้องใช้พื้นที่ในการออกแบบตัวเก็บประจุกมีขนาดใหญ่

3.3.1 วิธีการนูนแตรปวงจรมอส

เหตุผลของการต้องมีนูนแตรป เนื่องจากวงจรมอสต้องการแรงดันขาออกที่กวาดได้เต็มช่วง (Full Swing) โดยทั่วไปวงจรมอสจะไม่สามารถกวาดแรงดันได้เต็มช่วง เนื่องจากผลของแรงดันเทรชโซลทำให้สัมประสิทธิ์ของแรงดันที่ใช้ขับวงจรมอสลดลง โดยค่าแรงดันเทรชโซลไม่สามารถลดลงตามการลดลงของแหล่งจ่ายกำลังงาน เพราะเป็นคุณลักษณะประจำตัวของอุปกรณ์ที่นำมาสร้างวงจรมอส จึงทำให้ประสิทธิภาพของวงจรมอสลดลงเมื่อใช้แหล่งจ่ายแรงดันต่ำๆ วิธีการแก้ไขโดยใช้เทคนิคการนูนแตรป

คือ การใช้ศักดาที่ค่าสูงๆ ไปขับเคลื่อนของมอสทรานซิสเตอร์หรือเบสของไบโพลาร์ทรานซิสเตอร์ เพื่อให้วงจรมีการทำงานที่เร็วกว่าวงจรพื้นฐาน

การคำนวณค่าขนาดตัวเก็บประจุคาปาซิเตอร์



รูปที่ 3.15 วงจรบูตแอสตรปซิมอสอินเวอร์สเตอร์

การจะให้วงจรทำงานได้เร็วขึ้นนั้น จะขึ้นอยู่กับความเร็วในการประจุและคายประจุของโหลดคาปาซิเตอร์ จึงสามารถใช้สมการ 3.14

จากสมการ [5]

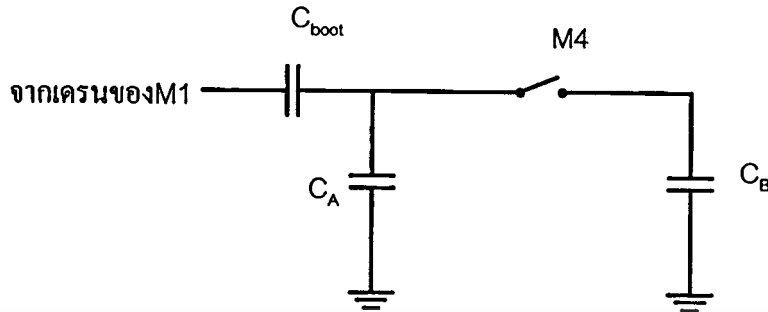
$$\tau_{PHL} = \frac{C'_{load}}{k_n (V_{OH} - V_{T,n})} \frac{2V_{T,n}}{V_{OH} - V_{T,n}} + \ln \frac{4(V_{OH} - V_{T,n})}{V_{OH} + V_{OL}} - 1 \quad (3.23)$$

$$\tau_{PHL} = \frac{C_{load}}{k_n (V_{GS,n} - V_{T,n})} \frac{2V_{T,n}}{V_{GS,n} - V_{T,n}} + \ln \frac{4(V_{GS,n} - V_{T,n})}{V_{DD}} \quad (3.24)$$

จากสมการให้ $V_{OH} = V_{GS,n}$ ของมอสทรานซิสเตอร์และให้

V_{OL} = จากนั้นแทนค่าในสมการจะได้

จากสมการ 3.15 เวลาหน่วงจะลดลงเมื่อแรงดันที่ $V_{GS,n}$ เพิ่มขึ้น ซึ่งจากเหตุผลนี้จึงใช้วงจรบูตแอสตรปเพื่อทำหน้าที่เพิ่มแรงดันดังกล่าว โดยพิจารณาจากรูป 3.13 สามารถเขียนวงจรสมมูลของส่วนที่เกี่ยวข้องกับวงจรบูตแอสตรปได้ดังรูป 3.14



รูปที่ 3.16 วงจรสมมูลของวงจรบูตแสตมป์

จากรูปประกอบไปด้วยคาปาซิเตอร์อยู่ 3 ตัว คือ C_{boot} เพื่อให้ที่เพิ่มแรงดันตามแนวความคิด C_A และ C_B ซึ่งเป็นคาปาซิเตอร์ที่จากค่าพารามิเตอร์ของวงจรโดย

C_A = ค่าคาปาซิเตอร์ระหว่างซอร์สกับฐานรอง M4 C_{AB4} และ

คาปาซิเตอร์ระหว่างเดรนกับฐานรอง M3 C_{DB3}

C_B = ค่าคาปาซิเตอร์ระหว่างเดรนกับฐานรอง M4 C_{DB4}

ค่าคาปาซิเตอร์ระหว่างเดรนกับฐานรอง M5 C_{DB5}

ค่าคาปาซิเตอร์ระหว่างเกตกับฐานรอง M6 C_{GB6}

ดังนั้นจะได้ว่า

$$C_A = C_{DB3} + C_{SB4} \quad (3.25)$$

$$C_B = C_{DB4} + C_{DB5} + C_{GB6} \quad (3.26)$$

ในช่วงการประจุ สมการการประจุจะได้ดังนี้

จาก

$$Q = CV$$

$$Q_{boot} = C_{boot} V_{DD} \quad (3.27)$$

ขณะ C_{boot} ประจุ C_A ก็จะประจุด้วย

$$Q_A = C_A V_{DD} \quad (3.28)$$

ในช่วงวงจรบูตแสตมป์ทำงาน M4 ทำงานผลทำให้สวิตช์ M4 ปิดวงจรระดับแรงดันที่จุด A และ B จะมีระดับสูงขึ้นผลรวมของประจุจะได้ว่า

$$Q_1 = C_A V_f + C_B V_f \quad (3.29)$$

$$\Delta Q = C_A (V_f - V_{DD}) + C_B V_f \quad (3.30)$$

$$\Delta V = \frac{C_A (V_f - V_{DD}) + C_B V_f}{C_{boot}} \quad (3.31)$$

เมื่อ V_{in} อยู่สถานะสูงและ V_{out} อยู่สถานะต่ำพีมอสทรานซิสเตอร์ MP_p ทำงาน (ON) ช่วงนี้แรงดันที่เบส Q_1 เริ่มปล่อยประจุเข้าสู่ช่วงแรงดัน V_{TP} ซึ่งทำแรงดันที่เบสน้อยกว่า $V_{BE,on}$ ทำให้หยุดทำงาน พีมอสทรานซิสเตอร์ MP_p เริ่มทำงานทำให้คาปาซิเตอร์บูตแสดรปเก็บประจุจนถึง V_{DD} ต่อมาเมื่อแรงดันขาเข้า V_{in} มีสถานะต่ำ MP_p จะทำงาน(ON)ทำให้ไบโพลาร์ทรานซิสเตอร์ Q_1 เริ่มทำงานอย่างรวดเร็ว

เนื่องจากเบส-อิมิตเตอร์มีแรงดันไบอัสเข้าใกล้ $V_{BE,on}$ เร็วทำให้เวลาหน่วงลดลงเมื่อ Q_1 ทำงาน โหลดคาปาซิเตอร์ C_L จะเก็บประจุจนถึง V_{DD} ซึ่งเป็นขณะเดียวกับที่ MP_p ไม่ทำงานจุด N_1 จึงลอยจากแหล่งจ่าย V_{DD} แรงดันขาออก V_{out} เพิ่มเข้าสู่ V_{DD} แรงดันบริเวณจุดต่อ N_1 จึงมีค่าเป็น $V_{DD} + V_{BE,on}$

เมื่อแรงดันขาเข้า V_{in} อยู่สถานะต่ำพีมอสทรานซิสเตอร์ MP_p จะหยุดทำงานเพื่อไม่ให้แรงดันบูตแสดรป ทำให้เกิดกระแสย้อนกลับ N_1 ไปยัง V_{DD} ซึ่งกระทำโดยใช้คู่อิเวนต์สเตอร์ MP_i และ MN_i ในช่วงบูตแสดรปทำงาน MP_i จะทำงาน ดังนั้น MP_p จะหยุดทำงานโดยสมบูรณ์

เมื่อแรงดันขาเข้า (V_{in}) อยู่ในสถานะต่ำ MP_p จะไม่ทำงาน คือ ช่วงกำลังบูตแสดรปเพื่อป้องกันการคายประจุจากส่วนของบูตแสดรป ทำให้เกิดกระแสไหลย้อนกลับจาก N_1 ไปยัง V_{DD} โดยอาศัยการทำงานของ MP_i และ MN_i โดยช่วงบูตแสดรปกำลังทำงาน ($V_{in} = 0$) MP_i จะทำงาน (ON) ทำให้ MP_p ไม่ทำงานโดยแรงดันจาก N_1 ที่เข้าไปที่เกทซึ่งมีขนาดสูงกว่าแรงดันแหล่งจ่าย V_{DD} ต่อมาเมื่อ V_T มีค่าต่ำกว่า V_{BE} ส่วนโหลดของวงจร Boot เกิดการรั่วไหลของประจุทำให้ประสิทธิภาพของการบูตแสดรปขณะทำงานลดลง ส่วนพีมอสทรานซิสเตอร์ MP_p จะหยุดทำงานโดยแรงดันที่เกทเป็นรีเวอร์ส จากส่วนของวงจรบูตแสดรปโดยผ่านขา MP_i

เงื่อนไขในการออกแบบวงจรบูตแสดรป

สิ่งสำคัญแรกสุดคือ คาปาซิเตนซ์ของ C_{boot} ควรจะมีค่าน้อยการประจุในช่วงแรกของ C_{boot} คือ $V_{DD} C_{boot}$ และประจุให้กับค่าพาราซิติก คาปาซิเตนซ์บริเวณ โหนด N_1 คือ $V_{DD} C_p$ ดังนั้น ผลรวมประจุที่ N_1 คือ

$$Q_{N1} = V_{DD} C_{boot} + V_{DD} C_p \quad (3.33)$$

เพื่อให้แรงดันขาออก V_{out} สูงถึง V_{DD} V_{N1} จึงต้องมีประจุเป็น $V_{DD} + V_{BE,on}$ การเก็บประจุของ C_p จึงเป็น $(V_{DD} + V_{BE,on}) C_p$ ประจุที่ C_{boot} ถึง $V_{BE,on}$ C_{boot} จึงได้ว่า

$$Q_{N1} = V_{BE,on} C_{boot} + (V_{DD} + V_{BE,on} N) C_p \quad (3.34)$$

ประจุที่ขาเบสคือ

$$Q_b = Q_{N1} - Q'_{N1} \quad (3.35)$$

ให้ $Q_b \cong I_b t_r$

เมื่อ $I_b =$ ค่ากระแสเบสเฉลี่ยของ Q_1

t_r = เวลาหน่วงขาขึ้นของแรงดันขาออก (V_{out})

แทน ค่าสมการ

$$Q_b = V_{DD} C_{boot} + V_{DD} C_p - V_{BE,on} C_{boot} + (V_{DD} + V_{BE,on}) C_p \quad (3.36)$$

$$\begin{aligned} I_b t_r &= V_{DD} C_{boot} + V_{DD} C_p - V_{BE,on} C_{boot} - (V_{DD} + V_{BE,on}) C_p \\ &= (V_{DD} - V_{BE,on}) C_{boot} + V_{DD} C_p - (V_{DD} + V_{BE,on}) C_p \\ &= (V_{DD} - V_{BE,on}) C_{boot} + V_{DD} C_p - V_{DD} C_p - V_{BE,on} C_p \end{aligned} \quad (3.37)$$

$$C_{boot} = \frac{I_b t_r}{V_{DD} - V_{BE,on}} + \frac{V_{BE,on}}{V_{DD} - V_{BE,on}} C_p \quad (3.38)$$

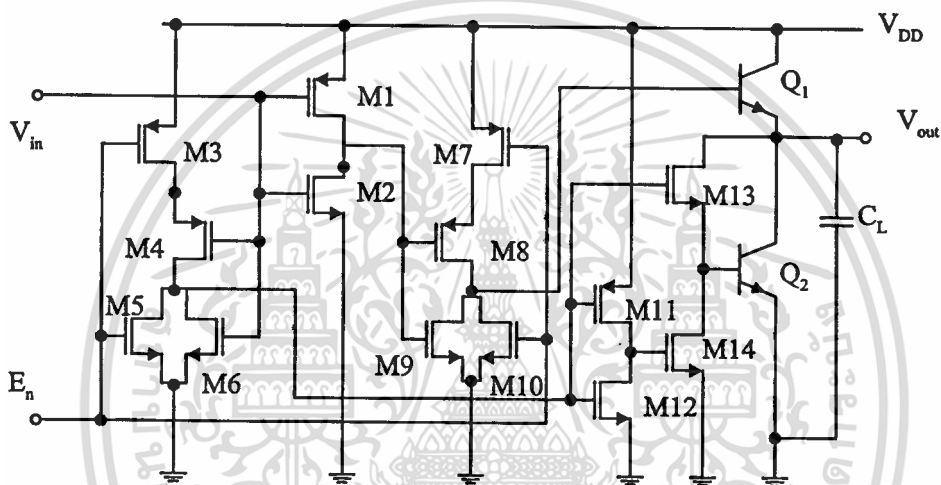
3.5 สรุป

บทนี้ได้กล่าวถึงทฤษฎีของวงจรไบสมอสโลจิก ซึ่งต้องกล่าวถึงในส่วนที่เป็นวงจรอินเวสเตอร์มาก่อน และอธิบายส่วนหลักการออกแบบวงจรไบสมอสโลจิกซึ่งต้องพิจารณาตัวอุปกรณ์ เวลาหน่วง ฯลฯ เทคนิคการออกแบบวงจรบูตแอสตรูปไบสมอส และการทำงานของวงจรไบสมอสบูตแอสตรูป ฟูลสวิงอินเวสเตอร์ [2]

ในส่วนขับโพลาร์ทรานซิสเตอร์เอาต์พุตใช้เทคโนโลยีโพลาร์แบบนอนคอมพลิเมนต์ารี ในส่วนวงจรควบคุมสัญญาณขาออกหรือเอาต์พุตขึ้น จะถูกออกแบบโดยใช้วงจรมอสเกตและซีมอสเกต [3] ซึ่งสามารถทำให้วงจรที่นำเสนอมีความเร็วในการทำงานดีกว่าวงจรมอสเกต ทรานส์เคปเฟอร์แบบเก่าทั้งสอง และทำงานได้ที่ระดับแรงดันไฟเลี้ยงเพียง 1.5 โวลท์

4.2 วงจรไบซีมอส ทรานส์เคปเฟอร์ [3]

วงจรมอส ทรานส์เคปเฟอร์ที่นำเสนอโดย [3] สามารถแสดงได้ดังรูปที่ 1



รูปที่ 4.1 วงจรไบซีมอส ทรานส์เคปเฟอร์ [3]

จากรูปที่ 1 สามารถแสดงการทำงานของวงจรได้ดังนี้ ถ้าให้สัญญาณที่ E_n มีค่าเป็น High ทำให้ M5 ทำงานเป็นผลทำให้ แรงดันที่ขาเกต-ซอร์สเป็น 0 ทำให้ M11 ทำงานผลของ M11 ทำให้ M14 ทำงานแรงดันขาเกต-ซอร์สเป็น 0 ทำให้ขาเบสของ Q_2 ได้ไบอัสเป็น 0 ผลทำให้ Q_2 ไม่ทำงาน (off) และขณะเดียวกัน M10 ทำงานแรงดันที่ขาเกต-ซอร์สเป็น 0 เป็นผลให้ เบสของ Q_1 ได้ไบอัสเป็น 0 ทำให้ Q_1 ไม่ทำงานด้วยถึงแม้ว่าจะมีการเปลี่ยนแปลงสัญญาณที่อินพุตหรือเรียกอย่างหนึ่งว่า วงจรอยู่ในสภาวะอิมพีแดนท์สูง

แต่ถ้าให้สัญญาณที่ E_n มีค่าเป็น 0 หรือ Low จะทำให้ M3 และ M7 ทำงานและถ้ามีการเปลี่ยนแปลงสัญญาณที่อินพุตก็จะทำให้สัญญาณด้านเอาต์พุตมีค่าเปลี่ยนแปลงตามสัญญาณด้านอินพุต หรือมีการทำงานเหมือนเป็นวงจรมอสเกต

กรณีเมื่อ $E_n = 0$ และ $V_{in} = 1$

กรณีนี้ M2 ทำงานทำให้ M6 ทำงานผลทำให้ M12 ไม่ทำงาน (off) และ M11 ทำงานเนื่องจากเกตของ M11 ได้รับศักดาเป็น 0 ผลทำให้เกตของ M14 ได้รับศักดาเป็นบวกทำให้ M14 ทำงาน ดังนั้น เบสของ Q_2 ได้รับไบอัสเป็น 0 ทำให้ Q_2 ไม่ทำงาน (off) ขณะเดียวกันจากผลที่ M2 ทำงานผลทำให้

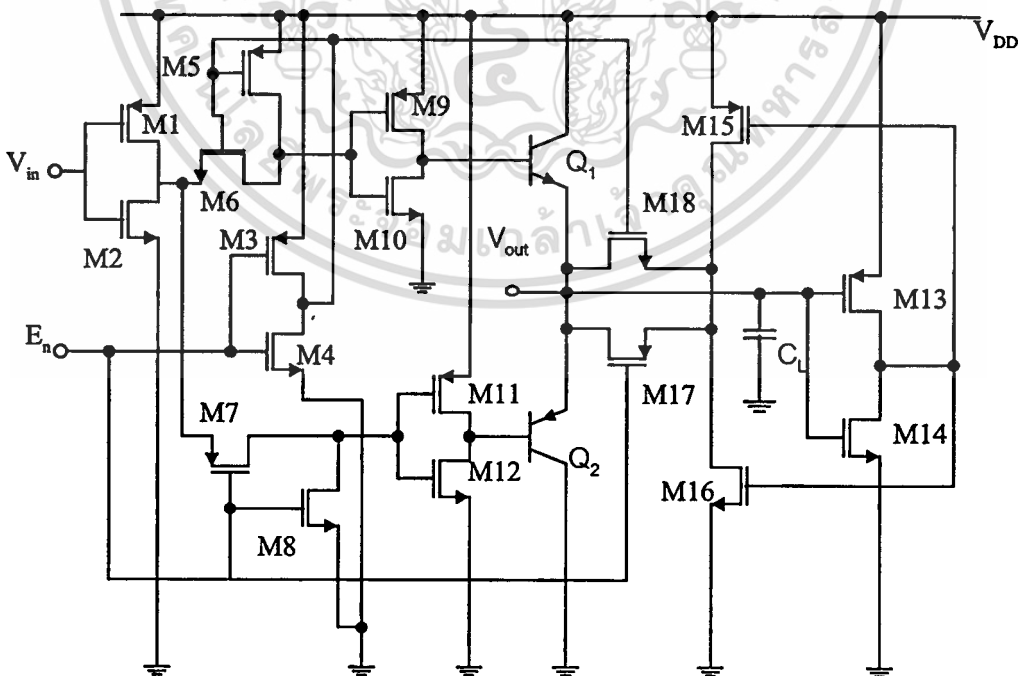
M9 off และ M8 ทำงานทำให้เบสของ Q_1 มีศักย์เป็นบวกผลทำให้ Q_1 ทำงานผ่านกระแสไปยังโหลด แรงดันที่โหลดมีประมาณ $+V_{DD}$ หรือลอจิกเป็น '1' เช่นเดียวกับแรงดันขาเข้า (V_{in})

กรณีเมื่อ $E_n=0$ และ $V_{in}=0$

กรณีนี้ M1 ทำงาน (on) ผลทำให้ M9 ทำงาน (on) ดังนั้นเบสของ Q_1 ได้รับไบอัสเป็น 0 ทำให้ Q_1 ไม่ทำงาน (off) ขณะเดียวกันจากผลที่ M4 ทำงานผลทำให้ M11 ไม่ทำงาน (off) แต่จะทำให้ M12 ทำงานผลของ M12 จะทำให้ M14 ไม่ทำงาน และจากผลที่ M4 ทำงานทำให้ M13 ทำงานทำให้เบสของ Q_2 มีศักย์เป็นบวกผลทำให้ Q_2 ทำงานผ่านกระแสลงกราวด์ทำให้ C_L คายประจุจนเป็น 0 ผลทำให้ $V_{out}=0$ เช่นเดียวกับแรงดันขาเข้า (V_{in})

4.3. วงจรไบอัสโมสโทรสเตรทบัฟเฟอร์แบบคอมพลิเมนต์ทารี [2]

วงจรไบอัสโมสโทรสเตรทบัฟเฟอร์แบบคอมพลิเมนต์ทารี ที่นำเสนอโดย [2] สามารถแสดงได้ ดังรูปที่ 4.2 ส่วนที่เป็นข้อเด่นของวงจรมีคือ M13, M14, M15, M16, M17 และ M18 ซึ่งทำให้การกวาดสัญญาณช่วงแรงดันขาออกด้านลอจิก '1' ให้เข้าใกล้แรงดันไฟเลี้ยงมากยิ่งขึ้น และด้านลอจิก '0' จะช่วยลดแรงดันขาออกให้สามารถลดลงจนถึงระดับ 0 โวลต์ได้ ส่วนขั้วสัญญาณจะใช้ไบโพลาร์ทรานซิสเตอร์คือเป็นแบบคอมพลิเมนต์ทารีโดยใช้มอสทรานซิสเตอร์ M9 ทำการพูลอัพสัญญาณ ช่วงขาขึ้นส่วน M10 ช่วยในการคายประจุที่เบสของ Q_1 ในช่วงพูลดาวน์ใช้ M12 เป็นตัวขั้วสัญญาณที่ขาเบสของไบโพลาร์ทรานซิสเตอร์ Q_2 ส่วนการคายประจุที่เบสของ Q_2 กระทำโดย M11



รูปที่ 4.2 วงจรไบอัสโมสโทรสเตรทบัฟเฟอร์แบบคอมพลิเมนต์ทารี [2]

จากรูปที่ 4.2 สามารถแสดงการทำงานของวงจรได้ดังนี้

ถ้าให้สัญญาณที่ E_n มีค่าเป็น High หรือ โลกิก '1' เป็นผลทำให้ Q_1 และ Q_2 ไม่ทำงานถึงแม้ว่าจะมีการเปลี่ยนแปลงสัญญาณที่อินพุตหรือเรียกอย่างหนึ่งว่าวงจรอยู่ในสภาวะอิมพีแดนท์สูงดังนี้

M17, M18 จะไม่ทำงาน (off) เนื่องจากได้รับศักดาที่เกทเป็นรีเวสไบอัส ผลของ E_n ทำให้ M4 ทำงานผลของ M4 ทำให้ M5 ทำงานทำให้ M9 ไม่ทำงาน (off) ผลของ M4 ยังทำให้ M5 ทำงานแล้วทำให้ M10 ทำงานทำให้เบสของไบโพลาร์ทรานซิสเตอร์ Q_1 ได้รับไบอัสเป็น 0 ดังนั้น Q_1 จะ off ผลของ E_n ที่มีโลกิก '1' ยังทำให้ M8 ทำงานผลของ M8 ทำให้ M11 ทำงานทำให้เบสของไบโพลาร์ทรานซิสเตอร์ Q_2 ได้รับไบอัสเป็น V_{DD} ทำให้ Q_2 ไม่ทำงาน (off)

แต่ถ้าให้สัญญาณที่ E_n มีค่าเป็น Low ทำให้ M3, M6, M7, M17, M18 ทำงาน (on) ถ้าสัญญาณที่อินพุตมีการเปลี่ยนแปลงก็จะทำให้สัญญาณที่เอาต์พุตมีการเปลี่ยนแปลงตามไปด้วยหรือทำงานเหมือนวงจรบัฟเฟอร์ดังนี้

กรณีเมื่อ $E_n=0$ และ $V_{in}=0'$

ผลของ V_{in} ทำให้เกทของ M1 ได้รับศักย์เป็น '0' ทำให้ M1 ทำงาน (on) ผ่านแรงดัน V_{DD} โดยผ่านทาง M6 ทำให้เกทของ M10 มีศักย์เป็นบวกทำให้ M10 ทำงาน (on) ผลทำให้เบสของไบโพลาร์ทรานซิสเตอร์

Q_1 ได้รับไบอัสเป็น 0 ดังนั้น Q_1 จะ off

ส่วนอีกทางหนึ่งผลจากการที่ M1 ทำงาน (on) ก็จะทำให้แรงดัน V_{DD} โดยผ่านทาง M7 ทำให้เกทของ M12 มีศักย์เป็น '0' ทำให้ M12 ทำงาน (on) ผลทำให้เบสของไบโพลาร์ทรานซิสเตอร์ Q_2 ได้รับไบอัสเป็น 0 ดังนั้น Q_2 จะ on โหลดคาปาซิเตอร์ C_L จะคายประจุทำให้แรงดันขาออก (V_{out}) มีศักย์เป็น '0' และผลที่ตามมาหลังจากนั้นคือเกทของ M13 มีศักย์เป็น '0' ทำให้ M13 ทำงานผลจากการที่ M13 ทำงานทำให้แรงดันที่เกทของ M16 ได้รับไบอัสเป็น V_{DD} ดังนั้น M16 จะทำงาน (on) ผลิตให้แรงดันขาออก (V_{out}) มีศักย์เป็น '0' มากยิ่งขึ้น

กรณีเมื่อ $E_n=0$ และ $V_{in}=1'$

ผลของ V_{in} ทำให้เกทของ M2 ได้รับศักย์เป็น '1' ทำให้ M2 ทำงาน (on) ผ่านแรงดัน '0' โดยผ่านทาง M7 ทำให้เกทของ M11 มีศักย์เป็น '0' ทำให้ M11 ทำงาน (on) ผลทำให้เบสของพีเอ็นพีไบโพลาร์ทรานซิสเตอร์ Q_2 ได้รับไบอัสเป็น V_{DD} ดังนั้น Q_2 จะ off

ส่วนอีกทางหนึ่งผลจากการที่ M2 ทำงาน (on) ก็จะทำให้แรงดัน '0' โดยผ่านทาง M6 ทำให้เกทของ M9 มีศักย์เป็น '0' ทำให้ M9 ทำงาน (on) ผลทำให้เบสของพีเอ็นพีไบโพลาร์ทรานซิสเตอร์ Q_1 ได้รับไบอัสเป็น V_{DD} ดังนั้น Q_1 จะ on โหลดคาปาซิเตอร์ C_L จะเก็บประจุทำให้แรงดันขาออก (V_{out}) มีศักย์เป็น '1' และผลที่ตามมาหลังจากนั้นคือเกทของ M14 มีศักย์เป็น '1' ทำให้ M14 ทำงานผลจากการที่

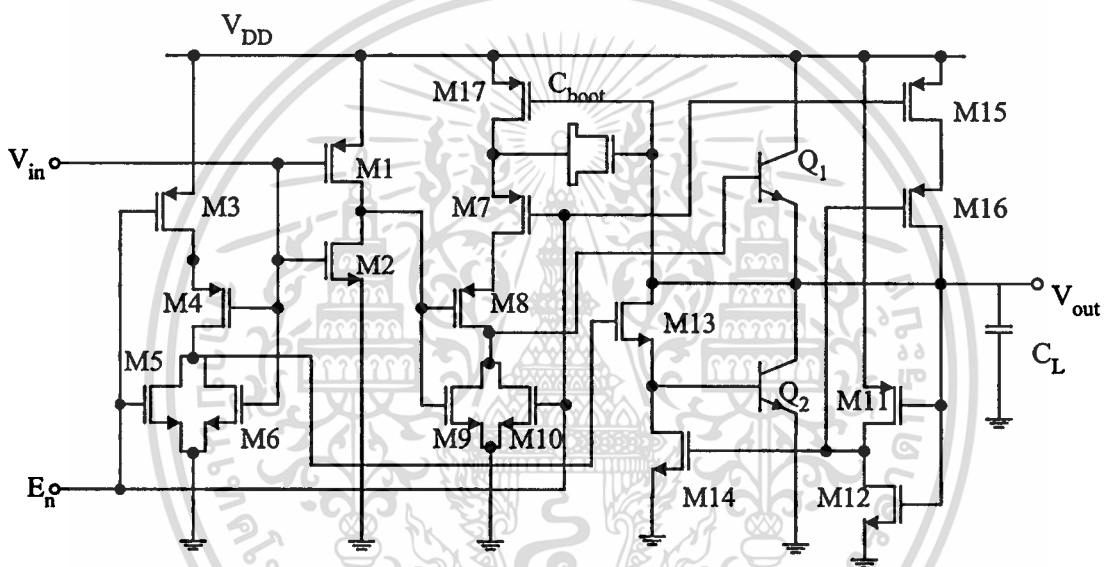
M14 ทำงานทำให้แรงดันที่เกตของ M15 ได้รับไบอัสเป็น '0' ดังนั้น M15 จะทำงาน (on) ผลิตให้แรงดันขาออก (V_{out}) มีศักย์เป็น V_{DD} หรือ logic '1' มากยิ่งขึ้น

ส่วนของมอสทรานซิสเตอร์ M13, M14, M15 และ M16 จะทำหน้าที่เหมือนวงจรถ่ายและจะทำให้สัญญาณเอาต์พุตแกว่งได้เต็มย่าน

4.4 วงจรบูตสเตรปไบสมอสไตรสเตทบัฟเฟอร์ไฟเลี้ยง 1.5 โวลท์ที่นำเสนอ

วงจรถ่ายสเตรปไบสมอสไตรสเตทบัฟเฟอร์ที่นำเสนอนี้สามารถแสดงได้ดังนี้

4.4.1 หลักการทำงานและการวิเคราะห์วงจรที่นำเสนอ



รูปที่ 4.3 วงจรถ่ายสเตรปไบสมอสไตรสเตทบัฟเฟอร์ความเร็วสูง ใช้ไฟเลี้ยง 1.5 โวลท์ ที่นำเสนอ

จากรูปที่ 4.3 สามารถแสดงการทำงานของวงจรได้ดังนี้

ถ้าให้สัญญาณที่ E_n มีค่าเป็น High หรือ logic '1' ทำให้ M5 ทำงานผลทำให้ เกต M13 เป็น logic '0' ทำให้ M13 ไม่ทำงานเบสของ Q_2 ไม่มีไบอัสดังนั้น Q_2 จะไม่ทำงาน (off) และ ขณะเดียวกัน M10 ทำงานเป็นผลทำให้ เบสของ Q_1 ได้รับ logic '0' และ Q_1 ไม่ทำงาน จากกรณีดังกล่าวถึงแม้ว่าจะมีการเปลี่ยนแปลงสัญญาณที่อินพุตแต่ก็จะมีสัญญาณออกที่เอาต์หรือเรียกอย่างหนึ่งว่าวงจรอยู่ในสภาวะอิมพีแดนซ์สูง

ถ้าให้สัญญาณที่ E_n มีค่าเป็น Low หรือ logic '0' ทำให้ M3, M7 และ M15 ทำงาน ดังนั้น ส่วนขับเคลื่อนด้านขาลง

ถ้าสัญญาณที่อินพุตมีสถานะเป็น Low หรือลอจิก '0' ผลทำให้ M1 ทำงานผลของ M1 ทำให้ M9 ทำงานผลทำให้ เบสของ Q_1 ได้รับลอจิก '0' ดังนั้น Q_1 จะไม่ทำงาน (off) อีกทางหนึ่งผลของ V_{in} ทำให้ M4 ทำงานผลของ M4 ทำให้ M13 ทำงานผลทำให้ เบสของ Q_2 ได้รับลอจิก '1' หรือได้ไบอัส เป็น V_{DD} ทำให้ Q_2 ทำงานทำให้สัปดาห์ที่ขาออก V_{out} มีลอจิกเข้าใกล้ลอจิก '0' ขณะเดียวกันก็จะมีผล ทำให้ M17 ทำงานทำให้ C_{boot} ถูกต่อเข้ากับสัปดาห์ไฟเลี้ยงวงจรและทำให้ C_{boot} ทำการประจุผ่าน Q_2 โดยมีสัปดาห์เป็น V_{DD} ในเวลาต่อมาผลของ V_{out} ที่มีสัปดาห์เข้าใกล้ลอจิก '0' ทำให้ M11 ทำงานผลของ M11 จะมีผลให้ M14 ทำงานทำให้ได้สัปดาห์ที่ขาออก V_{out} เป็น ลอจิก '0' แท้จริงยิ่งขึ้น

ส่วนขั้วทางด้านขาขึ้น

เมื่อถึงสถานะที่สัญญาณอินพุตเปลี่ยนจากสถานะ Low ไป High หรือลอจิก '0' ไปเป็นลอจิก '1' ทำให้ เกทของเอ็นมอสทรานซิสเตอร์ M6 ได้รับสัปดาห์เป็นบวกทำให้ M6 ทำงานผลของ M6 ทำให้เกทของ มอส M13 ได้รับลอจิก '0' ดังนั้น M13 จะไม่ทำงานผลของ M13 ทำให้เบสของไบโพลาร์ ทรานซิสเตอร์ Q_2 ไม่มีไบอัสทำให้ Q_2 ไม่ทำงาน (off) ในอีกทางหนึ่งผลของ V_{in} ที่เป็นลอจิก '1' ทำให้ มอสทรานซิสเตอร์ M2 ทำงานผลทำให้เกทของ M8 มีสัปดาห์เป็น 0 ทำให้ M8 ทำงานทำให้เบส ของไบโพลาร์ทรานซิสเตอร์ Q_1 ได้ไบอัสเป็นฟอร์เวส(ลอจิก '1') ขณะเดียวกันตัวคาแพซิเตอร์ C_{boot} ลอยตัว จากแหล่งจ่าย V_{DD} เนื่องจาก M17 หยุดทำงาน แต่ยังคงมีสัปดาห์ที่ประจุไว้ในช่วงอินพุต เป็น Low ในเวลาเดียวกันมันจะเป็นตัวทำให้สัปดาห์ที่ขาเบสของ Q_1 มีค่าสูงกว่า V_{DD} โดยผ่าน M7 และ M8 ซึ่งอยู่ในสถานะการทำงานซึ่งผลจากสัปดาห์ที่เพิ่มขึ้นนี้จึงทำให้ Q_1 สามารถขับกระแสได้ มากขึ้น ทำให้การประจุโหลดคาแพซิเตอร์ได้เร็วขึ้น เมื่อสัปดาห์เอาต์พุตถึงค่าๆ หนึ่งจะทำให้ เกท ของ M12 มีสัปดาห์เป็นบวกหรือ ลอจิก '1' ทำให้ M12 ทำงานเป็นผลของ M12 ทำให้ M16 ทำงานเพื่อ ทำให้ค่าสัปดาห์เอาต์พุตมีค่าเป็น V_{DD} มากกว่าแบบก่อน

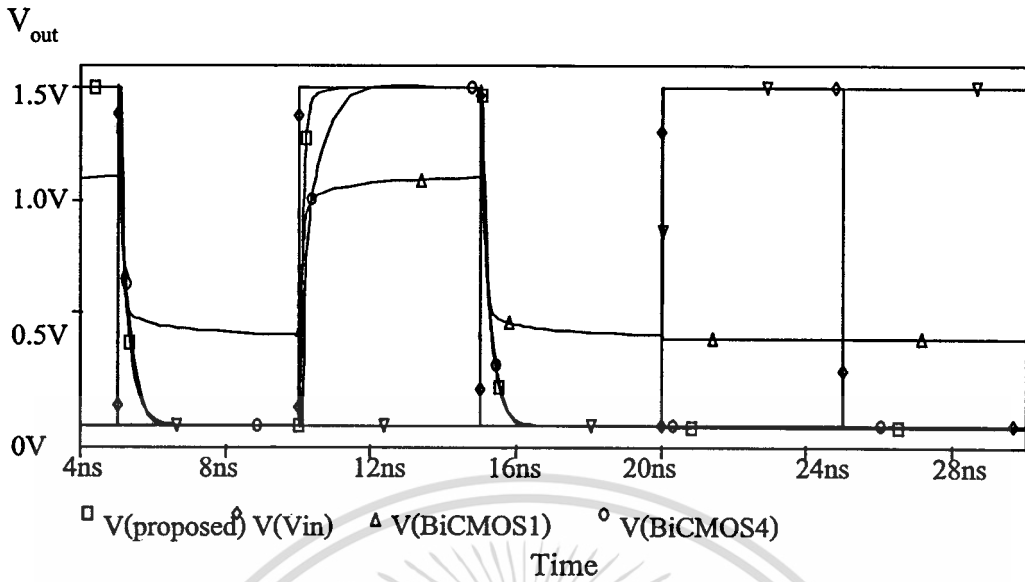
4.5. ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice

การทดสอบกระทำโดยการเปรียบเทียบค่าการหน่วงเวลาที่ได้จากวงจรทั้ง 3 วงจร คือ วงจร ไบซิมอสไตรสเททบัฟเฟอร์ [3], วงจรไบซิมอสไตรสเททบัฟเฟอร์แบบคอมพลิเมนต์ทาร์รี่ [2] และ วงจรบุคสเตรปไบซิมอสไตรสเททบัฟเฟอร์ที่นำเสนอในบทความนี้ โดยการใช้การเลียนแบบการทำงานด้วยโปรแกรม PSpice ซึ่งใช้ซิมอสเทคโนโลยี 0.35 μm ของ MOSIS ที่ Level 3 และค่า สัปดาห์เทรซโวลของมอสทรานซิสเตอร์มีค่าเท่ากับ 0.5 โวลท์ ส่วนตัวแปรของไบโพลาร์แสดงได้ดัง ตารางที่ 1

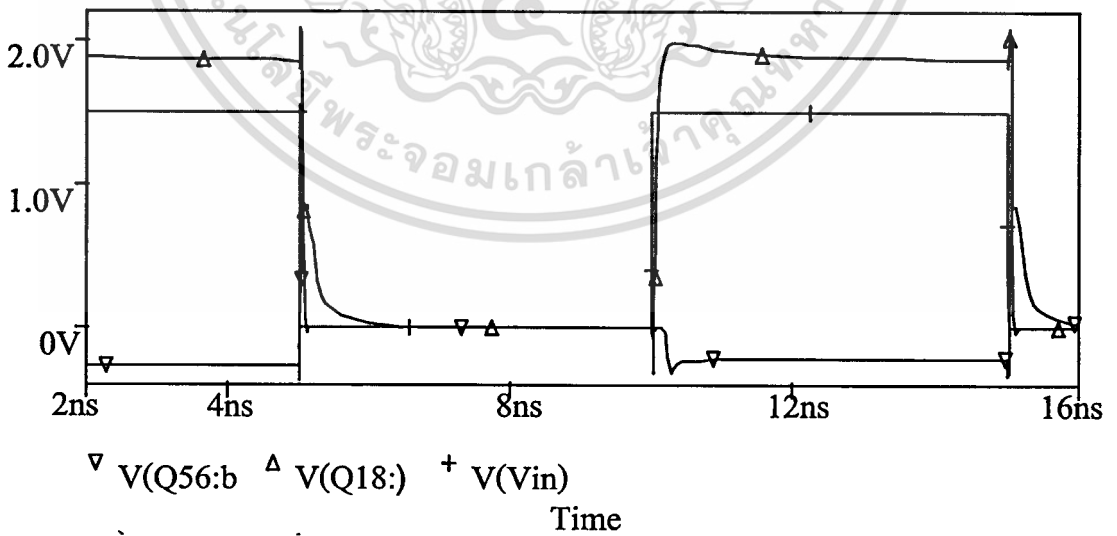
ตารางที่ 1 ตัวแปรของไบโพลาร์

Bipolar	NPN	PNP
I_S	100E-14	100E-14
B_F	89	89
C_{JE}	23.8E-15F	12.4E-15F
C_{JC}	16.8E-15F	10.6E-15F
R_B	250 Ω	300 Ω
R_E	25 Ω	25 Ω
R_C	42 Ω	42 Ω

กำหนดให้ค่า ความกว้างของแขนแนล(W) ของเอ็นมอสทรานซิสเตอร์มีค่าเท่ากับ 1.0 μm ทั้งหมด ยกเว้นเอ็นมอสทรานซิสเตอร์สำหรับขั้วที่เบสมีค่าเท่ากับ 10.0 μm กำหนดให้ค่า ความกว้างของ แขนแนล (W) ของพีมอสทรานซิสเตอร์มีค่าเท่ากับ 2.8 μm ทั้งหมดยกเว้นพีมอสทรานซิสเตอร์ สำหรับขั้วที่เบสมีค่าเท่ากับ 10.0 μm และจุดเสตปคาแพซิแตนซ์ (C_{boot}) จะกำหนดให้มีค่าเท่ากับ 200 fF ให้ศักดาไฟเลี้ยงวงจรที่ค่า 1.5 โวลต์ และโหลดคาแพซิแตนซ์เท่ากับ 1 pF การทดสอบ กระทำโดยป้อนสัญญาณอินพุตและสัญญาณที่ E_{in} ให้กับวงจรทั้ง 3 วงจร สัญญาณเอาต์พุตของทั้ง 3 วงจรจะแสดงไว้ดังรูปที่ 4.4 และรูปต่อๆมาจะแสดงรูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อศักดาไฟ เลี้ยงเท่ากับ 1.2 โวลต์ จนกระทั่งถึง 1.5 โวลต์ โหลด คาปาซิแตนซ์เท่ากับ 1 pF แสดงรูปสัญญาณ เอาต์พุตทั้ง 3 วงจรเมื่อศักดาไฟเลี้ยงเท่ากับ 1.5 โวลต์ โหลด คาปาซิแตนซ์เท่ากับ 1-8 pF แสดงรูป สัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อศักดาไฟเลี้ยงเท่ากับ 1.5 โวลต์ โหลด คาปาซิแตนซ์เท่ากับ 1 pF ความถี่ตั้งแต่ 100 MHz – 1GHz



รูปที่ 4.4 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อตัดคาไฟเลี้ยงเท่ากับ 1.5 โวลต์ และโหลดคาปาซิแตนซ์เท่ากับ 1 pF



รูปที่ 4.5 รูปสัญญาณเอาต์พุตของวงจรบูตสเตรปไบซิมอสไตรสเททบัฟเฟอร์เทียบกับตัดคาเบสที่ตัดคาไฟเลี้ยงเท่ากับ 1.5 โวลต์ และโหลดคาปาซิแตนซ์เท่ากับ 1.0 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.4 จะเห็นได้ว่าสัญญาณเอาต์พุตของวงจรที่นำเสนอนี้ สามารถทำงานได้เร็วกว่าวงจรแบบเก่าทั้งสอง และในขณะที่ศักดาไฟเลี้ยง 1.5 โวลต์ วงจรที่นำเสนอโดย [3] ไม่สามารถทำงานได้ที่โหลดคาปาซิแตนซ์เป็น 1 pF ส่วนการหน่วงเวลาสัญญาณเอาต์พุตของวงจรที่นำเสนอทั้งด้านขาขึ้นจะพบว่ามีความเร็วในการทำงานมากกว่าวงจรแบบเก่า [2] ถ้าให้สมการประจุโหลดคาปาซิแตนซ์เป็น

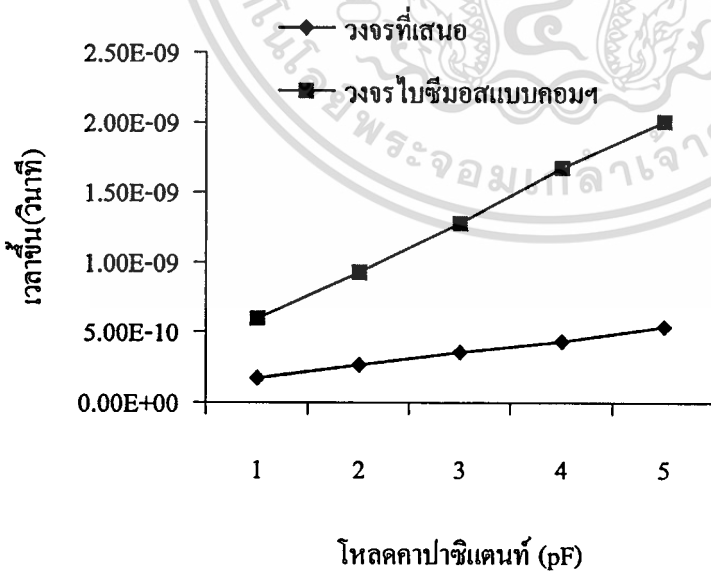
$$I_C = C \frac{dv}{dt} \quad (4.1)$$

I_C = กระแสที่ใช้ในการประจุโหลดคาปาซิแตนซ์

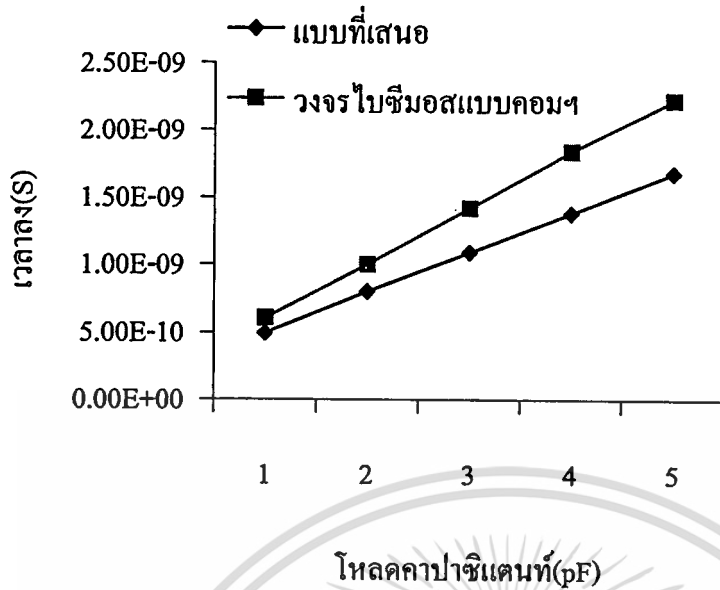
C = โหลดคาปาซิแตนซ์

$\frac{dv}{dt}$ = อัตราการเปลี่ยนแปลงศักดาเอาต์พุตต่อเวลา

จากสมการที่ (4.1) เมื่อ C เป็นค่าคงที่ จะพบว่าที่ถ้าอัตราการเปลี่ยนแปลงของเวลาเท่ากัน (dt) อัตราการเปลี่ยนแปลงของศักดาเอาต์พุตของวงจรที่นำเสนอจะมีการเปลี่ยนแปลงมากที่สุด แสดงว่าที่ค่าโหลดคาปาซิแตนซ์เท่ากัน ค่าการหน่วงเวลาของวงจรที่นำเสนอจะมีค่าน้อยที่สุด จากนั้นจะทำการเปรียบเทียบสัญญาณเอาต์พุตในช่วงขาขึ้นและขาลง ของวงจรที่นำเสนอในบทความนี้ กับวงจรที่นำเสนอโดย [2] เปรียบเทียบกับโหลดคาปาซิแตนซ์ โดยการปรับโหลดคาปาซิแตนซ์จาก 0.5 – 2.0 pF ที่ศักดาไฟเลี้ยงวงจรเท่ากับ 1.5 โวลต์ ซึ่งค่าการหน่วงเวลาของวงจรทั้งสามสามารถเขียนกราฟแสดงการเปรียบเทียบได้ดังรูปที่ 4.6



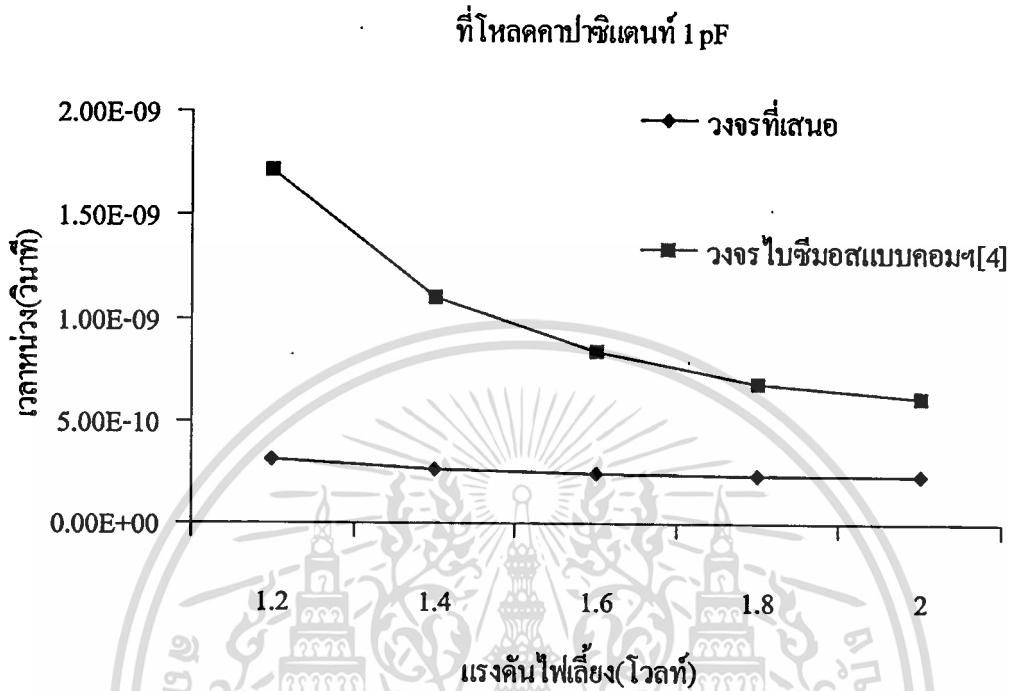
รูปที่ 4.6 แสดงการหน่วงเวลาเฉลี่ยขาขึ้นเมื่อศักดาไฟเลี้ยงเท่ากับ 1.5 โวลต์



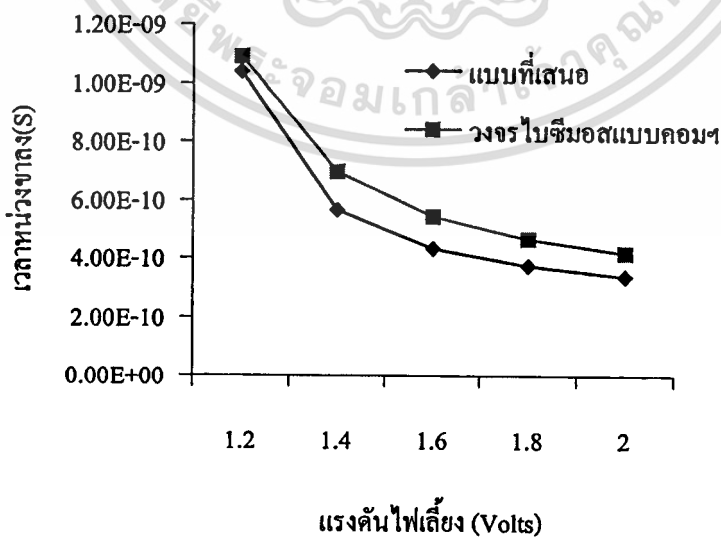
รูปที่ 4.7 แสดงการหน่วงเวลาขาลงเฉลี่ยเมื่อสัคคาไฟเลียงเท่ากับ 1.5 โวลท

จากรูปที่ 4.6 ,4.7 จะเห็นได้ว่าวงจรที่นำเสนอมีค่าการหน่วงเวลาที่ด้านเอาต์พุตน้อยกว่าวงจรแบบเก่าและยังแสดงให้เห็นว่า เมื่อค่าโหลคคาแพซิแตนทมีค่าเพิ่มขึ้นทำให้วงจรแบบเก่าจะมีผลต่อค่าการหน่วงเวลาของวงจรมีค่ามากขึ้นด้วย เนื่องมาจากอัตรการประจุโหลคคาแพซิแตนทมีค่าเพิ่มขึ้น แต่วงจรที่นำเสนอยังคงสามารถทำงานได้เร็วกว่าวงจรแบบเก่า ซึ่งเป็นผลมาจากการใช้ตัวขับแบบไบโพลาร์ร่วมกับวงจรบูตสเตรป

ต่อไปทำการเปรียบเทียบค่าการหน่วงเวลาโดยการปรับเปลี่ยนสัคคาไฟเลียงวงจรจาก 1.2 – 2.0 โวลท เมื่อโหลคคาแพซิแตนทคงที่เท่ากับ 1.5 pF ผลที่ได้สามารถเขียนกราฟแสดงการเปรียบเทียบได้ดังรูปที่ 4.8

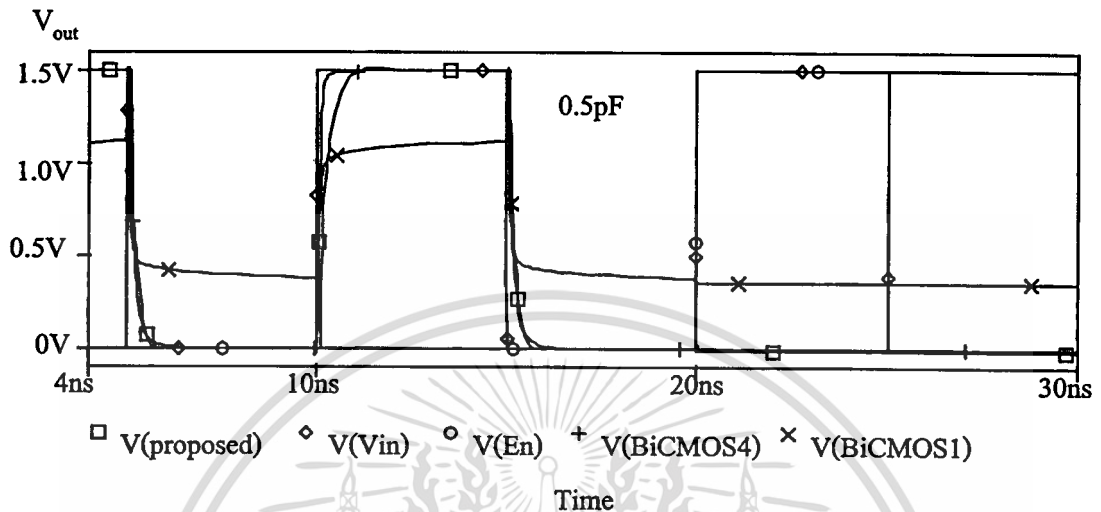


รูปที่ 4.8 แสดงค่าการหน่วงเวลาขาขึ้นเมื่อโหนดคาปาซิแตนซ์เท่ากับ 1.0 pF และทำการปรับเปลี่ยนแรงดันไฟเลี้ยงวงจรถ้า

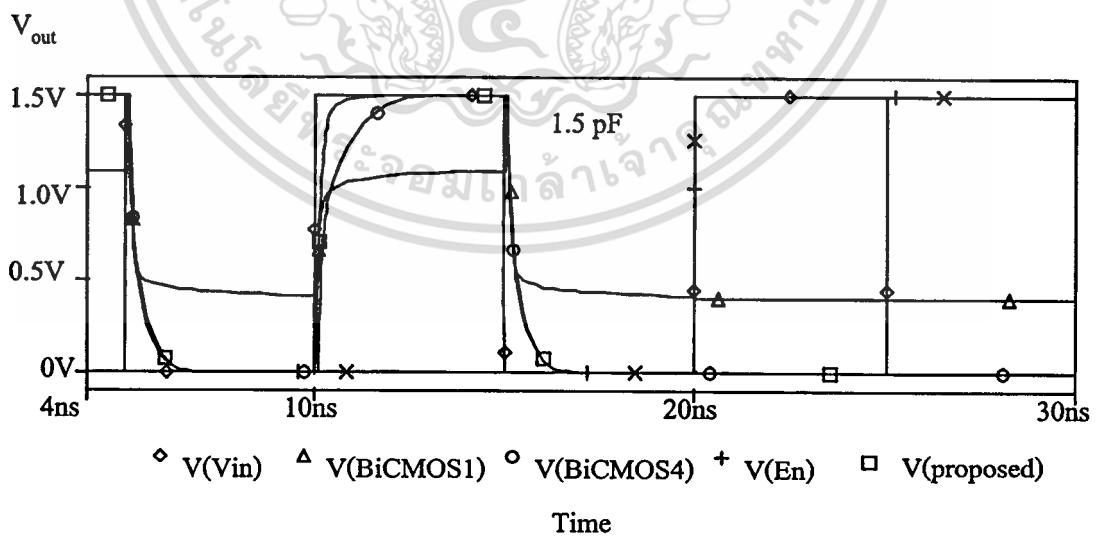


รูปที่ 4.9 แสดงค่าการหน่วงเวลาเมื่อโหนดคาปาซิแตนซ์เท่ากับ 1.0 pF และทำการปรับเปลี่ยนแรงดันไฟเลี้ยงวงจรถ้า

จากรูปที่ 4.8,4.9 จะแสดงให้เห็นว่าสัปดาห์ไฟเลี้ยงวงจรจะมีผลทำให้ค่าการหน่วงเวลาของวงจรมีค่ามากขึ้นเมื่อสัปดาห์ไฟเลี้ยงวงจรลดลง เนื่องมาจากอัตราการประจุโหลดคาปาซิแตนซ์ที่มีค่าลดลง แต่วงจรที่นำเสนอยังสามารถทำงานได้เร็วกว่าวงจรแบบเก่า

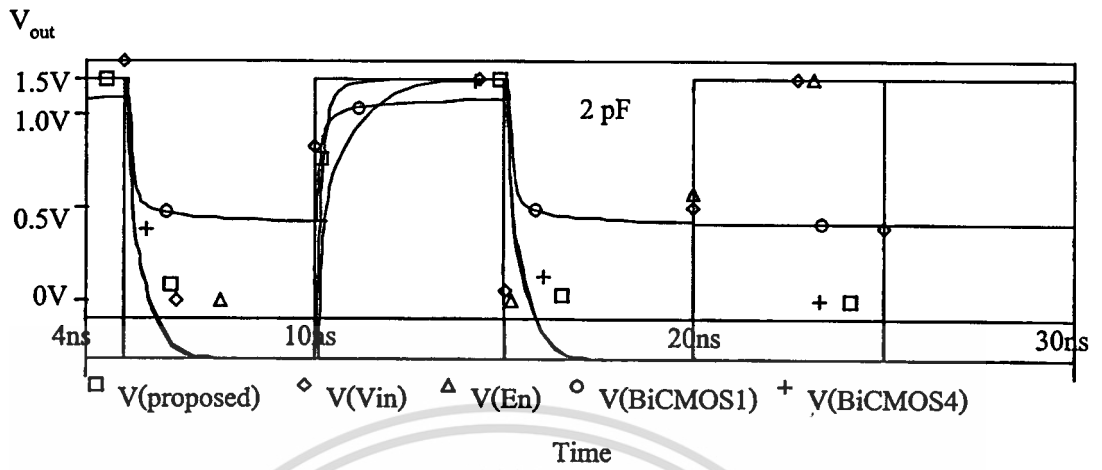


รูปที่ 4.10 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และโหลด คาปาซิแตนซ์เท่ากับ 0.5 pF

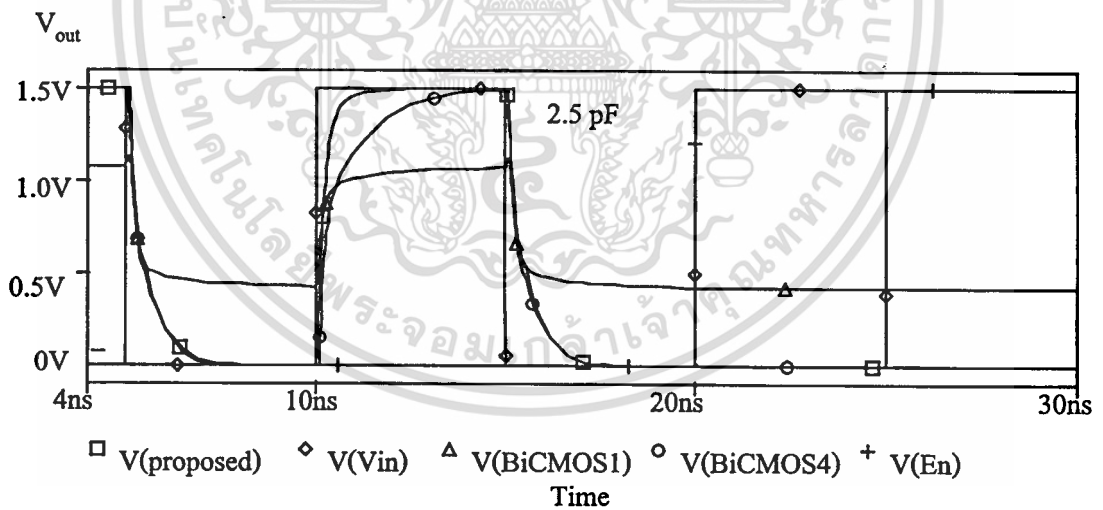


รูปที่ 4.11 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อสัปดาห์ไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลด คาปาซิแตนซ์เท่ากับ 1.5 pF

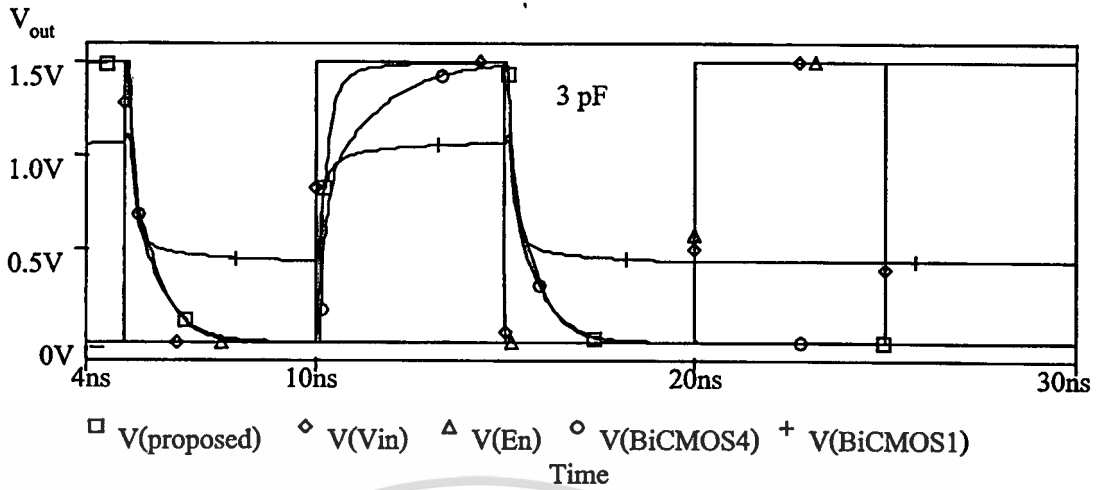
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



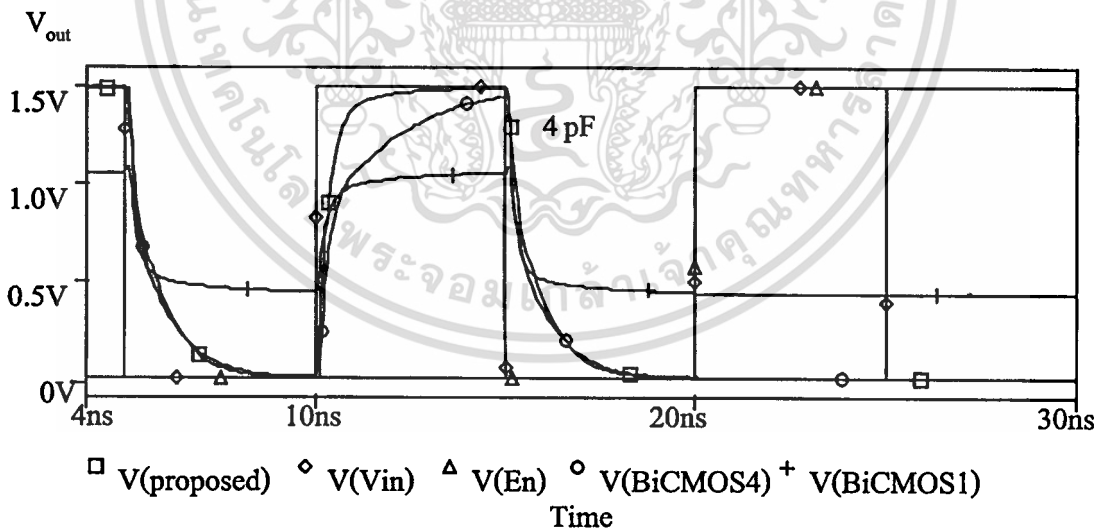
รูปที่ 4.12 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 2 pF



รูปที่ 4.13 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 2.5 pF

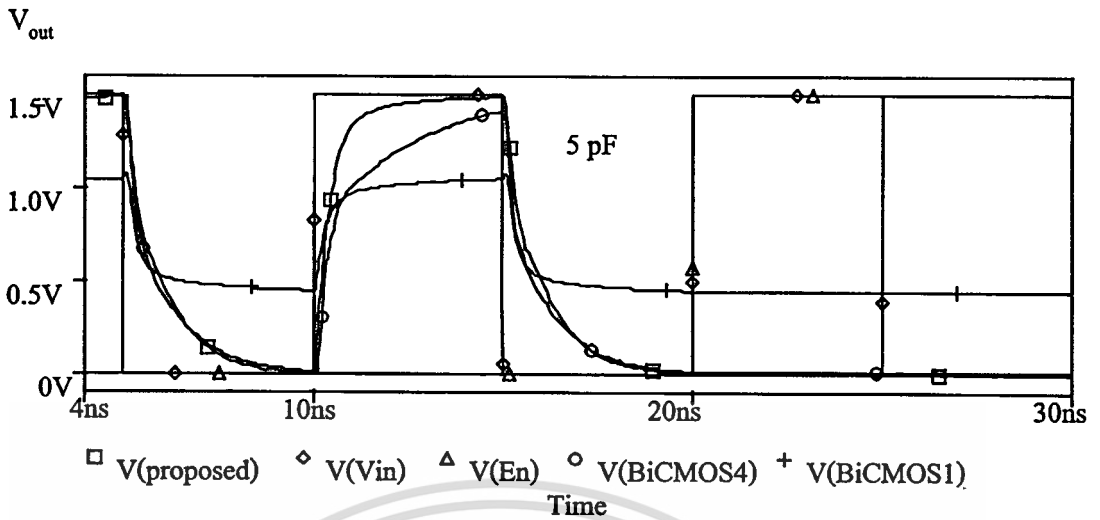


รูปที่ 4.14 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลด คาปาซิแตนซ์เท่ากับ 3 pF

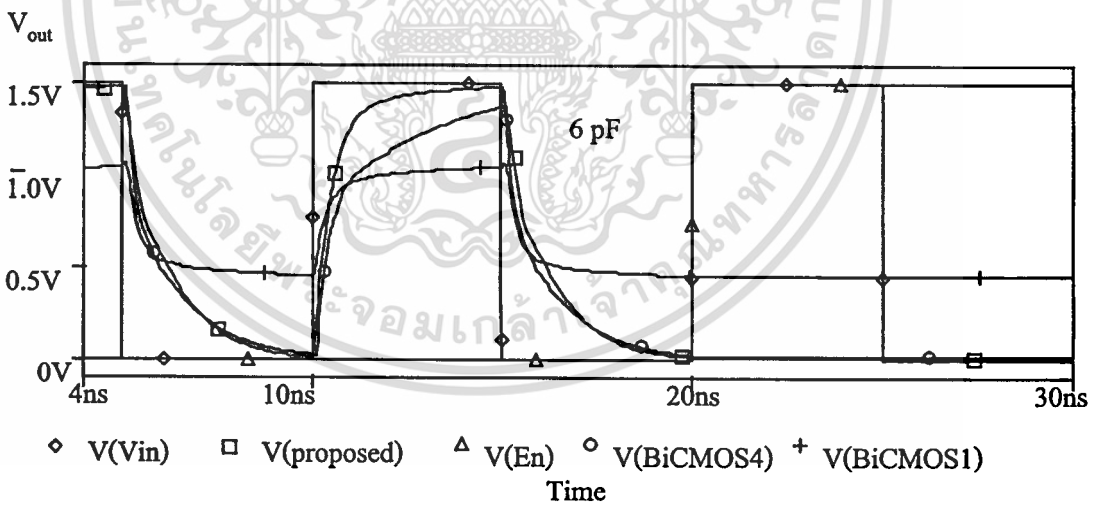


รูปที่ 4.15 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 4 pF

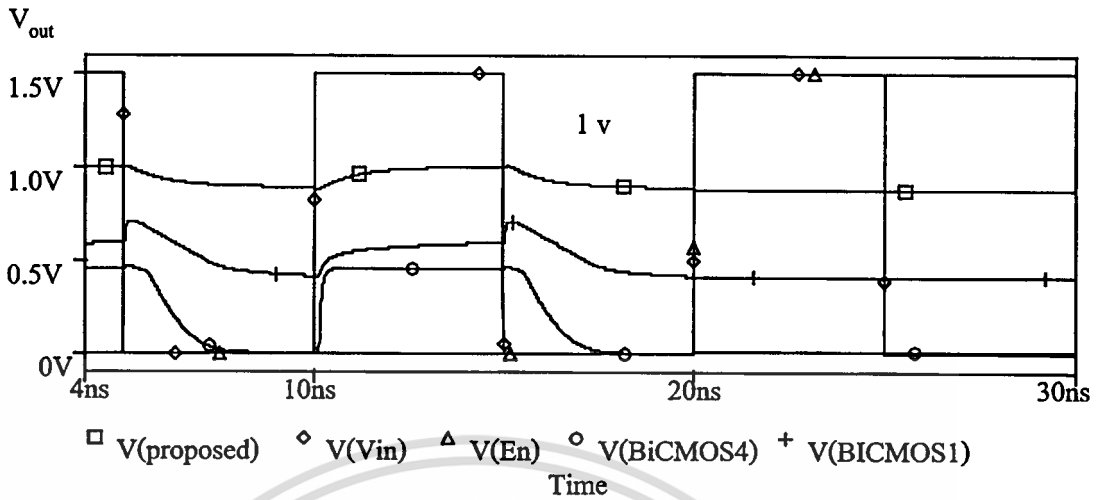
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



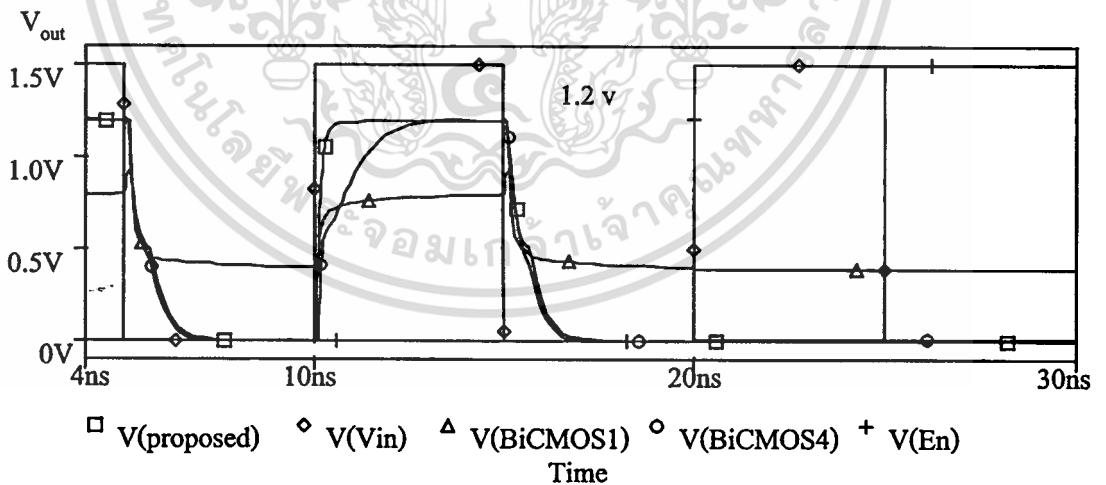
รูปที่ 4.16 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 5pF



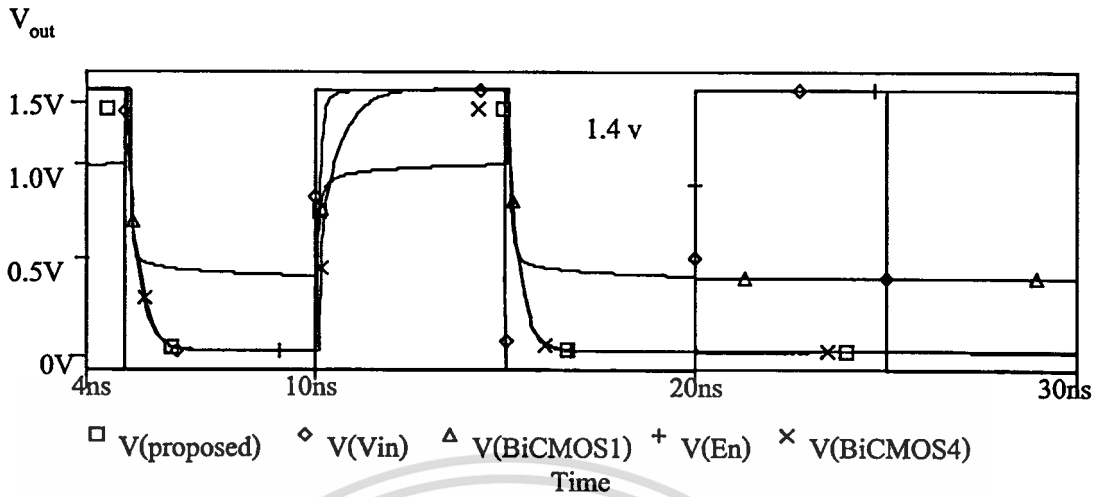
รูปที่ 4.17 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลด คาปาซิแตนซ์เท่ากับ 6 pF



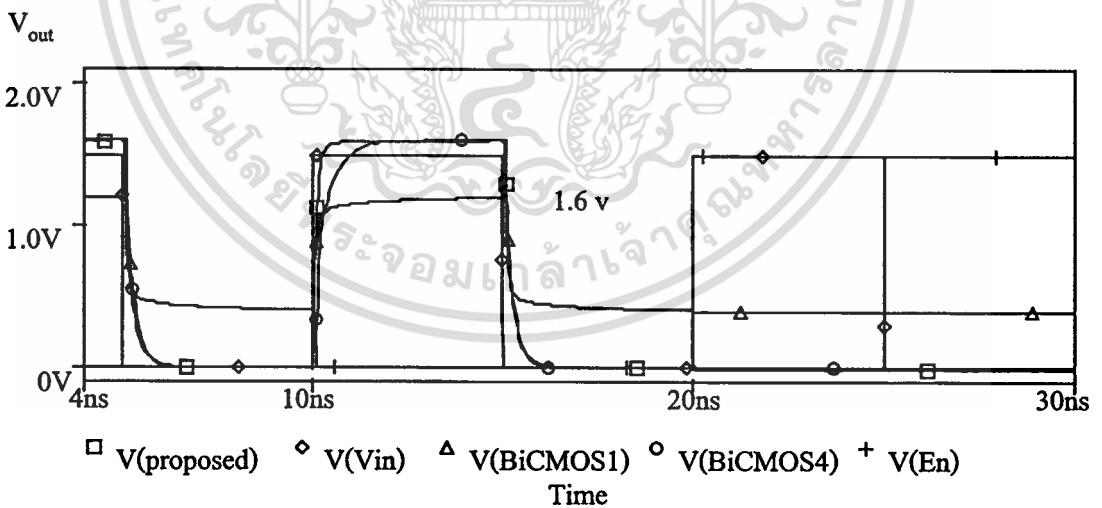
รูปที่ 4.18 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF



รูปที่ 4.19 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.2 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF

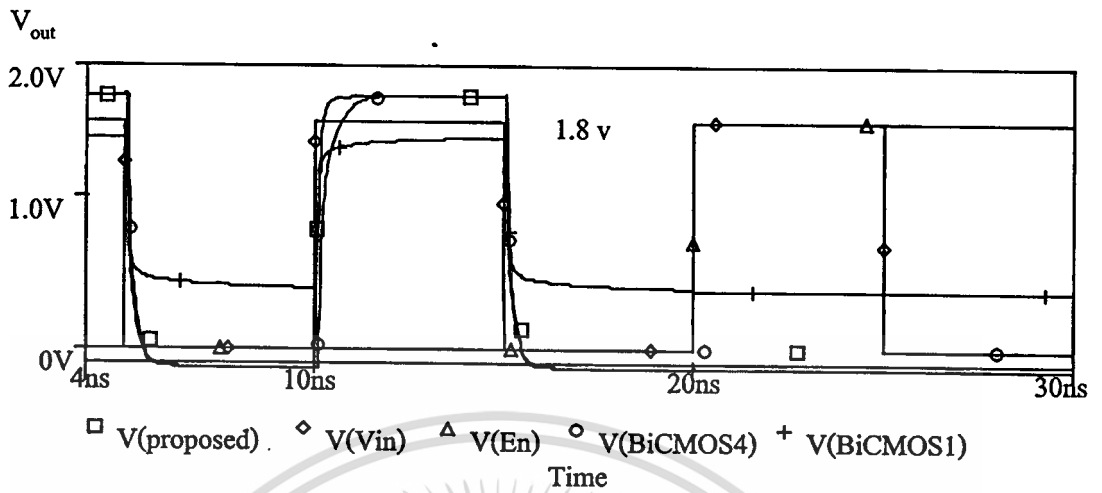


รูปที่ 4.20 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.4 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF

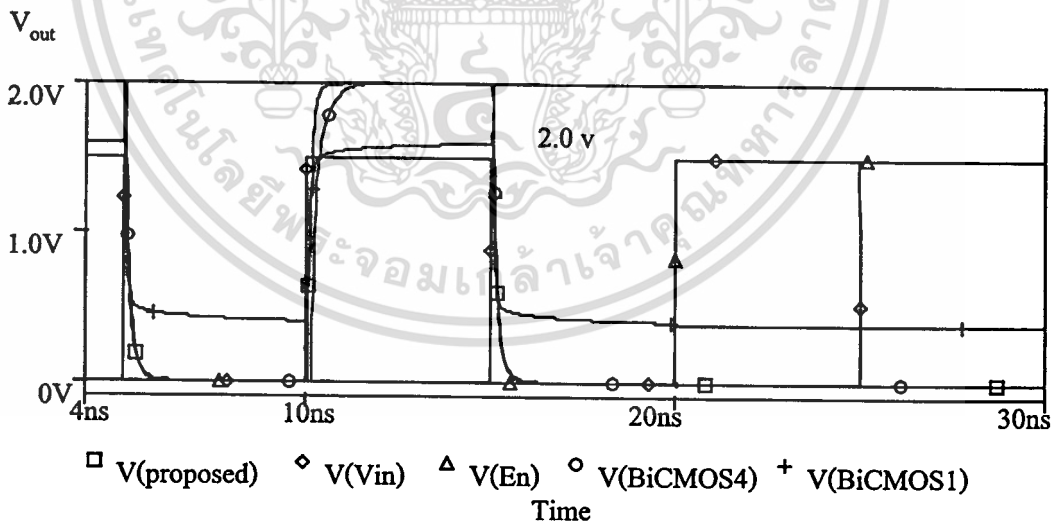


รูปที่ 4.21 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.6 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

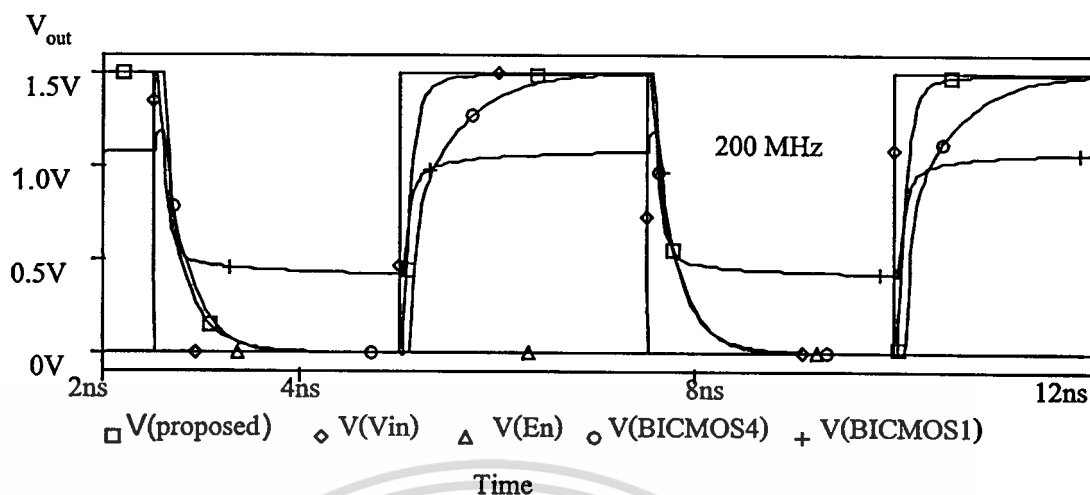


รูปที่ 4.22 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.8 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF

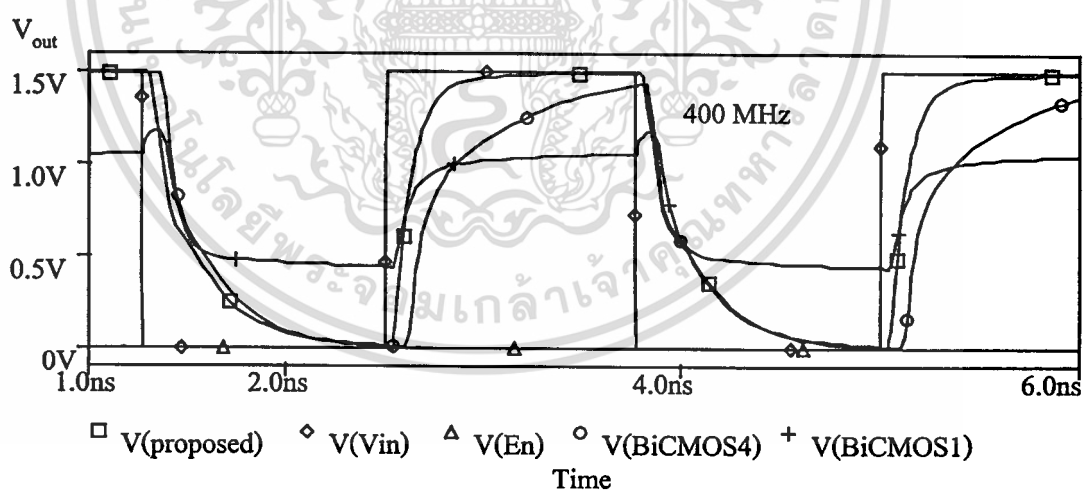


รูปที่ 4.23 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 2 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF

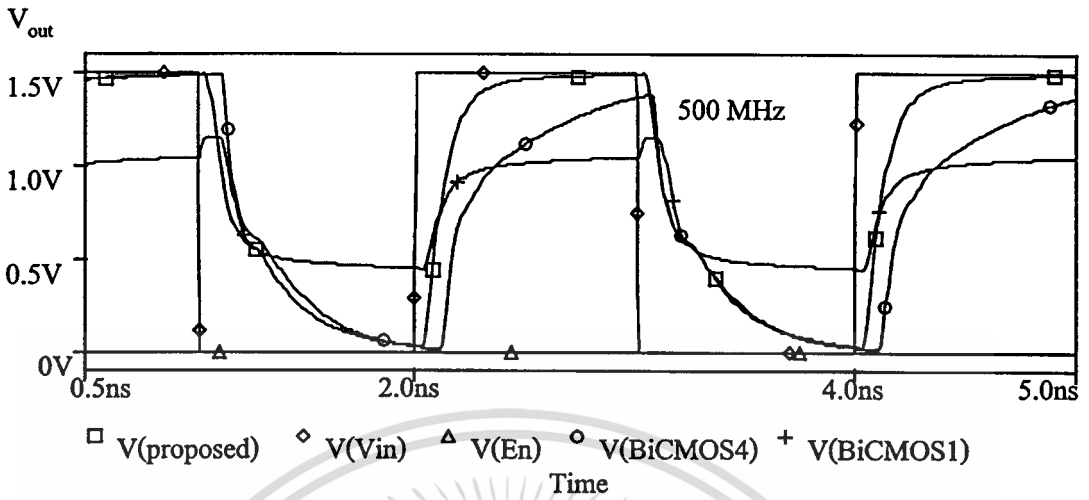
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



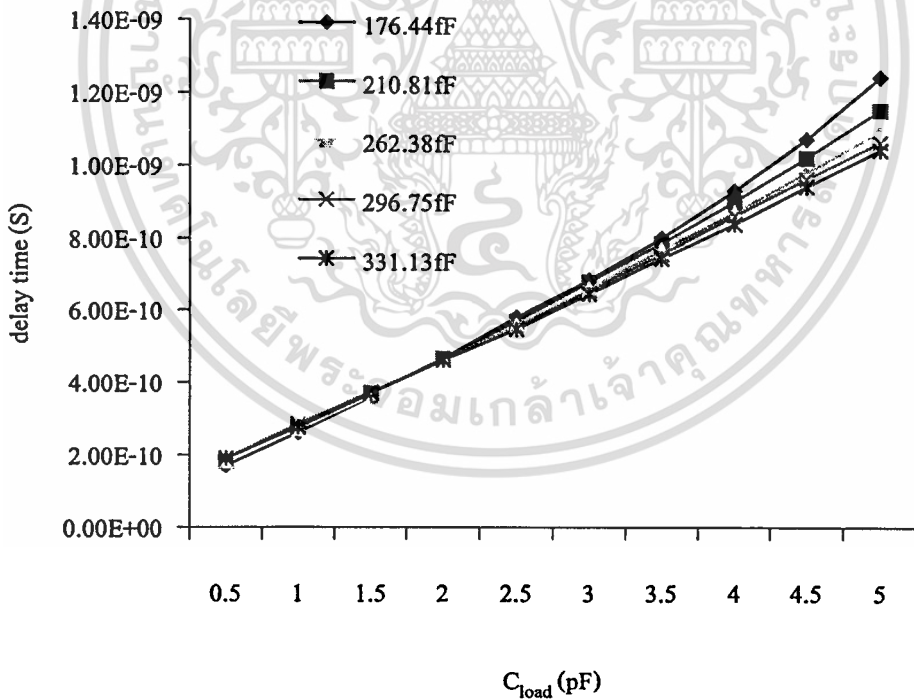
รูปที่ 4.24 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF ที่ความถี่ 200 MHz



รูปที่ 4.25 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF ที่ความถี่ 400 MHz

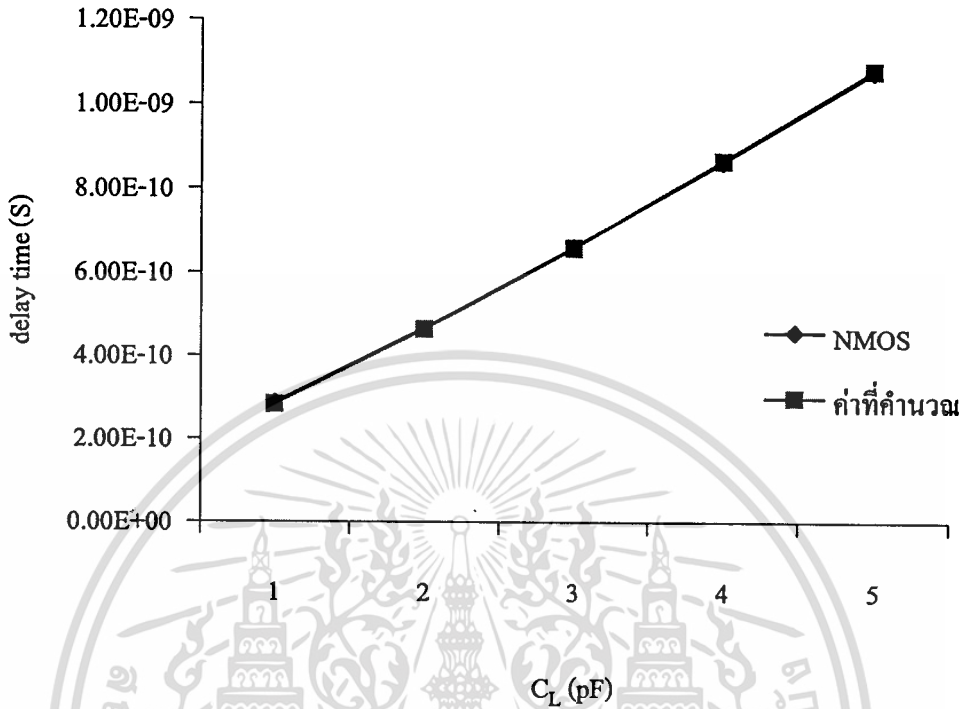


รูปที่ 4.26 รูปสัญญาณเอาต์พุตทั้ง 3 วงจรเมื่อแรงดันไฟเลี้ยงเท่ากับ 1.5 โวลต์ และ โหลดคาปาซิแตนซ์เท่ากับ 1pF ที่ความถี่ 500 MHz



รูปที่ 4.27 แสดงเวลาหน่วงกับค่า C_{boot} ที่คำนวณค่าต่างๆ

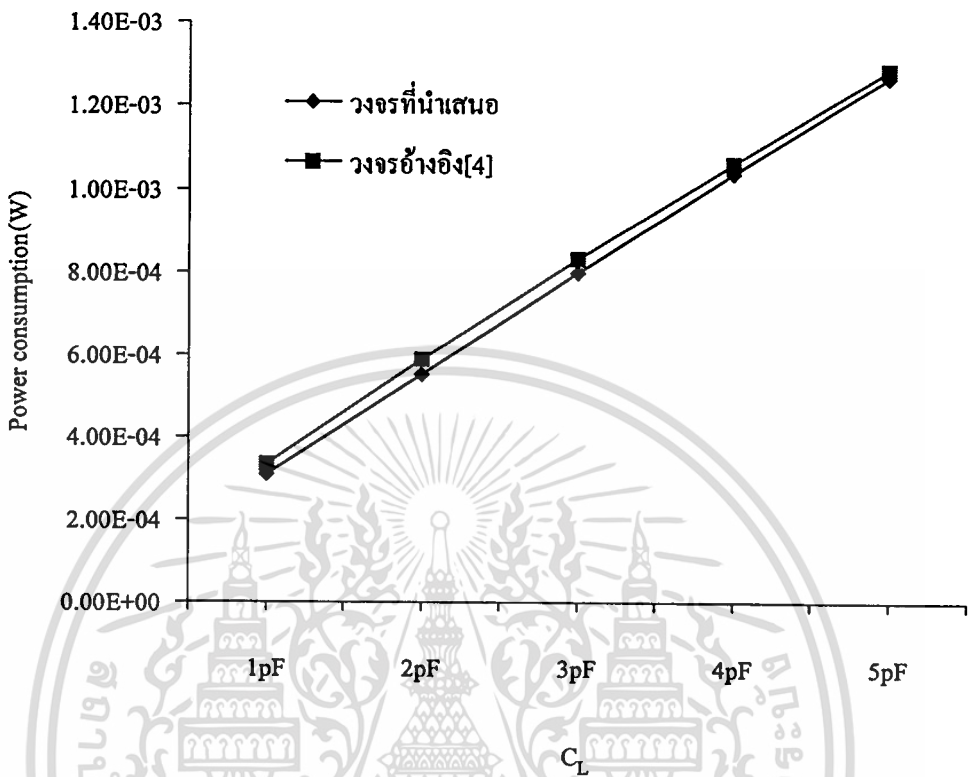
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 แสดงเวลาหน่วงกับค่า C_{boot} ที่คำนวณและการแทนด้วย NMOS

ความสิ้นเปลืองพลังงาน

ความสิ้นเปลืองพลังงานของวงจรบูตสเตรปไบสมอสไทรสเททบัฟเฟอร์ที่นำเสนอใช้ประมาณ $1.42E-11$ วัตต์ส่วนวงจรอ้างอิงที่ [1,4] จะสูญเสียที่ $1.35E-11$ วัตต์และ $2.55E-11$ วัตต์จากการจำลอง โดยโปรแกรม PSpice



รูปที่ 4.29 แสดงกำลังงานที่ใช้ที่โหลด C_L 1pF - 5pF [9]

4.6. บทสรุป

วงจรถวดสเตรปไบซิมอสไตรสเคทบัฟเฟอร์ที่นำเสนอมีข้อดีที่สามารถทำงานได้เร็วกว่าวงจรถวดสเตรปไบซิมอสแบบเก่าทั้งสองแบบ และสามารถทำงานได้ดีที่ค่าสวิตชิ่งไฟเลี้ยงวงจรถ้าๆ และที่โหลดคาแพซิแตนซ์ที่มีค่าสูงๆ ได้อย่างมีประสิทธิภาพ นอกจากนั้นแล้ววงจรถ้าเสนอใช้วงจรถ้าไบโพลาร์แบบนอนคอมพลีเมนต์ทารีที่สามารถประกอบในกระบวนการผลิตมาตรฐานได้ ทำให้ค่าใช้จ่ายน้อยกว่าไบซิมอสแบบคอมพลีเมนต์ทารี และผลจากการใช้วงจรถ้าสเตรปในการขับไบโพลาร์ยังทำให้ความสามารถในการขับโหลดของซิมอสมีมากกว่าที่ขนาดซิมอสที่เท่ากันๆ ผลจากการทดลองการทำงานของวงจรถ้าสามารถยืนยันการทำงานของวงจรถ้าเสนอได้เป็นอย่างดี

บทที่ 5

บทสรุปและข้อเสนอแนะ

จากผลการจำลองการทำงานของวงจรไบซิมอสไทรสเททบัฟเฟอร์ใช้ไฟเลี้ยง 1.5 โวลท์ที่นำเสนอด้วยโปรแกรม PSpice โดยนำผลของบทความที่นำเสนอมาก่อน [2,3] และวงจรที่ได้พัฒนาปรับปรุงขึ้นมานำเสนอ มาเปรียบเทียบกับคุณลักษณะในด้านต่าง ๆ นำมาสรุปได้ดังนี้

5.1 ด้านเวลาหน่วงช่วงขาขึ้น

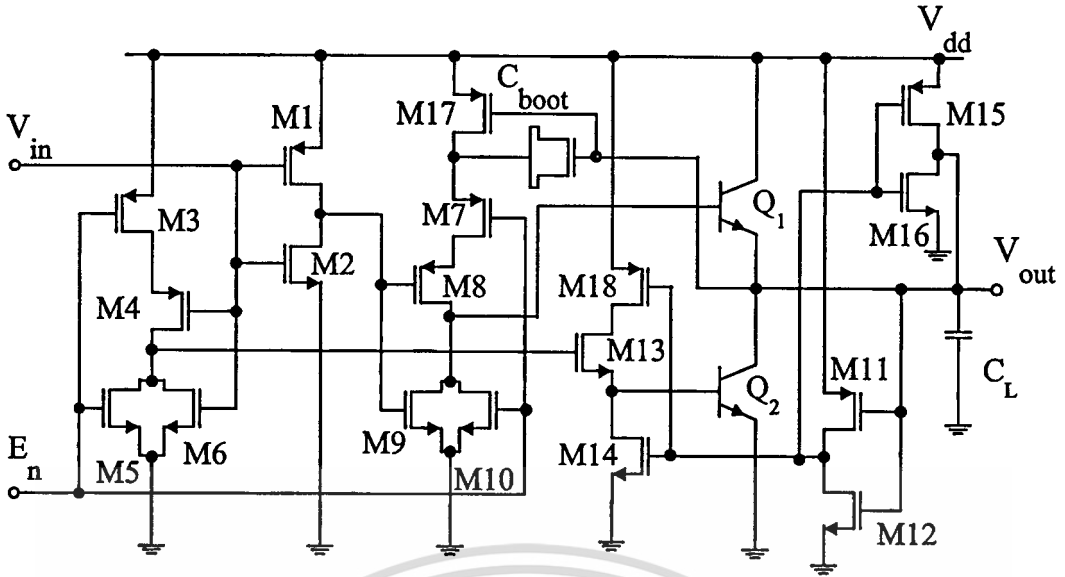
จากการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice ที่โหลดคาปาซิแตนซ์ ต่างๆ ตั้งแต่ 0.5pF, 1pF, 1.5pF, 2pF, 2.5pF, 3pF, 4pF, 5pF, 6pF, 7pF และ 8pF แรงดันด้านขาเข้า (V_{in}) 1.5 โวลท์ที่ความถี่ 100 MHz แรงดันแหล่งจ่าย 1.5 โวลท์ จะพบว่าวงจรที่นำเสนอมีเวลาหน่วงช่วงขาขึ้นน้อยกว่าวงจรที่นำเสนอมาก่อน [4] ส่วนวงจรถ่ายที่ใช้อ้างอิง [1] ไม่สามารถนำมาเปรียบเทียบได้เนื่องจากผลที่ออกที่ด้านขาออกของสัญญาณที่โลจิก '1' ไม่สามารถกวาดสัญญาณได้ถึงระดับแรงดันสูงสุดของแหล่งจ่ายไฟ ส่วนแรงดันขาออกช่วงขาลงก็ไม่สามารถถึงระดับต่ำสุดของแหล่งจ่ายไฟเลี้ยงของวงจรได้ วงจรที่นำเสนอสามารถถึงระดับต่ำสุดของแหล่งจ่ายไฟเลี้ยงของวงจรแม้ที่โหลดคาปาซิแตนซ์ 5 pF ก็ตาม วงจรที่นำเสนอ [4] สามารถทำได้ที่โหลดคาปาซิแตนซ์เพียง 2.5 pF เท่านั้น

5.2 ด้านความถี่

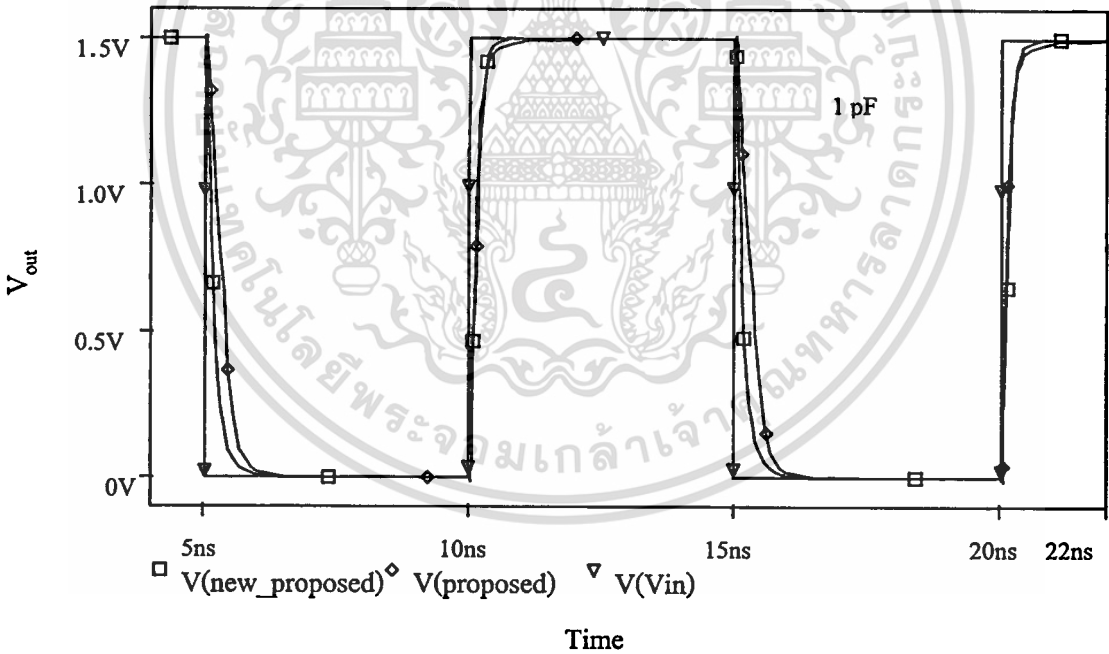
จำลองการทำงานของวงจรด้วยโปรแกรม PSpice ที่โหลดคาปาซิแตนซ์ 1pF ความถี่ 100MHz - 1GHz จะพบว่าวงจรที่นำเสนอสามารถกวาดสัญญาณได้ดีถึงความถี่ 500MHz ทั้งด้านขาขึ้นและขาลง ส่วนวงจรที่นำเสนอมาก่อน [4] สามารถกระทำได้ดีเพียงที่ความถี่ประมาณ 250MHz เท่านั้น

5.3 ข้อเสนอแนะในการปรับปรุง

จากจำลองการทำงานของวงจรพบว่าวงจรที่นำเสนอยังมีได้ทำการพัฒนาด้านเวลาหน่วงช่วงขาลงแต่ก็ไม่ได้ดีกว่าวงจรที่นำเสนอมาก่อนซึ่งสมควรจะต้องมีการพัฒนาให้ดีขึ้นต่อไปและค่าคาปาซิแตนซ์ของบูตแสตรปยังต้องมีแนวทางในการคำนวณเพื่อหาค่าที่จะทำให้วงจรทำงานได้อย่างมีประสิทธิภาพสูงสุดต่อไป

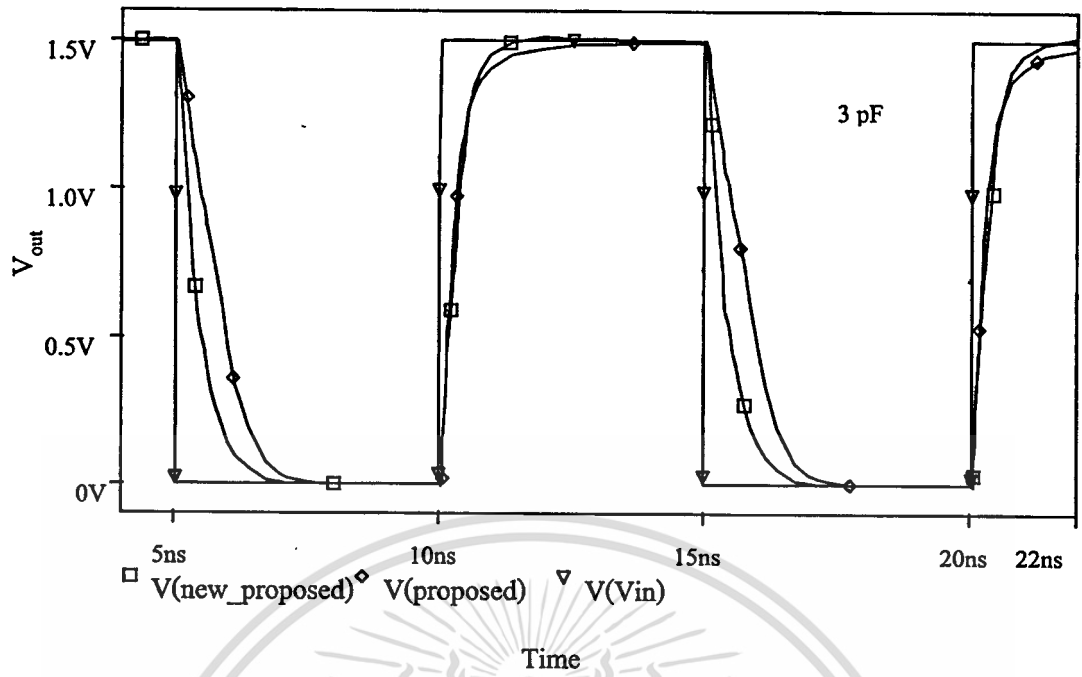


รูปที่ 5.1 วงจรเสนอแนะเพื่อให้การกวาดของสัญญาณดีขึ้นทั้งขาขึ้นและขาลง



รูปที่ 5.2 รูปสัญญาณของวงจรเสนอแนะและที่นำเสนอที่ 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 รูปสัญญาณของวงจรเสนอแนะและที่นำเสนอที่ 3 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] A. B. Bellaouar, M. I. Elmasry and S. H. K. Embabi, " Bootstrapped Full-Swing BiCMOS/BiNMOS Logic Circuits for 1.2 – 3.3 V Supply voltage Regime, " IEEE J.Solid-State Circuit, Vol.30, No.6, pp.629-636, June 1995
- [2] C. Suriyaammaranon, K. Dejhan, F. Cheevasuvit and C. Soonyeeakan, " A High-Speed BiCMOS Tristate Buffer Circuit, " Proc.of the 6th IEEE International Conference on Electronics, Circuit and Systems, (ICECS '99), Vol. 1, pp. 197-199, Cyprus, September 1999.
- [3] J.B. Kuo and H. J. Liao, "A High-Speed BiCMOS Tristate Buffer , " IEEE Trans. Circuit and Systems, Vol.40, pp.440-443, July 1993.
- [4] R. Y. V. Chik and C. A. T. Salama, " Design of a 1.5 V Full-Swing Bootstrapped BiCMOS Logic Circuit, " IEEE J. Solid-State Circuits, Vol. 30, No.6, pp. 972-978, September 1995.
- [5] S. H. K. Embabi, A. Bellaouar and K. Islam, " A 1.1V Bootstrapped Bipolar CMOS Logic (B^2 CMOS) for Low Power Systems, " Proc. IEEE Bipolar/BiCMOS Circuits & Technology Meeting , pp. 37-39, 1994.
- [6] S. M. Kang, " Accurate Simulation of Power Dissipation in VLSI Circuits, " IEEE J. Solid-State Circuit, Vol. SC-21, No.10, pp.889-891, October 1986.
- [7] S. M. Kang and Y. Leblebici, " CMOS Digital Integrated Circuits, " McGraw-Hill, Second Edition, 1999.
- [8] Y . K. Seng and S.S. Rofail, " 1.1 V Full-Swing Double Bootstrapped BiCMOS Logic Gates, " IEE Proc.Circuits Devices Syst., Vol. 143, No. 1, pp41-45, February 1996.
- [9] Z. Qiushuang, Q. Yulin, Z. Zhihong, " A Novel Full-Swing Low- Voltage BiCMOS Logic Circuit, " Microelectronics R&D Center Chinese Academy of Sciences, P.R.China, pp 352-356, 1996.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
ผลงานที่ได้รับการตีพิมพ์

- [1] เชาวลิขย์ สังข์รุ่ง ทวิช ชูเมือง กอบชัย เคชหาญ คำผอง คงสมบูรณ์ และ สุรพล บุญจันทร์ วงจรบุคเศตรปไบชิมอสไตรสเศทบัพเฟอร์ความเร็วสูง วิศวกรรมลาดกระบัง ปีที่ 19 ฉบับที่ 4 หน้า 31-35 ธันวาคม 2545



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรม Pspice ที่ใช้ในการวิเคราะห์วิทยานิพนธ์

**** INCLUDING an1-SCHEMATIC1.net ****

* source AN1

M_Q1 Bi_PMOS_35 + L=0.35u + W=2.8u

M_Q2 Bi_NMOS_35 + L=0.35u + W=1u

M_Q3 Bi_PMOS_35 + L=0.35u + W=1u

M_Q37 Bi_PMOS_35 + L=0.35u + W=2.8u

M_Q4 Bi_PMOS_35 + L=0.35u + W=2.8u

C_C3 PROPOSE 200ff

M_Q38 Bi_NMOS_35 + L=0.35u + W=1u

M_Q39 Bi_PMOS_35 + L=0.35u + W=2.8u

V_V1 VDD 0 1.5vdc

M_Q40 Bi_PMOS_35 + L=0.35u + W=2.8u

M_Q41 Bi_NMOS_35 + L=0.35u + W=1u

M_Q42 Bi_NMOS_35 + L=0.35u + W=1u

M_Q43 Bi_PMOS_35 + L=0.35u + W=2.8u

M_Q5 Bi_NMOS_35 + L=0.35u + W=1u

M_Q44 Bi_PMOS_35 + L=0.35u + W=10u

M_Q6 Bi_NMOS_35 + L=0.35u + W=1u

M_Q45 Bi_NMOS_35 + L=0.35u + W=1u

M_Q46 Bi_NMOS_35 + L=0.35u + W=1u

M_Q7 Bi_PMOS_35 + L=0.35u + W=2.8u

M_Q47 Bi_PMOS_35 + L=0.35u + W=10u

M_Q8 Bi_PMOS_35 + L=0.35u + W=10u

M_Q48 Bi_NMOS_35 + L=0.35u + W=10u

M_Q9 Bi_NMOS_35 + L=0.35u + W=1u

M_Q49 Bi_NMOS_35 + L=0.35u + W=10u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M_Q10 Bi_NMOS_35 + L=0.35u + W=1u
 M_Q50 Bi_NMOS_35 + L=0.35u + W=20u
 M_Q11 Bi_PMOS_35 + L=0.35u + W=2.8u
 M_Q51 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q12 Bi_NMOS_35 + L=0.35u + W=1u
 M_Q52 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q53 Bi_PMOS_35 + L=0.35u + W=2.8u
 M_Q13 Bi_NMOS_35 + L=0.35u + W=10u
 M_Q14 Bi_NMOS_35 + L=0.35u + W=1u
 Q_Q15 BICMOS1 Qbreakn
 M_Q17 Bi_PMOS_35 + L=0.35u + W=2.8u
 Q_Q16 BICMOS1 N00380 0 QbreakN
 M_Q18 Bi_NMOS_35 + L=0.35u + W=1u
 M_Q19 Bi_PMOS_35 + L=0.35u + W=2.8u
 M_Q20 Bi_NMOS_35 + L=0.35u + W=1u
 M_Q21 Bi_PMOS_35 + L=0.35u + W=2.8u
 M_Q22 Bi_NMOS_35 + L=0.35u + W=1u.
 M_Q23 Bi_PMOS_35 + L=0.35u + W=2.8u
 M_Q24 Bi_NMOS_35 + L=0.35u + W=1u
 Q_Q54 PROPOSE QbreakN
 Q_Q55 PROPOSE VB_Q2 0 QbreakN
 M_Q25 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q26 Bi_NMOS_35 + L=0.35u + W=10u
 M_Q27 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q28 Bi_NMOS_35 + L=0.35u + W=10u
 M_Q29 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q30 Bi_NMOS_35 + L=0.35u + W=10u
 M_Q31 Bi_PMOS_35 + L=0.35u + W=10u
 M_Q32 Bi_NMOS_35 + L=0.35u + W=10u
 M_Q33 Bi_PMOS_35 + L=0.35u + W=10u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

M_Q34 Bi_NMOS_35 +L=0.35u +W=10u
Q_Q35 BICMOS4 Qbreakn
Q_Q36 BICMOS4 Qbreakp
V_V2 EN 0
+PULSE 1.5v 0v 0.01ns 0.01ns 0.01ns 20ns 80ns
C_C2 BICMOS4 0 1pF
V_V3 VIN 0
+PULSE 0v 1.5v 0ns 0.01ns 0.01ns 5ns 10ns
C_C1 BICMOS1 0 1pF
C_C4 0 PROPOSE 1pF

```

**** BJT MODEL PARAMETERS

	Qbreakn	Qbreakp
	NPN	PNP
IS	1.000000E-12	1.000000E-12
BF	89	89
NF	1	1
BR	1	1
NR	1	1
RB	250	300
RE	25	25
RC	42	42
CJE	23.800000E-30	12.400000E-30
CJC	16.800000E-30	10.600000E-30
CN	2.42	2.2
D	.87	.52

**** MOSFET MODEL PARAMETERS

	Bi_PMOS_35	Bi_NMOS_35
	PMOS	NMOS
LEVEL	1	1

L 100.000000E-06 100.000000E-06
 W 100.000000E-06 100.000000E-06
 VTO -.5 .5
 KP 172.657200E-06 345.314400E-06
 GAMMA 0 0
 PHI .6 .6
 LAMBDA 0 0
 IS 10.000000E-15 10.000000E-15
 JS 0 0
 PB .8 .8
 PBSW .8 .8
 CJ 618.000000E-06 500.000000E-06
 CJSW 22 18
 CGSO 208.000000E-12 208.000000E-12
 CGDO 208.000000E-12 208.000000E-12
 CGBO 0 0
 TOX 10.000000E-09 10.000000E-09
 XJ 0 0
 UO 500 1.000000E+03
 UCRIT 10.000000E+03 10.000000E+03
 DIOMOD 1 1
 VFB 0 0
 LETA 0 0
 WETA 0 0
 U0 0 0
 TEMP 0 0
 VDD 0 0
 XPART 0 0

**** INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

TOTAL POWER DISSIPATION 5.31E-11 WATTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย เชาวสิทธิ์ สังข์รุ่ง เกิดเมื่อวันที่ 1 ตุลาคม พ.ศ 2499 ที่อำเภอเมือง จังหวัดนนทบุรี จบการศึกษาระดับปริญญาตรี สาขาไฟฟ้าสื่อสาร จากสถาบันเทคโนโลยีและอาชีวศึกษาวิทยาเขตเทเวศร์ ปีการศึกษา 2528 ปัจจุบันทำงานในตำแหน่ง อาจารย์ 2 ระดับ 7 วิทยาลัยเทคนิคปทุมธานี อำเภอเมือง จังหวัดปทุมธานี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้