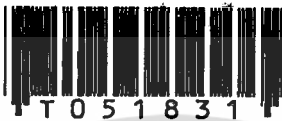


วงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยม

AN ALGORITHMIC GRAY CODE ADC USING
TRIANGULAR FUNCTION CIRCUIT



ทัตยา ปุกคละนันท์

TATTAYA PUKKALANUN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

อ.พ.
ท 3432
2547
๑.1

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

เลขหมู่.....
เลขทะเบียน.....
วัน,เดือน,ปี.....

51831

0 ก.ค. 2547

ISBN 974-9700-70-8

1140009x
b.....

**AN ALGORITHMIC GRAY CODE ADC USING
TRIANGULAR FUNCTION CIRCUIT**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2004

ISBN 974-9700-70-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรถ่ายสัญญาณ ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยม
นักศึกษา	นางสาวทศยา บุคคละนันท์
รหัสประจำตัว	42061046
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. วันชัย รีวรุจา

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการนำเสนอวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (ADC) แบบอัลกอริทึมชนิดเข้ารหัสแบบเกรย์ ภายใต้หลักการออกแบบวงจรรวมโดยใช้เทคโนโลยีแบบมอสเฟตทรานซิสเตอร์และการทำงานของวงจรในรูปแบบของกระแส หลักการทำงานของวงจรถ่ายสัญญาณสร้างสัญญาณสามเหลี่ยมที่มีลักษณะสมมาตรสำหรับสัญญาณอินพุตที่มีการเพิ่มขึ้นอย่างต่อเนื่อง ข้อดีของวงจรถ่ายสัญญาณที่นำเสนอคือ มีความเร็วในการทำงานสูง มีค่าความผิดพลาดสะสมน้อย ช่วงความถี่ปฏิบัติงานกว้าง รวมทั้งวงจรมีขนาดเล็กและไม่ซับซ้อน เหมาะสำหรับการสร้างเป็นวงจรรวมโดยอาศัยขบวนการผลิตของซีมอส (CMOS) มาตรฐาน ในที่นี้ได้ใช้โปรแกรม PSPICE สำหรับการเลียนแบบการทำงานของวงจรถ่ายสัญญาณ เพื่อเป็นการทดสอบและยืนยันความถูกต้องในการทำงานของวงจรถ่ายสัญญาณที่มีความสอดคล้องเป็นไปตามหลักการทางทฤษฎี

Thesis Title	An algorithmic Gray code ADC using triangular function circuit
Student	Miss Tattaya Pukkalanun
Student ID.	42061046
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2004
Thesis Advisor	Assoc. Prof. Dr. Vanchai Riewruja

ABSTRACT

This thesis presents an algorithmic Gray code analog-to-digital converter (ADC), which is based on the current mode operation and MOSFET integrated circuit design. The realization method makes use of a triangular function circuit to generate a symmetrical triangular-like waveform for continuous input signal. The proposed circuit provides a high-speed operation, low accumulated error and wide dynamic range. Moreover, the proposed circuit is small in size, comparatively simple and suitable for fabrication using a standard CMOS process. PSPICE simulation results are employed to verify the performance of the proposed circuit.

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์	2
1.4 ขอบเขตของวิทยานิพนธ์	2
1.5 รายละเอียดของวิทยานิพนธ์	3
บทที่ 2 คุณสมบัติและหลักการทำงานของมอสเฟต	4
2.1 กล่าวนำ	4
2.2 โครงสร้างของมอสเฟต	4
2.3 หลักการทำงานพื้นฐานของมอสเฟต	7
2.4 ย่านการทำงานของมอสเฟต	8
2.4.1 ย่านการทำงานกัท้อฟ	10
2.4.2 ย่านการทำงานเชิงเส้น	10
2.4.3 ย่านการทำงานอิมตัว	11
2.5 Channel-Length Modulation	14
2.6 วงจรสมมูลของมอสเฟต	15
2.6.1 ค่าความจุไฟฟ้าแฝงในมอสเฟต	15
2.6.2 วงจรสมมูลของมอสเฟตกรณีสัญญาณขนาดเล็ก	17
2.7 บทสรุป	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 3 หลักการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	19
3.1 กล่าวนำ	19
3.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	19
3.2.1 หลักการทำงานเบื้องต้น	19
3.2.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริธึม	21
3.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบไบนารี	22
3.4 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบเกรย์	24
3.4.1 รหัสเกรย์	24
3.4.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบเกรย์	25
3.5 การแปลงรหัสไบนารีเป็นรหัสเกรย์และการแปลงรหัสเกรย์เป็นรหัสไบนารี	27
3.5.1 การแปลงรหัสไบนารีเป็นรหัสเกรย์	27
3.5.2 การแปลงรหัสเกรย์เป็นรหัสไบนารี	28
3.6 บทสรุป	29
บทที่ 4 กลุ่มวงจรร้อยที่ใช้ในการออกแบบวงจร	30
4.1 กล่าวนำ	30
4.2 วงจรฟังก์ชันสามเหลี่ยมที่นำเสนอ	30
4.3 วงจรสะท้อนกระแส	32
4.4 วงจรเปรียบเทียบกระแส	36
4.5 บทสรุป	37
บทที่ 5 วงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยม	38
5.1 กล่าวนำ	38
5.2 วงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอ	38
5.3 การวิเคราะห์สมรรถนะของวงจร	41
5.3.1 ช่วงปฏิบัติการงานของกระแสอินพุต	41
5.3.2 ช่วงปฏิบัติการงานของแรงดันไฟเลี้ยงต่ำสุด	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
5.3.3 ค่าความต้านทานอินพุทที่จุดเข้าและค่าความต้านทานเอาต์พุทที่จุดออก	44
5.3.4 ผลตอบสนองทางความถี่ของวงจร	46
5.4.5 ค่าผิดพลาดในการส่งผ่านกระแสของวงจร	50
5.4 วงจรอัลกอริทึม ADC จำนวน N บิต	54
5.5 ผลการเขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE	54
5.6 บทสรุป	58
บทที่ 6 บทสรุปและข้อเสนอแนะในการทำวิจัยต่อ	59
6.1 บทสรุป	59
6.2 ข้อเสนอแนะในการทำวิจัยต่อ	60
เอกสารอ้างอิง	61
ภาคผนวก	63
บทความวิจัยที่ได้รับการตีพิมพ์	64
ประวัติผู้เขียน	70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
3.1 วงจร ADC ชนิดต่าง ๆ	21
3.2 ตารางเปรียบเทียบรหัสไบนารีและรหัสเกรย์ขนาด 4 บิต	24
5.1 อัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟต	55



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างของมอสเฟตชนิดเอ็นฮานซ์เมนต์4
2.2	(ก) ภาพด้านข้างของมอสเฟตชนิด n (NMOS)5
	(ข) ภาพด้านข้างของมอสเฟตชนิด p (PMOS)5
2.3	โครงสร้างของ NMOS และ PMOS ในบ่อแยกชนิด n6
2.4	สัญลักษณ์ของมอสเฟต6
2.5	(ก) ป้อนแรงดัน $+V_G$ ที่ขาคทของ NMOS7
	(ข) การเกิดบริเวณปลอดพาหะ7
	(ค) การเกิดตัวเก็บประจุ C_{ox} และ C_{dep}7
	(ง) การเกิด inversion layer7
2.6	การเกิด inversion layer ของโฮลใน PMOS8
2.7	(ก) Channel Charge เมื่อแรงดันที่ขาซอร์สและขาเดรนมีค่าเท่ากัน8
	(ข) Channel Charge เมื่อแรงดันที่ขาซอร์สและขาเดรนมีค่าไม่เท่ากัน8
2.8	กราฟคุณสมบัติระหว่าง I_D และ V_{DS} เมื่อทำการแปรค่า V_{GS}10
2.9	ความสัมพันธ์เชิงเส้นของ I_D และ V_{DS} ในช่วง Deep Triode Region11
2.10	กระแส I_D ในย่านอิ่มตัว12
2.11	การเกิดพินช์ออฟเมื่อ V_{DS} มีค่าไม่เท่ากัน12
2.12	มอสเฟตที่ทำงานในย่านอิ่มตัวทำหน้าที่เป็นแหล่งกำเนิดกระแส13
2.13	ค่า g_m ของมอสเฟตที่เป็นฟังก์ชันของพารามิเตอร์ต่าง ๆ14
2.14	ผลกระทบจาก Channel-Length Modulation15
2.15	ค่าความจุไฟฟ้าแฝงในมอสเฟต16
2.16	โครงสร้างทางฟิสิกส์ของมอสเฟตแสดงค่าความจุไฟฟ้าแฝงต่าง ๆ16
2.17	วงจรมูลของมอสเฟตกรณีสัญญาณขนาดเล็ก17
2.18	วงจรมูลของมอสเฟตกรณีสัญญาณขนาดเล็กเมื่อคำนึงถึงค่าความจุไฟฟ้าแฝง18
2.19	วงจรมูลของมอสเฟตกรณีสัญญาณขนาดเล็กที่ใช้ในวิทยานิพนธ์นี้18
3.1	หลักการงานเบื้องต้นของวงจร ADC20
3.2	กราฟคุณลักษณะระหว่างสัญญาณอินพุตกับสัญญาณเอาต์พุตในทางอุดมคติ ของวงจร ADC ขนาด 3 บิตที่มีการเข้ารหัสแบบไบนารี20
3.3	โพลีชาร์ทการแปลงสัญญาณของวงจร ADC ที่มีการเข้ารหัสแบบไบนารี22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.4 กราฟคุณสมบัติการส่งผ่านกระแส (current transfer characteristic) ของวงจร ADC ชนิดเข้ารหัสแบบไบนารี	23
3.5 โพล်ซาร์ทการแปลงสัญญาณของวงจร ADC ที่มีการเข้ารหัสแบบเกรย์	25
3.6 กราฟคุณสมบัติการส่งผ่านกระแส (current transfer characteristic) ของวงจร ADC ชนิดเข้ารหัสแบบเกรย์	26
3.7 การแปลงรหัสไบนารีเป็นรหัสเกรย์ขนาด 12 บิต	27
3.8 การต่อ EX-OR GATE เพื่อแปลงสัญญาณไบนารีเป็นสัญญาณเกรย์	27
3.9 การแปลงรหัสเกรย์เป็นรหัสไบนารีขนาด 12 บิต	28
3.10 การต่อ EX-OR GATE เพื่อแปลงสัญญาณเกรย์เป็นสัญญาณไบนารี	28
3.11 วงจร EX-OR GATE	29
4.1 วงจรฟังก์ชันสามเหลี่ยม โดยใช้ออสเฟทที่นำเสนอ	30
4.2 กราฟคุณสมบัติการส่งผ่านกระแสของวงจร	32
4.3 วงจรสะท้อนกระแสแบบพื้นฐาน	32
4.4 (ก) วงจรสมมูลสำหรับวิเคราะห์หา r_{in} ของวงจรสะท้อนกระแส	34
(ข) วงจรสมมูลสำหรับวิเคราะห์หา r_o ของวงจรสะท้อนกระแส	34
4.5 วงจรสมมูลสำหรับวิเคราะห์หาผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส	35
4.6 วงจรเปรียบเทียบกระแสพื้นฐาน	36
5.1 วงจรอัลกอริทึม ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอ	39
5.2 วงจรส่วนหน้าของวงจร ADC ที่นำเสนอในรูปที่ 5.1	42
5.3 วงจรสมมูลสำหรับวิเคราะห์หาค่าความต้านทานอินพุทและค่าความต้านทานเอาต์พุทของวงจร	44
5.4 วงจรสมมูลสำหรับวิเคราะห์หาผลตอบสนองทางความถี่ของวงจร	47
5.5 วงจรอัลกอริทึม ADC จำนวน N บิต	54
5.6 (ก) ผลตอบสนองต่อสัญญาณไฟตรงของวงจรอัลกอริทึม ADC ที่นำเสนอ	56
(ข) ช่วงสูงสุดของสัญญาณสามเหลี่ยมในรูปที่ 5.6(ก)	56
5.7 ผลตอบสนองทางความถี่ของวงจร	57
5.8 สัญญาณกระแสเอาต์พุทของวงจร ADC ขนาด 8 บิต	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter, ADC) นับว่าเป็นวงจรที่มีความสำคัญมากวงจรหนึ่งในการสร้างระบบที่มีการประมวลผลสัญญาณอนาลอกและสัญญาณดิจิทัลร่วมกัน ตัวอย่างเช่น ระบบเรดาร์ ระบบวิดีโอ การถ่ายภาพแบบดิจิทัล ระบบควบคุมผ่านคอมพิวเตอร์ และระบบเครื่องมือวัดต่าง ๆ [1]-[3] โดยที่วงจร ADC เป็นแค่เพียงส่วนย่อยส่วนหนึ่งของระบบต่าง ๆ ดังตัวอย่างข้างต้น จึงต้องมีการออกแบบวงจรให้มีขนาดเล็ก กินกำลังไฟเลี้ยงต่ำ มีความเร็วในการทำงานสูง และมีวงจรภายในไม่ยุ่งยาก

วงจร ADC ที่มีความเร็วในการแปลงสัญญาณสูงมากนั้นจะใช้วิธีการแปลงสัญญาณแบบขนาน (Flash ADC) ซึ่งมีข้อเสียคือ วงจรมีขนาดใหญ่และซับซ้อน จำเป็นต้องใช้พอร์ตในการส่งข้อมูลจำนวนมาก [4] ในวิทยานิพนธ์นี้จึงได้นำเสนอวงจร ADC ชนิดอัลกอริทึมซึ่งจัดเป็นวงจร ADC ที่มีความเร็วปานกลางแต่โครงสร้างภายในมีความซับซ้อนน้อยกว่าและใช้พื้นที่ในการสร้างวงจรไม่มาก อีกทั้งยังสามารถเพิ่มจำนวนบิตในการแปลงสัญญาณได้ตามต้องการ เมื่อพิจารณาวงจร ADC แบบอัลกอริทึมที่ทำงานในโหมดกระแสและมีการเข้ารหัสแบบไบนารี [5]-[9] ถึงแม้ว่าจะไม่ซับซ้อนและใช้พื้นที่ในการสร้างน้อย แต่ในการเข้ารหัสแบบไบนารีนั้นจะอาศัยการสร้างสัญญาณรูปฟันเลื่อย (sawtooth-like waveform) มาหักล้างกับสัญญาณอินพุตที่เพิ่มขึ้น ซึ่งสัญญาณรูปฟันเลื่อยนี้จะมีองค์ประกอบที่ทำให้เกิดความผิดพลาดในการกำเนิดสัญญาณและยังมีข้อจำกัดทางความเร็วอีกด้วย ซึ่งจะเป็นผลทำให้การแปลงสัญญาณมีความผิดพลาดไปด้วย

เพื่อขจัดปัญหาที่เกิดขึ้นในการเข้ารหัสแบบไบนารี จึงได้มีการนำเสนอวงจรอัลกอริทึม ADC ชนิดเข้ารหัสแบบเกรย์ [10]-[11] โดยวงจรประกอบด้วยการทำงานร่วมกันของวงจรสะท้อนกระแส วงจรเปรียบเทียบกระแส และอนาลอกสวิตช์เพื่อกำเนิดสัญญาณรูปสามเหลี่ยม (triangular-like waveform) ในการส่งผ่านสัญญาณอินพุต การแปลงสัญญาณที่มีเข้ารหัสแบบเกรย์นี้สามารถเพิ่มความแม่นยำและลดค่าผิดพลาดสะสมในการแปลงสัญญาณ จึงเป็นที่มาของการศึกษาและแนวทางวิจัยของวิทยานิพนธ์ฉบับนี้ และเป็นที่ทราบกันดีว่าในปัจจุบันการออกแบบและสร้างวงจรรวมโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสกำลังได้รับความนิยมและความสนใจเป็นอย่างมาก เนื่องจากความประหยัดพลังงานในการนำไปใช้งานและใช้พื้นที่ในการผลิตวงจรน้อย รวมทั้งขั้นตอนในการสร้างวงจรรวมของเทคโนโลยีแบบซิมอสมีความซับซ้อนน้อยกว่าเทคโนโลยีแบบไบโพลาร์ [12]-[13] จึงเป็นที่น่าสนใจในการนำมอสเฟตทรานซิสเตอร์มาใช้ในการออกแบบเพื่อพัฒนาวงจร ADC ที่ต้องการนำเสนอ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้เป็นการออกแบบวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์ที่มีการทำงานในโหมดกระแสโดยใช้มอสเฟททรานซิสเตอร์เป็นอุปกรณ์แอคทีฟหลัก โดยมีวัตถุประสงค์ในการทำวิจัยคือ เพื่อศึกษาค้นคว้าวิจัยและพัฒนาการออกแบบวงจรอัลกอริธึม ADC ที่มีความแม่นยำในการแปลงสัญญาณสูง มีค่าความผิดพลาดสะสมต่ำ กินกำลังไฟเลี้ยงต่ำและมีความเร็วในการทำงานที่สูง โดยออกแบบวงจรให้มีโครงสร้างที่เรียบง่ายเพื่อความเหมาะสมในการสร้างเป็นวงจรรวมโดยอาศัยเทคโนโลยีวงจรรวมแบบมอสเฟททรานซิสเตอร์

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

หลักการใหม่ที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้ได้แก่ การออกแบบวงจรฟังก์ชันสามเหลี่ยม (triangular function circuit) ที่สร้างจากมอสเฟททรานซิสเตอร์และทำงานในโหมดกระแส ทำหน้าที่กำเนิดสัญญาณรูปสามเหลี่ยมที่มีลักษณะสมมาตรเพื่อส่งผ่านกระแสนาลอกอินพุทของวงจร ซึ่งการสร้างสัญญาณรูปสามเหลี่ยมนี้เป็นปัจจัยสำคัญในการเข้ารหัสแบบเกรย์ของวงจรอัลกอริธึม ADC ที่นำเสนอ เมื่อต่อวงจรฟังก์ชันสามเหลี่ยมที่ได้ออกแบบร่วมกับวงจรสะท้อนกระแส และวงจรเปรียบเทียบกระแส วงจรรวมที่ได้รับสามารถแปลงสัญญาณอนาลอกอินพุทเป็นสัญญาณดิจิทัลเอาต์พุทที่มีความแม่นยำสอดคล้องกับหลักการที่ได้นำเสนอ

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวก โดยในแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 เป็นบทนำซึ่งเป็นการกล่าวถึงความจำเป็นและความสำคัญของปัญหา ความมุ่งหมาย และวัตถุประสงค์ของการศึกษา หลักการใหม่ในการทำวิทยานิพนธ์ พร้อมทั้งรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงโครงสร้าง คุณสมบัติและหลักการทำงานพื้นฐาน รวมถึงความสัมพันธ์ระหว่างแรงดันและกระแสสำหรับย่านการทำงานต่างๆ ของมอสเฟททรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ ซึ่งเป็นอุปกรณ์แอคทีฟหลักที่ใช้ในการออกแบบวงจร ADC ที่นำเสนอในวิทยานิพนธ์

บทที่ 3 กล่าวถึงหลักการทำงานเบื้องต้นของวงจร ADC และเทคนิคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริธึมที่มีการเข้ารหัสแบบไบนารีและแบบเกรย์ นอกจากนี้ยังได้กล่าวถึงการแปลงรหัสไบนารีเป็นรหัสเกรย์และการแปลงรหัสเกรย์เป็นรหัสไบนารี

บทที่ 4 กล่าวถึงคุณสมบัติและหลักการทำงานของกลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจร ADC ที่นำเสนอในวิทยานิพนธ์ ประกอบด้วยวงจรฟังก์ชันสามเหลี่ยม (triangular function circuit) วงจรสะท้อนกระแส (current mirror) และวงจรเปรียบเทียบกระแส (current comparator)

บทที่ 5 กล่าวถึงวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลแบบอัลกอริทึมชนิดเข้ารหัสแบบเกรย์ที่ได้พัฒนาขึ้น โดยจะกล่าวถึงหลักการออกแบบวงจร การวิเคราะห์สมรรถนะของวงจรซึ่งประกอบด้วย ช่วงปฏิบัติงานของกระแสอินพุท ช่วงปฏิบัติงานของแรงดันไฟเลี้ยงต่ำสุด ค่าความต้านทานอินพุทที่จุดเข้าและค่าความต้านทานเอาต์พุทที่จุดออก ผลตอบสนองทางความถี่ของวงจร และค่าผิดพลาดในการส่งผ่านกระแสของวงจร พร้อมทั้งทดสอบสมรรถนะการทำงานของวงจรด้วยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 6 เป็นบทส่งท้าย ซึ่งเป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์ พร้อมทั้งเสนอแนวทางในการวิจัยและพัฒนาต่อไป

และภาคผนวกแสดงผลงานวิจัยที่ได้รับการตีพิมพ์



บทที่ 2

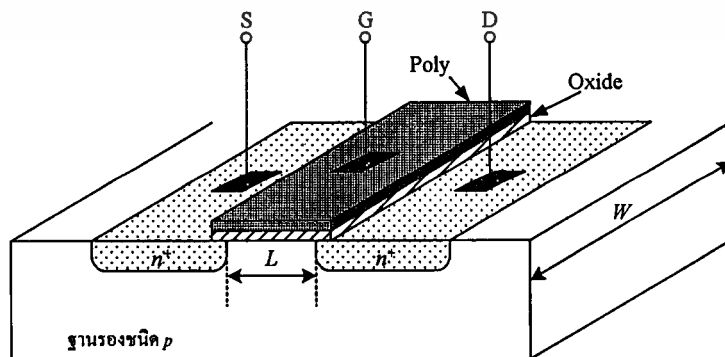
คุณสมบัติและหลักการทำงานของมอสเฟต

2.1 กล่าวนำ

มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) หรือมอสเฟตทรานซิสเตอร์ คือทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้าสามารถแบ่งเป็นประเภทตามลักษณะโครงสร้างและการเกิดช่องนำกระแสได้ 2 ประเภท ได้แก่ มอสเฟตแบบดีพลีชัน (Depletion mode MOSFET) และมอสเฟตแบบเอ็นฮานซ์เมนต์ (Enhancement mode MOSFET) [14]-[15] คุณลักษณะเด่นของมอสเฟตคือ มีความต้องการพลังงานในขณะใช้งานต่ำ มีอินพุตอิมพีแดนซ์สูงมาก สามารถนำไปใช้ในการออกแบบวงจรในรูปของวงจรรวม (Integrated Circuit, IC) ได้ง่าย [12]-[13], [16]-[19] ด้วยเหตุผลดังกล่าวจึงทำให้มอสเฟตทรานซิสเตอร์เป็นที่นิยมใช้ในการออกแบบวงจรที่ต้องการใช้พลังงานต่ำ ๆ หรือในวงจรรวมที่มีจำนวนอุปกรณ์มาก ๆ เช่นในระดับ VLSI (Very Large Scale Integration) [2], [18]

ในวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนาการออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter) หรือวงจร ADC โดยใช้มอสเฟตชนิดเอ็นฮานซ์เมนต์ที่มีการกำหนดให้ทำงานอยู่ในย่านอิมิตัวเป็นอุปกรณ์แอคทีฟหลัก ดังนั้นในบทนี้จะกล่าวถึงเฉพาะโครงสร้าง หลักการทำงานพื้นฐาน สมการความสัมพันธ์ระหว่างแรงดันและกระแสสำหรับย่านการทำงานต่าง ๆ ตลอดจนวงจรสมมูลกรณีสัญญาณขนาดเล็กของมอสเฟตชนิดเอ็นฮานซ์เมนต์เท่านั้น เพื่อใช้เป็นข้อมูลสำหรับการออกแบบวงจรและวิเคราะห์หาสมรรถนะของวงจรที่ได้นำเสนอ

2.2 โครงสร้างของมอสเฟต



รูปที่ 2.1 โครงสร้างของมอสเฟตชนิดเอ็นฮานซ์เมนต์

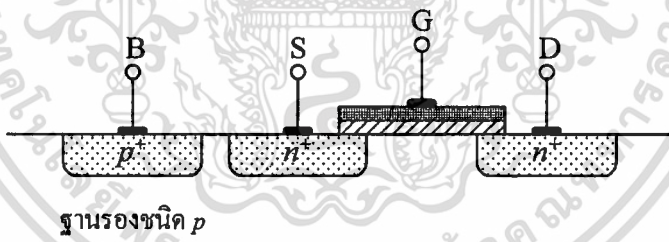
เอกสารฉบับนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนสิทธิ์ในเนื้อหาทั้งหมด ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1 แสดงโครงสร้างของมอสเฟตชนิด n (n -type MOS หรือ NMOS) จากรูปมอสเฟตประกอบด้วยส่วนต่างๆ ดังนี้

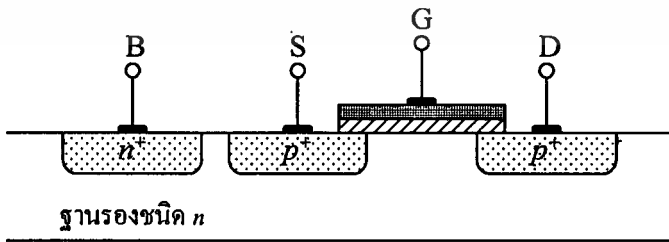
- ฐานรอง (substrate) ที่ได้จากการเติมสารเจือชนิด p (p -type) ซึ่งทั่วไปนิยมเรียกบริเวณนี้ว่า “บอดี (body)”
- ส่วนที่ถูกได้ไปด้วยสารตัวนำชนิด $n+$ ทำหน้าที่เป็นขาซอร์ส (Source, S) และขาเดรน (Drain, D) ของมอสเฟต
- ส่วนที่เป็นสารโพลีซิลิกอนซึ่งมักจะถูกเรียกว่า “โพลี (poly)” ทำหน้าที่เป็นขาเกต (Gate, G) ของมอสเฟต
- ชั้นของสารซิลิกอนไดออกไซด์ (SiO_2) ทำหน้าที่เป็นฉนวนแยกเกตและฐานรองออกจากกัน

การทำงานของมอสเฟตจะเกิดขึ้นที่ส่วนของฐานรองบริเวณใต้เกตออกไซด์ และโดยปกติแล้วขาซอร์สและขาเดรนจะมีขนาดเท่ากัน ระยะห่างระหว่างส่วนที่ทำหน้าที่เป็นขาซอร์สและขาเดรนของมอสเฟตเรียกว่าความยาวของแชนแนล (Channel Length, L) และระยะทางตามความลึกของมอสเฟตที่ตั้งฉากกับความยาวของแชนแนลเรียกว่าความกว้างของแชนแนล (Channel Width, W)

ในทางปฏิบัติแล้วส่วนของฐานรองจะมีผลอย่างมากต่อการทำงานของมอสเฟต จึงถือว่ามอสเฟตเป็นอุปกรณ์ชนิดสี่ขั้ว (four-terminal device) โดยในการใช้งาน NMOS ส่วนของฐานรองจะถูกต่อกับไฟเลี้ยงค่าลบผ่านส่วนที่ถูกได้ไปด้วยสารตัวนำชนิด $p+$ ดังแสดงในรูปที่ 2.2(ก)



(ก)



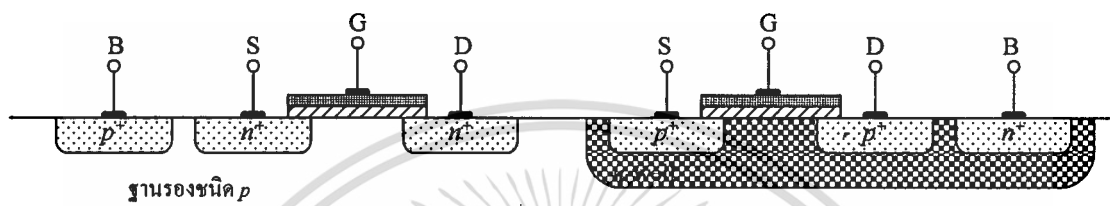
(ข)

รูปที่ 2.2 (ก) ภาพด้านข้างของมอสเฟตชนิด n (NMOS)

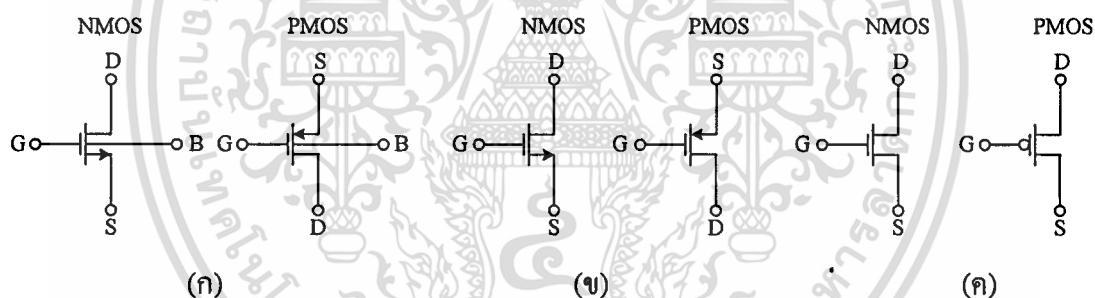
(ข) ภาพด้านข้างของมอสเฟตชนิด p (PMOS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเทคโนโลยีซีมอส (Complementary MOS, CMOS) ที่ประกอบด้วย NMOS และ PMOS ซึ่ง PMOS สามารถสร้างได้เช่นเดียวกับ NMOS แต่เปลี่ยนสารตัวนำที่ใช้ได้ปในแต่ละส่วนเป็นชนิดตรงกันข้ามดังแสดงในรูปที่ 2.2(ข) โดยในทางปฏิบัติทั้ง NMOS และ PMOS จะถูกผลิตลงบนเวเฟอร์ (Wafer) เดียวกันหรือใช้ฐานรองรับร่วมกัน ดังนั้นจึงต้องมีการแยกอุปกรณ์ทั้งสองส่วนออกจากกันด้วยส่วนที่เรียกว่าบ่อแยก หรือ “Well” ในปัจจุบันนิยมผลิตให้ส่วนของ PMOS อยู่ในบ่อแยกชนิด n (n -well) ดังแสดงในรูปที่ 2.3 โดย n -well นี้จะถูกต้องกับไฟเลี้ยงค่าบวก



รูปที่ 2.3 โครงสร้างของ NMOS และ PMOS ในบ่อแยกชนิด n



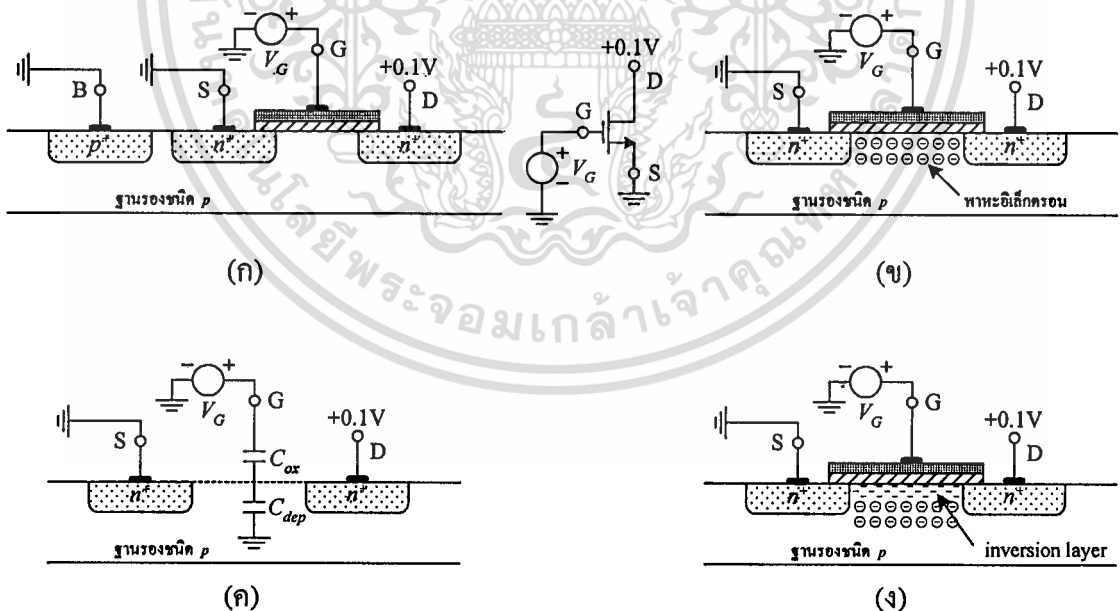
รูปที่ 2.4 สัญลักษณ์ของมอสเฟต

รูปที่ 2.4 แสดงสัญลักษณ์ของ NMOS และ PMOS โดยรูปที่ 2.4(ก) แสดงขาทั้งสี่ของมอสเฟต ได้แก่ เกท (G) เดรน (D) ซอร์ส (S) และบอดี้ (B) รูปที่ 2.4(ข) แสดงสัญลักษณ์ของมอสเฟต เมื่อขา B ต่ออยู่กับขา S และในกรณีของวงจรดิจิทัลที่ใช้มอสเฟตทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ จะนิยมใช้สัญลักษณ์ของมอสเฟตดังแสดงในรูปที่ 2.4(ค)

2.3 หลักการทำงานพื้นฐานของมอสเฟต

ในหัวข้อนี้จะเป็นการวิเคราะห์ลักษณะการเกิดประจุและการเคลื่อนที่ของประจุซึ่งขึ้นอยู่กับแรงดันที่ขั้วของมอสเฟต เพื่อแสดงความสัมพันธ์ระหว่างแรงดันและกระแสของมอสเฟต [12]-[13]

พิจารณารูปที่ 2.5(ก) เมื่อต่อขาคาทของ NMOS กับแหล่งจ่าย $+V_G$ จากภายนอก พาหะโฮล (Holes) ภายในฐานรองชนิด p บริเวณใต้เกตออกไซด์จะถูกผลักออก ทำให้เหลือแต่พาหะอิเล็กตรอน เกิดเป็นบริเวณปลอดพาหะ (depletion region) ขึ้นดังแสดงในรูปที่ 2.5(ข) แต่ยังไม่มีการไหลของกระแส และเมื่อ V_G มีค่าเพิ่มขึ้น ส่วนที่เป็นเกตออกไซด์และบริเวณปลอดพาหะ จะประพฤติตัวเสมือนตัวเก็บประจุสองตัว คือ C_{ox} และ C_{dep} ต่ออนุกรมกันดังรูปที่ 2.5(ค) จนกระทั่ง V_G เพิ่มขึ้นถึงค่าหนึ่ง จะทำให้เกิดช่องในการนำกระแส (Channel) ของพาหะอิเล็กตรอนบริเวณใต้ส่วนที่เป็นเกตออกไซด์ระหว่างขาซอร์สและขาเดรนขึ้นเรียกว่า "Inversion Layer" ดังรูปที่ 2.5(ง) นั่นคือมอสเฟตทำงานเกิดการไหลของกระแสจากขาเดรนไปยังขาซอร์ส ค่าแรงดันที่ทำให้กระแสเริ่มไหลนี้เรียกว่า "แรงดันขีดเริ่ม (Threshold Voltage, V_{TH})" และเมื่อแรงดัน V_G เพิ่มขึ้นเรื่อยๆ จะทำให้ความหนาแน่นของพาหะอิเล็กตรอนในช่องนำกระแสเพิ่มมากขึ้นด้วย ซึ่งทำให้มีกระแสไหลจากขาซอร์สไปยังขาเดรนมากขึ้นตามไปด้วย ดังนั้นจึงสรุปได้ว่ามอสเฟตจะเริ่มทำงานเมื่อ $V_{GS} \geq V_{TH}$ เมื่อ V_{GS} คือแรงดันตกคร่อมระหว่างขาเกตและขาซอร์สของมอสเฟต



รูปที่ 2.5 (ก) ป้อนแรงดัน $+V_G$ ที่ขาเกตของ NMOS

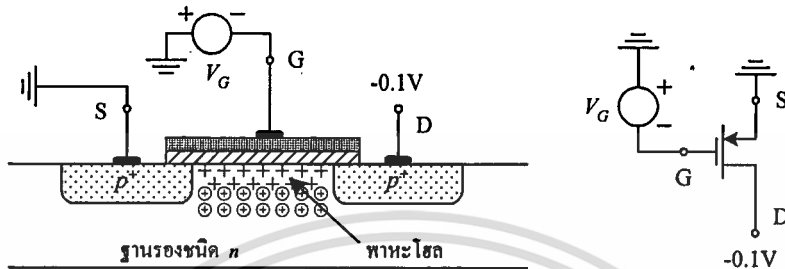
(ข) การเกิดบริเวณปลอดพาหะ

(ค) การเกิดตัวเก็บประจุ C_{ox} และ C_{dep} อนุกรมกัน

(ง) การเกิด inversion layer

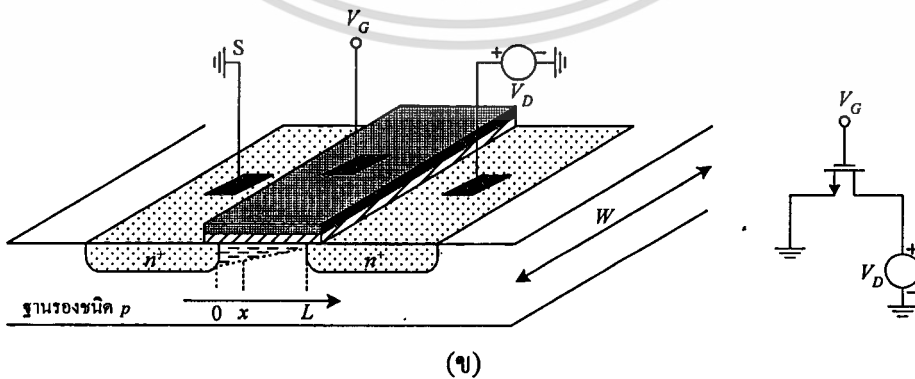
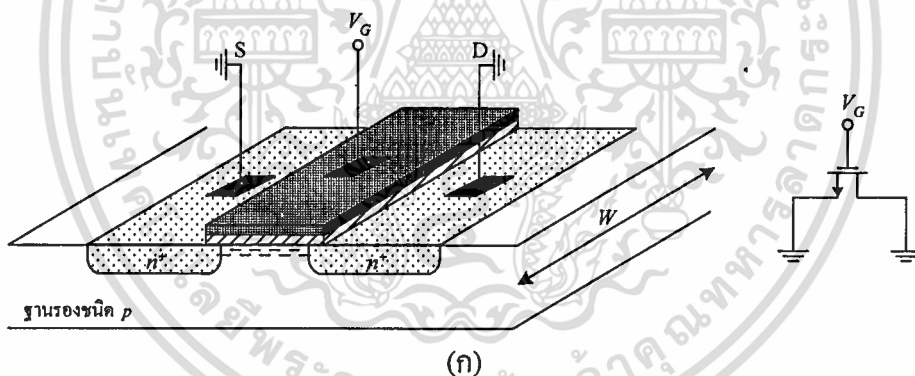
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานของ PMOS สามารถอธิบายได้เช่นเดียวกันกับในกรณีของ NMOS แต่กลับขั้วส่วนประกอบทั้งหมดดังแสดงในรูปที่ 2.6 โดยป้อนแรงดัน $-V_G$ ที่ขาทของ PMOS เมื่อแรงดันตกคร่อมระหว่างขาทและชาซอร์สของมอสเฟตมีค่าเป็นลบมากพอ จนทำให้เกิด inversion layer ของโฮลที่บริเวณเกตออกไซด์และเกิดการนำกระแสจากชาซอร์สไปยังขาทขึ้น



รูปที่ 2.6 การเกิด inversion layer ของโฮลใน PMOS

2.4 ย่านการทำงานของมอสเฟต



รูปที่ 2.7 (ก) Channel Charge เมื่อแรงดันที่ชาซอร์สและขาทมีค่าเท่ากัน

(ข) Channel Charge เมื่อแรงดันที่ชาซอร์สและขาทมีค่าไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อขาซอร์สและขาเดรนของ NMOS ลงกราวด์ และป้อนแรงดัน V_G ค่าหนึ่งทีขาเกต จะเกิด inversion layer ของอิเล็กตรอนขึ้นที่บริเวณเกตออกไซด์ดังรูปที่ 2.7(ก) ความหนาแน่นของอิเล็กตรอนที่เกิดขึ้นจากตัวเก็บประจุแฝงในเกตออกไซด์จะเป็นสัดส่วนโดยตรงกับค่า $(V_{GS} - V_{TH})$ มีค่าเท่ากับ

$$Q_d = WC_{ox}(V_{GS} - V_{TH}) \quad (2.1)$$

และเมื่อแรงดันทีขาเดรน (V_D) มีค่ามากกว่าศูนย์ จะเกิดการกระจายตัวของอิเล็กตรอนที่ไม่คงที่ตลอดระยะ L โดยมีลักษณะดังแสดงในรูปที่ 2.7(ข) และจะได้สมการของกระแสที่ไหลจากขาเดรนไปยังขาซอร์สผ่านช่องนำกระแสมีค่าเท่ากับ [13]

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2 \right] \quad (2.2)$$

- เมื่อ I_D คือ กระแสที่ไหลจากขาเดรนไปขาซอร์ส (Drain-Source current)
 V_{GS} คือ แรงดันตกร่อมขาเกตและขาซอร์สของมอสเฟต (Gate-Source voltage)
 V_{DS} คือ แรงดันตกร่อมขาเดรนและขาซอร์สของมอสเฟต (Drain-Source voltage)
 μ_n คือ สภาพความคล่องตัวของพาหะอิเล็กตรอน (surface mobility of carrier) และแทนด้วย μ_p หรือสภาพความคล่องตัวของพาหะโฮลสำหรับ PMOS
 C_{ox} คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (capacitance per unit area of the gate oxide)
 W คือ ความกว้างประสิทธิผลของช่องนำกระแส (effective channel width)
 L คือ ความยาวประสิทธิผลของช่องนำกระแส (effective channel length)

จากความสัมพันธ์ของ I_D กับ V_{DS} ของมอสเฟตดังสมการที่ (2.2) พบว่าสามารถแบ่งย่านการทำงานของมอสเฟตออกได้เป็น 3 ย่านตามการพิจารณาค่าแรงดันไบอัส ($V_{GS} - V_{TH}$) ดังนี้

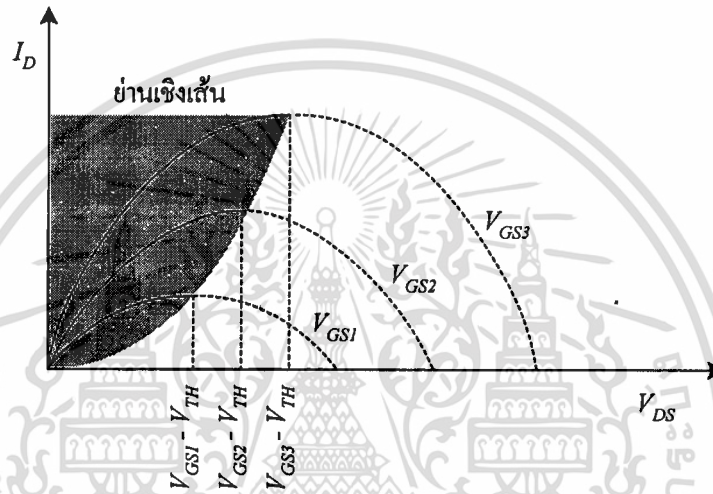
- ย่านคัทออฟ (Cut-off region)
- ย่านเชิงเส้น (Linear region) หรือย่านไตรโอด (Triode region) หรือย่านไม่อิ่มตัว (Non-saturation region)
- ย่านอิ่มตัว (Saturation region)

2.4.1 ย่านการทำงานคัทออฟ

ย่านการทำงานคัทออฟเป็นย่านที่มอสเฟตไม่ทำงานหรือไม่เกิดการนำกระแส ซึ่งเกิดเมื่อทำการไบอัสแรงดันที่ขาคาท V_G ให้มีค่าน้อยกว่า V_{TH} นั่นคือ

$$I_D = 0 \quad ; \quad V_{GS} < V_{TH} \quad (2.3)$$

2.4.2 ย่านการทำงานเชิงเส้น



รูปที่ 2.8 กราฟคุณสมบัติระหว่าง I_D กับ V_{DS} เมื่อทำการแปรค่า V_{GS}

รูปที่ 2.8 แสดงกราฟของกระแสเดรนของมอสเฟตที่ได้จากสมการที่ (2.2) สำหรับค่าของ V_{GS} ที่แตกต่างกัน จะเห็นได้ว่ากระแสจะไหลได้มากขึ้นเมื่อ V_{GS} มีค่าเพิ่มขึ้น และที่จุดสูงสุดของกราฟ คุณสมบัติแต่ละเส้นจะเกิดขึ้นที่ $V_{DS} = V_{GS} - V_{TH}$ โดยมีค่ากระแส I_D เท่ากับ

$$I_{D,max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.4)$$

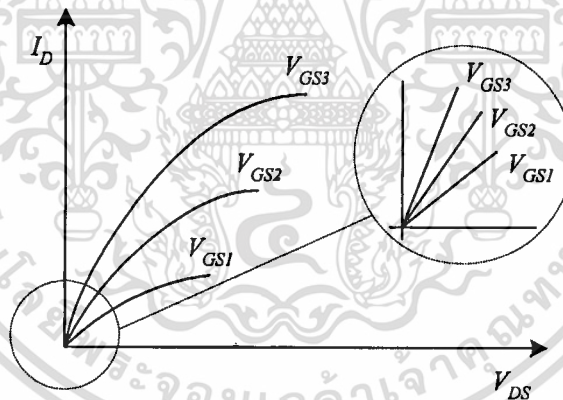
พิจารณาความสัมพันธ์ระหว่าง I_D กับ V_{DS} ในช่วง $V_{DS} \leq V_{GS} - V_{TH}$ จะเห็นว่ามีลักษณะเป็นเชิงเส้น ดังนั้นการทำงานของมอสเฟตในช่วงนี้จึงเรียกว่า “ย่านเชิงเส้น”

สมการที่ (2.2) และ (2.4) เป็นสมการพื้นฐานสำหรับการออกแบบวงจรมอสเฟตทั่วไป โดยค่าของ I_D จะขึ้นกับค่าพารามิเตอร์ต่าง ๆ ดังแสดงในสมการ และถ้า V_{DS} มีค่าน้อย ๆ หรือทำการไบอัสให้ $0 < V_{DS} \leq (V_{GS} - V_{TH})$ แล้วสมการที่ (2.2) สามารถประมาณค่าได้เป็น

$$I_D \approx \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS}] \quad ; \quad 0 < V_{DS} \leq (V_{GS} - V_{TH}) \quad (2.5)$$

นั่นคือ I_D จะแปรค่าเป็นเชิงเส้นกับ V_{DS} เมื่อ V_{DS} มีค่าน้อย ๆ โดยสามารถประมาณเป็นกราฟเส้นตรงได้ดังแสดงในรูปที่ 2.9 ซึ่งการทำงานเชิงเส้นของมอสเฟตในช่วงนี้จะเรียกว่า “Deep Triode Region” ความสัมพันธ์เชิงเส้นนี้แสดงให้เห็นว่าคุณสมบัติระหว่าง I_D และ V_{DS} ระหว่างขาซอร์สและขาเดรนของมอสเฟตประพฤติตัวเสมือนตัวต้านทานที่มีค่าเท่ากับ

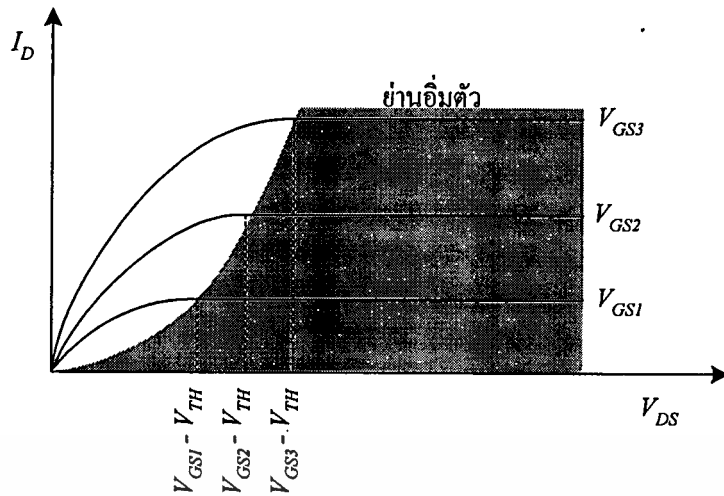
$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.6)$$



รูปที่ 2.9 ความสัมพันธ์เชิงเส้นของ I_D และ V_{DS} ในช่วง Deep Triode Region

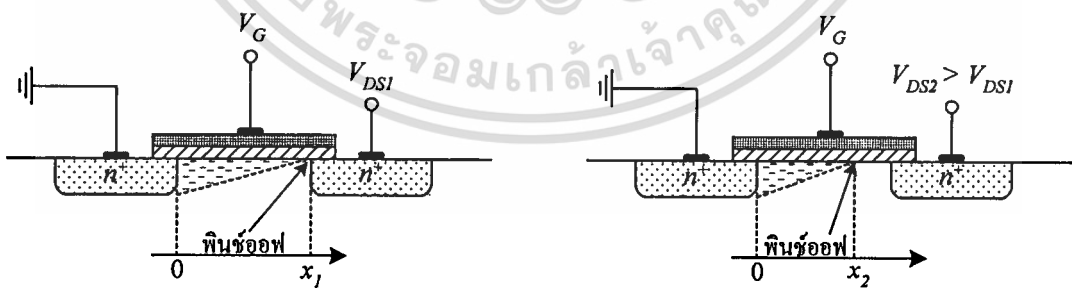
2.4.3 ย่านการทำงานอิมิตัว

จากรูปที่ 2.8 ในทางปฏิบัติกรณีที่ $V_{DS} > V_{GS} - V_{TH}$ กระแสเดรนจะไม่เป็นกราฟพาราโบลาแต่จะมีลักษณะเป็นเส้นตรงดังแสดงในรูปที่ 2.10 ซึ่งการทำงานของมอสเฟตในช่วงนี้เรียกว่ามีการทำงานอยู่ในย่านอิมิตัว



รูปที่ 2.10 กระแส I_D ในย่านอิ่มตัว

เมื่อแรงดัน V_{DS} เพิ่มขึ้นจนมีค่ามากกว่า $V_{GS} - V_{TH}$ จะทำให้แรงดันตกคร่อมช่องนำกระแสที่ปลายขาคอนมีค่าสูงกว่า $V_{GS} - V_{TH}$ และทำให้เกิดสถานะพินช์ออฟ (Pinch Off) นั่นคือช่องทางเดินของกระแสจะขาดออกกันโดยเริ่มจากบริเวณขาคอน และจะมีกระแสแพร่ (Diffusion Current) จากส่วนของขาคอนไปยังขาคอน สถานะนี้ช่องทางเดินกระแสจะมีคุณสมบัติความต้านทานสูงมาก และทำหน้าที่คล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) ดังนั้นกระแสเดรนของมอสเฟตในสถานะนี้จึงมีค่าคงที่ดังแสดงในกราฟรูปที่ 2.10 ตำแหน่งของการเกิดพินช์ออฟมีค่าขึ้นกับ V_{DS} และส่งผลให้ปริมาณกระแสที่ไหลผ่านช่องนำกระแสมีค่าแตกต่างกันไปด้วยดังแสดงในรูปที่ 2.11



รูปที่ 2.11 การเกิดพินช์ออฟเมื่อ V_{DS} มีค่าไม่เท่ากัน

และจะได้สมการกระแสครนของมอสเฟทในย่านการทำงานอิมตัวมีค่าเท่ากับ

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} [(V_{GS} - V_{TH})^2] \quad ; \quad 0 < (V_{GS} - V_{TH}) \leq V_{DS} \quad (2.7)$$

เมื่อ L' คือระยะความยาวของช่องนำกระแสที่มีความหนาแน่นของประจุพาหะเท่ากับศูนย์

สำหรับในกรณีของ PMOS จะได้สมการกระแสสำหรับการทำงานในย่านเชิงเส้นและย่านอิมตัว ดังนี้

ย่านเชิงเส้น :

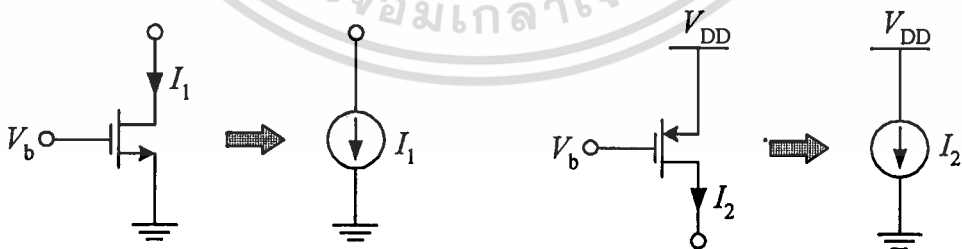
$$I_D = -\mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.8)$$

ย่านอิมตัว :

$$I_D = -\frac{1}{2} \mu_p C_{ox} \frac{W}{L'} [(V_{GS} - V_{TH})^2] \quad (2.9)$$

สาเหตุที่ต้องใช้เครื่องหมายลบในสมการเนื่องจากกระแสครนจะไหลจากขาเดรนไปยังขาซอร์ส ในขณะที่โวลจะไหลในทิศตรงกันข้าม และด้วยความเร็วในการเคลื่อนที่ของโฮลช้ากว่าความเร็วของอิเล็กตรอน ดังนั้น PMOS จึงมีอัตราการนำกระแสช้ากว่า NMOS

ถ้าให้ระยะ $L \approx L'$ มอสเฟทที่ทำงานในสภาวะอิมตัวสามารถทำหน้าที่เป็นแหล่งกำเนิดกระแสได้ โดยเสมือนกับทำการเชื่อมต่อขาเดรนและขาซอร์สเข้าด้วยกัน ซึ่งถือเป็นองค์ประกอบสำคัญหนึ่งในการออกแบบวงจรนาฬอกทั่วไป ดังรูปที่ 2.12



รูปที่ 2.12 มอสเฟทที่ทำงานในย่านอิมตัวทำหน้าที่เป็นแหล่งกำเนิดกระแส

เนื่องด้วยมอสเฟทที่ทำงานในสภาวะอิมตัวสามารถจ่ายกระแสที่มีค่าคงที่ขึ้นกับการควบคุมแรงดัน V_{GS} ทำให้ความสัมพันธ์ระหว่างอัตราการเปลี่ยนแปลงของ I_D ต่อ V_{GS} ถูกกำหนดอยู่ในรูปของอัตราค่าความนำ (transconductance gain) หรือ g_m ซึ่งมีค่าเท่ากับ

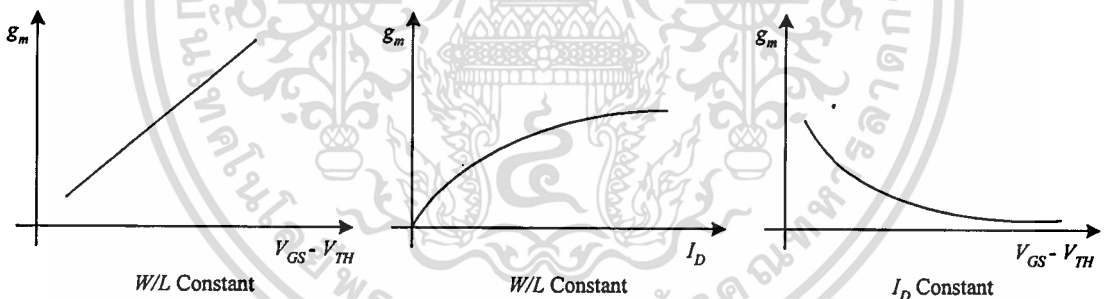
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ภายในเท่านั้น ไม่ควรนำออกไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 g_m &= \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, \text{const.}} \\
 &= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})
 \end{aligned} \tag{2.10}$$

ค่า g_m จากสมการที่ (2.10) สามารถใช้แสดงความไว (sensitivity) ของมอสเฟตได้ นั่นคือถ้า g_m มีค่ามากแล้ว การเปลี่ยนแปลงค่า V_{GS} เพียงเล็กน้อยสามารถทำให้เกิดการไหลของกระแสเดรนจำนวนมากได้ และค่า g_m ในสถานะอิ่มตัวนี้จะเป็นส่วนกลับกับค่า R_{on} ของมอสเฟตในช่วง Deep Triode Region ที่ได้กล่าวถึงไปก่อนหน้านี้ โดยค่า g_m อาจเขียนให้อยู่ในรูปดังต่อไปนี้ได้เช่นกัน

$$\begin{aligned}
 g_m &= \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} \\
 &= \frac{2I_D}{V_{GS} - V_{TH}}
 \end{aligned} \tag{2.11}$$

รูปที่ 2.13 แสดงความสัมพันธ์ของค่า g_m ที่เป็นฟังก์ชันของพารามิเตอร์ตามแกน x และให้พารามิเตอร์อีกตัวหนึ่งมีค่าคงที่



รูปที่ 2.13 ค่า g_m ของมอสเฟตที่เป็นฟังก์ชันของพารามิเตอร์ต่างๆ

2.5 Channel-Length Modulation

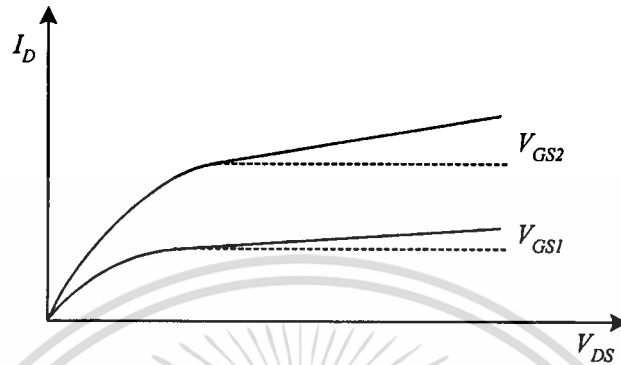
จากผลกระทบของการเกิดพินช์ออฟในมอสเฟตที่ได้อธิบายในหัวข้อก่อนหน้านี้ จะเห็นได้ว่าค่า L' ในสมการที่ (2.7) มีค่าขึ้นอยู่กับค่าแรงดัน V_{DS} ซึ่งปรากฏการณ์นี้ถูกเรียกว่า “Channel-Length Modulation”

เมื่อกำหนดให้ $L' = L - \Delta L$ จะได้ $\Delta L / L = \lambda V_{DS}$ และทำให้สมการของ I_D ในสถานะอิ่มตัวกลายเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.12)$$

เมื่อ λ คือ Channel-Length Modulation Coefficient



รูปที่ 2.14 ผลกระทบจาก Channel-Length Modulation ที่มีต่อค่ากระแส I_D

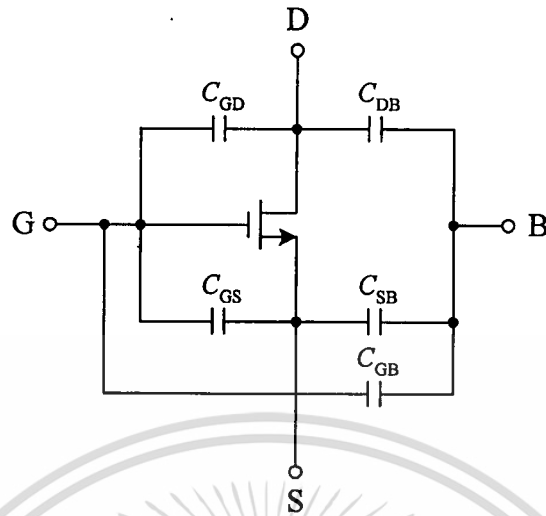
ปรากฏการณ์ Channel-Length Modulation นี้ส่งผลให้ค่าของกระแสเดรนในสถานะอิ่มตัวมีความชันไม่เท่ากับศูนย์ดังแสดงในรูปที่ 2.14 และยังมีผลให้มอสเฟตมีคุณสมบัติไม่เป็นแหล่งจ่ายกระแสในทางอุดมคติ และค่า g_m จากสมการที่ (2.10) และ (2.11) เขียนใหม่ได้เป็น

$$\begin{aligned} g_m &= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \\ &= \sqrt{\frac{2 \mu_n C_{ox} (W/L) I_D}{1 + \lambda V_{DS}}} \end{aligned} \quad (2.13)$$

2.6 วงจรสมมูลของมอสเฟต

2.6.1 ค่าความจุไฟฟ้าแฝงในมอสเฟต

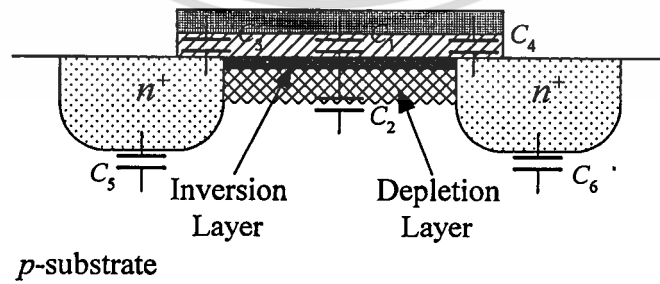
ในหัวข้อที่ผ่านมาได้อธิบายความสัมพันธ์ระหว่างกระแสและแรงดันในมอสเฟตซึ่งใช้วิเคราะห์การทำงานของมอสเฟตสำหรับกรณีสัญญาณขนาดใหญ่ (Large signal) หรือสัญญาณไฟตรง (DC) แต่หากต้องการวิเคราะห์การทำงานของมอสเฟตในกรณีสัญญาณขนาดเล็ก (Small signal) หรือไฟสลับ (AC) การออกแบบวงจรต้องคำนึงถึงค่าความจุไฟฟ้าแฝง (stray capacitance) ที่เกิดขึ้นภายในอุปกรณ์ด้วย โดยค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสเฟตจะเกิดขึ้นระหว่างขั้วสองขั้วดังแสดงในรูปที่ 2.15



รูปที่ 2.15 ค่าความจุไฟฟ้าแฝงในมอสเฟต

พิจารณาโครงสร้างทางฟิสิกส์ของมอสเฟตในรูปที่ 2.16 จะเห็นได้ว่าประกอบด้วยค่าความจุไฟฟ้าต่าง ๆ ดังต่อไปนี้

- (1) ค่าความจุไฟฟ้าระหว่างเกตกับช่องนำกระแส (C_1) เรียกว่า “Oxide Capacitance”
- (2) ค่าความจุไฟฟ้าระหว่างช่องนำกระแสและฐานรอง (C_2) เรียกว่า “Depletion Capacitance”
- (3) ค่าความจุไฟฟ้าระหว่างส่วนที่ซ้อนทับกันของโพลีกับขาเดรนและขาซอร์ส (C_3 และ C_4)
- (4) ค่าความจุไฟฟ้าระหว่างบริเวณขาเดรนและขาซอร์สกับฐานรอง (C_5 และ C_6) เรียกว่า “Junction Capacitance”

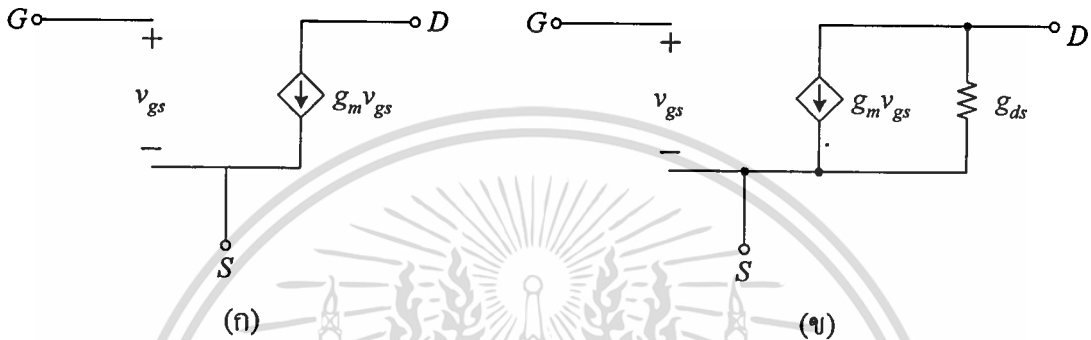


รูปที่ 2.16 โครงสร้างทางฟิสิกส์ของมอสเฟตแสดงค่าความจุไฟฟ้าแฝงต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2 วงจรสมมูลของมอสเฟทกรณีสัญญาณขนาดเล็ก

เนื่องจากมอสเฟทในวงจรถอนาลอกส่วนมากจะถูกออกแบบให้ทำงานในย่านอิมิตัว จึงต้องมีการวิเคราะห์ห้วงจรสมมูลและการทำงานของมอสเฟทสำหรับสัญญาณขนาดเล็ก และจากที่ได้ทราบมาแล้วว่ากระแสเดรนของมอสเฟทจะมีค่าขึ้นอยู่กับแรงดันคั่นคร่อมขากเกตและขาซอร์ส ดังนั้น วงจรสมมูลของมอสเฟทจึงเสมือนเป็นแหล่งจ่ายกระแสไม้อิสระมีค่าเท่ากับ $g_m v_{gs}$ ดังรูปที่ 2.17(ก) ซึ่งแสดงวงจรสมมูลของมอสเฟทกรณีสัญญาณขนาดเล็กในทางอุดมคติ

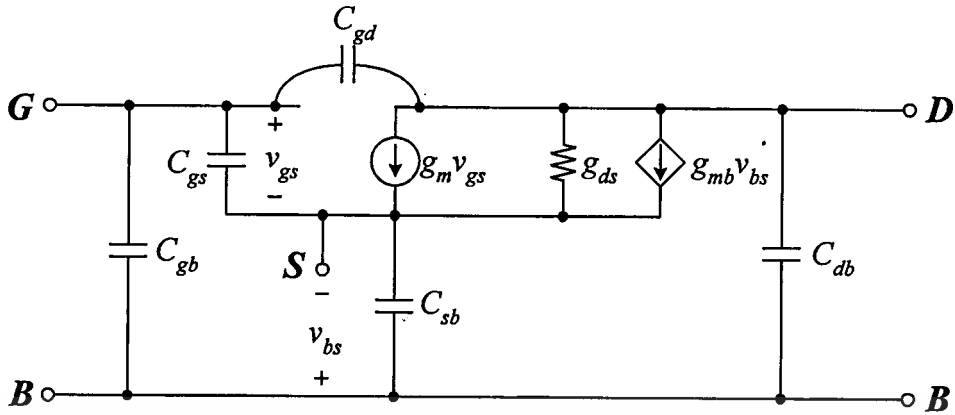


รูปที่ 2.17 วงจรสมมูลของมอสเฟทกรณีสัญญาณขนาดเล็ก

เนื่องจากผลของการเกิด Channel-Length Modulation ทำให้ I_D มีค่าขึ้นอยู่กับ V_{DS} ของมอสเฟทด้วย จึงเสมือนกับมีตัวต้านทานต่อขนานกับแหล่งจ่ายกระแสสมมูลดังแสดงในรูปที่ 2.17(ข) ซึ่งมีค่าเท่ากับ

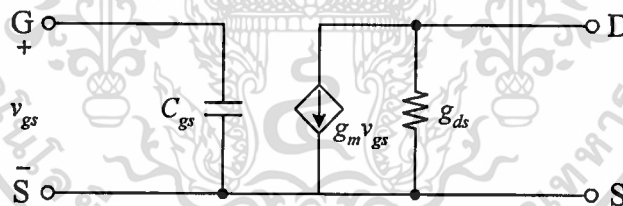
$$\begin{aligned}
 r_{ds} &= \frac{1}{g_{ds}} = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\partial I_D / \partial V_{DS}} \\
 &= \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \cdot \lambda} \\
 &\approx \frac{1}{\lambda I_D}
 \end{aligned}
 \tag{2.14}$$

ค่า r_{ds} นี้จะมีผลต่อประสิทธิภาพการทำงานของวงจรถอนาลอกทั่วไป ดังนั้นการออกแบบวงจรจึงต้องคำนึงถึงค่าความต้านทานนี้ด้วย วงจรสมมูลทั้งหมดของมอสเฟทกรณีสัญญาณขนาดเล็กซึ่งคำนึงถึงค่าความจุไฟฟ้าแฝงที่เกิดขึ้นในอุปกรณ์ด้วยสามารถเขียนแสดงได้ดังรูปที่ 2.18



รูปที่ 2.18 วงจรสมมูลของมอสเฟตกรณีสัญญาณขนาดเล็กเมื่อคำนึงถึงค่าความจุไฟฟ้าแฝง

แต่เนื่องจากในวิทยานิพนธ์นี้ได้ออกแบบวงจรโดยใช้มอสเฟตที่มีการต่อขาซอร์สร่วมกับขาบอดี ทำให้ $v_{bs} = 0$ และ $C_{sb} = 0$ และมอสเฟตถูกไบอัสให้ทำงานในย่านอิมิตัวซึ่งจะทำให้ $C_{gs} \ll C_{gd}$ และ C_{gb}, C_{db} มีค่าน้อยมากเมื่อเทียบกับ C_{gs} ดังนั้นวงจรสมมูลของมอสเฟตกรณีสัญญาณขนาดเล็กที่จะใช้สำหรับวิเคราะห์ห้วงจรที่นำเสนอในวิทยานิพนธ์นี้จึงประมาณได้ใหม่ดังรูปที่ 2.19



รูปที่ 2.19 วงจรสมมูลของมอสเฟตกรณีสัญญาณขนาดเล็กที่ใช้ในวิทยานิพนธ์นี้

2.7 บทสรุป

ในบทนี้ได้กล่าวถึงคุณสมบัติเบื้องต้นของมอสเฟตทรานซิสเตอร์ซึ่งเป็นอุปกรณ์แอคทีฟหลักที่ใช้ในการออกแบบวงจรที่นำเสนอในวิทยานิพนธ์ ได้แก่ โครงสร้าง หลักการทำงานพื้นฐานและความสัมพันธ์ระหว่างแรงดันและกระแสของมอสเฟตสำหรับย่านการทำงานต่างๆ รวมถึงวงจรสมมูลกรณีสัญญาณขนาดเล็กของมอสเฟตสำหรับการวิเคราะห์หาสมรรถนะของวงจรที่ได้ออกแบบในทางทฤษฎี เพื่อใช้เป็นแนวทางในการออกแบบและวิเคราะห์วงจรที่พัฒนาขึ้นในรูปของวงจรรวมภายในวิทยานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการทํางานของวงจรแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิทัล

3.1 กล่าวนำ

เป็นที่ทราบกันดีอยู่แล้วว่าปริมาณทางฟิสิกส์ในธรรมชาติจะอยู่ในรูปของสัญญาณอนาลอก ไม่ว่าจะเป็นสัญญาณแรงดัน สัญญาณกระแส ปริมาณอุณหภูมิ หรือระดับความดัน ในขณะที่การประมวลผลสัญญาณ การส่งผ่านสัญญาณและการบันทึกข้อมูลต่าง ๆ ของสัญญาณมักจะอยู่ในรูปของสัญญาณดิจิทัล [18] ดังนั้นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter, ADC) จึงเป็นวงจรหนึ่งที่มีความสำคัญมากในระบบประมวลผลสัญญาณแบบผสม ซึ่งในปัจจุบันมีการประยุกต์ใช้งานวงจร ADC ในระบบต่าง ๆ มากมายเช่น ในระบบเรดาร์ ระบบโทรศัพท์ ระบบโทรศัพท์ ระบบสื่อสารแบบดิจิทัล ระบบควบคุมและระบบการวัดคุม เป็นต้น [1]-[4] วงจร ADC ถือว่าเป็นส่วนประกอบย่อยในระบบดังกล่าวแต่จะมีผลต่อการทำงานของระบบทั้งหมด โดยวงจร ADC ที่ดีต้องสามารถแปลงสัญญาณให้มีค่าใกล้เคียงกับค่าเดิมมากที่สุด มีความผิดเพี้ยนต่ำ และมีความเร็วในการทำงานสูง ในขณะเดียวกันความต้องการอุปกรณ์แบบพกพาได้เพิ่มขึ้นอย่างต่อเนื่องในปัจจุบัน ซึ่งในอุปกรณ์แบบพกพานี้จะใช้แบตเตอรี่เป็นแหล่งจ่ายพลังงาน ดังนั้นวงจรอิเล็กทรอนิกส์ต่าง ๆ ที่ใช้งานตลอดจนวงจร ADC ที่ออกแบบขึ้น จึงควรมีขนาดเล็ก สิ้นเปลืองพลังงานน้อย มีโครงสร้างที่ง่ายและมีความเร็วในการทำงานที่สูง

ในบทนี้จะกล่าวถึงหลักการทํางานเบื้องต้นของวงจร ADC และอธิบายหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริธึมชนิดที่มีการเข้ารหัสทั้งแบบ ไบนารีและแบบเกรย์ รวมถึงการแปลงรหัสไบนารีเป็นรหัสเกรย์และการแปลงรหัสเกรย์เป็นรหัสไบนารี

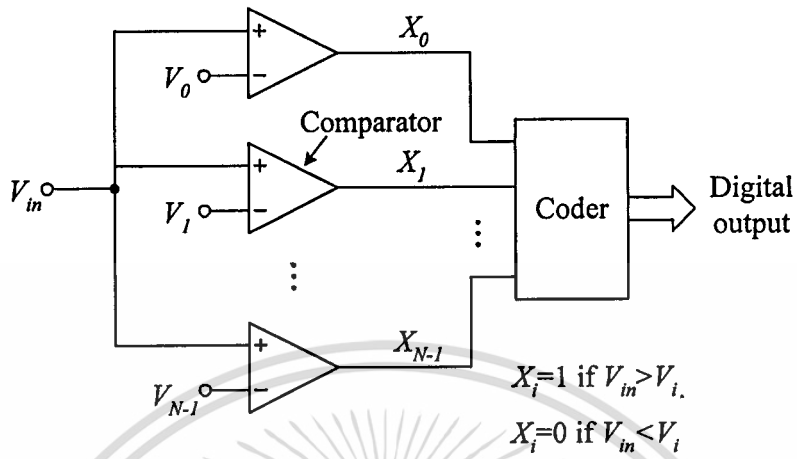
3.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

3.2.1 หลักการทํางานเบื้องต้น

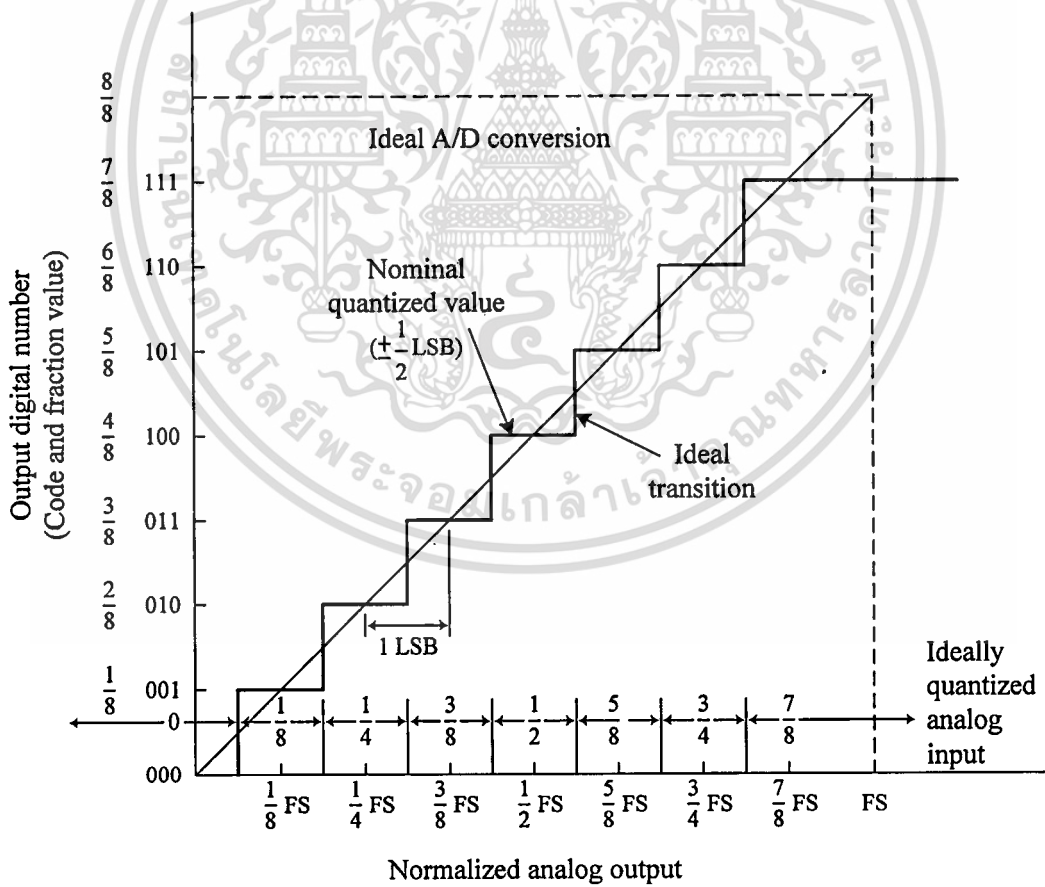
หลักการทํางานเบื้องต้นของวงจร ADC ทั่วไป [19] แสดงได้ดังรูปที่ 3.1 เมื่อสัญญาณอินพุต (V_n) ถูกส่งมาจากวงจรสุ่มและคงค่าสัญญาณ (Sample-and-Hold circuit, SAH) และส่งไปยังวงจรเปรียบเทียบสัญญาณ (comparator) เพื่อเปรียบเทียบค่าสัญญาณอินพุตกับสัญญาณอ้างอิง (V_r) แล้วจะได้สัญญาณเอาต์พุต (X) เป็น "1" เมื่อ $V_n > V_r$ และได้สัญญาณเอาต์พุต (X) เป็น "0" เมื่อ $V_n < V_r$ และไม่ว่าจะด้วยหลักการแปลงสัญญาณแบบใด วงจร ADC จะทำหน้าที่แปลงสัญญาณอินพุตแบบต่อเนื่องให้เป็นสัญญาณเอาต์พุตแบบไม่ต่อเนื่องที่มีค่าสอดคล้องกัน และรูปที่ 3.2 แสดง

เอกสารนี้เป็นต้นฉบับของงานวิจัยที่ตีพิมพ์ในวารสารวิชาการของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟคุณลักษณะระหว่างสัญญาณอินพุตกับสัญญาณเอาต์พุตในทางอุดมคติของวงจร ADC ขนาด 3 บิตที่มีการเข้ารหัสแบบไบนารี



รูปที่ 3.1 หลักการทำงานเบื้องต้นของวงจร ADC



รูปที่ 3.2 กราฟคุณลักษณะระหว่างสัญญาณอินพุตกับสัญญาณเอาต์พุตในทางอุดมคติของวงจร ADC ขนาด 3 บิตที่มีการเข้ารหัสแบบไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่นำเสนอในวิทยานิพนธ์นี้จัดอยู่ในประเภทการแปลงสัญญาณแบบ Nyquist-Rate Converter [3] ซึ่งเป็นการแปลงสัญญาณที่สามารถผลิตชุดสัญญาณเอาต์พุตที่แต่ละค่าของสัญญาณในชุดนั้นสอดคล้องกับค่าอินพุตเพียงค่าเดียวเท่านั้น สำหรับ Nyquist-Rate ADC ทั่วไปแล้วจะแบ่งออกเป็น 3 ชนิดขึ้นอยู่กับความเร็วที่ใช้ในการแปลงสัญญาณ ดังตารางที่ 3.1

ตารางที่ 3.1 วงจร ADC ชนิดต่าง ๆ [1]-[2]

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Single-Slope	Successive Approximation	Flash
Integrating (Dual-Slope)	Algorithmic	Two-step (Half-Flash)
Oversampling		Interpolating
		Folding
		Pipelined
		Time-Interleaved

จากตารางที่ 3.1 จะเห็นได้ว่าแนวคิดและหลักการของวงจร ADC มีอยู่หลายแบบด้วยกัน [1]-[4], [20]-[23] โดยแต่ละแบบก็จะมีข้อดีข้อเสียแตกต่างกันไปทั้งในเรื่องของความแม่นยำ ความเร็วในการแปลงสัญญาณ ความซับซ้อนของวงจร พื้นที่ที่ใช้ในกระบวนการผลิตไอซี พลังงานที่ใช้ในวงจร รวมถึงแบนด์วิธ (Bandwidth, BW) ของวงจร ดังนั้นในการเลือกใช้งานวงจร ADC จึงต้องเลือกให้เหมาะสมกับความต้องการในการใช้งานและคุณสมบัติต่าง ๆ ที่ต้องการ

วงจร ADC ที่นำเสนอในวิทยานิพนธ์นี้จัดเป็นประเภทอัลกอริธึม ซึ่งเป็นวงจร ADC ชนิดที่มีความเร็วปานกลาง และมีข้อดีหลายประการ เช่น สามารถเพิ่มจำนวนบิตได้ตามต้องการ สิ้นเปลืองพลังงานต่ำ และวงจรมีขนาดเล็ก โครงสร้างไม่ซับซ้อน

3.2.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอัลกอริธึม

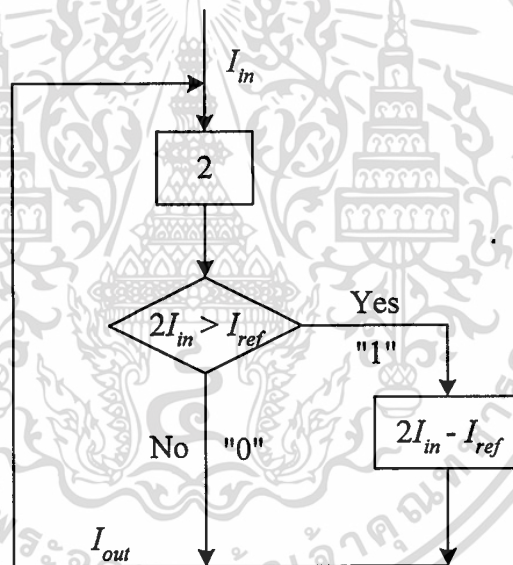
หลักการของวงจร ADC แบบอัลกอริธึมมีอยู่ 2 หลักการคือ การแปลงสัญญาณแบบไบนารี (Binary Coding) และการแปลงสัญญาณแบบเกรย์ (Gray Coding) การแปลงสัญญาณของวงจรจะเริ่มต้นจากบิตที่มีนัยสำคัญสูงสุด (Most Significant Bit, MSB) ไปหาบิตที่มีนัยสำคัญต่ำสุด (Least Significant Bit, LSB) โดยวงจรประกอบด้วยวงจร ADC ขนาดหนึ่งบิตจำนวนเท่ากับจำนวนบิตที่ต้องการต่ออนุกรมกัน และเวลาที่ใช้ในการแปลงสัญญาณจะขึ้นอยู่กับความละเอียดหรือจำนวนบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณดิจิทัลเอาต์พุตที่ต้องการ โดยแต่ละวงจรมาย่อยจะทำการขยายสัญญาณอนาล็อกอินพุตเป็นสองเท่าแล้วนำไปเปรียบเทียบกับระดับสัญญาณอ้างอิง ค่าดิจิทัลเอาต์พุตที่ได้จะขึ้นอยู่กับผลของการเปรียบเทียบนี้ และค่าของสัญญาณอนาล็อกเอาต์พุตที่จะนำไปเป็นสัญญาณอินพุตสำหรับบิตต่อไปจะแตกต่างกันสำหรับการแปลงแบบไบนารีและการแปลงแบบเกรย์

3.3 หลักการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลแบบไบนารี

หลักการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลแบบไบนารีนั้น จะใช้ฟังก์ชันลบในการสร้างรูปคลื่นแบบฟันเลื่อย (sawtooth-like waveform) สำหรับสัญญาณอินพุตที่เพิ่มขึ้นอย่างต่อเนื่อง โดยค่าดิจิทัลเอาต์พุตที่ได้จากการแปลงสัญญาณจะเป็นลำดับเลขไบนารีที่สอดคล้องกับระดับสัญญาณอินพุตที่มีค่าตั้งแต่ศูนย์ถึงระดับสัญญาณอ้างอิง โพลีชาร์ทการทำงานของวงจร ADC ที่มีการเข้ารหัสแบบไบนารีแสดงดังรูปที่ 3.3 [16]



รูปที่ 3.3 โพลีชาร์ทการแปลงสัญญาณของวงจร ADC ที่มีการเข้ารหัสแบบไบนารี

จากโพลีชาร์ทในรูปที่ 3.3 สามารถอธิบายการทำงานได้ดังนี้ เมื่อ I_{ref} , I_{in} และ I_{out} คือ กระแสอ้างอิง กระแสอนาล็อกอินพุต และกระแสอนาล็อกเอาต์พุต ตามลำดับ โดยกระแส I_{in} มีการแปรค่าจากศูนย์ไปถึงค่ากระแสอ้างอิง I_{ref} จากรูปจะเห็นได้ว่ามีส่วนประกอบหลัก 4 ส่วนคือ การคูณสัญญาณ การเปรียบเทียบสัญญาณ การลบสัญญาณ และการเลือกค่าสัญญาณที่จะใช้เป็นสัญญาณเอาต์พุตเพื่อนำไปเป็นสัญญาณอินพุตสำหรับบิตต่อไป

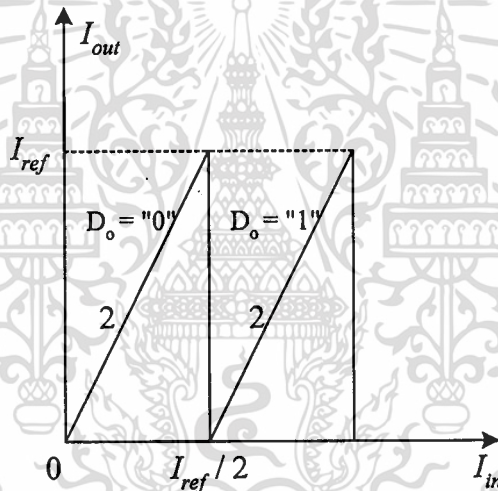
การทำงานของวงจรจะเริ่มต้นจากการขยายค่าสัญญาณกระแสอินพุต I_{in} เป็นสองเท่า ($2I_{in}$) แล้วนำไปเปรียบเทียบกับกระแสอ้างอิง I_{ref} ถ้ากระแส $2I_{in}$ มีค่าน้อยกว่า I_{ref} ($2I_{in} < I_{ref}$) จะได้ว่า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิทัลเอาต์พุตเท่ากับ “0” และกระแส $2I_{in}$ จะกลายเป็นสัญญาณอนาล็อกเอาต์พุต I_{out} ต่อไป ในทางตรงกันข้ามถ้ากระแส $2I_{in}$ มีค่ามากกว่า I_{ref} ($2I_{in} > I_{ref}$) จะได้สัญญาณดิจิทัลเอาต์พุต มีค่าเป็น “1” และจะได้กระแส I_{out} มีค่าเท่ากับ $2I_{in} - I_{ref}$ โดยสัญญาณนี้จะถูกป้อนกลับเพื่อเป็นสัญญาณอินพุตหรือส่งผ่านไปสู่เซลล์อื่นตามความละเอียดที่ต้องการ โดยที่วงจรนี้จะให้ค่าบิต MSB ออกมาก่อน กระแสเอาต์พุต I_{out} สามารถเขียนเป็นสมการได้ดังนี้

$$I_{out} = \begin{cases} 2I_{in} & ; 2I_{in} < I_{ref} \\ 2I_{in} - I_{ref} & ; 2I_{in} > I_{ref} \end{cases} \quad (3.1)$$

กราฟคุณสมบัติการส่งผ่านกระแสของวงจร ADC ชนิดเข้ารหัสแบบไบนารีที่ได้จาก โพลีซาร์ทในรูปที่ 3.3 แสดงได้ดังรูปที่ 3.4



รูปที่ 3.4 กราฟคุณสมบัติการส่งผ่านกระแส (current transfer characteristic) ของวงจร ADC ชนิดเข้ารหัสแบบไบนารี

ถึงอย่างไรก็ตามวงจร ADC ชนิดเข้ารหัสแบบไบนารียังมีข้อจำกัดหลายประการ [5]-[9], [20]-[22] เช่น

- ค่าผิดพลาดสะสม (accumulated error) ที่เกิดขึ้นในแต่ละบิตซึ่งจะเป็นข้อจำกัดของความเที่ยงตรงและความละเอียด (resolution) ของตัววงจร ADC
- ผลตอบสนองทางความถี่ของฟังก์ชันลบสัญญาณจะมีแบนด์วิดท์ที่แคบ เป็นผลให้เกิดความผิดเพี้ยนของสัญญาณ และเป็นข้อจำกัดทางด้านความเร็วในการทำงาน
- ฟังก์ชันลบสัญญาณยังมีผลทำให้เกิดค่าคิกคาออฟเซต (offset voltage) อันเนื่องมาจากการ

ทำงานที่ไม่เป็นอุดมคติของฟังก์ชันลบสัญญาณ
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ซึ่งมีลิขสิทธิ์เป็นของตนเอง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเป็นการลดค่าผิดพลาดต่าง ๆ ที่เกิดจากวงจร ADC แบบไบนารีจึงได้มีการพัฒนาวงจร ADC ขึ้นใหม่โดยใช้หลักการแปลงสัญญาณแบบเกรย์ [10]-[11], [23]

3.4 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบเกรย์

3.4.1 รหัสเกรย์ (Gray Code) [1]

รหัสเกรย์เป็นการเรียงลำดับของเลขฐานสองจำนวน 2^n ลำดับ เมื่อ n คือ จำนวนบิตทั้งหมด การเรียงลำดับของรหัสเกรย์จะแตกต่างกับรหัสไบนารีโดยการเปลี่ยนแปลงค่าในแต่ละลำดับนั้นจะมีการเปลี่ยนแปลงค่าเพียงแค่อันดับเดียวเท่านั้นเมื่อเทียบกับลำดับก่อนหน้า ดังแสดงในตารางที่ 3.2 ซึ่งเป็นการเปรียบเทียบระหว่างรหัสไบนารี (Binary Code) และรหัสเกรย์ (Gray Code) ขนาด 4 บิต สำหรับเลขฐานสิบที่มีค่าตั้งแต่ 0 – 15

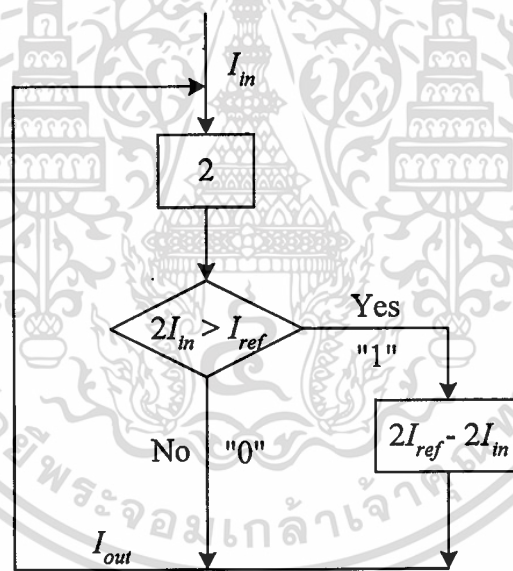
ตารางที่ 3.2 ตารางเปรียบเทียบรหัสไบนารี และรหัสเกรย์ขนาด 4 บิต

เลขฐานสิบ	รหัสเกรย์	รหัสไบนารี
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 1	0 0 1 0
3	0 0 1 0	0 0 1 1
4	0 1 1 0	0 1 0 0
5	0 1 1 1	0 1 0 1
6	0 1 0 1	0 1 1 0
7	0 1 0 0	0 1 1 1
8	1 1 0 0	1 0 0 0
9	1 1 0 1	1 0 0 1
10	1 1 1 1	1 0 1 0
11	1 1 1 0	1 0 1 1
12	1 0 1 0	1 1 0 0
13	1 0 1 1	1 1 0 1
14	1 0 0 1	1 1 1 0
15	1 0 0 0	1 1 1 1

จากตารางที่ 3.2 จะเห็นว่า การเปลี่ยนแปลงค่าในแต่ละลำดับของรหัสเกรย์จะมีการเปลี่ยนแปลงจาก 0 เป็น 1 หรือจาก 1 เป็น 0 เพียงบิตเดียวเท่านั้น คือบิตที่ขีดเส้นใต้ไว้ในตาราง ในขณะที่บางลำดับของรหัสไบนารีจะมีจำนวนบิตที่เปลี่ยนแปลงค่ามากกว่า 1 บิต

จากที่ได้กล่าวมาแล้วว่า วงจร ADC ชนิดที่มีการเข้ารหัสแบบไบนารีจะมีข้อจำกัดอยู่ที่ความเที่ยงตรงและความเร็วในการแปลงสัญญาณ นอกจากนั้นแล้วการสร้างสัญญาณรูปฟันเลื่อยที่มีลักษณะเป็นอุดมคติสำหรับใช้ในการแปลงเป็นรหัสไบนารียังทำได้ยากในทางปฏิบัติ จึงได้มีการเสนอหลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลชนิดที่มีการเข้ารหัสแบบเกรย์ [1] เพื่อใช้ในการสร้างวงจร ADC ที่มีความเร็วและความแม่นยำสูงขึ้น โดยวงจร ADC ชนิดที่มีการเข้ารหัสแบบเกรย์จะอาศัยวงจรที่สามารถสร้างสัญญาณรูปสามเหลี่ยม (triangular-like waveform) แทนการสร้างสัญญาณรูปฟันเลื่อย และค่าดิจิทัลเอาต์พุตที่ได้จะอยู่ในรูปของลำดับรหัสเกรย์

3.4.2 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบเกรย์



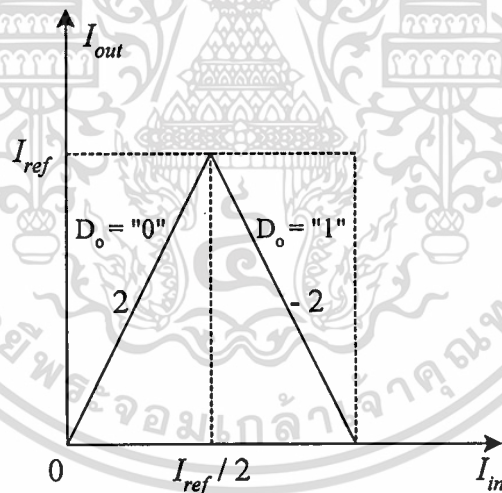
รูปที่ 3.5 โพลัวซาร์ทการแปลงสัญญาณของวงจร ADC ชนิดเข้ารหัสแบบเกรย์

รูปที่ 3.5 แสดงโพลัวซาร์ทการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลที่มีการเข้ารหัสแบบเกรย์ เมื่อ I_{ref} , I_{in} และ I_{out} คือ กระแสอ้างอิง กระแสอนาลอกอินพุต และกระแสอนาลอกเอาต์พุต ตามลำดับ โดยกระแส I_{in} มีการแปรค่าจากศูนย์ไปถึงค่ากระแสอ้างอิง I_{ref} จากรูปจะเห็นว่ามีส่วนประกอบหลัก 4 ส่วนคล้ายกับแบบไบนารีคือ การคูณสัญญาณ การเปรียบเทียบสัญญาณ การลบสัญญาณ และการเลือกค่าสัญญาณ

จากหลักการที่ได้นำเสนอสามารถอธิบายการทำงานได้ดังนี้ สัญญาณกระแสอินพุต I_{in} จะถูกขยายเป็น 2 เท่า ($2I_{in}$) แล้วนำไปเปรียบเทียบกับกระแสอ้างอิง I_{ref} ถ้ากระแส $2I_{in}$ มีค่าน้อยกว่า I_{ref} ($2I_{in} < I_{ref}$) จะได้สัญญาณดิจิตอลเอาต์พุตมีลอจิกเท่ากับ “0” และกระแส $2I_{in}$ จะกลายเป็นกระแสเอาต์พุต I_{out} ต่อไป แต่ถ้ากระแส $2I_{in}$ มีค่ามากกว่า I_{ref} ($2I_{in} > I_{ref}$) จะได้สัญญาณดิจิตอลเอาต์พุตมีลอจิกเป็น “1” และจะได้กระแส I_{out} มีค่าเท่ากับ $2I_{ref} - 2I_{in}$ และวงจรนี้จะให้ค่าบิต MSB ออกมาก่อนเช่นเดียวกับวงจร ADC แบบไบนารี กระแสเอาต์พุต I_{out} สามารถเขียนเป็นสมการได้ดังนี้

$$I_{out} = \begin{cases} 2I_{in} & ; 2I_{in} < I_{ref} \\ 2I_{ref} - 2I_{in} & ; 2I_{in} > I_{ref} \end{cases} \quad (3.2)$$

รูปที่ 3.6 แสดงกราฟคุณสมบัติการส่งผ่านกระแสของวงจร ADC ชนิดเข้ารหัสแบบเกรย์ จากโฟลว์ชาร์ทที่แสดงในรูปที่ 3.5 โดยกราฟที่ได้จะมีลักษณะเป็นรูปสามเหลี่ยมที่มีความสมมาตรกัน และมีจุดเปลี่ยนความชันที่ครึ่งหนึ่งของค่ากระแสอ้างอิง I_{ref}



รูปที่ 3.6 กราฟคุณสมบัติการส่งผ่านกระแส (current transfer characteristic) ของวงจร ADC ชนิดเข้ารหัสแบบเกรย์

3.5 การแปลงรหัสไบนารีเป็นรหัสเกรย์และการแปลงรหัสเกรย์เป็นรหัสไบนารี [1]

3.5.1 การแปลงรหัสไบนารีเป็นรหัสเกรย์

การแปลงรหัสไบนารีเป็นรหัสเกรย์สามารถทำได้ดังนี้ เริ่มต้นจากบิต MSB ของรหัสไบนารี ค่าของบิต MSB ของรหัสเกรย์จะมีค่าเท่ากับ จากนั้นเปรียบเทียบบิตถัดมาทีละหนึ่งคู่

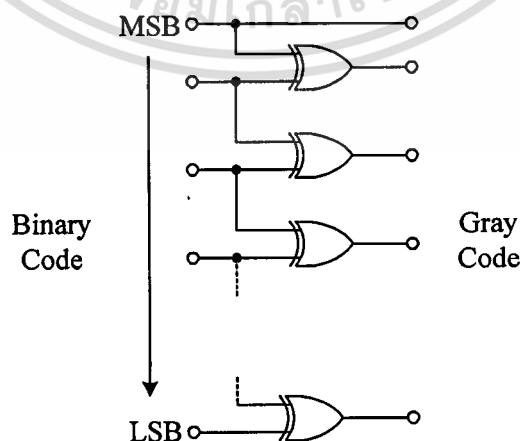
- ถ้าบิตทั้งสองมีค่าต่างกัน บิตในรหัสเกรย์จะเป็น “1”
- ถ้าบิตทั้งสองมีค่าเท่ากัน บิตในรหัสเกรย์จะเป็น “0”

ตัวอย่างการแปลงรหัสไบนารีเป็นรหัสเกรย์ขนาด 12 บิต ดังแสดงในรูปที่ 3.7

	ค่าต่างกัน รหัสเกรย์ = 1		ค่าเหมือนกัน รหัสเกรย์ = 0									
Binary Code	0	1	0	0	1	0	1	1	1	1	0	1
Gray Code	0	1	1	0	1	1	1	0	0	0	1	1

รูปที่ 3.7 การแปลงรหัสไบนารีเป็นรหัสเกรย์ขนาด 12 บิต

จากหลักการแปลงสัญญาณดังกล่าว จะเห็นได้ว่าสอดคล้องกับการทำงานของ EX-OR GATE ที่ทำงานด้วยการเปรียบเทียบสัญญาณอินพุต 2 ค่า โดยถ้าอินพุตทั้งสองมีค่าเหมือนกัน จะให้เอาต์พุตเท่ากับ “0” แต่ถ้าอินพุตทั้งสองมีค่าแตกต่างกัน จะให้เอาต์พุตเท่ากับ “1” ดังนั้นการแปลงสัญญาณไบนารีเป็นสัญญาณเกรย์จึงสามารถทำได้โดยนำ EX-OR GATE มาต่อกันดังแสดงในรูปที่ 3.8



รูปที่ 3.8 การต่อ EX-OR GATE เพื่อแปลงสัญญาณไบนารีเป็นสัญญาณเกรย์

3.5.2 การแปลงรหัสเกรย์เป็นรหัสไบนารี

การแปลงรหัสเกรย์เป็นรหัสไบนารีสามารถทำได้ในทางกลับกันกับการแปลงรหัสไบนารีเป็นรหัสเกรย์ โดยเริ่มต้นจากบิต MSB ของรหัสเกรย์ ค่าของบิต MSB ของรหัสไบนารีจะมีค่าเท่ากับ จากนั้นใช้ค่าของบิตถัดมาในรหัสเกรย์ทีละหนึ่งบิตเป็นตัวกำหนดค่าของบิตในรหัสไบนารี

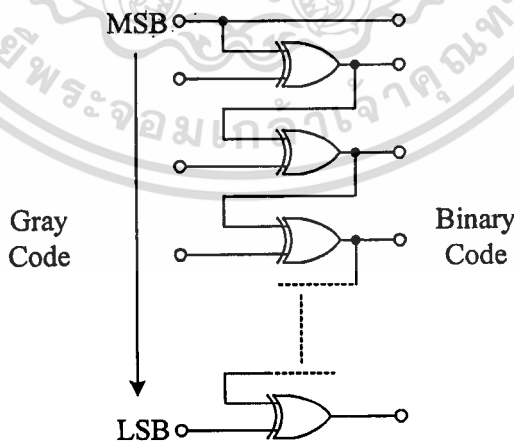
- ถ้าบิตถัดมามีค่าเป็น “1” บิตในรหัสไบนารีจะเป็นค่าตรงข้ามกับบิตก่อนหน้า
- ถ้าบิตถัดมามีค่าเป็น “0” บิตในรหัสไบนารีจะเป็นค่าเดียวกันกับบิตก่อนหน้า

ตัวอย่างการแปลงรหัสเกรย์เป็นรหัสไบนารีขนาด 12 บิต ดังแสดงในรูปที่ 3.9

	รหัสเกรย์ = 1 รหัสไบนารี ตรงข้ามกับบิตก่อนหน้า				รหัสเกรย์ = 0 รหัสไบนารี เหมือนกับบิตก่อนหน้า							
Gray Code	0	1	1	1	0	0	1	1	0	1	0	0
Binary Code	0	1	0	1	1	1	0	1	1	0	0	0

รูปที่ 3.9 การแปลงรหัสเกรย์เป็นรหัสไบนารีขนาด 12 บิต

วงจรแปลงสัญญาณเกรย์เป็นสัญญาณไบนารีสามารถสร้างได้โดยใช้ EX-OR GATE เช่นเดียวกับวงจรแปลงสัญญาณไบนารีเป็นสัญญาณเกรย์ ดังรูปที่ 3.10 และวงจรภายใน EX-OR GATE แสดงได้ดังรูปที่ 3.11



รูปที่ 3.10 การต่อ EX-OR GATE เพื่อแปลงสัญญาณเกรย์เป็นสัญญาณไบนารี

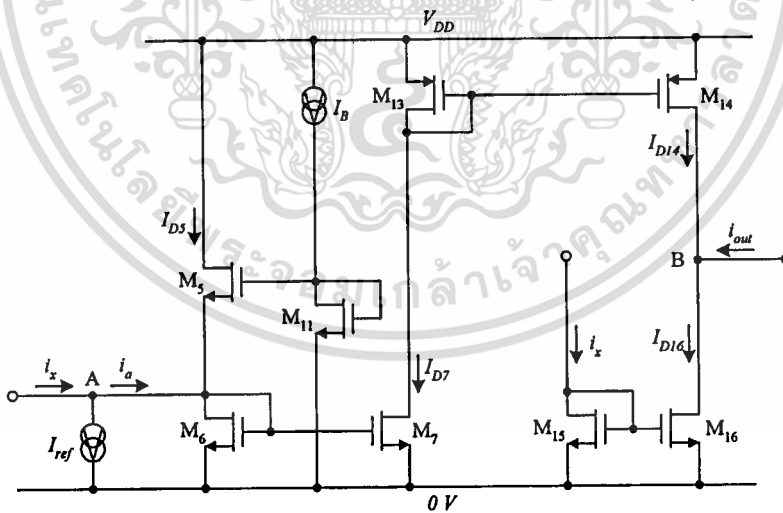
บทที่ 4

กลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจร

4.1 กล่าวนำ

ดังได้กล่าวมาแล้วในบทที่ 3 ว่าวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์นั้นอาศัยหลักการสร้างสัญญาณสามเหลี่ยมที่มีลักษณะสมมาตรกันสำหรับสัญญาณอินพุตที่มีการเพิ่มขึ้นอย่างต่อเนื่อง วงจรอัลกอริธึม ADC ที่นำเสนอขึ้นในวิทยานิพนธ์ฉบับนี้จึงได้นำเอาหลักการดังกล่าวมาพัฒนาออกแบบวงจรในรูปแบบของวงจรรวม (Integrated Circuit, IC) โดยใช้เทคโนโลยีแบบมอสเฟทรานซิสเตอร์ ดังนั้นเนื้อหาสำคัญในบทนี้จึงได้นำเสนอวงจรฟังก์ชันสามเหลี่ยม (triangular function circuit) ที่สร้างจากมอสเฟตขึ้นเพื่อนำเอาไปใช้เป็นวงจรหลักในการออกแบบวงจร ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอ รวมทั้งยังได้กล่าวถึงคุณสมบัติในการทำงาน ตลอดจนสมรรถนะของกลุ่มวงจรย่อยอื่นที่ต้องใช้ในการออกแบบวงจร อันได้แก่ วงจรสะท้อนกระแส (current mirror) และวงจรเปรียบเทียบกระแส (current comparator)

4.2 วงจรฟังก์ชันสามเหลี่ยมที่นำเสนอ



รูปที่ 4.1 วงจรฟังก์ชันสามเหลี่ยมโดยใช้มอสเฟตที่นำเสนอ

วงจรฟังก์ชันสามเหลี่ยมโดยใช้มอสเฟตที่นำเสนอแสดงได้ดังรูปที่ 4.1 เมื่อกำหนดให้มอสเฟตทุกตัวในวงจรมีคุณสมบัติเหมือนกันทุกประการและทำงานอยู่ในย่านอิมิตัวแล้ว การทำงานของวงจรสามารถอธิบายได้ดังนี้ มอสเฟต M_{11} และแหล่งจ่ายกระแสแสดงที่ I_B ทำหน้าที่รักษาแรงดันไบอัสที่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญสุดเหมาไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาเกทของมอสเฟต M_5 ให้มีค่าคงที่เท่ากับ $2V_T$ เมื่อ V_T คือแรงดันขีดเริ่มของมอสเฟต (threshold voltage) และแรงดันนี้จะทำให้มอสเฟต M_5 และ M_6 ทำงานอยู่ในช่วงขอบการนำกระแส โดยมีวงจรสะท้อนกระแส M_6-M_7 ทำหน้าที่ส่งผ่านกระแสด้วยอัตราขยายกระแสเท่ากับสอง ในขณะที่วงจรสะท้อนกระแส $M_{13}-M_{14}$ และ $M_{15}-M_{16}$ ทำหน้าที่ส่งผ่านกระแสด้วยอัตราขยายกระแสเท่ากับหนึ่ง

ในกรณีที่สัญญาณอินพุต i_x มีค่าน้อยกว่าค่ากระแสอ้างอิง I_{ref} ($i_x < I_{ref}$) จะทำให้กระแส i_a มีทิศทางเป็นลบและไหลผ่านมอสเฟต M_5 ออกมา ได้กระแสเดรนของมอสเฟต M_5 (I_{D5}) มีค่าเท่ากับ $I_{ref} - i_x$ ซึ่งจากการไหลของกระแส I_{D5} นี้เป็นผลให้แรงดันระหว่างขาเกทและขาซอร์สของมอสเฟต M_5 (V_{GS5}) มีค่าเพิ่มขึ้น แต่จากการรักษาระดับแรงดันไบอัสคงที่ที่ขาเกทของมอสเฟต M_5 เป็นผลให้แรงดันตกคร่อมขาเกทและขาซอร์สของมอสเฟต M_6 (V_{GS6}) มีค่าลดลงจนทำให้มอสเฟต M_6 ไม่นำกระแส (cut-off) ดังนั้นกระแส I_{D6} จึงมีค่าเท่ากับศูนย์ ซึ่งส่งผลให้ $I_{D7} = I_{D14} = 0$ ด้วยเช่นกัน ในทางตรงกันข้ามถ้าสัญญาณอินพุต i_x มีค่ามากกว่าค่ากระแสอ้างอิง I_{ref} ($i_x > I_{ref}$) นั่นคือกระแส i_a ซึ่งมีค่าเท่ากับ $i_a = I_{D6} = i_x - I_{ref}$ ไหลเข้าวงจรที่โหนด A ผ่านมอสเฟต M_6 แทน จึงทำให้มอสเฟต M_5 ไม่นำกระแส และจากการทำงานของวงจรสะท้อนกระแส M_6-M_7 ที่มีอัตราการส่งผ่านกระแสเท่ากับสองและวงจรสะท้อนกระแส $M_{13}-M_{14}$ ทำให้ได้กระแสเดรนของมอสเฟต M_{14} (I_{D14}) มีค่าเท่ากับ $2I_{D6}$ ดังนั้นจากทั้งสองกรณีจึงสามารถสรุปความสัมพันธ์ของกระแส I_{D5} และ I_{D6} ได้ดังนี้

กรณี $i_x \leq I_{ref}$ จะได้

$$I_{D5} = I_{ref} - i_x \quad \text{และ} \quad I_{D6} = I_{D7} = I_{D13} = I_{D14} = 0 \quad (4.1ก)$$

กรณี $i_x > I_{ref}$ จะได้

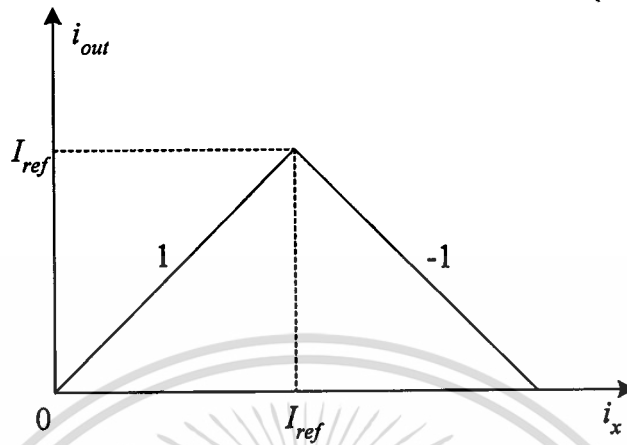
$$I_{D5} = 0, \quad I_{D6} = i_x - I_{ref} \quad \text{และ} \quad I_{D14} = 2I_{D6} \quad (4.1ข)$$

ขณะที่วงจรสะท้อนกระแส $M_{15}-M_{16}$ จะทำการส่งผ่านกระแส i_x มาเป็นกระแสเอาต์พุต i_{out} ที่โหนด B ดังนั้นจากสมการที่ (4.1) สามารถเขียนสมการกระแสเอาต์พุต i_{out} ได้เป็น

$$\text{กรณี } i_x \leq I_{ref} \quad \text{จะได้} \quad i_{out} = i_x \quad (4.2ก)$$

$$\text{กรณี } i_x > I_{ref} \quad \text{จะได้} \quad i_{out} = i_x - 2I_{D6} = 2I_{ref} - i_x \quad (4.2ข)$$

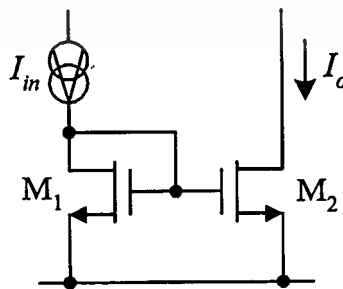
สมการที่ (4.2) แสดงให้เห็นว่าเมื่อกระแส i_x แปรค่าเพิ่มขึ้นอย่างต่อเนื่องแล้ว กระแสเอาต์พุต i_{out} ของวงจรที่เกิดขึ้นจะมีลักษณะเป็นสัญญาณแบบสามเหลี่ยมดังแสดงในรูปที่ 4.2



รูปที่ 4.2 กราฟคุณสมบัติการส่งผ่านกระแสของวงจร

4.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแสแบบพื้นฐานดังรูปที่ 4.3 [14]-[16] เป็นวงจรอนุบาลอกอิเล็กทรอนิกส์พื้นฐานที่มีความสำคัญอย่างมากในการออกแบบวงจรอิเล็กทรอนิกส์ต่าง ๆ มากมาย เนื่องจากวงจรสะท้อนกระแสนี้จะทำหน้าที่ส่งผ่านหรือสำเนาค่ากระแสอินพุตของวงจรไปยังส่วนต่าง ๆ ของวงจรที่ได้ออกแบบ คุณสมบัติพื้นฐานของวงจรคือ มีค่าความต้านทานอินพุตที่จุดเข้าของวงจรต่ำมาก และมีค่าความต้านทานเอาต์พุตที่จุดออกสูงมากและในวิทยานิพนธ์นี้ได้นำวงจรสะท้อนกระแสนี้ไปใช้ในการส่งผ่านกระแสไปยังส่วนต่าง ๆ ของวงจรที่น่าเสนอเช่นกัน ซึ่งการวิเคราะห์คุณสมบัติในการทำงานของวงจรสะท้อนกระแสแบบพื้นฐานสามารถกระทำได้เป็นลำดับดังนี้คือ



รูปที่ 4.3 วงจรสะท้อนกระแสแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนดให้มอสเฟต M_1 และ M_2 มีคุณสมบัติสมพจน์กันทุกประการและทำงานอยู่ในย่านอิมิตัว โดยที่ I_{D1} และ I_{D2} คือ กระแสอินพุท และกระแสเอาต์พุทของวงจร ตามลำดับ จากการพิจารณา วงจรจะได้รับความสัมพันธ์ของแรงดันระหว่างขาเกตกับขาซอร์ส (V_{GS}) ของมอสเฟต M_1 และ M_2 เป็นดังนี้

$$V_{GS1} = V_{GS2} \quad (4.3)$$

โดยที่ V_{GSi} คือ แรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต M_i ($i = 1$ และ 2) ซึ่งมีค่าเท่ากับ

$$V_{GSi} = V_{TH} + \sqrt{\frac{I_{Di}}{\mu_n C_{ox} W/2L}} \quad (4.4)$$

แทนค่าสมการที่ (4.4) ลงในสมการที่ (4.3) เมื่อ $I_{D1} = I_{in}$ และ $I_{D2} = I_o$ จะได้

$$\frac{I_o}{I_{in}} = \left(\frac{W}{L}\right)_{M2} \left(\frac{L}{W}\right)_{M1} \quad (4.5)$$

สมการที่ (4.5) แสดงให้เห็นว่าภายใต้กระบวนการผลิตวงจรรวม (IC-fabrication) หากกำหนดอัตราส่วน W/L ของมอสเฟต M_1 และ M_2 ให้มีค่าเท่ากัน การส่งผ่านกระแสอินพุท I_{in} ไปเป็นกระแสเอาต์พุท I_o ของวงจรมีค่าอัตราขยายกระแสเท่ากับหนึ่ง นั่นคือ $I_{in} \cong I_o$

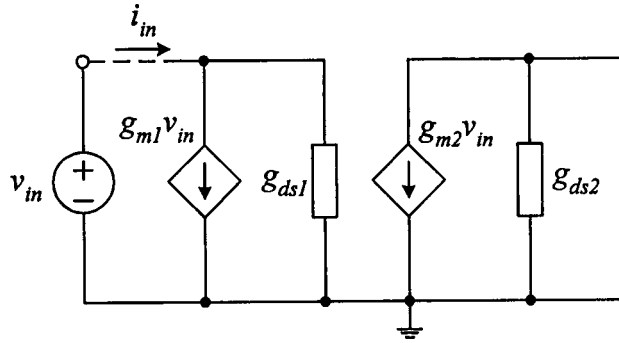
สำหรับการวิเคราะห์หาผลของค่าความต้านทานที่จุดเข้าและจุดออกของวงจรถอต่อสัญญาณขนาดเล็กกระทำได้โดยการแทนวงจรสมมูลของมอสเฟตกรณีสัญญาณขนาดเล็ก ในการวิเคราะห์หาค่าความต้านทานที่จุดเข้าของวงจรมีการป้อนแรงดันทดสอบ v_{in} เข้าที่จุดเข้าของวงจร โดยไม่คำนึงถึงผลจากแรงดันที่จุดออก ($v_o = 0$ V) ซึ่งจะได้วงจรสมมูลดังรูปที่ 4.4(ก) จากนั้นพิจารณาหาผลรวมของกระแสที่จุดเข้าของวงจรมีดังนี้

$$i_{in} = g_{m1} v_{in} + g_{ds1} v_{in} \quad (4.6)$$

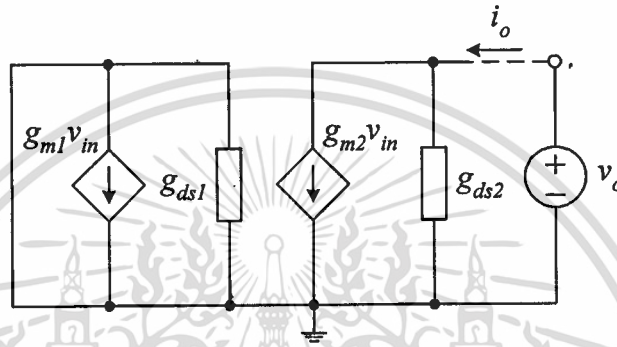
โดยทั่วไป $g_{m1} \gg g_{ds1}$ ดังนั้นจากสมการที่ (4.6) จึงสามารถประมาณค่าความต้านทานอินพุท (ac small-signal input resistance, r_{in}) ที่จุดเข้าของวงจรได้เป็น

$$r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} \quad (4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 4.4 (ก) วงจรสมมูลสำหรับวิเคราะห์หา r_{in} ของวงจรสะท้อนกระแส
(ข) วงจรสมมูลสำหรับวิเคราะห์หา r_o ของวงจรสะท้อนกระแส

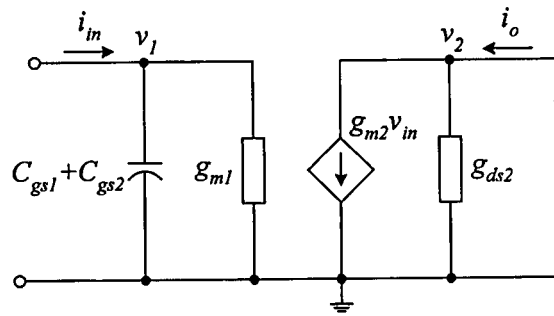
ในทางกลับกันเมื่อวิเคราะห์ค่าความต้านทานที่จุดออกของวงจรก็สามารถทำได้โดยการป้อนแรงดันทดสอบ v_o เข้าไปที่จุดออกของวงจร โดยให้ $v_{in} = 0\text{ V}$ ดังรูปที่ 4.4(ข) ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_o = g_{ds2} v_o \quad (4.8)$$

ดังนั้นจะได้ค่าความต้านทานเอาต์พุต (ac small-signal output resistance, r_o) ของวงจรมีค่าเท่ากับ

$$r_o = \frac{v_o}{i_o} = \frac{1}{g_{ds2}} \quad (4.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรสมมูลสำหรับวิเคราะห์หาผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส

สำหรับการวิเคราะห์หาผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสดังรูปที่ 4.3 จะคำนึงถึงผลของค่าความจุไฟฟ้าแผ่ระหว่างขาเกตกับขาซอร์สของมอสเฟต (gate-source capacitance, C_{gs}) เป็นหลัก ซึ่งในกรณีนี้จะได้วงจรสมมูลที่ใช้ในการวิเคราะห์หาดังรูปที่ 4.5

พิจารณาที่โหนด v_1 จะได้

$$i_{in} = [g_{m1} + s(C_{gs1} + C_{gs2})]v_{in} \quad (4.10)$$

เมื่อ C_{gs} คือ ค่าความจุไฟฟ้าแผ่ระหว่างขาเกตกับขาซอร์สของมอสเฟต M_i ($i = 1$ และ 2) และที่โหนด v_2 จะได้

$$i_o = g_{m2}v_{in} \quad (4.11)$$

แทนค่า v_{in} จากสมการที่ (4.11) ลงในสมการที่ (4.10) จะได้

$$\frac{i_o}{i_{in}} = \frac{g_{m2}}{g_{m1}} \left[\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right] \quad (4.12)$$

จากสมการที่ (4.12) พบว่าวงจรสะท้อนกระแสดังรูปที่ 4.3 มีค่าอัตราขยายกระแสไฟตรง (dc gain) เท่ากับ

$$\frac{i_o}{i_{in}} = \frac{g_{m2}}{g_{m1}} \quad (4.13)$$

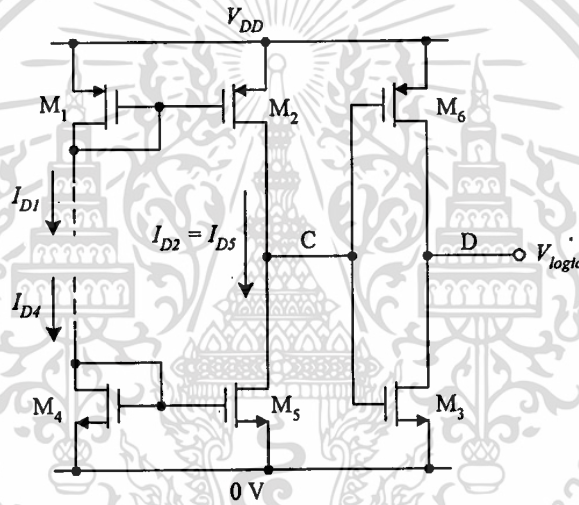
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ โพล โดมิแนนซ์ (dominant pole, p_1) ซึ่งเป็นขีดจำกัดความถี่ในการใช้งานของวงจรอยู่ที่ตำแหน่ง

$$p_1 = -\frac{g_{m1}}{C_{gs1} + C_{gs2}} \quad (4.14)$$

4.4 วงจรเปรียบเทียบกระแส

รูปที่ 4.6 แสดงวงจรเปรียบเทียบกระแส ซึ่งประกอบด้วยวงจรสะท้อนกระแส M_1 – M_2 และ M_4 – M_5 ทำงานร่วมกับวงจรอินเวอร์เตอร์ (inverter) M_3 – M_6 [13] เพื่อแปลงสัญญาณเอาต์พุตของวงจรที่โหนด D ให้ออกมาอยู่ในรูปของสัญญาณดิจิทัลเอาต์พุต การทำงานของวงจรมันสามารถแยกอธิบายได้เป็นสองกรณีตามการเปรียบเทียบค่ากระแสระหว่าง I_{D1} กับ I_{D4} ดังนี้คือ



รูปที่ 4.6 วงจรเปรียบเทียบกระแสพื้นฐาน

กรณีที่กระแส I_{D1} มีค่ามากกว่า I_{D4} หรือ ($I_{D1} > I_{D4}$) จะได้ $I_{D2} = I_{D5} \cong I_{D1}$ นั่นคือมอสเฟต M_2 ทำงานในย่านอิ่มตัว ขณะที่มอสเฟต M_5 ทำงานในย่านเชิงเส้น ทำให้แรงดันตกคร่อมระหว่างขาซอร์สกับขาเดรนของ M_2 (V_{SD2}) มีค่าลดต่ำลงมากใกล้เคียงกับ 0 V จนทำให้แรงดันที่โหนด C (V_C) มีค่าประมาณ V_{DD} ($V_C \cong V_{DD}$) และเป็นผลให้มอสเฟต M_3 เกิดการนำกระแส แรงดัน V_{DS3} ของ M_3 มีค่าประมาณ 0 V นั่นคือแรงดันเอาต์พุตของวงจรที่โหนด D (V_{logic}) มีค่าเท่ากับ 0 V หรือกล่าวได้ว่า V_{logic} ในขณะนี้มีสภาวะ Logic เท่ากับ

$$V_{logic} = V_{OL} = "0" \quad (4.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในกรณีที่กระแส I_{D1} มีค่าน้อยกว่า I_{D4} หรือ ($I_{D1} < I_{D4}$) จะได้ $I_{D2} = I_{D5} \cong I_{D4}$ นั่นคือ มอสเฟต M_2 ทำงานในย่านเชิงเส้น ขณะที่มอสเฟต M_5 ทำงานในย่านอิ่มตัว ทำให้ $V_C \cong 0$ V มอสเฟต M_6 นำกระแส และเป็นผลให้แรงดัน V_{DS6} ของมอสเฟต M_6 มีค่าประมาณ 0 V นั่นคือ $V_{logic} \cong V_{DD}$ หรือมีสถานะลอจิกเท่ากับ

$$V_{logic} = V_{OH} = "1" \quad (4.16)$$

ซึ่งจากการทำงานของวงจรดังแสดงในสมการที่ (4.15) และ (4.16) จึงสามารถสรุปเงื่อนไขได้ว่า

กรณี $I_{D1} > I_{D4}$ จะได้ $I_{D2} = I_{D5} \cong I_{D1}$ และ V_{logic} มีสถานะลอจิกเท่ากับ "0"

กรณี $I_{D1} < I_{D4}$ จะได้ $I_{D2} = I_{D5} \cong I_{D4}$ และ V_{logic} มีสถานะลอจิกเท่ากับ "1"

แสดงให้เห็นว่าวงจรทำหน้าที่เปรียบเทียบสัญญาณกระแสอนุบาลอกอินพุตสองชุดที่ป้อนให้กับวงจร จากนั้นจะทำการแปลงให้สัญญาณเอาต์พุตที่ได้ออกมาอยู่ในรูปสัญญาณดิจิทัลเอาต์พุต

4.5 บทสรุป

ในบทนี้วงจรฟังก์ชันสามเหลี่ยมโดยใช้มอสเฟตได้ถูกนำเสนอขึ้นเพื่อนำไปใช้เป็นวงจรหลักที่สำคัญในการออกแบบวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ นอกจากนี้ยังได้อธิบายถึงคุณสมบัติการทำงานและสมรรถนะต่าง ๆ ของกลุ่มวงจรย่อยอื่นที่ใช้เป็นส่วนประกอบในการออกแบบวงจรที่นำเสนออีกด้วย ซึ่งกลุ่มวงจรย่อยทั้งหมดที่ได้กล่าวถึงในบทนี้จะถูกนำไปต่อใช้งานร่วมกันเพื่อสังเคราะห์เป็นวงจร ADC ที่นำเสนอขึ้นดังมีรายละเอียดอยู่ในบทลำดับถัดไป

วงจรถอดกิริสมิก ADC ชนิดเข้ารหัสแบบเกรย์ โดยใช้ฟังก์ชันสามเหลี่ยม

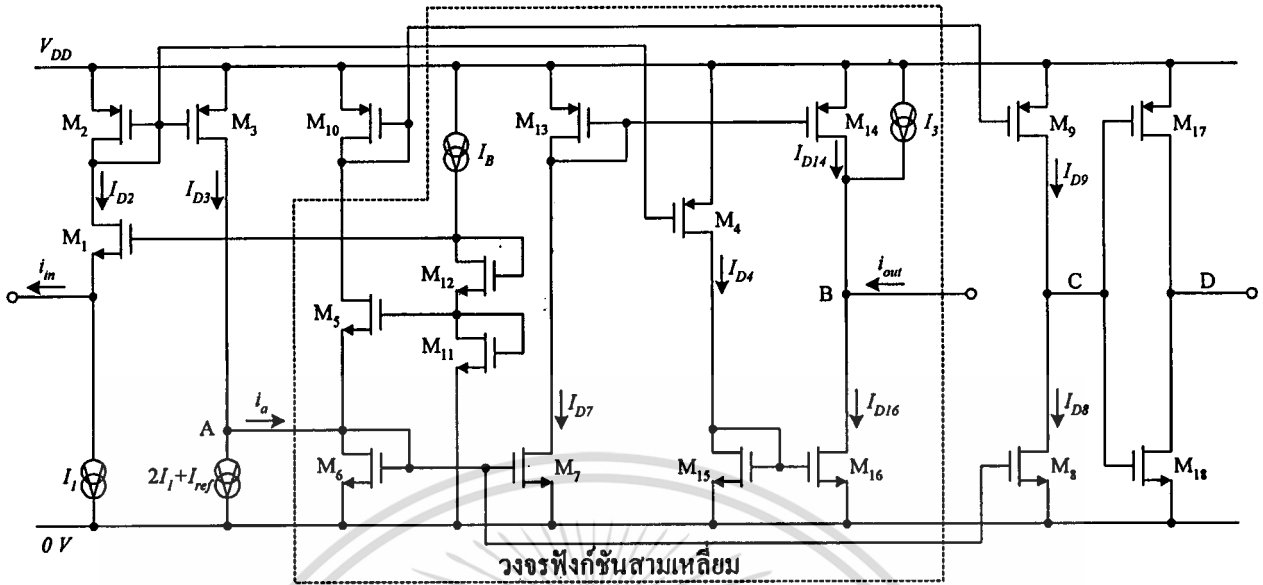
5.1 กล่าวนำ

ปัจจุบันเทคโนโลยีการออกแบบวงจรรวมโดยใช้มอสเฟททรานซิสเตอร์ได้พัฒนาเจริญ รุดหน้าไปอย่างรวดเร็ว ทำให้สามารถกระทำการออกแบบวงจรประมวลผลสัญญาณอนาลอกและ สัญญาณดิจิทัลเพื่อบรรจุลงบนชิพเดียวกันได้ ซึ่งเป็นการลดต้นทุนการผลิตและยังสามารถทำให้ ระบบมีขนาดเล็กลงอย่างมาก [12]-[13] ดังนั้นในบทนี้จะได้นำเสนอวงจรถอดกิริสมิกแปลง สัญญาณอนาลอกเป็นสัญญาณดิจิทัลหรือวงจรถอดกิริสมิก ADC ชนิดเข้ารหัสแบบเกรย์ที่ทำงานในรูปกระแส ภายใต้การออกแบบวงจรรวมในรูปของวงจรรวมโดยใช้มอสเฟทเป็นอุปกรณ์แอคทีฟหลัก วงจร ADC ที่นำเสนอประกอบด้วยกลุ่มวงจรร้อยที่สำคัญคือ วงจรฟังก์ชันสามเหลี่ยม วงจรสะท้อนกระแส และวงจรเปรียบเทียบกระแส ต่อทำงานร่วมกันเพื่อให้การแปลงสัญญาณอนาลอกอินพุตเป็น สัญญาณดิจิทัลเอาต์พุตที่มีความแม่นยำเป็นไปตามที่ต้องการ รวมทั้งยังได้นำเสนอแนวคิดในการ นำเอาวงจรถอดกิริสมิก ADC ที่นำเสนอไปออกแบบสร้างเป็นวงจรถอดกิริสมิก ADC ที่สามารถแปลงสัญญาณ อนาลอกเป็นสัญญาณดิจิทัลจำนวน N บิตอีกด้วย การตรวจสอบสมรรถนะและยืนยันการทำงาน ของวงจรถอดกิริสมิกที่ได้ออกแบบจะกระทำโดยใช้การวิเคราะห์คุณสมบัติของวงจรรวมในทางทฤษฎี รวมทั้งการ เลียนแบบการทำงานของวงจรถอดกิริสมิกด้วยโปรแกรม PSPICE

5.2 วงจรถอดกิริสมิก ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอ

รูปที่ 5.1 แสดงวงจรถอดกิริสมิก ADC ชนิดเข้ารหัสแบบเกรย์ขนาด 1 บิตที่ได้นำเสนอ ซึ่ง ประกอบด้วยวงจรถอดกิริสมิกสามเหลี่ยมดังแสดงในกรอบเส้นประ วงจรสะท้อนกระแส M_2-M_4 และ M_6-M_8 ที่มีอัตรากระแสผ่านกระแสเท่ากับสองเท่าซึ่งเกิดจากการกำหนดอัตราส่วนความกว้างต่อ ความยาว (W/L) ของมอสเฟท M_3 , M_4 และ M_7 ให้มีค่าเป็นสองเท่าของมอสเฟท M_2 และ M_6 มอสเฟท M_1 ต่อเป็นวงจรถอดกิริสมิก (common-gate amplifier) เพื่อทำหน้าที่ส่งผ่านสัญญาณ กระแสอินพุตโดยมีมอสเฟท M_{11} , M_{12} และแหล่งจ่ายกระแสคงที่ I_B ทำหน้าที่สร้างแรงดันไบอัสที่ ขาเกตของมอสเฟท M_1 ให้มีค่าคงที่เท่ากับ $2V_T$ สำหรับมอสเฟท M_8-M_9 และ $M_{17}-M_{18}$ ต่อร่วมกัน เป็นวงจรถอดกิริสมิกสัญญาณกระแสเพื่อสร้างสัญญาณดิจิทัลเอาต์พุต เมื่อกำหนดให้ i_{in} , i_{out} และ I_{ref} คือ กระแสอินพุต กระแสเอาต์พุต และกระแสอ้างอิงของวงจรถอดกิริสมิก ตามลำดับ การวิเคราะห์ การทำงานของวงจรถอดกิริสมิกทำได้ดังขั้นตอนต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 วงจรอัลกอริทึม ADC ชนิดเข้ารหัสแบบเกรย์ที่นำเสนอ

พิจารณาที่โหนดอินพุตจะได้กระแสเดรน I_{D2} ของมอสเฟต M_2 มีค่าเท่ากับ

$$I_{D2} = i_m + I_1 \quad (5.1)$$

วงจรสะท้อนกระแส M_2 - M_3 จะทำการส่งผ่านกระแส I_{D2} ด้วยอัตราขยายกระแสเท่ากับสองเท่ามายังขาเดรนของมอสเฟต M_3 ทำให้ $I_{D3} = 2I_{D2}$ และเมื่อพิจารณาผลรวมของกระแสที่โหนด A จะได้

$$i_a = 2I_{D2} - (2I_1 + I_{ref}) \quad (5.2)$$

แทนค่า I_{D2} จากสมการที่ (5.1) จะได้

$$i_a = 2i_m - I_{ref} \quad (5.3)$$

จากสมการที่ (5.3) พบว่าสามารถแยกพิจารณาการทำงานของวงจรได้เป็นสองกรณีซึ่งขึ้นกับขนาดของกระแส $2i_m$ เมื่อเทียบกับกระแสอ้างอิง I_{ref} ดังนี้คือ

กรณีทีหนึ่ง : เมื่อกระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} ($2i_{in} \leq I_{ref}$) จะทำให้กระแส i_a มีค่าเป็นลบ และจะไหลผ่านมอสเฟต M_5 ทำให้มอสเฟต M_6 ไม่ทำงาน เป็นผลให้ $I_{D7} = I_{D14} = 0$ และจากการทำงานของวงจรสะท้อนกระแส M_2-M_4 และ $M_{15}-M_{16}$ จะได้กระแสเดรนของมอสเฟต M_{16} (I_{D16}) มีค่าเท่ากับ

$$I_{D16} = I_{D4} = 2I_{D2} \quad (5.4)$$

เมื่อกำหนดให้แหล่งจ่ายกระแส I_3 มีค่าเท่ากับ $2I_1$ จะได้กระแสเอาต์พุต i_{out} เท่ากับ

$$i_{out} = 2(I_{D2} - I_1) \quad (5.5)$$

แทนค่า I_{D2} จากสมการที่ (5.1) จะได้

$$i_{out} = 2i_{in} \quad (5.6)$$

สำหรับค่าของดิจิตอลเอาต์พุตของวงจรพิจารณาได้ดังนี้ จากการทำงานของวงจรสะท้อนกระแส M_6-M_8 และ M_9-M_{10} จะได้ $I_{D8} = 0$ และ $I_{D9} = i_a$ ซึ่งทำให้มอสเฟต M_{18} ทำงาน ในขณะที่มอสเฟต M_{17} ไม่ทำงาน นั่นคือจะได้ดิจิตอลเอาต์พุตที่โหนด D มีสถานะลอจิกเท่ากับ “0”

กรณีที่สอง : เมื่อค่ากระแส $2i_{in}$ มีค่ามากกว่ากระแส I_{ref} ($2i_{in} > I_{ref}$) จะได้กระแส i_a มีค่าเป็นบวกและไหลผ่านมอสเฟต M_6 เป็นผลให้มอสเฟต M_5 ไม่ทำงาน ผลจากการทำงานของวงจรสะท้อนกระแส M_6-M_8 และ $M_{13}-M_{14}$ จะได้

$$I_{D14} = I_{D7} = 2i_a \quad (5.7)$$

ดังนั้นจากสมการที่ (5.1), (5.3) และ (5.7) จะได้กระแสเอาต์พุต i_{out} เท่ากับ

$$i_{out} = 2I_{D2} - (I_{D14} + I_3) = 2(I_{ref} - i_{in}) \quad (5.8)$$

สำหรับค่าของดิจิตอลเอาต์พุตเมื่อ $2i_{in} > I_{ref}$ สามารถพิจารณาได้ดังนี้ เมื่อมอสเฟต M_5 ไม่ทำงานก็จะทำให้มอสเฟต M_{10} ไม่ทำงานด้วย จากการทำงานของวงจรสะท้อนกระแส M_6-M_8 และ M_9-M_{10} จะได้กระแส $I_{D8} = i_a$ และ $I_{D9} = 0$ ซึ่งทำให้มอสเฟต M_{17} ทำงาน ในขณะที่มอสเฟต M_{18} ไม่ทำงาน และได้ค่าดิจิตอลเอาต์พุตที่โหนด D มีสถานะลอจิกเป็น “1”

ดังนั้นจากสมการที่ (5.6) และ (5.8) จึงสรุปค่ากระแสเอาต์พุต i_{out} และดิจิตอลเอาต์พุต D_{out} ของวงจรได้เป็น

$$\text{เมื่อ } 2i_{in} \leq I_{ref} \text{ จะได้ } i_{out} = 2i_{in} \quad \text{และ } D_{out} = "0" \quad (5.9ก)$$

$$\text{เมื่อ } 2i_{in} > I_{ref} \text{ จะได้ } i_{out} = 2(I_{ref} - i_{in}) \quad \text{และ } D_{out} = "1" \quad (5.9ข)$$

นั่นคือสมการที่ (5.9) แสดงให้เห็นว่าวงจรที่นำเสนอในรูปที่ 5.1 ทำหน้าที่เป็นวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์ขนาด 1 บิต

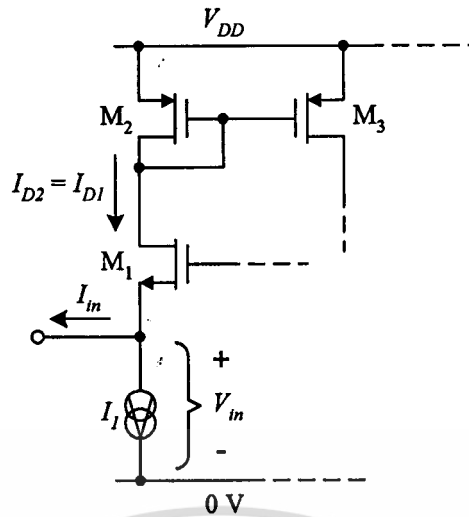
5.3 การวิเคราะห์สมรรถนะของวงจร

การออกแบบวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยมที่ได้นำเสนอในบทนี้ อาศัยการประมาณว่ามอสเฟตที่ใช้ในวงจรทุกตัวมีคุณสมบัติเป็นไปตามอุดมคติ แต่ในทางปฏิบัติจะมีผลอันเนื่องมาจากองค์ประกอบพาราซิติก (parasitic element) ภายในมอสเฟต แต่ละตัว เช่น ค่าความจุไฟฟ้าแฝงระหว่างขาเกตกับขาซอร์ส (C_{gs}) ค่าความนำระหว่างขาเดรนกับขาซอร์ส (g_{ds}) เป็นต้น ซึ่งส่งผลให้คุณสมบัติในการทำงานของวงจรที่ได้ออกแบบขึ้นมีการเบี่ยงเบนไปจากที่ได้คาดการณ์เอาไว้ในทางทฤษฎี [12], [18] ดังนั้นในหัวข้อนี้จะเป็นการวิเคราะห์สมรรถนะของวงจรเนื่องจากผลกระทบดังกล่าว อันได้แก่

- ช่วงปฏิบัติงานของกระแสอินพุต
- ช่วงปฏิบัติงานของแรงดันไฟเลี้ยงต่ำสุด
- ค่าความต้านทานอินพุตที่จุดเข้าและค่าความต้านทานเอาต์พุตที่จุดออก
- ผลตอบสนองทางความถี่ของวงจร
- ค่าผิดพลาดในการส่งผ่านกระแสของวงจร

5.3.1 ช่วงปฏิบัติงานของกระแสอินพุต

การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของกระแสอินพุตของวงจร สามารถกระทำได้โดยการพิจารณาส่วนของวงจรดังรูปที่ 5.2 ซึ่งเป็นภาคอินพุตของส่วนหน้าของวงจร ADC ที่นำเสนอในรูปที่ 5.1 จากวงจรอาศัยกฎ KVL จะได้



รูปที่ 5.2 วงจรส่วนหน้าของวงจร ADC ที่นำเสนอในรูปที่ 5.1

$$V_{DD} = V_{SD2} + V_{DS1} + V_{in} \quad (5.10)$$

เนื่องจาก $V_{SD2} = V_{SG2}$ ทำให้สมการที่ (5.10) เขียนใหม่ได้เป็น

$$V_{DD} = V_{SG2} + V_{DS1} + V_{in} \quad (5.11)$$

เมื่อ
$$V_{SG2} = \sqrt{\frac{I_{D2}}{K}} + V_{TH}$$

และ
$$K = \frac{\mu_p C_{ox} W}{2 L}$$

แทนค่า V_{SG2} ลงในสมการที่ (5.11) ทำให้ได้

$$V_{DD} = \sqrt{\frac{I_{D2}}{K}} + V_{TH} + V_{DS1} + V_{in} \quad (5.12)$$

พิจารณาที่จุดสัญญาณเข้าของวงจร จะพบว่าผลรวมกระแสมีค่าเท่ากับ

$$I_{D2} = I_m + I_1 \quad (5.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า I_{D2} จากสมการที่ (5.13) ลงในสมการที่ (5.12) จะได้

$$I_{in} = K(V_{DD} - V_{TH} - V_{DS1} - V_{in})^2 - I_1 \quad (5.14)$$

จากสมการที่ (5.14) สังเกตได้ว่ากระแสอินพุตสูงสุด $I_{in(max)}$ จะเกิดขึ้นเมื่อ $V_{in} \cong 0$ V หรือเขียนแสดงได้เป็น

$$I_{in(max)} \cong K(V_{DD} - V_{TH} - V_{DS1})^2 - I_1 \quad (5.15)$$

ดังนั้นเมื่อพิจารณาสมการที่ (5.15) พบว่าหากกำหนดให้ K , V_{DD} และ V_{TH} เป็นค่าคงที่ $I_{in(max)}$ จะมีค่าขึ้นกับ V_{DS1} และ I_1 กล่าวคือ เมื่อต้องการออกแบบวงจรให้มีค่ากระแสอินพุต $I_{in(max)}$ สูงสุด ต้องกำหนดให้ V_{DS1} และ I_1 มีค่าต่ำ

และจากสมการที่ (5.14) สังเกตได้ว่ากระแสอินพุตต่ำสุด $I_{in(min)}$ จะเกิดขึ้นได้ก็ต่อเมื่อ $V_{DS1} \cong 0$ V หรือ M_1 ไม่นำกระแส ดังนั้นสมการที่ (5.14) จึงเขียนใหม่ได้เป็น

$$I_{in(min)} \cong K(V_{DD} - V_{TH} - V_{in})^2 - I_1 \quad (5.16)$$

5.3.2 ช่วงปฏิบัติการของแรงดันไฟเลี้ยงต่ำสุด

การวิเคราะห์หาช่วงปฏิบัติการของระดับแรงดันไฟเลี้ยงต่ำสุดของวงจร สามารถพิจารณาได้จากจำนวนอุปกรณ์สูงสุดที่ต่อระหว่างแรงดันไฟเลี้ยงของวงจร ซึ่งพิจารณาจากวงจร ADC ที่นำเสนอในรูปที่ 5.1 แล้วพบว่าจำนวนมอสเฟตที่ต่ออยู่ระหว่าง V_{DD} เทียบกับกราวด์มีจำนวนสูงสุดสามตัวคือ ประกอบด้วย NMOS 2 ตัว และ PMOS 1 ตัว หากประมาณว่ามอสเฟตทุกตัวมีความสมพียงกันทำให้เงื่อนไขของระดับแรงดันไฟเลี้ยงที่ป้อนให้กับวงจรมีค่าเท่ากับ

$$(V_{DD} - 0 \text{ V}) \geq 2V_{DS,N} + V_{DS,P} \quad (5.17)$$

เมื่อ $V_{DS,N}$ และ $V_{DS,P}$ คือ แรงดันตกคร่อมระหว่างขาเดรนกับขาซอร์สของ NMOS และ PMOS ตามลำดับ โดยที่ระดับแรงดันไบอัส V_{DS} ที่ทำให้มอสเฟตทำงานในย่านอิ่มตัวมีค่าอยู่ในช่วง

$$|V_{DS}| \geq (V_{GS} - V_{TH})$$

จากเงื่อนไขการไบอัสจะเห็นว่าระดับแรงดันตกคร่อมระหว่างขาเดรนกับขาซอร์สต่ำสุด $V_{DS(min)}$ ที่ยังคงทำให้มอสเฟททำงานได้ มีค่าเท่ากับ

$$|V_{DS(min)}| \cong V_{TH} \quad (5.18)$$

แทนค่า $|V_{DS(min)}$ จากสมการที่ (5.18) ลงในสมการที่ (5.17) จะได้

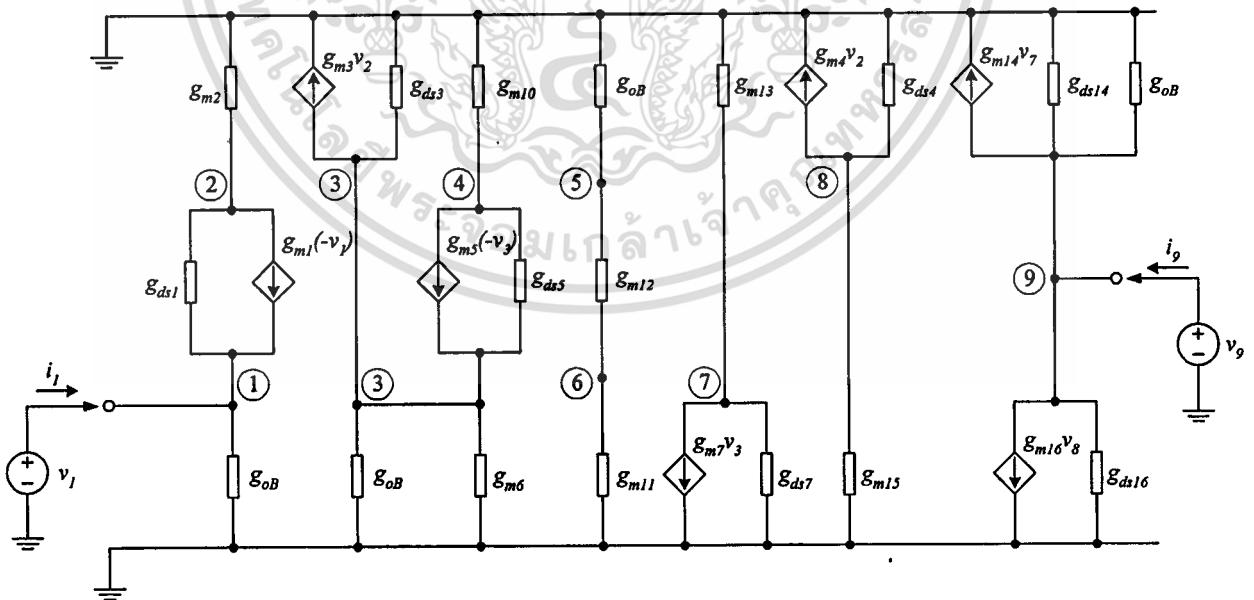
$$V_{DD} \geq 2V_{TN} + V_{TP} \quad (5.19)$$

ดังนั้นจากสมการที่ (5.19) จะเห็นว่าระดับแรงดันไฟเลี้ยงต่ำสุดของวงจร $V_{DD(min)}$ มีค่าเท่ากับ

$$V_{DD(min)} \cong 2V_{TN} + V_{TP} \quad (5.20)$$

ยกตัวอย่างเช่น ถ้าทำการออกแบบวงจรโดยใช้มอสเฟทรานซิสเตอร์ภายใต้เทคโนโลยีแบบ BSIM3 $0.7 \mu\text{m}$ ที่มีค่า $V_{TN} = 0.64 \text{ V}$ และ $V_{TP} = -0.87 \text{ V}$ จะได้ $V_{DD(min)} \cong 2.15 \text{ V}$

5.3.3 ค่าความต้านทานอินพุตที่จุดเข้าและค่าความต้านทานเอาต์พุตที่จุดออก



รูปที่ 5.3 วงจรสมมูลสำหรับวิเคราะห์หาค่าความต้านทานอินพุตและค่าความต้านทานเอาต์พุตของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์หาผลของค่าความต้านทานที่จุดเข้าและจุดออกของวงจรต่อสัญญาณไฟสลับ สามารถกระทำได้โดยการแทนมอสเฟตในวงจร ADC ดังรูปที่ 5.1 ด้วยวงจรสมมูลกรณีสัญญาณขนาดเล็กโดยไม่คำนึงถึงผลของค่าความจุไฟฟ้าแฝง C_{gs} เมื่อกำหนดให้ g_{ob} แทนถึงค่าความนำของแหล่งจ่ายกระแสคงที่ I_B จะได้ว่าวงจรสมมูลดังแสดงในรูปที่ 5.3 และเนื่องจากมอสเฟต M_{11} , M_{12} และแหล่งจ่ายกระแสคงที่ I_B ทำหน้าที่สร้างแรงดันไบอัสไฟตรง ทำให้ผลต่อสัญญาณไฟสลับที่ โหนด 5 และ โหนด 6 จึงมีค่าเป็นศูนย์ หรือ $v_5 = v_6 = 0$ V

สำหรับการวิเคราะห์หาคุณสมบัติของค่าความต้านทานอินพุทของวงจรจะทำการป้อนแรงดันทดสอบ v_1 เข้าที่จุดสัญญาณเข้าโดยไม่พิจารณาถึงผลของแรงดันที่จุดออกของวงจรหรือ $v_2 = 0$ V ดังนั้นอาศัยการวิเคราะห์ห้วงจรด้วยวิธีแรงดันโหนด (Node voltage analysis) จะได้ลำดับขั้นดังต่อไปนี้

ที่โหนด 1 จะได้

$$i_1 = (g_{m1} + g_{ds1} + g_{oB})v_1 - g_{ds1}v_2 \quad (5.21)$$

ที่โหนด 2 จะได้

$$v_2 = \frac{(g_{m1} + g_{ds1})}{(g_{m2} + g_{ds1})}v_1 \quad (5.22)$$

แทนค่าสมการที่ (5.22) ลงในสมการที่ (5.21) และโดยทั่วไป $g_{m1} \gg g_{ds1}$ จะได้

$$i_1 \cong (g_{m1} + g_{ds1} + g_{oB})v_1 \quad (5.23)$$

เมื่อ $g_{m1} \gg g_{ds1} \gg g_{oB}$ จะได้ค่าความต้านทานอินพุท r_{in} ของวงจร มีค่าเท่ากับ

$$r_{in} = \frac{v_1}{i_1} \cong \frac{1}{g_{m1}} \quad (5.24)$$

ในทางกลับกันจากวงจรสมมูลดังรูปที่ 5.3 เมื่อทำการวิเคราะห์หาค่าความต้านทานเอาต์พุท จะทำได้โดยการป้อนแรงดันทดสอบ v_2 เข้าที่จุดสัญญาณออกโดยให้ $v_1 = 0$ V จากวิธีการวิเคราะห์แรงดันโหนด มีขั้นตอนดังนี้

ที่โหนด 9 จะได้

$$i_9 = (g_{ds14} + g_{ds16} + g_{oB})v_9 + g_{m14}v_7 + g_{m16}v_8 \quad (5.25)$$

ที่โหนด 8 จะได้

$$(g_{m15} + g_{ds4})v_8 = -g_{m4}v_2 \quad (5.26)$$

ที่โหนด 7 จะได้

$$(g_{m13} + g_{ds7})v_7 = -g_{m7}v_3 \quad (5.27)$$

แต่เนื่องจาก $v_1 = v_5 = 0$ V จึงทำให้ $v_2 = v_3 = 0$ V ด้วย จากสมการที่ (5.26) และ (5.27) จะได้ $v_7 = v_8 = 0$ V ดังนั้นสมการที่ (5.25) จึงเขียนใหม่ได้เป็น

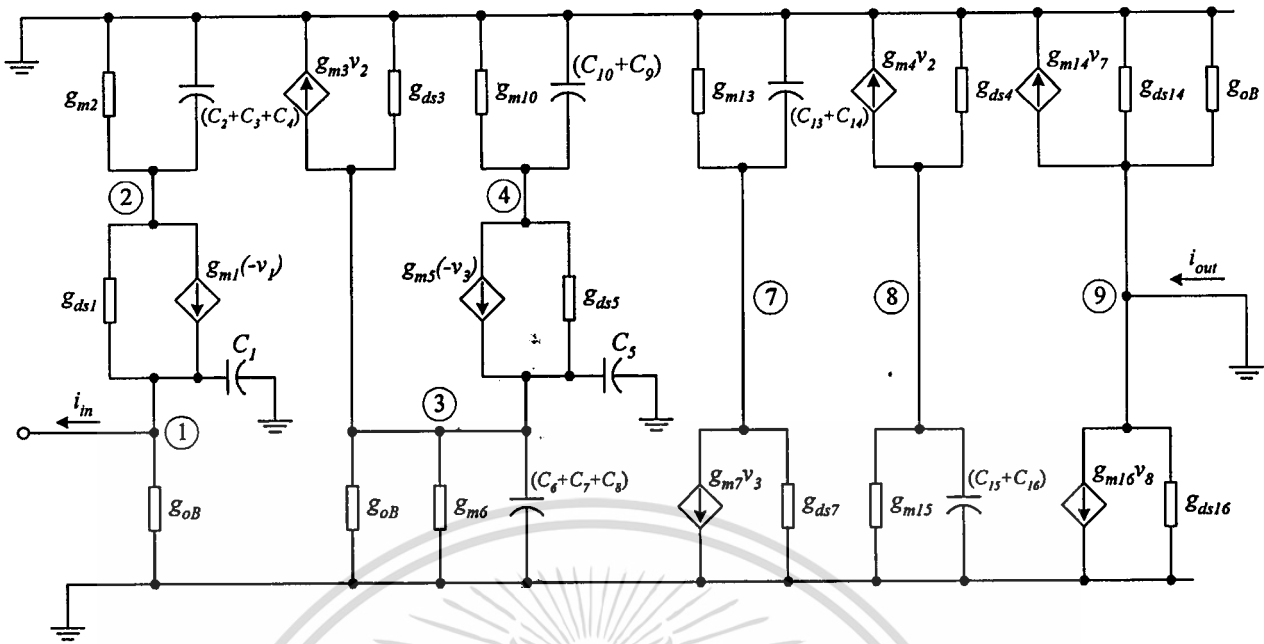
$$i_9 \cong (g_{ds14} + g_{ds16} + g_{oB})v_9 \quad (5.27)$$

ซึ่งจะได้ค่าความต้านทานเอาต์พุต r_o ของวงจรมีค่าเท่ากับ

$$r_o = \frac{v_9}{i_9} \cong \frac{1}{g_{ds14} + g_{ds16}} \quad (5.29)$$

5.3.4 ผลตอบสนองทางความถี่ของวงจรมอดูเลเตอร์

การหาผลตอบสนองทางความถี่ของวงจรมอดูเลเตอร์สามารถทำได้เช่นเดียวกับวิธีการวิเคราะห์หาค่าความต้านทานอินพุตและค่าความต้านทานเอาต์พุตของวงจรมอดูเลเตอร์ ซึ่งจากการแทนวงจรมอดูเลเตอร์ด้วยสัญญาณขนาดเล็กของมอดูเลเตอร์ในวงจร ADC ดังรูปที่ 5.1 โดยจะคำนึงถึงผลกระทบจากค่าความจุไฟฟ้าแฝง C_{gs} ของมอดูเลเตอร์เป็นหลัก จะได้ว่าวงจรมอดูเลเตอร์แสดงในรูปที่ 5.4 เมื่อ C_i แทนถึงค่าความจุไฟฟ้าแฝง C_{gs} ของมอดูเลเตอร์ M_1 จากวิธีการวิเคราะห์แรงดันโหนดทำให้ได้สมการกระแสที่โหนดต่าง ๆ ในวงจรมอดูเลเตอร์ดังนี้คือ



รูปที่ 5.4 วงจรสมมูลสำหรับวิเคราะห์หาผลตอบสนองทางความถี่ของวงจร

ที่โหนด 9 จะได้

$$i_{out} = g_{m14}v_7 + g_{m16}v_8 \quad (5.30)$$

ที่โหนด 8 จะได้

$$v_8 = -\left[\frac{g_{m4}}{g_{m15} + s(C_{15} + C_{16})} \right] \cdot v_2 \quad (5.31)$$

ที่โหนด 7 จะได้

$$v_7 = -\left[\frac{g_{m7}}{g_{m13} + s(C_{13} + C_{14})} \right] \cdot v_3 \quad (5.32)$$

แทนค่า v_8 จากสมการที่ (5.31) และ v_7 จากสมการที่ (5.32) ลงในสมการที่ (5.30) จะได้

$$i_{out} = -\left[\frac{g_{m4}g_{m16}}{g_{m15} + s(C_{15} + C_{16})} \right] \cdot v_2 - \left[\frac{g_{m7}g_{m14}}{g_{m13} + s(C_{13} + C_{14})} \right] \cdot v_3 \quad (5.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากประมาณว่า $g_{m4} \cong g_{m14} \cong g_{mp}$, $g_{m7} \cong g_{m16} \cong g_{mn}$, $g_{m13} \cong g_{m15} \cong g_{mpn}$ และ $C_{13} + C_{14} \cong C_{15} + C_{16} \cong C_C$ ทำให้สมการที่ (5.33) สามารถเขียนใหม่กลายเป็น

$$i_{out} = - \left[\frac{g_{mn} g_{mp}}{g_{mpn} + sC_C} \right] (v_2 + v_3) \quad (5.34)$$

ที่โหนด 1 จะได้

$$v_1 = \frac{-i_{in} + g_{ds1} v_2}{g_{m1} + sC_1} \quad (5.35)$$

ที่โหนด 2 จะได้

$$v_2 = \left[\frac{g_{m1}}{g_{m2} + sC_A} \right] v_1 \quad (5.36)$$

โดยที่ $C_A = C_2 + C_3 + C_4$ และเมื่อแทนค่า v_1 จากสมการที่ (5.35) ลงในสมการที่ (5.36) จะได้

$$v_2 = - \left[\frac{g_{m1}}{(g_{m1} + sC_1)(g_{m2} + sC_A)} \right] i_{in} \quad (5.37)$$

ที่โหนด 4 จะได้

$$v_4 = \left[\frac{g_{m5}}{g_{m10} + s(C_9 + C_{10})} \right] v_3 \quad (5.38)$$

และที่โหนด 3 จะได้

$$v_3 = \frac{-g_{m3} v_2 + g_{ds5} v_4}{g_{m5} + g_{m6} + sC_B} \quad (5.39)$$

โดยที่ $C_B = C_5 + C_6 + C_7 + C_8$ จากนั้นทำการแทนค่า v_2 จากสมการที่ (5.37) และ v_4 จากสมการที่ (5.38) ลงในสมการที่ (5.39) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_3 = \left[\frac{g_{m1}g_{m3}}{(g_{m1} + sC_1)(g_{m2} + sC_A)(g_{m5} + g_{m6} + sC_B)} \right] i_{in} \quad (5.40)$$

เมื่อแทนค่า v_2 จากสมการที่ (5.37) และ v_3 จากสมการที่ (5.40) ลงในสมการที่ (5.34) จะได้ฟังก์ชันถ่ายโอนกระแส (current transfer function) ของวงจรที่นำเสนอ ดังนี้

$$\frac{i_{out}}{i_{in}} = \left[\frac{(g_{m1}g_{mn}g_{mp})(g_{m5} + sC_B)}{(g_{m1} + sC_1)(g_{m2} + sC_A)(g_{m5} + g_{m6} + sC_B)(g_{mpn} + sC_C)} \right] \quad (5.41)$$

หรือจัดรูปใหม่จะได้เป็น

$$\frac{i_{out}}{i_{in}} = \frac{H_i \left(1 + s \frac{C_B}{g_{m5}} \right)}{\left(1 + s \frac{C_1}{g_{m1}} \right) \left(1 + s \frac{C_A}{g_{m2}} \right) \left(1 + s \frac{C_B}{g_{m5} + g_{m6}} \right) \left(1 + s \frac{C_C}{g_{mpn}} \right)} \quad (5.42)$$

เมื่อ

$$H_i = \left[\frac{g_{m1}g_{m5}g_{mn}g_{mp}}{g_{m1}g_{m2}g_{mpn}(g_{m5} + g_{m6})} \right]$$

หากพิจารณาเทอมตัวหารของสมการที่ (5.42) พบว่ามีโพลอยู่ที่ตำแหน่ง โดยสามารถเขียนแสดงแทนได้ดังนี้คือ

$$D(s) = \left(1 - \frac{s}{p_1} \right) \left(1 - \frac{s}{p_2} \right) \left(1 - \frac{s}{p_3} \right) \left(1 - \frac{s}{p_4} \right) \quad (5.43)$$

ดังนั้นเมื่อทำการเปรียบเทียบสัมประสิทธิ์เทอมตัวหารของสมการที่ (5.43) กับสมการที่ (5.42) จะได้ว่าตำแหน่งโพลทั้งสี่ มีค่าเท่ากับ

$$p_1 = -\frac{g_{m1}}{C_1} \quad (5.44)$$

$$p_2 = -\frac{g_{m2}}{C_A} = -\left(\frac{g_{m2}}{C_2 + C_3 + C_4} \right) \quad (5.45)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p_3 = -\left(\frac{g_{m5} + g_{m6}}{C_B}\right) = -\left(\frac{g_{m5} + g_{m6}}{C_5 + C_6 + C_7 + C_8}\right) \quad (5.46)$$

$$\text{และ} \quad p_4 = -\frac{g_{mpn}}{C_C} \cong -\left(\frac{g_{m13}}{C_{13} + C_{14}}\right) \cong -\left(\frac{g_{m15}}{C_{15} + C_{16}}\right) \quad (5.47)$$

ตัวอย่างเช่น ถ้าใช้ออสเฟทที่ใช้เป็นเทคโนโลยีแบบ BSIM3 $0.7\mu\text{m}$ และกำหนดให้ $I_{ref} = 50\mu\text{A}$, $I_1 = I_B = 10\mu\text{A}$ และ $I_3 = 20\mu\text{A}$ และ $V_{DD} = +5\text{V}$ จะได้ $g_{m1} = 1.61 \times 10^{-4} \text{ A/V}$, $g_{m2} = g_{m5} = g_{m6} = g_{m13} = g_{m15} \cong 1.761 \times 10^{-4} \text{ A/V}$, $C_1 = 5.68 \times 10^{-14} \text{ F}$, $C_2 = C_5 = C_6 = C_8 = C_{13} = C_{14} = C_{15} = C_{16} \cong 3.24 \times 10^{-14} \text{ F}$ และ $C_3 = C_4 = C_7 \cong 6.47 \times 10^{-14} \text{ F}$ ดังนั้นจากสมการที่ (5.44) ถึง (5.47) จะได้ตำแหน่งโพล p_1, p_2, p_3 และ p_4 อยู่ที่ประมาณ 451 MHz, 173 MHz, 346 MHz และ 432 MHz ตามลำดับ ทำให้พบว่ามีขั้วจำกัดในการปฏิบัติงานทางความถี่สูงของวงจรจึงอยู่ที่ตำแหน่งโพลเด่นหรือโพลโดมิแนนซ์ (dominant pole) คือ โพล p_2 ซึ่งขึ้นกับพารามิเตอร์ของ NMOS M_2-M_4 ที่ทำหน้าที่เป็นวงจรสะท้อนกระแส แต่อย่างไรก็ตามตำแหน่งโพล p_2 ก็ยังถือว่ามีความถี่สูงอยู่ในย่านความถี่สูงอยู่ ทำให้กล่าวได้ว่าวงจรที่นำเสนอนี้มีผลตอบสนองทางความถี่ปฏิบัติงานสูงสามารถนำไปออกแบบประยุกต์ใช้งานด้านความถี่สูงได้

5.3.5 ค่าผิดพลาดในการส่งผ่านกระแสของวงจร

ค่าความผิดพลาดในการส่งผ่านกระแส (current transfer error) ของวงจรที่นำเสนอมีสาเหตุหลักมาจากความผิดพลาดในการส่งผ่านกระแสของวงจรสะท้อนกระแสพื้นฐานที่ใช้ในวงจรเป็นประการสำคัญ ตัวอย่างเช่น วงจรสะท้อนกระแสในรูปที่ 4.3 ซึ่งมีอัตราขยายกระแสไฟตรงจากสมการที่ (4.13) เท่ากับ

$$i_{out} = \left(\frac{g_{m2}}{g_{m1}}\right) i_{in} \quad (5.48)$$

โดยที่รูปแบบของสมการทั่วไปในเทอมของค่าผิดพลาดสามารถเขียนแสดงได้ดังนี้

$$i_{out} = (1 - \varepsilon_i) i_{in} \quad (5.49)$$

เมื่อ ε_i คือ ค่าผิดพลาดในการส่งผ่านกระแสของวงจร เมื่อเปรียบเทียบกับสมการที่ (5.48) กับสมการที่ (5.49) จะได้

$$\varepsilon_i = 1 - \frac{g_{m2}}{g_{m1}} \quad (5.50)$$

ดังนั้นจากหลักการทํางานของวงจร ADC ดังรูปที่ 5.1 ที่ได้กล่าวมาแล้วข้างต้น จึงสามารถทำการวิเคราะห์หาค่าผิดพลาดในการส่งผ่านกระแสได้ดังต่อไปนี้คือ

ผลรวมของกระแสที่โหนดอินพุทของวงจรจะมีค่าเท่ากับ

$$I_{D2} = i_m + I_1 \quad (5.51)$$

จากการส่งผ่านกระแสด้วยวงจรสะท้อนกระแส M_2-M_3 ทำให้กระแสทรานซิมอสเฟต M_3 และ M_4 มีค่าเท่ากับ

$$I_{D3} = I_{D4} = \left(\frac{g_{m3}}{g_{m2}} \right) I_{D2} \quad (5.52)$$

และเมื่อพิจารณาผลรวมของกระแสที่โหนด A จะได้

$$i_a = I_{D3} - (2I_1 + I_{ref}) \quad (5.53)$$

แทนค่า I_{D3} จากสมการที่ (5.52) และ I_{D2} จากสมการที่ (5.51) ลงในสมการที่ (5.53) จะได้

$$i_a = i_x - I_{ref} \quad (5.54)$$

โดยที่

$$i_x = \left(\frac{g_{m3}}{g_{m2}} \right) i_m + \left(\frac{g_{m3}}{g_{m2}} - 2 \right) I_1 \quad (5.55)$$

สำหรับการวิเคราะห์หาค่าผิดพลาดในการส่งผ่านกระแส สามารถแยกพิจารณาออกเป็นสองกรณี คือ

กรณีที่หนึ่ง : $i_x \leq I_{ref}$ ทำให้กระแส i_x เป็นลบ จากการทำงานของวงจรสะท้อนกระแส M_2-M_4 และ $M_{15}-M_{16}$ จะได้กระแส I_{D16} มีค่าเท่ากับ

$$I_{D16} = \left(\frac{g_{m16}}{g_{m15}} \right) I_{D4} \quad (5.56)$$

แทนค่า I_{D4} จากสมการที่ (5.52) และ I_{D2} จากสมการที่ (5.51) จะได้

$$I_{D16} = \left(\frac{g_{m3}g_{m16}}{g_{m2}g_{m15}} \right) (i_{in} + I_1) \quad (5.57)$$

แต่เนื่องจากผลรวมของกระแสที่โหนด B เมื่อ $I_{D14} = 0$ มีค่าเท่ากับ

$$I_{D16} = i_{out} + I_3 \quad (5.58)$$

แทนค่า $I_3 = 2I_1$ และ I_{D16} จากสมการที่ (5.57) จะได้

$$i_{out} = \left(\frac{g_{m3}g_{m16}}{g_{m2}g_{m15}} \right) i_{in} + \left(\frac{g_{m3}g_{m16}}{g_{m2}g_{m15}} - 2 \right) I_1 \quad (5.59)$$

ดังนั้นเมื่อทำการเปรียบเทียบสมการที่ (5.59) กับผลการทำงานของวงจรในทางทฤษฎีดังสมการที่ (5.6) หรือสมการที่ (5.9ก) จะพบว่ามีค่าเบี่ยงเบนไปจากที่ได้คาดการณ์ไว้สองส่วน คือ ค่าผิดพลาดในการส่งผ่านกระแส (ε_{11}) และ กระแสออฟเซตไฟตรง (dc offset current, I_{OS1}) ซึ่งมีค่าเท่ากับ

$$\varepsilon_{11} = \left(1 - \frac{g_{m3}g_{m16}}{2g_{m2}g_{m15}} \right) \quad (5.60ก)$$

และ

$$I_{OS1} = \left(\frac{g_{m3}g_{m16}}{g_{m2}g_{m15}} - 2 \right) I_1 \quad (5.60ข)$$

กรณีที่สอง : $i_x > I_{ref}$ ทำให้กระแส i_a เป็นบวก จากการทำงานของวงจรถะท้อนกระแส M_6-M_7 และ $M_{13}-M_{14}$ จะได้กระแส I_{D7} และ I_{D14} เท่ากับ

$$I_{D7} = \left(\frac{g_{m7}}{g_{m6}} \right) i_a$$

และ

$$I_{D14} = \left(\frac{g_{m14}}{g_{m13}} \right) I_{D7}$$

หรือจะได้

$$I_{D14} = \left(\frac{g_{m7}g_{m14}}{g_{m6}g_{m13}} \right) i_a \quad (5.61)$$

พิจารณาผลรวมของกระแสที่โหนด B จะได้

$$i_{out} = I_{D16} - (I_{D14} + I_3) \quad (5.62)$$

แทนค่า I_{D16} จากสมการที่ (5.57), I_{D14} จากสมการที่ (5.61), $I_3 = 2I_1$ และ i_a จากสมการที่ (5.54) จะได้

$$i_{out} = 2[I_{ref} - (1 - \varepsilon_{i2})i_{in}] + I_{OS2} \quad (5.63)$$

โดยที่

$$\varepsilon_{i2} = 1 - \left(\frac{g_{m3}}{2g_{m2}} \right) \left(\frac{g_{m7}g_{m14}}{g_{m6}g_{m13}} - \frac{g_{m16}}{g_{m15}} \right) \quad (5.64ก)$$

และ

$$I_{OS2} = \left(\frac{g_{m7}g_{m14}}{g_{m6}g_{m13}} - 2 \right) I_{ref} + \left[\left(\frac{g_{m3}g_{m16}}{g_{m2}g_{m15}} \right) - 2 - \left(\frac{g_{m7}g_{m14}}{g_{m6}g_{m13}} \right) \left(\frac{g_{m3}}{g_{m2}} - 2 \right) \right] I_1 \quad (5.64ข)$$

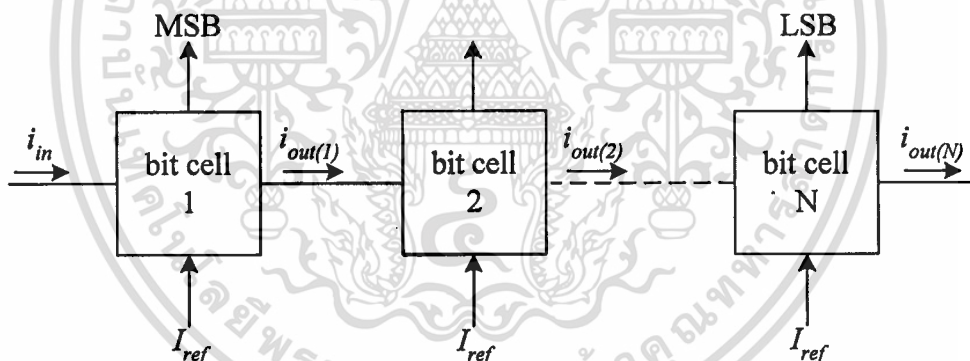
และเมื่อเปรียบเทียบสมการที่ (5.63) กับสมการที่ (5.8) หรือสมการที่ (5.9ข) ก็จะพบเช่นเดียวกันว่า เบี่ยงเบนไปจากผลการทำงานของวงจรถะท้อนกระแส ซึ่งประกอบด้วยสองส่วน คือ ค่าผิดพลาดในการส่งผ่านกระแส (ε_{i2}) และกระแสออฟเซตไฟตรง (dc offset current, I_{OS2}) ดังที่ได้แสดงไว้ในสมการที่ (5.64) ตัวอย่างเช่น เมื่อเลือกให้ $I_{ref} = 50 \mu\text{m}$, $I_1 = 10 \mu\text{m}$ และกำหนดให้ $g_{m2} = g_{m5} = g_{m6} = g_{m13} = g_{m14} = g_{m15} = g_{m16} \cong 1.761 \times 10^{-4} \text{ A/V}$, $g_{m3} \cong 3.520 \times 10^{-4} \text{ A/V}$ และ $g_{m7} \cong 3.521 \times 10^{-4} \text{ A/V}$ ดังนั้นจากสมการที่ (5.60) จะได้ $|\varepsilon_{i1}| = 0.057\%$ และ $I_{OS1} = 0.011 \mu\text{A}$ และจากสมการที่ (5.64) จะ

ได้ $|\varepsilon_{i2}| = 0.11\%$ และ $I_{OS2} = 0.017 \mu\text{A}$

5.4 วงจรอัลกอริทึม ADC จำนวน N บิต

เนื่องจากการทำงานของวงจรอัลกอริทึม ADC เป็นแบบอนุกรม กล่าวคือ ในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิทัลหนึ่งบิต ดังนั้นหากต้องการสร้างวงจรอัลกอริทึม ADC ที่สามารถแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจำนวน N บิต จึงต้องนำวงจรอัลกอริทึม ADC ขนาด 1 บิตจำนวนเท่ากับจำนวนบิตที่ต้องการมาต่ออนุกรมกัน และวงจรจะเริ่มต้นแปลงสัญญาณจากบิตที่มีนัยสำคัญสูงสุด (MSB) ไปหาบิตที่มีนัยสำคัญต่ำสุด (LSB)

จากวงจรอัลกอริทึม ADC ชนิดเข้ารหัสแบบเกรย์โดยใช้ฟังก์ชันสามเหลี่ยมที่ได้อธิบายไปนั้นสามารถนำมาสร้างเป็นวงจรอัลกอริทึม ADC ขนาด N บิตได้โดยการนำวงจรขนาด 1 บิตที่นำเสนอมาต่อกันแบบคาสเคด (cascade) โดยการนำกระแสอนาล็อกเอาต์พุตของวงจรหนึ่งไปต่อเป็นกระแสอินพุตของอีกวงจรหนึ่งอนุกรมต่อเนื่องกันไปดังแสดงในรูปที่ 5.5 ซึ่งค่าเอาต์พุตที่ได้จากวงจรอัลกอริทึม ADC จำนวน N บิตจะอยู่ในรูปของรหัสเกรย์ที่เริ่มจากบิต MSB ไปหาบิต LSB หากต้องการแปลงสัญญาณเกรย์ที่ได้ให้อยู่ในรูปของสัญญาณไบนารีก็สามารถทำได้โดยอาศัยหลักการแปลงรหัสเกรย์ให้เป็นรหัสไบนารีโดยใช้วงจร EX-OR GATE ดังที่ได้อธิบายมาแล้วในบทที่ 3



รูปที่ 5.5 วงจรอัลกอริทึม ADC จำนวน N บิต

5.5 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

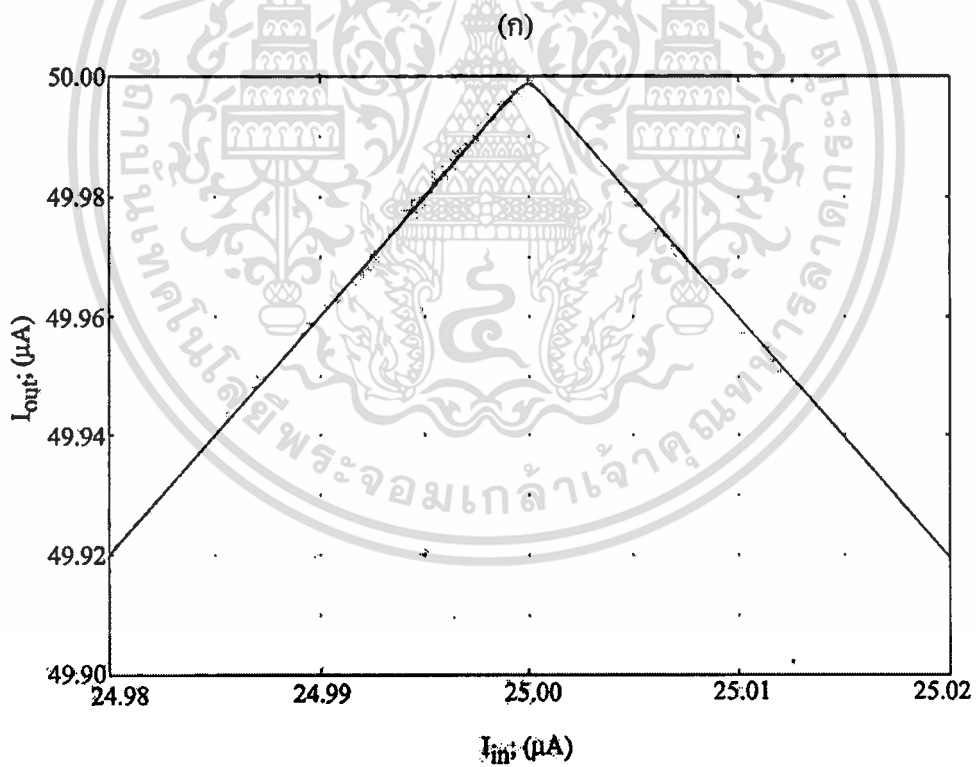
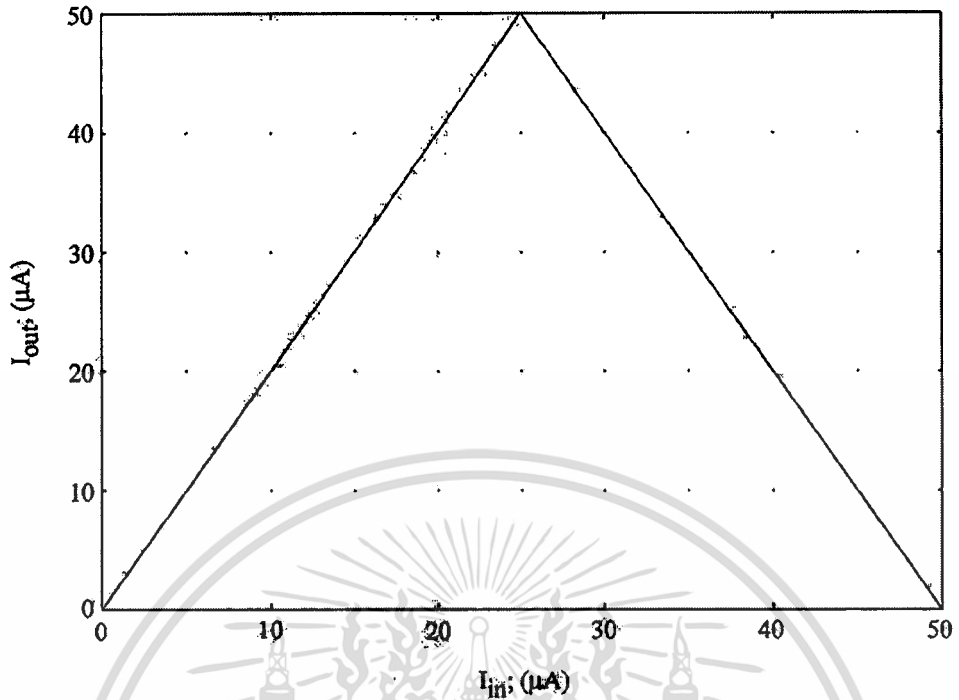
เพื่อทดสอบสมรรถนะการทำงานของวงจรอัลกอริทึม ADC ชนิดเข้ารหัสแบบเกรย์ที่ได้นำเสนอ จะทำการทดสอบโดยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยีมอสเฟตทรานซิสเตอร์แบบ BSIM3 $0.7\mu\text{m}$ โดยกำหนดค่าอัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟตเป็นดังตารางที่ 5.1 และทำการเลือกใช้ $I_{ref} = 50\mu\text{A}$, $I_1 = I_B = 10\mu\text{A}$, $I_3 = 20\mu\text{A}$ และ $V_{DD} = +5\text{V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 อัตราส่วนความกว้างต่อความยาว (W/L) ของมอสเฟต

ทรานซิสเตอร์	$W(\mu\text{m})/L(\mu\text{m})$
M_1	20/1
$M_2, M_5, M_6, M_8, M_9,$ $M_{10}, M_{13}, M_{14}, M_{15}, M_{16}$	2/1
M_3, M_4, M_7	4/1
M_{11}, M_{12}	1/1
M_{17}, M_{18}	1/0.7

จากผลการเลียนแบบพบว่าวงจรอัลกอริทึม ADC ที่ได้นำเสนอไว้ในรูปที่ 5.1 ใช้กำลังงานไฟฟ้าทั้งหมด (power dissipation) เท่ากับ 0.66 mW และมีผลตอบสนองต่อสัญญาณไฟตรงของวงจรเมื่อทำการแปรค่ากระแสเอาต์พุตอินพุต i_{in} จาก $0 \mu\text{A}$ จนถึง $50 \mu\text{A}$ แสดงได้รูปที่ 5.6(ก) โดยมีช่วงสูงสุดของสัญญาณสามเหลี่ยมดังรูปที่ 5.6(ข) ซึ่งแสดงให้เห็นว่าวงจรอัลกอริทึม ADC ที่ได้ออกแบบสามารถสร้างสัญญาณสามเหลี่ยมที่มีลักษณะสมมาตร โดยในช่วงที่ค่ากระแส $2i_{in}$ มีค่าน้อยกว่ากระแส I_{ref} นั่นคือกระแส i_{in} มีค่าระหว่าง $0 \mu\text{A}$ ถึง $25 \mu\text{A}$ จะได้กระแสเอาต์พุตมีค่าเท่ากับ $2i_{in}$ แต่เมื่อค่ากระแส $2i_{in}$ มีค่ามากกว่ากระแส I_{ref} หรือกระแส i_{in} มีค่าตั้งแต่ $25 \mu\text{A}$ ถึง $50 \mu\text{A}$ จะได้กระแสเอาต์พุตมีค่าเท่ากับ $2(I_{ref} - i_{in})$ โดยกราฟที่ได้มีความผิดเพี้ยนต่ำ และมีจุดสูงสุดของกราฟซึ่งเป็นจุดเปลี่ยนความชันอยู่ที่ครึ่งหนึ่งของค่าสัญญาณอินพุตเต็มสเกล



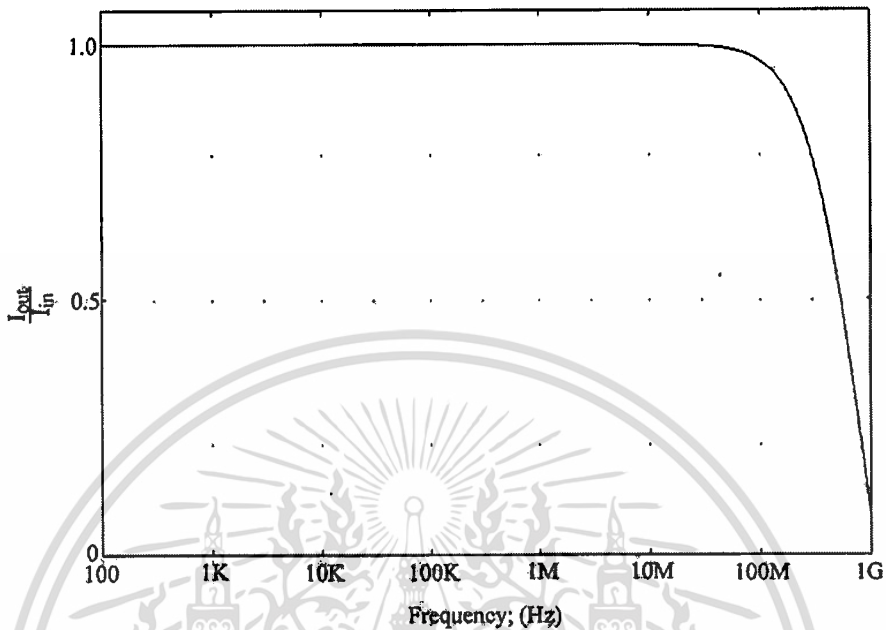
(ข)

รูปที่ 5.6 (ก) ผลตอบสนองต่อสัญญาณไฟตรงของวงจรอัลกอริธึม ADC ที่นำเสนอ

(ข) ช่วงสูงสุดของสัญญาณตามเหลี่ยมในรูปที่ 5.6(ก)

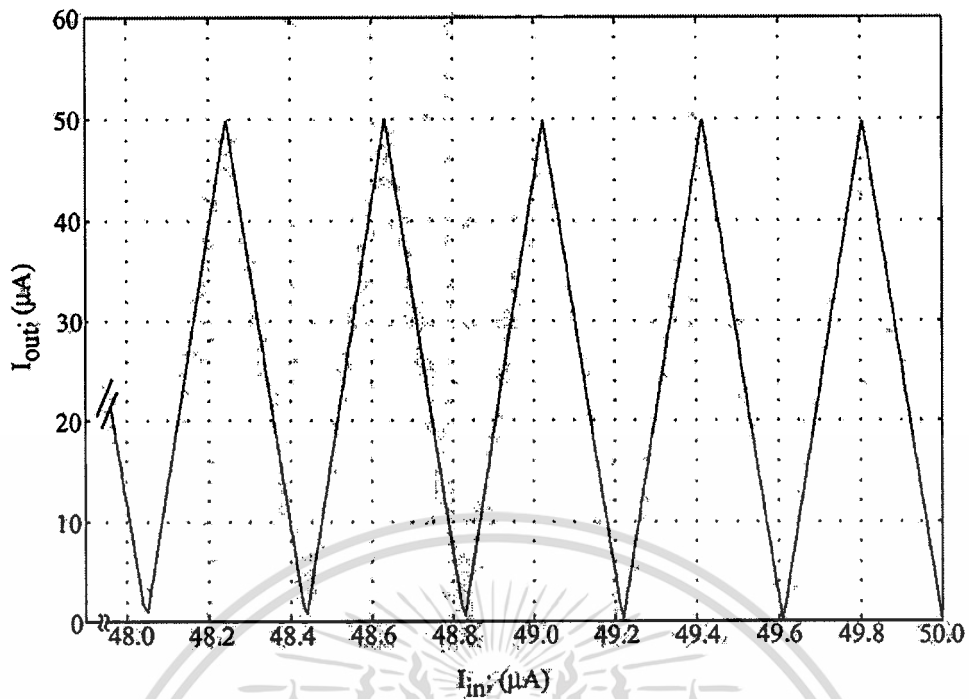
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับผลการเขียนแบบผลตอบสนองทางความถี่ของวงจรที่นำเสนอแสดงได้ดังรูปที่ 5.7 ซึ่งแสดงให้เห็นว่าวงจรที่นำเสนอมีช่วงความถี่ปฏิบัติงานสูงสุดประมาณ 150 MHz



รูปที่ 5.7 ผลตอบสนองทางความถี่ของวงจร

เพื่อเป็นการยืนยันการทำงานของวงจร ADC ขนาด N บิตดังรูปที่ 5.5 ในที่นี้ได้ทำการต่อวงจรให้ทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลขนาด 8 บิต ซึ่งทำได้โดยการนำวงจรอัลกอริทึม ADC ขนาด 1 บิตที่นำเสนอในรูปที่ 5.1 จำนวน 8 วงจรมาต่อкасาดกัน รูปที่ 5.8 ได้แสดงผลการเขียนแบบสัญญาณกระแสเอาต์พุตของวงจรเมื่อทำการแปรค่ากระแสอินพุตจาก $0 \mu\text{A}$ ถึง $50 \mu\text{A}$ ซึ่งจะเป็นส่วนของเอาต์พุตในบิตสุดท้ายหรือบิตที่ 8 ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล 8 บิต และจากผลตอบสนองที่ได้แสดงให้เห็นว่าหลักการสังเคราะห์วงจร ADC ขนาด 8 บิตที่ได้นั้นมีความแม่นยำสูงโดยสามารถสร้างฟังก์ชันสามเหลี่ยมที่มีคุณลักษณะตามต้องการได้แม้กระทั่งในบิตสุดท้าย ทั้งยังมีช่วงปฏิบัติการที่กว้าง



รูปที่ 5.8 สัญญาณกระแสเอาต์พุตของวงจร ADC ขนาด 8 บิต

5.6 บทสรุป

บทนี้ได้นำเสนอวงจรอัลกอริธึม ADC ชนิดเข้ารหัสแบบเกรย์โดยอาศัยหลักการสร้างสัญญาณสามเหลี่ยมที่มีความสมมาตรกัน แนวทางการออกแบบมุ่งเน้นการพัฒนาวงจรในรูปของวงจรรวมโดยใช้มอสเฟตทรานซิสเตอร์เป็นหลัก นอกจากนี้ยังได้นำเสนอการออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลขนาด N บิตโดยใช้วงจรอัลกอริธึม ADC ที่นำเสนอขนาด 1 บิต มาต่อкасาดกันจำนวน N ตัว สมรรถนะในการทำงานของวงจรที่ได้จากการจำลองการทำงานโดยใช้โปรแกรม PSPICE นั้นปรากฏผลเป็นไปตามที่ได้คาดการณ์ไว้จากการวิเคราะห์คุณสมบัติในทางทฤษฎี

บทที่ 6

บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

6.1 บทสรุป

วิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาหลักการสังเคราะห์และออกแบบวงจรอัลกอริธึมสำหรับการประมวลผลสัญญาณเพื่อทำการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัล (วงจร ADC) ชนิดเข้ารหัสแบบเกรย์ หลักการที่ได้นำเสนอมุ่งเน้นการออกแบบวงจรในรูปของวงจรรวม (IC) ภายใต้เทคโนโลยีแบบมอสเฟทรานซิสเตอร์และการทำงานของวงจรในรูปของกระแส (current-mode operation) โดยอาศัยหลักการสร้างสัญญาณสามเหลี่ยมที่มีลักษณะสมมาตรกันสำหรับสัญญาณอินพุตที่มีการเพิ่มขึ้นอย่างต่อเนื่อง เนื้อหาสำคัญในวิทยานิพนธ์ฉบับนี้จึงได้มีการนำเสนอวงจรฟังก์ชันสามเหลี่ยมขึ้นเป็นลำดับแรกเพื่อนำเอาไปใช้เป็นวงจรหลักในการออกแบบวงจรอัลกอริธึม ADC ที่นำเสนอโดยต่อทำงานร่วมกับวงจรสะท้อนกระแสและวงจรเปรียบเทียบกระแส ซึ่งการออกแบบวงจรได้ใช้มอสเฟทรานซิสเตอร์จำนวนทั้งสิ้น 18 ตัว ประกอบด้วย NMOS 10 ตัว และ PMOS 8 ตัว

คุณสมบัติในการทำงานของวงจรสามารถยืนยันได้ด้วยผลการวิเคราะห์สมรรถนะของวงจรในทางทฤษฎีและผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE และพบว่าวงจรที่นำเสนอมีค่าผิดพลาดในการส่งผ่านกระแสสูงสุดเท่ากับ 0.11% กระแสออฟเซตไฟตรงสูงสุดเท่ากับ $0.017 \mu\text{A}$ กินกำลังงานไฟฟ้าเท่ากับ 0.66 mW สามารถนำไปใช้งานได้ที่ระดับแรงดันไฟเลี้ยงต่ำสุดประมาณ 2.15 V และมีช่วงความถี่ปฏิบัติการสูงสุดประมาณ 150 MHz ซึ่งเป็นผลลัพธ์ที่น่าพอใจสอดคล้องกันไปแนวทางเดียวกัน ผลงานวิจัยที่ได้พัฒนาขึ้นในวิทยานิพนธ์นี้ได้รับการยอมรับให้นำเสนอและลงตีพิมพ์ในวารสารการประชุมทางวิศวกรรมไฟฟ้าในระดับนานาชาติดังนี้คือ การประชุม ICCAS 2001 The International Conference on Control, Automation and Systems บทความชื่อ “An Algorithmic Gray Code ADC Using Triangular Function Circuit” ซึ่งจัดขึ้นระหว่างวันที่ 17–21 ตุลาคม 2544 ณ มหาวิทยาลัย Cheju National ประเทศเกาหลีใต้ โดยรายละเอียดของบทความวิจัยดังกล่าวได้ถูกรวบรวมไว้ในภาคผนวกของวิทยานิพนธ์

6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

จากวงจรที่ได้ทำการออกแบบและพัฒนาไว้ในการทำวิจัยในหัวข้อนี้พบว่ายังมีประเด็นที่น่าสนใจอันจะเป็นแนวทางในการนำไปทำวิจัยและพัฒนาวงจรให้มีประสิทธิภาพดียิ่งขึ้นอยู่ 3 ประการ ได้แก่

1) จากการทำวิจัยพบว่าความถี่ปฏิบัติงานสูงสุดของวงจรที่นำเสนอ นั้นถูกจำกัดด้วยโพล โดมิแนนซ์ของวงจรสะท้อนกระแส M_2-M_4 ซึ่งประกอบขึ้นจากมอสเฟตทรานซิสเตอร์ชนิด PMOS ดังนั้นแนวทางการพัฒนาวงจรเพื่อให้มีขีดจำกัดของความถี่ปฏิบัติงานสูงขึ้นจึงสามารถกระทำได้โดยพยายามทำการออกแบบวงจรโดยเลือกใช้ทรานซิสเตอร์ในวงจรให้เป็นชนิด NMOS ทั้งหมด ซึ่งก็จะทำให้ความถี่ปฏิบัติงานของวงจรที่ออกแบบได้มีค่าสูงขึ้นตามไปด้วย เหมาะสมกับการนำไปประยุกต์ใช้ในงานด้านความถี่สูงมาก

2) วงจรอัลกอริทึม ADC ที่นำเสนอสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำสุดประมาณ 2.15 V อย่างไรก็ตามหากสามารถทำการออกแบบและพัฒนาวงจรให้สามารถทำงานได้ที่ระดับแรงดันไฟเลี้ยงต่ำกว่าหรือเท่ากับ 1.5 V แล้ว วงจรที่ได้จะมีความเหมาะสมอย่างมากกับแนวทางการนำไปประยุกต์ใช้งานกับอุปกรณ์จำพวกพกพา (portable device) ที่ต้องใช้กับแหล่งจ่ายไฟเลี้ยงซึ่งเป็นแบตเตอรี่ขนาด 1.5 V เป็นหลัก

3) เนื่องจากวงจรที่นำเสนอถูกออกแบบให้มีการทำงานในรูปกระแส กล่าวคือ รับสัญญาณอินพุตในรูปกระแสขนาดออกเพียงอย่างเดียว ดังนั้นหากมีการพัฒนาโดยออกแบบวงจรซึ่งทำหน้าที่เปลี่ยนแรงดันอนาล็อกอินพุตให้เป็นกระแส (voltage-to-current converter) เพิ่มเติมเข้าไปเพื่อทำหน้าที่เป็นวงจรส่วนหน้าแล้ว จะทำให้วงจรที่ได้สามารถรับสัญญาณอินพุตได้ทั้งแรงดันอินพุตหรือกระแสอินพุต การนำไปประยุกต์ใช้งานจึงเกิดความคล่องตัว (versatile) และมีความยืดหยุ่น (flexible) มากขึ้น

เอกสารอ้างอิง

- [1] Sheingold, D.H. **Analog-Digital Conversion Handbook**. New Jersey : Prentice-Hall. 1986.
- [2] Huijsing, J.H. Plassche, R.J. and Sansen, W. **Analog Circuit Design : Operation Amplifier, Analog to Digital Converter, Analog Computer Aided Design**. Dordrecht : Kluwer Academic Publishers. 1993.
- [3] Gregorian, R. **Introduction to CMOS OP-AMPs and comparators**. New York : John Wiley & Sons. 1999.
- [4] Haigh, D.G. Soin, R. **Analog-Digital ASICS circuit techniques, design tools and applications**. London : Peter Peregrinus Ltd. 1991.
- [5] Nairn, D.G. and Salama, C.A.T. "Algorithmic analogue/digital converter based on current mirrors." *Electronics Letters*, vol. 24, no. 8, April, 1988. pp. 471-472.
- [6] Nairn, D.G. and Salama, C.A.T. "A ratio-independent algorithmic analog-to-digital converter combining current mode and dynamic techniques." *IEEE International Symposium on Circuit and System*, Vol. 37, March 1990. pp. 319-325.
- [7] Anuntahirunrat, K. Surakamponorn, W. and Riewruja, V. "One-bit algorithmic A/D based on nonlinear circuit." *Proc. RESTECS'96 KMITL*, 1996. pp. E81-E87.
- [8] Chin, S.Y. and Wu, C.Y. "A CMOS Ratio-Independent and Gain-Insensitive Algorithmic Analog-to-Digital Converter." *IEEE Journal of Solid-State Circuits*, Vol. 3, No. 8, August 1996. pp. 1201-1207.
- [9] Chen, C.C. and Wu, C.Y. "Design Techniques for 1.5-V Low-Power CMOS Current-Mode Cyclic Analog-to-Digital Converters." *IEEE Transactions on Circuits and Systems*, Vol. 45, No. 1, 1998. pp. 28-40.
- [10] Pouliquen, P.O. Boahen, K.A. and Andreou A.G. "A Gray-code MOS current-mode analog-to-digital converter design." *IEEE International Symposium on Circuit and System*, vol. 4, 1991. pp. 1924-1927.
- [11] Signell, S. Jonsson, B. Stetrom, H. and Nianxiong T. "New A/D converter architectures based on gray coding." *IEEE International Symposium on Circuit and System*, vol. 1, 1997. pp. 413-416.
- [12] Johns, D. and Martin, K. **Analog Intergrated Circuit Design**. New York : John Wiley & Sons. 1997.

เอกสารนี้เป็นเอกสารที่สวชนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [13] Razavi, B. **Design of Analog CMOS Integrated Circuits**. New York : McGraw-Hill. 2001.
- [14] Gray, P.R. Meyer, R.G. **Analysis and Design of Analog Integrated Circuits**. 3rd ed. Singapore : McGraw-Hill. 1997.
- [15] Greenreich, E.W. **Analog Integrated Circuits**. New York : Chapman & Hall. 1997.
- [16] Toumazou, C. Lidgley, F.J. and Haigh, D.G. **Analog IC Design : The current Mode Approach**. London : Peter Peregrinus Ltd. 1990.
- [17] วันชัย ธีรรุจา. “การออกแบบและสังเคราะห์วงจรถอดลอกฟังก์ชันโดยหลักการวงจรรวม.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2535.
- [18] Franco, S. **Design with Operational Amplifier and Analog Integrated Circuits**. 3rd ed. New York : McGraw-Hill. 2002.
- [19] Allen, P.E. and Holberg, D.R. **CMOS Analog Circuit Design**. Holt Rinehart and Winston. 1987.
- [20] มุกดา เทพธรณินทรา. “การออกแบบวงจร A/D ขนาดหนึ่งบิตโดยใช้วงจรไม่เป็นเชิงเส้น.” วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2540.
- [21] เสรี ชื่นอารมณ. “การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลจำนวน n บิตด้วยอัลกอริทึมที่มีการทำงานในรูปกระแส.” วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2543.
- [22] บุญยิ่ง นบนอบ. “การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิทัลที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบคาสโคด.” วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2543.
- [23] Pukkalanun, T. Chaikla, A. Julprapa, A. Julsereewong, P. Jaruwanawat, A. and Riewruja, V. “An Algorithmic Gray Code ADC Using Triangular function circuit.” Proceedings of the International Conference on Control, Automation and Systems, October 2001. pp. 1169–1172.

ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารการประชุมทางวิชาการ

T. Pukkalanun, A. Chaikla, A. Julprapa, P. Julsereewong, A. Jaruwanawat and V. Riewruja,
“An Algorithmic Gray Code ADC Using Triangular function circuit”, Proceedings of the
International Conference on Control, Automation and Systems (ICCAS 2001), Korea,
17-21 October 2001, pp. 1169-1172.



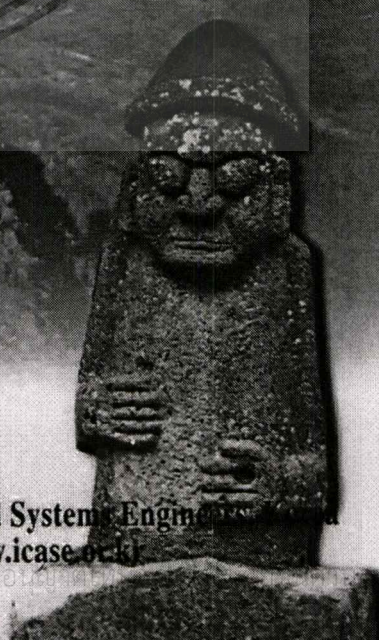
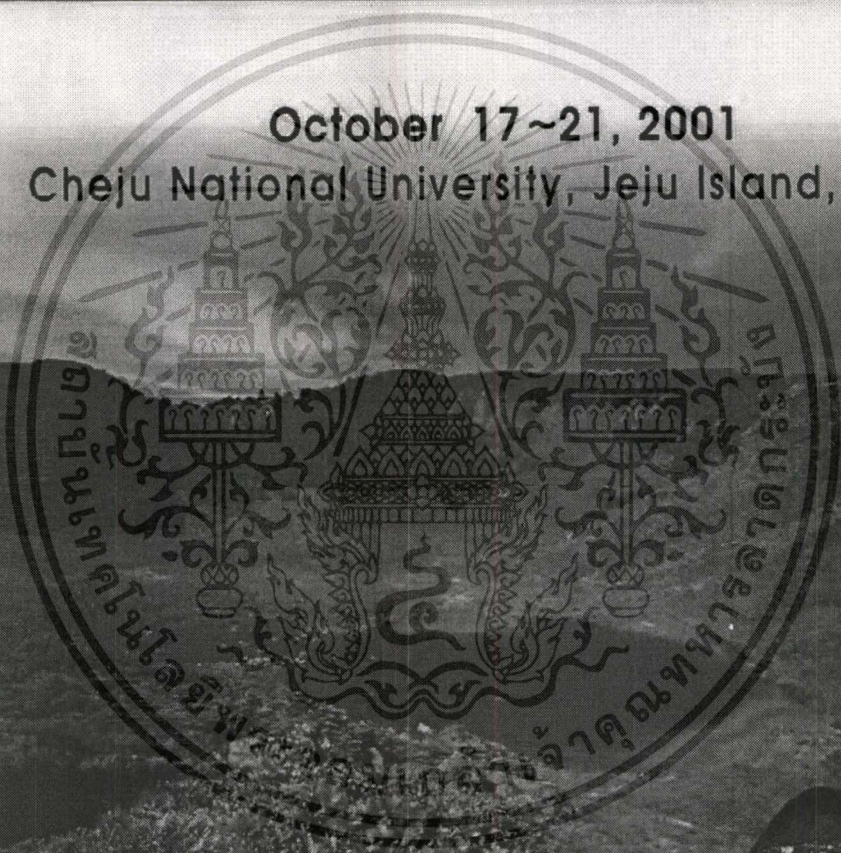
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Final Program & Abstract Book

ICCAS 2001 | International Conference on Control, Automation and Systems

October 17~21, 2001
Cheju National University, Jeju Island, Korea



ICASE Institute of Control, Automation and Systems Engineering
<http://www.iccas.org> · <http://www.icasae.org>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อใช้เอกสารนี้
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึง

An Algorithmic Gray Code ADC Using Triangular function circuit

T. Pukkalanum, A. Chaikla, A. Julprapa, P. Julsereewong, A. Jaruwanawat and V. Riewruja

Faculty of Engineering
 King Mongkut's Institute of Technology Ladkrabang,
 Ladkrabang, Bangkok 10520, Thailand.
 Tel: 66-2-326-9989; Fax: 66-2-326-9989
 Email: vanchai@cs.eng.kmitl.ac.th

Abstract: An algorithmic gray code analog-to-digital converter (ADC), which is based on gray coding, is proposed in this article. The realization method makes use of a MOS triangular function circuit to provide a high-speed operation and low accumulated error. The proposed ADC is simple, small in size and suitable for fabrication using a standard CMOS process. Simulation results showing the performances of the proposed circuit are also included.

Keywords: Gray code, triangular function circuit, Algorithmic ADC

1. Introduction

An analog-to-digital converter is one of the important circuit building blocks in mixed analog-digital systems. It can be found in many applications such as radar systems, TV and video systems, digital telephony, computerized control systems and instrumentation systems. An ADC is a small part of the total system, therefore, it should be small in size, low-power consumption, best speed performance and simple circuit configuration. In high-speed ADC, the parallel conversion method offers the best speed performance. However, the parallel conversion ADC has a circuit complexity and spends a large portion of the chip area. In recently years, there has been a strong motivation to implement both analog and digital circuits on the same chip using a standard CMOS digital process. It has been shown that, among the exiting ADCs, the algorithmic ADC offers the advantages of both circuit performance and small in size of chip area [1]-[4]. The current mode algorithmic ADC based on binary code has been proposed in literature [1]-[2]. The configuration of these approaches is simple and can be realized with a minimum of chip area. The conversion technique based on binary code requires a subtract function to generate a sawtooth-like waveform for a continuously increasing input signal. However, the sawtooth-like waveform contains a broad frequency spectrum, that causes the distortion on the subtracted signal and limits of a high-speed performance. This is due to the finite bandwidth of the subtract function circuit. To minimize the disadvantage of the binary code algorithmic ADC, a gray code algorithmic ADC has been introduced [3]-[4]. The realization of a MOS gray code algorithmic ADC can be implemented by the use of current mirrors, current comparators and analog switches [3]. The limitation of accuracy and conversion speed of this ADC is owing to the delay and distortion which are respectively caused by the current mirror operated in class B and the overlap operation of the analog switches. In this

article, a CMOS gray code algorithmic ADC is presented. The realization method is based on the use of a MOS triangular function circuit to generate a gray coding. The proposed ADC provides a high accuracy, high-speed operation and low accumulated error.

2. Circuit Description

2.1 Principle of gray code ADC

The flow chart of a gray code algorithmic conversion is shown in figure 1(a), where I_{ref} is a reference signal and I_{in} is an analog input signal which has a value varying from zero to the reference current I_{ref} . The input signal I_{in} is amplified by a factor two to generate a signal $2I_{in}$. The $2I_{in}$ signal is compared with the reference I_{ref} . If $2I_{in}$ is less than I_{ref} , the digital output is set to zero and $2I_{in}$ becomes the analog output signal. Otherwise, the digital output is set to one and the analog output signal is then generated by subtracting the $2I_{in}$ from $2I_{ref}$. This analog output signal can either fed back to the input or on to a following identical cell to generate another bit of a resolution. Consequently, the transfer characteristic of the gray code algorithmic analog-to-digital conversion is a triangular-like waveform for continuously increasing the input signal as shown in figure 1(b). It should be noted that the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit.

2.2 MOS triangular function circuit

The MOS triangular function circuit is shown in figure 2(a). Transistor M_{11} and the constant current source I_B provide a bias voltage which is approximately equal to $2V_T$, where V_T is the threshold voltage of MOS transistor. Therefore, transistors M_5 and M_6 are forced to the edge of conduction to minimize the crossover distortion. Transistors M_6 - M_7 function as a current mirror with current gain equal to two. Transistors M_{13} - M_{14} and M_{15} - M_{16} form a unity gain current mirror. If $i_i < I_{ref}$, current

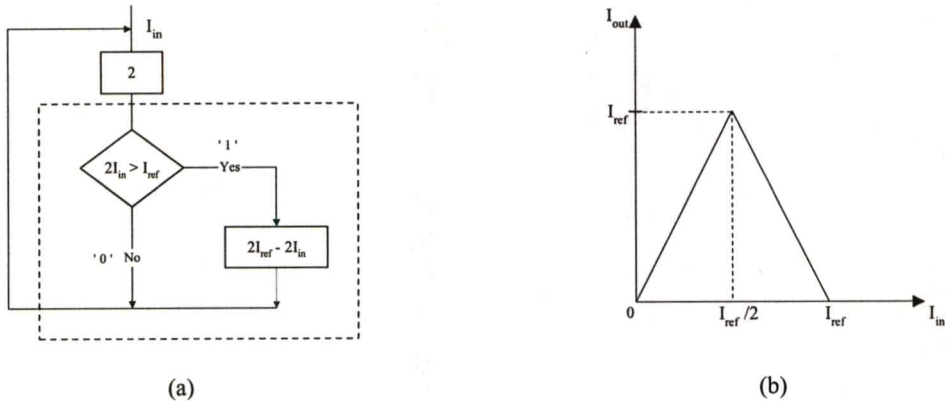


Figure 1. (a) flow chart of gray code algorithmic conversion
(b) transfer function of gray code algorithmic

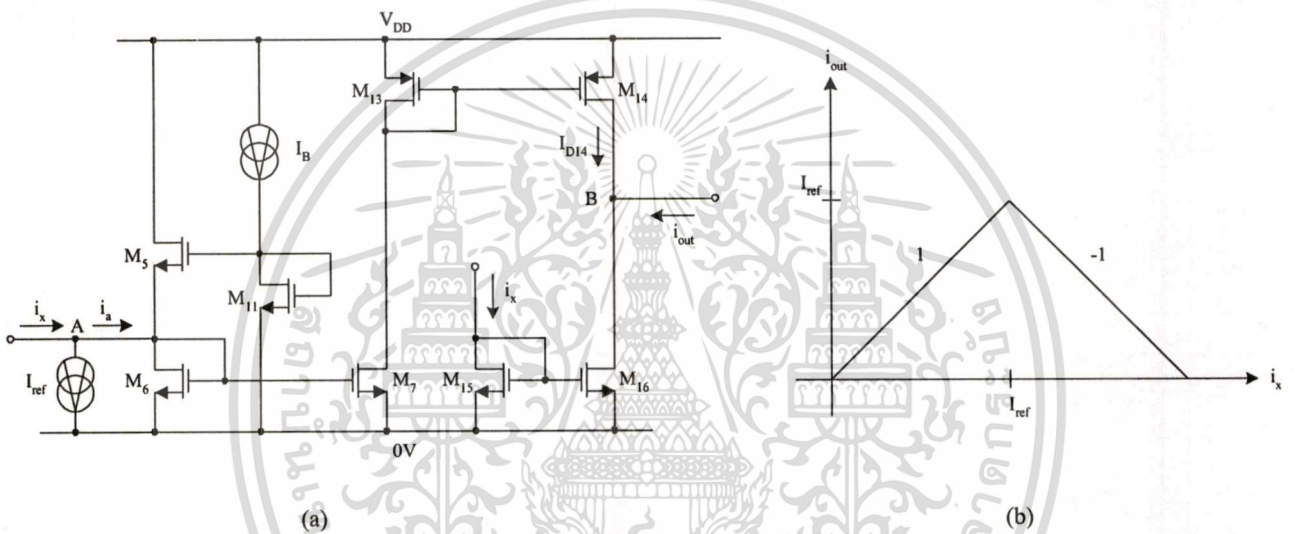


Figure 2. (a) triangular function circuit
(b) transfer characteristic

i_a flows through transistor M_5 , that causes the gate-source voltage of transistor M_5 to increase and the gate-source voltage of transistor M_6 to decrease effecting M_6 to cutoff. Similarly, if $i_x > I_{ref}$, the flow of current i_a through transistor M_6 causes transistor M_5 to cutoff. Therefore, the currents I_{D5} and I_{D6} can be given by

$$I_{D5} = I_{ref} - i_x \text{ and } I_{D6} = 0 \text{ for } i_x \leq I_{ref} \quad (1a)$$

and

$$I_{D5} = 0 \text{ and } I_{D6} = i_x - I_{ref} \text{ for } i_x > I_{ref} \quad (1b)$$

Current I_{D14} is forced by current mirrors M_6 - M_7 and M_{13} - M_{14} to be equal to $2I_{D6}$. Current mirror M_{15} - M_{16} reflects current i_x to output node B. Then output current i_{out} can be stated as

$$i_{out} = i_x \text{ for } i_x \leq I_{ref} \quad (2a)$$

and

$$i_{out} = i_x - I_{ref} - I_{D6} = 2I_{ref} - i_x \text{ for } i_x > I_{ref} \quad (2b)$$

It is clearly seen that output current i_{out} is triangular function for continuously increasing current i_x as shown in

figure 2(b).

2.3 The proposed ADC

The proposed ADC is shown in figure 3. The circuit in dashed-line frame of the figure 3 is the triangular function circuit. Transistors M_{11} , M_{12} and the constant current source I_B generate a constant voltage. Transistor M_1 functions as a current follower and provides a fixed potential at input node. Transistors M_2 - M_4 and M_6 - M_7 , where the channel width of transistors M_3 - M_4 and M_7 are twice of transistors M_2 and M_6 , respectively, form a current mirror with current gain equal to two. Transistors M_8 - M_9 and M_{17} - M_{18} form a current comparator to compare the current I_{D8} and I_{D9} . The operation of the proposed ADC can be explained as follow. The current I_{ref} is a reference current and the current i_{in} is an input signal. The input signal i_{in} is multiplied by a factor two by using the current mirror M_2 - M_4 . The current $I_{D3} = 2i_{in}$ is compared with the current reference I_{ref} at node A. Then the current i_a can be given by

และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

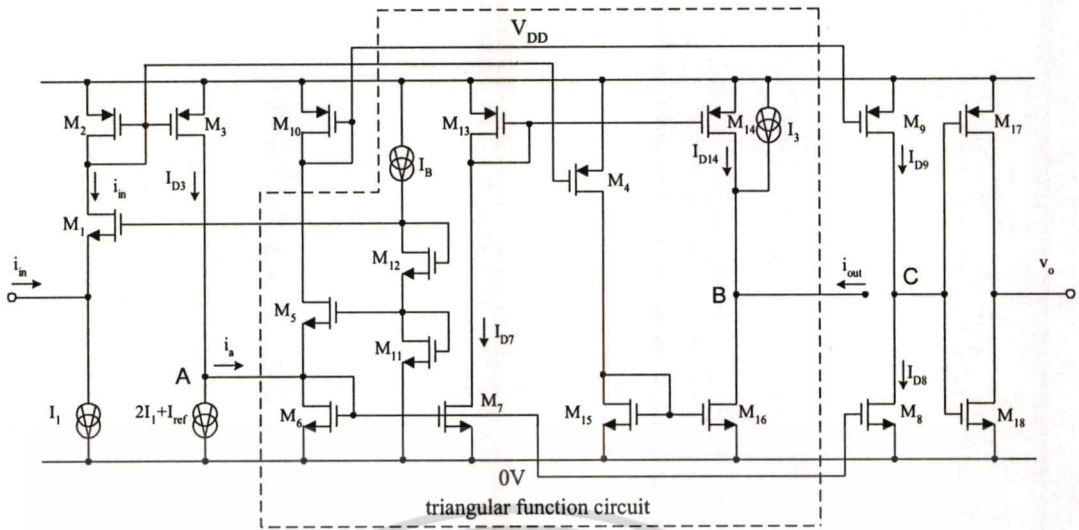


Figure 3. The proposed circuit

$$i_a = 2i_{in} - I_{ref} \quad (3)$$

If $2i_{in} < I_{ref}$, the negative current i_a flows through transistor M_5 and causes transistor M_6 cutoff. The currents I_{D8} and I_{D9} are forced to be zero and i_x , which are respectively reflected by the current mirror M_6 - M_8 and M_9 - M_{10} . Then the output voltage v_o of the current comparator is set to low. For the current $2i_{in} > I_{ref}$, the positive current i_a flows through transistor M_6 and causes transistor M_5 cutoff. The current I_{D8} is zero and the current I_{D9} is equal to i_a . Thus the output voltage v_o goes high and the analog output current i_{out} can be stated as

$$i_{out} = \begin{cases} -2i_{in} & \text{for } 2i_{in} < I_{ref} \\ 2I_{ref} - 2i_{in} & \text{for } 2i_{in} \geq I_{ref} \end{cases} \quad (4)$$

The N bit resolution can be achieved by cascading of N proposed circuits with the analog output of one circuit connected to the analog input of the following circuit as shown in figure 4.

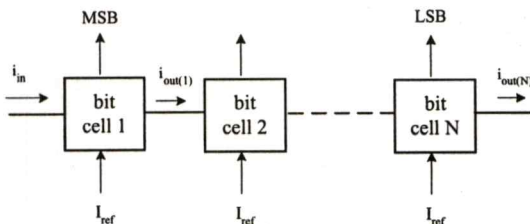


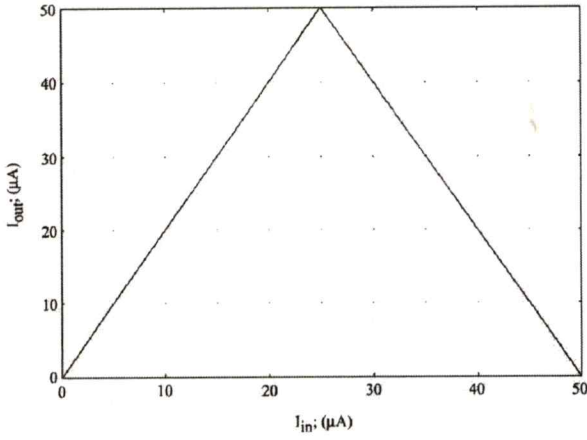
Figure 4. The N-bit resolution ADC

3. Simulation Results

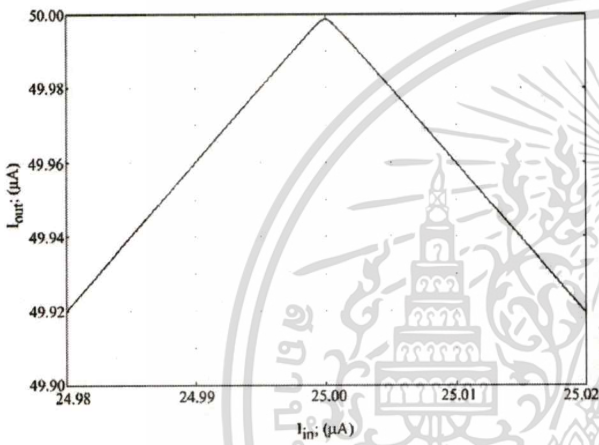
The performances of the proposed circuit were observed through the use of a SPICE analog simulation program. The BSIM MOS model of $0.7\mu\text{m}$ CMOS process was used for the circuit simulation. The ratios of the channel width and length (W/L) of the devices used are shown in table 1. The reference current I_{ref} , I_3 and $I_1 = I_B$ are set to $50\mu\text{A}$, $20\mu\text{A}$ and $10\mu\text{A}$, respectively, and $V_{DD} = 5\text{V}$. Figure 5(a) shows the DC transfer characteristic of the proposed circuit for the input signal current i_{in} which is varied from 0 to $50\mu\text{A}$. Figure 5(b) shows the peak region of the triangular function. A eight-bit resolution ADC formed by cascading eight proposed circuits was used to verify the conversion performance. Figure 6 shows the output waveform, where the input signal is varied from 0 to $50\mu\text{A}$, that monitored from the analog output of the least significant bit (LSB) or from the eighth bit cell of the eight-bit ADC. It is evident that the circuit operates with high accuracy over the entire dynamic range. The frequency response of the circuit is shown in figure 7. It should be noted that a bandwidth of about 150MHz is observed.

Table 1

Transistors	W(μm)/L(μm)
M_1	20/1
$M_2, M_5, M_6, M_8, M_9, M_{10}, M_{13}, M_{14}, M_{15}, M_{16}$	2/1
M_3, M_4, M_7	4/1
M_{11}, M_{12}	1/1
M_{17}, M_{18}	1/0.7



(a)



(b)

Figure 5. (a) DC transfer characteristic
(b) the peak region of fig. 5(a)

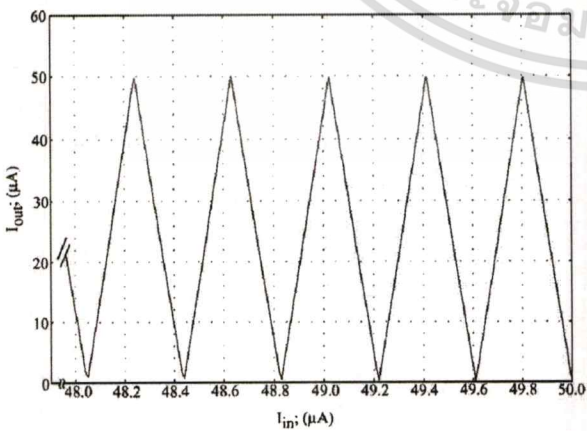


Figure 6. The analog output of the eighth bit cell

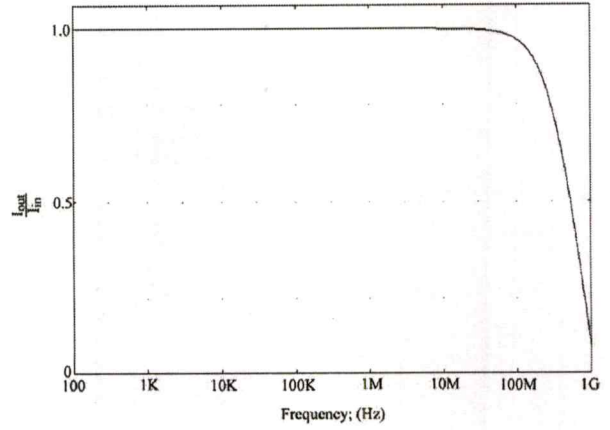


Figure 7. Frequency response

4. Conclusion

A CMOS integrated circuit technique for realizing an algorithmic analog to digital converter using triangular function circuit has been introduced in this article. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over the entire dynamic range. A N-bit resolution of an ADC can be achieved by cascading of N proposed circuit. Simulation results confirming the circuit performances have been demonstrated.

Acknowledgement

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA) Thailand for the financial support of this work.

References

- [1] Nairn, D.G. and Salama, C.A.T., "Algorithmic analogue/digital convertor based on current mirrors", Electronics Letters, Vol. 24, No.8, pp.471-472, April 1988.
- [2] Pouliquen, P.O., Boahen, K.A., and Andreou A.G., "A Gray-code Mos Current-mode analog-to-digital converter design", IEEE International Symposium on Circuit and Syst., Vol.4, pp.1924-1927, 1991.
- [3] Anuntahirunrat, K., Surakamponorn, W., and Riewruja, V., "One-bit algorithmic A/D based on nonlinear circuit", Proc.RESTECs'96 KMITL, pp. E81-E87, 1996.
- [4] Signell S., Jonsson B., Stetrom H., and Nianxiong T., "New A/D Converter Architectures Based on Gray Coding", Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on, Vol.1, pp.413-416, 1997.

ประวัติผู้เขียน

นางสาวทัตยา ปุคคละนันท์ เกิดเมื่อวันที่ 23 สิงหาคม 2521 ที่จังหวัดสุรินทร์ สำเร็จ การศึกษาวิศวกรรมศาสตรบัณฑิต (เกียรตินิยมอันดับ 2) สาขาวิชาวิศวกรรมควบคุม จากสถาบัน เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2541

ปัจจุบันรับราชการในตำแหน่งอาจารย์ 1 ระดับ 4 สังกัดโปรแกรมวิชาเทคโนโลยี อิเล็กทรอนิกส์และเทคโนโลยีโทรคมนาคม มหาวิทยาลัยราชภัฏนครราชสีมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้