สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การลดสัญญาณรบกวนในวงจรเฟสล็อคลูป

NOISE REDUCTION IN PHASE – LOCKED LOOP CIRCUIT

โดย

นางสาวนภาพร ธำรงวัฒนชัย

นายนิติรัฐ สว่างเชื้อ

อาจารย์ที่ปรึกษา

รศ.ดร.โยธิน เปรมปราณีรัชต์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ .....
เลขทะเบียน 55653
วัน,เดือน,ปี 24 พ.ค. 2548

.b.....
.i.....

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชา วิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การลดสัญญาณรบกวนในวงจรเฟสล็อคลูป

(NOISE REDUCTION IN PHASE – LOCKED CIRCUIT)

ผู้จัดทำ

1 นภาพร ธำรงวัฒนชัย 44015288

2 นิติรัฐ สว่างเชื้อ 44015289

_____ อาจารย์ที่ปรึกษา

(รศ.ดร. โยธิน เปรมปราณีรัชต์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กาลดสัญญาณรบกวนในวงจรเฟสล็อคลูป

โดย
นางสาวนภาพร ธำรงวัฒนชัย
รหัสประจำตัวนักศึกษา 44015288
นายนิติรัฐ สว่างเชื้อ
รหัสประจำตัวนักศึกษา 44015289

อาจารย์ที่ปรึกษา
รศ.ดร. โยธิน เปรมปราณีรัชต์

ปีการศึกษา 2546

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเสนอการลดสัญญาณรบกวนในวงจรเฟสล็อคลูปโดย การศึกษาการทำงานของวงจร โลว์พาสฟิลเตอร์ การออกแบบและสร้างวงจร โลว์พาสฟิลเตอร์แบบอแดปทีฟซึ่งสามารถเปลี่ยนแปลงแบนด์วิธได้เอง จากการทดลองและจำลองผลด้วยโปรแกรมคอมพิวเตอร์ได้ผลถูกต้อง โดยโลว์พาสฟิลเตอร์สามารถลดหรือกำจัดสัญญาณรบกวนแบบช่วงเวลาได้รวมทั้งวงจรเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคในช่วงเริ่มต้นของการทำงานได้รวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOISE REDUCTION IN PHASE – LOCKED LOOP CIRCUIT

Napaporn Thamrongwattanachai

Nitirat Sawangchua

Associate Professor Dr. Yothin Prempraneerach Advisor

2003

ABTRACT

This thesis is to study how to reduce noise in phase – locked loop circuit by using an adaptive low – pass filter. Design and implement the adaptive low – pass filter, the filter bandwidth can be changed by itself after PLL is locked. Experimental and computer – aid simulation are the same good results. Noise can be reduced or rejected by adaptive filter of phase – locked loop and the system can also get the locked – state rapidly in the starting situation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	
1.1 ความสำคัญและความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์	1
1.3 ขอบเขตโครงงาน	2
1.4 ขั้นตอนการดำเนินงาน	2
1.5 ประโยชน์ที่ได้รับจากโครงงาน	2
บทที่ 2 ทฤษฎีและหลักการ	
2.1 หลักการทำงานของเฟสล็อคลูปพื้นฐาน	4
2.2 Phase detector characteristic	5
2.3 VCO characteristics	7
2.4 Linear model of PLL	9
2.5 Static phase error	10
2.6 PLL bandwidth	10
2.7 Loop filter	13
2.8 Static phase error with A loop – filter	15
2.9 Basic factor of $G(j\Omega)H(j\Omega)$	17
บทที่ 3 เฟสดีเทคเตอร์	
3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท	25
3.2 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม	29
3.3 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นแบบสามสเตท	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 4 หลักการออกแบบวงจร	
4.1 หลักการออกแบบฟิลเตอร์แบบ 2 แบนด์วิดธ์	36
4.2 ส่วนตรวจจับการล็อคของเฟสล็อคลูป	36
4.3 ส่วนควบคุมการเปลี่ยนฟิลเตอร์	37
4.4 วงจรกำเนิดสัญญาณรบกวนแบบช่วงเวลาเพื่อการทดสอบ	39
บทที่ 5 การทดลองและผลการทดลอง	
5.1 ผลการทดลองโลว์พาสฟิลเตอร์ต่อสัญญาณรบกวนตลอดเวลา	43
5.2 ผลการหาค่าเกนในระบบเฟสล็อคลูป	49
5.3 ผลการทดลองจากการจำลองผลโดยโปรแกรม Multisum	58
5.4 ผลการทดสอบการลดสัญญาณรบกวนระหว่างฟิลเตอร์ทั้ง 2 แบบ	61
5.5 วงจรตรวจจับการล็อคสัญญาณในทางปฏิบัติ	66
5.6 วงจรเปรียบเทียบระดับสัญญาณ	68
5.7 อนาลอกสวิตช์และฟิลเตอร์ของเฟสล็อคลูป	70
บทที่ 6 สรุปผลการทดลอง	
6.1 สรุปผลการทดลอง	75
บรรณานุกรม	
กิตติกรรมประกาศ	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงองค์ประกอบพื้นฐานของเฟสล็อคลูป	3
รูปที่ 2.2 ไดอะแกรมเบื้องต้นของเฟสล็อคลูป	4
รูปที่ 2.3 PD Characteristic	5
รูปที่ 2.4 Shift PD Characteristic	6
รูปที่ 2.5 Model ของ PD	6
รูปที่ 2.6 VCO Characteristic	7
รูปที่ 2.7 Shift VCO Characteristic	8
รูปที่ 2.8 Model ของ VCO	8
รูปที่ 2.9 Linear Model Of PLL	9
รูปที่ 2.10 AC Model Of PLL	10
รูปที่ 2.11 Frequency Response Of PLL	11
รูปที่ 2.12 Narrowed Bandwidth PLL	12
รูปที่ 2.13 Model เมื่อใส่ Loop Filter	13
รูปที่ 2.14 Response ของ Loop Filter	14
รูปที่ 2.15 Extened Frequency Range PLL	14
รูปที่ 2.16 Full Linear Model Of PLL	15
รูปที่ 2.17 ก. Frequency Response ของ $1/j\omega$	19
ข. Frequency Response ของ $j\omega$	19
รูปที่ 2.18 แสดง log – magnitude ของ $(1+j\omega T)^{\pm 1}$	22
รูปที่ 3.1 วงจรจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท	25
รูปที่ 3.2 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท	27
รูปที่ 3.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม	30
รูปที่ 3.4 วงจรตรวจจับเฟสและความถี่แบบสาม – สเตท	32
รูปที่ 3.5 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม – สเตท	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

		หน้า
รูปที่ 4.1	แสดงส่วนต่างๆของเฟสล็อคลูปและวงจรลดสัญญาณรบกวน	37
รูปที่ 4.2	แสดงส่วนต่างๆของวงจรเปลี่ยนฟิลเตอร์ของ เฟสล็อคลูป (Filter Changer)	38
รูปที่ 4.3	แสดงการทำงานของวงจรกำเนิดสัญญาณรบกวน	39
รูปที่ 4.4	แสดงการใช้ขดลวด (Coil) เพื่อป้อนสัญญาณรบกวน	40
รูปที่ 4.5	การจำลองผลสัญญาณรบกวนที่ได้จาก วงจรกำเนิดสัญญาณรบกวนแบบช่วงเวลา	41
รูปที่ 4.6	แสดงสัญญาณรบกวนที่ได้จากวงจรกำเนิดสัญญาณรบกวน แบบช่วงเวลาในทางปฏิบัติ	42
รูปที่ 5.1	วงจรเฟสล็อคลูป โดยใช้ไอซีสำเร็จรูป 4046 ร่วมกับโลว์พาสฟิลเตอร์	43
รูปที่ 5.2	แสดงผลการล็อคสัญญาณของวงจรเฟสล็อคลูป	44
รูปที่ 5.3	แสดงผลของวงจรเฟสล็อคลูปเมื่ออยู่ในสภาวะถูกสัญญาณรบกวน	44
รูปที่ 5.4	แสดงผลการล็อคสัญญาณเมื่อทำการเปลี่ยนค่าตัวเก็บประจุ	45
รูปที่ 5.5	แสดงผลวงจรเฟสล็อคลูปที่สามารถกำจัดสัญญาณรบกวน	46
รูปที่ 5.6	แสดงวงจรหารความถี่ด้วยค่า 5 โดยไอซี 7490	46
รูปที่ 5.7	แสดงการต่อวงจรหาร 5 ของไอซี 7490 เข้าที่พีดแบคพาทของ วงจรเฟสล็อคลูป	47
รูปที่ 5.8	แสดงความถี่ก่อนการใส่วงจรหาร 5 ด้วยไอซี 7490 ความถี่เอาท์พุทจะเท่ากับอินพุท	48
รูปที่ 5.9	แสดงความถี่เอาท์พุทหลังจากใส่วงจรหาร 5 ซึ่ง มีค่าประมาณ 5 เท่าของความถี่อินพุท	48
รูปที่ 5.10	แสดงวงจร Low-pass Filter	50
รูปที่ 5.11	บล็อคไดอะแกรมแสดงค่าเกนของระบบเฟสล็อคลูป	51
รูปที่ 5.12	แสดงวงจร Filter แบบ A	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

		หน้า
รูปที่ 5.13	แสดงวงจร Filter แบบ B	54
รูปที่ 5.14	แสดงผลตอบสนองความถี่ของฟิลเตอร์ทั้ง 2 แบบ	56
รูปที่ 5.15	แสดงผลตอบสนองความถี่ของเฟสล็อคลูปเมื่อ ใช้ฟิลเตอร์ทั้ง 2 แบบ	57
รูปที่ 5.16	แสดงฟิลเตอร์ทั้ง 2 แบบที่ใช้ในการจำลองผล	58
รูปที่ 5.17	แสดงการจำลองผลเมื่อใช้ Filter A ในสภาวะที่ไม่มีสัญญาณรบกวน	58
รูปที่ 5.18	แสดงการจำลองผลเมื่อใช้ Filter A โดย ให้สัญญาณรบกวนเป็นช่วงเวลา	59
รูปที่ 5.19	แสดงการจำลองผลเมื่อใช้ Filter B ในสภาวะที่ไม่มีสัญญาณรบกวน	59
รูปที่ 5.20	แสดงการจำลองผลเมื่อใช้ Filter B โดยให้สัญญาณรบกวนเป็นช่วงเวลา	60
รูปที่ 5.21	แสดงวงจร Filter แบบ A และ แบบ B	61
รูปที่ 5.22	แสดงให้เห็นถึงผลตอบสนองต่อ Step Input ที่แตกต่างกัน	62
รูปที่ 5.23	กราฟแสดงผลการลดทอนสัญญาณรบกวนของฟิลเตอร์ทั้ง 2 แบบ	63
รูปที่ 5.24	กราฟแสดงผลเมื่อทำการทดลองให้ระยะเวลาของ สัญญาณรบกวนมากขึ้น	66
รูปที่ 5.25	วงจรล็อคดีเทคเตอร์ (Lock Detector)	66
รูปที่ 5.26	แสดงฟิลเตอร์แบบ CR network	67
รูปที่ 5.27	Bode diagram ของฟิลเตอร์ที่ใช้ในวงจรล็อคดีเทคเตอร์	68
รูปที่ 5.28	แสดงวงจรคอมพาราเตอร์เพื่อปรับระดับสัญญาณ	69
รูปที่ 5.29	แสดงสัญญาณที่ได้หลังจากผ่านวงจรคอมพาราเตอร์	70
รูปที่ 5.30	แสดงการเปลี่ยนฟิลเตอร์ของเฟสล็อคลูปด้วยอนาลอกสวิตช์	71
รูปที่ 5.31	แสดงฟิลเตอร์ Filter A ที่มี R1 มีค่า 27kOhm	71
รูปที่ 5.32	แสดงฟิลเตอร์ Filter A ที่มี R1 มีค่า 100kOhm	72
รูปที่ 5.33	แสดงผล เส้นบนคือฟิลเตอร์ Filter B และ เส้นล่างคือฟิลเตอร์ที่ปรับปรุงแล้ว	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 5.34 แสดงผลของสัญญาณรบกวนที่มีต่อฟิลเตอร์ที่ยังไม่มีการปรับปรุง 73

รูปที่ 5.35 แสดงผลของสัญญาณรบกวนที่มีต่อฟิลเตอร์ที่ปรับปรุงแล้ว 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตาราง 3.1 แสดงตารางค่าความจริงของการคูณ	28
ตาราง 3.2 แสดงตารางค่าความจริงของเอ็กซ์คูลซีฟ – ออร์เกท	29
ตาราง 5.1 แสดงความถี่ที่ได้จากวงจร VCO เอาท์พุทเมื่อจ่ายแรงดัน DC เข้าที่ VCO อินพุท	49
ตาราง 5.2 แสดงการเปลี่ยนแปลงของ Phasr (θ_e) ต่อ โวลท์เตจ ที่เฟสดีเทคเตอร์ (V_d)	50
ตาราง 5.3 แสดงผลการลดทอนสัญญาณรบกวนของฟิลเตอร์ที่ 2 แบบ	63
ตาราง 5.4 แสดงผลเมื่อทำการทดลองให้ระยะเวลาของสัญญาณรบกวนมากขึ้น	65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

โครงงานนี้เป็นการศึกษาเกี่ยวกับวิธีการรักษาเสถียรภาพของสัญญาณอ้างอิง ต่อสัญญาณรบกวน โดยใช้วงจรลดสัญญาณรบกวนในเฟสล็อคลูป เฟสล็อคลูปสามารถนำไปใช้งานได้หลายอย่าง โดยเฉพาะในการใช้งานกับสัญญาณความถี่ เนื่องจากสามารถลดสัญญาณรบกวนได้ดี การใช้งานก็สะดวก ไม่ยุ่งยาก สร้างได้โดยง่าย

ในระบบดิจิตอลที่มีสัญญาณอ้างอิงความถี่สูง จะมีปัญหาหนักต่อผลกระทบของสัญญาณรบกวนบนสายสัญญาณ เพราะที่วงจรที่ควบคุมด้วยความเร็วสูงด้วยสัญญาณความถี่สูงนั้นมีความไวต่อสัญญาณรบกวนมาก

1.1 ความสำคัญและความเป็นมาของโครงงาน

ในปัจจุบันอุปกรณ์ไฟฟ้าอิเล็กทรอนิกส์แทบทุกชนิดจะมีการใช้สัญญาณนาฬิกาประกอบการทำงาน ซึ่งเมื่อยิ่งมีการพัฒนาเทคโนโลยีให้ก้าวหน้าขึ้น ความถี่ของสัญญาณนาฬิกาเหล่านี้ก็จะถูกเลือกค่าใช้งานสูงขึ้นเรื่อยๆ แต่ปัญหาที่ตามมาคือสัญญาณที่มีความถี่สูงจะถูกรบกวนจากสัญญาณรบกวนได้ง่าย ซึ่งเป็นปัญหาที่สำคัญเนื่องจากสัญญาณความถี่สูงที่ถูกรบกวนนั้นจะมีความเพี้ยนของสัญญาณไปจากเดิม ไม่สามารถนำไปใช้งานได้ ซึ่งถ้าเราสามารถแก้ปัญหาในจุดนี้ได้ จะเป็นประโยชน์ต่องานด้านความถี่ ซึ่งในปัจจุบันยังไม่สามารถแก้ไขปัญหาในจุดนี้ได้อย่างสมบูรณ์

1.2 วัตถุประสงค์

- เพื่อศึกษาปัญหาของสัญญาณรบกวนที่มีต่อสัญญาณนาฬิกา
- เพื่อนำเฟสล็อคลูปมาใช้แก้ปัญหาสัญญาณรบกวน
- ออกแบบและพัฒนาวงจรกำจัดสัญญาณรบกวนในเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตโครงงาน

- จำลองผลการกำจัดสัญญาณรบกวนด้วยคอมพิวเตอร์
- ออกแบบการกำจัดสัญญาณรบกวนด้วยการใช้ไอซีสำเร็จรูป
- ออกแบบวงจรเฟสล็อคลูปที่มีความทนทานต่อสัญญาณรบกวน
- ออกแบบวงจรฟิลเตอร์ที่มี 2 แบนด์วิดธ์ สำหรับเฟสล็อคลูป

1.4 ขั้นตอนการดำเนินงาน

- ทำการจำลองวงจรของเฟสล็อคลูปด้วยโปรแกรม Simulation
- คำนวณและสร้างวงจร โลว์พาสฟิลเตอร์ ที่ทำให้วงจรเฟสล็อคลูปสามารถที่จะทนทานต่อสัญญาณรบกวน
- ออกแบบและสร้างวงจรที่ใช้ในการเปลี่ยนแบนด์วิดธ์สำหรับวงจรเฟสล็อคลูป

1.5 ประโยชน์ที่ได้รับจากโครงงาน

- ได้ศึกษาเกี่ยวกับหลักการทำงานของวงจรเฟสล็อคลูป
- ได้ศึกษาเกี่ยวกับการคำนวณและสร้างวงจร โลว์พาสฟิลเตอร์
- รู้จักการแก้ปัญหาต่างๆ ที่เกิดขึ้น
- สามารถทำงานร่วมกับผู้อื่นได้

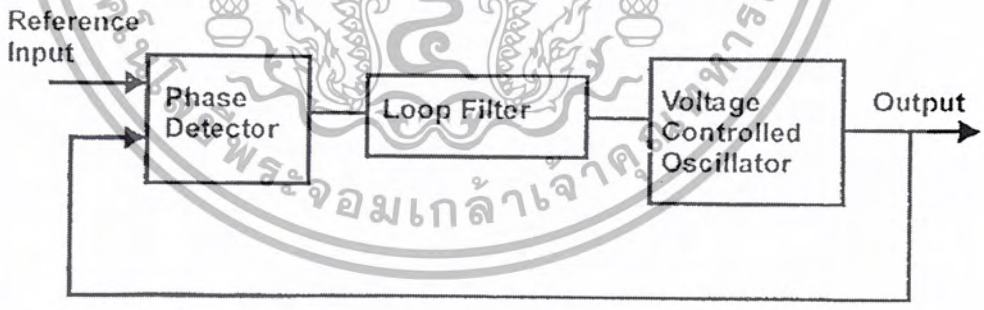
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการของเฟสล็อคลูป

เฟสล็อคลูปคือ วงจรพิเศษที่ซึ่งทำให้ระบบหนึ่งปฏิบัติตามรอยอีกระบบหนึ่งได้ หรืออธิบายให้ชัดเจนคือ เฟสล็อคลูป (PLL) เป็นวงจรที่ทำซิงโครไนซ์สัญญาณเอาท์พุทกับสัญญาณอ้างอิงหรือสัญญาณอินพุทในความถี่และเฟสเดียวกัน ซึ่งการซิงโครไนซ์นี้ถูกเรียกบ่อยๆ ว่า "สภาวะล็อค (Locked State)" โดยที่ความต่างเฟส (Phase Error) ระหว่างออสซิลเลเตอร์เอาท์พุทกับสัญญาณอ้างอิงนั้นเป็นศูนย์หรือน้อยมาก

เฟสล็อคลูปประกอบด้วยองค์ประกอบพื้นฐาน 3 ส่วน คือ

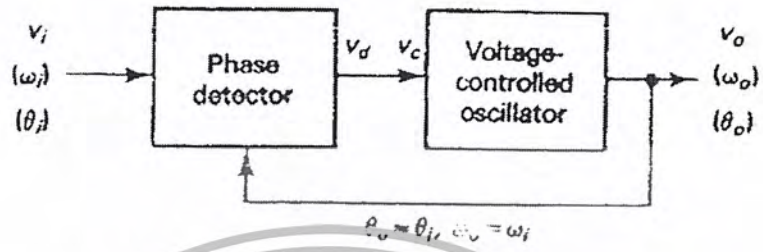
1. เฟสดีเทคเตอร์ (Phase Detector)
2. โลว์พาสฟิลเตอร์ (Low – Pass Filter)
3. VCO (Voltage – Controlled Oscillator) ซึ่งความถี่ควบคุมด้วยโวลท์เตจจากภายนอก



รูปที่ 2.1 แสดงองค์ประกอบพื้นฐานของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 หลักการทำงานของเฟสล็อคลูปพื้นฐาน



รูปที่ 2.2 ไดอะแกรมเบื้องต้นของเฟสล็อคลูป

เฟสดีเทคเตอร์ จะเปรียบเทียบเฟสของสัญญาณคาบอินพุทกับเฟสของ VCO แล้วให้โวลท์เตจซึ่งแสดงถึงความต่างเฟสของสัญญาณอินพุททั้งสองออกมา ค่าโวลท์เตจต่างๆ จะผ่านการกรองด้วยลูปฟิลเตอร์ (Loop Filter) แล้ว VCO ให้เปลี่ยนไปในทิศทางที่ทำให้ความต่างเฟสระหว่างสัญญาณอินพุทกับ VCO ลดลง

เมื่อลูป "ล็อค" แล้ว โวลท์เตจจะควบคุมความถี่ของ VCO ให้เท่ากับความถี่ของสัญญาณอินพุทตลอดเวลา นั่นคือ ในแต่ละไซเคิ้ลของสัญญาณอินพุทจะให้สัญญาณเอาท์พุทได้เพียงไซเคิ้ลเดียวเท่านั้น ที่เอาท์พุทของเฟสดีเทคเตอร์ต้องมีโวลท์เตจอยู่เสมอ ทั้งนี้เพื่อให้ลูปสามารถล็อคอยู่ได้ ดังนั้นลูปจะทำงานอยู่ระหว่างความต่างเฟสที่เกิดขึ้น สำหรับลูปที่ได้รับการออกแบบมาอย่างดีจะพยายามออกแบบให้ความต่างเฟสนี้มีค่าน้อยๆ เอาไว้

สัญญาณอินพุท	V_i	ความถี่	คือ	ω_i
		เฟส	คือ	θ_i
สัญญาณ Oscillator	V_o	ความถี่	คือ	ω_o
		เฟส	คือ	θ_o

เฟสดีเทคเตอร์ (PD) จะเปรียบเทียบ θ_o กับ θ_i แล้วให้ V ซึ่งเป็นสัดส่วนกับความต่างเฟส (Phase Error) ที่ได้ โวลท์เตจนี้เป็น Control – Voltage V ที่ใช้ควบคุม Oscillator (VCO) ให้มีความถี่ W แล้วป้อนกลับเป็น Negative FeedBack

ในสภาวะล็อค $\omega_o = \omega_i$ ทำให้ความต่างเฟส (Phase Error) มีค่าน้อยมาก ทั้งนั้นทั้งเฟสและความถี่ของ Oscillator จะล็อคกับเฟสและความถี่ของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

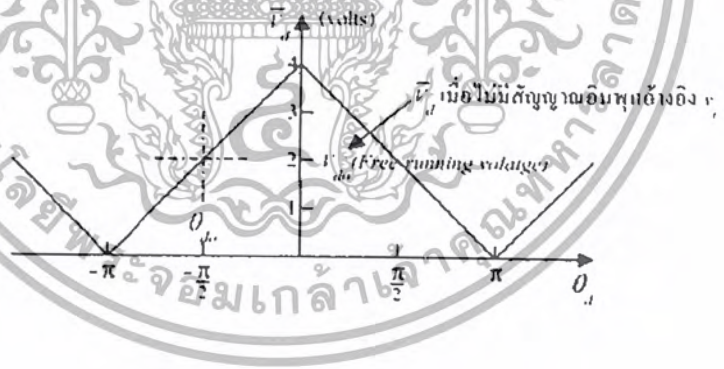
ถ้าความต่างเฟส (Phase Error) เริ่มต้นไม่เป็นศูนย์แล้ว เฟสดีเทคเตอร์จะต้องสร้างสัญญาณเอาท์พุทไม่เป็นศูนย์ ด้วยเหตุนี้จะทำให้ VCO เปลี่ยนความถี่ทำงานในทิศทางซึ่งจะทำให้ความต่างเฟส (Phase Error) หายไป

มีเงื่อนไขที่จำเป็นให้ระบบเฟสล็อคลูปแบบเชิงเส้นยังคงรักษาการ Tracking

1. ความถี่เชิงมุมของสัญญาณอ้างอิงต้องอยู่ภายในพิสัยโฮล (Hole Range)
2. สเต็ปความถี่สูงสุดจ่ายสู่อินพุทอ้างอิงของเฟสล็อคลูปต้องน้อยกว่าพิสัย Pull – Out Range
3. อัตราการเปลี่ยนของความถี่อ้างอิง $\Delta\omega$ ต้องน้อยกว่า ω_n^2

2.2 Phase Detector Characteristic

ให้ θ_d แทนความต่างเฟสระหว่างเฟสของอินพุทกับเฟสของ VCO Characteristics ของ V และ θ_d แสดงดังรูปที่ 2.3



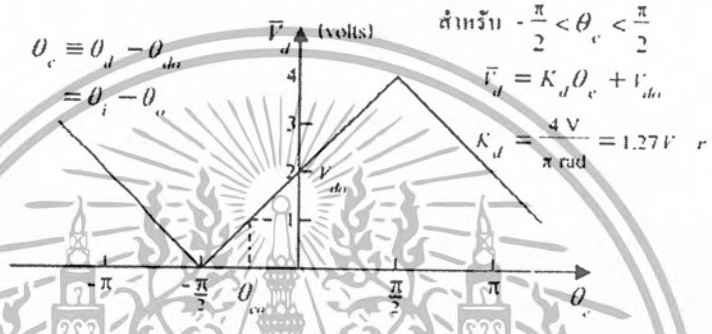
รูปที่ 2.3 PD Characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าไม่มีสัญญาณ V_i เฟสดีเทคเตอร์จะให้ Free – Running Voltage (VDO) ดังนั้น

$$V_d = V_{do}$$
$$\theta_e = \theta_d - \theta_{do}$$
$$= \theta_i - \theta_o$$

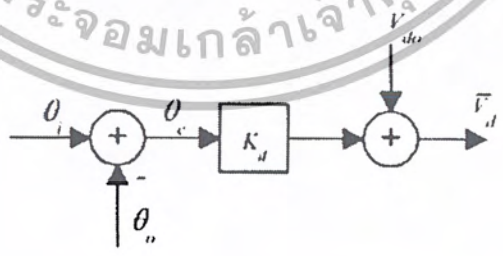
Plot V_d กับ θ_e ดังรูปที่ 2.4



รูปที่ 2.4 Shift PD Characteristic

$$K_d = dV_d / d\theta_e$$
$$V_d = K_d\theta_e + V_{do}$$

แสดงเป็น Model ได้ดังรูปที่ 2.5



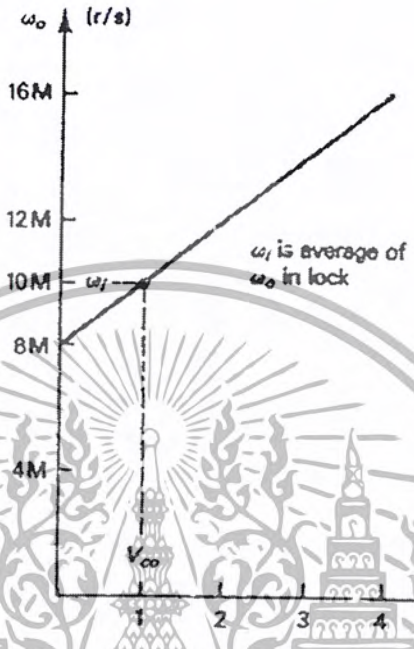
รูปที่ 2.5 Model ของ PD

K_d คือ PD Gain

V_{do} คือ Free – Running Detector Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 VCO Characteristics



รูปที่ 2.6 VCO Characteristic

จากรูปที่ 2.6 จะเห็นว่า ถ้า V แปรค่าตั้งแต่ 0 – 4 V. VCO จะอยู่ในช่วง 8 – 16 Mrad/s เมื่อ PLL ล็อค ($\omega = \omega_i$) และให้ ω_i = 10 Mrad/s ซึ่งเท่ากับ ω จากรูป ω = 10 Mrad/s จะได้ว่า V = 1 V. ซึ่งก็คือ Static Control Voltage (V) จะเห็นว่า V ไม่เพียงแต่สัมพนธ์กับ VCO เท่านั้น ยังสัมพันธ์กับ ω_i ที่ PLL ล็อคไม่เหมือนกับ V ที่สัมพันธ์กับ PD เพียงอย่างเดียว

เมื่อ $V_c = V_{co}$ = 1 V แสดงว่า PD ให้ V_d = 1 V จากรูปที่ 2.4 จะได้ว่า θ_e = -0.79 radians

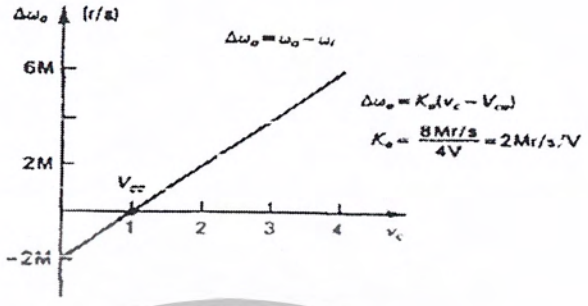
θ_e เฉลี่ยในสภาวะล็อค เรียกว่า Phase Error θ_{eo}ซึ่งมีค่าใกล้เคียงศูนย์ และอยู่ในช่วง $-\pi/2$ ถึง $\pi/2$ radians

ให้ Output Frequency Deviation = $\Delta\omega_o$

$\Delta\omega_o = \omega_o - \omega_i$

ในสภาวะล็อคค่าเฉลี่ยของ ω จะเท่ากับ ω_i การ Plot ค่า $\Delta\omega_o$ กับ V_d จะ Shift VCO Characteristics ดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



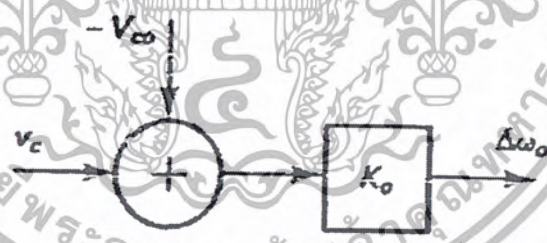
รูปที่ 2.7 Shift VCO Characteristic

จะเห็นว่าเมื่อ $\Delta\omega_o = 0, V_c = V_{co}$ Slop ของ VCO Characteristics จะเป็น VCO Gain K_o

$$Ko = d\omega_o/dV_c = d\Delta\omega_o/dV_c$$

$$\Delta\omega_o = K_o(V_c - V_{co})$$

ได้ Signal Flow Graph ดังรูป



รูปที่ 2.8 Model ของ VCO

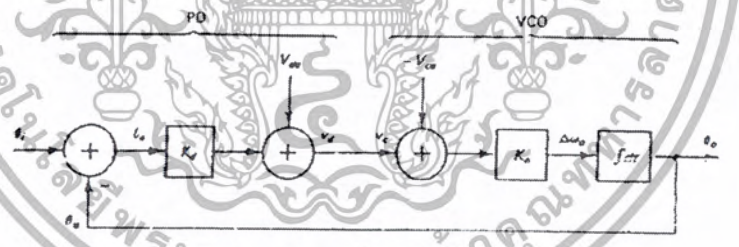
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Linear Model Of PLL

ถ้าคิดว่า θ_e และ ω_o อยู่ในช่วง Linear

ให้	V_i	=	$\sin(\omega_i(t) + \theta_i)$
	V_o	=	$\sin(\omega_i(t) + \theta_o)$
เมื่อ	ω_o	=	Constant
จะได้	ω_o	=	$d(\omega_i(t) + \theta_o)/dt$
		=	$\omega_i(t) + d\theta_o/dt$
โดยที่	$\Delta\omega_o$	=	$\omega_o - \omega_i$
จะได้	$\Delta\omega_o$	=	$d\theta_o/dt$
หรือ	θ_o	=	$\int\Delta\omega_o\, dt$

เมื่อเรานำรูป Signal Flow Graph มาต่อกันเป็น Linear Model ของ PLL จะได้ดังรูปที่ 2.9



รูปที่ 2.9 Linear Model Of PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Static Phase Error

เมื่อ PLL อยู่ในสภาวะล็อค ω_o = Wi และ $\Delta\omega_o = 0$ Static Phase Error θ_{eo} เป็นค่าเฉลี่ยของ จากรูป จะได้ว่า

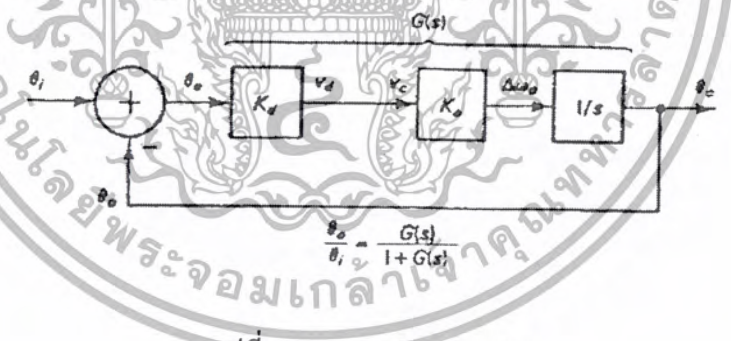
$$\Delta\omega_o = K_d (K_d\theta_e + V_{do} - V_{co})$$

ในสภาวะล็อค $\Delta\omega_o = 0$ และ $\theta_e = \theta_{eo}$

$$\theta_{eo} = (-V_{do} + V_{co}) K_d$$

2.6 PLL Bandwidth

Bandwidth ของ PLL ขึ้นอยู่กับ θ_e และ θ_o หรืออาจกล่าวได้ว่าขึ้นอยู่กับ ω_i และ ω_o เนื่องจาก Bandwidth ต้องทำโดยสัญญาณ AC เราจึงกำจัดพารามิเตอร์ที่เป็น DC ใน Linear Model รูปที่ 2.10 แล้ว แปลงลาปลาซจะได้ดังรูป



รูปที่ 2.10 AC Model Of PLL

จะเห็นว่า Forward Gain คือ G(s)

$$G(S) = K_dK_o/s$$

$$\theta_o(s)/\theta_i(s) = G(s)/[1+G(s)]$$

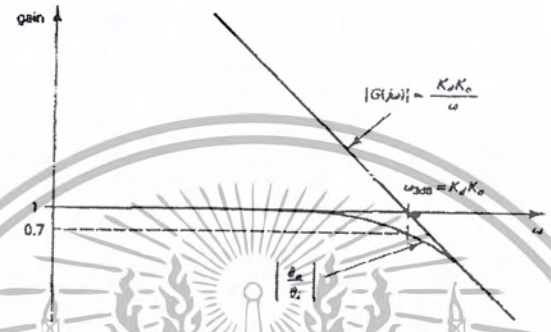
แทน $s = j\omega$

$$\theta_o/\theta_i = G(j\omega)/[1+G(j\omega)]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left| G(j\omega) \right| = K_d K_o / \omega$$

Plot Graph Log ได้ดังรูปที่ 2.11



รูปที่ 2.11 Frequency Response Of PLL

จะเห็นได้ว่า ถ้า W มีค่าต่ำๆ $\left| G(j\omega) \right| > 1$, $\left| \theta_o/\theta_i \right| = 1$

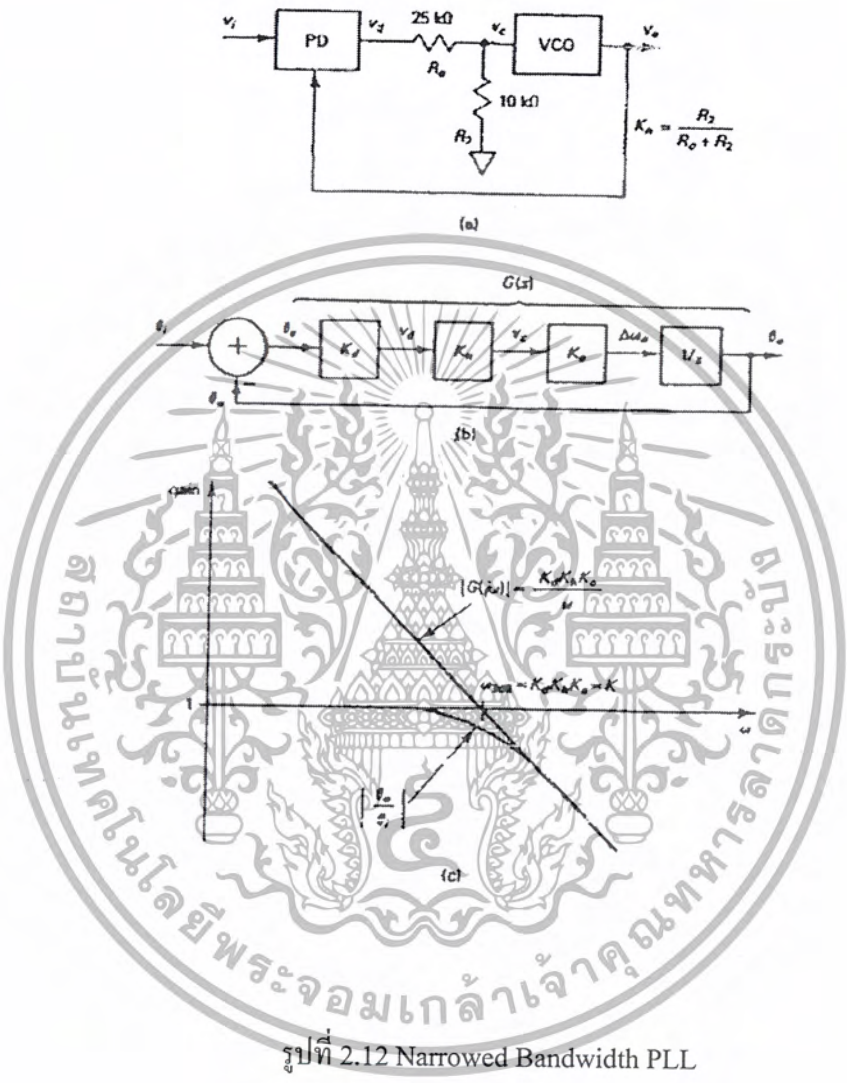
ถ้า w มีค่าสูงๆ $\left| G(j\omega) \right| < 1$, $\left| \theta_o/\theta_i \right| = G(j\omega)$

ดังนั้น Bandwidth w จะเกิดขึ้นเมื่อ $\left| G(j\omega) \right| = 1$

$\omega 3dB = K_d K_o$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราต้องการลด Bandwidth ทำโดยใส่ Rc และ R_2 ระหว่าง PD และ VCO ดังรูป



รูปที่ 2.12 Narrowed Bandwidth PLL

จะได้ $K_h = R_2/(R_0 + R_2)$

$G(s) = K_d K_h K_o / s$

และ Bandwidth ถูกกำหนดโดยความถี่ที่ $|G(j\omega) = 1|$

$\omega 3dB = K_d K_h K_o$

$\omega 3dB = K$

$= $ Loop Gain

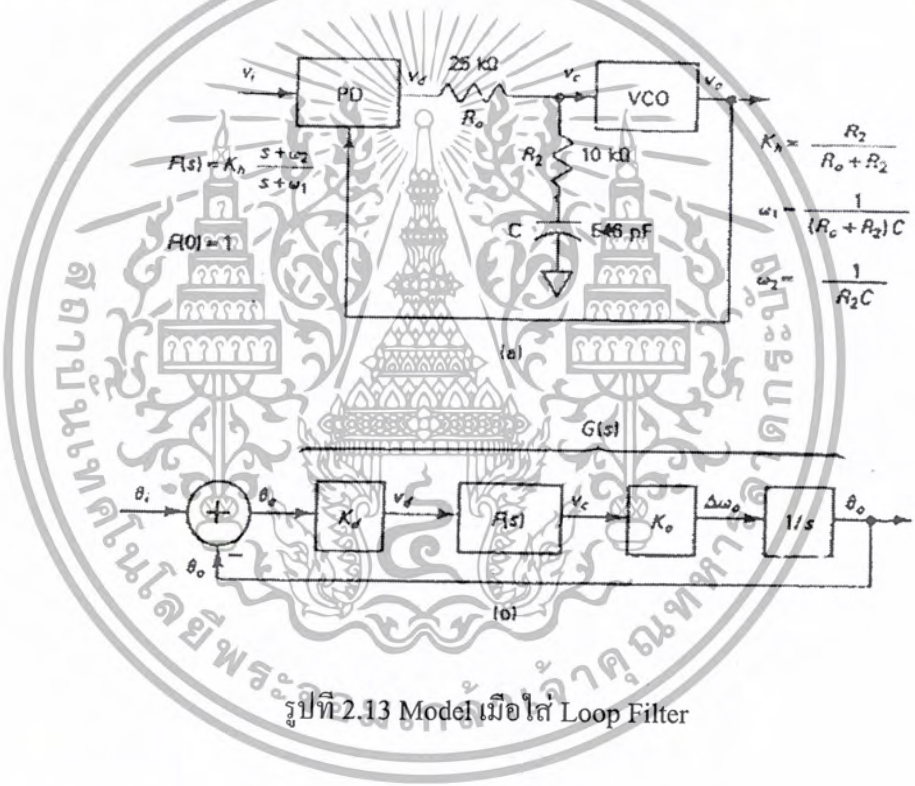
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K คือ ค่า 3 dB Bandwidth ของ PLL ได้ Transfer Funtion เป็น $\theta_o(s)/\theta_i(s) = K/(s+K)$ แสดงว่า ตามรูป เป็น First Order Phase – Locked Loop

2.7 Loop Filter

การใส่ R หรือตัวลดทอนใน PLL ทำให้ AC Gain K ลดลง Bandwidth ก็ลดลง เรียกว่า การใส่ Loop Filter ซึ่งจะทำงานที่ความถี่สูง และมี Unity Gain ที่ DC

การทำ Loop Filter อย่างง่ายๆ คือใส่ Capacitor ตามรูปที่ 2.13

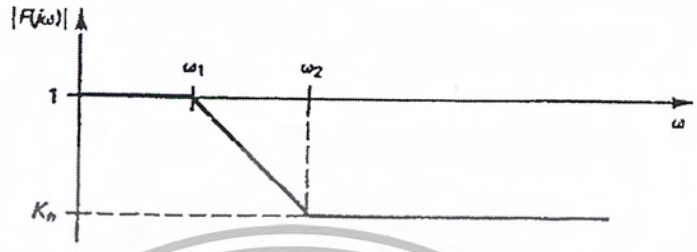


รูปที่ 2.13 Model เมื่อใส่ Loop Filter

Transfer Function	F(s)	=	$K_h(s+\omega 2)/(s+\omega 1)$
โดยที่	K_h	=	$R_2/(R_0+R_2)$
	$\omega 1$	=	$1/(R_0+R_2)C$
	$\omega 2$	=	$1/R_2C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency Response $|F(j\omega)|$ ของลูปฟิลเตอร์ Plot ได้ดังรูป



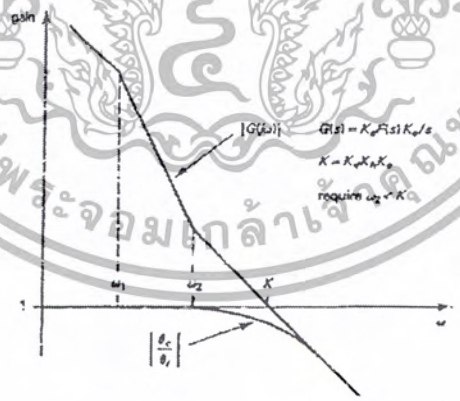
รูปที่ 2.14 Response ของ Loop Filter

ที่ DC Gain คือ $F(0) = 1$

จากรูป จะได้

$$G(s) = K_d F(s) K_o/s$$

Frequency Response ของ $|G(j\omega)|$ Plot ได้ดังรูป



รูปที่ 2.15 Extened Frequency Range PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่สูงๆ $|F(j\omega)| = K_h$ และ $|G(j\omega)| = 1$ สำหรับ $\omega = K_d K_h K_o$

จะได้ Bandwidth $\omega 3dB = K_d K_h K_c = K$

แต่ $|F(j\omega)| = K_h$ เมื่อ $\omega > \omega 2$

ดังนั้น จะได้ว่า $\omega 2$, K

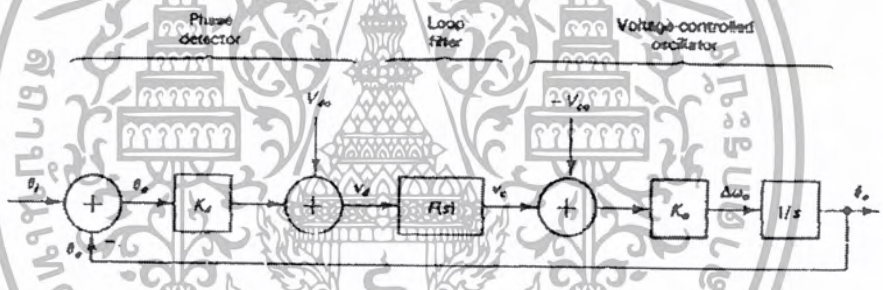
จากรูป จะเห็นว่าถ้า ω น้อยกว่า 4K จะมีผลน้อยมากใน Response $|\theta_o/\theta_i|$

ดังนั้น PLL Transfer Function จะเป็น

$$\theta_o(s)/\theta_i(s) = (K_s + K\omega 2)/[s + (K + \omega 1) + K\omega 2]$$

2.8 Static Phase Error With A Loop – Filter

จากรูป ถ้าเราใส่ Loop Filter เข้าไป ดังรูป



รูปที่ 2.16 Full Linear Model Of PLL

จะได้ว่า $\Delta\omega_o = \theta_e K_d F(s) K_o + V_{do} F(s) K_o + V_{co} K_o$

หาค่าเฉลี่ย (คิด DC, s = 0)

$$\Delta\omega_o = \theta_e K_d F(0) K_o + V_{do} F(0) K_o + V_{co} K_o$$

Static Phase Error θ_{eo} จะถูกนิยามเป็น θ_e ได้เมื่อ PLL อยู่ในสภาวะล็อค ($\Delta\omega_o = 0$) จะได้ว่า

$\theta_{eo} = (-V_{do}/K_d) + [V_{co}/K_d F(0)]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เข้าใจการทำงานของลูปมากขึ้น สมมุติว่าสัญญาณอินพุทมีข่าวสารฝากมากับเฟสหรือความถี่ของสัญญาณวิดธ์ยุด้วย สัญญาณนี้หนีไม่พ้นที่จะต้องมีสัญญาณรบกวน (Noise) ผสมมาด้วยอย่างแน่นอน งานหนักสำหรับเครื่องรับเฟสล็อคคือ ต้องสร้างสัญญาณเดิมขึ้นมาใหม่ พร้อมทั้งกับพยายามตัดสัญญาณรบกวนทิ้งให้มากที่สุดเท่าที่จะเป็นไปได้

ถ้าสัญญาณเดิมที่ส่งมาดีมาก คือมีความถี่คงที่ เพียงมีสื่อบอกให้รู้ (Information) เล็กน้อยเท่านั้น Local Oscillator ก็สามารถตามรอย (Track) ได้ และสื่อที่บอกให้มันรู้นี้ก็เกิดขึ้นนานพอสมควรด้วยเหตุนี้จึงกำจัดสัญญาณรบกวนที่มันควรจะเกิดขึ้นมากมายได้ แม้ว่าอินพุทของลูปจะมีสัญญาณรบกวน แต่ที่เอาท์พุทของ VCO จะเปลี่ยนสัญญาณอินพุทเสียใหม่ให้สะอาดปราศจากสัญญาณรบกวน จึงพูดได้ว่าทำหน้าที่เหมือนวงจรฟิลเตอร์อย่างหนึ่งซึ่งยอมให้สัญญาณผ่านไปได้เท่านั้น แต่ไม่ยอมให้สัญญาณรบกวนใดๆ ผ่านไป

คุณสมบัติสำคัญสองอย่างของฟิลเตอร์ คือ ต้องมีแบนด์วิดธ์ (Bandwidth) แคบมากและต้องสามารถตามรอยความถี่ของสัญญาณได้อย่างอัตโนมัติ เนื่องจากการที่แบนด์วิดธ์แคบสามารถตัดสัญญาณรบกวนลงได้มากระบบเฟสล็อคลูปจึงเหมาะอย่างยิ่งสำหรับการดึงเอาสัญญาณที่ฝังลึกอยู่ในสัญญาณรบกวนกลับออกมาอีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.9 Basic factor of G(jω) H(jω)

ส่วนประกอบของกราฟที่เรามักจะพบใน sinusoidal T.F. G(jω) H(jω) ได้แก่

2.9.1 Gain K

2.9.2 Integral and derivative factor $(j\omega)^{\pm 1}$

2.9.3 First – Order factor $(1+j\omega T)^{\pm 1}$

2.9.4 Quadratic factor $\left[1+2\zeta\left(\frac{j\omega}{\omega n}\right)+\left(\frac{j\omega}{\omega n}\right)^2\right]^{\pm 1}$

การหา Bode Plot สามารถทำได้โดยการ Plot รูปกราฟของ Factor แต่ละ Factor ที่อยู่ในสมการ Transfer Function แยกกัน หลังจากนั้นจึงหากราฟรวม โดยนำ Log – magnitude ที่ได้จากแต่ละ Factor นั้นมาบวกกันบน log – scale

2.9.1 Gain K คือค่าคงที่ที่คูณอยู่ใน Transfer Function ในกรณีที่ Gain K มีค่ามากกว่า 1 จะให้ค่า decibel เป็นบวก และในกรณีที่ Gain K มีค่าน้อยกว่า 1 จะให้ค่า decibel เป็นลบ

2.9.2 Integral and derivative factor $(j\omega)^{\pm 1}$

- ในกรณีของ Integral Factor

ขนาดของ $1/j\omega$ ใน scale ของ log – magnitude คือ

$$20\log\left|\frac{1}{j\omega}\right| = -20\log\omega \quad \text{dB}$$

และค่ามุม Phase เป็น

$$\phi = -90^\circ \quad \text{(คงที่)}$$

ลักษณะของกราฟ log – magnitude จะเป็นเส้นตรงที่มีความชัน เท่ากับ –20 dB/decade (decade คือ ช่วงความถี่จาก ω_1 ถึง $10\omega_1$; ω_1 คือความถี่ใดๆ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55653

- ในกรณีของ Derivative factor

ขนาดของ jω ใน scale ของ log – magnitude จะเป็น

$$20\log|j\omega| = 20\log\omega \quad \text{dB}$$

และมีมุม Phase เป็นค่าคงที่

$$\phi = 90^\circ$$

ลักษณะรูปกราฟ จะเป็นเส้นตรงที่มีความชันเท่ากับ 20 dB/decade และจะผ่านจุด 0 dB ที่ $\omega = 1$

ในกรณีที่ Transfer Function ประกอบด้วยพจน์ $(1/j\omega)^n$ หรือ $(j\omega)^n$ขนาด magnitude ของกราฟจะเปลี่ยนไปเป็น

$$20\log\left|\frac{1}{(j\omega)^n}\right| = -n\times 20\log|j\omega| = -20n\log\omega \quad \text{dB}$$

ซึ่งก็คือ กราฟเส้นตรงที่มี slope = -20n dB/decade

และมีค่ามุม Phase = -90°n decade

และ

$$20\log\left|(j\omega)^n\right| = n\times 20\log|j\omega| = 20n\log\omega \quad \text{dB}$$

ซึ่งหมายถึงกราฟเส้นตรงที่มี slope = 20n dB/decade

และค่ามุม Phase = 90°n decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.17 ก. Frequency Response ของ $1/j\omega$

ข. Frequency Response ของ $j\omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.3 First – order factor $(1+j\omega T)^{\pm 1}$

สำหรับพจน์ $\dfrac{1}{(1+j\omega T)}$ จะได้ log – magnitude เป็น

$$20\log\left|\frac{1}{(1+j\omega T)}\right| = -20\log\sqrt{1+\omega^2T^2} \quad \text{dB}$$

กรณีความถี่ต่ำ กล่าวคือ $\omega << 1/T$ จะสามารถประมาณกราฟ log – magnitude นี้ได้เป็น

dB

$$-20\log\sqrt{1+\omega^2T^2} \cong -20\log 1 = 0$$

กรณีความถี่สูงกล่าวคือ $\omega >> 1/T$ จะได้

$$-20\log\sqrt{1+\omega^2T^2} \cong -20\log\omega T \quad \text{dB}$$

ซึ่งก็คือกราฟเส้นตรงที่มีความชันเท่ากับ –20 dB/decade โดยเริ่มจากกราฟเส้นตรง Corner frequency ที่ $\omega = 1/T$

∴ เราจึงได้ข้อสรุป การแทน frequency response ของเทอม $\dfrac{1}{(1+j\omega T)}$ นี้โดยการประมาณ response ด้วยเส้นตรง 2 เส้น คือ

- เส้นตรง 0 dB สำหรับความถี่ในช่วง $0<\omega<1/T$
- เส้นตรงที่มีความชันเท่ากับ –20 dB/decade ในช่วงความถี่ $1/T<\omega<\infty$

เส้นตรงทั้งสองทำหน้าที่เป็น Asymtotes โดยเส้นกราฟที่แท้จริงจะมีค่าต่ำกว่าเส้น Asymtotes ที่ corner – frequency $\omega = 1/T$ เท่ากับ 3 dB ซึ่งมาจาก

$$-20\log\sqrt{1+1} + 20\log 1 = -10\log 2$$

$$= -3.03 \quad \text{dB}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มุม phase ของ factor $\frac{1}{(1+j\omega T)}$ จะมีค่าเป็น

$$\phi = -\tan^{-1}\omega T$$

ที่ $\omega = 0$ จะมี $\phi = 0^\circ$

ที่ $\omega = 1/T$ จะมี $\phi = -\tan^{-1} T/T = -\tan^{-1}1 = -45^\circ$

ที่ $\omega = \infty$ จะมี $\phi = -\tan^{-1}\infty = -90^\circ$

และในทำนองเดียวกัน การหารูปกราฟของ factor $1+j\omega T$ ก็สามารถทำได้โดยการเปลี่ยนเครื่องหมายในกราฟ log – magnitude และ phase ดังนี้

$$20\log|1+j\omega T| = -20\log\left|\frac{1}{1+j\omega T}\right|$$

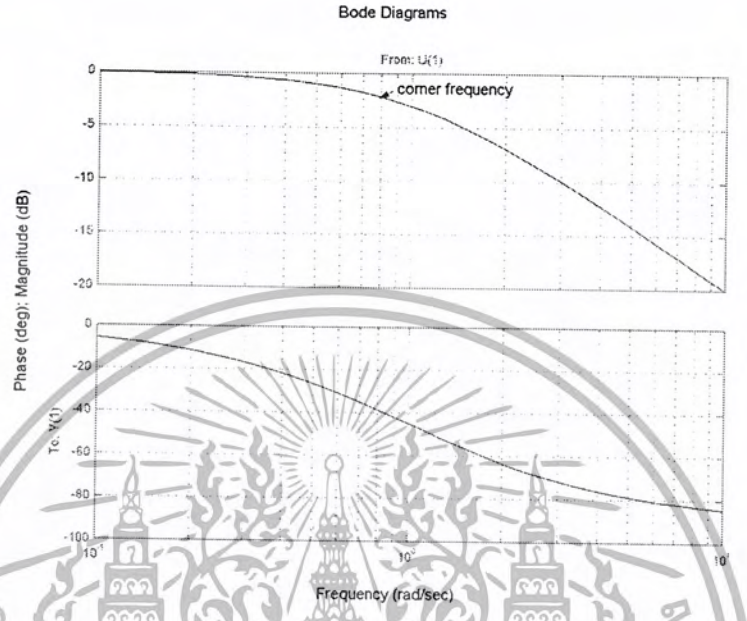
$$\phi = \angle 1+j\omega T = \tan^{-1}\omega T = -\angle\frac{1}{1+j\omega T}$$

corner frequency จะมีค่าเท่ากับ 1/T เช่นกัน แต่ slope ของ Asymtote ด้านความถี่สูงจะเป็น 20 dB/decade แทนและมีมุม phase แปรค่าจาก $0^\circ \sim 90^\circ$ เมื่อ ω เป็น $0 \sim \infty$

ในกรณีที่ first – order factor มีการยกกำลังเป็น $(1+j\omega T)^{\pm n}$ จะมีผลทำให้ slope ของ Asymtote ด้านความถี่สูงเปลี่ยนไป โดยที่ corner frequency ยังคงเป็น $\omega = 1/T$ เท่าเดิม และค่าของ Asymtote ด้านความถี่ต่ำจะยังคงเป็นเส้นตรงขนานแนวนอนมีค่า = 0 dB

- สำหรับพจน์ $(1+j\omega T)^{-n}$ Asymtote ด้านความถี่สูงจะมี slope = -20n dB/decade
- และพจน์ $(1+j\omega T)^{n}$ จะมี slope ของ Asymtote ด้านความถี่สูงเท่ากับ 20n dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดง log – magnitude ของ $(1+j\omega T)^{\pm 1}$

2.9.4 Quadratic Factor

สำหรับ quadratic factor ในรูปของ

$$\frac{1}{1+2\zeta\left(\frac{j\omega}{\omega n}\right)+\left(\frac{j\omega}{\omega n}\right)^2}$$

ถ้า $\zeta > 1$ quadratic factor นี้สามารถอยู่ในรูปของผลคูณของ First – order 2 เทอมซึ่งมี pole เป็นจำนวนจริงได้

ถ้า $0 < \zeta < 1$ quadratic factor นี้จะเป็นการคูณกันของพจน์ที่ประกอบด้วย pole ที่เป็น complex – conjugate 2 พจน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

∴ ค่า magnitude และ phase ของ quadrutic factor จึงขึ้นอยู่กับ parameter 2 ค่าด้วย

- damping ratio ζ
- corner frequency $\omega = \omega_n$

พิจารณา log – magnitude

$$20\log\left|\frac{1}{1+2\zeta\left(\frac{j\omega}{\omega n}\right)+\left(\frac{j\omega}{\omega n}\right)^2}\right| = -20\log\sqrt{\left(1-\left(\frac{\omega^2}{\omega^2 n}\right)^2+\left(2\zeta\frac{\omega}{\omega n}\right)^2\right)}$$

สำหรับความถี่น้อยๆ กล่าวคือ $\omega << \omega_n$ จะได้ค่า log – magnitude $-20\log 1 = 0$ dB

นั่นคือ จะได้เส้น Asymtote ที่มีความถี่ต่ำๆ เป็นเส้นตรงในแนวนอน มีค่า 0 dB

สำหรับความถี่สูงที่ทำให้ $\omega >> \omega_n$ จะได้ค่า log – magnitude เป็น

$$-20\log\frac{\omega^2}{\omega n} = -40\log\frac{\omega}{\omega n} \quad \text{dB}$$

และ

$$-40\log\frac{10\omega n}{\omega n} = -40 - 40\log\frac{\omega}{\omega n} \quad \text{dB}$$

ซึ่งสรุปได้ว่า เส้น Asymtote ที่มีค่าความถี่สูงจะเป็นเส้นตรงที่มีความชันเท่ากับ –40 dB/decade

ค่าของ ζ มีผลกับ quadratic factor ดังนี้

ที่ $\omega = \omega_n$ จะเกิด resonant peak ขึ้นและค่า damping ratio ζ จะเป็นตัวกำหนดขนาดความสูงของ resonant peak นั้นๆ โดย peak จะสูงขึ้นที่ ζ มีค่าน้อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับค่า phase สามารถหาได้โดย

$$\phi = \angle \frac{1}{1+2\zeta\left(\frac{j\omega}{\omega n}\right)+\left(\frac{j\omega}{\omega n}\right)^2}$$

$$= -\tan^{-1}\left[\frac{2\zeta\frac{\omega}{\omega n}}{1-\left(\frac{\omega}{\omega n}\right)^2}\right]$$

ที่ $\omega = 0$ จะได้มุม $\phi = 0^\circ$

ที่ $\omega = \omega_n$ จะได้มุม $\phi = -90^\circ$ โดยไม่ขึ้นกับค่าของ ζ ดังนี้

$$\phi = -\tan^{-1}\left(\frac{2\zeta}{0}\right) = -\tan^{-1}\infty = -90^\circ$$

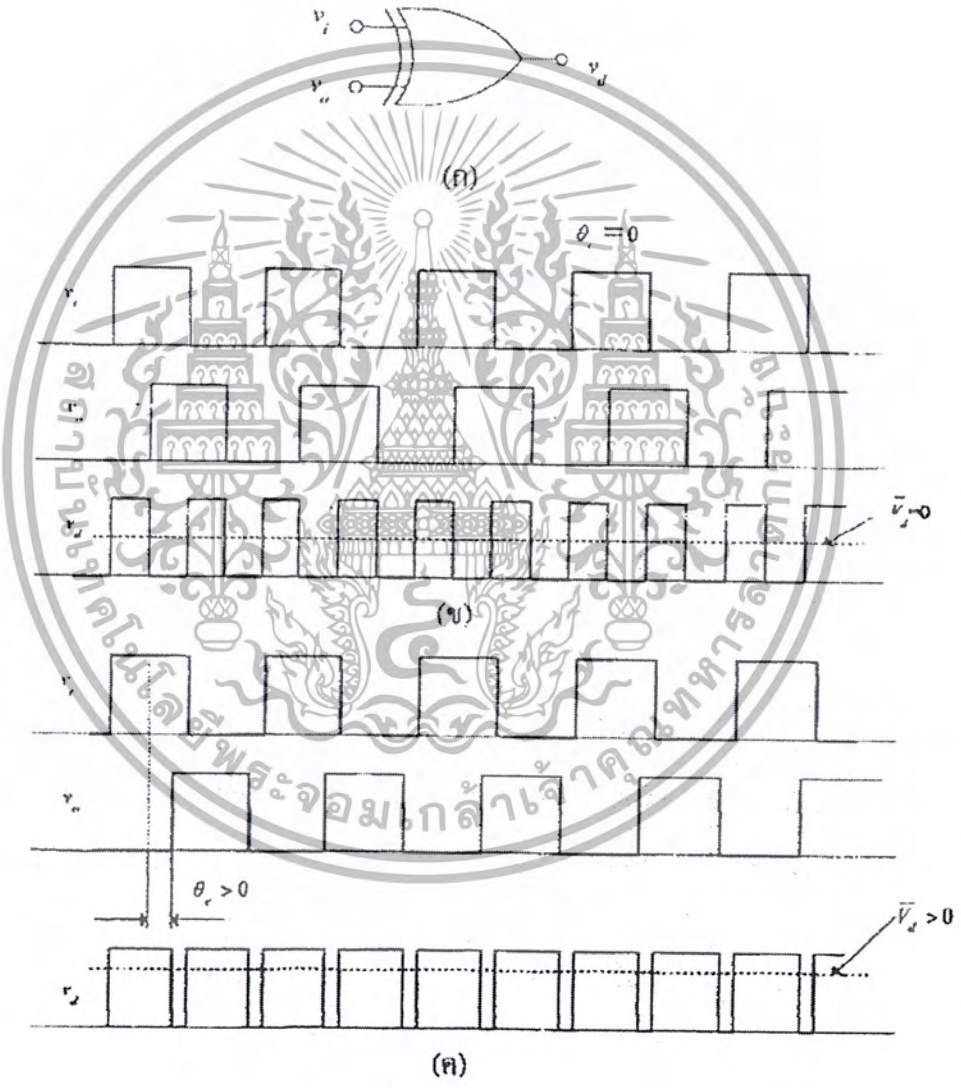
ที่ $\omega = \infty$ มีมุม $\phi = -180^\circ$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

เฟสดีเทคเตอร์ (Phase Detector)

3.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท



รูปที่ 3.1 วงจรจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1 มีรายละเอียดดังนี้

(ก) สัญลักษณ์เอ็กซ์คูลซีฟ – ออร์เกท ที่ใช้เป็นวงจรตรวจจับเฟส

(ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์

(ค) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับบวก

วงจรเอ็กซ์คูลซีฟ – ออร์เกทเป็นวงจรจับเฟสแบบดิจิตอลที่มีการทำงานเหมือนกับตัวคูณสัญญาณด้วยการโอเวอร์ไดร์แรงดันที่เอาท์พุท และยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยมโดยเอาท์พุทที่ได้จากการคูณจะเป็นค่าอิ่มตัวของแรงดันบวก ซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิ่มตัวของแรงดันลบ ที่สอดคล้องกับค่าลอจิกต่ำ สำหรับเงื่อนไขของการคูณนั้น สามารถสรุปได้ดังตารางที่ โดยเอาท์พุท V_d จะให้ค่าแรงดันอิ่มตัวเป็นบวก เมื่อสัญญาณอินพุท V_i และ V_o ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือบวกด้วยกันทั้งคู่ และเอาท์พุท V_d จะให้ค่าแรงดันอิ่มตัวเป็นลบ เมื่ออินพุทใดอินพุทหนึ่งเป็นบวก และอีกอินพุทหนึ่งเป็นลบ ดังนั้นถ้าเปรียบเทียบตารางที่ 3.1 ซึ่งเป็นตารางค่าความจริงของการคูณกับตารางที่ 3.2 ซึ่งเป็นตารางค่าความจริงของวงจรเอ็กซ์คูลซีฟ – ออร์เกท ที่มีสัญลักษณ์ดังในรูปที่ 3.1 (ก) โดยการแทนแรงดันลอจิกสูง V_H ด้วยเครื่องหมาย (+) และแรงดันลอจิดต่ำ V_L ด้วยเครื่องหมาย (-) แล้วจะเห็นว่าเอ็กซ์คูลซีฟ – ออร์เกทสามารถถูกนำมาใช้เป็นวงจรตรวจจับเฟสที่ทำงานเป็นตัวคูณสัญญาณ (ลอจิก) แบบโอเวอร์ไดร์เช่นเดียวกับวงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม

ในรูปที่ 3.1 ได้แสดงให้เห็นถึงเอาท์พุทของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท ที่มีค่าความคลาดเคลื่อนเฟส (θ_e) ต่างๆกัน โดยจะสมมุติว่าสัญญาณอินพุท V_i กับ V_o ที่เข้ามานั้นมีความสมมาตร กล่าวคือมีดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซ็นต์ ซึ่งอยู่ในรูปที่ 3.1 (ข) เมื่อ θ_e เท่ากับศูนย์ คือ สัญญาณอินพุท V_i และ V_o มีเฟสต่างกันอยู่ $\pi/2$ จะทำให้สัญญาณเอาท์พุท V_d ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่ที่ค่าความถี่เป็นสองเท่าของสัญญาณอินพุทและให้ค่าดิวตี้ไซเคิลเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงของสัญญาณเอาท์พุท V_d จะถูกกรองทิ้งไปด้วยวงจรกรองลูป ดังนั้น จึงพิจารณาเพียงแค่ค่าเฉลี่ย ($\overline{V_d}$) ของ V_d ตามเส้นประในรูปที่ 3.1 (ข) เท่านั้น ค่า $\overline{V_d}$ นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง (Mean) ของระดับลอจิกสูง (V_H) และระดับลอจิกต่ำ (V_L) กล่าวคือ ถ้าวงจรตรวจจับเฟส แบบเอ็กซ์คูลซีฟ – ออร์เกท ได้รับการจ่ายไฟจากแหล่งจ่าย 5 โวลท์ ค่า $\overline{V_d}$ ที่ได้จะมีค่าประมาณ 2.5 โวลท์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่า จุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท ที่จะถูกกำหนดให้มีค่าเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุท V_o ล้าหลังสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทอ้างอิง V_i (นับจากจุดสงบนิ่ง) ค่าของ θ_c ก็จะกลายเป็นบวกดังในรูปที่ 3.1 (ค) ค่าดิวตี้ไซเคิลของ V_d จะมีค่าสูงสุดที่ค่าของความคลาดเคลื่อนเฟส θ_c เท่ากับ $\pi/2$ และมีค่าต่ำสุดที่ค่าของความคลาดเคลื่อนเฟส θ_c เท่ากับ $-\pi/2$ ในรูปที่ (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท ที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน V_d เทียบกับค่าความคลาดเคลื่อนเฟส θ_c ซึ่งจะให้ผลเป็นรูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ $-0.5\pi < \theta_c < 0.5\pi$ ค่าเฉลี่ย V_d จะเป็นสัดส่วนโดยตรงกับค่าของ θ_c ดังสมการที่ คือ

$$\overline{V}_d = K_d \theta_c \tag{3.1}$$

รูปที่ 3.2 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท

(ก) เมื่อสัญญาณอินพุท V_i และ V_o มีความสมมาตร

(ข) เมื่อสัญญาณอินพุท V_i และ V_o ไม่มีความสมมาตร เป็นผลให้ V_{dm} มีค่าลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งในกรณีของวงจรจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกทนี้ อัตราขยายวงจร (K_d) จะมีค่าคงที่เมื่อแหล่งจ่ายที่ป้อนให้กับวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท คือ ระดับลอจิกแรงดันสูง V_H และต่ำ V_L ตามลำดับ ดังนั้นอัตราขยายของวงจรตรวจจับเฟสแบบเอ็กซ์คูลซีฟ – ออร์เกท (K_d) ในช่วง $-0.5\pi < \theta_c < 0.5\pi$ จะมีค่าเท่ากับ

$$K_d = \frac{V_{dm}}{0.5\pi} \qquad (3.2)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ย V_d ซึ่งเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้นจะได้

$$K_d = \frac{V_H - V_L}{0.5\pi} \qquad (3.3)$$

ถ้าในกรณีที่สัญญาณอินพุท V_i และ V_o ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าดิวตี้ไซเคิลไม่เท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย (V_{dm}) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 3.2 (ข)

ตารางที่ 3.1 แสดงตารางค่าความจริงของการคูณ

V_i	V_o	V_d
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

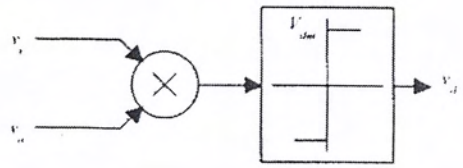
ตารางที่ 3.2 แสดงตารางค่าความจริงของเอ็กซ์คูลซีฟ – ออร์เกท

V_i	V_o	V_d
V_L	V_L	V_L
V_L	V_H	V_H
V_H	V_L	V_H
V_H	V_H	V_L

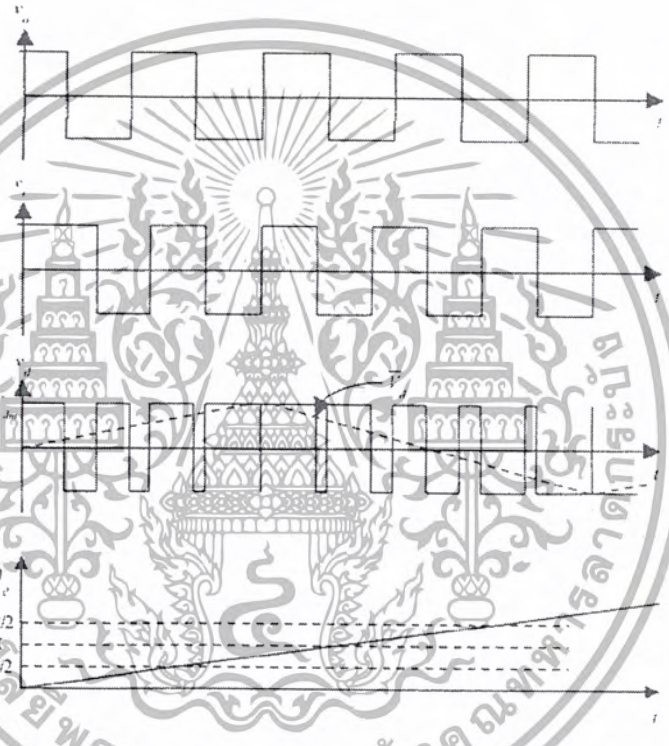
3.2 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม

ในรูปที่ 3.3 (ก) นั้นแสดงเส้นทางของสัญญาณแบบตัวคูณของวงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม (Triangular Phase Detector Characteristic) โดยเงื่อนไขของการเกิดโอเวอร์ไดร์ด้วยการตัดระดับสัญญาณที่เอาท์พุท ซึ่งจะเป็นเหตุให้แรงดันเอาท์พุท V_d มีค่าเท่ากับจุดอิ่มตัว (Saturate) ที่ค่า $\pm V_{dm}$ เมื่อปรากฏระดับสัญญาณอินพุทเข้ามา ดังนั้นวงจรตรวจจับเฟสที่ให้คุณสมบัติแบบนี้ขั้วของสัญญาณอินพุทจึงมีความสำคัญต่อการทำงานของวงจร ดังเช่นรูปที่ 3.3 (ข) ซึ่งสัญญาณอินพุท V_i และ V_o ถูกกำหนดให้เป็นสัญญาณรูปคลื่นสี่เหลี่ยมโดยผลจากเอาท์พุท V_d ที่ได้จะเป็นไปตามฟังก์ชั่นของการคูณและให้สัญญาณสี่เหลี่ยมที่มีค่าดิวตี้ไซเคิลของสัญญาณขึ้นอยู่กับค่าความต่างเฟสระหว่างสองสัญญาณอินพุท และเมื่อ θ_e มีค่าเพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา ค่าเฉลี่ยของแรงดันเอาท์พุท V_d ที่ได้จากวงจรกรองความถี่ก็จะมีค่าเพิ่มขึ้นและลดลงในลักษณะที่เป็นเชิงเส้นเช่นเดียวกันดังเห็นได้จากแนวของเส้นประที่เกิดขึ้นในรูปที่ 3.3 (ข) คุณสมบัติที่เป็นรูปสามเหลี่ยมของวงจรตรวจจับเฟสนี้ได้แสดงไว้ในรูปที่ 3.3 (ค) ซึ่งในช่วงที่เป็นเชิงเส้นของ $-0.5\pi<\theta_e<0.5\pi$ นั้นจะให้ค่าอัตราขยายของวงจรตรวจจับเฟสเท่ากับ

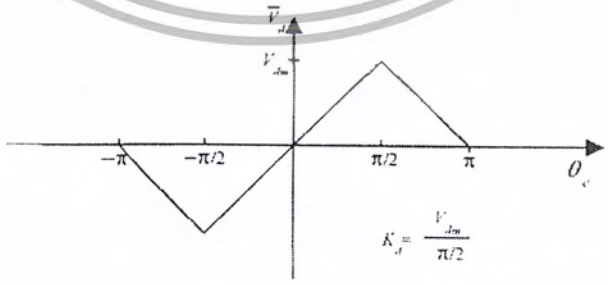
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 3.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 มีรายละเอียดดังนี้

(ก) เส้นทางของสัญญาณ

(ข) สัญญาณเอาท์พุท Vd เมื่อ θ_c มีค่าค่อยๆเพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา t

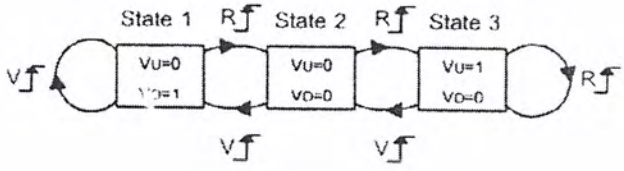
(ค) กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสเป็นรูปสามเหลี่ยม

$$K_d = \frac{V_{dm}}{\pi / 2} \tag{3.4}$$

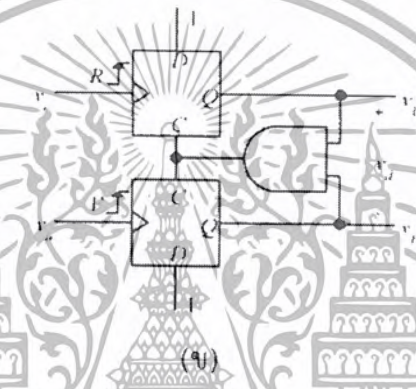
3.3 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสามสเตท

วงจรตรวจจับเฟสและความถี่แบบสามสเตท หรือ 3 – State PFD [3] เป็นวงจรตรวจจับเฟสแบบดิจิตอลอีกวงจรหนึ่งที่ให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญต่อการนำมาใช้ขยายสถานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้น วงจรตรวจจับเฟสและความถี่แบบสาม - สเตทได้ถูกนำมาใช้งานอย่างกว้างขวาง เพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง $\pm 2\pi$ เรเดียน และสัญญาณเอาท์พุท (V_d) ที่ได้ไม่เพียงแต่จะขึ้นอยู่กับค่าความคลาดเคลื่อนของเฟส θ_e เท่านั้นแต่ยังขึ้นอยู่กับค่าความคลาดเคลื่อนทางความถี่ ($\Delta f = f_R - f_V$) อีกด้วย การทำงานของวงจรนั้นจะถูกกระตุ้นจากขอบของสัญญาณอินพุท V_i และ V_o ที่เข้ามาทางขั้วอินพุท R และ V ตามลำดับ ซึ่งจะไปทำให้มีการเปลี่ยนสถานะของสเตทตามสเตทไดอะแกรมที่ถูกกำหนดไว้ดังรูปที่ 3.4 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม - สเตท ในรูปที่ 3.4 (ก) นั้นจะเป็นสเตทไดอะแกรมที่วงจรที่จะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นของสัญญาณที่เข้ามาทางขั้วอินพุท R และ V โดยที่ขอบขาขึ้นของ R จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตทที่สูงขึ้น ขณะที่ขอบขาขึ้นของ V จะทำให้มีการลดสถานะของวงจรกลับมายังสเตทที่ต่ำกว่า สมมุติว่าการทำงานของวงจรนั้นเริ่มต้นอยู่ในสเตทที่ 2 ดังนั้นเมื่อปรากฏการสลับกันเข้ามาของขอบขาขึ้นสัญญาณพัลส์ที่ขั้วอินพุท V และ R จะทำให้วงจรหมุนเวียนเปลี่ยนสถานะสลับสเตทไปมาระหว่างสเตทที่ 1 กับสเตทที่ 2 แต่ถ้าเกิดมีช่วงขอบขาขึ้นของสัญญาณอินพุท V ไปตกอยู่หลังสัญญาณอินพุท R และเป็นเช่นนั้นตลอดไปดังไทม์มิ่งไดอะแกรมของรูปที่ 3.5 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุท R เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุท V วงจรก็จะเปลี่ยนสถานะของสเตทไปยังสเตทที่ 3 และการหมุนเวียนเปลี่ยนสถานะระหว่างสเตทที่ 2 สลับกับสเตทที่ 3 ก็จะเกิดขึ้นอีกตามพัลส์ของสัญญาณอินพุทที่ยังคงผลัดกันเข้ามาอย่างต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 3.4 วงจรตรวจจับเฟสและความถี่แบบสาม – สเตท
(ก) สเตทไดอะแกรมของวงจรที่มีการเปลี่ยนแปลงสถานะตามขอบขาขึ้นของสัญญาณอินพุท
(ข) โครงสร้างทางวงจรไฟฟ้า

โครงสร้างพื้นฐานของวงจรตรวจจับเฟสและความถี่แบบสาม - สเตทนั้นจะแสดงอยู่ในรูปที่ 3.4 (ข) ซึ่งประกอบด้วยคู่ของลอจิกเอาท์พุท V_D และ V_U โดยมีสัญญาณอินพุท R และ V ต่ออยู่กับฟลิปฟลอปแบบ D – Type ของแต่ละตัวและจะให้ค่าแรงดันเอาท์พุทที่ขา Q (V_D และ V_U) ในขณะที่มีการเปลี่ยนสถานะของสเตทตามรูปที่ 3.4 (ก) สำหรับขาอินพุท C หรือขา Clear ของฟลิปฟลอปทั้งสองตัวนั้นจะถูกต่อเข้ากับเอาท์พุทของแอนด์ – เกท ซึ่งได้รับสัญญาณอินพุทมาจากขา Q ของฟลิปฟลอป เพื่อรีเซตให้วงจรตรวจจับเฟสและความถี่แบบสาม – สเตทกลับไปยังสถานะของสเตทเริ่มต้นใหม่เมื่อสัญญาณพัลส์ที่ขั้วอินพุท V และ R ปรากฏเข้ามาพร้อมกันหรือฟลิปฟลอปทั้งสองอยู่ในสภาวะเซตทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุทที่เกิดขึ้นพร้อมกันได้โดยไม่สูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปจนเป็นเหตุให้เกิดค่าผิดพลาดขึ้นที่เอาท์พุท

รูปที่ 3.5 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม – สเตท

(ก) สัญญาณเอาท์พุท V_d ที่ได้จากการเปลี่ยนสถานะของสเตท

(ข) กราฟแสดงคุณสมบัติของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 3.5 (ข) เป็นกราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม - สเตท ระหว่างค่าความเคลื่อนเฟส θ_c กับค่าเฉลี่ย ($\overline{V}_d$) ของแรงดันเอาท์พุท V_d ที่ผ่านวงจรกรองความถี่ต่ำมาแล้วโดยจะให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นไม่เกิน $\pm 2\pi$ เรเดียน สังเกตว่าเมื่อความเคลื่อนเฟส θ_c มีค่าเกินช่วง 2π และ -2π เรเดียนไปแล้ววงจรจะให้ช่วงคุณสมบัติกลับมาซ้ำไซเคิลทุกๆ 2π และ-2πเรเดียนอีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ในสถานะของสเตทที่ 3 ค่า θ_c จะยังคงมีค่าเพิ่มขึ้นไปเรื่อยๆ (สัญญาณพัลส์ที่ขั้วอินพุท V ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท R อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสเตทก็จะสลับไปมาระหว่างสเตทที่ 2 กับสเตทที่ 3 เท่านั้น ในทำนองเดียวกันนี้ก็จะเกิดขึ้นกับช่วงที่ θ_c ให้ค่าเป็นลบ คือ เมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท V นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท R และเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสเตทที่ 1 กับ สเตทที่ 2 เพียงเท่านั้น สำหรับในการทำงานเป็นวงจรเมื่อเป็นตัวตรวจจับความถี่ที่ให้แรงดันเอาท์พุทขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่ (Δf)นั้นซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง V_i สูงกว่าความถี่ของสัญญาณอินพุท V_o($f_R > f_V$) ค่า θ_c และค่าเฉลี่ย $\overline{V}_d$ ก็จะมีค่าเป็นบวกเพิ่มขึ้นไปจนถึงค่าสูงสุดที θ_c เท่ากับ 2π เรเดียน ทำให้ค่าเฉลี่ย $\overline{V}_d$ เท่ากับแรงดันเอาท์พุทสูงสุดที่ค่า V_{dm} ในสเตทที่ 3 อย่างรวดเร็วเมื่อเทียบกับเวลา ซึ่งทำนองเดียวกันถ้าความถี่ของสัญญาณอินพุทอ้างอิง V_i ต่ำกว่าความถี่ของสัญญาณอินพุท V_o($f_R < f_V$) ค่าของ θ_c ก็จะมีค่าลดลงไปเรื่อยๆ จนถึงค่าต่ำสุดที่ -2π เรเดียน ทำให้ค่าเฉลี่ย $\overline{V}_d$ มีค่าเป็นลบมากขึ้นจนถึงค่าต่ำสุดที่ $\overline{V}_d$ เท่ากับ $-V_{dm}$ ในสเตทที่ 1 อย่างรวดเร็ว

เนื่องจากวงจรตรวจจับเฟสและความถี่แบบสาม – สเตทนี้จะให้ค่าแรงดันเฉลี่ย $\overline{V}_d$ สูงสุดเมื่อวงจรทำงานอยู่ในสเตทที่ 3 ซึ่งก็คือ $\overline{V}_d = V_{dm} = V_H - V_L$ ดังนั้นจากกราฟแสดงช่วงคุณสมบัติของวงจรในรูปที่ 3.5 (ข) ทำให้สามารถหาอัตราขยายของวงจรตรวจจับเฟสและความถี่แบบสาม – สเตทได้ดังสมการที่ (3.5) คือ

$$K_d = \frac{V_{dm}}{2\pi} \qquad (3.5)$$

เมื่อ V_{dm} คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาท์พุทเมื่อผ่านวงจรกรองความถี่ต่ำมาแล้ว ซึ่งมีค่าเท่ากับ $V_{dm} = V_H - V_L$ ดังนั้นจากสมการที่ (3.5) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_H - V_L}{2\pi} \qquad (3.6)$$

โดยที่ V_H คือ ค่าของแรงดันลอจิกสูง

และ V_L คือ ค่าของแรงดันลอจิกต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการออกแบบวงจร

4.1 หลักการออกแบบฟิลเตอร์แบบ 2 แบนด์วิดธ์

หลักการออกแบบฟิลเตอร์แบบสองแบนด์วิดธ์ มีหลักการพิจารณาเพื่อออกแบบดังนี้คือ จะต้องออกแบบให้ฟิลเตอร์สามารถเปลี่ยนแปลงแบนด์วิดธ์ได้เองเมื่อมีสัญญาณรบกวนเข้ามา โดยเปลี่ยนไปเป็นแบนด์วิดธ์ที่แคบกว่าเพื่อให้มีความทนทานต่อสัญญาณรบกวนและกลับสู่แบนด์วิดธ์เดิมเมื่อไม่มีสัญญาณรบกวน ซึ่งแบนด์วิดธ์เดิมจะออกแบบให้เป็นแบนด์วิดธ์ที่กว้างเพื่อผลในการล็อคสัญญาณที่เร็ว ซึ่งเป็นการรวมคุณสมบัติที่ดีของเฟสล็อคลูปที่ดีทั้งสองชนิดไว้ด้วยกัน

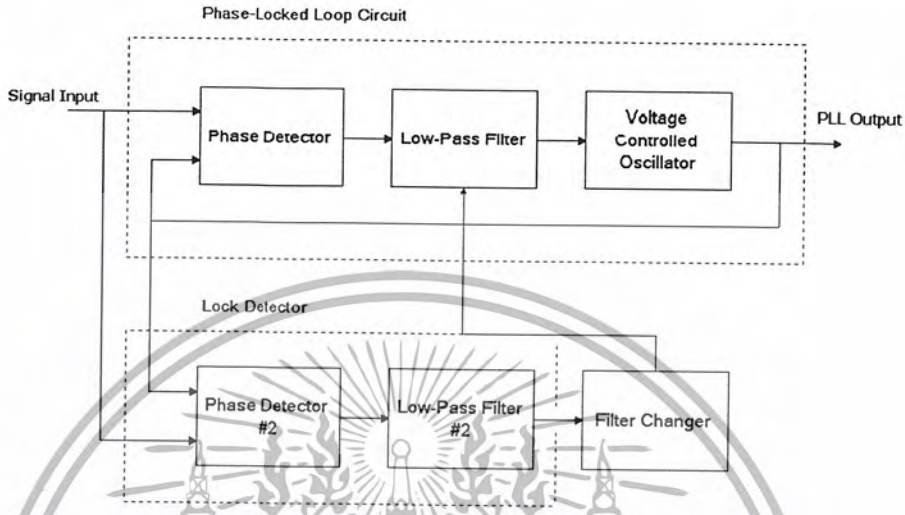
อย่างไรก็ตามหลักการนี้มีการออกแบบที่ซับซ้อนกว่าและทำให้เกิดความผิดพลาดได้ อีกวิธีหนึ่งจะกำหนดให้เฟสล็อคลูปอยู่ในแบนด์วิดธ์ที่กว้างในสภาวะเริ่มทำงานเพื่อผลในการล็อคที่รวดเร็วและจะเปลี่ยนไปเป็นแบนด์วิดธ์ที่แคบกว่าในทันทีที่เฟสล็อคลูปอยู่ในสภาวะที่ล็อคแล้วเพื่อเพิ่มความทนทานต่อสัญญาณรบกวนที่เข้ามาซึ่งถูกพิจารณาไว้เรียบร้อยแล้วว่าวงจรฟิลเตอร์สามารถทนทานต่อสัญญาณรบการที่รับเข้ามาเป็นช่วงเวลา (noise period) ขนาดเท่าใด ซึ่งองค์ประกอบสำคัญมีสองส่วนคือ

1. ส่วนตรวจจับการล็อคสัญญาณของเฟสล็อคลูป
2. ส่วนควบคุมการเปลี่ยนแบนด์วิดธ์ของฟิลเตอร์

4.2 ส่วนตรวจจับการล็อคของเฟสล็อคลูป (Lock Detector)

เป็นส่วนที่ตรวจสอบว่าเฟสล็อคลูปนั้นอยู่ในสภาวะล็อคสัญญาณแล้วหรือไม่ โดยจะใช้วงจรส่วนเฟสดีเทคเตอร์อีกส่วนหนึ่ง(Phase Detector #2)เพื่อเปรียบเทียบเฟสระหว่างอินพุทและเอาท์พุท และส่งผ่านวงจรฟิลเตอร์(Low-Pass Filter #2) ที่ออกแบบโดยใช้ชนิด CR network โดยกำหนดให้มีค่าคงตัวเวลาที่ต่ำ (time constant) เพื่อให้มีการตอบสนองต่อสัญญาณที่เร็ว เพื่อผลการตรวจจับการล็อคที่รวดเร็ว ซึ่งสัญญาณที่ผ่านออกมาจากฟิลเตอร์แล้วจะมีค่าแรงดันไฟฟ้าใกล้เคียง 0 โวลท์เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อค และเมื่อเฟสล็อคลูปอยู่ในสภาวะที่ยังไม่ล็อคสัญญาณ สัญญาณที่ผ่านออกมาจากฟิลเตอร์จะมีค่าแรงดันไฟฟ้าใกล้เคียงแรงดันจากแหล่งจ่ายไฟฟ้าซึ่งก็คือ 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงส่วนต่างๆของเฟสล็อคลูปและวงจรลดสัญญาณรบกวน

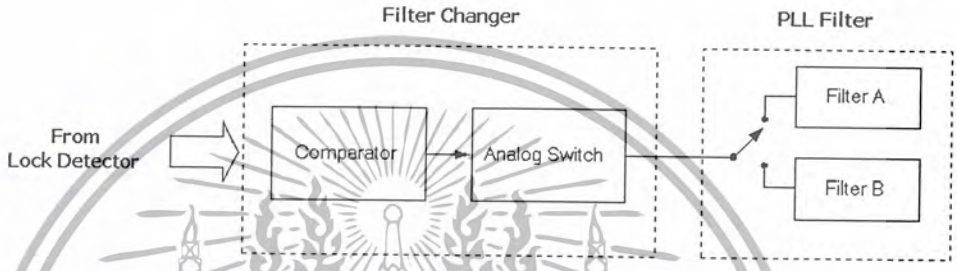
อย่างไรก็ตามสัญญาณตรวจจับการล็อคที่ได้จากส่วนล็อคดีเทคเตอร์นี้ยังไม่ราบเรียบเท่าที่ควร เนื่องจากมีส่วนประกอบของเฟสที่ไม่ต้องการเกิดจากการที่ฟิลเตอร์กรองสัญญาณได้ไม่เรียบเนื่องจากมีค่าคงตัวเวลาที่ต่ำซึ่งให้ผลการตอบสนองที่เร็ว ดังนั้นจึงต้องนำสัญญาณที่ได้ผ่านวงจรคอมพาราเตอร์ (Comparator) เพื่อปรับคุณภาพสัญญาณให้อยู่ในรูปลอจิก และส่งไปยังส่วนต่อไปซึ่งก็คือส่วนควบคุมการเปลี่ยนแบนด์วิดธ์ซึ่งต้องการสัญญาณควบคุมที่อยู่ในรูปของลอจิก เพื่อผลในการทำงานที่ถูกต้องกว่า

4.3 ส่วนควบคุมการเปลี่ยนฟิลเตอร์ (Filter Changer)

ส่วนนี้จะรับสัญญาณที่มาจากส่วนล็อคดีเทคเตอร์ซึ่งผ่านฟิลเตอร์(Filter #2)แล้ว ภายในส่วนนี้จะมีวงจรคอมพาราเตอร์ซึ่งจะทำหน้าที่ปรับระดับแรงดันดังกล่าวให้อยู่ในรูปของลอจิกกล่าวคือ เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะที่ยังไม่ล็อคสัญญาณวงจรคอมพาราเตอร์จะให้ลอจิก “0” และจะให้ลอจิก “1”เมื่ออยู่ในสภาวะล็อคสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณลอจิกที่ได้จากคอมพาราเตอร์จะเป็นอินพุทของส่วนอนาลอกสวิตช์(Analog Switch) ส่วนนี้จะทำหน้าที่เปลี่ยนการทำงานของฟิลเตอร์ของเฟสล็อคลูปจากวงจรหนึ่งไปเป็นอีกวงจรหนึ่ง โดยจะเลือก Filter A เมื่อได้รับลอจิก "0" (สภาวะไม่ล็อคสัญญาณ) และจะเลือก Filter B เมื่อได้รับลอจิก "1" หรือในสภาวะล็อคสัญญาณแล้ว



รูปที่ 4.2 แสดงส่วนต่างๆของวงจรเปลี่ยนฟิลเตอร์ของเฟสล็อคลูป (Filter Changer)

จากรูปที่ 4.2 กำหนดให้ Filter A เป็นฟิลเตอร์ที่มีแบนด์วิดธ์กว้าง ซึ่งจะมีคุณสมบัติที่ดีในการล็อคสัญญาณที่เร็วแต่จะมีข้อเสียเพราะจะไม่มีความทนทานต่อสัญญาณรบกวน

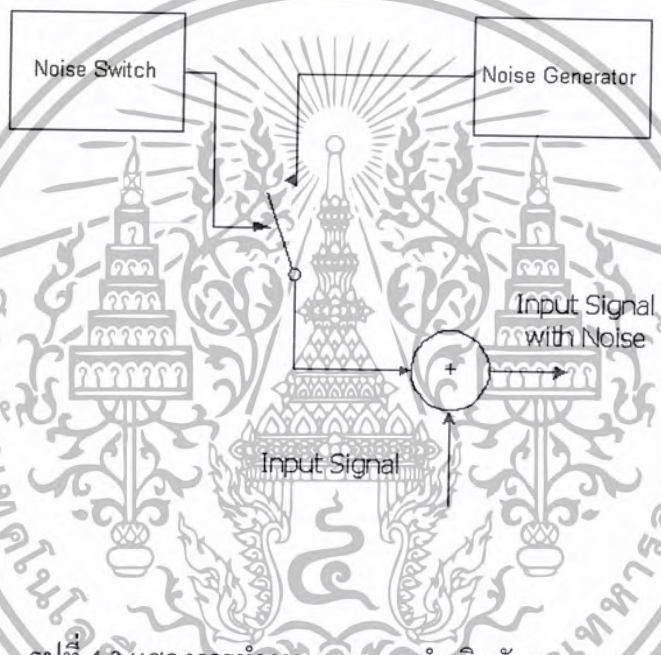
Filter B เป็นฟิลเตอร์ที่มีแบนด์วิดธ์แคบซึ่งจะมีคุณสมบัติมีความทนทานต่อสัญญาณรบกวนดีกว่า(สามารถลดสัญญาณรบกวนลงได้และที่ช่วงเวลา 0 ถึง 35 uSec จะสามารถกำจัดสัญญาณรบกวนได้หมด) เนื่องจากมีแบนด์วิดธ์แคบกว่า Filter A แต่ฟิลเตอร์นี้ไม่เหมาะสมที่จะใช้งานในสภาวะเริ่มต้นของการทำงานของเฟสล็อคลูปเนื่องจากจะทำการล็อคสัญญาณได้ช้ากว่า Filter A

ในสภาวะเริ่มต้นเมื่อวงจรเฟสล็อคลูปเริ่มทำงานสัญญาณ(เฟสและความถี่) ที่ได้จากเอาท์พุทจะไม่ตรงกับสัญญาณจากอินพุท(ยังไม่ล็อคสัญญาณ) ส่วนตรวจจับการล็อคสัญญาณ (Lock Detector) จะตรวจพบและส่งสัญญาณไปให้กับส่วนควบคุมการเปลี่ยนฟิลเตอร์ (Filter Changer) ซึ่งจะเลือก Filter A เพื่อให้สามารถล็อคสัญญาณได้รวดเร็ว และเมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคสัญญาณแล้วส่วนตรวจจับการล็อคสัญญาณ(Lock Detector)จะตรวจพบและส่งสัญญาณไปให้กับส่วนควบคุมการเปลี่ยนฟิลเตอร์ซึ่งจะเลือก Filter B เพื่อให้มีความทนทานต่อสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรกำเนิดสัญญาณรบกวนแบบช่วงเวลาเพื่อการทดสอบ (Noise Period Generator)

เป็นวงจรที่ทำหน้าที่กำเนิดสัญญาณรบกวนให้แก่วงจรเฟสล็อคลูป โดยจะให้สัญญาณรบกวนออกมาเป็นระยะเวลาต่างๆซึ่งสามารถกำหนดได้โดยการเลือกระยะเวลาที่ต้องการให้สัญญาณรบกวนถูกปล่อยเข้าสู่อินพุทของเฟสล็อคลูป

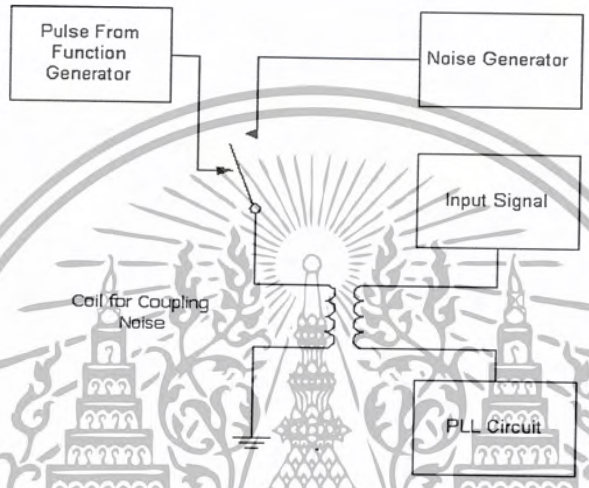


รูปที่ 4.3 แสดงการทำงานของวงจรกำเนิดสัญญาณรบกวน

จากรูปที่ 4.3 แสดงถึงวงจรกำเนิดสัญญาณรบกวนเป็นช่วงเวลา มีองค์ประกอบหลัก 2 ส่วนคือ ส่วนกำเนิดสัญญาณรบกวนและส่วนทำหน้าที่กำหนดช่วงเวลาของสัญญาณรบกวน ส่วนกำเนิดสัญญาณรบกวน (Noise Signal Generator) จะให้กำเนิดสัญญาณรบกวนที่มีความสูงทั้งแอมปลิจูดและความถี่ออกมาตลอดเวลาซึ่งจะถูกควบคุมช่วงเวลาในการปล่อยสัญญาณรบกวนนี้เข้าสู่วงจรเฟสล็อคลูป โดยส่วนทำหน้าที่กำหนดช่วงเวลาซึ่งใช้หลักการสวิตช์ต่อสัญญาณรบกวนเพื่อจ่ายเข้าสู่อินพุทของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

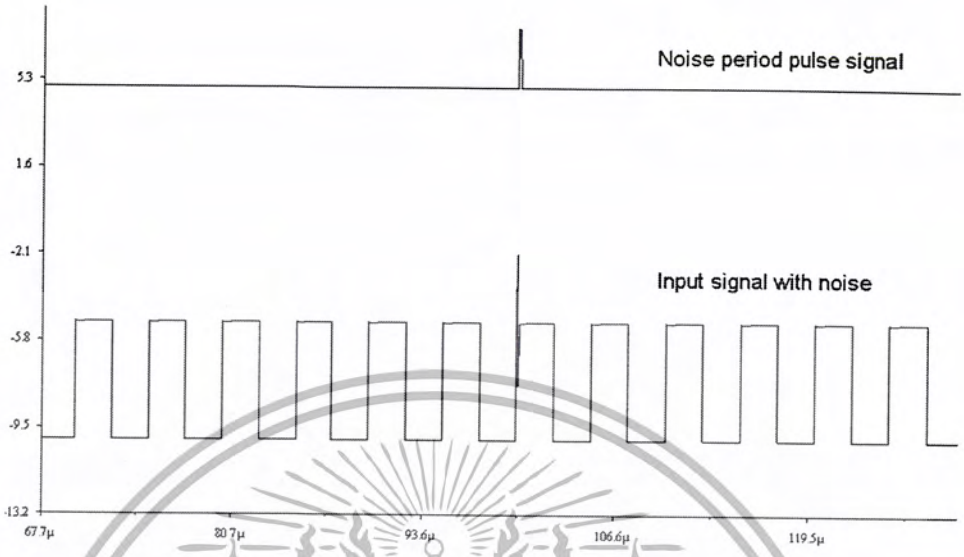
ในกรณีนี้จะใช้อนาลอกสวิตช์ (Analog Switch) เป็นตัวปล่อยสัญญาณรบกวน ซึ่งจะควบคุมการปล่อยสัญญาณรบกวน โดยสัญญาณพัลซ์จากฟังก์ชั่นเจนเนอร์เรเตอร์ซึ่งสามารถกำหนดคาบเวลาได้ตามที่เราต้องการ



รูปที่ 4.4 แสดงการใช้ขดลวด (Coil) เพื่อป้อนสัญญาณรบกวน

ในการทดลองจะทำการปล่อยสัญญาณรบกวนเข้าสู่วงจรเฟสล็อคลูปโดยผ่านคอยล์เพื่อรวมสัญญาณรบกวนเข้ากับสัญญาณอินพุทของเฟสล็อคลูปเพื่อผลในการรบกวนที่สูงกว่าการต่อสัญญาณรบกวนเข้าไปที่อินพุทของเฟสล็อกลูปโดยตรง จะได้สัญญาณอินพุทที่มีการรบกวนเป็นช่วงเวลา นำไปใช้ทดสอบความทนทานต่อสัญญาณรบกวนของเฟสล็อคลูปได้

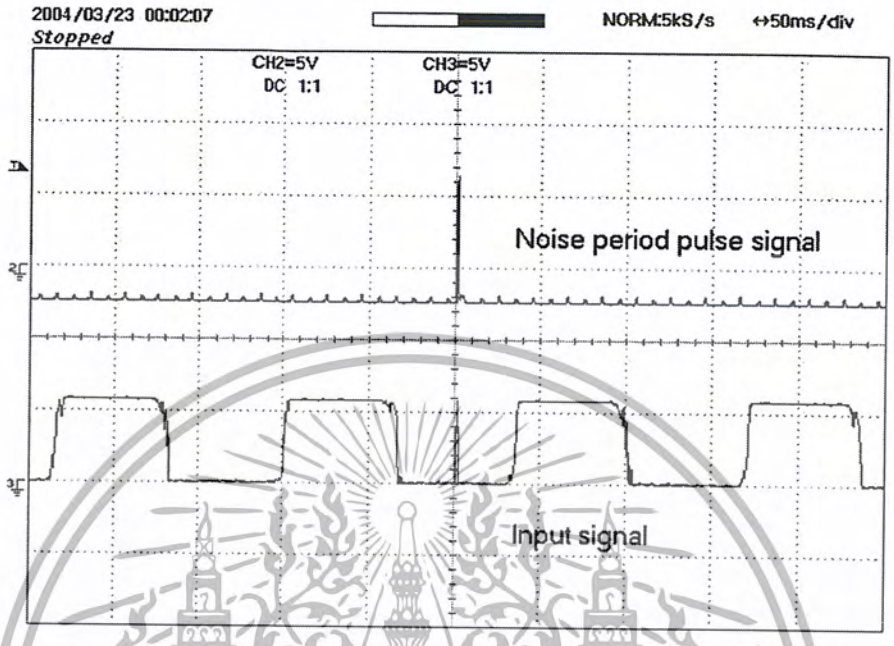
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 การจำลองผลสัญญาณรบกวนที่ได้จากวงจรกำเนิดสัญญาณรบกวนแบบช่วงเวลา

จากรูปที่ 4.5 เป็นผลที่ได้จากการจำลองผลโดยโปรแกรม Multi Sim ซึ่งกำหนดให้สัญญาณอินพุทเป็นคลื่นสี่เหลี่ยม (Square Wave) มีความถี่ 200 kHz ขนาด 5 Vpp และสัญญาณรบกวนเป็นสัญญาณความถี่สูงมีขนาดและความถี่ไม่แน่นอน และให้ระยะเวลาที่สัญญาณรบกวนดังกล่าวถูกปล่อยเข้าสู่วงจรเป็น 0.1 µSec ซึ่งสัญญาณอินพุทจะถูกรบกวนและมีลักษณะดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงสัญญาณรบกวนที่ได้จากวงจรกำเนิดสัญญาณรบกวนแบบช่วงเวลาในทางปฏิบัติ

จากรูปที่ 4.6 เป็นผลที่ได้ในทางปฏิบัติ เมื่อกำหนดสัญญาณอินพุทเป็นสัญญาณสี่เหลี่ยม (Square Wave) มีความถี่ 200 kHz ขนาด 5 Vpp และสัญญาณรบกวนเป็นสัญญาณความถี่สูงมีขนาดและความถี่ไม่แน่นอน และให้ระยะเวลาที่สัญญาณรบกวนดังกล่าว ถูกปล่อยเข้าสู่วงจรเป็นระยะเวลา 1 mSec ซึ่งสัญญาณอินพุทจะถูกรบกวนและมีลักษณะดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

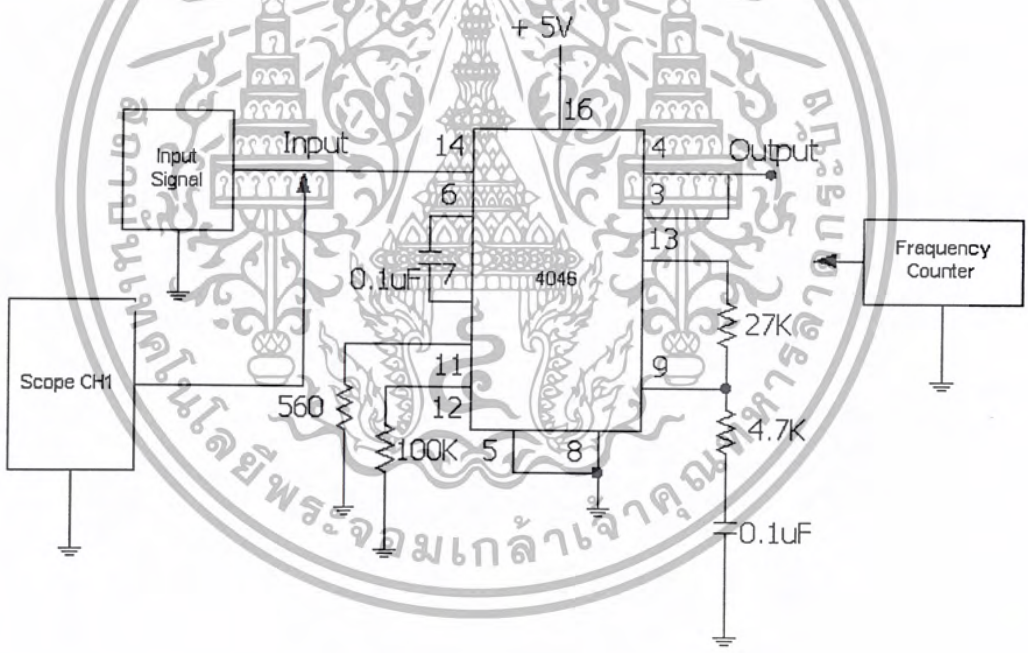
บทที่ 5

การทดลองและผลการทดลอง

5.1 ผลการทดสอบโลว์พาสฟิลเตอร์ต่อสัญญาณรบกวนตลอดเวลา

ทำการทดลองโดยต่อวงจรดังรูปและทำการเปลี่ยนค่าตัวเก็บประจุที่ฟิลเตอร์ (Filter Capacitor) ของเฟสล็อคลูปโดยใช้ค่าเป็น 0.1 μF และ 1 μF ได้ผลการทดลองดังนี้

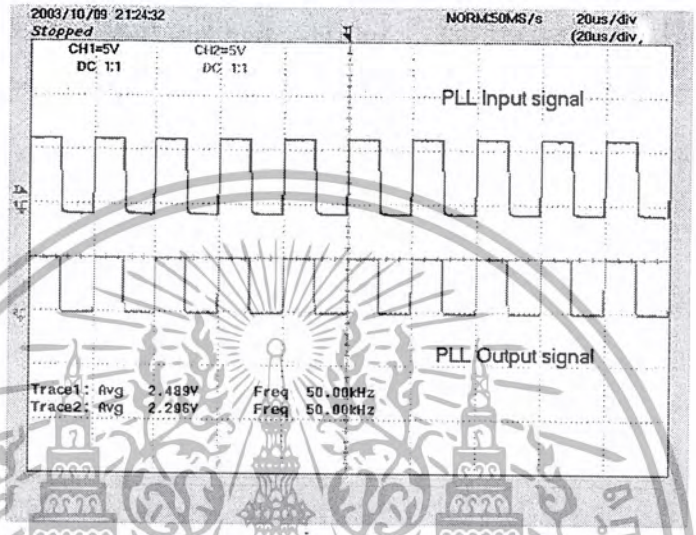
1. จากวงจรที่ 1 ใช้ค่า C ขนาด 0.1 μF ที่ความถี่อ้างอิง 50 KHz



รูปที่ 5.1 วงจรเฟสล็อคลูป โดยใช้ไอซีสำเร็จรูป 4046 ร่วมกับโลว์พาสฟิลเตอร์

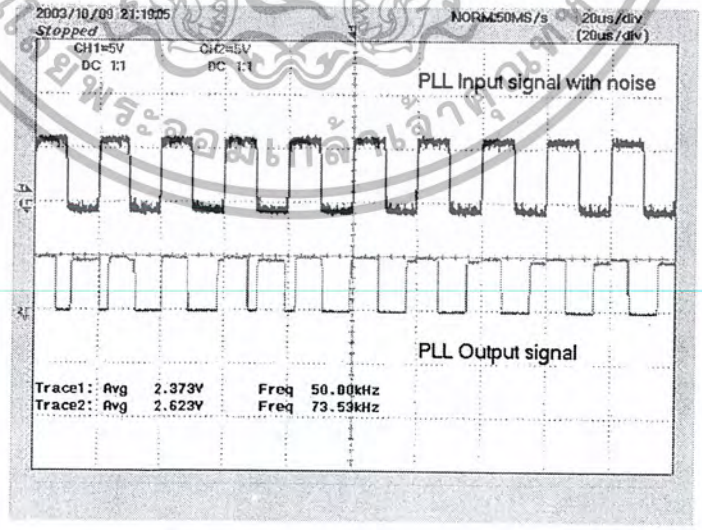
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองจะทำให้ทราบถึงคุณสมบัติในการกำจัดสัญญาณรบกวนเมื่อถูกรบกวนตลอดเวลา ซึ่งเฟสล็อคลูปจะยังคงล็อคสัญญาณอยู่ได้และยังได้สัญญาณจากเฟสล็อคลูปเอาท์พุทที่ปราศจากสัญญาณรบกวนอีกด้วย จากรูปที่ 5.2 จะเห็นว่าเฟสจะล็อคซึ่งเป็นไปตามพฤติกรรมของวงจรเฟสล็อคลูป



รูปที่ 5.2 แสดงผลการล็อคสัญญาณของวงจรเฟสล็อคลูป

เมื่อทำการคัปปลิ้งสัญญาณรบกวนความถี่สูงขนาด 4 Vp-p เข้าที่สัญญาณอ้างอิงจะได้ ผลการทดลองดังรูป

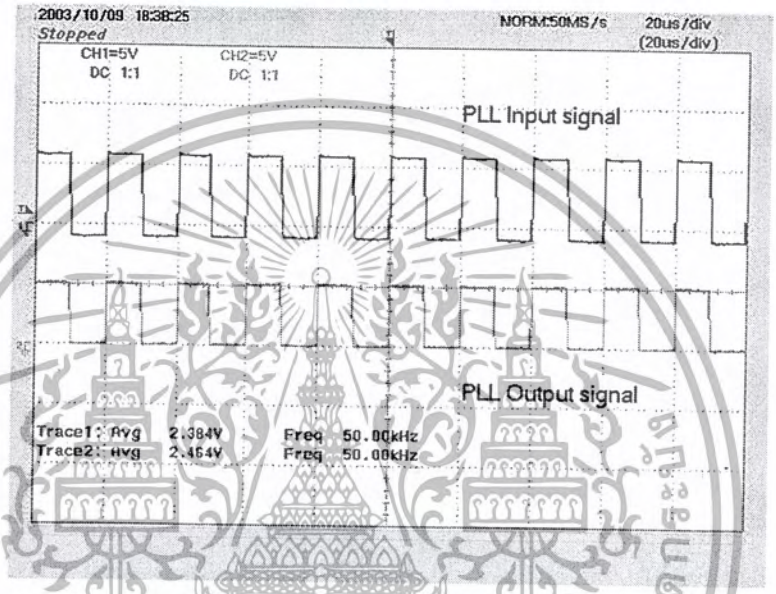


รูปที่ 5.3 แสดงผลของวงจรเฟสล็อคลูปเมื่ออยู่ในสภาวะถูกสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.3 จะเห็นว่าเมื่อมีสัญญาณรบกวน เฟสจะไม่สามารถล็อคอยู่ได้และหลุดออกจากช่วงล็อคไป

2. ทำการเปลี่ยนค่า C ฟิลเตอร์จาก 0.1 μF เป็นค่า 1 μF ที่ความถี่อ้างอิง 50 KHz จะได้ผลการทดลองดังรูป

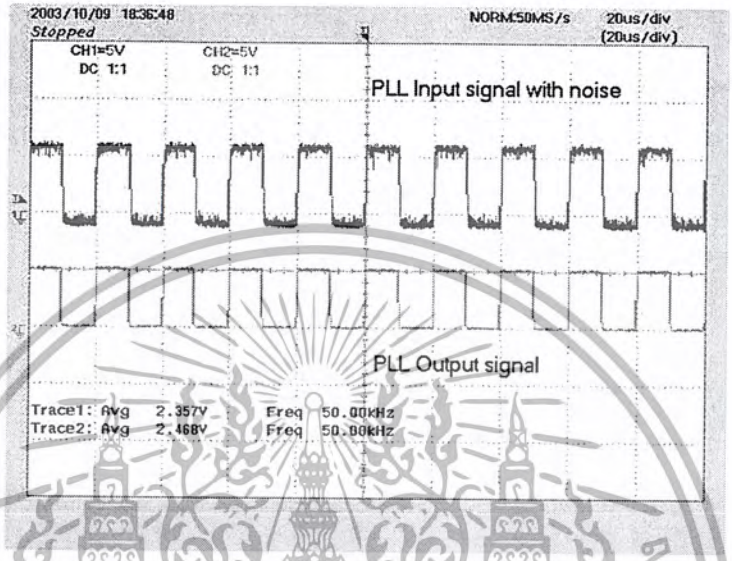


รูปที่ 5.4 แสดงผลการล็อคสัญญาณเมื่อทำการเปลี่ยนค่าตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.4 จะเห็นว่าเฟสจะล็อคซึ่งเป็นไปตามพฤติกรรมของวงจรเฟสล็อคลูป

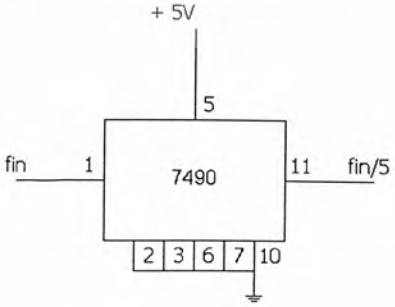
เมื่อทำการป้อนสัญญาณรบกวนขนาด 4 Vp-p เข้าที่สัญญาณอ้างอิงความถี่ 50 KHz จะได้ผลการทดลองดังรูปที่ 5.5



รูปที่ 5.5 แสดงผลวงจรเฟสล็อคลูปที่สามารถกำจัดสัญญาณรบกวน

จากการทดลองจะเห็นว่าเฟสยังคงล็อคอยู่โดยที่สัญญาณเอาท์พุทจะปราศจากสัญญาณรบกวน

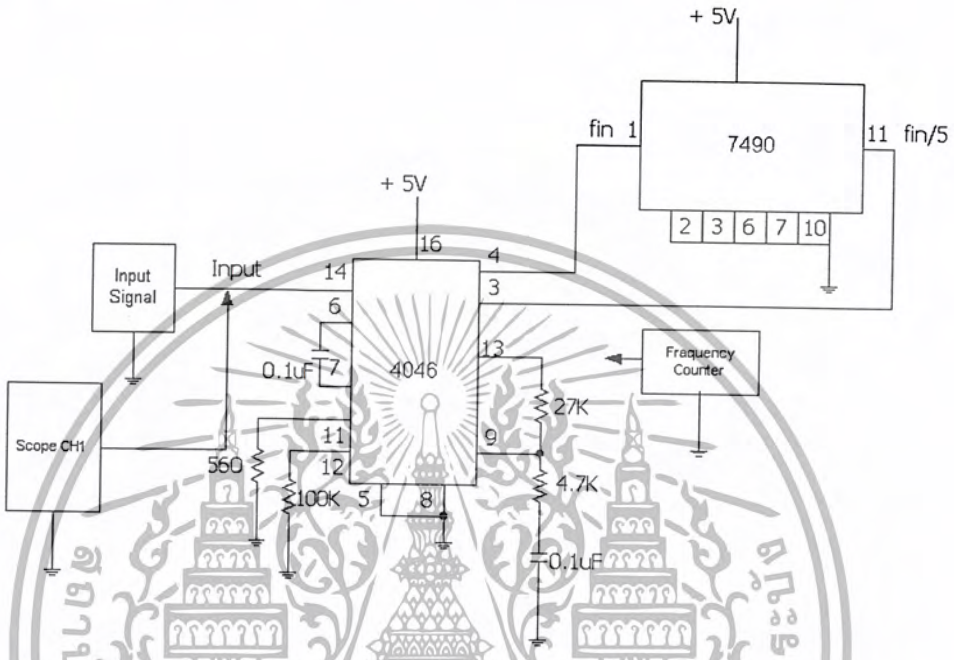
ในกรณีที่ต้องการความถี่สูงไปใช้งานเราสามารถเพิ่มวงจรหารความถี่ n ค่าเข้าไปที่ฟีดแบคพาท (Feed Back Path) ของเฟสล็อคลูปเพื่อให้ความถี่เอาท์พุทเพิ่มขึ้นจนเป็นจำนวนคูณด้วย n ซึ่งเราสามารถกำหนดได้ว่าต้องการความถี่ขนาดเท่าใดไปใช้งาน ในที่นี้จะทำการใส่ด้วยวงจรหาร 5 ซึ่งกำหนดโดยไอซี 7490 มีลักษณะดังรูป



รูปที่ 5.6 แสดงวงจรหารความถี่ด้วยค่า 5 โดยไอซี 7490

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

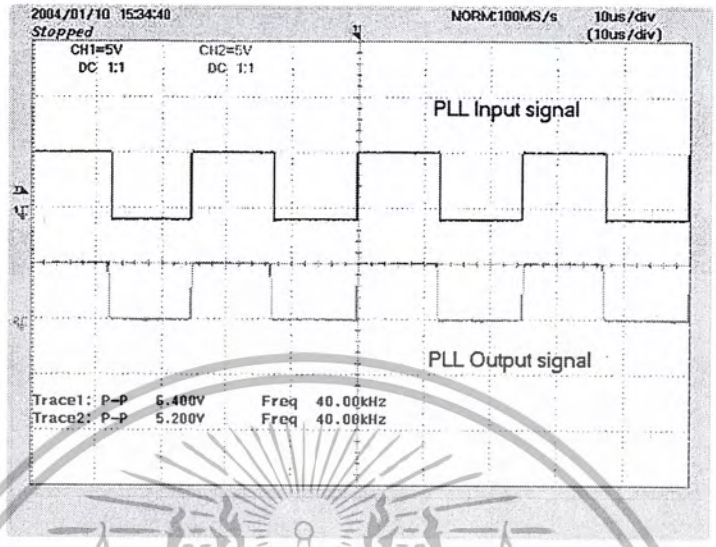
จากรูปที่ 5.6 เป็นการนำไอซี 7490 มาประยุกต์ใช้โดยต่อวงจรให้เป็นชนิดหารด้วยค่า 5 ซึ่งความถี่ที่ผ่านวงจรนี้ไปจะมีค่าถูกหารด้วย 5 ซึ่งเมื่อนำมาต่อเข้ากับฟีดแบคพาท (Feed Back Path) ของเฟสล็อคลูปจะมีลักษณะเป็น



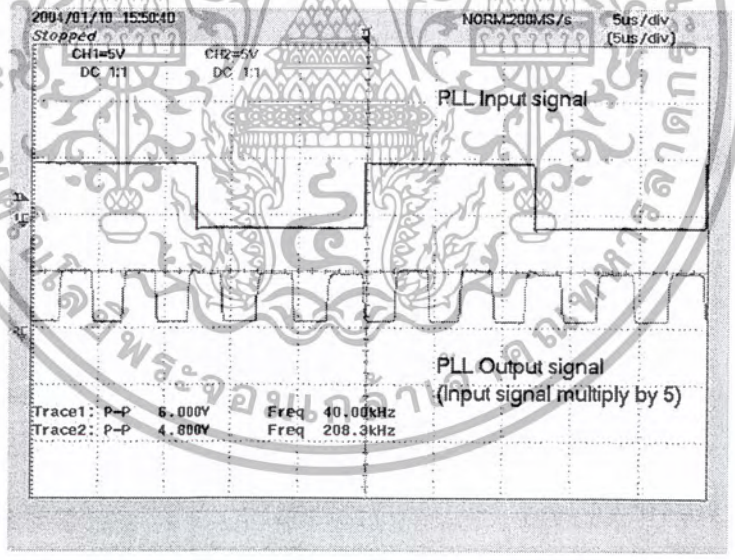
รูปที่ 5.7 แสดงการต่อวงจรหาร 5 ของไอซี 7490 เข้าที่ฟีดแบคพาทของวงจรเฟสล็อคลูป

เมื่อต่อวงจรหาร 5 เข้าไปที่ฟีดแบคพาทของเฟสล็อคลูปแล้ว ความถี่ที่ได้จากเฟสล็อคลูปเอาท์พุทจะเพิ่มเป็น 5 เท่าของความถี่อินพุท ทำการทดสอบโดยให้ความถี่อินพุทของเฟสล็อคลูปเป็น 40 kHz ขนาด 5 Vpp จะเห็นว่าความถี่เอาท์พุทของเฟสล็อคลูปจะมีค่าประมาณ 5 เท่าของความถี่อินพุทซึ่งจะวัดได้ประมาณ 200 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 แสดงความถี่ก่อนการใส่วงจรหาร 5 ด้วยไอซี 7490 ความถี่เอาท์พุทจะเท่ากับอินพุท



รูปที่ 5.9 แสดงความถี่เอาท์พุทหลังจากใส่วงจรหาร 5 ซึ่งมีค่าประมาณ 5 เท่าของความถี่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการหาค่าเกนในระบบเฟสล็อคลูป

1. หาค่าเกน VCO ($K\phi$) โดยป้อนแรงดัน DC ค่าต่างๆเข้าที่ VCO อินพุท (ขา 9 ของไอซี CD4046) และวัดความถี่ที่ VCO เอาท์พุท (ขา 4 ของไอซี CD4046) ในย่านแรงดัน DC ค่า 1 ถึง 5 โวลท์ ได้ผลการทดสอบดังตารางที่ 5.1

Input DC Voltage (Volt)	Frequency (Hz)
1	44.05k
2	144.9k
3	227.3k
4	303.6k
5	333.33k

ตารางที่ 5.1 แสดงความถี่ที่ได้จาก VCO เอาท์พุทเมื่อจ่ายแรงดัน DC เข้าที่ VCO อินพุท

จากตารางที่ 5.1 เราจะสามารถคำนวณค่าเกน VCO ได้จาก

$$K\phi = \frac{\Delta f}{\Delta v} = \frac{333.33k - 44.05k}{5-1} = 72.32kHz/V$$

2. หาค่าเกนของเฟสดีเทคเตอร์ K_d โดยการวัดค่าแรงดัน DC เอาท์พุทจากเฟสดีเทคเตอร์ (V_d) ซึ่งจะแปรค่าตาม Phase Error (θ_e) ที่ได้จากค่าความต่างของเฟสที่อินพุททั้งสองของเฟสดีเทคเตอร์ ได้ผลการทดสอบดังตารางที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

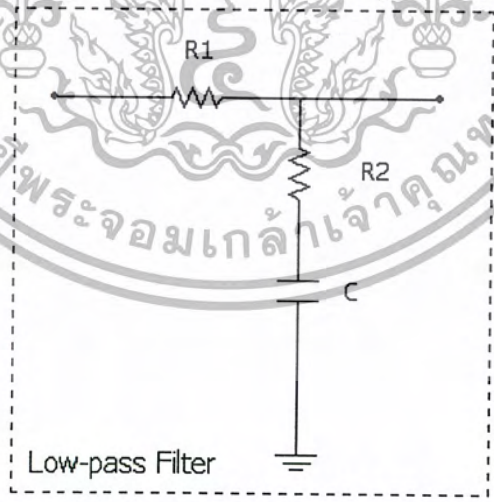
θ_e (Degree)	Vd (Volt)
0	0
90	1.282
180	2.486
270	3.784
360	4.894

ตารางที่ 5.2 แสดงการเปลี่ยนแปลงของ Phase Error (θ_e) ต่อโวลท์เตจที่เฟสดีเทคเตอร์ (V_d)

จากตารางที่ 5.2 เราจะสามารถคำนวณค่าเกนของเฟสดีเทคเตอร์ ได้จาก

$$Kd = \frac{\Delta Vd}{\Delta \theta_e} = \frac{4.894 - 1.282}{2\pi - \frac{\pi}{2}} = 0.7665V / Rad$$

3. พิจารณาค่า Transfer Function ของโลว์พาสฟิลเตอร์ทั้ง 2 ซึ่งเป็นพาสซีฟฟิลเตอร์



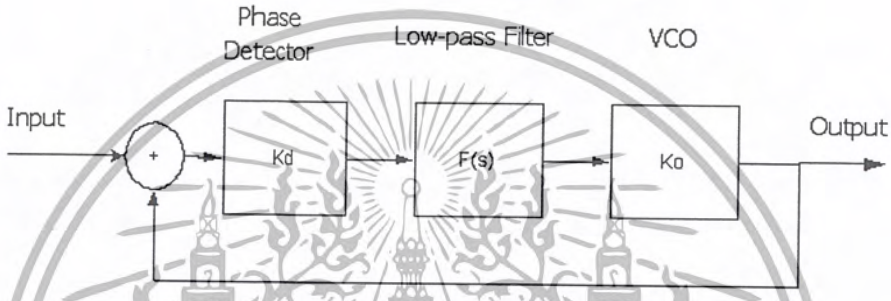
รูปที่ 5.10 แสดงวงจร Low-pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทรานส์เฟอร์ฟังก์ชั่นของโลว์พาสฟิลเตอร์คือ

$$F(s) = \frac{R_2CS + 1}{(R_1 + R_2)CS + 1}$$

พิจารณาทรานส์เฟอร์ฟังก์ชั่นของระบบเฟสล็อคลูป



รูปที่ 5.11 บล็อคไดอะแกรมแสดงค่าเกนของระบบเฟสล็อคลูป

โดยที่ Close-loop Transfer function ของระบบเฟสล็อคลูปคือ

$$TF = \frac{K_d F(s)\dfrac{K_\phi}{S}}{1 + K_d F(s)\dfrac{K_\phi}{S}}$$

และในระบบอันดับสอง

$$TF = \frac{K_d K_\phi (CSR_2 + 1)}{(R_1 + R_2)CS^2 + (K_d K_\phi CR_2 + 1)S + K_d K_\phi}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{K_d K_\phi (CSR_2 + 1)}{(R_1 + R_2)CS^2 + (K_d K_\phi CR_2 + 1)S + K_d K_\phi} = \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2}$$

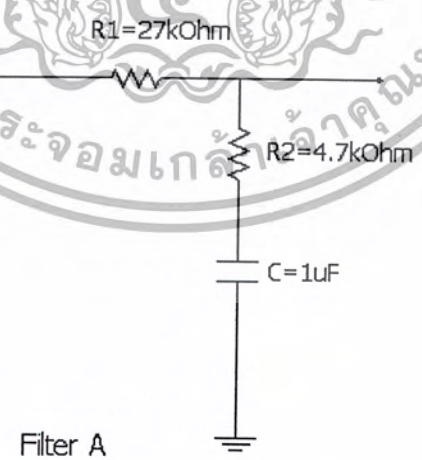
โดยที่

$$\omega_n = \sqrt{\frac{K_d K_\phi}{(R_1 + R_2)C}}$$

และ

$$\xi = \frac{K_d K_\phi CR_2 + 1}{2\omega_n (R_1 + R_2)C}$$

3.1 พิจารณาวงจรฟิลเตอร์ที่ 1 (Filter A) ซึ่งถูกออกแบบมาให้สามารถล็อคสัญญาณได้รวดเร็ว



รูปที่ 5.12 แสดงวงจร Filter แบบ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรฟิลเตอร์นี้จะมีค่าทรานส์เฟอร์ฟังก์ชั่นของฟิลเตอร์คือ

$$F(s) = \frac{R_2CS + 1}{(R_1 + R_2)CS + 1} = \frac{148.265 \times 10^{-3}(S + 212.766)}{S + 31.5457}$$

นำทรานส์เฟอร์ฟังก์ชั่นของฟิลเตอร์มาเทียบกับทรานส์เฟอร์ฟังก์ชั่นของ First – order

$$F(s) = \frac{K(1 + s\tau_1)}{1 + s\tau_2}; K = 1$$

จะได้

$$\tau_1 = R_2C$$

$$\tau_2 = C(R_1 + R_2)$$

นำค่า τ_2 มาพิจารณาหาคัทออฟฟรีเควนซี่ของฟิลเตอร์แบบ A

$$2\pi f = \omega = \frac{1}{\tau_2}$$

$$f_c = \frac{1}{2\pi C(R_1 + R_2)}$$

$$f_c = \frac{1}{2\pi(1\mu F)(27k\Omega + 4.7k\Omega)}$$

$$\therefore \quad f_c = 5.0206 \quad \text{Hz}$$

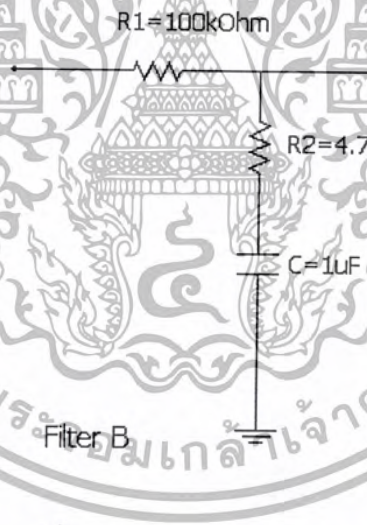
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และพิจารณาทรานส์เฟอร์ฟังก์ชั่นรวมของระบบเฟสล็อคลูปจะได้

$$TF = \frac{K_d K_\phi (CSR_2 + 1)}{(R_1 + R_2)CS^2 + (K_d K_\phi CR_2 + 1)S + K_d K_\phi}$$

$$TF_{Filter1} = \frac{8.21881 \times 10^3 (S + 212.766)}{S^2 + 8.25036 \times 10^3 S + 1.74868 \times 10^6}$$

3.2 พิจารณาวงจรฟิลเตอร์ที่ 2 (Filter B)ซึ่งถูกออกแบบมาให้มีความทนทานต่อสัญญาณรบกวนได้ดีกว่าวงจรฟิลเตอร์ที่ 1



รูปที่ 5.13 แสดงวงจร Filter แบบ B

จากวงจรฟิลเตอร์นี้จะมีค่าทรานส์เฟอร์ฟังก์ชั่นของฟิลเตอร์คือ

$$F(s) = \frac{R_2 CS + 1}{(R_1 + R_2)CS + 1} = \frac{44.8902 \times 10^{-3}(S + 212.766)}{S + 9.5511}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำทรานส์เฟอร์ฟังก์ชั่นของฟิลเตอร์มาเทียบกับทรานส์เฟอร์ฟังก์ชั่นของ First – order

$$F(s)=\frac{K(1+s\tau_1)}{1+s\tau_2};K=1$$

จะได้

$$\tau_1 = R_2C$$

$$\tau_2 = C(R_1+R_2)$$

นำค่า τ_2 มาพิจารณาหาคัทออฟฟรีเควนซี่ของฟิลเตอร์แบบ B

$$2\pi f = \omega = \frac{1}{\tau_2}$$

$$f_c = \frac{1}{2\pi C(R_1+R_2)}$$

$$f_c = \frac{1}{2\pi(1\mu F)(100k\Omega+4.7k\Omega)}$$

$$\therefore \quad f_c = 1.5201 \text{ Hz}$$

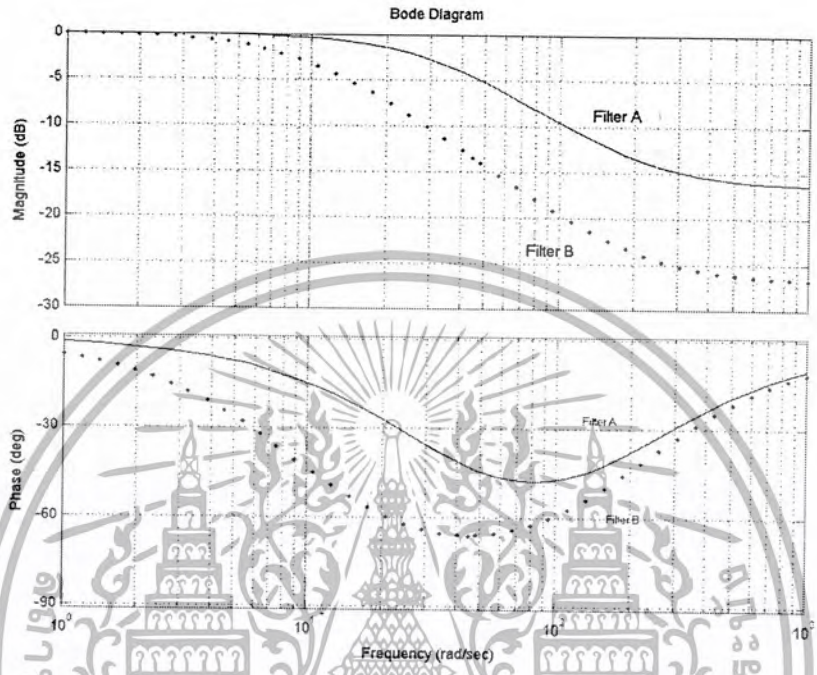
และพิจารณาทรานส์เฟอร์ฟังก์ชั่นรวมของระบบเฟสล็อคลูปจะได้

$$TF = \frac{K_dK_\phi(CSR_2+1)}{(R_1+R_2)CS^2+(K_dK_\phi CR_2+1)S+K_dK_\phi}$$

$$TF_{Filter2} = \frac{2.48841\times10^3(S+212.766)}{S^2+2.49796\times10^3S+529.449\times10^3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทรานส์เฟอร์ฟังก์ชั่นของวงจรฟิลเตอร์ทั้ง 2 แบบสามารถพิจารณาโดยแสดงให้เห็นถึงผลการตอบสนองความถี่ที่แตกต่างกันดังกราฟ



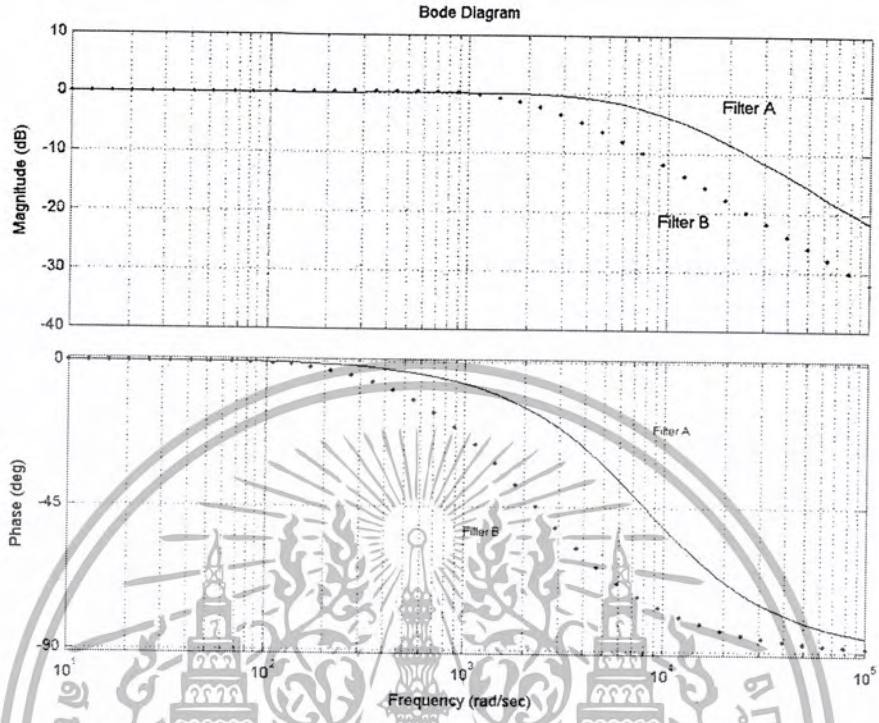
รูปที่ 5.14 แสดงผลตอบสนองความถี่ของฟิลเตอร์ทั้ง 2 แบบ

จากกราฟรูปที่ 5.14 แสดงผลการตอบสนองความถี่เปรียบเทียบระหว่างฟิลเตอร์ทั้ง 2 แบบ เส้นทึบ(เส้นบน) แสดงถึงฟิลเตอร์วงจรที่ 1 (Filter A) และเส้นประ(เส้นล่าง) แสดงถึงฟิลเตอร์วงจรที่ 2 (Filter B) จะเห็นว่า Filter B จะมีแบนด์วิดธ์ที่แคบลง ซึ่งจะทำให้คุณสมบัติที่ทนต่อสัญญาณรบกวนมากขึ้นเมื่อนำไปใช้ในวงจรเฟสล็อคลูปจะส่งผลให้เฟสล็อคลูปมีความทนทานต่อสัญญาณรบกวนมากขึ้นด้วย และฟิลเตอร์ Filter A จะมีแบนด์วิดธ์ที่กว้างกว่าสามารถตอบสนองต่อการเปลี่ยนแปลงที่อินพุทได้รวดเร็วเมื่อนำไปใช้ในวงจรเฟสล็อคลูปจะส่งผลให้เฟสล็อคลูปสามารถติดตามสัญญาณอินพุทและล็อคสัญญาณได้รวดเร็วกว่า

เมื่อนำวงจรฟิลเตอร์ทั้ง 2 แบบนี้ไปใช้ในวงจรเฟสลล็อคลูป เมื่อคำนวณหาทรานส์เฟอร์ฟังก์ชั่นจะได้ทรานส์เฟอร์ฟังก์ชั่นอีกรูปแบบหนึ่งซึ่งเป็นการวิเคราะห์จากระบบเฟสล็อคลูปรวมซึ่งแสดงดังสมการข้างต้น

จากทรานส์เฟอร์ฟังก์ชั่นของวงจรเฟสล็อคลูปที่ใช้ฟิลเตอร์ทั้ง 2 แบบสามารถพิจารณาโดยแสดงให้เห็นถึงผลการตอบสนองความถี่ที่แตกต่างกันได้ดังกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



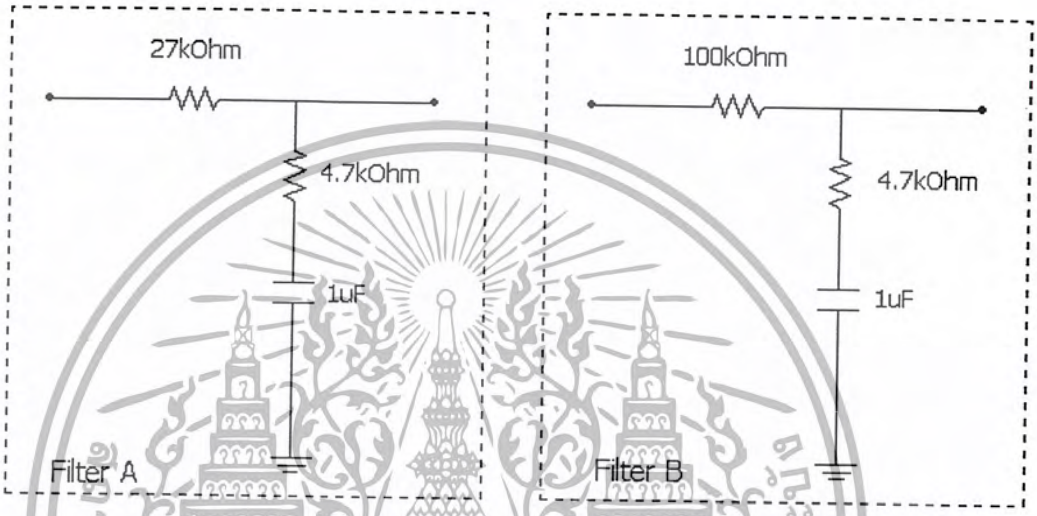
รูปที่ 5.15 แสดงผลตอบสนองความถี่ของเฟสล็อคลูปเมื่อใช้ฟิลเตอร์ทั้ง 2 แบบ

จากกราฟเส้นทึบ(เส้นบน)แสดงถึงผลการตอบสนองความถี่ของวงจรเฟสล็อคลูปเมื่อใช้ฟิลเตอร์วงจรที่ 1 (Filter A) และเส้นประ(เส้นล่าง)แสดงถึงผลตอบสนองความถี่ของเฟสล็อคลูปเมื่อใช้ฟิลเตอร์วงจรที่ 2 (Filter B) จะเห็นว่าแบนด์วิดธ์ของระบบเฟสล็อคลูปแคบลงแสดงถึง วงจรเฟสล็อคลูปมีความสามารถทนต่อสัญญาณรบกวนมากขึ้นเพราะสัญญาณรบกวนความถี่สูงจะถูกกำจัดหรือลดทอนลงไป

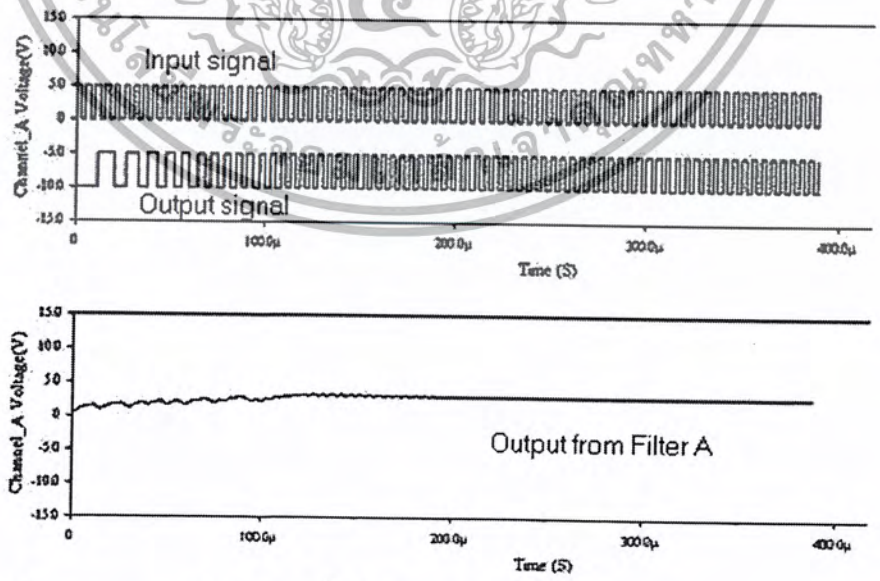
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ผลการทดลองจากการจำลองผลโดยโปรแกรม MultiSim

ทำการทดสอบความทนทานต่อสัญญาณรบกวนของวงจรเฟสล็อคลูปเมื่อใช้ฟิลเตอร์ทั้ง 2 แบบโดยปล่อยสัญญาณรบกวนเข้ามาเป็นระยะเวลาจะได้ผลการทดลองดังรูป



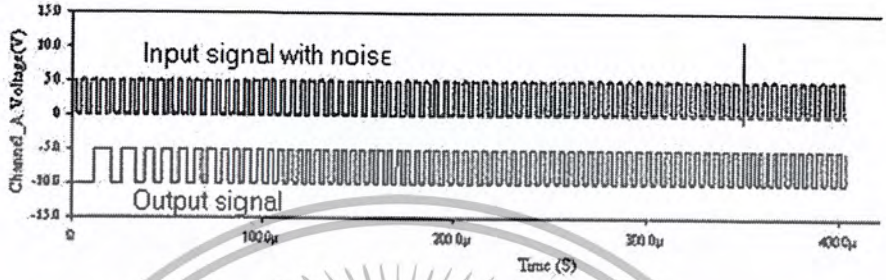
รูปที่ 5.16 แสดงฟิลเตอร์ทั้ง 2 แบบที่ใช้ในการจำลองผล

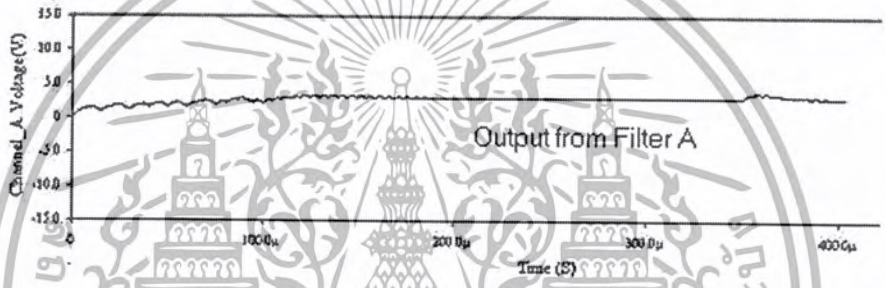


รูปที่ 5.17 แสดงการจำลองผลเมื่อใช้ Filter A ในสภาวะที่ไม่มีสัญญาณรบกวน

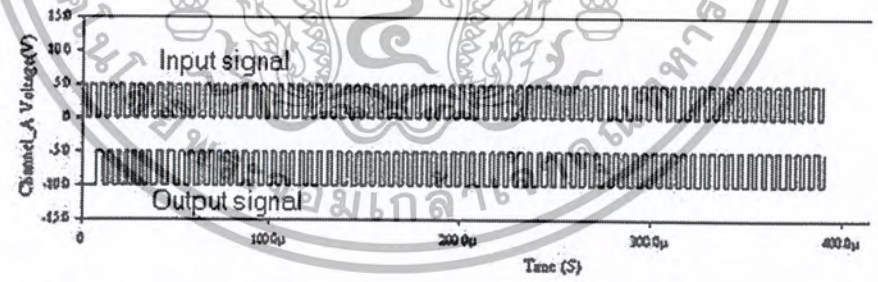
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

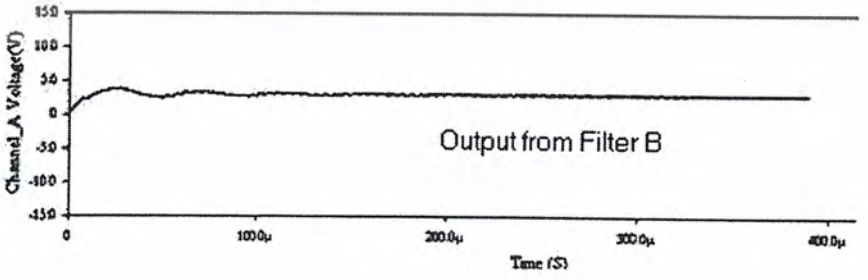
จากรูปที่ 5.17 Filter A จะมีความสามารถล็อคสัญญาณได้เร็วโดยจากการจำลองผลจะใช้ระยะเวลาจากเริ่มการทำงานของเฟสล็อคลูปจนกระทั่งเฟสล็อคลูปล็อคสัญญาณจะใช้เวลา 190 μSec





รูปที่ 5.18 แสดงการจำลองผลเมื่อใช้ Filter A โดยให้สัญญาณรบกวนเป็นช่วงเวลา

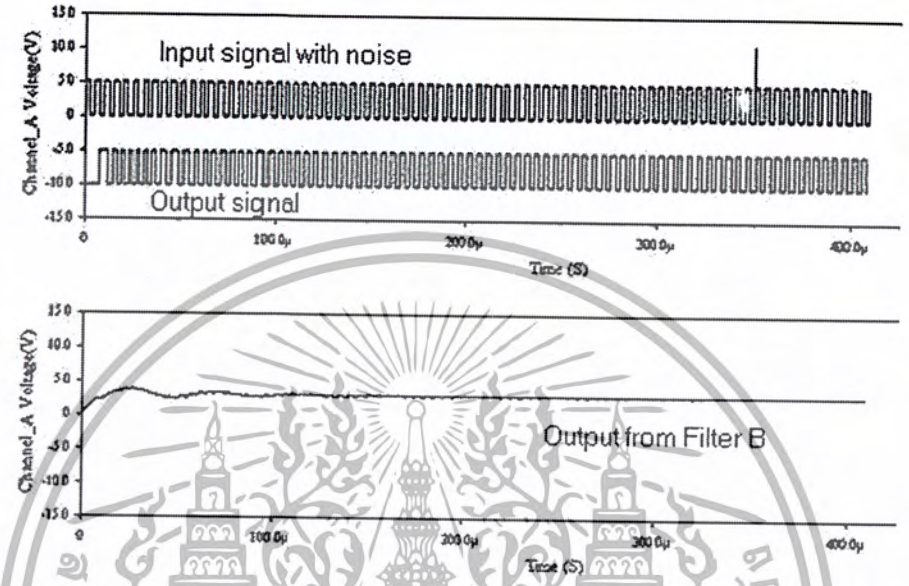




รูปที่ 5.19 แสดงการจำลองผลเมื่อใช้ Filter B ในสภาวะที่ไม่มีสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.19 Filter B จะสามารถล็อคสัญญาณได้ช้ากว่าโดยจากการจำลองผลจะใช้ระยะเวลาจากเริ่มการทำงานของเฟสล็อคลูปจนกระทั่งเฟสล็อคลูปล็อคสัญญาณจะใช้เวลา 320 μSec

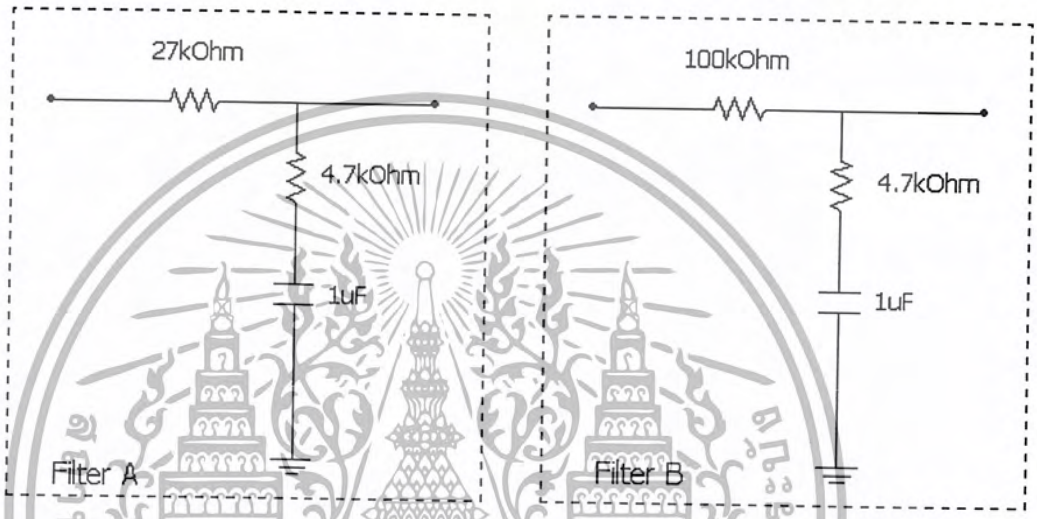


รูปที่ 5.20 แสดงการจำลองผลเมื่อใช้ Filter B โดยให้สัญญาณรบกวนเป็นช่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการทดสอบการลดสัญญาณรบกวนระหว่างฟิลเตอร์ทั้ง 2 แบบ

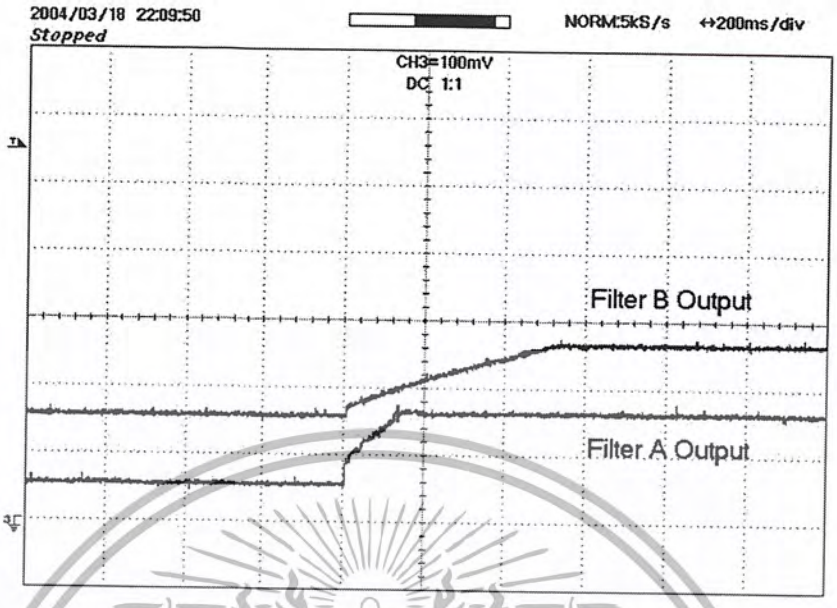
ทำการทดลองโดยจ่ายสัญญาณรบกวนที่มีความแรงทั้งขนาดความถี่เข้าไปที่อินพุทของเฟสล็อคลูป โดยจ่ายสัญญาณรบกวนดังกล่าวเป็นช่วงเวลา (Noise Period) เพื่อทดสอบให้เห็นว่าวงจรฟิลเตอร์ทั้ง 2 แบบมีคุณสมบัติในการลดสัญญาณรบกวนที่แตกต่างกันในทางปฏิบัติ



รูปที่ 5.21 แสดงวงจร Filter แบบ A และ แบบ B

จากรูปที่ 5.21 แสดงวงจรฟิลเตอร์ทั้ง 2 แบบคือ Filter A ซึ่งมี Band Width กว้าง มีคุณสมบัติในการล็อคที่เร็วแต่มีความทนทานต่อสัญญาณรบกวนต่ำ และวงจรฟิลเตอร์ Filter B ซึ่งมี Band Width ที่แคบกว่าซึ่งทำให้มีความทนทานต่อสัญญาณรบกวนมากกว่าฟิลเตอร์ในแบบแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.22 แสดงให้เห็นถึงผลตอบสนองต่อ Step Input ที่แตกต่างกัน

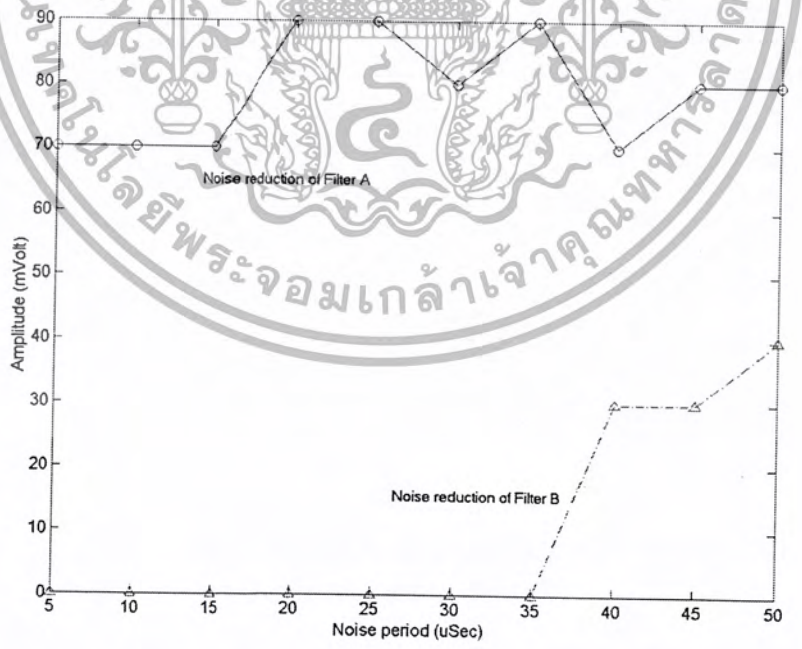
จากรูปที่ 5.22 เป็นการทดสอบผลตอบสนองต่อสัญญาณ Step Input เปรียบเทียบกันระหว่างฟิลเตอร์ทั้ง 2 แบบ เส้นกราฟล่างแสดงถึงผลตอบสนองของ Filter A และกราฟเส้นบนแสดงถึงผลตอบสนองของ Filter B จะเห็นว่า Filter A ตอบสนองต่อการเปลี่ยนแปลงของสัญญาณได้เร็วกว่าโดยใช้เวลาในการเปลี่ยนแปลงในช่วง Transient เป็นระยะเวลา 120 mSec

คุณสมบัติข้อนี้จะเป็นผลดีในช่วงแรกของการเริ่มทำงานของวงจรเฟสล็อคลูปเนื่องจากจะสามารถล็อคสัญญาณได้เร็ว Filter B จะตอบสนองต่อสัญญาณได้ช้ากว่า โดยใช้เวลาในการเปลี่ยนแปลงเป็นระยะเวลา 530 mSec แต่จะมีข้อดีกว่าคือมีความทนทานต่อสัญญาณรบกวน ซึ่งฟิลเตอร์ทั้ง 2 ถูกทำการทดสอบ ซึ่งได้ผลการทดลองดังตารางที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise Period (μsec)	Amplitude ของ Filter A (mVolt)	Amplitude ของ Filter B (mVolt)
5	70	0
10	70	0
15	70	0
20	90	0
25	90	0
30	80	0
35	90	0
40	70	30
45	80	30
50	80	40

ตารางที่ 5.3 แสดงผลการลดทอนสัญญาณรบกวนของฟิลเตอร์ทั้ง 2 แบบ



รูปที่ 5.23 กราฟแสดงผลการลดทอนสัญญาณรบกวนของฟิลเตอร์ทั้ง 2 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 5.3 และรูปที่ 5.23 เป็นผลที่ได้จากการทดลองโดยป้อนสัญญาณรบกวนแบบ Square Wave ความถี่ 10 MHz และมีขนาด 5 Vpp เข้าไปที่อินพุทของเฟสล็อคลูปซึ่งใช้สัญญาณอ้างอิงแบบ Square Wave ความถี่ 100Hz และมีขนาด 5Vpp ทำการป้อนสัญญาณรบกวนเข้าไปที่อินพุทเป็นช่วงเวลาซึ่งทดสอบในช่วงตั้งแต่ 5 μsec ไปจนถึง 50 μsec โดยเพิ่มระยะเวลาของสัญญาณรบกวนขึ้นครั้งละ 5 μsec บันทึกผลลงในตาราง

ซึ่งจากการพิจารณาจะเห็นว่า Filter A จะไม่สามารถทนต่อสัญญาณรบกวนที่เข้ามาได้ สังเกตได้จากการเปลี่ยนแปลงของขนาด (Amplitude) ในขณะที่ได้รับสัญญาณรบกวน แต่ฟิลเตอร์ Filter B สามารถทนต่อสัญญาณรบกวนได้สูงสุดเป็นระยะเวลาถึง 35 μsec และสัญญาณรบกวนจะเริ่มมีผลต่อ Filter B ที่ระยะเวลา 40 μsec อย่างไรก็ตาม Filter B สามารถลดทอนสัญญาณรบกวนได้มากกว่า Filter A

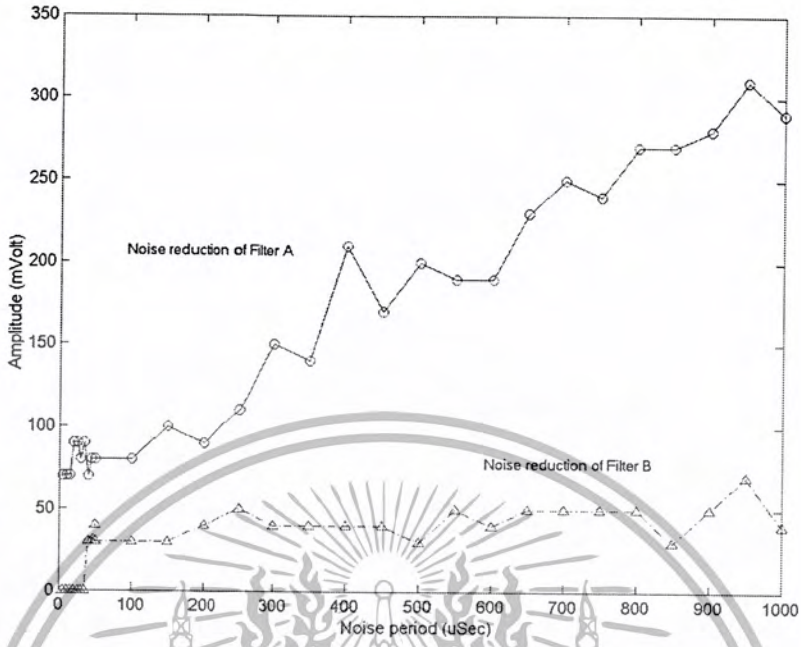
จากการทดสอบโดยการให้ระยะเวลาของสัญญาณรบกวนที่มากขึ้นจะเห็นได้ชัดว่าสัญญาณรบกวนมีผลกระทบต่อ Filter B น้อยกว่า Filter A ผลการทดลองแสดงในตารางที่ 5.4 และรูปที่ 5.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise Period (μsec)	Amplitude ของ Filter A (mVolt)	Amplitude ของ Filter B (mVolt)
50	80	30
100	80	30
150	100	30
200	90	40
250	110	50
300	150	40
350	140	40
400	210	40
450	170	40
500	200	30
550	190	50
600	190	40
650	230	50
700	250	50
750	240	50
800	270	50
850	270	30
900	280	50
950	310	70
1000	290	40

ตารางที่ 5.4 แสดงผลเมื่อทำการทดลองให้ระยะเวลาของสัญญาณรบกวนมากขึ้น

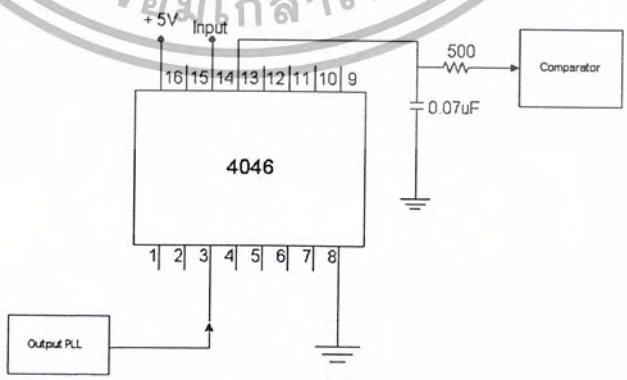
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.24 กราฟแสดงผลเมื่อทำการทดลองให้ระยะเวลาของสัญญาณรบกวนมากขึ้น

5.5 วงจรตรวจจับการล็อคสัญญาณในทางปฏิบัติ (Lock Detector Circuit)

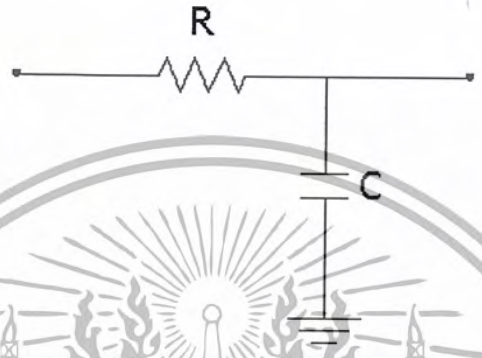
ออกแบบวงจรโดยการนำส่วนของเฟสดีเทคเตอร์ของไอซี CD4046 อีกตัวหนึ่งมาใช้งานร่วมกับฟิลเตอร์ที่ถูกออกแบบมาให้มีแบนด์วิดธ์ที่กว้างมาก เพื่อผลในการตอบสนองการเปลี่ยนแปลงที่รวดเร็ว เพื่อให้วงจรตรวจจับการล็อคสัญญาณสามารถตรวจจับสัญญาณได้เร็ว วงจรทั้งส่วนของล็อคดีเทคเตอร์และฟิลเตอร์แสดงดังรูปที่ 5.25



รูปที่ 5.25 วงจรล็อคดีเทคเตอร์ (Lock Detector)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟิลเตอร์ที่นำมาใช้จะถูกออกแบบให้มีแบนด์วิดธ์ที่ กว้างกว่าฟิลเตอร์อื่นๆที่ใช้ในวงจรเฟสล็อคลูปเพื่อให้สามารถตอบสนองต่อการเปลี่ยนแปลงของสัญญาณที่มาจากเฟสดีเทคเตอร์ได้เร็วกว่าเนื่องจากความสามารถที่รวดเร็วจะสามารถควบคุมการเปลี่ยนแปลงฟิลเตอร์ของเฟสล็อคลูปได้เร็วกว่าโดยการออกแบบฟิลเตอร์นี้จะเป็นชนิด CR network



รูปที่ 5.26 แสดงฟิลเตอร์แบบ CR network

โดยมีทรานส์เฟอร์ฟังก์ชั่นเป็น

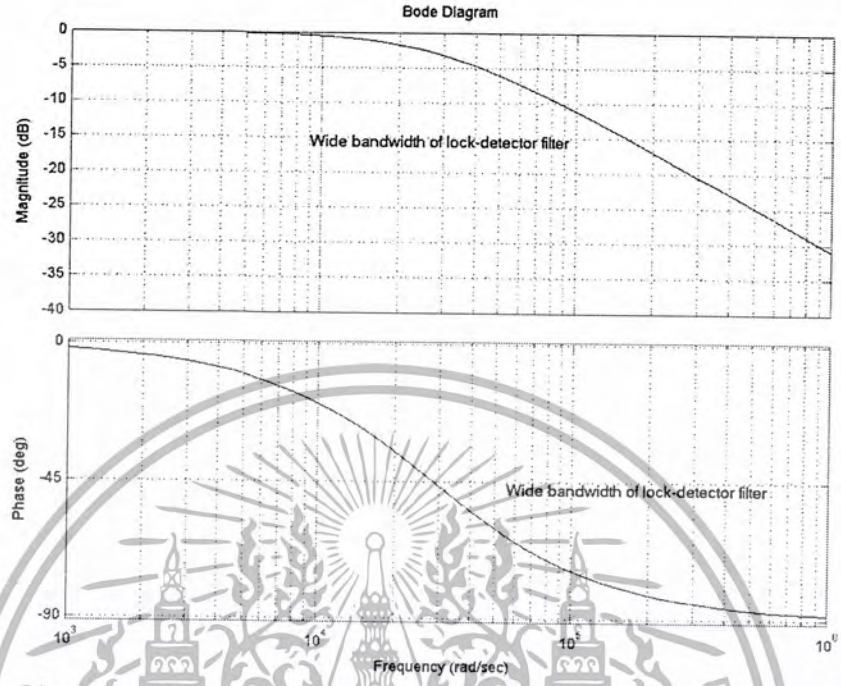
$$F(s) = \frac{1}{1+CRS}$$

เพื่อให้วงจรฟิลเตอร์มีแบนด์วิดธ์ที่กว้าง จะกำหนดค่าความต้านทานและตัวเก็บประจุที่น้อยโดยกำหนดให้ค่าความต้านทานเป็น 500 Ohm และค่าตัวเก็บประจุ 0.07 μF ซึ่งฟิลเตอร์จะมีทรานส์เฟอร์ฟังก์ชั่นเป็น

$$F(s) = \frac{1}{35 \times 10^{-6} S + 1}$$

เมื่อตรวจสอบผลตอบสนองความถี่ของฟิลเตอร์นี้จะพบว่ามีแบนด์วิดธ์ที่กว้างมากซึ่งเป็นไปตามที่ต้องการโดยพิจารณาจากกราฟผลตอบสนองความถี่ (Bode Diagram)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.27 Bode diagram ของฟิลเตอร์ที่ใช้ในวงจรล็อคดีเทคเตอร์

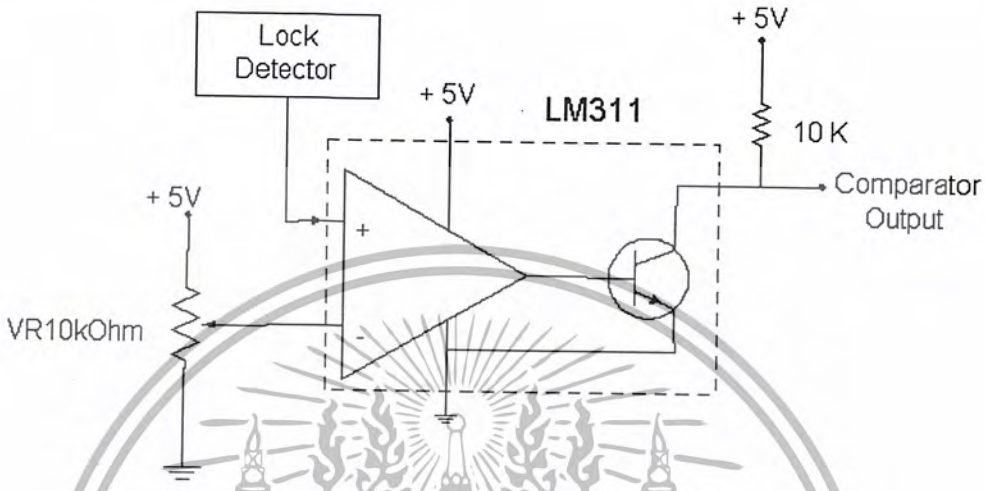
อย่างไรก็ตามถึงแม้ว่าสัญญาณที่ได้จากส่วนตรวจจับการล็อคสัญญาณจะสามารถตรวจจับการเปลี่ยนแปลงของสัญญาณทางอินพุทได้รวดเร็ว แต่สัญญาณที่ได้ยังไม่ราบเรียบเท่าที่ควร ซึ่งเราจะทำการปรับให้สัญญาณนี้เป็นลักษณะของลอจิกโดยผ่านวงจรคอมเปรียบเทียบระดับสัญญาณ (Comparator) ซึ่งจะกล่าวในส่วนต่อไป

5.6 วงจรเปรียบเทียบระดับสัญญาณ(Comparator)

เนื่องจากสัญญาณที่ได้จากฟิลเตอร์ของส่วนตรวจจับการล็อคสัญญาณ(Lock Detector) นั้น ถึงแม้ว่าจะมีระดับแรงดันไฟตรงที่แตกต่างกันชัดเจนในขณะที่เฟสล็อคลูปอยู่ในสภาวะล็อคสัญญาณและไม่ล็อคสัญญาณแต่ระดับแรงดันไฟตรงนี้ยังมีคุณภาพของสัญญาณไม่ดีพอที่จะนำไปใช้กับส่วนต่อไปซึ่งก็คืออนาลอกสวิตช์ (Analog Switch) เนื่องจากส่วนนี้ต้องการแรงดันที่มีลักษณะเป็นลอจิกเพื่อป้องกันไม่ให้เกิดความผิดพลาดในการควบคุมโดยเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคสัญญาณนั้นจะมีแรงดันไฟตรงจากฟิลเตอร์ของล็อคดีเทคเตอร์เป็น 4.8 โวลท์ และในสภาวะที่เฟสล็อคลูปอยู่ในสภาวะไม่ล็อคสัญญาณจะมีแรงดันไฟตรงขนาด 0.4 โวลท์ แต่ระดับแรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดันไฟตรงที่เราต้องการคือ 5 โวลท์ในสภาวะล็อคสัญญาณและ 0 โวลท์ ในสภาวะไม่ล็อคสัญญาณ ซึ่งวงจร Comparator สามารถแก้ไขปัญหานี้ได้

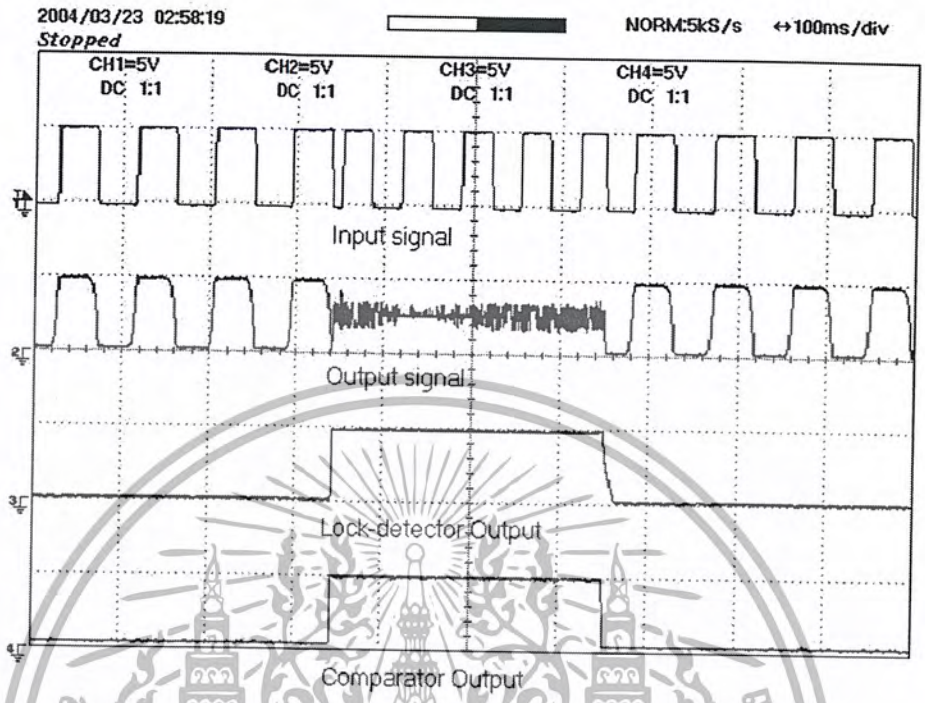


รูปที่ 5.28 แสดงวงจรคอมพาราเตอร์เพื่อปรับระดับสัญญาณ

จากรูปที่ 5.28 แสดงวงจรเปรียบเทียบระดับสัญญาณซึ่งเราจะปรับ VR10k และวัดระดับแรงดันไฟตรงให้ได้ระดับแรงดันที่ 3 โวลท์ แรงดันนี้จะเป็นแรงดันเพื่อเปรียบเทียบกับแรงดันที่ได้จากฟิลเตอร์จากส่วนล็อคดีเทคเตอร์ ซึ่งเมื่อเฟสล็อคลูปอยู่ในสภาวะไม่ล็อคสัญญาณจะมีระดับแรงดันไฟตรงจากฟิลเตอร์ของล็อคดีเทคเตอร์เป็น 4.8 โวลท์ ซึ่งเมื่อเปรียบเทียบกับระดับแรงดันไฟตรงขนาด 3 โวลท์ที่ของอินพุทลบของคอมพาราเตอร์แล้วจะสูงกว่าและวงจรคอมพาราเตอร์จะให้เอาท์พุทขนาด 5 โวลท์

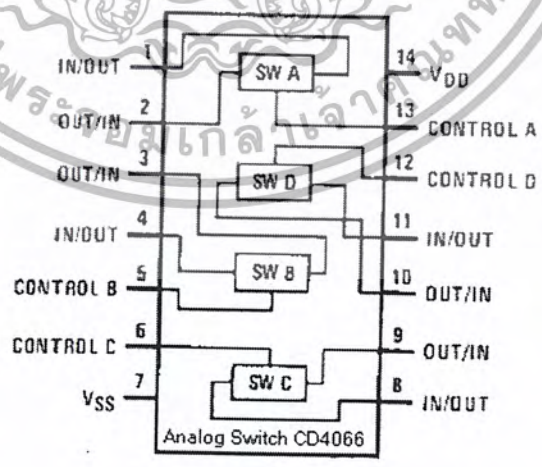
เมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคสัญญาณจะมีระดับแรงดันไฟตรงจากฟิลเตอร์ของล็อคดีเทคเตอร์เป็น 0.4 โวลท์ ซึ่งเมื่อเปรียบเทียบกับระดับแรงดันไฟตรงขนาด 3 โวลท์ที่ของอินพุทลบของคอมพาราเตอร์แล้วจะต่ำกว่าและวงจรคอมพาราเตอร์จะให้เอาท์พุทขนาด 0 โวลท์ออกมา นอกจากวงจรคอมพาราเตอร์จะให้ระดับแรงดันที่เป็นลอจิกแล้ว ยังสามารถแก้ปัญหาช่วงเวลาขึ้นและช่วงเวลาตกของสัญญาณจากฟิลเตอร์ของล็อคดีเทคเตอร์ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

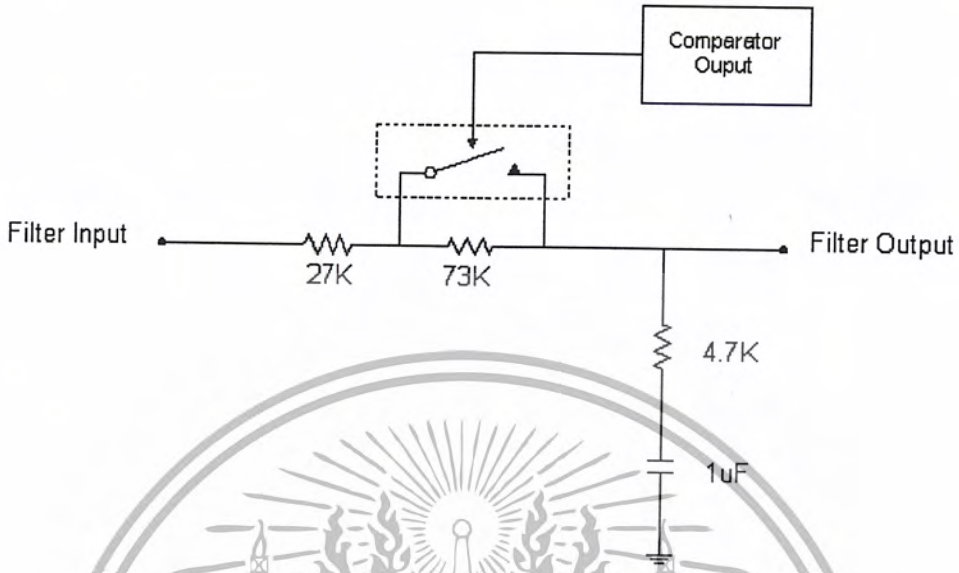


รูปที่ 5.29 แสดงสัญญาณที่ได้หลังจากผ่านวงจรคอมพาราเตอร์

5.7 อนาลอกสวิตช์และฟิลเตอร์ของเฟสล็อคลูป (Analog Switch and PLL Filter)

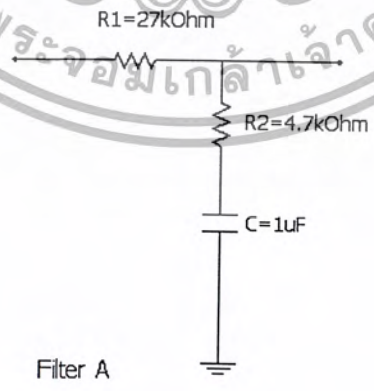


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.30 แสดงการเปลี่ยนฟิลเตอร์ของเฟสล็อคลูปด้วยอนาลอกสวิตช์

จากรูปที่ 5.30 แสดงถึงอนาลอกสวิตช์ซึ่งจะรับสัญญาณจากคอมพาราเตอร์ซึ่งจะมีสภาวะการทำงาน 2 สภาวะคือ ในกรณีที่เฟสล็อคลูปไม่ล็อคสัญญาณ คอมพาราเตอร์จะให้สัญญาณลอจิก "1" หรือระดับแรงดันไฟตรงขนาด 5 โวลท์ อนาลอกสวิตช์จะ Short Circuit ระหว่างขาทั้งสองของตัวต้านทาน 73 kOhm ทำให้วงจรฟิลเตอร์ของเฟสล็อคลูปมีลักษณะเป็น Filter A

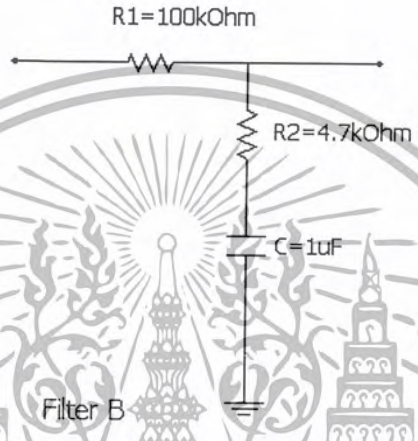


รูปที่ 5.31 แสดงฟิลเตอร์ Filter A ที่มี R1 มีค่า 27kOhm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

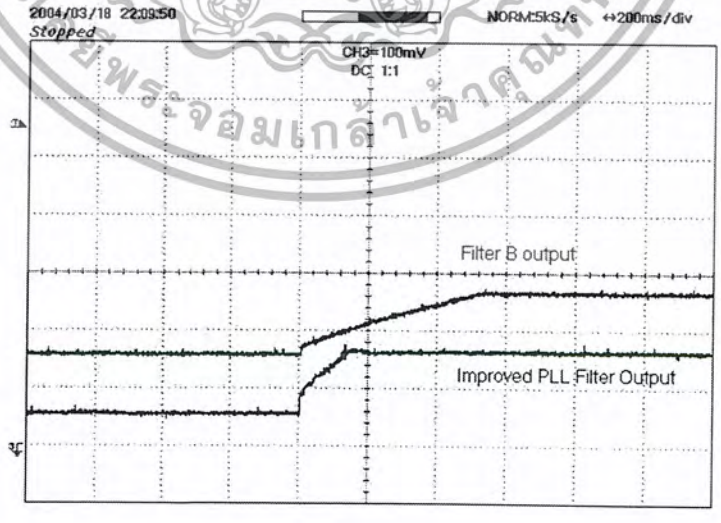
โดยที่ฟิลเตอร์ Filter A จะมีความสามารถในการล็อคสัญญาณที่เร็วซึ่งสอดคล้องกับคุณสมบัติที่ต้องการให้เฟสล็อคลูปล็อคสัญญาณได้รวดเร็วในช่วงที่เริ่มการทำงาน

ในกรณีที่เฟสล็อคลูปไม่ล็อคสัญญาณคอมพาราเตอร์จะให้สัญญาณลอจิก "0" หรือระดับแรงดันไฟตรงขนาด 0 โวลท์ อนาลอกสวิตช์จะ Open Circuit ระหว่างขาทั้งสองของตัวต้านทาน 73 kOhm ทำให้วงจรฟิลเตอร์ของเฟสล็อคลูปมีลักษณะเป็น Filter B



รูปที่ 5.32 แสดงฟิลเตอร์ Filter A ที่มี R1 มีค่า 100kOhm

โดยที่ Filter B จะมีความทนทานต่อสัญญาณรบกวนมากกว่าซึ่งตรงกับความต้องการให้เฟสล็อคลูปมีความทนทานต่อสัญญาณรบกวนในสภาวะที่ล็อคสัญญาณแล้ว

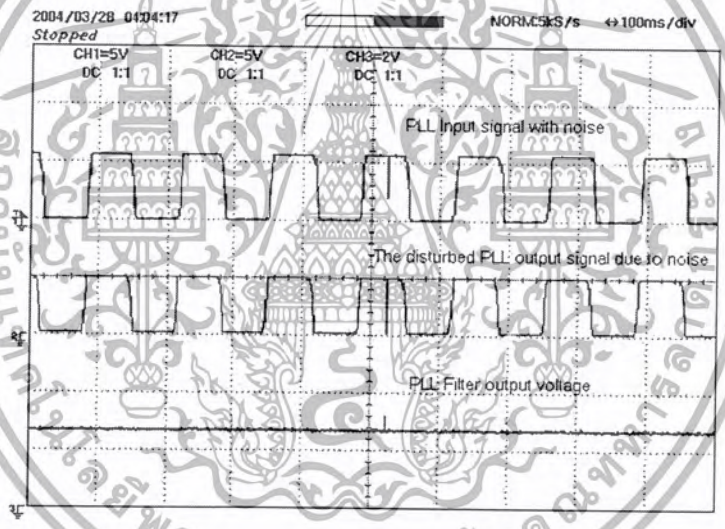


รูปที่ 5.33 แสดงผล เส้นบนคือฟิลเตอร์ Filter B และเส้นล่างคือฟิลเตอร์ที่ปรับปรุงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.33 เปรียบเทียบให้เห็นความแตกต่างระหว่างฟิลเตอร์ที่มีความทนทานต่อสัญญาณรบกวน 2 ชนิดซึ่งเส้นบนคือ Filter B มีความทนทานต่อสัญญาณรบการแต่สามารถล็อคสัญญาณได้ช้า และเส้นล่างคือฟิลเตอร์ที่ปรับปรุงแล้วจะสามารถล็อคสัญญาณได้เร็วกว่า โดยจะทำหน้าที่เป็นฟิลเตอร์แบบ Filter A เมื่ออยู่ในสภาวะที่เฟสล็อครูปเริ่มทำงานซึ่งจะยังไม่ล็อคสัญญาณ

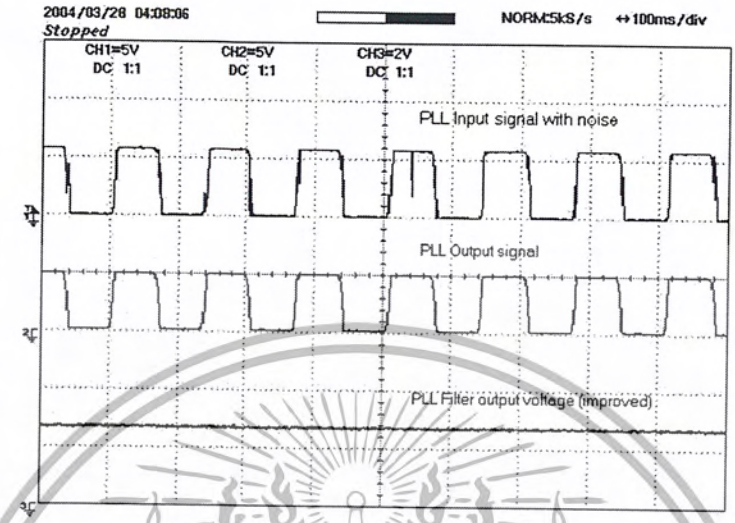
ในกรณีที่เฟสล็อคลูปล็อคสัญญาณแล้ววงจรตรวจจับการล็อคจะตรวจพบและจะส่งสัญญาณไปยังส่วนควบคุมการเปลี่ยนฟิลเตอร์ซึ่งจะเปลี่ยนการทำงานของฟิลเตอร์ของเฟสล็อคลูปจากฟิลเตอร์ Filter A ไปเป็น Filter B ซึ่งจะทำให้มีคุณสมบัติมีความทนทานต่อสัญญาณรบกวนมากขึ้น



รูปที่ 5.34 แสดงผลของสัญญาณรบกวนที่มีต่อฟิลเตอร์ที่ยังไม่มีการปรับปรุง

จากการทดลองปล่อยสัญญาณรบกวนแบบช่วงเวลาโดยให้แก่วงจรเฟสล็อคลูปพบว่าเฟสล็อคลูปชนิดที่ปรับปรุงแล้วจะสามารถทนต่อสัญญาณรบกวนแบบช่วงเวลาได้โดยอยู่ในเงื่อนไขช่วงเวลาที่เฟสล็อคลูปแบบ Filter B สามารถกำจัดสัญญาณรบกวนได้หมดเป็นช่วงเวลาน้อยกว่าหรือเท่ากับ 35 μSec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.35 แสดงผลของสัญญาณรบกวนที่มีต่อฟิลเตอร์ที่ปรับปรุงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดลอง

6.1 สรุปผลการทดลอง

จากการออกแบบวงจรฟิลเตอร์แบบ 2 แบนด์วิดธ์ นั้นปัญหาในช่วงแรกคือการออกแบบวงจรเปลี่ยนฟิลเตอร์ ซึ่งในการทดลองในวงจรใช้งานนั้นเราไม่สามารถเปลี่ยนแบนด์วิดธ์ของฟิลเตอร์โดยการเปลี่ยนค่าตัวเก็บประจุได้เนื่องจากค่าของตัวเก็บประจุในเชิงพาณิชย์นั้นมีค่าให้เลือกใช้ได้จำกัดอีกทั้งยังไม่สามารถให้วงจรเปลี่ยนฟิลเตอร์ สามารถเปลี่ยนแปลงฟิลเตอร์ได้โดยเปลี่ยนค่าตัวเก็บประจุ จึงกำหนดการเปลี่ยนแปลงฟิลเตอร์โดยใช้ค่าความต้านทานและกำหนดค่าตัวเก็บประจุให้คงที่ซึ่งค่าความต้านทานนี้วงจรเปลี่ยนแปลงฟิลเตอร์สามารถเปลี่ยนแปลงฟิลเตอร์ได้โดยการ Short Circuit หรือ Open Circuit ระหว่างค่าความต้านทานขนาด 73 KΩ ซึ่งจะทำให้ค่าความต้านทานของ R1 ในวงจรฟิลเตอร์เปลี่ยนแปลงในสองกรณีคือ กรณีแรก เฟสล็อคลูปเริ่มต้นทำงานจะอยู่ในสภาวะที่ไม่ล็อคสัญญาณ ค่าความต้านทาน 73 KΩ จะถูกอนาลอกสวิตช์ลัดวงจรทำให้ไม่มีค่าความต้านทานและค่า R1 จะเป็น 27 KΩ จากผลดังกล่าวนี้จะทำให้วงจรเฟสล็อคลูปสามารถล็อคสัญญาณได้เร็วขึ้นโดยจะมีความสามารถในการติดตามสัญญาณทางอินพุทได้รวดเร็วและเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคสัญญาณแล้ว ค่าความต้านทาน 73 KΩ ที่ถูกลัดวงจรอยู่ก็จะถูกอนาลอกสวิตช์ Open Circuit ส่งผลให้ค่าความต้านทาน R1 เป็นผลรวมระหว่างความต้านทานขนาด 27 KΩ และ 73 KΩ กลายเป็นความต้านทานขนาด 100 KΩ จากผลดังกล่าวนี้จะทำให้วงจรเฟสล็อคลูปมีความทนทานต่อสัญญาณรบกวนที่เข้ามาเป็นระยะเวลาได้ โดยอยู่ในเงื่อนไขที่วงจรฟิลเตอร์สามารถทนต่อสัญญาณรบกวนเป็นระยะเวลาน้อยกว่าหรือเท่ากับ 35 μSec ซึ่งอ้างอิงโดยผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Dan H. Wolaver, "Phase - Locked Loop Circuit Design", Prentice Hall : Englewood Cliffs, New Jersey, 1991
2. Floyd M. Gardner, "Phase – Locked Technique"
3. Howard M. Berlin, "Design of Phase – Locked Loop Circuit with Experiment", Howard W. Sams & Co.,Inc., Indianapolis, 1978
4. Suichi Nitta, "PLL Noise Reduction Circuit to Stabilize the Disturbed Clock Pulse Due to Noise", 0-7803-5015-4/98 IEEE 1998
5. เฟส/ฟรีเควนซี่ ดีเทคเตอร์ คอนโทรลเลอร์, เทิดศักดิ์ อินทโชติ, วิทวรรธน์ รัตนพงษ์, 2544

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยคำแนะนำและคำปรึกษาจากท่าน รศ.ดร.โยธิน เปรมปราณีรัชต์ ซึ่งท่านเป็นอาจารย์ผู้ควบคุมปริญญานิพนธ์ ผู้จัดทำรู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณอย่างยิ่ง

ขอขอบคุณอาจารย์ ทุกท่านที่ให้คำแนะนำ จนปริญญานิพนธ์นี้เสร็จสมบูรณ์

ขอขอบคุณ ศูนย์เทคโนโลยีและทดสอบผลิตภัณฑ์อุปกรณ์ไฟฟ้าและอิเล็กทรอนิกส์ (PTEC) ที่อำนวยความสะดวก สถานที่ในการทำปริญญานิพนธ์นี้จนเสร็จสมบูรณ์

ขอขอบคุณบิดา – มารดาและรุ่นพี่ คุณเทิดศักดิ์ อินทโชติ ที่ให้คำแนะนำและเป็นที่ปรึกษาพิเศษเสมอมา รวมถึงเพื่อนๆทุกท่านที่ให้กำลังใจมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised March 2002

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

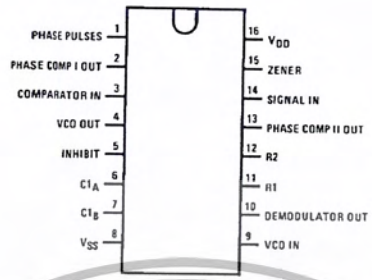
Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram



Top View

Block Diagram

FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 1. "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	µA
		V_{DD} = 10V		10		0.01	10		300	
		V_{DD} = 15V		20		0.015	20		600	
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	µA
		V_{DD} = 10V		450		20	350		650	
		V_{DD} = 15V		1200		50	900		1500	
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	
		V_{DD} = 15V		0.05		0	0.05		0.05	
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		
		V_{DD} = 15V	14.95		14.95	15		14.95		
V_{IL}	LOW Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	
V_{IH}	HIGH Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		
I_{IN}	Input Current	All Inputs Except Signal Input								µA
		V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{CC}/2								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				
		V_{DD} = 15V				2.4				

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $VCO_{IN} = V_{CC}/2$				
		V_{DD} = 5V		20		µA
		V_{DD} = 10V		90		
		V_{DD} = 15V		200		
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, $VCO_{IN} = V_{DD}$				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		
		V_{DD} = 15V	1.0	1.6		
	Linearity	VCO_{IN} = 2.5V ± 0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ± 2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		
		VCO_{IN} = 7.5V ± 5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		
	Temperature-Frequency Stability No Frequency Offset, $f_{MIN} = 0$	%/°C < 5c1/f. V_{DD} R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		
		V_{DD} = 15V		0.015–0.03		
	Frequency Offset, $f_{MIN} = 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		
		V_{DD} = 15V		0.03–0.06		
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		
		V_{DD} = 15V		50		
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		
		V_{DD} = 15V	0.1	0.3		
	Comparator Input	V_{DD} = 5V		10^6		
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	
		V_{DD} = 15V		700	1400	
DEMODULATOR OUTPUT						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO_{IN}–V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	
	Linearity	RS ≥ 50 kΩ				%
		VCO_{IN} = 2.5V ± 0.3V, V_{DD} = 5V		0.1		
		VCO_{IN} = 5V ± 2.5V, V_{DD} = 10V		0.6		
		VCO_{IN} = 7.5V ± 5V, V_{DD} = 15V		0.8		
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

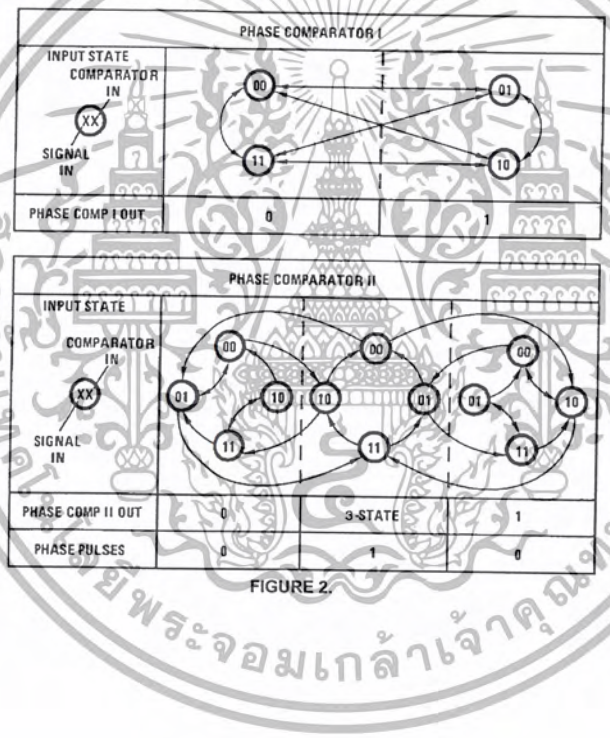


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

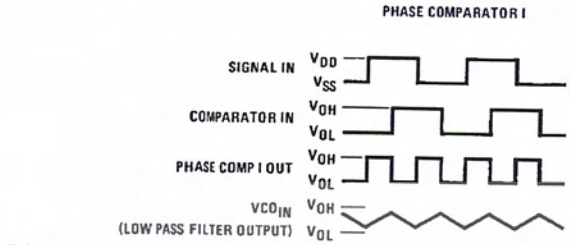


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

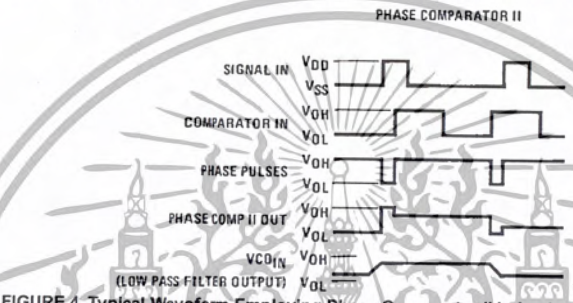


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ

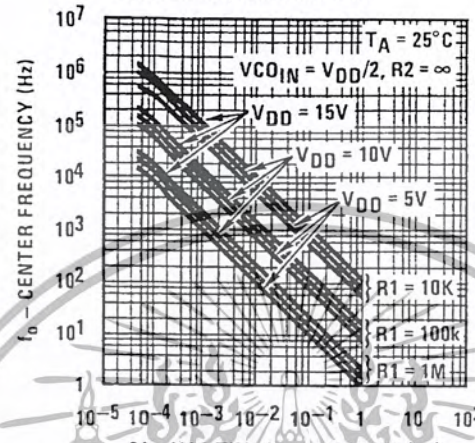


FIGURE 5.

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

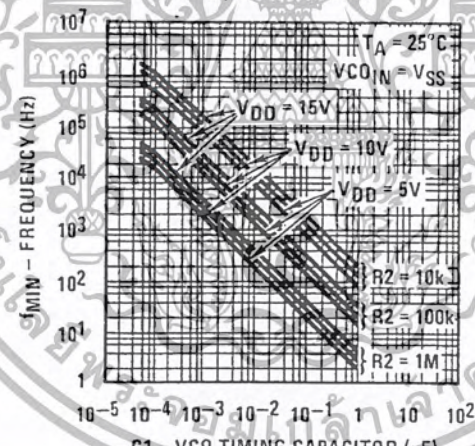


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical f_{MAX}/f_{MIN} vs R2/R1

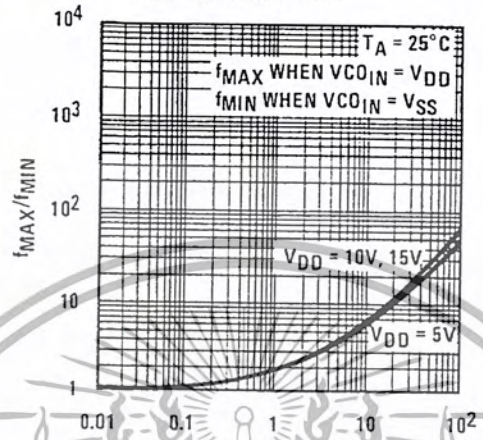


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs R1

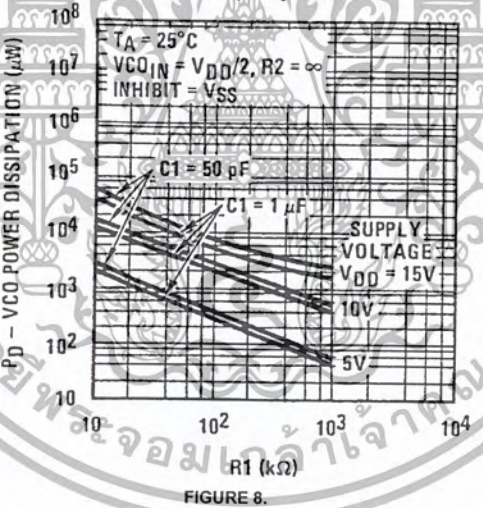


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical VCO Power Dissipation at f_{MIN} vs R2

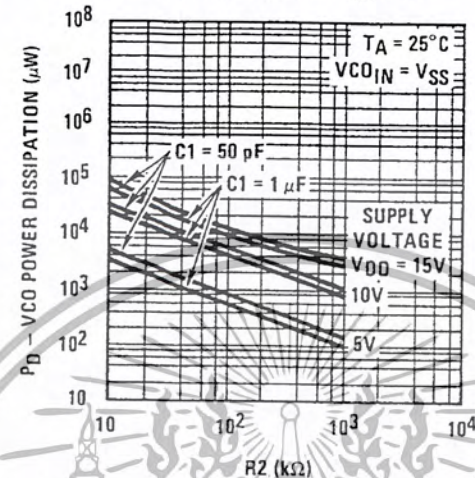


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

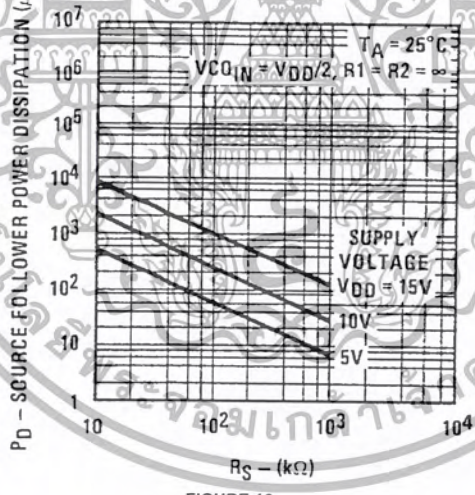


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

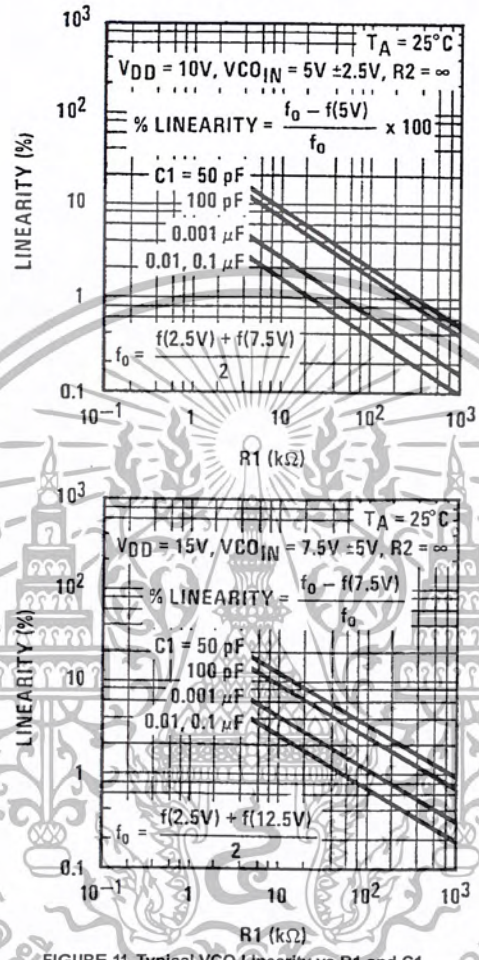


FIGURE 11. Typical VCO Linearity vs R1 and C1

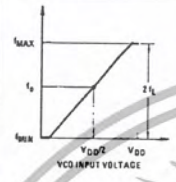
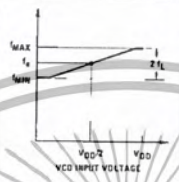
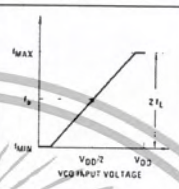
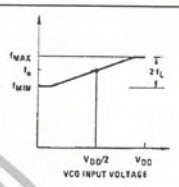
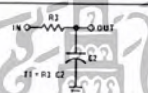
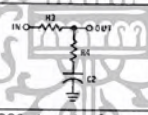
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		-	
Loop Filter Component Selection	 For $2f_C$, see Ref.		$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information (Continued)

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R2 = \infty$	VCO With Offset	VCO Without Offset $R2 = \infty$	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

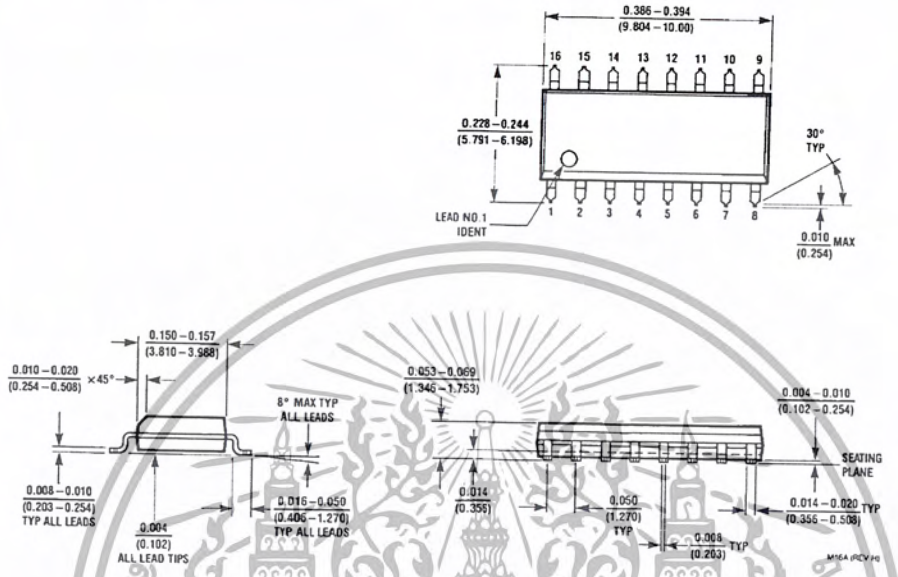
References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

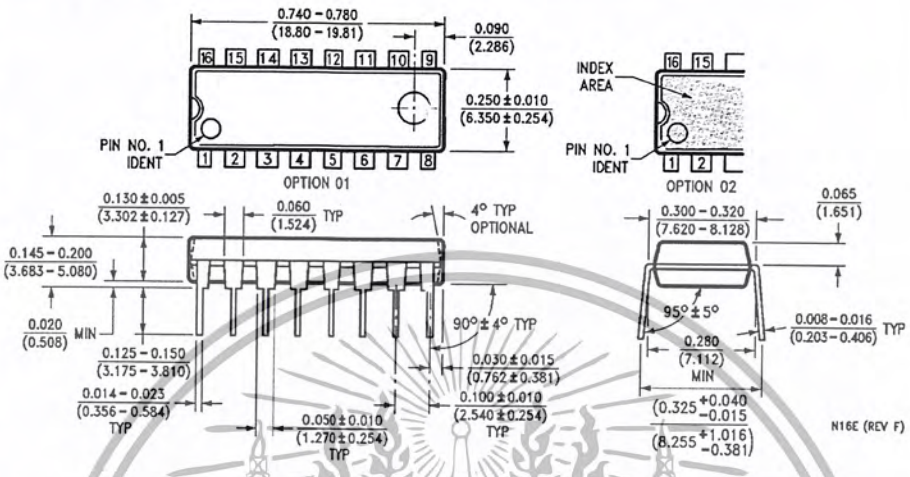
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

November 1983
Revised April 2002

CD4066BC
Quad Bilateral Switch

General Description

The CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Wide range of digital and analog switching ±7.5 V_{PEAK}
- "ON" resistance for 15V operation 80Ω
- Matched "ON" resistance ΔR_{ON} = 5Ω (typ.) over 15V signal input
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" 65 dB (typ.) output voltage ratio @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree linearity 0.1% distortion (typ.)
  High degree linearity @ f_{is} = 1 kHz, V_{is} = $5V_{p-p}$,
  High degree linearity $V_{DD}-V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" 0.1 nA (typ.)
  switch leakage: @ $V_{DD}-V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance 10^{12}Ω(typ.)
- Low crosstalk –50 dB (typ.)
  between switches @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" 40 MHz (typ.)

Applications

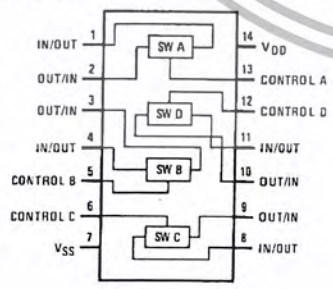
- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

Ordering Code:

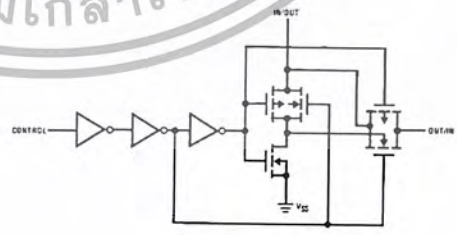
Order Number	Package Number	Package Description
CD4066BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4066BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4066BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagram



Schematic Diagram



© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

(Note 1)
(Note 2)

Supply Voltage (V_{DD})	−0.5V to +18V
Input Voltage (V_{IN})	−0.5V to V_{CC}+0.5V
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	300°C

Recommended Operating Conditions (Note 2)

Supply Voltage (V_{DD})	3V to 15V
Input Voltage (V_{IN})	0V to V_{DD}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		0.25		0.01	0.25		7.5	µA
		V_{DD} = 10V		0.5		0.01	0.5		15	
		V_{DD} = 15V		1.0		0.01	1.0		30	
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	R_L = 10 kΩ to (V_{DD} − V_{SS}/2), V_C = V_{DD}, V_{SS} to V_{DD}								
		V_{DD} = 5V		800		270	1050		1300	Ω
		V_{DD} = 10V		310		120	400		550	
		V_{DD} = 15V		200		80	240		320	
ΔR_{ON}	Δ"ON" Resistance Between Any 2 of 4 Switches	R_L = 10 kΩ to (V_{DD} − V_{SS}/2), V_{CC} = V_{DD}, V_{IS} = V_{SS} to V_{DD}								
		V_{DD} = 10V				10				Ω
		V_{DD} = 15V				5				
I_{IS}	Input or Output Leakage Switch "OFF"	V_C = 0		±50		±0.1	±50		±500	nA
CONTROL INPUTS										
V_{ILC}	LOW Level Input Voltage	V_{IS} = V_{SS} and V_{DD}, V_{OS} = V_{DD} and V_{SS}, I_{IS} = ± 10µA								
		V_{DD} = 5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V		3.0		4.5	3.0		3.0	
		V_{DD} = 15V		4.0		6.75	4.0		4.0	
V_{IHC}	HIGH Level Input Voltage	V_{DD} = 5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V (Note 7)	7.0		7.0	5.5		7.0		
		V_{DD} = 15V	11.0		11.0	8.25		11.0		
I_{IN}	Input Current	V_{DD}−V_{SS} = 15V, V_{DD}≥V_{IS}≥V_{SS}, V_{DD}≥V_C≥V_{SS}		−0.1		-10^{-5}	−0.1		−0.1	µA
				0.1		10^{-5}	0.1		0.1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

$T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time Signal Input to Signal Output	$V_C = V_{DD}$, $C_L = 50$ pF, (Figure 1) $R_L = 200k$				
		$V_{DD} = 5V$		25	55	ns
		$V_{DD} = 10V$		15	35	ns
		$V_{DD} = 15V$		10	25	ns
t_{PZH}, t_{PZL}	Propagation Delay Time	$R_L = 1.0$ kΩ, $C_L = 50$ pF, (Figure 2, Figure 3)				
	Control Input to Signal	$V_{DD} = 5V$			125	ns
	Output High Impedance to	$V_{DD} = 10V$			60	ns
	Logical Level	$V_{DD} = 15V$			50	ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time	$R_L = 1.0$ kΩ, $C_L = 50$ pF, (Figure 2, Figure 3)				
	Control Input to Signal	$V_{DD} = 5V$			125	ns
	Output Logical Level to	$V_{DD} = 10V$			60	ns
	High Impedance	$V_{DD} = 15V$			50	ns
	Sine Wave Distortion	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$		0.1		%
		$R_L = 10$ kΩ, $V_{IS} = 5V_{p-p}$, f = 1 kHz, (Figure 4)				
	Frequency Response-Switch	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$,		40		MHz
	"ON" (Frequency at −3 dB)	$R_L = 1$ kΩ, $V_{IS} = 5V_{p-p}$,				
		$20 \log_{10} V_{OS}/V_{OS}$ (1 kHz)−dB,				
		(Figure 4)				
	Feedthrough — Switch "OFF"	$V_{DD} = 5.0V$, $V_{CC} = V_{SS} = -5.0V$,		1.25		
	(Frequency at −50 dB)	$R_L = 1$ kΩ, $V_{IS} = 5.0V_{p-p}$, $20 \log_{10}$,				
		$V_{OS}/V_{IS} = -50$ dB, (Figure 4)				
	Crosstalk Between Any Two	$V_{DD} = V_{C(A)} = 5.0V$, $V_{SS} = V_{C(B)} = 5.0V$,		0.9		MHz
	Switches (Frequency at −50 dB)	R_L 1 kΩ, $V_{IS(A)} = 5.0$ V_{p-p}, $20 \log_{10}$,				
		$V_{OS(B)}/V_{IS(A)} = -50$ dB (Figure 5)				
	Crosstalk, Control Input to	$V_{DD} = 10V$, $R_L = 10$ kΩ, $R_{IN} = 1.0$ kΩ,		150		mV_{p-p}
	Signal Output	$V_{CC} = 10V$ Square Wave, $C_L = 50$ pF				
		(Figure 6)				
	Maximum Control Input	$R_L = 1.0$ kΩ, $C_L = 50$ pF, (Figure 7)				
		$V_{OS(f)} = \frac{1}{2} V_{OS}$(1.0 kHz)				
		$V_{DD} = 5.0V$		6.0		MHz
		$V_{DD} = 10V$		8.0		MHz
		$V_{DD} = 15V$		8.5		MHz
C_{IS}	Signal Input Capacitance			8.0		pF
C_{OS}	Signal Output Capacitance	$V_{DD} = 10V$		8.0		pF
C_{IOS}	Feedthrough Capacitance	$V_C = 0V$		0.5		pF
C_{IN}	Control Input Capacitance			5.0	7.5	pF

Note 3: AC Parameters are guaranteed by DC correlated testing.

Note 4: These devices should not be connected to circuits with the power "ON".

Note 5: In all cases, there is approximately 5 pF of probe and jig capacitance in the output; however, this capacitance is included in C_L wherever it is specified.

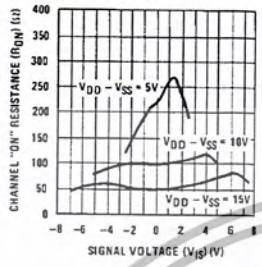
Note 6: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 7: Conditions for V_{IHC}: a) $V_{IS} = V_{DD}$, I_{OS} = standard B series I_{OH} b) $V_{IS} = 0V$, I_{OL} = standard B series I_{OL}.

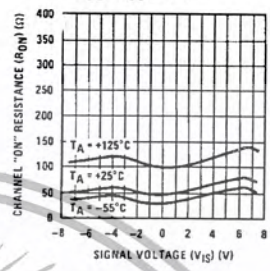
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

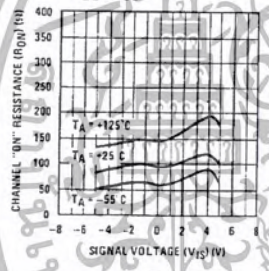
"ON" Resistance vs Signal Voltage for $T_A = 25°C$



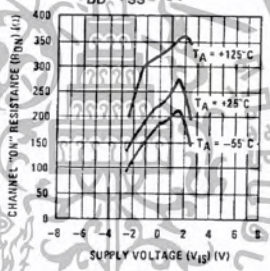
"ON" Resistance as a Function of Temperature for $V_{DD}-V_{SS} = 15V$



"ON" Resistance as a Function of Temperature for $V_{DD}-V_{SS} = 10V$



"ON" Resistance as a Function of Temperature for $V_{DD}-V_{SS} = 5V$



Special Considerations

In applications where separate power sources are used to drive V_{DD} and the signal input, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066BC bilateral switches). This provision avoids any permanent current flow or clamp action of the V_{DD} supply when power is applied or removed from CD4066BC.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.6V at $T_A \leq 25°C$, or 0.4V at $T_A > 25°C$ (calculated from R_{ON} values shown).

No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9 or 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms

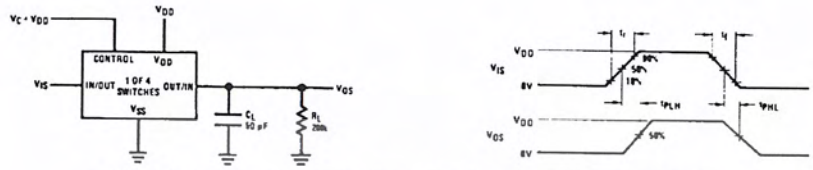


FIGURE 1. t_{PHL}, t_{PLH} Propagation Delay Time Signal Input to Signal Output

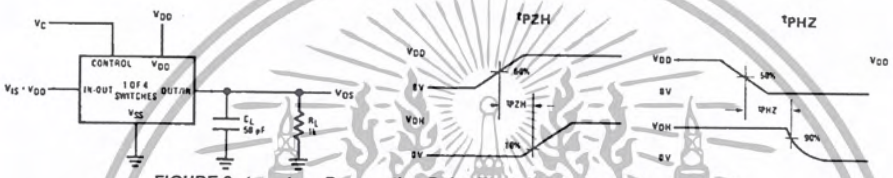


FIGURE 2. t_{PZH}, t_{PHZ} Propagation Delay Time Control to Signal Output

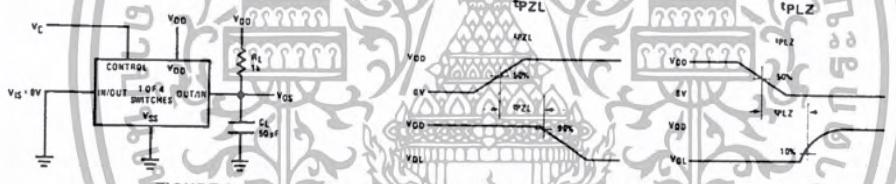
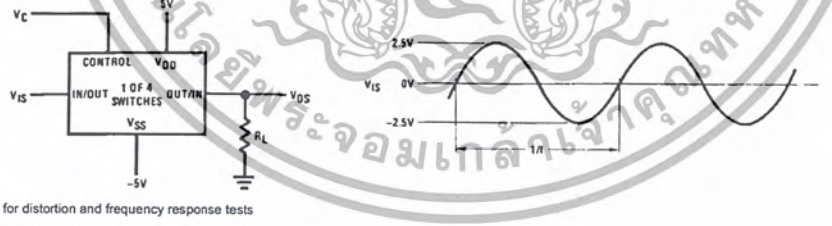


FIGURE 3. t_{PZL}, t_{PLZ} Propagation Delay Time Control to Signal Output



V_C = V_{DD} for distortion and frequency response tests

V_C = V_{SS} for feedthrough test

FIGURE 4. Sine Wave Distortion, Frequency Response and Feedthrough

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms (Continued)

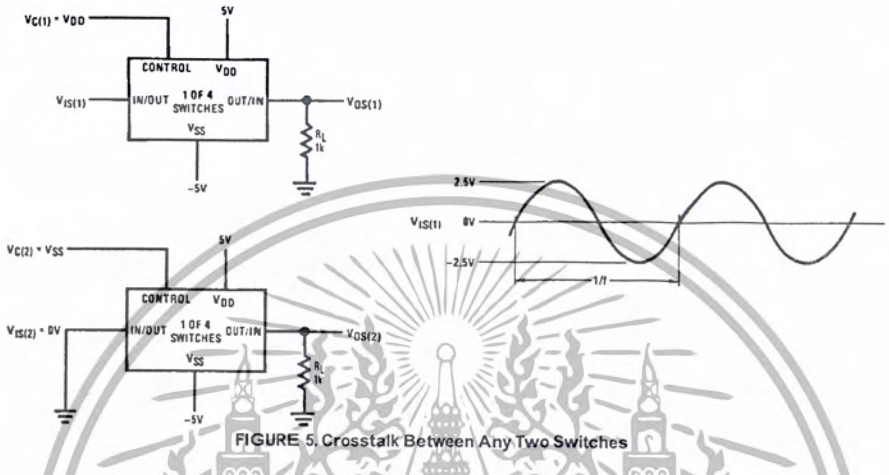


FIGURE 5. Crosstalk Between Any Two Switches

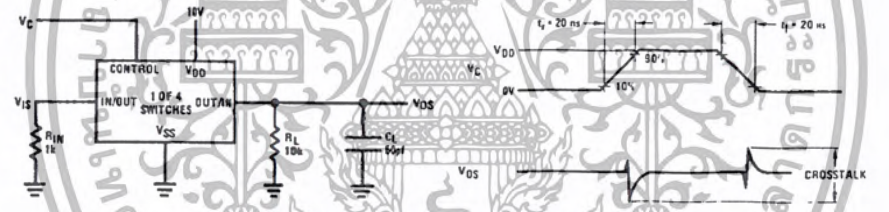


FIGURE 6. Crosstalk: Control Input to Signal Output

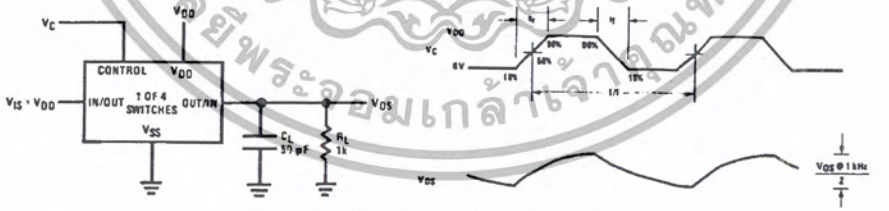
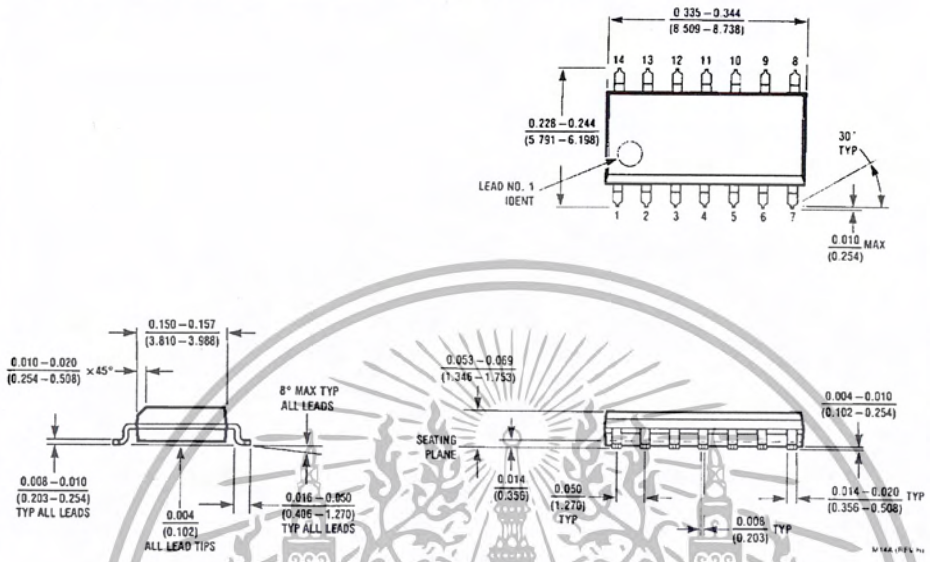


FIGURE 7. Maximum Control Input Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

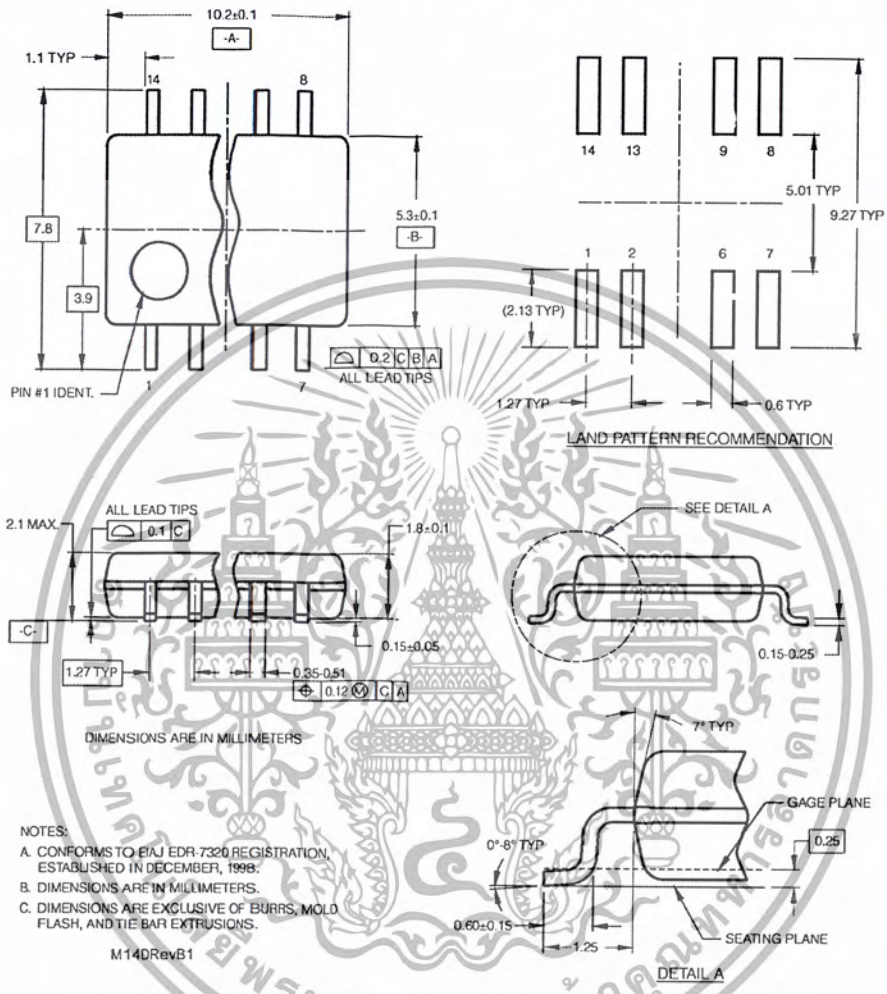
Physical Dimensions inches (millimeters) unless otherwise noted



14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



NOTES:

A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.

B. DIMENSIONS ARE IN MILLIMETERS.

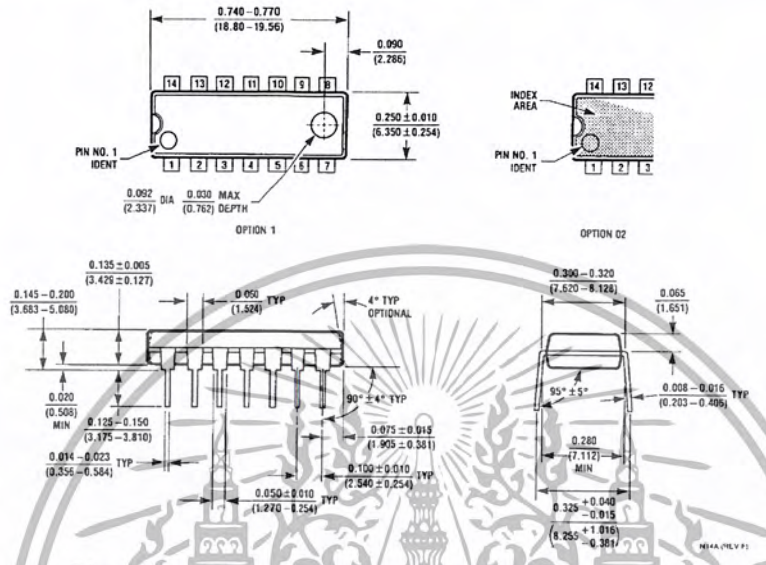
C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M14DRevB1

14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
Package Number M14D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N14A

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้