สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การศึกษาการเกิดปรากฏการณ์เคออสติค โดยใช้ bouncing ball แสดงผลผ่านเครือข่าย internet

THE EXPERIMENTAL OF CHAOTIC PHENOMENA BY USING BOUNCING BALL VIA INTERNET

T055751

โดย

นาย จิรชาติ วรศักดานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

วศ.
ว 491 ก
2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่.....
เลขทะเบียน 55751
วัน,เดือน,ปี 25 พ.ค. 2548

แผนกวิทยบริการ
.b.....
.i.....

THE EXPERIMENTAL OF CHAOTIC PHENOMENA BY USING BOUNCING BALL VIA INTERNET

BY

MR. JIRACHART VORASAKDANONT

A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การศึกษาการเกิดปรากฏการณ์เคออสติค โดยใช้ bouncing ball แสดงผลผ่านเครือข่าย internet
ชื่อนักศึกษา	นายจิรชาติ วรศักดานนท์ รหัสประจำตัว 44015640
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2546

ปริญญานิพนธ์ฉบับนี้ได้รับการอนุมัติเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

กฤดากร

.....

(อาจารย์กฤดากร กล่อมการ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การศึกษาการเกิดปรากฏการณ์เคออสติค โดยใช้ bouncing ball แสดงผลผ่านเครือข่าย internet
ชื่อนักศึกษา	นายจิรชาติ วรศักดานนท์ รหัสประจำตัว 44015640
อาจารย์ที่ปรึกษา	อาจารย์กฤดากร กล่อมการ
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตร์บัณฑิต สาขาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2546

บทคัดย่อ

โครงงานนี้เป็นการศึกษาการเกิดปรากฏการณ์เคออสติค ด้วยการใช้ การกระดอนของลูกบอล(bouncing ball) ซึ่งแสดงด้วยลูกปิงปองและลำโพงที่เป็นวัสดุที่หาได้ง่าย เพื่อให้ผู้สนใจทดลองสร้างเองได้ แล้วแสดงผลการทดลองเป็นภาพเคลื่อนไหวผ่านระบบเครือข่ายอินเตอร์เน็ทด้วยเวบเบราเซอร์แบบรีลไทม์โดยใช้เวบแคมเป็นตัวถ่ายภาพการเคลื่อนไหว ซึ่งผู้สนใจสามารถทดลองควบคุมการทำงานผ่านเวบเบราเซอร์ได้ทันที ด้วยการควบคุมผ่านเครื่องเซิร์ฟเวอร์เพื่อให้ควบคุมการทำงานของลำโพงอีกต่อหนึ่งทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	The experiment of Chaotic Phenomena by using Bouncing ball via Internet
Student	Mr. Jirachart vorasakdanont ID. 44015640
Advisor	Mr. Kitdakorn Klomkarn
Graduate Level	Bachelor Degree of Information Engineering
Department	Information Engineering
Academic Year	2003

Abstract

This project proposes the chaotic phenomena experimentation by using bouncing ball via internet . In project used ping-pong ball and speaker , because it is easy to find and constructs . In this experiment the result will display in realtime by using low cost webcam .The interactive user can control system parameter though internet server immediately .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อคุณแม่ ญาติผู้ใหญ่ที่ให้การอุปการเลี้ยงดูและให้การสนับสนุนในทุกๆด้าน โดยเฉพาะคุณปู่ที่เป็นกำลังใจให้ข้าพเจ้าเสมอมา

ขอขอบพระคุณ รองศาสตราจารย์ ดร. ปิติเขต สู้รักษา และ และ ท่านอาจารย์ กฤดากร กล่อมการ อาจารย์ที่ปรึกษาที่คอยให้คำแนะนำ จนโครงงานนี้สำเร็จได้ด้วยดี

ขอขอบคุณ พี่ๆ ป.โท ที่คอยให้คำปรึกษาทั้งในด้านการคำนวณ การสร้างวงจร โดยเฉพาะพี่แมว และ พี่เจด ที่ให้คำปรึกษาเรื่อยมา แม้จะมีความรับผิดชอบมากมายอยู่แล้ว

ขอขอบคุณเพื่อนๆ ที่ให้คำปรึกษาด้านเครือข่ายและ user interface โดยเฉพาะ นอร์ธ ตี้ นก และ เพื่อนๆ ที่อยู่ในห้องโปรเจคเดียวกันที่คอยเป็นเพื่อนและเป็นกำลังใจเรื่อยมา

จนทำให้โครงงานนี้สำเร็จลุล่วงด้วยดี

จิรชาติ วรศักดานนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	**ก**
บทคัดย่อภาษาอังกฤษ	**ข**
กิตติกรรมประกาศ	**ค**
สารบัญ	**ง**
สารบัญตาราง	**จ**
สารบัญรูปภาพ	**ฉ**
1.บทนำ	**1**
1.1 แนวคิดและที่มาของปัญหา	1
1.2 จุดประสงค์	1
1.3 ขอบเขตของโครงงาน	1
2.ทฤษฎีทั่วไป	**2**
2.1 ทฤษฎีและหลักการที่เกี่ยวข้อง	2
2.2 การจำลอง	5
2.2.1 พื้นที่อยู่กับที่	5
2.2.2 เมื่อพื้นโต๊ะมีการเคลื่อนที่	5
2.2.3 สมการการเคลื่อนที่ : แผนผังเฟสและความเร็ว	7
2.3 พารามิเตอร์	9
2.4 การเคลื่อนที่ของลูกบอลที่มีความสูงมาก	10
2.5 บริเวณกับดัก	12
2.6 ผลเฉลยสมดุล	14
2.7 ผลเฉลยยึดติด	15
2.8 การเคลื่อนที่เป็นรอบ	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

3.การออกแบบและการทดลอง **18**

3.1 ส่วนหน้าติดต่อผู้เข้าเยี่ยมชม (User Interface) 19

3.2 ส่วนเวิร์ดไวด์เว็บเซิร์ฟเวอร์ (WWW Server) 21

3.3 ส่วนโครงสร้าง Bouncing Ball ที่ใช้ทดลอง (Bouncing Ball Module) 23

4.ผลการทดลอง **24**

5.สรุปผลการทดลอง **27**

ปัญหาที่เกิดขึ้น 27

แนวทางในการพัฒนา 27

บรรณานุกรม **28**

ภาคผนวก **29**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 แสดงการเคลื่อนที่ของลูกบอลซึ่งกระทบพื้นที่สั่น	2
รูปที่ 2.2 การทดลองด้วยอุปกรณ์ที่หาได้ง่าย	2
รูปที่ 2.3(ก) แสดงการเคลื่อนที่ระหว่างความสูงของลูกบอลกับเวลา	3
รูปที่ 2.3(ข) แสดงการเคลื่อนที่ระหว่างความสูงของลูกบอลกับความเร็ว	4
รูปที่ 2.3(ค) แสดงการเคลื่อนที่ระหว่างความเร็วกับเฟส	4
รูปที่ 2.4(ก) แสดงการเคลื่อนที่ของลูกบอลและพื้น โต๊ะเทียบกับพื้นดิน	6
รูปที่ 2.4(ข) เทียบกับพื้น โต๊ะ	6
รูปที่ 2.5 การเคลื่อนที่ของลูกบอลที่มีความสูงมาก	10
รูปที่ 2.6 สภาวะครบ 1 รอบ (period 1 orbit)	16
รูปที่ 2.7 สภาวะครบ 2 รอบ (period 2 orbit)	17
รูปที่ 2.8 การเคลื่อนที่อย่างไม่เป็นระเบียบของลูกบอล (chaotic orbit)	17
รูปที่ 3.1 บล็อกไดอะแกรมแสดงการเชื่อมต่อการทดลองระหว่าง ผู้เยี่ยมชมกับชุดทดลองผ่านเครือข่ายอินเตอร์เน็ท	18
รูปที่ 3.2 แสดงหน้าต่างการติดต่อกับผู้เยี่ยมชม	19
รูปที่ 3.3 รูปโครงสร้างของพื้น โต๊ะจำลองที่สามารถเคลื่อนที่ได้ ในมุมต่างๆ	23
รูปที่ 4.1 แสดงสัญญาณที่ได้จากการเลือกความถี่	24
รูปที่ 4.1(ก) รูปสัญญาณ ไซน์ที่ความถี่ 10 Hz	24
รูปที่ 4.1(ข) รูปสัญญาณ ไซน์ที่ความถี่ 20 Hz	24
รูปที่ 4.1(ค) รูปสัญญาณ ไซน์ที่ความถี่ 30 Hz	25
รูปที่ 4.1(ง) รูปสัญญาณ ไซน์ที่ความถี่ 40 Hz	25
รูปที่ 4.2 แสดงโครงสร้างของพื้น โต๊ะจำลองที่ถูกสร้างขึ้น	26
รูปที่ 4.3 แสดงภาพของการทดลองเมื่อแพร่ภาพผ่านเครือข่ายอินเตอร์เน็ท	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตาราง 2.1 แสดงค่าพารามิเตอร์ต่างๆที่จำเป็นในการคำนวณ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวคิดและที่มาของปัญหา

ในปัจจุบันการศึกษาเกี่ยวกับเคออสติค ยังแสดงการเกิดปรากฏการณ์เคออสติคที่มีในรูปของคณิตศาสตร์หรือ วงจรไฟฟ้า ซึ่งเป็นการยากที่จะเข้าใจได้ว่าการเกิดเคออสมีความซับซ้อนเช่นไร ดังนั้นโครงงานนี้จึงเป็นโครงงานที่แสดงให้เห็นการเกิดปรากฏการณ์เคออสติค แบบ realtime ด้วยอุปกรณ์ง่ายๆเพียงไม่กี่อย่างเพื่อให้ผู้สนใจได้นำไปประยุกต์ใช้แสดงการเกิดปรากฏการณ์เคออสได้โดยง่ายหรือสามารถเข้าไปศึกษาผ่านระบบ online ได้ด้วย

1.2 จุดประสงค์

1.2.1 ศึกษาการเกิดสัญญาณ chaotic ด้วยระบบ real time system bouncing ball

1.2.2 ใช้วิธีที่มีมาตรฐานในการแสดงการเกิดปรากฏการณ์เคออสติค

1.2.3 แสดงความแตกต่างระหว่างสัญญาณเคออสติคและสัญญาณ periodic หรือสัญญาณ random

1.2.4 สามารถทำการทดลองและแสดงผลการศึกษาผ่านระบบเครือข่าย Internet

1.3 ขอบเขตของโครงงาน

1.3.1 แสดงการเกิดปรากฏการณ์เคออสติค แบบ realtime ด้วย bouncing ball ผ่าน Internet ได้

1.3.2 สามารถปรับเปลี่ยนค่าพารามิเตอร์ต่างๆได้โดยผ่าน internet จากผู้สนใจได้

1.3.3 สามารถเปลี่ยนนำโปรแกรมสำหรับ bouncing ball ไปใช้กับ model อื่นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

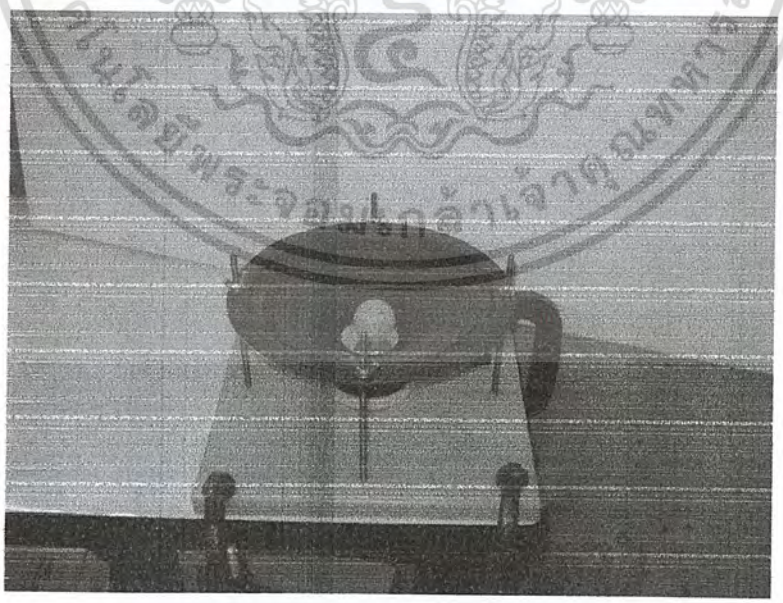
บทที่ 2
ทฤษฎีทั่วไป

2.1 ทฤษฎีและหลักการที่เกี่ยวข้อง

พิจารณาการเคลื่อนที่ของลูกบอลที่ตกกระทบพื้นที่ที่กำลังสั่นด้วยความถี่คงที่ค่าหนึ่งแสดงดังรูป 2.1

รูป 2.1 แสดงการเคลื่อนที่ของลูกบอลซึ่งกระทบพื้นที่สั่น

สมมุติว่า ลูกบอลเคลื่อนที่อยู่ในแนวดิ่งอย่างเดียว ขณะที่ลูกบอลลอยอยู่ในอากาศความสูงของลูกบอลจะเป็นไปตามกฎของนิวตันภายใต้แรงโน้มถ่วง เมื่อลูกบอลตกกระทบพื้นจะได้รับแรงกระทำจากพื้นทำให้ลูกบอลเคลื่อนที่ขึ้นระบบการเคลื่อนที่ของลูกบอลนี้สามารถศึกษาได้จากการทดลองดังรูป 2.2



รูป 2.2 การทดลองด้วยอุปกรณ์ที่หาได้ง่าย

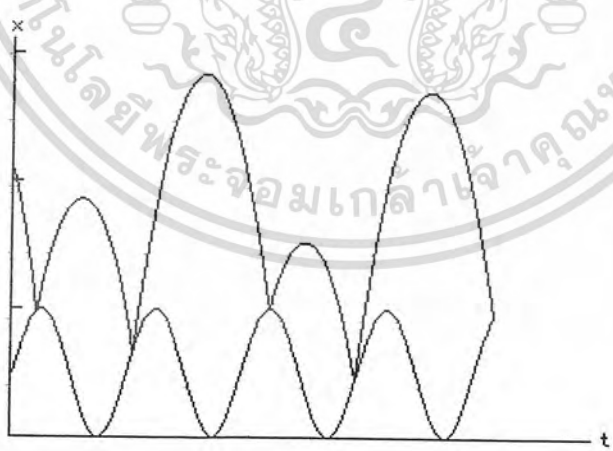
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งการทดลองอย่างง่ายจะประกอบด้วยลูกบอล ลำโพงและแก้วน้ำ โดยที่จุดกึ่งกลางของแก้วจะทำให้ลูกบอลเคลื่อนที่อยู่ในแนวดิ่งตลอดการทดลองเมื่อลูกบอลชนกับก้นแก้วจะทำให้เกิดเสียง ซึ่งสามารถใช้วิธีการอื่นในการตรวจจับการเคลื่อนที่ของลูกบอลได้

การเคลื่อนที่ของลูกบอลสามารถอธิบายได้หลายรูปแบบรูปแบบที่ง่ายที่สุดก็คือการเขียนกราฟระหว่างความเร็วของลูกบอลและความสูงของพื้นกับเวลาในช่วงที่ลูกบอลลอยอยู่ในอากาศการเคลื่อนที่ของลูกบอลจะเป็นแบบพาราโบลา ดังแสดงในรูปที่ 2.3(a) ขณะที่การเคลื่อนที่ของพื้นจะเป็นไปตามคลื่นรูปซายน์ถ้าบันทึกความสูงของลูกบอล ณ เวลาต่างๆได้ดังนี้

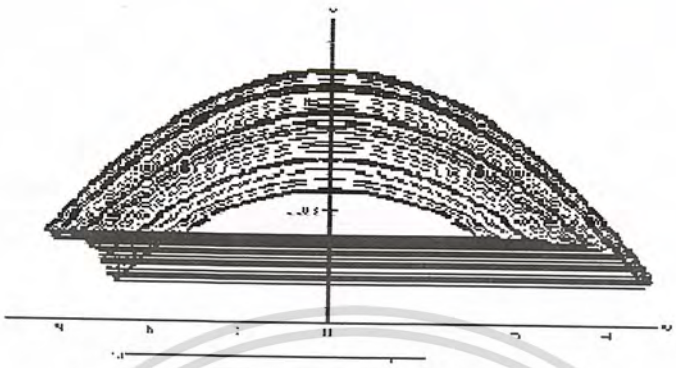
$$\{x(t_0), x(t_1), \ldots, x(t_i), \ldots, x(t_n)\} \tag{2.1}$$

จะเป็นอนุกรมความสูงของลูกบอล เมื่อ $X(t_i)$ เป็นความสูงของลูกบอลที่เวลา t_i รูปแบบที่สองได้จากการเขียนกราฟระหว่างความสูงของลูกบอลในแนวตั้งกับความเร็วของลูกบอลในแนวนอน เป็นรูปแบบที่เรียกว่า รูปแบบเฟสสเปซ(Phase space representation) ของการเคลื่อนที่ของลูกบอล ดังแสดงในรูป 2.3(b) รูปแบบชนิดนี้จะทำให้สามารถสังเกตการณ์เปลี่ยนแปลงของความเร็วที่จุดตกของลูกบอลได้ง่ายขึ้น ที่จุดนี้ความเร็วจะมีทิศตรงกันข้าม ในช่วงที่ลูกบอลลอยอยู่ในอากาศ กราฟจะเป็นรูปพาราโบลา



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

(c)

รูปที่ 2.3(ก) แสดงการเคลื่อนที่ระหว่างความสูงของลูกบอลกับเวลา
2.3(ข) แสดงการเคลื่อนที่ระหว่างความสูงของลูกบอลกับความเร็ว
2.3(ค) แสดงการเคลื่อนที่ระหว่างความเร็วกับเฟส

รูปแบบที่สามเป็นกราฟระหว่างความเร็วของลูกบอลและเฟส ที่จุดตกของคลื่นรูปไซน์ เรียกกราฟนี้ว่า อิมแพกซ์แม็พ(impact map) ดังแสดงในรูปที่ 2.3(c) สำหรับการเคลื่อนที่ของลูกบอลในแบบที่ง่ายที่สุดกราฟจะเป็นจุดหนึ่งจุด แกนตั้งเป็นความเร็วของลูกบอลที่จุดตก แกนนอนเป็นเฟสของคลื่นรูปซายน์ โดยที่เฟส θ เป็นผลคูณของความถี่เชิงมุม ω และ เวลา t ของคลื่น

$$\theta = \omega t \quad , \quad \omega = 2\pi/T \tag{2.2}$$

เมื่อ T เป็นคาบของคลื่น เนื่องจากคาบของคลื่นมีค่าเท่ากับ 2π จึงใช้ค่าเฟส mod 2π ซึ่งก็คือหาร θ ด้วย 2π และใช้เศษที่เหลือ

$$\theta \bmod 2\pi \quad = \quad \text{remainder}(\theta/2\pi) \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การจำลอง

ตามแบบจำลองการเคลื่อนที่ของลูกบอล เราสมมุติว่ามวลของพื้นที่มีค่ามากกว่ามวลของลูกบอลมาก และการตกกระทบของลูกบอลกับพื้นอยู่ในช่วงระยะเวลาสั้นๆทำให้ลูกบอลไม่มีผลต่อการเคลื่อนที่ของพื้นการชนกันของลูกบอลกับพื้น จะเป็นชนิดไม่ยืดหยุ่น (inelastic) มีพลังงานสูญเสียเล็กน้อยหลังจากการชน ถ้าหลังจากการชนไม่มีพลังงานสูญเสียการชนกัน จะเป็นชนิดยืดหยุ่นเราจะศึกษาทั้งสองกรณี กรณีที่สูญเสียพลังงาน (dissipative) และกรณีที่พลังงานคงที่ (conservative)

2.2.1 พื้นที่อยู่กับที่

เราจะพิจารณาการเปลี่ยนแปลงความเร็วของลูกบอลที่จุดตกกระทบพื้นโดยใช้กรอบอ้างอิง 2 แบบ แบบแรกเป็นการเคลื่อนที่ของลูกบอลเมื่อเทียบกับพื้นดินและแบบที่สองเป็นการเคลื่อนที่ของลูกบอลเมื่อเทียบกับพื้นโต๊ะ เริ่มต้นพิจารณาจากกรณีที่ง่ายที่สุดเมื่อพื้นโต๊ะ ไม่มีการเคลื่อนที่ซึ่งกรอบอ้างอิงทั้งสองจะเหมือนกันการศึกษากรณีพื้นอยู่กับที่จะทำให้เข้าใจกรณีโต๊ะเคลื่อนที่ได้

กำหนดให้ v_k' เป็นความเร็วของลูกบอลทันทีทันใดก่อนลูกตกกระทบพื้นครั้งที่ k และ v_k เป็นความเร็วของลูกบอลทันทีทันใดหลังจากลูกบอลตกกระทบพื้นถ้าพื้นโต๊ะไม่มีการเคลื่อนที่และการชนกันเป็นแบบยืดหยุ่นจะได้ $v_k = -v_k'$ ลูกบอลเปลี่ยนทิศทาง แต่ไม่เปลี่ยนความเร็วเพราะว่าไม่มีพลังงานสูญเสียหลังจากการชน

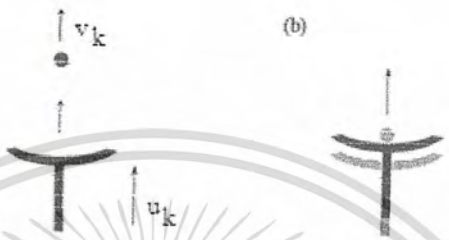
ถ้าการชนกันเป็นแบบไม่ยืดหยุ่นและพื้นโต๊ะไม่เคลื่อนที่ความเร็วของลูกบอลจะลดลงหลังจากการชนเพราะว่ามีการสูญเสียพลังงาน $v_k = -\alpha v_k', (0 \leq \alpha < 1)$ เมื่อ α เป็นสัมประสิทธิ์ของเรสทิทิวชัน(coefficient of restitution) ค่าคงที่ α จะแสดงถึงพลังงานที่สูญเสียในการชนแต่ละครั้ง ถ้า $\alpha = 1$ พลังงานมีการคงที่และการชนกันจะเป็นแบบยืดหยุ่นสำหรับการชนกันแบบไม่ยืดหยุ่น α จะน้อยกว่า 1

2.2.2 เมื่อพื้นโต๊ะมีการเคลื่อนที่

เมื่อพื้นโต๊ะมีการเคลื่อนที่ ความเร็วของลูกบอลหลังจากการชนจะเปลี่ยนแปลงไป เพราะว่ามีแรงกระทำจากพื้นโต๊ะกระทำกับลูกบอล ในการคำนวณหาการเปลี่ยนแปลงของความเร็วของลูกบอลจะพิจารณาจากการเคลื่อนที่ของลูกบอลเมื่อเทียบกับพื้นโต๊ะภายใต้กรอบอ้างอิงพื้นโต๊ะ พื้นโต๊ะจะไม่มีการเคลื่อนแต่ลูกบอลจะมีความเร็วเพิ่มขึ้นซึ่งมีค่าเท่ากันและ มีทิศตรงกันข้ามกับความเร็วของพื้นโต๊ะเมื่อเทียบกับพื้นดิน ดังนั้น ในการคำนวณการเปลี่ยนแปลงความเร็วของลูกบอลเราจะคำนวณการเปลี่ยนแปลงความเร็วของลูกบอลเมื่อเทียบกับพื้นโต๊ะก่อนแล้วจึงบอกความเร็วของพื้นโต๊ะเพื่อที่จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วของลูกบอล เมื่อเทียบกับพื้นดิน ในรูป 2.4 เราแสดงการเคลื่อนที่ของลูกบอลและพื้นโต๊ะ ทั้งที่เทียบกับพื้นดิน และเทียบกับพื้นโต๊ะ



รูปที่ 2.4(ก) แสดงการเคลื่อนที่ของลูกบอลและพื้นโต๊ะเทียบกับพื้นดิน
2.4(ข) เทียบกับพื้นโต๊ะ

กำหนดให้ u_k เป็นความเร็วของพื้นโต๊ะเมื่อเทียบกับพื้นดิน $\bar{v}_k'$ และ $\bar{v}_k$ เป็นความเร็วทันทีทันใด ก่อนและหลังการชนเมื่อเทียบกับพื้นโต๊ะ เครื่องหมาย $\bar{}$ แทนการวัดเทียบกับพื้นโต๊ะ ถ้าไม่มีเครื่องหมายนี้จะเป็นการวัดเมื่อเทียบกับพื้นดิน ดังนั้นเมื่อเทียบกับพื้นโต๊ะจะได้

$$\bar{v}_k = -\alpha \bar{v}_k' \tag{2.4}$$

เพราะว่าพื้นโต๊ะไม่มีการเคลื่อนที่การหาความเร็วของลูกบอลเมื่อเทียบกับพื้นดินเราจะต้องเพิ่มความเร็วของพื้นโต๊ะเข้ากับความเร็วของลูกบอล

$$v_k = \bar{v}_k + u_k, \quad v_k' = \bar{v}_k' + u_k$$

หรือ

$$\bar{v}_k = v_k - u_k, \quad \bar{v}_k' = v_k' - u_k. \tag{2.5}$$

ดังนั้นเมื่อเทียบกับพื้นดินจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_k - u_k = -\alpha[v'_k - u_k] \tag{2.6}$$

จะได้ความเร็ว v_k หลังจากการตกกระทบที่ k

$$v_k = [1 + \alpha]u_k - \alpha v'_k \tag{2.7}$$

สมการนี้มีชื่อเรียกว่า ความสัมพันธ์อิมแพกซ์(impact relation)ซึ่งแสดงว่าพื้นโต๊ะทำให้ความเร็วของลูกบอลเพิ่มขึ้น $[1+\alpha]u_k$

2.2.3 สมการการเคลื่อนที่ : แผนผังเฟสและความเร็ว

ในการศึกษาการเคลื่อนที่ของลูกบอล เราจะคำนวณเวลาหรือเฟสซึ่งลูกบอลตกกระทบพื้นโต๊ะ ณ ตำแหน่งต่างๆที่จุดตกนี้ความแตกต่างของตำแหน่งของลูกบอลและตำแหน่งของพื้นโต๊ะ มีค่าเป็นศูนย์ ช่วงที่ลูกบอลลอยอยู่กลางอากาศ ลูกบอลจะเคลื่อนที่ตามกฎของนิวตัน ภายใต้แรงโน้มถ่วงของโลก

กำหนดให้

$$x(t) = x_k + v_k(t - t_k) - \frac{1}{2}g(t - t_k)^2 \tag{2.8}$$

เป็นตำแหน่งของลูกบอลที่เวลา t และหลังจากการตกกระทบที่ k เมื่อ x_k เป็นตำแหน่งที่จุดตก k และ t_k เป็นเวลาที่การตกที่ k และให้

$$s(t) = A[\sin(\omega t + \theta_0) + 1] \tag{2.9}$$

เป็นตำแหน่งของพื้นโต๊ะซึ่งสั่นด้วยขนาด A ความถี่เชิงมุม ω และเฟส θ_0 ที่ t = 0 เราบวก 1 เข้ากับฟังก์ชันซายน์เพื่อที่จะทำให้การเคลื่อนที่ของพื้นโต๊ะ เป็นบวกตลอดเวลาความแตกต่างระหว่างลูกบอลและพื้นโต๊ะคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d(t) = x(t) - s(t) \tag{2.10}$$

ซึ่งจะมีค่าเป็นบวกทุกค่า เพราะว่าตำแหน่งของลูกบอลจะต้องไม่ต่ำกว่าพื้นโต๊ะ ค่าแรก $d(t) = 0$, $t > t_k$ จะได้

$$0 = x_k + v_k(t_{k+1} - t_k) - \frac{1}{2}g(t_{k+1} - t_k)^2 - A[\sin(\omega t_{k+1} + \theta_0) + 1] \tag{2.11}$$

ให้ $\theta = \omega t + \theta_0$ จะได้

$$0 = A[\sin(\theta_k) + 1] + v_k\left[\frac{1}{\omega}(\theta_{k+1} - \theta_k)\right] - \frac{1}{2}g\left[\frac{1}{\omega}(\theta_{k+1} - \theta_k)\right]^2 - A[\sin(\theta_{k+1}) + 1] \tag{2.12}$$

เมื่อ θ_{k+1} เป็น θ ต่อไปที่ค่า $d(\theta) = 0$

ในการแก้สมการ เราใช้ความจริงที่ว่าที่จุดตกกระทบตำแหน่งของพื้นโต๊ะและตำแหน่งของลูกบอลเป็นตำแหน่งเดียวกันนั่นคือ

$$x_k = A[\sin(\theta_k) + 1]$$

จะได้ความเร็ว

$$v_{k+1} = (1 + \alpha)\omega A\cos(\omega t_{k+1} + \theta_0) - \alpha[v_k - g(t_{k+1} - t_k)] \tag{2.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือในเทอมของตัวแปรเฟส

$$v_{k+1} = (1+\alpha)\omega A\cos(\theta_{k+1}) - \alpha\left\{v_k - g\left[\frac{1}{\omega}(\theta_{k+1} - \theta_k)\right]\right\} \quad (2.14)$$

ความเร็วของพื้นโต๊ะ

$$u(t) = \dot{s}(t) \equiv ds/dt = A\omega\cos(\omega t + \theta_0)$$

เมื่อลูกบอลลอยู่ในอากาศ ความเร็วของลูกบอล คือ

$$v_k - g(t - t_k)$$

แผนภูมิเฟสและแผนภูมิความเร็ว เป็นรูปแบบที่ใช้ในการอธิบายการเคลื่อนที่ของลูกบอลซึ่งสามารถจำลองโดยอาศัยคอมพิวเตอร์ได้

2.3 พารามิเตอร์

พิจารณาพารามิเตอร์ที่ใช้ในการศึกษา แสดงในตาราง 2.1 ในการศึกษา เราใช้เครื่องกำเนิดคลื่นซึ่งสามารถปรับความถี่ของพื้นโต๊ะ และขนาดของการสั่นได้สัมประสิทธิ์ของเรสทิทิวชั่น จะมีค่าต่างๆขึ้นกับชนิดของวัตถุที่ใช้ในการผลิตลูกบอล ลูกบอลที่ทำจากเหล็กจะมีค่าสัมประสิทธิ์มากกว่าลูกบอลที่ทำจากพลาสติก ไม้หรือแก้ว

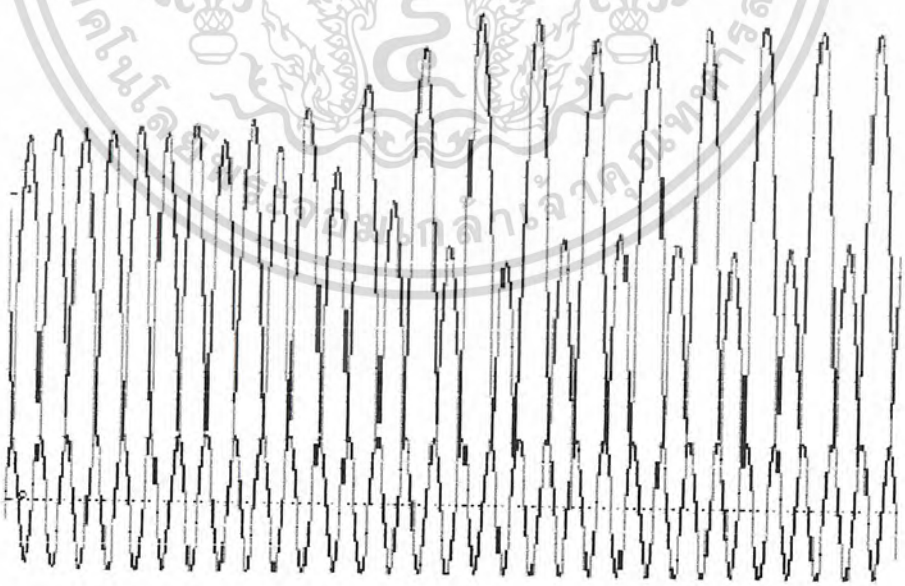
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.1 แสดงค่าพารามิเตอร์ต่างๆที่จำเป็นในการคำนวณ

พารามิเตอร์	สัญลักษณ์	ค่าที่ใช้ในการศึกษา
สัมประสิทธิ์ของเรสทิทิวชั่น	α	0.1 - 0.9
ความสูงของการสั่น	A	0.01 – 0.1 ซม.
คาบของการสั่น	T	0.1 – 0.01 วินาที
ความเร่งเนื่องจากแรงโน้มถ่วง	g	981 ซม./วินาที ^{2}
ความถี่	f	f = 1 / T
ความถี่เชิงมุม	ω	$\omega = 2\pi f$
ความเร่ง	β	$\beta = 2\omega^2(1+\alpha)A/g$

2.4 การเคลื่อนที่ของลูกบอลที่มีความสูงมาก

เมื่อการเคลื่อนที่ของลูกบอลมีความสูงมากถ้าเทียบกับระยะการสั่นของโต๊ะ ดังแสดงในรูปที่ 2.5 ทางเดินของลูกบอลจะสมมาตรเมื่อเทียบกับจุดกึ่งกลาง ดังนั้น



รูป 2.5 การเคลื่อนที่ของลูกบอลที่มีความสูงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v'_{k+1} = -v_k \tag{2.15}$$

ความเร็วของลูกบอลระหว่างจุดตก k และจุดตก k + 1 จะได้จาก

$$v(t) = v_k - g(t - t_k) \tag{2.16}$$

ที่จุดตก k + 1 , ความเร็ว = v'_{k+1} และเวลา = t_{k+1} ดังนั้น

$$v'_{k+1} = v_k - g(t_{k+1} - t_k) \tag{2.17}$$

อาศัยสมการ 2.15 จะได้

$$t_{k+1} = t_k + \frac{2}{g}v_k \tag{2.18}$$

ซึ่งเป็นไดอะแกรมเวลาของการเคลื่อนที่สูง

ในการหาไดอะแกรมความเร็ว เราจะเริ่มต้นจากความสัมพันธ์ในสมการ 2.17

$$\begin{aligned} v_{k+1} &= (1+\alpha)u_{k+1} - \alpha v'_{k+1} \\ &= (1+\alpha)u_{k+1} + \alpha v_k \end{aligned} \tag{2.19}$$

ซึ่งสมการนี้ได้จากสมการการเคลื่อนที่สูง 2.15 ความเร็วของโต๊ะที่จุด k + 1 สามารถเขียนได้เป็น

$$\begin{aligned} u_{k+1} &= \omega A \cos(\omega t_{k+1} + \theta_0) \\ &= \omega A \cos[\omega(t_k + 2v_k/g) + \theta_0] \end{aligned} \tag{2.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยอาศัยสมการ 2.18 จากสมการ 2.19 และสมการ 2.20 จะได้ไดอะแกรมของการเคลื่อนที่สูง

$$v_{k+1} = \alpha v_k + \omega(1+\alpha)A\cos[\omega(t_k + 2v_k/g) + \theta_0] \tag{2.21}$$

สมการการตกกระทบสามารถเขียนในรูปแบบอย่างง่าย โดยกำหนดให้

$$\theta = \omega t + \theta_0 \tag{2.22}$$

$$\nu = 2\omega v/g \quad \text{และ} \tag{2.23}$$

$$\beta = 2\omega^2(1+\alpha)A/g \tag{2.24}$$

ทำให้ได้

$$f = f_{\alpha,\beta}\begin{cases}\theta_{k+1} = \theta_k + \nu_k, \\ \nu_{k+1} = \alpha\nu_k + \beta\cos(\theta_k + \nu_k)\end{cases} \tag{2.25}$$

กรณีพิเศษ เมื่อ $\alpha = 1$ จะได้ไดอะแกรมมาตรฐานตัวห้อยของ $f_{\alpha,\beta}$ แสดงถึง ไดอะแกรมที่ขึ้นกับพารามิเตอร์ α และ β สมการนี้ง่ายต่อการหาค่าโดยใช้คอมพิวเตอร์

2.5 บริเวณกับดัก

การหาบริเวณกับดัก ของระบบการเคลื่อนที่ของลูกบอล เราจะต้องหาขอบเขตบนสำหรับความเร็ว v_{k+1} โดยอาศัยความเร็ว v_k จากนั้นจึงจะหาขอบเขตล่างของความเร็ว v_{k+1} ซึ่งทำให้เราทราบขอบเขตของบริเวณกับดัก (θ_i, V_i) จากสมการ 2.13

$$v_{k+1} - \alpha v_k = (1+\alpha)\omega A\cos(\omega t_{k+1} + \theta_0) + \alpha g(t_{k+1} - t_k) \tag{2.26}$$

เทอมแรกของสมการนี้หาขอบเขตได้ง่าย สำหรับเทอมที่สอง เราจะเริ่มจากหาค่าเฉลี่ยความเร็วของลูกบอลเมื่อไม่มีการชน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\bar{v}_k = v_k - \frac{1}{2}g(t_{k+1} - t_k)$$

จัดรูปแบบของสมการใหม่ จะได้

$$t_{k+1} - t_k = \frac{2}{g}(v_k - \bar{v}_k)$$

จะได้สมการ (2.26) เป็น

$$v_{k+1} + \alpha v_k = (1+\alpha)A\omega\cos(\omega t_{k+1} + \theta_0) - 2\alpha\bar{v}_k + 2\alpha v_k \tag{2.27}$$

เนื่องจาก ความเร็วเฉลี่ยของโต๊ะมีค่าเท่ากับความเร็วเฉลี่ยของลูกบอล จะได้

$$v_{k+1} - \alpha v_k \leq (1+3\alpha)A\omega \tag{2.28}$$

กำหนดให้

$$v_{max} = \frac{1+3\alpha}{1-\alpha}A\omega \tag{2.29}$$

และให้ $v_k > v_{max}$ ดังนั้น

$$v_{k+1} - \alpha v_k < (1-\alpha)v_k$$

หรือ

$$v_{k+1} < v_k$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้ จะเกิดบริเวณกับดักเมื่อ $\alpha < 1$ ในกรณีที่ไม่มีการสูญเสียพลังงานที่จุดตกกระทบความสูงและความเร็วจะเพิ่มขึ้นเรื่อยๆ โดยไม่มีขีดจำกัด

การหาขอบเขตล่างของ v_{k+1} จะหาได้จาก ความเร็วหลังชนอย่างน้อยที่สุดจะต้องเท่ากับความเร็วของโต๊ะ

$$v_{k+1} \geq -A\omega = v_{min} \tag{2.30}$$

บริเวณกับดัก D คือบริเวณซึ่ง

$$D = \{(\theta, v) \mid v_{min} \leq v \leq v_{max}\} \tag{2.31}$$

เป็นบริเวณซึ่งอยู่ระหว่าง v_{min} และ v_{max}

2.6 ผลเฉลยสมดุล

เมื่อเข้าสู่บริเวณกับดักแล้ว จะไปที่ใดต่อไปเราจะหาคำตอบนี้โดย เริ่มจากการเคลื่อนที่ของลูกบอลบนโต๊ะที่หยุดนิ่ง แล้วค่อยๆเพิ่มขนาดการเคลื่อนที่ของโต๊ะขึ้นเรื่อยๆ อย่างช้าๆ

ถ้าโต๊ะอยู่กับที่ ให้ $A = 0$

$$v_{k+1} = \alpha v_k \tag{2.32}$$

อาศัยไดอะแกรมเวลา $t_{k+1} - t_k = (2/g)v_k$ จดค่าเวลาที่ลูกบอลตกกระทบ 3 ค่า ต่อเนื่องกัน จะหาค่าของ ค่า α ได้

$$\alpha = \frac{t_{k+2} - t_{k+1}}{t_{k+1} - t_k} \tag{2.33}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะหาว่า ใช้เวลานานเท่าไรลูกบอลจึงจะหยุดเคลื่อนที่ พิจารณาผลรวมของผลต่างของเวลาตกกระทบ

$$\Gamma = \sum_{n=0}^{\infty} \tau_n = \tau_0 + \tau_1 + \tau_2 + \cdots$$
$$\tau_k \equiv t_{k+1} - t_k \tag{2.34}$$

เนื่องจาก $\tau_{k+1} = \alpha\tau_k$

$$\begin{aligned}\Gamma &= \tau_0 + \tau_1 + \tau_2 + \cdots \\ &= \tau_0 + \alpha\tau_0 + \alpha^2\tau_0 + \cdots \\ &= \sum_{n=0}^{\infty} \tau_0\alpha^n = \frac{\tau_0}{1-\alpha}\end{aligned} \tag{2.35}$$

ซึ่งจะหาค่าได้ ถ้า $\alpha < 1$ ลูกบอลจะหยุดนิ่งเมื่อเวลาผ่านไปช่วงหนึ่ง

2.7 ผลเฉลยยึดติด

ลูกบอลเคลื่อนที่ไปพร้อมกับโต๊ะ ถ้าหากว่าเราเพิ่มขนาดของการเคลื่อนที่ของโต๊ะอย่างช้าๆ เริ่มต้นลูกบอลจะติดอยู่กับโต๊ะจนกระทั่งความเร็วของโต๊ะมากกว่าความเร่งของแรงโน้มถ่วง g ความเร่งของโต๊ะจะได้จาก

$$\ddot{s} = -A\omega^2 \sin(\omega t + \theta_0) \tag{2.36}$$

ความเร่งสูงสุดมีค่าเท่ากับ $A\omega^2$ เมื่อ $A\omega^2$ มีค่ามากกว่า g ลูกบอลจะไม่ติดกับโต๊ะ โดยจะเคลื่อนที่ในอากาศขนตกลงมาอีกครั้งหนึ่ง เฟสที่ลูกบอลเริ่มต้นพ้นจากโต๊ะ คือ

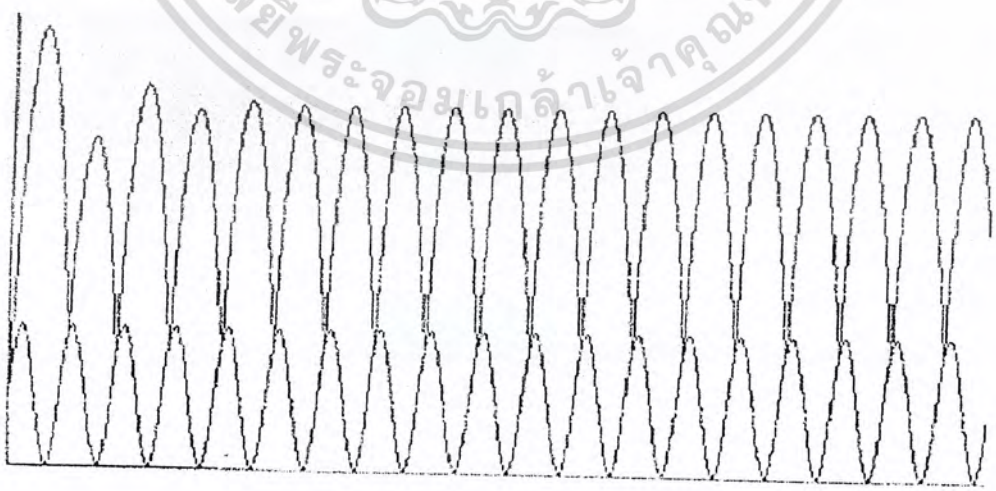
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-g = -A\omega^2 \sin(\theta_{unstuck})$$
$$\Longrightarrow \quad \theta_{unstuck} = \arcsin\left(\frac{g}{A\omega^2}\right) \tag{2.37}$$

ถึงแม้ว่า ความเร่งของโต๊ะมากกว่า g ลูกบอลอาจจะติดกับโต๊ะได้ โดยที่ลูกบอลตกกระทบโต๊ะหลายครั้งในช่วงเวลาระหว่างการตกกระทบ มีค่าเข้าใกล้เวลาที่น้อยกว่าคาบเวลาการสั่นของโต๊ะ Γ ลูกบอลจะติดกับโต๊ะจนกระทั่งเฟสมากกว่า $\theta_{\text{ไม่ติด}}$ จึงจะเคลื่อนที่ตามปรกติอย่างไรก็ตามภาวการณ์ติดกันของลูกบอลกับโต๊ะ ไม่สามารถหาในทางกลับกันโดยการลดค่าความต่างศักย์ที่ให้กับโต๊ะ ภาวะการติดกันมีผลเฉลยแตกต่างกันมากมาย ขึ้นอยู่กับสัมประสิทธิ์ของเรสทิทิวชั่น

2.8 การเคลื่อนที่เป็นรอบ

เมื่อเพิ่มค่าความต่างศักย์ให้กับโต๊ะมากขึ้น จะทำให้ลูกบอลที่อยู่ในสภาวะติดเคลื่อนที่ไปอยู่ในสภาวะเป็นรอบ ดังรูป 2.6 แสดงการเคลื่อนที่อยู่ในสภาวะครบ 1 รอบ (period one) การเคลื่อนที่ของลูกบอลครบ 1 รอบ จะเท่ากับการเคลื่อนที่ของโต๊ะครบ 1 รอบเช่นกัน

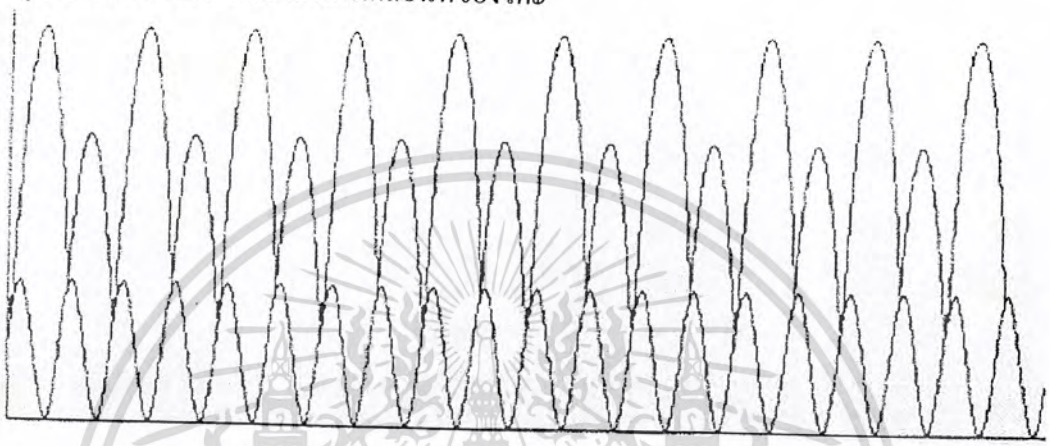


รูปที่ 2.6 สภาวะครบ 1 รอบ (period 1 orbit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เมื่อเพิ่มความต่างศักย์มากขึ้นอีก สภาวะ 1 รอบจะแตกตัว (bifurcates) แตกเป็นสองสภาวะ (period two) ดังแสดงในรูป 2.7 ลูกบอลจะเคลื่อนที่สูงและต่ำเป็นรอบ โดยที่ 1 รอบของการเคลื่อนที่ของลูกบอลจะเท่ากับ 2 รอบของการเคลื่อนที่ของโต๊ะ

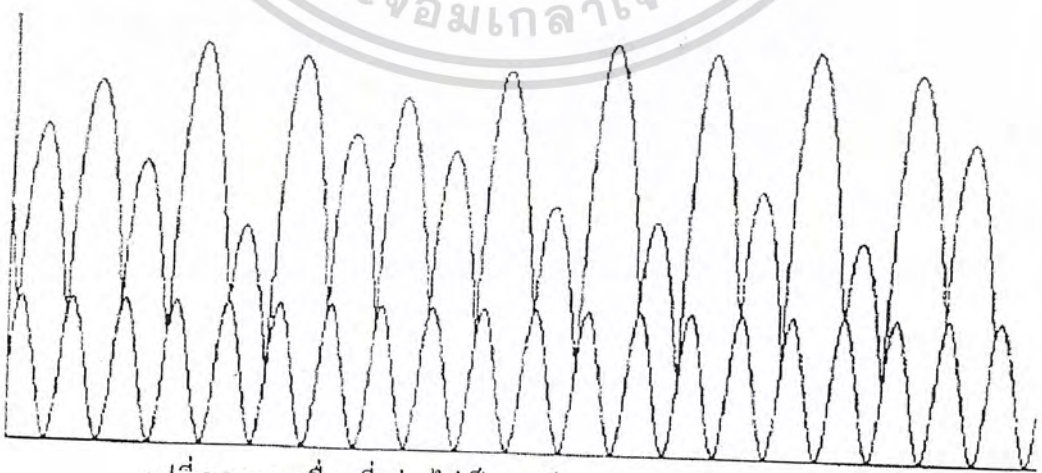


รูปที่ 2.7 สภาวะครบ 2 รอบ (period 2 orbit)

เมื่อเพิ่มความต่างศักย์ของโต๊ะไปเรื่อยๆ จะพบสภาวะแตกตัวเป็น 2^n รอบ เมื่อ n เป็นเลขเติมหน่วยบวก

$$P = 2^n = 1,2,4,8,16,..... \tag{2.38}$$

แต่เมื่อความต่างศักย์ของโต๊ะมาค่ามาก จนถึงค่าหนึ่ง การเคลื่อนที่ของลูกบอลจะไม่เป็นระเบียบไม่มีเวลาคาบ เรียกว่า การเคลื่อนที่ชนิดเคออส(chaotic motion) ดังแสดงในรูป



รูปที่ 2.8 การเคลื่อนที่อย่างไม่เป็นระเบียบของลูกบอล (chaotic orbit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

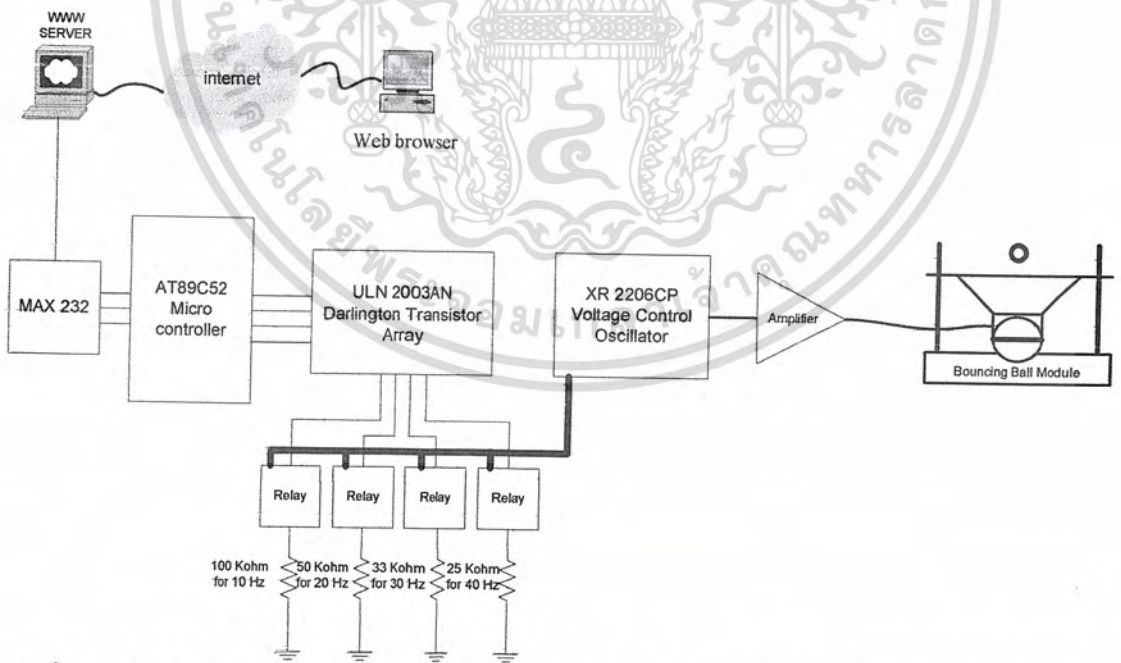
55751

บทที่ 3
การออกแบบและสร้าง

3.การออกแบบและสร้าง

การออกแบบโครงงานการทดลองการเกิดปรากฏการณ์เคออสด้วย bouncing ball ผ่านเครือข่ายอินเตอร์เน็ทสามารถแบ่งออกเป็น 3 ส่วนหลักคือ

1. ส่วนหน้าติดต่อผู้เข้าเยี่ยมชม (User Interface)
2. ส่วนเวิร์ดไวด์เว็บเซิร์ฟเวอร์ (WWW Server)
3. ส่วนโครงสร้าง Bouncing Ball ที่ใช้ทดลอง (Bouncing Ball Module)

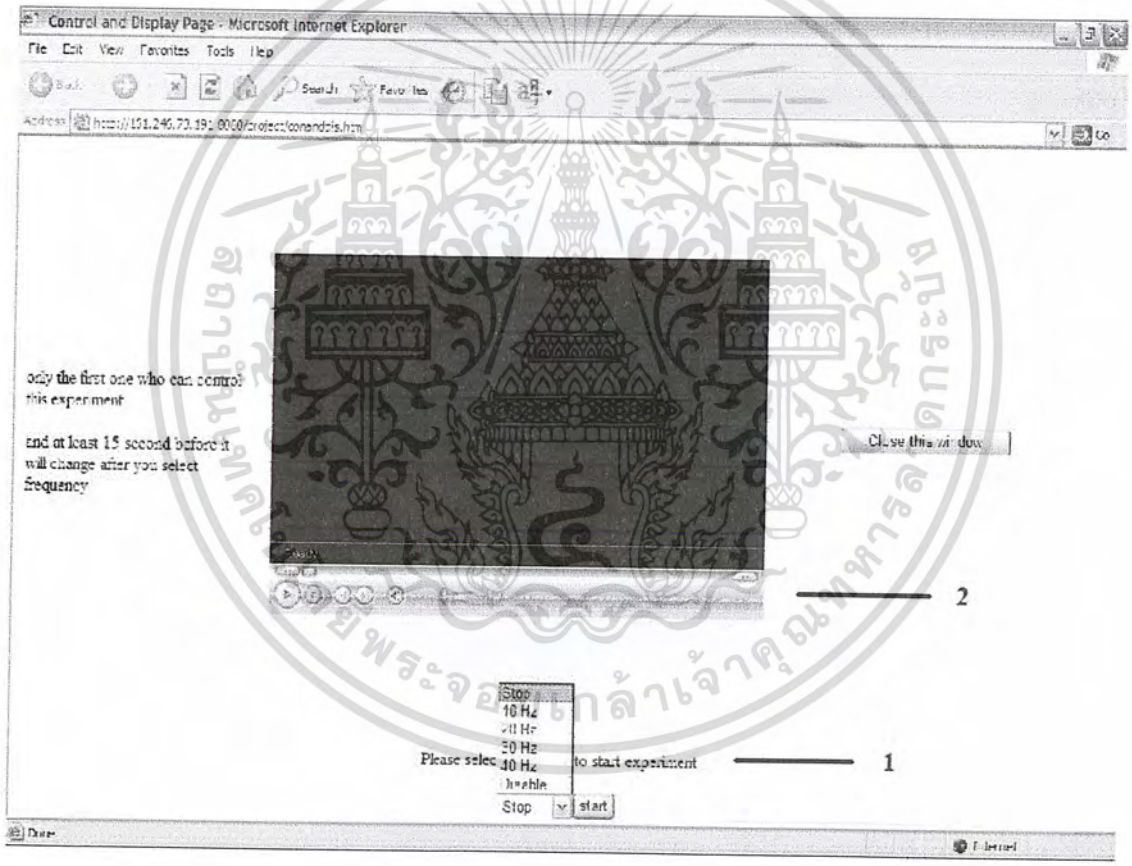


รูปที่ 3.1 บล็อกไดอะแกรมแสดงการเชื่อมต่อการทดลองระหว่างผู้เยี่ยมชมกับชุดทดลองผ่านเครือข่ายอินเตอร์เน็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 User Interface

ส่วนการติดต่อกับผู้ใช้คือโฮมเพจ ที่มีการออกแบบให้ผู้เข้าเยี่ยมชมสามารถควบคุมการทดลองผ่านเครือข่ายอินเตอร์เน็ทได้ทันทีทันใด โดยใช้ภาษา PHP ที่เป็นการใช้งาน เวิร์ดไวด์เว็บเซิร์ฟเวอร์ (WWW Server) ช่วยทำให้สามารถควบคุมการทำงานของเครื่องเซิร์ฟเวอร์ โดยใช้ทรัพยากรน้อยมากเพื่อลดภาระในส่วนนี้ของเครื่องโดยหน้าที่ใช้ในการควบคุมการทดลองของผู้เยี่ยมชมแสดงดังรูปที่ 3.2



รูปที่ 3.2 แสดงหน้าต่างการติดต่อกับผู้เยี่ยมชม

การแสดงหน้าโฮมเพจเพื่อ ให้ผู้เยี่ยมชมสามารถควบคุมการทดลองผ่านเครือข่ายอินเตอร์เน็ท ซึ่งสามารถเลือกความถี่ที่มีความแตกต่างได้ถึง 4 ความถี่ ซึ่งเป็นความถี่ที่มีความเหมาะสมในการแสดงความแตกต่างในการเกิดปรากฏการณ์เคออส และให้ผู้เยี่ยมชมสามารถเริ่มต้น เปลี่ยนแปลง หรือ หยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองได้ด้วยตนเอง แต่จะมีเพียงผู้เยี่ยมชมที่ได้รับสิทธิให้ควบคุมได้เพียงผู้เดียวในเวลานั้น ๆ เท่านั้นเพื่อป้องกันการเกิดการควบคุมซ้อนกันของผู้เยี่ยมชมหลายคนพร้อมกัน เมื่อมีผู้ได้รับสิทธิเพียงผู้เดียวในการควบคุมการทดลองในเวลานั้น จะทำให้ผู้เยี่ยมชมอื่นๆในเวลาเดียวกันสามารถเข้าชมการทดลองเป็นภาพเคลื่อนไหวได้เพียงเท่านั้น

จากรูปที่ 3.2 แสดงหน้าโฮมเพจที่ใช้แสดงให้ผู้เยี่ยมชมเห็นได้จะแยกเป็นสองส่วนคือ

1. ส่วนควบคุม
2. ส่วนแสดงการทดลองเป็นภาพเคลื่อนไหว

1.ส่วนควบคุม

เป็นส่วนที่ให้ผู้เยี่ยมชมสามารถเปลี่ยนแปลงค่าต่างๆที่กำหนดไว้ เพื่อให้เริ่มต้น เปลี่ยนแปลง หรือ หยุดทำการทดลอง และยกเลิกสิทธิในการควบคุมการทดลอง ผ่านหน้านี้ ซึ่งค่าต่างๆที่กำหนดไว้สามารถเปลี่ยนแปลงตามความเหมาะสม เมื่อนำไปใช้กับรูปแบบอื่น ซึ่งรูปแบบในการควบคุมสำหรับการทดลองนี้ที่กำหนดไว้ มีค่าที่กำหนดไว้คือ

1.1 Stop เป็นตัวเลือกที่จะทำให้การทดลองหยุดลง
1.2 10 Hz เป็นตัวเลือกที่จะทำให้ส่วนของ bouncing ball มีการเคลื่อนที่ที่ความถี่ 10 Hz
1.3 20 Hz เป็นตัวเลือกที่จะทำให้ส่วนของ bouncing ball มีการเคลื่อนที่ที่ความถี่ 20 Hz
1.4 30 Hz เป็นตัวเลือกที่จะทำให้ส่วนของ bouncing ball มีการเคลื่อนที่ที่ความถี่ 30 Hz
1.5 40 Hz เป็นตัวเลือกที่จะทำให้ส่วนของ bouncing ball มีการเคลื่อนที่ที่ความถี่ 40 Hz
1.6 Disable เป็นตัวเลือกที่จะยกเลิกสิทธิในการควบคุมการทดลอง

จนกว่าผู้ที่มีสิทธิควบคุมการทดลองจะยกเลิกสิทธิของตัวเองจะไม่มีผู้เยี่ยมชมอื่น สามารถเปิดหน้าควบคุมการทดลองได้เลยซึ่งเป็นการทำให้เข้าใจได้โดยง่ายว่ามีผู้ควบคุมการทดลองอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.ส่วนแสดงการทดลองเป็นภาพเคลื่อนไหว

เป็นส่วนที่ผู้เยี่ยมชมทุกคนสามารถเข้าได้ทันทีโดยที่เมื่อมีผู้เยี่ยมชมที่มีสิทธิควบคุม จะทำให้ผู้เยี่ยมชมอื่นแสดงเพียงหน้านี้หน้าเดียวเท่านั้น ซึ่งเป็นการแสดงการเคลื่อนที่ของ bouncing ball เป็นภาพเคลื่อนไหวที่จะเปลี่ยนแปลงตามการทดลองในปัจจุบันโดยอาจจะมีการล่าช้าของสัญญาณภาพตามความเร็วของเครือข่ายของผู้เยี่ยมชม

3.2 WWW Server

ใช้เครื่องคอมพิวเตอร์ที่ติดตั้งโปรแกรมอาปาเช่(Apache)ที่ทำหน้าที่เป็นเวิร์ดไวด์เว็บเซิร์ฟเวอร์สำหรับเครื่องคอมพิวเตอร์ที่ต่อเชื่อมกับเครือข่ายอินเตอร์เน็ทเพื่อเป็นเครื่องควบคุมการส่งหน้าโฮมเพจไปยังผู้เยี่ยมชมเมื่อเชื่อมต่อเข้ามาที่เครื่องและ ทำการควบคุมการทดลองผ่านพอร์ทอนุกรมและทำการส่งภาพเคลื่อนไหวแบบกระจาย (broadcast) ได้ ซึ่งสามารถแบ่งการทำงานหลักของเครื่องเซิร์ฟเวอร์ได้คือ

2.1 ส่วนเวิร์ดไวด์เว็บเซิร์ฟเวอร์ (www server)

2.2 ส่วนแพร่ภาพเคลื่อนไหว (video broadcast)

2.3 ส่วนควบคุมพื้นโต๊ะจำลอง (bouncing ball control module)

ซึ่งทั้ง 3 ส่วนเป็นการทำงานที่อิสระต่อกัน แต่ใช้ในการควบคุมการทำงานของเครื่องเซิร์ฟเวอร์ที่ใช้ในโครงงานนี้ได้ทั้งหมด การทำงานของแต่ละส่วน คือ

2.1 ส่วนเวิร์ดไวด์เว็บเซิร์ฟเวอร์ (www server)

เป็นส่วนที่ใช้ในการกำหนดให้เครื่องคอมพิวเตอร์ที่ใช้ในโครงงานนี้ สามารถเป็นเวิร์ดไวด์เว็บเซิร์ฟเวอร์ และสามารถตอบรับการเปลี่ยนแปลงของค่าที่ใช้ในการทดลองที่เปลี่ยนแปลง โดยผู้เยี่ยมชมที่ใช้ ภาษา PHP ในการเปลี่ยนค่าซึ่งเป็นภาษาที่ประมวลผลที่ส่วนของเซิร์ฟเวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ส่วนแพร่ภาพเคลื่อนไหว (video broadcast)

ในการส่งแพร่ภาพผ่านระบบเครือข่ายอินเตอร์เน็ท ใช้โปรแกรมวินโดว์ มีเดีย เอนโค้ดเดอร์ (Window Media Encoder) ซึ่งเป็นโปรแกรมที่ใช้ในการแพร่กระจายภาพเป็นวิดีโอสตรีม(video stream) ที่จะส่งภาพและเสียงที่เข้ารหัสแล้วผ่านเครือข่ายอินเตอร์เน็ท โดยมีการล่าช้าของข้อมูลเพียงเล็กน้อยทำให้ผู้เยี่ยมชมสามารถรอชมได้ทันทีหลังจากที่เปลี่ยนค่าที่ใช้ในการทดลอง

2.3 ส่วนควบคุมพื้นโต๊ะจำลอง (bouncing ball control module)

ใช้การควบคุมการสร้างความถี่ผ่านพอร์ทอนุกรมของเครื่องเซิร์ฟเวอร์ แล้วนำไปขยายด้วยแอมพลิไฟเออร์(Amplifier)ที่จะขับให้พื้นโต๊ะจำลองที่สร้างจากลำโพงมีการเคลื่อนที่เป็นสัญญาณไซน์

ส่วนนี้ประกอบด้วยโปรแกรมภาษา วิชวลเบสิก (visual basic) ที่ใช้ในการส่งค่าความถี่ไปยังพอร์ทอนุกรมของเครื่องเซิร์ฟเวอร์โดยถูกกำหนดให้ส่งค่าทุกๆ 1 วินาทีและกำหนดให้ ส่วนที่รับข้อมูลจากพอร์ทอนุกรมที่เป็นไมโครคอนโทรลเลอร์ (micro controller) แปลงค่าข้อมูลที่ได้เป็นบิตข้อมูลเพื่อเลือกความถี่ โดยใช้การเปลี่ยนค่าความต้านทานของวงจรสร้างความถี่

ไมโครคอนโทรลเลอร์ AT89C52 ของ ATMEL เป็นไอซีไมโครคอนโทรลเลอร์ที่สามารถเขียนโปรแกรมใส่เข้าไปเพื่อให้ส่งค่าออกที่พอร์ท 0 ถึง 3 ได้ตามที่ต้องการ ซึ่งโครงงานนี้ใช้การเขียนโปรแกรมที่จะแปลงค่าจากตัวคาแรคเตอร์ (Character) ที่ส่งมาจากพอร์ทอนุกรมของเครื่องเซิร์ฟเวอร์แล้วแปลงค่าออกเป็นบิตที่พอร์ท 2 ของตัวไมโครคอนโทรลเลอร์เพื่อควบคุมไอซี ULN2003AN ในการเลือกความต้านทานอีกต่อหนึ่ง

วงจรสร้างความถี่ด้วย IC# XR2206 CP เป็นวงจรที่จะสร้างความถี่โดยใช้การคำนวณค่า R,C ที่ต่อเป็นวงจรที่สามารถสร้างความถี่ได้ตั้งแต่ 10 ถึง 1,000,000 Hz และมีค่าการผิดเพี้ยนที่ต่ำ ในโครงงานนี้ได้เลือกใช้วงจรที่สามารถปรับรูปร่างของสัญญาณให้มีความสมมาตรได้ และยังสามารถเลือกรูปแบบของสัญญาณเป็นสัญญาณรูปสามเหลี่ยมได้อีกด้วย ซึ่งเป็นคุณสมบัติเด่นของไอซีเบอร์นี้ และวงจรที่ใช้ถูกเรียกว่า วงจรสร้างสัญญาณรูปคลื่นไซน์ที่มีการบิดเบือนจากการแทรกสอดต่ำ(Sine Wave Generator with Minimum Harmonic Distortion)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซี ULN2003AN เป็นไอซีที่ใช้คู่กับตัวรีเลย์เพื่อใช้ในการเลือกค่าความต้านทาน ที่ถูกใช้ในการสร้างความถี่ของวงจรสร้างความถี่โดยการต่อขาควบคุมเข้ากับพอร์ท 2 ของไมโครคอนโทรลเลอร์ ซึ่งถ้าหากว่าไม่มีการเลือกที่ความถี่ใดเลยจะไม่มีการต่อความต้านทานใดและจะทำให้วงจรสร้างความถี่ไม่สามารถสร้างความถี่ได้เลยและทำให้พื้นโต๊ะไม่มีการเคลื่อนไหวใดๆ

3.3 Bouncing Ball Module

เป็นส่วนของการสร้างอุปกรณ์ขึ้นมาเพื่อสร้างพื้นโต๊ะที่สามารถเคลื่อนที่ในแนวดิ่งตามรูปแบบของสัญญาณและความถี่ที่ต้องการเพื่อใช้ในการทดลองและสามารถแสดงให้เห็นผลการทดลองได้อย่างชัดเจน

รูปที่ 3.3 รูปโครงสร้างของพื้นโต๊ะจำลองที่สามารถเคลื่อนที่ได้ ในมุมต่างๆ

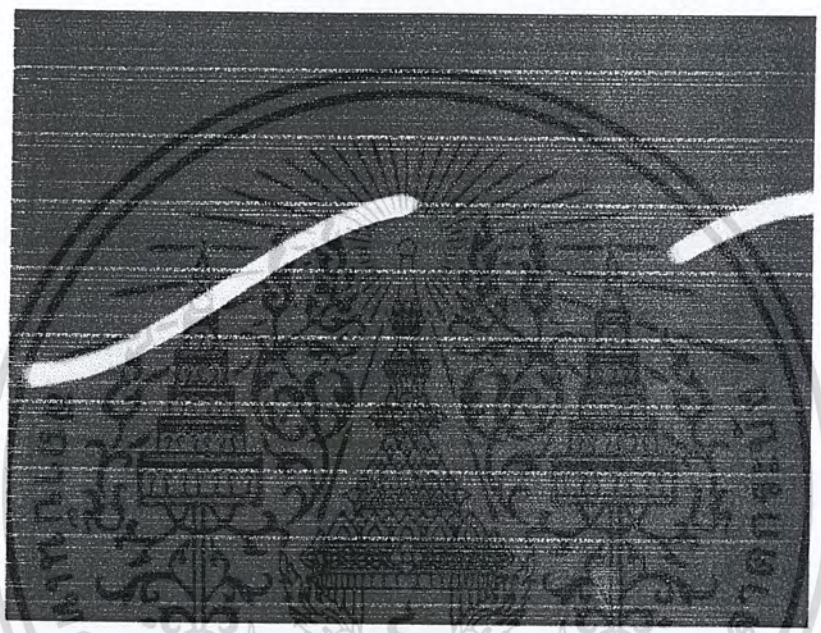
จากรูปที่ 3.3 เป็นการใช้ลำโพงที่มีการดัดแปลงเพื่อให้สามารถทดแทนพื้นโต๊ะ ที่มีการเคลื่อนขึ้นลงในรูปแบบของสัญญาณรูปคลื่นไซน์และ ใช้ลูกปิงปองที่มีค่าสัมประสิทธิ์ของเรสทิทิวชั่นสูงเพื่อให้ผลการทดลองแสดงให้เห็นได้อย่างชัดเจน

โดยโครงสร้างของพื้นโต๊ะจำลองถูกออกแบบให้มีฐานยึดที่มั่นคงเพื่อป้องกันการเคลื่อนที่ เมื่อมีการสั่นของพื้นโต๊ะและสามารถปรับให้ระดับของพื้นโต๊ะมีการตั้งฉากกับแรงโน้มถ่วงของโลกเพื่อให้การกระเด้งของลูกบอลอยู่ในแนวตั้งฉากกับพื้นโต๊ะแล้วเคลื่อนไหวในทิศทางเดียวเท่านั้น

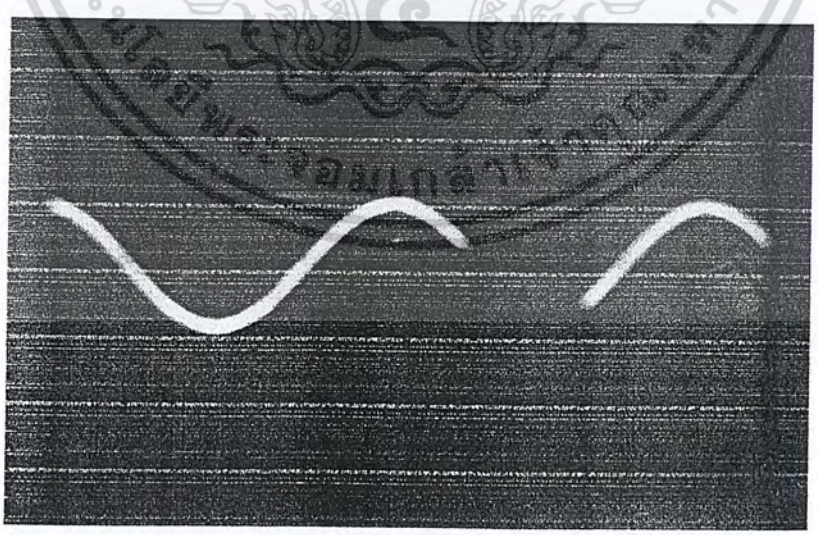
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

ผลการทดลองที่ได้จากการสร้างวงจรสร้างความถี่แสดงดังรูปที่ 4.1

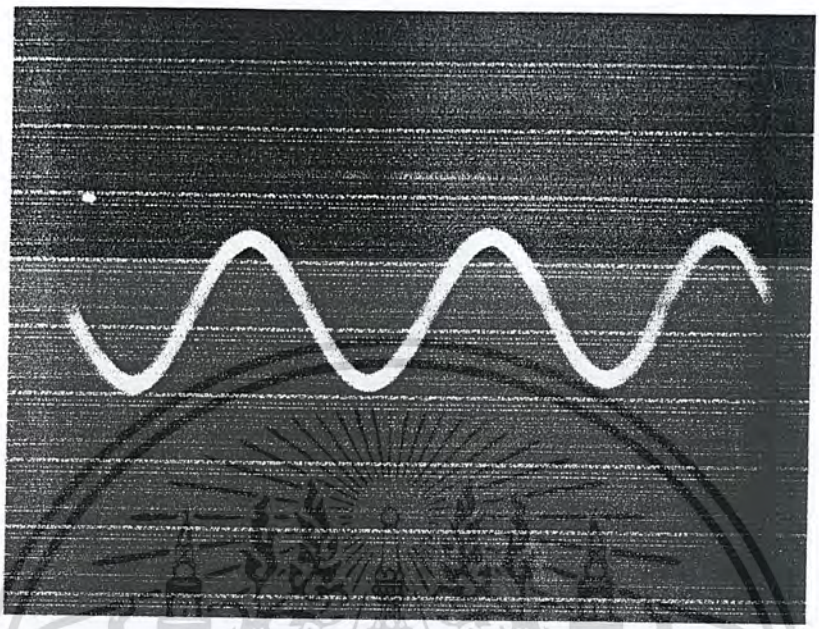


(ก)

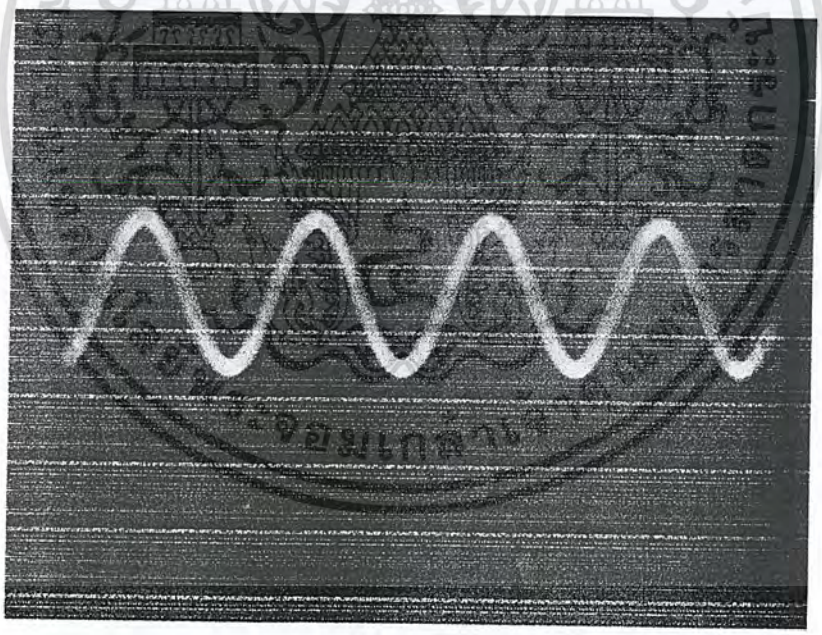


(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

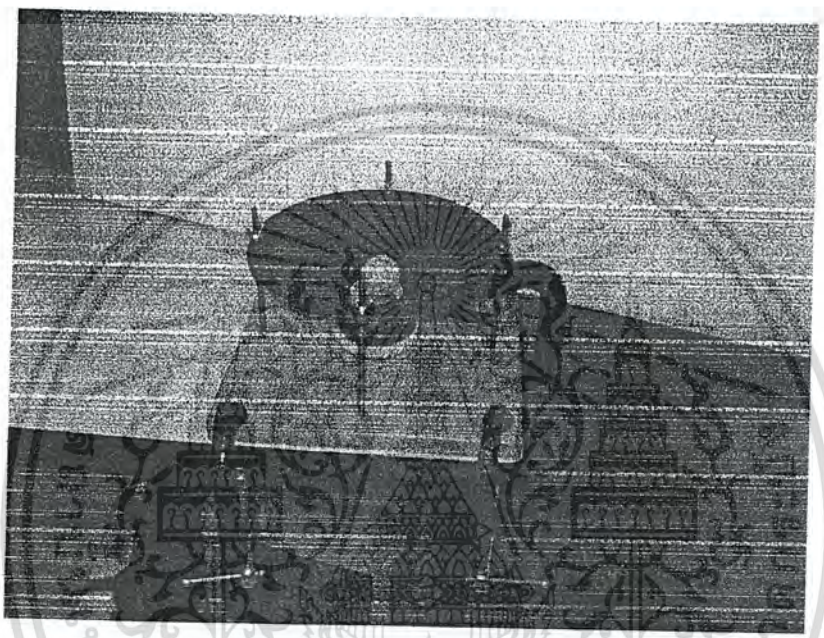


(ง)

รูปที่ 4.1 แสดงสัญญาณที่ได้จากการเลือกความถี่(ก)รูปสัญญาณไซน์ที่ความถี่ 10 Hz(ข)รูปสัญญาณไซน์ที่ความถี่ 20 Hz (ค)รูปสัญญาณไซน์ที่ความถี่ 30 Hz (ง)รูปสัญญาณไซน์ที่ความถี่ 40 Hz (ตรวจจับความถี่โดยตั้งค่า oscilloscope คือ 10 msec/Div & 0.5 Volt/Div)

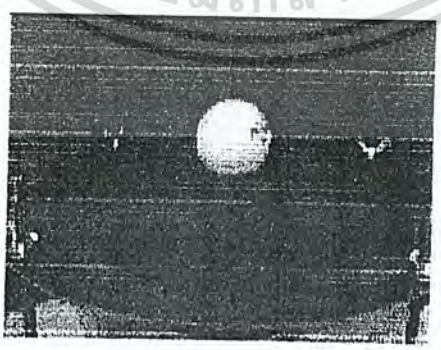
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของพื้นโต๊ะจำลองที่ถูกสร้างขึ้นโดยมีการปรับค่าระดับของพื้นที่ให้มีความคงที่ที่สุดแล้ว แสดงดังรูปที่ 4.2



รูปที่ 4.2 แสดงโครงสร้างของพื้นโต๊ะจำลองที่ถูกสร้างขึ้น

ความละเอียดและลักษณะของข้อมูลภาพการเคลื่อนที่ของลูกบอลสามารถแสดงได้ดังรูปที่ 4.3



รูปที่ 4.3 แสดงภาพของการทดลองเมื่อแพร่ภาพผ่านเครือข่ายอินเตอร์เน็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

สรุปผลการทดลอง

โครงงานการทดลองนี้เป็นส่วนหนึ่งในการศึกษาการเกิดปรากฏการณ์เคออสติค ในรูปแบบที่เกิดได้ทั่วไป โดยอ้างอิงการเคลื่อนที่ของวัตถุซึ่งในที่นี้ใช้ลูกปิงปองที่มีค่าสัมประสิทธิ์ของเรสทิทิวชั่นสูงด้วยการคำนวณทางคณิตศาสตร์ เพื่อสามารถนำไปใช้ในทางด้านอื่นๆ เช่น อุตสาหกรรม ได้

การสร้างพื้นโต๊ะจำลอง จะทำให้สามารถแสดงการทดลองผ่านเครือข่ายอินเตอร์เน็ทเพื่อให้ผู้ที่มีความสนใจในเรื่องของปรากฏการณ์เคออส ให้ได้มีทางเลือกในการศึกษาเพิ่มขึ้น

ปัญหาที่เกิดขึ้น

การพิสูจน์การเกิดปรากฏการณ์เคออสของการกระเด้งของลูกบอล เป็นการยากที่จะสร้างการจำลองการเคลื่อนที่ของลูกบอลให้เหมือนจริงได้ เนื่องจากสมรรถภาพของพื้นโต๊ะจำลองที่ถูกสร้างขึ้นมีอย่างจำกัด

โครงสร้างของพื้นโต๊ะจำลองยังยากในการที่จะปรับระดับความตั้งฉากกับแรงโน้มถ่วงของโลกเพราะระดับของพื้นจะมีผลจากปัจจัยหลายๆอย่างทั้งความเรียบของพื้นผิว การเคลื่อนตัวของไดอะแฟรมเมื่อลำโพงได้รับสัญญาณไฟฟ้าที่ไม่เป็นระดับ ซึ่งปัญหาเหล่านี้ต้องใช้เครื่องมือ และอุปกรณ์ที่มีมาตรฐานสูง หรือสร้างขึ้นเองซึ่งยากมาก

แนวทางในการพัฒนา

ในการพัฒนาการพิสูจน์การเกิดปรากฏการณ์เคออสไม่ใช่มีเพียงการแสดงการกระดอนของลูกบอลที่เป็นเคออส เท่านั้น ยังมีรูปแบบอื่นๆของการทดลองอีกมากมายและโครงสร้างของโครงงานนี้จะเป็นพื้นฐานของการศึกษาการเกิดปรากฏการณ์เคออส ผ่านเครือข่ายอินเตอร์เน็ทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

หนังสือ An experimental approach to nonlinear dynamics and chaos เขียนโดย Nicholas B. Tufillaro, Jeremiah Reilly, and Tyler Abbott ของสำนักพิมพ์ Addison-Wesley 1992

หนังสือ php เปลี่ยนวิถีสู่การสร้างโฮมเพจอย่างมืออาชีพ เขียนโดย กิตติภูมิ วรฉัตร ของสำนักพิมพ์ บริษัท วิตตี้ กรุ๊ป จำกัด

หนังสือ เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS -51 แบบแฟลช ฉบับ AT89C5 ของ atmel เขียนโดย วรพจน์ กรแก้ววัฒนกุล, ชัยวัฒน์ ลิ้มพรจิตรวิไล ของสำนักพิมพ์ บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอร์สโค้ดของโปรแกรมส่งค่าผ่านพอร์ทอนุกรม

```
Dim data As String

Private Sub Command1_Click()
If Timer1.Enabled Then
    Timer1.Enabled = False
    Command1.Caption = "ON"
  Else
    Timer1.Interval = 1000
    Timer1.Enabled = True
    Command1.Caption = "OFF"
  End If

If MSComm1.PortOpen = True Then
        MSComm1.PortOpen = False
      Else
        MSComm1.PortOpen = True
        MSComm1.Settings = "9600,n,8,1" 'synch
      End If
End Sub

Private Sub Command2_Click()
   MSComm1.PortOpen = False
End Sub

Private Sub Timer1_Timer()
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Dim data2 As Integer
 free = FreeFile

Open "C:\AppServ\www\project\data.txt" For Input As #free
If LOF(free) = 0 Then
   Else
     Line Input #free, data

If ((data = "00") Or (data = "17") Or (data = "18") Or (data = "20") Or (data = "24")) And
(MSComm1.PortOpen) Then
  data2 = Int(data)
  MSComm1.Output = Chr(data2)
  Debug.Print data
  Debug.Print data2
  Debug.Print Data3
  Text1.Text = data
  End If
End If
Close #free
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอร์สโค้ดของโปรแกรมของไมโครคอนโทรลเลอร์

```
        ORG   0000H
        LJMP  MAIN

        ORG   0023H
        LJMP  SERIAL_INT


MAIN:
        MOV   TMOD,#021H        ; T1 8Bit Auto, T0 16Bit
        MOV   TH1,#0FDH         ; 9600 bps Timer1 Default
        MOV   TL1,#0FDH         ;
        MOV   IE,#10010000B  ; En. EA, ES
        SETB  TR1               ; Start Timer1
        MOV   SCON,#050H        ; Mode1 RX Enable

        SJMP  $

;***************** SERIAL ************************
SERIAL_INT:
        PUSH  A
        JNB   RI,EXIT
        CLR   RI
        MOV   P2,SBUF
EXIT:
        POP   A
        RETI
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATASHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

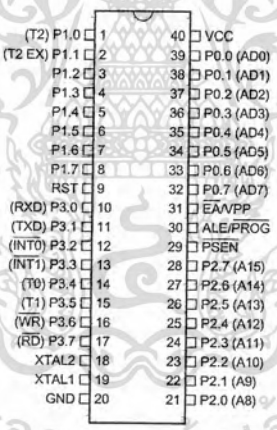
- Compatible with MCS-51™ Products
- 8K Bytes of In-System Reprogrammable Flash Memory
- Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Eight Interrupt Sources
- Programmable Serial Channel
- Low-power Idle and Power-down Modes

Description

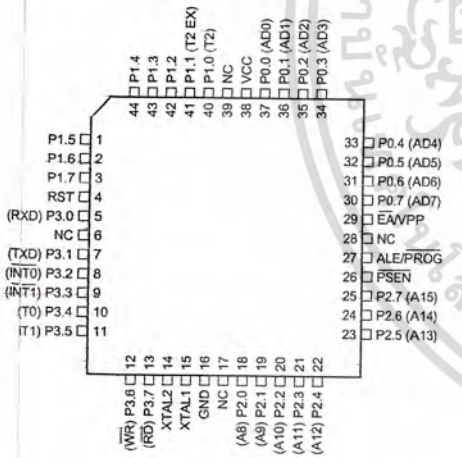
The AT89C52 is a low-power, high-performance CMOS 8-bit microcomputer with 8K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 and 80C52 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C52 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

Pin Configurations

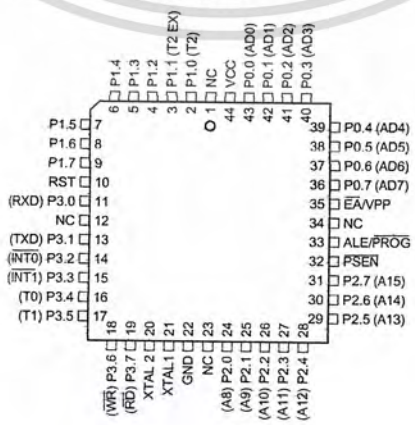
PDIP



PQFP/TQFP



PLCC



8-bit Microcontroller with 8K Bytes Flash

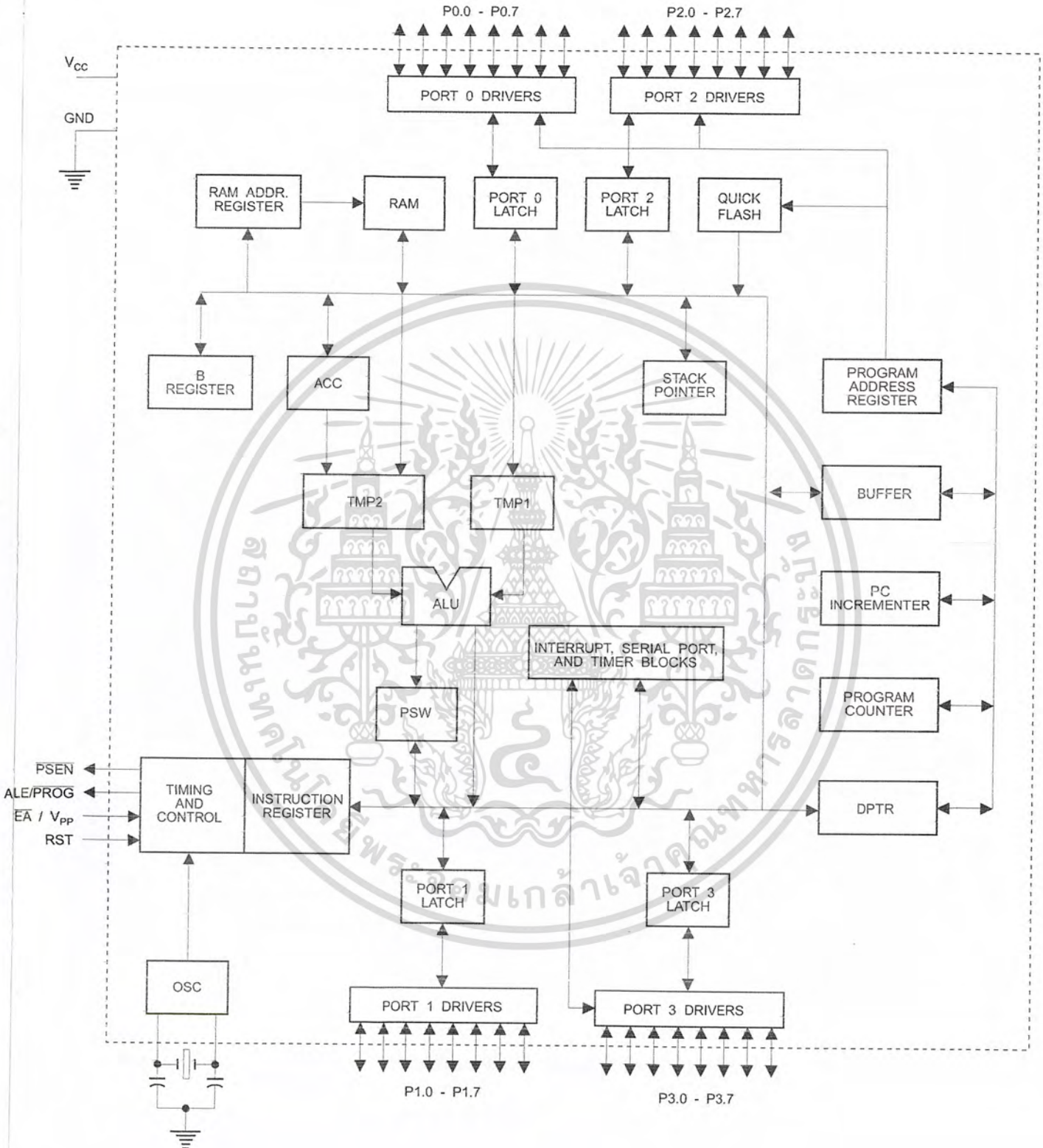
AT89C52

Not Recommended for New Designs. Use AT89S52.

Rev. 0313H–02/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C52 provides the following standard features: 8K bytes of Flash, 256 bytes of RAM, 32 I/O lines, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full-duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89C52 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next hardware reset.

Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bi-directional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

In addition, P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively, as shown in the following table.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51, as shown in the following table.

Port 3 also receives some control signals for Flash programming and verification.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{\text{PSEN}}$

Program Store Enable is the read strobe to external program memory.

When the AT89C52 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

$\overline{\text{EA}}$/VPP

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Table 1. AT89C52 SFR Map and Reset Values

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000		0CFH
0C0H								0C7H
0B8H	IP XX000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000							0AFH
0A0H	P2 11111111							0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H	P0 11111111	SP 00000111	DPL 00000000	DPH 00000000			PCON 0XXX0000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 4) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16-bit capture mode or 16-bit auto-reload mode.

Interrupt Registers The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the six interrupt sources in the IP register.r

Table 2. T2CON – Timer/Counter 2 Control Registe

T2CON Address = 0C8H — Reset Value = 0000 0000B

Bit Addressable

Bit	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$
	7	6	5	4	3	2	1	0

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/$\overline{RL2}$ = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

Data Memory

The AT89C52 implements 256 bytes of on-chip RAM. The upper 128 bytes occupy a parallel address space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

Timer 0 and 1

Timer 0 and Timer 1 in the AT89C52 operate the same way as Timer 0 and Timer 1 in the AT89C51.

Timer 2

Timer 2 is a 16-bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 3.

Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

Table 3. Timer 2 Operating Modes

RCLK +TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16-bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Auto-reload (Up or Down Counter)

Timer 2 can be programmed to count up or down when configured in its 16-bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 4). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Timer in Capture Mode

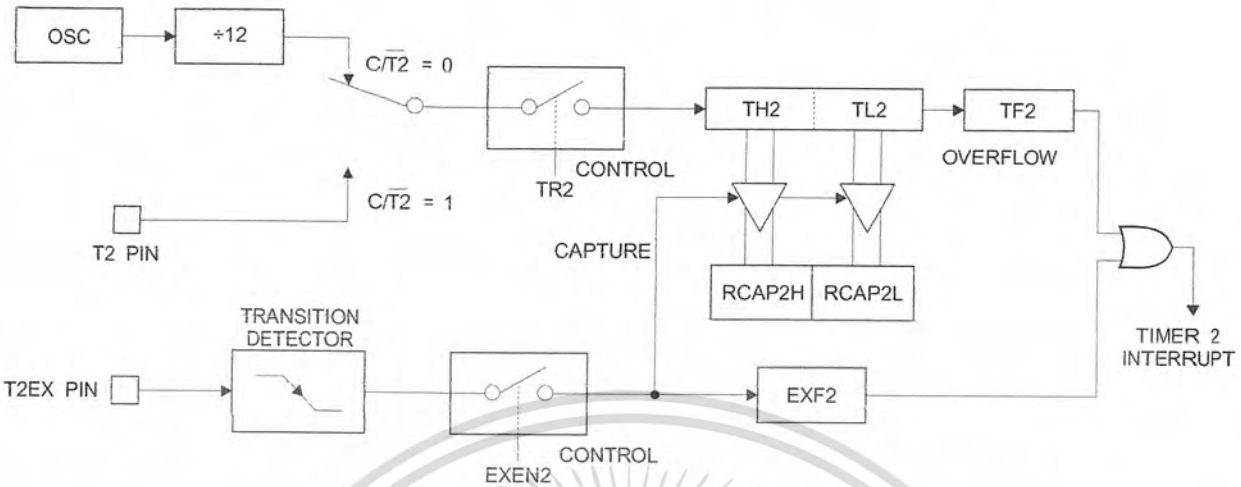


Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16-bit value in RCAP2H and RCAP2L. The values in Timer in Capture ModeRCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16-bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Timer 2 Auto Reload Mode (DCEN = 0)

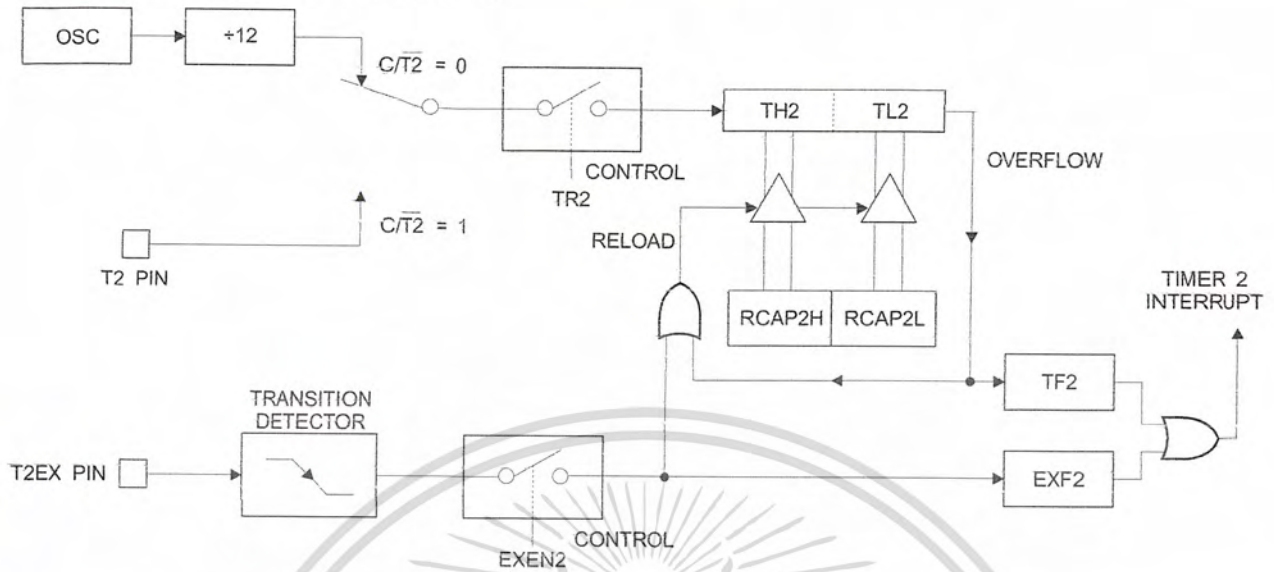


Table 4. T2MOD – Timer 2 Mode Control Register

T2MOD Address = 0C9H — Reset Value = XXXX XX00B

Not Bit Addressable

Bit	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	T2OE	DCEN

Symbol	Function
–	Not implemented, reserved for future
T2OE	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

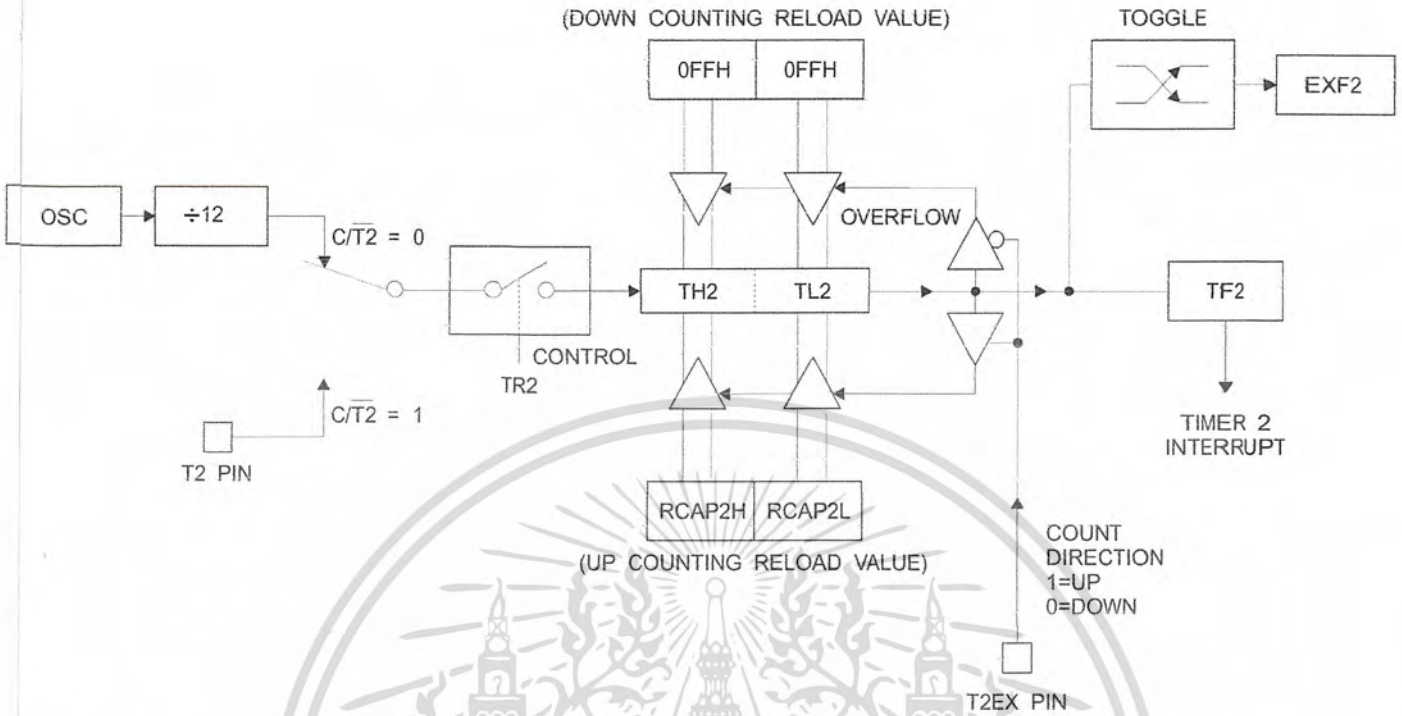
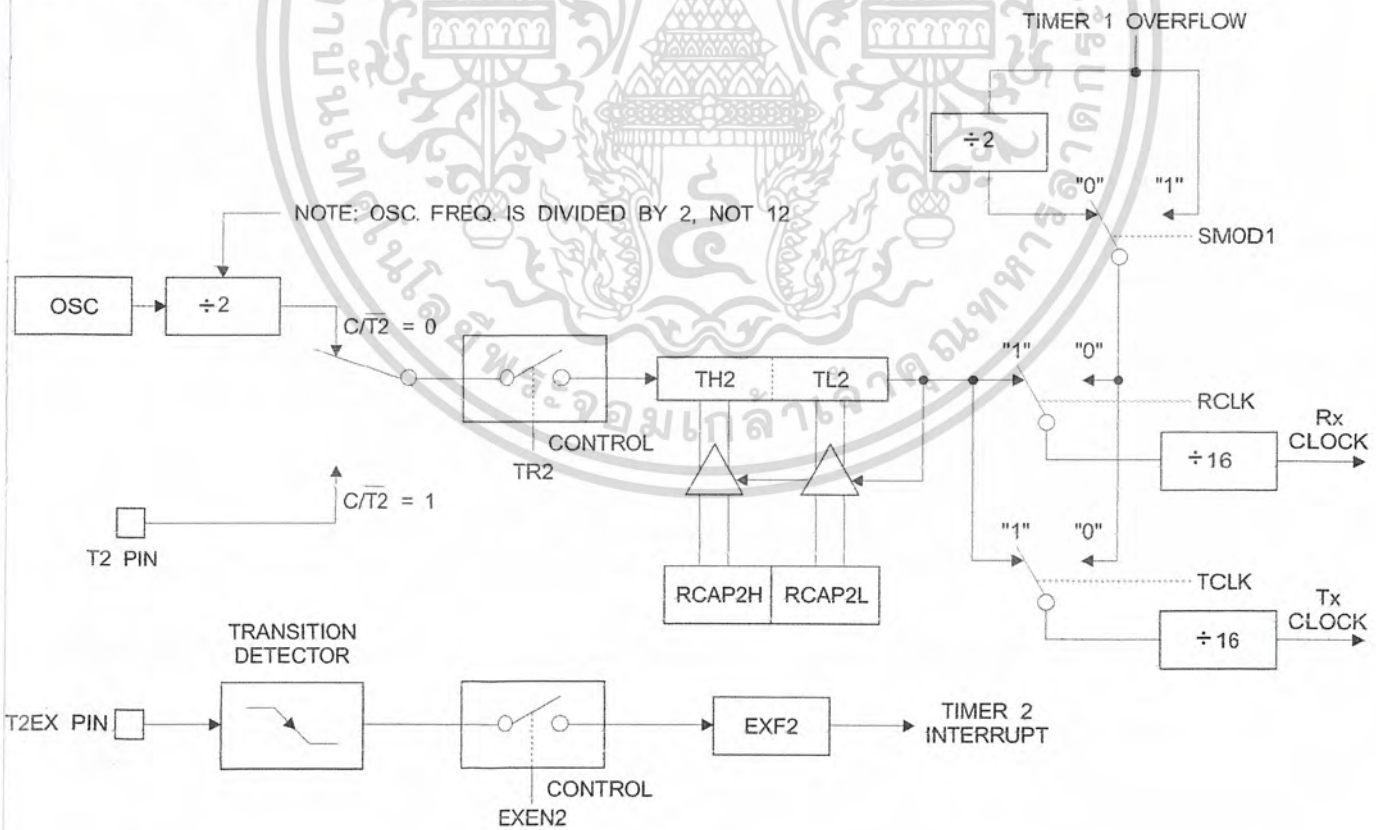


Figure 4. Timer 2 in Baud Rate Generator Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($CP/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

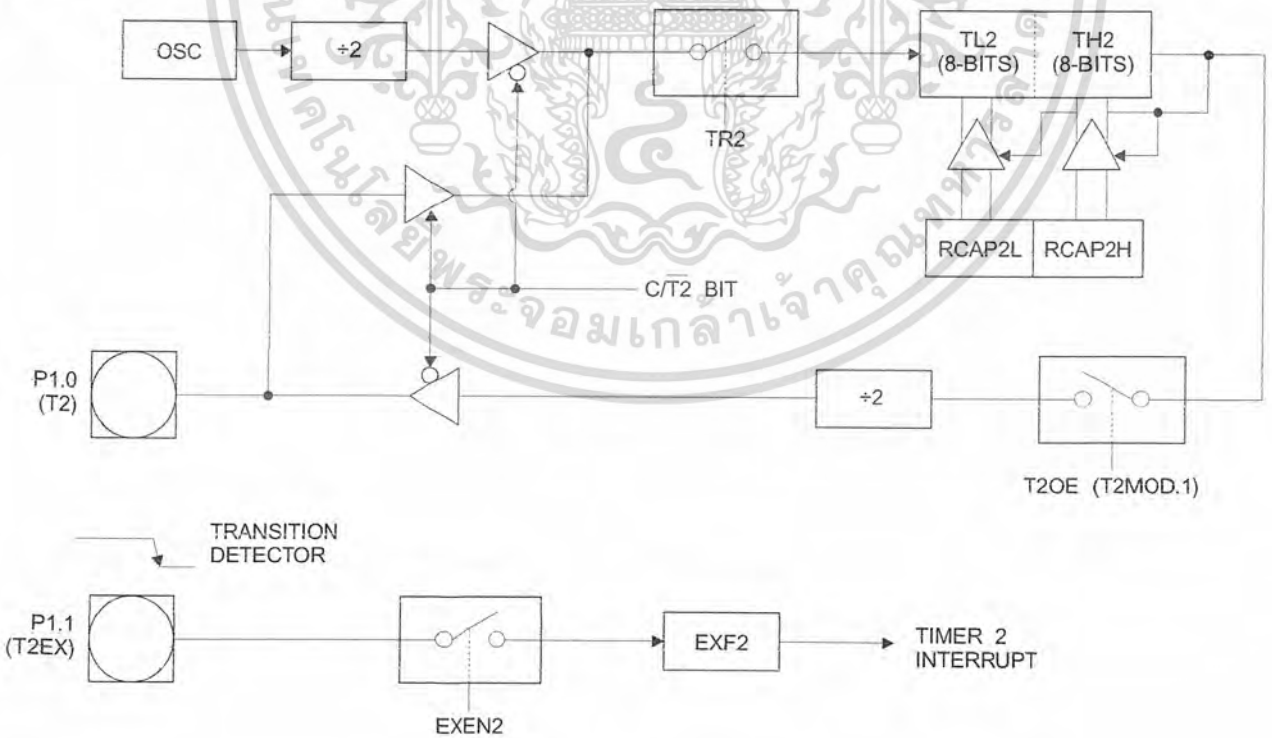
$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Figure 5. Timer 2 in Clock-out Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock-Out Frequency} = \frac{\text{Oscillator Fequency}}{4 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

In the clock-out mode, Timer 2 roll-overs will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

UART

The UART in the AT89C52 operates the same way as the UART in the AT89C51.

Interrupts

The AT89C52 has a total of six interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 6.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table shows that bit position IE.6 is unimplemented. In the AT89C51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 5. Interrupt Enable (IE) Register

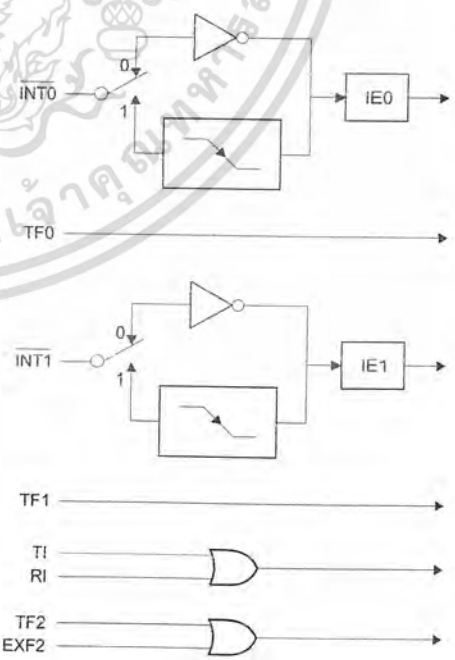
(MSB)							(LSB)
EA	–	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
–	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	Serial Port interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.
User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.		

Figure 6. Interrupt Sources



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 7. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 8. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

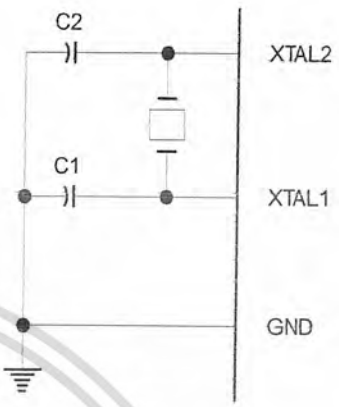
In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power-down Mode

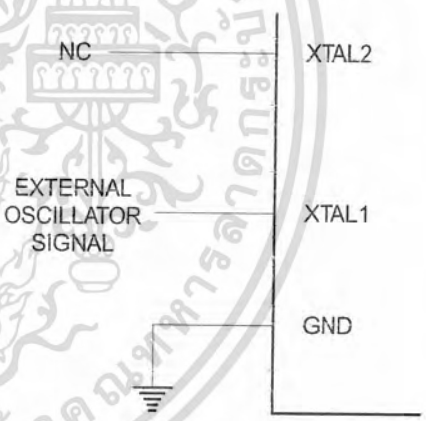
In the power-down mode, the oscillator is stopped, and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. The only exit from power-down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Figure 7. Oscillator Connections



Note: C1, C2 = 30 pF ±10 pF for Crystals
= 40 pF ±10 pF for Ceramic Resonators

Figure 8. External Clock Drive Configuration



Status of External Pins During Idle and Powe-down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Memory Lock Bits

The AT89C52 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Lock Bit Protection Modes

	Program Lock Bits			
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash memory is disabled.
3	P	P	U	Same as mode 2, but verify is also disabled.
4	P	P	P	Same as mode 3, but external execution is also disabled.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Programming the Flash

The AT89C52 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The Low-voltage programming mode provides a convenient way to program the AT89C52 inside the user's system, while the high-voltage programming mode is compatible with conventional third-party Flash or EPROM programmers.

The AT89C52 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-side Mark	AT89C52 xxxx yyww	AT89C52 xxxx - 5 yyww
Signature	(030H) = 1EH (031H) = 52H (032H) = FFH	(030H) = 1EH (031H) = 52H (032H) = 05H

The AT89C52 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm Before programming the AT89C52, the address, data and control signals should be set up according to the Flash programming mode table and Figure 9 and Figure 10. To program the AT89C52, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling The AT89C52 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$ The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate $\overline{BUSY}$. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all 1s. The chip erase operation must be executed before the code memory can be reprogrammed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reading the Signature Bytes The signature bytes are read by the same procedure as a normal verification of locations 030H, 031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 52H indicates 89C52
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST	$\overline{PSEN}$	ALE/$\overline{PROG}$	$\overline{EA}/V_{PP}$	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L		H/12V	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase		H	L	(1)	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10 ms $\overline{PROG}$ pulse.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Programming the Flash Memory

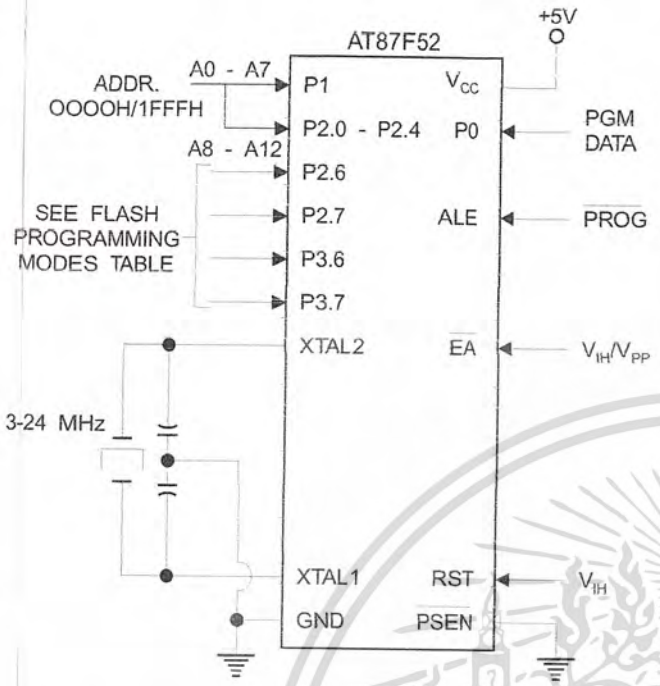
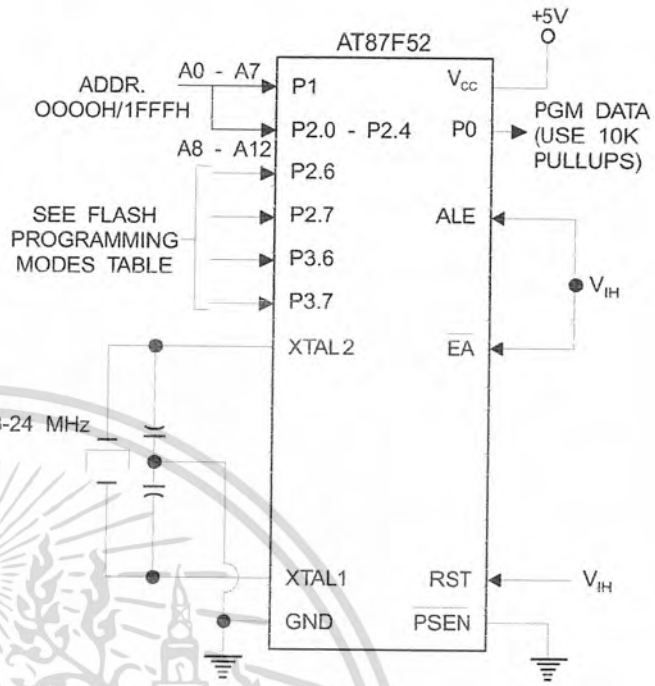


Figure 10. Verifying the Flash Memory



Flash Programming and Verification Characteristics

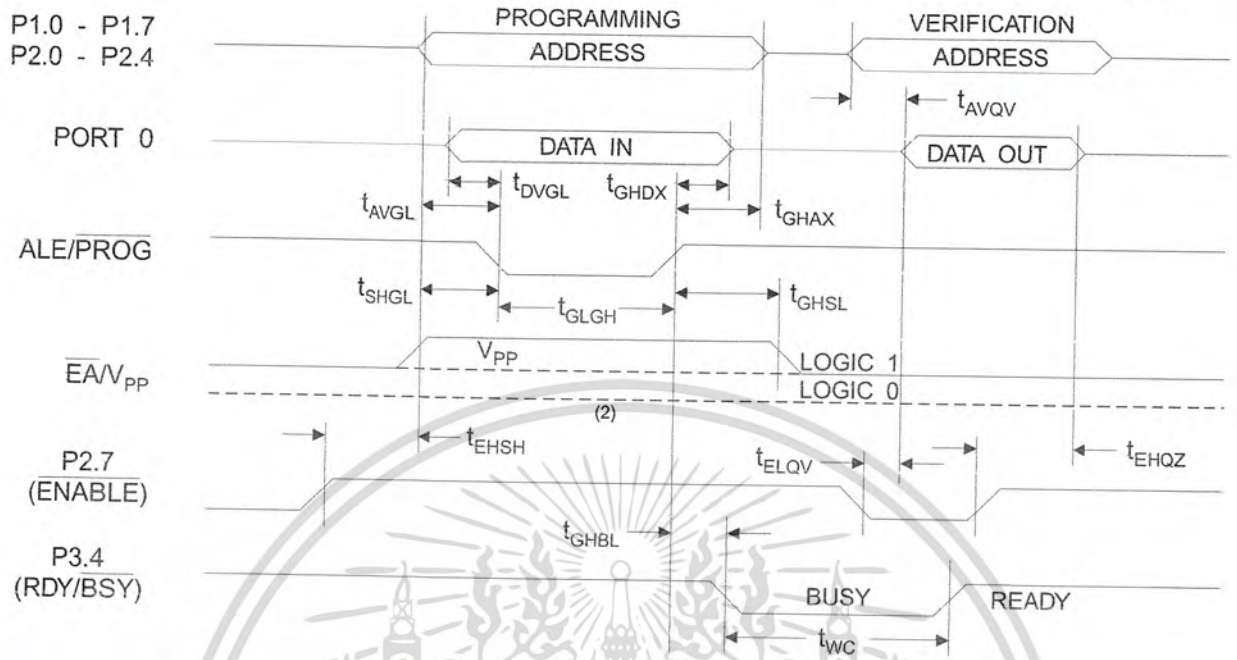
T_A = 0°C to 70°C, V_{CC} = 5.0 ±10%

Symbol	Parameter	Min	Max	Units
V_{PP}(1)	Programming Enable Voltage	11.5	12.5	V
I_{PP}(1)	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold after $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}(1)	V_{PP} Hold after $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float after $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

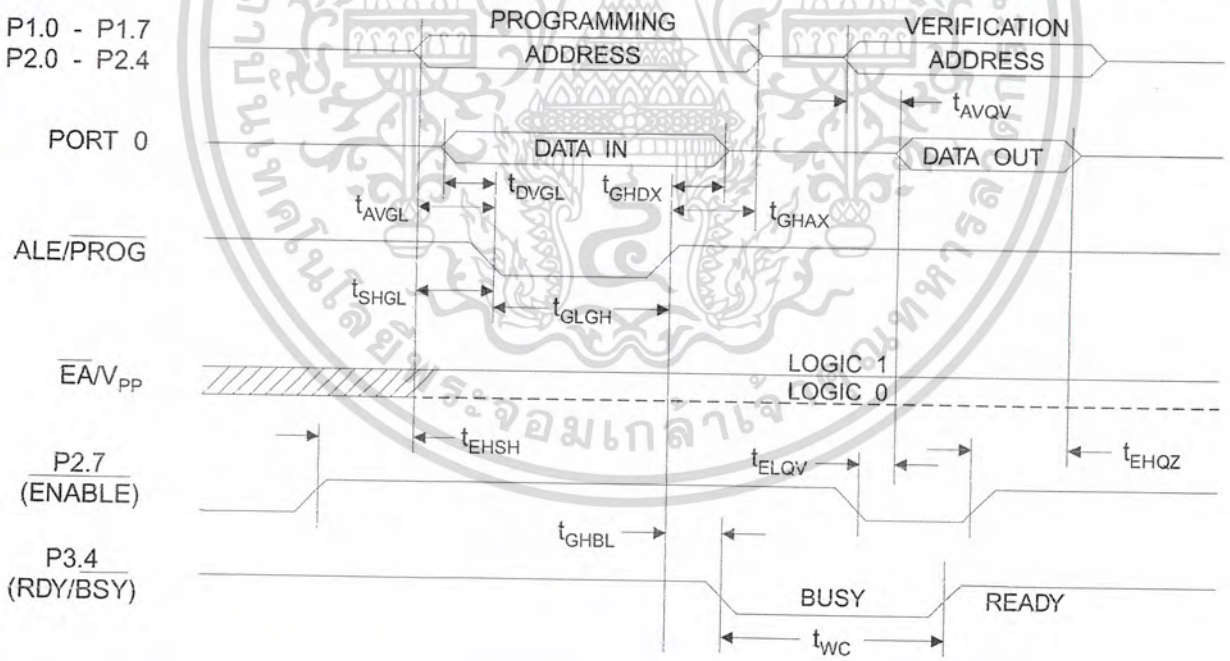
Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High-voltage Mode (V_{PP}=12V)



Flash Programming and Verification Waveforms - Low-voltage Mode (V_{PP}=5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

The values shown in this table are valid for T_A = -40°C to 85°C and V_{CC} = 5.0V ±20%, unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC}-0.1	V
V_{IL1}	Input Low-voltage ($\overline{EA}$)		-0.5	0.2 V_{CC}-0.3	V
V_{IH}	Input High-voltage	(Except XTAL1, RST)	0.2 V_{CC}+0.9	V_{CC}+0.5	V
V_{IH1}	Input High-voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC}+0.5	V
V_{OL}	Output Low-voltage(1) (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low-voltage(1) (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High-voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High-voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ±10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, V_{CC} = 5V ± 10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25° C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		25	mA
		Idle Mode, 12 MHz		6.5	mA
	Power-down Mode(1)	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 10 mA
   Maximum I_{OL} per 8-bit port:
   Port 0: 26 mA Ports 1, 2, 3: 15 mA
   Maximum total I_{OL} for all output pins: 71 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

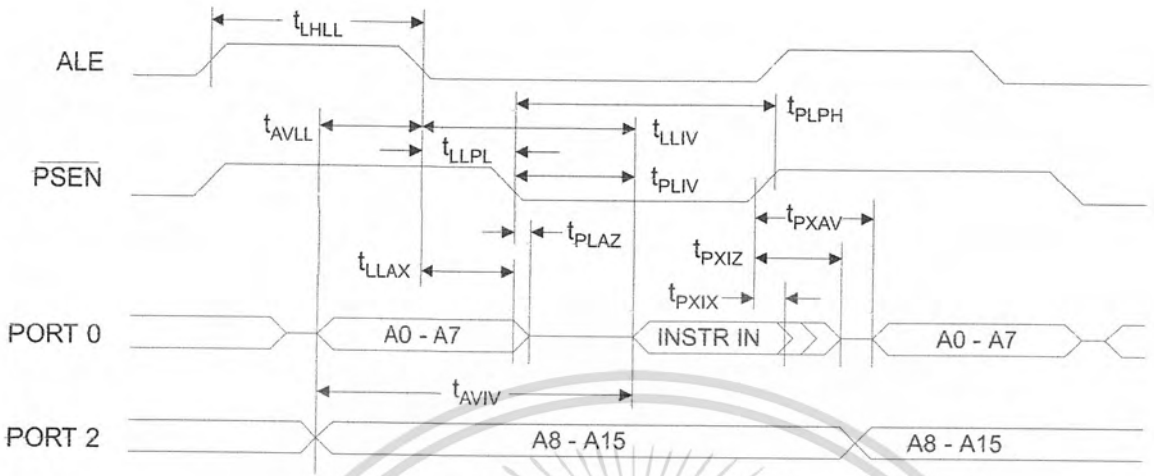
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

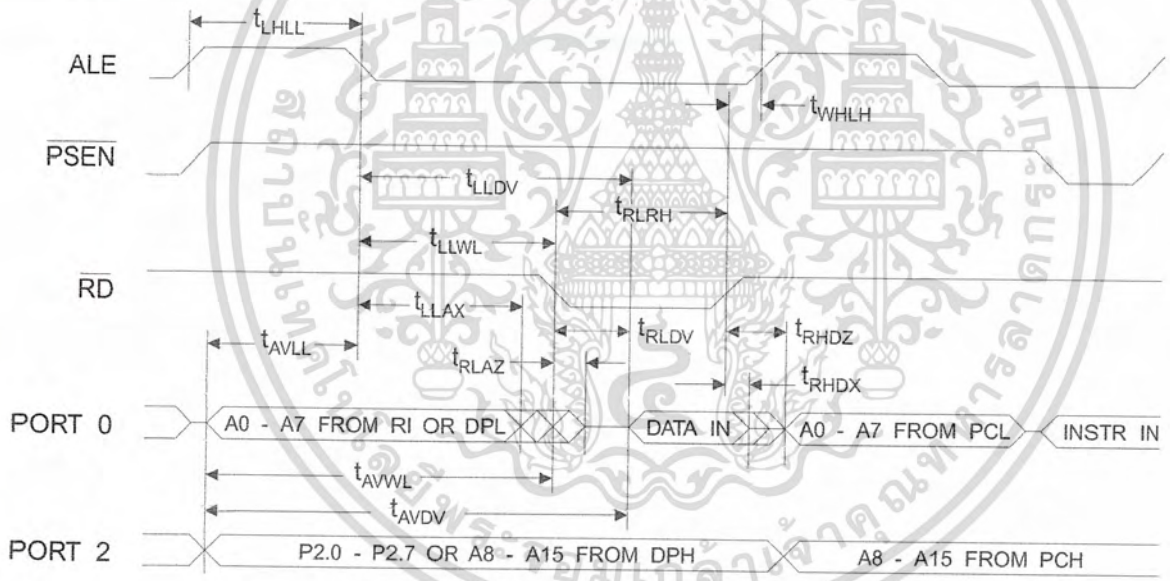
Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}-40$		ns
t_{AVLL}	Address Valid to ALE Low	43		$t_{CLCL}-13$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{CLCL}-20$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}-65$	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		$t_{CLCL}-13$		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}-20$		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}-45$	ns
t_{PXIX}	Input Instruction Hold after $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float after $\overline{PSEN}$		59		$t_{CLCL}-10$	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		$t_{CLCL}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}-55$	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}-100$		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}-90$	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}-28$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}-165$	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}-75$		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		$t_{CLCL}-20$		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}-120$		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		$t_{CLCL}-20$		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	$t_{CLCL}-20$	$t_{CLCL}+25$	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

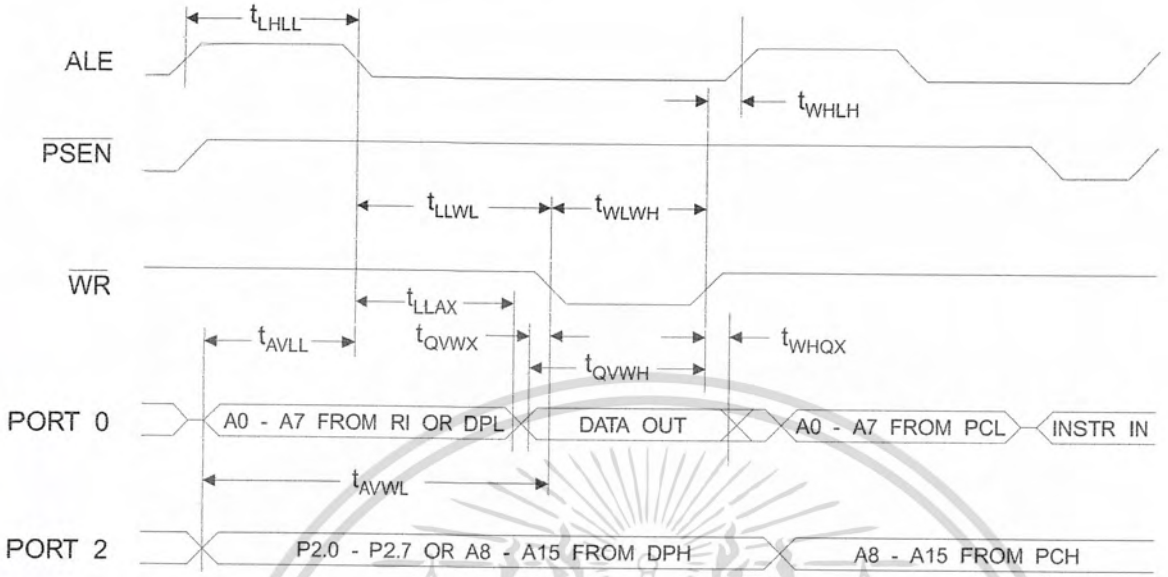


External Data Memory Read Cycle

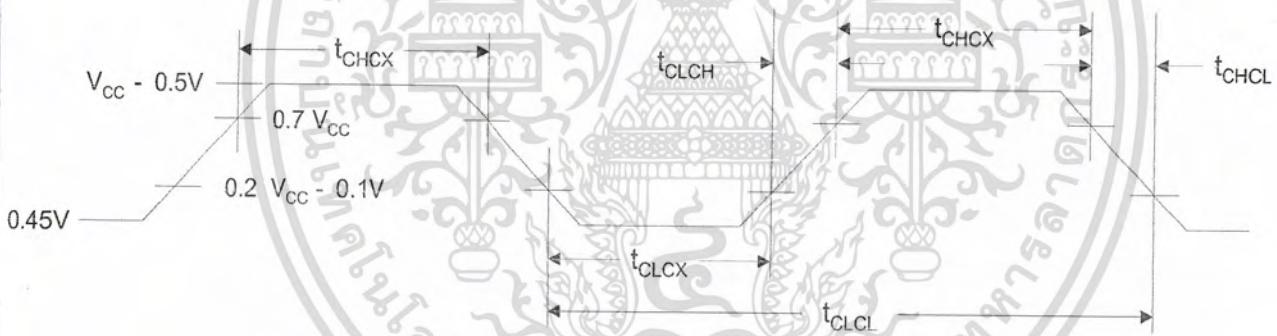


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

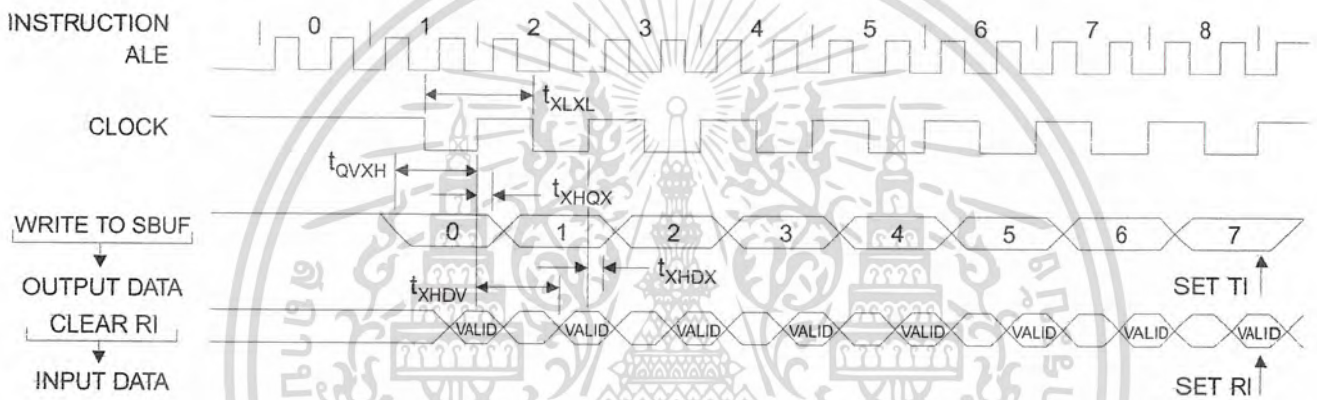
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

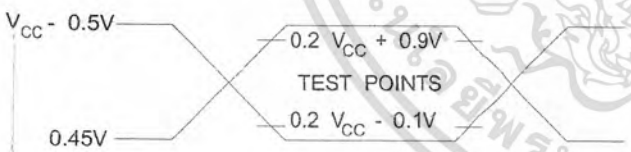
The values in this table are valid for V_{CC} = 5.0V ±20% and Load Capacitance = 80 pF.

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

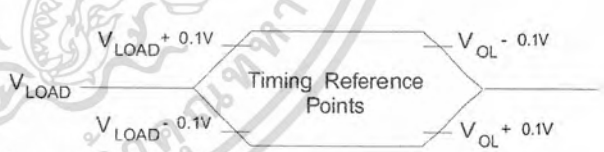


AC Testing Input/Output Waveforms[1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

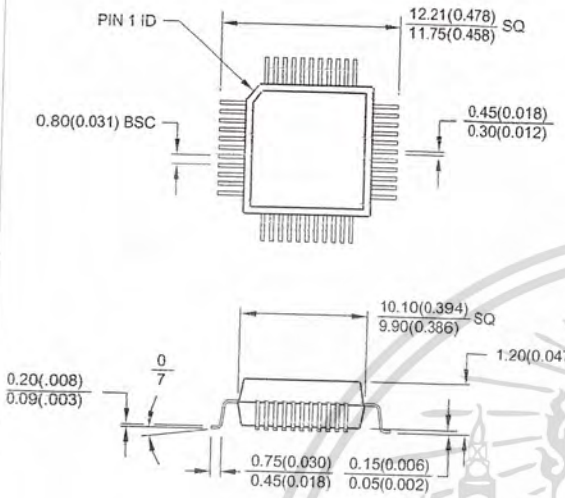
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ±20%	AT89C52-12AC AT89C52-12JC AT89C52-12PC AT89C52-12QC	44A 44J 40P6 44Q	Commercial (0° C to 70° C)
		AT89C52-12AI AT89C52-12JI AT89C52-12PI AT89C52-12QI	44A 44J 40P6 44Q	Industrial (-40° C to 85° C)
16	5V ±20%	AT89C52-16AC AT89C52-16JC AT89C52-16PC AT89C52-16QC	44A 44J 40P6 44Q	Commercial (0° C to 70° C)
		AT89C52-16AI AT89C52-16JI AT89C52-16PI AT89C52-16QI	44A 44J 40P6 44Q	Industrial (-40° C to 85° C)
20	5V ±20%	AT89C52-20AC AT89C52-20JC AT89C52-20PC AT89C52-20QC	44A 44J 40P6 44Q	Commercial (0° C to 70° C)
		AT89C52-20AI AT89C52-20JI AT89C52-20PI AT89C52-20QI	44A 44J 40P6 44Q	Industrial (-40° C to 85° C)
24	5V ±20%	AT89C52-24AC AT89C52-24JC AT89C52-24PC AT89C52-24QC	44A 44J 40P6 44Q	Commercial (0° C to 70° C)
		AT89C52-24AI AT89C52-24JI AT89C52-24PI AT89C52-24QI	44A 44J 40P6 44Q	Industrial (-40° C to 85° C)

Package Type	
44A	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44-lead, Plastic Gull Wing Quad Flatpack (PQFP)

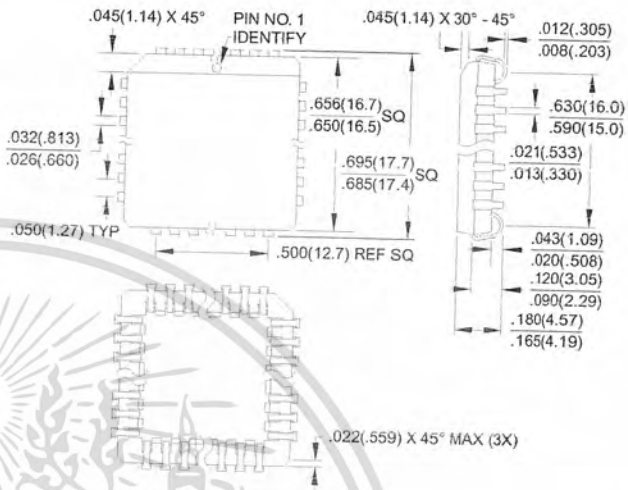
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flatpack (TQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-026 ACB

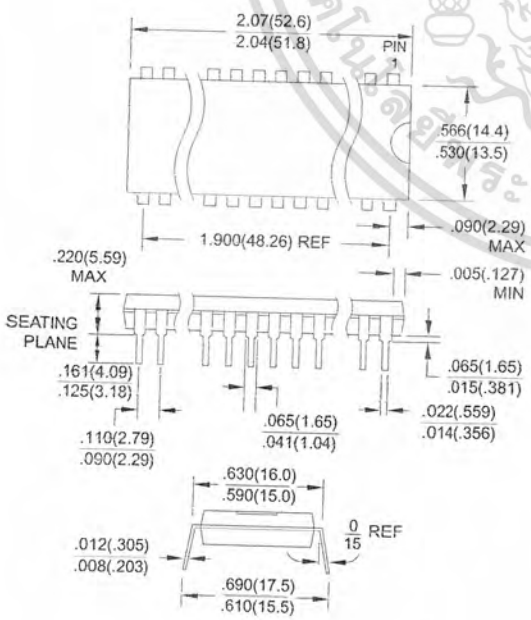


44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-018 AC

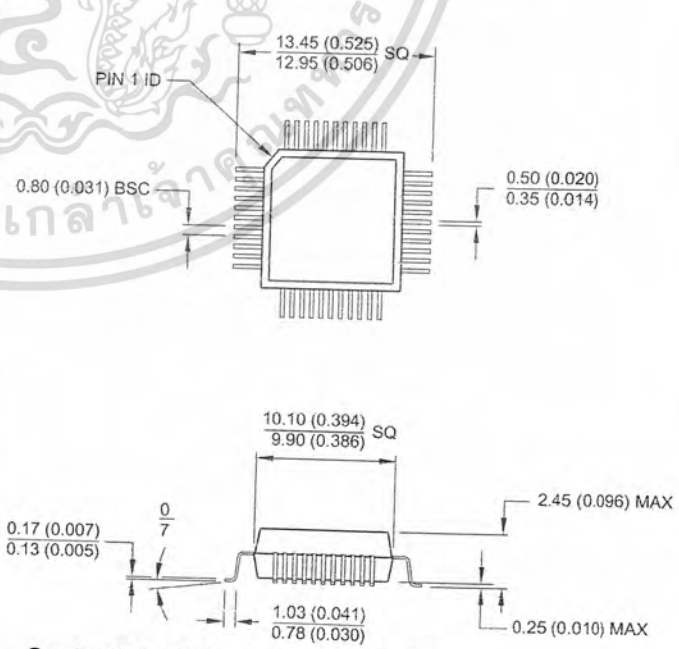


Controlling dimension: millimeters

40P6, 40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44-lead, Plastic Quad Flat Package (PQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-022 AB



Controlling dimension: millimeters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Headquarters

Corporate Headquarters
2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel U.K., Ltd.
Coliseum Business Centre
Riverside Way
Camberley, Surrey GU15 3YL
England
TEL (44) 1276-686-677
FAX (44) 1276-686-697

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan
Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Fax-on-Demand
North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail
literature@atmel.com

Web Site
http://www.atmel.com

BBS
1-(408) 436-4309

© Atmel Corporation 1999.
Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Marks bearing ® and/or ™ are registered trademarks and trademarks of Atmel Corporation.

Terms and product names in this document may be trademarks of others.

Printed on recycled paper.

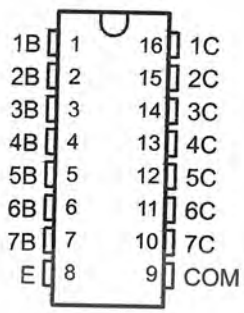
0313H–02/00/xM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- **500-mA Rated Collector Current (Single Output)**
- **High-Voltage Outputs . . . 50 V**
- **Output Clamp Diodes**
- **Inputs Compatible With Various Types of Logic**
- **Relay Driver Applications**
- **Designed to Be Interchangeable With Sprague ULN2001A Series**

D OR N PACKAGE
(TOP VIEW)

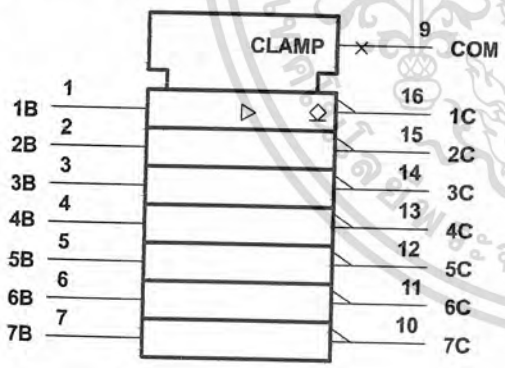


description

The ULN2001A, ULN2002A, ULN2003A, ULN2004A, ULQ2003A, and ULQ2004A are monolithic high-voltage, high-current Darlington transistor arrays. Each consists of seven npn Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single Darlington pair is 500 mA. The Darlington pairs may be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-V (otherwise interchangeable) versions, see the SN75465 through SN75469.

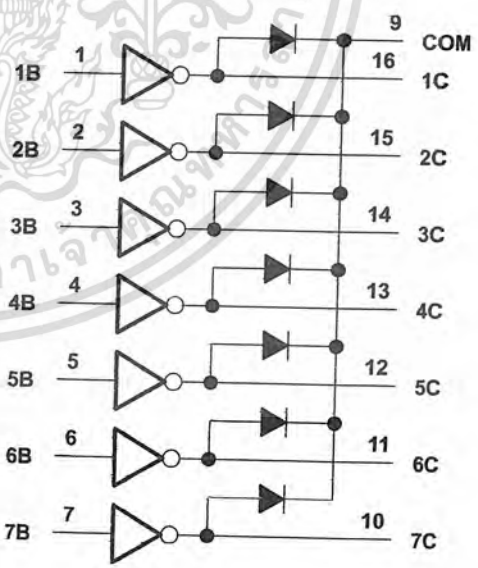
The ULN2001A is a general-purpose array and can be used with TTL and CMOS technologies. The ULN2002A is specifically designed for use with 14- to 25-V PMOS devices. Each input of this device has a zener diode and resistor in series to control the input current to a safe limit. The ULN2003A and ULQ2003A have a 2.7-kΩ series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices. The ULN2004A and ULQ2004A have a 10.5-kΩ series base resistor to allow operation directly from CMOS devices that use supply voltages of 6 to 15 V. The required input current of the ULN/ULQ2004A is below that of the ULN/ULQ2003A, and the required voltage is less than that required by the ULN2002A.

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram

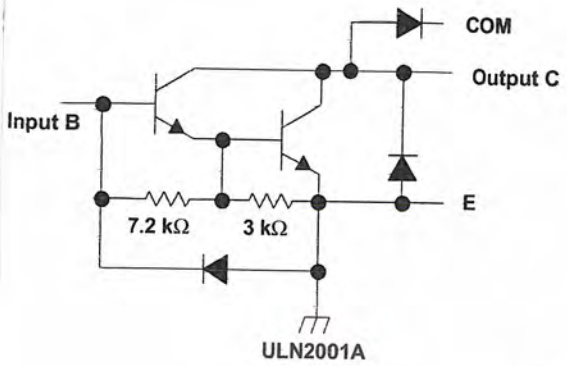


PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

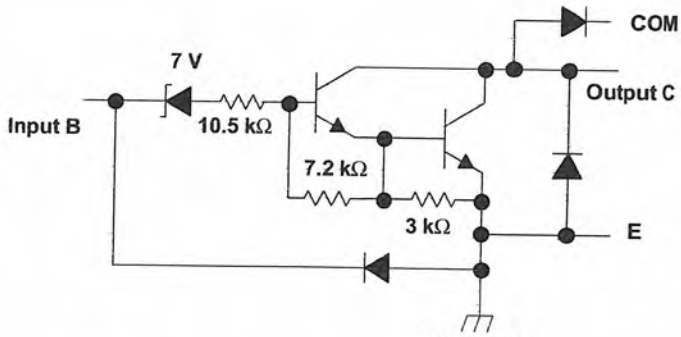
Copyright © 2001, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

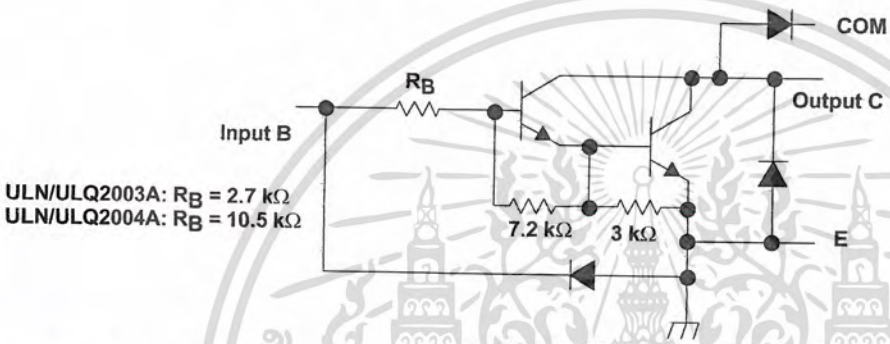
schematics (each Darlington pair)



ULN2001A



ULN2002A



ULN2003A, ULN2004A, ULQ2003A, ULQ2004A

All resistor values shown are nominal.

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	50 V
Clamp diode reverse voltage (see Note 1)	50 V
Input voltage, V_I (see Note 1)	30 V
Peak collector current (see Figures 14 and 15)	500 mA
Output clamp current, I_{OK}	500 mA
Total emitter-terminal current	−2.5 A
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range, T_A, ULN200xA	−20°C to 85°C
ULQ2003A	−40°C to 85°C
ULQ2004A	−40°C to 70°C
Operating junction temperature range, T_J	−40°C to 105°C
Storage temperature range, T_{stg}	−65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to the emitter/substrate terminal E, unless otherwise noted.

DISSIPATION RATING TABLE

PACKAGE	T_A = 25°C POWER RATING	DERATING FACTOR ABOVE T_A = 25°C	T_A = 85°C POWER RATING
D	950 mW	7.6 mW/°C	494 mW
N	1150 mW	9.2 mW/°C	598 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULN2001A			ULN2002A			UNIT
					MIN	TYP	MAX	MIN	TYP	MAX	
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V, I_C = 300 mA							13	V
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 µA, I_C = 100 mA			0.9	1.1		0.9	1.1	V
			I_I = 350 µA, I_C = 200 mA			1	1.3		1	1.3	
			I_I = 500 µA, I_C = 350 mA			1.2	1.6		1.2	1.6	
V_F	Clamp forward voltage	8	I_F = 350 mA			1.7	2		1.7	2	V
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V, I_I = 0				50			50	µA
		2	V_{CE} = 50 V, T_A = 70°C	I_I = 0			100			100	
				V_I = 6 V						500	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, T_A = 70°C	I_C = 500 µA,	50	65		50	65		µA
I_I	Input current	4	V_I = 17 V						0.82	1.25	mA
I_R	Clamp reverse current	7	V_R = 50 V,	T_A = 70°C			100			100	µA
			V_R = 50 V				50			50	
h_{FE}	Static forward current transfer ratio	5	V_{CE} = 2 V,	I_C = 350 mA	1000						
C_i	Input capacitance		V_I = 0,	f = 1 MHz		15	25		15	25	pF

electrical characteristics, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULN2003A			ULN2004A			UNIT
					MIN	TYP	MAX	MIN	TYP	MAX	
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V	I_C = 125 mA						5	V
				I_C = 200 mA			2.4			6	
				I_C = 250 mA			2.7				
				I_C = 275 mA						7	
				I_C = 300 mA			3				
				I_C = 350 mA						8	
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 µA,	I_C = 100 mA		0.9	1.1		0.9	1.1	V
			I_I = 350 µA,	I_C = 200 mA		1	1.3		1	1.3	
			I_I = 500 µA,	I_C = 350 mA		1.2	1.6		1.2	1.6	
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V,	I_I = 0			50			50	µA
		2	V_{CE} = 50 V, T_A = 70°C	I_I = 0			100			100	
				V_I = 1 V						500	
V_F	Clamp forward voltage	8	I_F = 350 mA			1.7	2		1.7	2	V
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, T_A = 70°C	I_C = 500 µA,	50	65		50	65		µA
I_I	Input current	4	V_I = 3.85 V			0.93	1.35				mA
			V_I = 5 V						0.35	0.5	
			V_I = 12 V						1	1.45	
I_R	Clamp reverse current	7	V_R = 50 V				50			50	µA
			V_R = 50 V,	T_A = 70°C			100			100	
C_i	Input capacitance		V_I = 0,	f = 1 MHz		15	25		15	25	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

lectrical characteristics, T_J = –40°C to 105°C (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULQ2003A			ULQ2004A			UNIT
					MIN	TYP	MAX	MIN	TYP	MAX	
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V	I_C = 125 mA						5	V
				I_C = 200 mA			2.7			6	
				I_C = 250 mA			2.9				
				I_C = 275 mA						7	
				I_C = 300 mA			3				
				I_C = 350 mA						8	
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 µA,	I_C = 100 mA		0.9	1.2		0.9	1.1	V
			I_I = 350 µA,	I_C = 200 mA		1	1.4		1	1.3	
			I_I = 500 µA,	I_C = 350 mA		1.2	1.7		1.2	1.6	
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V,	I_I = 0			100			50	µA
		2	V_{CE} = 50 V, T_A = 70°C	I_I = 0						100	
				V_I = 1 V						500	
V_F	Clamp forward voltage	8	I_F = 350 mA			1.7	2.2		1.7	2	V
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, T_A = 70°C	I_C = 500 µA,	30	65		50	65		µA
I_I	Input current	4	V_I = 3.85 V			0.93	1.35				mA
			V_I = 5 V						0.35	0.5	
			V_I = 12 V						1	1.45	
I_R	Clamp reverse current	7	V_R = 50 V				100			50	µA
			V_R = 50 V,	T_A = 70°C			100			100	
C_i	Input capacitance		V_I = 0,	f = 1 MHz		15	25		15	25	pF

witching characteristics, T_A = 25°C

PARAMETER		TEST CONDITIONS	ULN2001A, ULN2002A, ULN2003A, ULN2004A			UNIT
			MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	µs
t_{PHL}	Propagation delay time, high-to-low-level output			0.25	1	µs
V_{OH}	High-level output voltage after switching	V_S = 50 V, I_O ≈ 300 mA, See Figure 10	V_S–20			mV

witching characteristics, T_J = –40°C to 105°C

PARAMETER		TEST CONDITIONS	ULQ2003A, ULQ2004A			UNIT
			MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 9		1	10	µs
t_{PHL}	Propagation delay time, high-to-low-level output			1	10	µs
V_{OH}	High-level output voltage after switching	V_S = 50 V, I_O ≈ 300 mA, See Figure 10	V_S–500			mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

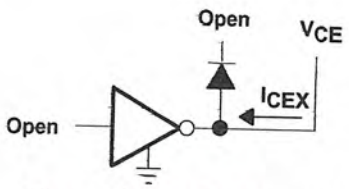


Figure 1. I_{CEX} Test Circuit

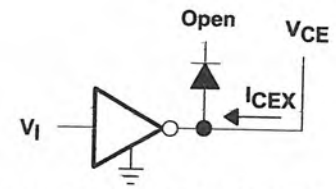


Figure 2. I_{CEX} Test Circuit

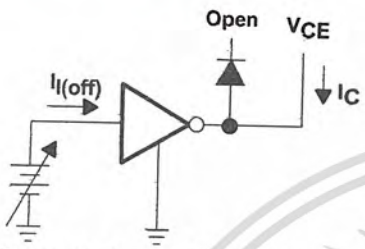


Figure 3. $I_{I(off)}$ Test Circuit

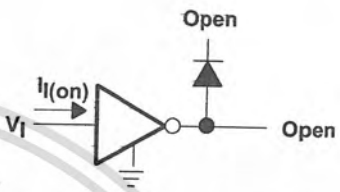
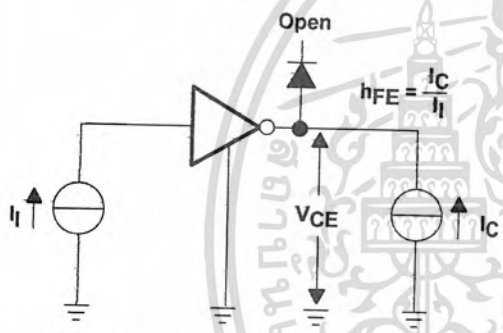


Figure 4. I_I Test Circuit



NOTE: I_I is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE}.

Figure 5. h_{FE}, $V_{CE(sat)}$ Test Circuit

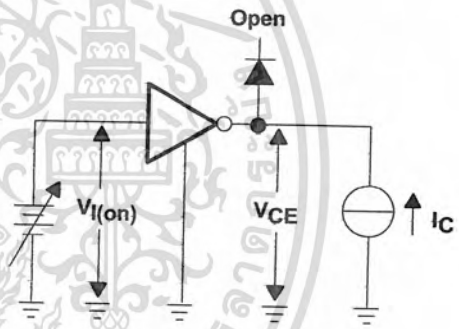


Figure 6. $V_{I(on)}$ Test Circuit

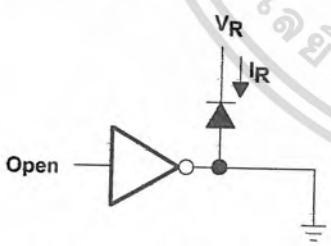


Figure 7. I_R Test Circuit

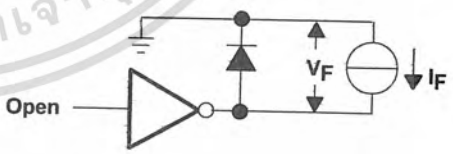


Figure 8. V_F Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

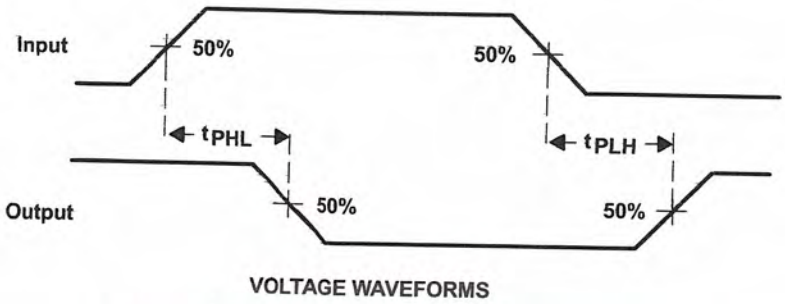
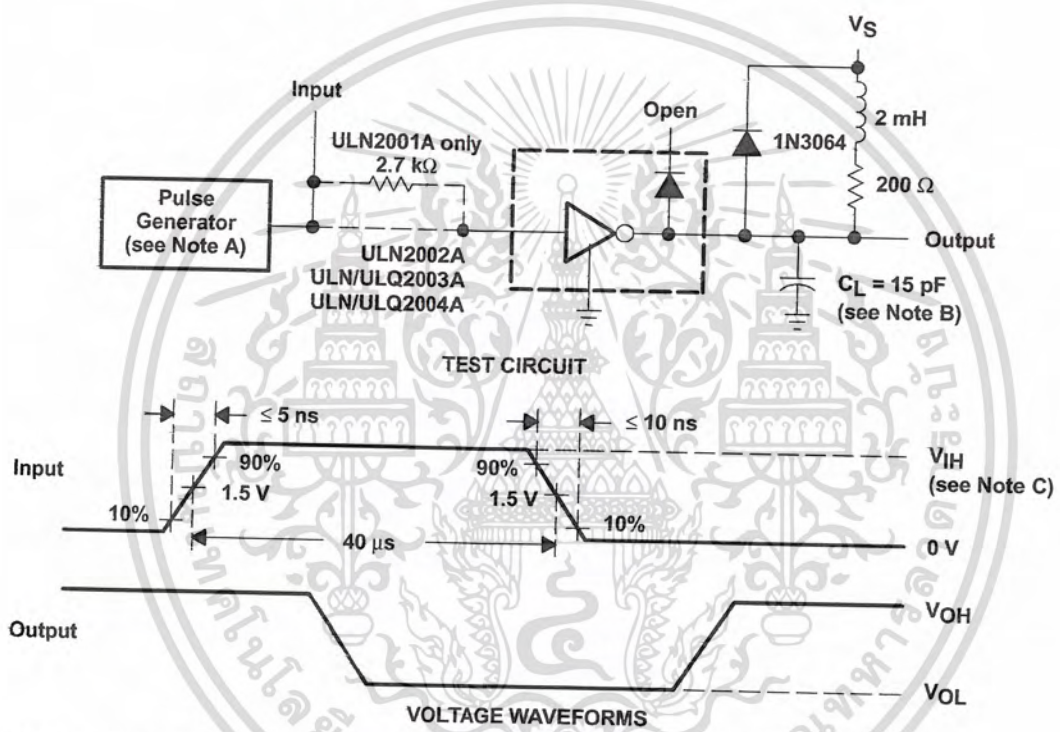


Figure 9. Propagation Delay Time Waveforms



NOTES: A. The pulse generator has the following characteristics: PRR = 12.5 kHz, Z_O = 50 Ω.
B. C_L includes probe and jig capacitance.
C. For testing the ULN2001A, the ULN2003A, and the ULQ2003A, V_{IH} = 3 V; for the ULN2002A, V_{IH} = 13 V; for the ULN2004A and the ULQ2004A, V_{IH} = 8 V.

Figure 10. Latch-Up Test Circuit and Voltage Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (ONE DARLINGTON)

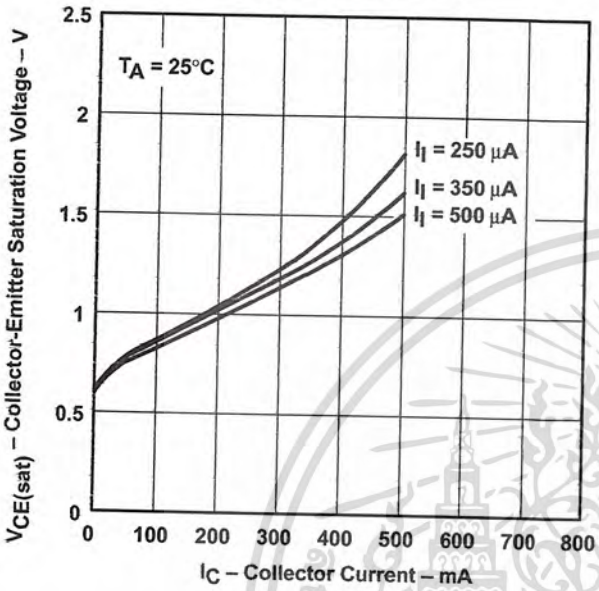


Figure 11

COLLECTOR-EMITTER SATURATION VOLTAGE vs TOTAL COLLECTOR CURRENT (TWO DARLINGTONS PARALLELED)

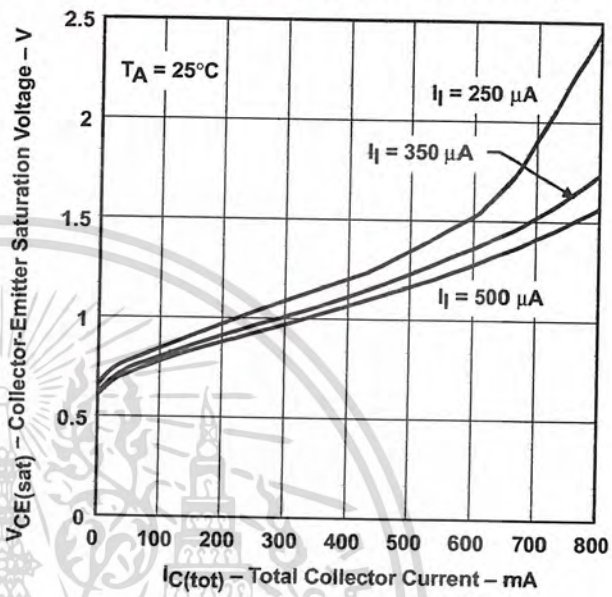


Figure 12

COLLECTOR CURRENT vs INPUT CURRENT

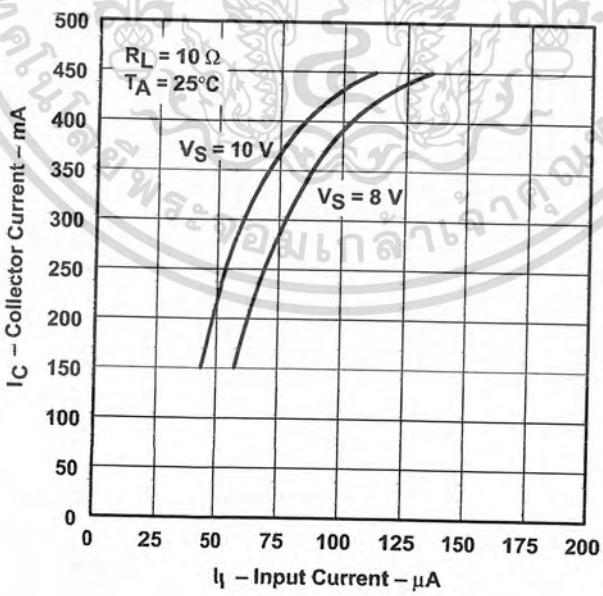


Figure 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THERMAL INFORMATION

D PACKAGE
MAXIMUM COLLECTOR CURRENT
vs
DUTY CYCLE

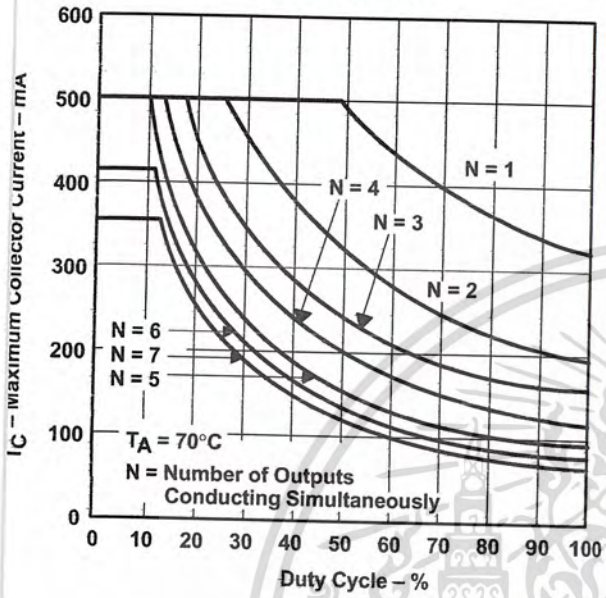


Figure 14

N PACKAGE
MAXIMUM COLLECTOR CURRENT
vs
DUTY CYCLE

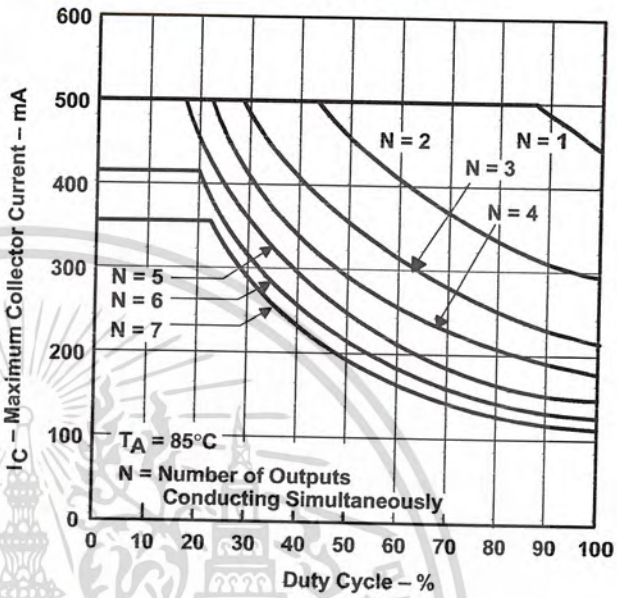


Figure 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

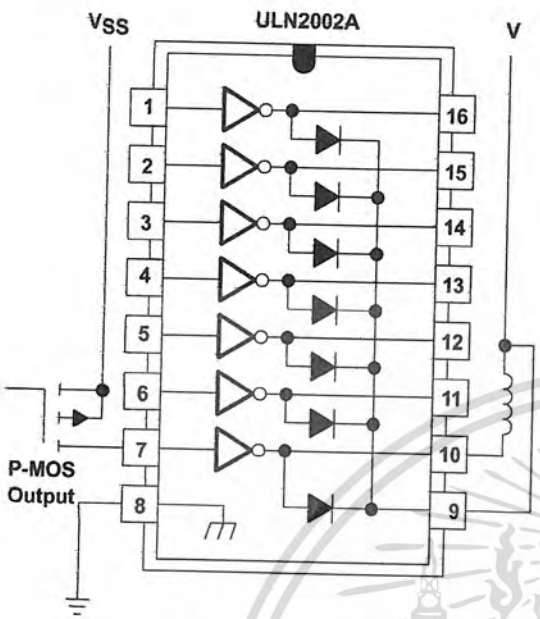


Figure 16. P-MOS to Load

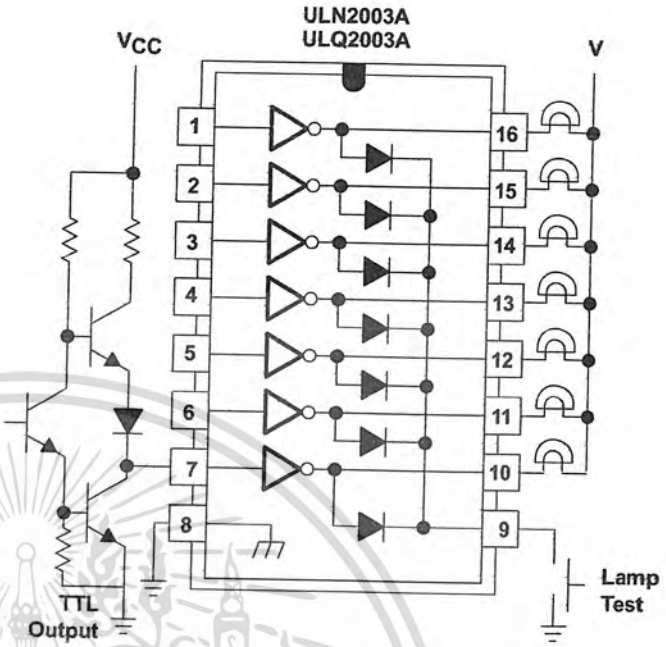


Figure 17. TTL to Load

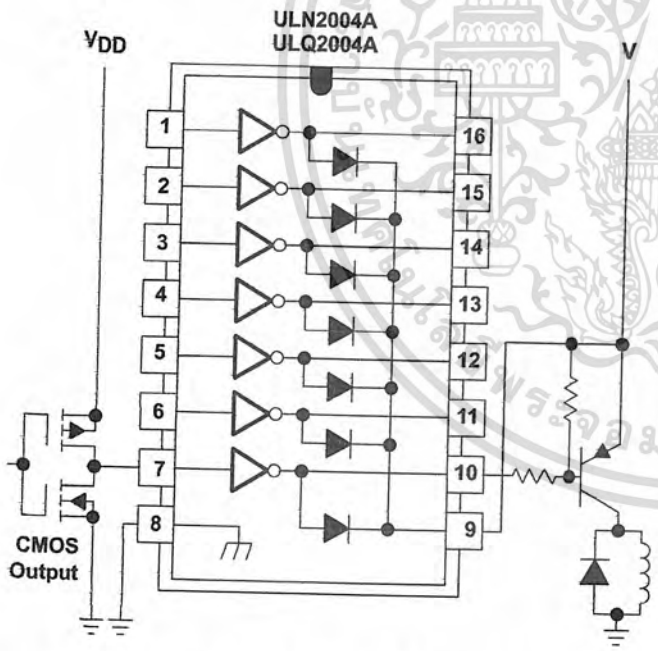


Figure 18. Buffer for Higher Current Loads

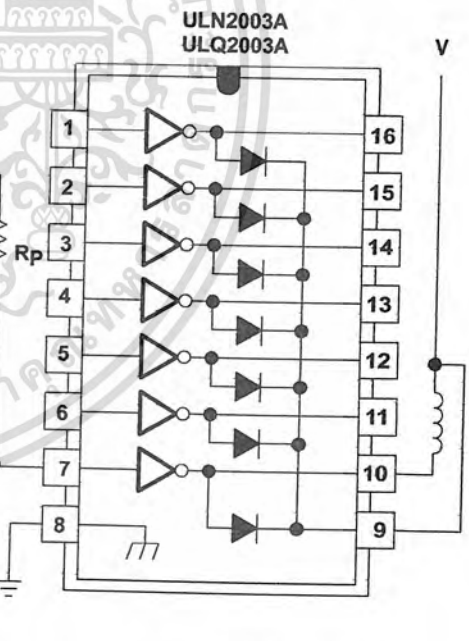


Figure 19. Use of Pullup Resistors to Increase Drive Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgment, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Customers are responsible for their applications using TI components.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, license, warranty or endorsement thereof.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations and notices. Representation or reproduction of this information with alteration voids all warranties provided for an associated TI product or service, is an unfair and deceptive business practice, and TI is not responsible nor liable for any such use.

Resale of TI's products or services with *statements different from or beyond the parameters* stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service, is an unfair and deceptive business practice, and TI is not responsible nor liable for any such use.

Also see: Standard Terms and Conditions of Sale for Semiconductor Products. www.ti.com/sc/docs/stdterms.htm

Mailing Address:

Texas Instruments
Post Office Box 655303
Dallas, Texas 75265

Copyright © 2001, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

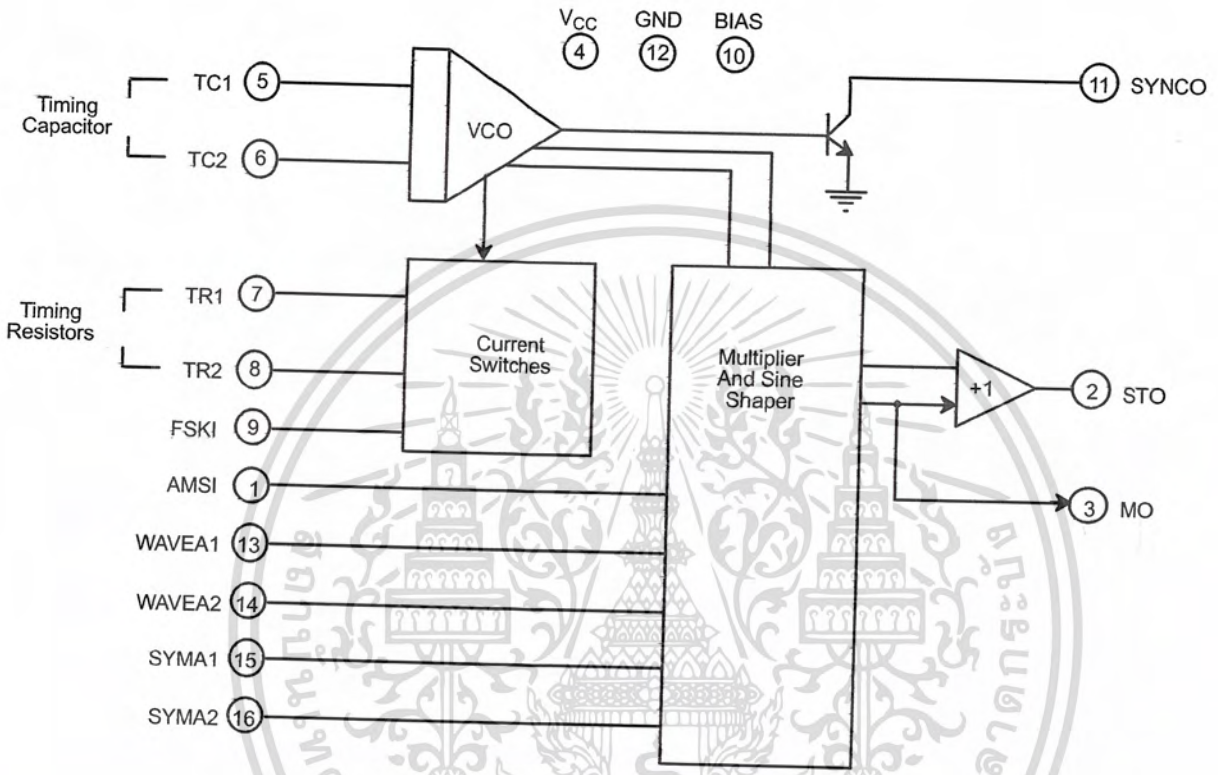
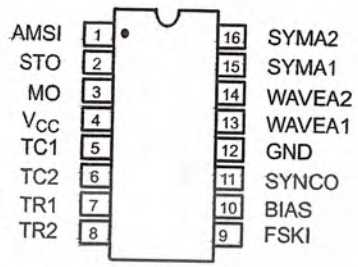
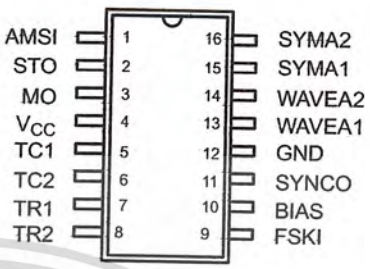


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ** Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	**17**		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C, $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ, f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	**1**		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes

[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.

[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

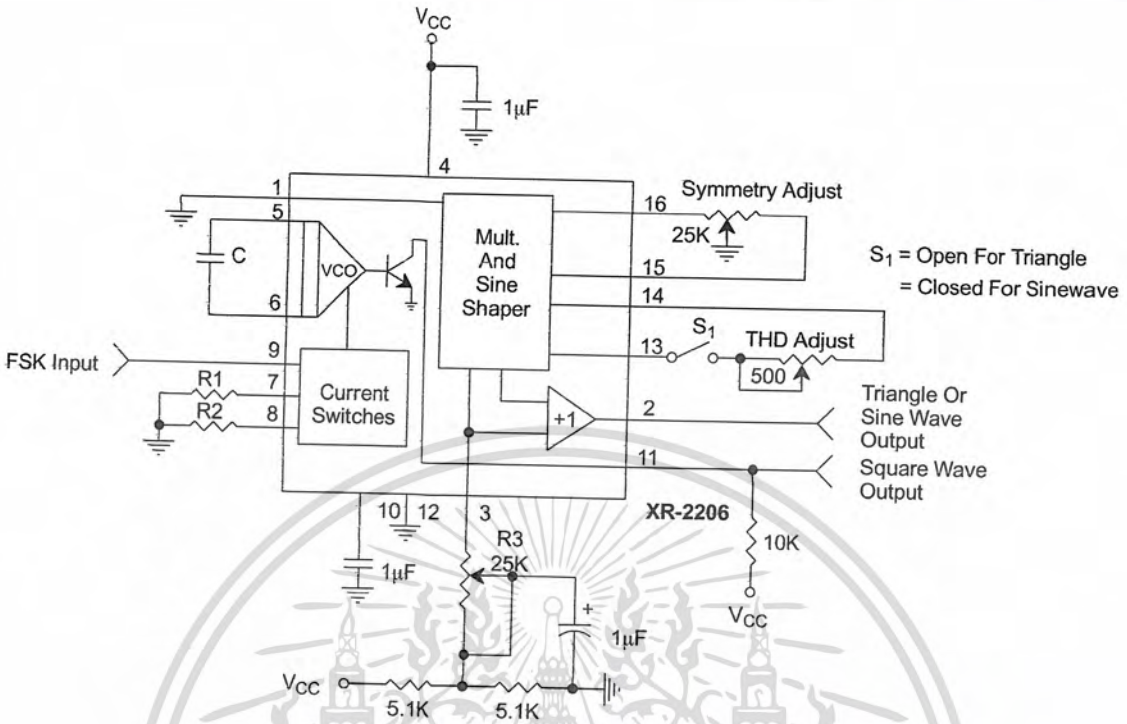


Figure 2. Basic Test Circuit

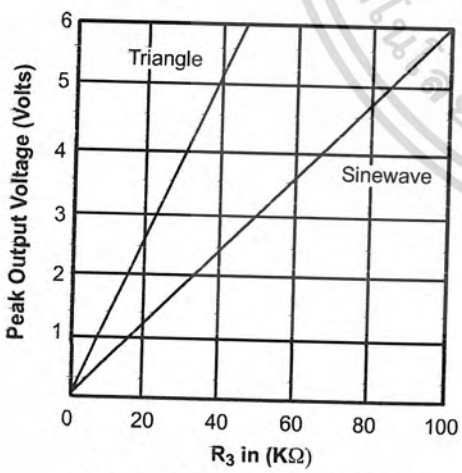


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

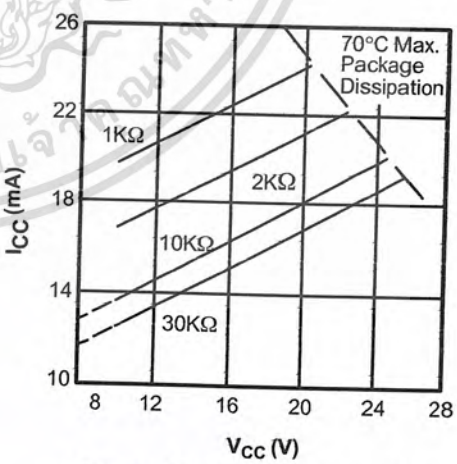


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

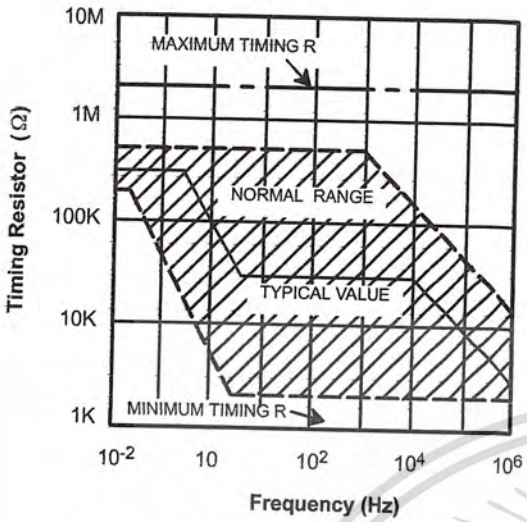


Figure 5. R versus Oscillation Frequency.

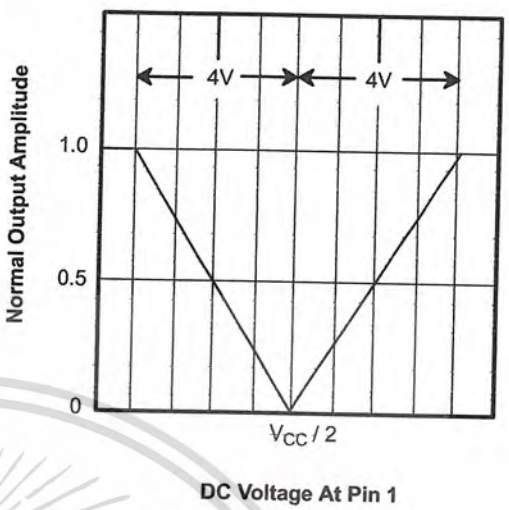


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

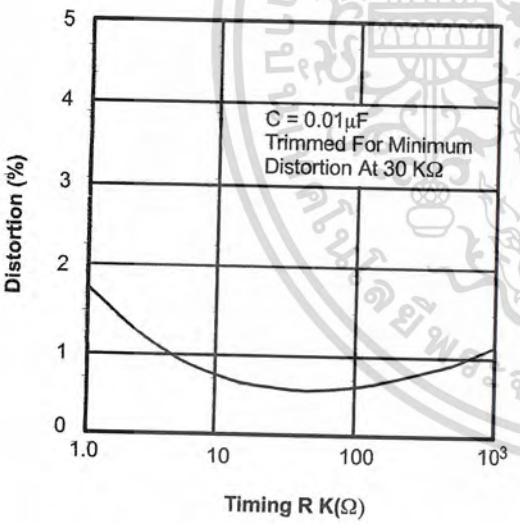


Figure 7. Trimmed Distortion versus Timing Resistor.

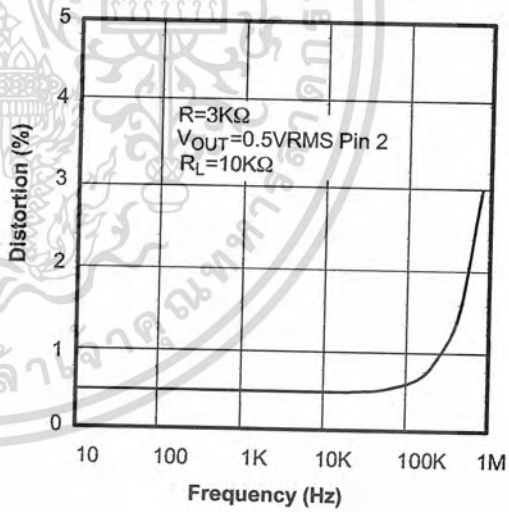


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

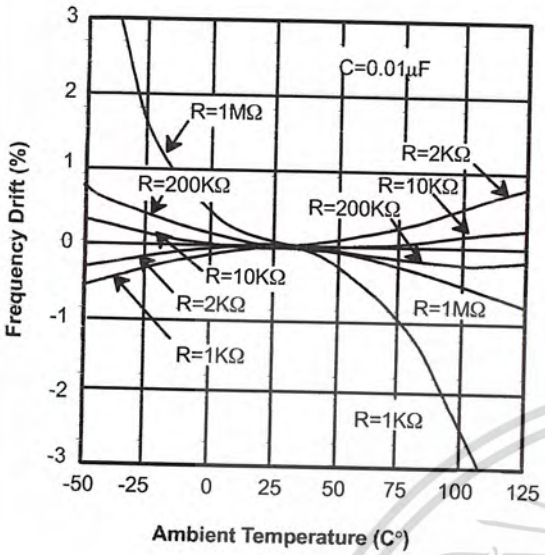


Figure 9. Frequency Drift versus Temperature.

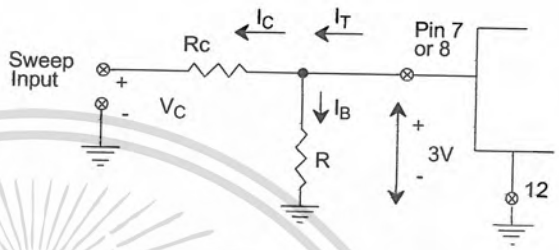


Figure 10. Circuit Connection for Frequency Sweep.

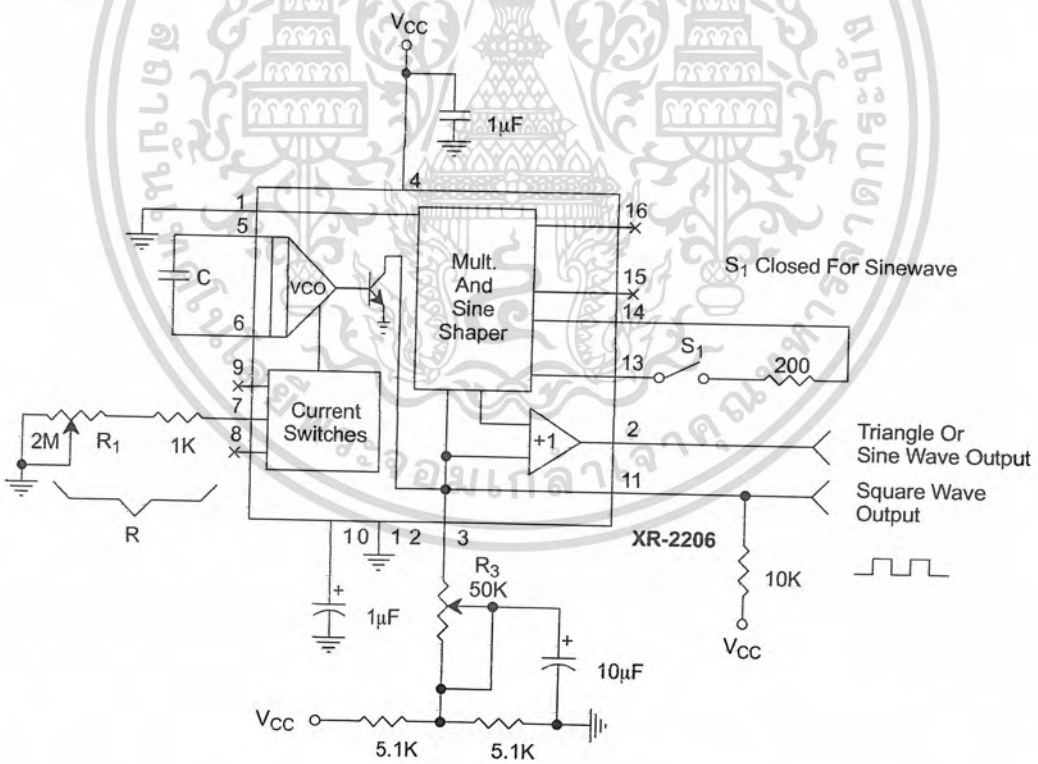


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

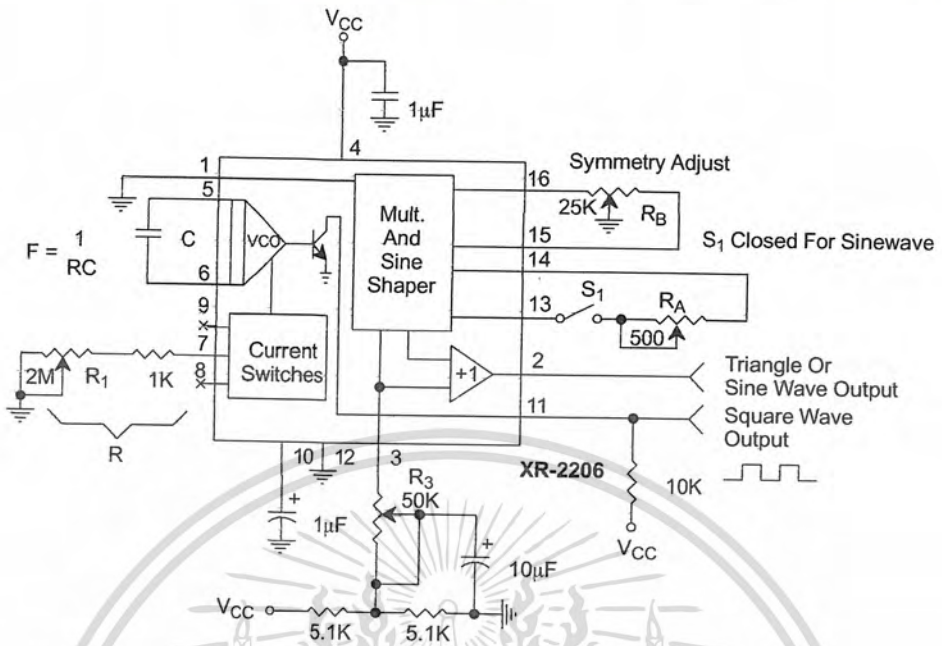


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

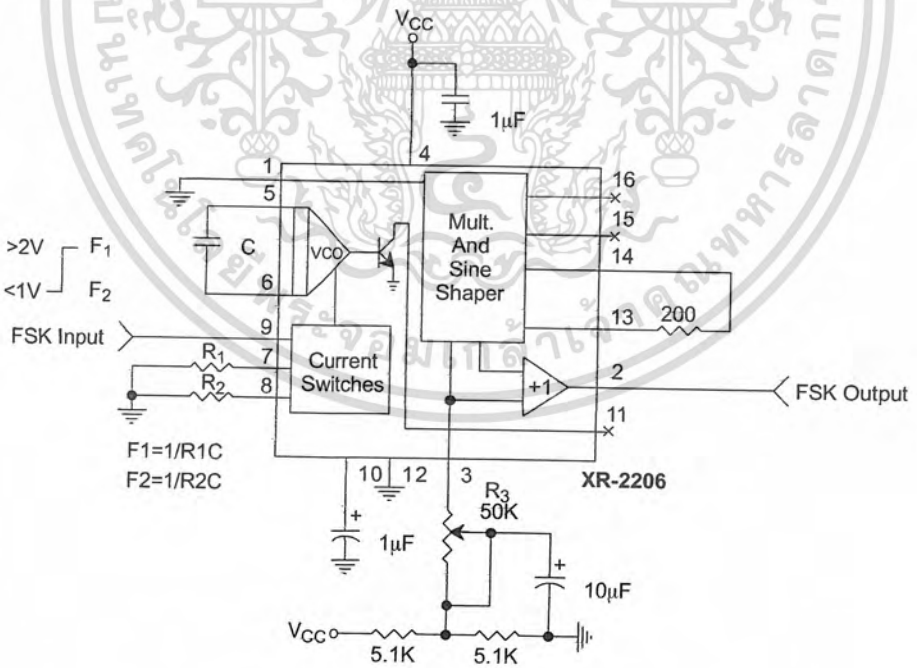


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

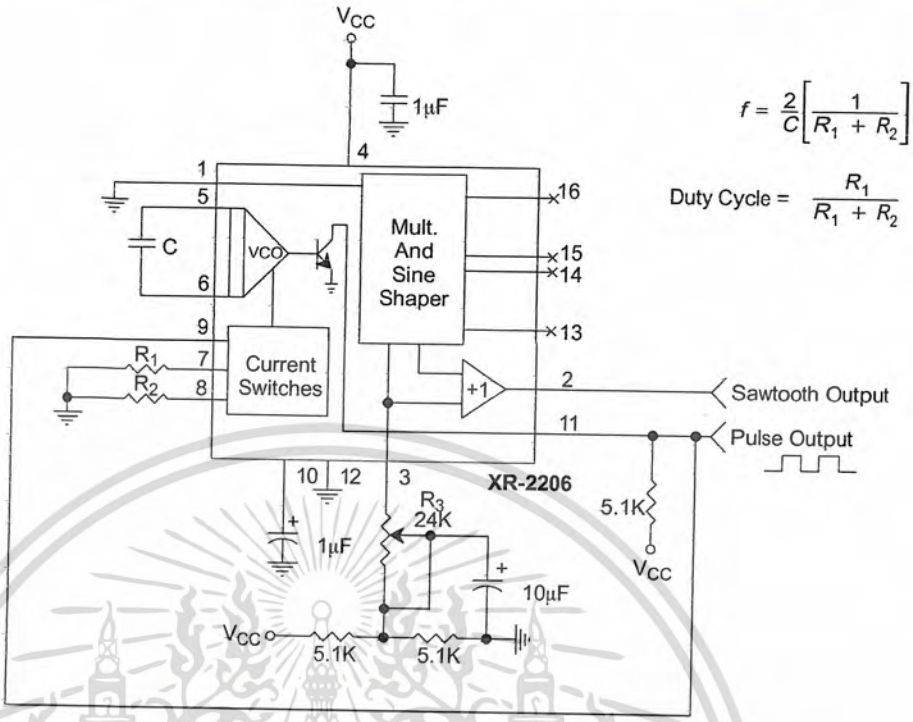


Figure 14. Circuit for Pulse and Ramp Generation.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12.* The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5.* Temperature stability is optimum for 4kΩ < R < 200kΩ. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10.* The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_c}\left(1 - \frac{V_c}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_c = -\frac{0.32}{R_c C}\ \ Hz/V$$

CAUTION: *For safety operation of the circuit, I_T should be limited to ≤ 3mA.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

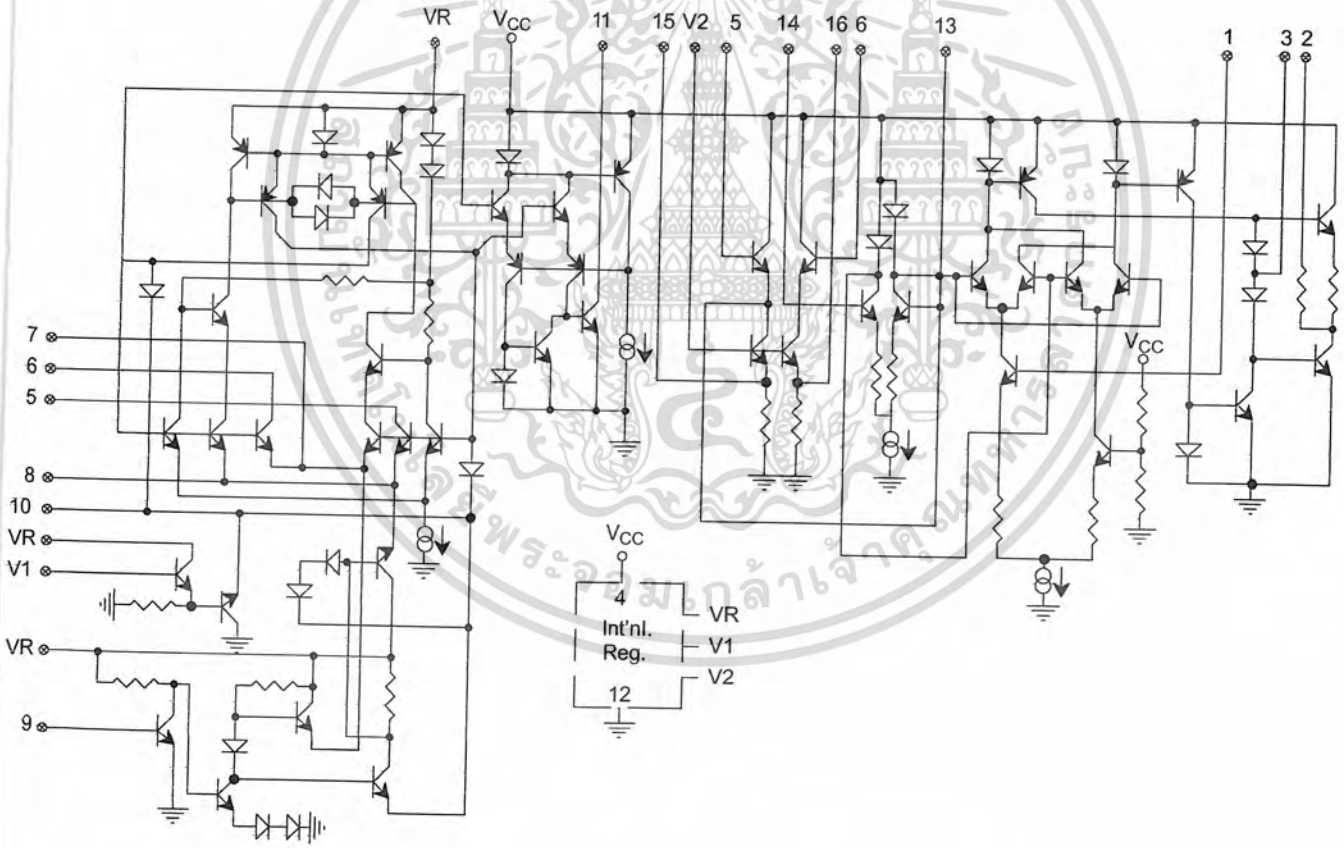
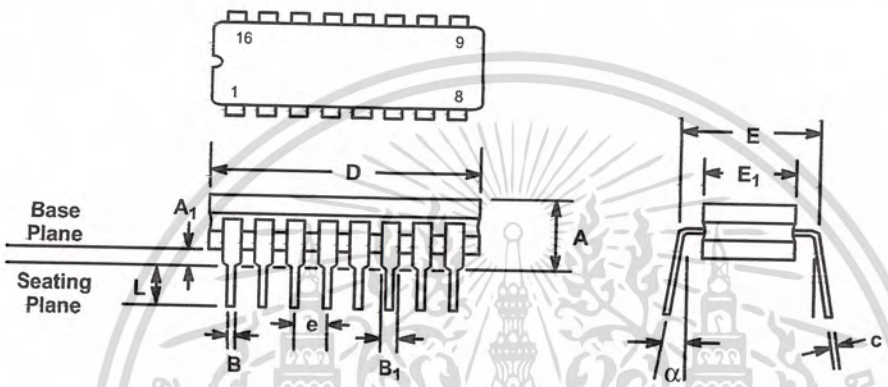


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD CERAMIC DUAL-IN-LINE (300 MIL CDIP)

Rev. 1.00



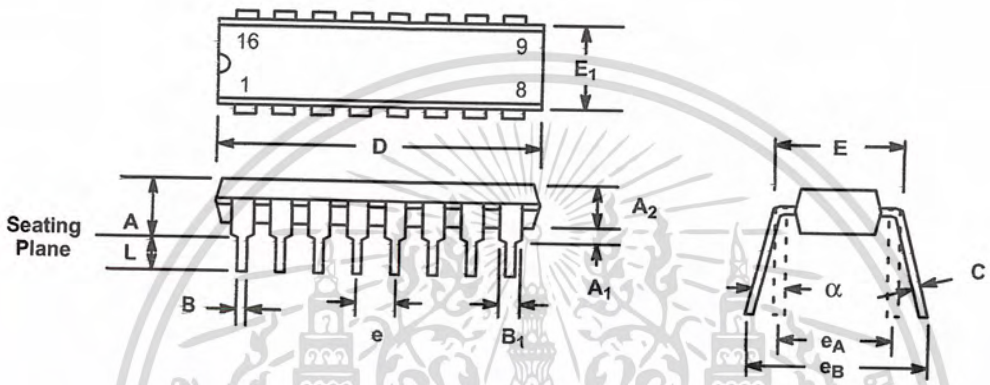
SYMBOL	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	0.100	0.200	2.54	5.08
A_1	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B_1	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E_1	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00



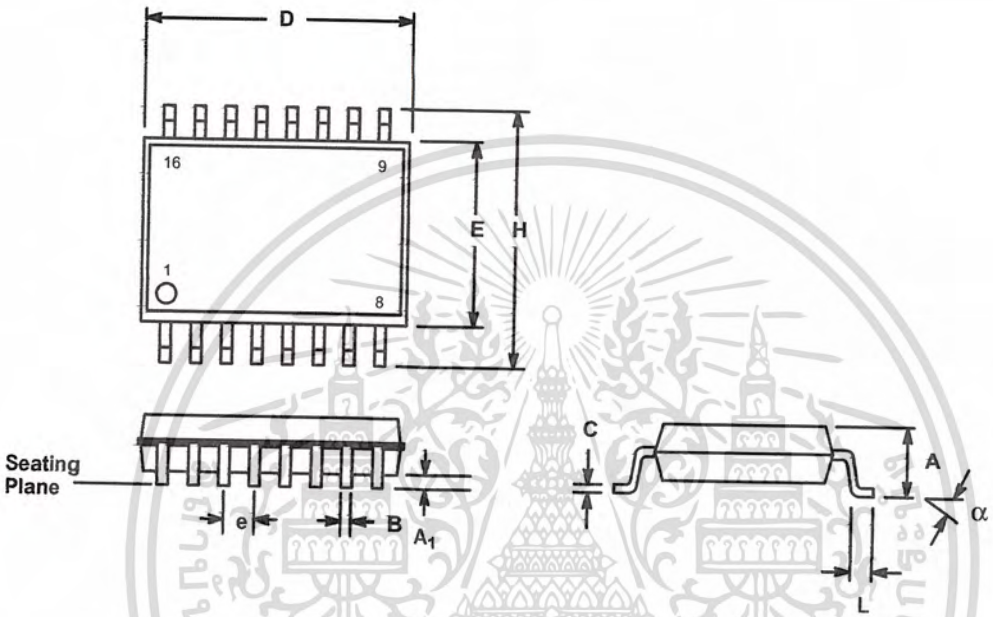
SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD SMALL OUTLINE (300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A_1	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation
Datasheet June 1997
Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้