สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต

6 BIT FLASH ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN

T050337

โดย

นาย ชาญชัย ยศบุญ

นาย สลัด ช่างประเสริฐ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 50337
วัน,เดือน,ปี 29 เม.ย. 2547

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต

6 BIT FLASH ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN

โดย

นาย ชาญชัย ยศบุญ 43015208

นาย สลัด ช่างประเสริฐ 43015235

อาจารย์ที่ปรึกษา

ผศ.ดร.อภินันท์ ธนชยานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต

ผู้จัดทำ นายชาญชัย ยศบุญ

นาย สลัด ช่างประเสริฐ

..... อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต

6 BIT FLASH ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN

นายชาญชัย ยศบุญ รหัส 43015208

นาย สลัด ช่างประเสริฐ รหัส 43015235

โครงงานนี้ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(.....)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต

นายชาญชัย ยศบุญ
นาย สลัด ช่างประเสริฐ
ผศ.ดร.อภินันท์ ธนชยานนท์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2545

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบขนานขนาด 6 บิตโดยใช้เทคโนโลยีขนาด 0.5 ไมครอน ออกแบบวงจรโดยใช้เทคนิคการเปรียบเทียบแรงดันขีดเริ่มของคู่ซีมอสทรานซิสเตอร์ และปรับค่าระดับเปรียบเทียบแรงดันโดยการกำหนดขนาดของทรานซิสเตอร์ของทั้งชนิดเอ็นและชนิดพี จากคุณสมบัติของมอสทรานซิสเตอร์ที่มีข้อดีในการกินกำลังงานที่ต่ำและใช้อุปกรณ์น้อยเพียงทรานซิสเตอร์ 2 ตัว วงจรลักษณะนี้จึงเหมาะกับงานที่ใช้เทคโนโลยีขนาดเล็กจนถึงระดับของนาโนเทคโนโลยี ในส่วนของการเข้ารหัสนั้นใช้เทอร์โมมิเตอร์โค้ดแปลงเป็นฐานสองร่วมกับวงจรเข้ารหัสแบบแฟททรี โดยรวมแล้ววงจรนี้มีประโยชย์อย่างมากในงานไมโครอิเล็กทรอนิกส์แม้ว่าจะมีจุดอ่อนบ้างในเรื่องสัญญาณรบกวนแต่ก็แก้ไขได้โดยการออกแบบลวดลายต้นแบบอย่างพิถีพิถัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6 BIT FLASH ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN

Chanchai Yotboon

Salad Changprasert

Asst.Prof.Dr.Apinunt Thanachayanont

Graduate year 2545

Abstract

This thesis presents the 6 bit flash analog to digital converter for very large scale integration(VLSI),which can be fabricated in a 0.5 μm CMOS technology. The threshold comparator which have many advantage, especially the small consumption of power dissipation and very small chip area which suitable for nanotechnology.By using a cascade cmos inverter and vary the threshold voltage as internal comparator by changing the ratio of both transistor's size. The thermometer code to binary encoder which use 01 generator and fat tree encoder are for the encoding part. This can be a very useful circuit for microelectronics even if it has small range and some noise problem but it can be solved by carefully layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ ผศ.ดร. อภินันท์ ธนชยานนท์ ที่ให้คำปรึกษาในการทำโครงงานมาโดยตลอดและขอบคุณพี่ ๆ ทุกคนที่ห้องแล็บไมโครอิเล็กทรอนิกส์ที่ช่วยให้คำแนะนำ ขอบคุณสถาบันเทคโนโลยีพระจอมเกล้า ลาดกระบัง ขอบคุณห้องสมุดที่เป็นแหล่งค้นคว้าที่ดีมาตลอดและที่ขาดไม่ได้ขอบคุณคอมพิวเตอร์ของเราที่ช่วยให้ทำปริญญานิพนธ์นี้ได้ สำเร็จ

นาย ชาญชัย ยศบุญ

นาย สลัด ช่างประเสริฐ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูป V

สารบัญตาราง VI

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีการทำงานของมอส 3

2.1 ทฤษฎีการทำงานของมอส 3

2.2 ซีมอสอินเวอเตอร์ 8

2.3 อัตราการกินกำลังงาน 11

บทที่ 3 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 13

3.2 อินพุทวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 13

3.2.1 สัญญาณ Direct Current (DC) หรือ Slowly Varying 13

3.2.2 สัญญาณ Continuously Changing และ Single Event Alternating Current 14

3.2.3 สัญญาณ Pulse Amplitude 15

3.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 15

3.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ 17

3.4.1 Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter 17

3.4.2 Dual Slope Analog to Digital Converter หรือ Up- Down Integrator Analog to Digital Converter 19

3.5 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง 22

3.5.1 Successive Approximation Analog to Digital Converter 22

3.5.2 Algorithmic Analog to Digital Converter 25

3.6 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง 27

3.6.1 Parallel Analog to Digital Converter หรือ Flash Analog to Digital Converter 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

บทที่ 4 ทฤษฎีการออกแบบวงจร 30

4.1 ขั้นตอนการออกแบบ.....30

4.2 วงจรเปรียบเทียบแรงดัน..... 31

4.3 ออกแบบวงจรทางไฟฟ้ากระแสตรง 32

4.4 อินเวอเตอร์แบบสมมาตร.....33

4.5 ส่วนขยาย 35

4.6 วงจรเข้ารหัส 36

4.7 วงจรเข้ารหัสแบบแฟททรี.....37

4.8 การออกแบบวงจรเข้ารหัสแบบแฟททรีด้วยVHDL.....38

4.9 การออกแบบทางกายภาพ.....47

4.10 การออกแบบอินเวอเตอร์.....48

บทที่ 5 ผลการจำลองการทำงาน 51

5.1 วงจรเปรียบเทียบแรงดัน.....51

5.2 ผลการจำลองการทำงานวงจรเปรียบเทียบแรงดัน.....51

5.3 วงจรเข้ารหัสแบบแฟททรี.....52

5.4 ผลการจำลองของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 6 บิต.....54

5.5 การทดสอบคุณสมบัติDNLและINL.....55

5.6 การออกแบบทางกายภาพ.....56

บทที่ 6 บทสรุปวิจารณ์และข้อเสนอแนะ 57

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel.....2

2.2 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟต

2.3 แบบฮานเมนท์ชนิด N-Channel.....3

2.4 แสดงการไบอัสมอสเฟตแบบเอ็นดีพลีชั่นชนิด N-Channel.....4

2.4แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟต

แบบเอ็นดีพลีชั่นชนิด N-Channel 5

2.5 คุณสมบัติการถ่ายโอน.....7

2.7 แสงกราฟคุณลักษณะของวงจรซีมอสอินเวอเตอร์.....8

2.8 แสงกราฟคุณลักษณะและกระแสจากแหล่งจ่าย.....11

3.1 สัญญาณ Direct Current (DC) หรือ Slowly Varying 14

3.2 สัญญาณ

(ก) Continuously Changing.....14

(ข) Single Event Alternating Current.....14

3.3 สัญญาณ Pulse Amplitude.....15

3.4 บล็อกไดอะแกรมของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล.....16

3.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิตอลเอาท์พุต.....17

3.6 หลักการพื้นฐานของ Single Slope Analog to Digital Converter หรือ

Pulse Width Modulator Analog to Digital Converter 18

3.7 หลักการพื้นฐานของ Dual Slope Analog to Digital Converter หรือ

Up down Integrator Analog to Digital Converter.....20

3.8 กราฟความสัมพันธ์ระหว่างค่าศักดาเอ้าพุทของวงจรอินทิเกรทกับเวลา 21

3.8 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ

3.9 Successive Approximation Analog to Digital Converter 23

3.10 วงจรพื้นฐานของ Successive Approximation Analog to Digital Converter.....24

3.11 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องเอ้าพุท Voa

จากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องอินพุต Via.....24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12 หลักการทำงานและวงจรพื้นฐานของ Algorithmic Analog to Digital Converter.....26
3.13 หลักการทำงานของ Parallel Analog to Digital Converter.....28
3.14 วงจรพื้นฐานของ Parallel Analog to Digital Converter.....29
4.1 แสดงบล๊อกไดอแกรมของวงจรแปลงอนาลอกสัญญาณอนาลอกเป็นสัญญาณ ดิจิตอล...30
4.2 แสดงความแตกต่างของตัวเปรียบเทียบแบบอินเวอเตอร์และดิฟเฟอเรนเชียล.....31
4.3 แสดงวงจรอินเวอเตอร์และตารางความจริง.....31
4.4 แสดงช่วงแรงดันขีดเริ่มอินเวอเตอร์.....33
4.5 แสดงความแตกต่างของกราฟคุณลักษณะที่เกิดจากค่า Kn, Kpที่ต่างกัน.....34
4.6 แสดงความแตกต่างของกราฟคุณลักษณะที่เกิดจาก K_R ค่าต่างๆ 36
4.8 แสดงวงจรเข้ารหัสแบบเทอร์โมมิเตอร์โค้ด 37
4.9 การแปลงรหัสของ ADC แบบแฟลช.....37
4.10 การแปลงรหัสเทอร์โมมิเตอร์เป็นฐานสองโดยการเข้ารหัสแบบ Fat Tree.....38
4.11 แสดงขั้นตอนการออกแจกบนลงล่าง.....39
4.12 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี้.....41
4.13 แสดงรูปแบบของ RS_flipflop.....41
4.14 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม.....42
4.15 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ตามฟังชั่นบูลีน.....43
4.16 แสดงโครงสร้างภายในสถาปัตยกรรมของ RS_flipflop.....43
4.17 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง.....44
4.18 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะพฤติกรรม.....44
4.19 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะผสม.....45
4.20 แสดงโครงสร้างโดยทั่วไปของส่วนประกาศแพ็กเก็ต.....46
4.21 แสดงโครงสร้างโดยทั่วไปของบอดี้แพ็กเก็ต.....46
4.22 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ.....47
4.23 ตัวอย่างการออกแบบทางกายภาพของเอ็นแชนแนล มอสเฟต.....48
4.24 วงจรอินเวอรเตอร์.....48
4.25 ส่วนประกอบทางกายภาพของทรานซิสเตอร์.....49
4.26 รูปแบบการเขียน Stick Diagram ของอินเวอเตอร์.....49
4.27 ตัวอย่างการออกแบบทางกายภาพของทรานซิสเตอร์.....50
5.1 แสดงวงจรเปรียบเทียบแรงดันแบบ TIQ ขนาด 6 บิต..... ..51
5.2 แสดงผลการจำลองการทำงานของวงจรเปรียบเทียบแรงดันแบบ TIQ ขนาด 6 บิต.....51
5.3 บล็อกแสดงการเข้ารหัสแบบ fat tree.....52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 แสดงตัวอย่างวงจรเข้ารหัสแบบ fat tree ขนาด 4 บิต.....52
5.5 แสดงผลสังเคราะห์ที่ได้จาก VHDL.....53
5.6 แสดงผลจำลองการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 6 บิต.....54
5.7 แสดงผลการทดสอบคุณสมบัติDNLและINL.....55
5.8 แสดงผลการออกแบบทางกายภาพ.....56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

4.1 ตารางความจริงของมอส อินเวอร์เตอร์.....7
4.2 ตารางแสดงการเปรียบเทียบค่าเทอร์โมมิเตอร์โค้ด กับฐานสองและฐานสิบ.....36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์ได้มีการพัฒนาไปอย่างรวดเร็ว ทั้งระบบที่เป็นอนาลอกและดิจิตอล ซึ่งทั้งสองระบบต่างมีข้อดีและข้อเสียที่แตกต่างกันและเพื่อที่จะนำข้อดีของแต่ละระบบมาใช้ร่วมกันจำเป็นต้องมีตัวแปลงสัญญาณระหว่างสัญญาณทั้งสองระบบซึ่งคือ วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ซึ่งในที่นี้จะกล่าวถึงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะมีส่วนช่วยอย่างมากในการจัดการข้อมูล ประมวลผลข้อมูลที่ให้ความถูกต้องและแม่นยำมากและปัจจัยที่จะมีผลต่อคุณภาพของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ก็มีหลายอย่างเช่น ค่าความละเอียดในการแปลง วิธีการแปลง เป็นต้น นับจากอดีตมาวงจรนี้ได้รับการพัฒนามาอย่างต่อเนื่องเพื่อให้มีประสิทธิภาพที่ดี ทั้งในด้านขนาด ความเร็วในการทำงาน การกินกำลังงานและปัจจัยแวดล้อมอื่นๆ ยิ่งถ้าจะพิจารณาเทคโนโลยีในปัจจุบันที่ไปสู่ระดับของนาโนเทคโนโลยีแล้วนั้น ปัจจัยด้านขนาดของพื้นที่ชิปที่ใช้ การกินกำลังงานและความเร็วก็ยิ่งมีความสำคัญอย่างยิ่งยวด

ในปริญญานิพนธ์จะกล่าวถึงการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบความเร็วสูงขนาด 6 บิต โดยใช้เทคนิคการจัดระดับแรงดันขีดเริ่มเป็นตัวเปรียบเทียบแรงดันซึ่งมีข้อดีในด้านของการใช้พื้นที่ชิปที่น้อย กินกำลังงานต่ำและ ความเร็วสูง ส่วนการเข้ารหัสจะใช้การเข้ารหัสแบบแฟททรีโดยใช้เทคโนโลยีซีมอส ขนาด 0.5 ไมครอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

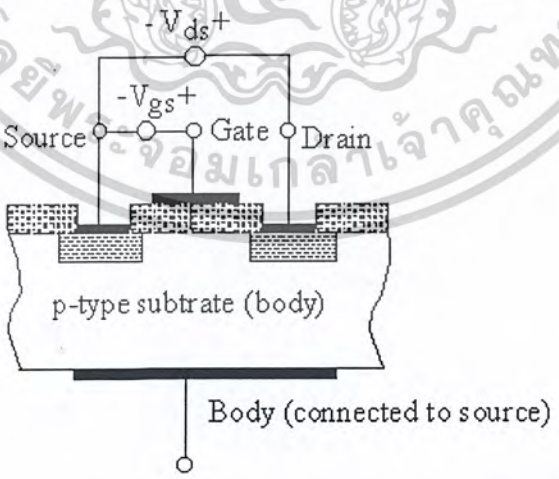
บทที่ 2

ทฤษฎีการทำงานของทรานซิสเตอร์แบบมอส

ในการพัฒนาการเทคโนโลยี VLSI (Very Large Scale Integration) เป็นการผลิตวงจรที่นิยมใช้กันมาก เพราะว่ามีข้อดีกว่าเทคโนโลยีแบบอื่น ๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากของงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรร่วมชิฟเดียว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรอนาลอก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีโดยออกแบบเป็น VLSI ในการออกใบบ VLSI ในระบบที่เป็นวงจรอนาลอก (Analog Circuit) ส่วนใหญ่ที่เรารู้จักก็คือวงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter Circuit) และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter Circuit) วงจรเปรียบเทียบกระแส (Current Comparator Circuit) วงจรควบคุมอัตราการขยายอัตโนมัติ (Automatic Gain Control Circuit) ฯลฯ วิธีการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่ 2 แบบ คือแบบไบโพลาร์ (BJT) และมอส (MOS) โดยทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรร่วมซิลิกอน (Silicon Integrated – Circuit Technology) เมื่อก่อนการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่สมัยนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนของเทคโนโลยีของมอส ทำให้สามารถบรรจุที่ออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor)

ทฤษฎีการทำงานของมอส

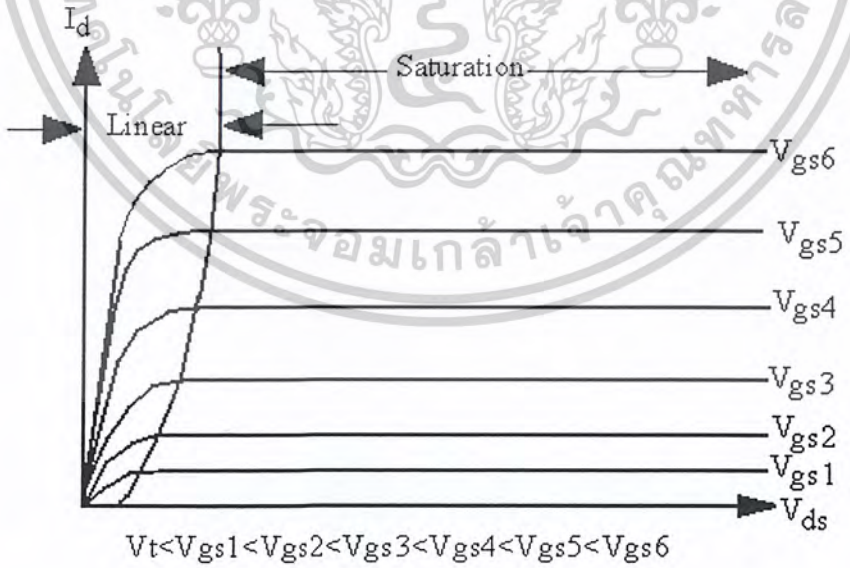
การทำงานของมอสเฟตทั้ง 2 ประเภทนั้นสามารถอธิบายได้โดยใช้ N-Channel ได้ดังนี้ คือ



รูปที่ 2.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

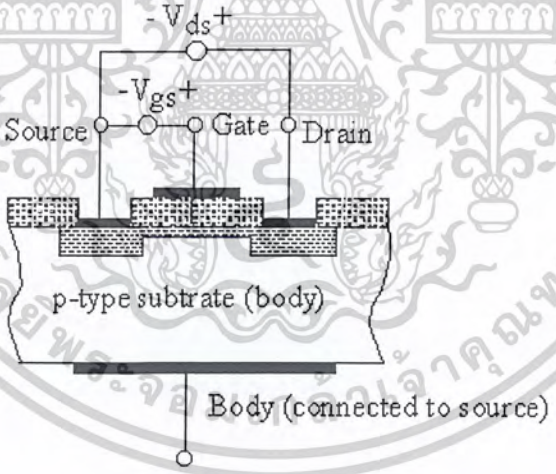
จากรูปที่ 2.1 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel จากโครงสร้างภายในจะเห็นว่ารอบ ๆ ส่วนของซอสและเดรนมีลักษณะเป็นรอยต่อพีเอ็น (P-N Junction) เกิดย่านปลอดพาหะ (Depletion Region) ขึ้น ถ้าเกทได้รับแรงดันค่าลบในขณะที่ $V_{ds} = 0$ จะเกิดไฟฟ้า Oxide มีทิศทางไปยัง Gate Electrode จะทำให้ Holes ใน P-Type Substrate ผ่านมายังบริเวณใกล้ผิวทำให้ Minority Carrier Concentration (Hole) บริเวณใกล้ผิวเพิ่มขึ้นกว่าใน Substrate ขณะเดียวกัน Minority Carrier Concentration (Electron) บริเวณใกล้ผิวจะลดลง เนื่องจากอิเล็กตรอนจะถูกผลักลงไปใน Substrate ต่อไปถ้าเกทได้รับแรงดันค่าบวกน้อย ($V_{gs} > 0$) ในขณะที่ $V_{ds} = 0$ จะเกิดสนามไฟฟ้าในอ็อกไซด์มีทิศทางไปยัง Substrate ทำให้โฮลล์บริเวณใกล้ผิวของ Substrate ภายใต้ Gate Oxide จะถูกผลักออกมา Fixed Ionized Acceptor ของมันกลับไปใน Substrate ดังนั้นจะเกิด Depletion Region บริเวณใกล้ผิวขึ้น ต่อมาเมื่อเกทได้รับแรงดันค่าบวกมากขึ้น จนกระทั่งมากกว่าแรงดันค่าบวกค่าหนึ่งเรียกว่า Threshold Voltage (V_{to}) นั้นคือ $V_{gs} > V_{to}$ จะทำให้ศักย์บวกที่เกทที่มากนี้จะดึงอิเล็กตรอนจำนวนมากจาก P-Type Substrate มาใกล้ผิวสร้างเป็น N-Type Region ใกล้ผิวเรียกว่า Inversion Layer และสภาวะนี้เรียกว่า Surface Inversion โดย Inversion Layer หรือ N-Type Conduction Channel จะเกิดขึ้นระหว่าง Source Region และ Drain Region ทำหน้าที่เป็นช่องทาง (Channel) เดินกระแสระหว่างซอส ดังนั้นทำให้แรงดันเดรนซอสเป็นบวกเล็กน้อย ($V_{ds} > 0$) จะเกิดกระแสไหลจากเดรนไปยังซอสได้ ถ้าเพิ่ม $V_{ds} = (V_{gs} - V_t)$ กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดแม้มีการเพิ่ม V_{ds} มากขึ้นอีกก็ตาม ดังแสดงความสัมพันธ์ระหว่าง Id และ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ในรูปที่ 2.2



รูปที่ 2.2 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟต ชนิด N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบดีพลีชั่นชนิด N-Channel จะเห็นว่าเมื่อไบอัสแรงดันเกทเป็นศูนย์เมกื่อเทียบกับซอสและให้แรงดันเดรนเทียบกับซอสเป็นบวกค่าหนึ่งจะมีกระแสเดรนไหลค่าหนึ่งเนื่องจากุแชลแนลได้ถูกสร้างไว้แล้วเมื่อไบอัสแรงดันเกทเป็นค่าลบค่าน้อยเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์มีทิศทางไปยัง Gate Electrode ผลจะผลักอิเล็กตรอนบริเวณใกล้ผิวในแชลแนลให้ออกจาก Fixed Ionized Donor (ประจุบวกอยู่กับที่) ลงมาแชลแนลส่วนล่าง ผลทำให้เกิด Depletion Region ใกล้ผิวภายในแชลแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชลแนลลดลง ผลกระแสเดรนไหลน้อยลงและถ้าเกทเป็นค่าลบมากขึ้นทำให้ Depletion Region แผ่กว้างเพิ่มขึ้นในแชลแนล จะทำให้สภาพความนำไฟฟ้าของแชลแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและถ้าเกทเป็นลบมาก ๆ ทำให้ Depletion Region แผ่กว้างเต็มแชลแนล แชลแนลจะไม่นำกระแส กระแสเดรนจะมีค่าเป็นศูนย์ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชั่นโหมด (Depletion Mode) ต่อมาเมื่อไบอัสแรงดันเกทเป็นบวกเมื่อเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์ไปยังแชลแนลจะดึงดูดอิเล็กตรอนจาก P-Substrate มายังบริเวณแชลแนลมากขึ้น ทำให้สภาพความนำไฟฟ้าของแชลแนลเพิ่มขึ้น กระแสเดรนไหลเพิ่มขึ้นมีค่ามากกว่ากระแสเดรนขณะ $V_{gs} = 0$ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบเอ็นฮานเมนท์โหมด (Enhancement Mode) ดังแสดงความสัมพันธ์ของ Id และ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ในรูปที่ 2.4



รูปที่ 2.3 แสดงการไบอัสมอสเฟตแบบดีพลีชั่นชนิด N-Channel

จากการทำงานของมอสเฟตจะเห็นว่าเป็นการใช้แรงดันควบคุมปริมาณกระแสไฟฟ้าจะมีสมการความสัมพันธ์ของกระแสเดรน (I_d) กับแรงดันเกทซอส (V_{gs}) และค่าพารามิเตอร์ต่าง ๆ มอสเฟตดังแสดงได้ในสมการที่ (2.1) โดยการอ้างอิงการไบอัสของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Id = \beta\left[\left(Vgs - Vt - \frac{Vds^2}{2}\right)\right] \qquad (2.1)$$

โดยที่ β = ค่าทรานสคอนดัคแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu C_{ox}\left[\frac{W}{L}\right]$

μ = ค่าสภาพความคล่องตัวของโฮลล์หรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{ox} = ค่าความจะไฟฟ้าต่อพื้นที่ของเกทอ็อกไซด์ (Capacitance Per Unit Area of the Gate Oxide)

W = ความกว้างของแชลแนล (Channel Width)

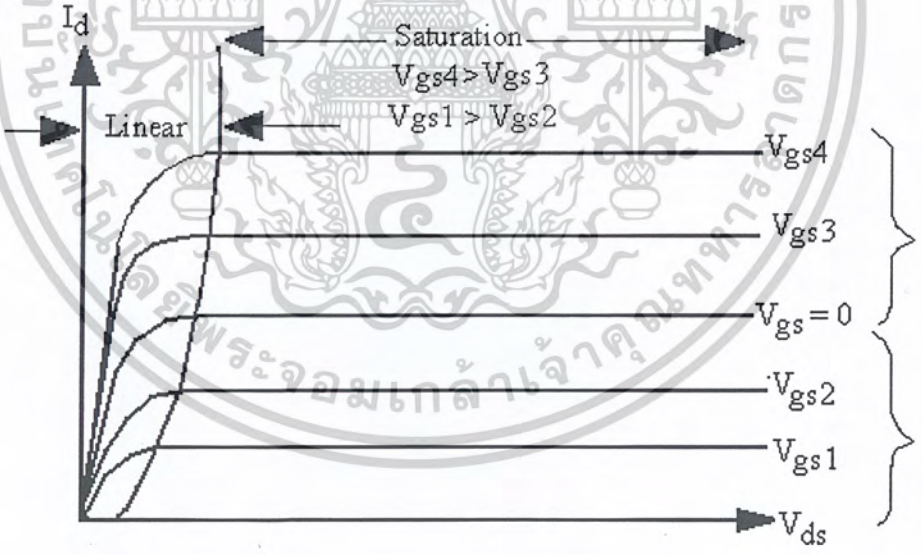
L = ความยาวของแชลแนล (Channel Length)

V_{gs} = แรงดันไฟฟ้าระหว่างเกทกับซอส (Gate-Source Voltage)

V_{ds} = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

V_t = แรงดันขีดเริ่ม (Threshold Voltage)

I_d = กระแสเดรน



รูปที่ 2.4 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟตแบบดีพลีชั่นชนิด N=Channel

การจัดไบอัสการทำงานของมอสเฟตสามารถแบ่งออกได้เป็น 3 ช่วง ขึ้นกับการพิจารณาค่า $(V_{gs} - V_t)$ โดยสมการทั้งหมดจะอ้างอิงการไบอัสมอสเฟตชนิด N-Channel แบบเอ็นฮานเมนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. **ทำงานในช่วงคัทออฟ** (Cut off Region) คือทำการไบอัสให้แรงดันไฟฟ้าที่เกทกับซอส (V_{gs}) มีค่าน้อยกว่า V_t ผลทำให้ไม่มีกระแสเดรนไหลดังสมการที่ (2.2)

$$Id = 0,\ Vgs < Vt \tag{2.2}$$

2. **ทำงานในช่วงไม่อิ่มตัว** (Non-Saturation) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region) คือเพื่อให้มอสเฟตทำงานในช่วงนี้ต้องการทำไบอัสให้แรงดันไฟฟ้าที่เกทกับซอส [V_{gs}] มากกว่า V_t ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส (V_{ds}) มีค่าน้อยกว่า $(V_{gs} - V_t)$ ดังนั้น

$$Id = \beta\left[\left(Vgs - Vt - \frac{Vds^2}{2}\right)\right] \tag{2.3}$$

ถ้ามี V_{ds} มีค่าน้อย ๆ หรือไบอัสให้ 0<Vds<(Vgs-Vt) จะสามารถตัดเทอม $\frac{Vds^2}{2}$ ในสมการที่ (2.3) ได้และสามารถประมาณสมการได้เป็น

$$Id = \beta[(Vgs - Vt)Vds] \tag{2.4}$$

จากความสัมพันธ์อย่างเชิงเส้นในสมการที่ (2.4) จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น (R_{ds}) ถูกควบคุมด้วยค่าแรงดันไฟฟ้าของ V_{gs}

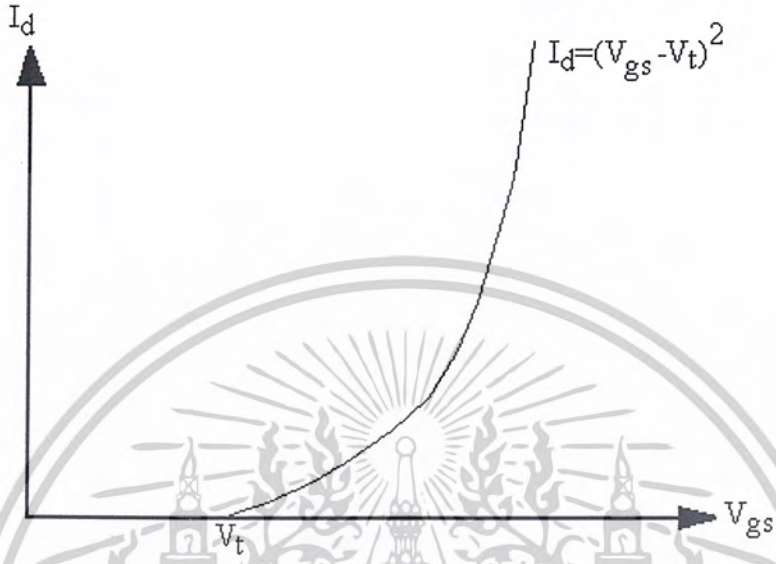
$$Rds = \frac{Vds}{Id} = [\beta(Vgs - Vt)]^{-1} \tag{2.5}$$

3. **ทำงานในช่วงอิ่มตัว** (Saturation Region) คือช่วงนี้จะไบอัสให้แรงดันที่เดรนกับซอส (V_{ds}) มากกว่าหรือเท่ากับ $(V_{gs}-V_t)$ ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็น

$$Id = \beta(Vgs - Vt)^2 \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันไฟฟ้าที่เดรนกับซอส (V_{ds}) แต่จะขึ้นกับค่าแรงดัน ($V_{gs} - V_t$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง โดยสามารถแสดงกราฟคุณสมบัติการถ่ายโอนในรูปที่ 2.5

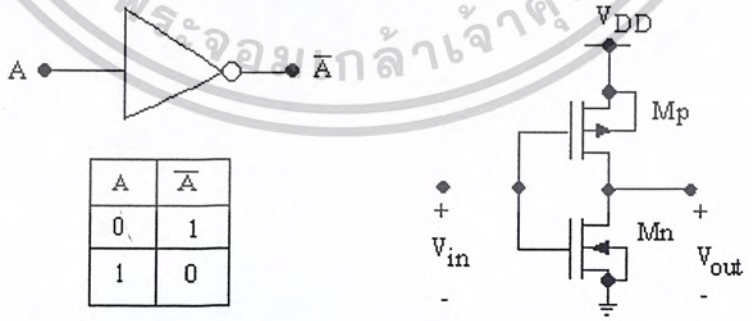


รูปที่ 2.5 คุณสมบัติการถ่ายโอน

ซีมอสอินเวอเตอร์

หนึ่งในพื้นฐานดิจิตอลลอจิกคือการทำงานแบบอินเวอเตอร์หรือนอทเกตซึ่งซีมอสอินเวอเตอร์จะให้คุณสมบัตินี้ได้อย่างดีโดยใช้คู่มอสทรานซิสเตอร์รวมถึงการให้การแกว่งทางเอ้าพุทที่สูงและการกินกำลังงานที่ต่ำ

พื้นฐานการทำงาน



A	Ā
0	1
1	0

(a) Logic Symbol (b) CMOS circuit

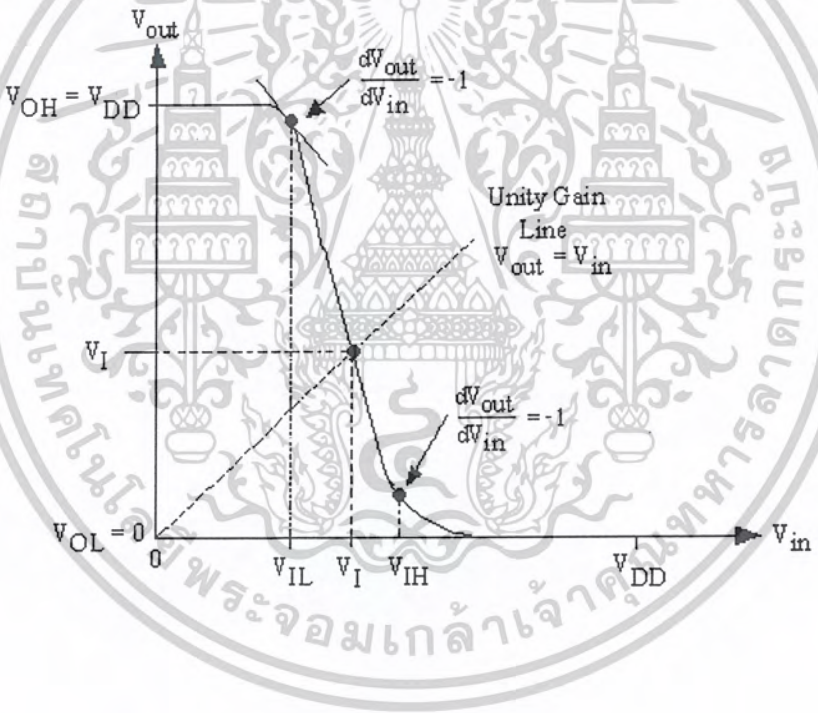
รูปที่ 2.6 เป็นสัญลักษณ์ของอินเวอเตอร์และตารางความจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.6 เป็นสัญลักษณ์ของอินเวอเตอร์และตารางความจริง จากวงจรจะเห็นว่ามอสทรานซิสเตอร์ต่อขาเกทถึงกันและต่อเข้าอินพุทและที่เอ้าพุทจะต่อขาเดรนร่วมกัน การต่อในลักษณะนี้เรียกว่าการต่อแบบคอมพลีเมนตารี ซึ่งทรานซิสเตอร์ทั้งสองตัวจะทำงานสลับกันเมื่อป้อนสัญญาณระดับสูงและระดับต่ำเข้าทางอินพุท

คุณสมบัติทางไฟฟ้ากระแสตรง

ค่าแรงดันที่จุดต่างๆจะเกิดจากค่าพารามิเตอร์และคุณสมบัติทางไฟฟ้ากระแสตรงของวงจรซึ่งจะเกี่ยวข้องโดยตรงกับการกำหนดลอจิก 0หรือ1ในการออกแบบซีมอสอินเวอเตอร์จะมีเพียงอัตราส่วนของขนาดทรานซิสเตอร์เท่านั้นที่สามารถปรับได้ส่วนค่าทางไฟฟ้าอื่นๆเช่น K,V_{TH} นั้นได้จากกระบวนการผลิตซึ่งไม่สามารถปรับได้และค่าแรงดันค่าต่างๆเหล่านี้สามารถหาค่าได้โดยพิจารณาว่ากระแสไหลผ่านทรานซิสเตอร์ทั้งสองตัวเท่ากัน



รูปที่ 2.7 แสดงกราฟคุณลักษณะของวงจรซีมอสอินเวอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเอ้าพุทไฮ(Output High Voltage: V_{OH})

V_{OH} คือแรงดันเอ้าพุทที่สูงที่สุดซึ่งหาได้จากกรณีที่แรงดันอินพุทน้อยกว่าแรงดันเกต-ซอสของทรานซิสเตอร์ชนิดเอ็น ทำให้ทรานซิสเตอร์ชนิดเอ็นยังไม่ทำงานขณะที่ทรานซิสเตอร์ชนิดพีทำงานในย่านแอคทีฟในทางอุดมคติถือว่าไม่มีกระแสไหล จะได้ IDP=0 และจะได้สมการเอ้าพุท

$$V_{out}=V_{DD}-V_{DSn} \quad (2.7)$$
$$=V_{DD}$$
$$=V_{OH}$$

แรงดันเอ้าพุทโล(Output Low Voltage: V_{OL})

V_{OL} คือค่าแรงดันเอ้าพุทที่ต่ำที่สุดเกิดจากการป้อนแรงดันอินพุทเท่ากับแหล่งจ่ายจะทำให้ทรานซิสเตอร์ชนิดพีไม่ทำงานหรือคัทออฟและทรานซิสเตอร์ชนิดเอ็นทำงานในย่านแอคทีฟเท่ากับ V_{DSN}

$$V_{OUT} = V_{DSn} = 0 = V_{OL} \quad (2.8)$$

เมื่อพิจารณา V_{OH}และ V_{OL}ของวงจรซีมอสอินเวอเตอร์จะพบว่ามีการแกว่งทางเอ้าพุทจากต่ำสุดถึงสูงสุดซึ่งเราเรียกลักษณะการแกว่งนี้ว่า เรล ทู เรล (Rail-Rail)

แรงดันอินพุทโล (Input Low Voltage: V_{IL})

V_{IL} คือแรงดันทางอินพุทที่มากที่สุดที่ยังถือว่าเป็นลอจิก 0 จากกราฟจะเห็นว่าถ้า Vinน้อยกว่า V_{IL} เอ้าพุทจะยังได้แรงดันเท่ากับ V_{DD} แต่ถ้ามากกว่าวงจรจะเข้าสู่ช่วงของการเปลี่ยนแปลงหรือบางครั้งเรานิยามแรงดันจุดนี้ว่าจุดที่กราฟแสดงคุณลักษณะมีความชันเป็น –1 เพื่อที่จะคำนวณค่า V_{IL} ซึ่งเป็นจุดที่NMOS ทำงานในช่วงอิ่มตัวส่วน PMOSทำงานในช่วงลิเนียร์และจากการที่กระแสไหลเท่ากันจะได้สมการเป็น

$$\frac{K_n}{2}(V_{in}-V_t)^2 = \frac{K_p}{2}\left[2(V_{DD}-V_{in}-|V_{tp}|)(V_{DD}-V_{out})-(V_{DD}-V_{out})^2\right] \quad (2.9)$$

และเมื่อทำการแก้สมการแล้วจะได้เป็น

$$V_{IL} = \frac{2V_{out}+V_{tp}-V_{DD}+K_R V_{tn}}{1+K_R} \quad (2.10)$$

เมื่อ $K_R = \frac{K_n}{K_p}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันอินพุทไฮ (Input High Voltage: V_{IH})

V_{IH} คือแรงดันอินพุทที่น้อยที่สุดที่ยังถือว่าเป็นลอจิก 1 จากกราฟจะเห็นว่าเมื่อแรงดันอินพุทมากว่าแรงดันอินพุทไฮจะได้แรงดันเอ้าพุทเป็นลอจิก 0ในการคำนวณหา VIHนั้นใช้หลักการเดียวกับการหา VILแต่ในช่วงนี้NMOS0จะทำงานในย่านลิเนียร์ส่วน PMOS จะทำงานในช่วงอิ่มตัวจะได้สมการ

$$\frac{K_n}{2}\left[2(V_{gsn}-V_{tn})V_{dsn}-V_{dsn}{}^2\right]=\frac{K_p}{2}(V_{gsp}-V_{tp})^2 \qquad (2.11)$$

แล้วทำการแก้สมการจะได้ค่า V_{IH} เป็น

$$V_{IH}=\frac{V_{DD}+V_{tp}+K_R(2V_{out}+V_{tn})}{1+K_R} \qquad (2.12)$$

แรงดันกึ่งกลาง(Midpoint Voltage: V_M)

V_M คือแรงดันขีดเริ่มของอินเวอเตอร์ซึ่งนิยามโดยจุดที่ค่าแรงดันอินพุทเท่ากับค่าแรงดันอินพุท โดยในขณะนี้ทรานซิสเตอร์ทั้งสองตัวทำงานในย่านอิ่มตัวและจากการพิจารณาจุดที่ $V_{OUT}=V_{IN}$จะได้สมการเป็น

$$\frac{K_n}{2}(V_{gsn}-V_{tn})^2=\frac{K_p}{2}(V_{gsp}-V_{tp})^2 \qquad (2.13)$$

ทำการแก้สมการแล้วจะได้

$$V_M=\frac{V_{DD}-|V_{tp}|+\sqrt{\frac{K_n}{K_p}}V_{tn}}{1+\sqrt{\frac{K_n}{K_p}}} \qquad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการกินกำลังงาน

อัตราการกินกำลังงานแบบสถิต

ในวงจรซีมอสอินเวอเตอร์โดยทั่วไปจะเกิดการไหลของกระแสไฟฟ้าเฉพาะช่วงเวลาของการสวิตซ์เท่านั้นซึ่งเป็นคุณสมบัติของวงจรที่ต่อแบบคอมพลีเมนตารีเมื่อพิจารณา $I_{DD}=I_{DN}+ I_{DP}$ ซึ่งกระแสทั้งสองมีค่าเป็นศูนย์

$$I_{DD}(OH)=I_{DN}(Off)=0$$

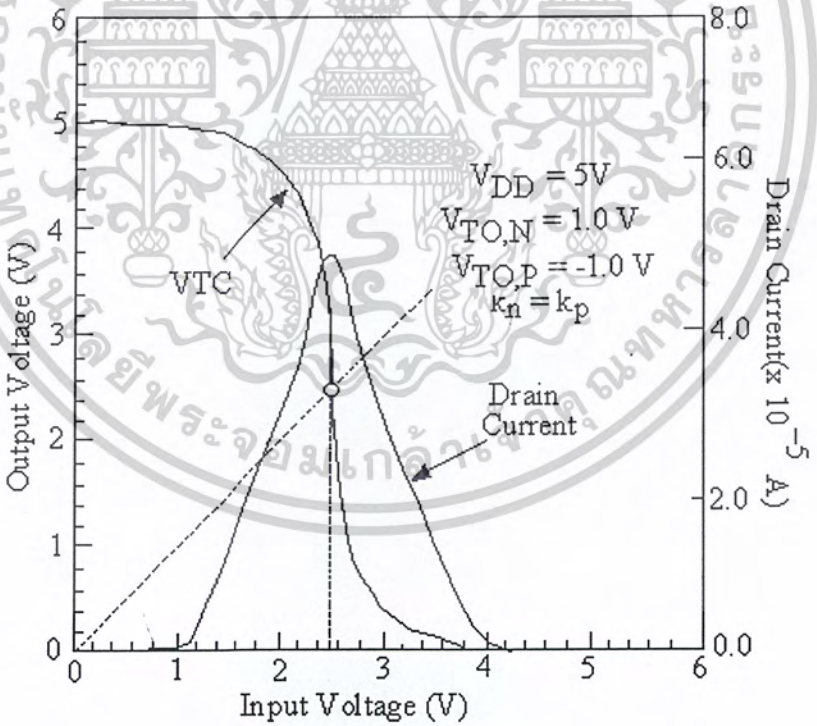
และ

$$I_{DD}(OL)= -I_{DP}(Off)=0$$

ฉะนั้นจะได้ค่าการกินกำลังสถิตย์เฉลี่ยเป็น

$$P_{DD(avg)} = \frac{I_{DD}(OH) + I_{DD}(OL)}{2} V_{DD} \qquad (2.15)$$

$$= \frac{(0)+(0)}{2} V_{DD} = 0$$



รูปที่ 2.8 แสดงกราฟคุณลักษณะและกระแสจากแหล่งจ่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตรากินกำลังงานแบบพลวัต

รูปที่2.8แสดงการกินกำลังงานเมื่อเทียบกับแรงดันอินพุทซึ่งจะเห็นว่ากำลังงานของวงจรซีมอสอินเวอเตอร์เกิดจากกำลังงานพลวัต ซึ่งเท่ากับ

$$P_{DD}(Cmos) = P_{DD}(dyn) = C_L \nu V^2_{DD} \qquad (2.16)$$

โดย CL คือตัวเก็บประจุที่โหลด

ν คือความถี่ในการสวิทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ในปัจจุบันวิยาการทางด้านดิจิตอลได้เข้ามามีบทบาทมากมาย เช่น ทางด้านโทรคมนาคม คอมพิวเตอร์ การควบคุมอื่นๆ เป็นต้น ดังนั้นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) จึงเป็นสิ่งที่จำเป็นที่สามารถประยุกต์ใช้งานในด้านต่างๆ ดังนั้น อุปกรณ์ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ดีจะต้องทำการแปลงให้มีความเที่ยงตรงของสัญญาณเอาพุต ช่วงการปฏิบัติงานย่านอินพุตและมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี

ประเภทของอุปกรณ์ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถแบ่งได้หลายลักษณะเช่นแบ่งตามความเร็วในการแปลงสัญญาณหรือแบ่งตามสมรรถนะการทำงานของวงจร เป็นต้น ซึ่งในปริญญานิพนธ์นี้จะกล่าวถึงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลตามความเร็วในการเปลี่ยนแปลงสัญญาณโดยสามารถแบ่งเป็นประเภทใหญ่ๆได้ 3 ประเภท คือ 1.วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ 2.วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง 3.วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง ซึ่งวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแต่ละประเภทเหมาะสำหรับงานที่จะนำไปประยุกต์ใช้งานในลักษณะอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลหลักการและรายละเอียดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแต่ละประเภทจะกล่าวตามลำดับ

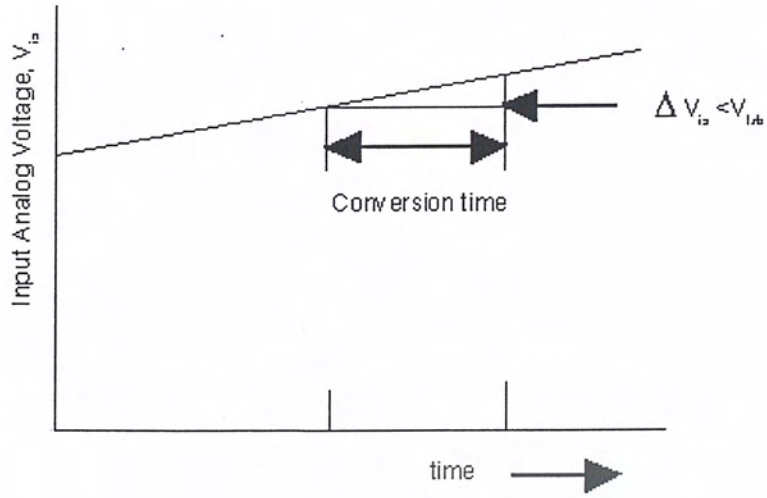
อินพุทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ประเภทของสัญญาณอินพุทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะมีความสำคัญในการนำประเภทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งแบ่งตามความเร็วในการเปลี่ยนแปลงสัญญาณที่ได้กล่าวมาแล้วในบทนำ โดยสามารถแบ่งประเภทของสัญญาณอินพุทได้ 3 ประเภทคือ

3.2.1 สัญญาณ Direct Current (DC) หรือ Slowly Varying

ดังแสดงในรูปที่ 3.1 สัญญาณประเภทนี้จะเป็นค่าคงที่หรือสัญญาณจะเกิดการเปลี่ยนแปลงเล็กน้อยในระหว่างกระบวนการแปลงวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่ใช้สัญญาณประเภทนี้ได้แก่ วงจร Single Slope Analog to Digital Converter และ Dual Slope Analog to Digital Converter

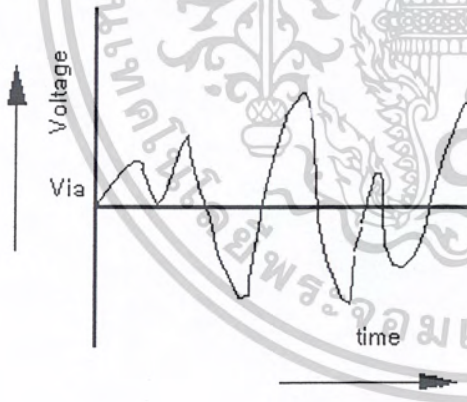
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 สัญญาณ Direct Current (DC) หรือ Slowly Varying

3.2.2 สัญญาณ Continuously Changing และ Single Event Alternating Current (AC)

ดังแสดงในรูปที่ 3.2 สัญญาณประเภทนี้จะมีแบนด์วิดธ์และระดับของสัญญาณจะไม่มีการเปลี่ยนแปลงเมื่อระหว่างกระบวนการแปลงสัญญาณ อุปกรณ์แปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลใช้สัญญาณประเภทนี้ได้แก่ วงจร Successive Approximation และ Parallel Analog to Digital Converter

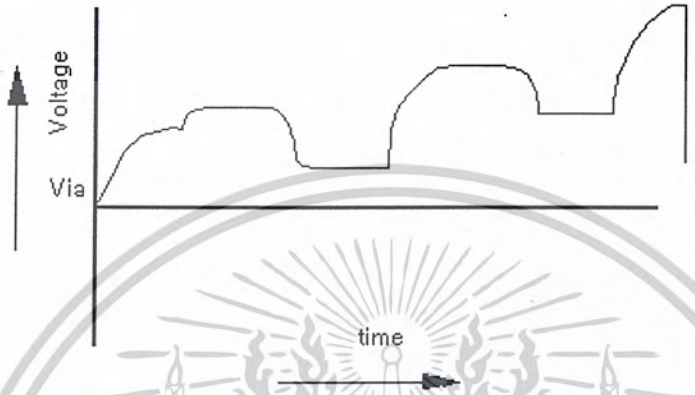


รูปที่ 3.2 สัญญาณ (ก)Continuously Changing และ (ข) Single Event Alternating Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 สัญญาณ Pulse Amplitude

ดังแสดงในรูปที่ 3.3 สัญญาณประเภทนี้จะมีลักษณะของสัญญาณที่มีความสัมพันธ์ที่ต่อเนื่องกัน อุปกรณ์ในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ใช้สัญญาณประเภทนี้ได้แก่วงจร Successive Approximation และ Parallel Analog to Digital Converter



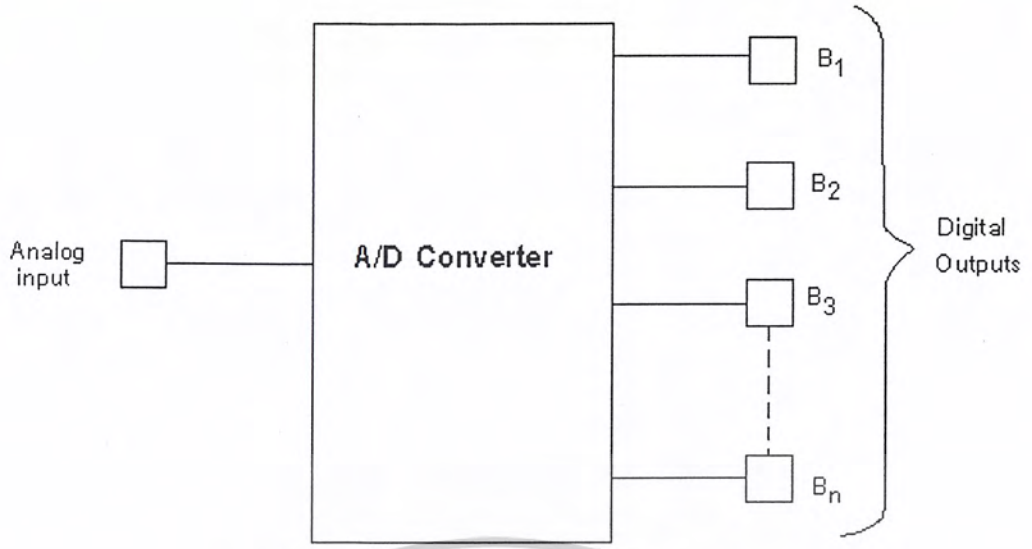
รูปที่ 3.3 สัญญาณ Pulse Amplitude

3.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

หลักการของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลคือการแปลงรูปแบบของสัญญาณต่อเนื่องค่าหนึ่งๆ ที่เป็น โวลท์เตจหรือกระแสที่เป็นสัญญาณที่มีค่าสอดคล้องกัน โดย block diagram ของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลดังแสดงรูปที่ 3.4 ซึ่งอินพุทโวลท์เตจ (V in) เป็นการประมาณไบนารี่ ส่วนโวลท์เตจเอ้าท์พุตฟูลสเกล (Vfs) ซึ่งเอ้าท์พุตของตัวแปลงสัญญาณดิจิตอลที่ n บิทจะได้รหัสดิจิตอล ดังสมการที่ 3.1

$$D = \frac{V_{in}}{V_{fs}} = \frac{B_1}{2} + \frac{B_2}{2^2} + \ldots\ldots\ldots + \frac{B_n}{2^n} \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



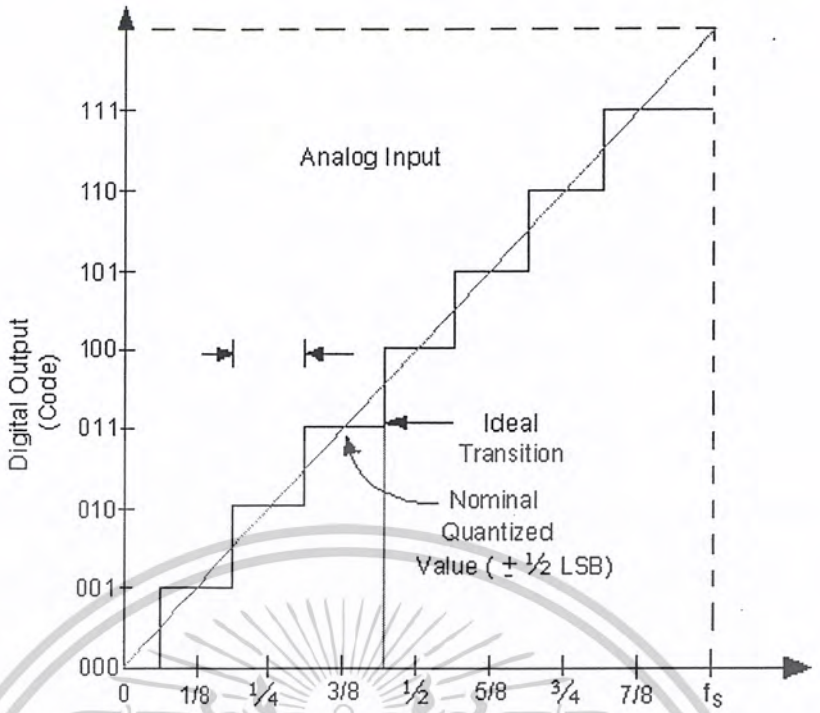
รูปที่ 3.4 บล็อกไดอะแกรมของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุทและสัญญาณดิจิตอลเอ้าท์พุตของตัวแปลงสัญญาณในอุดมคติ แสดงดังรูปที่ 3.5 จากรูปกำหนดดิจิตอลเอ้าท์พุตมีค่า 3 บิตโดยที่ n บิทดิจิตอลเอ้าท์พุตมีค่า $(2^n - 1)$ บิทในแนวนอนแสดงสัญญาณอนาลอกอินพุตและแนวตั้งแสดงสัญญาณดิจิตอลเอ้าพุตโดยย่านของอนาลอกอินพุตจะมีความสัมพันธ์กับดิจิตอลเอ้าท์พุตยกตัวอย่างเช่นที่อนาลอกอินพุตย่าน 0.5 Fs จะมีความสัมพันธ์กับดิจิตอลเอ้าท์พุต 100 เป็นต้น ซึ่งความสัมพันธ์นี้เรียกว่า ความกว้างของรหัส (Code) ในอุดมคติความกว้างมีค่า 1 LSB (Least Significant Bit) ดังแสดงค่า ในสมการที่ 3.2 แต่ในทางปฏิบัติความกว้างที่ยอมรับได้จะมีค่า = +/- 0.5 LSB

$$\Delta V_o = 1LSB = \frac{V_{fs}}{2^n} \qquad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิตอลเอ้าพุท

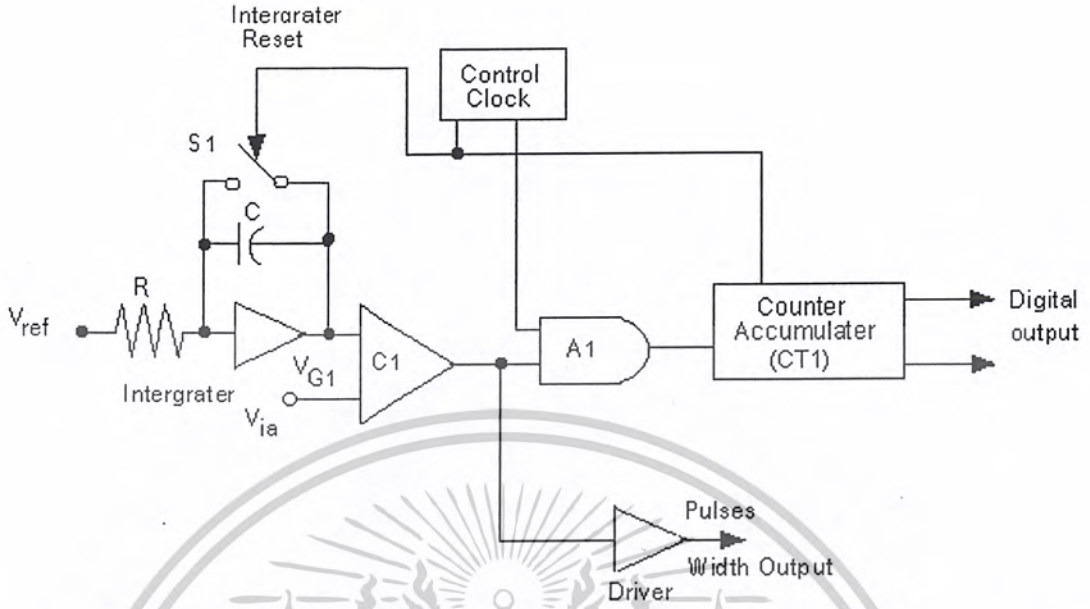
3.4 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำเป็นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร ขนาดของวงจรไม่ขึ้นกับจำนวนบิทที่ต้องการ สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดี คือจำนวนบิทมาก อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Single Slope Analog to Digital Converter และ Dual Slope Analog to Digital Converter ซึ่งมีรายละเอียดดังต่อไปนี้

3.4.1 Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในรูปของพัลซ์ที่มีขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังค์ชั่นของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่า และสัญญาณดิจิตอลจะได้รับการนับสัญญาณความถี่อ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุดสัญญาณพัลซ์และหลักการพื้นฐานแสดงได้ดังรูปที่3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
50337



รูปที่ 3.6 หลักการพื้นฐานของ Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter

หลักการพื้นฐานประกอบด้วยวงจรสร้างสัญญาณ Ramp G1 วงจรเปรียบเทียบสัญญาณ C1 วงจรแอนด์เกท (And Gate) A1 วงจรนับแบบไบนารี่ CT1 และวงจรควบคุมการทำงานการทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องอินพุท Via ถูกป้อนเข้าสู่ขาบวก(+) ของวงจรเปรียบเทียบ C1 วงจรควบคุมการทำงานจะทำการส่งสัญญาณรีเซ็ทไปทำการรีเซ็ทวงจรสร้างสัญญาณ G1 เพื่อให้วงจร G1 สร้างสัญญาณ Ramp จาก 0 โวลท์ โดยการอินทิเกรตสัญญาณกระแสอ้างอิง I ได้ศักดาเอาพุตของวงจร VG1 ซึ่งมีค่าแปรตามเวลา ตามสมการที่ 3.3

$$V_{GI}(t) = K\int_{0}^{1} I_{ref}\,dt \qquad (3.3)$$

โดยที่ k เป็นค่าคงที่ และ ts เป็นเวลาที่ค่าสัญญาณเอ้าพุต VG1(t) เท่ากับ Via

เอ้าพุตของวงจรสร้างสัญญาณ G1 จะต่อกับขาลบ(-)ของวงจรเปรียบเทียบ C1 ณ เวลา t ใดๆ ถ้าสัญญาณต่อเนื่องอินพุต Via>VG1(t) สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C1 จะเป็น "1" ซึ่งจะทำให้วงจรแอนด์เกท (And Gate) A1 ทำการส่งสัญญาณนาฬิกาความถี่ F ซึ่งเท่ากับ 1/Tclk เข้าสู่วงจรนับ CT1 และเมื่อ VG1(t) =Via ให้เวลา ณ ขณะนั้นเป็น ts สัญญาณเอ้าพุตจากวงจรปรียบเทียบ C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเปลี่ยนเป็น "0" ค่าดังกล่าวจะทำให้แอนเกท A1 ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรนับ CT1 ได้ทำให้การนับสิ้นสุด จำนวนสัญญาณนาฬิกาที่ CT1 นับได้ในช่วงคาบเวลา Ts วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิตอลที่มีค่าเทียบกับสัญญาณต่อเนื่อง Via

ข้อเสียของวงจรนี้คือคาบเวลาที่ใช้ในการแปลงสัญญาณ ts แปรตามระดับสัญญาณต่อเนื่องของอินพุต Via ทั้งนี้เนื่องจากอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนี้ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ VG1(t) มีการเปลี่ยนแปลงค่าจาก 0 โวลท์ไปจนกระทั่งมีค่าเท่ากับสัญญาณอินพุต Via ดังนั้นจึงมีการเปลี่ยนระดับสัญญาณได้ทีละหนึ่งระดับสัญญาณดิจิตอล *LSB* เท่านั้น นอกจากนั้นเสถียรภาพและความแม่นยำของวงจรขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ Ramp และวงจรสร้างสัญญาณนาฬิกา

3.4.2 Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter

หลักการนี้เป็นหลักการแบบหนึ่งของวงจร Pulse Width Modulator Analog to Digital Converter โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรเพิ่มขึ้น หลักการทำงานพื้นฐานของวงจรคือการสร้างพัลซ์ขึ้นมาหนึ่งลูกในหนึ่งรอบการแปลงสัญญาณ ความกว้างของพัลซ์ถูกคำนวณจากเวลาที่ใช้ในการอินทิเกรทสัญญาณแตกต่างกัน 2 ค่า คือสัญญาณต่อเนื่องอินพุตและสัญญาณอ้างอิงซึ่งอธิบายได้ดังนี้ การอินทิเกรทครั้งแรกเป็นการอินทิเกรทสัญญาณต่อเนื่องอินพุตในระยะเวลาที่กำหนดแน่นอนค่าหนึ่งให้เป็น t1 ซึ่งจะได้สัญญาณเอาพุทของวงจรอินทิเกรท ณ เวลานั้นแตกต่างตามขนาดสัญญาณต่อเนื่องอินพุท หลังจากนั้นวงจรจะสร้างพัลซ์เพื่อคำนวณค่าสัญญาณดิจิตอลโดยทำการอินทิเกรทสัญญาณอ้างอิงในทางลบ จนกระทั่งสัญญาณเอาพุทของวงจรอินทิเกรทมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่าเท่ากับ Vth และระยะเวลาที่ใช้ในการอินทิเกรทครั้งที่ 2 มีค่าเท่ากับ t2 กรณีที่สัญญาณต่อเนื่องอินพุทต่างกัน ค่าเวลา t2 ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลซ์ t2 วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุท

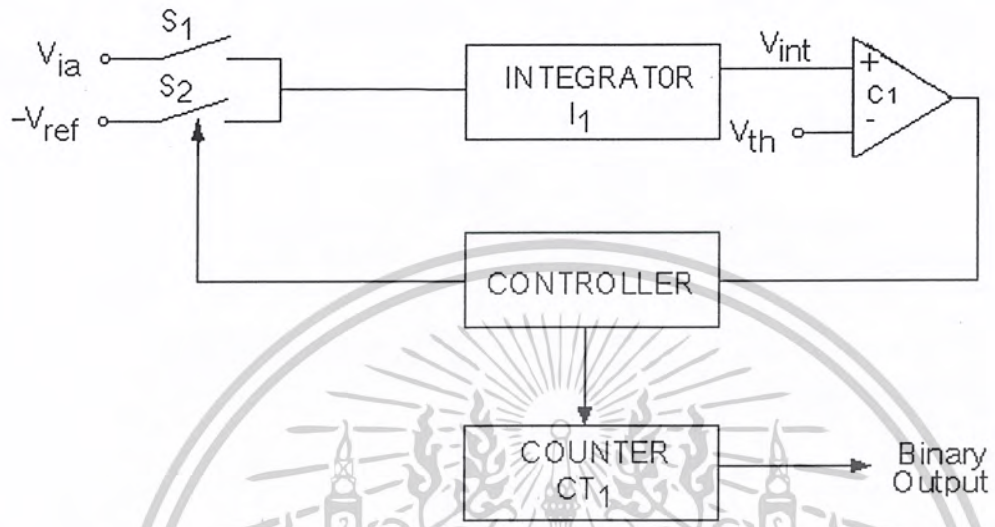
หลักการพื้นฐานแสดงได้ดังรูปที่ 3.7 หลักการพื้นฐานประกอบด้วยวงจรอินทิเกรท I1 วงจรเปรียบเทียบสัญญาณ C1 วงจรควบคุมการทำงานวงจรนับแบบไบนารี่ CT1 สวิตซ์ S1 และสวิตซ์ S2 จะทำงานตรงข้ามกันตลอด การทำงานนี้อธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องอินพุท Via ป้อนสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซตไปทำการรีเซตค่าศักดาเอาท์พุต Vint ของวงจรอินทิเกรท I1 จาก 0 โวลต์ให้มีค่าเท่ากับ Vth ซึ่งเป็นระดับศักดาเทรชโฮลล์ของ C1 หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตซ์ S1 เพื่อส่งสัญญาณต่อเนื่องอินพุท Via ไปยังวงจรอินทิเกรท I1 เพื่อทำการอินทิเกรทสัญญาณเป็นระยะเวลาเท่ากับ NrefT(t1) ซึ่งเป็นสัญญาณนาฬิกาอ้างอิง ได้สัญญาณเอาพุทจากวงจรอินทิเกรท I1 เป็น Vint ความสัมพันธ์ระหว่าง Via กับ Vint แสดงได้สมการที่ (3.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in}(t) = K\int_{0}^{N_{ref}T} V_{ia}\,dt + V_{\text{int}}(0) \qquad (3.4)$$

$$= KN_{ref}TV_{ia} + V_{th}$$

โดย K เป็นค่าคงที่



รูปที่ 3.7 หลักการพื้นฐานของ Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter

หลังจากนั้นวงจรควบคุมจะเปิดสวิตซ์ S1 และปิดสวิตซ์ S2 เพื่อส่งผ่าค่าศักดาอ้างอิง(-Vref) เข้าสู่วงจรอินทิเกรท I1 ซึ่งวงจรอินทิเกรทโดยมีความชันการทำงานของวงจรเป็นลบในขณะเดียวกันนั้นวงจรนับ CT1 จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาไปจนกระทั่ง Vint มีค่าเท่ากับ Vth ซึ่งเป็นค่าระดับศักดาที่กำหนดวงจรนับ CT1 จะหยุดทำการนับให้ระยะเวลาที่วงจรนับ CT1 ทำงานเท่ากับ NoutT(t2) วงจรควบคุมการทำงานจะแปลงจำนวนสัญญาณนาฬิกา Nout ที่นับได้เป็นสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุท Via สมการความสัมพันธ์ในช่วงความชันขาลงระหว่าง (-Vref) กับ Vint ดังแสดงได้ดังสมการที่ (3.5)

$$V_{\text{int}}(t) = V_{\text{int}}(0) + K\int_{0}^{N_{out}T}(-V_{ref}\,dt) \qquad (3.5)$$

เมื่อ t = $NoutT$ จะได้ว่า

$$V_{\text{int}}(N_{out}T) = V_{\text{int}}(0) - KN_{out}TV_{ref} \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

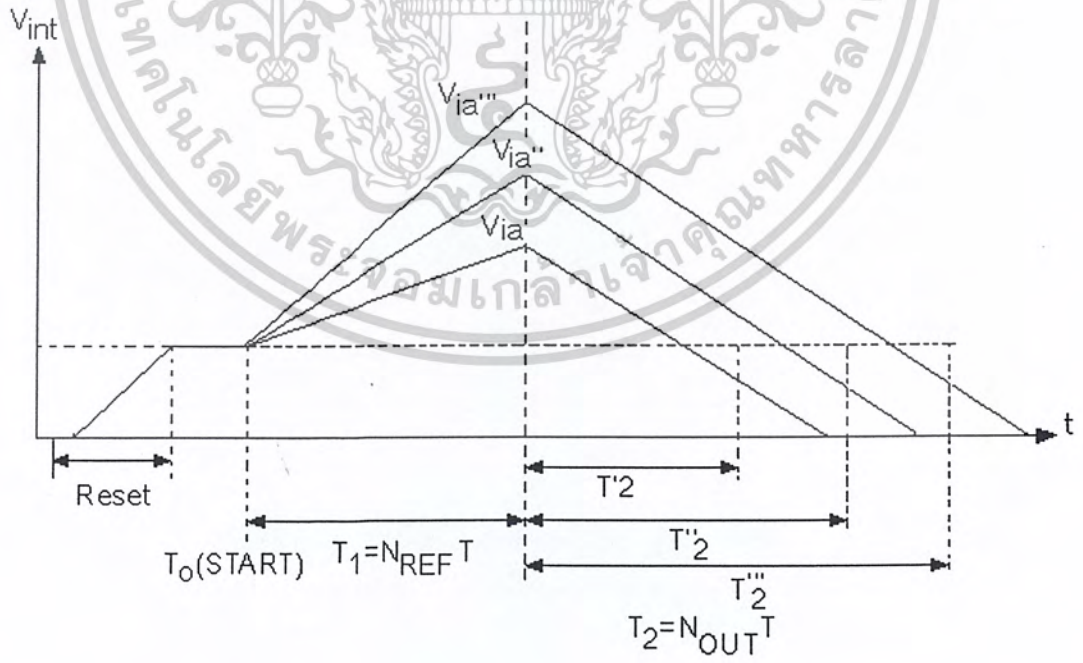
จาก *Vint(0)=KnrefTVia-Vth* ดังนั้น

$$V_{\text{int}}(N_{out}T) = [KN_{ref}TV_{ia}] - KN_{out}TV_{ref} \qquad (3.7)$$

หรือ

$$N_{out} = N_{ref}\left[\frac{V_{ia}}{V_{ref}}\right] \qquad (3.8)$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาเอ้าพุตของวงจรอินติเกรท Vint และ t เป็นดังรูปที่ 3.8 และจากสมการที่ (3.8) จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักดาเทรสโฮลด์ของวงจรเปรียบเทียบสัญญาณ ความชันของวงจรอินทิเกรทหรือสัญญาณนาฬิกาแต่การทำงานของวงจรจะขึ้นกับระดับศักดาอินพุทเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงและแม่นยำสำหรับในกรณีที่สัญญาณต่อเนื่องอินพุทมีค่าเต็มสเกล(ระดับศักดาอินพุทสูงสุด)เวลาที่ใช้ในการแปลงสัญญาณมีค่ามากที่สุดคือ $2^{(n+1)}$ วินาที โดยที่ n เป็นจำนวนบิตที่ต้องการ



รูปที่ 3.8 กราฟความสัมพันธ์ระหว่าค่าศักดาเอ้าพุทของวงจรอินทิเกรทกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

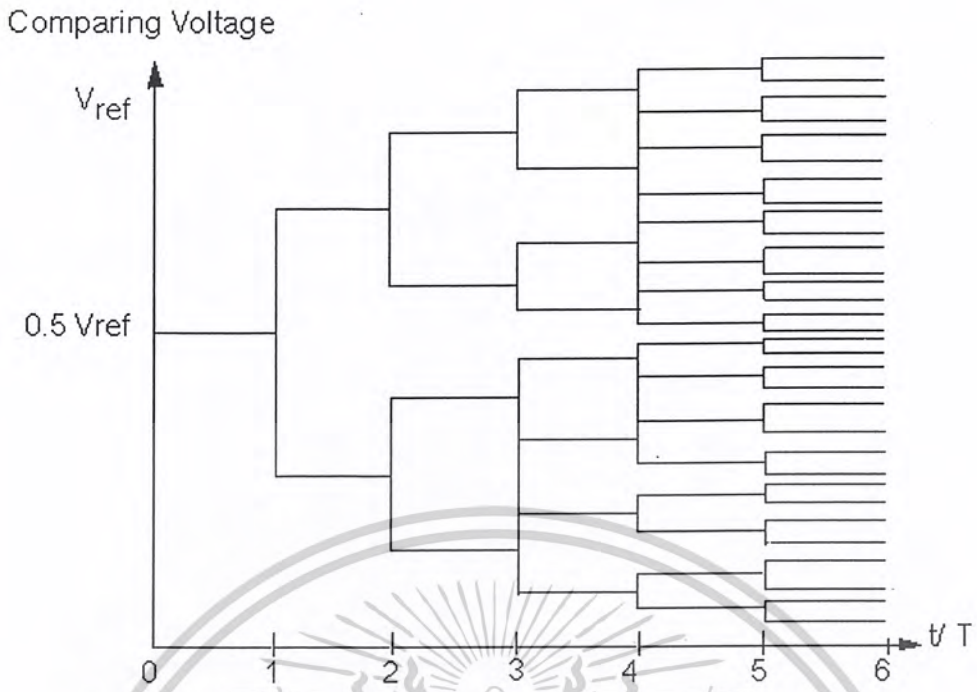
3.5 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลางเป็นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีการทำงานเป็นแบบอนุกรมคือในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิตอลหนึ่งบิต เมื่อเปรียบเทียบกับอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความร็วต่ำ อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลประเภทนี้จะมีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงไม่ขึ้นกับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจรแต่ขึ้นกับจำนวนบิทที่ต้องการ อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Successive Approximation Analog to Digital Converter และวงจร Algorithmic Analog to Digital Converter ซึ่งมีรายละเอียดดังต่อไปนี้

3.5.1 Successive Approximation Analog to Digital Converter

หลักการพื้นฐานคือวงจรจะทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิตอลทีละหนึ่งบิต เริ่มต้นจากบิตสูงสุด (MSB) ไปยังบิตต่ำสุด (LSB) นั่นคือสัญญาณต่อเนื่องอินพุทจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่งๆ โดยในแต่ละรอบการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่างกัน ในรอบแรกค่าสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ ในกรณีที่สัญญาณต่อเนื่องอินพุทมากกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิตอลบิตสูงสุดจะมีค่าเป็นหนึ่ง “1” แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิตอลบิตสูงสุดจะมีค่าเป็นหนึ่ง “0” หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าดิจิตอลบิตถัดไป โดยเพิ่มหรือลดค่าสัญญาณเปรียบเทียบจากค่าเดิมอีกครึ่งหนึ่ง ซึ่งขึ้นอยู่ว่าสัญญาณเอ้าพุตของวงจรเปรียบเทียบมีค่าเป็นอะไร ถ้ามีสัญญาณเป็น “1” วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบ แต่ถ้าสัญญาณนั้นมีค่าเป็น “0” วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรสำหรับบิทถัดไปก็จะไปปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิทที่ต้องการรูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

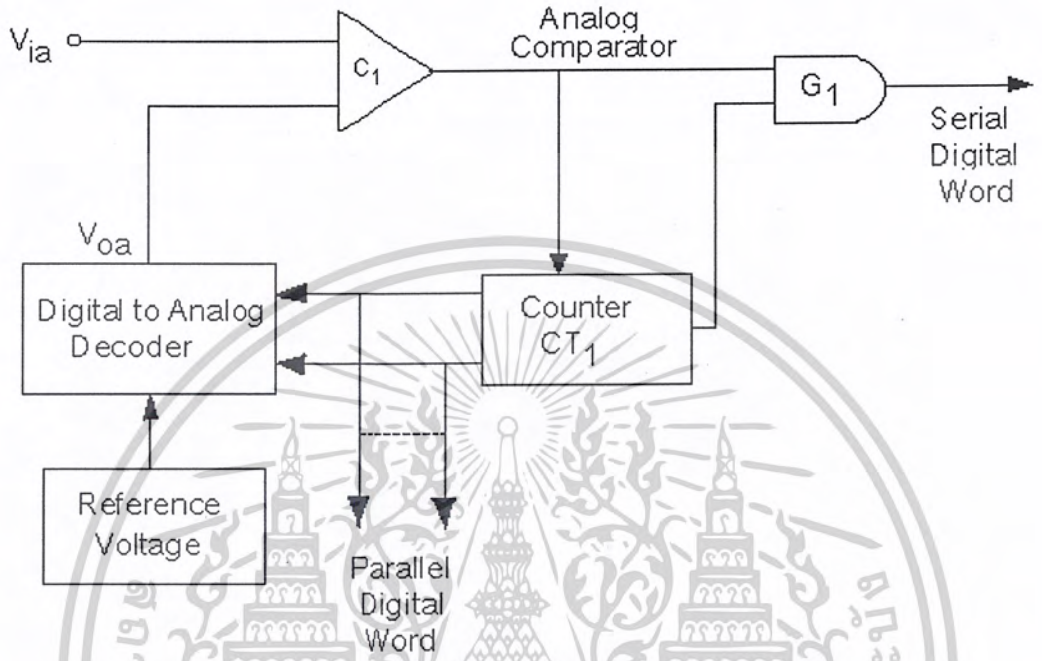


รูปที่ 3.9 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบSuccessive Approximation Analog to Digital Converter

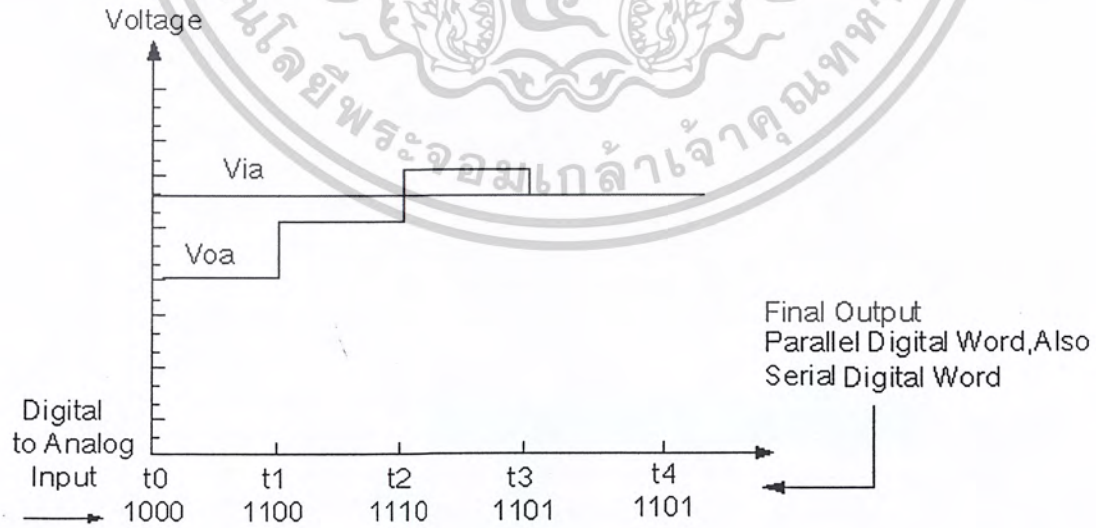
จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์ในวงจรดังแสดงในรูปที่3.10วงจรประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ C1 วงจรเกท G1 วงจรควบคุมการทำงาน อุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกและแหล่งจ่ายศักดาอ้างอิงการทำงานของวงจรอธิบายได้ดังนี้เมื่อสัญญาณต่อเนื่องอินพุต V ia ป้อนเข้าสู่วงจรเปรียบเทียบC1 วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณอินพุตบิทสูงสุดของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกให้เป็น “1” และค่าบิทอื่น ๆ ให้เป็น “0” วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกจะทำการแปลงสัญญาณดังกล่าวเป็นสัญญาณเอ้าพุต V oa ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ C 1เพื่อเปรียบเทียบกับสัญญาณอินพุต V ia ถ้า V ia > V oa สัญญาณเอ้าพุตของวงจร C 1 จะเป็น “1” แต่ถ้า V ia < V oa สัญญาณเอ้าพุตของ C 1 จะเป็น “0” ค่าสัญญาณเอ้าพุต C 1 นี้จะส่งไปยังวงจรควบคุมการทำงาน เพื่อที่จะนำไปใช้ในการกำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไปและสำหรับสัญญาณดิจิตอลของบิทนั้นจะส่งไปยังวงจรถัดไปผ่านไปยังวงจรเกท G 1 ซึ่งการทำงานของเกท G 1 จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกา หลังจากนั้นวงจรจะเริ่มต้นการทำงานเพื่อหาบิทถัดไปตามขั้นตอนที่กล่าวมาข้างต้น โดยวงจรควบคุมการทำงานไม่เปลี่ยนแปลง ป้อนเข้าอุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกวงจรจะสิ้นสุดการทำงานในการแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณจนครบตามจำนวนบิทที่ต้องการ ตัวอย่างความสัมพันธ์ของสัญญาณต่อเนื่องเอ้าพุต Voa จากวงจรสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องขาเข้า V ia แสดงได้ดังกราฟรูปที่ 3.12



รูปที่ 3.10 วงจรพื้นฐานของ Successive Approximation Analog to Digital Converter



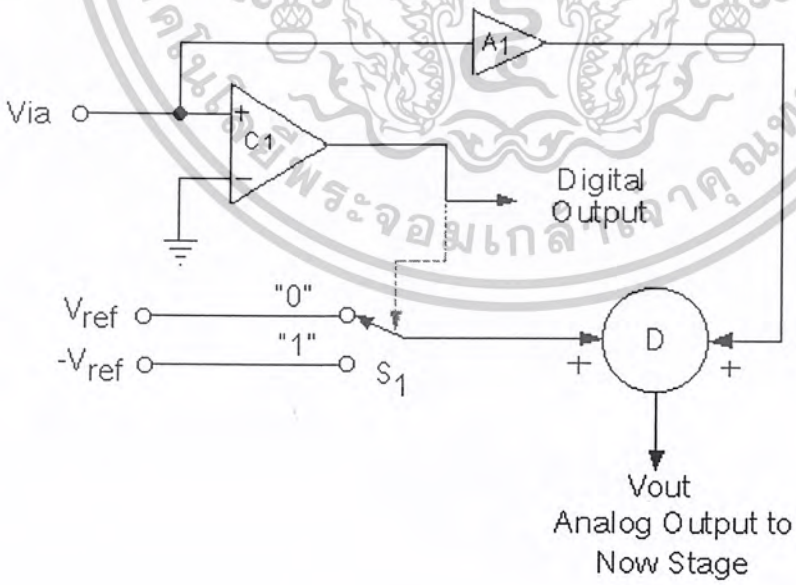
รูปที่ 3.11 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องเอ้าพุต V oa จากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องอินพุต V ia

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

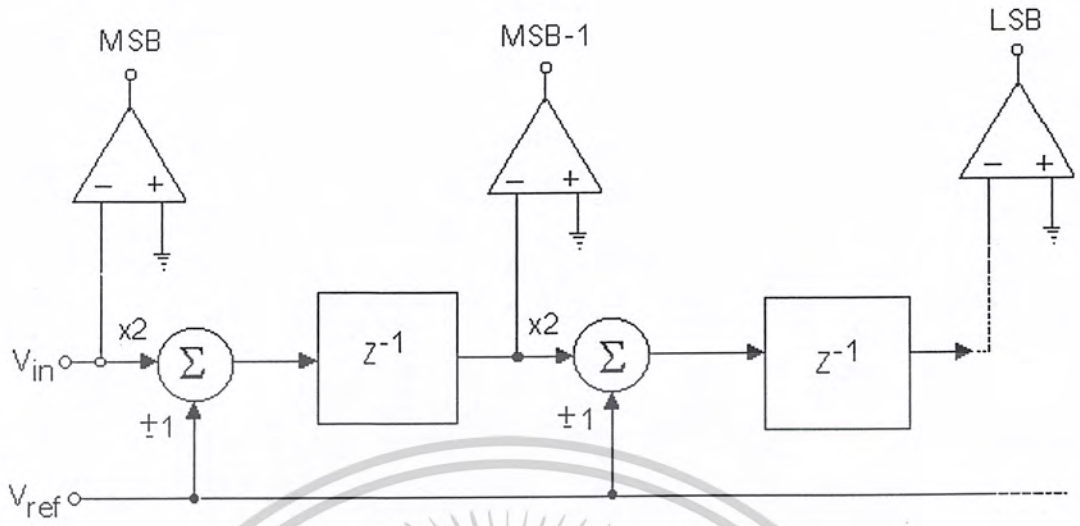
ข้อดีของวงจรชนิดนี้ คือใช้ขั้นตอนในการแปลงสัญญาณเพียง n ขั้นตอนเท่านั้น โดยที่ n เป็นจำนวนบิทที่ต้องการ ทำให้ความเร็วในการแปลงสัญญาณดีกว่าอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ 2 แบบที่กล่าวมาข้างต้น แต่ความเที่ยงตรงและความแม่นยำของวงจรขึ้นอยู่กับอุปรกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter) ที่ใช้ในวงจรซึ่งจะต้องมีค่าความผิดพลาดในการทำงานไม่เกิน $\pm 0.5LSB$ มิฉะนั้นจะทำให้สัญญาณอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีความผิดพลาดมากขึ้น

3.5.2 อุปกรณ์แปลงสัญญาณดิจิตอลแบบอัลกอริธมิค

หลักการแปลงสัญญาณของวงจรเริ่มต้นที่จากบิทสูงสุด (*MSB*) ไปหาบิทต่ำสุด (*LSB*) วงจรประกอบด้วยวงจรย่อยหรืออุปกรณ์แปลงสัญญาณดิจิตอลขนาดหนึ่งบิทจำนวนเท่ากับจำนวนบิทที่ต้องการต่ออนุกรมกัน โดยวงจรย่อยแต่ละวงจรมีหลักในการทำงานดังนี้ คือวงจรกระทำการขยายสัญญาณต่อเนื่องอินพุตเป็นสองเท่าแล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของวงจรผลลัพธ์ที่ได้จะส่งผ่านเป็นสัญญาณอินพุตสำหรับวงจรย่อยบิทถัดไปการบวกหรือลบสัญญาณที่กล่าวข้างต้นขึ้นอยู่กับเครื่องหมายของสัญญาณอินพุตของวงจรย่อยนั้นถ้าสัญญาณอินพุตเป็นบวกวงจรจะลบสัญญาณอ้างอิงจากสัญญาณอินพุต และสัญญาณดิจิตอลสำหรับบิทนี้มีค่าเป็น “1” แต่ถ้าสัญญาณอินพุตเป็นลบวงจรจะสั่งให้ทำการบวกสัญญาณทั้งสองเข้าด้วยกัน สัญญาณดิจิตอลที่ได้จะมีค่าเป็น “0”



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 หลักการทำงานและวงจรพื้นฐานของ Algorithmic Analog to Digital Converter

รายละเอียดพื้นฐานของวงจรแสดงได้ดังรูปที่ 3.12 วงจรย่อยแต่ละวงจรจะประกอบด้วย วงจรเปรียบเทียบสัญญาณ C 1 วงจรขยายสัญญาณขนาดสอง *A* 1 วงจรบวก D1 วงจรควบคุมการทำงานของสวิตช์ S 1 เมื่อสัญญาณต่อเนื่องอินพุต *V ia* ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจะเข้า *V ia* จะเปรียบเทียบกับระดับศักดาดิน (0 โวลท์) ถ้าสัญญาณอินพุต $V\,ia \geq 0$ สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C 1 จะมีค่าเป็น "1" วงจรจะควบคุมสวิตช์ S 1 ให้ส่งผ่านสัญญาณอ้างอิง ($-V_{ref}$) ไปทำการบวกกับสัญญาณอินพุตที่ผ่านวงจรขยายคือ 2Via แต่ถ้า $Via < 0$ สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C1 จะมีค่าเป็น "0" วงจรจะควบคุมสวิตช์ S 1 ให้ผ่านสัญญาณอ้างอิง Vref ไปบวกกับสัญญาณ $2V_{ia}$ ผลลัพธ์ของวงจรบวก D1 จะเป็นสัญญาณอินพุตสำหรับวงจรย่อยบิทถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องอินพุต V_{ia} กับสัญญาณดิจิตอล D0 สามารถแสดงได้ดังสมการที่ (3.9)

$$V_{ia} = V_{ref} \sum B_i\, 2^{-1} \qquad (3.9)$$

โดยที่ B1 = 1 : ถ้าบิทนั้นมีค่าเป็น "1"

และ Bi = -1 : ถ้าบิทนั้นมีค่าเป็น "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ต้องการแปลงสัญญาณต่อเนื่องเป็นสัญญาณดิจิตอลจำนวน 3 บิทสมมุติให้ V ia = 2 โวลท์ และ V ref = 3 โวลท์ ดังนั้นจะได้สัญญาณดิจิตอลมีค่าเท่ากับ "110" เมื่อทำการคำนวณสัญญาณกลับเพื่อหาระดับสัญญาณต่อเนื่องอินพุตได้

$$Via = 3\{ \underline{1} + \underline{1} + \underline{1}\}$$ หรือเท่ากับ 1.875 โวลท์

จะเห็นได้ว่าสัญญาณที่ได้จากการแปลงกลับจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องอินพุตซึ่งถ้าจำนวนบิทเพิ่มขึ้นค่าสัญญาณดิจิตอลจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องอินพุตมากขึ้นวงจรชนิดนี้มีข้อดีคือสัญญาณต่อเนื่องอินพุตสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญษณบวกหรือสัญญาณลบ (Bipolar Signal) โดยบิทแรกสามารถชี้ให้เห็นทิศทางของสัญญาณ นอกจากนั้นเวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณใช้เพียง n รอบสัญญาณนาฬิกาเท่านั้น โดยที่ n เป็นจำนวนบิทที่ต้องการและการเพิ่มหรือลดจำนวนบิทของวงจรทำได้ง่าย

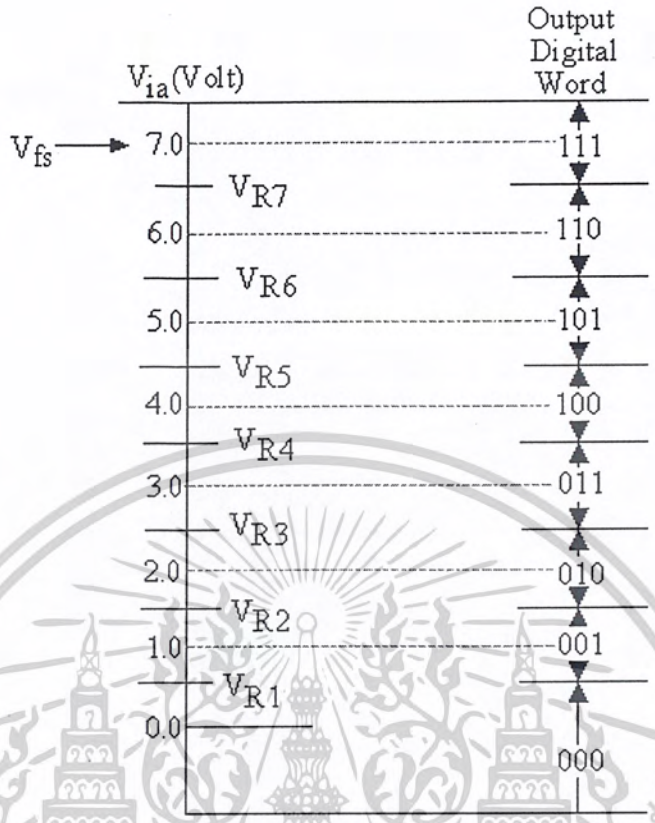
3.6 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูงเป็นวงจรแปลงสัญญาณที่มีความซับซ้อนมากและขนาดของวงจรจะแปรตามจำนวนบิทที่ต้องการทำให้วงจรมีขนาดใหญ่กินพื้นที่มาก หลักการที่จะกล่าวถึงในประเภทนี้คือหลักการ Parallel Analog to Digital Converter

3.6.1 Parallel Analog to Digital Converter หรือ Flash Analog to Digital Converter

ค่าแตกต่างกันขั้นละหนึ่งระดับสัญญาณพร้อม ๆ กัน ดังนั้นจำนวนสัญญาณเปรียบเทียบจึงมีจำนวนเท่ากับ $(2^n - 1)$ โดยที่ n เป็นจำนวนบิทที่ต้องการ สัญญาณเอ้าพุตที่ได้จากการเปรียบเทียบจะนำมาทำการเข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุตซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังรูปที่ 3.13

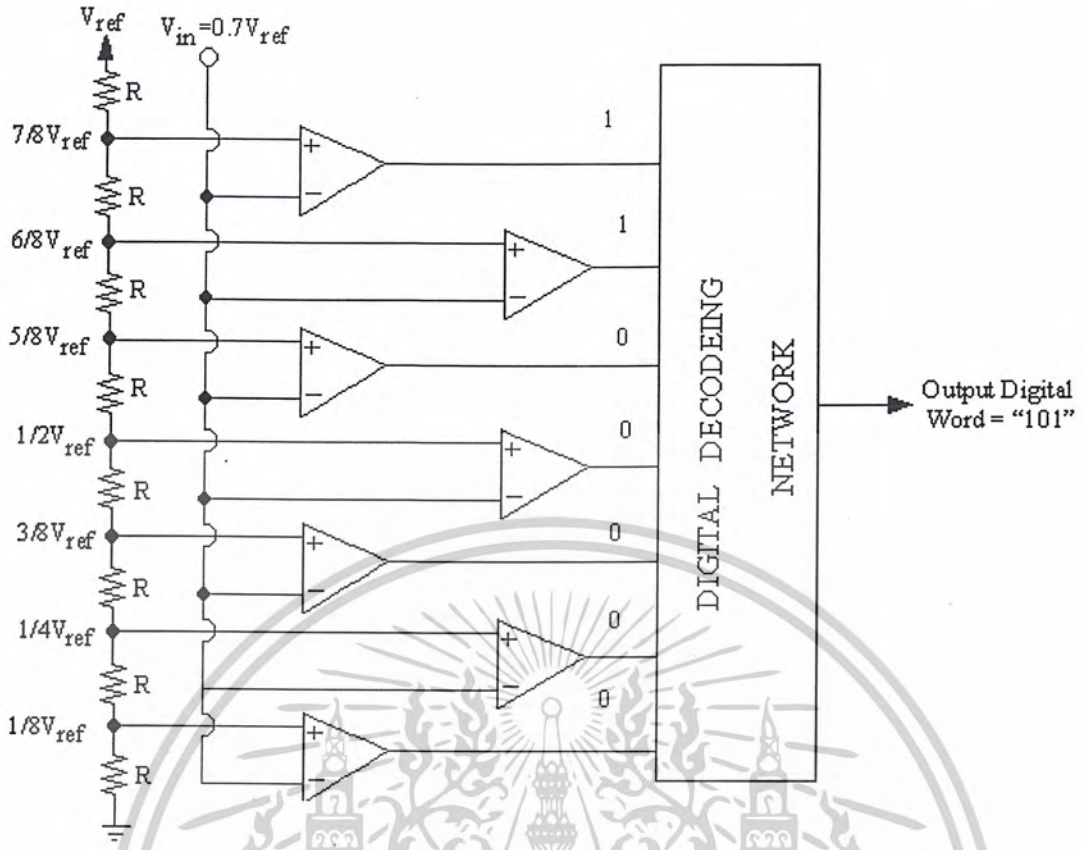
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 หลักการทำงานของ Parallel Analog to Digital Converter

จากหลักการสามารถนำมาพัฒนาเป็นหลักการพื้นฐานแสดงดังรูปที่ 3.14 วงจรประกอบไปด้วยสัญญาณเปรียบเทียบจำนวน $(2^n - 1)$ ค่า วงจรเปรียบเทียบสัญญาณจำนวน $(2^n - 1)$ วงจรและวงจรถอดรหัสสัญญาณ สัญญาณต่อเนื่องอินพุต Via จะทำการเปรียบเทียบกับ V_{ref} ถ้า $V_{ia} > V_{reft}$ สัญญาณเอ้าพุตจากวงจรเปรียบเทียบที่ i จะมีค่าเป็น "1" แต่ถ้า Via < Vreft สัญญาณเอ้าพุตจากวงจรเปรียบเทียบที่ i นั้นจะมีค่าเป็น "0" โดยที่ i เป็นวงจรใด ๆ มีค่าตั้งแต่ 1 ถึง $(2^n - 1)$ ค่า จะนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 หลักการพื้นฐานของ Parallel Analog to Digital Converter

ซึ่งจะเห็นได้ว่าการทำงานประกอบด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้นคือขั้นตอนการเปรียบเทียบและขั้นตอนเข้ารหัส ทำให้การแปลงสัญญาณ n บิทสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ชนิดนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งปกติจะอยู่ระหว่าง 3-6 บิท นอกจากนั้นความผิดพลาดของวงจรยังขึ้นกับวงจรเปรียบเทียบและค่าสัญญาณเปรียบเทียบอีกด้วย

ในบทนี้ได้กล่าวถึงอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งมี 3 ประเภท หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและประเภทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งแบ่งความเร็วได้ 3 ประเภทรวมทั้งข้อดีและข้อเสียของวงจรแต่ละประเภทเพื่อที่จะได้นำไปประยุกต์ใช้งานได้ตามความเหมาะสมต่อไป

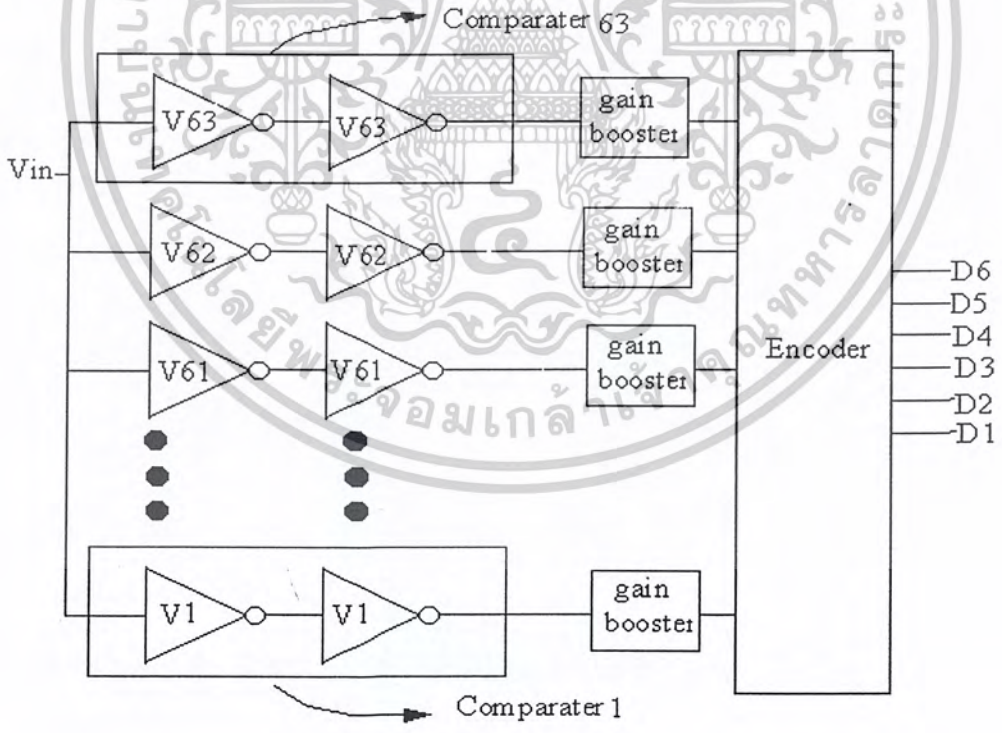
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ในบทนี้เป็นการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิต ซึ่งวงจรภายในประกอบด้วย วงจรเปรียบเทียบแรงดัน และวงจรเข้ารหัสเป็นหลักซึ่งเราจะใช้วงจรเปรียบเทียบแรงดันภายในโดยใช้เทคนิคของการจัดระดับขีดเริ่มอินเวอเตอร์ (Threshold Inverter Quantization) และใช้การเข้ารหัสแบบแฟททรีเทอร์โมมิเตอร์โค้ดเป็นรหัสฐานสองซึ่งเป็นเทคนิคที่มีข้อดีหลายๆอย่างดังจะได้นำเสนอต่อไป

4.1 ขั้นตอนการออกแบบ

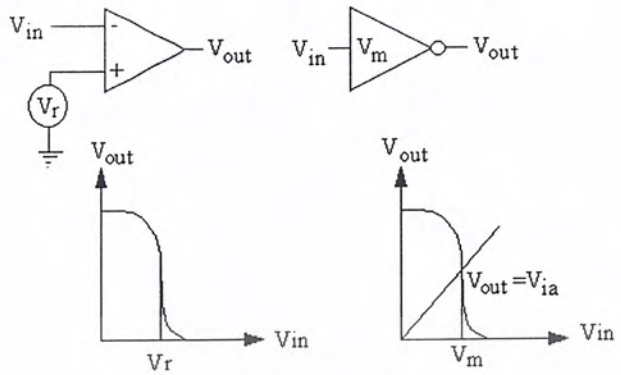
จากรูปที 4.1 เป็นบล๊อกไดอแกรมของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6 บิตโดยส่วนเปรียบเทียบแรงดันประกอบด้วยตัวเปรียบเทียบแรงดันภายในจำนวน 63 ตัว ภาคขยายอีก 63 ตัวเพื่อเพิ่มความเป็นเชิงเส้นและให้เกิดการแกว่งทางเอ้าพุทได้สูงสุด ส่วนสุดท้ายคือวงจรเข้ารหัสที่จะทำหน้าที่เปลี่ยนเทอร์โมมิเตอร์โค้ดเป็นรหัสฐานสอง



รูปที่ 4.1 บล๊อกไดอแกรมวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชขนาด 6บิต

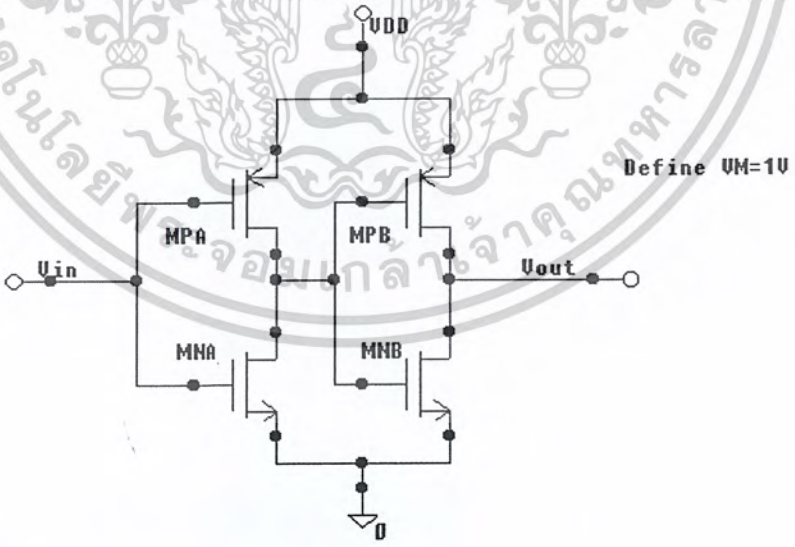
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรเปรียบเทียบแรงดัน



รูปที่4.2 แสดงความแตกต่างของตัวเปรียบเทียบแรงดันแบบดิฟเฟอเรนเชียลและแบบอินเวอเตอร์

รูปที่ 4.2 เป็นการแสดงความแตกต่างของตัวเปรียบเทียบแรงดันแบบดิฟเฟอเรนเชียลและแบบอินเวอเตอร์ซึ่งแบบอินเวอเตอร์นั้นจะง่ายกว่าและเร็วกว่าแบบดิฟเฟอเรนเชียล ในการสร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชนี้ตัวเปรียบเทียบแรงดันแบบดิฟเฟอเรนเชียลจะต้องใช้แรงดันอ้างอิงจากภายนอกซึ่งส่วนใหญ่จะเป็นวงจรตัวต้านทานแบบขั้นบันได ในขณะที่เทคนิคของการจัดระดับขีดเริ่มอินเวอเตอร์(TIQ)จะใช้วงจรดิจิตอลอินเวอเตอร์เป็นตัวเปรียบเทียบซึ่งเป็นการเปรียบเทียบภายใน



รูปที่ 4.3 แสดงวงจรเปรียบเทียบแรงดันที่สร้างจากซีมอสอินเวอเตอร์

ค่าแรงดันขีดเริ่มอินเวอเตอร์(Inverter Threshold Voltage: VI)จะถูกกำหนดโดยขนาดของทรานซิสเตอร์ซึ่งค่าแรงดันจุดนี้คือค่าที่แรงดันเอ้าพุทเท่ากับแรงดันอินพุทและโดยการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของทรานซิสเตอร์จะทำให้ได้ค่าแรงดันขีดเริ่มอินเวอเตอร์สูงสุดและต่ำสุดแล้วทำการแบ่งออกเป็น 63 ระดับเท่าๆกันซึ่งจะได้ตัวเปรียบเทียบแรงดันนั่นเอง ซึ่งตัวเปรียบเทียบแรงดันแบบนี้มีข้อดีคือ

- การสร้างวงจรเปรียบเทียบแรงดันทำได้ง่าย
- ความเร็วในการเปรียบเทียบแรงดันสูง
- ไม่ต้องใช้วงจรความต้านทานแบบขั้นบันได
- ไม่ต้องใช้ สวิทซ์ สัญญาณนาฬิกา และตัวเก็บประจุคัปปลิ้ง
- เหมาะกับเทคโนโลยีแบบซีมอส
- สามารถประยุกต์กับเทคโนโลยีในอนาคตที่ต้องการพื้นที่ชิปน้อยและการกินกำลังต่ำ

ในการออกแบบวงจรซีมอสอินเวอเตอร์ค่าแรงดันขีดเริ่มอินเวอเตอร์เป็นหนึ่งในพารามิเตอร์ที่สำคัญที่สุดดังที่ได้กล่าวแล้วว่าเราสามารถควบคุมได้โดยการปรับสัดส่วนของขนาดทรานซิสเตอร์ ในการออกแบบเราพิจารณาถึงสิ่งต่อไปนี้

4.3 การออกแบบทางไฟฟ้ากระแสตรง(DC Design)

จากรูปที่ 4.3วงจรซีมอสอินเวอเตอร์และจากการวิเคราะห์ในบทที่ผ่านมาพบว่าค่าแรงดันขีดเริ่มอินเวอเตอร์หาได้จากสมการ

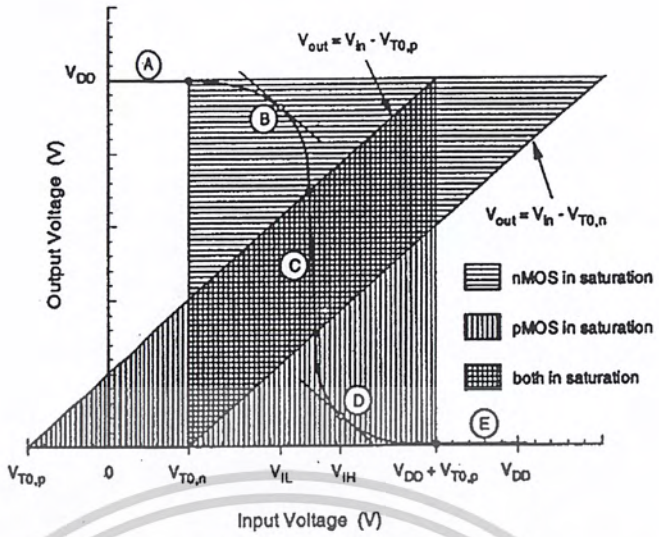
$$V_I = \frac{V_{DD} - |V_{tp}| + \sqrt{\frac{K_n}{K_p}} V_{tn}}{1 + \sqrt{\frac{K_n}{K_p}}} \qquad (4.1)$$

ซึ่งจะพบว่าค่า VIจะถูกกำหนดโดยขนาดของอัตราส่วน $\frac{K_n}{K_p}$ และอัตราส่วนนี้จะมีผลต่อV_{IL} และ V_{IH} ด้วยและจากสมการข้างบนหากพิจารณาในพจน์ของ $\frac{K_n}{K_p}$ จะได้สมการเป็น

$$\frac{K_n}{K_p} = \left(\frac{V_{DD} - V_I - |V_{tp}|}{V_I - V_{tn}} \right) \qquad (4.2)$$

ในการพิจารณาช่วงของค่าแรงดันขีดเริ่มอินเวอเตอร์เราจะพิจารณาช่วงที่ทรานซิสเตอร์ทั้งสองตัวทำงานในสภาวะอิ่มตัวซึ่งจากรูปที่ 4.4 เป็นช่วงที่เกิดค่าแรงดันขีดเริ่มอินเวอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงช่วงแรงดันขีดเริ่มอินเวอเตอร์

นอกจากนี้ในรูปยังแสดงจุดการทำงานต่างๆของซีมอสอินเวอเตอร์ด้วย

4.4 อินเวอเตอร์แบบสมมาตร

อินเวอเตอร์แบบสมมาตรจะนิยามโดยค่าแรงดันขีดเริ่มอินเวอเตอร์มีค่าเป็นครึ่งหนึ่งของแหล่งจ่าย จากรูปที่ 4.5 ถ้าให้ Vtp=Vtn จะทำให้ได้ค่าแรงดันขีดเริ่มอินเวอเตอร์มีค่าเป็นครึ่งหนึ่งของแหล่งจ่าย โดยการปรับค่า $Kn = Kp$ จะได้สมการเป็น

$$V_I = \frac{1}{2} V_{DD} \qquad (4.3)$$

ในการออกแบบอินเวอเตอร์แบบสมมาตรนี้จะให้แรงดัน V_{IL} และ V_{IH} เป็น

$$V_{IL} = \frac{1}{4}\left(V_{tn} + \frac{3}{4} V_{DD} \right) \qquad (4.4)$$

$$V_{IH} = \frac{1}{4}\left(\frac{5}{2} V_{tn} - V_{DD} \right) \qquad (4.5)$$

และจะได้ $V_{IL}+V_{IH}=V_{DD}$ ส่วนค่า Noise Margin จะได้

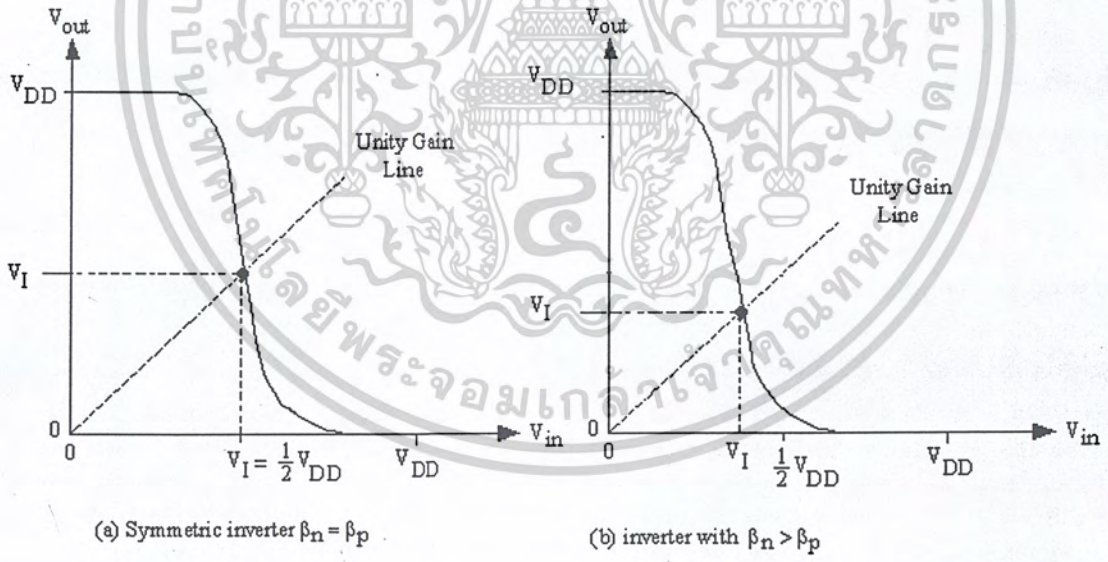
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{NMH}=V_{NML}=V_{IL}=\frac{1}{4}\left(V_{tn}+\frac{3}{4}V_{DD}\right) \qquad (4.6)$$

และจะได้ค่าเวลาในการสวิทซ์เท่ากัน แต่วงจรลักษณะนี้ก็ต้องใช้ขนาดของPMOSที่ใหญ่แต่ถ้าให้ทรานซิสเตอร์มีขนาดเท่ากันและสมมุตให้ $V_{tp}=V_{tn}$ แล้วสัดส่วน $\frac{K_n}{K_p}$ จะได้ประมาณ 2.5 และจะได้

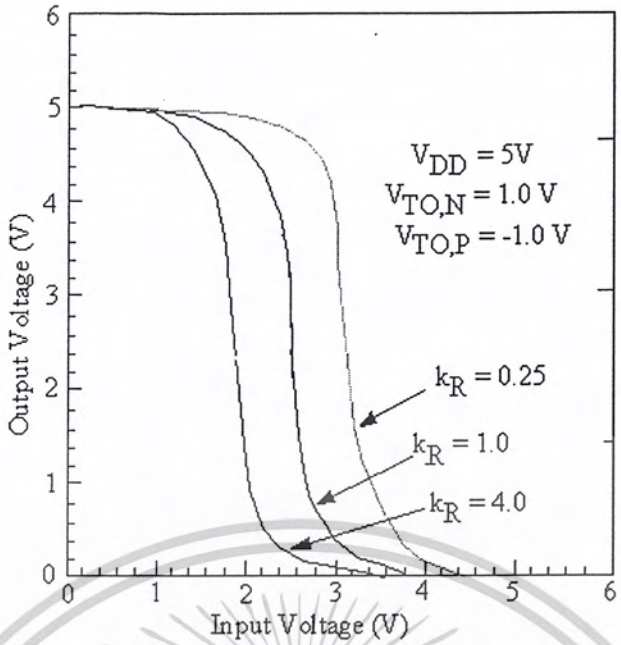
$$V_I=\frac{V_{DD}-|V_{tp}|+\sqrt{\frac{K_n}{K_p}}V_{tn}}{1+\sqrt{\frac{K_n}{K_p}}}<\frac{1}{2}V_{DD} \qquad (4.7)$$

จะทำให้กราฟแสดงคุณลักษณะเลื่อนไปทางซ้ายดังรูปที่ 4.5 เพราะฉะนั้นในการพิจารณาทางไฟฟ้ากระแสตรงพบว่าถ้า $\frac{K_n}{K_p}$ มากกว่า 1แรงดันขีดเริ่มอินเวอเตอร์จะน้อยกว่าครึ่งหนึ่งของแหล่งจ่ายแต่ถ้า $\frac{K_n}{K_p}$ น้อยกว่า 1แรงดันขีดเริ่มอินเวอเตอร์จะมากกว่าครึ่งหนึ่งของแหล่งจ่าย



รูปที่ 4.5 แสดงความแตกต่างของกราฟที่เกิดจากค่า K_n, K_p

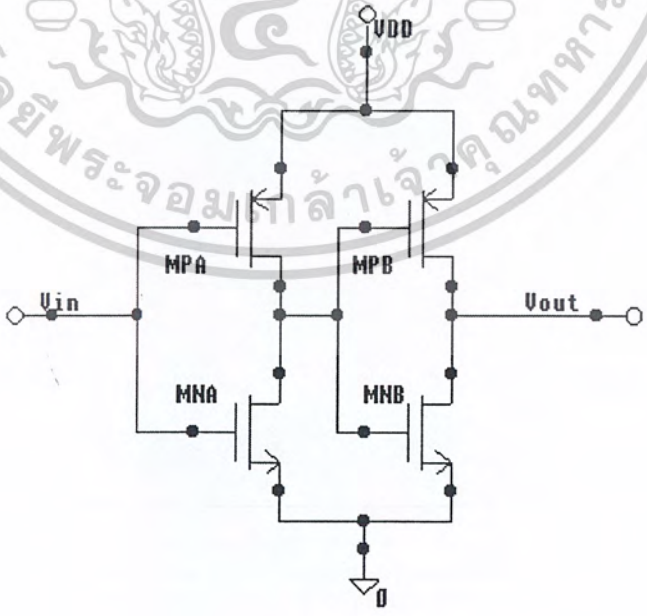
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดง ความแตกต่างของกราฟคุณลักษณะที่เกิดจาก K_R ค่าต่างๆ

4.5 ส่วนขยาย(Gain Booster)

ในส่วนขยายจะประกอบด้วยวงจรอินเวอเตอร์สองวงจรต่อคาสเคดกันดังรูปที่ 4.7 ซึ่งจะเห็นว่าเหมือนกับวงจรเปรียบเทียบแรงดันทุกประการนอกจากขนาดของทรานซิสเตอร์ซึ่งมีค่าน้อยกว่า โดยส่วนขยายนี้จะทำให้ค่าตัวเก็บประจุแฝงน้อยลงทำให้เวลาในการเก็บประจุและคายประจุเร็วขึ้น จะส่งผลต่อความชันของกราฟคุณลักษณะที่ดีขึ้นและทำให้เกิดการแกว่งทางเอ้าพุทสูงสุด



รูปที่ 4.7 แสดงวงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6วงจรเข้ารหัส(Encoder)

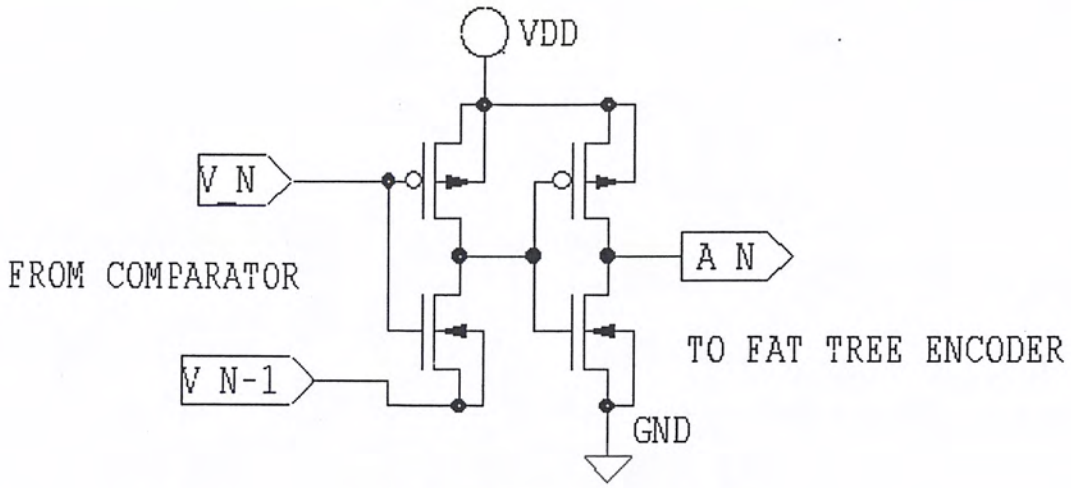
วงจรเข้ารหัสจะทำหน้าที่เข้ารหัสโดยใช้การแปลงแบบเทอร์โมมิเตอร์โค้ดเป็นฐานสอง ซึ่งวิธีการนี้เป็นอีกหนึ่งวิธีในการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก โดยเทอร์โมมิเตอร์โค้ดต่างจากฐานสองคือ จะมี 2^n-1 อินพุทแทน จำนวน 2^n ค่าในขณะที่ฐานสองจะมี n อินพุทแทนจำนวน 2^n ค่า อย่างไรก็ตามตัวแปลงแบบเทอร์โมมิเตอร์โค้ดก็มีข้อได้เปรียบที่เหนือกว่าฐานสองคือค่าผิดพลาดทางDNLต่ำโดยทั่วไปแล้วในเทอร์โมมิเตอร์โค้ดจำนวนของเลข 1 จะแทนค่าของเลขฐานสิบเช่น ค่า 4 ในฐานสองขนาด 3 บิตจะเป็น100 ในขณะที่เทอร์โมมิเตอร์โค้ดจะเป็น 0001111และค่าของตัวเลขอื่นๆจะเป็นดังตารางที่ 4.1

ฐานสิบ	ฐานสอง			เทอร์โมมิเตอร์โค้ด						
	b1	b2	b3	d1	d2	d3	d4	d5	d6	d7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1

ตารางที่ 4.1 แสดงการเปรียบเทียบค่าเทอร์โมมิเตอร์โค้ดเป็นฐานสองและฐานสิบ

ในปริญญานิพนธ์นี้จะใช้เทอร์โมมิเตอร์โค้ดแปลงเป็นฐานสองในสองขั้นตอนโดยเทอร์โมมิเตอร์โค้ดจะถูกเปลี่ยนเป็น “1” จาก n โค้ดโดยใช้ตัวกำเนิดสัญญาณ 01 แล้วจะได้ฐานสอง จากรูปที่ 4.8 แสดงวงจรตัวกำเนิดสัญญาณแบบ 3 เซลล์ โดยใช้ทรานซิสเตอร์ ชุดละ 4 ตัว ซึ่งจะทำให้ใช้พื้นที่ชิปน้อยและให้การแกว่งของสัญญาณสูงสุด สำหรับการใช้กับวงจรขนาด 6 บิต ก็จะใช้ตัวกำเนิดสัญญาณ 01 เพื่อแปลงเป็น 1จาก 63โค้ดแล้วจึงเข้ารหัสแบบแฟททรีเพื่อแปลงเป็นฐานสองขนาด 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

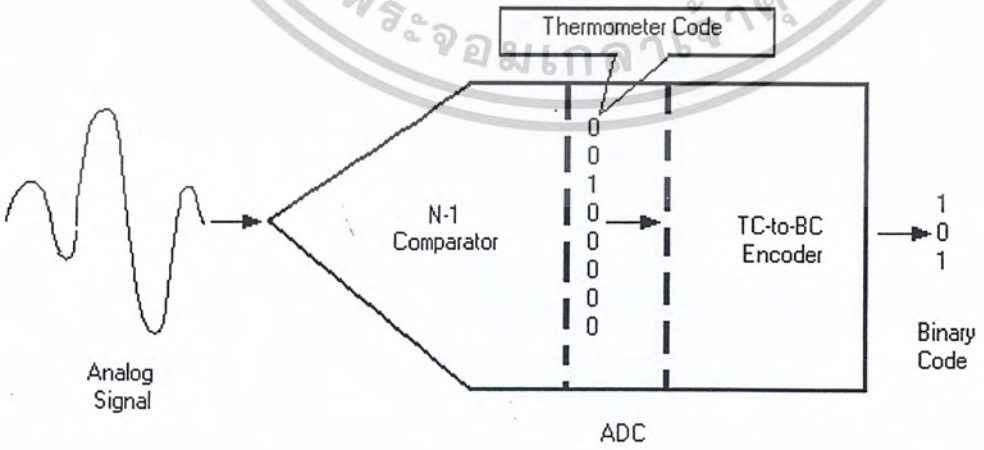


V_N	V_N-1	A_N
0	0	0
0	1	1 ----> 01 GENERATOR
1	0	0
1	1	0

รูปที่ 4.8 แสดงวงจรเข้ารหัสแบบเทอร์โมมิเตอร์โค้ด

4.7 วงจรเข้ารหัสแบบ Fat Tree

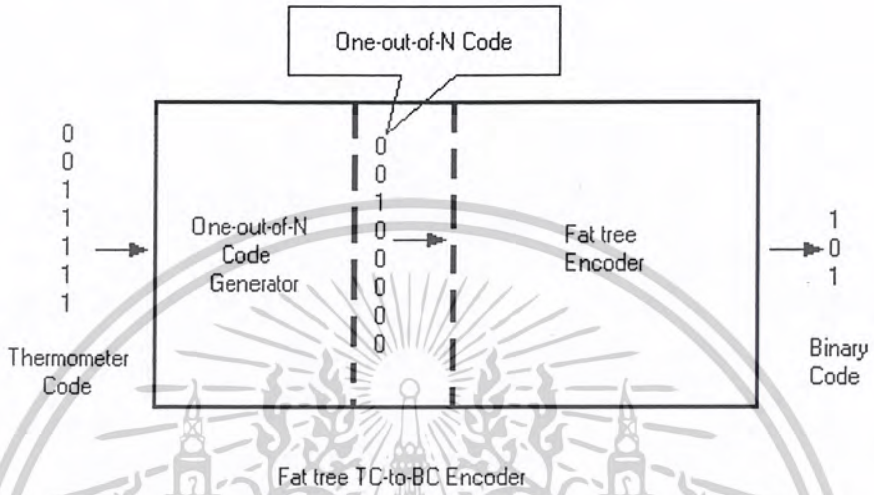
วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบแฟลชเป็นวงจรแปลงสัญญาณความเร็วสูงซึ่งโดยทั่วไปนั้นในการแปลงเทอร์โมมิเตอร์โค้ดเป็นฐานสองจะใช้วงจรรอม แต่ข้อจำกัดทางความเร็วจึงได้มีการหาวิธีการแปลงใหม่ที่ตอบสนองต่อความเร็วที่สูงขึ้นซึ่งวงจร Fat tree ก็เป็นอีกทางเลือกหนึ่งซึ่งมีข้อดีเรื่องการเข้ารหัสที่เร็วและกินกำลังน้อยกว่า



รูปที่ 4.9 การแปลงรหัสแบบแฟลชในขนาด n บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงจากเทอร์โมมิเตอร์โค้ดเป็นฐานสองโดยการเข้ารหัสแบบ Fat tree ประกอบด้วย 2ส่วนคือ ส่วนแรกเป็นการแปลงเทอร์โมมิเตอร์โค้ดเป็น "1" จาก n โค้ดที่ตำแหน่งเดียวกัน โดยใช้เกต n ตัวแทนจำนวน n บิตที่ต่อขนานกัน ส่วนที่สองเป็นการเปลี่ยน "1" จาก n โค้ดเป็นฐานสองโดยการใช้ Multiple OR เกต ซึ่งแสดงดังในรูปที่ 5.4 ซึ่งจากรูปจะสังเกตเห็นว่ามีการหน่วงเวลาจากเกตแบบ ORเพียง 3 ตัวทำให้ความเร็วค่อนข้างเร็ว



รูปที่ 4.10 การแปลงรหัสเทอร์โมมิเตอร์เป็นฐานสองโดยการเข้ารหัสแบบ Fat Tree

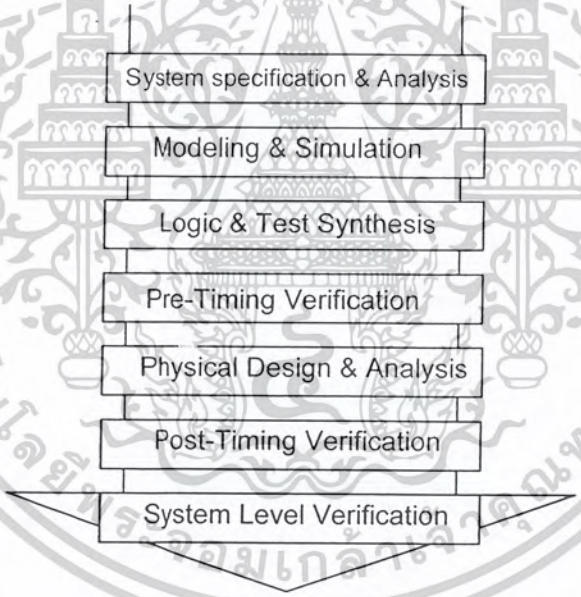
4.8 การออกแบบวงจรเข้ารหัสแบบ Fat Tree ด้วยVHDL

การออกแบบวงจรดิจิตอลนั้น ในปัจจุบันก้าวหน้าไปอย่างมากโดยการใช้ภาษาบรรยายการทำงานของวงจร (Hardware Description Language : HDL) ซึ่งเป็นภาษาที่ใช้สำหรับออกแบบฮาร์ดแวร์ โดยภาษาที่เป็นมาตรฐานสากลเช่น Verilog หรือ VHDL (VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit)) หรือภาษาที่ไม่เป็นมาตรฐานเช่น AHDL (Altera Hardware Description Language) หรือ PHDL (Philips Hardware Description Language) เป็นต้น มาบรรยายการทำงานของวงจรที่ได้ออกแบบไว้ ซึ่งในปริญานิพนธ์นี้ ได้ใช้ภาษา VHDL มาทำการออกแบบวงจรเข้ารหัส (Encoder) ทำให้ลดความยุ่งยากในการออกแบบทางกายภาพ รวมทั้งลดเวลาที่ใช้ในการออกแบบและทดสอบการทำงาน การออกแบบด้วยภาษา VHDL ผู้ออกแบบเพียงแต่เขียนซอสโค๊ด (Source Code) บรรยายการทำงานของวงจร หลังจากนั้นก็ทำการคอมไพล์ (Compile) แล้วจำลองการทำงาน (Simulate) ดูว่าได้ฟังก์ชั่นการทำงานและไทม์มิ่ง (Timing) ตามที่ต้องการหรือไม่ จากนั้นก็นำซอสโค๊ดที่ได้ไปทำการสังเคราะห์ด้วยโปรแกรมสังเคราะห์ (Synthesis Tool) สุดท้ายนำวงจรที่ได้จากการสังเคราะห์ไปทำการออกแบบทางกายภาพเพื่อใช้งานจริงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบจากบนลงล่าง

ในการพัฒนาวงจรรวมแบบดิจิตอลขนาดใหญ่ที่มีความซับซ้อน ผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของบล็อกไดอะแกรมก่อน จากนั้นจึงวิเคราะห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษา VHDL นั้นอนุญาติให้อธิบายการทำงานของแต่ละบล็อก และวิเคราะห์การทำงาน แก้ไขและปรับปรุงการทำงานจากผลที่วิเคราะห์ เพื่อให้ได้การทำงานตามที่ต้องการ โดยการออกแบบในลักษณะนี้เรียกว่า หลักการออกแบบจากบนลงล่าง (Top-Down Design) ซึ่งถ้าเปรียบเทียบกับการออกแบบจากล่างขึ้นบน (Bottom-Up Design) จะเห็นได้ว่าการออกแบบจากล่างขึ้นบนจะใช้เวลาในการออกแบบมากกว่า เพราะเป็นการวาดวงจรด้วยอุปกรณ์ต่างๆ (Schematic Capture) ที่ประกอบกันเข้าเป็นวงจรที่ต้องการออกแบบ จำลองการทำงาน ตรวจสอบความถูกต้อง ซึ่งใช้เวลามาก และถ้าวงจรที่ต้องการออกแบบมีความซับซ้อนก็จะเป็นเรื่องที่ยากมากในการออกแบบลักษณะนี้ ดังนั้นการใช้ภาษา VHDL กับหลักการออกแบบจากบนลงล่างจึงเป็นวิธีการที่เหมาะสมสำหรับการออกแบบและพัฒนาวงจรที่มีความซับซ้อนมากขึ้น ทั้งยังช่วยลดเวลาและค่าใช้จ่ายในการออกแบบ



รูปที่ 4.11 แสดงขั้นตอนการออกแบบจากบนลงล่าง

จากรูปที่ 4.11 แสดงให้เห็นถึงขั้นตอนการออกแบบจากบนลงล่าง ทั้งนี้ในทางปฏิบัติอาจจะมีข้อแตกต่างไปจากนี้บ้างเล็กน้อย โดยขั้นตอนของการออกแบบจากบนลงล่างมีรายละเอียด ดังนี้

1. ขั้นตอนการสร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา
2. ขั้นตอนการเขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษา VHDL สำหรับ บรรยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด

3. ขั้นตอนการสังเคราะห์ ซึ่งจะต้องทำการกำหนดเทคโนโลยีที่จะมารองรับวงจรที่ออกแบบ และระบบช่วยออกแบบจะทำการสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ หรือวงจรในระดับเกท (Gate Level) และการเชื่อมต่อกันของอุปกรณ์เหล่านั้น หรือไม่ก็อยู่ในรูปของเน็ทลิสต์ (Net list) ที่สามารถนำไปผลิตลงบนอุปกรณ์อื่นได้
4. หลังจากการสังเคราะห์วงจรให้อยู่ในระดับเกทหรือเน็ทลิสต์แล้ว ข้อมูลที่ได้นอกจากจะเป็นข้อมูลสำหรับจำลองการทำงานในเรื่องของความถูกต้องของฟังก์ชั่นแล้ว ยังมีข้อมูลที่เกี่ยวกับเวลาด้วย ซึ่งจากความจริงที่ว่า อุปกรณ์อิเล็กทรอนิกส์ทุกชิ้นจะมีเวลาหน่วงของการเคลื่อนผ่าน (Propagation Delay time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับนาโนวินาที แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกทของฟังก์ชั่นต่างๆจำนวน 10,000 เกท ขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้นจนอาจจะทำให้การทำงานของวงจรทั้งหมดผิดไป หรือไม่สามารถทำงานในย่านความถี่สัญญาณนาฬิกาสูงๆได้
5. ขั้นตอนของการผลิตเป็นวงจรจริง (Technology and Device Mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของอุปกรณ์ FPGA หรือวงจรรวม ASIC
6. หลังจากที่ได้วงจรจริงมาแล้วยังต้องมีความจำเป็นที่จะต้องตรวจสอบการทำงานที่คำนึงถึงเวลาด้วยเพื่อความถูกต้องของวงจรครั้งสุดท้ายก่อนที่จะนำไปรวมเข้ากับอุปกรณ์อื่นๆให้เป็นระบบ เพราะในขั้นตอนนี้วงจรที่ออกแบบจะประกอบด้วยอินพุทและเอาท์พุทแพด (Pad) ซึ่งเป็นจุดต่อสำหรับรับและส่งสัญญาณกับภายนอก
7. หลังจากที่นำวงจรที่ออกแบบรวมเข้ากับอุปกรณ์อื่นๆให้เป็นระบบแล้วนั้น จะต้องทดสอบการทำงานรวมทั้งระบบร่วมกับอุปกรณ์อื่นๆอีกครั้ง ซึ่งเป็นการทดสอบการทำงานจริงขั้นสุดท้าย

ภาษา VHDL และ ส่วนประกอบต่างๆของภาษา

วิวัฒนาการของภาษา VHDL นั้นเริ่มต้นประมาณปี ค.ศ. 1981 โดยที่กระทรวงกลาโหมสหรัฐอเมริกา หรือ DOD (Department of Defence) ได้ทำการพัฒนาโครงการที่มีชื่อว่า VHSIC ซึ่งเป็นการพัฒนาโปรแกรมซึ่งจัดเป็นภาษาระดับสูงเช่นเดียวกับภาษา C หรือ Pascal แต่สามารถบรรยายพฤติกรรมการทำงานของวงจรเชิงเลข หรือโครงสร้างของวงจรได้ ทั้งนี้เพื่อให้สามารถออกแบบและสร้างวงจรรวมได้รวดเร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเขียนรูปแบบบรรยายระบบเชิงเลขในลักษณะของการออกแบบจากบนลงล่างจะต้องทำความเข้าใจในเรื่องของโครงสร้างและส่วนประกอบต่างๆของรูปแบบภาษา VHDL เสียก่อน ซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนมี 4 หน่วย คือ

- หน่วยการออกแบบเอนทิตี (Entity Design unit)
- หน่วยการออกแบบสถาปัตยกรรม (Architecture Design unit)
- หน่วยการออกแบบแพ็กเก็ต (Package Design unit)
- หน่วยการออกแบบโครงแบบ (Configuration Design unit)

หน่วยการออกแบบเอนทิตี

หน่วยการออกแบบนี้เป็นส่วนที่ใช้สำหรับติดต่อระหว่างภายนอกกับรูปแบบที่เขียนขึ้นโดยเป็นการกำหนดจุดเชื่อมต่อของรูปแบบกำหนดทิศทางการไหลของสัญญาณและประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น รูปที่ 4.12 แสดงให้เห็นถึงโครงสร้างของหน่วยการออกแบบเอนทิตี

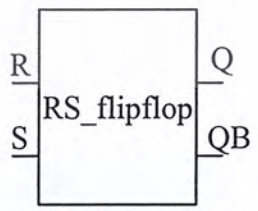
```
Entity component_name is
    Input and Output ports
    Physical and other parameters
End [component_name];
```

รูปที่ 4.12 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี

ส่วนนี้จะขึ้นต้นด้วยคำว่า Entity และ is ระหว่างคำทั้งสองคำเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน (component_ name) หลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องทางเข้าและออกของข้อมูล (input-output) รวมทั้งพารามิเตอร์อื่นๆ และที่สำคัญคือ หน่วยการออกแบบเอนทิตีจะต้องปิดท้ายด้วยคำว่า End และเครื่องหมายอัฒภาคเสมอ (;)

```
Entity  RS_ff  is
        port(S,R : in bit;
             Q,QB : out bit);
End RS_ff;
```

(a) หน่วยการออกแบบเอนทิตีในรูปของภาษา VHDL



(b) มุมมองของตัวเชื่อมประสาน (Interfacing)

รูปที่ 4.13 แสดงรูปแบบของ RS_flipflop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 4.13 เป็นหน่วยการออกแบบเอนทิตีที่บรรยายอุปกรณ์ชื่อ RS_flipflop ในส่วนหัวของเอนทิตีมีการกำหนดจุดต่อ 4 จุด ภายใต้ชุดคำสั่ง port โดยที่ 2 จุดแรกเป็นจุดให้ข้อมูลไหลผ่านเข้า ได้แก่ R, S ซึ่งกำหนดด้วยทิศทางการติดต่อกับโลกภายนอกเป็นการไหลเข้าของข้อมูล (in) ส่วนจุดเอาท์พุทเป็นจุดให้ข้อมูลไหลออก ได้แก่ Q,QB ซึ่งกำหนดด้วยทิศทางการติดต่อกับภายนอกเป็นการไหลออก (out) ส่วนประเภทของข้อมูลที่จะไหลเข้าและออกนั้นเป็นประเภท bit ที่สามารถมีค่าได้เพียงสองค่าเท่านั้น คือ "0" และ "1" เท่านั้น

หน่วยการออกแบบสถาปัตยกรรม

หน่วยการออกแบบสถาปัตยกรรม คือส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบในมุมมองของการจำลองการทำงาน พฤติกรรมต่างๆที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออกตรงช่องทาง ตลอดจนพารามิเตอร์ต่างๆที่กำหนดในหน่วยการออกแบบเอนทิตี รูปที่ 5.4 แสดงให้เห็นถึงโครงสร้างของหน่วยการออกแบบสถาปัตยกรรม

```
Architecture identifier of component_name is
        [declaration]
Begin
        Specification of the functionality
        of the component in terms of its
        input lines and as influenced by
        physical and other parameters
End [identifier];
```

รูปที่ 4.14 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม

ส่วนของหน่วยการออกแบบสถาปัตยกรรมเริ่มต้นด้วยคำว่า Architecture และตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่งที่แสดงให้เห็นว่า Architecture นั้นใช้บรรยายหน่วยการออกแบบเอนทิตีใดๆ (of <entity design unit> is) ส่วนที่อยู่ระหว่าง Architecture และ Begin เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (Architecture declaration area) ที่เป็นส่วนเผื่อเลือก (Option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆที่จะนำไปใช้ภายในสถาปัตยกรรมนั้นได้ อาทิเช่น ประเภท (Type) ต่างๆ (ตัวอย่างเช่น bit, bit_vector), สัญญาณ (signal), ค่าคงที่ (constant), โปรแกรมย่อย (ได้แก่ function และ procedure) และอุปกรณ์ (component) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้าและไหลออกของรูปแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

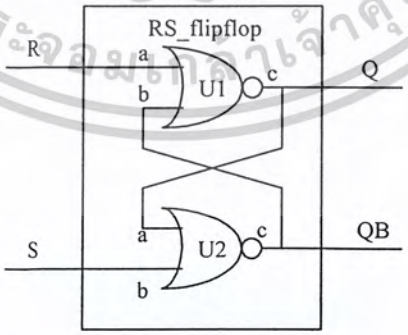
(สัญญาณที่กำหนดในชุดคำสั่ง port) นั้น จะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า Begin กับ End ของหน่วยการออกแบบสถาปัตยกรรม และนอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบแข่งขนาน (Concurrent statement) เท่านั้น คือทุกๆ statement จะทำงานพร้อมกัน ลำดับก่อนหลังจะไม่มีผลต่อการทำงานของรูปแบบ หน่วยการออกแบบสถาปัตยกรรมจะต้องปิดท้ายด้วยคำสั่ง End และชื่อของสถาปัตยกรรมนั้นๆ โดยทั่วไปการเขียนรูปแบบระบบดิจิตอลด้วยภาษา VHDL สามารถเขียนได้ในลักษณะต่างๆ ดังนี้

- ลักษณะการไหลของข้อมูล (Dataflow style)
- ลักษณะพฤติกรรม (Behavioral style)
- ลักษณะโครงสร้าง (Structural style)
- ลักษณะผสม (Mixed Model style)

```
Architecture dataflow of RS_ff is
        Begin
                Q  <=  not(QB or R);
                QB <= not(Q or S);
        End dataflow;
```

รูปที่ 4.15 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ตามฟังก์ชั่นบูลีน $Q = \overline{QB + R}$ และ $QB = \overline{Q + S}$

รูปที่ 4.15 ส่วนที่บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้า (R, S) กับข้อมูลที่ไหลออก (Q, QB) ประกอบด้วยชุดคำสั่งแบบแข่งขนาน 2 ชุด ซึ่งเขียนเป็นประเภทการไหลของข้อมูล หรือเรียกว่า ระดับการถ่ายโอนข้อมูลระหว่างรีจิสเตอร์ (RTL : Register Transfer Level)



รูปที่ 4.16 แสดงโครงสร้างภายในสถาปัตยกรรมของ RS_flipflop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 เป็นหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง ซึ่งเปรียบเสมือนการนำอุปกรณ์ที่มีอยู่ในไลบรารี่ (Library) มาต่อเป็นวงจรตามต้องการ โดยใช้นอร์เกท 2 อินพุท (nor2) จำนวนสองตัวมาสร้างตามฟังก์ชั่นบูลีนของรูปที่ 5.6

```
Architecture struc of RS_ff is
        component nor2
                port(a,b : in bit;
                        c :out bit);
        end component;

Begin
        U1 : nor2 port map(R,QB,Q);
        U2 : nor2 port map(S,Q,QB);
End struc;
```

รูปที่ 4.17 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะโครงสร้าง

```
Architecture behave of RS_ff is
  Begin
      process(R,S)
          begin
              if R='0' and S='1' then
                  Q <= '1';
                  QB <= '0';
              elsif R='1' and S='0' then
                  Q <= '1';
                  QB <= '0';
              end if;
      end process;
End behave;
```

รูปที่ 4.18 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะพฤติกรรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 เป็นการเขียนบรรยายการทำงานของรูปแบบในลักษณะพฤติกรรม ซึ่งจะเห็นได้ว่ามีลักษณะที่เหมือนกับการเขียนโปรแกรมทั่วไป โดยจะต้องมีการใช้งานส่วนที่เรียกว่า process และการทำงานของรูปแบบจะขึ้นอยู่กับการเปลี่ยนแปลงของสิ่งที่อยู่ภายใน process (อินพุท R, S) ซึ่งเรียกว่า Sensitivity list การเขียนในลักษณะนี้ลำดับก่อนหลังของชุดคำสั่งจะมีผลต่อการทำงานของรูปแบบที่เขียนขึ้น

```
Architecture mixed of RS_ff is
        component nor2
                port(a,b : in bit;
                     c : out bit);
        end component;

Begin
        U1 : nor2 port map(R,QB,Q);
        QB <= not(Q or S);
End mixed;
```

รูปที่ 4.19 แสดงหน่วยการออกแบบสถาปัตยกรรมของ RS_flipflop ในลักษณะผสม

ไม่ว่าจะเขียนบรรยายส่วนของสถาปัตยกรรมของ RS_flipflop ในลักษณะของพฤติกรรม การไหลของข้อมูล โครงสร้าง หรือผสมที่นำเอาแต่ละลักษณะมาเขียนไว้ในส่วนของสถาปัตยกรรมก็ตาม ต่างก็มีพฤติกรรมเดียวกัน และจะให้ผลลัพธ์จากการจำลองการทำงานที่เหมือนกัน ซึ่งถือว่าเป็นข้อดีของภาษา VHDL

หน่วยการออกแบบแพ็กเก็ต

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบดิจิตอลสามารถเก็บไว้ในส่วนของแพ็กเก็ตได้ และข้อมูลเหล่านี้สามารถเรียกไปใช้ได้โดยหน่วยการออกแบบเอนทิตี หน่วยการออกแบบสถาปัตยกรรม หรือจากหน่วยการออกแบบแพ็กเก็ตอื่นๆ โดยปกติแล้ว แพ็กเก็ตจะแบ่งออกเป็น 2 ส่วน คือ การประกาศแพ็กเก็ต (Package Declaration) และส่วนของบอดี้แพ็กเก็ต (Package Body) เนื่องจากแพ็กเก็ตถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่จะนำแพ็กเก็ตไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประกาศแพ็กเก็ต (Package Declaration)

ส่วนที่มีความสำคัญที่สุดของแพ็กเก็ต (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็กเก็ต เพราะจะเป็นส่วนที่กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็เก็ตสำหรับนำไปใช้ภายนอกตัวของแพ็กเก็ตเองสิ่งใดๆที่ถูกประกาศไว้ในส่วนของบอดี้แพ็กเก็ตแต่ไม่ได้ถูกประกาศไว้ในส่วนการประกาศแพ็กเก็ตจะไม่สามารถถูกนำค่าและพฤติกรรมไปใช้ส่วนนอกได้ ซึ่งสามารถเปรียบเทียบได้ดับสิ่งที่ประกาศไว้ในส่วนของการประกาศเอนทิตี คือจุดเชื่อมต่อ หรือพอร์ท ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเก็ตสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถถูกนำไปใช้จากรูปแบบภายนอกได้ เช่น ใช้สำหรับประกาศชนิด (Type) หรือสัญญาณ เช่นเดียวกันกับส่วนบอดี้แพ็กเก็ตที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็กเก็ต แต่แพ็กเก็ตนั้นจะไม่สามารถถูกนำไปใช้จากรูปแบบอื่นได้

```
Package package_name is
  Package_declaration_part
End package_name;
```

รูปที่ 4.20 แสดงโครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต

บอดี้แพ็กเก็ต (Package body)

โครงสร้างที่ประกอบด้วยคำสั่งต่างๆในรูปของคำสั่งลำดับ (Sequence) ที่ใช้บรรยายฟังก์ชั่นการทำงานของโปรแกรมย่อย (Subprogram) ทั้งหลาย ที่ชื่อของโปรแกรมย่อยนั้นๆที่ถูกประกาศไปในส่วนของการประกาศแพ็กเก็ตแล้วจะถูกเก็บไว้ในส่วนบอดี้แพ็กเก็ต ทั้งนี้รวมทั้งการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อก่อนในส่วนของการประกาศแพ็กเก็ต แต่ถูกกำหนดค่าในส่วนของบอดี้แพ็กเก็ต ฉะนั้นส่วนบอดี้แพ็กเก็ตจึงไม่จำเป็นต้องมีถ้าในส่วนของการประกาศแพ็กเก็ตไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อยหรือค่าคงที่ การเขียนบอดี้แพ็กเก็ตนั้นเป็นไปตามกฎเกณฑ์ที่แสดงในรูปที่ 4.21

```
Package body package_name is
  declarative part
End package_name;
```

รูปที่ 4.21 แสดงโครงสร้างโดยทั่วไปของบอดี้แพ็กเก็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยการออกแบบโครงแบบ

ดังที่ทราบกันแล้วว่ารูปแบบหนึ่งของระบบดิจิตอลไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตีได้เพียงหนึ่งเดียวเท่านั้น แต่หน่วยการออกแบบเอนทิตีหนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบโครงแบบมาเพื่อกำหนดการใช้โครงแบบ (Configuration) ประกอบเอนทิตีกับหน่วยการออกแบบสถาปัตยกรรมหน่วยไหนเข้าด้วยกัน

```
Configuration identifier of entity_name is
        Configuration_declarative_part
End;
```

รูปที่ 4.22 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

4.9 การออกแบบ ทางกายภาพ (LayOut Design)

หลังจากการออกแบบวงจรตรรกและทดสอบการทำงานแล้ว ขั้นตอนต่อไปก็คือการนำวงจรดังกล่าวมาออกแบบ Physical representation หรือที่เรียกว่า layout เพื่อใช้เป็นข้อมูลสำหรับการทำ photo mask ที่ใช้ขบวนการ photolithography ของการสร้าง IC นี้ จะมีข้อกำหนดเป็นมาตรฐาน เป็นที่เข้าใจกันระหว่างผู้ออกแบบและผู้ผลิต IC ที่เรียกว่า design rules ตัวอย่างเช่น channel จะต้องมีความกว้าง(w) ไม่น้อยกว่า 0.7 u (ตัวเลขสมมติ) เป็นต้น design rules ประกอบด้วยค่า parameters ต่างๆมากมายและมีความแตกต่างกันไป ขึ้นอยู่กับความก้าวหน้าของเทคโนโลยีที่ใช้ในการผลิต IC

Layout Editor คือ software ช่วยในการออกแบบ layout เช่น Magic L-edit เป็นต้น โปรแกรมเหล่านี้ จะใช้สี แต่ละสีแทนสารแต่ละชนิดที่ประกอบเป็น MOS อันได้แก่ pwell nwell pdiffusion(active) polysilicon และ metal รวมถึงสีที่แทนจุดต่อ (contact) ระหว่างสารต่างชนิดกัน เช่น contact ระหว่าง metal กับ diffusion contact ระหว่าง metal กับ polysilicon metal ชั้นที่ 1 กับ metal ชั้นที่ 2

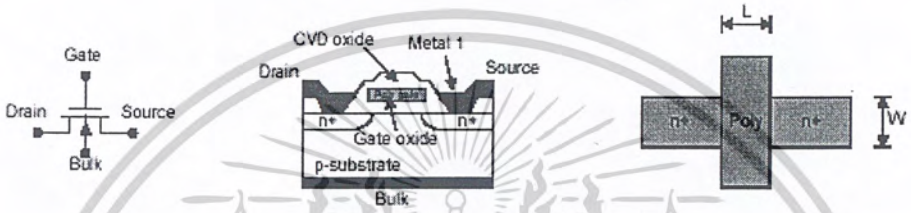
เมื่อวงจรมีขนาดใหญ่ขึ้น layout ย่อมจะซับซ้อนขึ้น วงจรใหญ่ๆ อาจจะแบ่งเป็นวงจรย่อยๆ หลายๆ วงจรประกอบกัน การออกแบบ layout ของวงจรใหญ่ๆ จะง่ายขึ้นหากนำ layout ของวงจรย่อยมาประกอบกัน layout ที่สร้างขึ้นนี้จะเป็น input file สำหรับโปรแกรมที่ใช้ในขั้นตอนต่อไปของขบวนการออกแบบ ได้แก่โปรแกรมสำหรับ simulation เพื่อทดสอบการทำงาน โปรแกรมสร้าง language description (text file ที่บรรยาย layout ด้วยรูปแบบทางภาษาที่เป็นมาตรฐานในอุตสาหกรรม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการออกแบบทางกายภาพของ เอ็นแชนเนล มอสเฟส

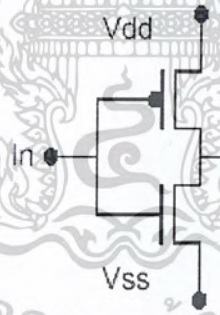
โดยเอ็นมอสจะมีโครงสร้างดังรูปที่ 4.23 และจากรูปจะพบว่าขั้วของมอสจะประกอบด้วยขั้วเกท (Gate terminal) ขั้วเดรน ขั้วซอร์ส และ ขั้วบาวด์ (Bulk terminal) ต่อไปมาดูว่ามีเลเยอร์อะไรบ้างที่จะประกอบขึ้นเป็นเอ็นมอส ซึ่งจะได้กล่าวดังต่อไปนี้

- P-substrate ถูกกำหนดจากเทคโนโลยีนั้นๆ
- N^+ drain and source
- Gate oxide (Silicon dioxide,SiO2)



รูปที่4.23 ตัวอย่างการออกแบบทางกายภาพของเอนแชนเนล มอสเฟส

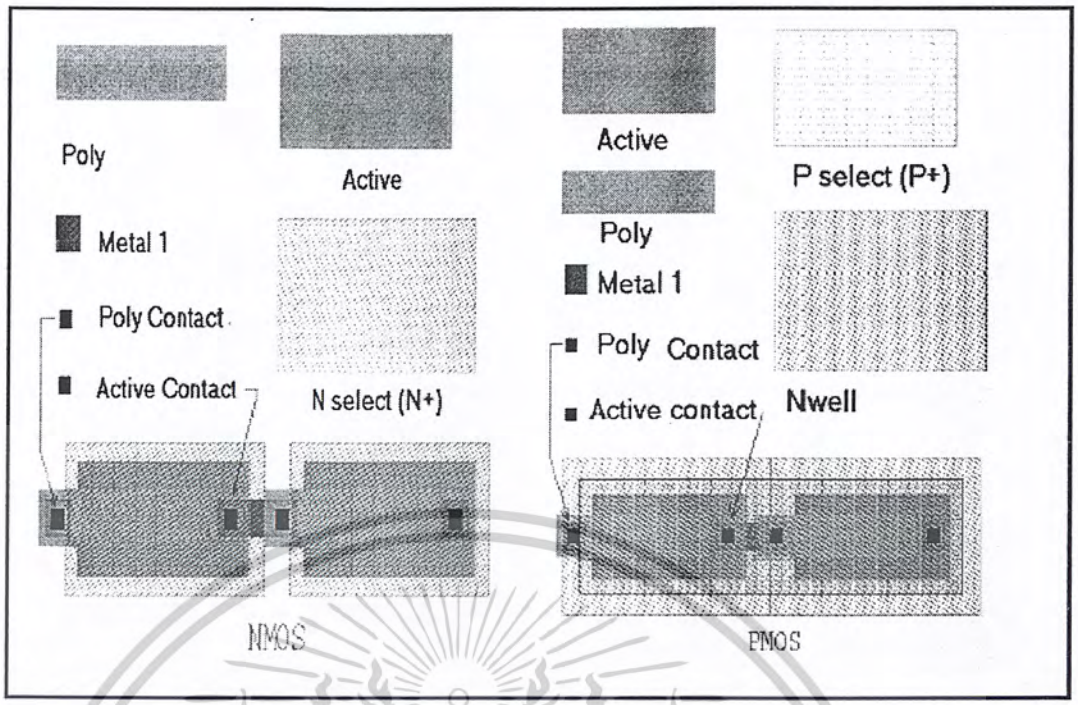
4.10 การออกแบบอินเวอร์เตอร์



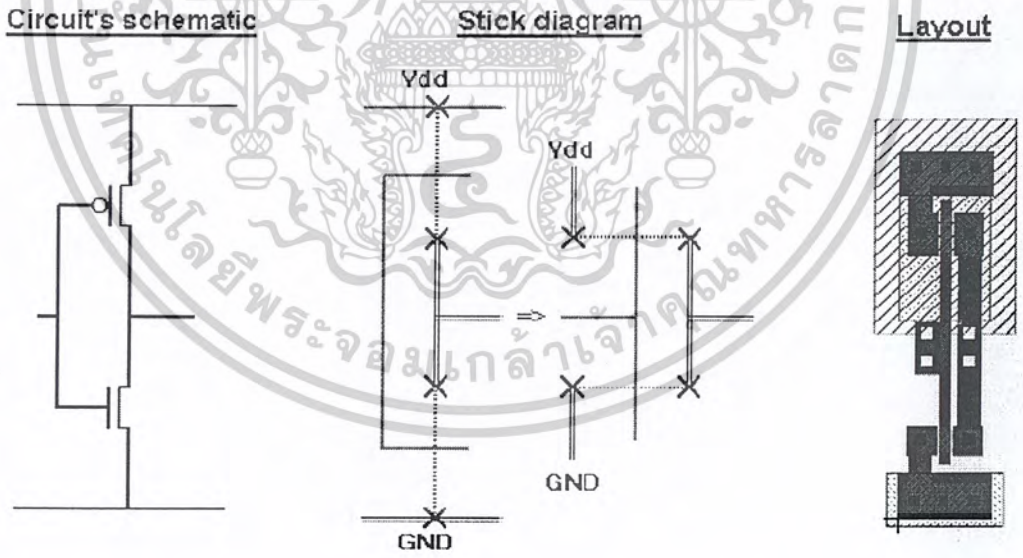
รูปที่4.24 วงจรอินเวอร์เตอร์

ในการออกแบบอินเวอร์เตอร์นี้จะต้องพิจารณาถึงส่วนประกอบทั้งหมดของทรานซิสเตอร์ของทั้งสองชนิดและวิธีหนึ่งที่ใช้เพื่อช่วยในการออกแบบคือการเขียนเป็น Stick diagram ก่อนดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

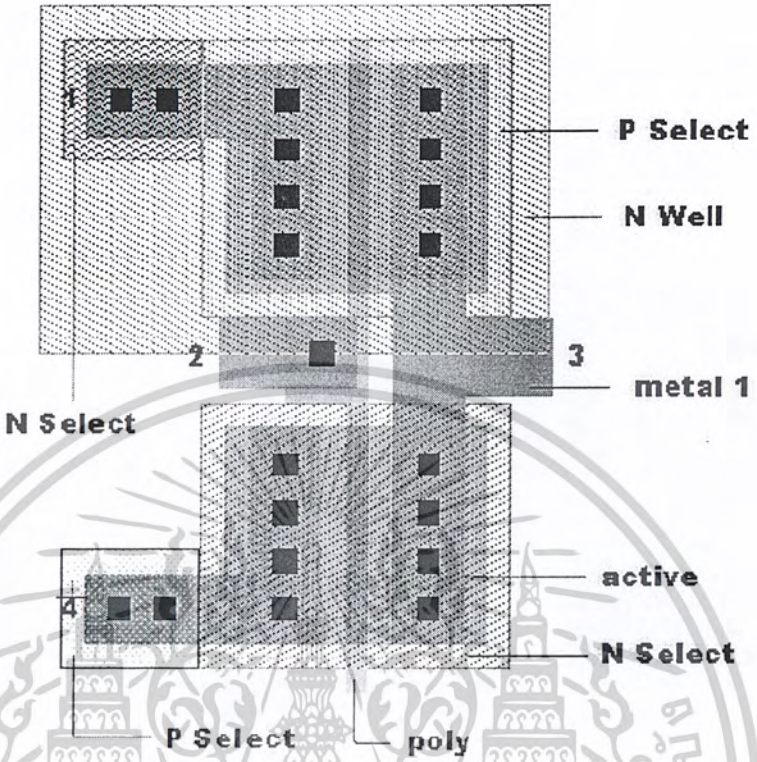


รูปที่4.25 ส่วนประกอบทางกายภาพของทรานซิสเตอร์



รูปที่4.26รูปแบบการเขียน Stick Diagram ของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



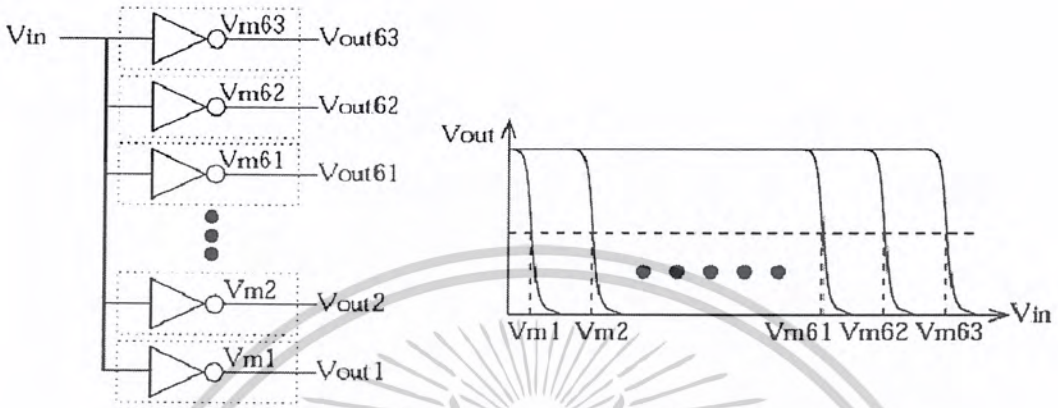
รูปที่4.27 ตัวอย่างการออกแบบทางกายภาพของซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

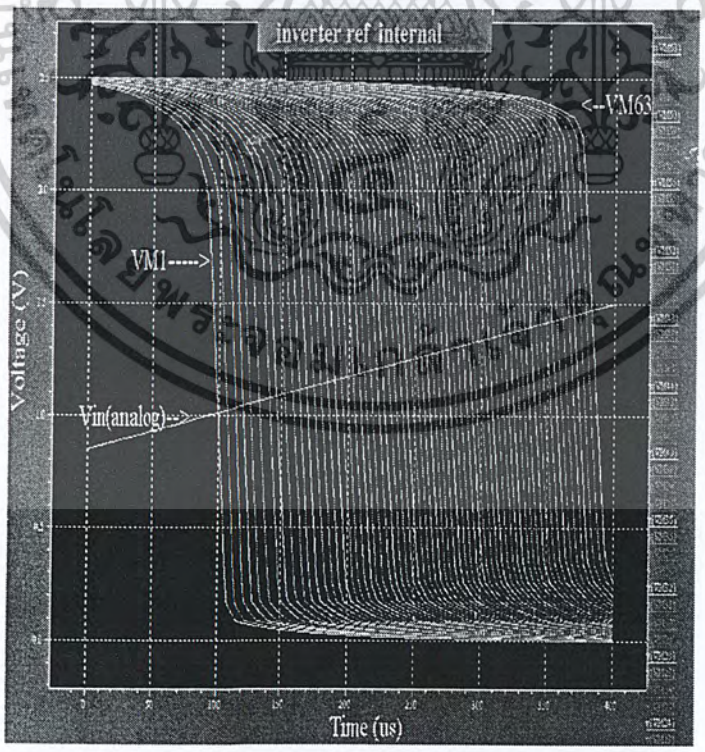
ผลการจำลองการทำงาน

5.1วงจรเปรียบเทียบแรงดันแบบ TIQ



รูปที่ 5.1 แสดงวงจรเปรียบเทียบแรงดันแบบ TIQ ขนาด 6 บิต

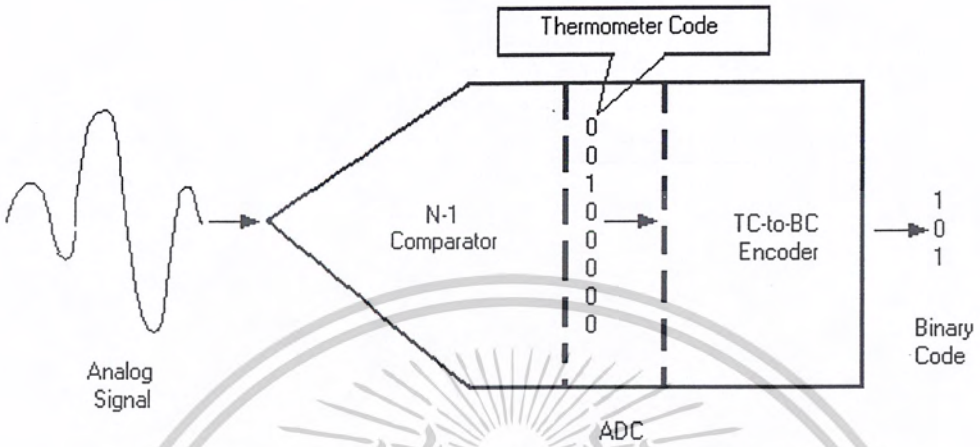
5.2 ผลการจำลองการทำงานวงจรเปรียบเทียบแรงดันแบบ TIQ



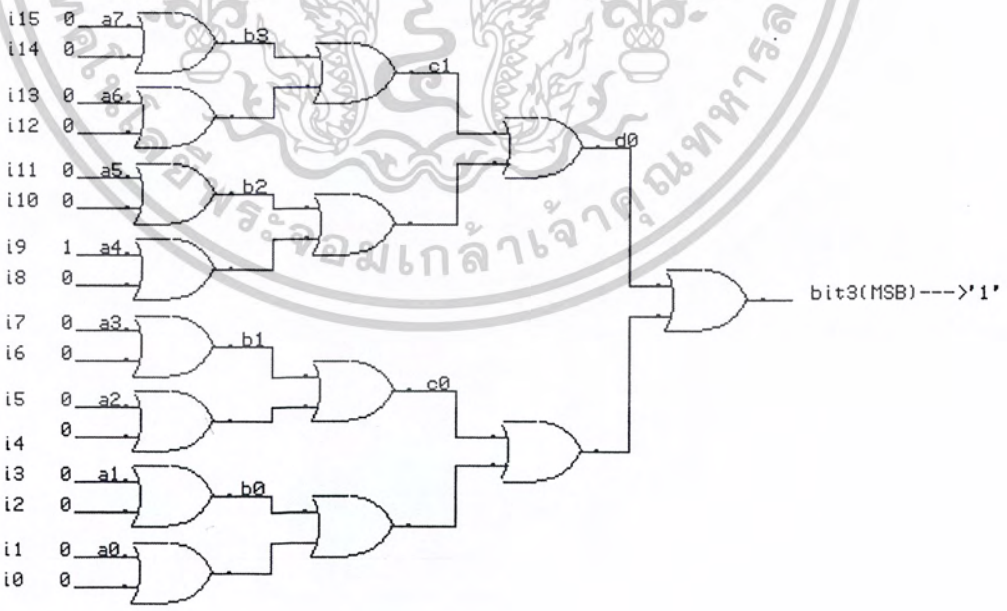
รูปที่ 5.2 แสดงผลการจำลองการทำงานวงจรเปรียบเทียบแรงดันแบบ TIQ ขนาด 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรเข้ารหัสแบบ fat tree

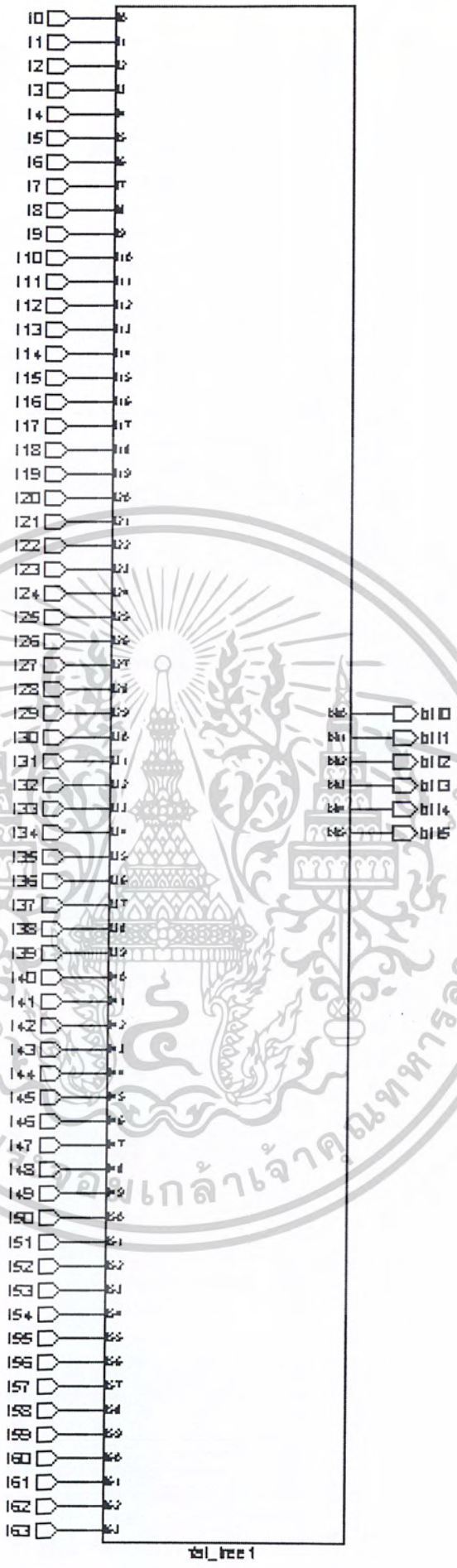


รูปที่ 5.3 บล็อกแสดงการเข้ารหัสแบบ fat tree



รูปที่ 5.4 แสดงตัวอย่างวงจรเข้ารหัสแบบ fat tree ขนาด 4 บิต

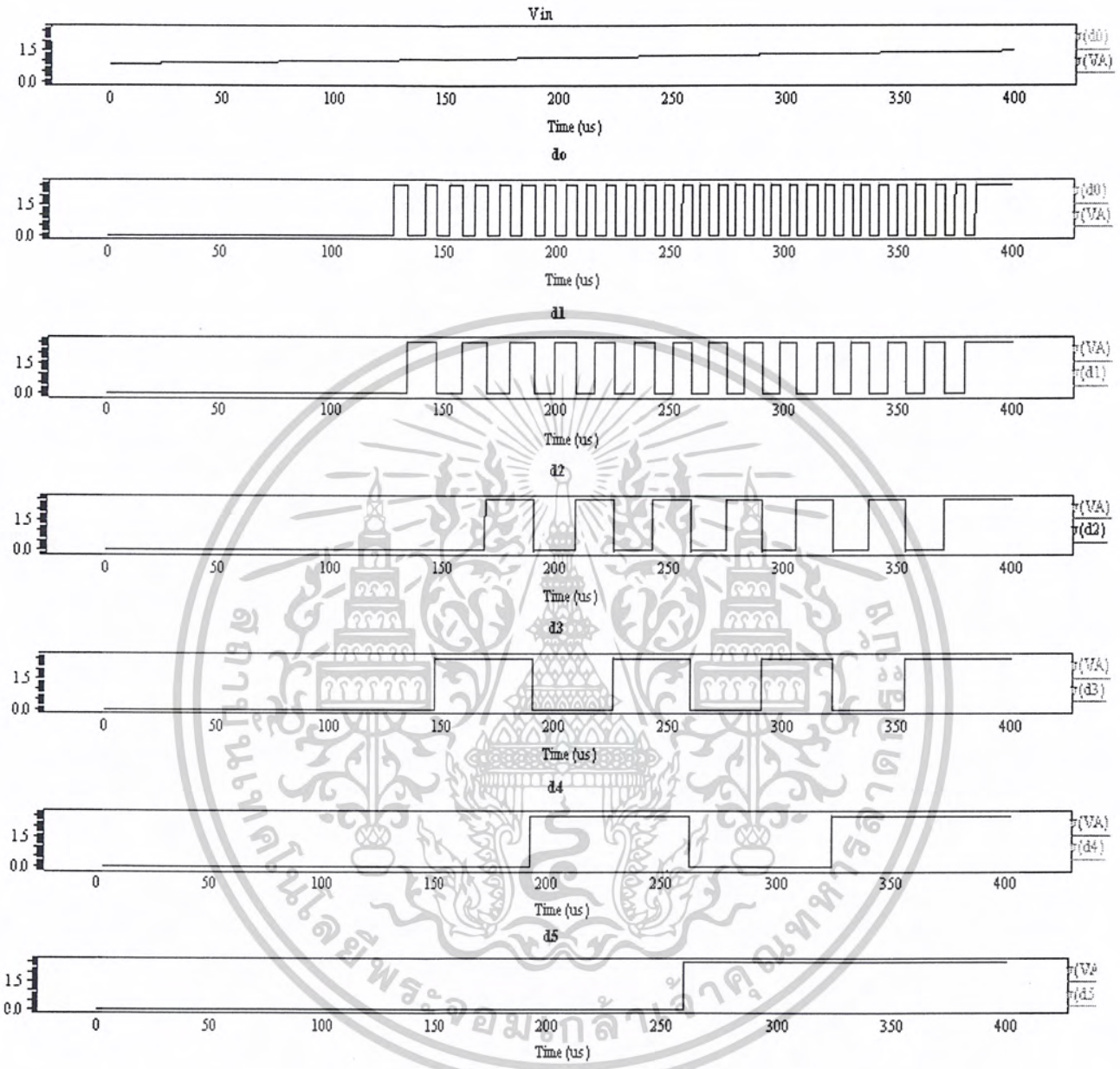
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงผลการสังเคราะห์ที่ได้จากVHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

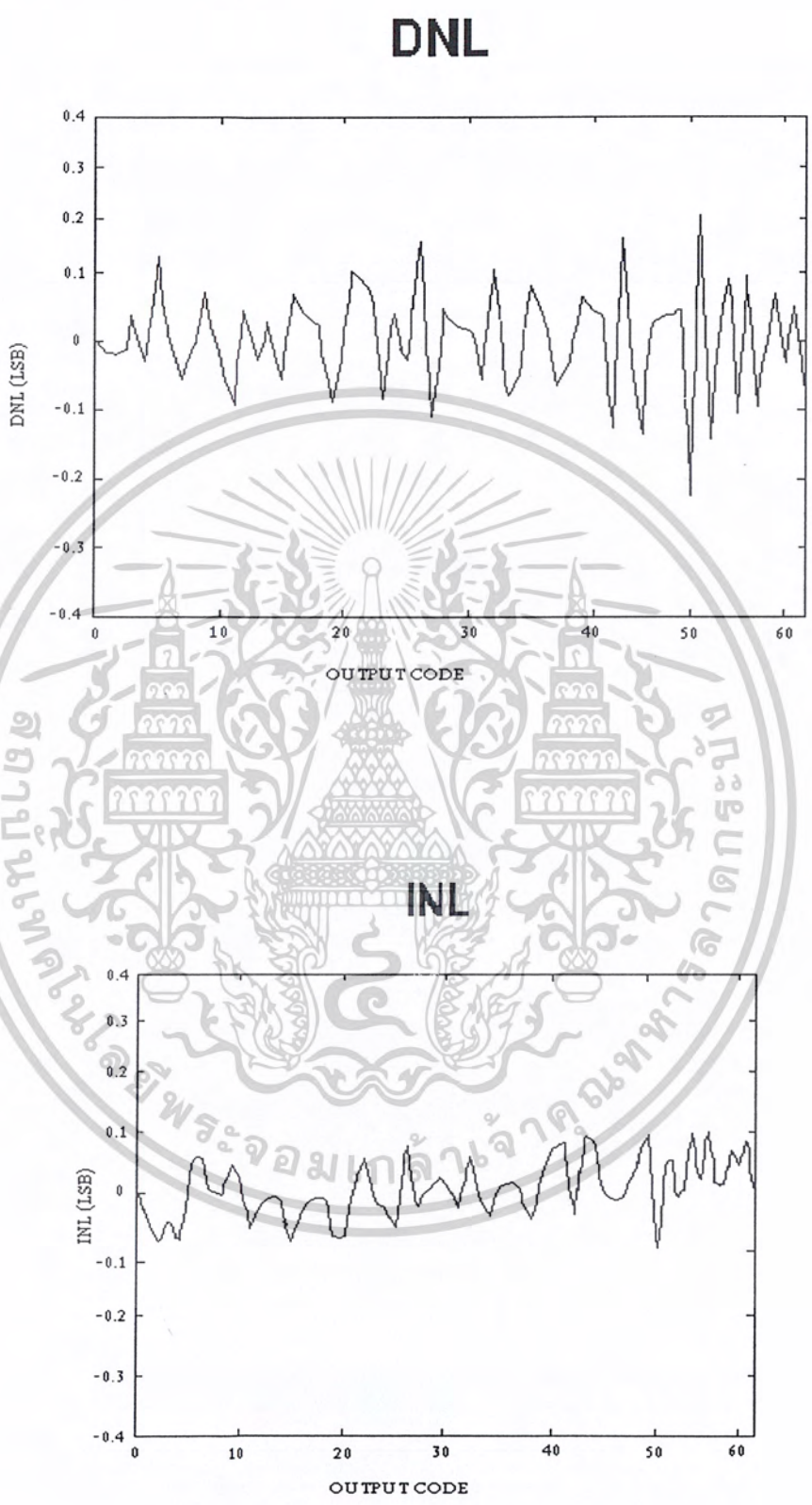
5.4 ผลการจำลองการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 6 บิต



รูปที่ 5.6 แสดงผลการจำลองการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

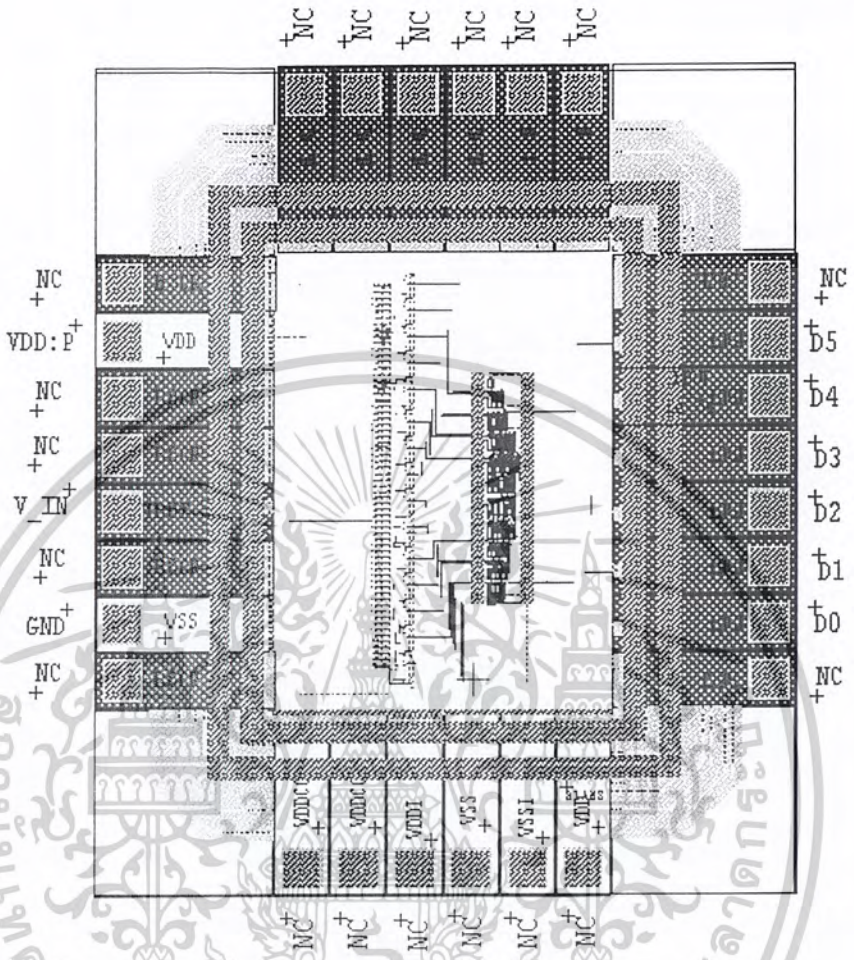
5.5 การทดสอบคุณสมบัติ DNL และ INL



รูปที่ 5.7 แสดงผลการทดสอบ DNLและ INL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 ผลการออกแบบทางกายภาพ



รูปที่ 5.8 แสดงผลการออกแบบทางกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปและวิจารณ์

จากการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยใช้เทคนิคเปรียบเทียบแรงดันภายในที่ใช้มอสอินเวอเตอร์ต่อคาสเคดกันและพิจารณาค่าแรงดันขีดเริ่มของอินเวอเตอร์แต่ละชุดเพื่อกำหนดค่าแรงดันขีดเริ่มที่ต่างกัน 63 ระดับเพื่อใช้เป็นส่วนเปรียบเทียบแรงดัน ซึ่งจากผลการทดลองจะเห็นความแตกต่างที่เกิดขึ้นใน 63 ระดับและได้แรงดันบิตนัยสำคัญน้อยที่สุดที่ 0.01256 โวลต์ และได้ช่วงแรงดันที่ 0.79 โวลท์และจากการนำค่าเหล่านี้ไปคำนวณหาขนาดทรานซิสเตอร์ก็ได้ค่าต่างๆที่อยู่ในพิสัยที่สามารถนำไปสร้างจริงได้ในการออกแบบทางกายภาพนั้น ส่วนนี้ที่อาจถือได้ว่าเป็นส่วนอนาลอกได้ออกแบบแบบ โดยใช้การออกแบบระดับต่ำ (Low Level Design) จากนั้น ก็จะมีการเปลี่ยนเทอร์โมมิเตอร์โค้ด เป็น 1 จาก n บิตก่อนที่จะเข้ารหัสต่อไป

ในส่วนของการเข้ารหัสใช้การเข้ารหัสแบบแฟททรี เทอร์โมมิเตอร์โค้ดเป็นฐานสอง ซึ่งส่วนนี้ก็คือส่วนดิจิตอลนั่นเองออกแบบโดยการใช้ภาษาพรรณนาการทำงานของอุปกรณ์ (VHDL) ซึ่งเป็นการออกแบบระดับสูง (High Level Design) แล้วแปลงเป็นชนิดข้อมูลที่สนับสนุนการการออกแบบทางกายภาพแบบอัตโนมัติ(Standard Cell Place and Route) ของโปรแกรมออกแบบทางกายภาพซึ่งก็ได้ผลตามต้องการ

ผลจากการจำลองการทำงานได้ความเร็วในการทำงานราว 250MHz ค่าความผิดพลาดเชิงเส้นอยู่ในพิสัยที่ยอมรับได้และจุดเด่นของวงจรนี้ก็คือเป็นเทคนิคที่ค่อนข้างใหม่ที่สนับสนุนเทคโนโลยีระดับไมโครอิเล็กทรอนิกส์นอกจากนี้ยังมีความเร็วในการทำงานและจำนวนทรานซิสเตอร์ที่น้อยเมื่อเทียบกับวงจรแบบธรรมดา ในการออกแบบก็จะพบปัญหาในหลายด้านทั้งในส่วนอนาลอกและดิจิตอล ทั้งนี้เนื่องจากความละเอียดของวงจรแปลง สำหรับแนวทางการปรับปรุงวงจรให้ดีขึ้นก็ทำได้เช่นการเพิ่มชุดซีมอสอินเวอเตอร์อีกชุดและการลดจำนวนทรานซิสเตอร์ในวงจรเข้ารหัสโดยใช้ใช้ทฤษฎีของ เดอร์ มอแกน โดยรวมแล้วนี่ก็เป็นแนวทางในการออกแบบวงจรรวมที่เน้นทั้งเทคนิคที่ใช้และระดับการออกแบบที่ใช้ที่จะมีประโยชน์ต่อการพัฒนาวงจรลักษณะนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] A.John and K. Martin, "Analog Integrate Circuit Design" ,John Wiley&son ,706p.,1997

[2] John P Uyemura, "Cmos Logic Circuit Design" Kluwer Academic Plubisher,628p.1999

[3] David F. Hoeschele, "Analog-to-Digital and Digital-to-Analog Conversion Techniques" John Wiley&son ,397p.,1994

[4] J. Yoo, K. Choi,and A.Tangel "A 1-GSPS CMOS Flash A/D Converter for System-on-Chip Applications." IEEE Computer Society Workshop on VLSI,pp. 135-139,April 2001

[5] J. Yoo, K. Choi, Jahan Ghaznavi and D.Lee "Fat tree Encoder Design for Ultra-High Speed A/D Converter." IEEE Computer Society Workshop on VLSI,pp. 231-233,Aughust 2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้