สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

โดย

นายพิจิต สิทธิศรี

นายเอกราช น้อยสอน

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50407
วัน,เดือน,ปี 13 พ.ค. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป
(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

โดย

นายพิจิต สิทธิศรี

นายเอกราช น้อยสอน

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับวิชา โครงงาน 2

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

ผู้จัดทำ

1. นายพิจิต	สิทธิศรี	43015218
2. นายเอกราช	น้อยสอน	43015246

..... อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

ผู้จัดทำ

1. นายพิจิต สิทธิศรี 43015218
2. นายเอกราช น้อยสอน 43015246

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

ผู้จัดทำ

1. นายพิจิต สิทธิศรี 43015218
2. นายเอกราช น้อยสอน 43015246

..... อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป

ผู้จัดทำ

1. นายพิจิต สิทธิศรี 43015218
2. นายเอกราช น้อยสอน 43015246

..... อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การทำโครงงานในครั้งนี้จะไม่บรรลุผลสำเร็จได้เลย ถ้าปราศจากอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ ซึ่งเป็นผู้ที่ให้คำปรึกษา แนะนำ คอยชี้แนะข้อบกพร่อง ปัญหาต่างๆ อีกทั้งแนวความคิดในการทำงาน ทำให้โครงงานชิ้นนี้สามารถทำเสร็จและบรรลุวัตถุประสงค์มาได้ด้วยดี อีกทั้งขอขอบคุณพี่สันติ พี่พัท กอล์ฟ เอส ที่ช่วยชี้แนะและให้คำปรึกษาและเทคนิคในการทำโครงงานนี้ และสุดท้ายคือบุพการีที่คอยอบรมเลี้ยงดูจนทำให้มีวันนี้ได้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

นายพิจิต สิทธิศรี
นายเอกราช น้อยสอน
ผศ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ภาคเรียนที่ 2 ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้การออกแบบและศึกษา การสังเคราะห์ความถี่ โดยใช้เฟสล็อกลูปซึ่งสามารถผลิตความถี่ได้ ตั้งแต่ 260k ถึง 30MHz โดยจะใช้ ไอซีเบอร์ MC 145151 เป็นไอซีที่ใช้ในส่วนของเฟสล็อคลูป โดยในวงจรจะประกอบไปด้วย ส่วนของ โวลเตจคอนโทรลออสซิลเลเตอร์, พรีสเกล-เลอร์,เฟสล็อคลูป ฟรีเควนซี่ ซินธิไซเซอร์ ไอซี โลว์พาสฟิลเตอร์และมิกเซอร์ซึ่งสามารถนำไปประยุกต์ใช้งานในระบบที่ต้องการความถี่สูงทั่วไป

รายงานฉบับนี้จะมีเนื้อหาเกี่ยวกับโครงงานในส่วนของ ทฤษฎีและปฏิบัติเมื่อเสร็จสิ้นขั้นตอนของการออกแบบและการสร้าง ผู้จัดทำได้ทดลองวัดคุณสมบัติต่างๆของวงจรและได้นำผลการทดลองของโครงงานมาแสดงไว้ในโครงงานฉบับนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP FREQUENCY SYNTHESIZER

Mr.Bhichit Sittisree

Mr.Ekkaraj Noison

Assist Prof. Praphakorn Suwanna (Advisor)

Abstract

This paper presents a design and study phase locked loop frequency synthesizer that generates frequency range 260kHz – 30MHz, using the Integrate Circuit (IC) MC145151 for phase lockloop unit. This circuit consists of the voltage control oscillator,phase locked loop frequency synthesizer IC low pass filter and mixer. This frequency range is useful in application in general high frequency system.

This report includes theories,the design and final test result of this work

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
ABSTRACT	III
สารบัญ	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	X
บทที่ 1 บทนำ	1
บทที่ 2 ระบบสังเคราะห์ความถี่	2
2.1 วิธีสังเคราะห์ความถี่	2
2.2 เฟสล็อคลูป	4
2.3 การใช้เฟสล็อคลูปในการสังเคราะห์	5
2.4 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง	8
2.5 เทคนิคของการสังเคราะห์ความถี่	11
2.6 ระบบการสังเคราะห์ความถี่ในเครื่องรับวิทยุ	14
2.7 คุณสมบัติของวงจรสังเคราะห์ความถี่	16
บทที่ 3 ออสซิลเลเตอร์	17
3.1 หลักการพื้นฐานของทรานซิสเตอร์ แอล-ซี ออสซิลเลเตอร์	19
3.2 ออสซิลเลเตอร์แบบฮาร์ทเลย์	20
3.3 ออสซิลเลเตอร์แบบคอลพิทส์	22
3.4 คริสตอลออสซิลเลเตอร์	23
3.5 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า	26
บทที่ 4 การออกแบบโครงงาน	27
4.1 วงจร VCO (65.280MHz – 65.535MHz)	28
4.2 วงจร Oscillator 60.0MHz	..31
4.3 Down Mixer	32
4.4 Phase Lock Loop LPF 1	32
4.4.1 การออกแบบ Phase Locked Loop Low Pass Filter 1	33
4.5 วงจร Oscillator 8.192 MHz	35
4.6 MC 145151 I	35
4.7 วงจร VCO (65.792 MHz– 95.488MHz)	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
4.8 Dual Modulus Prescaler	37
4.9 Phase Lock Loop LPF II	38
4.9.1 การออกแบบ Phase Locked Loop Low Pass Filter 2	38
4.10 MC 145151 II	41
บทที่ 5 การทดลองและผลการทดลอง	42
บทที่ 6 สรุปและวิจารณ์โครงงาน	64
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1แสดงวิธีสังเคราะห์ความถี่โดยตรง 3

รูปที่ 2.2 แสดงแผนผังของเฟสล็อคลูป 4

รูปที่ 2.3 แสดงแผนผังของหน่วยสังเคราะห์ความถี่ 6

รูปที่ 2.4 แสดงตัวอย่างลูปฟิลเตอร์ 7

รูปที่ 2.5 แสดงผัง Programmable divider โดยใช้ IC ตระกูล TTL 7

รูปที่ 2.6 แสดงหน่วยสังเคราะห์ความถี่แบบมิกซิ่งสำหรับเครื่องรับส่งวิทยุย่าน 2 เมตร 9

รูปที่ 2.7 แสดงตัวอย่างแผนผังของหน่วยสังเคราะห์ความถี่ในทางปฏิบัติ 10

รูปที่ 2.8 หน่วยสังเคราะห์ความถี่แบบมิกซิ่ง ที่ใช้แร่เพียงตัวเดียวเพื่อเลื่อนความถี่
ระหว่างสภาวะรับกับสภาวะส่ง 10

รูปที่ 2.9 แสดง PLL แบบโดยตรง 11

รูปที่ 2.10 แสดง PLL คูณความถี่ 12

รูปที่ 2.11 แสดง PLL แบบพรีสเกลเลอร์ 12

รูปที่ 2.12 แสดง PLL แบบมิกซิ่งนอกลูป 13

รูปที่ 2.13 แสดง PLL แบบมิกซิ่งในลูป 13

รูปที่ 2.14 (a) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่ 14
(b) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้ระบบสังเคราะห์ความถี่ 14

รูปที่ 3.1 แสดงสัญญาณคลื่นไซน์ที่เอาท์พุทของวงจรออสซิลเลเตอร์แบบจูน RF 17

รูปที่ 3.2 แสดงการวางตัวของอุปกรณ์ Transistor LC Oscillator 20

รูปที่ 3.3 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ , แท็ปคอยส์ที่จุด L_1
เพื่อป้องกันกลับสัญญาณ 21

รูปที่ 3.4 แสดงเฟสของแรงดันไฟฟ้าในแท็ปคอยล์ L_Bจะต่างเฟส 180°
เมื่อเทียบกับคอยล์ L_A 21

รูปที่ 3.5 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทส์ และวงจร
คาปาซิทิฟโวลเดจดีไวเดอร์ 23

รูปที่ 3.6 แสดงแนวแกนการเฉือนตามโครงสร้างทางกายภาพของก้อนผลึก 24

รูปที่ 3.7 แสดงวงจรเทียบท่าของผลึกคริสตอล
(a) ผลึกคริสตอลติดตั้งอยู่กับตัวยึด 25
(b) วงจรเทียบเท่าของวงจรรีโซแนนซ์ 25

รูปที่ 4.1 แสดง Block Diagram ของวงจรทั้งหมด 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 4.2 แสดง Block Diagram ของ PLL 1 28

รูปที่ 4.3 วงจร VCO ที่ใช้ความถี่ 65.280MHz – 65.535MHz 30

รูปที่ 4.4 แสดงการเกิดแดมปิ้งออสซิลเลชั่น 31

รูปที่ 4.5 แสดงวงจร Oscillator ที่ผลิตความถี่ 60.0 MHz เพื่อนำมาผสมกับ ความถี่จากวงจร VCO 31

รูปที่ 4.6 แสดงวงจรมิกเซอร์และโลว์พาส 5.280-5.535 MHz 32

รูปที่ 4.7 แสดงวงจร PLL LPF ที่ทำหน้าที่ควบคุมแรงดันของวงจร VCO 65.280MHz – 65.535MHz 32

รูปที่ 4.8 แสดงวงจร Oscillator ที่ผลิตความถี่ 8.192 MHz 35

รูปที่ 4.9 แสดงลักษณะการต่อใช้งาน IC MC14515 35

รูปที่ 4.10 แสดง Block Diagram ของ PLL II 36

รูปที่ 4.11 แสดงวงจร VCO 65.792 MHz– 95.488MHz 37

รูปที่ 4.12 แสดงวงจร Dual Modulus Prescaler หาร 64 37

รูปที่ 4.13 แสดงวงจร PLL LPF II ที่ทำหน้าที่ควบคุมแรงดันของวงจร VCO 65.792 MHz–95.488MHz 38

รูปที่ 4.14 แสดงลักษณะการต่อใช้งาน IC MC145151 41

รูปที่ 5.1 แสดงลักษณะของสัญญาณที่วัดจากขา Collector ขณะที่แรงดัน VCO เท่ากับ 2 V 42

รูปที่ 5.2 แสดงลักษณะของสัญญาณที่วัดจากขา Collector ขณะที่แรงดัน VCO เท่ากับ 10 V 43

รูปที่ 5.3 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 2 V 43

รูปที่ 5.4 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 10 V 44

รูปที่ 5.5 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 2V 45

รูปที่ 5.6 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 4V 45

รูปที่ 5.7 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 6V 46

รูปที่ 5.8 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 8V 46

รูปที่ 5.9 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 10V 47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 5.10 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5280 49

รูปที่ 5.11 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5320 49

รูปที่ 5.12 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5360 50

รูปที่ 5.13 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5410 50

รูปที่ 5.14 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5470 51

รูปที่ 5.15 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 5535 51

รูปที่ 5.16 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter
ขณะที่แรงดัน VCO เท่ากับ 0.2 V 53

รูปที่ 5.17 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter
ขณะที่แรงดัน VCO เท่ากับ 6 V 53

รูปที่ 5.18 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter
ขณะที่แรงดัน VCO เท่ากับ 20 V 54

รูปที่ 5.19 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter
ขณะที่แรงดัน VCO เท่ากับ 28 V 54

รูปที่ 5.20 แสดงลักษณะสัญญาณที่วัดจากเอาท์พุต IC 12017 ซึ่งจะนำความถี่
จากวงจร VCO มาหาร 64 ขณะที่แรงดันอินพุตของวงจร VCO เท่ากับ 0.2 V 55

รูปที่ 5.21 แสดงลักษณะสัญญาณที่วัดจากเอาท์พุต IC 12017 ซึ่งจะนำความถี่
จากวงจร VCO มาหาร 64 ขณะที่แรงดันอินพุตของวงจร VCO เท่ากับ 28 V 55

รูปที่ 5.22 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 257 57

รูปที่ 5.23 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 291 57

รูปที่ 5.24 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 335 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 5.25 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO
เมื่อปรับค่าหาร N เท่ากับ 373 58
รูปที่ 5.26 แสดงลักษณะของสัญญาณเอาท์พุตของวงจรออสซิลเลเตอร์ 60.0MHz 59
รูปที่ 5.27 แสดงลักษณะของสัญญาณเอาท์พุตของวงจรออสซิลเลเตอร์ 8.192MHz 59
รูปที่ 5.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน VCO กับความถี่เอาท์พุต
(65.792-95.488MHz) 60
รูปที่ 5.29 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตกับแอมปลิจูดของวงจร VCO
(65.792-95.488MHz) 61
รูปที่ 5.30 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน VCO กับความถี่เอาท์พุต
(65.280-65.535MHz) 62
รูปที่ 5.31 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตกับแอมปลิจูดของวงจร VCO
(65.280-65.535MHz) 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตาราง 5.1 แสดงความสัมพันธ์ของแรงดัน VCO (65.280-65.535MHz), ความถี่และแอมปลิจูด 42

ตาราง 5.2 แสดงความสัมพันธ์ของแรงดัน VCO, ความถี่มิกเซอร์และ แอมปลิจูดของแรงดัน(65.280-65.535MHz รวมกับ OSC 60.0MHz) 44

ตาราง 5.3 แสดงการเปลี่ยนค่าหาร N ที่มีผลต่อความถี่เอาท์พุตของ วงจร VCO (65.280 – 65.535MHz) 47

ตาราง 5.4 แสดงความสัมพันธ์ของแรงดัน VCO(65.792 –95.488MHz), ความถี่และแอมปลิจูด 52

ตาราง 5.5 แสดงการเปลี่ยนค่าหาร N ที่มีผลต่อความถี่เอาท์พุตของ วงจร VCO (65.792 – 95.488MHz) 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันการใช้งานทางด้านอิเล็กทรอนิกส์ โดยเฉพาะด้านความถี่สูงนั้นมีการนำมาใช้งานกันอย่างแพร่หลาย ซึ่งโครงงานเรื่องเครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป(Phase locked loop frequency synthesizer) ซึ่งสามารถผลิตความถี่ในช่วง 260k -30MHz สามารถนำไปประยุกต์ใช้งานได้อย่างแพร่หลายเช่นนำไปใช้สร้างคลื่นพาห์ในการมอดูเลท และการดีมอดูเลทเป็นต้น โดยจุดประสงค์หลักแล้ว เพื่อเป็นต้นแบบในการศึกษาระบบการสังเคราะห์ความถี่ ใช้ในการกำเนิดสัญญาณให้กับวงจรหรือใช้ในการทดสอบเครื่องมืออุปกรณ์ต่างๆและเพิ่มความรู้ในการสร้างวงจรความถี่สูง

หากเราต้องการใช้สัญญาณในย่านความถี่สูง วิธีการหนึ่งในการผลิตความถี่สูงคือใช้วิธีการสังเคราะห์ความถี่(Frequency Synthesizer)ซึ่งเป็นวิธีการที่นิยมใช้ในการผลิตความถี่สูง สามารถเปลี่ยนแปลงความถี่ได้ง่ายโดยไม่ต้องเปลี่ยนวงจรภายในเลยแต่จะอาศัยหลักการของเฟสล็อคลูป (Phase Locked Loop)ซึ่งความถี่ที่ได้จะมีค่าเที่ยงตรงมากกว่าวิธีการอื่นๆเพราะเฟสล็อคลูปจะใช้ความถี่ค่าหนึ่งเป็นสัญญาณความถี่อ้างอิง(Frequency Reference)โดยส่วนใหญ่จะได้จากการผลิตความถี่ของคริสตอลมาเปรียบเทียบกับสัญญาณความถี่ที่เอาท์พุทที่นำมาป้อนกลับ ความถี่ที่สังเคราะห์ได้จะขึ้นอยู่กับค่าความแตกต่างทางเฟสของสัญญาณทั้งสองซึ่งจะมีค่าคงที่อยู่ค่าๆหนึ่ง ในการเปลี่ยนแปลงความถี่จะถูกควบคุมจากวงจรหารความถี่ที่สามารถเปลี่ยนแปลงค่าในการหารได้

สำหรับโครงงานนี้เป็นการออกแบบเครื่องกำเนิดสัญญาณรูปซายน์ที่สามารถผลิตความถี่ในช่วง 260K- 30MHz โดยการออกแบบด้วยวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อกลูป(Phase locked loop frequency synthesizer) ในโครงงานนี้จะทำการสร้างเฟสล็อคลูปขึ้นมาสองภาคคือ ภาค PLL I กำเนิดความถี่ในช่วง 65.280MHz – 65.535MHz มีช่วงห่างเท่ากับ 1kHz ต่อขั้นและภาค PLL II กำเนิดความถี่ช่วง 65.792MHz – 95.488MHz มีช่วงห่างเท่ากับ 256kHz ต่อขั้น โดยอาศัยภาคมิกเซอร์เพื่อทำการผสมสัญญาณทั้งสอง จากนั้นนำมาผ่านวงจรกรองความถี่เพื่อกรองเอาเฉพาะค่าความถี่ผลต่าง ซึ่งจะทำให้ได้ช่วงความถี่ที่เราต้องการคือ 260K- 30MHz

ภายในรายงานฉบับนี้จะประกอบไปด้วยเนื้อหาต่างๆ ที่เกี่ยวข้องกับโครงงาน ส่วนของการออกแบบโครงงานและผลการทดลองของโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบันส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่จะเรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้เครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่าง ๆ มากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมล็อกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร

ความจริงแล้วหลักการสังเคราะห์ความถี่ได้คิดค้นกันมาตั้งแต่ปี พ.ศ. 2475 แล้วและได้พัฒนามาโดยลำดับ แต่เริ่มแพร่หลายกันจริง ๆ ก็เมื่อประมาณปี พ.ศ. 2513 เนื่องจากเทคโนโลยีการผลิตไอซีช่วยให้การออกแบบใช้งานมีความสะดวกสบายมากกว่าแต่ก่อน

วงการแรกที่นำระบบสังเคราะห์ความถี่ใช้ก็คือ วงการทหาร (Military) และกิจการเดินอากาศ (Aviation) แล้วจึงค่อย ๆ นำมาใช้ในวงการเครื่องรับส่งวิทยุสื่อสารทั่วไปตามลำดับ

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งจะขึ้นอยู่กับช่วงความถี่ (Frequency range) ช่วงห่างระหว่างชั้น (Step size หรือ Resolution)

2.1วิธีสังเคราะห์ความถี่

ความจริงวงจรสังเคราะห์ความถี่คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เราต้องการ (คือสั่งหรือโปรแกรมได้) การโปรแกรมสามารถทำได้โดยการตั้งสวิทซ์หรือกดปุ่ม แต่ในปัจจุบันนิยมสั่งงานด้วยคอมพิวเตอร์ ช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า เรโซลูชั่น (Resolution)

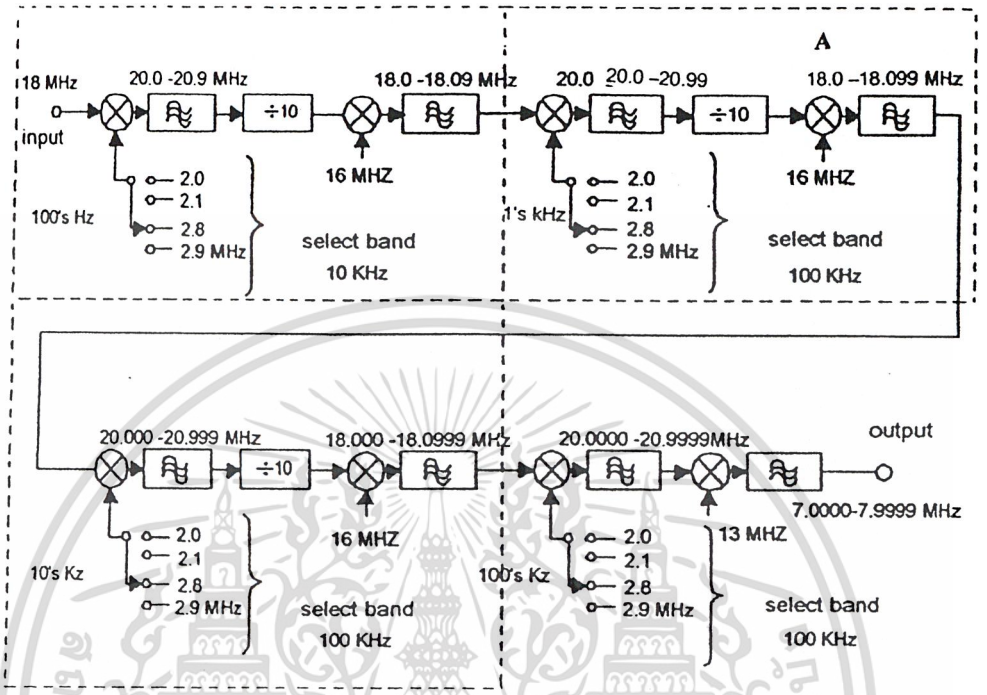
วิธีสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

1.วิธีสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ที่ต้องการ โดยปกติจะใช้แร่บังคับความถี่หลายชุด

2.วิธีสังเคราะห์โดยอ้อม (Indirect synthesis) วิธีนี้จะอาศัยเฟสล็อคลูป (Phase Locked Loop เรียกย่อ ๆ ว่า PLL)จากรูปที่ 2.1แสดงวิธีการสังเคราะห์ความถี่โดยตรง ในที่นี้เราต้องการให้เอาท์พุทมีความถี่อยู่ระหว่าง 7 ถึง 8 MHz และมีค่าของเรโซลูชั้น 100 Hz นั่นคือเราต้องสามารถตั้งความถี่ได้ดังนี้ คือ 7.000 , 7.001 , 7.002 , 7.003 , ... ขึ้นไปจนถึง 7.999 MHz สังเกตว่าเราใช้ความถี่หลัก 10 ความถี่ คือ 2.0 , 2.1 , ...ถึง 2.9 MHz เป็นตัวกำหนดความถี่ ความถี่หลักดังกล่าวนี้สามารถผลิตมาจากการผสมสัญญาณ 100 MHz และ พาหะ 2 MHz จะเห็นว่าสวิทช์เลือกความถี่ทั้งสิบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่นี้ ก็คือสวิทซ์ตั้งโปรแกรมเลือกความถี่ที่ต้องการ จากรูปที่ 2.1 จะเห็นว่ามี 4 ตัว ตัวหนึ่งเลือกความถี่ขั้นละ 100 MHz ตัวถัดไปเลือกขั้นละ 1 MHz ต่อไป 10 kHz และ 100 kHz ตามลำดับ



รูปที่ 2.1แสดงวิธีสังเคราะห์ความถี่โดยตรง

นอกจากความถี่หลัก 10 ความถี่ดังกล่าวแล้วเราจะต้องอาศัยการผสมความถี่อื่นอีกด้วย จากรูปที่ 2.1 เราใช้ความถี่ 18 MHz ผสมกับความถี่ใดความถี่หนึ่งในความถี่หลักทั้งสิบความถี่ผลรวมของการผสมจะผ่านฟิลเตอร์กรองเอาเฉพาะความถี่ย่าน 20 ถึง 20.9 MHz แล้วผ่านการหารด้วยสิบที่วงจรเคาน์เตอร์เพื่อผสมกับความถี่ 16 MHz แล้วกรองเอาเฉพาะที่เป็นความถี่ในย่าน 18 MHz ตามเดิม สังเกตว่าเอาท์พุทจากชุดนี้เราสารมารถสังเคราะห์ความถี่ได้ระหว่าง 18.00 , 18.01,...
ถึง 18.09 MHz

เอาท์พุทจากชุดแรกนี้เมื่อผ่านเข้าชุดต่อไป จะเอาสัญญาณความถี่ระหว่าง 18.00 ถึง 18.09 MHz ไปผสมกับความถี่หลัก 2.0 ถึง 2.9 MHz อีกซึ่งเราทำการเลือกหรือโปรแกรมได้โดยการปิดสวิทซ์ จากนั้นก็ผ่านการ กรองแล้วหารสิบและผสมกับสัญญาณ 16 MHz เอาท์พุทของชุดที่สอง (จุด A ก็จะตั้งความถี่ได้ระหว่าง 18.00 , 18.001 ,..., 18.099 MHz) เมื่อเราทำการผสมคลื่นเช่นนี้อีกครั้งเราก็จะสังเคราะห์ความถี่ได้ระหว่าง 18.00 , 18.001 ,... ถึง 18.099 MHz ในชุดสุดท้าย

เราจะทำแตกต่างจากเดิมโดยเมื่อผสมกับสัญญาณ 2.0 ถึง 2.9 MHz แล้วเราก็นำไปผ่านการกรองเอาแต่เฉพาะสัญญาณระหว่าง 20 ถึง 20.9999 MHzและผสมกับสัญญาณ 13 MHz ก็จะได้

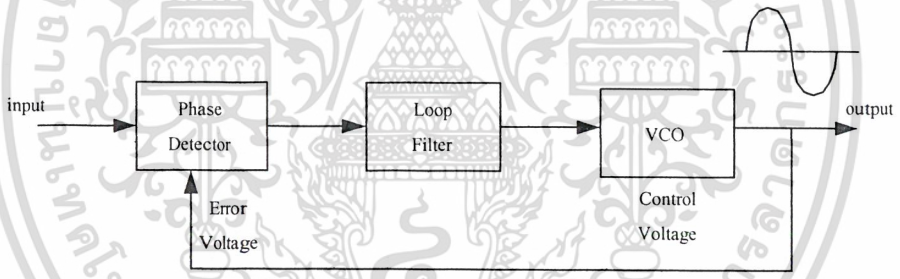
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทเป็น 7.000 ถึง 7.9999 MHzตามที่ต้องการ สังเกตว่าชุดผสมและหารความถี่ส่วนใหญ่ (ที่เขียน DECADE) จะซ้ำ ๆ กัน อย่างไรก็ดีวิธีสังเคราะห์ความถี่โดยตรงไม่ค่อยจะเป็นที่นิยมนัก เพราะความถี่สิ้นเปลืองแร่ และยังต้องใช้การผสมคลื่นหลาย ๆ ครั้ง

วิธีสังเคราะห์ความถี่โดยอ้อมหรือวิธีเฟสล็อคลูปนั้น เราจะอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบ กับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดันไปควบคุมการออสซิลเลท ของ VCO อีกครั้งหนึ่ง

2.2 เฟสล็อคลูป

เฟสล็อคลูป (Phase Locked Loop) เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเผลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเทียบเฟสดีเทกเตอร์ (Phase detector) ภาคลูปฟิลเตอร์ (Loop filter) และภาค VCO ดังแสดงในรูปที่ 2.2 ในที่นี้สมมุติว่าเราต่อเอาท์พุทจากวงจร VCO



รูปที่ 2.2 แสดงแผนผังของเฟสล็อคลูป

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟสดีเทกเตอร์จะเป็นแรงดันที่มีแอมปลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งาสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้จะป้อนไปยังวงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลว์พาสกรองเอาแต่เฉพาะความถี่ต่าง ๆ ตามที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO ต่อไป เมื่อลูปอยู่ในสภาวะล็อค (Lock) ความถี่ VCO จะเท่าความถี่ของสัญญาณที่อินพุทพอดี อาจจะมีเฟสที่แตกต่างกันออกไป แต่เฟสที่แตกต่างกันออกไปนั้นจะมีค่าคงที่ (Constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทกเตอร์จะช่วยแรงดันคลาดเคลื่อน (Error voltage) ไปควบคุมการทำงานของ VCO เพื่อมีให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จะมีแอมปริจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงไปตามสัญญาณที่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถนำเฟสล็อคลูปไปสังเคราะห์ (หรือผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้จะเรียกว่า วงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท (จาก VCO) ให้มีความถี่ตามที่ต้องการได้หลายความถี่ โดยจะมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

ความจริงเฟสล็อคลูปยังมีประโยชน์อื่นอีก เช่น ในการดีมอดสัญญาณ FM (หรือ PM) เนื่องจากเอาท์พุทของเฟสดีเทกเตอร์มีค่าความสัมพันธ์กับการเปลี่ยนของคลื่นพาหะ

2.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

ไม่ว่าระบบสังเคราะห์ความถี่จะมีความซับซ้อนเพียงใดเมื่อทำการพิจารณาลึกลงไปแล้วเราจะพบว่ามีเฟสล็อคลูปเป็นหัวใจในการสังเคราะห์อยู่เสมอ จากรูปที่ 2.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณที่เอาท์พุทของระบบสังเคราะห์ความถี่ภาคหาร N ทำหน้าที่หารความถี่อ้างอิง คริสตอลออสซิลเลเตอร์หรือสัญญาณอื่น ๆ (Reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

จากแผนผังในรูปที่ 2.3 จะเห็นว่า สัญญาณอินพุทของภาคเทียบเฟสมาจาก 2 แหล่ง คือ จาก VCO มีความถี่เท่ากับ F_o/N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบก็คือ ผลต่างระหว่างสัญญาณ F_o/N กับ F_R ซึ่งกรองเอาเฉพาะความถี่ต่ำเท่านั้นเพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค(Lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

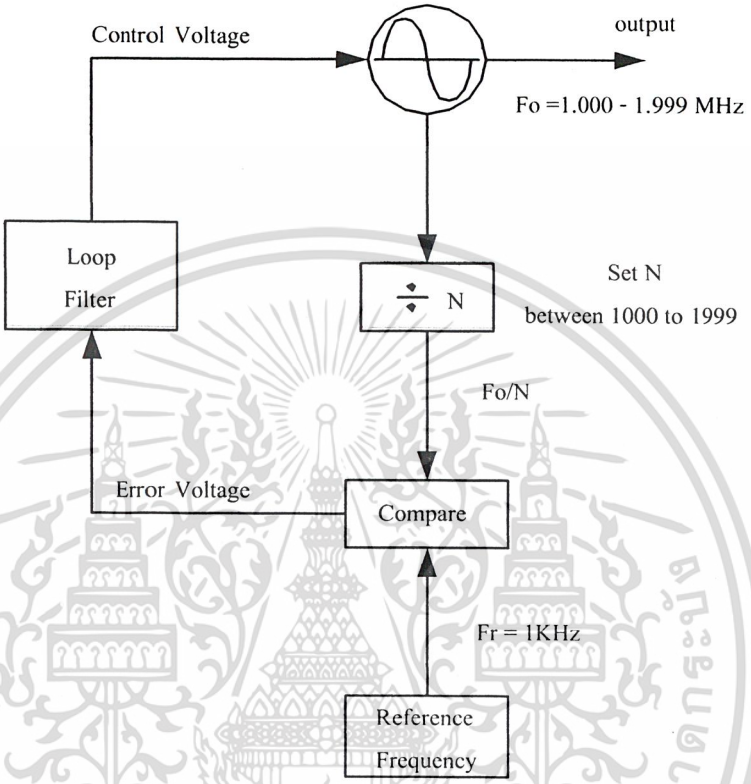
$$F_o = NF_R \qquad (2.1)$$

(คำนวณ จาก $F_o/N = F_R$ ที่วงจรเทียบเท่า)

หรือกล่าวอีกนัยหนึ่งก็คือ เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่าค่าของความถี่ F_R และค่าของ N เป็นดังนี้ F_R ช 1KHz , N = 1000 จะได้ F_o = 1 MHz ถ้าเพิ่ม N ขึ้นทีละ 1 เป็น 1001 , 1002 , 1003 , ... ค่า F_o จะเพิ่มขึ้นทีละ 1 KHz ไปเรื่อย ๆ เป็น 1.001 , 1.002 , 1.003 , ... MHz ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

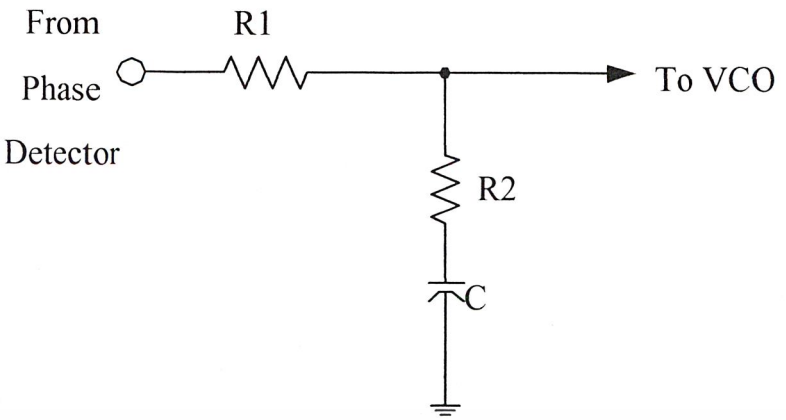
ขอให้สังเกตว่า เฟสล็อคลูปดังกล่าว สามารถผลิตความถี่ได้เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และค่าตัวเลขในการหาร (คือ N) ย่อมเป็นตัวเลขจำนวนเต็มเสมอ



รูปที่ 2.3 แสดงแผนผังของหน่วยสังเคราะห์ความถี่

ลูปฟิลเตอร์ เป็นวงจรชนิดโลพาสธรรมดา ซึ่งทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักใช้ลูปฟิลเตอร์ชนิดพาสซีฟ (มีแต่ R กับ C หรืออาจใช้ฟิลเตอร์ชนิดแอคทีฟก็ได้) ดังแสดงในรูปที่ 2.4 ลูปฟิลเตอร์นี้เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาวะล็อคที่เรียกว่าคุณสมบัติชั่วครู่ (Transient) ถ้าเลือกอัตราขยายลูป (Loop gain) และค่าคงตัวเวลาของลูป (Loop time constant) ไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อคและเปลี่ยนไปเปลี่ยนมา

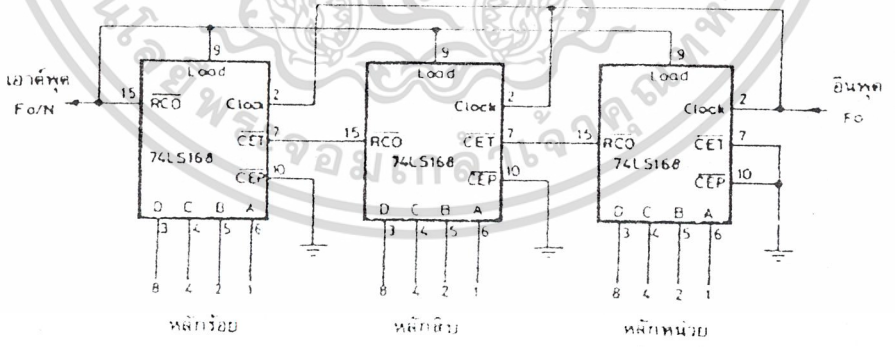
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงตัวอย่างลูปฟิลเตอร์

ยังมีอีกภาคหนึ่งที่มีผลต่อช่วงเวลาที่ใช้ในการล็อคความถี่ นั่นก็คือ ภาคหาร N (หรือ Programmable divider) เวลาที่ใช้ในการล็อคความถี่เมื่อ N มีค่าน้อยสุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับฐานสิบ (Decade counter) หลาย ๆ ชุดมาร่วมกับเกทต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

วงจรหาร N นี้เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณตามความต้องการ ตัว N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องของความถี่ ในวงจรรูปที่ 2.5 แสดงวงจรหารชนิดที่ใช้ไอซีตระกูล TTL



รูปที่ 2.5 แสดงผัง Programmable divider โดยใช้ IC ตระกูล TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

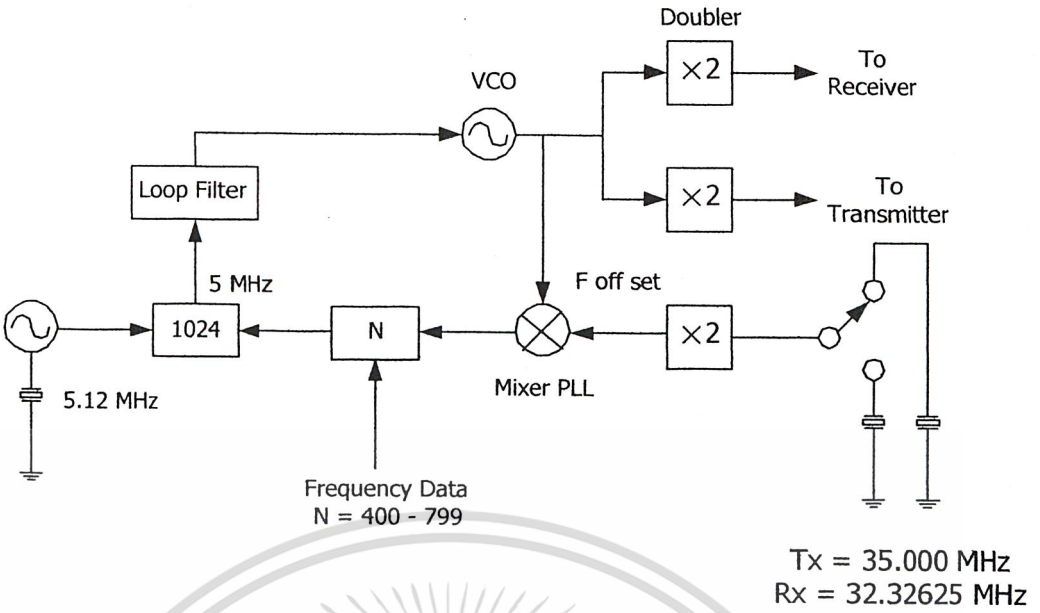
วงจรหาร N บางชนิดใช้วิธีป้อนข้อมูล N เป็นแบบอนุกรม (Serial) วงจรหาร ประเภทนี้จะมีความซับซ้อน เพราะต้องมีสัญญาณนาฬิกา (Clock) มีวงจรแลทช์ (Latch) ฯลฯ ในการป้อนข้อมูล วงจรหาร N ประเภทนี้จะถูกควบคุมการทำงานด้วยไมโครคอมพิวเตอร์

ปัญหาสำคัญของวงจรสังเคราะห์ความถี่อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 MHz ได้ ฉะนั้นเราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลง เพื่อให้วงจรโลจิกของวงจรหาร N ทำงานได้ วิธีต่างๆ ที่นิยมได้แก่ ใช้ความถี่จากออสซิลเลเตอร์พิเศษ (บางครั้งเรียกว่าออสซิลเลเตอร์ PLL) มามิกซ์กับ VCO ให้ความถี่ลดลงก่อนที่จะป้อนให้แก่วงจรหาร อีกวิธีหนึ่งก็คือ ใช้วิธีพรีสเกลแบบสองโมดูลัสหารล่วงหน้าโดยใช้ตัวหาร 2 ค่า

2.4 วิธีสังเคราะห์ความถี่แบบมิกซิ่ง

วิธีสังเคราะห์ความถี่แบบมิกซิ่งนี้จะแตกต่างจากเฟสล็อคลูปหาร N แบบที่กล่าวมาแล้วตรงที่เอาท์พุทของ VCO ผ่านการผสมหรือมิกซ์กับสัญญาณจากออสซิลเลเตอร์ ก่อนที่จะป้อนให้วงจรหาร N รูปที่ 2.6 แสดงแผนผังของระบบสังเคราะห์ความถี่ของเครื่องรับส่งวิทยุระยะย่าน 2 เมตร ความถี่ของ VCO ในสภาวะรับกับสภาวะส่งจะไม่เท่ากัน (เพราะเลื่อนความถี่ให้ห่างกันเท่ากับ IF) VCO จะทำงานในย่านความถี่ 72 MHz แล้วทวีคูณ 2 เท่าทั้งสภาวะรับและสภาวะส่งเป็นความถี่ระหว่าง 144 ถึง 148 MHz ซึ่งจะตรงกับความถี่ของ VCO สภาวะส่งคือ 72 ถึง 74 MHz และ VCO ในสภาวะรับ 66.6525 ถึง 68.6525 MHz (ใช้ป้อนด้านต่ำ โดยมี IF เท่ากับ 10.695 MHz) จะสังเกตว่า VCO จะมิกซ์กับ PLL ออสซิลเลเตอร์ซึ่งทวีคูณความถี่ด้วยวงจรทวีคูณความถี่ 2 เท่าทำให้ความถี่ถูกลดทอนลงเป็น 2 และ 4 MHz ย่านความถี่นี้บางทีเรียกว่าเป็นความถี่ IF ของ PLL (นิยมเรียก PLL-IF) จากนั้นจะป้อนเข้าสู่วงจรหาร N โดย N มีค่าระหว่าง 400 ถึง 799 MHz เหตุผลสำคัญที่เราต้องลดทอนความถี่ VCO ลงมาเป็นความถี่ PLL-IF ก็เพื่อทำให้วงจรหาร N ทำงานในย่านความถี่ต่ำลงมาได้ ความถี่อ้างอิงกำเนิดจากแร่บังคับความถี่ 5.12 MHz แล้วหารด้วย 1,024 เป็น 5 KHz ซึ่งเมื่อ VCO ถูกทวีคูณ 2 เท่าเรโซลูชั่นจะกลายเป็นขั้นละ 10 KHz ความถี่อ้างอิงกับความถี่เอาท์พุทของวงจรหาร N จะเทียบเฟสกันแล้วป้อนไปยังลูปฟิลเตอร์และ VCO ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงหน่วยสังเคราะห์ความถี่แบบมิกซิ่งสำหรับเครื่องรับส่งวิทยุย่าน 2 เมตร

(ความถี่ย่าน 150 MHz)

จากแผนผังในรูปที่ 2.6 จะเห็นว่าค่าของ N ที่ป้อนให้แก่วงจรหาร N ในสภาวะรับและสภาวะส่งมีค่าเท่าเดิม แต่ความถี่ของ VCO เปลี่ยนไปได้เพราะความถี่ของ PLL ออสซิลเลเตอร์เปลี่ยน (ด้วยวงจรอิเล็กทรอนิกส์สวิทช์) โดยทำให้ VCO เลื่อนความถี่ไป 5.3475 MHz (คือ IF 10.695 MHz หารด้วย 2) การที่ VCO ต้องเปลี่ยนความถี่จากสภาวะรับเป็นสภาวะส่ง (หรือกลับกัน) นั้นเฟสล็อคลูปจะต้องล็อคความถี่ใหม่ ฉะนั้นการออกแบบวงจรจึงต้องคำนึงถึงคุณลักษณะการล็อคความถี่ด้วย

สำหรับวงจรในรูปที่ 2.7 เป็นวงจรในทางปฏิบัติ ซึ่งใกล้เคียงกับหน่วยสังเคราะห์ความถี่ในรูปที่ 2.6 เพื่อทำการเปรียบเทียบและทำความเข้าใจหลักการที่สำคัญต่าง ๆ ในกรณีสังเคราะห์ความถี่แบบมิกซิ่งนั้นความถี่เอาท์พุตจะเลื่อนไปเท่ากับความถี่ที่ผสม (ในที่นี้คือ 35 * 2 = 70 MHz และ 32.32625 * 2 =64.6525 MHz เราเรียกความถี่เลื่อนไปนี้ว่า ความถี่ออฟเซท)

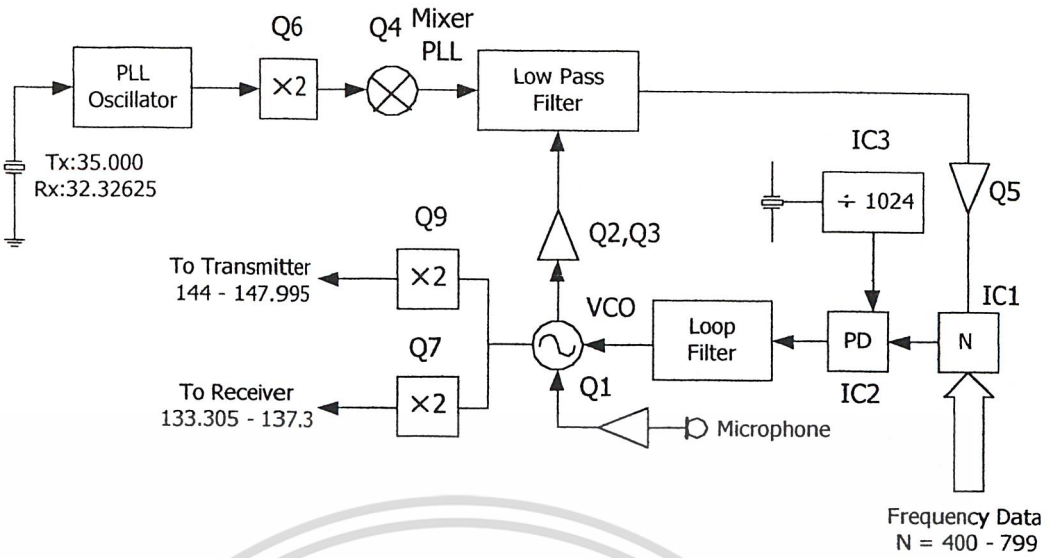
เราจะได้ความสำคัญดังนี้

$$F_o = F_{ofset} + NF_{ref} \qquad (2.2)$$

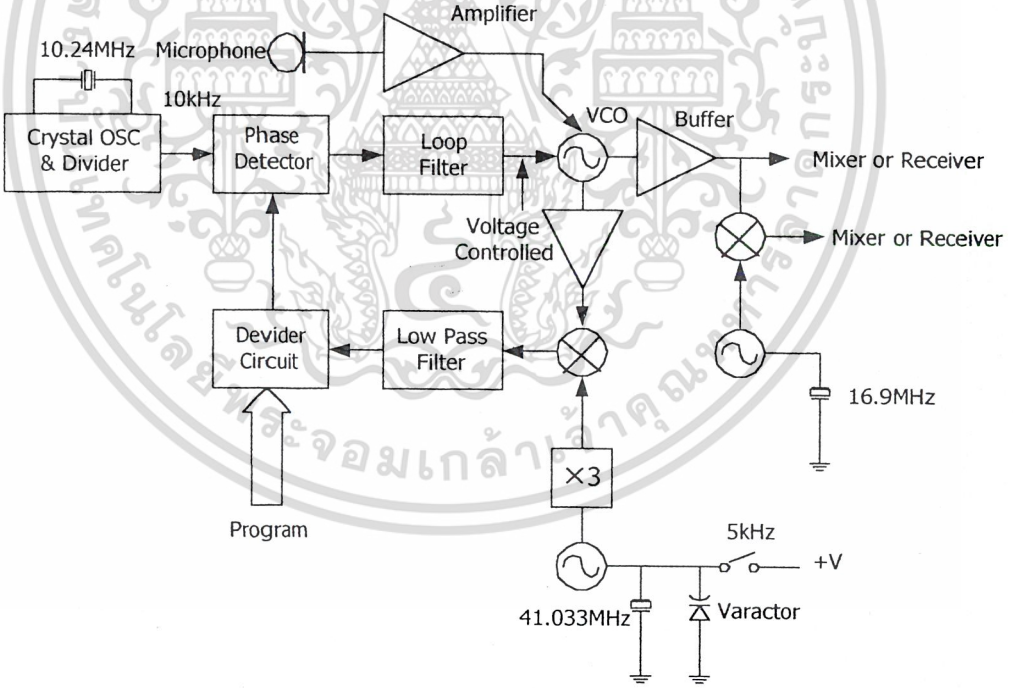
คำนวณจาก

$(F_o - F_{ofset})/N = F_{ref}$ ที่วงจรเทียบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงตัวอย่างแผนผังของหน่วยสังเคราะห์ความถี่ในทางปฏิบัติ



รูปที่ 2.8 หน่วยสังเคราะห์ความถี่แบบมิกซิ่ง ที่ใช้แร่เพียงตัวเดียวเพื่อเลื่อนความถี่ระหว่างสภาวะรับกับสภาวะส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลทนิยมทำที่เฟสล็อคลูป บางวงจรอาจจะมีวาริแคปอีกตัวหนึ่งเพื่อให้ในการมอดูเลทโดยเฉพาะ ตัวอย่างของการสังเคราะห์ความถี่แบบมิกซิ่งอีกตัวอย่าง ดังแสดงในรูปที่ 2.8 ก็จะคล้ายคลึงตัวอย่างแรก (ดูรูปที่ 2.6) เว้นแต่ว่าใช้แร่บังคับความถี่เทียบตัวเดียวในการมิกซ์กับสัญญาณจาก VCO ที่มิกซ์เวอร์ภาคส่งเพื่อส่งออกอากาศสำหรับในกรณีของการรับส่งผ่านรีพีทเตอร์ซึ่งความถี่เลื่อนไป $\pm$ 600 KHz ทำได้โดยการป้อนข้อมูล N ตัวใหม่จากไมโครคอมพิวเตอร์ให้แก่วงจรหาร N จะเห็นว่าวงจรสังเคราะห์ความถี่จะต้องเสียเวลาในการเลื่อนความถี่ที่เลื่อนไป 600 KHz เวลาที่ใช้ในการล็อคความถี่เมื่อเลื่อนความถี่ไปน้อย ๆ เช่นนี้ จำเป็นที่จะต้องมีความแน่นอนและรวดเร็วเพียงพอ

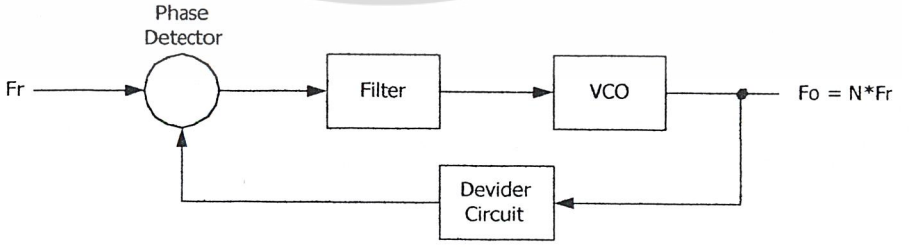
ข้อเสียของระบบนี้ก็คือ การเลื่อนความถี่ยุ่งยากและต้องคำนวณตัวเลขที่ซับซ้อนขึ้น แต่โดยทั่วไปแล้วเครื่องรับส่งวิทยุที่ควบคุมด้วยไมโครคอมพิวเตอร์ เราจะต้องใช้ตัวคอมพิวเตอร์เป็นตัวป้อนข้อมูลเพื่อเปลี่ยนแปลงความถี่ของภาคสังเคราะห์ความถี่เอง

2.5 เทคนิคของการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้เป็นหน่วยสังเคราะห์ความถี่ ซึ่งมีขั้นตอนการตั้งความถี่ขั้นละ f_r เท่ากับความถี่อ้างอิง

PLL แบบโดยตรง

วิธีการสังเคราะห์ความถี่วิธีการนี้จะใช้ PLL โดยตรง นับว่าเป็นวิธีที่ง่าย ความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง (ดูรูปที่ 2.9) ในที่นี้ VCO ต้องสมารถทำงานได้ตลอดย่านความถี่เอาท์พุท ความถี่อาจจะขึ้นไปได้ถึง 200MHz อย่างไรก็ดี วงจรนับที่โปรแกรมตัวหาร N นั้นมีราคาแพงเราจึงจำเป็นที่จะต้องปรับปรุงวิธีสังเคราะห์ความถี่เป็นแบบอื่น

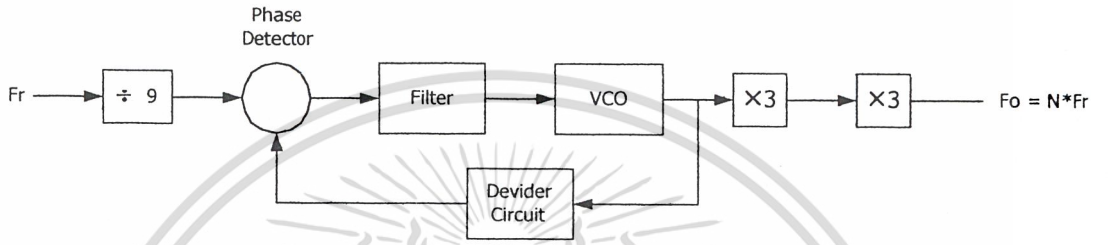


รูปที่ 2.9 แสดง PLL แบบโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL แบบคูณความถี่

จะสังเกตเห็นว่าในรูปที่ 2.10 เราทำการหารความถี่อ้างอิง f_r ลง 9 เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทกเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้จะช่วยลดความถี่การทำงานของวงจรหาร N ลง แต่ก็ทำให้ผลตอบสนองต่อการเปลี่ยนแปลงความถี่ที่ใช้ในการเทียบเฟสต่ำลง

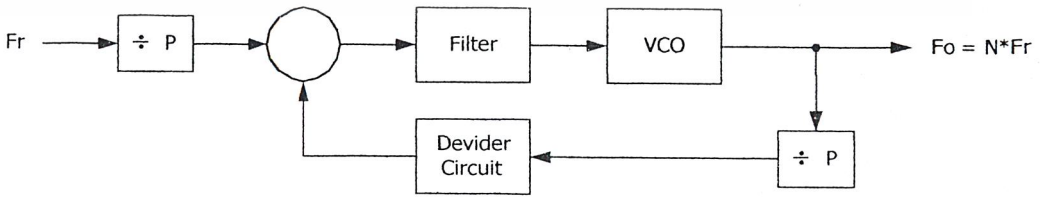


รูปที่ 2.10 แสดง PLL คูณความถี่

PLL แบบพรีสเกลเลอร์

PLL ในรูปที่ 2.11 ใช้วิธีการหารความถี่อ้างอิง f_r ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทกเตอร์ และใช้วิธีการคูณความถี่ขึ้นไป P เท่าภายในลูป แทนที่จะคูรความถี่ภานนอกลูปดังเช่น PLL แบบคูณความถี่ วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ใช้งาน โดยไม่ต้องมีวงจรมัลติพลาย

วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอปธรรมดา ซึ่งหัวหารกำหนดไว้ตายตัวละสามารถทำงานที่ความถี่สูงได้ เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับ PLL ในรูปที่ 2.10

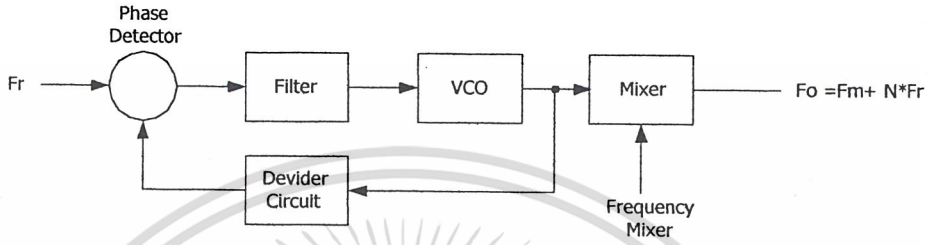


รูปที่ 2.11 แสดง PLL แบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL แบบมิกซิ่งนอกลูป

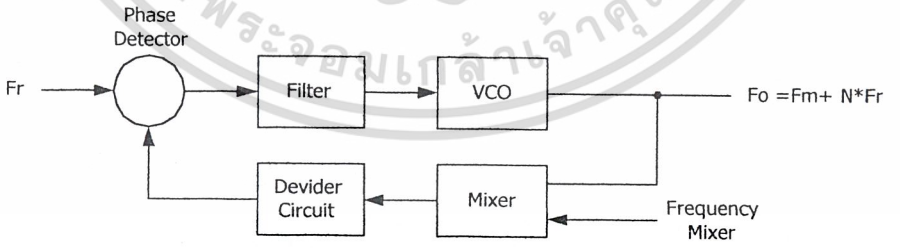
PLL ในรูปที่ 2.12 อาศัยความถี่อีกความถี่หนึ่งเพื่อผสม (มิกซ์) กับความถี่ VCO ให้เอาท์พุท ของ PLL มีค่าความถี่ที่สูงขึ้น ในที่นี้เราปรับชั้นความถี่ได้ชั้นละ f_r เท่ากับความถี่อ้างอิงและความถี่เอาท์พุทเท่ากับผลรวมความถี่ที่นำมามิกซ์กับความถี่จาก VCO



รูปที่ 2.12 แสดง PLL แบบมิกซิ่งนอกลูป

PLL แบบมิกซิ่งในลูป

PLL ในรูปที่ 2.13 เป็นการมิกซ์อีกแบบหนึ่ง ซึ่งได้นำการมิกซ์มาไว้ในลูปสัญญาณจาก VCO และความถี่มิกซ์ f_m จะบีทกันได้ความถี่ต่ำลง แล้วจึงป้อนเข้าวงจรนับหาร N ความถี่เอาท์พุท เท่ากับผลรวมของความถี่ที่นำมามิกซ์ f_m กับความถี่ VCO เช่นเดียวกับในรูปที่ 2.12



รูปที่ 2.13 แสดง PLL แบบมิกซิ่งในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ระบบสังเคราะห์ความถี่ในเครื่องรับส่งวิทยุ

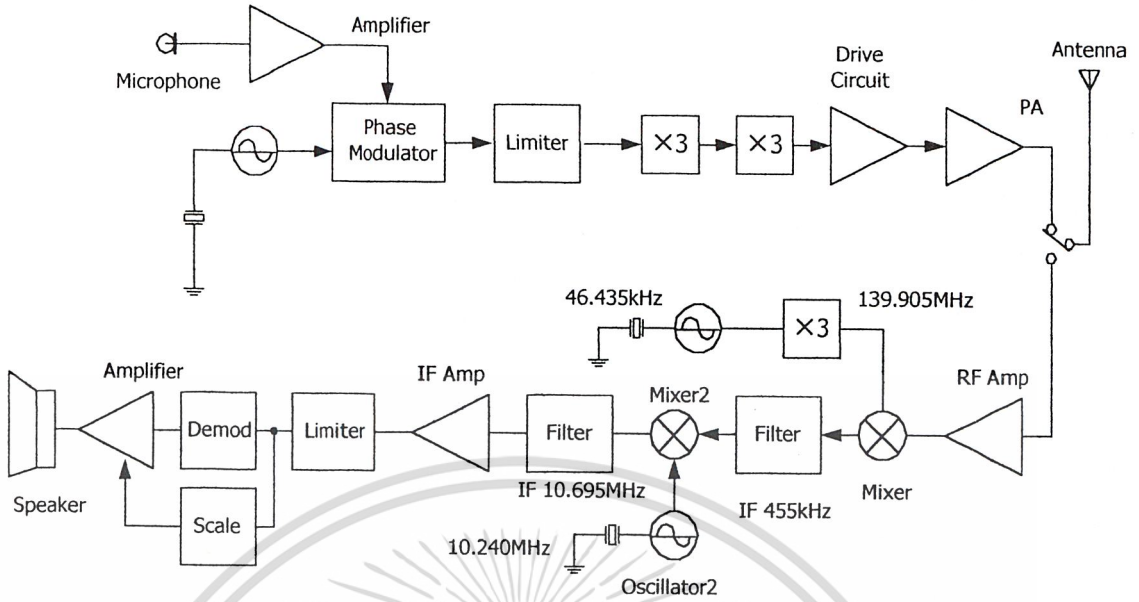
ข้อดีที่เห็นได้ชัดของระบบสังเคราะห์ความถี่ก็คือ ทำให้จำนวนช่องใช้งานเพิ่มขึ้นมหาศาล ซึ่งเครื่องรับส่งในสมัยก่อนมีจำนวนช่องใช้งานเพียงไม่กี่ช่องแต่เครื่องรับส่งรุ่นใหม่มีจำนวนช่องใช้งานได้นับร้อยช่อง ทำให้สามารถเลือกใช้ความถี่ได้หลายความถี่ และเปลี่ยนความถี่ได้สะดวก

สำหรับเครื่องรับส่งวิทยุที่ใช้บังคับความถี่นั้น หากทำการเพิ่มจำนวนช่องใช้งานจะต้องใช้แร่เพิ่มเติมอีกหลายก้อน และเมื่อเปลี่ยนความถี่ก็ต้องเปลี่ยนแร่ใหม่ทำให้ไม่คล่องตัวในการใช้งาน

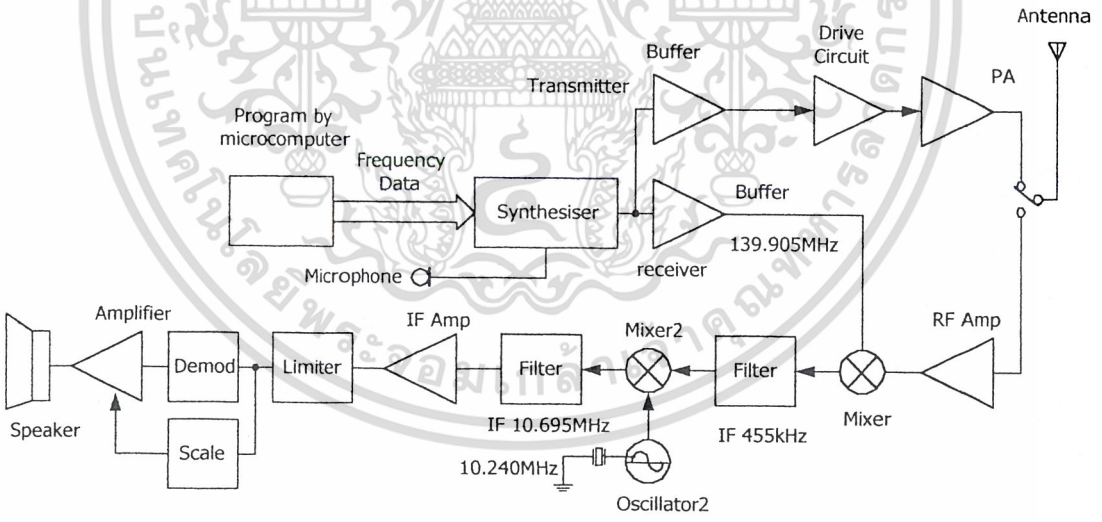
นอกจากนี้ระบบสังเคราะห์ความถี่ เป็นระบบที่ผสมเอาวงจรดิจิตอลมาใช้งานด้วย จึงทำให้การใช้งานเครื่องรับส่งวิทยุยิ่งสะดวกขึ้นไปอีก เพราะเมื่อเอาไมโครคอมพิวเตอร์มาต่อร่วมกับวงจรสังเคราะห์ความถี่เพื่อควบคุมการทำงานของวงจรสังเคราะห์ความถี่แล้ว ยิ่งทำให้เครื่องรับส่งวิทยุมีความสามารถต่าง ๆ เพิ่มขึ้นมากมาย เช่น มีหน่วยความจำ (Memory) สามารถสแกนความถี่ได้ ฯลฯ

การตั้งความถี่ภายนอกในเครื่องได้แก่ การตั้งโปรแกรมโดยใช้ไดโอดหรือจัมเปอร์ หรือใช้หน่วยความจำ เช่น ROM, EPROM, RAM หรืออุปกรณ์อื่น ๆ แทน ลองเปรียบเทียบระหว่างแผนผังของเครื่องรับส่งวิทยุ VHF/FM ชนิดใช้แร่บังคับความถี่ กับชนิดที่ใช้แร่สังเคราะห์ความถี่ในรูปที่ 2.14 จะเห็นว่าทั้งสองชนิดจะมีความแตกต่างกันก็ตรงที่ภาคออสซิลเลเตอร์เป็นส่วนใหญ่นั้นคือหน่วยออสซิลเลเตอร์ทั้งภาครับและส่ง(ของชนิดสังเคราะห์ความถี่) กลายเป็นหน่วยสังเคราะห์ความถี่ ซึ่งสามารถรับคำสั่งหรือโปรแกรมได้จากภายนอก โดยหน่วยสังเคราะห์ความถี่ทำหน้าที่ผลิตสัญญาณป้อนไปให้ทั้งภาครับและภาคส่งแทน ในสภาวะส่งในรูปที่ 2.14 (a)สัญญาณก่อนที่จะป้อนให้แก่แก่ภาคขยายภาคสุดท้าย(ขยายกำลัง)จะต้องเป็นสัญญาณความถี่ที่ต้องการเหมือนกันคือ 150 MHz และในสภาวะรับดังแสดงในรูปที่ 2.14 (b) ก็เช่นเดียวกันสัญญาณป้อนหรืออินเจ็กชั่น (Injection) เข้าที่มิกซ์ก็จะต้องเป็นสัญญาณความถี่เดียวกันคือ 139.905 MHz เพื่อบีทให้เกิด IF เหมือน ๆ กัน นอกจากนี้การมอดูเลทสัญญาณ FM (ในกรณีสังเคราะห์ความถี่) ก็สามารถกระทำได้ที่วงจร VCO ของภาคสังเคราะห์ความถี่ได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้แร่บังคับความถี่



(b) แสดงตัวอย่างแผนผังของเครื่องรับส่งวิทยุที่ใช้ระบบสังเคราะห์ความถี่

รูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติที่เกี่ยวกับช่วงความถี่ (Frequency range) ที่ต้องผลิตและแร่โซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะได้อธิบายต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ที่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่นในกรณีทีเราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนได้เร็วตามทันที หรือจะกล่าวได้อีกอย่างหนึ่งก็คือ ล็อคค่าของความถี่ได้ในเวลาอันรวดเร็ว นั่นคือ ช่วงเวลาล็อค (Look-up time) สั้น คุณสมบัติการล็อคความถี่ใหม่ได้รวดเร็วนั้นมีความจำเป็นอย่างยิ่งสำหรับเครื่องรับส่งวิทยุ โดยเฉพาะในระหว่างการเปลี่ยนจากสภาวะส่ง (รับ) มาเป็นสภาวะรับ (ส่ง) หรือในกรณีสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียวโดยปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของเสปกตรัม (Spectrum purity) นั่นคือความถี่ฮาร์โมนิคส์และสปิวเรียสต่าง ๆ จะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จาก วงจรออสซิลเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้จะเรียกว่า เฟสนอยส์ (Phase noise)

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่จะขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ชนิดที่ใช้แร่บังคับความถี่ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงเทียบเท่ากับคริสตอลออสซิลเลเตอร์

วงจรสังเคราะห์ความถี่ที่ใช้กับเครื่องรับส่งวิทยุในย่านความถี่ HF(3 ถึง 30 MHz) ค่อนข้างที่จะซับซ้อน เพราะการใช้งานในย่านความถี่นี้ เราต้องการเรโซลูชั่นที่ละเอียดถึง 100 Hz เป็นอย่างน้อย บางเครื่องสามารถทำได้ถึง 10 Hz นอกจากนี้ช่วงความถี่ 3 ถึง 30 MHz ค่อนข้างที่จะกว้างมากๆวงจรสังเคราะห์ความถี่ที่ครอบคลุมช่วงความถี่ที่กว้างๆและมีเรโซลูชั่นที่ละเอียดเช่นนี้จะต้องถูกออกแบบเป็นกรณีพิเศษเพื่อให้มีคุณสมบัตินอยส์ที่ดีและช่วงเวลาล็อคที่สั้นรวดเร็วโดยทั่วไปอัตราส่วนของความถี่สูงสุดและต่ำสุดระหว่างช่วงความถี่ที่ใช้งานจะมีค่าความถี่ไม่เกิน 2 เท่าในกรณีที่มีอัตราส่วนเกิน 2 เท่า เราต้องใช้วงจร VCO หลาย ๆ ชุดแล้วมีสวิตช์เลือกเพื่อป้องกันการล็อคความถี่ฮาร์โมนิคส์ และเพื่อให้ได้คุณสมบัตินอยส์ที่ดีสำหรับช่วงเวลาล็อคที่รวดเร็วนั้น เราทำได้โดยการใช้ลูปซ้อนกันหลายๆ ลูป (Multi loop)

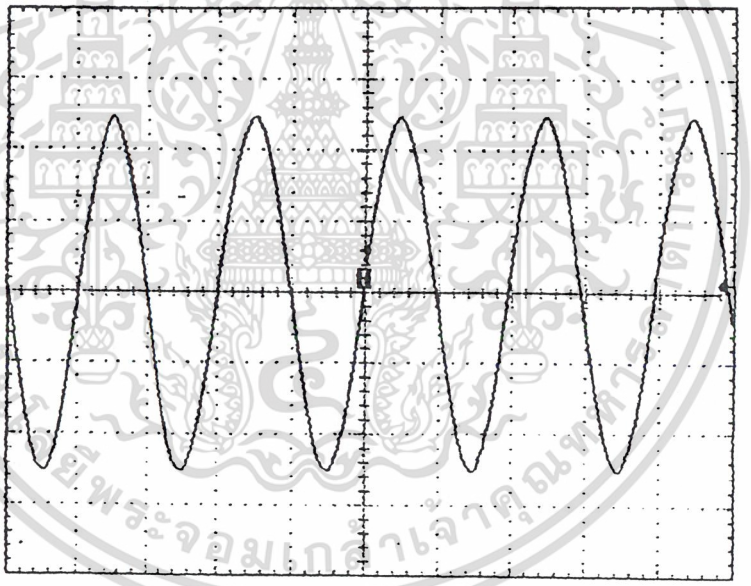
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3

ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์เป็นวงจรชนิดหนึ่งที่ใช้ทรานซิสเตอร์หรือหลอดสูญญากาศในการให้กำเนิดสัญญาณไฟสลับขึ้นมาที่เอาท์พุท โดยพื้นฐานแล้ววงจรออสซิลเลเตอร์ก็คือ วงจรขยายสัญญาณหรือวงจรแอมปลิไฟร์นั่นเอง แต่ข้อแตกต่างจะอยู่ที่วงจรออสซิลเลเตอร์ประกอบด้วยวงจรป้อนกลับสัญญาณเอาท์พุทไปยังอินพุท ซึ่งสามารถทำให้กำเนิดสัญญาณเอาท์พุทออกมาได้โดยไม่จำเป็นต้องมีสัญญาณป้อนเข้ามาที่อินพุทแต่อย่างใด และคุณสมบัติที่ดีของวงจรออสซิลเลเตอร์ก็คือการให้กำเนิดสัญญาณต่อเนื่องแบบเดียวกันซ้ำ ๆ กัน เช่น การให้กำเนิดสัญญาณแรงดันไฟฟ้าหรือกระแสไฟฟ้าที่มีค่าเปลี่ยนแปลงอยู่รอบ ๆ ค่ากลางค่าหนึ่ง เช่น คลื่นซายน์ (Sine wave) ดังแสดงในรูปที่ 3.1 วงจรออสซิลเลเตอร์ที่นิยมใช้กันมากได้แก่ วงจรจูน RF ออสซิลเลเตอร์ (Tune RF Oscillator)



รูปที่ 3.1 แสดงสัญญาณคลื่นซายน์ที่เอาท์พุทของวงจรออสซิลเลเตอร์แบบจูน RF

ความถี่ออสซิลเลเตอร์

ในวงจรออสซิลเลเตอร์แบบจูน RF สัญญาณที่เอาท์พุทจะต้องมีความถี่เป็นความถี่เรโซลูแนนท์ของวงจร LC ซึ่ง

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50407

ในวงจรที่มีเสถียรภาพดี ๆ นั้น วงจรจูนควรจะต้องมีค่า Q สูง เพื่อป้องกันการเลื่อนของความถี่สัญญาณ นอกจากนี้ทั้ง L และ C ยังต้องมีคุณภาพดี นั่นคือมีค่าที่คงที่แม้ว่าอุณหภูมิจะเปลี่ยนไปก็ตาม และการปรับปรุงให้แหล่งจ่ายไฟมีเอาท์พุทที่คงที่ตลอดเวลา เป็นการช่วยปรับปรุงเสถียรภาพของความถี่ได้อีกทางหนึ่ง

การป้อนกลับแบบบวก

การป้อนกลับแบบบวก หรือ Positive Feedback มีอีกชื่อหนึ่งว่า Regenerative Feedback อัตราขยายของระบบ (Gain) ที่มี Positive Feedback จะเป็นไปตามสมการที่ 3.2

$$A_{F(PFB)} = \frac{A_o}{1 - A_o F} \qquad (3.2)$$

โดย A_o คืออัตรขยายของวงจรขยาย

F คือ Feedback Factor

สัญญาณที่ป้อนกลับ จะมีเฟสเดียวกับสัญญาณอินพุท ในลักษณะเช่นนี้จึงสรุปได้ว่าสัญญาณที่ป้อนกลับก็คือแรงดันไฟสลับที่ประกอบด้วยขั้วบวกและขั้วลบที่มีเฟสเดียวกับสัญญาณอินพุทเพราะฉนั้นในกรณีการป้อนกลับแบบบวกก็คือ การเสริมกันของเฟสของสัญญาณที่ป้อนกลับกับสัญญาณที่อินพุทนั่นเอง เราอาจใช้ การป้อนกลับแบบบวก เพื่อเพิ่มอัตราขยายของวงจรได้ แต่ไม่นิยมกระทำกัน เนื่องจากมีความเสี่ยงในการที่วงจรหรือระบบอาจเกิด Oscillation เพราะเมื่อใดที่ Loop Gain (A_oF) มีค่าเท่ากับหรือมากกว่า 1.00 ในระบบที่มี การป้นอกลับแบบบวก จะทำให้เกิดการ Oscillation

หลักการวิเคราะห์การทำงานของออสซิลเลเตอร์

1) คำนวณค่าของอัตราการขยายของวงจรขยาย

ถ้าให้ X_o แทนสัญญาณเอาท์พุท และ X_i แทนสัญญาณอินพุท

$$A_o = \frac{X_O}{X_i} \qquad (3.3)$$

ในการคำนวณค่าของ A_o Feedback Network เป็นส่วนหนึ่งของโหลดของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) คำนวณหาค่าของ Feedback Factor

ถ้าให้ X_O แทนสัญญาณเอาท์พุท และ X_I แทนสัญญาณที่ป้อนกลับ

$$F = \frac{X_f}{X_O} \tag{3.4}$$

จากเงื่อนไขของการออสซิลเลท วงจรจะออสซิลเลทเมื่อการเลื่อนเฟสของลูปมีค่า 0 หรือ $2n\pi$ เรเดียน หรือเกิดการป้อนกลับแบบบวก การออสซิลเลทจะเกิดขึ้นเมื่อ

$$1 - A_O F = 0$$

$$A_O F = 1 + j0$$

นำ A_O และ F จากข้อ 1) และ 2) มาคูณกัน ซึ่งจะได้ค่าของ $A_O F$ อยู่ในรูปของจำนวนเชิงซ้อน ซึ่ง

$$A_O F = A_O F(j\omega) = \mathrm{Re}\{A_O F\} + \mathrm{Im}\{A_O F\} = 1 + j0$$

นั่นคือ

$$\mathrm{Im}\{A_O F\}|\omega = \omega_O = 0 \tag{3.5}$$

และ

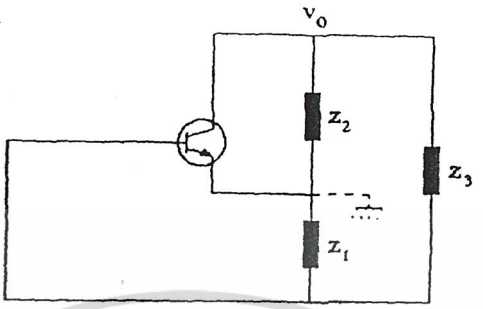
$$\mathrm{Re}\{A_O F\}|\omega = \omega_O = 1 \tag{3.6}$$

โดยการแก้สมการที่ 2.5 จะได้ค่า ω_O เป็นความถี่ของการออสซิลเลท และแก้สมการที่ 2.6 จะได้ค่าอัตราการขยายต่ำสุด A_O เพื่อให้เกิดการออสซิลเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 หลักการพื้นฐานของ ทรานซิสเตอร์ แอล-ซี ออสซิลเลเตอร์

(Transistor LC Oscillator)



รูปที่ 3.2 แสดงการวางตัวของอุปกรณ์ Transistor LC Oscillator

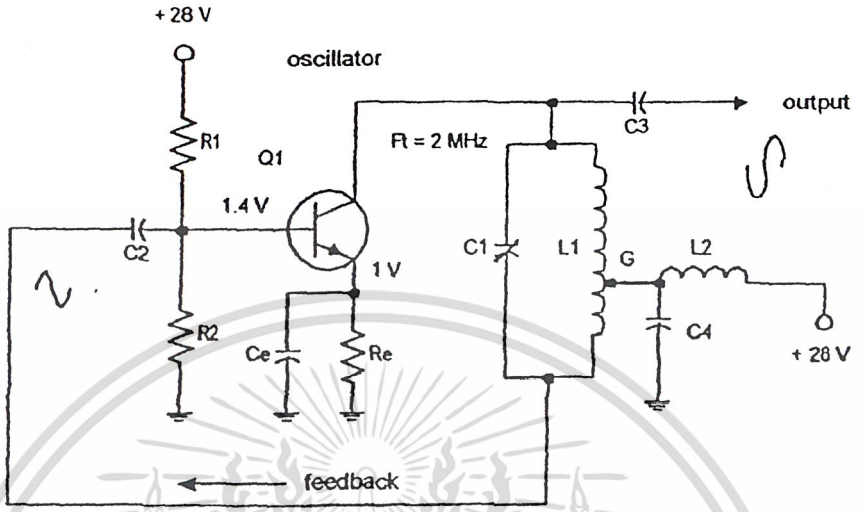
Z_1 , Z_2 , Z_3 อาจเป็น L หรือ C หรือ LC แต่ไม่ให้ใช้ L ล้วน หรือ C ล้วน ทางออกอาจอยู่ที่ใดก็ได้ที่ไม่ใช่ขาเบสของทรานซิสเตอร์ เพราะกระแสที่ได้จะมีค่าน้อยกว่าที่ได้จากจุดอื่น กราวน์อาจจะอยู่ที่ใดก็ได้ ถ้าใช้อุปกรณ์เป็น L 2 ตัว จะเรียกว่า ฮาร์ทเลย์ ออสซิลเลเตอร์ (Hartley Oscillator) ซึ่งนิยมใช้ Z_1 , Z_2 เป็น L ส่วน Z_3 เป็น C และมักนิยมใช้ L ในลักษณะ Tab Inductor จะใช้อุปกรณ์เป็น L 1 ตัว จะเรียกว่า คอลพิทส์ ออสซิลเลเตอร์ (Colpits Oscillator) ซึ่งไม่นิยมใช้ Z_1 เป็น L เพราะทำให้จัดวงจรไบอัสลำบาก และวงจรไบอัสอาจมีผลต่อความถี่ ออสซิลเลชั่น

3.2 ออสซิลเลอตอร์แบบฮาร์ทเลย์

จุดสังเกตของวงจรแบบนี้อยู่ที่วงจรจูน LC ที่มีการแท็ปคอยส์สำหรับเป็นวงจรคอยส์ป้อนกลับแทนที่จะเป็นคอยส์ทิกเกอร์แบบแยก จากรูปที่ 3.3 C_1 และ L_1 ประกอบกันเป็นวงจรจูน การแท็ปสัญญาณจากคอยส์ L_1ที่จุด G ก็เพื่อเป็นทางจ่ายแรงดันคอลเลคเตอร์ L_2 ในวงจรคือ RF โช๊ค (Chock) จุดแท็ปสัญญาณ G จะต่ออยู่กับกราวนด์โดยมี C_4 เป็นตัวบายพาสสัญญาณคาปาซิเตอร์เอาท์พุทของออสซิลเลเตอร์จะจ่ายออกที่ขาคอลเลคเตอร์ซึ่งมีระดับแรงดันไฟฟ้าเท่ากับ V ซึ่งเป็นความแตกต่างศักย์ระหว่างจุด A บนคอยล์ L_1 เทียบกับจุด G ส่วนในด้านตรงกันข้ามกับจุดแท็ปแรงดันไฟสลับป้อนกลับเท่ากับ V_{BG} ซึ่งถูกคัปปลิ้งโดย C_2 ไปเข้ายังขาเบสของ Q_1 การป้อนกลับสัญญาณในลักษณะนี้จะเป็นแบบบวกเพราะจะมีความต่างเฟสกัน 180° เมื่อเทียบกับ V_{AG} ซึ่งผลลัพธ์ที่เกิดขึ้นจะก่อให้เกิดการออสซิลเลทผลิตสัญญาณไฟสลับจ่ายออกมาที่เอาท์พุทด้วยความถี่เรโซแนนซ์ของวงจร LC พิจารณาระดับแรงดันไฟตรง V_cมีค่าเท่ากับ 28 V เพราะความต้านทานไฟตรงของคอยส์ RF , L_1 และ L_2มีค่าน้อยมากไม่นำมาคำนวณก็ได้ ขาอิมิตเตอร์มีแรงดันไฟไบอัสตนเองเท่ากับ 1 V จาก R_E โดยมี C_E เป็นตัวรักษาเสถียรภาพของการไบอัส แรงดันไฟฟ้าฟอร์เวิร์ดที่ขาเบสจ่ายผ่าน R_1 , R_2 ซึ่งแบ่งมาจากแหล่งจ่ายไฟ +28 V ดังนั้นค่า $V_{BE} = 1.4 - 1.0 = 0.4$ V ซึ่งน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

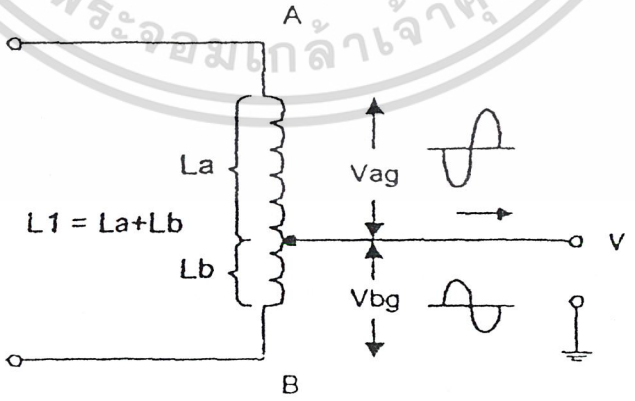
กว่าค่าแรงดันไฟฟ้าคัทออฟ 0.5 V แต่ค่าแรงดันยอดด้านบวกของแรงดันไฟฟ้าป้อนกลับจะขับให้ขาเบสมีระดับแรงดันไฟฟ้าเป็นบวกซึ่งสามารถทำให้ Q_1 นำกระแสไฟฟ้าและวงจรเกิดการออสซิลเลทได้



รูปที่ 3.3 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ , แท็ปคอยส์ที่จุด L_1 เพื่อป้องกันกลับสัญญาณ

การกลับเฟสของสัญญาณด้วยแท็ปคอยล์

การแท็ปสัญญาณของ L_1 จะช่วยให้เกิดการป้องกลับแบบบวกดังแสดงในรูปที่ 3.4 ก่อนอื่นพิจารณาส่วนของ L_1 ซึ่งแบ่งออกได้เป็นสองส่วน คือ L_A และ L_B วิเคราะห์การไหลของกระแสอิเล็กตรอนเข้าไปยังจุด A จะเห็นว่าทิศทางการไหลผ่านคอยล์ L_A ระหว่างจุด A กับจุด G แล้วไหลไปสู่แหล่งจ่ายไฟ +V ซึ่งในกรณีนี้คอยล์ L_B ไม่มีส่วนเกี่ยวข้องใด ๆ กับทิศทางการไหลของกระแส แต่อย่างไรก็ตามทั้งสองส่วนก็ต่อเนื่องกันอยู่ ดังนั้น L_B จึงเป็นตัวหม้อแปลงคับปลิ้งสัญญาณไปสู่ L_A ได้



รูปที่ 3.4 แสดงเฟสของแรงดันไฟฟ้าในแท็ปคอยล์ L_B จะต่างเฟส 180°เมื่อเทียบกับคอยล์ L_A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการแปรผันแรงดันไฟสลับ สมมติให้ I มีค่าเพิ่มขึ้นตามกฎของเลนซ์ (Lenz law) จะได้ว่าเกิดการเหนี่ยวนำของตัวเองขึ้น (Self-inductance) เกิดแรงดันไฟฟ้า V_{AG} ซึ่งมีขั้วเป็นลบ ที่จุด A เพื่อต่อต้านการเพิ่มขึ้นของ I ยิ่งกว่านั้นแรงดันที่เหนี่ยวนำขึ้นมานี้จะส่งผลให้คอยล์ทั้งหมดมีแรงดันไฟฟ้าเป็นลบ และเนื่องจากลักษณะของการพันคอยล์เป็นแบบไปในทิศทางเดียวกันดังนั้นจึงมีสนามแม่เหล็กเหมือนกันตลอดทั้งคอยล์ จุด A ถือว่าเป็นจุดปลายสุดของแรงดันไฟลบที่เหนี่ยวนำขึ้นมาเมื่อเปรียบเทียบกับจุดอื่น ๆ หรือขดถัดมาด้านล่าง (ตามรูป) ส่วนจุด B เมื่อพิจารณาตามแรงดันไฟฟ้าที่เหนี่ยวนำขึ้นมาจุด B จะมีแรงดันไฟฟ้าเป็นบวกเมื่อเทียบกับขดถัดไปที่อยู่เหนือขึ้นไป V_{BG} จะมีเฟสของสัญญาณต่างกัน 180°เสมอ ในขณะที่จุดหนึ่งเป็นลบมากที่สุด อีกจุดหนึ่งก็จะมีเฟสเป็นบวกมากที่สุด เนื่องจากจุดแท็ป G ต่อยอยู่กับกราวนด์เพราะฉะนั้น V_{AG} และ V_{BG} จึงเป็นแรงดันสัญญาณไฟสลับที่มีขั้วตรงกันข้ามกันเสมอเมื่อเทียบกับจุดกราวนด์

3.3 ออสซิลเลเตอร์แบบคอลพิทส์

ลักษณะที่เด่นชัดของวงจรชนิดนี้ก็คือ มีคาปาซิทีฟโวลเตจดีไวเดอร์ สำหรับการป้อนกลับสัญญาณอยู่อย่างชัดเจน ดังรูปที่ 3.5 (วงจรโวลเตจดีไวเดอร์ : คือ วงจรแบ่งแรงดันไฟฟ้าตกคร่อม ที่ใช้งานกันบ่อยได้แก่รีซีสเตอร์โวลเตจดีไวเดอร์) C_A และ C_B ประกอบกันขึ้นเป็นวงจรดีไวเดอร์อนุกรมตกคร่อมคอยล์ L_1 ในส่วนของวงจรคอลเลคเตอร์ และแรงดันไฟฟ้าที่คร่อม C_3 ถูกป้อนกลับแบบบวกไปยังขาเบส

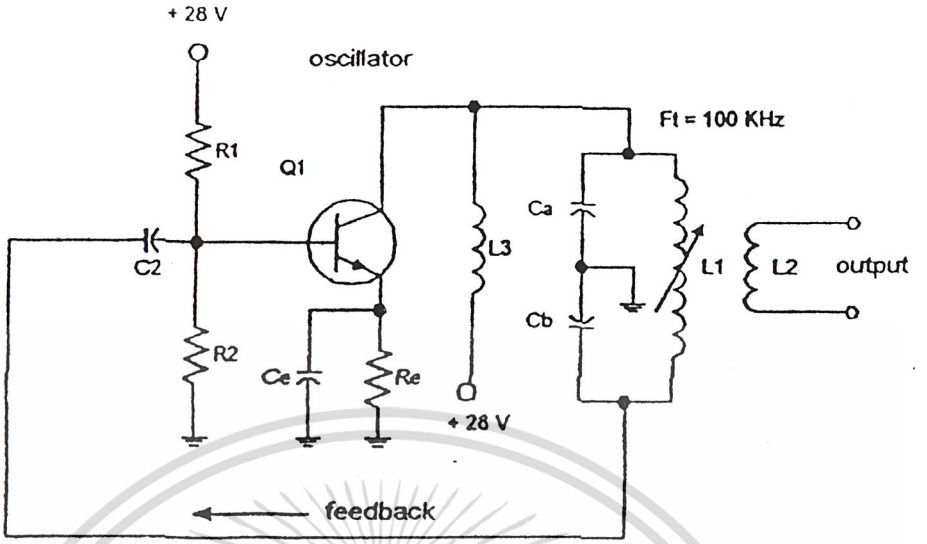
จุดต่อระหว่าง C_Aและ C_B จะถูกต่อลงกราวนด์ดังนั้นจึงเป็นเสมือนว่าวงจรคาปาซิทีฟดีไวเดอร์นั้นเป็นวงจรเทียบเท่ากับการแท็ปคอยล์ สำหรับสัญญาณของวงจรออสซิลเลเตอร์แรงดันไฟฟ้า V_{CA} และ V_{CB} จะขั้วตรงข้ามกันเมื่อเทียบกับจุดกราวนด์ การป้อนกลับแบบบวกของ V_{CB} จะถูกคัปปลิ้งโดย C_2 ซึ่งในขณะเดียวกัน C_2 ก็จะทำการป้องกันสัญญาณแรงดันไฟตรงจากขาคอลเลคเตอร์ไม่ให้ผ่านไปสู่ขาเบสได้

เอาท์พุทของวงจรจะถูกคัปปลิ้งโดยคอยล์ L_2ไปสู่วงจรภาคถัดไป วงจรดังรูปใช้การป้อนสัญญาณแบบขนานโดยสัญยาณแรงดันไฟฟ้าคอลเลคเตอร์ถูกป้อนผ่าน L_3 ซึ่ง L_3 คือ RF โช๊คซึ่งมีหน้าที่ป้องกันการลัดวงจรของสัญญาณจากวงจรออสซิลเลเตอร์ผ่านเข้าไปยังแหล่งจ่ายไฟ

จากวงจรดังรูปเนื่องจากว่าคาปาซิแตนซ์ของวงจรเรโซแนนซ์ LC ถูกแบ่งไปในวงจรออสซิลเลเตอร์ ดังนั้นการปรับแรงดันไฟฟ้าของวงจรจึงเปลี่ยนมาใช้การปรับแต่งโดย L_2 แทนหรือมิฉะนั้นแล้ว C_A และ C_B จะต้องต่อกันแบบแก็งค์(Ganged capacitance)

คอลพิทท์ออสซิลเลเตอร์มีการประยุกต์ใช้งานทั้งในด้านความถี่วิทยุขนาด 100 KHz ไปจนถึงย่านความถี่ VHF ที่มีแถบความถี่สูงถึง 300 MHz ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทส์ และวงจรคาปาซิทิฟโวลเดจดีไวเดอร์

3.4 คริสตอลออสซิลเลเตอร์

การผลิตออสซิสเลเตอร์ชนิดนี้มักจะใช้ ผลึกควอทซ์ (Quartz Crystal) เป็นวัตถุดิบในกรณีที่ต้องการความเที่ยงตรงสูงในการควบคุมความถี่รีโซแนนซ์คริสตัลมีคุณสมบัติเหมือนกับเป็นอิเลคโตรเมคคานิคคอลออสซิลเลเตอร์ที่มีคุณสมบัติเทียบเท่ากับวงจรจูน LC แต่ทว่ามีค่า Q สูงกว่า ดังนั้นจึงสามารถใช้ทดแทนวงจร LC ในวงจรออสซิลเลเตอร์ได้เป็นอย่างดี โดยทั่วไปนั้นตัว คริสตอลออสซิเลเตอร์จะใช้ประกอบอยู่ในอุปกรณ์ที่สามารถจะพกพาติดตัวได้เช่น วิทยุมือถือหรือวิทยุสื่อสารย่านความถี่ CB เป็นต้น โดยใช้ได้ทั้งในเครื่องรับและเครื่องส่ง นอกจากนี้อุปกรณ์เครื่องส่งกระจายเสียงวิทยุยังต้องใช้คริสตอลออสซิลเลเตอร์เพราะความจำเป็นในการควบคุมความถี่ที่แน่นอน มีเสถียรภาพสูงและมีความผิดเพี้ยนต่ำที่สุดความถี่ที่ผลิตจากคริสตอลออสซิลเลเตอร์ จะมีความผิดเพี้ยนน้อยกว่า 1 Hz ต่อ 10^6 Hz สำหรับอุปกรณ์ตรวจวัดต่างแหล่งกำเนิดสัญญาณมักใช้คริสตอลออสซิลเลเตอร์สำหรับปรับตั้งความถี่ภายในเครื่องเป็นต้น

ปรากฏการณ์เพียซโซอิเลคทริก

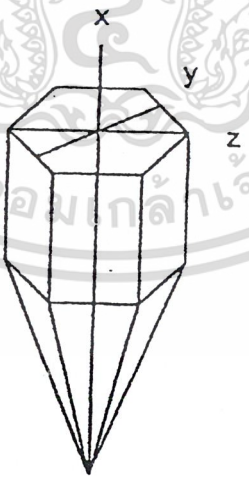
ปรากฏการณ์เพียซโซอิเลคทริก (piezoElectric Effect) คือปรากฏการณ์ทางไฟฟ้าที่เกิดขึ้นในขณะที่ผลึกคริสตอลถูกกดอัด ถูกขยายหรือถูกบิดให้ผิดจากรูปในสภาวะปกติผลึกคริสตอลจะจ่ายแรงดันไฟฟ้าระดับต่ำ ๆ ออกมาที่เอาท์พุท ปฏิกิริยาย้อนกลับจะเกิดขึ้นนั่นคือระดับแรงดันไฟฟ้าที่อินพุทจะทำให้คริสตอลเกิดความผิดเพี้ยนทางกายภาพขึ้น ซึ่งคริสตอลสามารถถูกกระตุ้นให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดการออสซิลเลทด้วยความถี่ค่าหนึ่งโดยแปรผันตามขนาดของก้อนผลึก ถ้าผลึกมีความบางมากก็สามารถออสซิลเลทคลื่นความถี่สูง ๆ ออกมาได้

การตัดผลึกคริสตอล

ผลึกคริสตอลจะมีลักษณะคล้ายเกร็ดน้ำแข็ง คือถ้าเป็นผลึกดิบที่ยังไม่ผ่านขบวนการผลิตใดมาก่อน ผลึกตามธรรมชาติจะมีรูปร่างเป็นแบบหกเหลี่ยม ดังแสดงในรูปที่ 3.6 ในขบวนการผลิตผลึกเหล่านี้จะถูกนำมาเฉือนออกมาให้เป็นแผ่นผลึกบาง ๆ เสร็จแล้วนำไปผ่านขบวนการขัดผิว โดยทั่วๆไปผลึกที่ตัดเสร็จแล้วมีขนาดประมาณ 0.5 ถึง 1.0 นิ้ว (12.7 ถึง 25.1 มม.) และมีความหนาประมาณ 0.3 นิ้ว (7.6 มม.) หรือบางกว่านี้ ในขบวนการตัดผลึกจำเป็นอย่างยิ่งที่จะต้องพิจารณาถึงแนวแกนตามโครงสร้างของผลึกว่าอยู่ในแกนใด ดังรูปที่ 3.6 ซึ่งแบ่งออกได้เป็น 3 แกน คือ แกน X แกน Y และแกน Z ในการเฉือนผลึกถ้าแนวเฉือนอยู่ขนานกับแกน Z และผิวหน้าของแผ่นผลึกตั้งฉากอยู่กับแกน X ในลักษณะนี้เรียกว่า Xcut ส่วน Ycut นั้นผิวหน้าของแผ่นผลึกจะตั้งฉากอยู่กับแกน Y เป็นต้น อย่างไรก็ตามการเฉือนผลึกตามแนวแกนอื่น ๆ ที่หักเหไปจากแนวแกนหลักดังกล่าว ก็มีเช่นกันซึ่งมีชื่อเรียกต่าง ๆ กันออกไปดังเช่น AT , BT, CT, และGT เป็นต้น ซึ่งเพื่อให้สอดคล้องกับคุณสมบัติที่ต้องการเช่นความถี่และอุณหภูมิเป็นต้น การเฉือนในลักษณะพิเศษเช่นนี้จึงต้องพิจารณาถึงแรงเครียดและแรงเค้นของก้อนผลึกมากกว่าที่จะเป็นแรงกดดัน GT cut เป็นผลึกชนิดที่มีสัมประสิทธิ์อุณหภูมิต่ำ นั่นคือความถี่ไม่แปรผันตามการแปรผันของอุณหภูมิ ส่วนผลึกชนิด AT และ BT cut มักมีคุณสมบัติในการผลิตสัญญาณความถี่สูง ๆ ได้ดี เป็นต้น

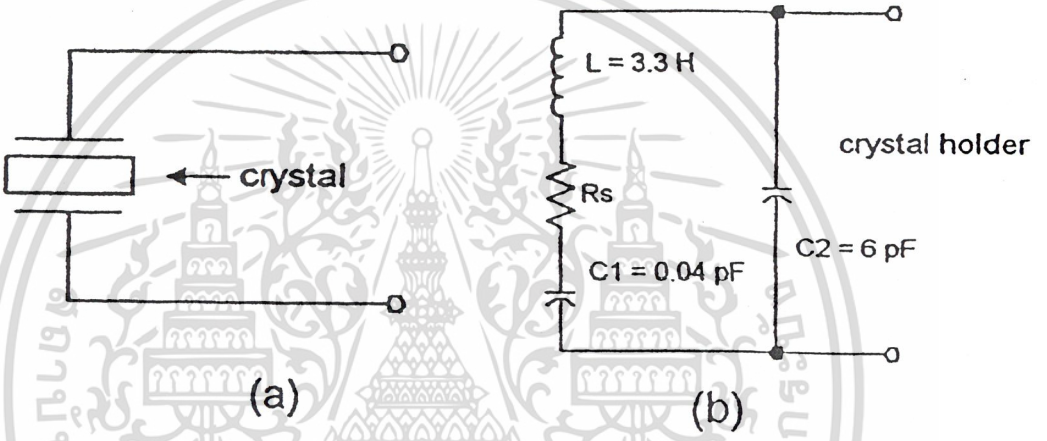


รูปที่ 3.6 แสดงแนวแกนการเฉือนตามโครงสร้างทางกายภาพของก้อนผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเทียบเท่าของผลึกคริสตอล

โครงสร้างทางกายภาพของการประกอบก้อนผลึกคริสตอลเข้ากับตัวยึดแสดงได้ดังรูปที่ 3.7 (a) ซึ่งเทียบเท่ากับวงจรเรโซแนนซ์ LC ดังรูปที่ 3.7 (b) โดย L สามารถเทียบได้กับมวลของก้อนผลึก C_1 เทียบได้กับความสามารถในการเปลี่ยนแปลงทางกลส่วน R_s คิดเทียบได้กับความเสถียรภาพทานทางกล เป็นต้น ในกรณีที่อัตราส่วนของ L/C มีค่าสูง สำหรับวงจรรีโซแนนซ์แบบอนุกรม โดย L มีค่าเท่ากับ 3.3 H และ C_1 มีค่าเท่ากับ 0.04 pF R_s จะมีค่าต่ำเทียบค่ารีแอคแดนซ์ซึ่งในกรณีเช่นนี้ค่า Q ของวงจรรีโซแนนซ์จะมีค่าตั้งแต่ 10,000 ถึง 50,000 โดยที่ C_2 เทียบได้ว่าเป็นเอาท์พุทคาปาซิแดนซ์ของตัวยึดคริสตอล



รูปที่ 3.7 แสดงวงจรเทียบท่าของผลึกคริสตอล
(a) ผลึกคริสตอลติดตั้งอยู่กับตัวยึด
(b) วงจรเทียบเท่าของวงจรรีโซแนนซ์

ความถี่ของออสซิลเลเตอร์แบบคริสตอล

คริสตอลมีความถี่ของสัญญาณที่สามารถออสซิลเลทออกมาได้ที่ความถี่ที่แน่นอนค่าหนึ่ง ๆ โดยทั่ว ๆ ไปมีค่าอยู่ระหว่าง 0.5 ถึง 30 MHz หรืออาจจะใช้การต่อร่วมกับวงจรภายนอกอื่น ๆ เพื่อให้ได้ค่าความถี่ของสัญญาณต่าง ๆ กัน สำหรับที่ต้องการความถี่สูงขึ้นอาจจะต่อร่วมกับวงจรทวีคูณความถี่ (Frequency Multiplier Circuit) ซึ่งอาจเป็นวงจรจูนความถี่ 2 เท่าและ 3 เท่าก็ได้วงจรขยายสัญญาณดังรูปใช้วงจรจูน LC เพื่อปรับความถี่ของสัญญาณให้ได้ความถี่ฮาร์โมนิคของ คริสตอลออสซิลเลเตอร์ ตัวอย่างเช่น เอาท์พุทของออสซิลเลเตอร์เป็นสัญญาณความถี่ 15 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถถูกเพิ่มความถี่ให้สูงขึ้นเป็น 45 MHz ได้โดยใช้วงจรทวีคูณความถี่แบบ 3 เท่าได้ สำหรับในกรณีที่ต้องการลดความถี่ลงให้ต่อร่วมกับวงจรหารความถี่ได้โดยความถี่เอาท์พุทของออสซิลเลเตอร์จะถูกหารให้มีค่าน้อยลงจนได้ค่าความถี่ที่ต้องการ ตัวอย่างเช่น เอาท์พุทของออสซิลเลเตอร์ มีค่าเท่ากับ 1000 kHz สามารถถูกหารให้ลดลงโดยใช้วงจรหารความถี่ด้วย 100 kHz ทำให้ได้ความถี่ 10 kHz ตามต้องการ

3.5 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า

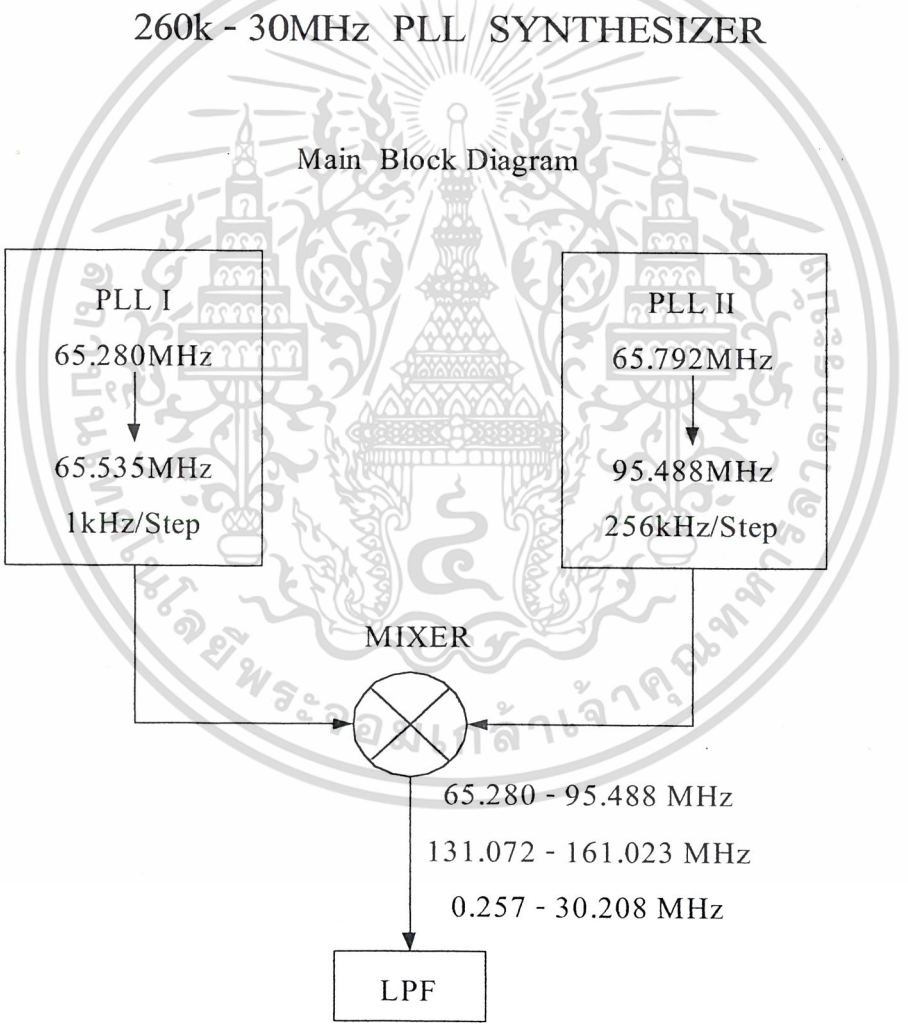
โดยทั่วๆไปมักจะเรียกกันสั้น ๆ ว่า VCO หรือโวลเตจคอนโทรลอยออสซิลเลเตอร์เป็นวงจรที่ใช้สำหรับการปรับแต่งความถี่ของวงจรออสซิลเลเตอร์ซึ่งวิธีการที่ใช้คือ ใช้คาปาซิทีฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแคป (Varicap) คุณสมบัติของไอโอดชนิดนี้คือค่าปาซิแดนซ์จะแปรผันตามแรงดันไฟฟ้ารีเวิร์ดที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อต่อวาแร็กเตอร์คร่อม L ในวงจรจูนของออสซิลเลเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมไดโอด

วงจร VCO ได้มีการนำไปประยุกต์ใช้อย่างมากมาย เนื่องจากคุณสมบัติที่ดีในการควบคุมความถี่ออสซิลเลเตอร์ด้วยระดับแรงดันไฟฟ้าตรง ตัวอย่างเช่นปุ่มปรับช่องสัญญาณชนิดสัมผัสในเครื่องรับโทรทัศน์ ซึ่งอาศัยระดับแรงดันไฟตรงไปควบคุมความถี่ของแต่ละช่องสัญญาณได้ การประยุกต์ใช้งานในลักษณะนี้เรียกว่า อิเลคทรอนิกส์จูนนิ่ง (Electronic Tuning) ซึ่งการปรับแรงดันไฟฟ้าตรงไปยังต้องใช้มือปรับ แต่เราสามารถปรับปรุงให้ปรับระดับแรงดันโดยอัตโนมัติ ได้โดยใช้วงจรอิเลคทรอนิกส์ควบคุมซึ่งวงจรที่มีคุณสมบัติดังกล่าว ได้แก่วงจรเฟสล็อคลูป (Phase Locked Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

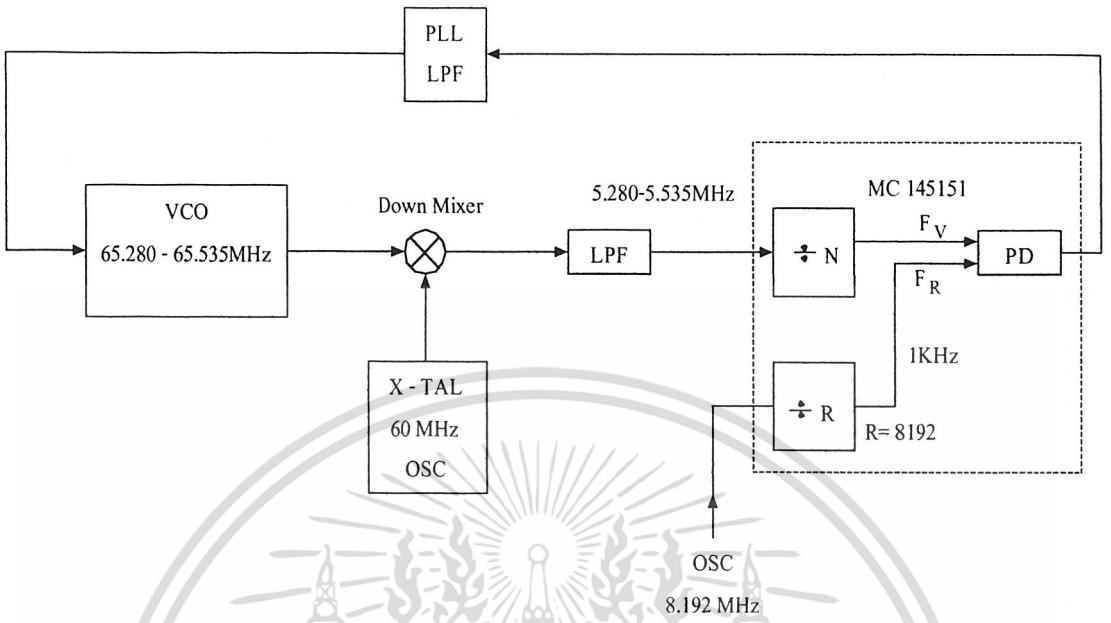
บทที่ 4
การออกแบบโครงงาน

ในการออกแบบเครื่องกำเนิดสัญญาณ 260k – 30MHz นั้นเราสามารถเลือกวิธีการออกแบบได้หลายวิธี ซึ่งในโครงงานนี้เราจะใช้วิธีสังเคราะห์ความถี่โดยอาศัยหลักการของเฟสล็อคลูป เฟสล็อคลูปมีข้อดีคือสามารถผลิตความถี่ออกมาได้แม่นยำและค่อนข้างแน่นอน การออกแบบและการสร้างค่อนข้างที่จะมีความสลับซับซ้อนน้อยกว่าแบบอื่น



รูปที่ 4.1 แสดง Block Diagram ของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดง Block Diagram ของ PLL 1

4.1 วงจร VCO (65.280MHz – 65.535MHz)

สิ่งที่สำคัญที่สุดในการออกแบบคือ ข้อจำกัดของตัวอุปกรณ์ที่จะใช้ในการออกแบบต้องสามารถตอบสนองต่อช่วงของความถี่ในช่วงที่ต้องการได้ การใช้เฟสล็อกลูปในการสังเคราะห์ความถี่นั้นสิ่งที่สำคัญที่สุดคือ ส่วนของวงจร Voltage Control Oscillator (VCO) ที่ทำหน้าที่ผลิตความถี่ในช่วงที่เราต้องการ โดยการควบคุมช่วงความถี่จากการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับที่ป้อนให้กับวาริแคปไดโอด(Varicap Diode) ผลของการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับนี้จะทำให้ค่าความจุของวาริแคปไดโอดเปลี่ยนแปลงไปด้วย ซึ่งจะเป็นตัวกำหนดให้ VCO สามารถผลิตความถี่ออกมาได้ในช่วงที่ต้องการ พิจารณาอัตราส่วนระหว่างความถี่สูงสุดในการออกแบบต่อความถี่ต่ำสุดในการออกแบบ ดังสมการที่ 4.1

$$f_{O(MAX)} / f_{O(MIN)} \tag{4.1}$$

จาก

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \tag{4.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบกำหนดให้ค่าความเหนี่ยวนำ(L) มีค่าคงที่และค่าความจุ (C) สามารถเปลี่ยนแปลงค่าได้โดย

$$C = C_{FIX}+C_V \tag{4.3}$$

โดย C_{FIX} คือ ค่าความจุที่ใช้ในวงจร

C_V คือ ค่าความจุที่สามารถเปลี่ยนแปลงค่าได้

ดังนั้น จากสมการที่ 4.2 จะได้

$$f_{O(MAX)} = \frac{1}{2\pi\sqrt{L(C_{FIX} + C_{V(MIN)})}} \tag{4.4}$$

และ

$$f_{O(MIN)} = \frac{1}{2\pi\sqrt{L(C_{FIX} + C_{V(MAX)})}} \tag{4.5}$$

นำค่า $f_{O(MAX)}$ และ $f_{O(MIN)}$ แทนลงในสมการที่ 4.1 จะได้

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{1/2\pi\sqrt{L(C_{(FIX)} + C_{V(MIN)}}}{1/2\pi\sqrt{L(C_{FIX} + C_{V(MAX)})}} \tag{4.6}$$

เมื่อพิจารณาเฉพาะค่าที่เปลี่ยนแปลงได้ ก็คือค่าของ C_V จะได้

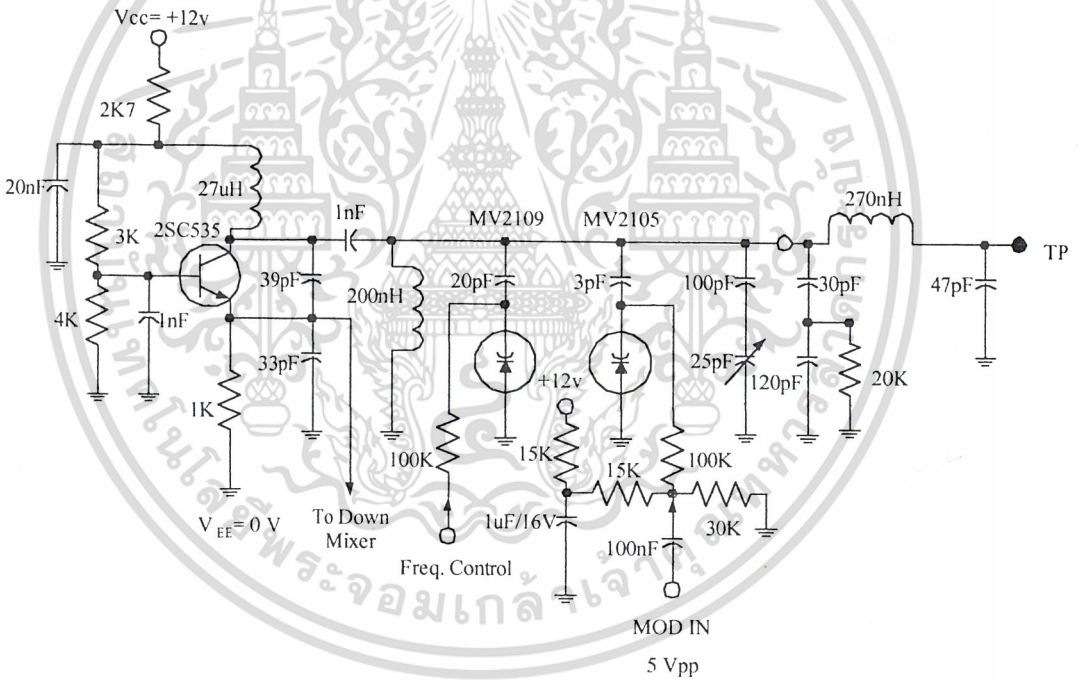
$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \sqrt{\frac{C_{(FIX)} + C_{V(MAX)}}{C_{(FIX)} + C_{V(MIN)}}} \tag{4.7}$$

จะเห็นได้ว่าอัตราส่วนของค่าความจุที่ได้จะมีค่ามาก เป็นผลให้ช่วงของการเปลี่ยนค่าความจุระหว่าง $C_{V(MAX)}$ กับ $C_{V(MIN)}$ กว้างเราจะอาศัยหลักการในการออกแบบวงจร VCO ขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค Voltage Control Oscillator (VCO) เป็นภาคแรกสำหรับการออกแบบ ภาคนี้จะให้กำเนิดสัญญาณรูปซายน์ในช่วงความถี่ 65.280 – 65.535MHz โดยการควบคุมการเปลี่ยนแปลงความถี่ด้วยระดับแรงดันไฟตรงที่ป้อนไบอัสกลับให้กับวาริแคปไดโอด ซึ่งความสามารถในการเปลี่ยนแปลงความถี่จะขึ้นอยู่กับความสามารถในการเปลี่ยนแปลงค่าความจุของวาริแคปไดโอด ตามความสัมพันธ์ดังสมการที่ 4.7

ในการออกแบบเราได้เลือกใช้วาริแคปไดโอดเบอร์ MV 2109 เรากำหนดให้แรงดันไบอัสย้อนกลับแก่วาริแคปไดโอดอยู่ในช่วง 2 – 10 V. จะทำให้ได้ค่าความจุของวาริแคปไดโอดอยู่ในช่วง 24.2pF – 41.72pF



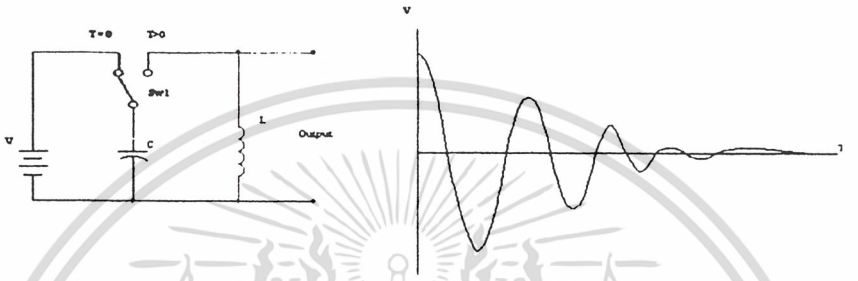
รูปที่ 4.3 วงจร VCO ที่ใช้ความถี่ 65.280MHz – 65.535MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลังงานที่จ่ายออกจากแหล่งกำเนิดจะมีค่าเป็นจำนวนลบซึ่งเป็นไปตามกฎการอนุรักษ์พลังงาน จากสมการกำลังงาน

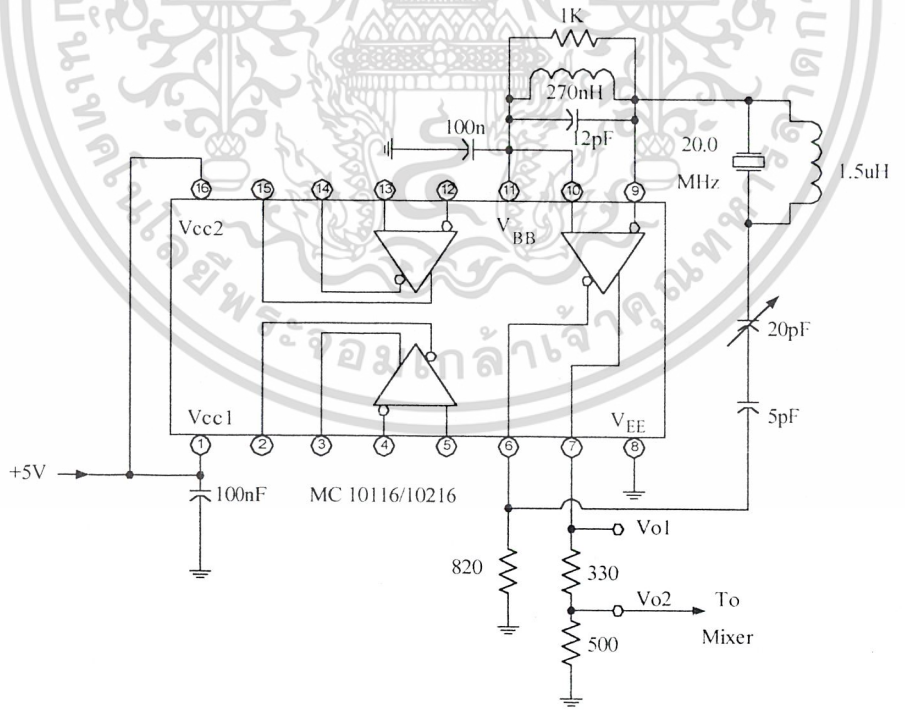
$$P = VI = I^2R = V^2/R \qquad (4.8)$$

จะสังเกตุได้ว่า ค่าที่จะทำให้กำลังงานเป็นลบ ก็คือค่าความต้านทาน ค่าความต้านทานที่เป็นลบ (Negative Resistance) จะทำให้เกิดการออสซิลเลชั่นขึ้นมาดังรูป



รูปที่ 4.4 แสดงการเกิดแดมปิงออสซิลเลชัน

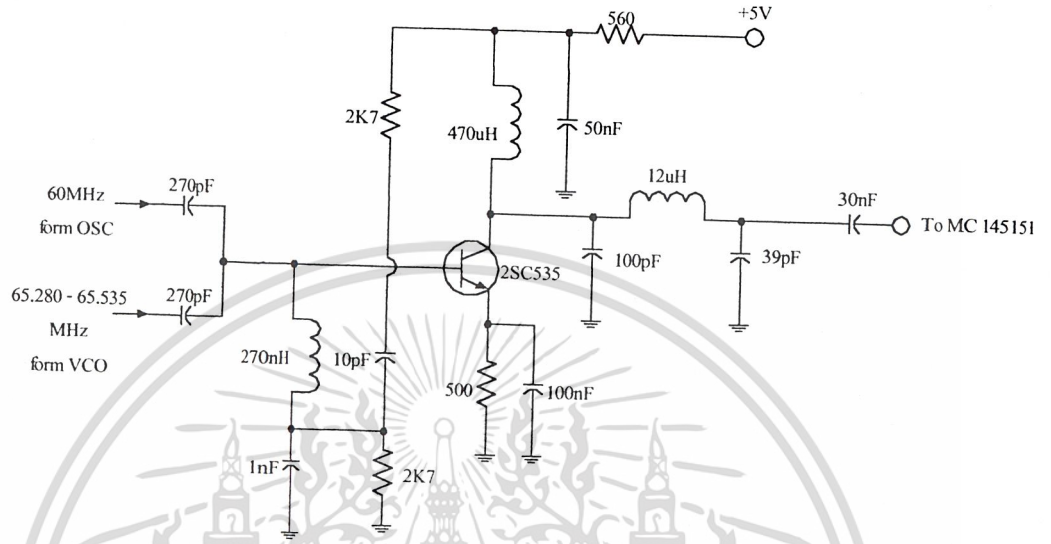
4.2 วงจร Oscillator 60.0MHz



รูปที่ 4.5 แสดงวงจร Oscillator ที่ผลิตความถี่ 60.0 MHz เพื่อนำมาผสมกับความถี่จากวงจร VCO

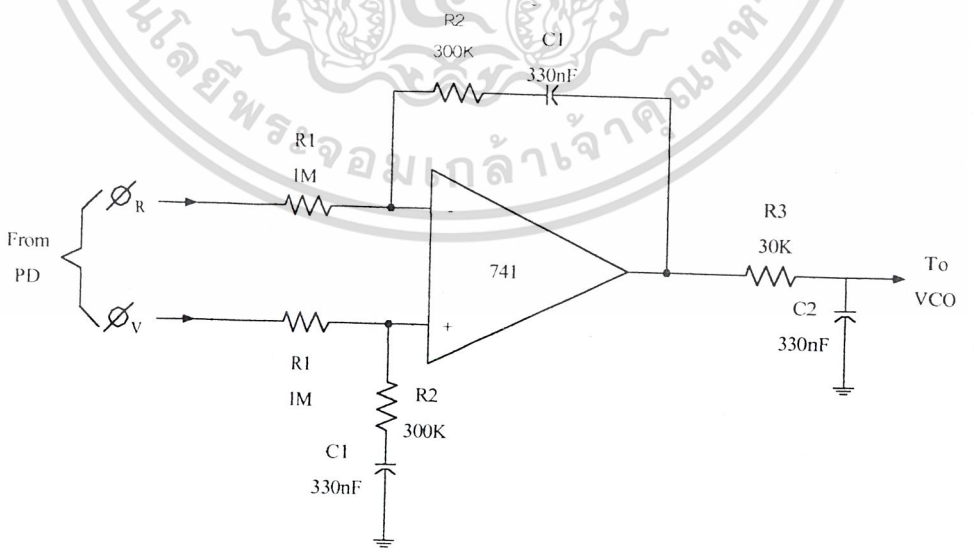
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 Down Mixer



รูปที่ 4.6 แสดงวงจรมิกเซอร์และโลว์พาส 5 MHz

4.4 Phase Lock Loop LPF I



รูปที่ 4.7 แสดงวงจร PLL LPF ที่ทำหน้าที่ควบคุมแรงดันของวงจร VCO 65.024MHz – 65.535MHz

เอกสารนี้สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.1 การออกแบบ Phase Locked Loop Low Pass Filter 1

เมื่อ $\omega_{P2} >> \omega_Z$

$$F(S) = -\frac{\omega_{P2}}{R_1 C_1 \omega_Z} \cdot \frac{S+\omega_Z}{S(S+\omega_{P2})} \quad (4.9)$$

$\omega_{P1} = 0$

$$\tau_1 = R_1 C_1 = \frac{K}{\overline{N}_T \omega_n^2} \quad (4.10)$$

$K = K_d \cdot K_{VCO}$ (4.11)

PD Type: 2 state PFD

$\Delta v_{out\,PD} = 4.5\ \text{V}$ (4.12)

$$K_d = \frac{\Delta v_{out\,PD}}{2\pi} \quad (4.13)$$

แทนค่าสมการ (4.12) ลงในสมการ (4.13) จะได้

$K_d = 0.7162$ V/Rad. (4.14)

N_T Range = 5280 – 5535

$N_{mean} : \overline{N} = \sqrt{N_{T\,MAX} \cdot N_{T\,MIN}} = 5406$ (4.15)

$f_{VCO\,MIN} = 64.626$ MHZ ที่แรงดัน VCO เท่ากับ 2.0 V

$f_{VCO\,MAX} = 66.298$ MHZ ที่แรงดัน VCO เท่ากับ 10.0 V

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta v_{VCO}} \approx 1.313\ \text{M}\frac{\text{Rad/Sec}}{\text{V}} \quad (4.16)$$

แทนค่าสมการ (4.14)และสมการ (4.16) ลงในสมการ (4.11) จะได้

$K = 940.5\ \text{Sec}^{-1}$ (4.17)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้

Pull out Range: $\Delta\omega_{PO} \approx 425\ Rad/Sec$ (4.18)

Damping: $\varsigma \approx 1.14$ (4.19)

Natural Frequency: ω_n

$$\omega_n \approx \frac{\Delta\omega_{PO}}{(11.55(\varsigma + 0.5))} \quad (4.20)$$

แทนสมการ (4.18) และสมการ (4.19) ลงในสมการ (4.20) จะได้

$$\omega_n = 22.44 \ \text{Rad/Sec} \quad (4.21)$$

Fast Lock Range: $\Delta\omega_L$ at PD $= 4\pi\varsigma\omega_n = 321.4\ Rad/Sec$ (4.22)

Fast Lock Range Time $\approx \frac{2\pi}{\omega_n} \approx 0.28$ Sec (4.23)

แทนสมการ (4.15), (4.17) และสมการ (4.21) ลงในสมการ (4.10) จะได้

$$\tau_1 = R_1 C_1 = 345.6 \ \text{mSec} \quad (4.24)$$

ให้ $C_1 = C_2 = 0.33$ uF

$$R_1 = \frac{\tau_1}{C_1} = 1.047\ \text{M}\Omega \approx 1.0\ \text{M}\Omega \quad (4.25)$$

$$\tau_2 = R_2 C_1 = \frac{2\varsigma}{\omega_n} \quad (4.26)$$

แทนสมการ (4.19) และสมการ (4.21) ลงในสมการ (4.26) จะได้

$$\tau_2 = R_2 C_1 = 101.6 \ \text{mSec} \quad (4.27)$$

$$R_2 = \frac{\tau_2}{C_1} = 307.9\ \text{K}\Omega \approx 300\ \text{K}\Omega \quad (4.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

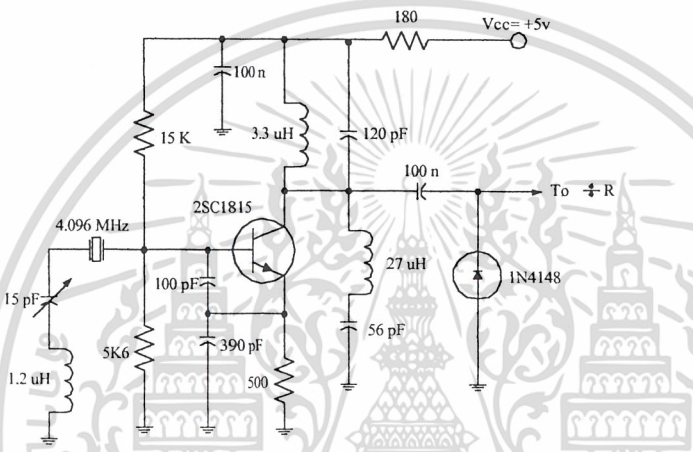
$$\omega_Z = \frac{1}{R_2 C_1} = 10.1 \text{ Rad/Sec} \qquad (4.29)$$

$$10\omega_Z \le \omega_{P2} \le 0.1\omega_{ref}$$

กำหนดให้ $\omega_{P2} = 101$ Rad/Sec

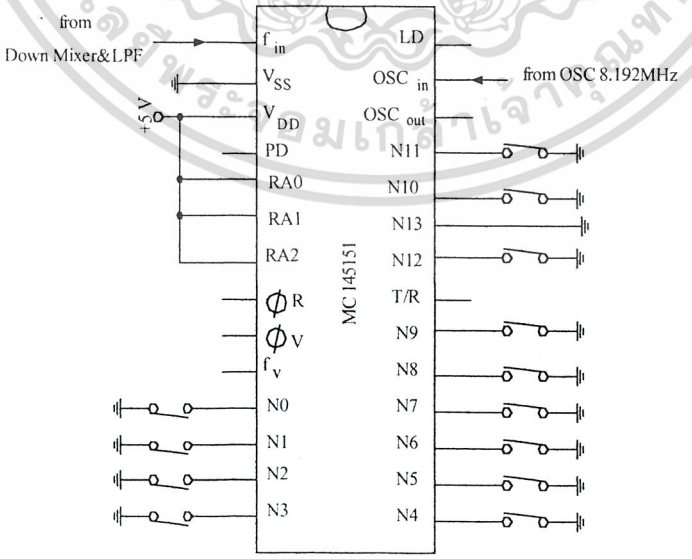
$$R_3 = \frac{1}{\omega_{P2} C_2} = 30\,\text{K}\Omega$$

4.5 วงจร Oscillator 8.192 MHz



รูปที่ 4.8 แสดงวงจร Oscillator ที่ผลิตความถี่ 8.192 MHz

4.6 MC 145151 I

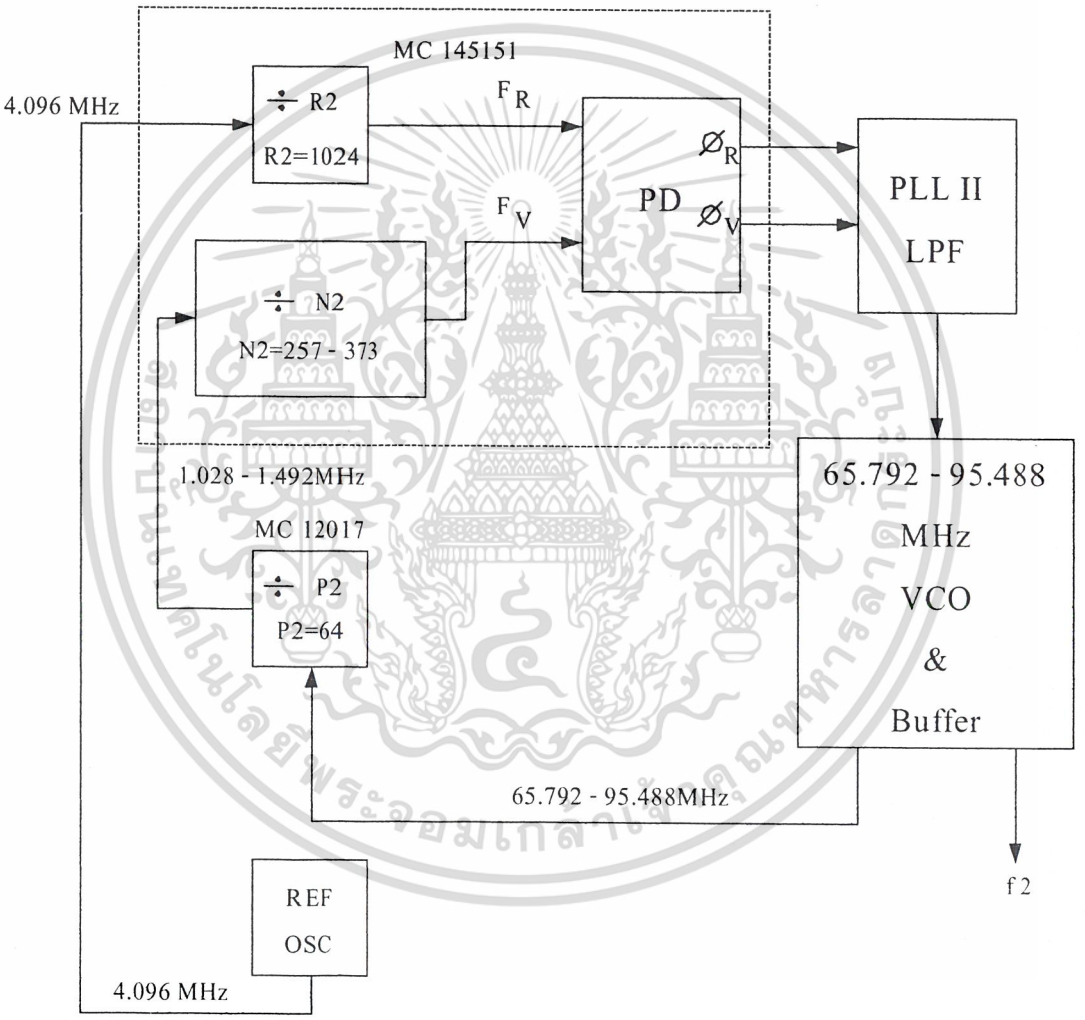


รูปที่ 4.9 แสดงลักษณะการต่อใช้งาน IC MC14515

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL II 65.792 - 95.488 MHz

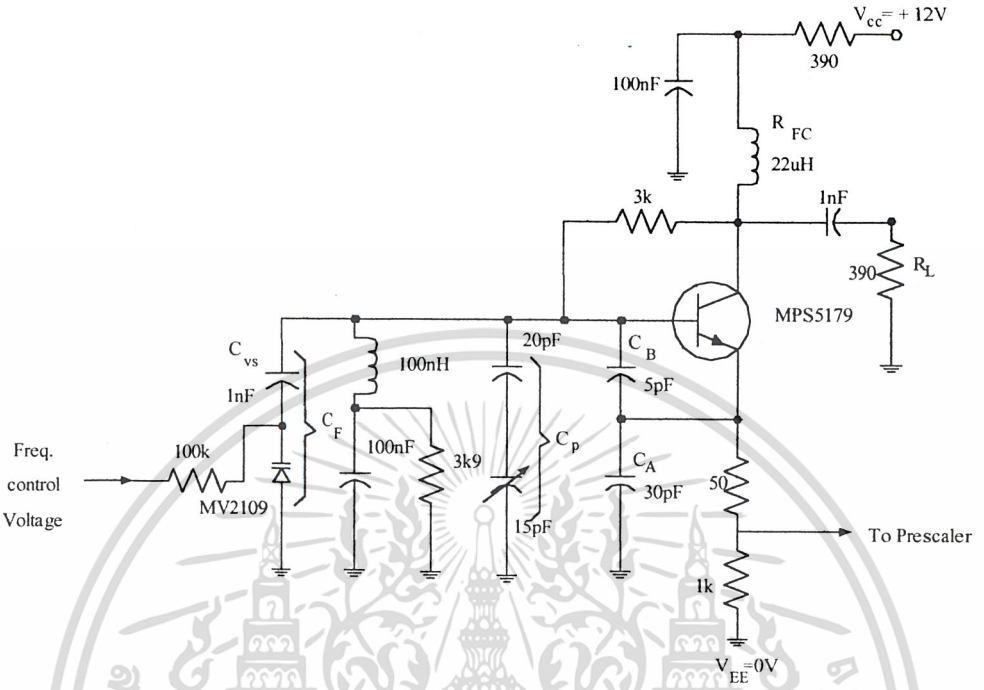
Block Diagram



รูปที่ 4.10 แสดง Block Diagram ของ PLL II

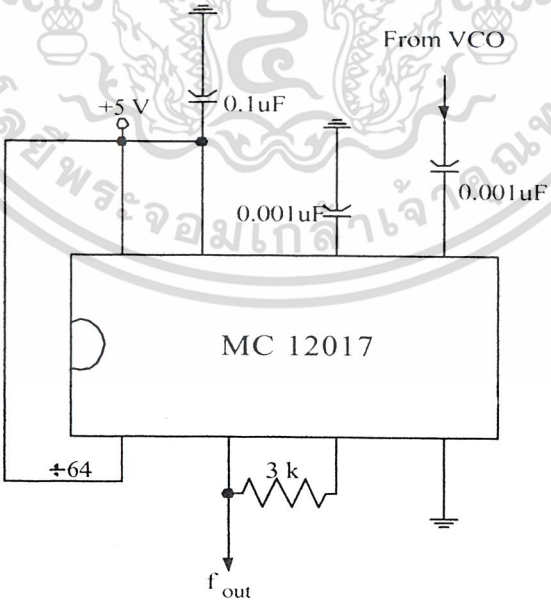
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจร VCO (65.792 MHz– 95.488MHz)



รูปที่ 4.11 แสดงวงจร VCO 65.792 MHz– 95.488MHz

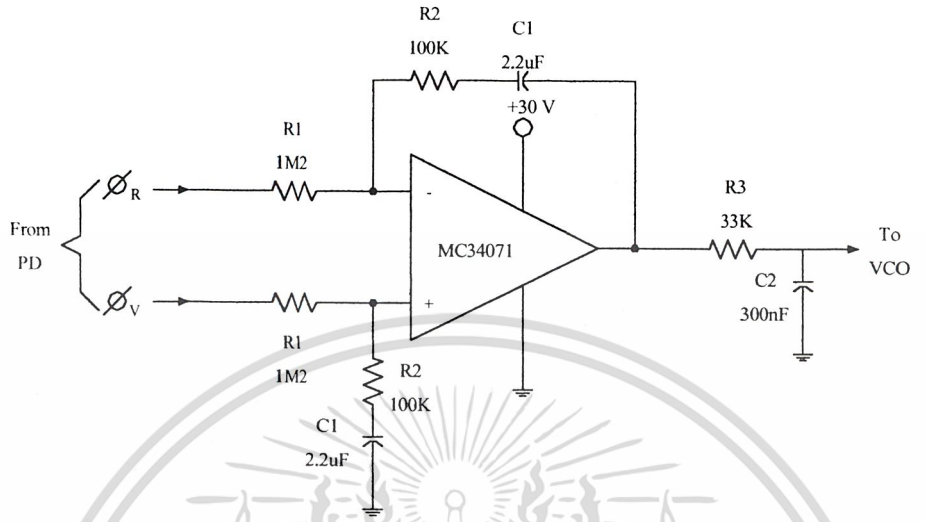
4.8 Dual Modulus Prescaler



รูปที่ 4.12 แสดงวงจร Dual Modulus Prescaler หาร 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 Phase Lock Loop LPF II



รูปที่ 4.13 แสดงวงจร PLL LPF II ที่ทำหน้าที่ควบคุมแรงดันของวงจร VCO 65.792 MHz–95.488MHz

4.9.1 การออกแบบ Phase Locked Loop Low Pass Filter 2

เมื่อ $\omega_{P2} >> \omega_Z$

$$F(S) = -\frac{\omega_{P2}}{R_1 C_1 \omega_Z} \cdot \frac{S+\omega_Z}{S(S+\omega_{P2})} \tag{4.30}$$

$$\omega_{P1} = 0$$

$$\tau_1 = R_1 C_1 = \frac{K}{\overline{N}_T \omega_n^2} \tag{4.31}$$

$$K = K_d \cdot K_{VCO} \tag{4.32}$$

PD Type: 2 state PFD

$$\Delta v_{out\,PD} = 4.8\ \text{V} \tag{4.33}$$

$$K_d = \frac{\Delta v_{out\,PD}}{2\pi} \tag{4.34}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (4.33) ลงในสมการ (4.34) จะได้

K_d= 0.76394 V/Rad . (4.35)

N_T = 16,448 – 23,872

$$N_{mean} : \overline{N} = \sqrt{N_{T\,MAX} \cdot N_{T\,\mathrm{MIN}}} = 19{,}815 \quad (4.36)$$

$f_{VCO\,\mathrm{MIN}} = 62.80$ MHZ ที่แรงดัน VCO เท่ากับ 0.2 V

$f_{VCO\,\mathrm{MAX}} = 98.50$ MHZ ที่แรงดัน VCO เท่ากับ 28.0 V

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta v_{VCO}} \approx 8.0687 \text{ M}\frac{\text{Rad/Sec}}{\text{V}} \quad (4.37)$$

แทนค่าสมการ (4.35)และสมการ (4.37) ลงในสมการ (4.32) จะได้

K = 6.164 Msec^{-1} (4.38)

กำหนดให้

Pull out Range: $\Delta\omega_{PO} \approx 200\ Rad/Sec$ (4.39)

Damping: $\varsigma \approx 1.14$ (4.40)

Natural Frequency: ω_n

$$\omega_n \approx \frac{\Delta\omega_{\mathrm{PO}}}{(11.55(\varsigma + 0.5))} \quad (4.41)$$

แทนสมการ (4.39) และสมการ (4.40) ลงในสมการ (4.41) จะได้

$$\omega_n = 10.559 \quad \text{Rad/Sec} \quad (4.42)$$

Fast Lock Range: $\Delta\omega_L$ at PD $= 4\pi\varsigma\omega_n = 151.26\ Rad/Sec$ (4.22)

$$\text{Fast Lock Range Time} \approx \frac{2\pi}{\omega_n} \approx 0.59508 \text{ Sec} \quad (4.43)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (4.36), (4.38) และสมการ (4.42) ลงในสมการ (4.31) จะได้

$$\tau_1 = R_1 C_1 = 2.7904 \text{ Sec} \tag{4.44}$$

ให้ C_1= 2.2 uF

$$R_1 = \frac{\tau_1}{C_1} = 1.2684\,\text{M}\Omega \approx 1.2\,\text{M}\Omega \tag{4.45}$$

$$\tau_2 = R_2 C_1 = \frac{2\varsigma}{\omega_n} \tag{4.46}$$

แทนสมการ (4.40) และสมการ (4.42) ลงในสมการ (4.46) จะได้

$$\tau_2 = R_2 C_1 = 0.21593 \text{ Sec} \tag{4.47}$$

$$R_2 = \frac{\tau_2}{C_1} = 98.154\,\text{K}\Omega \approx 100\,\text{K}\Omega \tag{4.48}$$

$$\omega_Z = \frac{1}{R_2 C_1} = 4.5455 \text{ Rad/Sec} \tag{4.49}$$

$$10\omega_Z \le \omega_{P2} \le 0.1\omega_{ref}$$

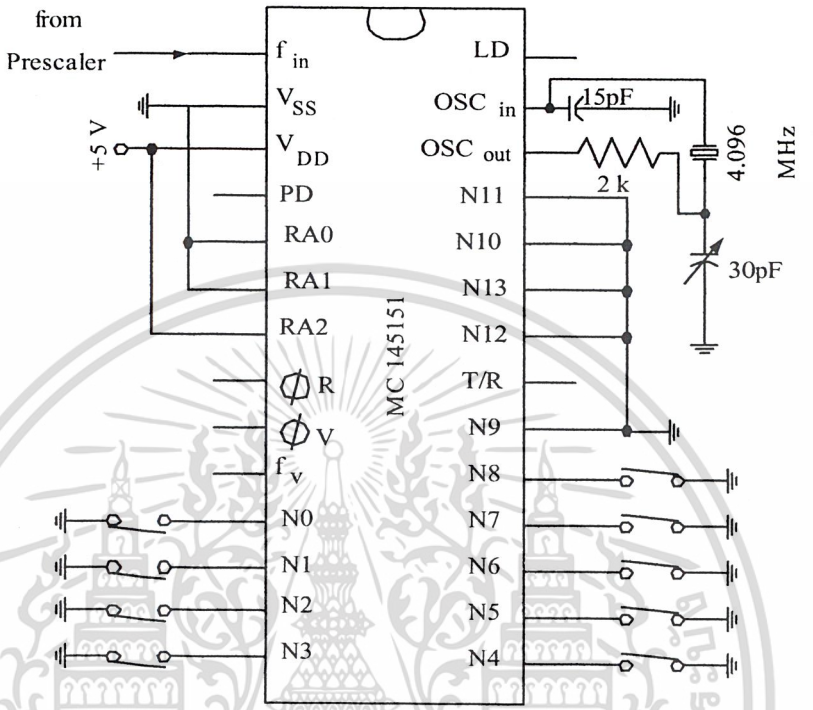
กำหนดให้ $\omega_{P2} = 100$ Rad/Sec

และ C_2 =0.3uF

$$R_3 = \frac{1}{\omega_{P2} C_2} = 33.33\,\text{K}\Omega \approx 33K$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 MC 145151 II



รูปที่ 4.14 แสดงลักษณะการต่อใช้งาน IC MC145151

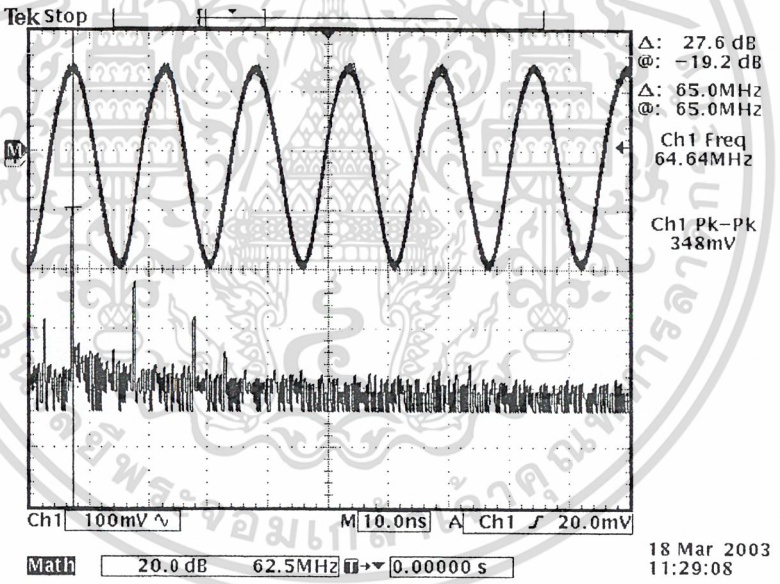
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

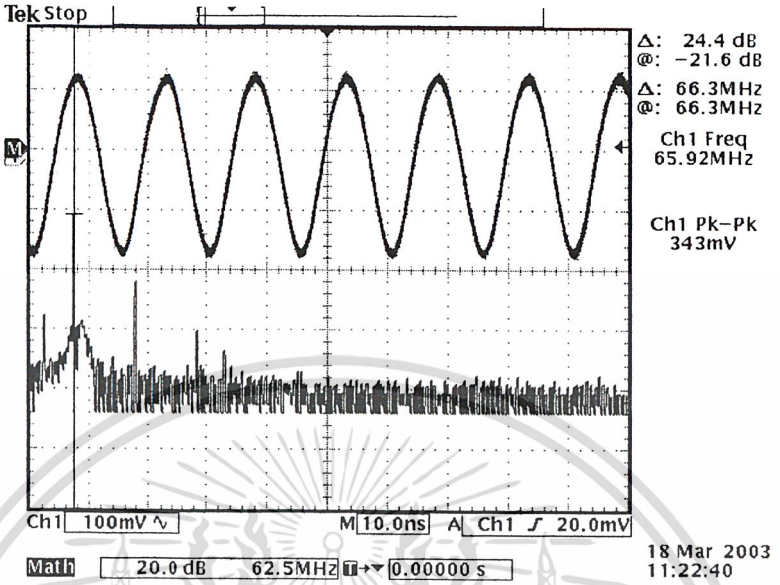
ตาราง 5.1 แสดงความสัมพันธ์ของแรงดัน VCO (65.280-65.535MHz), ความถี่และแอมปลิจูด

แรงดัน VCO (V)	Frequency output(MHz)	Amplitude(Vpp)
2	64.64 (ขา Collector)	348m
10	65.92 (ขา Collector)	343m
2	64.67 (ขา Emitter)	392m
10	65.93 (ขา Emitter)	442m

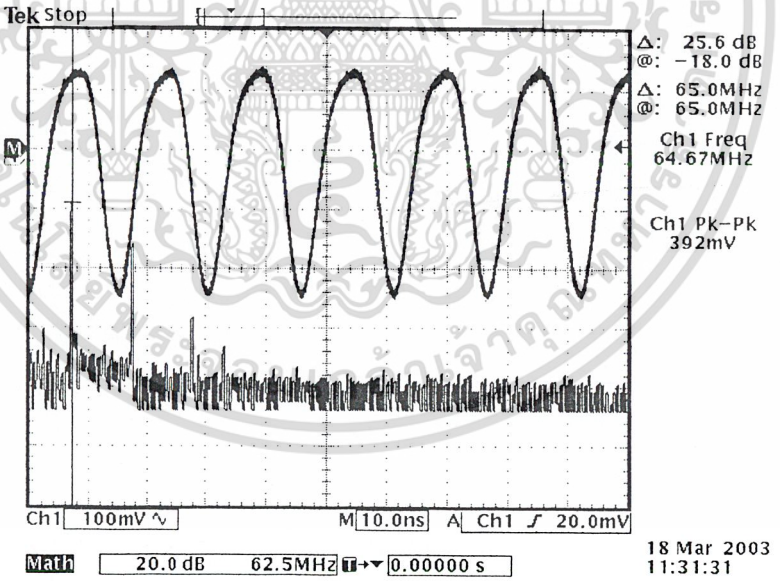


รูปที่ 5.1 แสดงลักษณะของสัญญาณที่วัดจากขา Collector ขณะที่แรงดัน VCO เท่ากับ 2 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

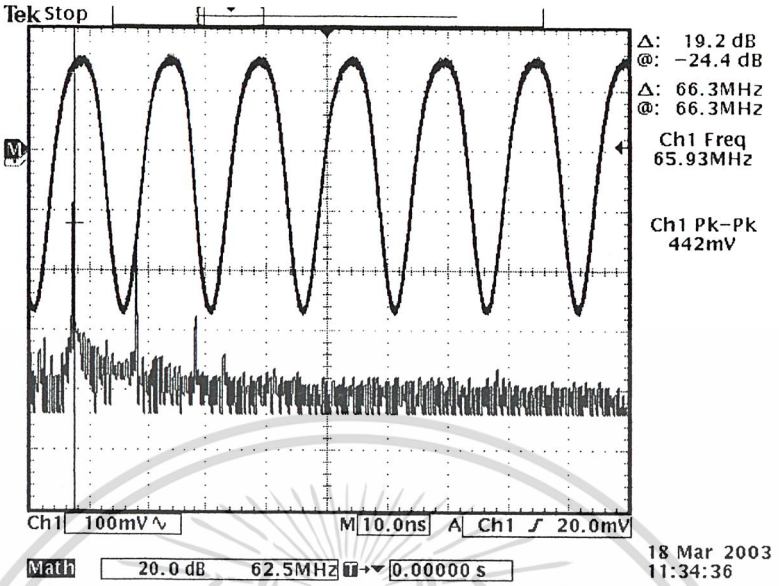


รูปที่ 5.2 แสดงลักษณะของสัญญาณที่วัดจากขา Collector ขณะที่แรงดัน VCO เท่ากับ 10 V



รูปที่ 5.3 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 2 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

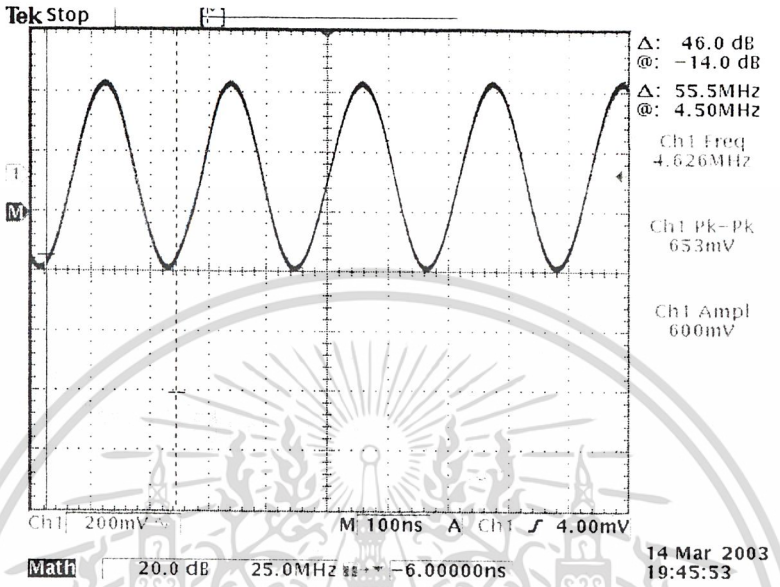


รูปที่ 5.4 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 10 V

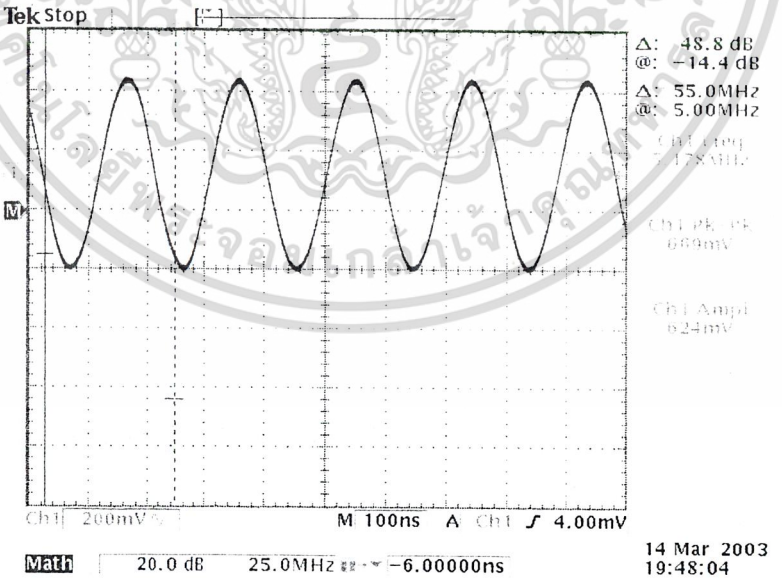
ตาราง 5.2 แสดงความสัมพันธ์ของแรงดัน VCO, ความถี่มิกเซอร์และแอมปลิจูดของแรงดัน (65.280-65.535MHz รวมกับ OSC 60.0MHz)

แรงดัน VCO (V)	ความถี่ Mixer (MHz)	Amplitude (Vpp)
2	4.626	653m
3	4.962	680m
4	5.178	669m
5	5.486	672m
6	5.674	658m
7	5.869	657m
8	6.093	633m
9	6.232	613m
10	6.298	616m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

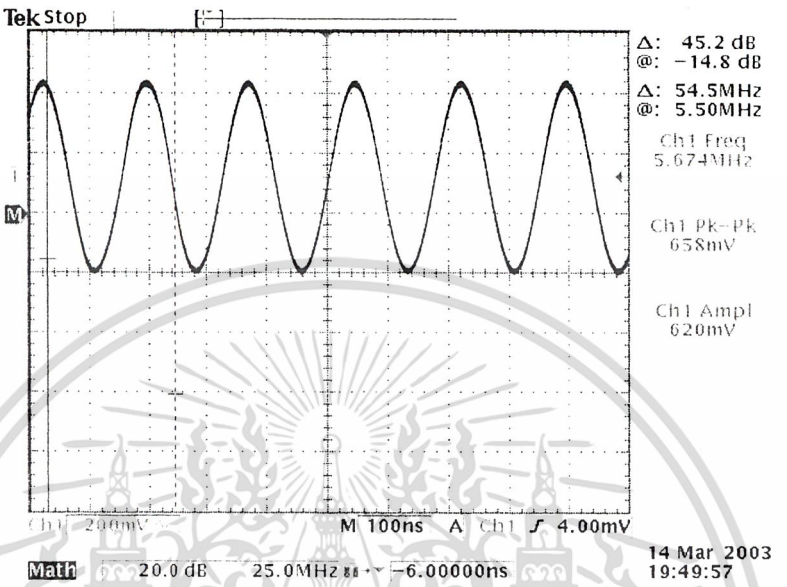


รูปที่ 5.5 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 2V

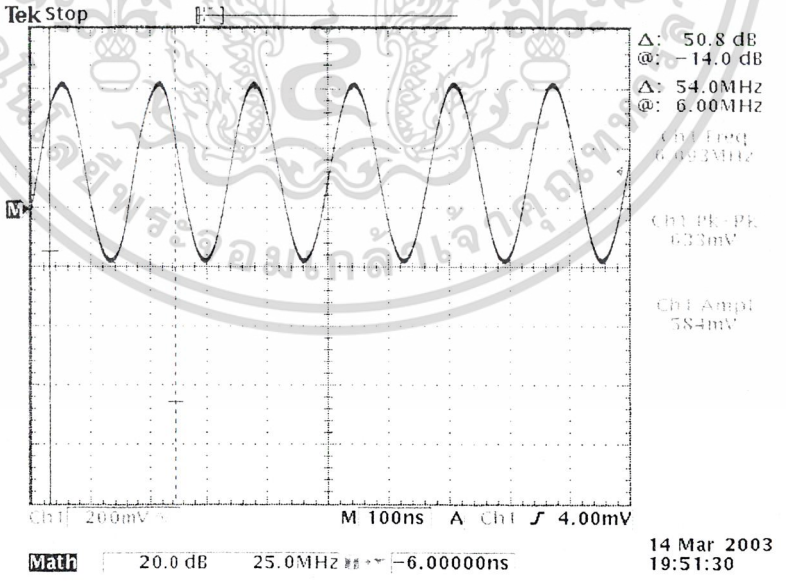


รูปที่ 5.6 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 4V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

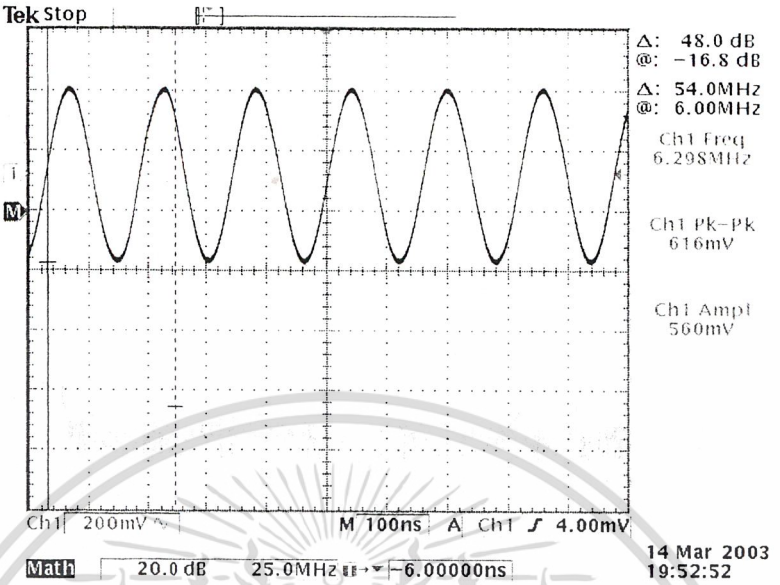


รูปที่ 5.7 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 6V



รูปที่ 5.8 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 8V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงลักษณะของสัญญาณที่มิกเซอร์แล้วขณะที่แรงดัน VCO เท่ากับ 10V

ตาราง 5.3 แสดงการเปลี่ยนค่าหาร N ที่มีผลต่อความถี่เอาท์พุตของวงจร VCO (65.280 – 65.535MHz)

ค่า N	หลักเลขฐานสอง													Freq. (MHz) (วัด)	Freq. (MHz) (คำนวณ)
5280	1	0	1	0	0	1	0	1	0	0	0	0	0	65.28	65.28
5290	1	0	1	0	0	1	0	1	0	1	0	1	0	-	65.290
5300	1	0	1	0	0	1	0	1	1	0	1	0	0	-	65.300
5310	1	0	1	0	1	0	0	0	0	1	1	1	0	-	65.310
5320	1	0	1	0	0	1	1	0	0	1	0	0	0	65.30	65.320
5330	1	0	1	0	1	1	0	0	1	1	0	1	0	-	65.330
5340	1	0	1	0	0	1	1	0	1	1	1	0	0	-	65.340
5350	1	0	1	0	0	1	1	1	0	0	1	1	0	-	65.350
5360	1	0	1	0	0	1	1	1	1	0	0	0	0	65.34	65.360
5370	1	0	1	0	0	1	1	1	1	1	0	1	0	-	65.370
5380	1	0	1	0	1	0	0	0	0	0	1	0	0	-	65.380

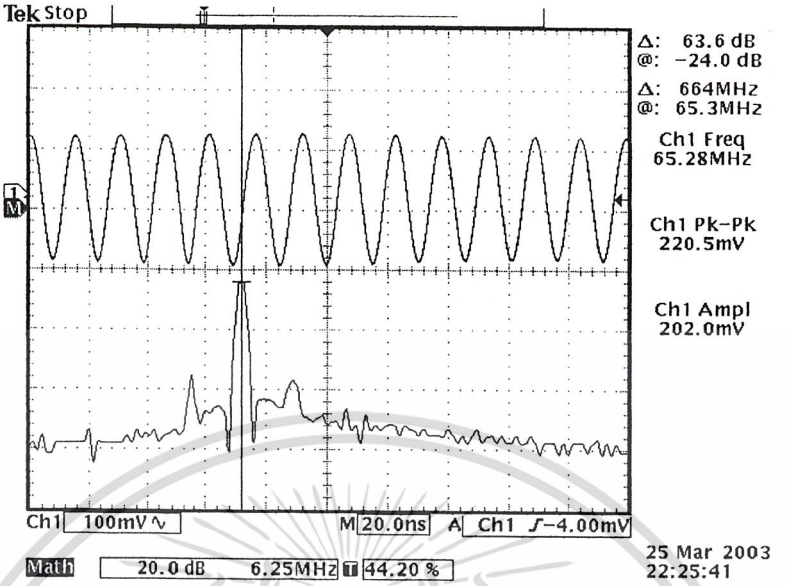
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 5.3 แสดงการเปลี่ยนค่าหาร N ที่มีผลต่อความถี่เอาท์พุตของวงจร VCO(65.280 – 65.535MHz)

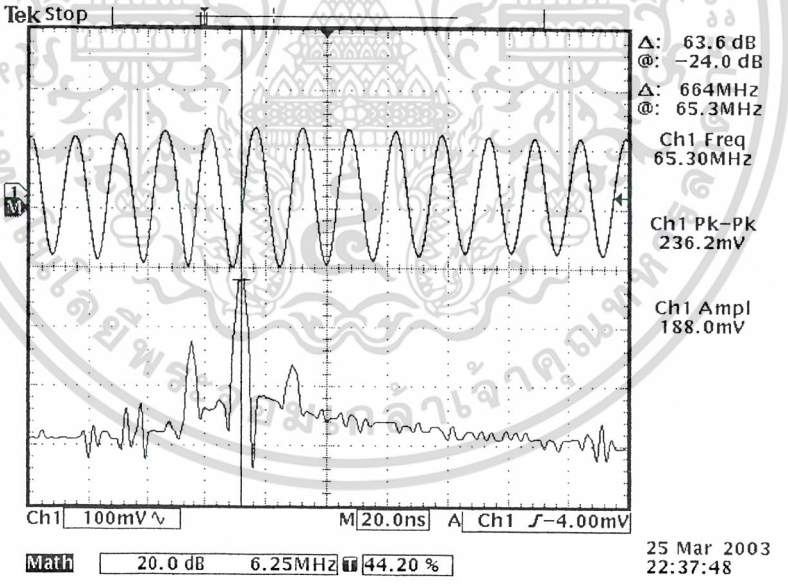
ค่า N	หลักเลขฐานสอง													Freq. (MHz) (วัด)	Freq. (MHz) (คำนวณ)
5390	1	0	1	0	1	0	0	0	0	1	1	1	0	-	65.390
5400	1	0	1	0	1	0	0	0	1	1	0	0	0	-	65.400
5410	1	0	1	0	1	0	0	1	0	0	0	1	0	65.430	65.410
5420	1	0	1	0	1	0	0	1	0	1	1	0	0	-	65.420
5430	1	0	1	0	0	1	1	0	1	1	1	0	0	-	65.430
5440	1	0	1	0	1	0	1	0	0	0	0	0	0	-	65.440
5450	1	0	1	0	1	0	1	0	0	1	0	1	0	-	65.450
5460	1	0	1	0	1	0	1	0	1	0	1	0	0	-	65.460
5470	1	0	1	0	1	0	1	0	1	1	1	1	0	65.470	65.470
5480	1	0	1	0	1	0	1	1	0	1	0	0	0	-	65.480
5490	1	0	1	0	1	0	1	1	1	0	0	1	0	-	65.490
5500	1	0	1	0	1	0	1	1	1	1	1	0	0	-	65.500
5510	1	0	1	0	1	1	0	0	0	0	1	1	0	-	65.510
5520	1	0	1	0	1	1	0	0	1	0	0	0	0	-	65.520
5530	1	0	1	0	1	1	0	0	1	1	0	1	0	-	65.530
5535	1	0	1	0	1	1	0	0	1	1	1	1	1	65.530	65.535

* เนื่องจากเครื่องมือวัดมีค่าไม่ละเอียดพอจึงไม่สามารถวัดค่าความถี่ได้ทุกความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

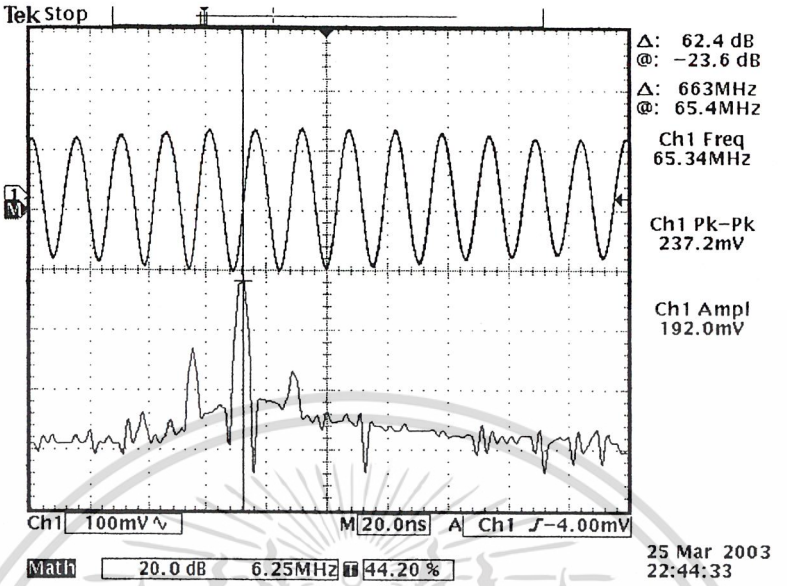


รูปที่ 5.10 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5280

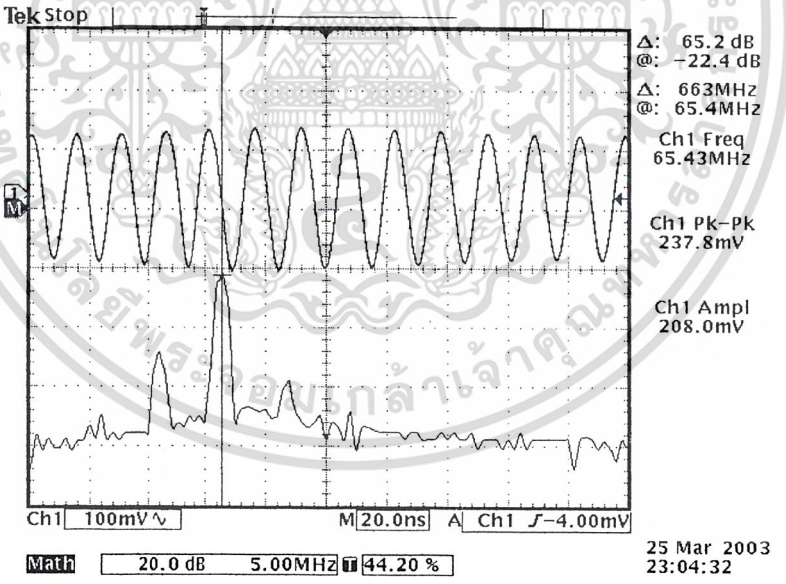


รูปที่ 5.11 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5320

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

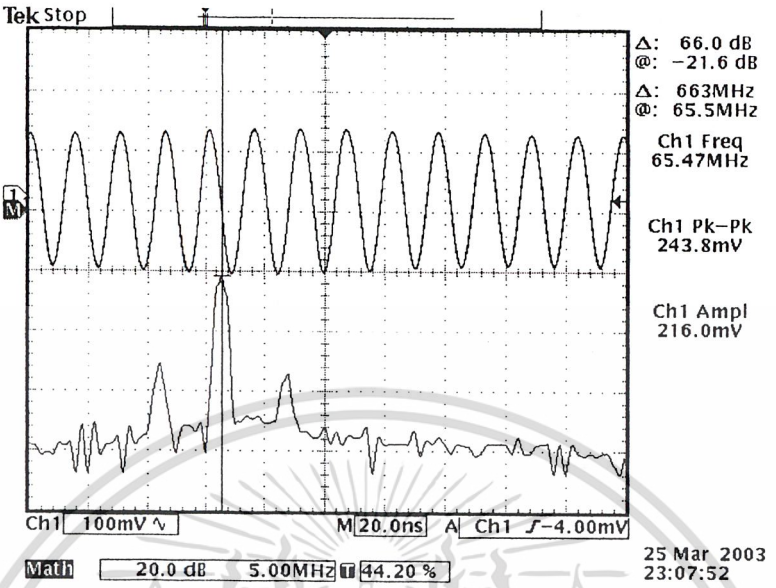


รูปที่ 5.12 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5360

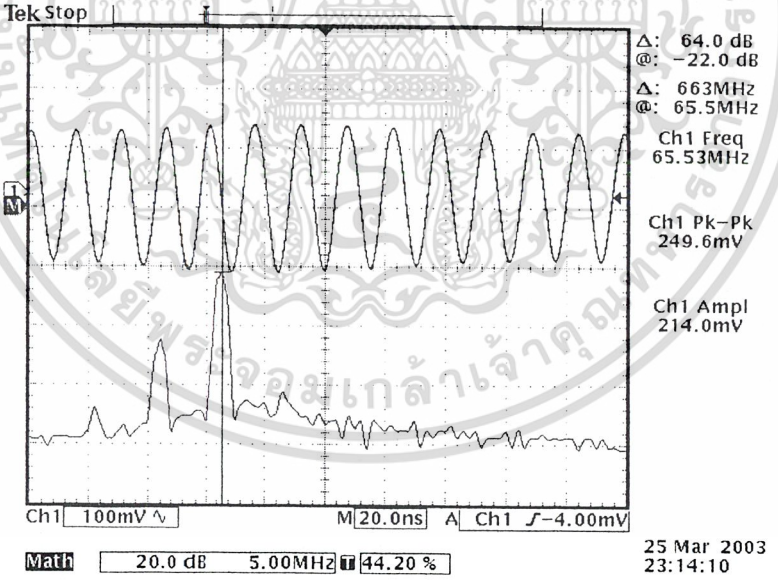


รูปที่ 5.13 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5410

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5470



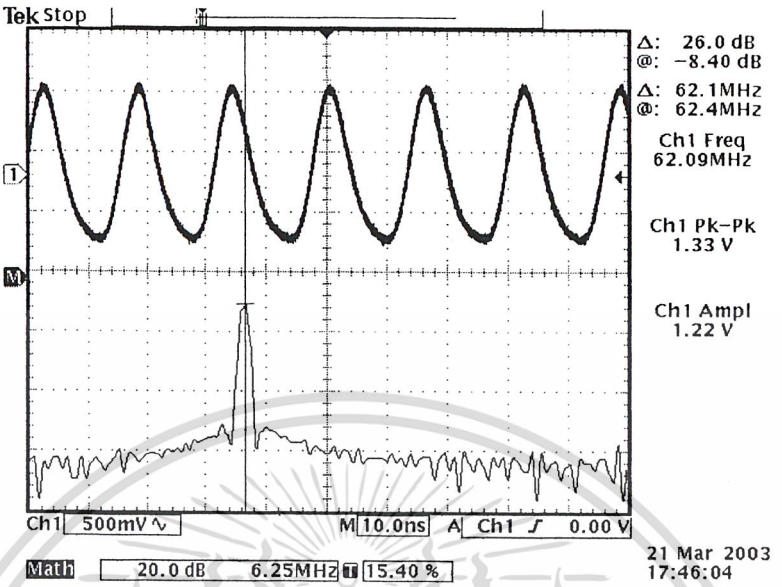
รูปที่ 5.15 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 5535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

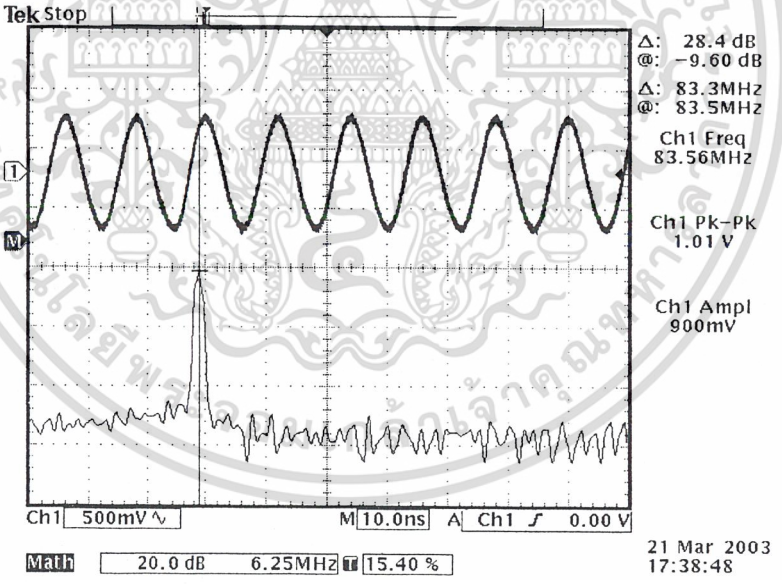
ตาราง 5.4 แสดงความสัมพันธ์ของแรงดัน VCO(65.792 –95.488MHz), ความถี่และแอมปลิจูด

VCO (V)	Frequency (MHz)	Amplitude (Vpp)
28	98.9	0.32
27	98.5	0.34
26	98.3	0.352
25	97.9	0.325
24	97.5	0.356
23	97.1	0.359
22	97.0	0.413
21	96.6	0.436
20	96.3	0.454
19	95.9	0.485
18	95.5	0.513
17	95	0.556
16	94.4	0.592
15	93.5	0.631
14	93.0	0.68
13	92.0	0.731
12	91.1	0.781
11	90.0	0.829
10	88.9	0.865
9	87.5	0.961
8	86.3	0.972
7	85.0	0.984
6	83.5	1.01
5	81.5	1.07
4	79.5	1.09
3	76.8	1.17
2	73.4	1.31
1	68.5	1.41
0.2	62.4	1.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

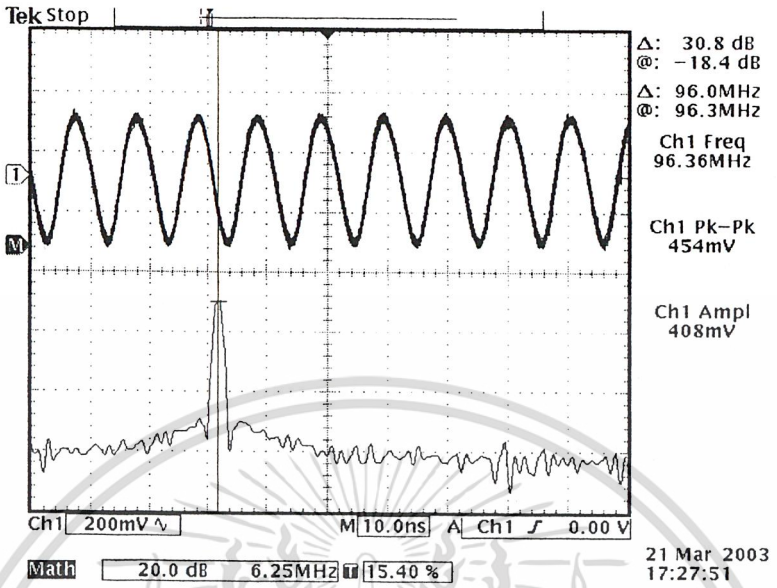


รูปที่ 5.16 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 0.2 V

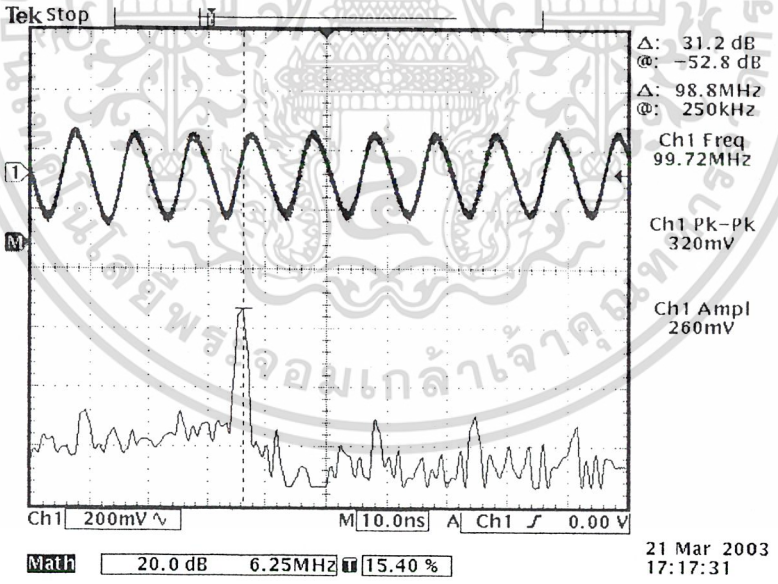


รูปที่ 5.17 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 6 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

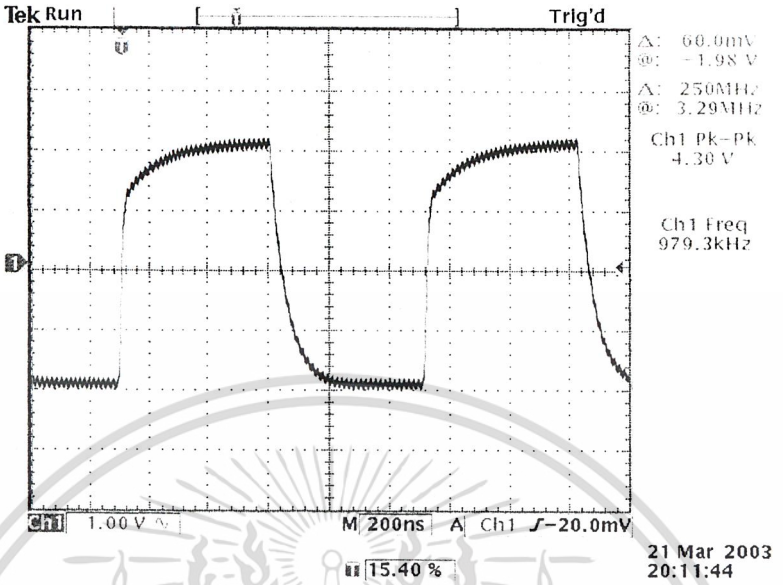


รูปที่ 5.18 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 20 V

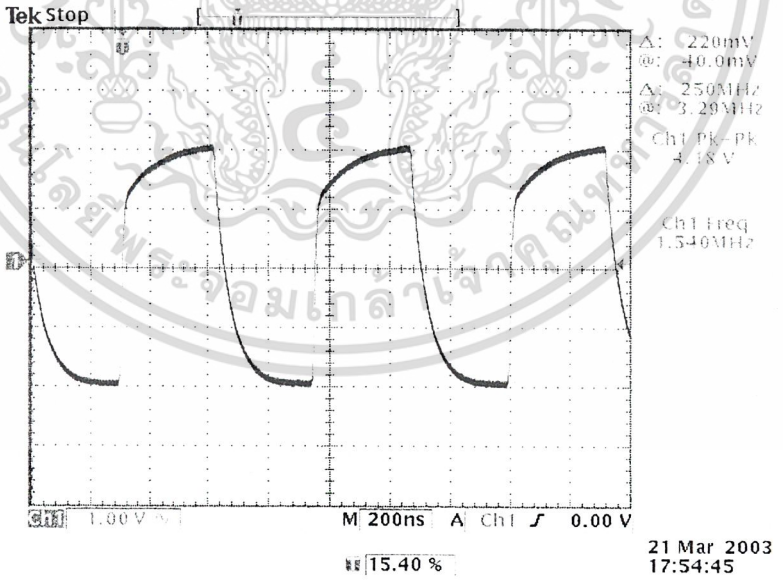


รูปที่ 5.19 แสดงลักษณะของสัญญาณที่วัดจากขา Emitter ขณะที่แรงดัน VCO เท่ากับ 28 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.20 แสดงลักษณะสัญญาณที่วัดจากเอาท์พุต IC 12017 ซึ่งจะนำความถี่จากวงจร VCO มาหาร 64 ขณะที่แรงดันอินพุตของวงจร VCO เท่ากับ 0.2 V



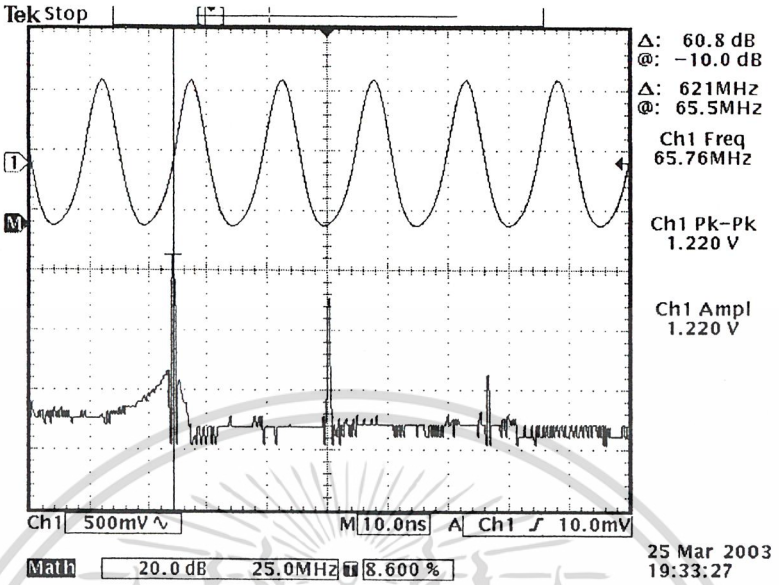
รูปที่ 5.21 แสดงลักษณะสัญญาณที่วัดจากเอาท์พุต IC 12017 ซึ่งจะนำความถี่จากวงจร VCO มาหาร 64 ขณะที่แรงดันอินพุตของวงจร VCO เท่ากับ 28 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

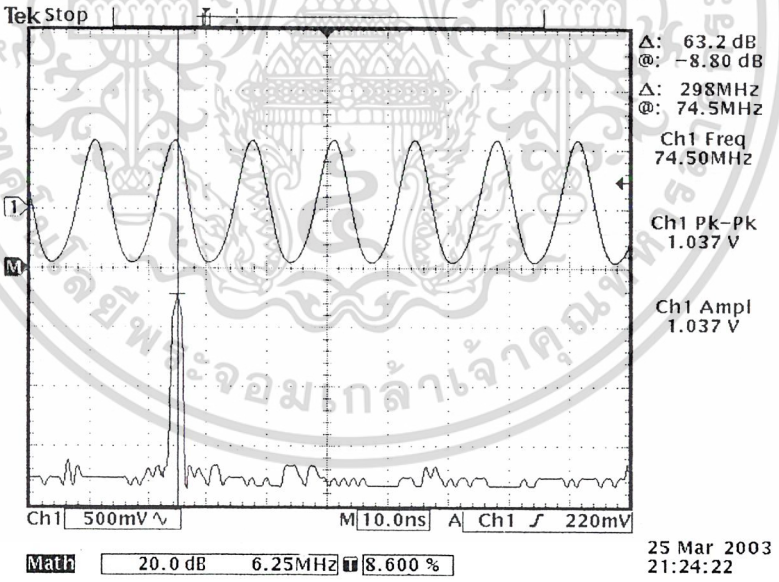
ตาราง 5.5 แสดงการเปลี่ยนค่าหาร N ที่มีผลต่อความถี่เอาท์พุตของวงจร VCO (65.792 – 95.488MHz)

ค่า N	หลักเลขฐานสอง									Freq.(MHz) (วัด)	Freq.(MHz) (คำนวณ)
257	1	0	0	0	0	0	0	0	1	65.76	65.79
261	1	0	0	0	0	0	1	0	1	66.81	66.81
267	1	0	0	0	0	1	0	1	1	68.33	68.35
273	1	0	0	0	1	0	0	0	1	69.91	69.88
279	1	0	0	0	1	0	1	1	1	71.43	71.42
283	1	0	0	0	1	1	0	1	1	72.45	72.44
291	1	0	0	1	0	0	0	1	1	74.50	74.49
297	1	0	0	1	0	1	0	0	1	76.00	76.03
303	1	0	0	1	0	1	1	1	1	77.57	77.56
307	1	0	0	1	1	0	0	1	1	78.58	78.59
311	1	0	0	1	1	0	1	1	1	79.61	79.61
315	1	0	0	1	1	1	0	1	1	80.65	80.64
319	1	0	0	1	1	1	1	1	1	81.63	81.66
323	1	0	1	0	0	0	0	1	1	82.70	82.68
327	1	0	1	0	0	0	1	1	1	83.70	83.71
331	1	0	1	0	0	1	0	1	1	84.74	84.73
335	1	0	1	0	0	1	1	1	1	85.75	85.76
339	1	0	1	0	1	0	0	1	1	86.81	86.78
343	1	0	1	0	1	0	1	1	1	87.82	87.80
347	1	0	1	0	1	1	0	1	1	88.84	88.43
351	1	0	1	0	1	1	1	1	1	89.86	89.85
357	1	0	1	1	0	0	1	0	1	91.39	91.39
361	1	0	1	1	0	1	0	0	1	92.37	92.41
369	1	0	1	1	1	0	0	0	1	94.47	94.47
373	1	0	1	1	1	0	1	0	1	95.51	95.48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

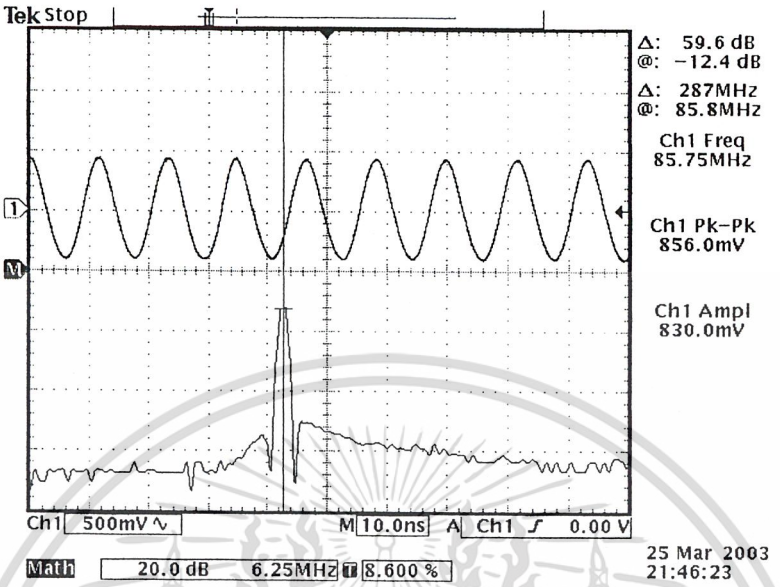


รูปที่ 5.22 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 257

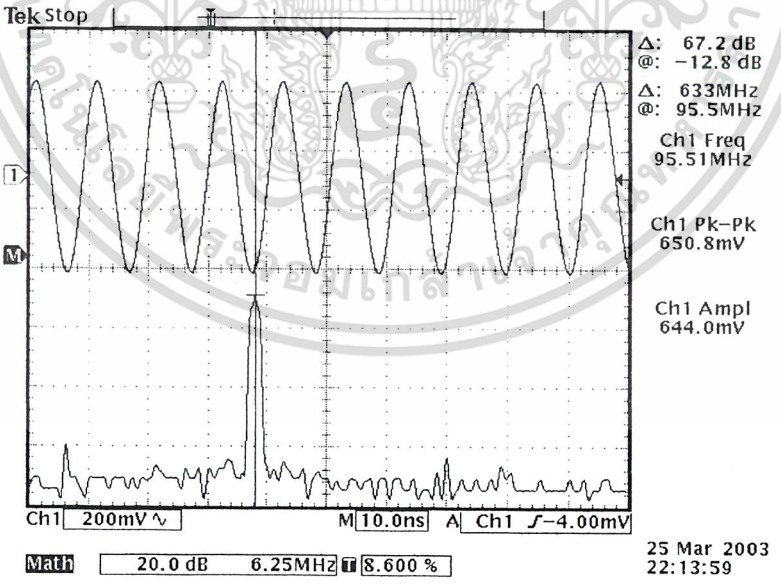


รูปที่ 5.23 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 291

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

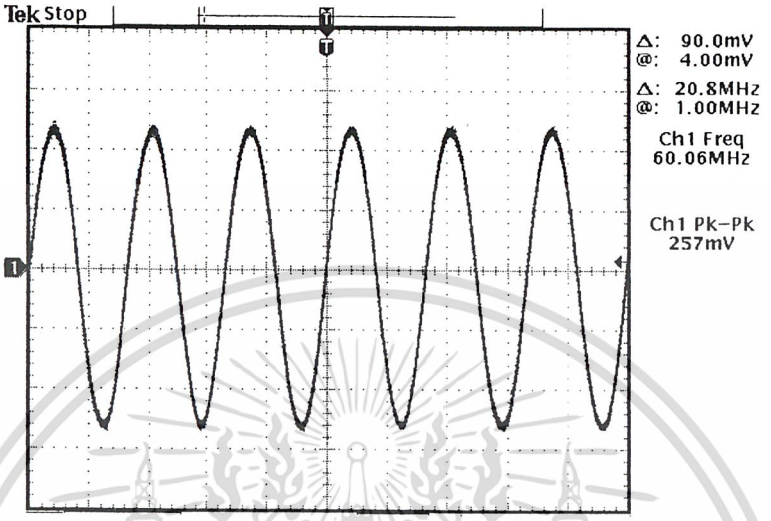


รูปที่ 5.24 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 335

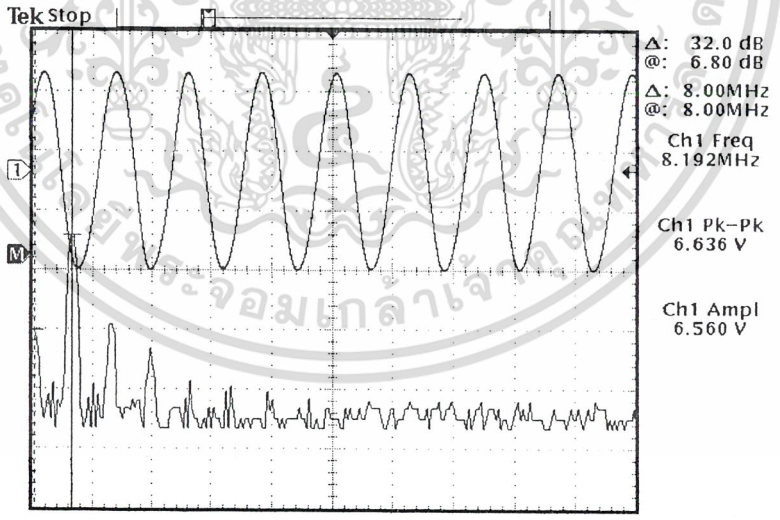


รูปที่ 5.25 แสดงลักษณะของสัญญาณเอาท์พุตของวงจร VCO เมื่อปรับค่าหาร N เท่ากับ 373

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

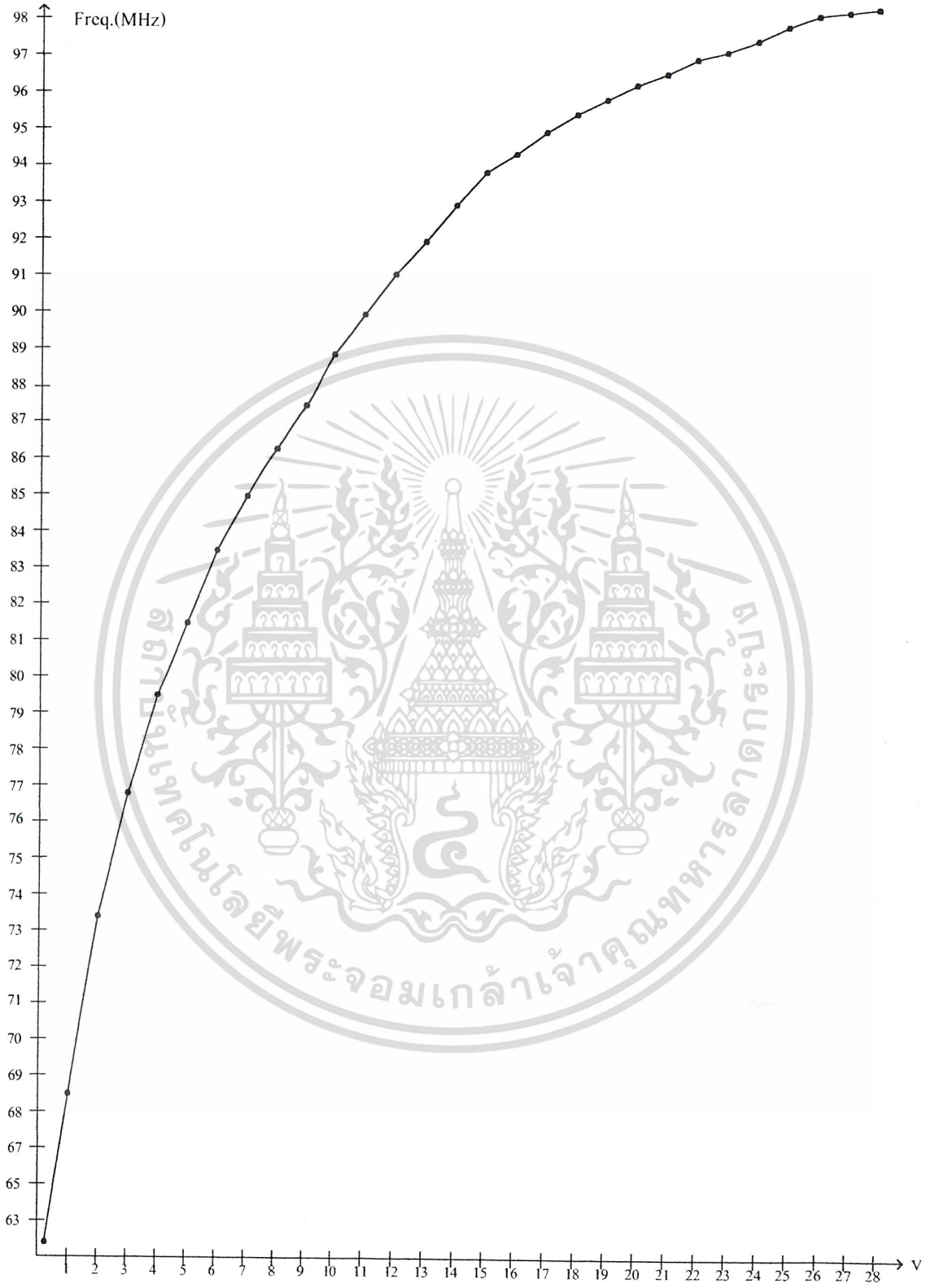


รูปที่ 5.26 แสดงลักษณะของสัญญาณเอาท์พุตของวงจรออสซิลเลเตอร์ 60.0MHz



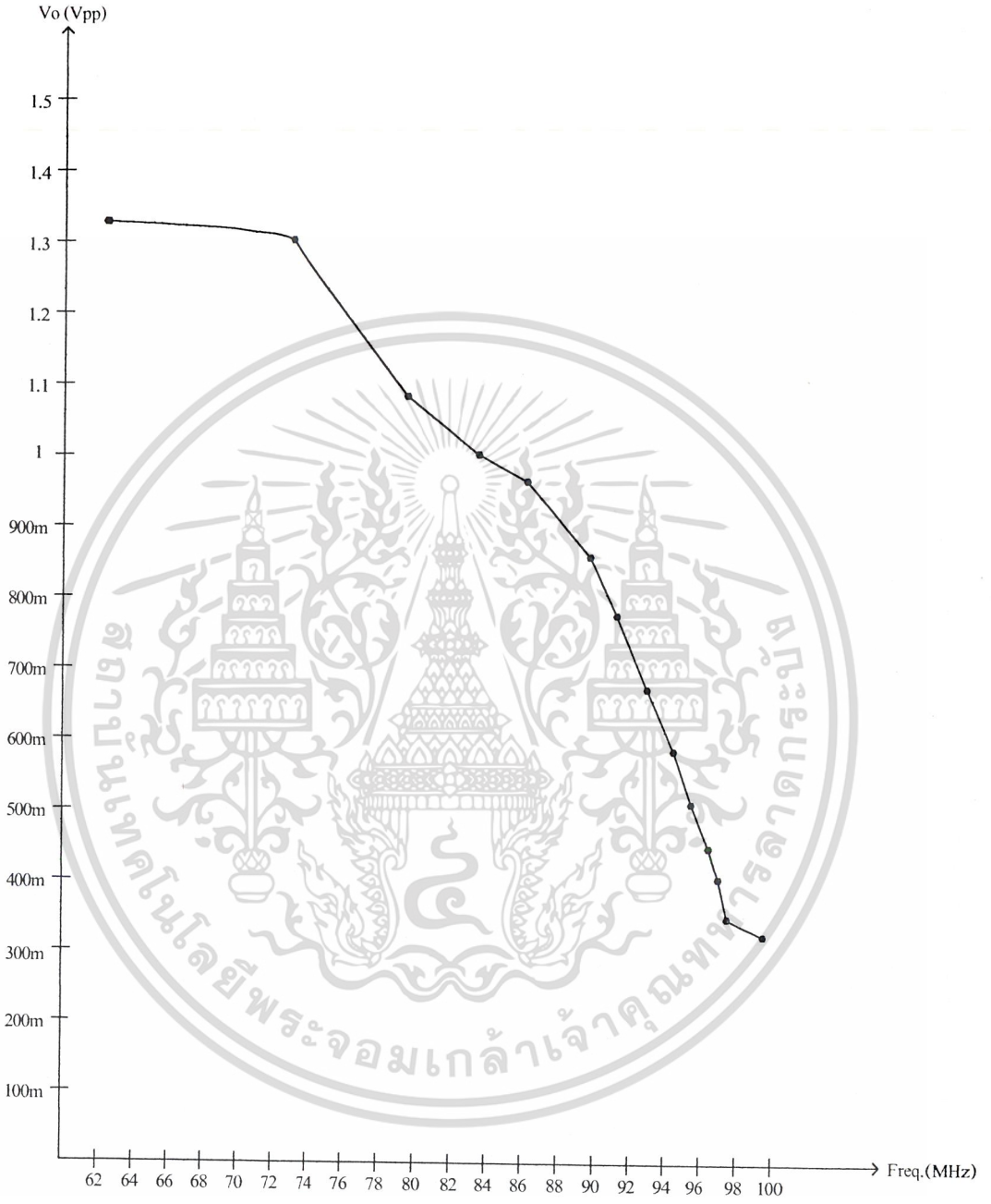
รูปที่ 5.27 แสดงลักษณะของสัญญาณเอาท์พุตของวงจรออสซิลเลเตอร์ 8.192MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



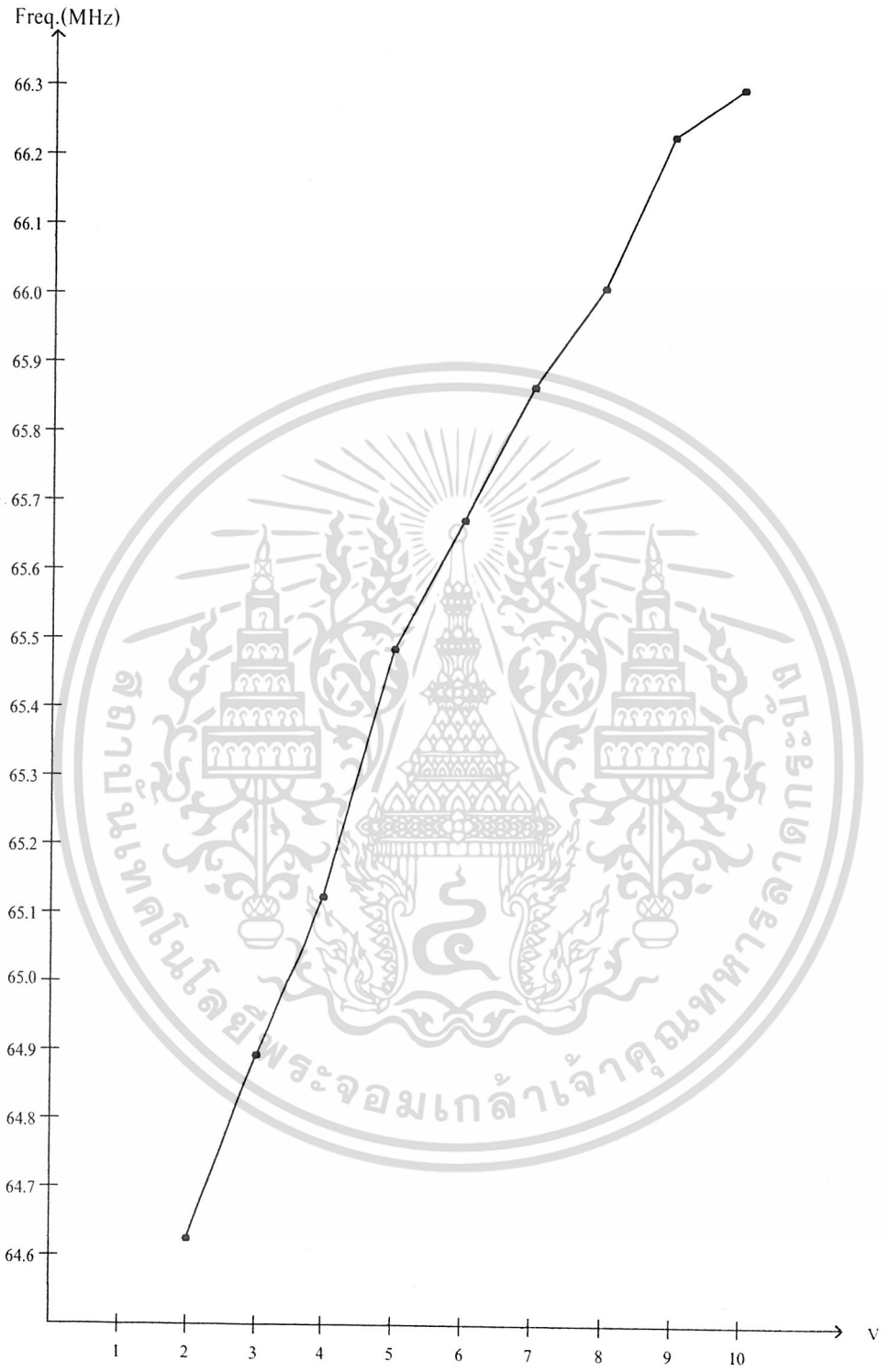
รูปที่ 5.28 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน VCO กับความถี่เอาท์พุต(65.792-95.488MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



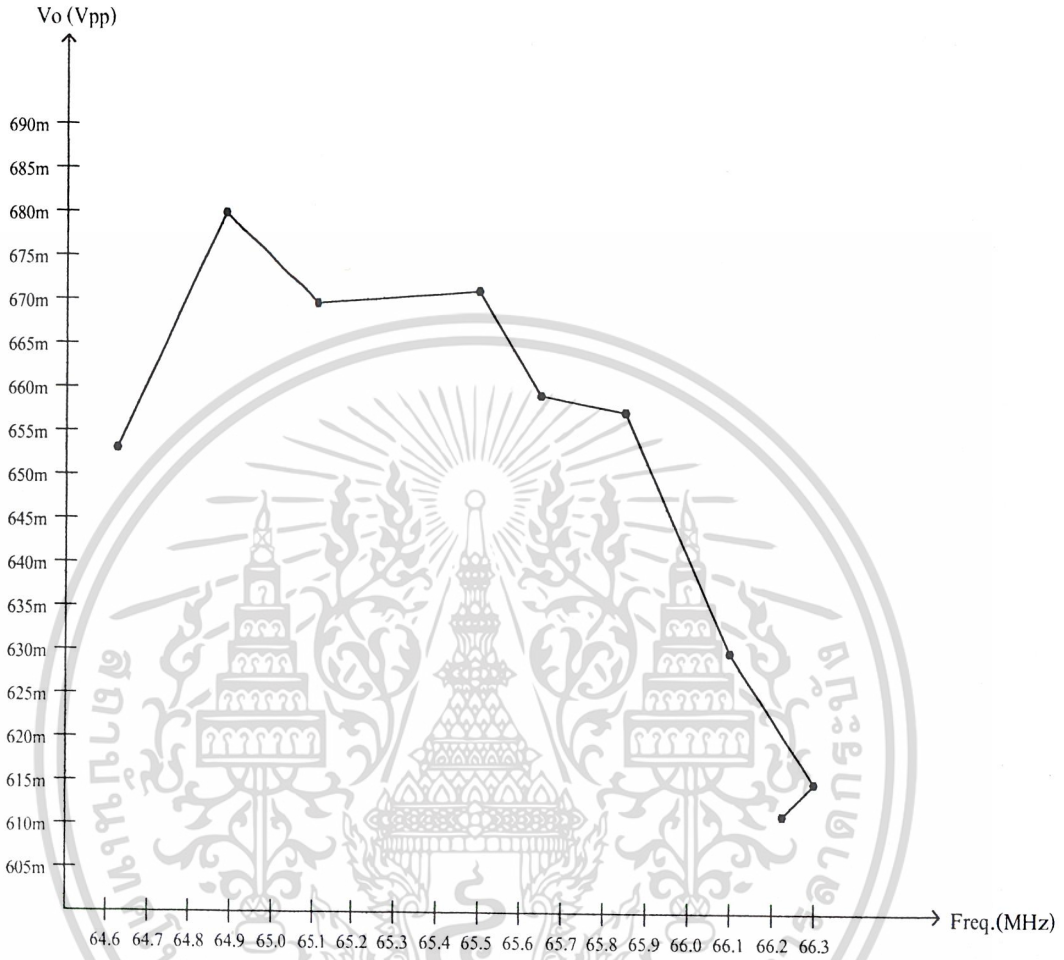
รูปที่ 5.29 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตกับแอมปลิจูดของวงจร VCO (65.792-95.488MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.30 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน VCO กับความถี่เอาท์พุต(65.280-65.535MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.31 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตกับแอมปลิจูดของวงจร VCO (65.280-65.535MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์โครงงาน

ในการทำโครงงานนี้เป็นงานที่เกี่ยวข้องกับความถี่สูงจึงจำเป็นจะต้องคำนึงถึงปัญหาต่างๆที่เกิดขึ้นในหลายๆปัจจัยเข้ามาเกี่ยวข้องมากพอสมควร ไม่ว่าจะเป็นเรื่องของการออกแบบลายวงจรและค่าของตัวอุปกรณ์ เช่น ถ้าออกแบบลวดลายวงจรไม่ดีก็จะทำให้เกิดค่าแฝงของตัวอุปกรณ์ อันได้แก่ค่าของตัวเหนี่ยวนำแฝงและค่าความจุแฝงเป็นผลทำให้วงจร VCO ไม่สามารถผลิตความถี่ในช่วงที่ต้องการได้จึงต้องทำการแก้ไขปรับปรุงวงจรโดยการเปลี่ยนค่าอุปกรณ์ คือค่าของตัวเก็บประจุและค่าของตัวเหนี่ยวนำจนได้ความถี่ในช่วงที่ต้องการ เมื่อทำการวัดเอาท์พุตที่ขาคอลเลคเตอร์ของทรานซิสเตอร์ลักษณะของสัญญาณที่ได้ไม่เป็นสัญญาณซายน์ที่บริสุทธิ์เป็นผลมาจากฮาโมนิกส์ข้างเคียงซึ่งจะมีผลต่อภาคที่จะส่งต่อไปคือภาคหารความถี่(หาร 64)ที่จะทำงานผิดพลาดไปด้วยจึงทำการแก้ไขโดยนำสัญญาณเอาท์พุตออกที่ขาอิมิตเตอร์แทนแต่แอมปลิจูดของสัญญาณที่ได้จะลดลงโดยเฉพาะในย่านความถี่สูง(95.488MHz)ต้องแน่ใจว่าขนาดแอมปลิจูดของสัญญาณมีขนาดมากพอที่จะทำให้วงจรหารความถี่(หาร 64)สามารถที่จะหารความถี่ได้ถูกต้องตลอดย่านความถี่(65.792-95.488MHz) ในการตรวจสอบการทำงานระบบเฟสล็อกลูป(65.792-95.488MHz) ที่ปรับค่าหาร N ได้ระดับละ256KHz สามารถทำงานได้เป็นอย่างดี ในระบบเฟสล็อกลูปส่วนที่สอง(65.280-65.535MHz)สามารถปรับค่าหาร N ได้ระดับละ 1KHz แต่ไม่สามารถวัดค่าที่ละเอียดได้เนื่องจากเครื่องมือไม่ละเอียดพอ กราวนด์ของวงจรควรจะมีขนาดของพื้นที่ที่ใหญ่และกว้างมากพอสมควรเพราะจะเป็นการลดสัญญาณรบกวนจากภายนอกได้ ส่วนในเรื่องของข้อมูลไอซีต้องทำความเข้าใจให้มาก จะต้องรู้การทำงานและข้อจำกัดของไอซีแต่ละตัว การทำโครงงานนี้มีข้อจำกัดในเรื่องของอุปกรณ์ เช่น ไอซีและคริสตอลผลิตความถี่ บางค่าไม่มีขายในท้องตลาด จึงจำเป็นต้องมีการประยุกต์ใช้งานของอุปกรณ์ที่มีอยู่ ซึ่งทำให้ผลที่ได้มีความผิดพลาดเกิดขึ้นบ้าง

จากการทำโครงงานนี้ทำให้ได้ความรู้หลายอย่าง ไม่ว่าจะเป็นเรื่องของการทำงานของเฟสล็อก-ลูป การทำงานของอุปกรณ์ต่างๆ ตลอดจนได้รู้จักแก้ไขปัญหาต่างๆที่เกิดขึ้นซึ่งจะมีประโยชน์ในการทำงานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Best,Roland E.,Phase – Locked Loop:design,simulation and application 3rd ed. Newyork: Mcgraw hill,c 1997
2. Gardner,Floyd M.,Phaselock Techniques 2nd ed.John Wiley & Sons Inc, 1979
3. ประภากร สุวรรณะ,เอกสารประกอบการสอน.กรุงเทพฯ:สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Data sheets

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151–2/D

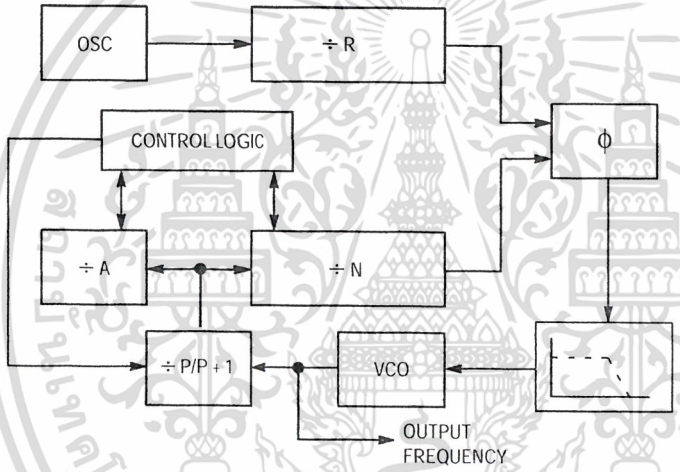
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS

MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145157–2 Serial–Input, Single–Modulus 9
MC145158–2 Serial–Input, Dual–Modulus 12

FAMILY CHARACTERISTICS

Maximum Ratings 15
DC Electrical Characteristics 15
AC Electrical Characteristics 17
Timing Requirements 18
Frequency Characteristics 19
Phase Detector/Lock Detector Output Waveforms 19

DESIGN CONSIDERATIONS

Phase–Locked Loop — Low–Pass Filter Design 20
Crystal Oscillator Considerations 21
Dual–Modulus Prescaling 22

REV 4
12/99

© Motorola, Inc. 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

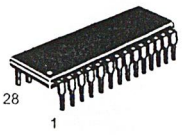
Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

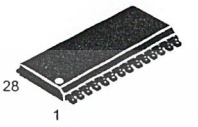
The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates



P SUFFIX
PLASTIC DIP
CASE 710

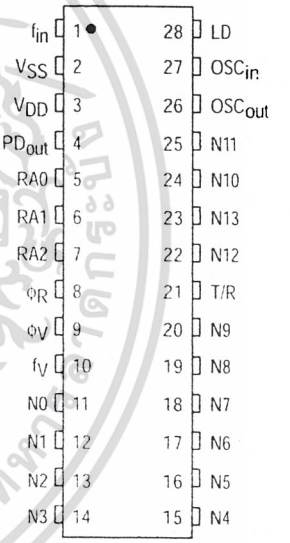


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT

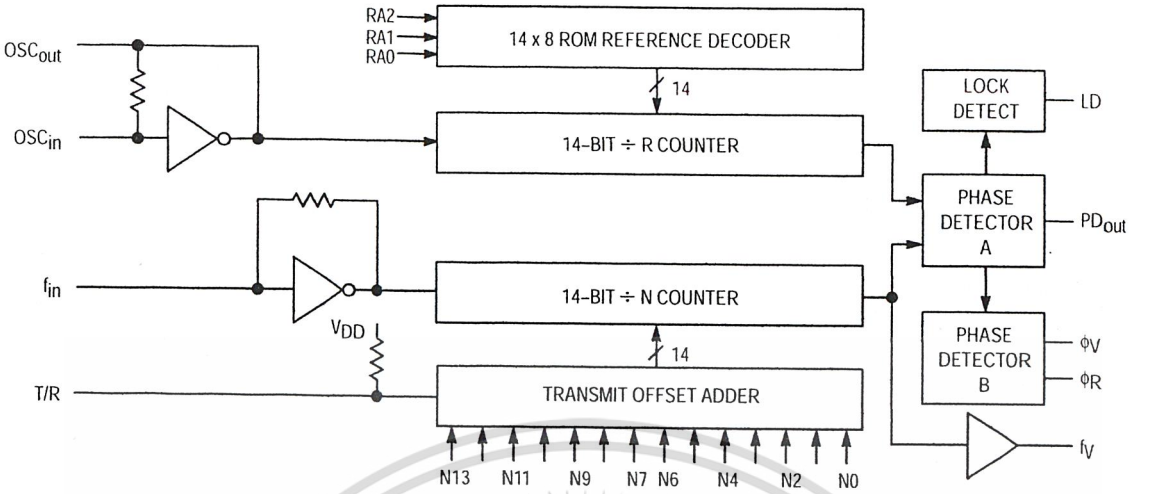


REV 1
8/95

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see **PD_{out}**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

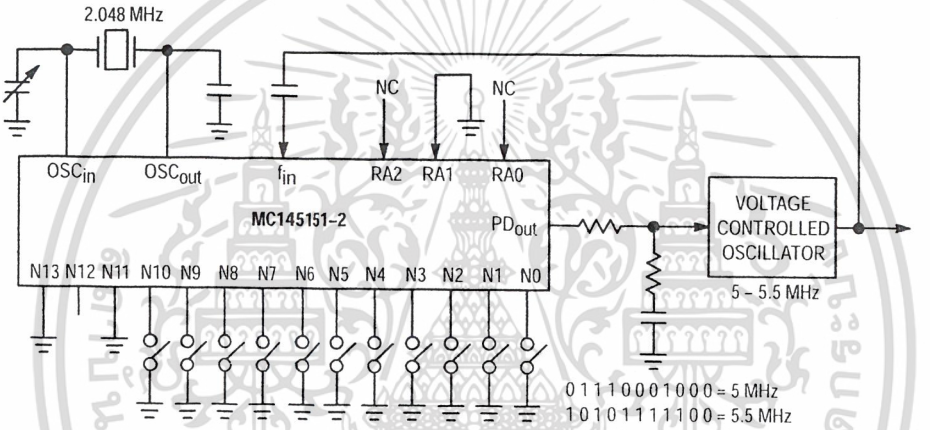
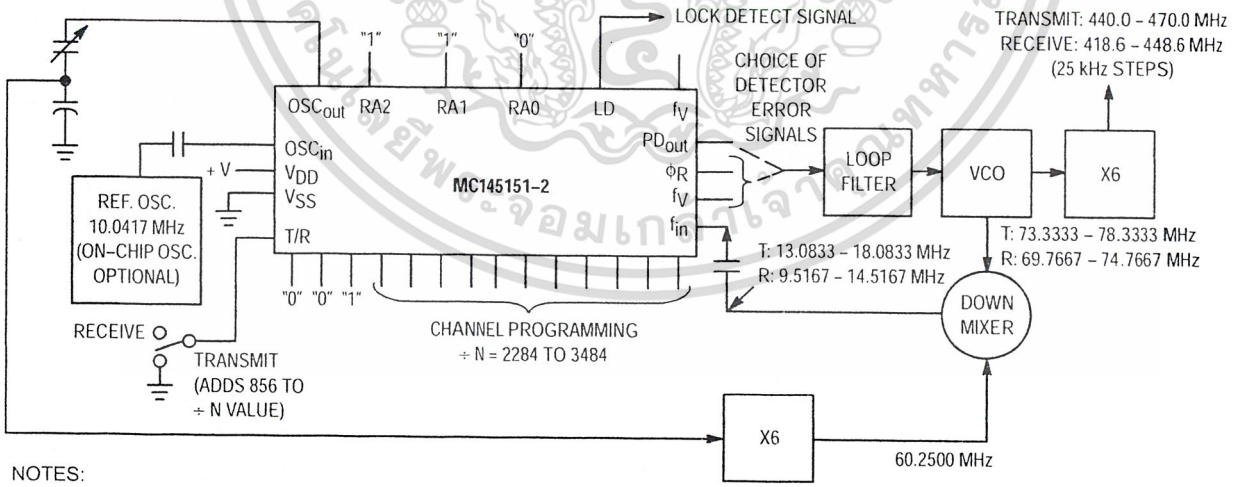


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS} I_{out} = 0 µA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	µA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	µA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	– 20	– 400	– 20	– 200	– 20	– 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.60 – 0.90 – 1.50	— — —	– 0.50 – 0.75 – 1.25	— — —	– 0.30 – 0.50 – 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.25 – 0.64 – 1.30	— — —	– 0.20 – 0.51 – 1.00	— — —	– 0.15 – 0.36 – 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.44 – 0.64 – 1.30	— — —	– 0.35 – 0.51 – 1.00	— — —	– 0.22 – 0.36 – 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

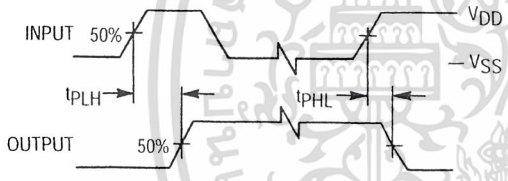


Figure 1.

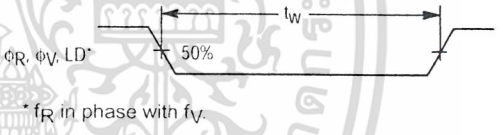
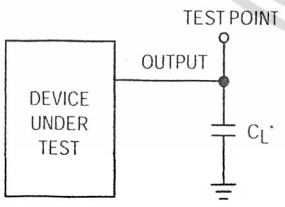


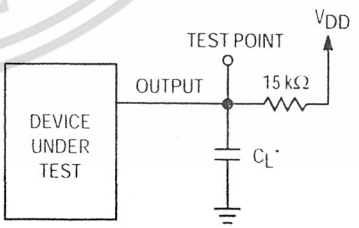
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

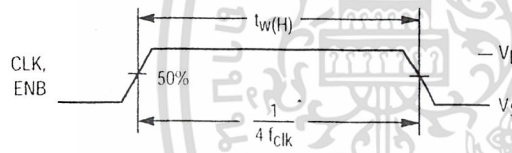
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

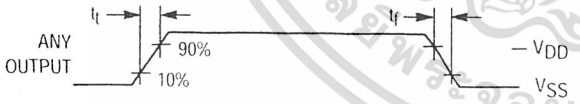


Figure 8.

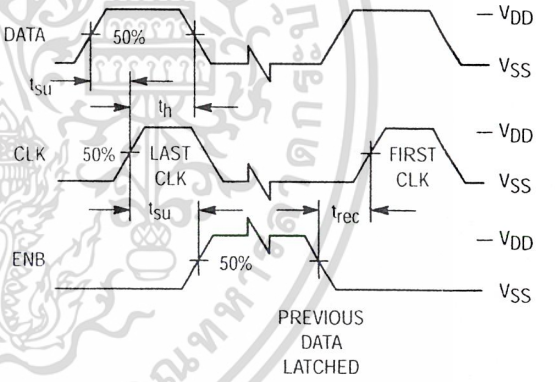


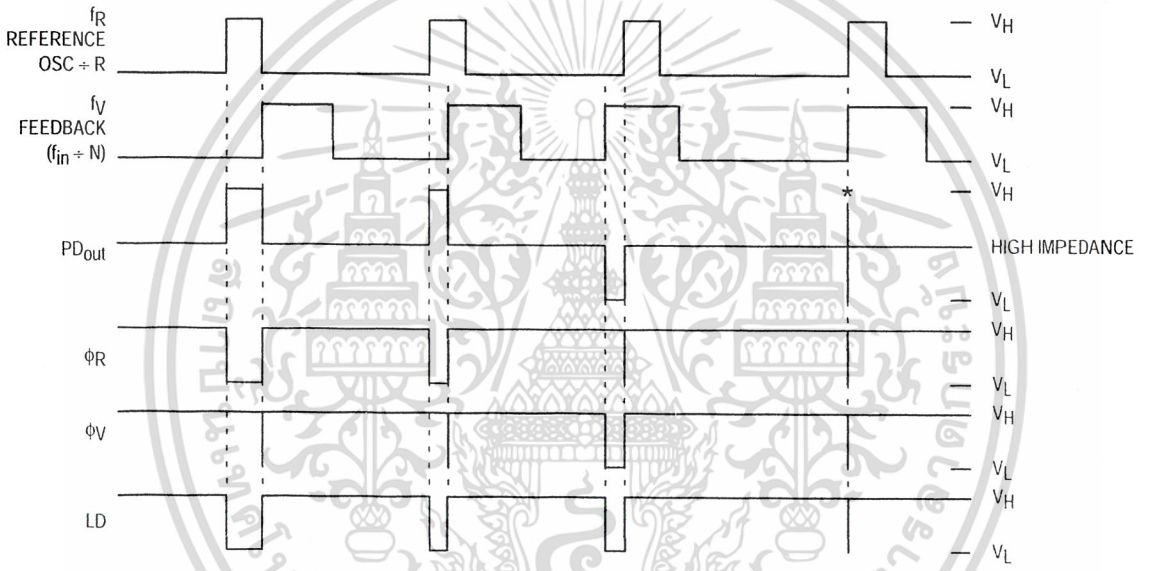
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

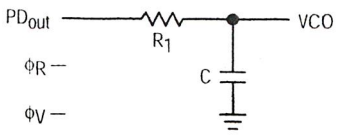
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

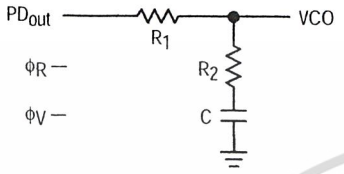


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

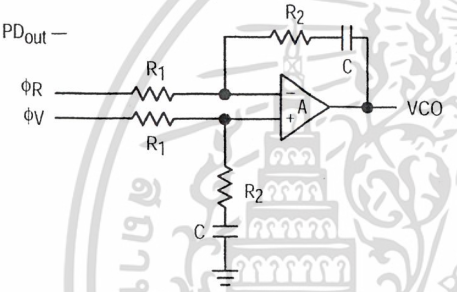


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}} \right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) $\approx \frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition).* New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition).* New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design.* New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock.* New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design.* Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments.* Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook.* Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design,* 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 μA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

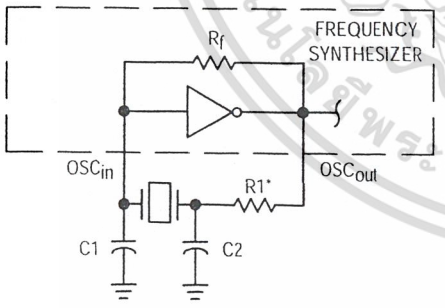
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog,* the *Gold Book,* or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_o + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

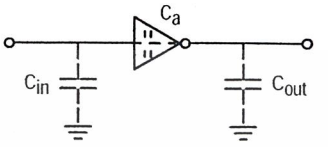
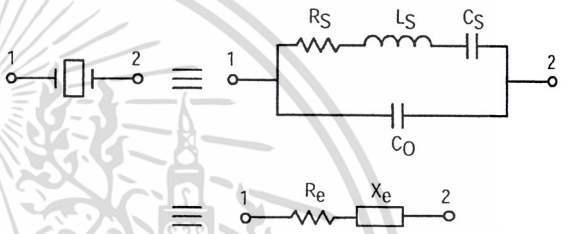


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE,* Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

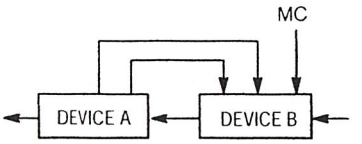
A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual–modulus values are achievable (shown in Figure 13).



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/÷ 21	÷ 32/÷ 33	÷ 40/÷ 41
MC10138	÷ 50/÷ 51	÷ 80/÷ 81	÷ 100/÷ 101

NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

Figure 13. Dual–Modulus Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC12015/D

MOTOROLA

MC12015
MC12016
MC12017

Dual Modulus Prescaler

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5 Vdc to Pin 8.

- 225 MHz Toggle Frequency
- Low–Power 7.5 mA Maximum at 6.8 V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V

MECL PLL COMPONENTS
DUAL MODULUS PRESCALER

SEMICONDUCTOR
TECHNICAL DATA

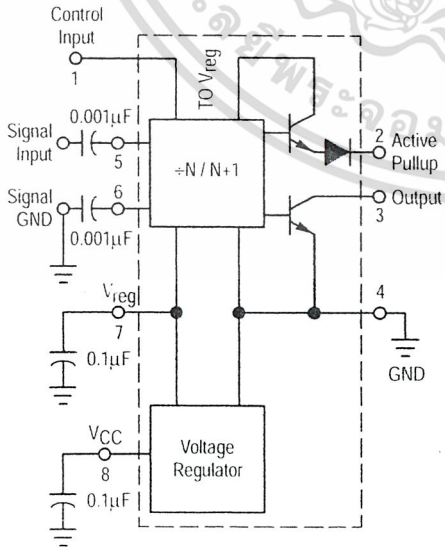
NOT RECOMMENDED FOR NEW DESIGN
DEVICES TO BE PHASED OUT.
For the MC12015 and MC12016 no replacement available.
For the MC12017 consider MC12054A for New Designs.

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12015D	T_A = –40 to 85°C	SO–8
MC12016D		
MC12017D		

SIMPLIFIED BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

© Motorola, Inc. 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10	Vdc
Operating Temperature Range	T_A	–40 to +85	°C
Storage Temperature Range	T_{stg}	–65 to +175	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5 V; V_{reg} = 4.5 to 5.5 V; T_A = –40 to 85°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine Wave Input)					MHz
	f_{max}	225	–	–	
	f_{min}	–	–	35	
Supply Current	I_{CC}	–	6.0	7.8	mA
Control Input HIGH (÷32, 40 or 64)	V_{IH}	2.0	–	–	V
Control Input LOW (÷33, 41 or 65)	V_{IL}	–	–	0.8	V
Output Voltage HIGH (I_{source} = 50µA) [Nofe 1]	V_{OH}	2.5	–	–	V
Output Voltage LOW (I_{sink} = 2mA) [Note 1]	V_{OL}	–	–	0.5	V
Input Voltage Sensitivity	V_{in}				mVpp
35 MHz		400	–	800	
50 to 225 MHz		200	–	800	
PLL Response Time [Notes 2 and 3]	t_{PLL}	–	–	t_{out} to 70	ns

NOTES: 1. Pin 2 connected to Pin 3.
2. t_{PLL} = the period of time the PLL has from the prescaler rising output tranistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
3. t_{out} = period of output waveform.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

July 1992

DS8615/DS8616 130/225 MHz Low Power Dual Modulus Prescalers

General Description

The DS8615 series products are low power dual modulus prescalers which divide by 32/33 and 40/41 respectively. The modulus control (MC) input selects division by N when at a high TTL level and division by N + 1 when at a low TTL level. The clock inputs are buffered, providing 40/100 mVrms input sensitivity. The two outputs provide the user the option to wire either a totem-pole or open-collector output structure. Additionally, the user can wire a resistor between the two output pins to minimize edge transition emissions. The outputs are designed to drive positive edge triggered PLLs. These products can be operated from either an unregulated 5.5V to 13.5V source or regulated 5V ±10% source. Unregulated operation is obtained by connecting V_S to the source with V_{REG} open. Regulated operation is obtained by connecting both V_S and V_{REG} to the supply source.

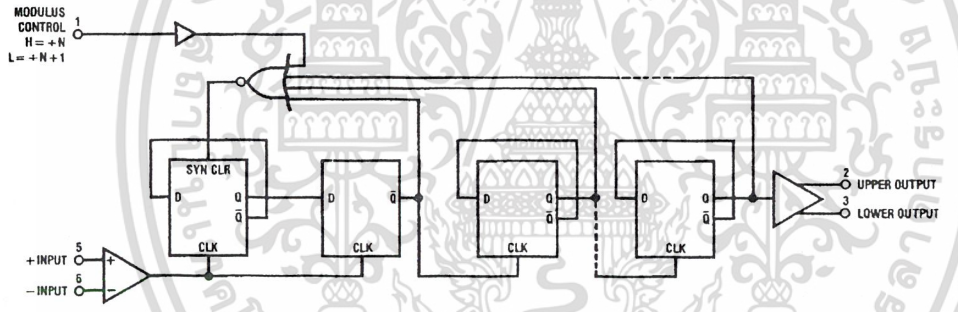
The device can be used in phase-locked loop applications such as FM radio or other communications bands to prescale the input frequency down to a more usable level. A digital frequency display system can also be derived separately or in conjunction with a phase-locked loop, and it can extend the useful range of many inexpensive frequency counters to 225 MHz.

Features

- Input frequency: 130 MHz (-4); 225 MHz (-2)
- Low power: 10 mA (-4, -2)
- Input sensitivity: 100 mVrms (-4); 40 mVrms (-2)
- Pin compatible with Motorola MC12015-16 prescalers
- Unregulated/regulated power supply option

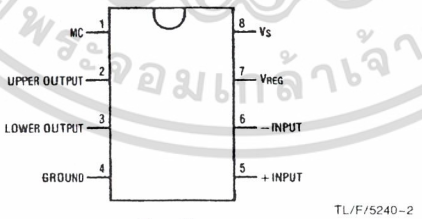
Logic and Connection Diagrams

Generalized ÷ N/N + 1



TL/F/5240–1

Dual-In-Line Package



TL/F/5240–2

Top View

Order Number DS8615N or DS8616N (-4, -2)
See NS Package Number N08E

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

V_S, Unregulated Supply Voltage	15V
V_{REG}, Regulated Supply Voltage	7V
Modulus Control Input Voltage	7V
Open-Collector Output Voltage	7V
Operating Free Air Temperature Range	−30°C to +70°C
Storage Temperature Range	−65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	Conditions	DS8615-4 DS8616-4		DS8615-2 DS8616-2		Units
			Min	Max	Min	Max	
V_S	Unregulated Supply Voltage	V_{REG} = Open	6.8	13.5	5.5	13.5	V
V_{REG}	Regulated Supply Voltage	V_S and V_{REG} Shorted	4.5	5.5	4.5	5.5	V
f_{MAX}	Toggle Frequency	V_{IN} = 100 mVrms	20	130		225	MHz
V_{IN}	Input Signal Amplitude		100	300	40	300	mVrms
V_{SLW}	Slew Rate		20		20		V/μs
I_{OH}	High Level Output Current			−400		−400	μA
I_{OL}	Low Level Output Current			2.0		2.0	mA

DC Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions	DS8615-4 DS8616-4		DS8615-2 DS8616-2		Units
			Min	Max	Min	Max	
V_{IH}	High Level MC Input Voltage	V_S = 13.5V, V_{REG} = Open	2.0		2.0		V
V_{IL}	Low Level MC Input Voltage	V_{REG} = V_S = 4.5V		0.8		0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −0.4 mA, Pins 2 and 3 Shorted	V_{REG} −2		V_{REG} −2		V
I_{CEX}	Open-Collector High Level Output	Lower Output = 5.5V		100		100	μA
V_{OL}	Low Level Output Voltage	V_{REG} = 4.5V, I_{OL} = 2 mA		0.5		0.5	V
I_I	Max MC Input Current	V_S = 13.5V, V_{REG} = Open, V_{IH} = 7V		100		100	μA
I_{IH}	High Level MC Input Current	V_{REG} = 4.5V, V_{IH} = 2.7V		20		20	μA
I_{IL}	Low Level MC Input Current	V_S = 13.5V, V_{REG} = Open, V_{IL} = 0.4V		−200		−200	μA
I_S	Supply Current, Unregulated Mode	V_S = 13.5V, V_{REG} = Open		10		10	mA
I_{REG}	Supply Current, Regulated Mode	V_S = V_{REG} = 5.5V		10		10	mA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified Min/Max limits apply across the −30°C to +70°C range.

Note 3: All current into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as Max or Min on absolute value basis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics V_{CC} = 5V ±10%, T_A = −30°C to +70°C

Symbol	Parameter		Conditions	Min	Max	Units
$t_{MODULUS}$	Modulus Set-Up Time (Notes 4 and 5)	DS8615, DS8616			65	ns
R_{IN}	AC Input Resistance		V_{IN} = 100 MHz and 50 mVrms	1.0		kΩ
C_{IN}	Input Capacitance		V_{IN} = 100 MHz and 50 mVrms	3	10	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

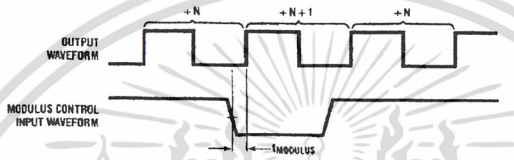
Note 2: Unless otherwise specified min/max limits apply across the −30°C to +70°C temperature range.

Note 3: All currents into device pins are shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

Note 4: $t_{MODULUS}$ = the period of time the modulus control level must be defined prior to the positive transition of the prescaler output to ensure proper modulus selection.

Note 5: See Timing Diagrams.

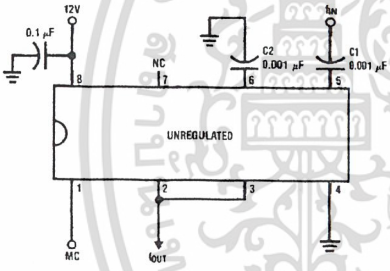
Timing Diagram



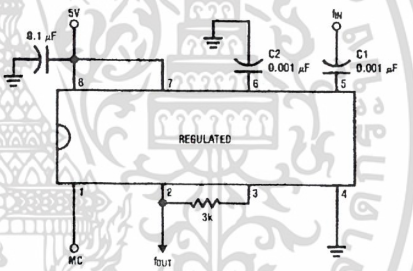
TL/F/5240–3

The logical state of the modulus control input just prior to the output's rising edge will determine the modulus ratio of the device immediately following that rising edge. The pulse width difference of N and N + 1 operation occurs during the output = HI conditions.

Typical Applications

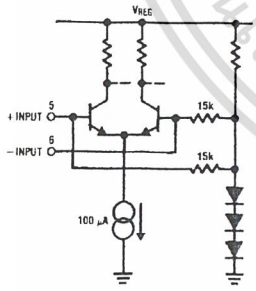


TL/F/5240–4

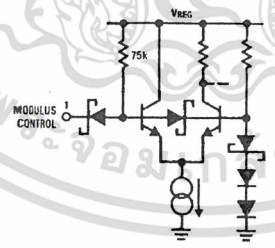


TL/F/5240–5

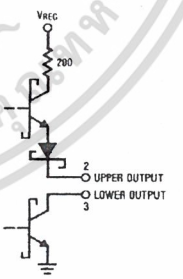
Schematic Diagrams



TL/F/5240–6



TL/F/5240–7



TL/F/5240–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Triple Line Receiver

MC10116

The MC10116 is a triple differential amplifier designed for use in sensing differential signals over long lines. The base bias supply (V_{BB}) is made available at pin 11 to make the device useful as a Schmitt trigger, or in other applications where a stable reference voltage is necessary.

Active current sources provide the MC10116 with excellent common mode noise rejection. If any amplifier in a package is not used, one input of that amplifier must be connected to V_{BB} (pin 11) to prevent upsetting the current source bias network.

Complementary outputs are provided to allow driving twisted pair lines, to enable cascading of several amplifiers in a chain, or simply to provide complement outputs of the input logic function.

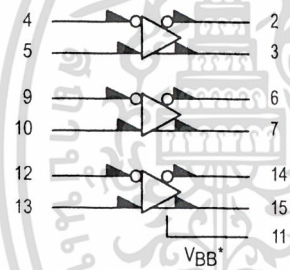
L SUFFIX
CERAMIC PACKAGE
CASE 620–10

P SUFFIX
PLASTIC PACKAGE
CASE 648–08

FN SUFFIX
PLCC
CASE 775–02

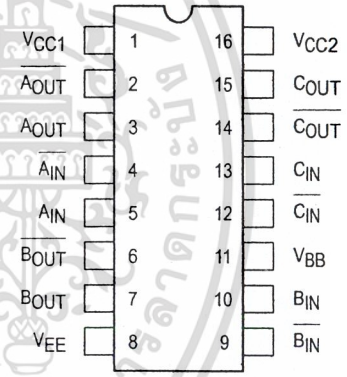
P_D = 85 mW typ/pkg (No Load)
t_{pd} = 2.0 ns typ
t_r, t_f = 2.0 ns typ (20%–80%)

LOGIC DIAGRAM



V_{CC1} = PIN 1
V_{CC2} = PIN 16
V_{EE} = PIN 8

DIP PIN ASSIGNMENT



Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the Pin Conversion Tables on page 6–11 of the Motorola MECL Data Book (DL122/D).

*V_{BB} to be used to supply bias to the MC10116 only and bypassed (when used) with 0.01 μF to 0.1 μF capacitor to ground (0 V). V_{BB} can source < 1.0 mA.

When the input pin with the bubble goes positive, the output pin with the bubble goes positive.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
© Motorola, Inc. 1996

MOTOROLA
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	Test Limits							Unit
			–30°C		+25°C			+85°C		
			Min	Max	Min	Typ	Max	Min	Max	
Power Supply Drain Current	I_E	8		23		17	21		23	mAdc
Input Current	I_{inH}	4		150			95		95	µAdc
	I_{CBO}	4		1.5			1.0		1.0	µAdc
Output Voltage Logic 1	V_{OH}	2 3	–1.060 –1.060	–0.890 –0.890	–0.960 –0.960		–0.810 –0.810	–0.890 –0.890	–0.700 –0.700	Vdc
Output Voltage Logic 0	V_{OL}	2 3	–1.890 –1.890	–1.675 –1.675	–1.850 –1.850		–1.650 –1.650	–1.825 –1.825	–1.615 –1.615	Vdc
Threshold Voltage Logic 1	V_{OHA}	2 3	–1.080 –1.080		–0.980 –0.980			–0.910 –0.910		Vdc
Threshold Voltage Logic 0	V_{OLA}	2 3		–1.655 –1.655			–1.630 –1.630		–1.595 –1.595	Vdc
Reference Voltage	V_{BB}	11	–1.420	–1.280	–1.350		–1.230	–1.295	–1.150	Vdc
Switching Times (50Ω Load)										ns
Propagation Delay	t_{4+2+}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-2-}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4+3-}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-3+}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
Rise Time (20 to 80%)	t_{2+}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3+}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
Fall Time (20 to 80%)	t_{2-}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3-}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

				TEST VOLTAGE VALUES (Volts)						
			@ Test Temperature	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}	
			–30°C	–0.890	–1.890	–1.205	–1.500	From Pin 11	–5.2	
			+25°C	–0.810	–1.850	–1.105	–1.475		–5.2	
			+85°C	–0.700	–1.825	–1.035	–1.440		–5.2	
Characteristic		**Symbol**	**Pin Under Test**	**TEST VOLTAGE APPLIED TO PINS LISTED BELOW**						**(V_{CC}) Gnd**
				V_{IHmax}	**V_{ILmin}**	**V_{IHAmin}**	**V_{ILAmax}**	**V_{BB}**	**V_{EE}**	
Power Supply Drain Current		I_E	8		4, 9, 12			5, 10, 13	8	1, 16
Input Current		I_{inH}	4	4	9, 12			5, 10, 13	8	1, 16
		I_{CBO}	4		9, 12			5, 10, 13	8,4	1, 16
Output Voltage	Logic 1	V_{OH}	2	4	9, 12			5, 10, 13	8	1, 16
			3	9, 12	4			5, 10, 13	8	1, 16
Output Voltage	Logic 0	V_{OL}	2	9, 12	4			5, 10, 13	8	1, 16
			3	4	9, 12			5, 10, 13	8	1, 16
Threshold Voltage	Logic 1	V_{OHA}	2		9, 12	4		5, 10, 13	8	1, 16
			3	9, 12			4	5, 10, 13	8	1, 16
Threshold Voltage	Logic 0	V_{OLA}	2		9, 12		4	5, 10, 13	8	1, 16
			3	9, 12		4		5, 10, 13	8	1, 16
Reference Voltage		V_{BB}	11					5, 10, 13	8	1, 16
Switching Times	(50Ω Load)					**Pulse In**	**Pulse Out**		**–3.2 V**	**+2.0 V**
Propagation Delay		t_{4+2+}	2			4	2	5, 10, 13	8	1, 16
		t_{4-2-}	2			4	2	5, 10, 13	8	1, 16
		t_{4+3-}	3			4	3	5, 10, 13	8	1, 16
		t_{4-3+}	3			4	3	5, 10, 13	8	1, 16
Rise Time	(20 to 80%)	t_{2+}	2			4	2	5, 10, 13	8	1, 16
		t_{3+}	3			4	3	5, 10, 13	8	1, 16
Fall Time	(20 to 80%)	t_{2-}	2			4	2	5, 10, 13	8	1, 16
		t_{3-}	3			4	3	5, 10, 13	8	1, 16

Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to –2.0 volts. Test procedures are shown for only one gate. The other gates are tested in the same manner.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2205, LV2209

Silicon Tuning Diodes

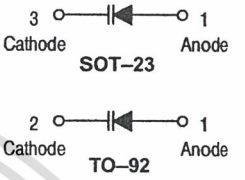
6.8–100 pF, 30 Volts
Voltage Variable Capacitance Diodes

ON Semiconductor™

http://onsemi.com

These devices are designed in popular plastic packages for the high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid–state reliability in replacement of mechanical tuning methods. Also available in a Surface Mount Package up to 33 pF.

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves



MAXIMUM RATINGS

Rating		Symbol	Value	Unit
Reverse Voltage		V_R	30	Vdc
Forward Current		I_F	200	mAdc
Forward Power Dissipation		P_D		mW
@ T_A = 25°C	MMBV21xx		225	mW/°C
Derate above 25°C			1.8	
@ T_A = 25°C	MV21xx		280	
Derate above 25°C	LV22xx		2.8	
Junction Temperature		T_J	+150	°C
Storage Temperature Range		T_{stg}	–55 to +150	°C

DEVICE MARKING

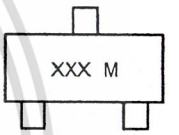
MMBV2101LT1 = M4G	MMBV2108LT1 = 4X	MV2109 = MV2109
MMBV2103LT1 = 4H	MMBV2109LT1 = 4J	LV2205 = LV2205
MMBV2105LT1 = 4U	MV2101 = MV2101	LV2209 = LV2209
MMBV2107LT1 = 4W	MV2105 = MV2105	

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$				Vdc
MMBV21xx, MV21xx		30	–	–	
LV22xx		25	–	–	
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	–	–	0.1	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	–	280	–	ppm/°C

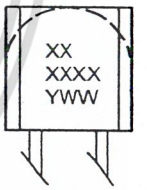
MARKING DIAGRAM

TO–236AB, SOT–23
CASE 318–08
STYLE 8



XXX = Device Code*
M = Date Code
* See Table

TO–226AC, TO–92
CASE 182
STYLE 1



XX = Device Code Line 1*
XXXX = Device Code Line 2*
M = Date Code
* See Table

Preferred devices are recommended choices for future use and best overall value.

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1/MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	9.0	10	11	400	2.5	2.9	3.2
LV2205/MMBV2105LT1/MV2105	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1	24.3	27	29.7	300	2.5	3.0	3.2
LV2209MMBV2109LT1/MV2109	29.7	33	36.3	200	2.5	3.0	3.2

MMBV2101LT1, MMBV2103LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length ≈ 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = –65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \frac{|C_T(+85°C) - C_T(-65°C)|}{85 + 65} \cdot \frac{10^6}{C_T(25°C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DEVICE CHARACTERISTICS

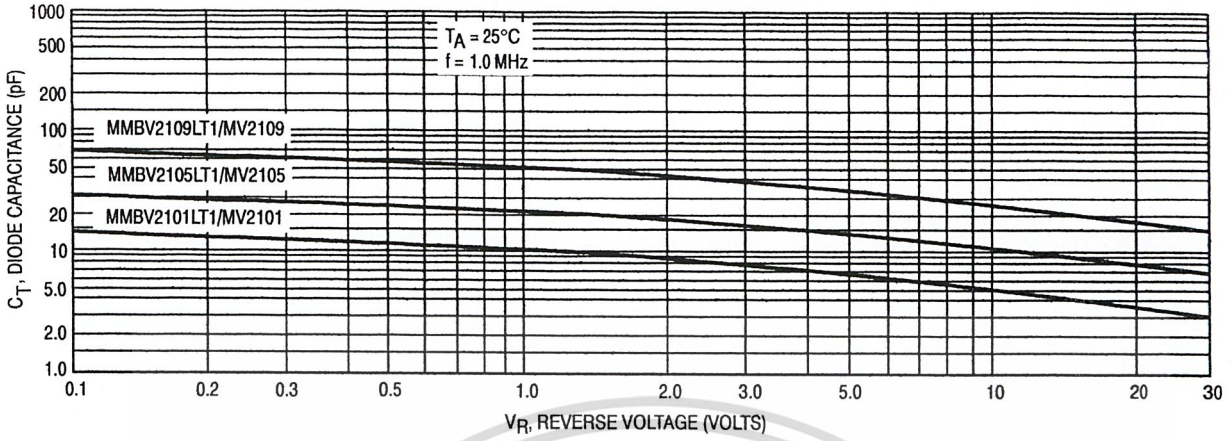


Figure 1. Diode Capacitance versus Reverse Voltage

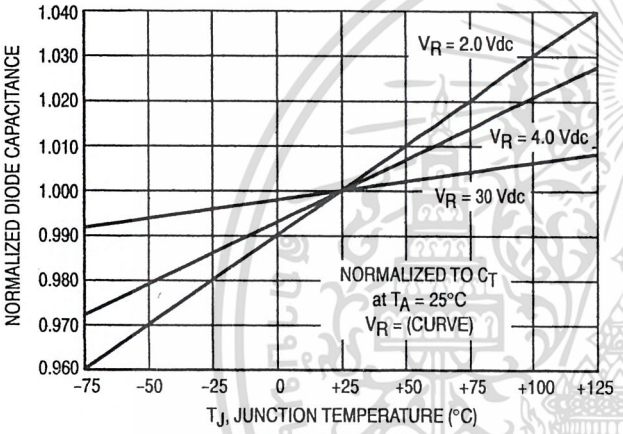


Figure 2. Normalized Diode Capacitance versus Junction Temperature

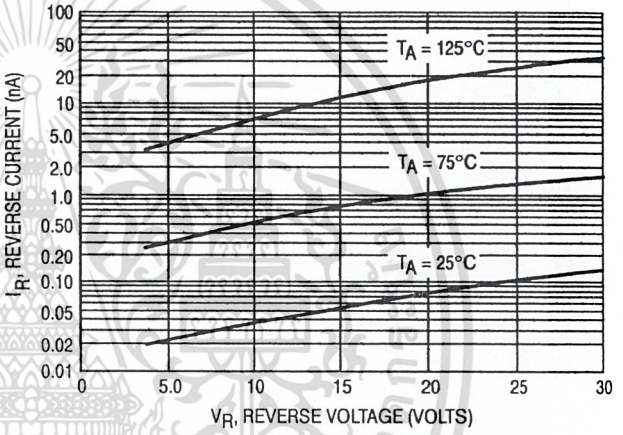


Figure 3. Reverse Current versus Reverse Bias Voltage

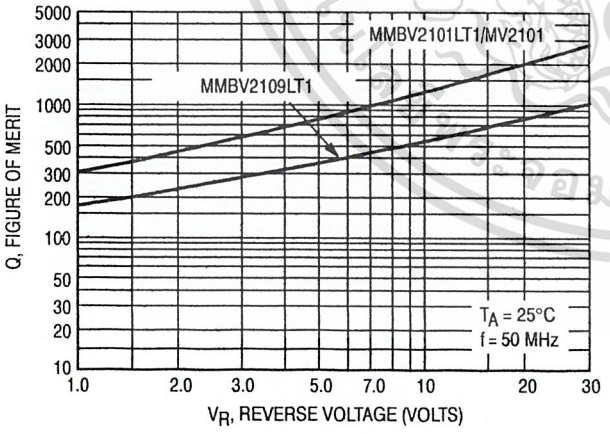


Figure 4. Figure of Merit versus Reverse Voltage

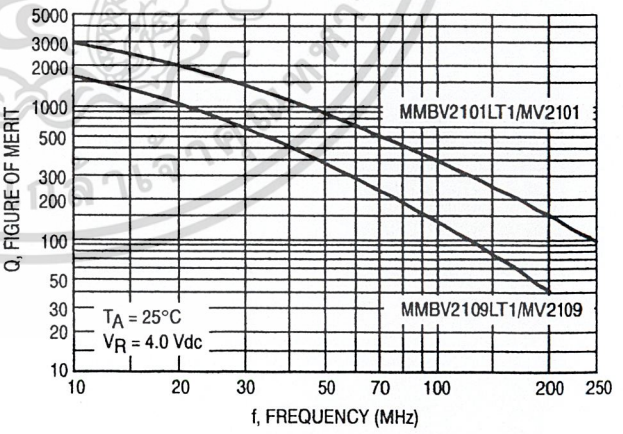


Figure 5. Figure of Merit versus Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้