

การออกแบบวงจรรูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์  
ด้านอินพุตของตัวคีมอดูเลทสัญญาณบีพีเอสเค

DESIGN AND IMPLEMENTATION OF COSTAS LOOP USING  
EXOR INPUT MIXER FOR BPSK DEMODULATION



ประพัต ชุ่มชัยรัตน์  
PRAPAT CHUMCHAIRAT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

ฉพ.  
๒/๒๕๕๗  
๒๕๕๗

สาขาวิชาวิศวกรรมไฟฟ้า  
บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....

51833

เลขทะเบียน.....

๓๐ ก.ค. ๒๕๕๗

วัน,เดือน,ปี.....

พ.ศ. ๒๕๕๗

b. 11209465

เลขชุดนี้ได้รับสงวนลิขสิทธิ์สำหรับการใช้งานที่ระบุไว้เท่านั้น ไม่อนุญาตให้นำไปใช้ซ้ำโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DESIGN AND IMPLEMENTATION OF COSTAS LOOP USING  
EXOR INPUT MIXER FOR BPSK DEMODULATION**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2004**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ISBN 974-15-1024-1  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2004**

**SCHOOL OF GRADUATE STUDIES**

เอกสารนี้ของ **KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG** มีลิขสิทธิ์ภายใต้เงื่อนไขการคุ้มครอง  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุตของตัวคีมอคูเลทสัญญาณบีพีเอสเค
นักศึกษา	นายประพัศ ชุ่มชัยรัตน์
รหัสนักศึกษา	42061023
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ.ประภากร สุวรรณะ

### บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบ และสร้างวงจรสำหรับการคีมอคูเลทสัญญาณไบนารีเฟสซิปท์คีย์ (บีพีเอสเค) โดยใช้รูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์แทนตัวคูณด้านอินพุต (มิกเซอร์ด้านอินพุต) จากรูปแบบเดิม และใช้ไบนารีเวิร์ดข้อมูลเริ่มต้นเพื่อแก้ความกำกวมของข้อมูลไบนารีที่ถูกล็อกคีมอคูเลทได้ จากผลการทดลองได้แสดงให้เห็นว่าวงจรที่ได้นำเสนอนี้สามารถทำงานได้ดีที่อัตราบิต (Bit rate) 1800 บิตต่อวินาที ในขณะที่ใช้ความถี่คลื่นพาห์ 1.8 กิโลเฮิร์ตซ์ และตัวคีมอคูเลทนี้สามารถที่จะตรวจจับสัญญาณอินพุตที่มีขนาดเล็กถึง 10 มิลลิโวลต์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<b>Thesis Title</b>	Design and Implementation of Costas Loop Using EXOR Input Mixer for BPSK Demodulation
<b>Student</b>	Mr.Prapat Chumchairat
<b>Student ID.</b>	42061023
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electrical Engineering
<b>Year</b>	2004
<b>Thesis Adviser</b>	Asst. Prof. Prapakorn Suwanna

### ABSTRACT

This thesis presents the design and implementation of the binary phase shift keying (BPSK) demodulation circuit. The Costas loop using EXOR gates in place of the conventional input multipliers (input mixers) has been employed and the preamble binary word is used to resolve the ambiguity of the demodulated binary data. Measurement results show that the proposed circuit can operate at 1800 bit per second using the carrier frequency of 1.8 kHz. The demodulator is capable of detecting an input signal amplitude as small as 10 mVp.

## กิตติกรรมประกาศ

การศึกษาและการทำวิทยานิพนธ์ของข้าพเจ้าคงไม่สามารถสำเร็จได้ ถ้าปราศจากความ  
อนุเคราะห์และความเมตตาของบุคคลทั้งหลายดังต่อไปนี้

ขอขอบพระคุณอาจารย์ที่ปรึกษาที่มหัศจรรย์ที่สุดเท่าที่ข้าพเจ้าเคยรู้จักมา ผศ.ประภากร สุ-  
วรรณะ เป็นอย่างสูง ผู้ที่ให้ความอนุเคราะห์ทุกอย่างอย่างสำหรับการศึกษา ณ สถาบันแห่งนี้ของ  
ข้าพเจ้า ไม่ว่าจะเป็นการแนะนำทั้งในเรื่องที่เกี่ยวข้องหรือไม่เกี่ยวข้องกับงานวิจัยก็ตาม โดยเฉพาะ  
อย่างยิ่งความคิดสร้างสรรค์ทางการศึกษาที่เกี่ยวข้องกับงานทางภาคปฏิบัติ ให้โอกาสข้าพเจ้าในการ  
มีส่วนร่วมงานสอนนักศึกษาปริญญาตรีในห้องปฏิบัติการทางวิศวกรรมอิเล็กทรอนิกส์ เพื่อเงิน  
สำรองจ่ายในยามที่ข้าพเจ้าขาดส่น รวมถึงได้กรุณาให้ความเป็นกันเองจนบางครั้งข้าพเจ้าคิดว่าเป็น  
เสมือนเพื่อนคนหนึ่งของข้าพเจ้าเลยทีเดียว

ข้าพเจ้าอาจจะไม่ได้มาศึกษา ณ สถาบันแห่งนี้และคงไม่มีโอกาสรู้จักกับอาจารย์ที่ปรึกษาที่มี  
ความเชี่ยวชาญในงานด้านที่ข้าพเจ้าหวังไว้ในตอนต้นก่อนที่จะเริ่มทำการศึกษา ณ สถาบันแห่งนี้ถ้า  
ปราศจากคำแนะนำของ ผศ.พลผลุง ผดุงกุล ซึ่งเป็นอาจารย์ที่ข้าพเจ้าคิดว่าดีที่สุดในที่ที่ข้าพเจ้าได้เคย  
รู้จักในสมัยที่ข้าพเจ้าศึกษาในระดับปริญญาตรี ขอขอบพระคุณเป็นอย่างสูงด้วยใจจริงครับ

ความเป็นอาจารย์ในอุดมคติและให้ความเป็นมิตรกับทุกคน รศ.ดร.วรกร เกษมสุวรรณ ผู้ที่  
ให้คำแนะนำกับข้าพเจ้าทางด้านวิชาการทั้งที่เกี่ยวข้องและไม่เกี่ยวข้องกับวิทยานิพนธ์นี้ อีกทั้งยัง  
ช่วยข้าพเจ้าในด้านการใช้ภาษาอังกฤษในการนำเสนอผลงานทางวิชาการ ข้าพเจ้าขอขอบพระคุณ  
เป็นอย่างสูงกับสิ่งที่อาจารย์ (ในอุดมคติของข้าพเจ้า) มีให้เสมอมา

คนรุ่นใหม่ไฟแรง มีความกระฉับกระเฉงในการทำงาน และที่สำคัญ ตรงต่อเวลามาก  
ผศ.ดร.อภิรักษ์ ธนชยานนท์ ผู้ที่ข้าพเจ้าควรจดจำถึงการสอนที่ควรจะมีหนังสืออ้างอิงไม่ใช่เพียงเล่ม  
สองเล่ม เป็นผู้ที่ทำให้ข้าพเจ้าเริ่มคิดว่าการศึกษาที่นั่นจำเป็นจะต้องค้นคว้าหาความรู้จากตำราหลายๆ  
เล่มประกอบกัน ข้าพเจ้าขอขอบคุณมา ณ โอกาสนี้

ขอขอบพระคุณ ดร.กสิน วิเชียรชม ที่พยายามช่วยเหลือและขอมสละเวลาอันมีค่าให้กับ  
ข้าพเจ้าสำหรับการแนะนำแนวทางการแก้ปัญหาและแก้ไขข้อสงสัยในบางส่วนของงานวิจัยของ  
ข้าพเจ้า

ขอบคุณ รศ.ดร.จเร สุรวัฒน์ปัญญา สำหรับการรับฟังและให้คำแนะนำในงานด้านที่ข้าพเจ้า  
อยากรู้และแทบจะให้ความสนใจมากกว่าวิทยานิพนธ์ฉบับนี้เสียอีก “วามจริงความดีสูง”

ขอบคุณ ดร.ยุทธนา คิใจเดียว ผู้ที่ให้คำแนะนำเกี่ยวกับสัญญาและกระบวนการคุ้มครองและ  
ความเข้าใจทางคณิตศาสตร์ที่ข้าพเจ้าสนใจ และเป็นผู้ที่ทำให้ข้าพเจ้ารู้จักคำว่า “Chaos”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบคุณ ดร.สุพันธ์ ตั้งจิตกุศลมัน สำหรับความอนุเคราะห์และให้คำแนะนำทางด้านการทำ  
ความเข้าใจประโยชน์บางประโยชน์และคำเทคนิคบางคำในภาษาอังกฤษ และให้สิทธิ์การเข้ารับฟังการ  
บรรยายในห้องบรรยายวิชา Biomedical Engineering

ขอบคุณ อ.เทอดศักดิ์ ถิวหาทอง ผู้ที่ทำให้ข้าพเจ้าได้ตระหนักว่าการหัดขับรถยนต์นั้น  
ต้องการความระมัดระวังในทุกๆวินาที และเป็นผู้ที่ทำให้ข้าพเจ้าได้มีประสบการณ์ในการเป็นผู้ที่  
เคยถูกผ่าตัดทางสมอง และเรียนรู้วิธีการปฏิบัติตัวภายหลังการผ่าตัด

ขอบคุณ อ.โกศล ชวนขยัน ผู้ที่ให้คำแนะนำเกี่ยวกับการดำเนินชีวิตในแบบฉบับเฉพาะตัว  
ซึ่งมีแนวความคิดว่าตนเองต้องพยายามคิดและทำด้วยตัวเอง ไม่ใช่หลงตามกระแสนิยมและทำตาม  
เขาไป โดยไม่รู้จักคิดว่าสิ่งที่ทำตามนั้นมีประโยชน์กับตัวเองหรือเหมาะสมกับตัวเองหรือไม่

และขาดเสียไม่ได้ที่ข้าพเจ้าจะต้องขอบคุณเป็นอย่างสูงก็คือ ผู้ที่ข้าพเจ้าติดกับเขาเหล่านั้นว่า  
เป็นเพื่อนของข้าพเจ้า (และข้าพเจ้าก็คิดว่าพวกเขาเหล่านั้นจะติดกับข้าพเจ้าเหมือนอย่างที่ข้าพเจ้า  
คิด) ที่บังเอิญข้าพเจ้าได้มีโอกาสรู้จักในสถาบันฯแห่งนี้ ซึ่งมีที่มาในหลายๆที่ต่างกัน เริ่มตั้งแต่ใน  
ภาควิชาอิเล็กทรอนิกส์ ซึ่งได้แก่ คุณวุฒิจิ จิตวุฒิชัย และคุณอภิณห์ ฤกษ์รัตน์ สำหรับความเอื้อ  
เพื่อและช่วยเหลือในสิ่งต่างๆ ในคราวที่ข้าพเจ้ายังใหม่กับสถานที่แห่งนี้ รวมถึงมิตรภาพที่มีให้  
เสมอมา ซึ่งข้าพเจ้ารู้สึกซาบซึ้งใจเป็นอย่างยิ่ง เพื่อนร่วมอาจารย์ที่ปรึกษา ซึ่งได้แก่ คุณเศรษฐศักดิ์  
บุญเทียม และคุณสันติ ชวนนอก สำหรับทุกสิ่งทุกอย่างที่มีให้กับข้าพเจ้าตลอดมา ต่อมาเป็นเพื่อนที่  
ข้าพเจ้าเพิ่งรู้จักได้ไม่นานนักและรู้สึกประทับใจในมิตรภาพที่มีให้เป็นอย่างมาก จากภาควิชาระบบ  
ควบคุม ซึ่งได้แก่ คุณรัชชัย คำศรี และคุณวรรณดี เพชรณิล้ำค่า สำหรับความหวังดี และความ  
พยายามที่จะช่วยเหลือในเรื่องต่างๆที่ข้าพเจ้าจำเป็น นอกจากนั้นก็คือ คุณอานนท์ ชาดิชนะนา  
สำหรับการสละเวลามาร่วมทานอาหารและเล่นกีฬากับข้าพเจ้าเป็นประจำ และสุดท้ายขอขอบพระ  
คุณ เจ็อม (ร้านเบอร์เกอร์ข้างตึก A) เป็นอย่างสูง สำหรับความหวังดี ความรักและเมตตาที่มีต่อ  
ข้าพเจ้า

ขอขอบคุณ คุณสุรีย์ นุหงามงคล คุณวิภารัตน์ สุวรรณศรี และคุณเบญญากรณ์ ชูติกาญจน์  
บรรณารักษ์ชำนาญการ หัวหน้าฝ่ายพัฒนาทรัพยากรสารสนเทศ และเจ้าหน้าที่สำนักหอสมุดกลาง  
สจล. ตามลำดับ ที่ให้ความอนุเคราะห์และอำนวยความสะดวกเกี่ยวกับการจัดซื้อหนังสือที่ข้าพเจ้า  
ต้องการเพื่อใช้ประกอบการทำวิทยานิพนธ์

ขอขอบพระคุณบัณฑิตวิทยาลัยที่ได้ให้การสนับสนุนทุนในการจัดพิมพ์วิทยานิพนธ์

สุดท้ายข้าพเจ้าขอขอบคุณความดีและประโยชน์ที่จะได้รับจากวิทยานิพนธ์ฉบับนี้ ให้แก่ผู้ที่  
อยู่เบื้องหลังความสำเร็จทางการศึกษาของข้าพเจ้า นางกมลรัตน์ กุสุรัตน์ (ผู้ที่เปรียบเหมือนกับเป็น  
ทั้งแม่และพ่อ) ซึ่งเป็นมารดาของข้าพเจ้าเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ .....	V
สารบัญรูป .....	VIII
บทที่ 1 บทนำ .....	1
1.1 ความเป็นมาและความสำคัญของปัญหา .....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา .....	2
1.3 สมมติฐานของการวิจัย .....	3
1.4 ทฤษฎีและแนวความคิดที่ใช้ในการวิจัย .....	3
1.5 ขอบเขตการวิจัย .....	4
1.6 ขั้นตอนการศึกษา .....	4
1.7 เล้าโครงวิทยานิพนธ์ .....	4
บทที่ 2 ทฤษฎีของการมอดูเลตและดีมอดูเลตสัญญาณ PSK .....	6
2.1 การมอดูเลต PSK .....	6
2.1.1 การมอดูเลต BPSK .....	6
2.1.2 การมอดูเลต DBPSK .....	9
2.1.3 การมอดูเลต QPSK .....	10
2.2 การดีมอดูเลต PSK .....	13
2.2.1 การดีมอดูเลตสัญญาณ BPSK .....	13
2.2.2 การดีมอดูเลตสัญญาณ DBPSK .....	14
บทที่ 3 การกู้คลื่นพาห้ (Carrier recovery) .....	16
3.1 ลูปยกกำลังสอง (Squaring loop) .....	16
3.1.1 หลักการทำงานของลูปยกกำลังสอง .....	16
3.1.2 ข้อควรพิจารณาในการออกแบบวงจรลูปยกกำลังสอง .....	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)

หน้า

3.2	ลูปกอสตาส (Costas loop) .....	18
3.2.1	หลักการทํางานของลูปกอสตาส .....	18
3.2.2	หลักการทํางานของลูปกอสตาสที่ใช้เกด EXOR เป็นมิกเซอร์คํานอินพุต ...	21
3.2.3	หลักการออกแบบวงจรลูปกอสตาส .....	22
บทที่ 4	การกู้สัญญาณนาฬิกา (Clock recovery) .....	24
4.1	คุณสมบัติของข้อมูลไบนารีแบบ NRZ .....	24
4.2	การดีเทกต์ขอบ (Edge detection) .....	26
4.3	สถาปัตยกรรมการกู้สัญญาณนาฬิกา .....	28
บทที่ 5	การตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง .....	31
บทที่ 6	วงจรที่ใช้สร้างตัวดีมอดูเลทสัญญาณ BPSK .....	35
6.1	วงจรกรองแถบความถี่ผ่าน (BPF: Band-pass filter) .....	35
6.2	วงจรลูปกอสตาสที่ใช้เกดเอกซ์คลูซีฟออร์เป็นมิกเซอร์คํานอินพุต .....	37
6.3	วงจรแปลงระดับสัญญาณ (Level converter) .....	54
6.4	วงจรตรวจระดับความแรงของสัญญาณ (Signal strength detector) .....	55
6.5	วงจรีเซต (Resetting circuit) .....	56
6.6	วงจรตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังการดีมอดูเลท) ให้ถูกต้อง .....	57
บทที่ 7	ผลการทดลอง .....	60
7.1	สมรรถนะของลูปในการล็อก .....	60
7.2	ที่มาของสัญญาณ BPSK ที่นำมาใช้ในการทดสอบ .....	63
7.3	สัญญาณต่างๆที่วัดจากวงจรร้อยภายในตัวดีมอดูเลทสัญญาณ BPSK .....	65
7.4	ความไว (Sensitivity) ของวงจรลูปกอสตาส .....	72
7.5	ไดอะแกรมรูปตา (Eye diagram) เมื่อสัญญาณ BPSK มีค่าประมาณ 10 mVp .....	73
7.6	เอาต์พุตสุดท้ายของตัวดีมอดูเลทสัญญาณ BPSK .....	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
บทที่ 8 สรุปผลการวิจัยและข้อเสนอแนะ .....	76
8.1 สรุปผลการวิจัย .....	76
8.2 ข้อเสนอแนะ .....	77
เอกสารอ้างอิง .....	78
ภาคผนวก ซีทข้อมูล (Data sheets) ของชิปที่สำคัญ ที่ใช้ในวงจรตัวคีมอคูเลทสัญญาณ BPSK ...	80
LM311 .....	81
MC74HC4046 .....	86
MC1495 .....	93
MC34072 .....	103
MC74HC688 .....	106
ประวัติผู้เขียน .....	109

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
2.1 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้มอดูเลเตอร์สมมูลย์ .....	6
2.2 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้ตัวมัลติเพล็กซ์เซอร์ (Multiplexer) .....	7
2.3 รูปคลื่นอินพุตและเอาต์พุตของการมอดูเลท BPSK .....	8
2.4 คุณลักษณะของสัญญาณ BPSK: (ก) ตารางความจริง; (ข) เฟสเซอร์ไดอะแกรม (Phasor diagram); (ค) ไดอะแกรมคอนสเทลเลชัน (Constellation diagram) .....	8
2.5 บล็อกไดอะแกรมของตัวมอดูเลท DBPSK .....	9
2.6 แผนภาพเวลา (Timing diagram) ของการมอดูเลท DBPSK .....	10
2.7 บล็อกไดอะแกรมของตัวมอดูเลท QPSK .....	10
2.8 แสดงสัญญาณอินพุต (ไบนารี) และสัญญาณเอาต์พุตของตัวมอดูเลท QPSK .....	11
2.9 คุณลักษณะของสัญญาณ QPSK: (ก) ตารางความจริง; (ข) ไดอะแกรมเฟสเซอร์ (Phasor diagram); (ค) ไดอะแกรมคอนสเทลเลชัน (Constellation diagram) .....	12
2.10 บล็อกไดอะแกรมของตัวมอดูเลทสัญญาณ BPSK .....	13
2.11 บล็อกไดอะแกรมของตัวมอดูเลทสัญญาณ DBPSK .....	14
2.12 แสดงเอาต์พุตของตัวมอดูเลเตอร์สมมูลย์ .....	15
2.13 แสดงความสัมพันธ์ระหว่างเฟสอินพุต และ ข้อมูลไบนารีทางด้านเอาต์พุตของ ตัวมอดูเลทสัญญาณ DBPSK .....	15
3.1 บล็อกไดอะแกรมของลูกบิกก้างสอง .....	16
3.2 บล็อกไดอะแกรมของลูกบิกคอสตาส .....	20
3.3 บล็อกไดอะแกรมของลูกบิกคอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุต .....	21
4.1 (ก) ข้อมูลไบนารีแบบ NRZ; (ข) ข้อมูลไบนารีแบบ RZ .....	24
4.2 รูปคลื่นของ NRZ ที่เร็วที่สุดด้วยข้อมูลไบนารีที่มีอัตราบิต $f_b = 1$ Mbps. ....	25
4.3 สเปกตรัมของข้อมูล NRZ .....	26
4.4 ตัวตีเทคต์ขอบข้อมูล NRZ .....	26
4.5 การตีเทคต์ขอบและการสุ่ม (sampling) ข้อมูล NRZ .....	27
4.6 (ก) การทำให้เป็นจริงทางแนวความคิดของวงจร CRC; (ข) วงจร CRC แบบบล็อกเฟส .....	28
4.7 การตอบสนองของตัวตีเทคเตอร์เฟสและความถี่แบบ 3 สถานะกับข้อมูลแรนดอม .....	29
4.8 บล็อกไดอะแกรมการกู้สัญญาณนาฬิกาโดยหลักการของการสังเคราะห์ความถี่ .....	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป(ต่อ)

รูปที่	หน้า
5.1 บล็อกไดอะแกรมของการตรวจสอบ และแก้ไขข้อมูลไบนารี (ภายหลังการดีมอดูเลท) ให้ถูกต้อง .....	31
5.2 บล็อกไดอะแกรมของหลักการที่ใช้ในการรีเซตระบบ .....	32
5.3 บล็อกไดอะแกรมหลังการทำงานของตัวควบคุมการเลือกสถานะทางลอจิก .....	33
6.1 บล็อกไดอะแกรมของวงจรที่ใช้ในการสร้างตัวดีมอดูเลทสัญญาณ BPSK .....	35
6.2 วงจรกรองแถบความถี่ผ่าน (BPF) .....	36
6.3 บล็อกไดอะแกรมของลูปคอสตาสที่ใช้เกิด EXOR เป็นมิกเซอร์ด้านอินพุต .....	37
6.4 วงจรขยายและจำกัดขนาดสัญญาณ (Amplifier & Limiter) .....	38
6.5 วงจรเกิด EXOR ที่นำมาใช้เป็นมิกเซอร์ด้านอินพุตของลูปคอสตาส .....	39
6.6 วงจร Baseband LPF .....	40
6.7 วงจรหารความถี่ 4 เท่า ที่ให้ 2 เอาต์พุต ที่มีเฟสต่างกัน $90^\circ$ ซึ่งใช้แทนตัวเลื่อนเฟส $90^\circ$ .....	41
6.8 ความสัมพันธ์ทางด้านเวลาของสัญญาณอินพุตและเอาต์พุตของวงจรหารความถี่ 4 เท่า .....	41
6.9 วงจรตัวดีเทกเตอร์ผลคูณ (Product detector) .....	42
6.10 ไดอะแกรมวงจรลจิกสำหรับ VCO ที่อยู่ในชิป MC74HC4046 .....	43
6.11 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO) .....	46
6.12 วงจรกรองความถี่ต่ำผ่านชนิดนำหน้า-ล่าหลังแบบพาสซีฟ .....	47
6.13 บล็อกไดอะแกรมของลูปคอสตาสที่ใช้เกิด EXOR เป็นมิกเซอร์ด้านอินพุต และใช้ตัวหารความถี่ 4 เท่าเป็นตัวเลื่อนเฟส $90^\circ$ .....	47
6.14 บล็อกไดอะแกรมหลักการหลักการทำงานของลูปคอสตาสในกิ่งคิของบล็อกไดอะแกรม ในรูปที่ 6.13 .....	49
6.15 แบบจำลองทางคณิตศาสตร์โดยประมาณของบล็อกไดอะแกรมในรูปที่ 6.14 .....	50
6.16 วงจรกรองลูปชนิดนำหน้า-ล่าหลังแบบพาสซีฟที่เพิ่มการลดทอนความถี่สูง .....	54
6.17 วงจรแปลงระดับสัญญาณที่เป็นแอนาลอกให้เป็นไบนารีโดยใช้วงจร Schmitt trigger .....	54
6.18 วงจรตรวจระดับความแรงของสัญญาณ .....	55
6.19 วงจรการรีเซตให้กับระบบ .....	56
6.20 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังการดีมอดูเลท) ให้ถูกต้อง .....	57
6.21 ภาพถ่ายวงจรทั้งหมดที่ใช้ในการสร้างตัวดีมอดูเลทสัญญาณ BPSK .....	59
7.1 แรงดันควบคุม VCO: (ก) กรณีที่ลูปมี $f_r < f_c$ อยู่ $\Delta f_c$ ; (ข) กรณีที่ลูปมี $f_r > f_c$ อยู่ $\Delta f_c$ .....	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป(ต่อ)

รูปที่	หน้า
7.2 แรงดันควบคุม VCO กรณีที่ลูปมี $f_r < f_c$ : (ก) 120 Hz; (ข) 140; (ค) 150 .....	61
7.3 แรงดันควบคุม VCO กรณีที่ลูปมี $f_r > f_c$ : (ก) 120 Hz; (ข) 140; (ค) 150 .....	62
7.4 แรงดันควบคุม VCO ในกรณีที่ลูปเคยล็อกที่ความถี่ $f_c$ อยู่ก่อนแล้ว: (ก) เมื่อ $f_c = 1.5$ kHz; (ข) เมื่อ $f_c = 1.45$ kHz; (ค) เมื่อ $f_c = 2.15$ kHz; และ (ง) เมื่อ $f_c = 2.155$ kHz .....	63
7.5 คลื่นพาห์ไซน์ซอซอด์ ที่ใช้ในการมอดูเลท .....	64
7.6 (เส้นบน) ข้อมูลไบนารี; (เส้นล่าง) คลื่นพาห์ที่ถูกมอดูเลทด้วยข้อมูลไบนารีในเส้นบน .....	64
7.7 เปรียบเทียบสัญญาณอินพุต (เส้นบน) และเอาต์พุต (เส้นล่าง) ของวงจรรอง BPF .....	65
7.8 สเปกตรัม (Spectra) ของสัญญาณ BPSK ก่อนผ่าน (ก) และหลังผ่าน (ข) วงจร BPF .....	65
7.9 สัญญาณอินพุต (เส้นบน) และเอาต์พุต (เส้นล่าง) ของวงจรรขยายและจำกัดขนาด .....	66
7.10 เอาต์พุตของ VCO (เส้นบน) และเอาต์พุตของตัวหารความถี่ 4 เท่าในกิ่งไอ (เส้นล่าง) .....	67
7.11 เอาต์พุตของตัวหารความถี่ 4 เท่าในกิ่งไอ (เส้นบน) และในกิ่งคิว (เส้นล่าง) ของลูปคอสตาส .....	67
7.12 สเปกตรัมที่เอาต์พุตของตัวหารความถี่ 4 เท่าในกิ่งไอ: (ก) Resolution bandwidth 30 Hz; (ข) Resolution bandwidth 3 Hz .....	68
7.13 เอาต์พุตของ Baseband LPF ในกิ่งไอ ของลูปคอสตาส ในกรณีที่ลูปทำงานอิสระ .....	68
7.14 เอาต์พุตของวงจรรอง Baseband LPF ในวงจรรูปคอสตาส: (เส้นบน) ด้านกิ่งไอ (I branch); (เส้นล่าง) ด้านกิ่งคิว (Q branch) .....	69
7.15 เปรียบเทียบระหว่างข้อมูลที่ใช้ในการมอดูเลทและเอาต์พุตของลูปคอสตาส: (ก) กรณี เฟสคลื่นพาห์ที่ถูได้ตรงกับเฟสคลื่นพาห์ที่ใช้ส่ง (ข) กรณีเกิดเฟสต่าง $180^\circ$ .....	69
7.16 เปรียบเทียบระหว่างคลื่นพาห์ที่ถูได้และเอาต์พุตหลังดีมอดูเลท: (ก) กรณีดีมอดูเลทได้ ข้อมูลที่ถูกต้อง; (ข) กรณีดีมอดูเลทแล้วได้ข้อมูลไบนารีที่ตรงข้าม .....	70
7.17 (ก) เปรียบเทียบเอาต์พุตของลูปคอสตาสและเอาต์พุตของตัวแปลงระดับสัญญาณ และ (ข) แสดงเอาต์พุตทั้งคู่ของเอาต์พุตตัวแปลงระดับสัญญาณ .....	70
7.18 เปรียบเทียบระหว่างข้อมูลที่ใช้ในการมอดูเลท (เส้นบน) กับเอาต์พุตของตัวแปลงระดับ สัญญาณ (เส้นล่าง): (ก) เอาต์พุตตรงๆ; (ข) เอาต์พุตหลังผ่าน Inverter .....	71
7.19 เปรียบเทียบระหว่างสัญญาณนาฬิกา (เส้นบน) และอินพุตตัวรีจิสเตอร์เลื่อน (เส้นล่าง): (ก) กรณีดีมอดูเลทได้ข้อมูลไม่กลับเฟส; (ข) กรณีดีมอดูเลทแล้วได้ข้อมูลกลับเฟสจากที่ส่งมา .....	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป(ต่อ)

รูปที่	หน้า
7.20 (ก) สัญญาณ BPSK $\approx 10$ mVp และเอาต์พุตของลูปกอสตาส	
(ข) สัญญาณ BPSK $\approx 10$ mVp และเอาต์พุตของตัวแปลงระดับสัญญาณ .....	72
7.21 (ก) สัญญาณ BPSK $\approx 5$ mVp และเอาต์พุตของลูปกอสตาส	
(ข) สัญญาณ BPSK $\approx 5$ mVp และเอาต์พุตของตัวแปลงระดับสัญญาณ .....	72
7.22 ไคอะแกรมรูปตาที่เอาต์พุตของลูปกอสตาส: (ก) Time jitter ด้านซ้ายประมาณ $\pm 16$ $\mu$ s.	
(ข) Time jitter ด้านขวาประมาณ $\pm 15$ $\mu$ s. ....	73
7.23 ไคอะแกรมรูปตาที่เอาต์พุตของตัวแปลงระดับสัญญาณ: (ก) การกระตุกทางด้านเวลาที่อยู่	
ด้านซ้ายประมาณ $\pm 58$ $\mu$ s. และ (ข) ที่อยู่ด้านขวาประมาณ $\pm 57$ $\mu$ s. ....	74
7.24 แสดงความแตกต่างของเวลาที่เกิดขอบขึ้นของสัญญาณนาฬิกา และขอบของข้อมูลที่ได้	
จากการคิมอดูเลท: (ก) กรณีคิมอดูเลทแล้ว ได้ข้อมูลที่ไม่กลับเฟส จะมีค่าน้อยที่สุด $\approx$	
120 $\mu$ s. (ข) กรณีคิมอดูเลทแล้วเกิดการกลับเฟสของข้อมูล จะมีค่าน้อยที่สุด $\approx 80$ $\mu$ s. ....	74
7.25 (ก) เมื่อขนาดเอาต์พุตของวงจร BPF $> 100$ mVp และเอาต์พุตของตัวคิมอดูเลท	
(ข) เมื่อขนาดเอาต์พุตของวงจร BPF $\leq 100$ mVp และเอาต์พุตของตัวคิมอดูเลท .....	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

การนำสัญญาณทางจิตตอลมามอดูเลทไปบนคลื่นพาห์ไซน์ซอซอดัล (Sinusoidal carrier) นั้นสามารถกระทำได้ 3 ลักษณะใหญ่ๆด้วยกันคือ การมอดูเลททางขนาดของคลื่นพาห์ หรือที่เรียกว่า ASK (Amplitude shift keying) การมอดูเลททางความถี่ของคลื่นพาห์เรียกว่า FSK (Frequency shift keying) และการมอดูเลททางเฟสของคลื่นพาห์ที่เรียกว่า PSK (Phase shift keying) ซึ่งมีลักษณะคล้ายคลึงกับการมอดูเลทของสัญญาณแอนาลอก (Analog) หรือสัญญาณที่มีการเปลี่ยนแปลงแบบต่อเนื่อง (Continuous) ไปบนคลื่นพาห์ไซน์ซอซอดัล ซึ่งเรียกว่า AM FM และ PM ตามลำดับ ในแต่ละลักษณะของการมอดูเลททางจิตตอลจะมีข้อดีและข้อเสียต่างกันออกไป กล่าวคือ ASK จะมีข้อดีคือเป็นเทคนิคที่ง่ายที่สุดที่ใช้ในการมอดูเลทและการดีมอดูเลท นอกจากนั้นสัญญาณ ASK ยังมีความสิ้นเปลืองแบนด์วิดท์ (Bandwidth) น้อยเท่ากับ PSK (ถ้าพิจารณาที่อัตราการส่งข้อมูลเท่ากัน) อีกด้วย แต่มีข้อเสียก็คือมีความอ่อนแอต่อสัญญาณรบกวนที่อยู่รอบๆช่องส่งสัญญาณ (Channel) มากที่สุดเมื่อเทียบกับสัญญาณ FSK และ PSK ส่วนทั้งสัญญาณ FSK และ PSK นั้นเนื่องจากเอนVELOP ของมันมีค่าคงที่ จึงไม่มีผลกระทบต่อสัญญาณรบกวนทางขนาดเมื่อเทียบกับสัญญาณ ASK แต่เนื่องจากสัญญาณ FSK นั้นมีความสิ้นเปลืองแบนด์วิดท์มากที่สุดเมื่อเทียบกับสัญญาณอื่น ดังนั้นการมอดูเลท PSK จึงเป็นทางเลือกที่น่าสนใจที่สุดสำหรับงานที่ต้องการทั้งความประหยัดแบนด์วิดท์หรือมีช่องส่งสัญญาณที่มีแบนด์วิดท์แคบ อาทิเช่น สายโทรศัพท์ และยังสามารถต้านทานต่อสัญญาณรบกวนที่อยู่รอบๆช่องส่งสัญญาณได้ดีอีกด้วย

โดยส่วนใหญ่แล้ว การดีมอดูเลทนั้นจะมีอุปสรรคหรือความยุ่งยากมากกว่าการมอดูเลทเสมอ ดังนั้นการออกแบบตัวดีมอดูเลทสัญญาณ PSK จะมีความยากลำบากกว่าการออกแบบตัวมอดูเลท PSK ซึ่งในวิทยานิพนธ์นี้ได้เป็นการออกแบบตัวดีมอดูเลทสัญญาณ PSK แบบไบนารีเท่านั้น ในการดีมอดูเลทสัญญาณ PSK นั้นสามารถแบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ โคฮีเรนต์ (Coherent) และนอนโคฮีเรนต์ (Non-coherent) ซึ่งได้กล่าวถึงรายละเอียดไว้ในบทที่ 2 อย่างไรก็ตามวิทยานิพนธ์นี้ได้ใช้การดีมอดูเลทประเภทโคฮีเรนต์ด้วยเหตุผลที่ว่า นอกจาก (โดยทางทฤษฎีแล้ว) จะให้ความผิดพลาดของข้อมูลที่ได้จากการดีมอดูเลทหรือที่เรียกกันทั่วไปว่า BER (Bit error rate) ต่ำกว่าประเภทนอนโคฮีเรนต์แล้ว ยังมีความเป็นไปได้ที่จะสามารถสร้างฮาร์ดแวร์ (ซึ่งยังคงสามารถกระทำได้โดยไม่ยุ่งยากเกินไปนัก) ขึ้นมาได้มากกว่าประเภทนอนโคฮีเรนต์ เพราะสิ่งที่เป็

อุปสรรคของนอนโคฮีเรนต์ (ซึ่งหมายถึง Differential PSK) ก็คืออุปกรณ์ที่จะนำมาใช้เป็นตัวดีเลย์

สัญญาณซึ่งจะต้องมีค่าดีเลย์ที่แน่นอน (เท่ากับคาบเวลาของการให้สัญญาณ หรือ Signaling) ที่ขึ้น  
เอกสารนี้เป็นลิขสิทธิ์สงวนลิขสิทธิ์หรือสงวนลิขสิทธิ์โดยเจ้าของเอกสารทุกฉบับ เมื่อผู้เขียนได้เผยแพร่เอกสารนี้  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับความถี่ของคลื่นพาห้ ซึ่งอาจเป็นการใช้อุปกรณ์ประเภท Delay line ในงานความถี่สูงๆ เช่น โทรทัศน์ หรือ โทรศัพท์มือถือ ซึ่งมีค่าการดีเลย์ให้เล็กลงและหาซื้อค่อนข้างลำบากในตลาดภายในประเทศ แต่ถ้าเป็นกรณีที่คลื่นพาห้มีความถี่ต่ำ (ในระดับ kHz) แล้วแทบเป็นไปได้เลย หรืออาจจะใช้ตัวกรองความถี่ที่มีการตอบสนองทางเฟสแบบเชิงเส้น (Linear-phase) มาเป็นตัวดีเลย์สัญญาณ ก็จะมีปัญหาน้อยมากในการปรับค่าอุปกรณ์ให้พอดีกับค่าดีเลย์ที่ต้องการ แต่ถึงกระนั้นก็ตามโดยลักษณะทางโครงสร้างของการคิโมอคูเลทประเภทนอนโคฮีเรนท์ (ได้กล่าวถึงรายละเอียดไว้ในบทที่ 2) นั้นเป็นแบบรูปเปิด ซึ่งทำให้เกิด BER ค่อนข้างสูงในกรณีที่ความถี่คลื่นพาห้ที่ตัวมอคูเลท PSK มีค่าเบี่ยงเบนหรือไม่นิ่งพอที่เรียกว่าเกิด Phase jitter ขึ้นนั้นจะก่อให้เกิดผลเสียคือ ค่าดีเลย์ที่ได้เคยเซตไว้แล้วจะไม่ตรงกับคาบเวลาของการให้สัญญาณ (Signaling period) ซึ่งเมื่อเวลาผ่านไปนานๆ จะทำให้เกิดเฟสสะสม (Accumulated Phase) จนทำให้การคิโมอคูเลทได้ข้อมูลที่ผิดพลาดเป็นช่วงๆ แต่ถ้าเป็นการมอคูเลทประเภทโคฮีเรนท์แล้วปัญหานี้จะไม่เกิดขึ้น เพราะเป็นระบบที่มีการซิงโครไนซ์ทางเฟสกับคลื่นพาห้ที่ใช้ในการมอคูเลทตลอดเวลา ซึ่งถึงแม้ว่าโดยทั่วไปแล้วการคิโมอคูเลทประเภทโคฮีเรนท์ดูเหมือนว่าจะมีความซับซ้อนมากกว่าประเภทนอนโคฮีเรนท์ก็ตาม แต่สำหรับในงานที่ใช้คลื่นพาห้ที่มีความถี่ไม่สูงมากนัก (ไม่เกิน 1 MHz) ก็ยังมีความเป็นไปได้ที่จะสามารถกระทำสำเร็จได้มากกว่า และอีกประการหนึ่ง (ซึ่งเป็นจุดสำคัญและมีความเกี่ยวข้องกัน) สำหรับกรณีของเทคนิคที่ใช้กับโมเด็มแบบซิงโครนัส (Synchronous modem) ซึ่งส่วนใหญ่จะเป็นโมเด็มความเร็วปานกลางและความเร็วสูง (กรณีที่ใช้ช่องสัญญาณเป็นสายโทรศัพท์ปกติ) มักจะใช้เทคนิคของ PSK และ QAM [1] ตามลำดับ

ดังนั้นงานวิจัยนี้จึงจัดว่าเป็นการเริ่มต้นทางด้านการปฏิบัติ ในการสร้างตัวคิโมอคูเลทสัญญาณ PSK ที่ได้จากการมอคูเลทสัญญาณไบนารีทีละ 1 บิตไปบนคลื่นพาห้ไซน์ซอซอด์ ซึ่งเรียกว่า Binary PSK ซึ่งเป็นแบบโคฮีเรนท์ และจากความรู้ที่ได้จากการศึกษาและวิจัยนี้สามารถนำไปพัฒนาต่อในการสร้างตัวคิโมอคูเลทสัญญาณ PSK ที่ถูกมอคูเลทจากสัญญาณไบนารีทีละหลายบิตต่อไปในอนาคตได้ อาทิเช่น QPSK (Quadrature phase shift keying) ซึ่งเป็นมอคูเลทสัญญาณไบนารีทีละ 2 บิต

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ความมุ่งหมายในการวิจัยนี้เพื่อสร้างฐานทางด้านความรู้ (Knowledge base) ทั้งทางทฤษฎีและทางด้านการปฏิบัติได้จริงในการคิโมอคูเลทสัญญาณ PSK เพื่อที่จะสามารถพัฒนาไปสู่การสร้างโมเด็มที่ใช้หลักการของ PSK ซึ่งมีลักษณะเด่นดังที่ได้กล่าวไปแล้ว อย่างไรก็ตามแม้ว่าจะมีผลิตภัณฑ์ อาทิเช่น Modem (Modulator/Demodulator) ที่ใช้หลักการดังกล่าวผลิตออกมาจำหน่ายเป็นเวลานานแล้วก็ตาม แต่เนื่องจากวิธีการประดิษฐ์หรือ know-how โดยละเอียดนั้นหาข้อมูลได้ยากมากและไม่ค่อยจะเปิดเผย และแม้ว่าในปัจจุบันจะมีการผลิตชิป (Chip) สำเร็จรูปออกมาจำหน่าย

แล้วก็ตาม แต่ยังหาซื้อได้ยากในประเทศหรือไม่ก็ต้องสั่งซื้อซึ่งมีราคาค่อนข้างแพง เอกสารนี้เขียนขึ้นเพื่อให้นักเรียนหรือนักศึกษาที่สนใจในการศึกษาด้านนี้ ได้อ่านและศึกษาเพื่อเป็นประโยชน์ในการศึกษาไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในการศึกษาและการทำวิทยานิพนธ์นี้จึงมีวัตถุประสงค์หลัก ที่จะใช้เฉพาะชิปหรือไอซี ที่มีจำหน่ายอยู่แล้วหรือหาซื้อได้ง่ายภายในประเทศโดยไม่ต้องสั่งซื้อ มาตรฐานเป็นตัวคิมอดูเลท สัญญาณ PSK ซึ่งสามารถใช้ไอซีที่ถูกใช้ร่วมกับงานประเภทอื่นได้ (Common chip) และหาซื้อได้ค่อนข้างง่าย เช่น (ที่เกี่ยวข้องกับงานวิจัยนี้) เกตต่างๆ ดี-ฟลิปฟลอป เฟสล็อกกลูปแบบซิมอส รีจิสเตอร์ตัวเลื่อนและอื่นๆ ซึ่งสามารถนำมาประยุกต์ใช้ได้ (ดังได้กล่าวถึงรายละเอียดในบทที่ 3) โดยเฉพาะกับงานที่ไม่ได้ต้องการความสามารถในการส่งข้อมูลด้วยความเร็วสูงเช่น การวัดระยะไกล (Telemetry) ที่มีการ Update ข้อมูลไม่เร็วนัก เช่น การวัดอุณหภูมิ นอกจากนั้นยังจัดว่าเป็นจุดเริ่มต้นในการพัฒนาไปสู่การสร้างโมเด็มซิงโครนัส (Synchronous modem) ความเร็วปานกลางหรือความเร็วสูงอีกด้วย

### 1.3 สมมติฐานของการศึกษา

ก่อนที่จะสร้างตัวคิมอดูเลทสัญญาณ PSK นั้นจะต้องทำการศึกษาถึงทฤษฎีของสัญญาณ PSK ทั้งทางคุณลักษณะและผลกระทบที่มีต่อระบบ เช่น แบนด์วิดท์ของสัญญาณ ชนิดของช่องส่งสัญญาณ และอื่นๆ และศึกษาหลักการการมอดูเลท PSK เสียก่อน แล้วจึงทำการศึกษาลักษณะการคิมอดูเลทต่อไป จากนั้นจะต้องสร้างหรือจำลองสัญญาณ PSK เพื่อใช้ในการทดสอบ เมื่อมีสัญญาณ PSK เพื่อไว้ใช้สำหรับทดสอบแล้วจึงทำการศึกษาวิธีการที่จะสร้างตัวคิมอดูเลท แล้วจึงค้นคว้าและเลือกหาอุปกรณ์ที่เหมาะสมที่จะสามารถนำมาประยุกต์ใช้กับงานวิจัย ซึ่งจะต้องมีจำหน่ายภายในประเทศเท่านั้นและค่อนข้างหาซื้อได้ง่ายอีกด้วย เพื่อที่จะนำมาสร้างตัวคิมอดูเลทสัญญาณ PSK จากนั้นทำการทดสอบการคิมอดูเลทเพื่อพิสูจน์ว่าสามารถคิมอดูเลทได้ข้อมูลที่ถูกต้องหรือไม่ และถ้าเกิดข้อผิดพลาดขึ้นจะต้องหาวิธีแก้ไข รวมทั้งบันทึกผลลงเพื่อใช้ในการอ้างอิง ถ้าผลการทดลองเป็นที่พอใจ ซึ่งหมายถึงสามารถคิมอดูเลทได้ข้อมูลถูกต้องแม้อย่างน้อยที่สุด SNR (Signal to noise ratio) ของสัญญาณ PSK ที่นำมาคิมอดูเลทจะมีค่าสูง ซึ่งก็คือแทบจะปราศจากสัญญาณรบกวนก็ตาม

### 1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ทฤษฎีของเฟสล็อกกลูป (Phase-locked loop) หรือ PLL ถือว่าเป็นทฤษฎีหลักที่สำคัญของงานวิจัยนี้ ซึ่งสามารถนำไปประยุกต์ใช้กับการออกแบบลูปคอสตาส (Costas loop) อันเป็นหัวใจของงานวิจัยนี้ และได้มีการพัฒนาและประยุกต์นำเอาชิปที่หาซื้อได้ง่าย กล่าวคือ เกตเอ็็กคลูซีฟออร์ ดี-ฟลิปฟลอป PLL แบบซิมอส และวงจรรวมแรงดันแบบแอนาลอก มาใช้ในการสร้างฮาร์ดแวร์ของตัวคิมอดูเลทสัญญาณ BPSK (โคฮีเรนท์)

## 1.5 ขอบเขตการวิจัย

สร้างตัวมอดูเลทสัญญาณ BPSK (Binary PSK) ที่มีแบนด์วิดท์ไม่เกิน 3 kHz ซึ่งมีความถี่อยู่ในช่วงความถี่ที่สามารถใช้งานกับสายโทรศัพท์ที่ปกติได้ (300-3300 Hz) แบบโคฮีเรนซ์ โดยสัญญาณ BPSK นี้ใช้คลื่นพาห้ที่มีความถี่ 1,800 Hz โดยมีอัตราบิต 1,800 bps. (Bit per second) และอัตราสัญลักษณ์ (Symbol rate) หรืออัตราการมอดูเลท 1,800 sps. (Symbol per second) โดยใช้ไอซีที่หาซื้อได้ง่ายเป็นส่วนใหญ่และสามารถหาซื้อได้ภายในประเทศไทย

## 1.6 ขั้นตอนของการศึกษา

ขั้นตอนของการศึกษาและทำการวิจัยมีขั้นตอนต่างๆดังต่อไปนี้

- 1.6.1 ศึกษาระบบการมอดูเลทและการดีมอดูเลทแบบดิจิทัล
- 1.6.2 ศึกษาหลักการของ PSK ทั้งการมอดูเลทและการดีมอดูเลท
- 1.6.3 สร้างสัญญาณ PSK เพื่อใช้ในการทดสอบตัวดีมอดูเลท
- 1.6.4 ศึกษาทฤษฎีของ PLL
- 1.6.5 เลือกว่าชิป PLL ที่มีจำหน่ายภายในประเทศรวมทั้งศึกษาวิธีการใช้งาน เพื่อทำการทดลองเกี่ยวกับ PLL
- 1.6.6 นำทฤษฎีของ PLL มาประยุกต์ใช้กับการออกแบบรูปคอสตาสเพื่อใช้สร้างตัวดีมอดูเลท
- 1.6.7 เลือกว่าอุปกรณ์ที่จำเป็นต้องใช้และมีจำหน่ายภายในประเทศ พร้อมทั้งศึกษาวิธีการใช้งาน เพื่อนำไปสร้างวงจรรูปคอสตาส
- 1.6.8 สร้างวงจรรูปคอสตาสเพื่อใช้ในการดีมอดูเลทสัญญาณ BPSK
- 1.6.9 ทำการทดสอบการดีมอดูเลทสัญญาณ BPSK จากสัญญาณที่ได้สร้างขึ้นจากหัวข้อ 1.6.3 ด้วยวงจรรูปคอสตาสที่ได้สร้างขึ้น พร้อมทั้งบันทึกผลการทดลอง
- 1.6.10 สรุปผลการทดลองและวิเคราะห์ปัญหาที่เกิดขึ้น รวมทั้งเสนอแนวทางการแก้ปัญหา และเสนอแนวทางในการพัฒนาต่อไป

## 1.7 แก่โครงการวิทยานิพนธ์

บทที่ 1 บทนำ ซึ่งจะกล่าวถึงความเป็นมาและความสำคัญของปัญหาที่ได้ศึกษาวิจัย ความมุ่งหมาย และวัตถุประสงค์ของการศึกษา สมมติฐานของการศึกษา ตลอดจนทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย ขอบเขตการวิจัย และสุดท้ายขั้นตอนของการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บทที่ 2 เป็นทฤษฎีและหลักการของการมอดูเลต PSK และการคิ่มอดูเลตสัญญาณ PSK ในแบบต่างๆ ทั้งแบบโคฮีเรนต์ (Coherent) และแบบนอนโคฮีเรนต์ (Non-coherent) โดยการมอดูเลตและคิ่มอดูเลตทางเฟส นั้น จะมีทั้งแบบมอดูเลตและคิ่มอดูเลตทีละ 1 บิต และแบบทีละมากกว่า 1 บิต
- บทที่ 3 เป็นการอธิบายและแสดงหลักการต่างๆ ในการกู้คลื่นพาห์ (Carrier recovery) โดยได้แสดงหลักการที่เป็นที่นิยมใช้กัน กล่าวคือ วิธีลูบยกกำลังสอง และวิธีลูบคอสตาส และสุดท้ายเป็นการแสดงการประยุกต์ใช้ลูบคอสตาสที่ใช้มิกเซอร์ด้านอินพุตเป็นเกตเอกซ์คลูซีฟออร์
- บทที่ 4 เป็นการแสดงหลักการและสถาปัตยกรรมที่ใช้ในการกู้สัญญาณนาฬิกา (Clock recovery) จากข้อมูลไบนารีที่คิ่มอดูเลตได้จากตัวคิ่มอดูเลตสัญญาณ BPSK ซึ่งข้อมูลไบนารีที่ใช้มีรูปแบบเป็น NRZ format ดังนั้นจึงได้อธิบายคุณลักษณะเฉพาะของรูปแบบข้อมูลไบนารีดังกล่าว และวิธีที่นิยมใช้ในการกู้สัญญาณนาฬิกาจากข้อมูลไบนารีนั้น
- บทที่ 5 เนื่องจากในการกู้คลื่นพาห์ ไม่ว่าจะเป็วิธีของลูบยกกำลังสอง หรือวิธีของลูบคอสตาส นั้น จะมีเฟสกำกวม (Phase ambiguity) เป็นปริมาณ  $180^\circ$  ซึ่งทำให้เกิดปัญหาเกี่ยวกับข้อมูลไบนารี ภายหลังกการคิ่มอดูเลต เกิดสถานะทางลอจิกที่ตรงข้ามไปจากที่ได้มอดูเลตมา ดังนั้นจึงต้องมี การตรวจสอบและแก้ไขข้อมูลไบนารีที่คิ่มอดูเลตได้ให้มีสถานะทางลอจิกที่ถูกต้อง ก่อนนำไปใช้งานต่อไป ซึ่งหลักการที่ใช้ในการตรวจสอบและแก้ใขนั้น ได้ถูกแสดงไว้ในบทนี้แล้ว
- บทที่ 6 ในบทนี้จะเป็นการแสดงวงจรที่ใช้สร้าง และการออกแบบวงจร ของตัวคิ่มอดูเลตสัญญาณ BPSK ซึ่งจะประกอบด้วยวงจรต่างๆ ดังนี้ วงจรกรองแถบความถี่ผ่าน (BPF) วงจรลูบคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต วงจรแปลงระดับสัญญาณ วงจรตรวจระดับความแรงของสัญญาณ วงจรรีเซตให้กับระบบ วงจรตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังกการคิ่มอดูเลต) ให้ถูกต้อง
- บทที่ 7 เป็นการแสดงผลการทดลองของตัวคิ่มอดูเลตที่ได้สร้างขึ้นจากหลักการในบทที่ 3 และ 5 และวงจรที่ได้ออกแบบไว้ในบทที่ 6 ในจุดต่างๆ ของวงจร
- บทที่ 8 เป็นการสรุปผลการวิจัย ข้อดีและข้อเสียของหลักการที่ใช้ในการวิจัย และให้ข้อเสนอแนะในการพัฒนาต่อไป

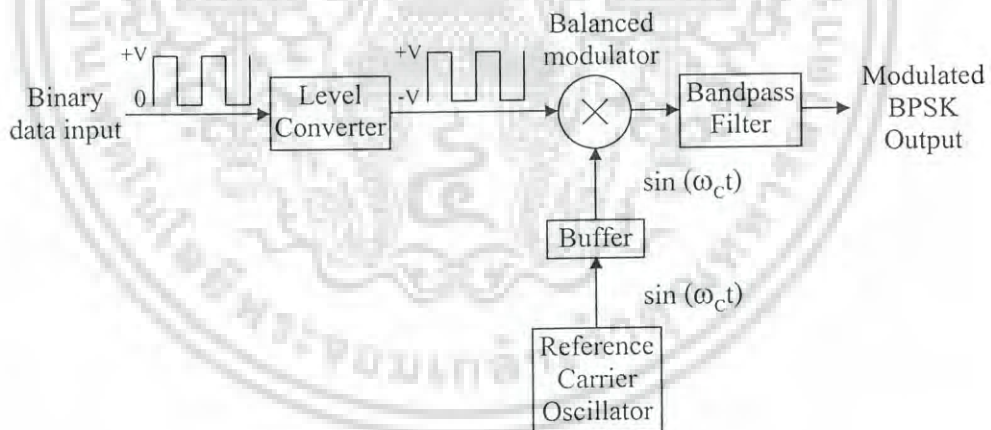
## บทที่ 2

# ทฤษฎีของการมอดูเลทและดีมอดูเลทสัญญาณ PSK

### 2.1 การมอดูเลท PSK

การมอดูเลท PSK (phase shift keying) เป็นการมอดูเลททางดิจิทัล (digital modulation) อย่างหนึ่ง ซึ่งเป็นการนำเอาข้อมูลทางดิจิทัล (โดยส่วนใหญ่จะมีรูปแบบเป็นไบนารี คือมีเพียงสอง 2 ลักษณะที่แตกต่างกัน) ที่เรียงตามกันมา (data stream) มามอดูเลททางเฟสกับคลื่นพาห์ไซน์ซอซoidal (sinusoidal carrier) ซึ่งเป็นการเลื่อนองค์ประกอบความถี่ (frequency spectrum) ของสัญญาณเบสแบนด์ (baseband) (โดยปกติจะมีความถี่ต่ำกว่าความถี่ของคลื่นพาห์) ไปยังช่วงความถี่ที่อยู่รอบๆ ความถี่คลื่นพาห์ และเนื่องจากการนำข้อมูลดิจิทัลมอดูเลททางเฟสนั้นสามารถกระทำได้หลายรูปแบบ ยกตัวอย่าง เช่น BPSK, DBPSK, QPSK, DQPSK, MPSK และนอกจากนั้นยังมีการนำ QPSK 2 ชุดมาทำเป็น 16-QAM [3] อีกด้วย อย่างไรก็ตามจะขอกล่าวถึงรายละเอียดพอสังเขปเพียง 3 รูปแบบแรกที่ได้ยกตัวอย่างมาดังนี้

#### 2.1.1 การมอดูเลท BPSK

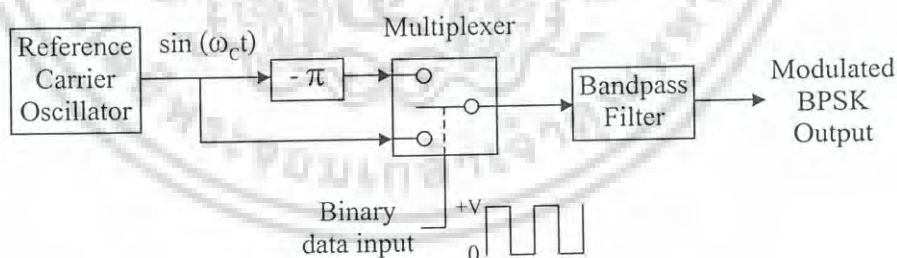


รูปที่ 2.1 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้ตัวมอดูเลเตอร์สมดุลย์

การนำสัญญาณไบนารีที่เรียงตามกันมาไปมอดูเลททางเฟสกับคลื่นพาห์ทีละ 1 บิตนั้น เรียกว่า การมอดูเลทพีเอสเคแบบไบนารี หรือ BPSK (binary phase shift keying) หรือ PRK (phase reversal keying) [2, 4] ซึ่งมีสองเฟสที่เอาต์พุต (ต่างเวลากัน) ซึ่งต่างกัน  $180^\circ$  หรือ  $\pi$  เรเดียน (radian) เพื่อใช้แสดงสถานะทางลอจิกของสัญญาณไบนารี เมื่อเฟสหนึ่งแทนลอจิก '1' และอีกเฟสแทนลอจิก '0' ก็เหมือนกับว่าเมื่อสัญญาณไบนารีที่อินพุตของตัวมอดูเลเตอร์เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนสถานะ เฟสของคลื่นพาห้ทางด้านเอาต์พุตก็จะเปลี่ยนแปลงเฟสตามไปด้วย ในการให้กำเนิดสัญญาณ BPSK นั้นสามารถกระทำได้โดยหลายวิธีด้วยกัน ซึ่งในที่นี้ได้แสดงไว้เพียง 2 วิธี ดังในรูปที่ 2.1 และ 2.2

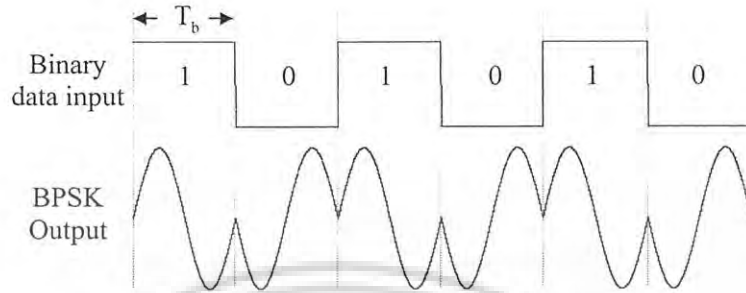
รูปที่ 2.1 เป็นวิธีหนึ่งที่ใช้ในการให้กำเนิดสัญญาณ BPSK ซึ่งแสดงเป็นบล็อกไดอะแกรมแบบง่าย ๆ ดังนี้ ตัวมอดูเลเตอร์แบบสมมูลย์ (Balanced modulator) ทำหน้าที่เหมือนกับสวิทช์เลือกการกลับเฟสของออสซิลเลเตอร์คลื่นพาห้อ้างอิง (Reference carrier oscillator) ซึ่งขึ้นอยู่กับเงื่อนไขสัญญาณไบนารีทางด้านอินพุตของมัน ทำให้คลื่นพาห้ถูกส่งไปสู่เอาต์พุต โดยมีเฟส ตรงกันหรือตรงข้ามกับเฟสของตัวออสซิลเลเตอร์คลื่นพาห้อ้างอิง สัญญาณไบนารีที่แสดงไว้ในรูปนั้นเป็นสัญญาณดิจิตอลรูปแบบไม่กลับสู่ศูนย์ชั่วเดียว (unipolar-NRZ) [5] ซึ่งมีระดับของแรงดันไฟฟ้าเป็น  $+V$  หรือ  $0$  ตามสถานะทางลอจิกที่เป็น '1' หรือ '0' ตามลำดับ ดังนั้นก่อนที่จะนำสัญญาณดิจิตอลไปมอดูเลตผ่านตัวมอดูเลเตอร์สมมูลย์ จะต้องทำการเปลี่ยนระดับสัญญาณเป็น  $+V$  หรือ  $-V$  ตามลอจิกที่เป็น '1' หรือ '0' ตามลำดับเสียก่อน โดยใช้ตัวแปลงระดับสัญญาณ (Level converter) ทำให้เอาต์พุตของตัวมอดูเลเตอร์สมมูลย์มีค่าเป็น  $+\sin(\omega_c t)$  และ  $-\sin(\omega_c t)$  หรือ  $\sin(\omega_c t \pm \pi)$  ตามลอจิก '1' และ '0' ตามลำดับ ( $\omega_c$  เป็นความถี่เชิงมุมของตัวออสซิลเลเตอร์คลื่นพาห้อ้างอิง) ซึ่งได้แสดงรูปสัญญาณ (อินพุต และเอาต์พุตของตัว มอดูเลเตอร์สมมูลย์) ไว้ในรูปที่ 2.3 โดย  $T_b$  (bit time) ที่ได้แสดงไว้ในรูปนั้น หมายถึงเวลาที่ใช้ไปใน 1 บิตข้อมูล ส่วนตัวกรองแถบความถี่ผ่านในรูปที่ 2.1 นั้นมีไว้สำหรับจำกัดความถี่ที่เอาต์พุตของตัวมอดูเลเตอร์สมมูลย์



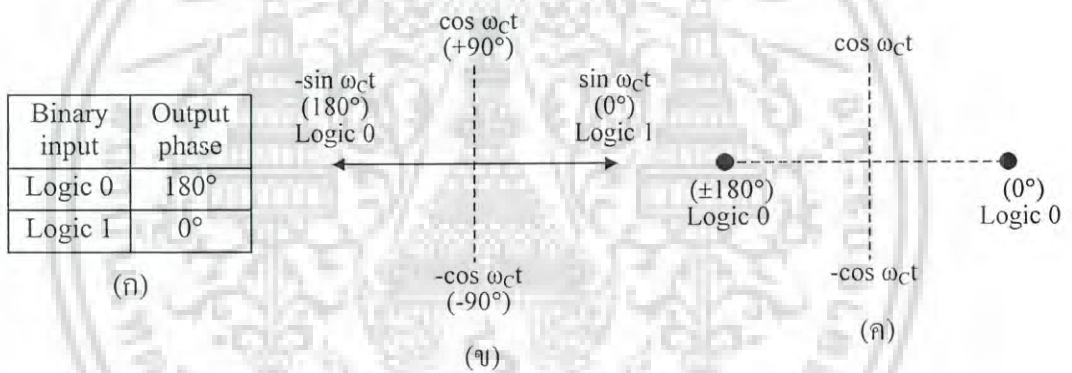
รูปที่ 2.2 บล็อกไดอะแกรมของการกำเนิดสัญญาณ BPSK แบบใช้ตัวมัลติเพล็กซ์เซอร์ (Multiplexer)

อีกวิธีหนึ่งซึ่งเป็นหลักการที่สามารถใช้ในการให้กำเนิดสัญญาณ BPSK ได้เหมือนกัน โดยมีหลักการส่วนใหญ่คล้ายกับวิธีแรก ต่างกันที่วิธีนี้นั้นใช้สวิทช์จริงๆเป็นตัวเลือกสัญญาณเฟสของออสซิลเลเตอร์คลื่นพาห้อ้างอิงที่มีเฟสที่เอาต์พุตต่างกัน  $180^\circ$  อยู่แล้ว รูปที่ 2.4 เป็นการแสดงคุณลักษณะทางอินพุตและเอาต์พุตของสัญญาณ BPSK โดยรูป (ก) เป็นการแสดงเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขระหว่างข้อมูล ไบนารีที่อินพุตและสัญญาณที่เฟสเอตต์พุตภายหลังการมอดูเลททางเฟส รูป (จ) นั้นเป็นเฟสเซอร์ไดอะแกรมที่เอตต์พุต และรูป (ค) เป็นคอนสเทลเลชันไดอะแกรม (Constellation diagram) ของสัญญาณ BPSK



รูปที่ 2.3 รูปคลื่นอินพุตและเอตต์พุตของการมอดูเลท BPSK



รูปที่ 2.4 คุณลักษณะของสัญญาณ BPSK: (ก) ตารางความจริง; (ข) เฟสเซอร์ไดอะแกรม (Phasor diagram); (ค) คอนสเทลเลชันไดอะแกรม (Constellation diagram)

จากรูปที่ 2.1 ตัวมอดูเลเตอร์สมมูลย่นนี้ก็คือตัวมอดูเลเตอร์ผลคูณ (Product modulator) โดยที่เอตต์พุตของมันเป็นผลคูณของ 2 สัญญาณที่อินพุตของมัน ซึ่งก็คือออสซิลเลเตอร์คลื่นพาห์อ้างอิงนั้นถูกคูณด้วยสัญญาณไบนารี คือถ้า +1 V แทนลอจิก '1' และ -1 V แทนลอจิก '0' ดังนั้นคลื่นพาห์ถูกคูณด้วย +1 หรือ -1 ผลที่ตามมาคือเอตต์พุตของตัวมอดูเลเตอร์เป็นได้ทั้ง +1 sin( $\omega_c t$ ) หรือไม่กี่ -1 sin( $\omega_c t$ ) ซึ่งเป็นสัญญาณที่มีเฟสตรง (In phase) กับเฟสของออสซิลเลเตอร์อ้างอิงหรือไม่ก็มีเฟสตรงข้าม (ต่างเฟสกัน 180°) กับเฟสของออสซิลเลเตอร์อ้างอิง ในแต่ละครั้งที่ลอจิกทางด้านอินพุตนั้นเปลี่ยนสถานะ เฟสของเอตต์พุตของตัวมอดูเลเตอร์จะเปลี่ยนตามด้วย ดังนั้นอัตราการเปลี่ยนเฟสที่เอตต์พุต (baud) ก็เท่ากับอัตราการเปลี่ยนแอกสสารนี้เป็นแอกสสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของแอกสสารทุกครั้งที่มีการนำไปใช้

สถานะลอจิก (bps) ด้วย และแบนด์วิดท์ที่กว้างที่สุดที่เอาต์พุตเกิดขึ้นเมื่อสัญญาณไบนารีมี sequence ของลอจิก ‘0’ และ ‘1’ สลับกัน ซึ่งความถี่หลักมูล (fundamental frequency) ของ sequence ของ ‘0’ และ ‘1’ ที่สลับไปมานั้นเท่ากับครึ่งหนึ่งของอัตราบิต (bit rate) และโดยทางคณิตศาสตร์แล้วเอาต์พุตของตัวมอดูเลท BPSK จะเป็น

$$\text{BPSK output} = \sin(\omega_a t) \times \sin(\omega_c t) \tag{2.1}$$

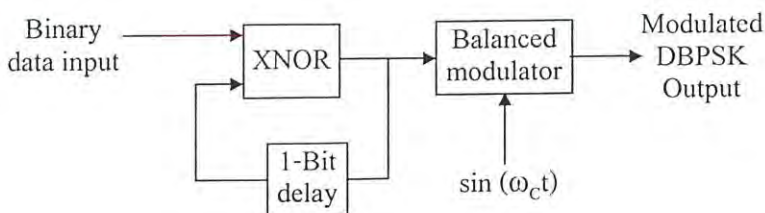
เมื่อ  $\omega_a$  คือความถี่เชิงมุมหลักมูลที่มากที่สุดของสัญญาณไบนารี (radian) และด้วยคุณสมบัติทางตรีโกณของการคูณกันของฟังก์ชันไซน์ เราสามารถเขียนสมการที่ (2.1) ได้เป็น

$$\text{BPSK output} = 0.5 [\cos(\omega_c - \omega_a)t - \cos(\omega_c + \omega_a)t] \tag{2.2}$$

โดยองค์ประกอบความถี่ทางด้านเอาต์พุตจากตัวมอดูเลเตอร์ นั้นโดยคร่าวๆแล้วก็เหมือนกับองค์ประกอบความถี่ของสัญญาณแถบข้างคู่ไร้คลื่นพาห้ (DS-SS) ซึ่งมีความถี่ด้านต่ำและด้านสูงที่แยกจากความถี่คลื่นพาห้โดยค่าที่เท่ากับครึ่งหนึ่งของอัตราบิต ดังนั้นแบนด์วิดท์ที่น้อยที่สุดที่ต้องการเพื่อผ่านสัญญาณ BPSK ในกรณีเลวร้ายที่สุดมีค่าเท่ากับอัตราบิต ( $f_b$ ) ของสัญญาณไบนารีทางด้านอินพุต

### 2.1.2 การมอดูเลท DBPSK

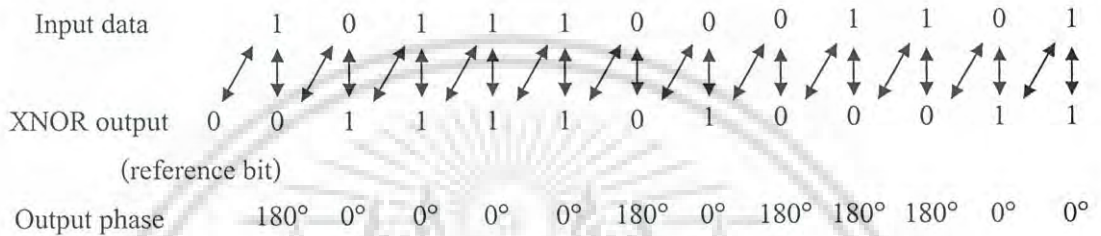
เนื่องจากการตีมอดูเลทสัญญาณ PSK แบบดิฟเฟอเรนเชียล (differential PSK) นั้นอาศัยข้อมูลเฟสของสัญลักษณ์การให้สัญญาณ (signaling symbol) ก่อนหน้าปัจจุบันหนึ่งคาบเวลาการให้สัญญาณ (1 signaling period:  $T_s$ ) เป็นตัวอ้างอิงทางเฟสสำหรับการตีเทกต์สัญลักษณ์ปัจจุบัน ซึ่งได้กล่าวไว้ในหัวข้อ 2.2.2 (เฉพาะในกรณีของการตีมอดูเลทสัญญาณ DBPSK เท่านั้น) ดังนั้นในการมอดูเลท PSK แบบดิฟเฟอเรนเชียล หรือ DPSK นั้น ข้อมูลไบนารีที่เรียงตามกันมาจะถูกทำการเข้ารหัสแบบดิฟเฟอเรนเชียล (differential encoding) ก่อนนำไปมอดูเลททางเฟสกับคลื่นพาห้อ้างอิง



รูปที่ 2.5 บล็อกไดอะแกรมของตัวมอดูเลท DBPSK

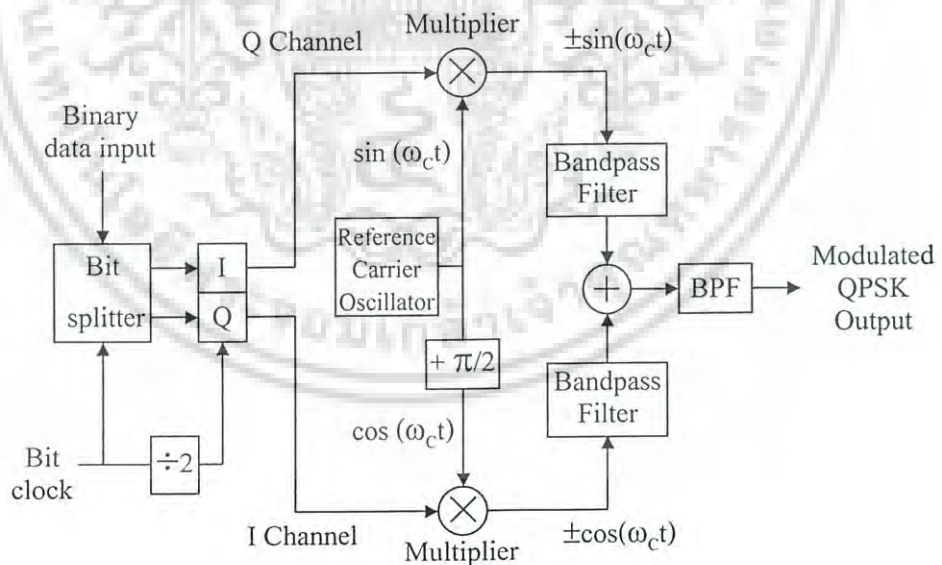
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีของตัวมอดูเลท BPSK แบบดิฟเฟอเรนเชียล หรือ DBPSK (differential BPSK) ซึ่งได้แสดงไว้ในรูปที่ 2.5 นั้น การเข้ารหัสแบบดิฟเฟอเรนเชียลของสัญญาณไบนารีถูกกระทำโดยการนำข้อมูลไบนารีบิตปัจจุบันไป XNOR (exclusive-NOR) กับข้อมูลไบนารีบิตก่อนหน้า 1 บิตข้อมูลผ่านเกต XNOR แล้วจึงนำไปมอดูเลทกับคลื่นพาห้ไซน์  $\sin(\omega_c t)$  โดยที่สถานะทางลอจิกของข้อมูลไบนารีในแต่ละบิตทั้งก่อนและหลังการเข้ารหัส รวมถึงเฟสทางเอาต์พุตภายหลังกการมอดูเลทได้ถูกแสดงไว้ในรูปที่ 2.6 และในส่วนของแบนด์วิดท์ของสัญญาณ DBPSK นั้นก็คล้ายกันกับในกรณีของ BPSK



รูปที่ 2.6 แผนภาพเวลา (Timing diagram) ของการมอดูเลท DBPSK

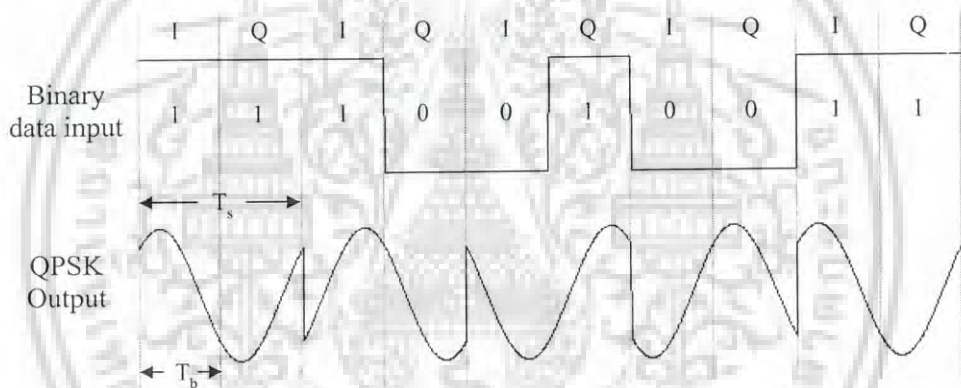
### 2.1.3 การมอดูเลท QPSK



รูปที่ 2.7 บล็อกไดอะแกรมของตัวมอดูเลท QPSK

จะเห็นได้ว่าทั้ง BPSK และ DBPSK นั้นเพียงทีละ 1 บิตข้อมูลเท่านั้นที่ใช้ในการมอดูเลท ซึ่งมีอัตราสัญลักษณ์ ( $f_s$ : symbol rate) หรืออัตราการให้สัญญาณ (signaling rate) เท่ากับอัตราเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต ( $f_b$ : bit rate) อย่างไรก็ตามยังมีวิธีที่สามารถเพิ่มอัตราบิตในขณะที่ยังคงมีอัตราสัญลักษณ์เท่าเดิมได้ โดยใช้มากกว่าที่ละ 1 บิตในการให้สัญญาณหรือการมอดูเลต ซึ่งเป็นการเพิ่มประสิทธิภาพทางด้านแบนด์วิดท์ (bandwidth efficiency) ในการส่งสัญญาณ การใช้สัญญาณไบนารีมากกว่าที่ละ 1 บิตมามอดูเลตทางเฟสโดยทั่วไปเรียกว่า MPSK (multiple phase shift keying) ซึ่ง  $M$  หมายถึงจำนวนของสัญลักษณ์ที่แตกต่างกันในการให้สัญญาณซึ่งในกรณีนี้ก็หมายถึงจำนวนของเฟสที่แตกต่างกันนั่นเอง และโดยทางคณิตศาสตร์ (กรณีข้อมูลที่ใช้ในการมอดูเลตเป็นเลขฐานสอง) แล้ว  $M = 2^N$  ซึ่ง  $N$  คือจำนวนบิต ดังนั้น  $N = \log_2 M$  การมอดูเลต QPSK (quadri- [3, 4] หรือ quaternary [3, 5] หรือ quadrature phase shift keying) นั้นจัดอยู่ในกลุ่มของ MPSK ซึ่งมี  $M = 4$  หรือหมายถึง ใช้สัญญาณไบนารี 2 บิตในแต่ละครั้งของการให้สัญญาณ การกำเนิดของสัญญาณ QPSK โดยแท้จริงแล้วก็คือการรวมกันของสัญญาณ BPSK 2 ชุด ซึ่งคลื่นพาห่อ้างอิงของแต่ละชุดมีเฟสต่างกัน  $90^\circ$  หรือ  $\pi/2$  เรเดียน



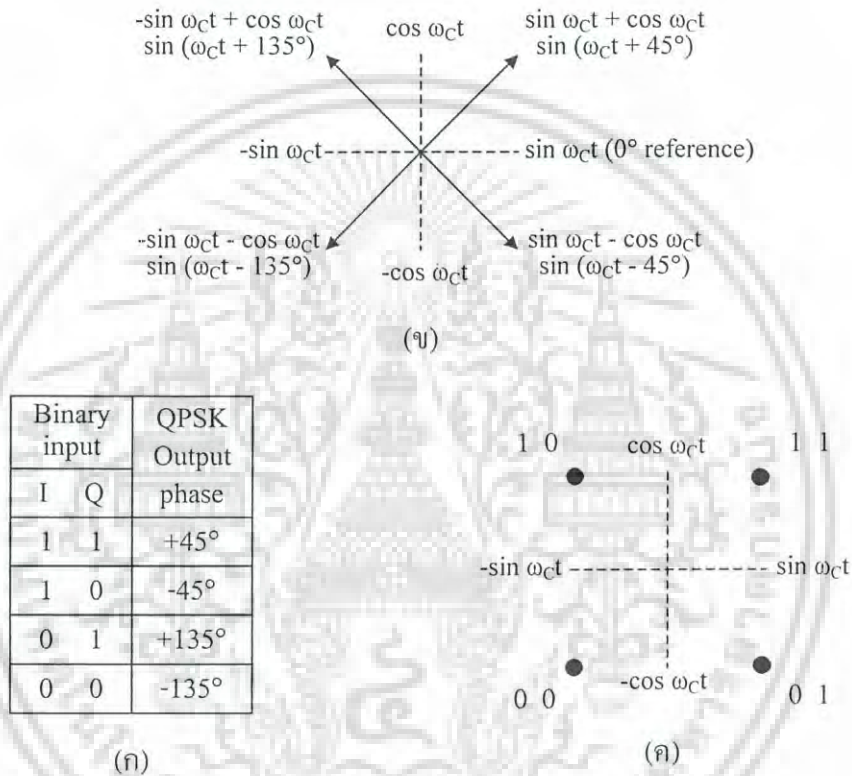
รูปที่ 2.8 แสดงสัญญาณอินพุต (ไบนารี) และสัญญาณเอาต์พุตของตัวมอดูเลต QPSK

จากรูปที่ 2.7 ข้อมูลไบนารีที่เรียงกันมาจะถูกแบ่งออกเป็นกลุ่มๆ กลุ่มละ 2 บิตก่อนนำไปมอดูเลตกับคลื่นพาห่ โดยมีสัญญาณนาฬิกาที่มีความถี่เป็น  $1/2$  ของอัตราบิตของข้อมูลไบนารีเป็นตัวกำหนดจังหวะในการเลื่อนข้อมูลเพื่อที่จะนำไปมอดูเลต จากนั้นข้อมูลในแต่ละกลุ่มถูกแยกออกเป็นสองทาง กล่าวคือ ทาง I (I Channel) ซึ่งหมายถึงทางที่จะนำไปมอดูเลตกับคลื่นพาห่ที่มีเฟสตรง (in phase) กับเฟสของคลื่นพาห่อ้างอิง และทาง Q (Q Channel) ซึ่งเป็นทางที่จะนำไปมอดูเลตกับคลื่นพาห่ที่มีเฟสตั้งฉาก (quadrature phase) กับเฟสของคลื่นพาห่อ้างอิง ในรูปที่ 2.7 จะเห็นได้ว่าคลื่นพาห่อ้างอิงนั้นเป็น  $\sin(\omega_c t)$  ดังนั้นคลื่นพาห่ของทาง I จะเป็น  $\sin(\omega_c t)$  ด้วยและของทาง Q จะเป็น  $\cos(\omega_c t)$  หลังจากข้อมูลไบนารีในแต่ละทางได้มอดูเลตกับคลื่นพาห่ของแต่ละทางแล้วก็จะถูกรวมกันโดยตัวบวกสัญญาณ ซึ่งผลลัพธ์ที่ได้ก็จะเป็

สัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.8 เป็นการแสดงสัญญาณในโดเมนเวลาของกลุ่มข้อมูลไบนารี (I และ Q) ทางด้านอินพุตและเอาต์พุตของตัวมอดูเลต และในรูปที่ 2.9 เป็นการแสดงคุณลักษณะของตัวมอดูเลต QPSK ซึ่งรูป (ก) เป็นการแสดงเงื่อนไขหรือสถานะของกลุ่มข้อมูลไบนารีทางด้านอินพุต รูป (ข) เป็นไดอะแกรมเฟสเซอร์ ซึ่งแสดงความสัมพันธ์การเลื่อนเฟส (phase shift) ในแต่ละสัญลักษณ์ของสัญญาณ QPSK เทียบกับเฟสของคลื่นพาห่อ้างอิง และรูป (ค) เป็นการแสดงแผนภาพหมู่ดาว (constellation diagram)



รูปที่ 2.9 คุณลักษณะของสัญญาณ QPSK: (ก) ตารางความจริง; (ข) เฟสเซอร์ไดอะแกรม (Phasor diagram); (ค) คอนสเทลเลชันไดอะแกรม (Constellation diagram)

ในกรณีของแบนด์วิดท์ของสัญญาณ QPSK นั้นเนื่องจากอัตราข้อมูลไบนารีก่อนจะถูกนำไปมอดูเลตกับคลื่นพาห่ มีค่าเป็นครึ่งหนึ่งของอัตราบิต ( $f_b/2$ ) ซึ่งทำให้ความถี่มูลฐานของข้อมูลไบนารีมีค่าเป็น 1/4 ของอัตราบิต ดังนั้นเอาต์พุตของตัวคูณหรือตัวมอดูเลตอร์สมมูลย์แต่ละตัวที่แสดงไว้ในรูปที่ 2.7 จะต้องการแบนด์วิดท์สองด้านต่ำสุด (minimum double-side band-width) เท่ากับครึ่งหนึ่งของอัตราบิต ( $f_b/2$ ) ซึ่งจะเห็นได้ว่ามีค่าเป็นครึ่งหนึ่งของแบนด์วิดท์ในกรณีของ BPSK

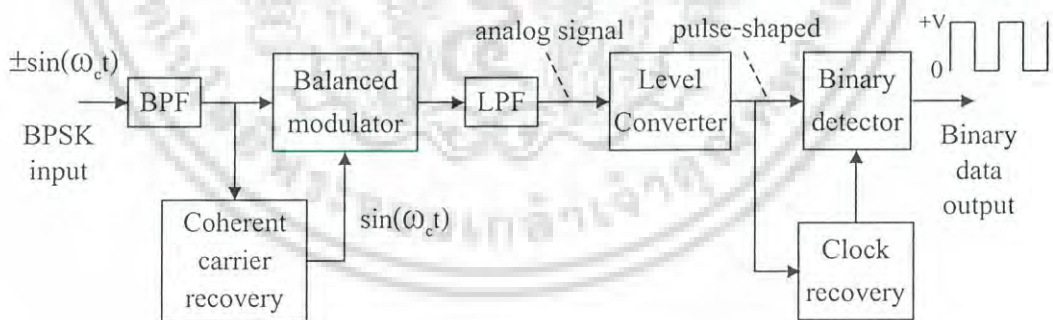
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 การคิ่มอดูเลท PSK

การคิ่มอดูเลทสัญญาณ PSK นั้นพอแบ่งออกเป็น 2 ประเภทใหญ่ๆคือ แบบโคฮีเรนท์ (coherent) และแบบนอนโคฮีเรนท์ (non-coherent) กล่าวคือเมื่อตัวรับนั้นใช้เฟสของคลื่นพาห์เพื่อเป็นการอ้างอิงในการตีเทกต์หรือคิ่มอดูเลทสัญญาณ PSK กระบวนการนั้นจะถูกเรียกว่า “การคิ่มอดูเลทแบบโคฮีเรนท์” แต่เมื่อตัวรับไม่ได้ใช้ข่าวสารการอ้างอิงทางเฟสดังกล่าวเพื่อใช้ในการคิ่มอดูเลท กระบวนการจะถูกเรียกว่า “การคิ่มอดูเลทแบบนอนโคฮีเรนท์” ในการสื่อสารทางดิจิทัลนั้น คำว่า “การคิ่มอดูเลท” และ “การตีเทกต์” นั้นสามารถถูกใช้โดยสลับกันได้ แม้ว่าการคิ่มอดูเลทจะเป็นการเน้นถึงการกู้สัญญาณ และการตีเทกต์นั้นจะนำมาซึ่งกระบวนการของการตัดสินใจทางสัญลักษณ์ก็ตาม [4] ในการคิ่มอดูเลทแบบโคฮีเรนท์นั้นตัวรับถูกกล่าวได้ว่าเพื่อที่จะล็อกทางเฟส (phase-locked) กับสัญญาณที่กำลังเข้ามา ส่วนในการคิ่มอดูเลทแบบนอนโคฮีเรนท์นั้นไม่ต้องอาศัยการรู้จักเฟสที่แน่นอนของสัญญาณที่กำลังเข้ามา ดังนั้นจึงไม่ได้ต้องการการกู้เฟสของคลื่นพาห์ ซึ่งมีประโยชน์ในแง่ของการลดความซับซ้อนให้กับระบบ แต่มีข้อเสียคือเป็นการเพิ่ม BER (bit error rate) ให้กับระบบ (ดังที่ได้เกริ่นไว้ในบทนำ)

อย่างไรก็ตาม ในบทนี้จะกล่าวถึงรายละเอียดของการคิ่มอดูเลททางเฟสของทั้งสองประเภทเพียงอย่างละ 1 แบบคือ การคิ่มอดูเลทสัญญาณ BPSK และ การคิ่มอดูเลทสัญญาณ DBPSK ซึ่งเป็นจัดอยู่ในประเภทของโคฮีเรนท์และนอนโคฮีเรนท์ตามลำดับ

### 2.2.1 การคิ่มอดูเลทสัญญาณ BPSK



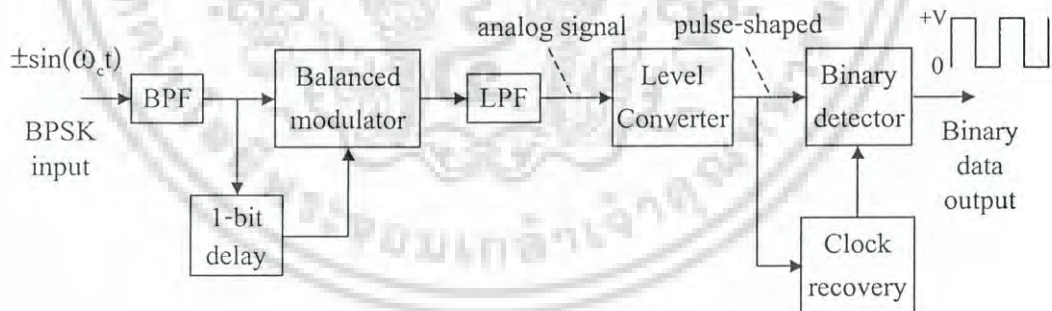
รูปที่ 2.10 บล็อกไดอะแกรมของตัวคิ่มอดูเลทสัญญาณ BPSK

การคิ่มอดูเลทสัญญาณ BPSK นั้นต้องอาศัยการคิ่มอดูเลทแบบโคฮีเรนท์ ดังนั้นตัวรับจำเป็นต้องจะรู้เฟสที่แน่นอนของสัญญาณที่กำลังเข้ามา เพื่อใช้เป็นประโยชน์ในการกู้ข้อมูลไบนารี รูปที่ 2.10 เป็นหลักการทำงานของตัวคิ่มอดูเลทสัญญาณ BPSK ที่แสดงเป็นบล็อกไดอะแกรมซึ่งมีหลักการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองผ่านแถบความถี่ (BPF: Band pass filter) ทำหน้าที่กรองสัญญาณรบกวนที่เกิดขึ้นระหว่างการส่งสัญญาณ BPSK ( $\pm \sin(\omega_c t)$ ) ผ่านช่องส่งสัญญาณ (Channel) ออกไป ต่อมาสัญญาณที่ผ่าน BPF ได้ถูกแบ่งออกเป็นสองทาง ทางหนึ่งถูกใช้สำหรับกู้เฟส (และความถี่) ของคลื่นพาห์ที่ตัวส่งใช้ในการมอดูเลต ผ่านวงจรกู้ทั้งความถี่และเฟสของคลื่นพาห์ (coherent carrier recovery) ส่วนอีกทางใช้ให้นำไปมอดูเลตกับคลื่นพาห์ที่กู้ได้จากวงจรกู้คลื่นพาห์ ผ่านตัวมอดูเลเตอร์สมมูล (Balanced modulator) จากนั้นเอาต์พุตความถี่สูงของตัวมอดูเลเตอร์จะถูกกรองออกไปผ่านตัวกรองผ่านความถี่ต่ำ (LPF: Low pass filter) ซึ่งสัญญาณที่ได้นี้จะเป็นข้อมูลไบนารีที่มีมอดูเลตมา แต่อย่างไรก็ตามสัญญาณดังกล่าวยังเป็นสัญญาณแอนาล็อกหรือขนาดของสัญญาณมีความต่อเนื่องถึงแม้จะเป็นช่วงที่ข้อมูลมีการเปลี่ยนแปลงก็ตาม ดังนั้นจึงจะต้องทำการแปลงระดับและรูปร่างของสัญญาณให้มีลักษณะเป็นพัลส์เพื่อใช้เพื่อใช้ในการประมวลผลทางสัญญาณดิจิทัลต่อไป ซึ่งเป็นหน้าที่ของตัวแปลงระดับสัญญาณ (Level converter) หลังจากที่ได้สัญญาณที่มีลักษณะเป็นพัลส์แล้ว สัญญาณจะถูกแบ่งออกเป็นสองทาง ทางหนึ่งนำไปใช้ในการกู้สัญญาณนาฬิกาของข้อมูลไบนารีผ่านวงจรกู้สัญญาณนาฬิกา (clock recovery) และอีกทางหนึ่งถูกนำไปเป็นอินพุตของตัวตรวจจับสัญญาณไบนารี (Binary detector) ที่สุ่มตรวจสัญญาณทุกๆคาบเวลาของสัญญาณนาฬิกาที่กู้ได้จากวงจรกู้สัญญาณนาฬิกา เอาต์พุตของตัวตรวจจับสัญญาณไบนารีจะเป็นข้อมูลไบนารีที่ได้มอดูเลตมาจกตัวส่ง

### 2.2.2 การดีมอดูเลตสัญญาณ DBPSK



รูปที่ 2.11 บล็อกไดอะแกรมของตัวดีมอดูเลตสัญญาณ DBPSK

ดังที่ได้กล่าวมาแล้วว่า การดีมอดูเลตสัญญาณ DBPSK นั้นสามารถทำได้โดยการใช้การดีมอดูเลตแบบนอนโคฮีเรนต์ จึงไม่จำเป็นต้องกู้เฟสของคลื่นพาห์ที่ตัวส่งใช้ในการมอดูเลต ซึ่งสามารถทำได้ตามหลักการที่ได้แสดงไว้ในรูปที่ 2.11 ซึ่งมีวงจรส่วนใหญ่คล้ายกับตัวดีมอดูเลตสัญญาณ BPSK ในหัวข้อ 2.2.1 แตกต่างกันที่ใช้ตัวดีเลย์สัญญาณแทนวงจรกู้เฟสและความถี่ของคลื่นพาห์ ทำหน้าที่ดีเลย์สัญญาณ DBPSK ภายหลังผ่านวงจร BPF เป็นเวลา 1 บิต เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูล และเมื่อนำสัญญาณที่ยังไม่ถูกดีเลย์มาคูณเลขกับสัญญาณที่ถูกดีเลย์แล้วผ่านตัวมอดูเลเตอร์แบบสมมูลย์ ซึ่งจะให้เอาต์พุตดังที่ได้แสดงไว้ในรูปที่ 2.12 จากนั้นสัญญาณความถี่สูงที่เอาต์พุตของตัวมอดูเลเตอร์สมมูลย์จะถูกกรองออกไปโดยผ่านวงจรกรองผ่านความถี่ต่ำ LPF ซึ่งจะเหลือเพียงสัญญาณไฟฟ้ากระแสตรงที่เป็นไปได้สองขั้ว (บวก และลบ) ในกรณีที่ขั้วบวกนั้นหมายความว่าทั้งสองสัญญาณที่นำมาคูณเลขกันมีเฟสตรงกัน ส่วนในกรณีที่ขั้วลบนั้นหมายถึงสองสัญญาณที่นำไปคูณเลขกันมีเฟสต่างกัน 180°

ความสัมพันธ์ทางเฟสของสัญญาณ DBPSK และ เฟสของสัญญาณที่ถูกดีเลย์ และข้อมูลไบนารีที่ถูกคูณมอดูเลตได้ถูกแสดงไว้ในรูปที่ 2.13

**Balanced modulator output**

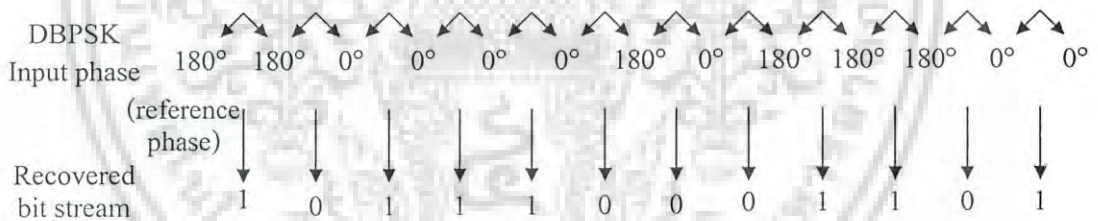
$$(\sin \omega_c t) (\sin \omega_c t) = [1 - \cos 2\omega_c t]/2$$

$$(-\sin \omega_c t) (\sin \omega_c t) = [-1 + \cos 2\omega_c t]/2$$

$$(-\sin \omega_c t) (-\sin \omega_c t) = [1 - \cos 2\omega_c t]/2$$

$$(\sin \omega_c t) (-\sin \omega_c t) = [-1 + \cos 2\omega_c t]/2$$

รูปที่ 2.12 แสดงเอาต์พุตของตัวมอดูเลเตอร์แบบสมมูลย์



รูปที่ 2.13 แสดงความสัมพันธ์ระหว่างเฟสอินพุต และข้อมูลไบนารีทางด้านเอาต์พุตของตัวมอดูเลตสัญญาณ DBPSK

### บทที่ 3

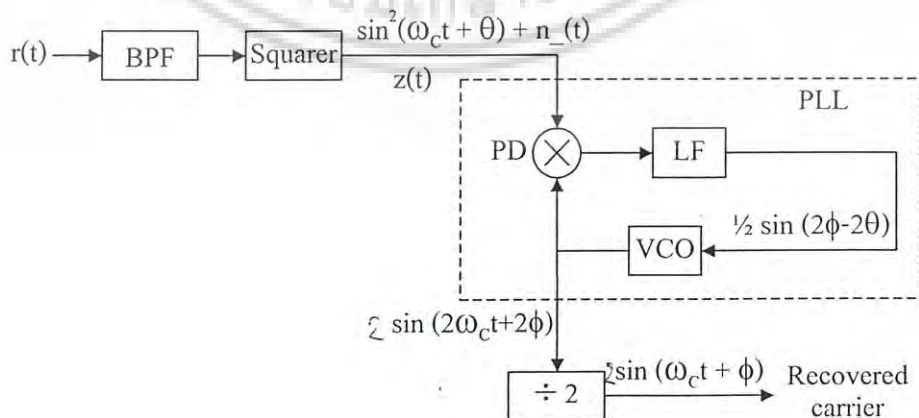
## การกู้คลื่นพาห้ (Carrier recovery)

การกู้คลื่นพาห้เป็นกระบวนการถอดคลื่นพาห้แองอิงเฟสโคฮีเรนท์ ออกจากสัญญาณที่รับได้ ซึ่งในบางครั้งอาจเรียกว่า “การแองอิงเฟส” [1] (phase reference) ในเทคนิคการมอดูเลททางเฟสไม่ว่าจะเป็น BPSK QPSK หรือ MPSK นั้น ข้อมูลไบนารีได้ถูกเข้ารหัสเป็นเฟสที่แน่นอนของคลื่นพาห้ที่ถูกส่ง การแยกจากกันทางมุมระหว่างเฟสเซอร์ที่ใกล้ๆกันถูกเปลี่ยนแปลงในระหว่าง  $22.5^\circ$  และ  $180^\circ$  กรณี  $M = 16$  และ  $M = 2$  ตามลำดับ ซึ่งขึ้นอยู่กับวิธีการเข้ารหัส และเพื่อคิมอดูเลทข้อมูล โดยถูกต้องคลื่นพาห้ที่มีเฟสโคฮีเรนท์จะต้องถูกกู้ และถูกนำไปเปรียบเทียบกับสัญญาณที่กำลังรับเข้ามาผ่านตัวมอดูเลเตอร์สมคูลย์ (ดังในรูปที่ 2.10) จึงมีความจำเป็นที่จะต้องผลิตคลื่นพาห้ขึ้นที่ตัวรับ ซึ่งมีเฟสโคฮีเรนท์กับตัวออกซิดเลเตอร์แองอิงที่ใช้ส่ง และสิ่งนี้คือหน้าที่ของวงจรกู้คลื่นพาห้

ด้วยสัญญาณ PSK หรือ QAM (quadrature amplitude modulation) คลื่นพาห้ได้ถูกกำจัด (suppressed) ในตัวมอดูเลเตอร์สมคูลย์ ดังนั้นคลื่นพาห้จึงไม่ได้ถูกส่งออกมา ทำให้คลื่นพาห้ไม่สามารถถูกติดตาม (tracked) ได้โดยง่ายที่ตัวรับด้วยเฟสล็อกแบบปกติ ด้วยระบบที่คลื่นพาห้ถูกกำจัด เช่น PSK หรือ QAM วิธีการที่พิถีพิถันของการกู้คลื่นพาห้นั้นเป็นที่ต้องการ เช่น ลูปยกกำลังสอง ลูปคอสตาส (Costal loop) หรือ ตัวมอดูเลเตอร์ซ้ำ [1,6] (remodulator) ซึ่งจะขอกกล่าวถึงรายละเอียดไว้เพียงใน 2 วิธีแรกเท่านั้น ดังนี้

### 3.1 ลูปยกกำลังสอง (Squaring loop)

#### 3.1.1 หลักการทำงานของลูปยกกำลังสอง



รูปที่ 3.1 บล็อกไดอะแกรมของวงจรลูปยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ใช้ทั่วไปวิธีหนึ่งของการกู้ (เฟสและความถี่) คลื่นพาห้จากสัญญาณ BPSK ก็คือลูปยกกำลังสอง [1,6,7] (squaring loop) หรือการกู้คลื่นพาห้สองเท่า [2] (times-two carrier recovery) ซึ่งมีหลักการดังแสดงไว้ในรูปที่ 3.1 ดังนี้ สัญญาณ  $r(t)$  นั้นเป็นสัญญาณ BPSK รวมกับสัญญาณรบกวนที่เกิดขึ้นภายในช่องส่งสัญญาณ ซึ่งเขียนเป็นสมการได้ดังนี้

$$r(t) = m(t) \sin(\omega_c t + \theta) + n(t) \quad (3.1)$$

$m(t)$  เป็นสัญลักษณ์ทางเฟสของสัญญาณ BPSK ซึ่งประกอบด้วย +1 และ -1 (คือเฟส  $0^\circ$  และ  $180^\circ$  ตามลำดับ),  $\theta$  คือ เฟสเลื่อน (shifted phase) ที่เกิดจากการคิเลย์ (delay) ของสัญญาณจากตัวส่งถึงตัวรับ และ  $n(t)$  คือสัญญาณรบกวนที่เกิดขึ้นภายในช่องส่งสัญญาณ สัญญาณ  $r(t)$  นี้จะถูกกรองเอาสัญญาณรบกวนออกไปโดยวงจรกรองแถบความถี่ผ่าน (BPF) ซึ่งมีความถี่ศูนย์กลางเท่ากับความถี่ของคลื่นพาห้ที่ถูกส่งมาและมีแบนด์วิดท์มากกว่าหรือเท่ากับอัตราบิต จากนั้นสัญญาณนี้จะถูกยกกำลังสองโดยตัวยกกำลังสอง (Squarer) ซึ่งทำหน้าที่กำจัดการมอดูเลทและกำเนิดสัญญาณที่มีความถี่เป็นฮาร์โมนิกที่สอง (second harmonic) ของความถี่คลื่นพาห้ อย่างไรก็ตามเนื่องจากความไม่เป็นอุดมคติของตัวยกกำลังสอง จึงทำให้ยังมีสัญญาณแปลกปลอมหรือสัญญาณที่พึงประสงค์ออกมาด้วย ดังแสดงให้เห็นได้ดังนี้

$$\begin{aligned} z(t) &= [m(t)]^2 \sin^2(\omega_c t + \theta) + n_-(t) \\ &= 0.5 - 0.5 \cos(2\omega_c t + 2\theta) + n_-(t) \end{aligned} \quad (3.2)$$

เทอมแรกของสมการ (3.2) เป็นค่าคงที่หรือแรงดันไฟตรง (dc) ส่วนเทอมสุดท้าย  $n_-(t)$  เป็นสัญญาณแปลกปลอมที่เกิดขึ้นจากความไม่อุดมคติของตัวยกกำลัง และจะเห็นได้ว่าเทอมกลางของสมการนั้นมีความถี่เป็น 2 เท่าของคลื่นพาห้ ซึ่งจะถูกล็อกทางเฟส (phase-locked) กับเฟส ล็อกด้วย ความผิดพลาดเฟสคงที่ค่าหนึ่ง  $(2\phi - 2\theta)$  ซึ่งประกอบด้วยตัวเปรียบเทียบเฟส PD (ได้แสดงเป็นเครื่องหมายคูณไว้ในรูปที่ 3.1) ตัวกรองลูป (LF) และออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO: Voltage controlled oscillator) นอกจากนั้น PLL จะทำหน้าที่กรองสัญญาณที่แปลกปลอมออกไปด้วย ทำให้เอาต์พุตของมัน (VCO) มีความถี่เท่ากับสองเท่าของคลื่นพาห้ และมีเฟสเท่ากับ  $2\phi$  เรเดียน จากนั้นจะถูกหารสองโดยตัวหารความถี่สองเท่าเพื่อใช้เฟสของสัญญาณที่ถูกหาร  $\phi$  เป็นเฟสอ้างอิงในการดีมอดูเลทสัญญาณ BPSK (ดังที่ได้กล่าวมาแล้วในบทที่ 2) อย่างไรก็ตามจะสังเกตเห็นว่า PLL จะผลิตความถี่คลื่นพาห้ที่มีเฟสเดียวกัน  $(2\phi)$  ไม่ว่าจะ

เอกสารนี้เป็น  $\theta$  จะเป็น  $0^\circ$  หรือ  $180^\circ$  ก็ตาม ดังนั้นจึงกล่าวได้ว่าการกู้คลื่นพาห้ด้วยวิธีนี้มีความถ่วงทางไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟส (phase ambiguity) เท่ากับ  $180^\circ$  [7-8] ซึ่งผลกระทบเมื่อเกิดเฟสของคลื่นพาห้ที่กู้ได้ต่างไปจากเฟสของคลื่นพาห้ที่ใช้ส่ง  $180^\circ$  ทำให้สถานะแต่ละบิตของข้อมูลไบนารีภายหลังการดีมอดูเลทจะกลับจากที่ได้มอดูเลทมา ตัวอย่างเช่น ถ้าข้อมูลไบนารีที่ใช้ในการมอดูเลทเป็น 1010 1100 ภายหลังการดีมอดูเลทแล้วจะได้ข้อมูล 0101 0011

### 3.1.2 ข้อควรพิจารณาในการออกแบบวงจรปลูกกำลังสอง

จากรูปที่ 3.1 วงจรที่จะนำมาใช้เป็นวงจรกรองผ่านแถบความถี่ BPF ควรจะมีความถี่ศูนย์กลาง (center frequency) เท่ากับที่ความถี่คลื่นพาห้ที่ตัวส่งใช้ในการมอดูเลท และควรมีแบนด์วิดท์อย่างน้อยเท่ากับอัตราบิตที่ใช้ส่งข้อมูลไบนารี ส่วนตัวยกกำลังสองนั้นอาจใช้วงจรคูณแอนะล็อก (Analog multiplier) หรือวงจรอื่นที่สามารถให้เอาต์พุตเป็นฟังก์ชันกำลังสองของสัญญาณอินพุต โดยพิจารณาที่อัตราขยายสัญญาณและการตอบสนองทางความถี่ของตัววงจรว่าเพียงพอหรือเหมาะสมที่จะนำไปใช้กับวงจร PLL หรือไม่ ส่วนวงจร PLL นั้นสามารถใช้ PLL (ซึ่งหลักการพื้นฐานได้แสดงไว้ในภาคผนวก ก) ที่มีตัวเปรียบเทียบเฟส PD (Phase detector) ได้ทั้งตัว PD ที่ทำมาจากตัวมอดูเลเตอร์ผลคูณหรือวงจรคูณแอนะล็อก หรือ เกต EXOR (exclusive-or) หรือแม้กระทั่ง PFD (Phase-frequency detector) เพียงแต่ให้ตอบสนองต่อความถี่ที่อินพุตและลักษณะของอินพุตนั้นเหมาะสมที่จะใช้กับตัว PD ดังกล่าว และควรออกแบบให้ความถี่อิสระ (free-running frequency) ของ VCO ใกล้เคียงกับความถี่ฮาร์มอนิกที่สองที่ได้จากตัวยกกำลังสอง เพื่อให้ PLL นั้นสามารถล็อกได้ไว และไม่ควรรออกแบบ PLL ให้มีแบนด์วิดท์กว้างมาก เพื่อที่จะกำจัดสัญญาณแปลกปลอมที่อยู่รอบๆความถี่ฮาร์มอนิกที่สองออกไป และสำหรับวงจรหารความถี่สองเท่า นั้นอาจใช้วงจร flip-flop (เช่น D flip-flop) ก็ได้ ถ้า VCO ที่ใช้มีเอาต์พุตเป็นคลื่นจัตุรัส (square wave)

## 3.2 ลูปคอสตาส (Costas loop)

### 3.2.1 หลักการทำงานของลูปคอสตาส

ลูปคอสตาส (Costas loop) หรือเฟสล็อกลูปคอสตาส [1,7] (Costas phase-locked loop) เป็นวิธีการหนึ่งในไม่กี่วิธีของลูปกู้คลื่นพาห้ [1-8] (carrier recovery loop) ซึ่งนิยมใช้ในการกู้คลื่นพาห้ของสัญญาณแถบข้างคู่ไร้คลื่นพาห้ (DSB-SC: double sideband-suppressed carrier) และรวมทั้งสัญญาณ BPSK ด้วย เนื่องจากสัญญาณ BPSK นั้นประกอบด้วย  $+\sin(\omega_c t)$  หรือ  $-\sin(\omega_c t)$  ซึ่งใช้แทนข้อมูลไบนารีลอจิก '1' หรือ '0' ตามลำดับ อย่างไรก็ตามเราสามารถเขียนแบบจำลองทางคณิตศาสตร์ในรูปของสัญญาณการกลับเฟส  $m(t)$  ของ  $\sin(\omega_c t)$  ได้โดยที่  $m(t)$  ประกอบด้วย +1 หรือ -1 ซึ่งแทนข้อมูลไบนารีลอจิก '1' หรือ '0' ตามลำดับ จากรูปที่

3.2 เป็นบล็อกไดอะแกรมของลูปคอสตาส ซึ่งมีอินพุตเป็นสัญญาณ BPSK ที่รับได้หลังจากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านตัวกรองแถบความถี่ผ่านที่มีความถี่ศูนย์กลาง (center frequency) ใกล้เคียงกับความถี่คลื่นพาห้คือ

$$r(t) = A_c m(t) \sin \omega_c t \quad (3.3)$$

$A_c$  และ  $\omega_c$  คือขนาดและความถี่เชิงมุมของคลื่นพาห้ตามลำดับ ลูปคออสตาสติกวิเคราะห์โดยการสมมติว่าความถี่ของออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO: Voltage controlled oscillator) นั้นล็อกกับความถี่คลื่นพาห้ที่ตัวส่งใช้ในการมอดูเลต ด้วยความผิดพลาดเฟส  $\theta_c$  (Phase error) คงที่ค่าหนึ่ง โดยที่แรงดัน  $v_1(t)$  และ  $v_2(t)$  นั้นได้มาจากเอาต์พุตของตัวกรองความถี่ต่ำแถบฐานผ่าน (Baseband LPF: low-pass filter) เมื่อ  $\theta_c$  มีค่าน้อย ขนาดโดยสัมพัทธ์ของ  $v_1(t)$  จะมีค่ามากเมื่อเทียบกับขนาดของ  $v_2(t)$  (นั่นคือ  $\cos \theta_c \gg \sin \theta_c$ ) ยิ่งไปกว่านั้น แรงดัน  $v_1(t)$  ยังแปรผันตรงกับ  $m(t)$  อีกด้วย ดังนั้น  $v_1(t)$  ก็คือเอาต์พุตที่ได้จากการดีมอดูเลต แรงดันผลคูณระหว่าง  $v_1(t)$  และ  $v_2(t)$  คือ

$$v_3(t) = 1/8 (A_c A_o m(t))^2 \sin(2\theta_c) \quad (3.4)$$

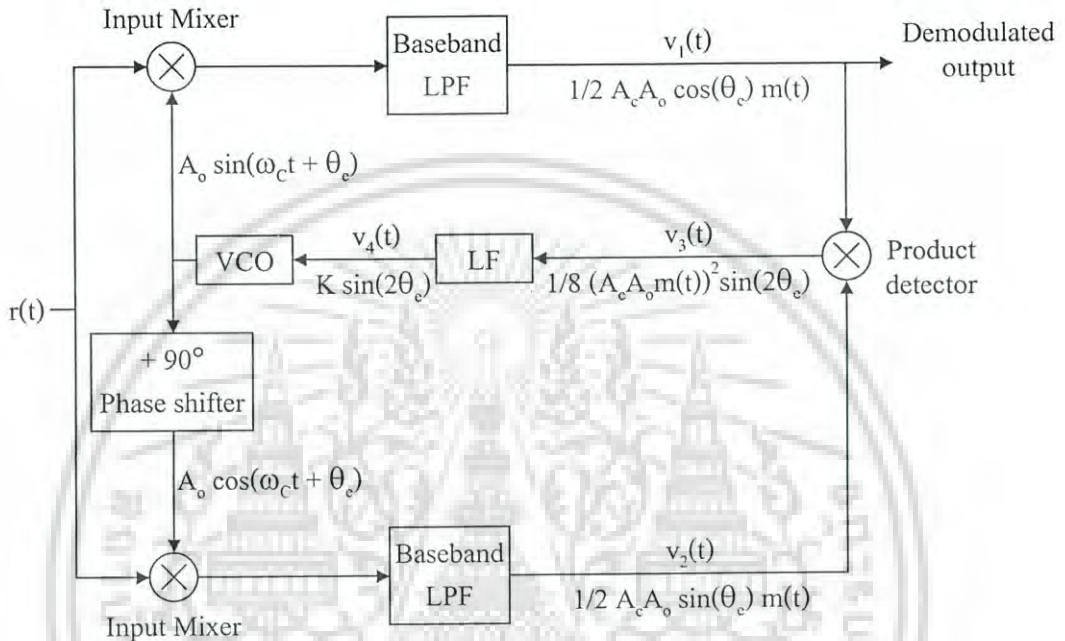
$A_o$  คือขนาดเอาต์พุตของ VCO แรงดัน  $v_3(t)$  ถูกกรองความถี่ด้วยตัวกรองลูป (Loop filter: LF) ที่มีความถี่ตัด (Cutoff frequency) ใกล้เคียงเฮิรตซ์ หรือ ที่ความถี่สัญญาณไฟฟ้ากระแสตรง (DC) ดังนั้นตัวกรองนี้จึงทำหน้าที่เหมือนตัวอินทิเกรต (Integrator) เพื่อผลิตแรงดันควบคุม VCO คือ

$$v_4(t) = K \sin(2\theta_c) \quad (3.5)$$

$K$  เท่ากับ  $1/8 (A_c A_o)^2 \langle m^2(t) \rangle$  ซึ่ง  $\langle m^2(t) \rangle$  คือระดับแรงดัน DC หรือค่าเฉลี่ยของ  $m^2(t)$  แรงดันควบคุมที่เป็น DC นี้เพียงพอที่จะทำให้ VCO ล็อกกับความถี่  $f_c$  ด้วยความผิดพลาดเฟส  $\theta_c$  ไม่มากค่าหนึ่ง อย่างไรก็ตามวิธีนี้มีเฟสกำกวม  $180^\circ$  [7-8] เหมือนกันกับกรณีของลูบยกกำลังสอง แต่มีข้อดีตรงที่เอาต์พุตของมันเป็นสัญญาณที่ถูกดีมอดูเลตแล้ว โดยไม่ต้องใช้ตัวมอดูเลเตอร์ สมดุลย์เหมือนกับที่ได้แสดงไว้ในรูปที่ 2.10

ในรูปที่ 3.2 แม้ว่ามิกเซอร์ด้านอินพุต (Input Mixers) ทั้งสองและตัวดีเทกเตอร์ผลคูณ (Product Detector) จะถูกจำลองด้วยตัวคูณอุดมคติก็ตาม เช่น มอดูเลเตอร์วงแหวน (Ring modulator) มอดูเลเตอร์ได้ดุล (Balanced modulator) หรือวงจรอื่นที่คล้ายกันนั้นสามารถถูกใช้เป็นมิกเซอร์ด้านอินพุตได้ ยกเว้นตัวดีเทกเตอร์ผลคูณเท่านั้นที่ต้องเป็นวงจรที่เชื่อมต่อทางไฟฟ้ากระแสตรง [5] (dc-coupling) และมีสัญญาณอินพุตที่สมดุล [6] (well-balanced baseband) ด้วย และแม้ว่า VCO ที่แสดงไว้จะเป็นคลื่นไซน์ (sine wave) แต่ VCO ที่มีเอาต์พุตเป็นคลื่น

สามเหลี่ยม (triangular wave) หรือคลื่นจัตุรัส (square wave) สามารถใช้แทนได้ อย่างไรก็ตาม VCO ที่มีเอาต์พุตเป็นคลื่นจัตุรัสในทางปฏิบัติค้นหาได้ง่ายกว่า เพราะมีอยู่ทั้งในชิปเฟสล็อก ลูปแบบวงจรถึงเส้น (linear PLLs) เช่น ในตระกูล NE/SE 560 [9] และในชิป PLL ชนิดวงจรถึงมุม หรือ ชีวมอสความเร็วสูง (CMOS PLLs หรือ hi-speed CMOS PLLs) เช่น CD4046 หรือ 74HC4046 ตามลำดับ



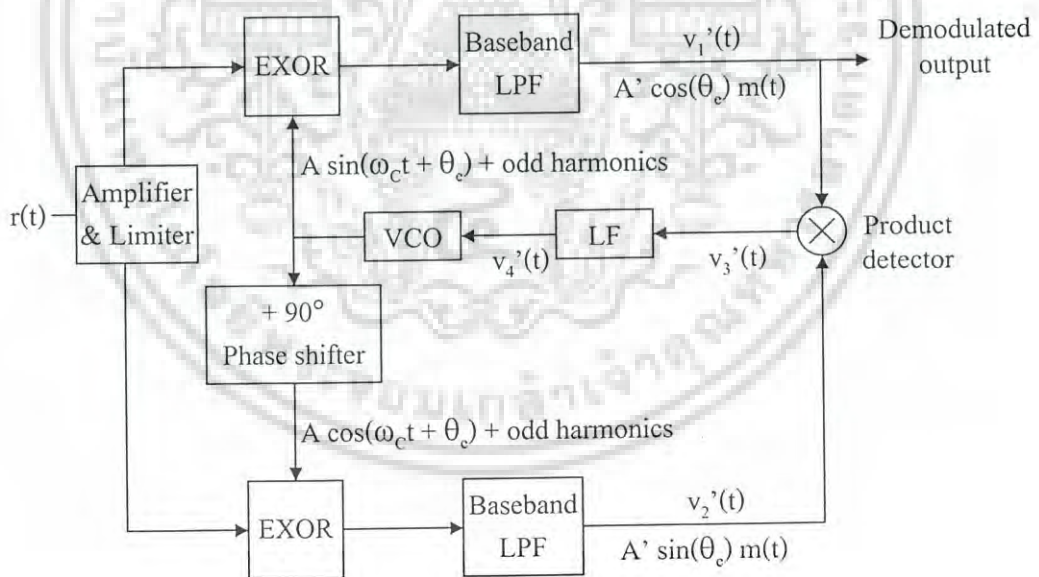
รูปที่ 3.2 บล็อกโคเอแรมของลูปคอสตาส

จากวงจรเซลล์กิลเบิร์ต [10] (Gilbert Cell) หรือ วงจรคูณแบบสี่จตุภาค (Four-quadrant multiplier) ซึ่งพบมากในการสร้างวงจรมิกเซอร์ที่อยู่ในรูปไอซี (Integrated circuit: IC) เช่น มอดูเลเตอร์ไดคูล (เช่น MC1496 [1]) หรือ ดีเทกเตอร์เฟสแบบแอนะล็อก (Analog phase detector) ที่ถูกสร้างรวมอยู่ในชิป PLL (เช่น ในตระกูล NE/SE 560) ถ้าขนาดอินพุตของวงจรมีค่าใหญ่กว่า  $v_t$  มากๆ ( $v_t$  คือ thermal voltage [11] ของทรานซิสเตอร์) แล้ววงจรจะทำงานคล้ายกับเกตเอกซ์คลูซีฟออร์ [10] (EXOR) นอกจากนั้นอินพุตของมิกเซอร์ด้านอินพุตที่ใช้ในลูปคอสตาสไม่ต้องการการเชื่อมต่อสัญญาณทางไฟตรง (dc-coupling) ดังนั้นสามารถใช้การเชื่อมต่อผ่านตัวเก็บประจุ (capacitive coupling) ในการใช้งานกับเกต EXOR ได้ ส่วนเอาต์พุตของ VCO ที่เป็นคลื่นจัตุรัสนั้นเข้ากันได้กับลักษณะอินพุตของเกต EXOR และเนื่องจากขนาดของสัญญาณอินพุต (BPSK) ที่รับเข้ามาไม่ได้เป็นพารามิเตอร์ที่ใช้ในการคิมอดูเลตทางเฟส ซึ่งโดยทั่วไปสัญญาณอินพุตนี้จะถูกขยาย และถูกจำกัดค่าโดยตัวขยายและตัวจำกัดค่า (Amplifier & Limiter) ที่วงจรส่วนหน้า (front end) ของตัวรับอยู่แล้ว ด้วยความสะดวกในการใช้งานของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกต EXOR เมื่อเทียบกับวงจรอื่นที่สามารถใช้เป็นมิกเซอร์ด้านอินพุตของลูคอสตาสแล้ว ดังนั้นการใช้เกต EXOR มาทำหน้าที่เป็นมิกเซอร์ด้านอินพุต [12] ของลูคอสตาสจึงเป็นสิ่งที่น่าสนใจกว่า

### 3.2.2 หลักการทำงานของลูคอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุต

รูปที่ 3.3 แสดงบล็อกไดอะแกรมของลูคอสตาสที่ใช้เกตเอกซ์คลูซีฟออ์ (EXOR: Exclusive-OR gates) เป็นมิกเซอร์ด้านอินพุต โดยจะเห็นได้ว่ามีความแตกต่างจากรูปที่ 3.2 เพียงตัวขยายสัญญาณและตัวจำกัดค่า (Amplifier & Limiter) ที่เพิ่มเข้ามา และใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุตแทนตัวคูณสัญญาณ อย่างไรก็ตามมีหลักการโดยส่วนใหญ่คล้ายกับหลักการของลูคอสตาสที่ได้อธิบายไปแล้ว ดังนั้นในส่วนนี้จะขอกกล่าวถึงเพียงสิ่งที่แตกต่างกันเท่านั้น เมื่อสัญญาณ  $r(t)$  ที่ได้รับมีค่ามากกว่าสัญญาณรบกวนเพียงพที่จะนำไปใช้งานได้ สัญญาณนี้จะถูกขยายและถูกจำกัดค่าโดยวงจรขยายและวงจรจำกัดค่า (Amplifier & Limiter) ซึ่งเป็นการขจัดปัญหาด้านความเพี้ยนทางด้านขนาด (amplitude distortion) ของสัญญาณ และเป็นการทำให้สัญญาณ  $r(t)$  มีลักษณะเข้ากันได้กับลักษณะของอินพุตของเกต EXOR นอกจากนี้ยังสามารถใช้ VCO ที่มีเอตพุตเป็นคลื่นจัตุรัสได้อีกด้วย



รูปที่ 3.3 บล็อกไดอะแกรมของลูคอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุต

เมื่อลูคอสตาสล็อกกับความถี่คลื่นพาห้  $f_c$  ด้วยเฟสผิดพลาด  $\theta_c$  คงที่ค่าหนึ่งแล้ว (ดังแสดงในรูปที่ 3.3) เอตพุตของ VCO และของตัวเลื่อนเฟส (+90° Phase Shifter) นั้นประกอบด้วยสเปกตรัมความถี่  $f_c$  (มีขนาด  $A$  ซึ่งขึ้นอยู่กับขนาดของแหล่งจ่ายไฟ) และความถี่ที่เป็นเอกซารนี้เป็นเอกซารที่ส่งวนไวดำหรับการไซงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกซารทุกครั้งที่มีการนำไปใช้

ฮาร์โมนิกคี่ (odd harmonics) จำนวนไม่จำกัด (ในทางทฤษฎี) ของมัน ซึ่งก็คือ  $3f_c$ ,  $5f_c$  และต่อไปอีก ดังนั้นสเปกตรัมเอาต์พุตของเกต EXOR แต่ละตัวจะประกอบด้วยสเปกตรัมความถี่ผลบวกและผลต่าง (sum and difference frequencies) ระหว่างสเปกตรัมความถี่ของอินพุตทั้งสอง ก็คือ  $0$ ,  $2f_c$ ,  $4f_c$  และต่อไปอีก แรงดัน  $v_1'(t)$  และ  $v_2'(t)$  ได้มาจากเอาต์พุตของวงจร Baseband LPF ที่มีความถี่ตัดต่ำกว่า  $2f_c$  ทำให้แรงดันทั้งคู่นี้มีสเปกตรัมความถี่คล้ายกับแรงดัน  $v_1(t)$  และ  $v_2(t)$  ในรูปที่ 3.2 ดังนั้นแรงดัน  $v_1'(t)$  จึงเป็นเอาต์พุตที่ได้จากการคีมอดูเลตด้วย ซึ่งมีขนาด  $A'$  ซึ่งขึ้นอยู่กับแหล่งจ่ายไฟของเกต EXOR และชนิดของวงจร Baseband LPF ที่ใช้ (พาสซีฟ หรือแอกทีฟ)

### 3.2.3 หลักการออกแบบวงจรรูปคอสตาส

ในวิทยานิพนธ์นี้ใช้หลักการของรูปคอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุตเป็นส่วนประกอบหลัก ดังนั้นในส่วนนี้จะกล่าวเฉพาะการออกแบบวงจรรูปคอสตาสดังกล่าวเท่านั้น กล่าวคือนอกจากอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR: signal to noise ratio) ของสัญญาณ  $r(t)$  ที่รับได้จะมีค่ามากพอที่จะนำไปใช้งานได้แล้ว ความถี่ของคลื่นพาห้  $f_c$  ที่ตัวส่งใช้ และอัตราบิต  $f_b$  (bit rate) ของการส่งข้อมูลนั้นเป็นพารามิเตอร์ที่สำคัญในการออกแบบตัวคีมอดูเลตสัญญาณ BPSK ซึ่งในการออกแบบวงจรมันควรกำหนดให้ VCO มีช่วงความถี่ที่สามารถผลิตได้คร่อมความถี่ของคลื่นพาห้ และควรกำหนดให้มีความถี่การทำงานอิสระ (free-running frequency) ซึ่งหมายถึงความถี่ของ VCO ในกรณีที่ยังไม่มีสัญญาณอินพุตเข้ามายังระบบ) มีค่าใกล้เคียงกับความถี่คลื่นพาห้ (ที่ใช้ในตัวส่ง) มากที่สุดเพื่อให้รูปเข้าสู่สภาวะล็อก (locked-state) ซึ่งหมายถึงสภาวะที่รูปถูกล็อก ทำให้ VCO มีความถี่เท่ากับความถี่ของคลื่นพาห้) ได้เร็ว นอกจากนั้นจะต้องออกแบบให้รูป (ในสภาวะล็อก) สามารถปรับตัวได้ทันต่อการเปลี่ยนแปลงของคลื่นพาห้ ที่เกิดขึ้นในสัญญาณ  $r(t)$  ขณะเดียวกันต้องสามารถกรองสัญญาณรบกวนได้เป็นอย่างดีอีกด้วย (สัญญาณรบกวนนี้อาจเกิดจากสเปกตรัมความถี่สูงที่เด็ดลอกมาจากวงจร Baseband LPF หรืออาจมาจากภายนอกรูปก็ได้ ซึ่งจะถูกกำจัดโดยตัวกรองรูป LF เพื่อทำให้แรงดันควบคุม VCO มีค่าคงที่มากที่สุด) วงจร Baseband LPF ทั้งสองควรมีแบนด์วิดท์  $B_w$  อย่างน้อย  $f_c/2$  เพื่อป้องกันปัญหาการแทรกสอดระหว่างสัญลักษณ์ [1-8] (intersymbol interference: ISI) และไม่ควรเกิน  $2f_c$  เพื่อกำจัดสเปกตรัมความถี่สูงจากเอาต์พุตของเกต EXOR นอกจากนั้นเพื่อให้สมรรถนะการติดตามคลื่นพาห้ (carrier tracking performance) ของรูป (ก่อนเข้าสู่สภาวะล็อก) มีค่ามากที่สุด วงจรทั้งคู่ควรแมตช์ (matched) กันมากที่สุด [6] ด้วย

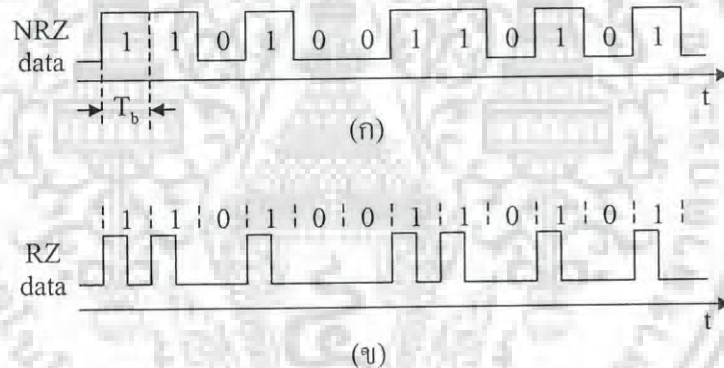
ในการออกแบบรูปคอสตาส สามารถใช้พารามิเตอร์ต่างๆที่ใช้ในการออกแบบ PLL ตามปกติได้ เช่น อัตราการแปลง (conversion gain) ของเฟสดีเทคเตอร์  $K_{pd}$  และ อัตราการแปลง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวีซีโอ  $K_{VCO}$  รวมทั้งชนิดของตัวกรองรูป LF ที่ใช้ แต่ต้องนำอัตราขยายของตัวดีเทกเตอร์ ผลคูณ  $K_M$  (Product detector gain) มาพิจารณาร่วมด้วย อย่างไรก็ตามในงานวิจัยนี้ใช้ LF เป็น ชนิดนำหน้า-ล่าหลังแบบพาสซีฟ [13] (Passive lead-lag filter) ทำให้ลูป (ในสถานะล็อก) มี ฟังก์ชันถ่ายโอนลูปปิด (closed loop transfer function) เป็นอันดับที่ 2 โดยมีค่าสัมประสิทธิ์อยู่ ในรูปของ ตัวประกอบการหน่วง  $\zeta$  (damping factor) และ ความถี่ธรรมชาติ  $f_n$  (natural frequency) เหมือนกับในทฤษฎีระบบควบคุม ซึ่งใช้ออกแบบ PLL อันดับที่สอง [6,13] (second-order PLL) 0.707 เป็นค่าตัวประกอบการหน่วง  $\zeta$  ที่เหมาะสมที่สุด [6] (optimal damping value) ของ PLL อันดับที่สอง ส่วนค่า  $f_n$  ที่เหมาะสมที่สุดนั้นเป็นฟังก์ชันของ SNR ของสัญญาณ  $r(t)$  และเพื่อให้ข้อผิดพลาดโดยรวมเกิดขึ้นน้อยที่สุด ลูปควรจะมีการวัด SNR แล้วทำการปรับ  $f_n$  เพื่อให้ได้สมรรถนะที่เหมาะสมที่สุด แต่เนื่องจากการวัด SNR ในทาง ปฏิบัตินั้นทำได้ค่อนข้างลำบาก ดังนั้นในการทดลองนี้จึงใช้การทดลองสุ่มค่า  $f_n$  เพื่อทดสอบ แล้วแก้ไขข้อผิดพลาด (trail and error) โดยค่า  $f_n$  ที่ใช้นั้นได้มาจากสูตรการกำหนดช่วงความถี่ ที่ทำให้ PLL เข้าสู่การล็อกได้ไวที่สุด  $\Delta f_L$  ภายใน 1 คาบเวลาของความถี่ผลต่างระหว่างความถี่ การทำงานอิสระ  $f_R$  (free-running frequency) และความถี่คลื่นพาห์  $f_C$  ซึ่ง ได้แสดงไว้ในบทที่ 6 อย่างไรก็ตามเมื่อกำหนดให้  $\Delta f_L$  มีค่าเท่ากับ 90 Hz ทำให้  $f_n$  มีค่าประมาณ 45 Hz

## การกู้สัญญาณนาฬิกา (Clock recovery)

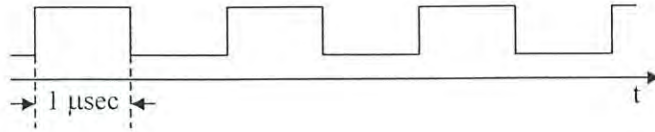
ดังได้แสดงในรูปที่ 2.10 ในการคิโมคูลเททสัญญาณ BPSK นอกจากวงจรกู้เฟส (และแน่นอน ความถี่) คลื่นพาห้จะเป็นสิ่งจำเป็นแล้ว วงจรที่ทำหน้าที่กู้สัญญาณควบคุมการกำหนดจังหวะในการ ลุ่มข้อมูลไบนารีที่ได้จากการคิโมคูลเททนั้นจัดว่าเป็นสิ่งจำเป็นพอกันซึ่งก็คือ วงจรกู้สัญญาณนาฬิกา เนื่องจากรูปแบบ (format) ของสัญญาณดิจิทัลโดยส่วนใหญ่ที่นำมาคูลเททกับคลื่นพาห้ ซึ่งเป็น ข้อมูลไบนารีที่เรียงตามกันมา (binary data stream) นั้นมีรูปแบบเป็น NRZ (non-return to zero) ดังนั้นในบทนี้จึงกล่าวถึงคุณสมบัติของรูปแบบข้อมูลไบนารีดังกล่าว และวิธีการและวงจรที่ใช้ในการ กู้สัญญาณนาฬิกาที่นิยมใช้พอสังเขปดังนี้

### 4.1 คุณสมบัติของข้อมูลไบนารีแบบ NRZ



รูปที่ 4.1 (ก) ข้อมูลไบนารีแบบ NRZ; (ข) ข้อมูลไบนารีแบบ RZ

ข้อมูลไบนารีโดยปกติจะถูกส่งในรูปแบบของ NRZ (non-return to zero) ดังแสดงไว้ในรูปที่ 4.1 (ก) ในรูปแบบนี้แต่ละบิตมีช่วงเวลาของ  $T_b$  (เวลาที่ใช้ในการส่งข้อมูล 1 บิต) เท่ากันไม่ว่าจะเป็นลอจิก '1' หรือ '0' และเป็นอิสระโดยทางสถิติซึ่งกันและกัน ปริมาณ  $f_b = 1/T_b$  นั้นถูกเรียกว่า "อัตราบิต" คำว่า NRZ หรือ "ไม่กลับสู่ศูนย์" (non-return to zero) นั้นเป็นการแยกรูปแบบนี้จากอีก รูปแบบหนึ่งที่เรียกว่า "กลับสู่ศูนย์" (RZ: return to zero) ซึ่งสัญญาณจะไปสู่ศูนย์ในระหว่างบิตที่ติดกัน (รูปที่ 4.1 (ข)) ซึ่งในอัตราบิตที่เท่ากันนั้น ข้อมูลแบบ RZ มีการเปลี่ยนแปลง (transition) สัญญาณมากกว่าข้อมูลแบบ NRZ นั่นก็คือแบนด์วิดท์จะสูงกว่าด้วย ดังนั้นรูปแบบ NRZ จึงเป็นที่ ต้องการมากกว่าเมื่อเทียบกับรูปแบบ RZ ในกรณีที่ช่องสัญญาณหรือวงจรที่ใช้ต้องการประหยัด แอกสารนี้เผยแพร่โดยวิศวกรที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 รูปคลื่นของ NRZ ที่เร็วที่สุดด้วยข้อมูลไบนารีที่มีอัตราบิต  $f_b = 1$  Mbps.

ข้อมูลแบบ NRZ มีสองสิ่งที่เป็นคุณสมบัติเฉพาะตัว ซึ่งทำให้งานของการกู้สัญญาณนาฬิกา ยากขึ้น สิ่งแรกก็คือ ข้อมูล NRZ อาจมีลำดับ (sequence) ที่ยืดยาวของลอจิก '1' หรือ '0' ติดต่อกัน ซึ่งกำลังต้องการวงจรกู้สัญญาณนาฬิกา CRC (Clock recovery circuit) เพื่อจดจำอัตราบิตใน ระหว่างช่วงเวลาที่เกิดเหตุการณ์เช่นนั้นขึ้น วิธีทางนี้ซึ่งในกรณีที่ ไม่ปรากฏของการเปลี่ยนข้อมูล วงจร CRC ไม่เพียงควรที่จะดำเนินการต่อเพื่อผลิตสัญญาณนาฬิกา แต่ยังคงมีการเบี่ยงเบนไปจากเดิม (drift) ที่สามารถละลายได้ในความถี่สัญญาณนาฬิกา อีกสิ่งหนึ่งก็คือ สเปกตรัมของข้อมูล NRZ มีขนาดขององค์ประกอบความถี่เป็นศูนย์ที่ความถี่ซึ่งเป็นผลคูณจำนวนเต็มของอัตราบิต ตัวอย่างเช่น ถ้าอัตราข้อมูลคือ 1 Mbps. (ล้านบิตต่อวินาที) สเปกตรัมที่ไม่มีกำลังงานจะอยู่ที่ 1 MHz และเพื่อที่จะทำความเข้าใจว่าทำไม เราสังเกตว่ารูปคลื่นที่เร็วที่สุดสำหรับการเรียงกันมาของข้อมูลด้วยอัตราบิต 1 Mbps. ได้มาจากการสลับไปมาระหว่าง '1' และ '0' ทุกๆ 1 ในล้านวินาที ( $\mu$  sec) ดังแสดงในรูปที่ 4.2 ซึ่งให้ผลลัพธ์เป็นสัญญาณคลื่นจัตุรัสที่มีความถี่ 500 kHz กับการไม่ปรากฏของฮาร์โมนิก คู่ทั้งหมด จากอีกมุมมองหนึ่ง ถ้ามีลำดับข้อมูล NRZ กับอัตรา  $f_b$  ถูกคูณด้วย  $A \sin(2\pi m f_b t)$  ผลลัพธ์ที่จะมีค่าเฉลี่ยเป็นศูนย์สำหรับทุกจำนวนเต็ม  $m$  ซึ่งกำลังแสดงให้เห็นว่ารูปคลื่นนั้น ไม่มีองค์ประกอบทางความถี่ที่  $m f_b$

มีประโยชน์ด้วยเหมือนกันในการรู้จักรูปร่างของสเปกตรัมข้อมูล NRZ เมื่อฟังก์ชันสหสัมพันธ์ตัวเอง (autocorrelation function) ของลำดับข้อมูลไบนารีแบบแรนดอมคือ [10]

$$R_x(\tau) = 1 - |\tau|/T_b \quad |\tau| < T_b \quad (4.1)$$

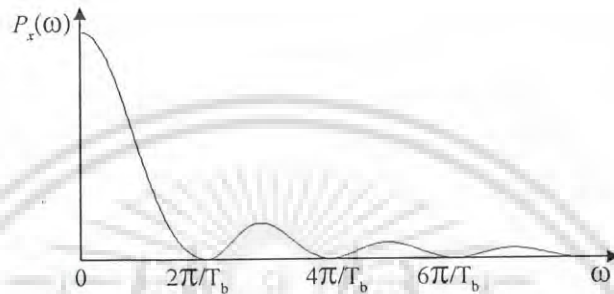
$$= 0 \quad |\tau| = T_b \quad (4.2)$$

ความหนาแน่นสเปกตรัมกำลังงาน (PSD: power spectrum density) เท่ากับ

$$P_x(\omega) = T_b [\sin(\omega T_b/2)/\omega T_b/2]^2 \quad (4.3)$$

ซึ่งถูกแสดงไว้ในรูปที่ 4.3 โดยที่ฟังก์ชันนี้มีค่าเป็นศูนย์ที่  $\omega = 2m\pi/T_b$  ซึ่งต่างกับข้อมูลแบบ RZ ซึ่ง  
 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์โดยมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

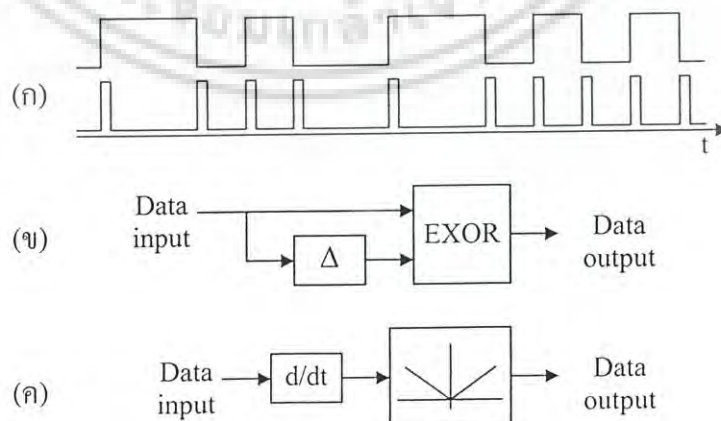
เนื่องด้วยความขาดแคลนขององค์ประกอบทางความถี่ ที่อัตราบิทของข้อมูลไบนารีในรูปแบบ NRZ นั้น วงจรกู้สัญญาณนาฬิกาอาจลือกกับสัญญาณแปลกลมอื่น หรือโดยง่ายก็คือไม่ลือกกับสัญญาณใดเลย ดังนั้นข้อมูล NRZ โดยปกติแล้วจะต้องผ่านกับการกระปฏิบัติงานแบบไม่เชิงเส้น (nonlinear operation) ที่ส่วนหน้า (front end) ของวงจรเหมือนกับเพื่อที่จะสร้างองค์ประกอบทางความถี่ที่  $f_c$  แนวทางที่ใช้ร่วมกันคือเพื่อตีเทกต์ในแต่ละการเปลี่ยนแปลงข้อมูล และเพื่อสร้างพัลส์ที่มีลักษณะสอดคล้องกัน



รูปที่ 4.3 สเปกตรัมของข้อมูล NRZ

#### 4.2 การตีเทกต์ขอบ (edge detection)

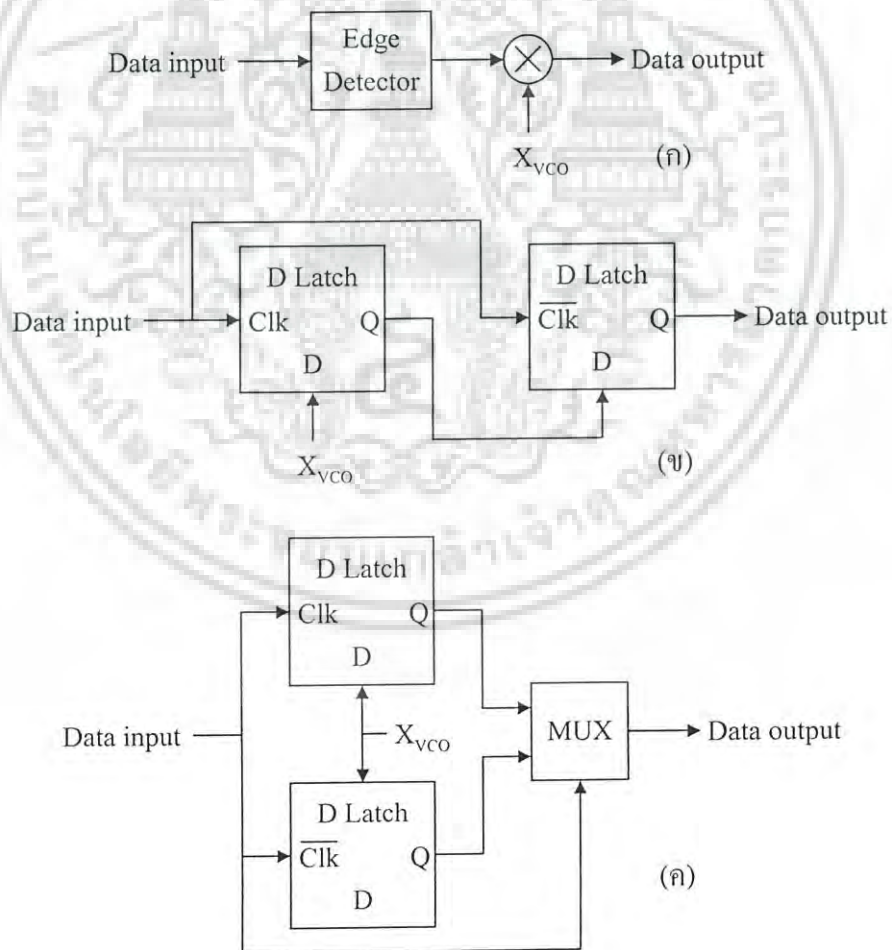
ดังที่ได้แสดงในรูปที่ 4.4 (ก) ตัวตีเทกต์ขอบต้องการกรรมวิธีเพื่อรับรู้การเปลี่ยนแปลงของข้อมูลทั้งขอบบวกและขอบลบ ในรูปที่ 4.4 (ข) เกต EXOR (exclusive-or) กับอินพุตที่ถูกคี่เลข  $\Delta$  ข้างหนึ่งได้ทำการปฏิบัติหน้าที่นี้ แต่ทว่าในรูปที่ 4.4 (ค) ตัวตีเฟอเรนทิเอเตอร์ (Differentiator) ผลิตสัญญาณอิมพัลส์ (impulses) ที่สอดคล้องกันกับแต่ละการเปลี่ยนแปลง วงจรยกกำลังสองหรือตัวเรกติไฟเออร์ (rectifier) แบบเต็มคลื่น (full wave) เปลี่ยนอิมพัลส์ลบไปเป็นอิมพัลส์บวก



รูปที่ 4.4 ตัวตีเทกต์ขอบของข้อมูล NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ 3 ของตัวตรวจจับขอบใช้ฟลิปฟล็อป (flipflop) ที่กำลังทำงานทั้งขอบขึ้นและขอบลง [10] เพื่อทำความเข้าใจเทคนิคนี้ เราระลึกไว้ก่อนว่าในวงจร CRC ที่ล็อกเฟสนั้น ข้อมูลที่ถูกตีเทกต์ขอบถูกคูณโดยเอาต์พุตของ VCO (รูปที่ 4.5 (ก)) ที่จริงแล้วอิมพลีเม้นต์การเปลี่ยนแปลงข้อมูลนั้นสุ่ม (sample) จุดต่างๆบนเอาต์พุตของ VCO สามารถถูกทำให้สำเร็จได้โดยการใช้ฟลิปฟล็อปแบบ master-slave ที่ประกอบด้วยตัวเลทช์ข้อมูล (D latches) สองตัว ซึ่งพัลส์ข้อมูลเป็นตัวขับเคลื่อนพัลส์สัญญาณนาฬิกา (clock input) ในขณะที่เอาต์พุตของ VCO ถูกรับรู้ (sensed) โดยอินพุตข้อมูล (Data input) ดังในรูปที่ 4.5 (ข) เนื่องจากในรูปแบบนี้ เอาต์พุตของ VCO ถูกสุ่มในการเปลี่ยนทั้งขอบขึ้นและขอบลงของข้อมูล เราตัดแปลงวงจรดังกล่าว ซึ่งตัวเลทช์ทั้งสองนั้นสุ่ม  $X_{VCO}$  ยกเว้นบนการเปลี่ยนแปลงที่ตรงกันข้ามของอินพุตข้อมูล ดังได้แสดงไว้ในรูปที่ 4.5 (ค) วงจรที่กำลังใช้อยู่นั้นสุ่มเอาต์พุตของ VCO ในทุกๆการเปลี่ยนแปลงข้อมูล และด้วยเหตุนี้ก็คือสมมูลย์โดยทางหน้าที่กับวงจรที่ได้ถูกแสดงไว้ในรูปที่ 4.5 (ก) เราเรียกวงจรนี้ว่า ฟลิปฟล็อปที่ถูกทริกสองขอบ (Double-edge-triggered flipflop)



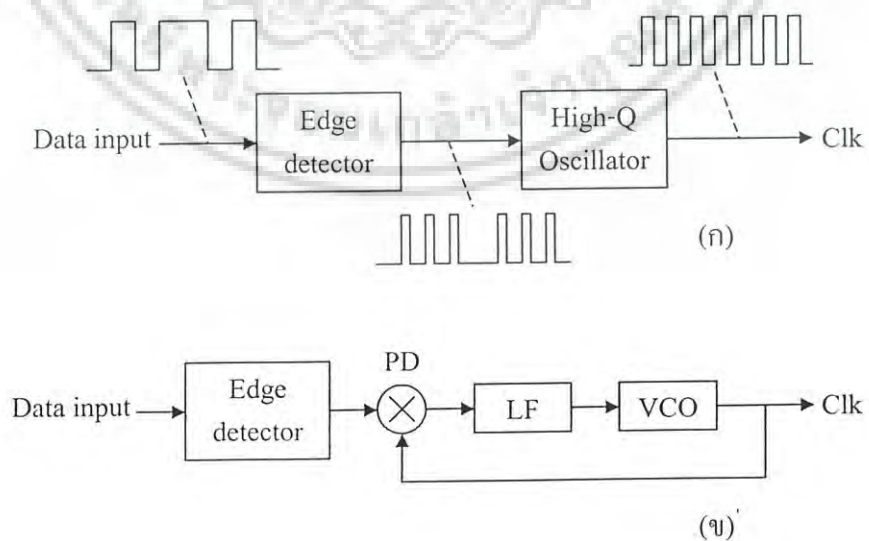
รูปที่ 4.5 การตีเทกต์ขอบและการสุ่ม (sampling) ข้อมูล NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3 สถาปัตยกรรมการกู้สัญญาณนาฬิกา

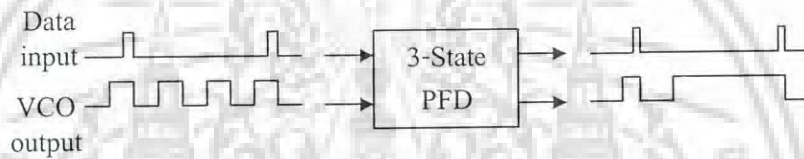
จากการสังเกตในหัวข้อที่แล้ว เราพบว่าการกู้สัญญาณนาฬิกานั้นประกอบด้วยสองหน้าที่คือ 1) การตีเทคต์ขอบ 2) การให้กำเนิดเอาต์พุตที่เข้าคาบและสงบลงที่อัตราข้อมูลอินพุต เพียงแต่มีการเบี่ยงเบนไปจากเดิมที่ไม่มากนักหรือสามารถละเอียดได้ในขณะที่ไม่เกิดการเปลี่ยนแปลงข้อมูล ดังได้แสดงไว้ในรูปที่ 4.6 (ก) นั้นเป็นการทำให้เป็นจริงทางแนวความคิดของหน้าที่นี้ ซึ่งตัวออสซิลเลเตอร์ค่า Q สูง (high-Q) ถูกซิงโครไนซ์ด้วยการเปลี่ยนแปลง (transition) ทางด้านอินพุตและออสซิลเลตโดยอิสระในขณะที่การเปลี่ยนแปลงนั้นไม่ปรากฏ การซิงโครไนซ์สามารถถูกทำให้สำเร็จได้โดยวิธีทางของการล็อกทางเฟส (phase-locking)

ในรูปที่ 4.6 (ข) แสดงวิธีที่เฟสล็อกถูกป้อนสามารถถูกใช้ร่วมกันกับตัวตีเทคต์ขอบ เพื่อทำการกู้สัญญาณนาฬิกา ซึ่งโดยก่อนอื่นสมมติว่าข้อมูลอินพุตนั้นมีลักษณะเป็นคาบ (periodic) ด้วยความถี่  $1/2T_b$  (หน่วยของ  $1/2T_b$  คือเฮิรตซ์ (Hz) ไม่ใช่เรเดียนต่อวินาที (rad/s)) จากนั้น ตัวตีเทคต์ขอบได้ทำให้เกิดความถี่สองเท่า (double) ซึ่งกำลังทำให้ VCO นั้นล็อกกับ  $1/T_b$  ซึ่งในตอนนี้อสมมติว่าการเปลี่ยนแปลงข้อมูลไม่ได้ปรากฏขึ้น ระหว่างช่วงเวลาดังกล่าวเอาต์พุตของตัวคูณ (PD ในรูป) เป็นศูนย์และแรงดันที่ได้เก็บไว้ในตัวกรองรูป (LF) ค่อยๆลดลง ซึ่งทำให้ความถี่ของ VCO เบี่ยงเบนไปจากเดิม เพื่อที่จะทำให้ผลกระทบนี้น้อยที่สุด ค่าคงตัวเวลา (time constant) ของตัวกรองรูปต้องมีค่ามากกว่า ช่วงเวลาที่ยอมให้ได้ที่มากที่สุดระหว่างการเปลี่ยนแปลงข้อมูลที่ติดต่อกันอย่างพอเพียง (ระบบการสื่อสารส่วนใหญ่รับประกันขอบเขตที่มั่นใจที่สูงกว่าช่วงเวลานี้ โดยการเข้ารหัสข้อมูล[10]) ซึ่งมีผลทำให้เกิดเบนควิท์ของลูบที่แคบ และจะทำให้ช่วงการเข้าสู่การล็อก (capture range) นั้นแคบลงด้วย



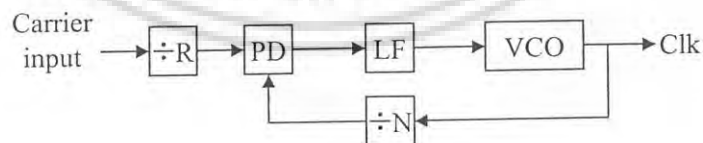
รูปที่ 4.6 (ก) การทำให้เป็นจริงทางแนวความคิดของวงจร CRC; (ข) วงจร CRC แบบล็อกเฟส  
เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้เพื่อใช้ในการแข่งขันเฟสเทค ๒๐๑๖ เมื่ออนุญาตให้นำไปเผยแพร่โดยไม่  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องมาจากการพิจารณาที่ผ่านมา ซึ่งเฟสล็อกจูป PLL ที่ถูกใช้สำหรับการกู้สัญญาณนาฬิกา ต้องมีการตีเทคความถี่ด้วย เพื่อให้มั่นใจในการล็อกกับอินพุตมากขึ้น แม้จะมีความแปรปรวนทางกระบวนการและทางอุณหภูมิต่างๆ สิ่งนี้อาจแนะนำการแทนตัวคูณด้วยตัวตีเทคเตอร์เฟสและความถี่ PFD (Phase and frequency detector) แบบ 3 สถานะ (three - states) [13] อย่างไรก็ตามวงจรดังกล่าวนั้นผลิตเอาต์พุตที่ไม่ถูกต้อง ถ้าแต่ละสัญญาณอินพุตของมันไม่เกิดการเปลี่ยนแปลงหรือไม่เกิดขอบ ดังได้แสดงไว้ในรูปที่ 4.7 การไม่ปรากฏการเปลี่ยนแปลงที่อินพุต (Data input) ตัว PFD อาจตีความเพื่อทำให้ความถี่ของ VCO สูงขึ้นกว่าความถี่ของอินพุต ซึ่งกำลังขับแรง-ดันควบคุมในทิศทางอย่างนั้นก็เหมือนกับเพื่อแก้ไขความแตกต่างที่ปรากฏขึ้น ปรากฏการณ์เช่นนี้เกิดขึ้นถึงแม้ความถี่ของ VCO เท่ากับอัตราบิทของอินพุตโดยเริ่มต้น ดังนั้นทางเลือกของตัว PFD สำหรับข้อมูลไบนารีแบบแรนดอมนั้น ต้องการการตรวจสอบที่ระมัดระวังของการตอบสนองของมัน ในช่วงเวลาที่การเปลี่ยนแปลงข้อมูลไม่ปรากฏ



รูปที่ 4.7 การตอบสนองของตัวตีเทคเตอร์เฟสและความถี่แบบ 3 สถานะกับข้อมูลแรนดอม

สถาปัตยกรรมการกู้สัญญาณนาฬิกา ซึ่งได้ถูกสร้างขึ้นแล้วในทั้งโดเมนที่เป็นแอนะล็อกและดิจิทัล โดยจะไม่ขอกล่าวถึงรายละเอียดในที่นี้ แต่ถ้าผู้ใดสนใจในรายละเอียดสามารถศึกษาเนื้อหาดังกล่าวได้จากหนังสือที่มีการรวบรวมเกี่ยวกับเนื้อหาดังกล่าวที่ถูกรวบรวมโดย Razavi [10] หรือเนื้อหาทางทฤษฎีที่เกี่ยวข้องจากหนังสือของ Proakis [14]



รูปที่ 4.8 บล็อกไคอะแกรมการกู้คลื่นพาห์โดยหลักการของการสังเคราะห์ความถี่

อย่างไรก็ตามสำหรับตัวคิมอคูเลทสัญญาณ BPSK แบบโคฮีเรนท์ ซึ่งมีความถี่ของคลื่นพาห์เป็นสัดส่วนหรือเป็นจำนวนเท่ากับอัตราบิทนั้น สามารถใช้หลักการของการสังเคราะห์ความถี่เพื่อสร้างสัญญาณนาฬิกาจากคลื่นพาห์ที่ถูกกู้ได้ที่ตัวรับ ดังแสดงในรูปที่ 4.8 คือเมื่ออินพุตของมันเป็นคลื่นพาห์ที่ถูกได้จากวงจรกู้คลื่นพาห์ (ดังที่ได้อธิบายไว้ในบทที่ 3) มีความถี่เท่ากับ  $f_c$  เมื่อเฟสล็อกไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลูปนั้นล็อกทางเฟส (phase-locked) กับอินพุตของมันด้วยความผิดพลาดเฟสคงที่ค่าหนึ่ง (ขึ้นอยู่กับชนิดของตัวเปรียบเทียบเฟส (PD type) และการกำหนดความถี่อิสระ (free-running frequency) ของ VCO ซึ่งได้กล่าวไว้ในภาคผนวก ก) ทำให้ความถี่ที่เอาต์พุตเป็น  $Nf_c/R$  โดยที่  $N$  และ  $R$  เป็นจำนวนเต็มที่เกิดจากการตั้งค่าการหารของตัวหารความถี่ ตัวอย่างเช่น ถ้าอัตราบิตนั้นมีค่ามากกว่าความถี่คลื่นพาห์ 1.5 เท่า อาจเซ็ทค่า  $N$  เป็น 3 และ  $R$  เป็น 2 ซึ่งจะได้สัญญาณนาฬิกาที่มีความถี่เท่ากับ  $1.5 f_c$  โดยวิธีดังกล่าวนี้จะไม่เกิดปัญหาเรื่องความถี่ของสัญญาณนาฬิกาที่กูดั้นนั้นเบี่ยงเบน (drift) ไปจากเดิมในกรณีที่ไม่ปรากฏการเปลี่ยนแปลงข้อมูลหรือขอบขึ้น (ดังที่เกิดขึ้นกับวิธีที่ได้พิจารณามาก่อนหน้านี้) เนื่องจากก่อนที่จะติมอดูเลทได้ข้อมูลไบนารีกลับคืนมานั้น ตัวติมอดูเลทจะต้องกู้คลื่นพาห์ได้ก่อน ดังนั้นตรารบใดก็ตามที่ตัวติมอดูเลทกู้คลื่นพาห์ได้ก็จะกู้สัญญาณนาฬิกาได้ตามไปด้วยโดยไม่คำนึงถึงการเปลี่ยนแปลงของข้อมูลว่าจะเกิดขึ้นหรือไม่

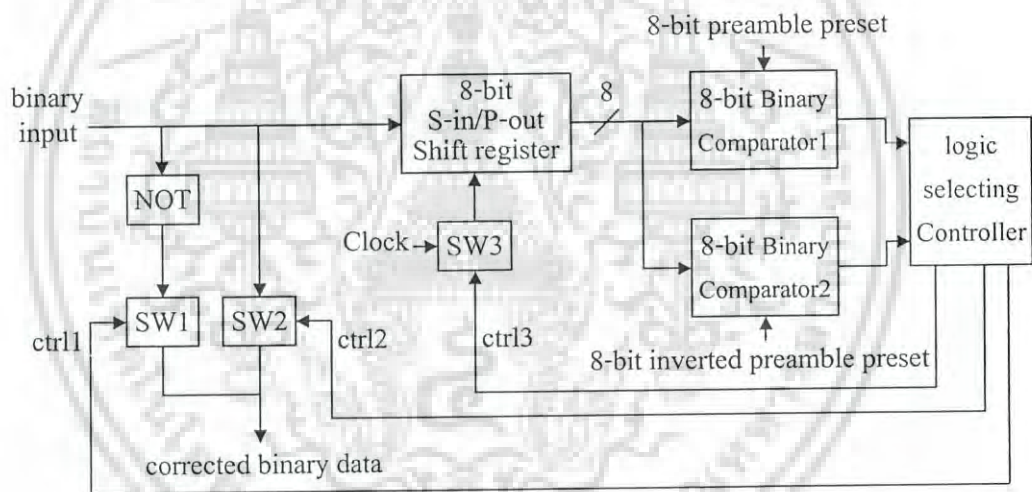


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# การตรวจสอบและแก้ไขข้อมูลไบนารีภายหลัง การติมอดูเลทให้ถูกต้อง

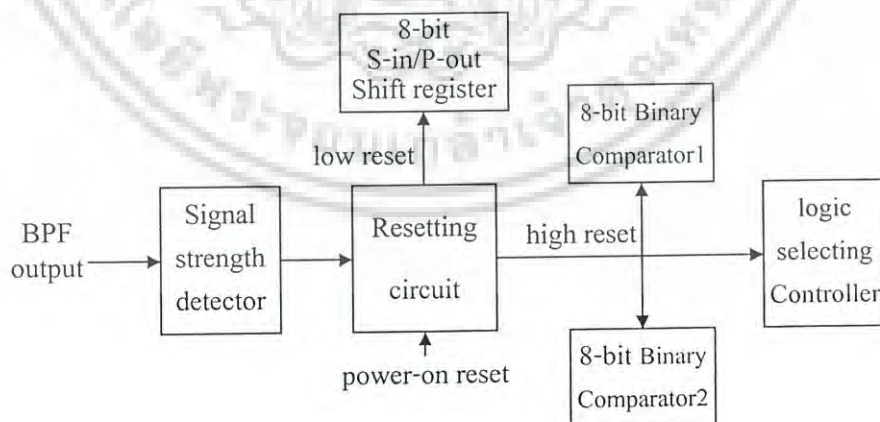
จากที่ได้กล่าวมาแล้วในบทที่ 3 ซึ่งไม่ว่าจะเป็นการถูกลิ้นพาทที่ใช้หลักการของรูปยกกำลังสองหรือรูปคอสตาส อาจเกิดปัญหาเรื่องความกำกวมทางเฟส (phase ambiguity) เป็นปริมาณ  $180^\circ$  ระหว่างเฟสของคลื่นพาทที่คู่ได้กับเฟสของคลื่นพาทที่ตัวส่ง อันทำให้ข้อมูลไบนารีที่ติมอดูเลทได้มีสถานะทางตรรก (ในแต่ละบิต) กลับกัน (เช่น ส่งมาเป็น '1' กลับรับได้เป็น '0' หรือกลับกัน) กับที่ติมอดูเลทมา ดังนั้นจึงต้องทำการตรวจสอบและแก้ไขข้อมูลไบนารีที่ได้จากการติมอดูเลทให้ถูกต้องก่อนที่จะนำไปใช้งานต่อไป ซึ่งมีรายละเอียดดังต่อไปนี้



รูปที่ 5.1 บล็อกไดอะแกรมของการตรวจสอบ และแก้ไขข้อมูลไบนารี (ภายหลังการติมอดูเลท) ให้ถูกต้อง

แนวความคิดหนึ่งที่สามารถใช้ในการตรวจสอบและแก้ไขการกลับสถานะลอจิก (logic state) ของข้อมูลไบนารีที่ติมอดูเลทได้จากข้อมูลไบนารีที่ติมอดูเลทมา ได้ถูกแสดงไว้ในรูปที่ 5.1 ในกรณีนี้ ตัวรับได้ถูกสมมติว่ารู้จักข้อมูลเริ่มต้น (preamble data) อยู่ก่อนแล้ว และได้ตั้งค่า (data preset) ข้อมูลไบนารีไว้ 2 ชุด ซึ่งแต่ละชุดมีข้อมูลไบนารีที่ตรงข้ามกัน เพื่อใช้ในการเปรียบเทียบกับข้อมูลเริ่มต้นที่ตัวส่งจะต้องส่งมาก่อนการส่งข้อมูลที่ใช้ในการสื่อสารจริงๆ เนื่องจากข้อมูลที่ได้จากตัวติมอดูเลทนั้นเป็นการเรียงกันมาของข้อมูลไบนารีทีละ 1 บิต หรืออาจเรียกได้ว่าเป็นข้อมูลเอกสารนี้แบบอนุกรม (serial) แต่การเปรียบเทียบข้อมูลทั้ง 2 ชุดที่ได้ตั้งค่าไว้เป็นแบบขนาน (จากรูปที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 เป็นการเปรียบเทียบข้อมูลที่ละ 8 บิต) ซึ่งผ่านตัวเปรียบเทียบข้อมูลไบนารี (Binary comparator) 2 ตัว ดังนั้นจึงจำเป็นต้องแปลงข้อมูลแบบอนุกรมให้เป็นแบบขนานเสียก่อน ซึ่งในกรณีนี้ใช้ตัวรีจิสเตอร์เลื่อน (Shift register) แบบข้อมูลเข้าเป็นอนุกรมและข้อมูลออกเป็นขนาน จึงจะสามารถนำข้อมูลที่ได้จากการคิมอคูเลทไปเปรียบเทียบได้ ถ้าข้อมูลไบนารีของชุดใดมีค่าตรง (อีกชุดจะไม่ตรง) กับข้อมูลเริ่มต้นที่ตัวส่งได้มอคูเลทมาก็จะให้สัญญาณที่เป็นลอจิกค่าหนึ่งไปยังตัวควบคุมการเลือกสถานะลอจิก (logic selecting controller) เพื่อใช้ในการตัดสินใจในการเลือกเส้นทางของข้อมูล (ผ่านสวิทช์ที่ควบคุมได้ SW1 และ SW2 ในรูปที่ 5.1) ที่ได้จากการคิมอคูเลทว่าจะใช้เส้นทางไหนเป็นเอาต์พุตของตัวคิมอคูเลเตอร์ที่จะนำไปใช้งานจริง ซึ่งมีสองเส้นทาง คือ เส้นทางที่ออกมาจากตัวคิมอคูเลเตอร์ตรงๆ หรืออีกเส้นทางหนึ่งผ่านตัวกลับสัญญาณ (Inverter หรือ NOT) นอกจากนี้จะเห็นได้ว่าไม่จำเป็นที่จะต้องทำการเปรียบเทียบข้อมูลเริ่มต้นอีกต่อไปแล้ว (เพราะจะทำการเปรียบเทียบเพียงช่วงเริ่มต้นเพียงครั้งเดียวเท่านั้น) และเพื่อเปิดโอกาสที่จะเกิดการเปรียบเทียบข้อมูลที่ใช้ในการสื่อสารที่อาจมีค่าตรงหรือตรงข้ามกับข้อมูลเริ่มต้นอีกก็ได้ (เพราะถ้าเป็นเช่นนั้นอาจเกิดการเลือกเส้นทางของตัวคิมอคูเลเตอร์ใหม่ที่ต่างไปจากเส้นทางเดิม) ดังนั้นจึงต้องมีสัญญาณอีกสัญญาณหนึ่งที่ออกจากตัวควบคุมการเลือกสถานะลอจิก เพื่อใช้ในการตัดเส้นทางที่ได้ใช้ในการเปรียบเทียบข้อมูลเริ่มต้น ซึ่งในกรณีนี้ใช้การตัดสัญญาณนาฬิกาที่ได้ใช้กับตัวรีจิสเตอร์เลื่อนแบบข้อมูลเข้าเป็นอนุกรมและข้อมูลออกเป็นขนาน ผ่านสวิทช์ที่ควบคุมได้ (SW3) อีกตัวหนึ่ง ทำให้ผลลัพธ์การเปรียบเทียบของตัวเปรียบเทียบข้อมูลไบนารีทั้ง 2 ตัวยังคงค้างอยู่เหมือนเดิมภายหลังที่เจอข้อมูลเริ่มต้นในครั้งแรกเท่านั้น ดังนั้นเอาต์พุตของบล็อกโคอะแกรมนี้จึงเป็นข้อมูลไบนารีที่ได้ถูกแก้ไขให้ถูกต้องแล้ว ซึ่งมีสถานะลอจิกในแต่ละบิตที่ตรงกับที่ได้มอคูเลทมา

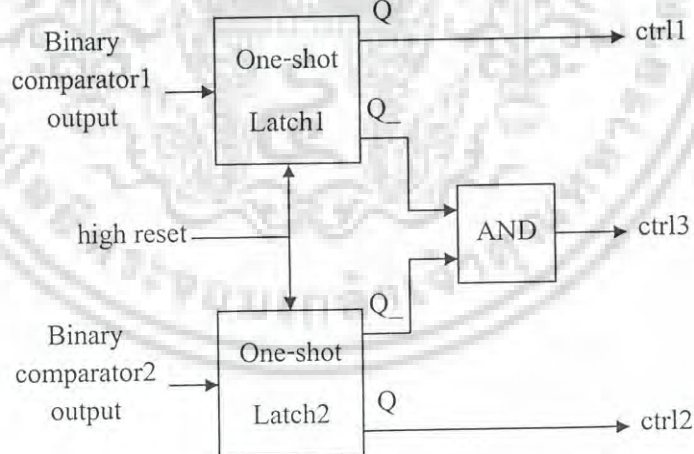


รูปที่ 5.2 บล็อกโคอะแกรมของหลักการที่ใช้ในการรีเซตระบบ

เมื่อการสื่อสารสิ้นสุดลง หรือเมื่อขนาดของสัญญาณที่รับได้มีค่าน้อยเกินไปหรือแม้กระทั่งเอกสารนี้เ้าคหายไปที่เอาต์พุตของตัวเปรียบเทียบข้อมูลไบนารีทั้ง 2 รวมถึงเอาต์พุตของตัวรีจิสเตอร์เลื่อน ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเอาต์พุตของตัวควบคุมการเลือกสถานะลอจิก จะต้องถูกรีเซ็ตก่อนที่จะทำการรับหรือตีโมดูเลทครั้งใหม่ ดังนั้นจึงจำเป็นต้องมีวงจรหนึ่งที่ทำหน้าที่รีเซ็ตให้กับระบบเมื่อเกิดเหตุการณ์ดังกล่าวขึ้น และจะต้องทำการรีเซ็ตระบบทุกครั้งในขณะที่ยังเริ่มการทำงานของตัวตีโมดูเลเตอร์ด้วย (power-on reset) ซึ่งวงจรดังกล่าวอาจถูกสร้างขึ้นจากหลักการในบล็อกไดอะแกรมที่ได้แสดงไว้ในรูปที่ 5.2

จากรูปที่ 5.2 จะเห็นได้ว่าสัญญาณอินพุตของวงจรรีเซ็ตจะมีอยู่ 2 สัญญาณ คือ สัญญาณที่เกิดขึ้นเมื่อขณะที่ระบบเริ่มทำงาน (power-on reset) และอีกสัญญาณนั้นมาจากเอาต์พุตของตัวตรวจสอบระดับของสัญญาณอินพุต (Signal strength detector) ที่ใช้ในการตีโมดูเลท (กรณีนี้คือสัญญาณ BPSK) ภายหลังจากที่ผ่านตัวกรองแถบความถี่ผ่าน (BPF) แล้วว่ามีขนาดน้อยเกินไปจากค่าที่ได้ตั้งไว้หรือไม่ อย่างไรก็ตาม เนื่องจากวงจรที่ทำหน้าที่ (ไม่ว่าจะเป็น) ตัวรีจิสเตอร์เลื่อน ตัวเปรียบเทียบข้อมูลไบนารี หรือ ตัวควบคุมการเลือกสถานะลอจิก อาจต้องการลอจิกควบคุมการรีเซ็ตที่แตกต่างกัน ดังนั้นวงจรรีเซ็ตนี้จึงมี 2 เอาต์พุตที่ตรงข้ามกัน เพื่อทำการรีเซ็ตให้กับวงจรต่างๆ กล่าวคือ เอาต์พุตหนึ่งจะเป็นลอจิกด้านสูง (high reset) ใช้กับวงจรที่ต้องการอินพุตควบคุมการรีเซ็ตที่เป็นลอจิกด้านสูง และอีกเอาต์พุตจะเป็นลอจิกด้านต่ำ (low reset) ใช้กับวงจรที่มีอินพุตควบคุมการรีเซ็ตเป็นลอจิกด้านต่ำ ซึ่งจากรูปที่ 5.2 มีเพียงวงจรเดียว (ตัวรีจิสเตอร์เลื่อน) เท่านั้นที่ต้องการอินพุตควบคุมการรีเซ็ตที่เป็นลอจิกด้านต่ำ นอกนั้นจะต้องการอินพุตที่เป็นลอจิกด้านสูง



รูปที่ 5.3 บล็อกไดอะแกรมหลักการการทำงานของตัวควบคุมการเลือกสถานะทางลอจิก

หลักการการทำงานของตัวควบคุมการเลือกสถานะลอจิก ได้ถูกแสดงเป็นบล็อกไดอะแกรมไว้ในรูปที่ 5.3 ซึ่งประกอบด้วยตัวค้างสถานะแบบครั้งเดียว (One-shot Latch) 2 ตัว และเกตแอนด (AND) 1 ตัว อินพุตของตัวค้างสถานะแต่ละตัว (1 และ 2) นั้นได้มาจากเอาต์พุตของตัวเปรียบเทียบข้อมูลไบนารี (1 และ 2) ซึ่งเอาต์พุตของแต่ละตัวจะให้ลอจิกที่ตรงข้ามกัน ขณะที่เกิดการเทวกับกับข้อมูลไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้น ทำให้เอาต์พุต Q ของตัวค้ำสถานะแต่ละตัวมีลอจิกที่ตรงข้ามกัน (ขณะที่ Q ของตัวหนึ่ง เป็น '1' Q ของอีกตัวจะเป็น '0') ซึ่งทำให้เกิดการเลือกเส้นทางเอาต์พุตของตัวค้ำมอดูเลเตอร์เพียงเส้นทางเดียว นอกจากนั้นเอาต์พุต Q ของตัวค้ำสถานะแต่ละตัวจะมีลอจิกที่ตรงข้ามกับเอาต์พุต Q ของแต่ละตัวอีกด้วย และหลังจากที่เอาต์พุต Q ของทั้งคู่ผ่านเกตแอนด (AND) ซึ่งจะให้เอาต์พุตเป็นลอจิก '0' เท่านั้น เพื่อใช้ในการตัดสัญญาณพิก้าของตัวรีจิสเตอร์เลื่อน (Shift register) ยกตัวอย่าง เช่น เมื่อเกิดการเท่ากันของข้อมูลเริ่มต้นที่ตัวเปรียบเทียบไบนารี 1 (Binary comparator1) ซึ่งก็ จะไม่เกิดที่ตัวเปรียบเทียบไบนารี 2 ทำให้เอาต์พุต Q ของตัวค้ำสถานะ 1 (Latch1) เป็นลอจิก '1' ซึ่งใช้ในการปิด (closed) สวิตช์ SW1 ขณะที่เอาต์พุต Q ของตัวค้ำสถานะ 2 จะเป็นลอจิก '0' ซึ่งเป็น การเปิด (opened) สวิตช์ SW2 และเอาต์พุต Q ของตัวค้ำสถานะ 1 จะเป็น '0' ทำให้เอาต์พุต ของเกตแอนด (AND) เป็น '0' ด้วย ซึ่งเป็นการเปิดสวิตช์ SW3 ดังนั้นเส้นทางเอาต์พุตของตัวค้ำมอดูเลเตอร์ที่ถูกเลือกในขณะนี้จะ เป็นเส้นทางที่ผ่านตัวกลับสัญญาณ (NOT) แล้วนั่นเอง และได้เกิดการตัดเส้นทางของสัญญาณพิก้าของตัวรีจิสเตอร์เลื่อนออกแล้วด้วย ซึ่งทำให้เอาต์พุตของมันค้างอยู่เหมือนเดิม หรือกล่าวได้ว่าจะไม่เกิดการเปรียบเทียบข้อมูล ไบนารีขึ้นอีกจนกว่าระบบจะถูกรีเซต

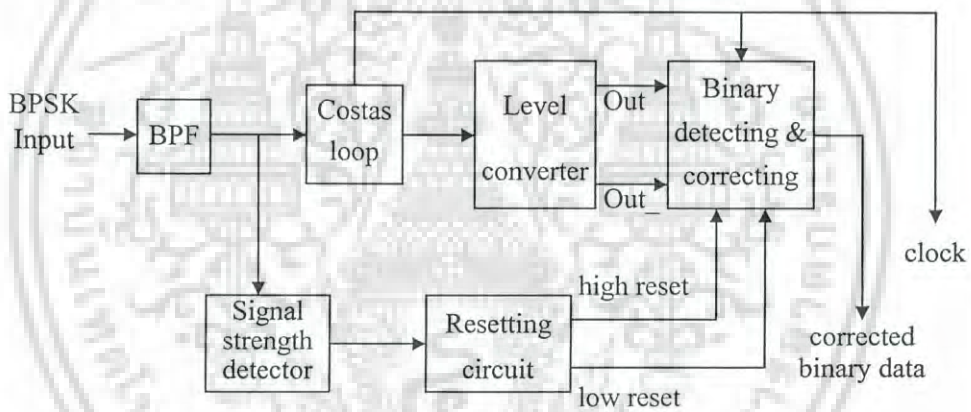
เมื่อระบบถูกรีเซต ไม่ว่าจะเกิดจากการเริ่มใช้งานของตัวค้ำมอดูเลเตอร์ หรือเกิดจากระดับของสัญญาณที่รับได้ภายหลังผ่านตัวกรองแถบความถี่ผ่าน มีค่าน้อยเกินไปจากค่าที่ได้ตั้งไว้ก็ตาม เอาต์พุต Q และ Q ของตัวค้ำสถานะแบบครึ่งเดียวทั้งสองตัว จะมีลอจิกเป็น '0' และ '1' ตามลำดับ ซึ่งเป็นการเปิดสวิตช์ SW1 และ SW2 และปิดสวิตช์ SW3 (ในรูปที่ 5.1) ทำให้เอาต์พุตของตัวค้ำมอดูเลเตอร์ที่จะนำไปใช้งานจริง ไม่ปรากฏสัญญาณใดๆขึ้น และมีสัญญาณพิก้าให้กับตัวรีจิสเตอร์เลื่อน เพื่อทำการเปลี่ยนข้อมูลจากแบบอนุกรมเป็นแบบขนาน ซึ่งใช้ในการเปรียบเทียบข้อมูลเริ่มต้นดังที่ได้กล่าวไปแล้วก่อนหน้านี้ หรืออาจกล่าวได้ว่าภายหลังการรีเซตระบบในส่วนนี้แล้ว ระบบจะคอยตรวจสอบและเปรียบเทียบจนกว่าจะเจอข้อมูลเริ่มต้นที่ตรงกับค่าที่ได้ตั้งไว้เพื่อเปรียบเทียบแล้ว

## บทที่ 6

# วงจรที่ใช้สร้างตัวดีมอดูเลทสัญญาณ BPSK

## และการออกแบบ

ในบทนี้เป็นการแสดงวงจร และการออกแบบวงจรที่ใช้ในการสร้างตัวดีมอดูเลทสัญญาณ บีพีเอสเค (BPSK demodulator) ซึ่งประกอบด้วยวงจรต่างๆดังนี้ วงจรกรองแถบความถี่ผ่าน วงจรรูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต วงจรแปลงระดับของสัญญาณที่คิมอดูเลทได้ วงจรตรวจสอบระดับของสัญญาณ BPSK ภายหลังจากการกรองความถี่แล้ว วงจรการรีเซต และวงจรตรวจสอบและแก้ไขข้อมูล ไบนารี (ภายหลังการคิมอดูเลท) ให้ถูกต้อง ดังที่ได้แสดงเป็นบล็อกไดอะแกรมไว้ในรูปที่ 6.1



รูปที่ 6.1 บล็อกไดอะแกรมของวงจรที่ใช้ในการสร้างตัวดีมอดูเลทสัญญาณ BPSK

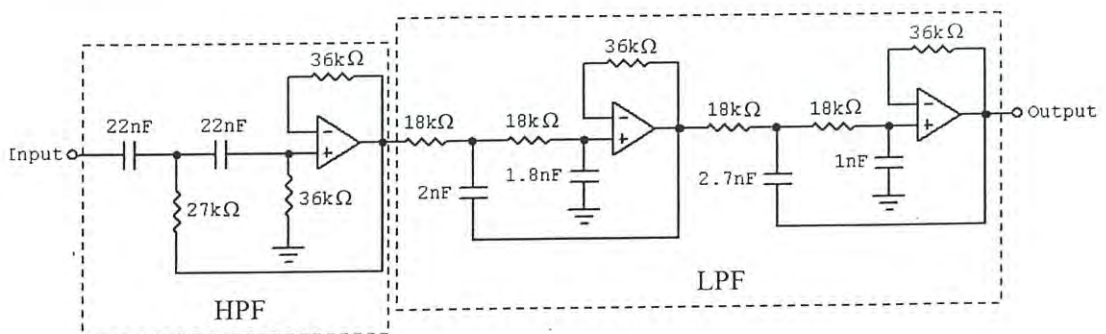
### 6.1 วงจรกรองแถบความถี่ผ่าน (BPF: Band-pass filter)

หน้าที่ของวงจรกรองแถบความถี่ผ่านนี้คือ การลดทอนหรือพยายามที่จะกำจัดสัญญาณรบกวนหรือสัญญาณอื่นที่อยู่นอกแถบความถี่ที่ใช้งาน เนื่องจากสัญญาณ BPSK ที่ใช้ในการทดลองเป็นสัญญาณที่ได้มาจากการนำสัญญาณไบนารีมาอดูเลทกับคลื่นพาห์โดยตรง ซึ่งไม่ได้มีการจำกัดองค์ประกอบทางความถี่ (spectra) ของสัญญาณไบนารีก่อนนำมาอดูเลท ดังนั้นเอาต์พุตหรือสัญญาณ BPSK ที่ได้จะมีองค์ประกอบความถี่เหมือนกับองค์ประกอบความถี่ของสัญญาณไบนารี (อย่างเช่นที่แสดงไว้ในรูปที่ 4.3) ที่อยู่รอบๆ (ทั้ง 2 ด้าน) ความถี่คลื่นพาห์ ซึ่งในทางทฤษฎีแล้วทำให้แบนด์วิดท์ของสัญญาณ BPSK นี้มีค่าไม่จำกัด แต่อย่างไรก็ตามในทางปฏิบัติจะมีค่าจำกัด ซึ่งขึ้นอยู่กับผลตอบสนองทางความถี่ของอุปกรณ์ที่ใช้ในการสร้าง และโดยส่วนใหญ่แล้วจะถูกจำกัดไม่กว้างนักทีเดียว ทั้งนี้ อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่โดยวงจรกรองในภายหลังก่อนส่งเข้าสู่ช่องส่งสัญญาณ รวมถึงจะถูกจำกัดความถี่จากคุณสมบัติการตอบสนองทางความถี่ของช่องส่งสัญญาณที่ใช้ด้วย

ในกรณีของตัวรับ (Receiver) หรือตัวคีมอคูเลเตอร์ ถ้าแบนด์วิดท์ของตัวกรอง BPF ยังมีค่ามาก สัญญาณรบกวนหรือสัญญาณที่ไม่พึงประสงค์ที่เกิดขึ้นในระหว่างช่องส่งสัญญาณ ก็ยังสามารถเข้ามาสู่ระบบได้มาก ดังนั้นจึงต้องมีการจำกัดแบนด์วิดท์ของสัญญาณที่จะรับเข้ามาก่อน แต่สำหรับวงจรกรอง BPF ที่นำมาใช้กับสัญญาณ BPSK นั้นจะต้องคำนึงถึงเรื่องความเพี้ยนทางเฟส (phase distortion) ที่เกิดขึ้นกับสัญญาณด้วย เนื่องจากสัญญาณเบสแบนด์ (base band) ที่นำมาใช้ออกุเลทนั้นมีลักษณะเป็นพัลส์ ซึ่งมีช่วงแบนด์วิดท์ที่กว้าง ดังนั้นถ้าแต่ละองค์ประกอบความถี่ของสัญญาณที่ผ่านตัวกรอง BPF เกิดการดีเลย์ไม่เท่ากัน หรืออาจกล่าวได้ว่า ตัวกรอง BPF ที่ใช้นั้นให้ผลตอบสนองทางความถี่ที่เกี่ยวข้องกับเฟสแบบไม่เป็นเชิงเส้น (nonlinear phase response) แล้ว จะทำให้สัญญาณในโดเมนเวลา (time domain) หลังจากผ่านตัวกรองความถี่เกิดการบิดเบี้ยวของรูปสัญญาณขึ้น ซึ่งจะเป็นอันตรายต่อการคีมอคูเลท เนื่องจากเฟสของสัญญาณ BPSK (เมื่อเทียบกับเฟสของคลื่นพาห้ที่ใช้ในการมอดูเลท) ซึ่งเป็นตัวนำพาข่าวสาร ได้เกิดการเพี้ยนไปจากเดิม ทำให้มีโอกาสเกิดความผิดพลาดในการคีมอคูเลทได้

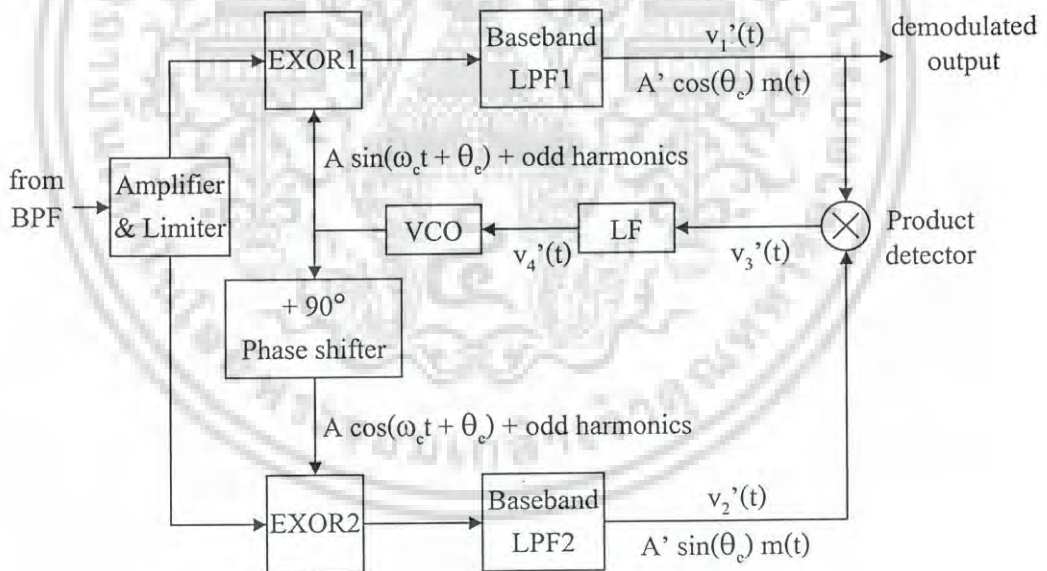
ดังนั้นจึงเลือกใช้ตัวกรอง BPF แบบ Bessel ซึ่งมีผลตอบสนองทางเฟสเป็นเชิงเส้นในช่วงแถบผ่าน (pass-band) มีแบนด์วิดท์ประมาณ 3 kHz ตั้งแต่ 0.3 – 3.3 kHz เนื่องจากสัญญาณ BPSK ที่ใช้ในการทดสอบการคีมอคูเลทมีความถี่คลื่นพาห้อยู่ที่ 1.8 kHz และมีอัตราบิต 1800 บิตต่อวินาที (bps.) จะเห็นได้ว่าแบนด์วิดท์ของตัวกรอง BPF ที่ใช้นี้มีค่าเป็นเกือบ 2 เท่าของอัตราบิต ซึ่งมากพอที่จะไม่ก่อให้เกิดการแทรกสอดระหว่างสัญลักษณ์ [8] (ISI: Intersymbol interference) ขึ้น อย่างไรก็ตามวงจรตัวกรอง BPF ที่ใช้นี้เป็นการนำเอาวงจรตัวกรองความถี่สูงผ่าน (HPF) ที่มีความถี่ตัดที่ 0.3 kHz มาคาสเคด (cascaded) กับตัวกรองความถี่ต่ำผ่าน (LPF) ที่มีความถี่ตัดที่ 3.3 kHz ซึ่งวงจรทั้ง 2 เป็นแบบเอกทีฟที่มีเกนเป็นหนึ่ง ส่วนรูปแบบวงจรและการคำนวณค่าอุปกรณ์นั้นได้มาจากหนังสือของ Lancacter [15] วงจร BPF ที่ใช้ในตัวคีมอคูเลเตอร์นี้ได้แสดงไว้ในรูปที่ 6.2



รูปที่ 6.2 วงจรกรองแถบความถี่ผ่าน (BPF)  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับคุณเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรอง BPF ในรูปที่ 6.2 นั้นใช้แหล่งจ่ายไฟ +5 และ -5 โวลท์ และใช้ชิป MC34072 เป็น ออปแอมป์ที่ใช้ในวงจร ซึ่งประกอบด้วยสองวงจร วงจรแรกเป็นวงจรกรองความถี่สูงผ่านอันดับที่ 2 (ด้านซ้ายสุดของรูป) ส่วนอีกวงจรหนึ่งเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 4 ซึ่ง (ด้านขวาของ รูป) ซึ่งประกอบด้วยวงจรกรองความถี่สูงผ่านอันดับที่ 2 ต่อкасาดกัน 2 วงจร แล้ววงจรอันดับ 2 ทั้งหมดมีชื่อเรียกว่า วงจร Sallen-Key แบบมีอัตราขยายวงจรเป็น 1 [15] (Unity gain) เหตุผลที่ต้อง ใช้อันดับที่สูงของวงจร LPF ก็เพราะการลดทอน (roll-off) สัญญาณที่มีความถี่อยู่นอกแถบผ่านของ วงจรประเภทนี้ไม่ค่อยดีนัก เมื่อเทียบกับชนิดอื่น เช่น บัตเตอร์เวิร์ท (ในกรณีที่มีอันดับของวงจร เท่ากัน) แต่ที่เลือกวงจรประเภทนี้ (Bessel) ก็เพราะมันให้คุณสมบัติทางเฟสในการตอบสนองทาง ความถี่เป็นแบบเชิงเส้น ซึ่งเป็นเหตุผลที่สำคัญว่า อย่างไรก็ตามยิ่งอันดับของวงจรมีค่าสูงมากขึ้น ความผิดพลาด (tolerance) ของตัวอุปกรณ์ (ตัวต้านทานและตัวเก็บประจุ) ก็ต้องน้อยลงตามไปด้วย ทำให้เป็นอุปสรรคต่อการใช้งานและวงจรยังมีขนาดใหญ่มาก ซึ่งเป็นการสิ้นเปลืองอุปกรณ์

## 6.2 วงจรลูบคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต

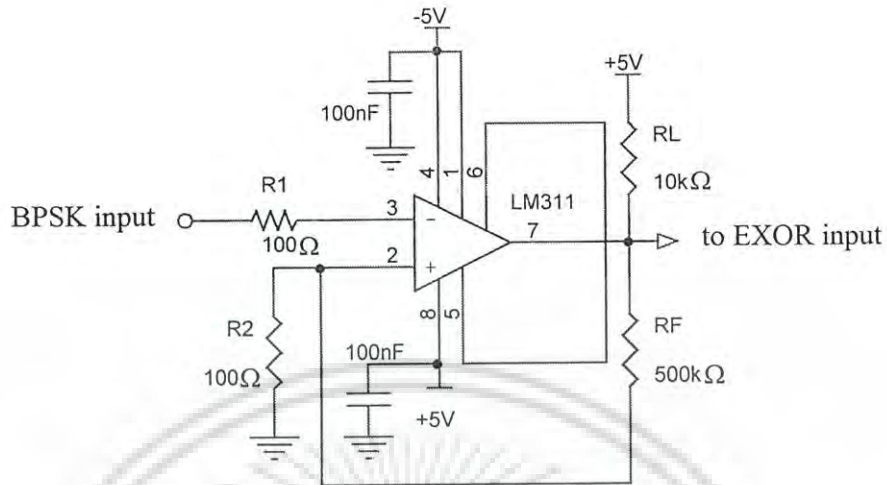


รูปที่ 6.3 บล็อกไดอะแกรมของลูบคอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุต

รูปที่ 6.3 (ซึ่งจะเหมือนกันกับรูปที่ 3.3) เป็นบล็อกไดอะแกรมของลูบคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์ (EXOR: Exclusive-OR) เป็นมิกเซอร์ด้านอินพุต ได้นำมาแสดงซ้ำอีกครั้งเพื่อความสะดวกในการพิจารณาสำหรับวงจรที่จะนำมาใช้ทำหน้าที่ในแต่ละบล็อก ซึ่งมีรายละเอียดของวงจรต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.2.1 วงจรขยายและจำกัดขนาด (Amplifier & Limiter)



รูปที่ 6.4 วงจรขยายและจำกัดขนาดสัญญาณ (Amplifier & Limiter)

รูปที่ 6.4 เป็นวงจรตัดศูนย์ (Zero crossing) ที่มีฮิสเทอรีซิส (hysteresis) ซึ่งในที่นี้ได้นำมาใช้ทำหน้าที่วงจรขยายและจำกัดขนาด (Amplifier & Limiter) วงจรนี้ก็ใช้แหล่งจ่ายไฟ +5 และ -5 โวลต์ ใช้ชิป LM311 ซึ่งเป็นตัวเปรียบเทียบแรงดัน (Voltage comparator) จากความต้องการที่จะตรวจจับสัญญาณในช่วงที่ตัดผ่านแรงดัน 0 โวลต์ และสัญญาณนี้ (BPSK) ก็ไม่ได้มีความถี่ต่ำมากนัก จึงใช้ฮิสเทอรีซิสที่ค่อนข้างน้อย คือ ประมาณ 1 มิลลิโวลต์ ในการคำนวณหาค่าอุปกรณ์ (ตัวต้านทานต่างในรูป) สามารถคำนวณได้ดังนี้

เมื่อแรงดันสวิงทางเอาต์พุต (output swing) ของชิปนี้อยู่ที่ประมาณเท่ากับแหล่งจ่ายไฟ ( $\pm 5$  โวลต์) ที่ใช้ ซึ่งสมมติให้เป็น  $V_{cc}$  ดังนั้นแรงดันฮิสเทอรีซิสสามารถถูกกำหนดโดย

$$V_{\text{hysteresis}} = |V_{cc}| \cdot [R2 / (RF + R2)] \quad (6.1)$$

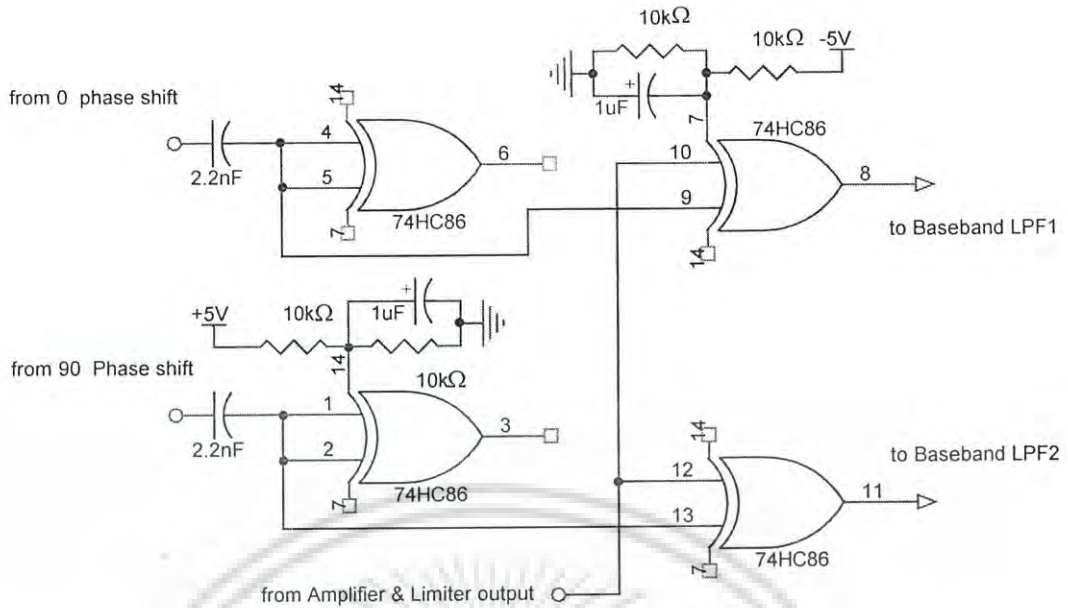
ดังนั้น

$$R2 = RF \cdot V_{\text{hysteresis}} / (|V_{cc}| - V_{\text{hysteresis}}) \quad (6.2)$$

ถ้า  $RF = 500 \text{ k}\Omega$   $|V_{cc}| = 5 \text{ V}$  และ  $V_{\text{hysteresis}} = 1 \text{ mV}$  แล้ว  $R2$  ประมาณ  $100 \text{ }\Omega$  ส่วนค่าของ  $R1$  นั้นประมาณเท่ากับ ความต้านของ  $RF$  ขนานกับของ  $R2$  ซึ่งประมาณ  $100 \text{ }\Omega$

### 6.2.2 วงจรเกตเอกซ์คลูซีฟออร์ (EXOR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



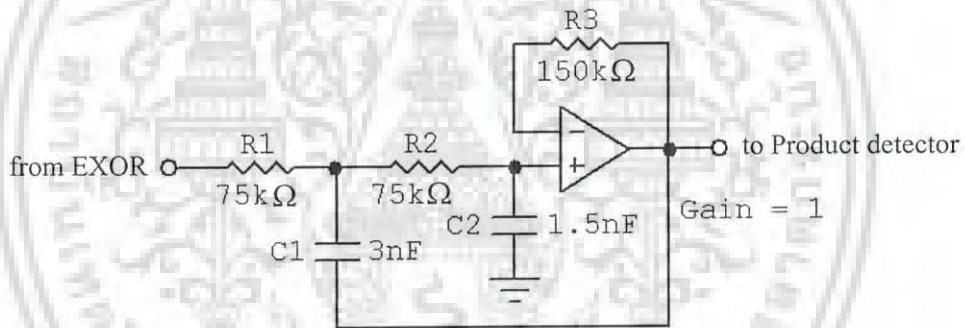
รูปที่ 6.5 วงจรเกต EXOR ที่นำมาใช้เป็นมิกเซอร์ด้านอินพุตของลูปล็อคสตาต

รูปที่ 6.5 เป็นวงจรเกต EXOR ที่นำมาเป็นมิกเซอร์ด้านอินพุตของลูปล็อคสตาต วงจรนี้ใช้ชิป 74HC86 ซึ่งเทคโนโลยีซีมอสความเร็วสูง (Hi-speed CMOS) แต่สามารถใช้ชิปที่ทำจากเทคโนโลยีซีมอสธรรมดาได้ เช่น CD4070 ใน 1 ชิปจะประกอบด้วยเกต EXOR 4 ตัว จากการทำงานในหลายๆวงจรที่ประกอบอยู่ในตัวคิมอดูเลเตอร์นั้นใช้ไฟเลี้ยง +5 และ -5 โวลต์ที่อยู่แล้ว แต่เนื่องจากการสวิงของเอาต์พุตของตัวหารความถี่ 4 เท่า (ใช้ทำเป็นตัวเลื่อนเฟส 90° ซึ่งจะได้กล่าวถึงในภายหลัง) ซึ่งเป็นอินพุตให้กับเกต EXOR มีค่าอยู่ที่ประมาณ 5 โวลต์เพราะใช้แหล่งจ่ายไฟ +5 โวลต์ กับ 0 โวลต์ และเพื่อให้ระดับลอจิกที่อินพุตของเกตเข้ากันได้กับระดับลอจิกที่เอาต์พุตของตัวหาร ดังนั้นแหล่งจ่ายไฟของเกตจึงควรอยู่ที่ประมาณ +2.5 และ -2.5 โวลต์ และเพื่อความประหยัดจึงใช้วิธีแบ่งแรงดัน (voltage divider) จากแหล่งจ่ายไฟ +5 และ -5 โวลต์ ผ่านตัวต้านทาน 10 kΩ (ดังที่ได้แสดงในรูป) และใช้ตัวเก็บประจุ 1 uF เพื่อลดแรงดันกระเพื่อม (voltage ripple) ที่เกิดขึ้นเมื่อมีกระแสกระชากที่ไหลผ่านตัวต้านทานเหล่านั้น ตัวเก็บประจุ 2.2 nF ใช้ในการคัปปลิง (coupling) สัญญาณ ac และตัดแรงดัน dc เพื่อแก้ปัญหาแหล่งจ่ายไฟของวงจรทั้งคู่ (เกต EXOR และ ตัวหารความถี่ 4 เท่า) ไม่เท่ากัน

### 6.2.3 วงจรกรองความถี่ต่ำแบนด์ผ่าน (Baseband LPF)

วงจรมีได้ถูกแสดงไว้ในรูปที่ 6.6 ซึ่งมีรูปแบบวงจรเหมือนกันกับวงจร LPF เพียงหนึ่งส่วนที่ประกอบอยู่ในวงจร BPF (ดังที่ได้แสดงไว้ในรูปที่ 6.2) ซึ่งก็คือวงจรกรอง LPF อันดับ 2 ที่มีอัตราขยายเท่ากับ 1 แต่สำหรับวงจรในส่วนนี้ (Baseband LPF) นั้นต้องการการลดทอนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณที่ความถี่นอกแถบผ่าน (pass-band) ที่ดีขึ้น จึงออกแบบให้วงจรมีผลตอบสนองทางความถี่แบบบัตเตอร์เวิร์ท (Butterworth response) ซึ่งจะมี roll-off ที่ดีกว่าเมื่อเทียบกับแบบ Bessel วงจรนี้ใช้แหล่งจ่ายไฟ +5 และ -5 โวลต์ และใช้ชิปออปแอมป์เบอร์ MC34072 ซึ่งในชิปนี้ประกอบด้วยออปแอมป์ 2 ตัว ดังที่ได้อธิบายไปในหัวข้อที่ 3.2.2 ในการกำหนดความถี่ตัด (cut-off frequency) ของวงจร Baseband LPF ควรมีค่าต่ำกว่าสองเท่าของความถี่คลื่นพาห์ ( $2f_c$ ) เพื่อเป็นการกำจัดหรือลดทอนความถี่สูง ( $2f_c$ ,  $4f_c$  และมากกว่านี้) ที่เกิดจากเอาต์พุตของเกต EXOR อย่างไรก็ตามไม่ควรกำหนดให้ความถี่ตัดของ Baseband LPF ต่ำกว่าครึ่งหนึ่งของอัตราสัญลักษณ์ (ซึ่งก็เท่ากับครึ่งหนึ่งของอัตราบิตในกรณีของ BPSK) ถ้าไม่อย่างนั้นจะเกิดปัญหาเรื่องการแทรกสอดของสัญญาณ [8] (ISI) และจะทำให้อัตราความผิดพลาดบิต (BER: bit error rate) ที่สูงขึ้น ดังนั้นจึงได้กำหนดให้ความถี่ตัดของตัวกรอง Baseband LPF อยู่ที่ 1 kHz ซึ่งมีค่าต่ำกว่าความถี่คลื่นพาห์ และสูงกว่าครึ่งหนึ่งของอัตราบิต (อัตราบิตมีค่าเท่ากับ 1800 bps.)



รูปที่ 6.6 วงจร Baseband LPF

ฟังก์ชันถ่ายโอน  $F(s)$  ของวงจรในรูปที่ 6.6 คือ

$$F(s) = \frac{1/C_1C_2R_1R_2}{s^2 + s(1/C_1R_1 + 1/C_1R_2) + 1/C_1C_2R_1R_2} \quad (6.3)$$

ถ้ากำหนดให้  $R_1 = R_2$  แล้วความถี่ตัด  $f_{3dB}$  สามารถคำนวณได้จาก

$$f_{3dB} = \frac{1/2\pi}{\sqrt{C_1C_2R_1^2}} \quad (6.4)$$

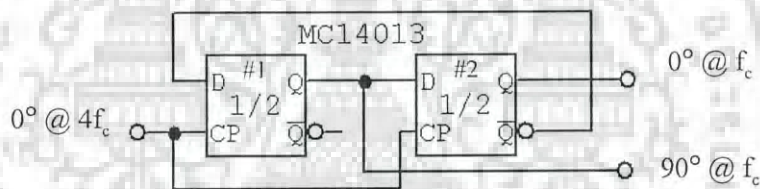
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีของวงจรกรองอันดับที่ 2 ที่มีผลตอบสนองแบบบัตเตอร์เวิร์ทนั้น  $C2 = 2C1$  และเมื่อมีการกำหนดค่าของ  $f_{3dB}$  และกำหนดให้  $R1 = R2$  แล้ว  $C1$  หาได้จาก

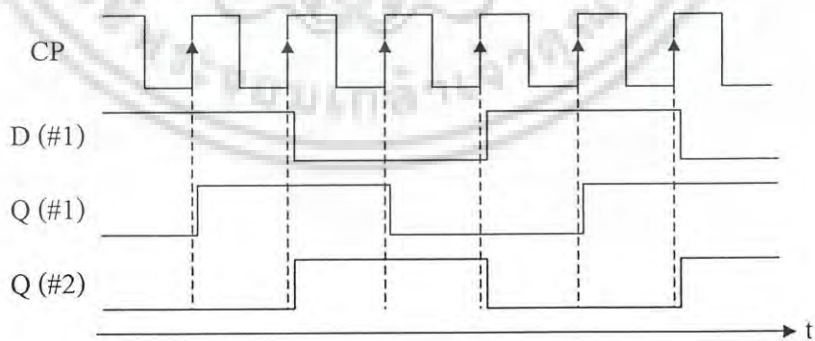
$$C1 = \frac{1/\sqrt{2}}{2\pi f_{3dB} R1} \tag{6.5}$$

ถ้า  $f_{3dB} = 1 \text{ kHz}$  และ  $R1 = 75 \text{ k}\Omega$   $R2$  ก็เท่ากับ  $75 \text{ k}\Omega$  ด้วย ดังนั้น  $C1$  จะประมาณเท่ากับ  $1.5 \text{ nF}$  และ  $C2$  จะมีค่าเท่ากับ  $3 \text{ nF}$  ซึ่งเป็นค่าที่ได้แสดงไว้ในรูปที่ 6.6 ส่วนค่าของ  $R3$  นั้นมีค่าเท่ากับค่าของ  $R1$  บวกค่าของ  $R2$  ซึ่งมีค่าเท่ากับ  $150 \text{ k}\Omega$  ตัวต้านทาน  $R3$  นี้มีจุดประสงค์เพื่อใช้ในการไบอัสกระแส (current biasing) ที่ขาอินพุตบวกและลบ (non-inverting และ inverting input) ของออปแอมป์ให้มีค่าใกล้เคียงกัน

6.2.4 วงจรเลื่อนเฟส  $90^\circ$  (+ $90^\circ$  phase shifter)



รูปที่ 6.7 วงจรหารความถี่ 4 เท่า ที่ให้ 2 เอาต์พุต ที่มีเฟสต่างกัน  $90^\circ$  ซึ่งใช้แทนตัวเลื่อนเฟส  $90^\circ$

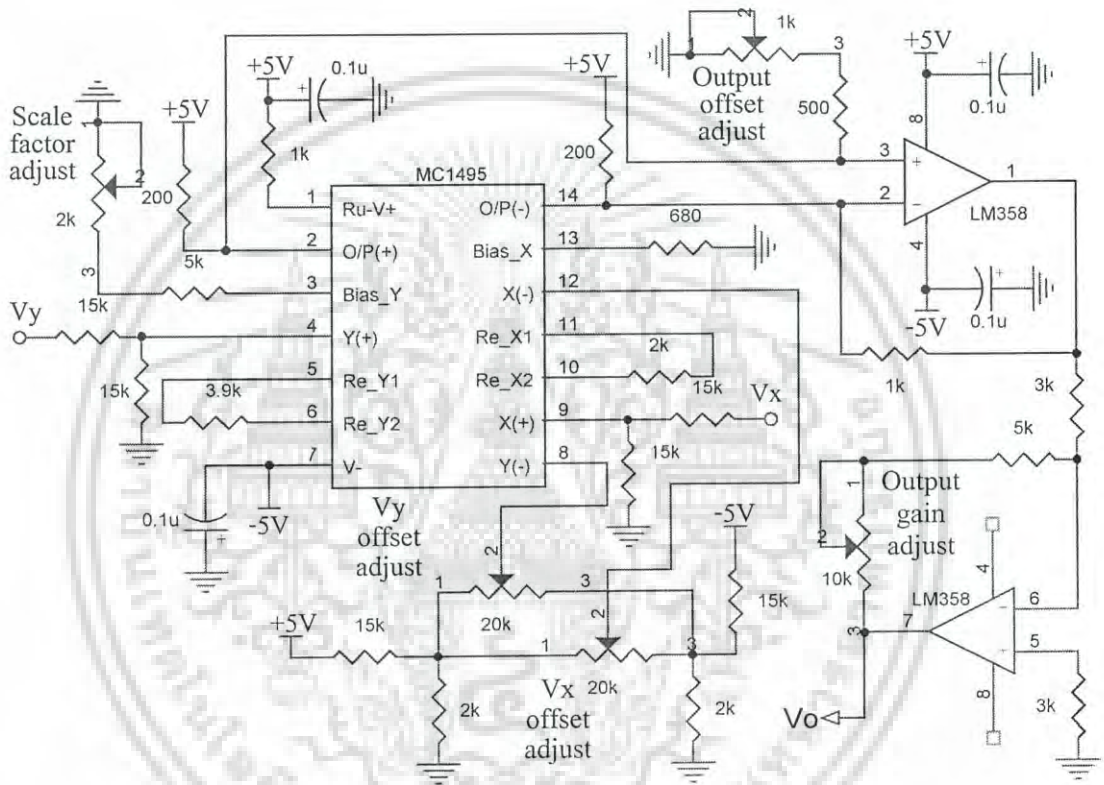


รูปที่ 6.8 ความสัมพันธ์ทางด้านเวลาของสัญญาณอินพุตและเอาต์พุตของวงจรหารความถี่ 4 เท่า

วงจรในรูปที่ 6.7 เป็นวงจรหารความถี่ 4 เท่า ซึ่งนำมาใช้เป็นวงจรเลื่อนเฟส  $90^\circ$  โดยวงจรนี้จะมี 2 เอาต์พุต ซึ่งเอาต์พุตทั้งคู่จะมีความถี่ต่ำกว่าความถี่ที่อินพุตของมัน 4 เท่า นอกจากนี้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้ง 2 เอาต์พุตนี้จะมีเฟสของสัญญาณต่างกันอยู่  $90^\circ$  (ดังที่ได้แสดงความสัมพันธ์ทางเวลาไว้ในรูปที่ 6.8) ดังนั้นจึงสามารถนำมาทำเป็นตัวเลื่อนเฟส  $90^\circ$  ได้ แต่จะต้องมีสัญญาณอินพุตที่มีความถี่สูงกว่าที่เอาต์พุต 4 เท่า วงจรนี้ประกอบด้วย ฟลิป-ฟลอปแบบดี D F/F (D type flip-flop) 2 ตัวมาต่อเป็นวงจรดังในรูปที่ 6.7 [17] ชิป D F/F ที่ใช้ในการสร้างวงจรนี้คือชิป MC14013 ชิปเดียว ซึ่งประกอบด้วย D F/F 2 ตัว ใช้แหล่งจ่ายไฟ +5 โวลต์ กับ 0 โวลต์

### 6.2.5 วงจรดีเทกเตอร์ผลคูณ (Product detector)



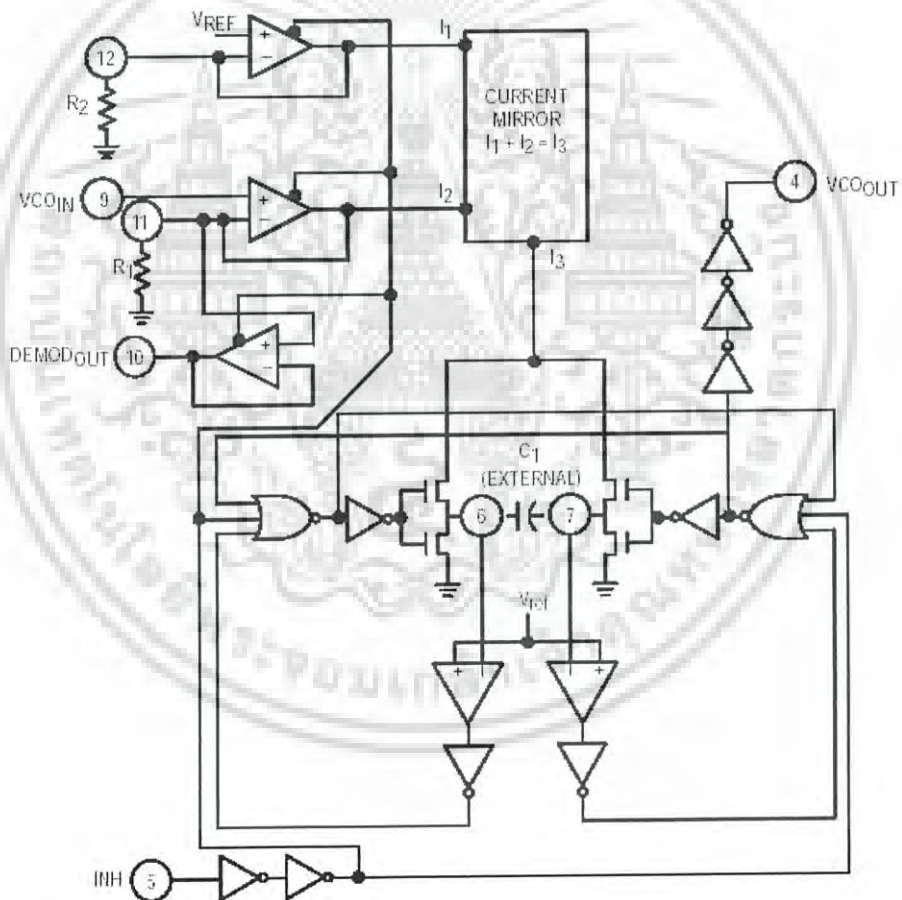
รูปที่ 6.9 วงจรตัวดีเทกเตอร์ผลคูณ (Product detector)

วงจรในรูปที่ 6.9 เป็นวงจรดีเทกเตอร์ผลคูณ ซึ่งใช้แหล่งจ่ายไฟ +5 และ -5 โวลต์ และใช้ไอซีตัวคูณสี่ขั้ว (four-quadrant multiplier) MC1495 ทำหน้าที่เป็นตัวคูณสัญญาณ ร่วมกับตัวต้านทานและตัวเก็บประจุเพื่อใช้สำหรับไบอัส (bias) วงจร ซึ่งได้ออกแบบให้ช่วงแรงดันสวิงที่อินพุตของวงจร (โดยที่วงจรยังคงทำงานอยู่ในช่วงเชิงเส้น) มีค่าประมาณ  $\pm 2.5$  โวลต์ เนื่องจากเอาต์พุตของเกต EXOR มีแรงดันที่สวิงได้อยู่ในช่วง  $\pm 2.5$  โวลต์ และใช้ชิปออปแอมป์เบอร์ LM358 ซึ่งประกอบด้วยออปแอมป์ 2 ตัว ใช้ตัวหนึ่งสำหรับขยายสัญญาณเอาต์พุตของตัวคูณให้มีการสวิงอยู่ประมาณ  $\pm 1.5$  โวลต์ ซึ่งเพียงพอที่จะนำไปใช้ควบคุมการกำเนิด

เอกสารนี้เป็นความลับของตัว VCO ที่ใช้ (จะได้กล่าวถึงในหัวข้อถัดไป) เป็นเพราะว่าแรงดันสวิงที่เอาต์พุตไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของตัวคูณ (ภายใต้แหล่งจ่ายไฟที่ใช้) มีค่าเล็กเกินกว่าค่าที่ต้องการ และใช้ออปแอมป์อีกตัวหนึ่งสำหรับเปลี่ยนค่าแรงดันออฟเซตไฟตรง (dc off-set) ที่เอาต์พุตของวงจร เพื่อให้เหมาะสมกับค่าแรงดันที่ใช้ในการควบคุม VCO (ประมาณ 0-3.1 V) อย่างไรก็ตามได้กำหนดค่าแรงดันออฟเซตไฟตรงไว้ประมาณ 1.65 โวลต์ ซึ่งเป็นค่าที่อยู่กึ่งกลางช่วงแรงดันที่ใช้ควบคุม VCO นอกจากนี้เกนการคูณทั้งหมด  $K_M$  ของวงจรมีค่าเท่ากับ 0.24 (ซึ่งก็คือ  $1.5/[2.5*2.5]$ ) เท่าของสัญญาณอินพุตที่นำมาคูณ จากรูปที่ 6.7 อินพุตของวงจรคูณ  $V_x$  และ  $V_y$  ซึ่งสามารถใช้สลับกันได้ และเอาต์พุตของวงจร  $V_o$  จะมีค่าเป็น  $K_M V_x V_y$  ซึ่งสัญญาณที่นำมาคูณทั้งคู่สามารถเป็นได้ทั้ง dc และ ac

### 6.2.6 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน VCO (Voltage controlled oscillator)



รูปที่ 6.10 ไคอะแกรมวงจรลอจิกสำหรับ VCO ที่อยู่ภายในชิป MC74HC4046

สำหรับวงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO) นั้นใช้ชิป MC74HC4046 ซึ่งมี VCO ที่ผลิตความถี่ได้ค่อนข้างเป็นเชิงเส้นกับแรงดันที่ใช้ควบคุม (ในช่วงความถี่ที่สามารถนำเอกสารนี้เป็นเอกสารทงวนไวสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาใช้กับงานนี้ได้) จากรูปที่ 6.10 ซึ่งแสดงเป็นไดอะแกรมของวงจรลอจิกสำหรับ VCO ที่อยู่ในชิป MC74HC4046 ซึ่งมีหลักการทำงานโดยคร่าวๆดังนี้ ตัวต้านทาน R1 เป็นตัวกำหนดกระแส I2 (ซึ่งขึ้นอยู่กับการแรงดันจากภายนอก VCOin ที่ใช้ในการควบคุมการกำเนิดความถี่ของ VCO) และ R2 เป็นตัวกำหนดค่ากระแส I1 (ซึ่งขึ้นอยู่กับการแรงดันอ้างอิง Vref ภายในชิป) ให้กับวงจรสะท้อนกระแส (current mirror) และกระแสที่ถูกสะท้อน I3 ( $I3 = I1 + I2$ ) นี้ ถูกใช้ในการขับหรือประจุเข้าทางด้านหนึ่งของตัวเก็บประจุ C1 ทันทันที่แรงดันตกคร่อมตัวเก็บประจุ C1 เพิ่มขึ้นสู่ Vref ของคอมพาราเตอร์ทั้ง 2 ตัว (ตรงกลางทางด้านล่างของรูป) ลอจิกควบคุมตัวออสซิลเลเตอร์จะเกิดการสลับขึ้น (flips) ทำให้กระแสที่สะท้อน I3 นั้นประจุเข้าทางด้านตรงข้ามของตัวเก็บประจุ C3 เมื่อลอจิกควบคุมตัวออสซิลเลเตอร์เกิดการสลับไปมา ซึ่งก่อให้เกิดความถี่ขึ้นค่าหนึ่ง ความถี่นี้เองถือได้ว่าเป็นความถี่ที่ VCO นี้สามารถผลิตได้

เพื่อให้การคำนวณหาความถี่ที่ VCO นี้สามารถผลิตได้มีความแม่นยำมากขึ้น จากนี้ไปจะใช้สูตรที่มีอยู่ในเอกสารบันทึกการใช้งาน (application note) AN1410 [16] ซึ่งมีประโยชน์โดยตรงในการคำนวณหาค่าอุปกรณ์ (R1 R2 และ C1) ที่ใช้ในการกำหนดช่วงความถี่ของ VCO ที่อยู่ในชิป MC74HC4046 ดังนี้ ความถี่ที่ VCO ผลิตคือ

$$f_{VCO} = \frac{I3}{2C_{ext} \cdot dV} \quad (6.6)$$

เมื่อ  $C_{ext}$  คือค่าของตัวเก็บประจุที่อยู่ภายนอกชิป  $dV$  คือแรงดันคร่อมตัวเก็บประจุ  $C_{ext}$  และ  $I3$  คือกระแสที่ใช้ประจุตัวเก็บประจุ  $C_{ext}$  ซึ่งก็คือกระแสที่ถูกสะท้อนจาก  $I1$  และ  $I2$  ในรูปที่ 6.10 ดังนั้น  $I3$  จึงเท่ากับ  $I1+I2$

$$I3 = I1 + I2 \quad (6.7)$$

กระแส  $I2$  นั้นขึ้นอยู่กับการแรงดันควบคุม VCO ( $VCO_{in}$ ) ค่าของตัวต้านทาน R1 และสัดส่วนการสะท้อนกระแส K2 ของวงจรภายใน ดังนี้

$$I2 = \frac{VCO_{in}}{R1} \cdot K2 \quad (6.8)$$

ส่วนกระแส  $I1$  นั้นขึ้นอยู่กับการแรงดันอ้างอิง Vref ซึ่งขึ้นอยู่กับการแหล่งจ่ายไฟที่ใช้ ( $V_{dd}$ ) ค่าของตัวต้านทาน R2 และสัดส่วนการสะท้อนกระแส K1 ของวงจรภายใน ดังนี้

เอกสารนี้เป็นเอกสารทบทวนใจสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I1 = \frac{2/3 \cdot V_{dd}}{R2} \cdot K1 \quad (6.9)$$

dV ในสมการ (6.6) ที่ถูกใช้ในการออกแบบมีค่าประมาณ  $1/3 V_{dd}$  ดังนั้น  $f_{VCO}$  จึงเป็น

$$f_{VCO} = \frac{\frac{VCOin}{R1} \cdot K2 + \frac{2/3 \cdot V_{dd}}{R2} \cdot K1}{2 \cdot C_{ext} \cdot V_{dd}/3} \quad (6.10)$$

ในกรณีของลูปคอสตาสที่ใช้ที่นี่ ควรกำหนดให้ความถี่การทำงานอิสระ  $f_r$  (free-running frequency) ของลูป มีค่าเข้าใกล้  $4f_c$  ( $f_c$  เป็นความถี่ของคลื่นพาห้ที่ใช้ในตัวส่ง) เพื่อให้ลูปใช้เวลาในการเข้าสู่สถานะล็อก (locked state) ได้เร็วที่สุด ความถี่  $f_r$  ในกรณีนี้จะมีค่าเท่ากับความถี่ศูนย์กลาง  $f_0$  ที่ VCO สามารถผลิตได้ ถ้า VCO มีการทำงานเป็นแบบเชิงเส้น ซึ่งแรงดันที่ใช้ในการควบคุม VCO จะมีค่าเท่ากับแรงดันที่อยู่กึ่งกลางระหว่างแรงดันที่มากที่สุดและที่น้อยที่สุด เนื่องจากแรงดันที่ใช้ในการควบคุม VCO ในกรณีที่ใช้แหล่งจ่ายไฟ +5 โวลต์ มีค่าที่การทำงานยังอยู่ในช่วงเชิงเส้น โดยประมาณแล้วตั้งแต่ 0.2 – 3.1 โวลต์ ดังนั้นแรงดันควบคุมกึ่งกลางจึงมีค่าเป็น

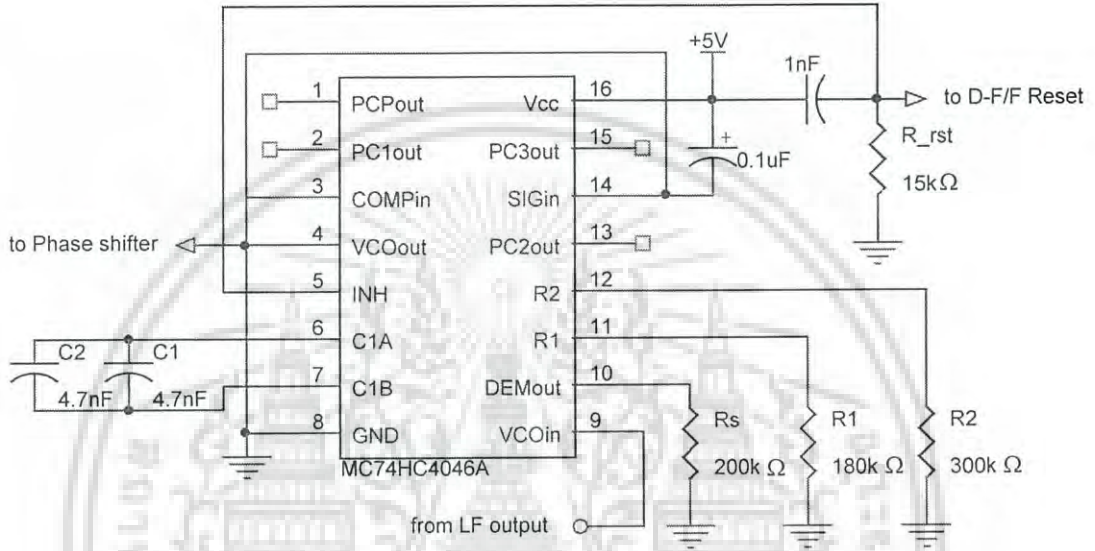
$$VCO_{mid} = \frac{3.1 - 0.2}{2} + 0.2 = 1.65 \text{ โวลต์} \quad (6.11)$$

จากสมการ (6.10) เนื่องจากแหล่งจ่ายไฟที่ใช้ในวงจรนี้คือ +5 โวลต์ ดังนั้น  $V_{dd} = 5$  และจากชีทข้อมูล (data sheet) ค่าของตัวอุปกรณ์  $R1$  และ  $R2$  มีช่วงที่รับรองในการใช้งานกับชิปนี้คือ  $3 \text{ k}\Omega - 300 \text{ k}\Omega$  ส่วนค่าของตัวเก็บประจุ  $C1$  ควรมีค่ามากกว่า  $40 \text{ pF}$ . นอกจากนั้นค่า  $K2$  ยังขึ้นอยู่กับค่าความต้านทาน  $R1$  ที่ใช้อีก อย่างไรก็ตามถ้ากำหนดให้  $R2 = 300 \text{ k}\Omega$   $VCOin = 1.65$  โวลต์ ขณะที่ความถี่  $f_{VCO} = 4f_c$  ( $f_c = 1.8 \text{ kHz}$ ) ดังนั้น  $f_{VCO} = 7.2 \text{ kHz}$  และพยายามให้อัตราขยาย  $K_{VCO}$  มีค่ามากที่สุดเท่าที่จะเป็นไปได้ เพื่อให้เกนลูป (loop gain) มีค่าสูงตามไปด้วย  $R1$  จะมีค่าประมาณ  $180 \text{ k}\Omega$  และค่าของตัวเก็บประจุ  $C_{ext} \approx 9.4 \text{ nF}$ . โดยใช้ค่า  $K1 = 23/5$  และ  $K2 = 29.5$  ซึ่งได้มาจาก [16]  $C_{ext}$  นี้ก็คือ  $C1$  ในรูปที่ 6.10 นั่นเอง ค่า  $K_{VCO}$  นั้นคำนวณมาจาก

$$K_{VCO} = \frac{2\pi \cdot (f_{VCO \text{ max}} - f_{VCO \text{ min}})}{VCO_{\text{max}} - VCO_{\text{min}}} \quad (6.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง  $f_{VCO,max}$  และ  $f_{VCO,min}$  คือความถี่สูงสุดและความถี่ต่ำสุดที่ VCO สามารถผลิตได้ตามลำดับ และ  $VCO_{max}$  และ  $VCO_{min}$  คือ แรงดันควบคุม VCO สูงสุดและต่ำสุดตามลำดับ จากกรคำนวณด้วยค่าอุปกรณ์ (R1 R2 และ C1) และค่าของ K1 และ K2 ที่ได้กล่าวไปแล้วนั้น ค่าของ  $f_{VCO,max} = 12.5 \text{ kHz}$  และ  $f_{VCO,min} = 1.9 \text{ kHz}$  ดังนั้น  $K_{VCO} \approx 23 \text{ k rad/s/V}$  วงจร VCO ที่สมบูรณ์ได้ถูกแสดงไว้ในรูปที่ 6.11



รูปที่ 6.11 วงจรออสซิลเลเตอร์ควบคุมด้วยแรงดัน (VCO)

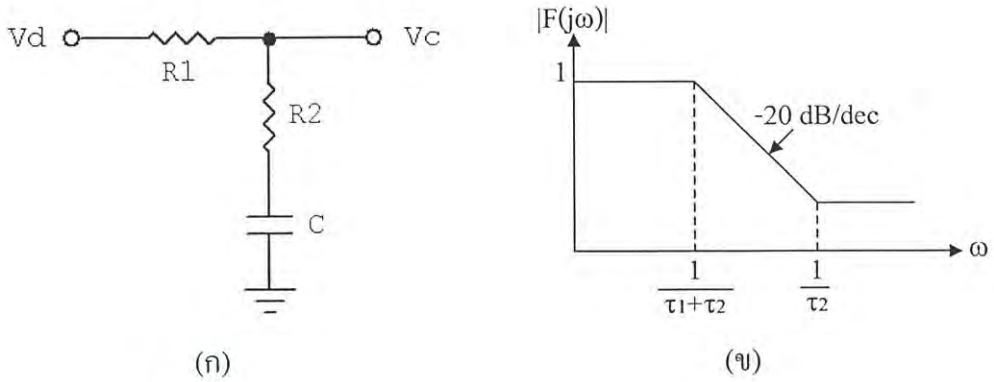
### 6.2.7 วงจรตัวกรองรูป (LF: loop filter)

วงจรตัวกรองรูป LF ที่ใช้ที่นี่เป็นวงจรกรองความถี่ต่ำผ่านแบบพาสซีฟชนิดนำหน้า-ล่าหลัง (passive lead-lag filter) [6,13] ดังแสดงไว้ในรูปที่ 6.12 (ก) และมีผลตอบสนองทางความถี่ดังแสดงไว้ในรูปที่ 6.12 (ข) วงจรในรูปที่ 6.12 (ก) มีฟังก์ชันถ่ายโอน  $F(s)$  คือ

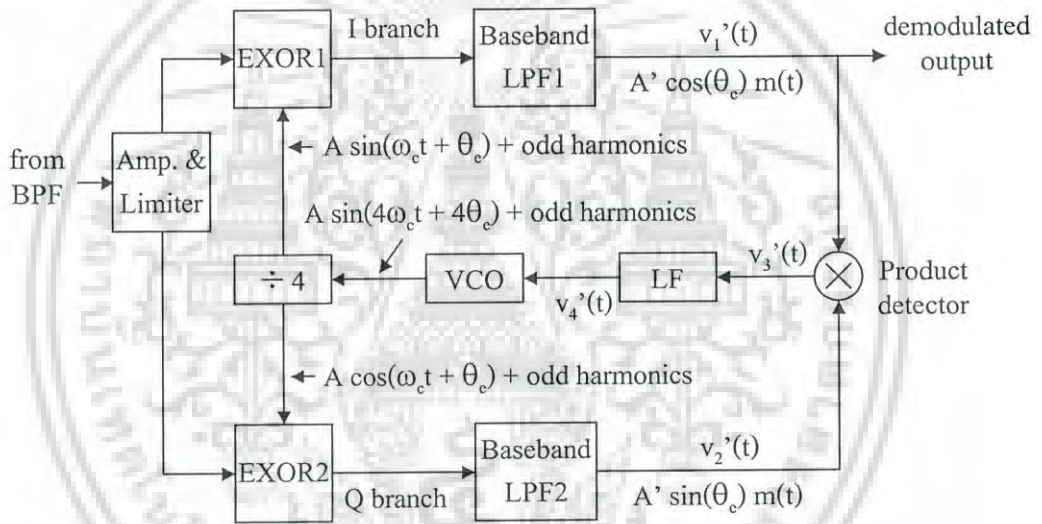
$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \tag{6.13}$$

$\tau_1$  และ  $\tau_2$  มีค่าเท่ากับ  $R_1 \cdot C$  และ  $R_2 \cdot C$  ตามลำดับ จากรูปที่ 6.12 (ข) จะเห็นได้ว่าความถี่โพล  $\omega_p$  (pole frequency) และความถี่ซีโร  $\omega_z$  (zero frequency) นั้นอยู่ที่  $1/(\tau_1 + \tau_2)$  และ  $1/\tau_2$  เรเดียนต่อวินาที (rad/s) ตามลำดับ และมีอัตราการลดทอน (roll-off) นอกแถบผ่าน (pass band) เท่ากับ  $-20\text{dB/dec}$ . ในการคำนวณหาค่าอุปกรณ์ (R1 R2 และ C) นั้นจะต้องทราบพารามิเตอร์

เอกสารนี้เป็นเอกสารตัวอย่าง ดึงจะได้กล่าวถึงต่อไปงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 วงจรกรองความถี่ต่ำผ่านชนิดนำหน้า-ล่าหลังแบบพาสซีฟ : (ก) รูปวงจร; (ข) ผลตอบสนองทางความถี่



รูปที่ 6.13 บล็อกไดอะแกรมของลูปกอสตาสที่ใช้เกต EXOR เป็นมิกเซอร์ด้านอินพุต และใช้ตัวหารความถี่ 4 เท่าเป็นตัวเลื่อนเฟส 90°

จากบล็อกไดอะแกรมของลูปกอสตาสในรูปที่ 6.3 ซึ่งเมื่อใช้ตัวหารความถี่ 4 เท่า เป็นตัวเลื่อนเฟส 90° ดังที่ได้แสดงไว้ในหัวข้อที่ 6.2.4 นั้นสามารถเขียนเป็นบล็อกไดอะแกรมได้ใหม่ ดังที่แสดงไว้ในรูปที่ 6.13 ซึ่งจะเห็นได้ว่าจากที่ได้เคยอธิบายไปแล้วในหัวข้อที่ 3.2.1 ว่าเมื่อลูปกอสตาสหรือเฟสล็อกลูป PLL นั้นล็อกกับความถี่ที่มีค่าเท่ากับความถี่คลื่นพาห้  $f_c$  ที่ใช้ใน ตัวส่ง ความถี่ที่ได้จากเอาต์พุตของตัว VCO จะมีความถี่เท่ากับความถี่  $f_c$  แต่สำหรับในกรณีที่ ใช้ตัวหารความถี่ 4 เท่าที่มี 2 เอาต์พุตซึ่งมีเฟสต่างกัน 90° นี้มาเป็นตัวเลื่อนเฟส 90° ดังนั้นใน สภาวะล็อกของลูป ความถี่ของตัว VCO จะมีค่าเท่ากับ  $4f_c$  และเอาต์พุตทั้งคู่ของตัวหารความถี่ จะมีค่าเท่ากับความถี่  $f_c$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.3) ในหัวข้อที่ 3.2.1 ซึ่งได้นำมาแสดงใหม่เพื่อความสะดวกในการพิจารณา

$$r(t) = m(t) A_c \sin(\omega_c t) \quad (6.14)$$

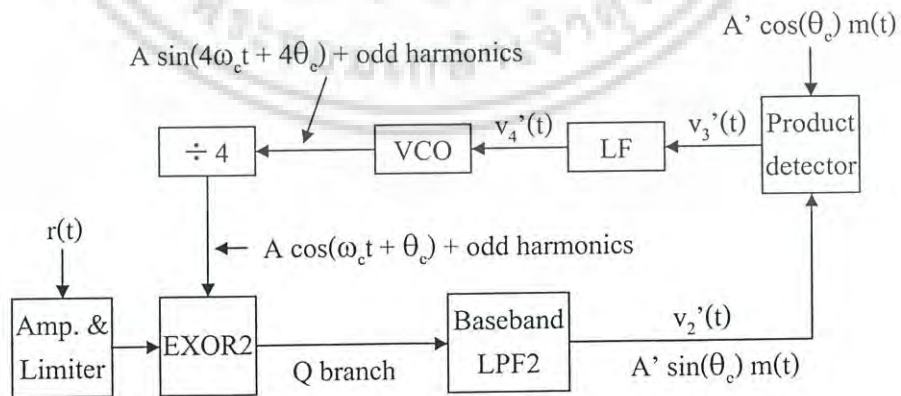
$r(t)$  คือสัญญาณ BPSK ที่รับเข้ามาภายหลังผ่านวงจรกรองแถบความถี่ผ่าน (BPF) ซึ่งเป็นสัญญาณอินพุตของลูกผสมสองทาง  $m(t)$  คือข้อมูลไบนารีซึ่งมีค่าเป็น +1 หรือ -1 แทนลอจิก '1' หรือ '0' ตามลำดับ  $A_c$  และ  $\omega_c$  ( $\omega_c = 2\pi f_c$ ) คือขนาดและความถี่เชิงมุมของคลื่นพาห้ที่ใช้ในตัวส่ง

ดังที่เห็นในรูปที่ 6.13 เมื่อสัญญาณอินพุตของลูกผสมสองทางนี้ ผ่านวงจรขยายและจำกัดขนาด (Amp. & Limiter) แล้วจะแยกออกเป็น 2 ทาง ก็คือ ทางด้านบนซึ่งจะไปเอกซ์คลูซีฟออร์ (EXOR) กับเอาต์พุตของตัวหารความถี่ที่มีเฟสตรง (in-phase) กับเฟสของ VCO ซึ่งจะเรียกทางนี้ว่า "กิ่งไอ" (I branch) และทางด้านล่างซึ่งจะไปเอกซ์คลูซีฟออร์กับเอาต์พุตของตัวหารความถี่ที่มีเฟสตั้งฉาก (quadrature-phase) หรือมีเฟสต่าง  $90^\circ$  กับเฟสของ VCO ซึ่งจะเรียกทางนี้ว่า "กิ่งคว" (Q branch)

เพื่อพิจารณาการทำงานของลูกผสมสองทางที่ได้แสดงในรูปที่ 6.13 ในตอนแรกจะสมมติว่าลูกผสมสองทางล็อกกับความถี่  $f_c$  ที่ความผิดพลาดเฟส  $\theta_c$  เข้าใกล้  $0^\circ$  ( $\theta_c \rightarrow 0^\circ$ ) ค่าหนึ่ง ขณะที่มีการมอดูเลตด้วยสัญญาณไบนารีลอจิก '1' ก็คือ  $m(t) = +1$  ดังนั้น  $r(t) = +A_c \sin(\omega_c t)$  ซึ่งเฟสของสัญญาณ  $r(t)$  นี้จะมีค่าใกล้เคียงหรือมีความต่างเฟสเกือบ  $0^\circ$  กับเฟสของเอาต์พุตของตัวหารความถี่ในกิ่งไอ และจะต่างเฟสเกือบ  $+90^\circ$  กับเฟสของเอาต์พุตของตัวหารในกิ่งคว ทำให้เอาต์พุตของตัวกรอง Baseband LPF ในกิ่งไอมีค่าเป็นบวก ( $\approx +A'$ ) ส่วนในกิ่งควอาจมีค่าเป็นบวกหรือลบก็ได้แล้วแต่ความถี่การทำงานอิสระ  $f_r$  (free-running frequency) ของ VCO นั้นว่ามีค่าต่ำกว่าหรือสูงกว่าความถี่  $4f_c$  อย่างไรก็ตามได้สมมติว่า  $f_r$  มีค่าต่ำกว่า  $4f_c$  ดังนั้นเอาต์พุตของ Baseband LPF ในกิ่งควจึงมีค่าเป็นบวกและเข้าใกล้ 0 โวลต์ ต่อมาเมื่อเอาต์พุตของตัวกรอง Baseband LPF ทั้งสองกิ่งมาคูณกันผ่านตัวดีเทกเตอร์ผลคูณ (Product detector) ดังนั้นเอาต์พุตของตัวดีเทกเตอร์ผลคูณภายหลังผ่านตัวกรองรูป (LF) ก็จะมีค่าเป็นบวกและเข้าใกล้ 0 โวลต์ด้วย ซึ่งแรงดันนี้เองเป็นแรงดันที่ใช้ในการควบคุม VCO ให้ผลิตความถี่ความถี่สูงขึ้นจนเท่ากับ  $4f_c$  และทำให้เอาต์พุตของตัวหารความถี่ทั้ง 2 มีความถี่เท่ากับ  $f_c$  ซึ่งเรียกได้ว่าลูกผสมสองทางนั้นได้กำลังล็อกอยู่กับความถี่  $f_c$  ต่อไปเป็นกรณีที่เกิดการมอดูเลตด้วยข้อมูลไบนารีอีกลอจิกหนึ่ง ทำให้  $m(t)$  เปลี่ยนเป็น -1 ดังนั้น  $r(t) = -A_c \sin(\omega_c t)$  หรือ  $+A_c \sin(\omega_c t + \pi)$  ซึ่งก็คือเฟสของสัญญาณ  $r(t)$  นั้นเกิดการกลับเฟสขึ้น ทำให้ขั้วทางด้านเอาต์พุตของตัว Baseband LPF ในทั้ง 2 กิ่ง เกิดการกลับขั้วด้วย ดังนั้นเอาต์พุตของ Baseband LPF ในกิ่งไอจะมีค่าเปลี่ยนเป็นลบ ( $\approx -A'$ ) และในกิ่งควก็จะมีค่าเป็นลบและเข้าใกล้ 0 โวลต์ด้วย เมื่อเอาต์พุตทั้งคู่นี้ผ่านตัวดีเทก-

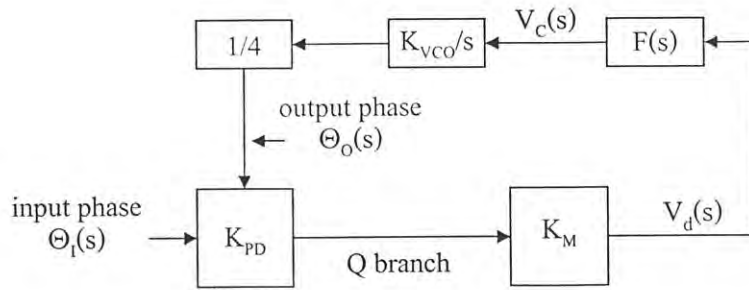
เตอร์ผลคูณแล้ว จะมีค่าเป็นบวก (ลบคูณลบเป็นบวก) และเข้าใกล้ 0 โวลต์ ซึ่งตรงกันกับในกรณีแรกที่  $m(t) = +1$

จากการที่ได้พิจารณาการทำงานของลูปลอสตาสที่ผ่านมา จึงพอที่จะกล่าวได้ว่าลูปลอ “กิ่งคิว” (Q branch) นั้นมีหน้าที่ใน “การชิงโครโมส” หรือกู้ความถี่และเฟสของคลื่นพาห้ให้กับระบบ และลูปลอ “กิ่งไอ” (I branch) นั้นมีหน้าที่ใน “การตีมอดูเลท” สัญญาณ BPSK นั้นเอง เมื่อพิจารณาการทำงานของลูปลอ “กิ่งคิว” จะเห็นได้ว่ามีลักษณะคล้ายกับ PLL ที่มีตัวหารความถี่  $N (=N)$  เท่ากับ 4 และมีตัวเทกเตอร์เฟส (PD) เป็น EXOR ซึ่งเมื่อ PLL ที่ว่านี้ได้ล็อกทางเฟส (phase-locked) กับสัญญาณอินพุตของมันที่ความถี่ใกล้เคียงกับ  $f_r$  (free-running) แล้วทำให้เฟสระหว่างอินพุตทั้งสองของ PD (อินพุตทั้ง 2 นี้คือสัญญาณอินพุตของ PLL และสัญญาณเอาต์พุตของตัวหารความถี่  $N$ ) จะมีค่าต่างกันใกล้เคียง  $90^\circ$  และมีแรงดันที่ใช้ในการควบคุม VCO เข้าใกล้ 0 โวลต์ (กรณีให้แรงดันควบคุม VCO ที่ผลิตความถี่  $f_r$  เป็นจุดอ้างอิง) แต่จะแตกต่างตรงที่มีตัวกรอง Baseband LPF และตัวเทกเตอร์ผลคูณ ซึ่งมีเกนการคูณ  $K_M$  ค่าหนึ่งรวมอยู่ด้วย ซึ่งสามารถเขียนเป็นบล็อกไดอะแกรมดังที่แสดงไว้ในรูปที่ 6.14 เนื่องจากแบนด์วิดท์ของตัวกรองลูปลอ LF (ในกรณีนี้) นั้นแคบกว่าแบนด์วิดท์ของตัวกรอง Baseband LPF มาก และเนื่องจากสัญญาณเอาต์พุตของตัวกรอง Baseband LPF ในกิ่งไอนั้นมีไว้เพื่อหักล้าง (cancel) ไม่ให้ลูปลอในกิ่งคิวลือกไปกับเฟสที่เพิ่งจะเปลี่ยนหรือกำลังกลับเฟสไปจากเฟสเดิมของสัญญาณ  $r(t)$  ในกรณีที่ลอคจิกของข้อมูล ไบนารีที่ใช้ในการมอดูเลทได้เปลี่ยนไปจากเดิม ดังนั้นในแบบจำลองทางคณิตศาสตร์โดยประมาณของลูปลอในกิ่งคิวนี้ จึงไม่ได้รวมฟังก์ชันถ่วงโอนของตัวกรอง Baseband LPF และการแปลงลาปลาซของสัญญาณเอาต์พุตของตัวกรอง Baseband LPF ในกิ่งไอเข้าไปด้วย ซึ่งได้แสดงไว้ในรูปที่ 6.15



รูปที่ 6.14 บล็อกไดอะแกรมหลักการทำงานของลูปลอในกิ่งคิวของบล็อกไดอะแกรมในรูปที่ 6.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.15 แบบจำลองทางคณิตศาสตร์โดยประมาณของบล็อกโคอะแกรมในรูปที่ 6.14

รูปที่ 6.15 เป็นการแสดงแบบจำลองทางคณิตศาสตร์โดยประมาณของบล็อกโคอะแกรมในรูปที่ 6.14 ซึ่งใช้ในการวิเคราะห์ระบบของ PLL (ในกรณีนี้ก็คือรูปที่ใช้ในการกักคลื่นพาห์ของลูบคอสตาส) ในสภาวะล็อก อย่างไรก็ตามเนื่องจากในสภาวะล็อกของระบบ PLL นั้นมีลักษณะที่ค่อนข้างเป็นเชิงเส้น ดังนั้นในการวิเคราะห์ระบบเราสามารถใช่วิธีการวิเคราะห์กับระบบที่เป็นเชิงเส้นได้ เช่น การแปลงลาปลาซ (Laplace transform) ของสัญญาณในโดเมนเวลาของระบบ ซึ่งอยู่ในรูปฟังก์ชันถ่ายโอน (transfer function) เป็นต้น และในที่นี้ก็จะใช้วิธีการแปลงลาปลาซมาช่วยในการวิเคราะห์ระบบเช่นกัน ฟังก์ชันถ่ายโอน  $H(s)$  ของ PLL คือ

$$H(s) = \frac{\Theta_o(s)}{\Theta_i(s)} \quad (6.15)$$

เมื่อ  $\Theta_o(s)$  เป็นการแปลงลาปลาซของเฟสทางด้านเอาต์พุต  $\theta_o(t)$  ของระบบ ซึ่งก็คือเฟสเอาต์พุตของตัวหารความถี่ และ  $\Theta_i(s)$  เป็นการแปลงลาปลาซของเฟสทางด้านอินพุต  $\theta_i(t)$  ของระบบ ซึ่งก็คือเฟสเอาต์พุตของสัญญาณ  $r(t)$  ภายหลังจากผ่านตัวขยายและจำกัดขนาดแล้ว จากแบบจำลองทางคณิตศาสตร์ในรูปที่ 6.15 นั้นสามารถเขียนฟังก์ชันถ่ายโอน  $H(s)$  ของมันได้เป็น

$$H(s) = \frac{K_{PD} K_M K_{VCO} F(s)/4}{s + K_{PD} K_M K_{VCO} F(s)/4} \quad (6.16)$$

เมื่อ  $K_{PD}$  คืออัตราขยายการแปลงความต่างเฟสเป็นแรงดันของ PD ซึ่งในกรณีของ EXOR นั้นจะขึ้นอยู่กับแหล่งจ่ายไฟ  $V_{dd}$  ที่ใช้และความผิดพลาดเฟส  $\theta_c$  สูงสุดที่เกิดขึ้นในช่วงที่ PLL ยังคงล็อกอยู่ได้ ซึ่งมีค่าเท่ากับ  $\pm \pi/2$  ดังนั้น  $K_{PD} = V_{dd}/\pi$  และมีหน่วยเป็น โวลต์ต่อเรเดียน

เอกสารนี้เป็น (V/rad) ที่  $K_M$  คืออัตราขยายการคูณของตัวดีเทกเตอร์ผลคูณ มีหน่วยเป็น โวลต์ต่อโวลต์ (V/V) ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$K_{VCO}$  คืออัตราขยายการแปลงแรงดันเป็นความถี่ (เชิงมุม) ซึ่งมีค่าเท่ากับ ช่วงความถี่ที่ VCO สามารถผลิตได้ ต่อช่วงของแรงดันที่ใช้ในการควบคุม ตามสมการ (6.12) มีหน่วยเป็น เรเดียนต่อวินาทีต่อโวลต์ (rad/s/V)  $F(s)$  เป็นฟังก์ชันถ่ายโอนของตัวกรองรูป LF และ  $s$  คือตัวดำเนินการลาปลาซ (Laplace operator) และเพื่อความสะดวกในการแสดงสมการที่ใช้ในการคำนวณค่าพารามิเตอร์ต่างๆของระบบ ซึ่งจะเกิดขึ้นในอนาคตอันใกล้นี้ เราจะกำหนดพารามิเตอร์ขึ้นอีกตัวหนึ่ง ที่เรียกว่า “อัตราขยายลูป” LG (loop gain) ซึ่งมีค่าเป็น

$$LG = K_{PD}K_MK_{VCO}|F(0)|/4 \quad (6.17)$$

อัตราขยายลูป LG นี้มีหน่วยเป็น เรเดียนต่อวินาที (rad/s) และ  $|F(0)|$  คืออัตราขยายของตัวกรองรูป LF ที่ dc หรือที่ความถี่ 0 เรเดียนต่อวินาที ซึ่งในกรณีนี้  $|F(0)| = 1$  (ดูรูปที่ 6.12 (ข)) อัตราขยายลูป LG นี้ใช้เป็นตัวบอกช่วงความถี่ที่ PLL นั้นสามารถติดตาม  $\Delta\omega_H$  (tracking range หรือ hold range [6,13,21] หรือในตำราบางเล่มอาจเรียกว่า lock range [6,18,19]) การลือกได้สูงสุดว่ามีค่าเท่าไร ซึ่งก็คือ

$$\Delta\omega_H = \frac{\pi}{2} \cdot LG \quad (6.18)$$

นอกจากนั้น LG ยังใช้บอกช่วงความถี่ที่ PLL นั้นสามารถลือกกับความถี่ของสัญญาณอินพุตได้ไวที่สุด  $\Delta\omega_L$  (lock range [13] หรือในตำราบางเล่มอาจเรียกว่า capture range [18,19]) ในกรณีที่ PLL นั้นยังไม่ได้ลือกอยู่ก่อน ว่ามีค่าเท่าไร ซึ่ง  $\Delta\omega_L$  นี้มีค่าประมาณ

$$\Delta\omega_L \approx LG \cdot \frac{\tau_2}{\tau_1 + \tau_2} \quad (6.19)$$

จากสมการ (6.18) และ (6.19) จะเห็นได้ว่า ยิ่ง LG มีค่ามาก  $\Delta\omega_H$  และ  $\Delta\omega_L$  ก็จะมากขึ้นตามไปด้วย ดังนั้นในการออกแบบระบบ PLL จึงควรทำให้ LG มีค่ามากเท่าที่จะเป็นไปได้ อย่างไรก็ตาม เนื่องจาก  $K_{PD}$ ,  $K_M$  และ  $|F(0)|$  นั้นมีข้อจำกัดจากเงื่อนไขที่ได้อธิบายไปแล้ว ดังนั้นค่าของ LG จึงถูกกำหนดโดย  $K_{VCO}$  เป็นหลัก และในการออกแบบวงจร VCO ดังที่ได้ทำไปในหัวข้อที่ผ่านมา จึงได้พยายามที่จะทำให้  $K_{VCO}$  มีค่ามากที่สุด จากสมการ (6.19) นอกจาก LG จะเป็นตัวกำหนด  $\Delta\omega_L$  แล้ว อัตราส่วนระหว่าง ความถี่โพล  $\omega_p$  ต่อความถี่ซีโร  $\omega_z$  ( $\tau_2/(\tau_1+\tau_2)$ ) ยังเป็นค่าที่ใช้ในการกำหนด  $\Delta\omega_L$  อีกด้วย ซึ่ง  $\tau_2/(\tau_1+\tau_2)$  คืออัตราขยายของตัวกรองรูป LF เมื่อความถี่  $\omega$  มีค่าสูงกว่าความถี่ซีโร  $\omega_z$  มากๆ ดังนั้นถ้าค่าของ  $\tau_2/(\tau_1+\tau_2)$  (มีค่า  $< 1$  เสมอ) ยิ่งไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาก  $\Delta\omega_L$  จะมีค่ามากตามไปด้วย แต่จะทำให้การลดทอนสัญญาณความถี่สูงที่อยู่ภายในลูบ  
น้อยลงตามไปด้วย และถ้า  $\tau_2/(\tau_1+\tau_2)$  มีค่ามากเกินไป (เข้าใกล้ 1) อาจทำให้ลูบหลุดจากการ  
ล็อกเป็นช่วงๆ หรือไม่สามารรถเข้าสู่การล็อกได้เลย เนื่องจากสัญญาณความถี่สูงที่อยู่ภายในลูบ  
มีค่ามากเกินไป ซึ่งจะไปรบกวนแรงดัน dc ที่ใช้ควบคุม VCO ทำให้ความถี่ที่ได้มีการแกว่งตัว  
ในช่วงที่กว้าง แต่ถ้า  $\tau_2/(\tau_1+\tau_2)$  มีค่าน้อยเกินไป (เข้าใกล้ 0) ก็จะทำให้  $\Delta\omega_L$  มีค่าน้อย ซึ่งอาจ  
ทำให้ PLL ใช้เวลาในการเข้าสู่การล็อกนานมาก ถ้าความถี่ผลต่างระหว่าง ความถี่เอาต์พุตของ  
ตัวหารความถี่ 4 เท่า กับความถี่คลื่นพาห์  $\omega_c$  มีค่ามากกว่า  $\Delta\omega_L$  ดังนั้นในการกำหนดค่าของ  
 $\tau_1$  และ  $\tau_2$  ที่เหมาะสมจึงกลายเป็นสิ่งสำคัญในการออกแบบระบบ PLL (ในกรณีนี้)

เมื่อนำฟังก์ชันถ่ายโอนของ LF ที่แสดงไว้ในสมการ (6.13) และอัตราขยายลูบ LG ในสมการ (6.17) แทนลงในสมการ (6.16) ดังนั้นฟังก์ชันถ่ายโอน  $H(s)$  ของระบบจะเป็น

$$H(s) = \frac{LG \cdot \frac{1+s\tau_2}{\tau_1+\tau_2}}{s^2 + s \cdot \frac{1+LG \cdot \tau_2}{\tau_1+\tau_2} + \frac{LG}{\tau_1+\tau_2}} \quad (6.20)$$

จะเห็นได้ว่าฟังก์ชันถ่ายโอน  $H(s)$  ในสมการ (6.20) ของระบบนี้เป็นอันดับที่ 2 ซึ่งโดยปกติใน  
ทฤษฎีวงจรถ่ายโอนหรือทฤษฎีระบบควบคุม (control theory) มักจะเขียนตัวส่วน (Denominator) ของ  
ฟังก์ชันถ่ายโอนให้อยู่ในรูปแบบที่ถูกนอร์มอลไลซ์ (normalized form) แล้ว ดังนี้

$$\text{Denominator} = s^2 + 2\zeta\omega_n s + \omega_n^2 \quad (6.21)$$

เมื่อ  $\zeta$  คือค่าสัมประสิทธิ์การหน่วง (damping factor) และ  $\omega_n$  คือความถี่ (เชิงมุม) ธรรมชาติ  
(natural frequency) และเมื่อเทียบสัมประสิทธิ์ระหว่างของตัวส่วนของสมการ (6.20) กับสมการ (6.21) แล้ว ความถี่ธรรมชาติ  $\omega_n$  จะมีค่าเป็น

$$\omega_n = \sqrt{\frac{LG}{\tau_1 + \tau_2}} \quad (6.22)$$

และค่าสัมประสิทธิ์การหน่วง  $\zeta$  จะมีค่าเป็น

$$\zeta = \frac{\omega_n}{2} \cdot \left( \tau_2 + \frac{1}{LG} \right) \quad (6.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าสัมประสิทธิ์การหน่วง  $\zeta$  และความถี่ธรรมชาติ  $\omega_n$  ลงในสมการ (6.20) ทำให้ฟังก์ชันถ่ายโอน  $H(s)$  มีรูปแบบที่ดูน่าประทับใจแล้วเป็น

$$H(s) = \frac{s \cdot \omega_n \cdot \left( 2 \cdot \zeta - \frac{\omega_n}{LG} \right) + \omega_n^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2} \quad (6.24)$$

จากการที่รู้ค่าสัมประสิทธิ์การหน่วง  $\zeta$  และความถี่ธรรมชาติ  $\omega_n$  ทำให้เราสามารถคำนวณหาแบนด์วิดท์  $-3$  dB ( $\omega_{3dB}$ ) ของ PLL ได้จาก [6,13]

$$\omega_{3dB} = \omega_n \sqrt{1 + 2 \cdot \zeta^2 + \sqrt{(1 + 2 \cdot \zeta^2)^2 + 1}} \quad (6.25)$$

และเรายังสามารถคำนวณหาช่วงความถี่ที่ PLL สามารถล็อกได้เร็วที่สุด กล่าวคือ ภายใน 1 คาบเวลาของความถี่ผลต่างระหว่าง ความถี่ของสัญญาณอินพุต และความถี่ของตัวหารความถี่ (one single beat note) [13] ที่ได้แสดงไว้ในรูปที่ 6.15 ได้คือ

$$\Delta\omega_L = \frac{\pi}{2} \cdot \omega_n \cdot \left( 2 \cdot \zeta - \frac{\omega_n}{LG} \right) \quad (6.26)$$

ซึ่ง  $\Delta\omega_L$  ในสมการข้างบนนี้มีค่าตรงกับในสมการ (6.19) และมีหน่วยเป็น เรเดียนต่อวินาที (rad/s) เมื่อค่า  $\Delta\omega_L$  ได้ถูกกำหนด เราสามารถคำนวณหาเวลาที่ PLL ใช้ในการล็อกได้จาก

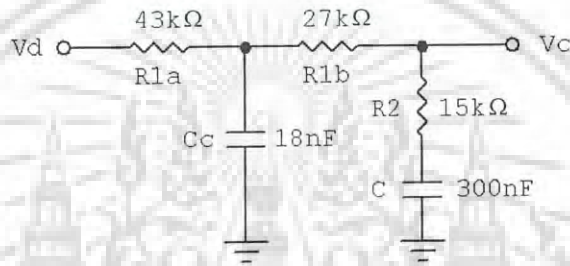
$$T_L = \frac{2\pi}{\omega_n \cdot \sqrt{1 - \zeta^2}} \quad (6.27)$$

$T_L$  นี้มีหน่วยเป็น วินาที (s) อย่างไรก็ตามค่า  $\zeta$  ที่สามารถใช้ในสมการ (6.27) ได้นั้น จะต้องมีความต่ำกว่า 1 เสมอ

ดังนั้นในการคำนวณหาค่าตัวอุปกรณ์ที่ใช้ในตัวกรองรูป LF ( $R_1$   $R_2$  และ  $C$  จากรูปที่ 6.12 (ก)) นั้นสามารถคำนวณได้จากการกำหนด  $\Delta\omega_L$  ที่ต้องการ และหาค่า  $LG$  จากผลลัพธ์ที่ได้ในการออกแบบวงจรต่างๆที่ได้ทำไปในหัวข้อที่ผ่านมา จากนั้นจึงกำหนดค่า  $\zeta$  แล้วนำไปหาค่า  $\omega_n$  จากสมการ (6.27) เมื่อได้ค่า  $\omega_n$  แล้วใช้สมการ (6.22) และ (6.23) ก็จะได้ค่า  $\tau_1 + \tau_2$

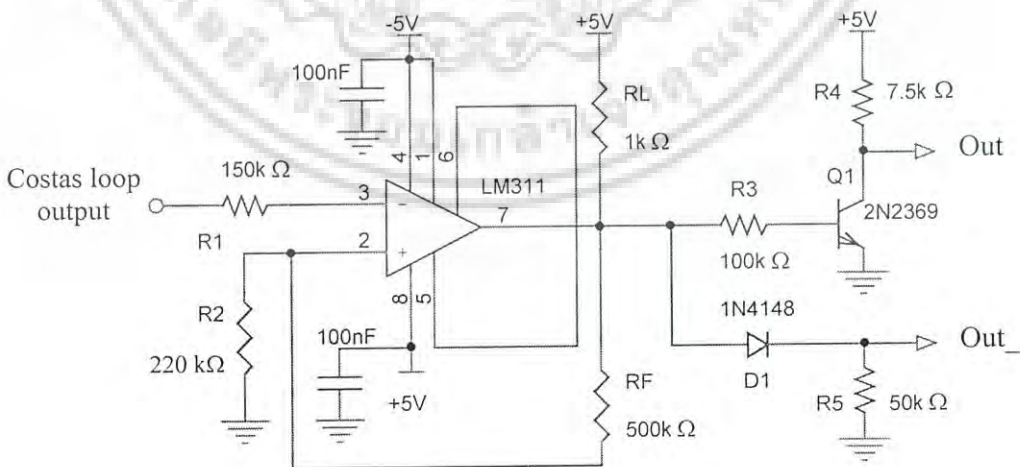
และ  $\tau_2$  ตามลำดับ เมื่อได้ค่า  $\tau_1$  และ  $\tau_2$  แล้วจึงกำหนดค่า  $C$  ก็จะได้ค่าของ  $R_1$  และ  $R_2$  โดยการคำนวณว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามสำหรับค่าของตัวอุปกรณ์ของวงจรตัวกรองรูปที่ใช้ นี้ ได้มาจากการกำหนดให้  $\Delta\omega_c$  มีค่าเท่ากับ  $2\pi \cdot 90 \text{ Hz}$  ซึ่งเท่ากับ 5% ที่ต่างไปจาก  $\omega_c$  และกำหนดให้  $\zeta = 0.707$  ซึ่งเป็นค่าที่โดยทั่วไปจะถูกเลือกใช้ในทางปฏิบัติ เนื่องจากเป็นค่าที่ทำให้ผลตอบสนองในสถานะชั่วครู่ (transient response) ของ PLL ที่ดีที่สุด [13] และ LG ที่ได้จากผลลัพธ์ในการออกแบบวงจรต่างๆมีค่าเท่ากับ  $20 \text{ k rad/s}$  กำหนดค่า  $C = 300 \text{ nF}$  จะได้  $R1 = 70 \text{ k}\Omega$  และ  $R1 = 15 \text{ k}\Omega$  ด้วยค่าตัวอุปกรณ์นี้ ทำให้ค่าของการลดทอนความถี่สูงที่สูงกว่าความถี่ซีโร  $\omega_z$  มีค่าประมาณ 5.6 เท่า อย่างไรก็ตามได้ทำการปรับปรุงวงจรในรูปที่ 6.12 (ข) ให้มีการลดทอนที่ความถี่สูงสูงกว่าความถี่  $\omega_z$  มากขึ้นกว่าเดิม ดังแสดงไว้ในรูปที่ 6.16



รูปที่ 6.16 วงจรกรองรูปชนิดนำหน้า-ล่าหลังแบบพาสซีฟที่เพิ่มการลดทอนความถี่สูง

### 6.3 วงจรแปลงระดับสัญญาณ (Level converter)

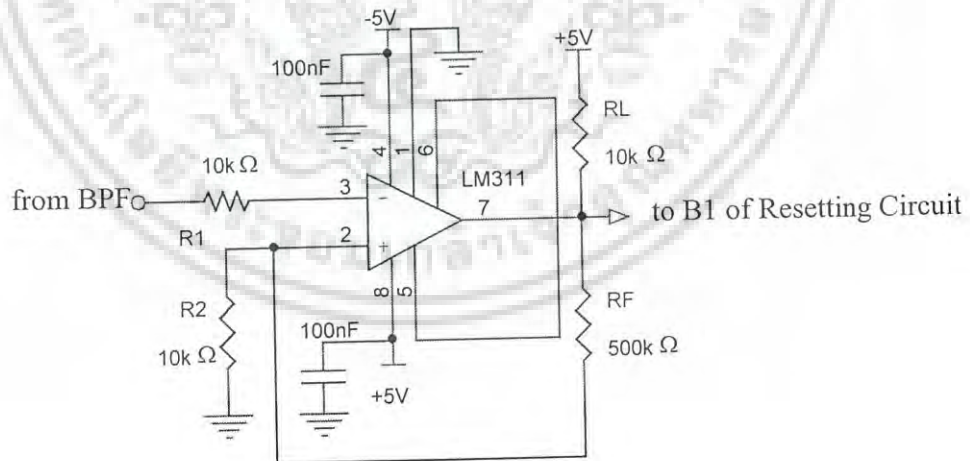


รูปที่ 6.17 วงจรแปลงระดับสัญญาณที่เป็นแอนาล็อกให้เป็นไบนารีโดยใช้วงจร Schmitt trigger

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากเอาต์พุตการดีมอดูเลทของรูปคอสตาส ซึ่งก็คือสัญญาณเอาต์พุตตัวกรอง Baseband LPF ในกิ่งไอของรูปคอสตาส ที่ได้แสดงไว้ในรูปที่ 6.13 นั้นยังมีลักษณะเป็นแอนาลอก (ประกอบด้วยหลายระดับที่ไม่จำกัดจำนวนและมีความต่อเนื่อง) ดังนั้นจึงต้องทำการแปลงสัญญาณแอนาลอกดังกล่าวให้เป็นสัญญาณไบนารี (มีเพียงสองระดับที่ไม่ต่อเนื่อง) และจะต้องมีระดับของสัญญาณที่เข้ากันได้กับระดับสัญญาณที่ใช้ในวงจรที่ใช้สัญญาณดิจิทัลในการประมวลผล วงจรที่ใช้ทำหน้าที่ดังกล่าวได้ถูกแสดงไว้ในรูปที่ 6.17 ซึ่งเป็นวงจรเดียวกันกับในรูปที่ 6.4 แต่ได้ตั้ง hysteresis ไว้ที่ประมาณ 1.5 โวลต์ เนื่องจากเอาต์พุตของรูปคอสตาส (ซึ่งเป็นอินพุตของวงจรนี้) มีค่าอย่างน้อย 2 โวลต์พีค ในช่วงที่รูปนั้นลือกกับความถี่  $f_c$  แต่เมื่อรูปยังไม่ได้ลือกจะมีแรงดันที่สวิงอยู่ประมาณ 1 โวลต์พีค (peak voltage) ดังนั้นจึงได้ตั้งช่วงของแรงดันที่ใช้ในการตัดสินใจของวงจรอยู่กึ่งกลางระหว่าง 1 และ 2 โวลต์ อย่างไรก็ตามถึงแม้เอาต์พุตของวงจรนี้ จะเป็นไบนารีแต่ระดับแรงดันของมันอยู่ที่ประมาณ +5 และ -5 โวลต์ ซึ่งไม่เหมาะสมที่จะนำไปใช้กับวงจรถัดไป ซึ่งยอมรับอินพุตได้ประมาณ 0 ถึง +5 โวลต์ ดังนั้นจึงใช้ไดโอด D1 ร่วมกับตัวต้านทาน R5 ทำให้เกิดสัญญาณไบนารีที่มีค่าประมาณ 0 และ 4 โวลต์ ส่วนทรานซิสเตอร์ Q1 มีไว้เพื่อทำหน้าที่เป็นตัวกลับสัญญาณ หรือ inverter ซึ่งทำให้เกิดสัญญาณไบนารีที่มีค่าประมาณ 0 และ +5 โวลต์

#### 6.4 วงจรตรวจระดับความแรงของสัญญาณ (Signal strength detector)

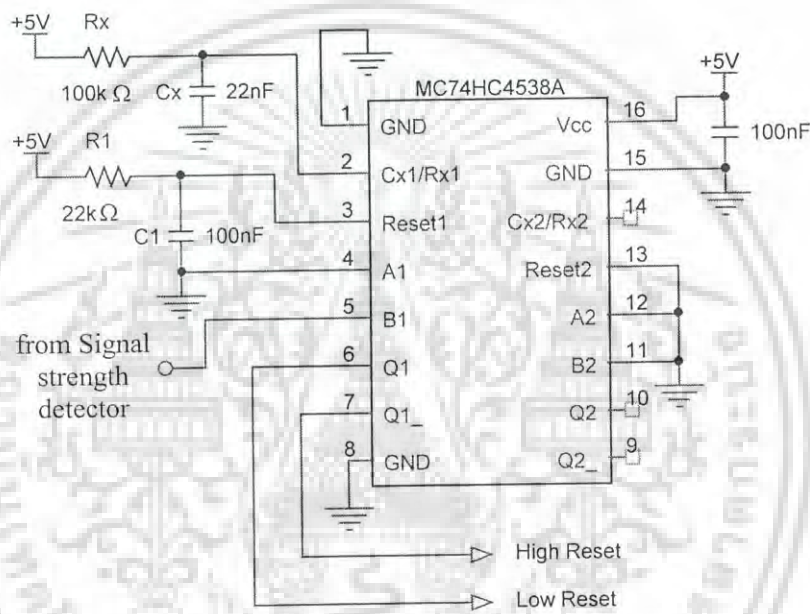


รูปที่ 6.18 วงจรตรวจระดับความแรงของสัญญาณ

วงจรในรูปที่ 6.18 เป็นวงจรตรวจระดับของสัญญาณที่มาจากวงจร BPF ว่ามีขนาดน้อยเกินไปกว่าค่าที่ได้ตั้งไว้หรือไม่ ถ้าน้อยเกินไปก็จะส่งสัญญาณไปยังขา B1 ของวงจรรีเซ็ต เพื่อทำการตัดเอาต์พุตของวงจรรีเซ็ตออกชั่วคราวเพื่อป้องกันการรีเซ็ตซ้ำซ้อน อย่างไรก็ตามวงจรนี้จะคล้ายกับวงจรขยายและจำกัดขนาดสัญญาณไม่ต่างกันเท่าไร ทั้งสิ้น อีกทั้งยังมีเหตุเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Amplifier & Limiter) ที่ได้แสดงไว้ในรูปที่ 6.4 แต่แตกต่างกันตรงที่ขา GND (ขา 1) ของวงจรนั้นต่อกับกราวด์ ซึ่งทำให้เอาต์พุตของวงจรเป็นสัญญาณไบนารีที่มีค่าแรงดันประมาณ +5 และ 0 โวลต์ และอีกประเด็นที่ต่างกันคือ วงจรนี้ได้ตั้งระดับแรงดัน hysteresis ไว้ประมาณ +100 mV ซึ่งถ้าสัญญาณที่ผ่านวงจร BPF มีค่าน้อยกว่าค่านี้อเอาต์พุตของวงจรจะมีค่าประมาณ +5V แต่ถ้าสัญญาณนั้นมีค่ามากกว่า 100 mV เอาต์พุตก็จะมีค่าเท่ากับ 0V

## 6.5 วงจรการรีเซ็ต (Resetting Circuit) ให้กับระบบ



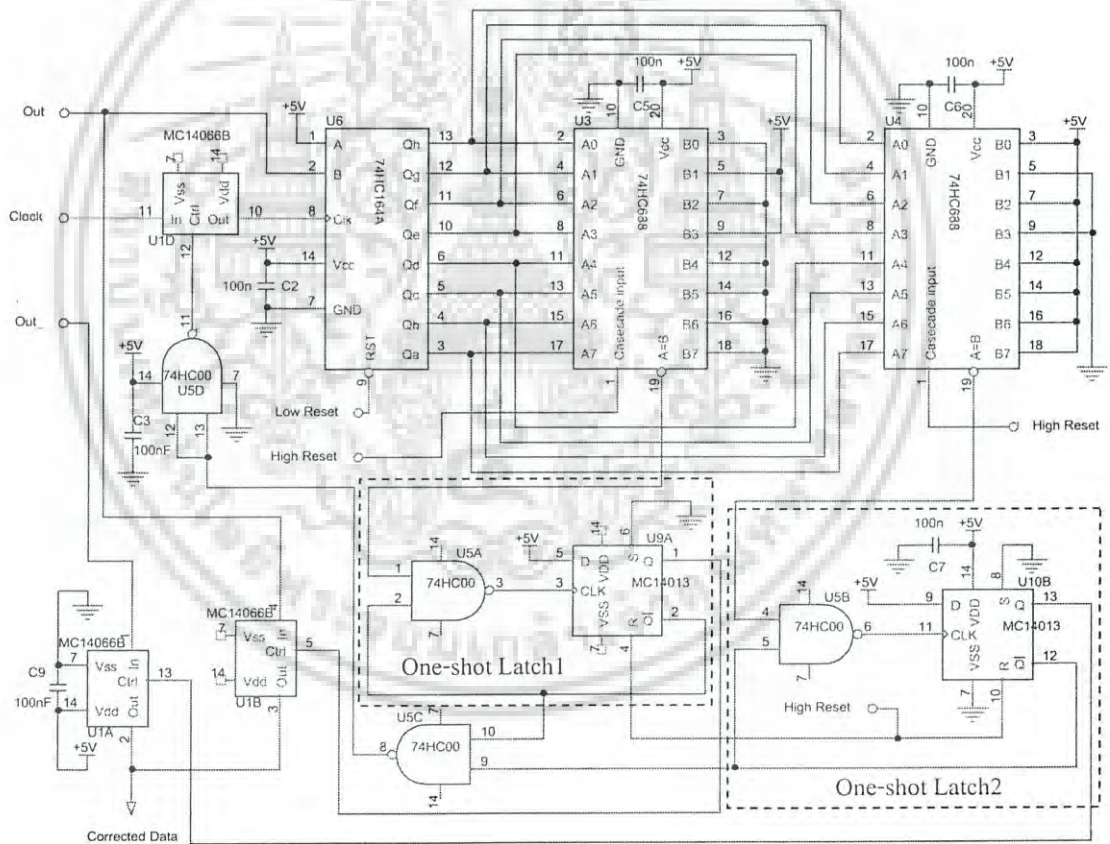
รูปที่ 6.19 วงจรการรีเซ็ตให้กับระบบ

วงจรที่ทำหน้าที่กำหนดการรีเซ็ตให้กับระบบ ได้ถูกแสดงในรูปที่ 6.19 วงจรนี้ให้แหล่งจ่ายไฟ +5 โวลต์ และ 0 โวลต์ ใช้ชิป 74HC4538 ซึ่งเป็นวงจรเสถียรเดี่ยว (Monostable) และได้ต่อเป็นวงจรแบบทริกซ้ำ (Retriggerable) สามารถกำหนดความกว้างพัลส์  $T_w$  ที่เอาต์พุตโดยการกำหนดค่าของ Rx และ Cx และได้ออกแบบให้  $T_w > 2T_c$  ซึ่ง  $T_c$  คือคาบเวลาของคลื่นพาดที่ใช่ โดยได้คิดว่า ถ้าสัญญาณ BPSK เกิดขาดหายไปเกิน  $2T_c$  ระบบจะทำการรีเซ็ตทันที เนื่องจากคลื่นพาดมีความถี่เท่ากับ 1.8 kHz  $T_c$  จะมีค่าเท่ากับ 0.556 มิลลิวินาที ดังนั้น  $2T_c = 1.12$  มิลลิวินาที อย่างไรก็ตามได้กำหนด  $T_w \approx 1.4$  มิลลิวินาที วงจรนี้มี 2 อินพุต ก็คือ อินพุตหนึ่งเกิดขึ้นในตอนเริ่มจ่ายไฟให้กับวงจร (powered-on reset) ซึ่งขึ้นอยู่กับค่าคงตัวเวลา (time constant) ที่เกิดขึ้นจากค่าของ R1 และ C1 และ

อีกอินพุตหนึ่งมาจากเอาต์พุตของวงจรตรวจระดับความแรงของสัญญาณ วงจรนี้มี 2 เอาต์พุต ซึ่งเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถเผยแพร่ในวงกว้างได้โดยไม่ขออนุญาตจากเจ้าของลิขสิทธิ์โดยตรงห้ามกัน เพื่อเป็นสัญญาณที่ใช้ในการรีเซ็ตให้กับวงจรย่อยของวงจรตรวจสอบและแก้ไขไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลไบนารี (ในหัวข้อถัดไป) การทำงานของวงจรนี้ เป็นดังต่อไปนี้ เมื่อจ่ายไฟให้กับวงจร วงจรจะถูกรีเซ็ต ทำให้เอาต์พุต Q และ Q<sub>l</sub> เป็น low และ hi ตามลำดับ หลังจากนั้นสมมติว่ายังไม่มียสัญญาณ BPSK ส่งมา ทำให้เอาต์พุตของวงจรตรวจระดับสัญญาณมีค่าเป็น hi (+5V) ดังนั้นเอาต์พุตทั้งคู่ของวงจรรีเซ็ตจึงยังคงเหมือนเดิม ต่อมาเมื่อมีสัญญาณ BPSK ส่งมา และมีขนาดมากกว่า 100 mV ทำให้เอาต์พุตของวงจรตรวจระดับสัญญาณมีค่าเป็น low (ซึ่งในขณะนี้อง) เกิดขอบขาลงขึ้นที่ขาอินพุต B1 ของวงจรรีเซ็ต ทำให้ลอจิกที่เอาต์พุตทั้งคู่ของมันเปลี่ยนไปจากเดิม ซึ่งเป็นลิมเลิการรีเซ็ตระบบ แต่เมื่อใดก็ตามที่สัญญาณ BPSK มีขนาดเล็กกว่า 100 mV หรือขาดหายไปเกิน 1.4 มิลลิวินาที เอาต์พุตของวงจรรีเซ็ตจะเปลี่ยนสถานะทางลอจิก ทำให้ระบบเกิดการรีเซ็ตอีกครั้งหนึ่ง

### 6.6 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังการติมอดูเลท) ให้อีกต้อง



รูปที่ 6.20 วงจรตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังการติมอดูเลท) ให้อีกต้อง

รูปที่ 6.20 เป็นวงจรที่ใช้ในการตรวจสอบข้อมูลไบนารีภายหลังการติมอดูเลท จากวงจรรูปคอสตาสให้มีสถานะทางลอจิกที่ถูกต้อง จากที่ได้กล่าวไปแล้วในบทที่ 3 ซึ่งไม่ว่าจะเป็นการกู้คืนพาราดัด้วยหลักการของคูปยอกกำลังสองหรือคูปคอสตาส อาจเกิดปัญหาเรื่องความกำกวมทางเฟส เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของบริษัทฯ ขอสงวนสิทธิ์ในเนื้อหา ไม่อนุญาตให้เผยแพร่หรือใช้ซ้ำโดยไม่ได้รับอนุญาต ไม่ว่ารณใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(phase ambiguity) เป็นปริมาณ  $180^\circ$  ระหว่างเฟสของคลื่นพาห้ที่ผู้ได้ที่ตัวรับและเฟสของคลื่นพาห้ที่ใช้ในตัวส่ง อันทำให้เกิดปัญหาเรื่องข้อมูลไบนารีที่คมชัดได้ (ในแต่ละบิต) นั้นจะมีสถานะทางลอจิกที่กลับกัน (inverted) กับที่ได้มอดูเลตมา และคั้งที่ได้กล่าวไปแล้วในบทที่ 5 ถึงหลักการของการตรวจสอบและแก้ไขความผิดพลาดดังกล่าว ซึ่งได้นำหลักการดังกล่าวมาสร้างเป็นวงจรคั้งที่ได้แสดงไว้ในรูปที่ 6.20 นี้แล้ว

วงจรในรูปที่ 6.20 นั้นใช้แหล่งจ่ายไฟ +5 และ 0 โวลท์ มีอินพุตทั้งหมด 5 อินพุต ก็คือ มี 2 อินพุต (Out และ Out<sub>-</sub>) ที่มาจากเอาต์พุตของวงจรแปลงระดับสัญญาณ (Level converter) ที่ได้แสดงไว้ในรูปที่ 6.17 ซึ่งเป็นสัญญาณไบนารีภายหลังการคิมอดูเลตจากลูกคอสตาส อินพุตทั้งสองนี้มีลักษณะทางลอจิกที่ตรงข้ามกันตลอดเวลา อินพุตอีกอินพุตหนึ่งเป็นสัญญาณนาฬิกา (Clock) ที่ใช้ในการกำหนดการเลื่อนข้อมูลของตัวรีจิสเตอร์เลื่อน (Shift register) ซึ่งเป็นสัญญาณเดียวกันกับสัญญาณคลื่นพาห้ที่ผู้ได้จากลูกคอสตาส ที่มาจากเอาต์พุตของตัวหารความถี่ในกิ่งไอ (I branch) คั้งที่ได้ถูกแสดงไว้ในรูปที่ 6.13 และอีกสองอินพุตเป็นสัญญาณการรีเซต (high reset และ low reset) ที่ได้มาจากวงจรรีเซตในรูปที่ 6.19

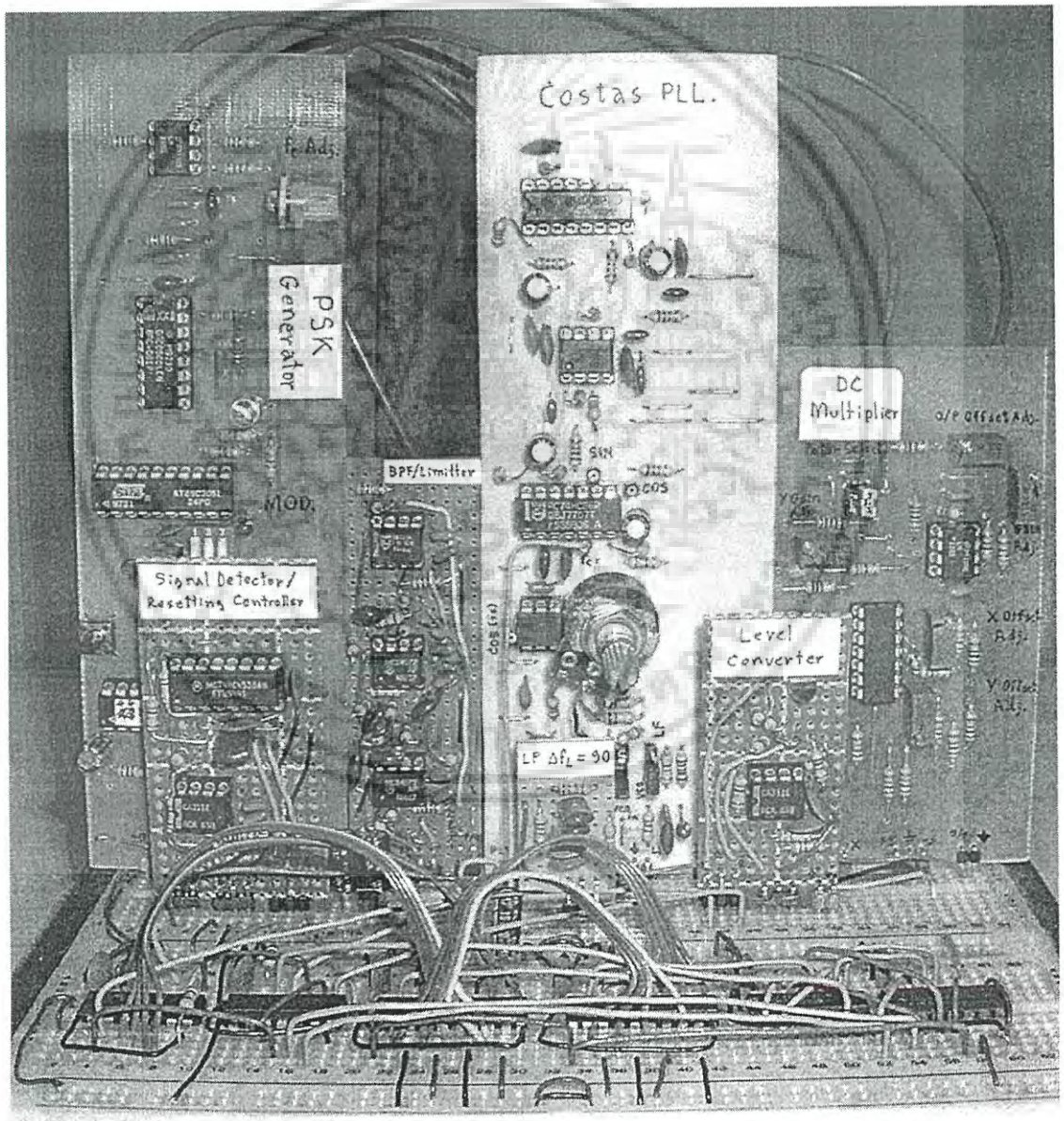
จากบล็อกไดอะแกรมในรูปที่ 5.1 ตัวรีจิสเตอร์เลื่อน 8 บิตแบบข้อมูลเข้าเป็นอนุกรมและข้อมูลออกเป็นขนาน (8-bit S-in/P-out Shift register) นั้นใช้ชิป 74HC164 สำหรับตัวเปรียบเทียบข้อมูลไบนารี 8 บิต 1 และ 2 (8-bit Binary Comparator 1 และ 2) นั้น แต่ละตัวใช้ชิป 74HC688 และ SW1 SW2 และ SW3 นั้นใช้ชิป MC14066 ซึ่งประกอบด้วยแอนาล็อกสวิตช์ 4 ตัว แต่ใช้เพียง 3 ตัวเท่านั้น ส่วนตัวคั้งสถานะแบบครั้งเดียว 1 และ 2 (One-shot Latch 1 และ 2) ที่ได้แสดงเป็นบล็อกไดอะแกรมในรูปที่ 5.3 ในแต่ละตัวนั้นใช้ฟลิป-ฟลอปชนิดดี (D F/F) 1 ตัว และเกตแนน (NAN) 1 ตัว ต่อเป็นวงจรคั้งที่ได้แสดงไว้ในเส้นประในรูปที่ 6.20 สำหรับตัว D F/F นั้นใช้ชิป MC14013 ซึ่งประกอบด้วย D F/F 2 ตัว และ เกตแนนนั้น ใช้ชิป 74HC00 ซึ่งมีเกตแนนอยู่ 4 ตัว และใช้เกตแนนที่เหลือทำหน้าที่เป็นเกตแอน ซึ่งทำหน้าที่คั้งที่ได้แสดงไว้ในรูปที่ 5.3 อย่างไรก็ตามวงจรในรูปที่ 6.20 ได้คั้งค่าของข้อมูลไบนารี 8 บิต 0Ah และ F3h ที่จะนำไปเปรียบเทียบกับข้อมูลเริ่มต้น 0Ah ไว้ที่ไอ-ซี U2 และ U4 ตามลำดับ

ภาพถ่ายวงจรทั้งหมดที่ใช้ในสร้างตัวคิมอดูเลตสัญญาณ BPSK ได้ถูกแสดงไว้ในรูปที่ 6.21 ซึ่งประกอบวงจรต่างๆคั้งนี้

- 1) วงจรตัวสังเคราะห์สัญญาณ BPSK (ด้านบนซ้ายสุด) ที่มีป้ายเขียนว่า PSK Generator
- 2) วงจรตรวจระดับสัญญาณและวงจรควบคุมการรีเซต (ถัดจากวงจรแรกมาด้านหน้า) ที่มีป้ายเขียนว่า Signal detector/Resetting controller
- 3) วงจรกรองแถบความถี่ผ่าน และวงจรขยายและจำกัดขนาดสัญญาณ (ถัดไปทางขวาจาก 2 วงจรแรก) ที่มีป้ายเขียนว่า BPF/Limiter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 4) วงจรรูปคอสตาสที่ปราศจากวงจรถักเตอร์ผลคูณ (ถัดไปทางขวาจากวงจรที่ 3) ที่มีป้ายเขียนว่า Costas loop
- 5) วงจรตัวกรองรูปที่ได้ ออกแบบให้มี  $\Delta f_L = 90$  Hz (ถัดจากวงจรที่ 4 มาด้านหน้า) ที่มีป้ายเขียนว่า LF  $\Delta f_L = 90$
- 6) วงจรตัวดีเทกเตอร์ผลคูณ (ด้านขวาสุด) ที่มีป้ายเขียนว่า DC Multiplier
- 7) วงจรแปลงระดับสัญญาณ (ด้านหน้าของวงจรที่ 4 และ 5) ที่มีป้ายเขียนว่า Level converter
- 8) วงจรตรวจสอบและแก้ไขข้อมูลไบนารีภายหลังการดีมอดูเลทให้ถูกต้อง ซึ่งเป็นวงจรที่ยังต่ออยู่บน Photo board (ด้านหน้าสุด)



รูปที่ 6.21 ภาพถ่ายวงจรทั้งหมดที่ใช้ในการสร้างตัวดีมอดูเลทสัญญาณ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 7

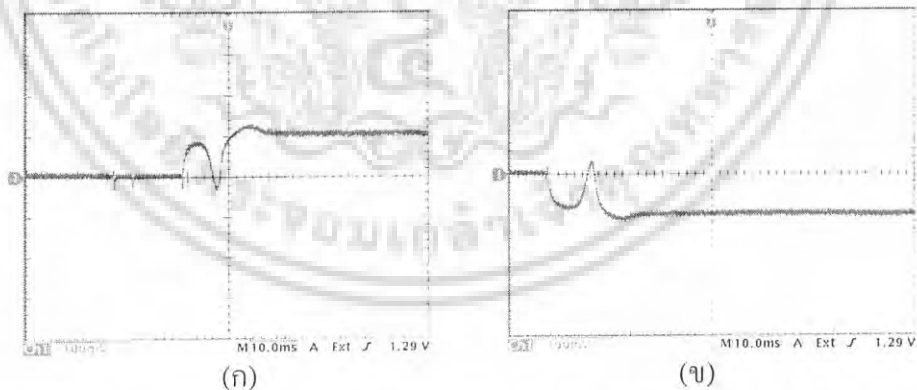
### ผลการทดลอง

ในบทนี้จะเป็นการแสดงผลการทดลองการคิ่มอดูเลทสัญญาณ BPSK ด้วยวงจรตัวคิ่มอดูเลทสัญญาณ BPSK ที่ได้สร้างขึ้นจากวงจรรูปคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต ในตอนแรกจะกล่าวถึงสมรรถนะของรูปในการลือกกับความถี่ของคลื่นพาห้  $f_c$  ที่ใช้ในตัวส่ง ต่อไปจะเป็นการแสดงที่มาของสัญญาณ BPSK จากนั้นจะเป็นการแสดงสัญญาณที่วัดจากจุดต่างภายในตัวคิ่มอดูเลทสัญญาณ BPSK ต่อมาจะเป็นการวัดความไว (Sensitivity) ของวงจรรูปคอสตาส ถัดมาจะเป็นการแสดงไดอะแกรมรูปตา (Eye diagram) เมื่อสัญญาณ BPSK มีค่าเท่ากับ 10 mVp และสุดท้ายเป็นการแสดงเอาต์พุตสุดท้ายของตัวคิ่มอดูเลทสัญญาณ BPSK นี้

#### 7.1 สมรรถนะของรูปคอสตาสในการลือก

ในหัวข้อนี้เป็นการแสดงผลการทดลอง ทางสมรรถนะของรูปคอสตาสที่ได้สร้างขึ้น โดยจะแบ่งออกเป็น 2 ส่วน คือ ช่วงความถี่การเข้าสู่การลือกที่ไวที่สุด  $\Delta\omega_L$  (Lock range [13]) และช่วงความถี่การติดตามการลือก  $\Delta\omega_H$  (Tracking หรือ Hold range) ของรูป ค้างนี้

##### 7.1.1 ช่วงความถี่การเข้าสู่การลือกที่ไวที่สุด $\Delta\omega_L$ (Lock range)



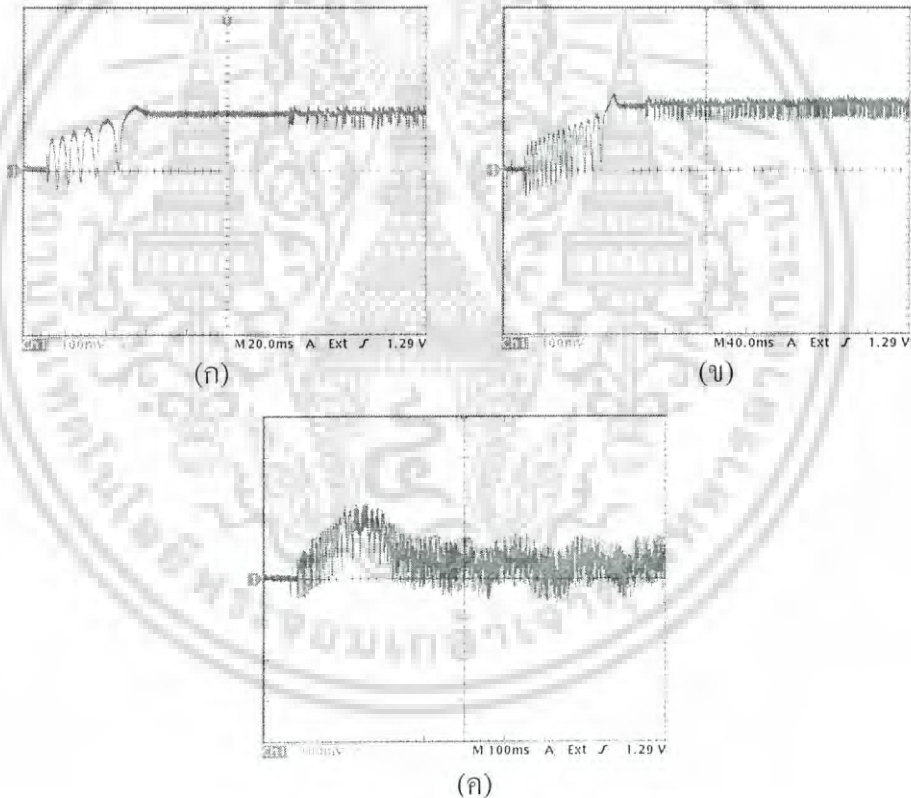
รูปที่ 7.1 แรงดันควบคุม VCO: (ก) กรณีที่รูปมี  $f_R < f_C$  อยู่  $\Delta f_L$ ; (ข) กรณีที่รูปมี  $f_R > f_C$  อยู่  $\Delta f_L$

รูปที่ 7.1 เป็นรูปที่ได้บันทึกมาจากจอสซิคิลอสโคป รุ่น TDS 3012 ยี่ห้อ Textronix ซึ่งเป็นการวัดสัญญาณจากแรงดันที่ใช้ในการควบคุม VCO โดยที่ในตอนแรกรูปคอสตาสนั้นยังไม่ลือกกับความถี่คลื่นพาห้  $f_c$  เนื่องจากยังไม่มีสัญญาณ BPSK ซึ่งมีค่าแรงดันประมาณ 1.65

โวลท์ ปรากฏอยู่กึ่งกลางทางแนวตั้งของจอสโคป ทั้งนี้ที่มีการปรากฏของสัญญาณ BPSK รูปเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

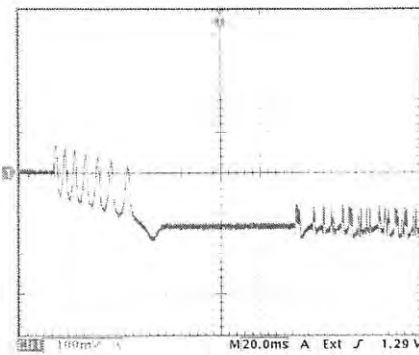
คอสดาจะใช้เวลาในการเข้าสู่การล็อกประมาณไม่เกิน 0.03 วินาที (ไม่เกิน 3 ช่องทางแวนอน) ในรูป (ก) เป็นกรณีที่ลูปลคอสดาที่มีความถี่การทำงานอิสระ  $f_R$  น้อยกว่าความถี่คลื่นพาห้  $f_C$  อยู่ประมาณ  $\Delta f_L$  (90Hz) โดยที่  $\Delta f_L$  มีค่าเท่ากับ  $\Delta\omega_L/2\pi$  จากรูปจะเห็นได้ว่าเมื่อเวลาผ่านไป (จากซ้ายไปขวา) แรงดันควบคุม VCO จะมีค่าเพิ่มขึ้นและสงบลงที่ค่าแรงดันที่สูงขึ้นจากเดิมประมาณ 100 mV ซึ่งก็คือเกิดการล็อกของลูปลขึ้นนั่นเอง ส่วนในรูป (ข) เป็นกรณีที่ลูปลมี  $f_R > f_C$  อยู่ประมาณ  $\Delta f_L$  ซึ่งจะเห็นได้ว่าเมื่อลูปลนั้น ล็อกกับความถี่คลื่นพาห้  $f_C$  แล้ว แรงดันควบคุม VCO จะมีค่าลดลงจากเดิมประมาณ 100 mV

อย่างไรก็ตามจากที่ได้กำหนด (ในบทที่ 6) ให้ลูปลคอสดานั้นมีช่วงความถี่  $\Delta\omega_L = 90$  Hz หรือ ประมาณ 565 rad/s ซึ่งจากการคำนวณจากสมการ (6.27) ลูปลจะใช้เวลาในการเข้าสู่การล็อก  $T_L$  ประมาณ 0.067 วินาที ซึ่งมีค่ามากกว่าค่าที่ได้จากผลการทดลองเลย 2 เท่าเสียอีก

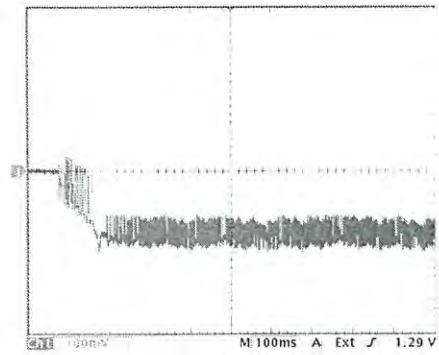


รูปที่ 7.2 แรงดันควบคุม VCO กรณีที่ลูปลมี  $f_R < f_C$ : (ก) 120 Hz; (ข) 140; และ (ค) 150 Hz

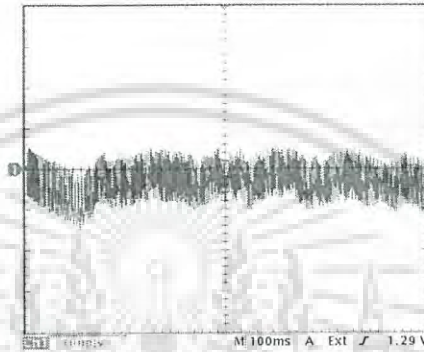
จากการพิจารณาแรงดันควบคุม VCO ในรูปที่ 7.2 (ก) และ (ข) จะสังเกตเห็นว่าลูปลยังสามารถที่จะเข้ายึดครองการล็อกได้ ซึ่งจะใช้เวลาเข้าสู่การล็อกนานกว่าเมื่อเทียบกับในรูปที่ 7.1 (ก) แต่สำหรับในรูป 7.2 (ค) นั้นลูปลไม่สามารถที่จะเข้าสู่การล็อกได้เลย ดังนั้นจากผลการทดลองในรูปที่ 7.2 พอที่จะกล่าวได้ว่าลูปลคอสดาที่ใช้อยู่นี้สามารถที่จะเข้าสู่การล็อกได้ ถ้าความถี่  $f_R$  ของลูปลมีค่าเอกสารนี้ต่ำกว่าความถี่คลื่นพาห้  $f_C$  ไม่เกิน 140 Hz การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 7.3 แรงดันควบคุม VCO กรณีที่ลูปมี  $f_R > f_C$ : (ก) 120 Hz; (ข) 140; และ (ค) 150 Hz

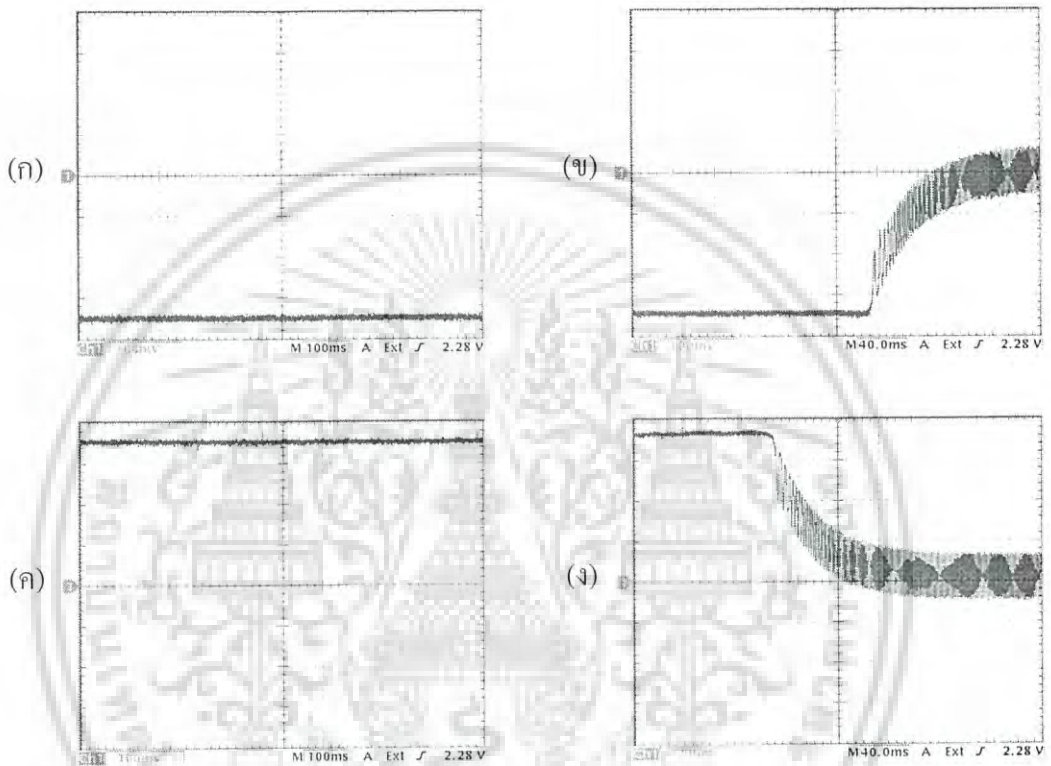
เช่นเดียวกับในรูปที่ 7.2 แรงดันควบคุม VCO ในรูปที่ 7.3 (ก) และ (ข) นั้นยังถือว่าลูปยังสามารถที่จะเข้ายึดครองการล็อกได้ ซึ่งจะใช้เวลาเข้าสู่การล็อกนานกว่าเมื่อเทียบกับในรูปที่ 7.1 (ข) แต่สำหรับในรูป 7.3 (ค) นั้นลูปไม่สามารถที่จะเข้าสู่การล็อกได้เลย จากการพิจารณาแรงดันควบคุม VCO ทั้งในรูปที่ 7.2 และ 7.3 จึงพอที่จะกล่าวได้ว่าลูปคออสตาสที่ใช้อยู่มี ช่วงความถี่ในการยึดครองการล็อก (Capture range) เท่ากับ  $\pm 140$  Hz หรือ  $\pm 880$  rad/s

### 7.1.2 ช่วงความถี่การติดตามการล็อก $\Delta\omega_H$ (Tracking หรือ Hold range)

ในการวัดช่วงความถี่ที่สามารถติดตามการล็อก  $\Delta\omega_H$  ของ PLL นั้นจะต้องทำให้ลูปล็อกกับความถี่ของสัญญาณอินพุตของมันก่อน จากนั้นจึงค่อยๆ เปลี่ยนความถี่สัญญาณอินพุตช้าๆ จนกว่าลูปจะไม่สามารถติดตามการล็อกอีกต่อไปได้ หรือเรียกได้ว่าลูปนั้น “หลุดล็อก” ความถี่ที่ต่างไปจากความถี่ศูนย์กลางที่ทำให้ลูปหลุดจากการล็อกก็คือ ช่วงความถี่ที่ PLL นั้นสามารถติดตามการล็อกได้นั่นเอง ซึ่งในกรณีของลูปคออสตาสก็เช่นเดียวกัน ในการวัดช่วงความถี่  $\Delta\omega_H$  ของมันนั้นจะต้องให้ลูปล็อกกับความถี่คลื่นพาห่ที่ได้อ้างมา (ยังไม่มีกรอมอดูเลทเกิดขึ้น) ก่อนแล้วทำการเปลี่ยนความถี่ของคลื่นพาห่ที่ได้อ้างมา (ยังไม่มีกรอมอดูเลทเกิดขึ้น) จนกว่าลูปจะหลุดล็อก จากรูปที่ 7.4 เป็นค่าที่วัดจากแรงดันควบคุม VCO ที่เปลี่ยนไปจากแรงดันที่ทำให้ลูปนั้นล็อกที่ความถี่ศูนย์กลาง หรือก็

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ห้ามเผยแพร่โดยไม่ได้รับอนุญาต  
คือความถี่การทำงานอิสระ  $f_R$  ของลูปคออสตาส ซึ่งมีค่าเท่ากับ 1.83 kHz แรงดันที่เกิดขึ้นในรูป  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) และ (ค) คือแรงดันที่ลู่วิ่งยังคงล็อกกับความถี่  $f_c$  หลังจากที่เราปรับความถี่  $f_c$  ให้มีค่าลดลงเป็น 1.5 kHz และเพิ่มขึ้นเป็น 2.15 kHz ตามลำดับ ส่วนแรงดันในรูป (ข) และ (ง) เป็นแรงดันที่ลู่วิ่งกำลังจะหลุดจากการล็อก ซึ่งเกิดจากการปรับความถี่  $f_c$  ลดลงเป็น 1.45 kHz และเพิ่มขึ้นเป็น 2.155 kHz ตามลำดับ จึงกล่าวได้ว่าลู่วิ่งคอสตาสีนีมีช่วงความถี่การติดตามการล็อก  $\Delta\omega_H$  ประมาณ  $\pm 320$  Hz หรือ  $\pm 2010$  rad/s

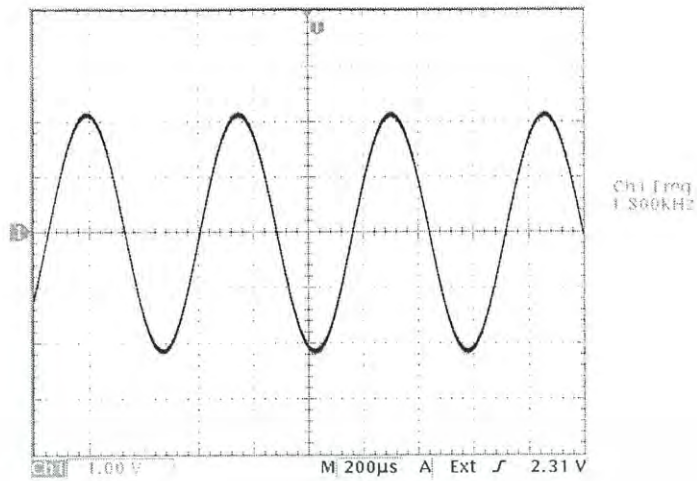


รูปที่ 7.4 แรงควบคุม VCO ในกรณีที่ลู่วิ่งเคยล็อกที่ความถี่  $f_c$  อยู่ก่อนแล้ว: (ก) เมื่อ  $f_c = 1.5$  kHz; (ข) เมื่อ  $f_c = 1.45$  kHz; (ค) เมื่อ  $f_c = 2.15$  kHz; (ง) เมื่อ  $f_c = 2.155$  kHz

## 7.2 ที่มาของสัญญาณ BPSK ที่นำมาใช้ในการทดสอบ

สัญญาณ BPSK ที่นำมาใช้เพื่อทำการทดสอบการดีมอดูเลชันนี้ เป็นสัญญาณที่ถูกสังเคราะห์ขึ้นโดยการใช้ไมโครคอนโทรลเลอร์ (Microcontroller) ร่วมกับตัวแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก DAC (Digital to analog converter) และตัวกรองความถี่ต่ำผ่าน (Low-pass filter) ที่เอาต์พุต คลื่นพาห้ไซน์ซอซด์ที่ใช้ในการมอดูเลชันเป็นสัญญาณที่ได้สังเคราะห์ขึ้นนั้นมีความถี่เท่ากับ 1.8 kHz ดังที่แสดงในรูปที่ 7.5 และอัตราบิต  $f_b$  ของข้อมูลไบนารีที่ใช้มอดูเลชันมีค่าเท่ากับ 1800 bps. โดยได้กำหนดคสัญลักษณ์ของคลื่นพาห้ไซน์ซอซด์ (sinusoidal carrier) ที่เกิดจากการถูกมอดูเลชันด้วยข้อมูลไบนารี ลอจิก '1' เป็น  $-A_c \sin(\omega_c t)$  และสัญลักษณ์ที่เกิดจากลอจิก '0' เป็น  $+A_c \sin(\omega_c t)$

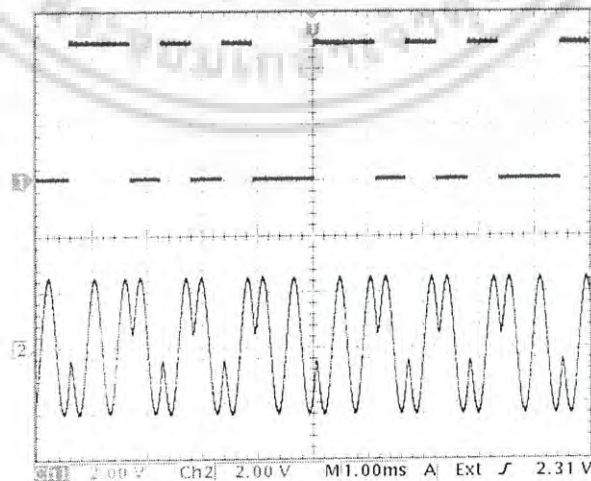
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเฉพาะที่ระบุชื่อของหน่วยงานที่อนุญาตให้ใช้เท่านั้น ไม่สามารถนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารได้ หากมีการนำออกไปใช้โดยไม่ได้รับอนุญาต เจ้าของเอกสารขอสงวนสิทธิ์ในสิ่งที่ปรากฏ และไม่รับผิดชอบต่อความเสียหายใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 คลื่นพาห้ไซน์ซอซอด์ ที่ใช้ในการมอดูเลท

การทำงานของตัวสังเคราะห์สัญญาณ BPSK ที่ใช้ในการทดสอบการมอดูเลทของตัวมอดูเลทสัญญาณ BPSK มีดังต่อไปนี้

- 1) ส่งคลื่นพาห้ที่ปราศจากการมอดูเลท เป็นเวลาประมาณ 0.12 วินาที ซึ่งเป็น 2 เท่า ของค่า  $T_c$  ที่ได้คำนวณไว้ เพื่อให้รูปคอสตาสในตัวมอดูเลท ได้ทำการซิงโครไนซ์ หรือกู้เฟสและความถี่ของคลื่นพาห้ก่อนที่จะมีการมอดูเลทต่อไป
- 2) ส่งข้อมูลเริ่มต้น (preamble data) จำนวน 8 บิต ซึ่งมีค่าเป็นเลขฐาน 16 เท่ากับ 0Ah เพื่อใช้ในการตรวจสอบและแก้ไขสถานะทางลอจิกของข้อมูลไบนารีภายหลังการมอดูเลทให้ถูกต้อง ซึ่งมีหลักการทำงานดังที่ได้อธิบายไว้ในบทที่ 5
- 3) ส่งข้อมูลไบนารีที่ใช้ในการสื่อสาร

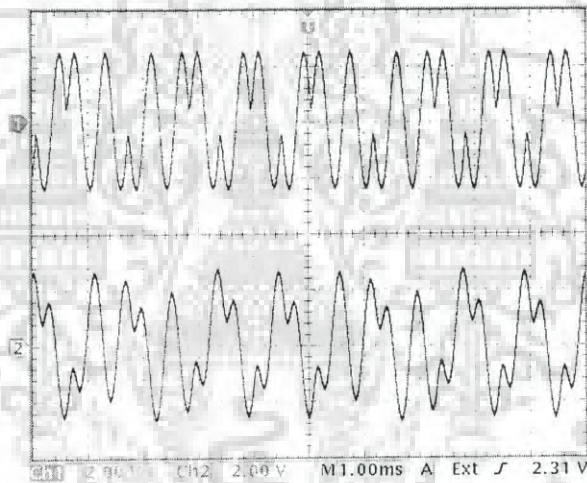


รูปที่ 7.6 (เส้นบน) ข้อมูลไบนารี; (เส้นล่าง) คลื่นพาห้ที่ถูกมอดูเลทด้วยข้อมูลไบนารีในเส้นบน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

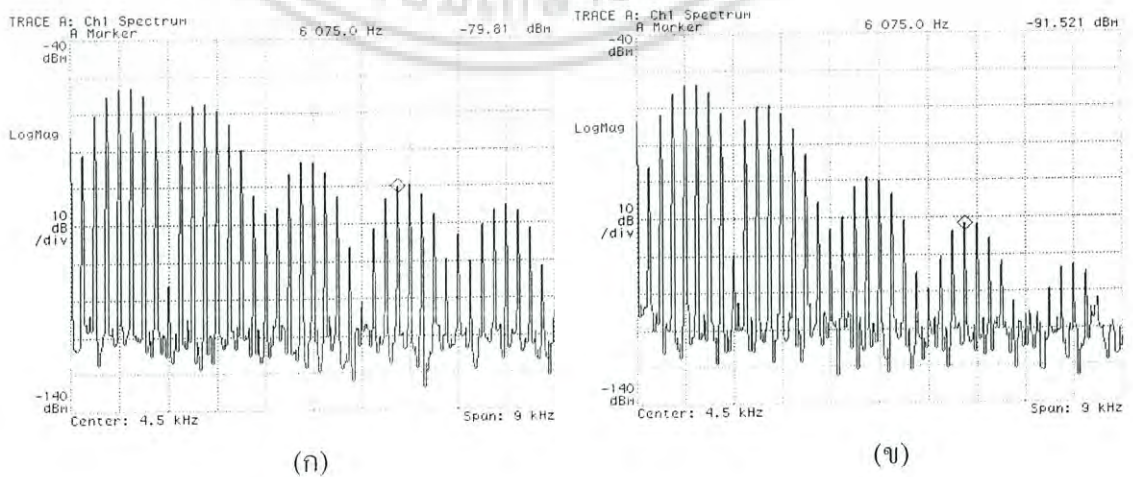
ในรูปที่ 7.6 (เส้นบน) นั้นเป็นข้อมูลไบนารีที่ใช้ในการสื่อสารและใช้มอดูเลททางเฟสกับคลื่นพาห้ไซน์ซอซด์ (ที่แสดงไว้ในรูปที่ 7.5) ข้อมูลไบนารีนี้ถูกส่งออกมาเป็นแบบซ้ำคาบ (periodic) เพื่อช่วยให้สามารถตรวจสอบผลการดีมอดูเลทได้โดยตรงจากจอออสซิลโลสโคป ซึ่งมีค่าเป็นเลขฐาน 16 เท่ากับ CAh หรือเป็นเลขฐาน 2 เท่ากับ 1100 1010 เมื่อดูจากรูปที่ 7.6 (เส้นบน) บีทัญย-สำคัญต่ำสุดของข้อมูลไบนารีจะเริ่มที่ก่อนถึงช่องที่ 3 (ทางแนวนอน) นับจากซ้ายไปขวา ซึ่งจะเห็นว่าเป็นลอจิก '0' ซึ่งจะตรงกับเลขฐาน 2 ของข้อมูลไบนารี ส่วนในรูปที่ 7.6 (เส้นล่าง) เป็นสัญญาณ BPSK ที่ได้ ภายหลังก้นำข้อมูลไบนารีดังกล่าวมอดูเลทกับคลื่นพาห้ไซน์ซอซด์

### 7.3 สัญญาณต่างๆที่วัดจากวงจรย่อยภายในตัวดีมอดูเลทสัญญาณ BPSK

#### 7.3.1 อินพุตและเอาต์พุตของวงจรกรองแถบความถี่ผ่าน BPF



รูปที่ 7.7 เปรียบเทียบสัญญาณอินพุต (เส้นบน) และเอาต์พุต (เส้นล่าง) ของวงจรกรอง BPF

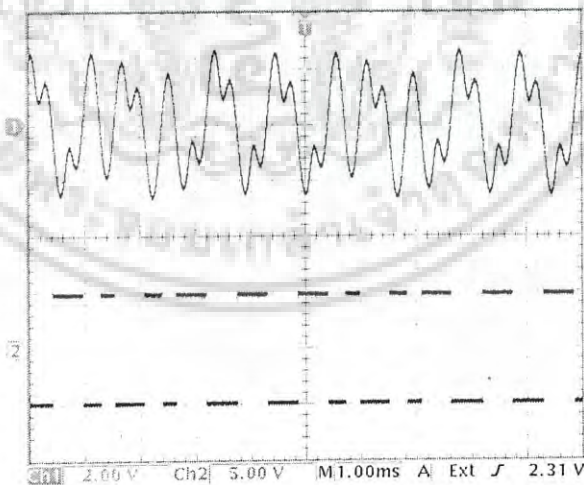


เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
รูปที่ 7.8 สเปกตรัม (Spectra) ของสัญญาณ BPSK ก่อนผ่าน (ก) และหลังผ่าน (ข) วงจร BPF การค่า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตของตัวคีมอคูเลท (เป็นสัญญาณอินพุตของวงจรกรอง BPF ด้วย) นั้นได้มาจากสัญญาณ BPSK ที่กำเนิดจากตัวสังเคราะห์สัญญาณ BPSK ที่ได้แนะนำไปในหัวข้อที่แล้ว ซึ่งมีขนาดประมาณ  $5 V_{p-p}$  และถือว่าเป็นอินพุตที่มีอัตราส่วนของสัญญาณต่อสัญญาณรบกวน SNR<sub>i</sub> ที่สูงมาก (มากกว่า 30 dB) หรือพูดได้ว่าแทบจะปราศจากสัญญาณรบกวนจากภายนอก ซึ่งได้แสดงไว้ในรูปที่ 7.7 (เส้นบน) ส่วนในรูปที่ 7.7 (เส้นล่าง) เป็นสัญญาณ BPSK ที่ผ่านวงจรกรองแถบความถี่ผ่าน (BPF) จะเห็นได้ว่ามีรูปสัญญาณที่ผิดเพี้ยนไปจากสัญญาณเดิม อันเนื่องมาจากการจำกัดแถบความถี่ (band limited) ของสัญญาณโดยวงจร BPF ซึ่งได้แสดงสเปกตรัม (Spectra) ของสัญญาณอินพุตและเอาต์พุตของวงจร BPF ไว้ในรูปที่ 7.8 (ก) และ (ข) ตามลำดับ และจะเห็นว่าสเปกตรัมของสัญญาณ BPSK ที่ความถี่สูงกว่าความถี่ตัดด้านสูง (3.3 kHz) มากๆ นั้น จะถูกลดทอน (Attenuated) ลงไปประมาณ 12dB ซึ่งตรงกับที่ได้ออกแบบวงจรไว้ เพราะวงจร LPF ที่ประกอบอยู่ในวงจร BPF นั้นมีอันดับเท่ากับ 4 ซึ่งจะมี roll-off คือ  $-12\text{dB/oct}$ . หรือก็คือจะลดทอนสัญญาณไป 16 เท่าเมื่อความถี่เพิ่มขึ้น 2 เท่า

### 7.3.2 อินพุตและเอาต์พุตของวงจรขยายและจำกัดขนาด (Amplifier & Limiter)

วงจรขยายและจำกัดขนาดนี้เป็นวงจรภาคแรกของวงจรรูปคอสตาตที่ใช้ (รูปที่ 6.4) รูปที่ 7.9 (เส้นบน) และ (เส้นล่าง) เป็นสัญญาณอินพุตของวงจรขยายและจำกัดขนาด ซึ่งได้มาจากเอาต์พุตของวงจร BPF ที่แสดงไปในหัวข้อที่แล้ว และสัญญาณเอาต์พุตของวงจรขยายและจำกัดขนาด ตามลำดับ

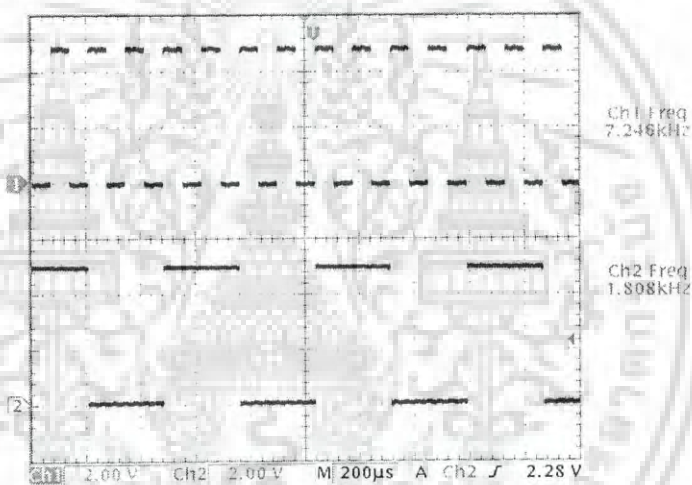


รูปที่ 7.9 สัญญาณอินพุต (เส้นบน) และเอาต์พุต (เส้นล่าง) ของวงจรขยายและจำกัดขนาด

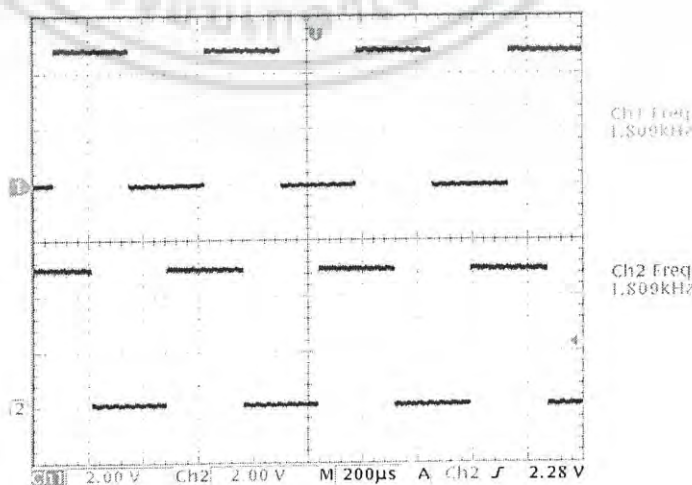
### 7.3.3 เอาต์พุตของวงจร VCO และเอาต์พุตของตัวหารความถี่ 4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

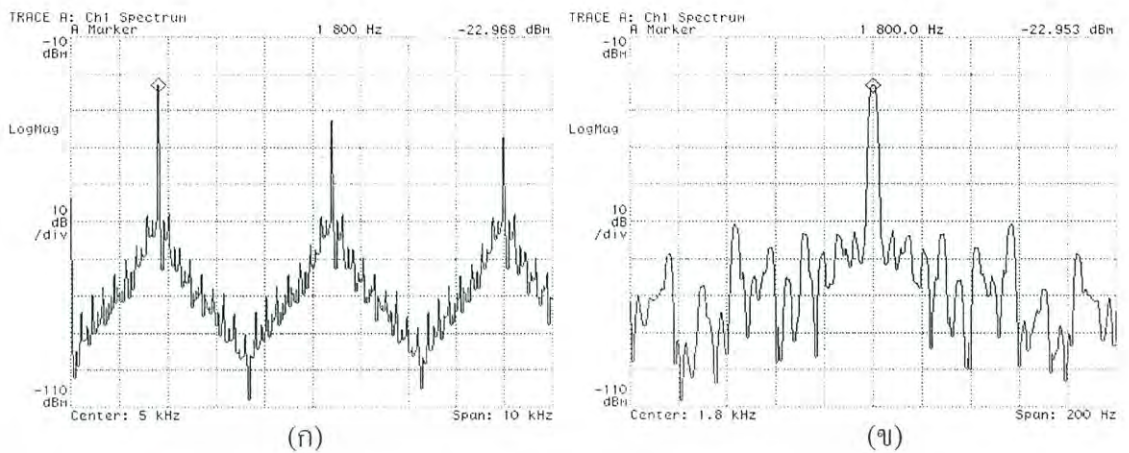
รูปที่ 7.10 เป็นสัญญาณที่วัดจากเอาต์พุตของวงจร VCO (เส้นบน) ซึ่งเป็นอินพุตให้กับตัวหารความถี่ 4 เท่า และสัญญาณเอาต์พุตของตัวหารความถี่ 4 เท่า (เส้นล่าง) ในกิ่งไอ (I branch) ของลูบคอสตาส ซึ่งจะเห็นได้ว่าสัญญาณทั้งคู่มีเฟสที่ตรงกันพอดี และมีความถี่ต่างกัน 4 เท่า สัญญาณในรูปที่ 7.10 (เส้นล่าง) นี้เป็นคลื่นพาห้ที่กู้ (recovered) ได้จากลูบคอสตาส จะเห็นได้ว่ามีความถี่ประมาณเท่ากับ 1.8 kHz ซึ่งเท่ากับความถี่ของคลื่นพาห้ที่ใช้ในตัวส่ง เอาต์พุตของตัวหารความถี่นี้มี 2 เอาต์พุต ซึ่งมีความถี่เท่ากันแต่มีเฟสต่างกัน  $90^\circ$  และได้ถูกแสดงไว้ในรูปที่ 7.11 ในรูป (เส้นบน) นั้นเป็นเอาต์พุตที่อยู่ในกิ่งไอ (I branch) ส่วนในรูป (เส้นล่าง) เป็นเอาต์พุตที่อยู่ในกิ่งควิ (Q branch) ของลูบคอสตาส ตามลำดับ ซึ่งจะเป็นได้ว่ามีเฟสต่างกัน  $90^\circ$  อย่างไรก็ตามได้แสดง สเปกตรัมเอาต์พุตของตัวหารความถี่ในกิ่งไอไว้ในรูปที่ 7.12 (ก) และ (ข) ซึ่งมี Resolution bandwidth 30 Hz และ 3 Hz ตามลำดับ



รูปที่ 7.10 เอาต์พุตของ VCO (เส้นบน) และเอาต์พุตของตัวหารความถี่ 4 เท่าในกิ่งไอ (เส้นล่าง)



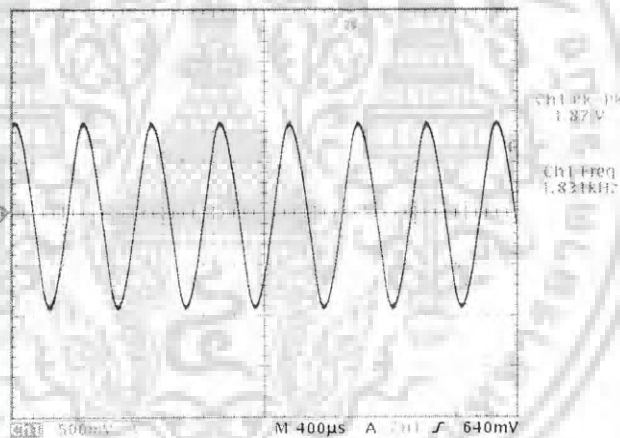
เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่ควรเผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาต หากมีข้อผิดพลาดประการใด ขออภัยเป็นอย่างสูงและขอสงวนสิทธิ์ในเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.12 สเปกตรัมที่เอาต์พุตของตัวหารความถี่ 4 เท่าในกิ่งไอ:

(ก) Resolution bandwidth 30 Hz; (ข) Resolution bandwidth 3 Hz

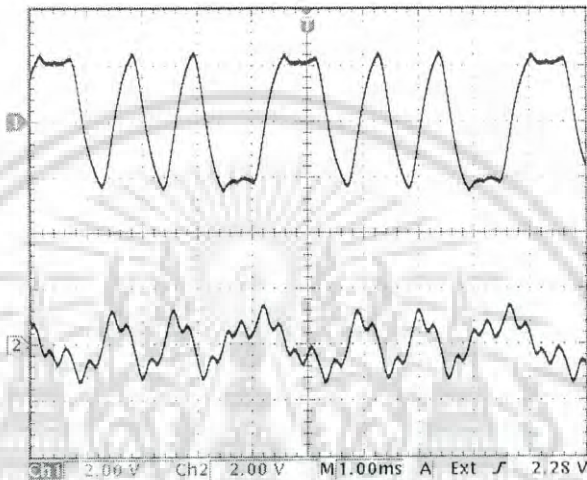
### 7.3.4 เอาต์พุตของวงจร Baseband LPF ที่อยู่ในวงจรรูปคอสตาส



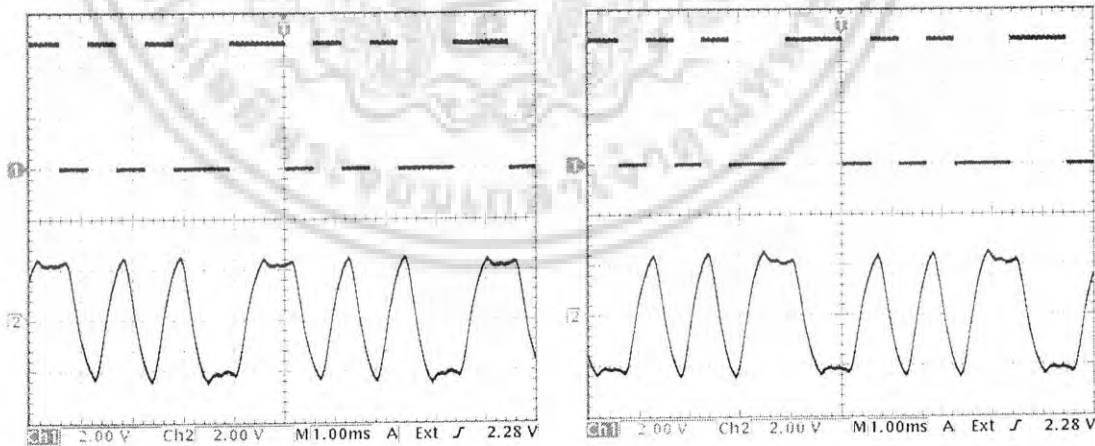
รูปที่ 7.13 เอาต์พุตของ Baseband LPF ในกิ่งไอ ของรูปคอสตาส ในกรณีที่ลูปทำงานอิสระ

เอาต์พุตของรูปคอสตาส ซึ่งก็คือเอาต์พุตของ Baseband LPF ในกิ่งไอของลูป ในกรณีที่ไม่มีสัญญาณ BPSK หรือกล่าวได้ว่าลูปกำลังทำงานอิสระ (free-running) ได้ถูกแสดงไว้ในรูปที่ 7.13 ซึ่งจะเห็นได้ว่ามีแรงดันสวิงอยู่ที่ประมาณ 1 Vp และเอาต์พุตของ Baseband LPF ทั้งคู่ในรูปคอสตาส ซึ่งเป็นกรณีที่ลูปนั้นลือกกับความถี่คลื่นพาห์แล้ว ได้ถูกแสดงไว้ในรูปที่ 7.14 โดยเอาต์พุตของกิ่งไอจะอยู่ใน (เส้นบน) และของกิ่งคิวจะอยู่ใน (เส้นล่าง) อย่างไรก็ตามได้แสดงข้อมูลไบนารีที่ใช้ในการมอดูเลทเทียบกับเอาต์พุตของรูปคอสตาส (ซึ่งก็คือเอาต์พุตของวงจร Baseband LPF ในกิ่งไอด้วย) ไว้ในรูปที่ 7.15 (เส้นบน) และ (เส้นล่าง) ตามลำดับ โดยเอกสารนี้เป็นเอในรูปที่ (ก) เป็นกรณีที่เฟสของคลื่นพาห์ที่ผู้ได้มีเฟสตรงกับเฟสของคลื่นพาห์ที่ใช้ในตัวส่ง ทำให้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้คิมอดูเลทได้ข้อมูลที่ถูกต้อง ส่วนในรูป (ข) นั้นเป็นกรณีที่เฟสของคลื่นพาห้ที่ถูได้มีเฟสตรงข้ามกับเฟสของคลื่นพาห้ที่ตัวส่ง ทำให้คิมอดูเลทแล้วได้ข้อมูลที่มีสถานะทางไบนารีตรงข้ามกับที่คิมอดูเลทมา อย่างไรก็ตามได้แสดงสัญญาณคลื่นพาห้ที่ถูได้เทียบกับเอาต์พุตของลูปลคอสดตาส ไว้ในรูปที่ 7.16 (เส้นบน) และ (เส้นล่าง) ตามลำดับ โดยในรูป (ก) เป็นกรณีที่เฟสของคลื่นพาห้ที่ถูได้มีค่าตรงกับเฟสคลื่นพาห้ที่ใช้ในตัวส่ง และในรูป (ข) เป็นกรณีเกิดเฟสตรงข้ามระหว่างเฟสของคลื่นพาห้ที่ถูได้กับเฟสของคลื่นพาห้ที่ตัวส่งใช้



รูปที่ 7.14 เอาต์พุตของวงจรกรอง Baseband LPF ในวงจรรูปคอสตาส: (เส้นบน) ด้านกิ่งไอ (I branch): (เส้นล่าง) ด้านกิ่งคว (Q branch)

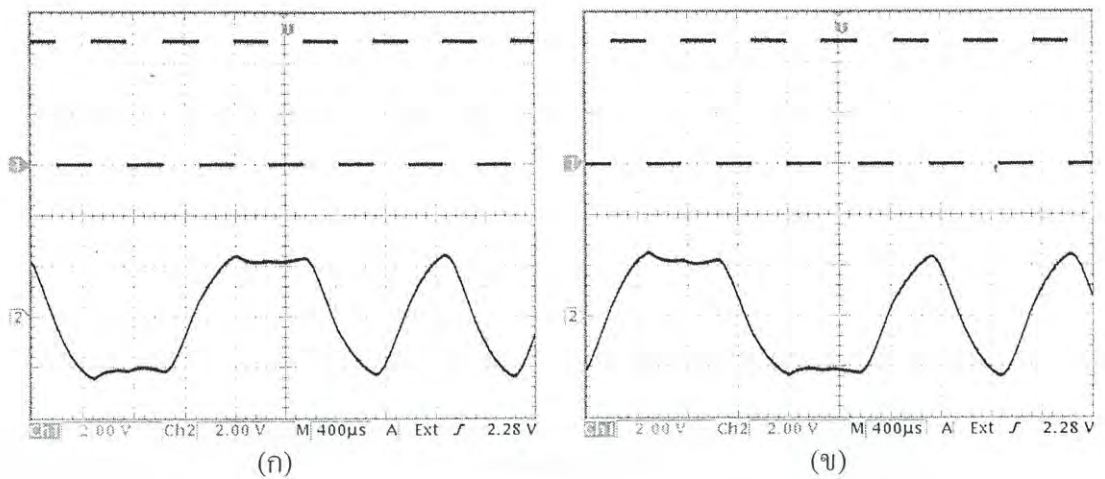


(ก)

(ข)

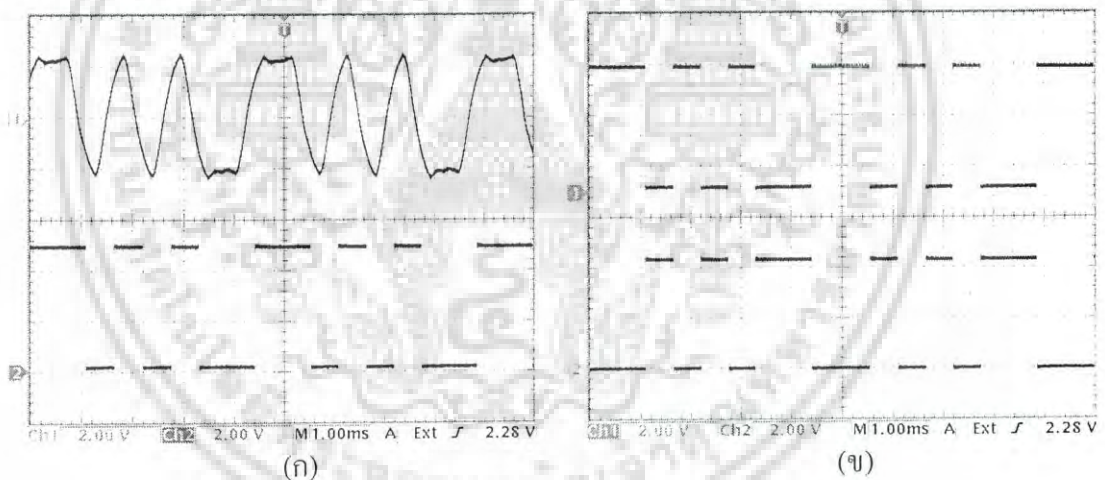
รูปที่ 7.15 เปรียบเทียบระหว่างข้อมูลที่ใช้ในการมอดูเลทและเอาต์พุตของคอสตาสรูป: (ก) กรณีคลื่นพาห้ที่ถูได้มีเฟสตรงกับเฟสคลื่นพาห้ที่ใช้ส่ง (ข) กรณีเกิดเฟสต่างกัน 180°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.16 เปรียบเทียบระหว่างคลื่นพาส์ที่กู้ได้และเอาต์พุตหลังคิมมอดูเลท: (ก) กรณีคิมมอดูเลทได้ข้อมูลไบนารีที่ถูกต้อง; (ข) กรณีคิมมอดูเลทแล้วได้ข้อมูลไบนารีที่ตรงข้าม

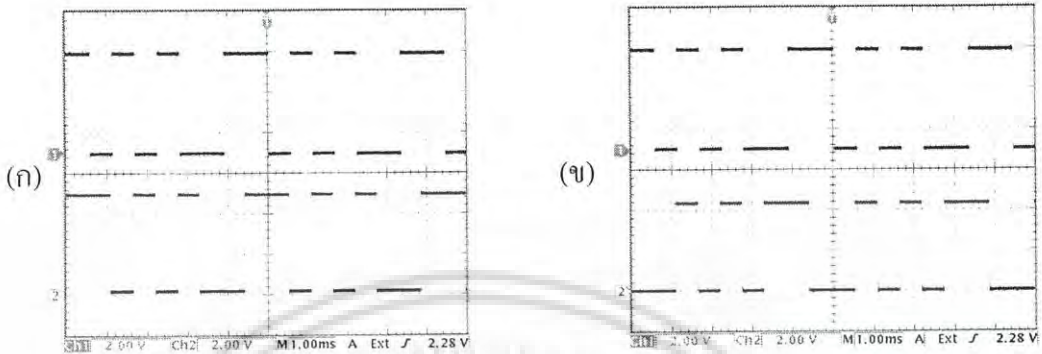
### 7.3.5 อินพุตและเอาต์พุตของวงจรแปลงระดับสัญญาณ (Level converter)



รูปที่ 7.17 (ก) เปรียบเทียบเอาต์พุตของรูปคอสตาสและเอาต์พุตหนึ่งของตัวแปลงระดับสัญญาณ และ (ข) แสดงเอาต์พุตทั้งคู่ของเอาต์พุตตัวแปลงระดับสัญญาณ

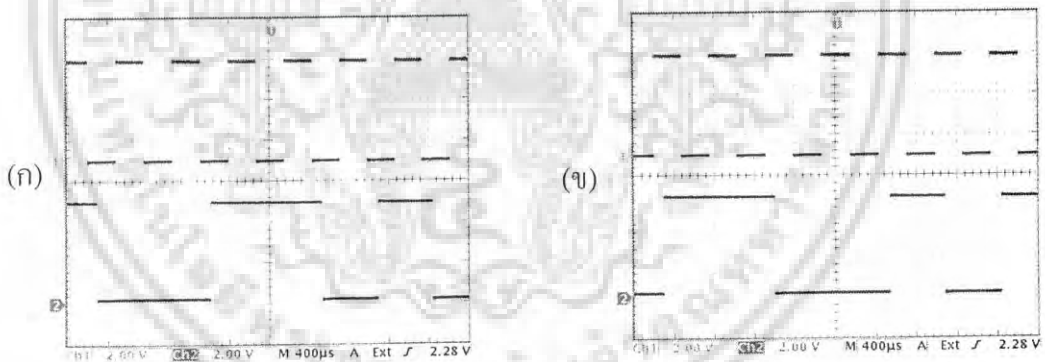
การแสดงผลสัญญาณอินพุต (ซึ่งก็คือเอาต์พุตของรูปคอสตาส) และเอาต์พุตหนึ่งของวงจรแปลงระดับสัญญาณนั้นอยู่ในรูปที่ 7.17 (ก) ใน (เส้นบน) และ (เส้นล่าง) ตามลำดับ และเอาต์พุตทั้งคู่ ซึ่งมีสถานะทางไบนารีที่ตรงข้ามกัน ของวงจรแปลงระดับสัญญาณ ได้ถูกแสดงไว้ในรูปที่ 7.17 (ข) การเยื้องกันทางเวลาของสัญญาณในเส้นบน และเส้นล่างในรูปที่ 7.17 (ก) นั้นเกิดจากแรงดัน hysteresis ที่ได้กำหนดไว้ให้มีค่าประมาณ  $\pm 1.5$  V. นอกจากนี้ในรูปที่ 7.18 ยังเป็นการแสดงการเปรียบเทียบข้อมูลไบนารีที่ใช้มอดูเลท (เส้นบน) กับข้อมูลไบนารีที่คิมมอดูเลท (เส้นล่าง) อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คูเลทได้ (เส้นล่าง) ซึ่งก็คือเอาต์พุตหนึ่งของวงจรแปลงระดับสัญญาณ โดยในรูป (ก) เป็นกรณี  
ที่ติ่มคูเลทได้ข้อมูลที่ถูกต้อง และในรูป (ข) เป็นกรณีที่ติ่มคูเลทแล้ว ได้ข้อมูลที่ตรงข้ามกับที่  
ได้มอคูเลทมา



รูปที่ 7.18 เปรียบเทียบระหว่างข้อมูลที่ใช้ในการมอคูเลท (เส้นบน) กับเอาต์พุตของตัวแปลงระดับ  
สัญญาณ (เส้นล่าง): (ก) เอาต์พุตตรงๆ; (ข) เอาต์พุตหลังผ่าน Inverter

### 7.3.6 อินพุตของวงจรตัวรีจิสเตอร์เลื่อนแบบข้อมูลเข้าเป็นอนุกรมและข้อมูลออกเป็นขนาน

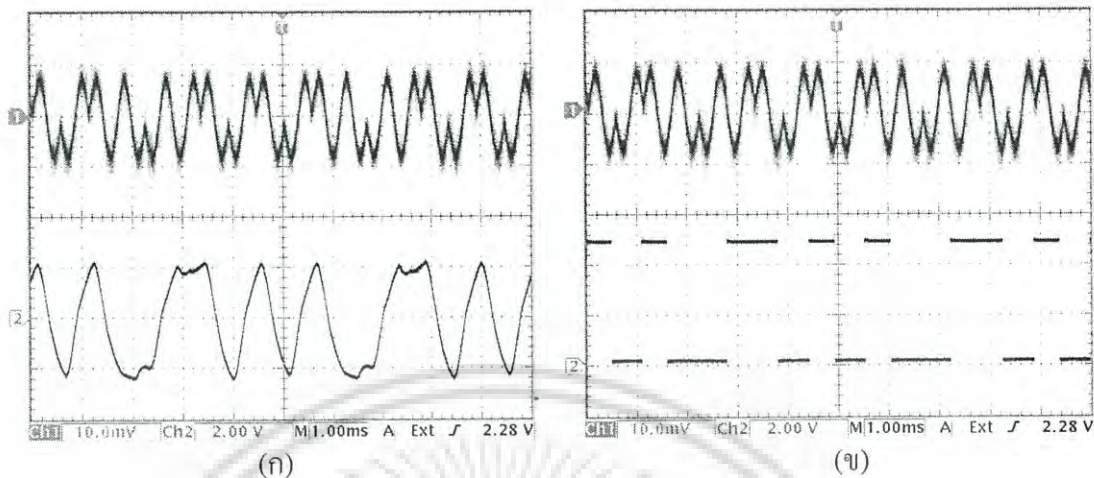


รูปที่ 7.19 เปรียบเทียบสัญญาณนาฬิกา (เส้นบน) กับอินพุตตัวรีจิสเตอร์เลื่อน (เส้นล่าง): (ก) กรณี  
ติ่มคูเลทได้ข้อมูลไม่กลับเฟส; (ข) กรณีติ่มคูเลทแล้ว ได้ข้อมูลกลับเฟสจากที่ส่งมา

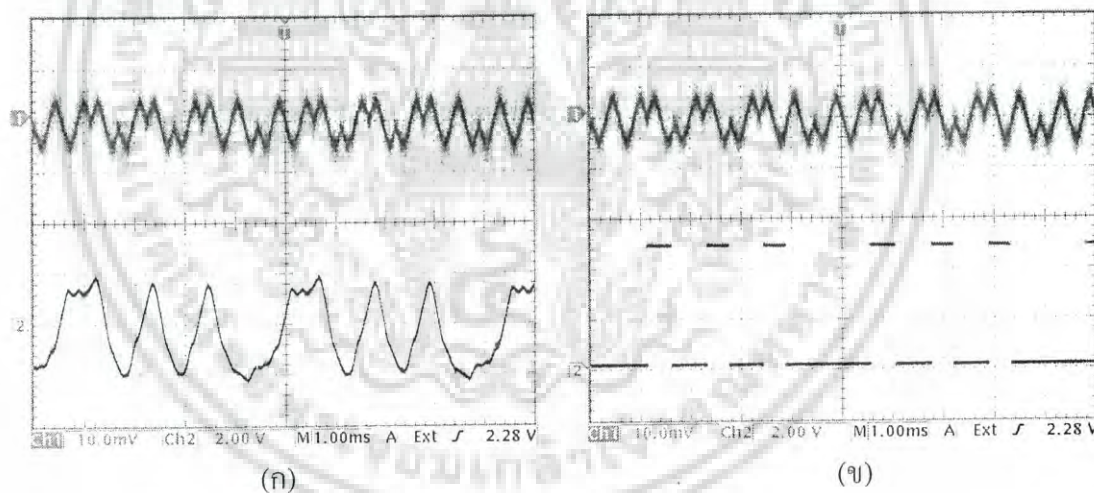
สัญญาณ ไบนารีที่ได้จากวงจรแปลงระดับสัญญาณในหัวข้อที่แล้ว และสัญญาณนาฬิกาที่  
ได้จากสัญญาณคลื่นพาห้ที่คู่ได้ ทั้งคู่เป็นอินพุตหนึ่งของวงจรตัวรีจิสเตอร์เลื่อน (Shift  
register) แบบข้อมูลเข้าเป็นอนุกรม และข้อมูลออกเป็นขนาน (Serial input/Parallel output)  
ซึ่งอินพุตทั้งคู่นี้ได้ถูกแสดงไว้ในรูปที่ 7.19 ในเส้นบนของรูปเป็นสัญญาณนาฬิกา และเส้นล่าง  
นั้นเป็นข้อมูลไบนารีของตัวรีจิสเตอร์เลื่อน รูป (ก) เป็นกรณีที่ติ่มคูเลทแล้ว ได้ข้อมูลที่ถูกต้อง  
ส่วนในรูป (ข) เป็นกรณีที่ติ่มคูเลทแล้ว ได้ข้อมูลที่ตรงข้าม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 7.4 ความไว (Sensitivity) ของวงจรรูปคอสตาส



รูปที่ 7.20 (ก) สัญญาณ BPSK  $\approx 10$  mVp และเอาต์พุตของรูปคอสตาส  
(ข) สัญญาณ BPSK  $\approx 10$  mVp และเอาต์พุตของตัวแปลงระดับสัญญาณ



รูปที่ 7.21 (ก) สัญญาณ BPSK  $\approx 5$  mVp และเอาต์พุตของรูปคอสตาส  
(ข) สัญญาณ BPSK  $\approx 5$  mVp และเอาต์พุตของตัวแปลงระดับสัญญาณ

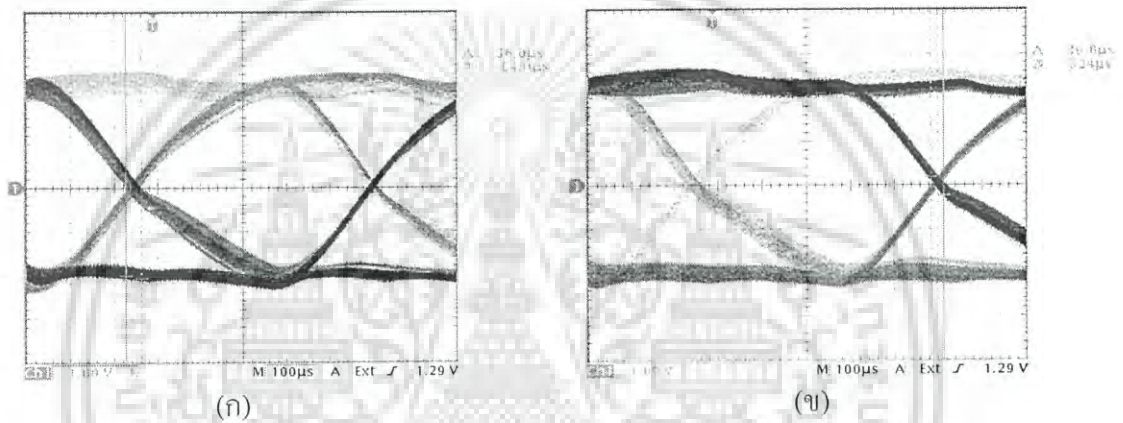
ในรูปที่ 20 (ก) เป็นการแสดงสัญญาณ BPSK ที่มีขนาดไม่เกิน 10 mVp (เส้นบน) เทียบกับสัญญาณที่เอาต์พุตของวงจรรูปคอสตาส (เส้นล่าง) ส่วนในรูปที่ 20 (ข) นั้นแสดงสัญญาณ BPSK ที่มีขนาดเดียวกัน (เส้นบน) เทียบกับสัญญาณเอาต์พุตของตัวแปลงระดับสัญญาณ (เส้นล่าง) จะเห็นได้ว่ายังสามารถมิอดูเลขได้ข้อมูลไบนารี (1100 1010 ในเลขฐาน 2) กลับคืนมาโดยถูกต้อง และในรูปที่ 21 เป็นกรณีที่ขนาดของสัญญาณ BPSK มีค่า  $\approx 5$  mVp เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทำให้การตีความดูเลทนั้นผิดพลาด ดังนั้นจึงสรุปได้ว่าความไว (Sensitivity) ของวงจรรูปคอสตาสที่ใช้มีค่าประมาณ 10 mVp ซึ่งเป็นค่าที่ยังคงสามารถตีความดูเลทได้ข้อมูลที่ถูกต้อง

## 7.5 ไลอะแกรมรูปตา (Eye diagram) เมื่อสัญญาณ BPSK มีค่าประมาณ 10 mVp

เนื่องจากความไวของวงจรรูปคอสตาสที่ใช้มีค่าประมาณ 10 mVp ซึ่งได้แสดงให้เห็นไปแล้วก่อนหน้านี้ ดังนั้นหัวข้อนี้จึงเป็นการวัดไลอะแกรมรูปตาจากสัญญาณ BPSK ที่มีขนาดดังกล่าวที่จุดต่างๆของตัวตีความดูเลทสัญญาณ BPSK ดังนี้

### 7.5.1 ไลอะแกรมรูปตาที่เอาต์พุตของวงจรรูปคอสตาส



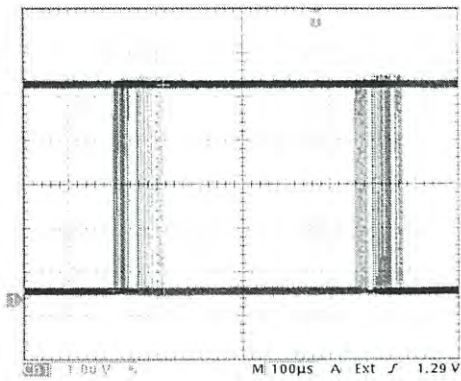
รูปที่ 7.22 ไลอะแกรมรูปตาที่เอาต์พุตของรูปคอสตาส: (ก) Time jitter ด้านซ้ายประมาณ  $\pm 16 \mu\text{s}$ .  
(ข) Time jitter ด้านขวาประมาณ  $\pm 15 \mu\text{s}$ .

รูปที่ 7.22 เป็นการแสดงไลอะแกรมรูปตาที่เอาต์พุตของวงจรรูปคอสตาส โดยข้อมูลไบนารีที่ใช้ในการมอดูเลทนั้นมีลักษณะเป็นแรนดอม (จริงๆ คือ Pseudo-random ที่มี 255 รูปแบบข้อมูลที่ไม่ซ้ำกัน) ในรูป (ก) นั้นเป็นการใช้ cursor ทางแนวนอนวัดค่า Time jitter ที่เกิดขึ้นในระหว่างที่สัญญาณเอาต์พุตของรูปคอสตาสตัดผ่านศูนย์ในแต่ละบิตข้อมูล ทางด้านซ้ายซึ่งมีค่าประมาณ  $\pm 16 \mu\text{s}$ . และในทำนองเดียวกันแต่จะเป็นทางด้านขวา ซึ่งแสดงไว้ในรูป (ข) Time jitter ที่เกิดขึ้นนั้นมีค่าประมาณ  $\pm 15 \mu\text{s}$ .

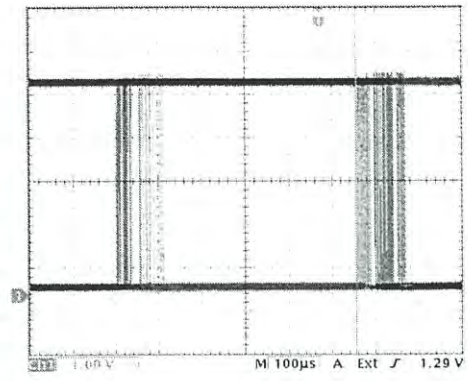
### 7.5.2 ไลอะแกรมรูปตาที่เอาต์พุตของวงจรแปลงระดับสัญญาณ

ไลอะแกรมรูปตาของข้อมูลไบนารี (ภายหลังการตีความดูเลท) ที่เกิดขึ้นที่เอาต์พุตของวงจรแปลงระดับสัญญาณ ได้ถูกแสดงไว้ในรูปที่ 7.23 โดยในรูป (ก) เป็นการแสดง Time jitter ที่วัดทางด้านซ้ายของการตัดผ่านศูนย์ของข้อมูลไบนารี ซึ่งมีค่าประมาณ  $\pm 58 \mu\text{s}$ . และในรูป (ข)

เอกสารนี้เป็นเอกสารวัด Time jitter ทางด้านขวา ซึ่งมีค่าประมาณ  $\pm 57 \mu\text{s}$ . ผู้อ่านสามารถนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



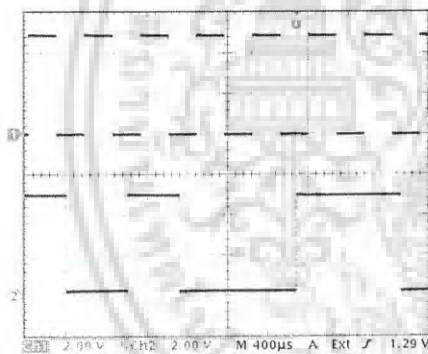
(ก)



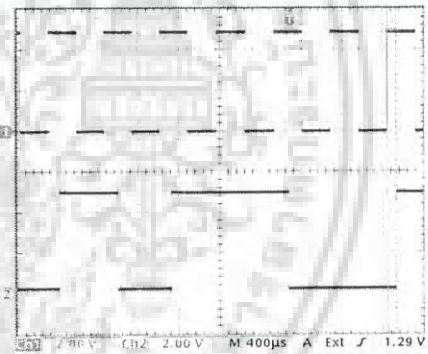
(ข)

รูปที่ 7.23 โค้ดแอมพลิฟายเออร์ที่เอาต์พุตของตัวแปลงระดับสัญญาณ: (ก) การกระตุกทางด้านเวลาที่อยู่ด้านซ้ายประมาณ  $\pm 58 \mu s$ . และ (ข) ที่อยู่ด้านขวาประมาณ  $\pm 57 \mu s$ .

### 7.5.3 ช่วงเวลาที่เยื้องกันระหว่างขอบขึ้นของสัญญาณนาฬิกา และขอบของข้อมูลไบนารีภายหลังจากตีมอดูเลต จากสัญญาณ BPSK ขนาด 10 mVp



(ก)



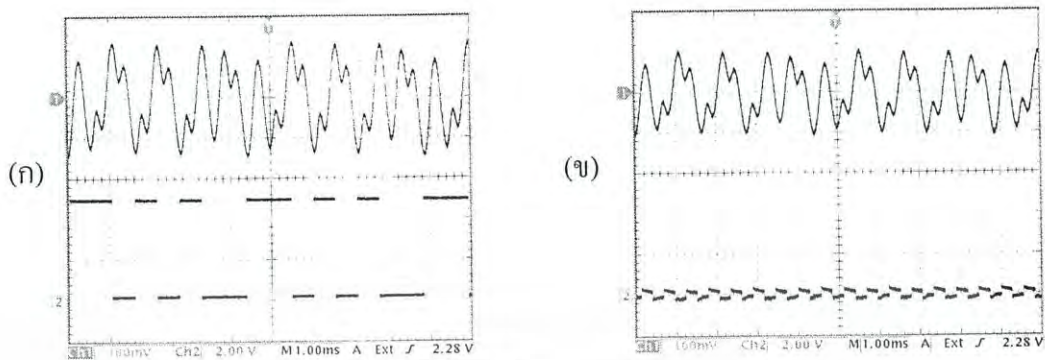
(ข)

รูปที่ 7.24 แสดงความแตกต่างของเวลาที่เกิดขอบขึ้นของสัญญาณนาฬิกา และขอบของข้อมูลที่ได้จากการตีมอดูเลต: (ก) กรณีตีมอดูเลตแล้วได้ข้อมูลที่ไม่กลับเฟส จะมีค่าน้อยที่สุด  $\approx 120 \mu s$ . (ข) กรณีตีมอดูเลตแล้วเกิดการกลับเฟสของข้อมูล จะมีค่าน้อยที่สุด  $\approx 80 \mu s$ .

รูปที่ 7.24 เป็นการแสดงการเยื้องกันระหว่างขอบขึ้นของสัญญาณนาฬิกา และขอบของข้อมูลไบนารีที่ตีมอดูเลตได้ จากสัญญาณ BPSK ที่มีขนาด 10 mVp โดยในรูป (ก) เป็นกรณีตีมอดูเลตแล้วได้ข้อมูลที่ถูกค้ำ ซึ่งจะมีการเยื้องกันที่น้อยที่สุดประมาณ 120  $\mu s$ . และในรูป (ข) เป็นกรณีที่ตีมอดูเลตแล้วได้ข้อมูลที่ตรงข้ามกับที่ได้มอดูเลตมา ซึ่งจะมีการเยื้องกันที่น้อยที่สุดประมาณ 80  $\mu s$ . ซึ่งจะเมื่อเทียบกับ Time jitter ที่วัดได้ในรูปที่ 7.23 จะเป็นได้ว่ามีค่ามากกว่า

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยทางเว็บไซต์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อใช้ในการเรียนการสอนและการวิจัย การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 7.6 เอาต์พุตสุดท้ายของตัวคีมอดูเลทสัญญาณ BPSK



รูปที่ 7.25 (ก) เมื่อขนาดเอาต์พุตของวงจร BPF  $> 100$  mVp และเอาต์พุตของตัวคีมอดูเลท  
 (ข) เมื่อขนาดเอาต์พุตของวงจร BPF  $\leq 100$  mVp และเอาต์พุตของตัวคีมอดูเลท

ในรูปที่ 7.25 (ก) เป็นการแสดงสัญญาณ BPSK ภายหลังจากวงจร BPF (เส้นบน) ซึ่งมีขนาดมากกว่า 100 mVp เทียบกับสัญญาณเอาต์พุตของตัวคีมอดูเลทสัญญาณ BPSK (เส้นล่าง) ซึ่งมีสัญญาณไบนารีที่คีมอดูเลทได้ถูกต้องปรากฏอยู่ และในทำนองเดียวกัน ในรูปที่ 7.25 (ข) เป็นสัญญาณ BPSK ภายหลังจากวงจร BPF (เส้นบน) ซึ่งมีขนาดเท่ากับ 100 mVp เทียบกับสัญญาณเอาต์พุตของตัวคีมอดูเลทสัญญาณ BPSK (เส้นล่าง) จะได้ว่าไม่มีสัญญาณไบนารีที่คีมอดูเลทได้ปรากฏอยู่

## สรุปผลการวิจัยและข้อเสนอแนะ

### 8.1 สรุปผลการวิจัย

ตัวคีมอดูเลตสัญญาณ BPSK ที่ได้สร้างขึ้นในงานวิจัยนี้ สามารถคีมอดูเลตสัญญาณ BPSK ที่มี ความถี่ของคลื่นพาห์ที่ใช้ในตัวส่งเท่ากับ 1.8 kHz และมีอัตราบิต (Bit rate) ที่ใช้ในการส่งข้อมูล ไบนารีเท่ากับ 1800 บิตต่อวินาที จึงสามารถใช้สัญญาณคลื่นพาห์ที่กู้ได้มาเป็นสัญญาณนาฬิกาให้กับ ข้อมูลไบนารีภายหลังการคีมอดูเลตได้ วงจรรูปคอสตาสที่มีมิกเซอร์ด้านอินพุตเป็นเกตเอกซ์คลูซีฟ ออร์ (Exclusive-OR gate) ซึ่งทำหน้าที่คีมอดูเลตสัญญาณให้กับตัวคีมอดูเลตที่ได้สร้างขึ้นนั้น มีความไวในการรับสัญญาณได้เล็กที่สุดเท่ากับ 10 mVp (ในขณะที่ยังคงสามารถคีมอดูเลตได้ข้อมูลที่ ถูกต้อง) และมีสมรรถนะในการล็อกได้ไวที่สุด (ก่อนมีการมอดูเลต) ประมาณ ไม่เกิน 30 มิลลิวินาที ในกรณีที่ความถี่การทำงานอิสระ  $f_r$  (free-running frequency) ของลูปมีค่าต่างไปจากความถี่ของ คลื่นพาห์  $f_c$  ไม่เกิน  $\pm 90$  Hz มีช่วงความถี่ในการยึดครองการล็อก (capture range) ประมาณ  $\pm 140$  Hz และมีช่วงความถี่ในการติดตามการล็อก (tracking range) ประมาณ  $\pm 320$  Hz อย่างไรก็ตาม สัญญาณข้อมูลไบนารีที่คีมอดูเลตได้จากตัวคีมอดูเลตสัญญาณ BPSK ที่ได้สร้างขึ้นนี้ จะปราศจาก สัญญาณที่เอาต์พุต ถ้าวงจรกรองแถบความถี่ผ่าน (BPF) มีขนาดของสัญญาณที่เอาต์พุตของมันต่ำกว่าประมาณ 100 mVp ทั้งนี้ก็เพื่อ เป็นการรีเซตเอาต์พุตของวงจรตรวจสอบและแก้ไขข้อมูลไบนารี ให้ถูกต้อง (ในกรณีที่ตัวส่งนั้นหยุดส่งสัญญาณหรือสิ้นสุดการส่งสัญญาณ) และเป็นการเตรียมพร้อมในการเปรียบเทียบข้อมูลเริ่มต้น (preamble data) ของวงจรเปรียบเทียบข้อมูลไบนารี ก่อนที่จะมีการส่งสัญญาณครั้งใหม่

#### 8.1.1 ข้อดีของตัวคีมอดูเลตสัญญาณ BPSK ที่ได้สร้างขึ้น

1) เนื่องจากตัวคีมอดูเลตนี้เป็นแบบโคฮีเรนต์ (coherent) ซึ่งเป็นการซิงโครไนซ์ระหว่างเฟส และความถี่ของคลื่นพาห์ที่กู้ได้ (ที่ตัวรับ) กับเฟสและความถี่ของคลื่นพาห์ที่ใช้ในตัวส่ง ทำให้ โอกาสที่จะเกิดอัตราความผิดพลาดบิต (BER: bit error rate) นั้นต่ำกว่า เมื่อเทียบกับตัวคีมอดูเลตที่เป็นแบบนอนโคฮีเรนต์ (non-coherent) ซึ่งตัวคีมอดูเลตแบบนอนโคฮีเรนต์นั้น จะมีวงจรที่ซับซ้อนเพียงวงจรเดียวคือ วงจรกู้สัญญาณนาฬิกา เพื่อกู้สัญญาณนาฬิกาจากข้อมูลไบนารี ที่คีมอดูเลตได้ แต่เนื่องจากการคีมอดูเลตประเภทนี้ ไม่ได้มีการซิงโครไนซ์เหมือนกับกรณีของโคฮีเรนต์ จึงทำให้มีโอกาสเกิดความผิดพลาดของข้อมูลที่คีมอดูเลตได้สูงกว่า

2) เมื่อเปรียบเทียบวงจรถูกคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต กับวงจรถูกคอสตาสปกติ ซึ่งใช้วงจรถูคูณ (Multiplier) เป็นมิกเซอร์ด้านอินพุต จะเห็นได้ว่าเกตเอกซ์คลูซีฟออร์นั้นหาซื้อได้ง่ายกว่า ราคาถูกกว่า และต่อใช้งานง่ายกว่าวงจรถูคูณ

### 8.1.2 ข้อเสียของตัวคีมอดูเลทสัญญาณ BPSK ที่ได้สร้างขึ้น

1) เนื่องจากตัวคีมอดูเลทสัญญาณ BPSK นี้ ใช้สัญญาณคลื่นพาห์ที่ถี่ได้เป็นสัญญาณนาฬิกาให้กับข้อมูลไบนารีที่คีมอดูเลทได้ ดังนั้นจึงเป็นข้อจำกัดของระบบ ในกรณีที่ความถี่ของสัญญาณนาฬิกาที่จำเป็นต้องใช้นั้น ไม่มีความสัมพันธ์เป็นจำนวนเต็มหรือสัดส่วนกับความถี่ของคลื่นพาห์ที่ถี่ได้ แต่ถ้าไม่เป็นเช่นนั้น สามารถใช้วิธีการสังเคราะห์ความถี่ ดังที่ได้แสดงไว้เป็นบล็อกไดอะแกรมในรูปที่ 4.8 ได้

2) ในวงจรการตรวจและแก้ไขข้อมูลไบนารี (ภายหลังการคีมอดูเลท) ที่ใช้นี้ จัดว่ามีความสิ้นเปลืองตัวอุปกรณ์ (ชิป) อยู่มาก เมื่อเทียบกับการถอดรหัสทางความแตกต่าง (Differential decoding) ในกรณีที่มีการเข้ารหัสทางความแตกต่าง (Differential encoding) ของข้อมูลไบนารี ก่อนที่จะนำไปมอดูเลทกับคลื่นพาห์ที่ตัวส่ง

## 8.2 ข้อเสนอแนะ

1) ด้วยหลักการคีมอดูเลทที่ใช้ในตัวคีมอดูเลทสัญญาณ BPSK นี้ ซึ่งเป็นหลักการของวงจรถูกคอสตาสที่ใช้เกตเอกซ์คลูซีฟออร์เป็นมิกเซอร์ด้านอินพุต ทำให้ลดวงจรถูคูณไปได้ถึง 2 ตัว ซึ่งเป็นการประหยัดค่าใช้จ่าย และมีการใช้งานที่ง่ายกว่า เมื่อเทียบกับวงจรถูกคอสตาสปกติ จึงสามารถนำหลักการที่ใช้นี้ไปประยุกต์ใช้กับวงจรถูกคอสตาสที่ใช้ในการคีมอดูเลทสัญญาณ QPSK ได้เหมือนกัน

2) ถ้าข้อมูลไบนารีที่ใช้ในการมอดูเลทมีการเข้ารหัสทางความแตกต่าง (ไม่ว่าจะเป็นวิธีที่ใช้การเอกซ์คลูซีฟออร์ หรือเอกซ์คลูซีฟนอร์ ระหว่างบิตข้อมูลก่อนหน้า 1 บิต กับบิตข้อมูลปัจจุบันก็ตาม) ก่อนที่จะนำไปมอดูเลทกับคลื่นพาห์ไซน์ซอซายด์แล้ว จะทำให้การตรวจสอบและแก้ไขข้อมูลไบนารี (ภายหลังการคีมอดูเลท) ให้ถูกต้องนั้น ใช้วงจรถูคูณน้อยกว่าวงจรถูคูณที่ได้ใช้ในตัวคีมอดูเลทที่ได้สร้างขึ้นในงานวิจัยนี้มาก เช่น อาจจะใช้วงจรถูคูณเอกซ์คลูซีฟออร์ หรือเอกซ์คลูซีฟนอร์ (แล้วแต่ว่าข้อมูลไบนารีที่ใช้ในการมอดูเลทได้มีการเข้ารหัสทางความแตกต่างด้วยวิธีอะไรมาก่อน) เพียงตัวเดียว

## เอกสารอ้างอิง

- [1] Tomasi, W. **Electronic Communication Systems**. 4th Ed. New Jersey : Prentice-Hall, Inc. 2001.
- [2] Webb, W. T. and Hanzo, L. **Modern Quadrature Amplitude Modulation**. London : Prentech Press, Ltd. 1995.
- [3] Carlson, A. B. et. al. **Communication Systems**. 4th Ed. New York : McGraw-Hill Companies, Inc. 2002.
- [4] Sklar, B. **Digital Communications**. 2nd Ed. New Jersey : Prentice-Hall, Inc. 2001.
- [5] Young, P. H. **Electronic Communication Techniques**. 4th Ed. New Jersey : Prentice-Hall, Inc. 1999.
- [6] Gardner, F. M. **Phaselock Techniques**. 2nd Ed. New York : John Wiley and Sons. 1979.
- [7] Couch, L. W. **Digital and Analog Communication Systems**. 6th Ed. New Jersey : Prentice-Hall, Inc. 2001.
- [8] Xing, F. **Digital Modulation Techniques**. Norwood, MA. : Artech House, Inc. 2000.
- [9] Gayakwad, R. A. **Op-Amp and Linear Integrated Circuits**. 3rd Ed. New Jersey : Prentice-Hall, Inc. 1993.
- [10] Razavi, B. **Monolithic Phase-Locked Loops and Clock Recovery Circuits**. New York : IEEE Press. 1996.
- [11] Sedra, A. S., Smith, K. C. **Microelectronic Circuits**. 3rd Ed. New York : Oxford University Press. 1991.
- [12] ประพัทธ์ ชุ่มชัยรัตน์ และคณะ "การออกแบบวงจรรูปคอสตาสที่ใช้เทคเอดซ์คล็อกซีฟออร์เป็นมิกเซอร์ด้านอินพุต." วารสารพระจอมเกล้าลาดกระบัง. ปีที่ 11, ฉบับที่ 3, ธันวาคม พ.ศ. 2546.
- [13] Best, R. E. **Phase-Locked Loops : Design, Simulation, and Applications**. 5th Ed. New York : McGraw-Hill Companies, Inc. 2003.
- [14] Proakis, J. G. **Digital Communications**. 4th Ed. New York : McGraw-Hill Companies, Inc. 2001.
- [15] Lancaster, D. **Lancaster's Active Filter Cookbook**. 2nd Ed. London : Newnes. 1996.
- [16] Petty, C. et. al. "Configuring and Applying the MC74HC4046A Phase-Locked Loop." Application Note : AN1410. Motorola. 1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [17] Bingham, John A. C. **The Theory and Practice of Modem Design.** New York : John Wiley and Sons. 1988.
- [18] Gray, Paul R., Meyer, Robert G. **Analysis and Design of Analog Integrated Circuits.** 3rd Ed. New York : John Wiley and Sons. 1993.
- [19] Grebene, Alan B. **Bipolar and MOS Analog Integrated Circuit Design.** New York : John Wiley and Sons. 1991.
- [20] Razavi, B. **Design of Analog CMOS Integrated Circuits.** New York : McGraw-Hill Companies, Inc. 2001.
- [21] Wolaver, Dan H. **Phase-Locked Loop Circuit Design.** New Jersey : Prentice-Hall, Inc. 1991.
- [22] Shockman, P. "Phase Lock Loop General Operations." Application Note : AND8040. ON Semiconductor. 2001.



## ภาคผนวก

# ซีทข้อมูล (Data Sheets) ของชิปที่สำคัญๆ ที่ใช้ ในวงจรตัวคีมอดูเลทสัญญาณ BPSK

ซีทข้อมูลที่นำมาแสดงในภาคผนวกนี้ เป็นซีทข้อมูลของชิป หรือ ไอซี ที่สำคัญๆ ที่ใช้ในวงจรตัวคีมอดูเลทสัญญาณ BPSK ซึ่งมีรายการดังต่อไปนี้

1. LM311 (Single Comparator)
2. MC74HC4046 (Phase-locked loop)
3. MC1495 (Wideband Linear Four-Quadrant Multiplier)
4. MC34072 (Single Supply 3.0V to 44V Dual Op-Amp.)
5. MC74HC688 (8-bit Equality Comparator)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LM211, LM311

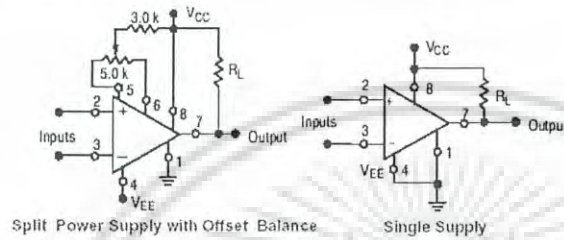
## Single Comparators

The ability to operate from a single power supply of 5.0 V to 30 V or  $\pm 15$  V split supplies, as commonly used with operational amplifiers, makes the LM211/LM311 a truly versatile comparator. Moreover, the inputs of the device can be isolated from system ground while the output can drive loads referenced either to ground, the  $V_{CC}$  or the  $V_{EE}$  supply. This flexibility makes it possible to drive DTL, RTL, TTL, or MOS logic. The output can also switch voltages to 50 V at currents to 50 mA, therefore, the LM211/LM311 can be used to drive relays, lamps or solenoids.



ON Semiconductor

<http://onsemi.com>

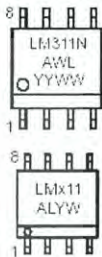


PDIP-8  
N SUFFIX  
CASE 626



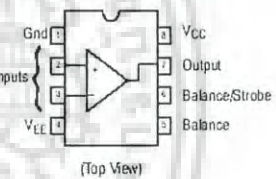
SO-8  
D SUFFIX  
CASE 751

### MARKING DIAGRAMS



X = 2 or 3  
A = Assembly Location  
WL L = Wafer Lot  
YY, Y = Year  
WW, W = Work Week

### PIN CONNECTIONS



### ORDERING INFORMATION

Device	Package	Shipping
LM211D	SO-8	98 Units/Reel
LM211DR2	SO-8	2500 Tape & Reel
LM311D	SO-8	98 Units/Reel
LM311DR2	SO-8	2500 Tape & Reel
LM311N	PDIP-8	50 Units/Reel

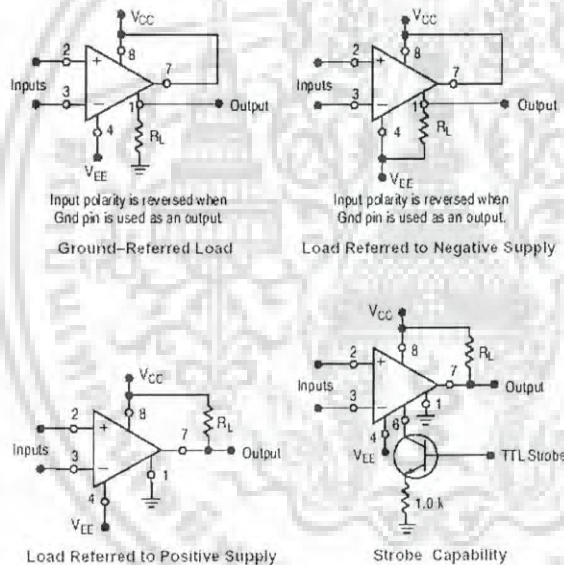


Figure 1. Typical Comparator Design Configurations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM211, LM311

MAXIMUM RATINGS (T<sub>A</sub> = +25 °C, unless otherwise noted.)

Rating	Symbol	LM211	LM311	Unit
Total Supply Voltage	V <sub>CC</sub> + V <sub>EE</sub>	36	36	V <sub>dc</sub>
Output to Negative Supply Voltage	V <sub>O</sub> - V <sub>EE</sub>	50	40	V <sub>dc</sub>
Ground to Negative Supply Voltage	V <sub>EE</sub>	30	30	V <sub>dc</sub>
Input Differential Voltage	V <sub>ID</sub>	±30	±30	V <sub>dc</sub>
Input Voltage (Note 2)	V <sub>in</sub>	+15	±15	V <sub>dc</sub>
Voltage at Strobe Pin	—	V <sub>CC</sub> to V <sub>CC</sub> -5	V <sub>CC</sub> to V <sub>CC</sub> -5	V <sub>dc</sub>
Power Dissipation and Thermal Characteristics Plastic DIP Derate Above T <sub>A</sub> = +25 °C	P <sub>D</sub> R <sub>θJA</sub>	625 5.0		mW mW/°C
Operating Ambient Temperature Range	T <sub>A</sub>	-25 to +85	0 to +70	°C
Operating Junction Temperature	T <sub>J(max)</sub>	+150	+150	°C
Storage Temperature Range	T <sub>stg</sub>	-65 to +150	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = +15 V, V<sub>EE</sub> = -15 V, T<sub>A</sub> = 25 °C, unless otherwise noted [Note 1])

Characteristic	Symbol	LM211			LM311			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (Note 3) R <sub>S</sub> = 50 kΩ, T <sub>A</sub> = +25 °C R <sub>S</sub> = 50 kΩ, T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> *	V <sub>IO</sub>	-	0.7	3.0	-	2.0	7.5	mV
Input Offset Current (Note 3); T <sub>A</sub> = +25 °C T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> *	I <sub>IO</sub>	-	1.7	10	-	1.7	50	nA
Input Bias Current T <sub>A</sub> = +25 °C T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> *	I <sub>IB</sub>	-	45	100	-	45	250	nA
Voltage Gain	A <sub>V</sub>	40	200	-	40	200	-	V/mV
Response Time (Note 4)	—	-	200	-	-	200	-	ns
Saturation Voltage V <sub>ID</sub> = 5.0 mV, I <sub>O</sub> = 50 mA, T <sub>A</sub> = 25 °C V <sub>ID</sub> = 10 mV, I <sub>O</sub> = 50 mA, T <sub>A</sub> = 25 °C V <sub>CC</sub> = 4.5 V, V <sub>EE</sub> = 0, T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> * V <sub>ID</sub> = 6.0 mV, I <sub>sink</sub> = 8.0 mA V <sub>ID</sub> = 10 mV, I <sub>sink</sub> = 8.0 mA	V <sub>OL</sub>	-	0.75	1.5	-	0.75	1.5	V
Strobe "On" Current (Note 5)	I <sub>S</sub>	-	3.0	-	-	3.0	-	mA
Output Leakage Current V <sub>ID</sub> = 5.0 mV, V <sub>O</sub> = 35 V, T <sub>A</sub> = 25 °C, I <sub>strobe</sub> = 3.0 mA V <sub>ID</sub> = 10 mV, V <sub>O</sub> = 35 V, T <sub>A</sub> = 25 °C, I <sub>strobe</sub> = 3.0 mA V <sub>ID</sub> = 5.0 mV, V <sub>O</sub> = 35 V, T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> *	—	-	0.2	10	-	0.2	50	nA nA μA
Input Voltage Range (T <sub>low</sub> = T <sub>A</sub> = T <sub>high</sub> *)	V <sub>IDR</sub>	-14.5	-14.7 to 13.8	+13.0	-14.5	-14.7 to 13.8	+13.0	V
Positive Supply Current	I <sub>CC</sub>	-	+2.4	+6.0	-	+2.4	+7.5	mA
Negative Supply Current	I <sub>EE</sub>	-	-1.3	-6.0	-	-1.3	-5.0	mA

\*LM211: T<sub>low</sub> = -25 °C, T<sub>high</sub> = +85 °CLM311: T<sub>low</sub> = 0 °C, T<sub>high</sub> = +70 °C

- Offset voltage, offset current and bias current specifications apply for a supply voltage range from a single 5.0 V supply up to ±15 V supplies.
- This rating applies for ±15 V supplies. The positive input voltage limit is 30 V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30 V below the positive supply, whichever is less.
- The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1.0 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.
- The response time specified is for a 100 mV input step with 5.0 mV overdrive.
- Do not short the strobe pin to ground; it should be current driven at 3.0 mA to 5.0 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM211, LM311

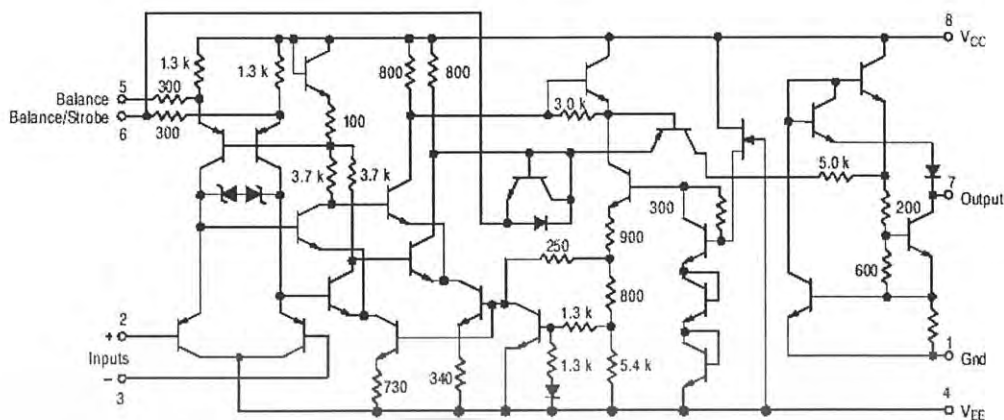


Figure 2. Circuit Schematic

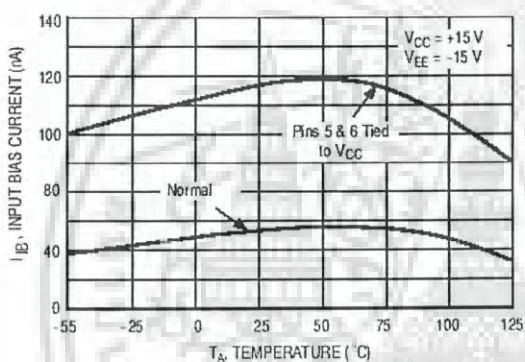


Figure 3. Input Bias Current versus Temperature

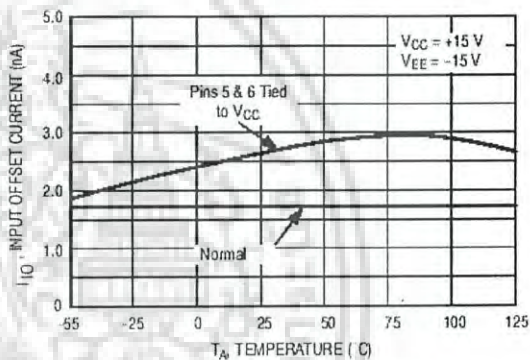


Figure 4. Input Offset Current versus Temperature

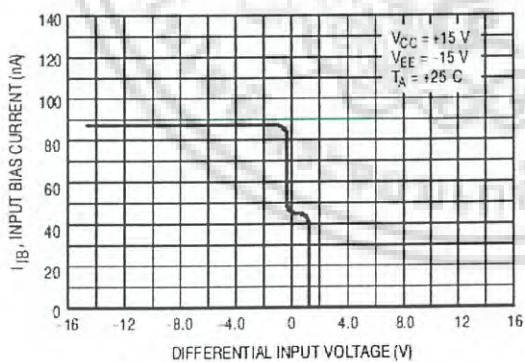


Figure 5. Input Bias Current versus Differential Input Voltage

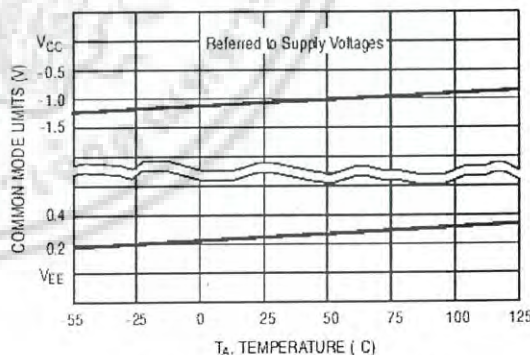


Figure 6. Common Mode Limits versus Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM211, LM311

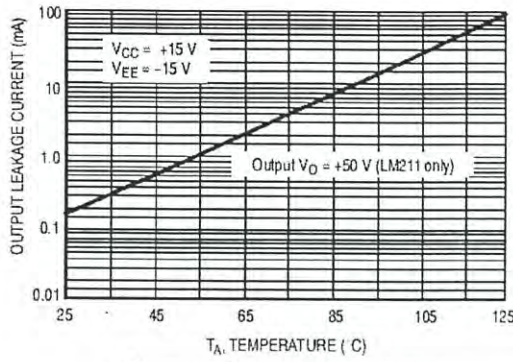


Figure 13. Output Leakage Current versus Temperature

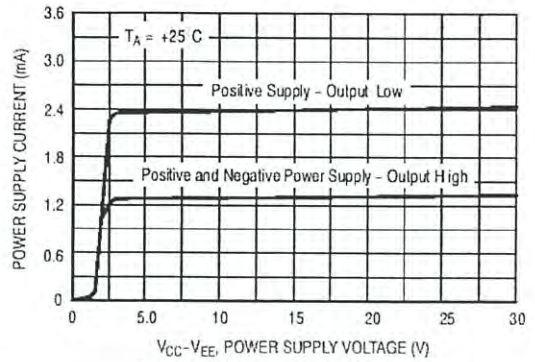


Figure 14. Power Supply Current versus Supply Voltage

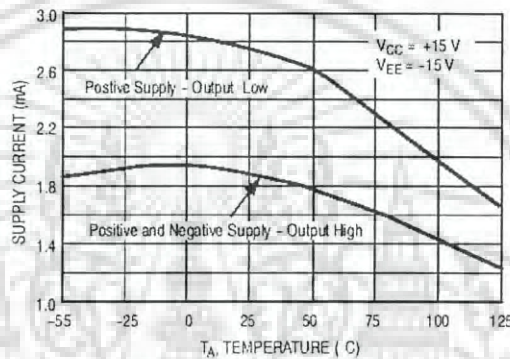


Figure 15. Power Supply Current versus Temperature

APPLICATIONS INFORMATION

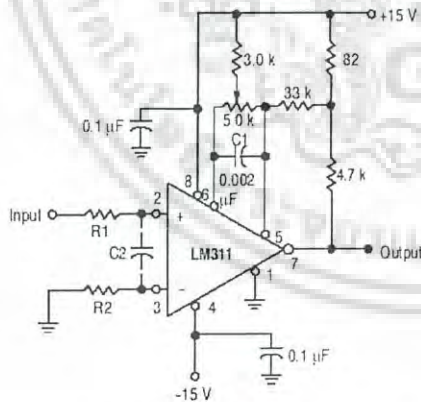


Figure 16. Improved Method of Adding Hysteresis Without Applying Positive Feedback to the Inputs

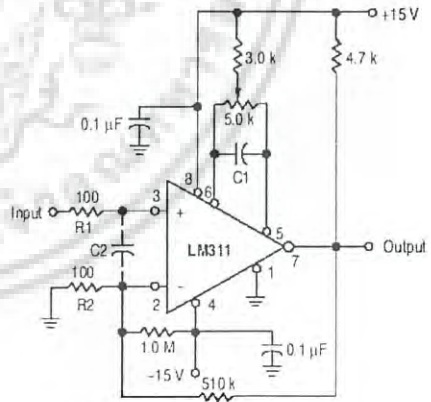


Figure 17. Conventional Technique for Adding Hysteresis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM211, LM311

## TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

When a high speed comparator such as the LM211 is used with high speed input signals and low source impedances, the output response will normally be fast and stable, providing the power supplies have been bypassed (with  $0.1 \mu\text{F}$  disc capacitors), and that the output signal is routed well away from the inputs (Pins 2 and 3) and also away from Pins 5 and 6.

However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high ( $1.0 \text{ k}\Omega$  to  $100 \text{ k}\Omega$ ), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM211 series. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in Figure 16.

The trim pins (Pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a  $0.01 \mu\text{F}$  capacitor (C1) between Pins 5 and 6 will minimize the susceptibility to AC coupling. A smaller capacitor is used if Pin 5 is used for positive feedback as in Figure 16. For the fastest response time, tie both balance pins to  $V_{CC}$ .

Certain sources will produce a cleaner comparator output waveform if a  $100 \text{ pF}$  to  $1000 \text{ pF}$  capacitor (C2) is connected directly across the input pins. When the signal source is applied through a resistive network, R1, it is usually advantageous to choose R2 of the same value, both for DC and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used with good results in comparator input circuitry, but inductive wirewound resistors should be avoided.

When comparator circuits use input resistors (e.g., summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words, there should be a very short lead length or printed circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if  $R1 = 10 \text{ k}\Omega$ , as little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to dampen. Twisting these input leads tightly is the best alternative to placing resistors close to the comparator.

Since feedback to almost any pin of a comparator can result in oscillation, the printed-circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM211 circuitry (e.g., one side of a double layer printed circuit board). Ground, positive supply or negative supply foil should extend between the output and the inputs to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides to guard against capacitive coupling from any fast high-level signals (such as the output). If Pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located no more than a few inches away from the LM211, and a  $0.01 \mu\text{F}$  capacitor should be installed across Pins 5 and 6. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between Pins 6 and 7. The power supply bypass capacitors should be located within a couple inches of the LM211.

A standard procedure is to add hysteresis to a comparator to prevent oscillation, and to avoid excessive noise on the output. In the circuit of Figure 17, the feedback resistor of  $510 \text{ k}\Omega$  from the output to the positive input will cause about  $3.0 \text{ mV}$  of hysteresis. However, if R2 is larger than  $100 \Omega$ , such as  $50 \text{ k}\Omega$ , it would not be practical to simply increase the value of the positive feedback resistor proportionally above  $510 \text{ k}\Omega$  to maintain the same amount of hysteresis.

When both inputs of the LM211 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM211 so that positive feedback would be disruptive, the circuit of Figure 16 is ideal. The positive feedback is applied to Pin 5 (one of the offset adjustment pins). This will be sufficient to cause  $1.0 \text{ mV}$  to  $2.0 \text{ mV}$  hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive-feedback signal across the  $82 \Omega$  resistor swings  $240 \text{ mV}$  below the positive supply. This signal is centered around the nominal voltage at Pin 5, so this feedback does not add to the offset voltage of the comparator. As much as  $8.0 \text{ mV}$  of offset voltage can be trimmed out, using the  $5.0 \text{ k}\Omega$  pot and  $3.0 \text{ k}\Omega$  resistor as shown.

# MC74HC4046A

## Phase-Locked Loop High-Performance Silicon-Gate CMOS

The MC74HC4046A is similar in function to the MC14046 Metal gate CMOS device. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4046A phase-locked loop contains three phase comparators, a voltage-controlled oscillator (VCO) and unity gain op-amp DEMOUT. The comparators have two common signal inputs, COMP1N, and SIG1N. Input SIG1N and COMP1N can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor to small voltage signals). The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal PC1OUT and maintains 90 degrees phase shift at the center frequency between SIG1N and COMP1N signals (both at 50% duty cycle). Phase comparator 2 (with leading-edge sensing logic) provides digital error signals PC2OUT and PCPOUT and maintains a 0 degree phase shift between SIG1N and COMP1N signals (duty cycle is immaterial). The linear VCO produces an output signal VCOOUT whose frequency is determined by the voltage of input VCOIN signal and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The unity gain op-amp output DEMOUT with an external resistor is used where the VCOIN signal is needed but no loading can be tolerated. The inhibit input, when high, disables the VCO and all op-amps to minimize standby power consumption.

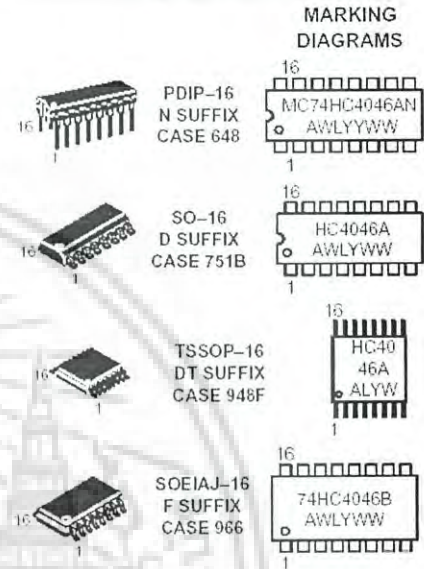
Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- Output Drive Capability: 10 LSTTL Loads
- Low Power Consumption Characteristic of CMOS Devices
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 3.0 to 6.0V
- Low Input Current: 1.0  $\mu$ A Maximum (except SIG1N and COMP1N)
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Low Quiescent Current: 80  $\mu$ A Maximum (VCO disabled)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on all Inputs
- Chip Complexity: 279 FETs or 70 Equivalent Gates



ON Semiconductor

<http://onsemi.com>



A = Assembly Location  
 WL = Wafer Lot  
 YY = Year  
 WW = Work Week

### ORDERING INFORMATION

Device	Package	Shipping
MC74HC4046AN	PDIP-16	2000 / Box
MC74HC4046AD	SOIC-16	48 / Rail
MC74HC4046ADR2	SOIC-16	2500 / Reel
MC74HC4046AF	SOIC-EIAJ	See Note
MC74HC4046AFEL	SOIC-EIAJ	See Note

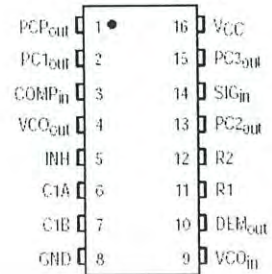
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC74HC4046A

Pin No.	Symbol	Name and Function
1	PCP <sub>OUT</sub>	Phase Comparator Pulse Output
2	PC1 <sub>OUT</sub>	Phase Comparator 1 Output
3	COMP <sub>IN</sub>	Comparator Input
4	VCO <sub>OUT</sub>	VCO Output
5	INH	Inhibit Input
6	C1A	Capacitor C1 Connection A
7	C1B	Capacitor C1 Connection B
8	GND	Ground (0 V) V <sub>SS</sub>
9	VCO <sub>IN</sub>	VCO Input
10	DEM <sub>OUT</sub>	Demodulator Output
11	R1	Resistor R1 Connection
12	R2	Resistor R2 Connection
13	PC2 <sub>OUT</sub>	Phase Comparator 2 Output
14	SIG <sub>IN</sub>	Signal Input
15	PC3 <sub>OUT</sub>	Phase Comparator 3 Output
16	VCC	Positive Supply Voltage

## PIN ASSIGNMENT



## MAXIMUM RATINGS\*

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	DC Supply Voltage (Referenced to GND)	-0.5 to +7.0	V	
V <sub>in</sub>	DC Input Voltage (Referenced to GND)	-1.5 to V <sub>CC</sub> + 1.5	V	
V <sub>out</sub>	DC Output Voltage (Referenced to GND)	-0.5 to V <sub>CC</sub> + 0.5	V	
I <sub>in</sub>	DC Input Current, per Pin	± 20	mA	
I <sub>out</sub>	DC Output Current, per Pin	± 25	mA	
I <sub>CC</sub>	DC Supply Current, V <sub>CC</sub> and GND Pins	± 50	mA	
P <sub>D</sub>	Power Dissipation in Still Air	Plastic DIP† SOIC Package†	750 500	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C	
T <sub>L</sub>	Lead Temperature, 1 mm from Case for 10 Seconds	Plastic DIP and SOIC Package†	260	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V<sub>in</sub> and V<sub>out</sub> should be constrained to the range GND ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>CC</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V<sub>CC</sub>). Unused outputs must be left open.

\*Maximum Ratings are those values beyond which damage to the device may occur.

Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: -10 mW/°C from 65° to 125°C  
SOIC Package: -7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the ON Semiconductor High-Speed CMOS Data Book (DL129/D).

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V <sub>CC</sub>	DC Supply Voltage (Referenced to GND)	3.0	6.0	V	
V <sub>CC</sub>	DC Supply Voltage (Referenced to GND) NON-VCO	2.0	6.0	V	
V <sub>in</sub> , V <sub>out</sub>	DC Input Voltage, Output Voltage (Referenced to GND)	0	V <sub>CC</sub>	V	
T <sub>A</sub>	Operating Temperature, All Package Types	-55	+125	°C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time (Pin 5)	V <sub>CC</sub> = 2.0 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6.0 V	0 0 0	1000 500 400	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC74HC4046A

## [Phase Comparator Section]

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6.0$  ns)

t <sub>PLH</sub> , t <sub>PHL</sub>	Maximum Propagation Delay, SIG <sub>IN</sub> /COMP <sub>IN</sub> to PC3 <sub>OUT</sub> (Figure 1)	2.0	270	340	405	ns
		4.5	54	68	81	
		6.0	46	58	69	
t <sub>PLZ</sub> , t <sub>PHZ</sub>	Maximum Propagation Delay, SIG <sub>IN</sub> /COMP <sub>IN</sub> Output Disable Time to PC2 <sub>OUT</sub> (Figures 2 and 3)	2.0	209	260	300	ns
		4.5	40	50	60	
		6.0	34	43	51	
t <sub>PZH</sub> , t <sub>PZL</sub>	Maximum Propagation Delay, SIG <sub>IN</sub> /COMP <sub>IN</sub> Output Enable Time to PC2 <sub>OUT</sub> (Figures 2 and 3)	2.0	230	290	345	ns
		4.5	46	58	69	
		6.0	39	49	59	
t <sub>TLH</sub> , t <sub>THL</sub>	Maximum Output Transition Time (Figure 1)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	

## [VCO Section]

## DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V <sub>CC</sub> Volts	Guaranteed Limit				Unit		
				-55 to 25°C	≤ 85°C	≤ 125°C				
V <sub>IH</sub>	Minimum High-Level Input Voltage INH	V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V I <sub>out</sub> = 20 μA	3.0	2.1	2.1	2.1	V			
			4.5	3.15	3.15	3.15				
			6.0	4.2	4.2	4.2				
V <sub>IL</sub>	Maximum Low-Level Input Voltage INH	V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V I <sub>out</sub> = 20 μA	3.0	0.90	0.9	0.9	V			
			4.5	1.35	1.35	1.35				
			6.0	1.8	1.8	1.8				
V <sub>OH</sub>	Minimum High-Level Output Voltage VCO <sub>OUT</sub>	V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 20 μA	3.0	1.9	1.9	1.9	V			
			4.5	4.4	4.4	4.4				
		6.0	5.9	5.9	5.9					
		V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 4.0 mA	4.5	3.98	3.84	3.7				
6.0	5.48	5.34	5.2							
V <sub>OL</sub>	Maximum Low-Level Output Voltage VCO <sub>OUT</sub>	V <sub>out</sub> = 0.1 V or V <sub>CC</sub> - 0.1 V I <sub>out</sub> = 20 μA	3.0	0.1	0.1	0.1	V			
			4.5	0.1	0.1	0.1				
		6.0	0.1	0.1	0.1					
		V <sub>in</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>out</sub> = 4.0 mA	4.5	0.26	0.33	0.4				
6.0	0.25	0.33	0.4							
I <sub>in</sub>	Maximum Input Leakage Current INH, VCO <sub>IN</sub>	V <sub>in</sub> = V <sub>CC</sub> or GND	6.0	0.1	1.0	1.0	μA			
V <sub>VCOIN</sub>	Operating Voltage Range at VCO <sub>IN</sub> over the range specified for R1. For linearity see Fig. 15A. Parallel value of R1 and R2 should be > 2.7 kΩ	INH = V <sub>IL</sub>	3.0	Min	Max	Min	Max	Min	Max	V
			4.5	0.1	2.5	0.1	2.5	0.1	2.5	
			6.0	0.1	4.0	0.1	4.0	0.1	4.0	
R1	Resistor Range	3.0	3.0	300	3.0	300	3.0	300	kΩ	
		4.5	3.0	300	3.0	300	3.0	300		
		6.0	3.0	300	3.0	300	3.0	300		
R2	Resistor Range	3.0	3.0	300	3.0	300	3.0	300	kΩ	
		4.5	3.0	300	3.0	300	3.0	300		
		6.0	3.0	300	3.0	300	3.0	300		
C1	Capacitor Range	3.0	40	No Limit					pF	
		4.5	40							
		6.0	40							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC74HC4046A

[VCO Section]

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6.0$  ns)

Symbol	Parameter	V <sub>CC</sub> Volts	Guaranteed Limit						Unit
			- 55 to 25°C		≤ 85 C		≤ 125 C		
			Min	Max	Min	Max	Min	Max	
$\Delta f/T$	Frequency Stability with Temperature Changes (Figure 13A, B, C)	3.0 4.5 6.0							%/K
$f_0$	VCO Center Frequency (Duty Factor = 50%) (Figure 14A, B, C, D)	3.0 4.5 6.0	3 11 13						MHz
$\Delta V_{CO}$	VCO Frequency Linearity	3.0 4.5 6.0	See Figures 15A, B, C						%
$d$ VCO	Duty Factor at VCO <sub>OUT</sub>	3.0 4.5 6.0	Typical 50%						%

[Demodulator Section]

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	V <sub>CC</sub> Volts	Guaranteed Limit						Unit
				- 55 to 25°C		≤ 85 C		≤ 125 C		
				Min	Max	Min	Max	Min	Max	
RS	Resistor Range	At RS > 300 k $\Omega$ the Leakage Current can Influence V <sub>DEMOUT</sub>	3.0 4.5 6.0	50 50 50	300 300 300					k $\Omega$
V <sub>OFF</sub>	Offset Voltage VCO <sub>IN</sub> to V <sub>DEMOUT</sub>	V <sub>i</sub> = V <sub>VCOIN</sub> = 1/2 V <sub>CC</sub> ; Values taken over RS Range.	3.0 4.5 6.0	See Figure 12						mV
RD	Dynamic Output Resistance at DEM <sub>OUT</sub>	V <sub>DEMOUT</sub> = 1/2 V <sub>CC</sub>	3.0 4.5 6.0	Typical 25 $\Omega$						$\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC74HC4046A

## DETAILED CIRCUIT DESCRIPTION

## Voltage Controlled Oscillator/Demodulator Output

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and Capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves Figure 14). R2 can be used to set the offset frequency with 0 volts at VCO input. For example, if R2 is decreased, the offset frequency is increased. If R2 is omitted the VCO range is from 0 Hz. The effect of R2 is shown in Figure 24, typical performance curves. By increasing the value of R2 the lock range of the PLL is increased and the gain (volts/Hz) is decreased. Thus, for a narrow lock range, large swings on the VCO input will cause less frequency variation.

Internally, the resistors set a current in a current mirror, as shown in Figure 5. The mirrored current drives one side of the capacitor. Once the voltage across the capacitor charges

up to  $V_{ref}$  of the comparators, the oscillator logic flips the capacitor which causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to VCO output (Pin 4).

The input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filters design. In order to make signals at the VCO input accessible without degrading the loop performance, the VCO input voltage is buffered through a unity gain Op-amp to Demod Output. This Op-amp can drive loads of 50K ohms or more and provides no loading effects to the VCO input voltage (see Figure 12).

An inhibit input is provided to allow disabling of the VCO and all Op-amps (see Figure 5). This is useful if the internal VCO is not being used. A logic high on inhibit disables the VCO and all Op-amps, minimizing standby power consumption.

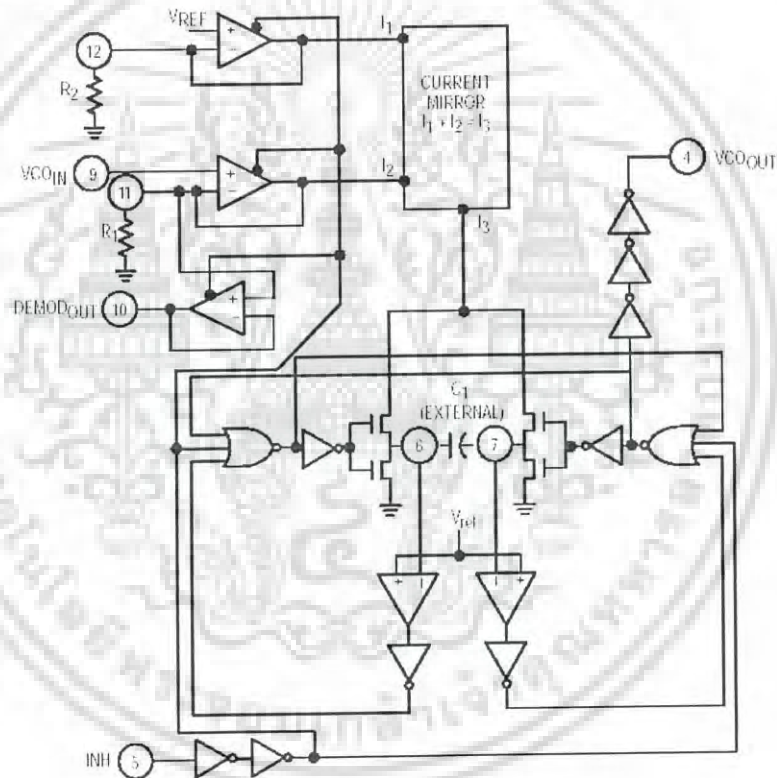


Figure 5. Logic Diagram for VCO

The output of the VCO is a standard high-speed CMOS output with an equivalent LS-TTL fan out of 10. The VCO output is approximately a square wave. This output can either directly feed the COMPIN of the phase comparators or

feed external prescalers (counters) to enable frequency synthesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74HC4046A

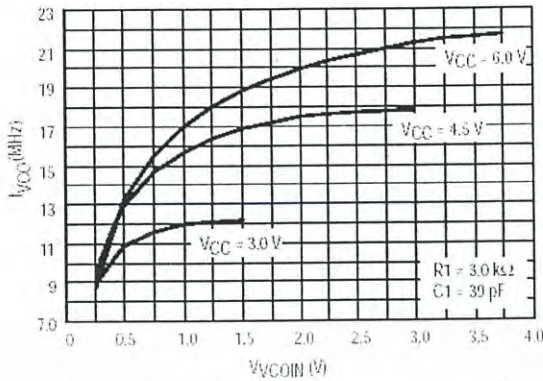


Figure 14A. VCO Frequency ( $f_{VCO}$ ) as a Function of the VCO Input Voltage ( $V_{YCOIN}$ )

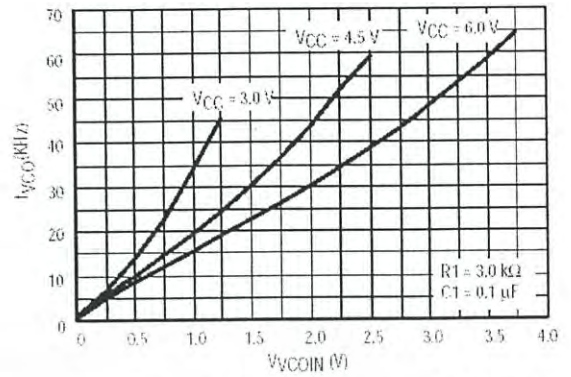


Figure 14B. VCO Frequency ( $f_{VCO}$ ) as a Function of the VCO Input Voltage ( $V_{YCOIN}$ )

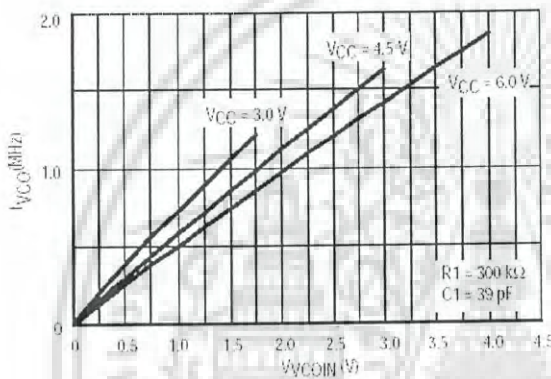


Figure 14C. VCO Frequency ( $f_{VCO}$ ) as a Function of the VCO Input Voltage ( $V_{YCOIN}$ )

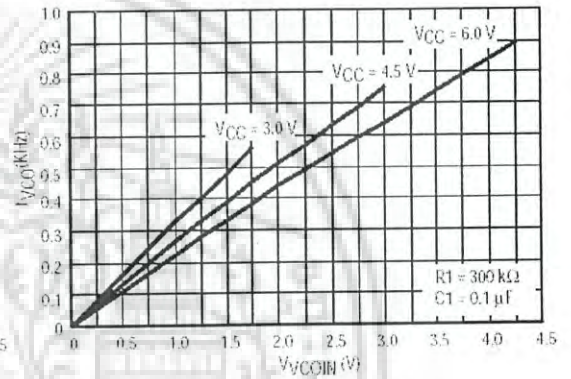


Figure 14D. VCO Frequency ( $f_{VCO}$ ) as a Function of the VCO Input Voltage ( $V_{YCOIN}$ )

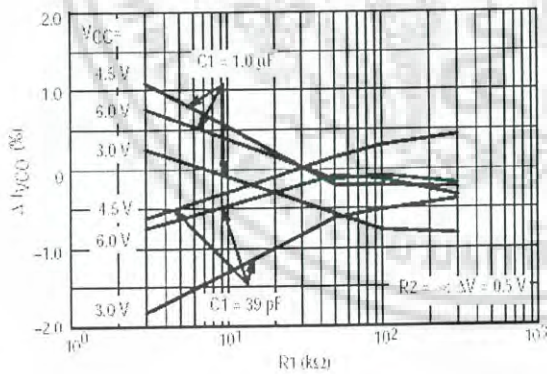


Figure 15A. Frequency Linearity versus  $R_1$ ,  $C_1$  and  $V_{CC}$

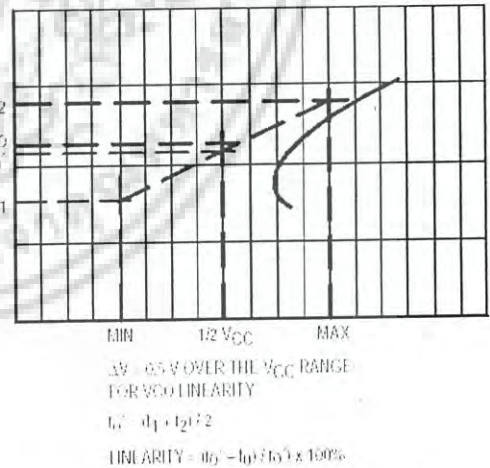


Figure 15B. Definition of VCO Frequency Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีนำไปใช้

MC74HC4046A

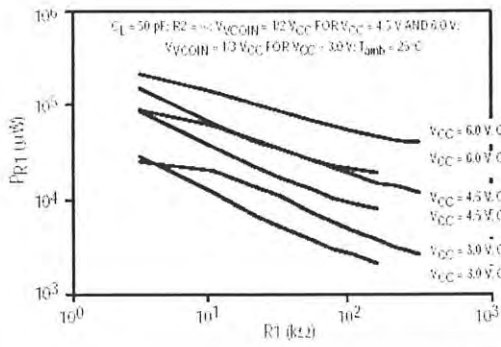


Figure 16. Power Dissipation versus R1

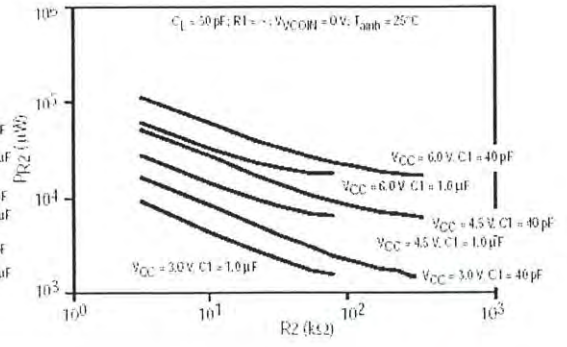


Figure 17. Power Dissipation versus R2

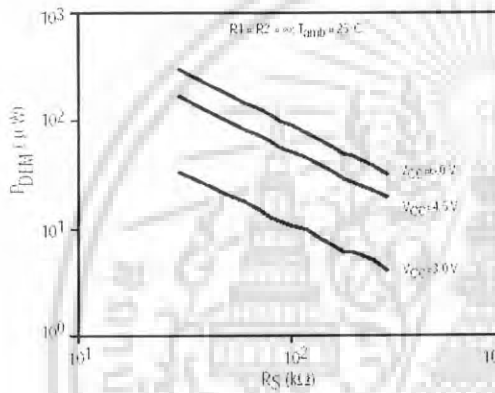


Figure 18. DC Power Dissipation of Demodulator versus RS

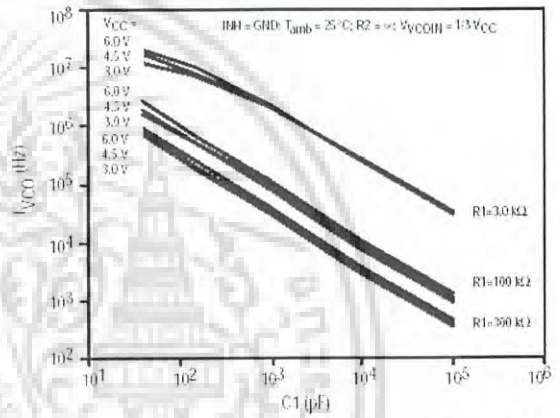


Figure 19. VCO Center Frequency versus C1

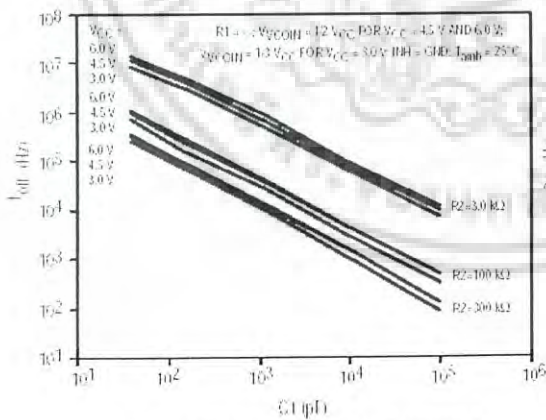


Figure 20. Frequency Offset versus C1

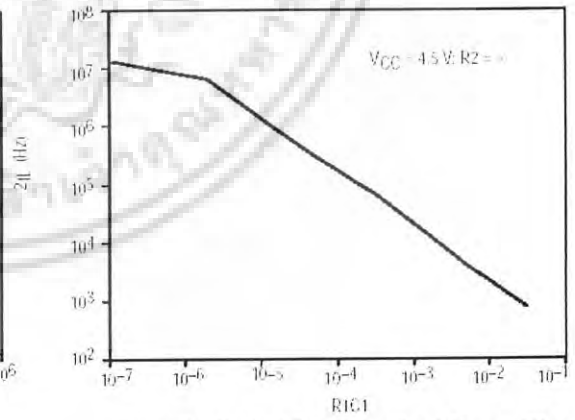


Figure 21. Typical Frequency Lock Range (2fL) versus R1C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีนำไปใช้



# Wideband Linear Four-Quadrant Multiplier

## MC1495

### LINEAR FOUR-QUADRANT MULTIPLIER

#### SEMICONDUCTOR TECHNICAL DATA

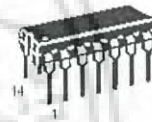
The MC1495 is designed for use where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide\*, square root\*, mean square\*\*, phase detector, frequency doubler, balanced modulator/demodulator, and electronic gain control.

- Wide Bandwidth
- Excellent Linearity:
  - 2% max Error on X Input, 4% max Error on Y Input Over Temperature
  - 1% max Error on X Input, 2% max Error on Y Input at + 25°C
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range: ± 10 V
- ±15 V Operation

\*When used with an operational amplifier.



D SUFFIX  
PLASTIC PACKAGE  
CASE 751A  
(SO-14)



P SUFFIX  
PLASTIC PACKAGE  
CASE 648

**MAXIMUM RATINGS** (T<sub>A</sub> = + 25 C, unless otherwise noted )

Rating	Symbol	Value	Unit
Applied Voltage (V <sub>2</sub> -V <sub>1</sub> , V <sub>14</sub> -V <sub>1</sub> , V <sub>1</sub> -V <sub>9</sub> , V <sub>1</sub> -V <sub>12</sub> , V <sub>1</sub> -V <sub>4</sub> , V <sub>1</sub> -V <sub>8</sub> , V <sub>12</sub> -V <sub>7</sub> , V <sub>9</sub> -V <sub>7</sub> , V <sub>9</sub> -V <sub>7</sub> , V <sub>4</sub> -V <sub>7</sub> )	ΔV	30	Vdc
Differential Input Signal	V <sub>12</sub> -V <sub>9</sub> V <sub>4</sub> -V <sub>8</sub>	± (6+I <sub>3</sub> R <sub>X</sub> ) ± (6+I <sub>3</sub> R <sub>Y</sub> )	Vdc
Maximum Bias Current	I <sub>3</sub> I <sub>43</sub>	10 10	mA
Operating Temperature Range	T <sub>A</sub>	0 to +70 - 40 to +125	°C
		MC1495 MC1495B	
Storage Temperature Range	T <sub>stg</sub>	- 65 to +150	°C

**ORDERING INFORMATION**

Device	Tested Operating Temperature Range	Package
MC1495D	T <sub>A</sub> = 0 to +70 °C	SO-14
MC1495P		Plastic DIP
MC1495BP	T <sub>A</sub> = - 40 to +125 °C	Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495

**ELECTRICAL CHARACTERISTICS** (+V = +32 V, -V = -15 V, T<sub>A</sub> = +25 °C, I<sub>3</sub> = I<sub>13</sub> = 1.0 mA, R<sub>X</sub> = R<sub>Y</sub> = 15 kΩ, R<sub>L</sub> = 11 kΩ, unless otherwise noted.)

Characteristics	Figure	Symbol	Min	Typ	Max	Unit
Linearity (Output Error in percent of full scale) T <sub>A</sub> = +25 °C -10 < V <sub>X</sub> < +10 (V <sub>Y</sub> = ±10 V) -10 < V <sub>Y</sub> < +10 (V <sub>X</sub> = ±10 V) T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub> -10 < V <sub>X</sub> < +10 (V <sub>Y</sub> = ±10 V) -10 < V <sub>Y</sub> < +10 (V <sub>X</sub> = ±10 V)	5	E <sub>RX</sub> E <sub>RY</sub>  E <sub>RX</sub> E <sub>RY</sub>	- -  - -	±1.0 ±2.0  ±1.5 ±3.0	±1.0 ±2.0  ±2.0 ±4.0	%
Square Mode Error (Accuracy in percent of full scale after Offset and Scale Factor adjustment) T <sub>A</sub> = +25 °C T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	5	E <sub>SO</sub>	- -	±0.75 ±1.0	- -	%
Scale Factor (Adjustable) $\left( K = \frac{2R_L}{I_3 R_X R_Y} \right)$	-	K	-	0.1	-	
Input Resistance (f = 20 Hz)	7	R <sub>inX</sub> R <sub>inY</sub>	- -	30 20	- -	MΩ
Differential Output Resistance (f = 20 Hz)	8	R <sub>O</sub>	-	300	-	kΩ
Input Bias Current $I_{bx} = \frac{(I_9 + I_{12})}{2}$ , $I_{by} = \frac{(I_4 + I_8)}{2}$ T <sub>A</sub> = +25 °C T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	6	I <sub>bx</sub> , I <sub>by</sub>	- -	2.0 2.0	8.0 12	μA
Input Offset Current  I <sub>3</sub> - I <sub>12</sub>    I <sub>4</sub> - I <sub>8</sub>   T <sub>A</sub> = +25 °C T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	6	I <sub>3</sub> - I <sub>12</sub>    I <sub>4</sub> - I <sub>8</sub>	- -	0.4 0.4	1.0 2.0	μA
Average Temperature Coefficient of Input Offset Current T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	6	TC <sub>IOI</sub>	-	2.5	-	nA/°C
Output Offset Current  I <sub>14</sub> - I <sub>2</sub>   T <sub>A</sub> = +25 °C T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	6	I <sub>14</sub> - I <sub>2</sub>	-	10 20	50 100	μA
Average Temperature Coefficient of Output Offset Current T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	6	TC <sub>IOO</sub>	-	20	-	nA/°C
Frequency Response 3.0 dB Bandwidth, R <sub>L</sub> = 11 kΩ 3.0 dB Bandwidth, R <sub>L</sub> = 50 Ω (Transconductance Bandwidth) 3 Relative Phase Shift Between V <sub>X</sub> and V <sub>Y</sub> 1% Absolute Error Due to Input-Output Phase Shift	9, 10	BW <sub>3dB</sub> TBW <sub>3dB</sub> φ <sub>1</sub> φ <sub>2</sub>	- - - -	3.0 80 750 30	- - - -	MHz MHz kHz kHz
Common Mode Input Swing (Either Input)	11	CMV	-10.5	±12	-	Vdc
Common Mode Gain (Either Input) T <sub>A</sub> = +25 °C T <sub>A</sub> = T <sub>Low</sub> to T <sub>High</sub>	11	A <sub>CM</sub>	-60 -40	-60 -50	- -	dB
Common Mode Quiescent Output Voltage	12	V <sub>Q1</sub> V <sub>Q2</sub>	- -	21 21	- -	Vdc
Differential Output Voltage Swing Capability	9	V <sub>O</sub>	-	±14	-	V <sub>pk</sub>
Power Supply Sensitivity	12	S <sup>+</sup> S <sup>-</sup>	- -	5.0 10	- -	mV/V
Power Supply Current	12	I <sub>V</sub>	-	6.0	7.0	mA
DC Power Dissipation	12	P <sub>D</sub>	-	135	170	mW

NOTES: 1. T<sub>High</sub> = +70 °C for MC1495  
= +125 °C for MC1495B  
T<sub>Low</sub> = 0 °C for MC1495  
= -40 °C for MC1495B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495

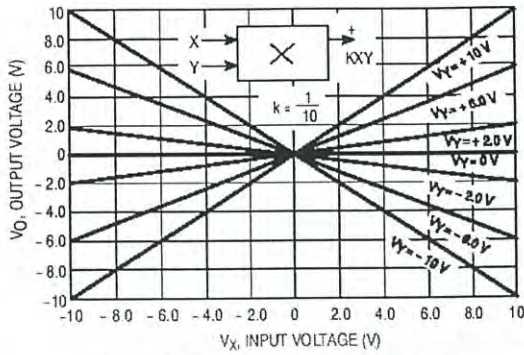


Figure 1. Multiplier Transfer Characteristic

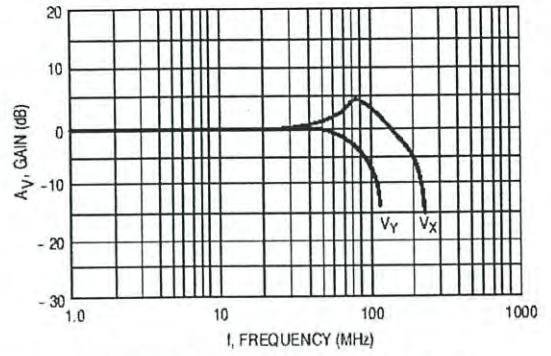


Figure 2. Transconductance Bandwidth

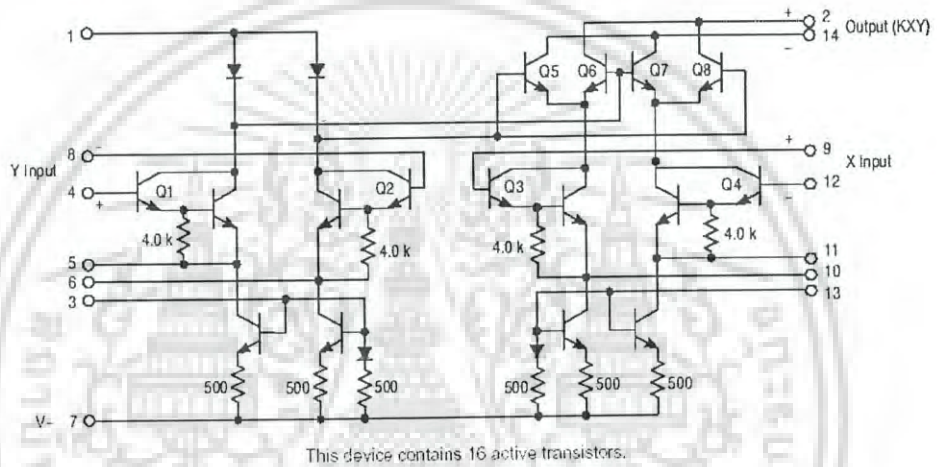


Figure 3. Circuit Schematic

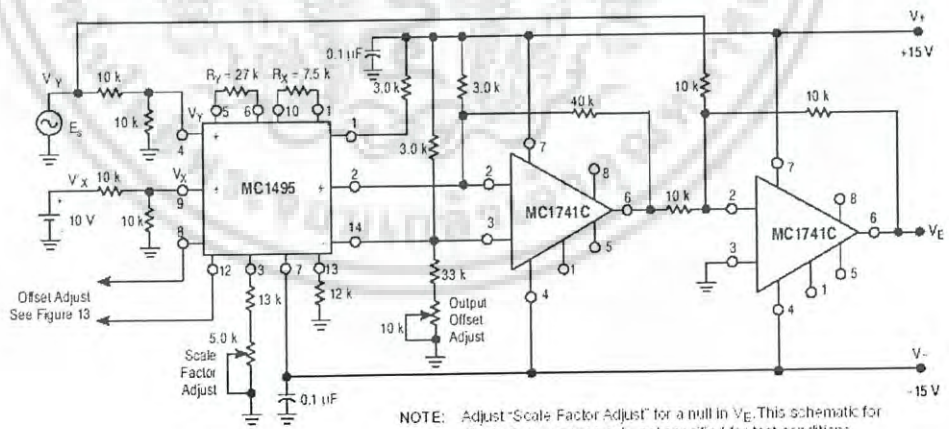


Figure 4. Linearity (Using Null Technique)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495

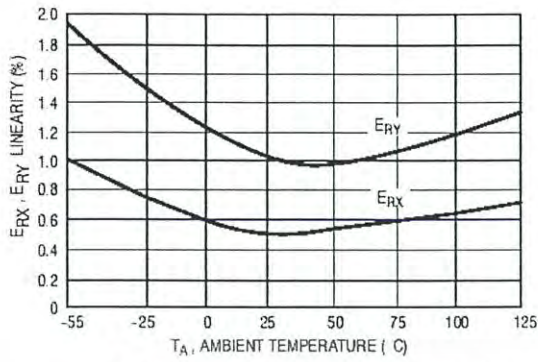


Figure 15. Linearity versus Temperature

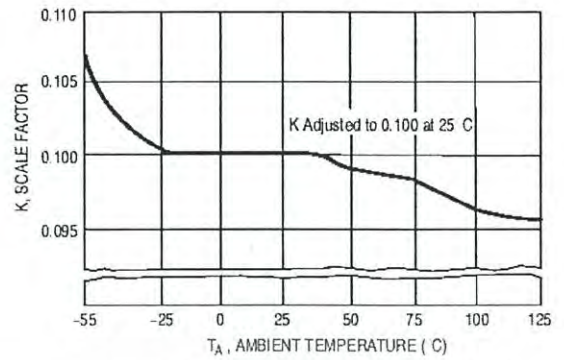


Figure 16. Scale Factor versus Temperature

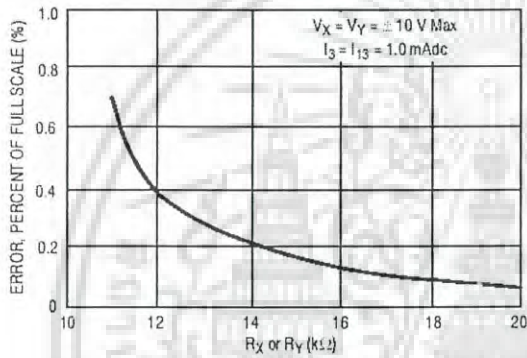


Figure 17. Error Contributed by Input Differential Amplifier

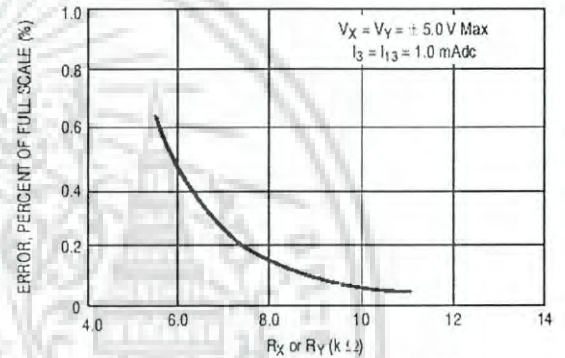


Figure 18. Error Contributed by Input Differential Amplifier

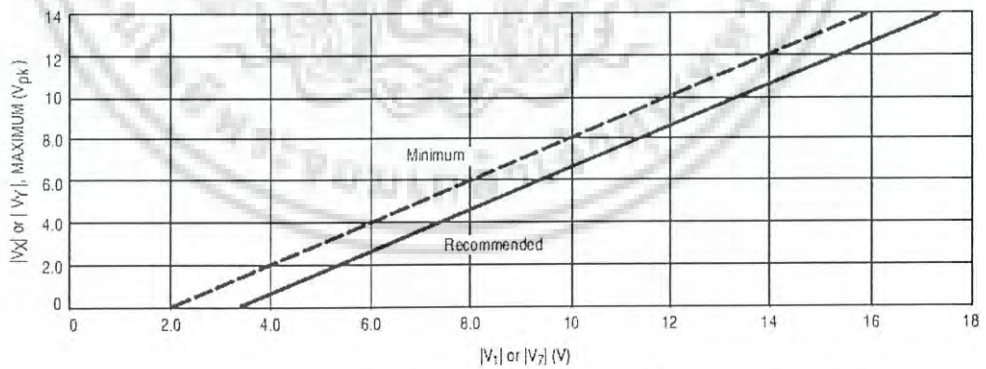


Figure 19. Maximum Allowable Input Voltage versus Voltage at Pin 1 or Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495

## OPERATION AND APPLICATIONS INFORMATION

## Theory of Operation

The MC1495 is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. A detailed theory of operation is covered in Application Note AN489, *Analysis and Basic Operation of the MC1595*. The result of this analysis is that the differential output current of the multiplier is given by:

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where,  $I_A$  and  $I_B$  are the currents into Pins 14 and 2, respectively, and  $V_X$  and  $V_Y$  are the X and Y input voltages at the multiplier input terminals.

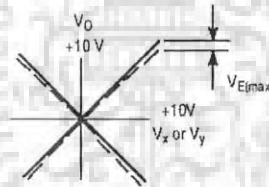
## DESIGN CONSIDERATIONS

## General

The MC1495 permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

Linearity, Output Error,  $E_{RX}$  or  $E_{RY}$ 

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation,  $V_{E(max)}$ , is  $\pm 100$  mV and the full scale output is 10 V, then the percentage error is:

$$E_R = \frac{V_{E(max)}}{V_{O(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%$$

Linearity error may be measured by either of the following methods:

1. Using an X-Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage,  $V_{E(max)}$ .

One source of linearity error can arise from large signal nonlinearity in the X and Y input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors  $R_X$  and  $R_Y$  must be chosen large enough so that nonlinear base-emitter voltage variation can

be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of  $R_X$  and  $R_Y$  with an operating current of 1.0 mA in each side of the differential amplifiers (i.e.,  $I_3 = I_{I3} = 1.0$  mA).

## 3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transmittance in the X and Y channels). If the input to output phase shift is only  $0.6^\circ$ , the output product of two sine waves will exhibit a vector error of  $1^\circ$ . A  $3^\circ$  relative phase shift between  $V_X$  and  $V_Y$  results in a vector error of  $5\%$ .

## Maximum Input Voltage

$V_{X(max)}$ ,  $V_{Y(max)}$  input voltages must be such that:

$$\begin{aligned} V_{X(max)} &< I_{I3} R_Y \\ V_{Y(max)} &< I_{I3} R_X \end{aligned}$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause nonlinear operation.

Current  $I_3$  and  $I_{I3}$  are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then  $R_X$  and  $R_Y$  can be determined by considering the input signal handling requirements.

For  $V_{X(max)} = V_{Y(max)} = 10$  V:

$$R_X = R_Y > \frac{10 \text{ V}}{1.0 \text{ mA}} = 10 \text{ k}\Omega$$

$$\text{The equation } I_A - I_B = \frac{2V_X V_Y}{R_X R_Y I_3}$$

$$\text{is derived from } I_A - I_B = \frac{2V_X V_Y}{(R_X + \frac{2kT}{qI_3})(R_Y + \frac{2kT}{qI_3})I_3}$$

$$\text{with the assumption } R_X \gg \frac{2kT}{qI_3} \text{ and } R_Y \gg \frac{2kT}{qI_3}$$

At  $T_d = +25^\circ \text{C}$  and  $I_{I3} = I_3 = 1.0$  mA,

$$\frac{2kT}{qI_3} = \frac{2kT}{qI_3} = 52 \text{ }\Omega$$

Therefore, with  $R_X = R_Y = 10 \text{ k}\Omega$  the above assumption is valid. Reference to Figure 19 will indicate limitations of  $V_{X(max)}$  or  $V_{Y(max)}$  due to  $V_1$  and  $V_2$ . Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of General Design Procedure for further details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495

Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon  $V^+$  for positive swing and upon the voltage at Pin 1 for negative swing. The potential at Pin 1 determines the quiescent level for transistors  $Q_5$ ,  $Q_6$ ,  $Q_7$  and  $Q_8$ . This potential should be related so that negative swing at Pins 2 or 14 does not saturate those transistors. See General Design Procedure for further information regarding selection of these potentials.

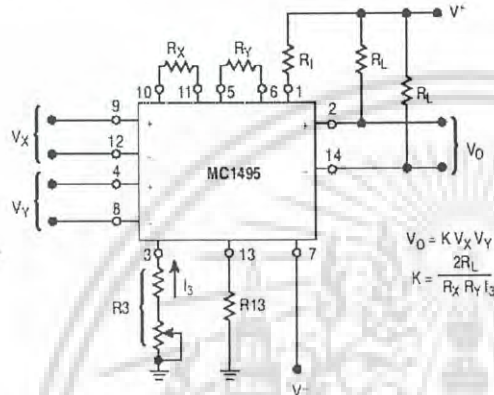


Figure 20. Basic Multiplier

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example. Assume resistive dividers are used at the X and Y-inputs to limit the maximum multiplier input to  $\pm 5.0$  V [ $V_X = V_{Y(max)}$ ] for a  $\pm 10$  V input [ $V_X = V_{Y(max)}$ ] (see Figure 21). If an overall scale factor of 1/10 is desired,

$$\text{then, } V_O = \frac{V_X V_Y}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10 V_X V_Y$$

Therefore,  $K = 4/10$  for the multiplier (excluding the divider network).

Step 1. The first step is to select current  $I_3$  and current  $I_{13}$ . There are no restrictions on the selection of either of these currents except the power dissipation of the device.  $I_3$  and  $I_{13}$  will normally be 1.0 mA or 2.0 mA. Further,  $I_3$  does not have to be equal to  $I_{13}$ , and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1.0 \text{ mA.}$$

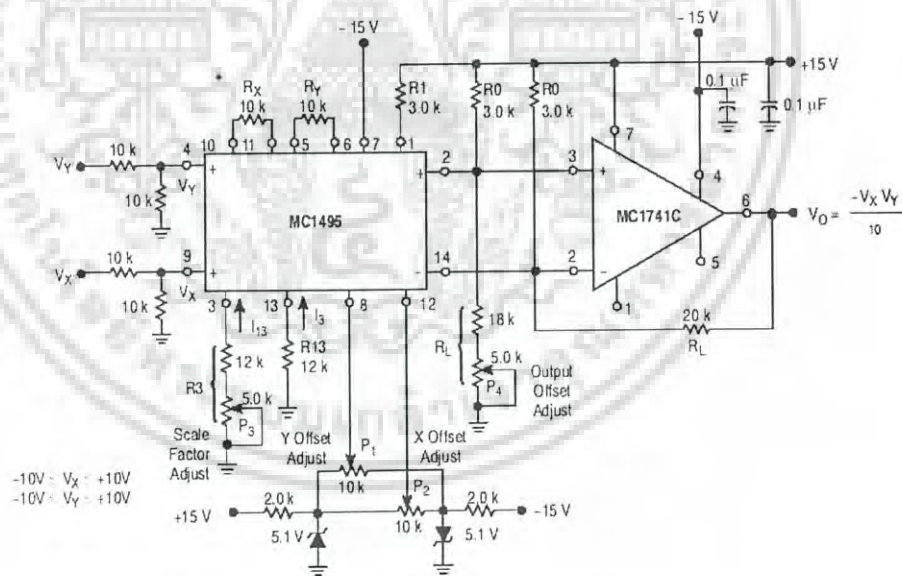


Figure 21. Multiplier with Operational Amplifier Level Shift

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495

To set currents  $I_3$  and  $I_{13}$  to the desired value, it is only necessary to connect a resistor between Pin 13 and ground, and between Pin 3 and ground. From the schematic shown in Figure 3, it can be seen that the resistor values necessary are given by:

$$R_{13} + 500 \Omega = \frac{|V^-| - 0.7 \text{ V}}{I_{13}}$$

$$R_3 + 500 \Omega = \frac{|V^-| - 0.7 \text{ V}}{I_3}$$

Let  $V^- = -15 \text{ V}$ , then  $R_{13} + 500 = \frac{14.3 \text{ V}}{1.0 \text{ mA}}$  or  $R_{13} = 13.8 \text{ k}\Omega$

Let  $R_{13} = 12 \text{ k}\Omega$ . Similarly,  $R_3 = 13.8 \text{ k}\Omega$ , let  $R_3 = 15 \text{ k}\Omega$

However, for applications which require an accurate scale factor, the adjustment of  $R_3$  and consequently,  $I_3$ , offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor  $R_3$  is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.) Pins 3 and 13 can be connected together and a single resistor from Pin 3 to ground can be used. In this case, the single resistor would have a value of 1/2 the above calculated value for  $R_{13}$ .

Step 2. The next step is to select  $R_X$  and  $R_Y$ . To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13}, \quad \frac{V_Y}{R_Y} < I_3$$

A good rule of thumb is to make  $I_3 R_Y \geq 1.5 V_{Y(\text{max})}$  and  $I_{13} R_X \geq 1.5 V_{X(\text{max})}$ . The larger the  $I_3 R_Y$  and  $I_{13} R_X$  product in relation to  $V_Y$  and  $V_X$  respectively, the more accurate the multiplier will be (see Figures 17 and 18).

$$\begin{aligned} \text{Let } R_X = R_Y &= 10 \text{ k}\Omega \\ \text{then } I_3 R_Y &= 10 \text{ V} \\ I_{13} R_X &= 10 \text{ V} \end{aligned}$$

since  $V_{X(\text{max})} = V_{Y(\text{max})} = 5.0 \text{ V}$ , the value of  $R_X = R_Y = 10 \text{ k}\Omega$  is sufficient.

Step 3. Now that  $R_X$ ,  $R_Y$  and  $I_3$  have been chosen,  $R_L$  can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}, \text{ or } \frac{(2)(R_L)}{(10 \text{ k})(10 \text{ k})(1.0 \text{ mA})} = \frac{4}{10}$$

Thus  $R_L = 20 \text{ k}\Omega$

Step 4. To determine what power supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors  $Q_1$ ,  $Q_2$ ,  $Q_3$  and  $Q_4$  in an active region when the maximum input voltages are applied ( $V_X = V_Y = 10 \text{ V}$  or  $V_X = 5.0 \text{ V}$ ,  $V_Y = 5.0 \text{ V}$ ), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors  $Q_3$  and  $Q_4$  is at a potential which is two

diode-drops below the voltage at Pin 1. Thus, the voltage at Pin 1 should be about 2.0 V higher than the maximum input voltage. Therefore, to handle  $\pm 5.0 \text{ V}$  at the inputs, the voltage at Pin 1 must be at least  $+7.0 \text{ V}$ . Let  $V_1 = 9.0 \text{ Vdc}$ .

Since the current flowing into Pin 1 is always equal to  $2I_3$ , the voltage at Pin 1 can be set by placing a resistor ( $R_1$ ) from Pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let  $V^+ = 15 \text{ V}$ , then  $R_1 = \frac{15 \text{ V} - 9.0 \text{ V}}{(2)(1.0 \text{ mA})}$

$$R_1 = 3.0 \text{ k}\Omega$$

Note that the voltage at the base of transistors  $Q_5$ ,  $Q_6$ ,  $Q_7$  and  $Q_8$  is one diode-drop below the voltage at Pin 1. Thus, in order that these transistors stay active, the voltage at Pins 2 and 14 should be approximately halfway between the voltage at Pin 1 and the positive supply voltage. For this example, the voltage at Pins 2 and 14 should be approximately 11 V.

Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_O = (I_2 - I_{14}) R_L$$

And since  $I_2 - I_{14} = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2V_X V_Y}{I_3 R_X R_Y}$

then  $V_O = \frac{2R_L V_X V_Y}{4R_X R_Y I_3}$  where,  $V_X$ ,  $V_Y$  is the voltage at the input to the voltage dividers.

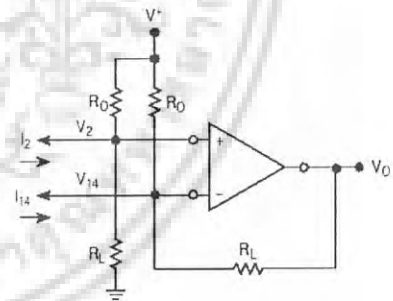


Figure 22. Level Shift Circuit

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common mode input voltage range as well as a high common mode rejection ratio. The MC1456, and MC1741C operational amplifiers meet these requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495

Referring to Figure 21, the level shift components will be determined. When  $V_X = V_Y = 0$ , the currents  $I_2$  and  $I_{14}$  will be equal to  $I_{13}$ . In Step 3,  $R_L$  was found to be 20 kΩ and in Step 4,  $V_2$  and  $V_{14}$  were found to be approximately 11 V. From this information  $R_O$  can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_O}$$

And for this example,  $\frac{11 \text{ V}}{20 \text{ k}\Omega} + 1.0 \text{ mA} = \frac{15 \text{ V} - 11 \text{ V}}{R_O}$

Solving for  $R_O$ :  $R_O = 2.6 \text{ k}\Omega$ , thus, select  $R_O = 3.0 \text{ k}\Omega$

For  $R_O = 3.0 \text{ k}\Omega$ , the voltage at Pins 2 and 14 is calculated to be:

$$V_2 = V_{14} = 10.4 \text{ V.}$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where  $R_Y$  has been increased substantially to improve the Y linearity, and  $R_X$  decreased somewhat so as not to materially affect the X linearity. This avoids increasing  $R_L$  significantly in order to maintain a K of 0.1.

The versatility of the MC1495 allows the user to to optimize its performance for various input and output signal levels.

OFFSET AND SCALE FACTOR ADJUSTMENT

Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1.0 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_O = K[V_X \pm V_{iox} \pm V_{x(off)}] [V_Y \pm V_{ioy} \pm V_{y(off)}] \pm V_{OO} \quad (1)$$

- Where:
- K = scale factor
  - $V_X$  = "x" input voltage
  - $V_Y$  = "y" input voltage
  - $V_{iox}$  = "x" input offset voltage
  - $V_{ioy}$  = "y" input offset voltage
  - $V_{x(off)}$  = "x" input offset adjust voltage
  - $V_{y(off)}$  = "y" input offset adjust voltage
  - $V_{OO}$  = output offset voltage.

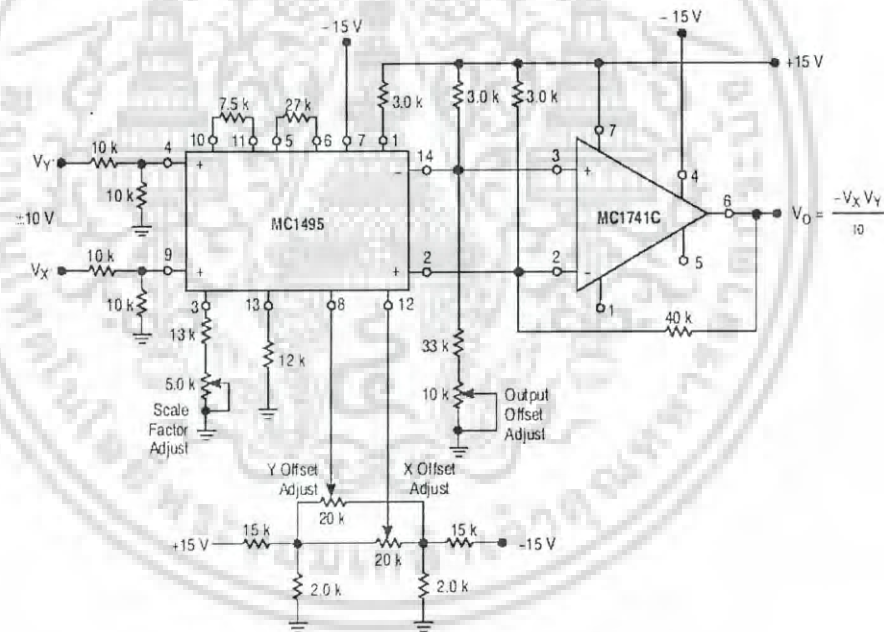
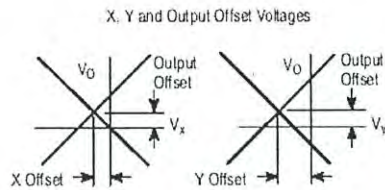


Figure 23. Multiplier with Improved Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495



For most dc applications, all three offset adjust potentiometers ( $P_1$ ,  $P_2$ ,  $P_4$ ) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (see Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

#### Scale Factor

The scale factor  $K$  is set by  $P_3$  (Figure 21).  $P_3$  varies  $I_3$  which inversely controls the scale factor  $K$ . It should be noted that current  $I_3$  is one-half the current through  $R_1$ .  $R_1$  sets the bias level for  $Q_5$ ,  $Q_6$ ,  $Q_7$ , and  $Q_8$  (see Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting  $P_3$  over wide voltage ranges (see General Design Procedure).

#### Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (see Figure 21).

1. X-Input Offset
  - (a) Connect oscillator (1.0 kHz, 5.0 V<sub>pp</sub> sine wave) to the Y-input (Pin 4).
  - (b) Connect X-input (Pin 9) to ground.
  - (c) Adjust X offset potentiometer ( $P_2$ ) for an ac null at the output.
2. Y-Input Offset
  - (a) Connect oscillator (1.0 kHz, 5.0 V<sub>pp</sub> sine wave) to the X-input (Pin 9).
  - (b) Connect Y-input (Pin 4) to ground.
  - (c) Adjust Y offset potentiometer ( $P_1$ ) for an ac null at the output.
3. Output Offset
  - (a) Connect both X and Y-inputs to ground.
  - (b) Adjust output offset potentiometer ( $P_4$ ) until the output voltage ( $V_O$ ) is 0 Vdc.
4. Scale Factor
  - (a) Apply +10 Vdc to both the X and Y-inputs.
  - (b) Adjust  $P_3$  to achieve +10 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1495 depends upon the characteristics of potentiometers  $P_1$  through  $P_4$ . Multi-turn, infinite resolution potentiometers with low temperature coefficients are recommended.

## DC APPLICATIONS

### Multiply

The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

### Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is  $V_O = KV^2$  where  $K$  is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

#### A. AC Procedure:

1. Connect oscillator (1.0 kHz, 15 V<sub>pp</sub>) to input.
2. Monitor output at 2.0 kHz with tuned voltmeter and adjust  $P_3$  for desired gain. (Be sure to peak response of the voltmeter.)
3. Tune voltmeter to 1.0 kHz and adjust  $P_1$  for a minimum output voltage.
4. Ground input and adjust  $P_4$  (output offset) for 0 Vdc output.
5. Repeat steps 1 through 4 as necessary.

#### B. DC Procedure:

1. Set  $V_X = V_Y = 0$  V and adjust  $P_4$  (output offset potentiometer) such that  $V_O = 0$  Vdc.
2. Set  $V_X = V_Y = 1.0$  V and adjust  $P_1$  (Y-input offset potentiometer) such that the output voltage is  $-0.100$  V.
3. Set  $V_X = V_Y = 10$  Vdc and adjust  $P_3$  such that the output voltage is  $+10$  V.
4. Set  $V_X = V_Y = 10$  Vdc. Repeat steps 1 through 3 as necessary.

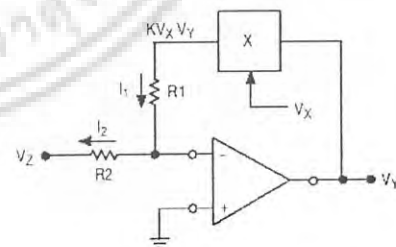


Figure 24. Basic Divide Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC1495

## Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (−) input. Assuming that the bias current of the operational amplifier is negligible, then  $I_1 = I_2$  and,

$$\frac{KV_X V_Y}{R_1} = \frac{-V_Z}{R_2} \quad (1)$$

$$\text{Solving for } V_Y, \quad V_Y = \frac{-R_1}{R_2 K} \frac{V_Z}{V_X} \quad (2)$$

$$\text{If } R_1 = R_2, \quad V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

$$\text{If } R_1 = KR_2, \quad V_Y = \frac{-V_Z}{V_X} \quad (4)$$

Hence, the output voltage is the ratio of  $V_Z$  to  $V_X$  and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be:

$$V_Y = -\left[ \frac{R_1}{R_2 K} \right] \frac{V_Z}{V_X} + \frac{\Delta E}{KV_X} \quad (5)$$

where  $\Delta E$  is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of  $V_Y$ . For example, assume that  $R_1 = R_2$ , and  $K = 10$ . For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10 V_Z}{V_X} + \frac{10 \Delta E}{V_X} \quad (6)$$

From Equation 6, it is seen that only when  $V_X = 10 \text{ V}$  is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when  $V_X$  is small, (0.1 V) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from Equation (5),

$$PE_D = \frac{\frac{\Delta E}{KV_X}}{\left[ \frac{R_1}{R_2 K} \right] \frac{V_Z}{V_X}} = \left[ \frac{R_2}{R_1} \right] \frac{\Delta E}{V_Z} \quad (7)$$

From Equation 7, the percentage error is inversely related to voltage  $V_Z$  (i.e., for increasing values of  $V_Z$ , the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25.

1. The input voltage ( $V_X$ ) must be greater than zero and must be positive. This insures that the current out of Pin 2 of the multiplier will always be in a direction compatible with the polarity of  $V_Z$ .
2. Pin 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

A suggested adjustment procedure for the divide circuit.

1. Set  $V_Z = 0 \text{ V}$  and adjust the output offset potentiometer ( $P_4$ ) until the output voltage ( $V_O$ ) remains at some (not necessarily zero) constant value as  $V_X$  is varied between +1.0 V and +10 V.
2. Keep  $V_Z$  at 0 V, set  $V_X$  at +10 V and adjust the Y input offset potentiometer ( $P_1$ ) until  $V_O = 0 \text{ V}$ .
3. Let  $V_X = V_Z$  and adjust the X-input offset potentiometer ( $P_2$ ) until the output voltage remains at some (not necessarily +10 V) constant value as  $V_Z = V_X$  is varied between +1.0 and +10 V.
4. Keep  $V_X = V_Z$  and adjust the scale factor potentiometer ( $P_3$ ) until the average value of  $V_O$  is +10 V as  $V_Z = V_X$  is varied between +1.0 V and +10 V.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

## MC34071,2,4,A MC33071,2,4,A

### Single Supply 3.0 V to 44 V Operational Amplifiers

Quality bipolar fabrication with innovative design concepts are employed for the MC33071-72-74, MC34071-72-74 series of monolithic operational amplifiers. This series of operational amplifiers offer 4.5 MHz of gain bandwidth product, 13 V/ $\mu$ s slew rate and fast settling time without the use of JFET device technology. Although this series can be operated from split supplies, it is particularly suited for single supply operation, since the common mode input voltage range includes ground potential ( $V_{EE}$ ). With a Darlington input stage, this series exhibits high input resistance, low input offset voltage and high gain. The all-NPN output stage, characterized by no deadband crossover distortion and large output voltage swing, provides high capacitance drive capability, excellent phase and gain margins, low open loop high frequency output impedance and symmetrical source/sink AC frequency response.

The MC33071-72-74, MC34071-72-74 series of devices are available in standard or prime performance (A Suffix) grades and are specified over the commercial, industrial vehicular or military temperature ranges. The complete series of single, dual and quad operational amplifiers are available in plastic DIP, SOIC and TSSOP surface mount packages.

- Wide Bandwidth: 4.5 MHz
- High Slew Rate: 13 V/ $\mu$ s
- Fast Settling Time: 1.1  $\mu$ s to 0.1%
- Wide Single Supply Operation: 3.0 V to 44 V
- Wide Input Common Mode Voltage Range: Includes Ground ( $V_{EE}$ )
- Low Input Offset Voltage: 3.0 mV Maximum (A Suffix)
- Large Output Voltage Swing: -14.7 V to +14 V (with  $\pm 15$  V Supplies)
- Large Capacitance Drive Capability: 0 pF to 10,000 pF
- Low Total Harmonic Distortion: 0.02%
- Excellent Phase Margin: 60°
- Excellent Gain Margin: 12 dB
- Output Short Circuit Protection
- ESD Diodes/Clamps Provide Input Protection for Dual and Quad
- Pb-Free Packages are Available



ON Semiconductor®

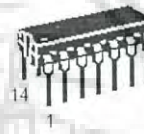
<http://onsemi.com>



PDIP-8  
P SUFFIX  
CASE 626



SOIC-8  
D SUFFIX  
CASE 751



PDIP-14  
P SUFFIX  
CASE 646



SOIC-14  
D SUFFIX  
CASE 751A



TSSOP-14  
DTB SUFFIX  
CASE 948G

#### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 17 of this data sheet.

#### DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 18 of this data sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34071,2,4,A MC33071,2,4,A

PIN CONNECTIONS

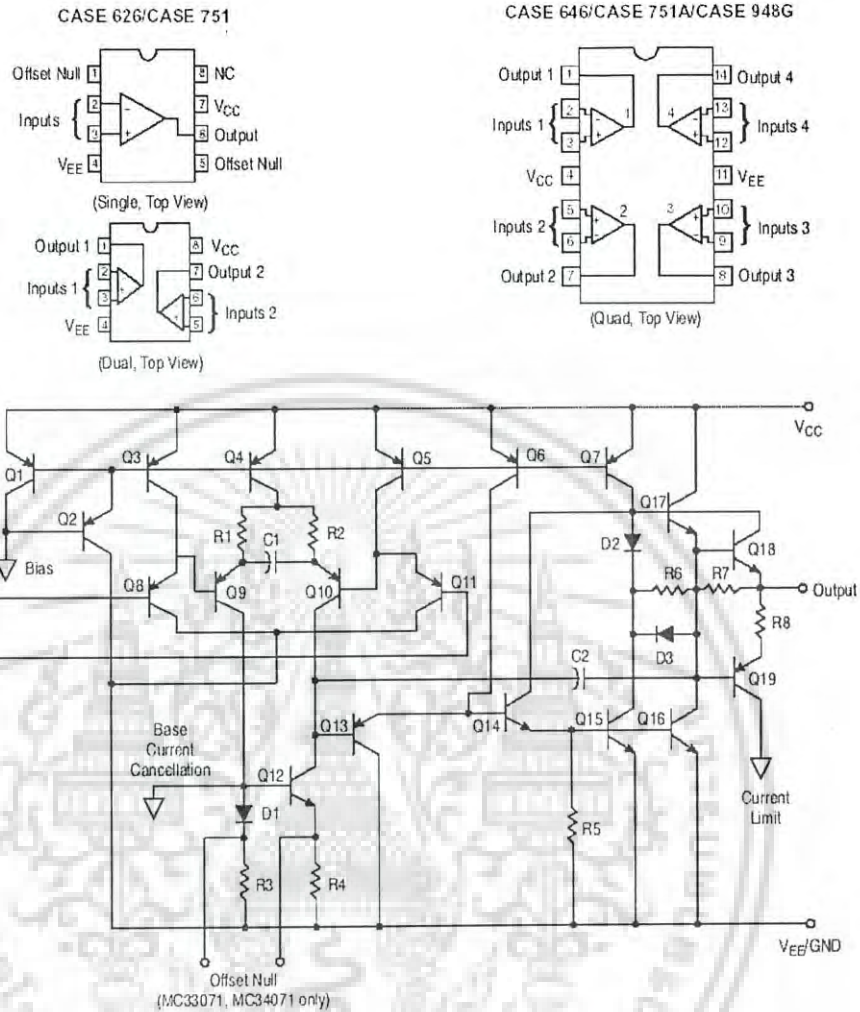


Figure 1. Representative Schematic Diagram (Each Amplifier)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage (from $V_{EE}$ to $V_{CC}$ )	$V_S$	+44	V
Input Differential Voltage Range	$V_{IDR}$	(Note 1)	V
Input Voltage Range	$V_{IR}$	(Note 1)	V
Output Short Circuit Duration (Note 2)	$t_{SC}$	Indefinite	Sec
Operating Junction Temperature	$T_J$	+150	C
Storage Temperature Range	$T_{s,tj}$	-60 to +150	C

1. Either or both input voltages should not exceed the magnitude of  $V_{CC}$  or  $V_{EE}$ .
2. Power dissipation must be considered to ensure maximum junction temperature ( $T_J$ ) is not exceeded (see Figure 2).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC34071,2,4,A MC33071,2,4,A

AC ELECTRICAL CHARACTERISTICS ( $V_{CC} = +15\text{ V}$ ,  $V_{EE} = -15\text{ V}$ ,  $R_L = \text{connected to ground}$ ,  $T_A = +25\text{ }^\circ\text{C}$ , unless otherwise noted)

Characteristics	Symbol	A Suffix			Non-Suffix			Unit
		Min	Typ	Max	Min	Typ	Max	
Slew Rate ( $V_{in} = -10\text{ V to }+10\text{ V}$ , $R_L = 2.0\text{ k}\Omega$ , $C_L = 500\text{ pF}$ ) $A_V = +1.0$ $A_V = -1.0$	SR	8.0 -	10 13	- -	8.0 -	10 13	- -	V/ $\mu\text{s}$
Setting Time (10 V Step, $A_V = -1.0$ ) To 0.1% (+1/2 LSB of 9-Bits) To 0.01% (+1/2 LSB of 12-Bits)	$t_s$	- -	1.1 2.2	- -	- -	1.1 2.2	- -	$\mu\text{s}$
Gain Bandwidth Product ( $f = 100\text{ kHz}$ )	GBW	3.5	4.5	-	3.5	4.5	-	MHz
Power Bandwidth $A_V = +1.0$ , $R_L = 2.0\text{ k}\Omega$ , $V_O = 20\text{ V}_{pp}$ , THD = 5.0%	BW	-	160	-	-	160	-	kHz
Phase margin $R_L = 2.0\text{ k}\Omega$ $R_L = 2.0\text{ k}\Omega$ , $C_L = 300\text{ pF}$	$f_m$	- -	60 40	- -	- -	60 40	- -	Deg
Gain Margin $R_L = 2.0\text{ k}\Omega$ $R_L = 2.0\text{ k}\Omega$ , $C_L = 300\text{ pF}$	$A_m$	- -	12 4.0	- -	- -	12 4.0	- -	dB
Equivalent Input Noise Voltage $R_S = 100\ \Omega$ , $f = 1.0\text{ kHz}$	$e_n$	-	32	-	-	32	-	nV/ $\sqrt{\text{Hz}}$
Equivalent Input Noise Current $f = 1.0\text{ kHz}$	$i_n$	-	0.22	-	-	0.22	-	pA/ $\sqrt{\text{Hz}}$
Differential Input Resistance $V_{CM} = 0\text{ V}$	$R_{in}$	-	150	-	-	150	-	M $\Omega$
Differential Input Capacitance $V_{CM} = 0\text{ V}$	$C_{in}$	-	2.5	-	-	2.5	-	pF
Total Harmonic Distortion $A_V = +1.0$ , $R_L = 2.0\text{ k}\Omega$ , $2.0\text{ V}_{pp}$ , $V_O = 20\text{ V}_{pp}$ , $f = 10\text{ kHz}$	THD	-	0.02	-	-	0.02	-	%
Channel Separation ( $f = 10\text{ kHz}$ )	-	-	120	-	-	120	-	dB
Open Loop Output Impedance ( $f = 1.0\text{ MHz}$ )	$ Z_O $	-	30	-	-	30	-	$\Omega$

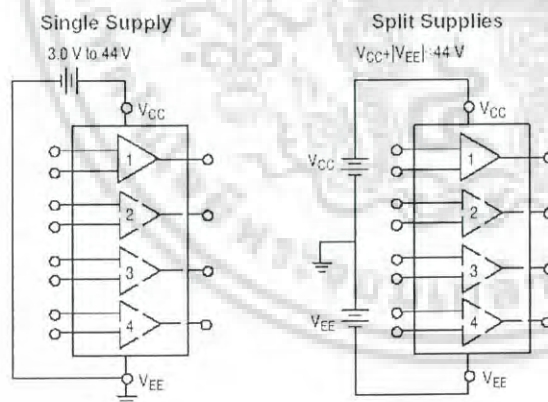
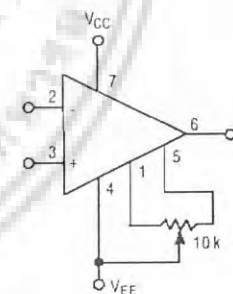


Figure 2. Power Supply Configurations



Offset nulling range is approximately  $\pm 80\text{ mV}$  with a  $10\text{ k}\Omega$  potentiometer (MC33071, MC34071 only).

Figure 3. Offset Null Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MOTOROLA**  
SEMICONDUCTOR TECHNICAL DATA

## 8-Bit Equality Comparator

### High-Performance Silicon-Gate CMOS

The MC54/74HC688 is identical in pinout to the LS688. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC688 compares two 8-bit binary or BCD words and indicates whether or not they are equal. By using the Cascade Input, two or more of the devices may be cascaded to compare words of more than 8 bits.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1  $\mu$ A
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 116 FETs or 29 Equivalent Gates

## MC54/74HC688



**J SUFFIX**  
CERAMIC PACKAGE  
CASE 732-03



**N SUFFIX**  
PLASTIC PACKAGE  
CASE 738-03

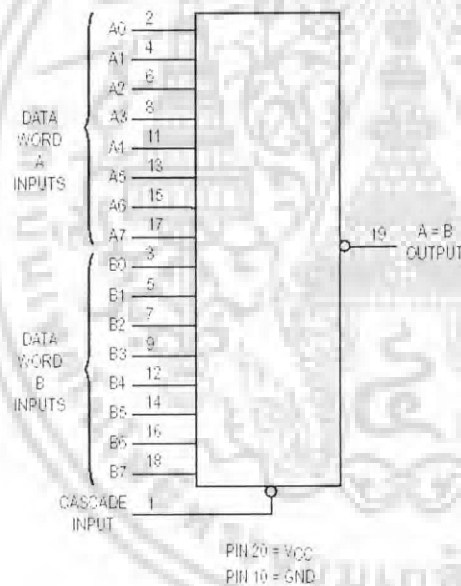


**DW SUFFIX**  
SOIC PACKAGE  
CASE 751D-04

**ORDERING INFORMATION**

MC54HCXXXJ	Ceramic
MC74HCXXXN	Plastic
MC74HCXXXDW	SOIC

**LOGIC DIAGRAM**



**PIN ASSIGNMENT**

CASCADE INPUT	1	20	VCC
A0	2	19	A = B
B0	3	18	
A1	4	17	A7
B1	5	16	B6
A2	6	15	A6
B2	7	14	B5
A3	8	13	A5
B3	9	12	B4
GND	10	11	

**FUNCTION TABLE**

Data Words	Inputs		Output
	Cascade	A = B	
A = B	L	L	L
A > B	L	H	H
A < B	L	H	H
X	H	H	H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC54/74HC688

## MAXIMUM RATINGS\*

Symbol	Parameter	Value	Unit
$V_{CC}$	DC Supply Voltage (Referenced to GND)	-0.5 to +7.0	V
$V_{in}$	DC Input Voltage (Referenced to GND)	-1.5 to $V_{CC} + 1.5$	V
$V_{out}$	DC Output Voltage (Referenced to GND)	-0.5 to $V_{CC} + 0.5$	V
$I_{in}$	DC Input Current, per Pin	$\pm 20$	mA
$I_{out}$	DC Output Current, per Pin	$\pm 25$	mA
$I_{CC}$	DC Supply Current, $V_{CC}$ and GND Pins	$\pm 50$	mA
$P_D$	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
$T_{stg}$	Storage Temperature	-65 to +150	°C
$T_L$	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

\* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: -10 mW/°C from 65° to 125°C  
Ceramic DIP: -10 mW/°C from 100° to 125°C  
SOIC Package: -7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $GND \leq (V_{in} \text{ or } V_{out}) \leq V_{CC}$ . Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or  $V_{CC}$ ). Unused outputs must be left open.

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
$V_{CC}$	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
$V_{in}, V_{out}$	DC Input voltage, Output Voltage (Referenced to GND)	0	$V_{CC}$	V	
$T_A$	Operating Temperature, All Package Types	-55	+125	°C	
$t_r, t_f$	Input Rise and Fall Time (Figure 2)	$V_{CC} = 2.0 \text{ V}$ $V_{CC} = 4.5 \text{ V}$ $V_{CC} = 6.0 \text{ V}$	0 0 0	1000 500 400	ns

## DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	$V_{CC}$ V	Guaranteed Limit			Unit
				-55 to 25°C	$\leq 85^\circ\text{C}$	$\leq 125^\circ\text{C}$	
$V_{IH}$	Minimum High-Level Input Voltage	$V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$ $I_{out} \leq 20 \mu\text{A}$	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
$V_{IL}$	Maximum Low-Level Input Voltage	$V_{out} = 0.1 \text{ V or } V_{CC} - 0.1 \text{ V}$ $I_{out} \leq 20 \mu\text{A}$	2.0 4.5 6.0	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
$V_{OH}$	Minimum High-Level Output Voltage	$V_{in} = V_{IH} \text{ or } V_{IL}$ $I_{out} \leq 20 \mu\text{A}$	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		$V_{in} = V_{IH} \text{ or } V_{IL}$ $I_{out} \leq 4.0 \text{ mA}$ $I_{out} \leq 5.2 \text{ mA}$	4.5 6.0	3.98 5.48	3.84 5.34	3.70 5.20	
$V_{OL}$	Maximum Low-Level Output Voltage	$V_{in} = V_{IH} \text{ or } V_{IL}$ $I_{out} \leq 20 \mu\text{A}$	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		$V_{in} = V_{IH} \text{ or } V_{IL}$ $I_{out} \leq 4.0 \text{ mA}$ $I_{out} \leq 5.2 \text{ mA}$	4.5 6.0	0.26 0.26	0.33 0.33	0.40 0.40	
$I_{in}$	Maximum Input Leakage Current	$V_{in} = V_{CC} \text{ or } GND$	6.0	-0.1	+1.0	+1.0	$\mu\text{A}$
$I_{CC}$	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC} \text{ or } GND$ $I_{out} = 0 \mu\text{A}$	6.0	8	80	160	$\mu\text{A}$

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

นายประพัศ ชุ่มชัยรัตน์ เกิดเมื่อวันที่ 28 ธันวาคม 2515 ที่อำเภอเมือง จังหวัดราชบุรี สำเร็จการศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากมหาวิทยาลัยเทคโนโลยีมหานคร (มทม.) ปีการศึกษา 2540 มีผลงานวิจัย "การออกแบบวงจรลูปคอสตาสที่ใช้เกิดเอกซ์คลูซีฟเฟอร์เป็นมิกเซอร์ด้านอินพุต" ได้รับการตีพิมพ์ที่วารสารพระจอมเกล้าลาดกระบัง เมื่อเดือน ธันวาคม 2546



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้