

วงจรกำลังสองและวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

LOW VOLTAGE SQUARING AND SQUARE-ROOT CIRCUITS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

จพ.  
4  
2546

พ.ศ. 2546

ISBN 974-324-813-7

เลขหมู่.....  
เลขทะเบียน..... 48949  
วัน, เดือน, ปี 13 ส.ค. 2547

|        |
|--------|
| b..... |
| i..... |

# LOW VOLTAGE SQUARING AND SQUARE-ROOT CIRCUITS



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2003**

**ISBN 974-324-813-7**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2003**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|                             |  |
|-----------------------------|--|
| หัวข้อวิทยานิพนธ์           | วงจรถ่วงสองและวงจรถอครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ |
| นักศึกษา                    | นายรัชวัฒน์ สากุล  |
| รหัสนักศึกษา                | 43061132   |
| ปริญญา                      | วิศวกรรมศาสตรมหาบัณฑิต                                   |
| สาขา                        | วิศวกรรมไฟฟ้า  |
| พ.ศ.                        | 2546   |
| อาจารย์ผู้ควบคุมวิทยานิพนธ์ | รศ.ดร.กอบชัย เศรษฐา                                      |

### บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอ วงจรถ่วงสองและวงจรถอครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยหลักการทำงานอาศัยคุณสมบัติของ CMOS ที่ทำงานในช่วงอิมิตัว วงจรถ่วงสองจะประกอบด้วยวงจรถอครากที่สอง วงจรขยายคิฟเฟอเรลและในส่วนของวงจรถอครากที่สองประกอบด้วย วงจรสะท้อนกระแส 2 วงจร และวงจรถอครากที่สอง นอกจากนี้นำวงจรถ่วงสองมาประยุกต์ใช้งานเป็นวงจรถ่วงสองแรงดันทางเวกเตอร์และวงจรถอครากที่สองแบบ 4 ควอดแรนท์ ซึ่งสามารถทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ผลการวิเคราะห์สมรรถนะของวงจรถ่วงสองพบว่าสอดคล้องกับการเขียนแบบการทำงานด้วยโปรแกรม PSpice

**Thesis Title**                    Low Voltage Squaring and Square-root Circuits  
**Student**                            Mr. Chaiwat Sakul  
**Student ID.**                        43061132  
**Degree**                             Master of Engineering  
**Programme**                        Electrical Engineering  
**Year**                                 2003  
**Thesis Advisor**                 Assoc. Prof. Dr. Kobchai Dejhan

### ABSTRACT

The thesis proposes the squaring circuit and the square-root circuit based on CMOS operating in saturation region. The squaring circuit consists of an inverter circuit and a differential circuit while the square-root circuit consists of two current-mirror-circuits and a subtractor circuit. In addition, the circuits are applied as vector summation circuit and four-quadrant analog multiplier circuit that can operated under low-voltage condition. The results of circuit-performance analysis are proved to be compatible with one analysed by Pspice program.

## กิตติกรรมประกาศ

ผู้เขียนขอขอบพระคุณอย่างสูงต่อ รศ.ดร.กอบชัย เศรษฐาญา อาจารย์ที่ปรึกษาที่ได้ให้ความรู้ คำปรึกษาและคำชี้แนะ แนวทาง ทางด้านการออกแบบวงจรอิเล็กทรอนิกส์ ตลอดจนวิธีต่าง ๆ ในการทำงานวิจัย และเป็นผู้ตรวจทานแก้ไขงานวิจัยของผู้เขียนทุกชิ้น อย่างมีประสิทธิภาพ

ขอขอบพระคุณอาจารย์อิทธิพงษ์ ชัยสาวัฒน์ ที่ให้ความรู้ทางด้านอิเล็กทรอนิกส์ คำชี้แนะ แนวทาง และเทคนิคต่างๆ ในการออกแบบวงจร ตลอดจนความรู้ วิชาการต่าง ๆ ที่ถ่ายทอดให้กระผม เป็นอย่างดี ทำให้งานวิจัยนี้สำเร็จบริบูรณ์

ขอขอบพระคุณ คุณวราภรณ์ ชัยสาวัฒน์ ผู้ที่ชี้เป้าหมายชีวิตให้แก่กระผม ตลอดจนแนวทาง ในการฝึกสมาธิ เพื่อทำให้เกิดปัญญาในการคิดงานวิจัยออกมาได้จนสำเร็จสมบูรณ์

ขอกราบนมัสการ หลวงพ่อวัดปากน้ำภาษีเจริญ พระมงคลเทพมุนี (สด จนฺทสโร) ผู้ที่ให้ เป้าหมายชีวิตแก่กระผม และวิธีการฝึกสมาธิที่ถูกต้อง ตามแนวทางของสมเด็จพระสัมมาสัมพุทธเจ้า

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ และญาติสนิท ที่คอยห่วงใยและให้การสนับสนุนใน การศึกษา

สุดท้ายขอขอบคุณ สมาชิกกลุ่มใจแก้ว นครปฐม ทุกคน ที่เป็นกำลังใจ พร้อมทั้งให้ความ ช่วยเหลือในด้านต่าง ๆ แก่ผู้เขียนมาโดยตลอด

ชัยวัฒน์ สากุล

# สารบัญ

|   | หน้า |
|---|------|
| บทคัดย่อภาษาไทย.....  | I    |
| บทคัดย่อภาษาอังกฤษ.....   | II   |
| กิตติกรรมประกาศ.....  | III  |
| สารบัญ.....   | IV   |
| สารบัญรูป.....  | VII  |
| สารบัญตาราง.....  | IX   |
| บทที่ 1 บทนำ.....   | 1    |
| 1.1 กล่าวนำ.....  | 1    |
| 1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....                               | 2    |
| 1.3 หลักการใหม่ในวิทยานิพนธ์.....                                     | 2    |
| 1.4 รายละเอียดของวิทยานิพนธ์.....                                     | 2    |
| บทที่ 2 เทคโนโลยีมอสและทฤษฎีการทำงานของมอสเฟต.....                    | 4    |
| 2.1 กล่าวนำ.....  | 4    |
| 2.2 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรถิสกรีท.....                   | 4    |
| 2.3 เทคโนโลยีของมอส.....  | 5    |
| 2.3.1 ข้อดีของมอสเฟต เมื่อเปรียบเทียบกับ ไบ โพลาร์ทรานซิสเตอร์.....   | 7    |
| 2.3.2 ข้อเสียของมอสเฟต เมื่อเปรียบเทียบกับ ไบ โพลาร์ทรานซิสเตอร์..... | 8    |
| 2.4 โครงสร้างและการทำงานของมอสเฟตชนิดเอนฮานสมันท์.....                | 9    |
| 2.4.1 โครงสร้างของมอสเฟต.....   | 9    |
| 2.4.2 สัญญลักษณ์ของมอสเฟต.....  | 11   |
| 2.4.3 ชนิดของมอสเฟต.....  | 13   |
| 2.4.4 คุณสมบัติการทำงานของมอสเฟต.....                                 | 15   |
| 2.5 สรุป.....   | 17   |

## สารบัญ (ต่อ)

| บทที่   | หน้า |
|---|------|
| บทที่ 3 การออกแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่านำเสนอในวิทยานิพนธ์..... | 18   |
| 3.1 กล่าวนำ.....  | 18   |
| 3.2 หลักการทำงานของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่านำเสนอ.....            | 18   |
| 3.2.1 วงจรอินเวอร์เตอร์.....  | 19   |
| 3.2.2 วงจรขยายสัญญาณคิฟเฟอเรนเชียล.....   | 20   |
| 3.2.3 วงจรสะท้อนกระแส.....  | 21   |
| 3.3 การวิเคราะห์สมรรถนะของวงจรกำลังสอง.....                                     | 23   |
| 3.3.1 การลดทอนความคล่องตัวของพาหะ.....  | 23   |
| 3.3.1.1 วงจรอินเวอร์เตอร์.....  | 24   |
| 3.3.1.2 วงจรกำลังสอง.....   | 24   |
| 3.4 การวิเคราะห์ช่วงปฏิบัติงานความถี่.....                                      | 25   |
| 3.5 การวิเคราะห์ช่วงปฏิบัติงานอินพุต.....                                       | 30   |
| 3.6 การทดลองและผลการทดลอง.....  | 30   |
| 3.7 สรุป.....   | 38   |
| บทที่ 4 วงจรลดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่านำเสนอในวิทยานิพนธ์.....      | 40   |
| 4.1 กล่าวนำ.....  | 40   |
| 4.2 การออกแบบวงจรลดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่านำเสนอ.....              | 40   |
| 4.2.1 หลักการของวงจรลดคราก.....   | 41   |
| 4.3 การวิเคราะห์ช่วงปฏิบัติงานความถี่.....                                      | 44   |
| 4.4 การวิเคราะห์ช่วงปฏิบัติงานอินพุต.....                                       | 48   |
| 4.5 การทดลองและผลการทดลอง.....  | 49   |
| 4.6 สรุป.....   | 56   |

## สารบัญ (ต่อ)

| บทที่   | หน้า |
|---|------|
| บทที่ 5 การประยุกต์ใช้งาน.....                                | 57   |
| 5.1 กล่าวนำ.....  | 57   |
| 5.2 วงจรประยุกต์ใช้งาน.....                                   | 57   |
| 5.2.1 วงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงค่า..... | 57   |
| 5.2.2 วงจรคูณสัญญาณ.....                                      | 65   |
| 5.3 สรุป.....   | 72   |
| บทที่ 6 บทสรุป.....   | 73   |
| 6.1 บทสรุป.....   | 73   |
| 6.2 ปัญหาที่เกิดขึ้นและแนวทางแก้ไข.....                       | 74   |
| เอกสารอ้างอิง.....  | 75   |
| ภาคผนวก.....  | 77   |
| ภาคผนวก ก.....  | 78   |
| ภาคผนวก ข.....  | 88   |
| ภาคผนวก ค.....  | 95   |
| ประวัติผู้เขียน.....  | 112  |

# สารบัญรูป

| รูปที่ |  | หน้า |
|--------|--|------|
| 2.1    | แสดงแผนผังของเทคโนโลยีรวม.....   | 6    |
| 2.2    | แสดงประเภทของเฟต.....  | 9    |
| 2.3    | โครงสร้างของเอ็นฮานเมนท์มอสเฟตชนิด NMOS.....                                 | 10   |
| 2.4    | โครงสร้างของเอ็นฮานเมนท์มอสเฟตชนิด PMOS.....                                 | 10   |
| 2.5    | แสดงสัญลักษณ์ต่าง ๆ ของมอสเฟต.....   | 12   |
| 2.6    | โครงสร้างของมอสเฟตชนิดเอ็น-แชนแนล.....                                       | 13   |
| 2.7    | กราฟแสดงคุณสมบัติของมอสเฟตชนิดเอ็น-แชนแนล.....                               | 14   |
| 2.8    | แสดงคุณสมบัติของมอสเฟต.....  | 17   |
| 3.1    | วงจรรีเลย์.....  | 19   |
| 3.2    | วงจรมัลติเพลกซ์.....   | 20   |
| 3.3    | แสดงวงจรสะท้อนกระแส.....   | 21   |
| 3.4    | วงจรถ่ายโอนโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอในวิทยานิพนธ์.....             | 22   |
| 3.5    | วงจรมัลติเพลกซ์ของมอสเฟตที่ทำงานในช่วงอิมิต์วโดยประมาณ.....                  | 25   |
| 3.6    | แสดงการปรับปรุงวงจรถ่ายโอนในรูปที่ 3.4 เพื่อการวิเคราะห์ความถี่.....         | 26   |
| 3.7    | แสดงวงจรมัลติเพลกซ์ของวงจรรูปที่ 3.6.....                                    | 26   |
| 3.8(ก) | คุณสมบัติทาง DC ของวงจรถ่ายโอน.....  | 32   |
| 3.8(ข) | คุณสมบัติทาง AC ของวงจรถ่ายโอน.....  | 33   |
| 3.8(ค) | คุณสมบัติการตอบสนองความถี่.....  | 34   |
| 3.8(ง) | แสดงองค์ประกอบที่ความถี่ต่าง ๆ ของวงจรถ่ายโอนโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ..... | 35   |
| 3.9    | แสดงการวัดอินพุตเทียบกับเอาต์พุตของวงจรถ่ายโอน.....                          | 37   |
| 4.1    | วงจรถัดกระแสแบบบวก.....  | 40   |
| 4.2    | หลักการของวงจรถัดกระแส.....  | 41   |
| 4.3    | วงจรถัดกระแสที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอในวิทยานิพนธ์.....      | 42   |
| 4.4    | วงจรมัลติเพลกซ์ของมอสเฟตที่ทำงานในช่วงอิมิต์วโดยประมาณ.....                  | 44   |
| 4.5    | แสดงการปรับปรุงวงจรถัดกระแสที่สองในรูปที่ 4.3 เพื่อการวิเคราะห์ความถี่.....  | 45   |

## สารบัญญรูป (ต่อ)

| รูปที่ | หน้า   |
|--------|--|
| 4.6    | แสดงวงจรสมมูลย์ของวงจรรูปที่ 4.5.....45  |
| 4.7(ก) | แสดงการวัดอินพุตเทียบกับเอาต์พุตของวงจรอดครากที่สอง.....51                           |
| 4.7(ข) | คุณสมบัติทาง AC ของวงจรอดครากเมื่อ $I_{IN} = 1\mu A \sin 2,000\pi t$ .....51         |
| 4.7(ค) | คุณสมบัติทาง AC ของวงจรอดครากเมื่อ $I_{IN}$ เป็นคลื่นรูปสามเหลี่ยม.....52            |
| 4.7(ง) | คุณสมบัติการตอบสนองความถี่.....52  |
| 4.7(จ) | แสดงองค์ประกอบที่ความถี่ต่าง ๆ ของวงจรอดครากที่สอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ.....53 |
| 4.8    | แสดงการวัดอินพุตเทียบกับเอาต์พุตของวงจรอดครากที่สอง.....55                           |
| 5.1    | วงจรวกแรงดันคั่นทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ.....58                         |
| 5.2    | แสดงเอาต์พุตของวงจรวกแรงดันคั่นทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ.....62          |
| 5.3    | บล็อกไดอะแกรมของวงจรคูณ.....65   |
| 5.4    | วงจรคูณสัญญาณ.....65   |
| 5.5    | แสดงคุณสมบัติทาง DC transfer ของการคูณสัญญาณ.....69                                  |
| 5.6    | แสดงผลลัพธ์เมื่อนำวงจรคูณเป็นวงจรผสมสัญญาณ.....71                                    |

# สารบัญตาราง

| ตารางที่ | หน้า  |
|----------|---|
| 3.1      | แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์วงจรถ่วงกำลังสอง.....31          |
| 4.1      | แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์วงจรถ่วงครากที่สอง.....49        |
| 5.1      | แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์วงจรถ่วงแรงดันทางแวกเตอร์.....61 |
| 5.2      | แสดงขนาดความกว้างต่อความยาวแกนแนลของมอสทรานซิสเตอร์วงจรถ่วงสัญญาณ.....68            |



## 1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

ในการทำวิทยานิพนธ์เรื่อง “วงจรกำลังสองและวงจรทรานซิสเตอร์ที่สอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ” มีวัตถุประสงค์ดังนี้

1. ใช้มอสเฟตทรานซิสเตอร์ทั้งหมดในการออกแบบ
2. ออกแบบวงจรให้มีขนาดเล็ก ใช้จำนวนมอสเฟตทรานซิสเตอร์ให้มีจำนวนน้อยที่สุด
3. วงจรที่ทำการออกแบบสามารถที่จะนำไปใช้งานได้ง่าย และสามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง
4. วงจรที่ทำการออกแบบจะต้องสามารถทำงานได้ดีที่แรงดันไฟเลี้ยงต่ำ
5. วงจรที่ทำการออกแบบสามารถนำไปสร้างเป็นวงจรรวมได้

## 1.3 หลักการใหม่ในวิทยานิพนธ์

จากการค้นคว้าในการทำวิทยานิพนธ์เรื่อง “วงจรกำลังสองและวงจรทรานซิสเตอร์ที่สอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ” มีแนวคิดใหม่แตกต่างจากหลักการของผู้ออกแบบเดิมที่เคยเสนอไว้ดังนี้

1. วงจรกำลังสองทำการออกแบบให้เป็นสัญญาณเดียว
2. ปรับปรุงวงจรทรานซิสเตอร์ ซึ่งจากการวิจัยเดิมแรงดันทางด้านเข้าที่พุทที่ได้จะเป็นการเปรียบเทียบผลต่างมาเป็นแบบที่ไม่ต้องมีการเปรียบเทียบแรงดันที่ขั้วเข้าที่พุทของวงจร
3. วงจรที่ทำการออกแบบจะใช้ระดับแรงดันไฟเลี้ยงต่ำขนาด  $\pm 1.2$  Volt

## 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ได้แบ่งเนื้อหาออกเป็น 6 บท ดังนี้

บทที่ 1 เป็นการกล่าวถึงวัตถุประสงค์ในการทำวิทยานิพนธ์ หลักการใหม่ในวิทยานิพนธ์และเนื้อหาโดยย่อของแต่ละบท

บทที่ 2 เป็นการกล่าวถึงเทคโนโลยีของซีมอส ทฤษฎีการทำงานของมอสเฟต การจำแนกประเภทของมอสเฟต การเปรียบเทียบข้อดีข้อเสียระหว่างวงจรรวมกับวงจรดิสครีท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 กล่าวถึงการออกแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ซึ่งอาศัยการทำงานของซิมอสในช่วงอิมิตัว ซึ่งประกอบไปด้วย วงจรอินเวอร์เตอร์ วงจรคิฟเฟอเรนเชียลและวงจรสะท้อนกระแส โดยลักษณะเด่นของวงจรจะสามารถทำงานได้โดยป้อนแรงดันขนาดค่านำวงจรมาทำการวิเคราะห์ประสิทธิภาพของวงจร การวิเคราะห์ช่วงความถี่ปฏิบัติงาน การวิเคราะห์ช่วงปฏิบัติงานอินพุท การทดสอบวงจรด้วยโปรแกรม PSpice และการนำวงจรมาทำการต่อลงบอร์ดจริง

บทที่ 4 กล่าวถึงการออกแบบวงจรดอครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ซึ่งอาศัยการทำงานของซิมอสในช่วงอิมิตัว โดยใช้พื้นฐานของวงจรสะท้อนกระแส โดยลักษณะเด่นของวงจรจะสามารถทำงานได้โดยป้อนแรงดันขนาดค่านำวงจรมาทำการวิเคราะห์ประสิทธิภาพของวงจร การวิเคราะห์ช่วงความถี่ปฏิบัติงานและการวิเคราะห์ช่วงปฏิบัติงานอินพุท การทดสอบวงจรด้วยโปรแกรม PSpice และการนำวงจรมาทำการต่อลงบอร์ดจริง

บทที่ 5 กล่าวถึงการประยุกต์ใช้งานวงจรกำลังสองและวงจรดอครากที่สอง เป็นวงจรบวกแรงดันทางเวกเตอร์ และวงจรคูณสัญญาณ โดยทำการทดสอบวงจรด้วยโปรแกรม PSpice

บทที่ 6 เป็นการสรุปรายละเอียดสำคัญต่าง ๆ ในวิทยานิพนธ์นี้ทั้งหมด ปัญหาที่เกิดขึ้นและแนวทางแก้ไข

เอกสารอ้างอิง

ภาคผนวก ก. แสดงผลการเขียนแบบด้วยโปรแกรม PSpice ที่ใช้ทำการวิเคราะห์ในวิทยานิพนธ์

ภาคผนวก ข. แสดงข้อมูลของไอซีเบอร์ MC 14007

ภาคผนวก ค. แสดงถึงบทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสาร

ประวัติผู้เขียน

## บทที่ 2

# เทคโนโลยีมอส และทฤษฎีการทำงานของมอสเฟต

### 2.1 กล่าวนำ

วงจรรวม (Interated Circuit) หรือสามารถเรียกย่อ ๆ ว่า ไอซี (IC) ซึ่ง ไอซีที่จะกล่าวถึงในที่นี่จะมีลักษณะเป็น โมโนลิทิก (Monolythic) กล่าวคือ ลักษณะของวงจรประกอบด้วย ส่วนประกอบ (Component) ต่าง ๆ ทั้งที่เป็นแบบแอคทีฟ และแบบพาสซีฟ ประกอบอยู่บนสารกึ่งตัวนำเดียวกัน การแบ่งประเภทของวงจรรวมจะสามารถแบ่งออกเป็น 2 ประเภทใหญ่ ๆ ก็คือวงจรรวมประเภทลิเนียร์และวงจรรวมประเภทดิจิทัล ซึ่งในการทำวิทยานิพนธ์นี้จะเน้นไปในการออกแบบวงจรลิเนียร์ คือ วงจรกำลังสองและวงจรถอดราก็สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ การออกแบบจะใช้มอสเฟตชนิดเอ็นฮานซ์โหมด (Enhancement – Mode) ที่มีสภาวะการทำงานอยู่ในช่วงอิ่มตัว (Saturation Region) เป็นหลักในการออกแบบ ดังนั้นเพื่อเป็นแนวทางในการออกแบบซึ่งจะนำผลที่คาดว่าจะเกิดขึ้นและใช้เป็นข้ออ้างกับผลที่ได้จากการเขียนแบบการทำงานโดยใช้โปรแกรม PSpice และการทดลองต่อวงจรจริงซึ่งจะใช้เป็นข้อมูลที่แสดงถึงสมรรถนะของวงจรที่ทำการออกแบบว่า มีคุณสมบัติเป็นไปตามหลักการที่ได้ออกแบบและนำเสนอมาน้อยเพียงใด

### 2.2 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรดิสครีท

ปัจจุบันการลงทุนที่เกี่ยวข้องกับอุปกรณ์ประเภทสารกึ่งตัวนำ ส่วนใหญ่มักจะเน้นหนักทางด้านการผลิตไอซี (Integrated Circuit : IC) มากกว่าการผลิตส่วนประกอบแบบดิสครีท ทั้งนี้เพราะ ไอซีมีคุณลักษณะสมบัติที่ดีกว่าวงจรด้านดิสครีท กล่าวคือ

1. การผลิต ไอซีนั้น สามารถที่จะผลิตจากวงจรต่าง ๆ ได้ทีละหลาย ๆ วงจรต่อการผลิต 1 ครั้ง ดังนั้นจึงทำให้ต้นทุนในการผลิต ไอซีต่ำ ส่งผลให้ ไอซีมีราคาถูก
2. เนื่องจากส่วนประกอบภายในของไอซี เช่น ทรานซิสเตอร์ จะถูกผลิตขึ้นมาพร้อม ๆ กันในกระบวนการผลิต ดังนั้นค่าพารามิเตอร์ของส่วนประกอบต่าง ๆ จึงมีค่าใกล้เคียงกันและคุณสมบัติ (Characteristics) ของส่วนประกอบเหล่านั้นมีความสมพ้องกัน (Match) นอกจากนั้นยังมีคุณสมบัติต่อสภาวะแวดล้อมต่าง ๆ เช่น การเปลี่ยนแปลงทางด้านอุณหภูมิเหมือนกัน (Thermal Tracking) ซึ่งข้อดีดังกล่าวจะทำให้ ไอซีมีขีด

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น อนุญาตให้ผู้อื่นใช้เอกสารนี้ไม่ได้  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถและความเชื่อมั่นในการใช้งานสูง (High Performance and High Reliability) โดยอาจจะสร้างวงจรที่มีความยุ่งยากและสลับซับซ้อนมาก ๆ ขึ้นได้ ซึ่งสำหรับวงจรถือคติอาจเป็นไปได้เลย

3. เนื่องจากในไอซีจะไม่มีรอยบัดกรี ดังนั้นจึงสามารถลดผลต่าง ๆ อันจะเกิดขึ้นเนื่องจากสิ่งที่แอบแฝงอยู่ในรอยบัดกรีนั่นลงไปโดยสิ้นเชิง ทำให้วงจรในไอซีสามารถทำงานได้ดีกว่าวงจรถือคติทั่วไป
4. ไอซีแต่ละตัวอาจทำงานได้เท่า ๆ กับบล็อกแต่ละบล็อกของระบบ (System) ทั่ว ๆ ไป ในการศึกษาหรือการออกแบบวงจรอิเล็กทรอนิกส์ ในปัจจุบันจึงมักจะเน้นหนักไปทางด้านบล็อก โคอะแกรมเสียเป็นส่วนใหญ่ซึ่งจะช่วยให้เกิดความสะดวกขึ้นอีกมาก เพราะสามารถใช้ไอซีแทนลงในบล็อกโคอะแกรมนั้นได้เลย โดยไม่จำเป็นที่จะต้องสร้างวงจรในบล็อกนั้นอีก ทำให้ลดความยุ่งยากของวงจรทั้งหมดไป
5. ไอซีมีขนาดเล็กและเบากว่า

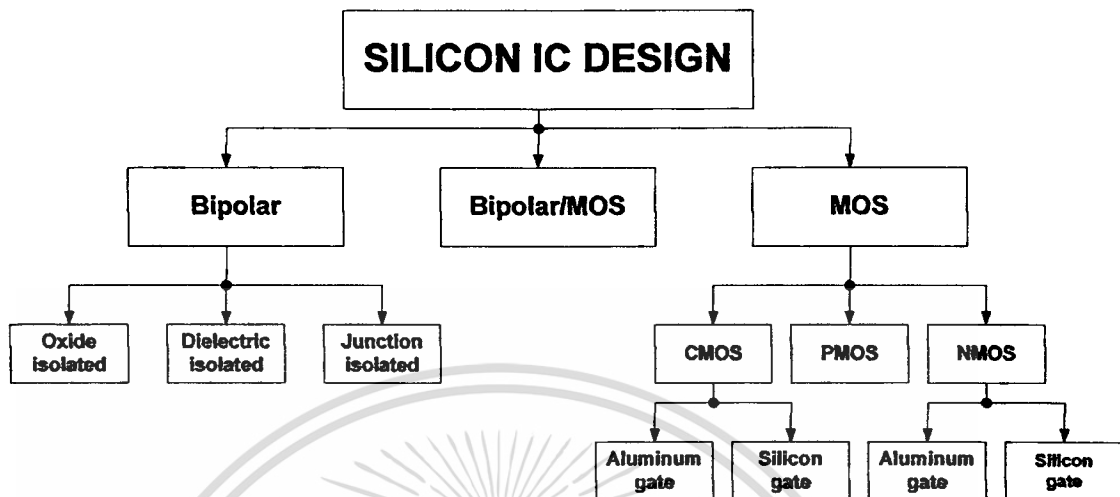
ขณะเดียวกันเมื่อไอซีมีข้อดีก็ย่อมที่จะมีข้อเสียด้วย ซึ่งข้อเสียข้อหนึ่งของไอซี คือ ไม่สามารถที่จะปรับแต่งค่าต่าง ๆ ได้ เช่น ค่าความต้านทานในไอซี ได้โดยง่ายเหมือนกับในวงจรถือคติ แต่ถ้ามีความจำเป็นที่จะทำการปรับแต่งก็สามารถกระทำได้โดยการใช้แสงเลเซอร์ แต่ก็จะเป็นผลให้ต้นทุนในการผลิตสูงมากขึ้น ส่วนข้อเสียอีกประการของไอซี คือ การออกแบบวงจรจะยุ่งยาก มีความสลับซับซ้อนและใช้เวลาในการออกแบบมากกว่าการออกแบบวงจรถือคติ ซึ่งมี ความสามารถในการทำงานเหมือนกัน แต่ข้อเสียดังกล่าวก็ไม่มีผลกระทบในกรณีที่เกิดไอซี เหล่านั้นจำนวนมาก ๆ

### 2.3 เทคโนโลยีของมอส

ปัจจุบันการพัฒนาการของเทคโนโลยี VLSI (Very Large Scale Integration) เป็นการผลิตวงจรรวมซึ่งเป็นที่นิยมกันมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่น ๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากในงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรูปบนชิปเดียว (Single Chip) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรวมก็ถือเป็นบทบาทสำคัญของการผลิตไอซี โดยทำการออกแบบเป็น VLSI ที่รู้จักกันส่วนใหญ่ของระบบที่เป็นอนาล็อกคือ วงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลและดิจิตอลเป็นอนาล็อก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราการขยายโดยอัตโนมัติ (Automatic Gain Control )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงแผนผังของเทคโนโลยีวงจรรวม

วิธีการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่ 2 แบบ คือ แบบไบโพลาร์ (BJT) และมอส โดยสามารถจำแนกเป็นส่วนย่อย ๆ ดังรูปที่ 2.1 โดยทั้งหมดนั้นจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน ซึ่งเดิมการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่ในปัจจุบันเทคโนโลยีของมอสได้มีการพัฒนาขึ้นอย่างมากมา ซึ่งสามารถที่จะดูได้จากข้อได้เปรียบของมอสทรานซิสเตอร์เมื่อเทียบกับไบโพลาร์ทรานซิสเตอร์ จะพบว่าเทคโนโลยีของมอสเฟททำให้สามารถบรรจุวงจรถูกออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor) และจากรูปที่ 2.1 จะพบว่าเทคโนโลยีของวงจรรวมจะมีอุปกรณ์หลายชนิด แต่ในงานวิจัยนี้จะใช้อุปกรณ์คือ มอสเฟท ชนิดเอ็นซานเมนท์ ในการออกแบบ ดังนั้นในบทนี้จะขออธิบายการทำงานของมอสเฟทชนิดเอ็นซานเมนท์เท่านั้น

### 2.3.1 ข้อดีของมอสเฟท เมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

1. ต้องการขั้นตอนการผลิตประมาณ 25% เมื่อเทียบกับกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์ เนื่องจากการออกแบบสร้าง MOSFET มีโครงสร้างและกระบวนการที่ง่ายทำให้ใช้ต้นทุนในการผลิตต่ำ (Low cost)
2. สิ่งประดิษฐ์ถูกสร้างขึ้นได้มากกว่า และสามารถบรรจุหรือถูกใส่ไปในพื้นที่ที่จำกัดได้ในปริมาณมาก และปัจจุบันเหมาะที่จะทำเป็นวงจรรวม VLSI
3. ขาเดรน (Drain) และขาซอส (Source) ของ MOS สามารถสลับแทนที่กันได้ซึ่งการทำงานยังคงไม่เปลี่ยนแปลงมากนัก เพราะเนื่องจากว่า MOS มีความสมมาตร

- (Bilaterally Symmetric) ซึ่งแตกต่างกับไบโพลาร์ทรานซิสเตอร์ที่ไม่สามารถสลับกันระหว่างขาอิมิตเตอร์ (Emitter) กับขาคอลเลคเตอร์ (Collector) ได้
4. ปริมาณการได้ปาสารกึ่งตัวนำที่อิมิตเตอร์กับคอลเลคเตอร์จะไม่เท่ากัน โดยสารกึ่งตัวนำที่อิมิตเตอร์จะมีปริมาณการได้ปาสารที่สูงกว่า ซึ่งถ้าทำการสลับขา จะทำให้อัตราการขยาย (Gain) ลดลงอย่างมาก
  5. จำนวนชนิดพาหะในการนำกระแส โดยมอสจะใช้ในการนำกระแสเพียงชนิดเดียวคือ โฮล (hole) ใน PMOS หรืออิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ว่า ยูนิโพลาร์ ทรานซิสเตอร์ (Unipolar Transistor) ซึ่งต่างจากกรณีของไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) จะใช้จำนวนพาหะในการนำกระแสทั้ง 2 ชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (Majority Carrier) ซึ่งเป็นอิเล็กตรอน สำหรับกรณี NPN และโฮล สำหรับกรณี PNP และกระแสของพาหะส่วนน้อย (Minority Carrier) ซึ่งเป็นโฮลสำหรับ NPN และเป็นอิเล็กตรอนสำหรับ PNP
  6. การทำงานของมอสทรานซิสเตอร์ จะทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออกและค่าความต้านทานทางเข้า (Input Impedance) ของมอสเฟทมีค่ามาก ๆ เนื่องจากที่อินพุทของขาเกตค้อยู่กับฉนวน (ฉลิกอนไดออกไซด์) ทำให้มีอัตราการสูญเสียกำลังต่ำมาก และสามารถนำไปขับมอสเฟทตัวอื่น ๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงานโดยใช้กระแสทางเข้าควบคุมกระแสที่ทางออก และค่าความต้านทานที่ทางเข้าก็มีน้อยกว่ากรณีของมอสเฟท ทำให้มีอัตราในการสูญเสียกำลังมากกว่า
  7. เนื่องจากมอสเฟทมีการทำงานโดยใช้แรงดันควบคุม จึงทำให้สามารถขับ (Drive) มอสเฟทตัวอื่น ๆ ได้มีจำนวนมาก ซึ่งมีค่าแฟนเอาท์สูง (High Fan-out) และมีอัตราสูญเสียกำลังอินพุทที่เกิดขึ้นมีค่าต่ำมาก
  8. ผลกระทบของอุณหภูมิต่อกระแส (Thermal Runaway) ภายในมอสเฟทมีค่าน้อยมาก นั่นคือ ถ้าอุณหภูมิมีค่าเพิ่มขึ้นกระแสที่ไหลผ่านมอสจะมีค่าค่อนข้างคงที่ จึงไม่เกิดการเสียหายเนื่องจากผลทางความร้อนซึ่งแตกต่างจากไบโพลาร์ทรานซิสเตอร์ ซึ่งเมื่อมีอุณหภูมิเพิ่มขึ้นจะทำให้มีกระแสไหลเพิ่มมากขึ้น ผลอันนี้เองจะเป็นตัวทำลายทรานซิสเตอร์ที่ใช้งานที่กระแสสูง ๆ จึงต้องมีฟิวส์คอยป้องกันการไหลเกินของกระแส เพื่อป้องกันไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งในมอสไม่จำเป็นต้องมีวงจรป้องกัน
  9. การใช้งานมอส จะใช้กำลังต่ำซึ่งจะเป็นผลให้ถูกรบกวนทางไฟฟ้าที่เกิดขึ้นต่ำไป

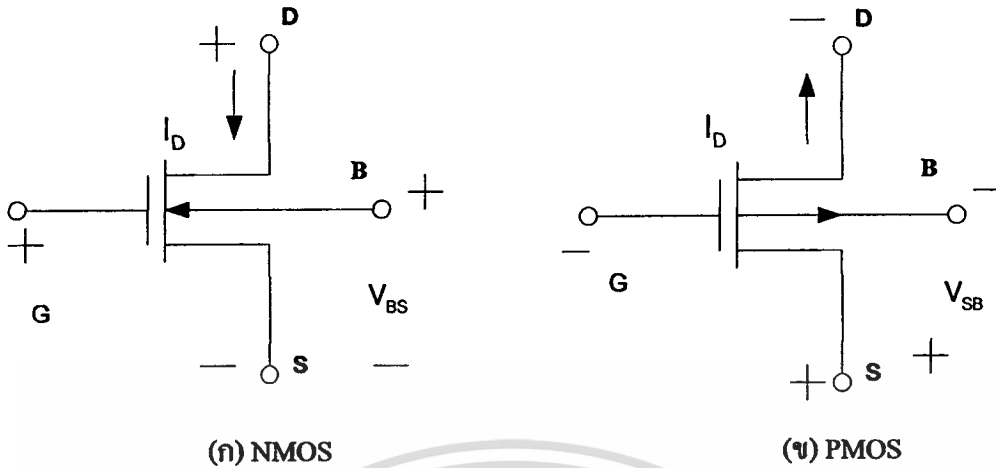
เอกสารนี้เป็นเอกสารที่ส่ง **ด้วย** สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.2 ข้อเสียของมอสเฟต เมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

1. ไม่สามารถทำงานได้โดยใช้กระแสควบคุม
2. มีการทำงานที่ก้ำกึ่งต่ำ (Low Power) หรือทนต่อการใช้งานที่ก้ำกึ่งสูง ๆ ไม่ได้
3. มีความเร็วในการทำงานที่ต่ำกว่าไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีค่าคาปาซิแตนซ์ทางด้านอินพุตที่สูง ซึ่งเป็นข้อจำกัดการใช้งานทางด้านความถี่สูง แต่ปัจจุบันได้มีการใช้โพลีซิลิกอนเกตเทคโนโลยี จึงช่วยลดค่าคาปาซิแตนซ์ที่เกตทำให้มีการทำงานที่เร็วขึ้น
4. ค่าของทรานคอนดักแตนซ์ (Transconductance) หรือ  $g_m$  มีค่าต่ำ
5. สมการที่ใช้ในการวิเคราะห์การทำงานของมอสเฟตจะมีความยุ่งยากมากกว่าสมการของไบโพลาร์ทรานซิสเตอร์ อีกทั้งในการพิจารณาการทำงานของมอสเฟตก็ยังมีหลายระดับ (LEVEL) อีกด้วย ดังเช่น ในโปรแกรมสำเร็จรูป SPICE 2G.6 แบ่งการทำงานของมอสเฟตออกเป็น 3 ระดับ คือ LEVEL1 , LEVEL2 , LEVEL3 ตามลำดับ

## 2.4 โครงสร้างและทฤษฎีการทำงานของมอสเฟตชนิดเอ็นฮานสมেন্ট

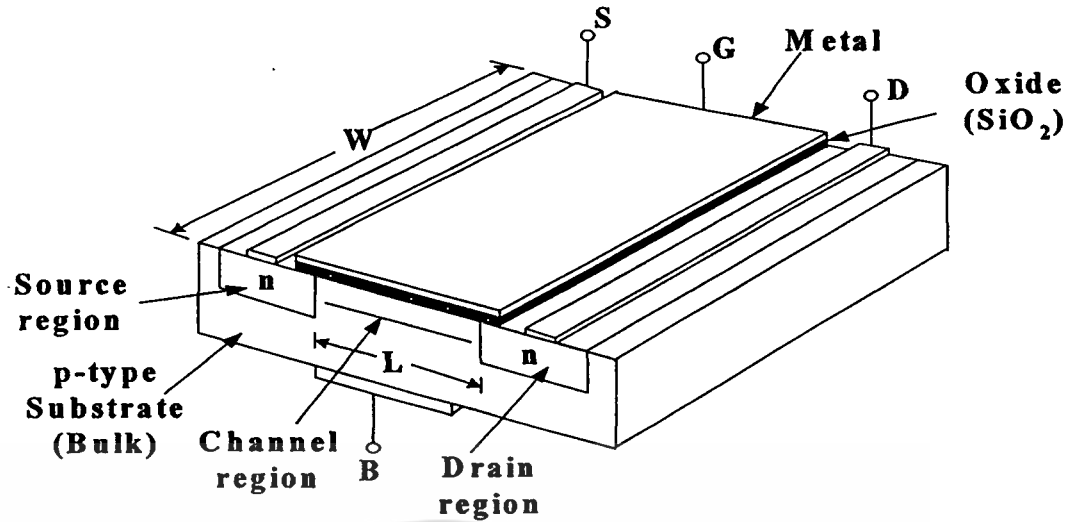
มอสเฟต (MOSFET) มาจากชื่อเต็มว่า Metal Oxide Semiconductor Field Effect Transistor โดยมีชื่อเรียกอีกอย่างว่า อินซูลเกตเฟลด์เอฟเฟกต์ทรานซิสเตอร์ (Insulated Gate Field Effect Transistor) หรือตัวย่อคือ IGFET ซึ่งชื่อนี้ก็มาจากโครงสร้างของเฟต โดยที่เกตจะมีกระแสไหลน้อยมาก (เป็นฉนวน) ซึ่งพบว่ามอสเฟตจะมีความสมมาตรไม่เหมือนกับอุปกรณ์ประเภท BJT ดังนั้นในการใช้งานจึงสามารถที่จะสลับขั้วแตรนและขาซอร์สได้ และในปัจจุบันมอสเฟตได้เข้ามาแทนที่อุปกรณ์ประเภทไบโพลาร์ทรานซิสเตอร์ เนื่องจากมอสเฟตมีโครงสร้างที่ง่ายมีขั้นตอนการผลิตน้อย มีขนาดเล็กทำให้ได้ปริมาณมาก ค่าความต้านทานอินพุตสูง (High Input Impedance) สัญญาณรบกวนต่ำ แต่มอสเฟตก็ยังมีข้อเสียเมื่อเทียบกับไบโพลาร์ทรานซิสเตอร์ คือ มีการทำงานที่ก้ำกึ่งต่ำ อัตราการขยายต่ำ และความเร็วในการทำงานต่ำ



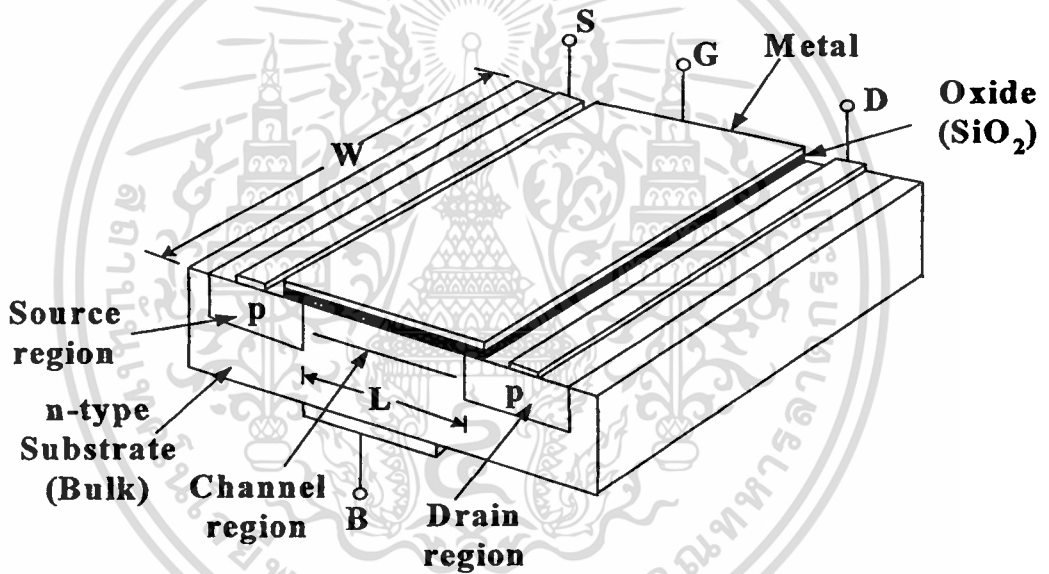
## รูปที่ 2.2 แสดงประเภทของเฟต

### 2.4.1 โครงสร้างของมอสเฟต

มอสเฟตเป็นอุปกรณ์ประเภทสารกึ่งตัวนำที่มี 3 ขั้ว คือ ขั้วซอร์ส (Source) ตัวข้อยคือ S, ขั้วเดรน (Drain) ตัวข้อยคือ D และขั้วเกต (Gate) ตัวข้อยคือ G จากรูปที่ 2.2 จะพบว่ามอสเฟตแบ่งออกเป็น 2 ประเภท คือ เอ็นฮานซ์เมนต์มอสเฟต (Enhancement MOSFET) และดีพลีชันมอสเฟต (Depletion MOSFET) โดยในแต่ละประเภทสามารถที่จะแบ่งออกได้เป็น 2 แบบ คือ แบบ P-Channel ซึ่งจะเรียกว่า PMOS และ N-Channel ซึ่งจะเรียกว่า NMOS สำหรับโครงสร้างของ NMOS และ PMOS จะมีโครงสร้างที่ตรงข้ามกัน โดยในบทนี้จะขอแสดงโครงสร้างของมอสเฟตที่เป็นชนิดเอ็นฮานซ์เมนต์เท่านั้น ซึ่งโครงสร้างของ NMOS จะแสดงในรูปที่ 2.3 และโครงสร้างของ PMOS จะแสดงในรูปที่ 2.4



รูปที่ 2.3 โครงสร้างของเอ็นฮานซ์โหมดอสเฟตชนิด NMOS



รูปที่ 2.4 โครงสร้างของเอ็นฮานซ์โหมดอสเฟตชนิด PMOS

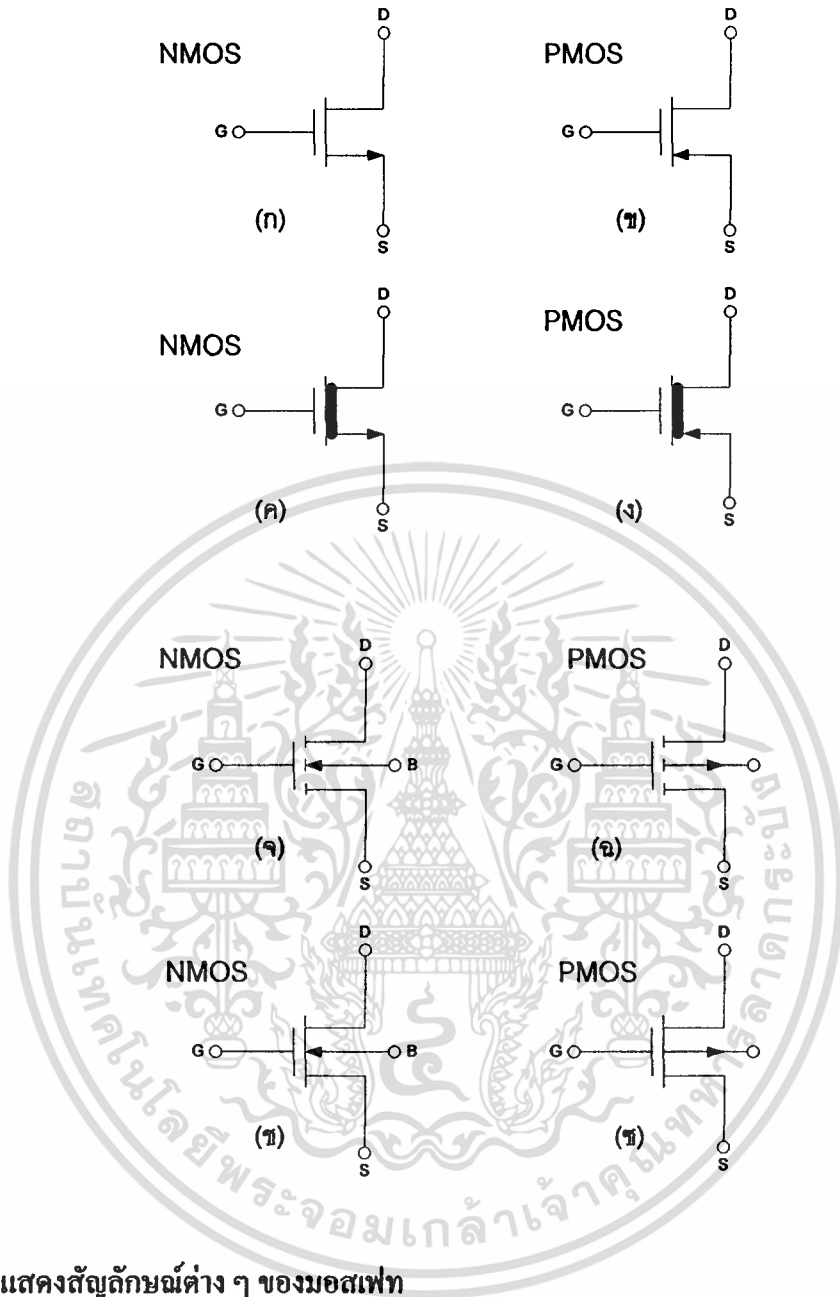
จากรูปที่ 2.3 จะเป็น โครงสร้างของเอ็นฮานซ์โหมดอสเฟต ชนิด NMOS ซึ่งจะประกอบด้วย ส่วนของฐานรองที่เป็นสารกึ่งตัวนำชนิดพี (P-Type) โดยจะมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด แพร่ลง บนฐานรอง ซึ่งสารกึ่งตัวนำชนิดเอ็นนี้จะถูกเรียกว่า ซอร์ส (Source) และเดรน (Drain) โดยที่บน ผิวหน้าระหว่างซอร์สและเดรนจะมีแผ่นฟิล์มบาง ๆ ของซิลิกอนไดออกไซด์ ( $SiO_2$ ) และส่วนบน ของซิลิกอนไดออกไซด์จะมีโลหะซึ่งทำมาจากโพลีซิลิกอน ในส่วนนี้จะเรียกว่าเกต (Gate) สำหรับ ในรูปที่ 2.4 จะเป็นโครงสร้างของเอ็นฮานซ์โหมดอสเฟตชนิด PMOS ซึ่งจะมีโครงสร้างที่ตรงกัน ข้ามกับ NMOS คือที่ฐานรอง (Substrate) จะเป็นสารกึ่งตัวนำชนิดเอ็น (N-Type) ในขณะที่ซอร์ส กับเดรนจะเป็นสารชนิดพี โดยที่พาหะสำหรับนำกระแสจะเป็นโฮล การทำงานจะเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเฉพาะเท่านั้น เมื่อผู้ใดเห็นเอกสารฉบับนี้แล้ว กรุณาแจ้งให้ทราบทันที ไม่อย่างนั้นจะถือว่าผิดกฎหมาย และต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NMOS ต่างกันที่  $V_{GS}$  และ  $V_{DS}$  จะเป็นลบ เช่นเดียวกับ  $V_T$  รวมทั้งกระแส  $I_D$  จะไหลเข้าซอร์สและออกจากเดรน เนื่องจาก NMOS สามารถที่จะสร้างได้เล็กกว่าและสามารถที่จะทำงานได้เร็วกว่า PMOS และยังสามารถทำหน้าที่เป็นแหล่งจ่ายดิซิจิตัลต่ำกว่า ดังนั้น NMOS เทคโนโลยีจะเสมือนว่าได้แทนที่ PMOS แต่อย่างไรก็ตาม PMOS ก็ยังใช้งานในวงจรแบบคิสิกทรืค (Discrete Circuit Design) และที่สำคัญอีกอย่างก็คือ PMOS และ NMOS จะรวมในวงจรเดียวกันซึ่งเรียกว่า ซิมอส ในส่วนของระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอร์สและเดรน จะเรียกว่า Channel Length ตัวย่อคือ L และความกว้างของช่องระหว่างซอร์สและเดรนจะเรียกว่า Channel Width ตัวย่อคือ W

#### 2.4.2 สัญลักษณ์ของมอสเฟต

สัญลักษณ์ของมอสเฟตทำให้เราสามารถที่จะทราบได้ว่าเป็นมอสเฟตชนิด N-Channel หรือชนิด P-Channel โดยสังเกตได้จากหัวลูกศรที่ขาซอร์ส ถ้าหัวลูกศรหันเข้าหาเกตแสดงว่าเป็น PMOS และหากหัวลูกศรหันออกแสดงว่าเป็น NMOS หรือสามารถที่จะดูได้จากทิศทางของหัวลูกศรที่ขาบอดี้ (Body) ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS และถ้าหากหัวลูกศรหันออกแสดงว่าเป็น PMOS สัญลักษณ์ของมอสเฟตยังเป็นตัวบ่งบอกได้อีกว่ามอสเฟตเป็นชนิดเอ็นฮานสมেন্টมอสเฟตหรือดีพลีชันมอสเฟตอีกด้วย ดังรูปที่ 2.5



รูปที่ 2.5 แสดงสัญลักษณ์ต่าง ๆ ของมอสเฟต

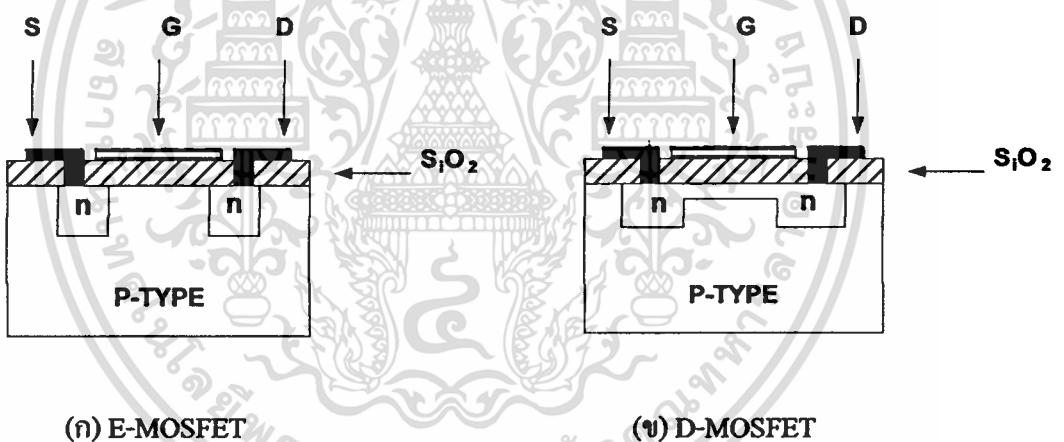
จากรูปที่ 2.5 จะเป็นการแสดงสัญลักษณ์ต่าง ๆ ของมอสเฟต กล่าวคือ สัญลักษณ์ รูป(ก) คือ Enhancement NMOS เมื่อโวลท์เทจระหว่างบอดี้และซอร์ส ( $V_{BS}$ ) เป็นศูนย์ สัญลักษณ์รูป(ข) คือ Enhancement PMOS เมื่อ  $V_{BS} = 0$  สัญลักษณ์รูป(ค) คือ Depletion NMOS เมื่อ  $V_{BS} = 0$  สัญลักษณ์รูป(ง) คือ Depletion PMOS เมื่อ  $V_{BS} = 0$  สัญลักษณ์ในรูป (จ)-(ฉ) จะแสดงสัญลักษณ์ของ NMOS และ PMOS เหมือนสัญลักษณ์รูป(ก)-(ง) แต่จะมีความแตกต่างกันตรงที่  $V_{BS} \neq 0$

### 2.4.3 ชนิดของมอสเฟต

จากรูปที่ 2.2 ทำให้เราสามารถทราบได้ว่ามอสเฟตแบ่งออกเป็น 2 ประเภท คือ คีเพลทชั้นมอสเฟต (Depletion MOSFET) และเอ็นฮานเม้นท์มอสเฟต (Enhancement MOSFET) โดยในแต่ละประเภทยังสามารถแบ่งออกเป็น 2 แบบ คือ แบบแชนแนล N และแชนแนล P

มอสเฟตประเภทคีเพลทชั้นหรือ คีมอสเฟต (D-MOSFET) ซึ่งทั้ง 2 แบบสามารถที่จะทำงานได้ 2 โหมด คือ โหมดคีเพลทชั้น (Mode Depletion) และ โหมดเอ็นฮานเม้นท์ (Enhancement Mode) กล่าวคือ ถ้าจ่ายแรงดันลบให้กับคีมอสเฟตแชนแนล N จะทำงานในโหมดคีเพลทชั้น แต่ถ้าจ่ายแรงดันเป็นบวกจะทำงานในโหมดเอ็นฮานเม้นท์ ส่วนคีมอสเฟตแชนแนล P ก็จะมีการทำงานคล้ายกันเมื่อได้รับแรงดันที่มีขั้วตรงกันข้ามกับแชนแนล N

มอสเฟตประเภทเอ็นฮานเม้นท์ หรือ อีมอสเฟต (E-MOSFET) จะมีโครงสร้างบางอย่างคล้ายกับมอสเฟตแบบคีเพลทชั้น แต่จะสามารถทำงานได้เฉพาะในโหมดเอ็นฮานเม้นท์เท่านั้น

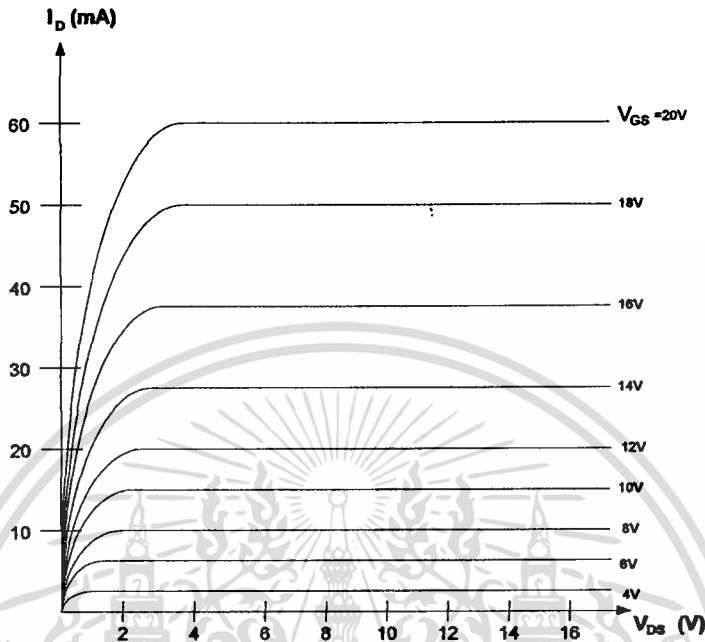


รูปที่ 2.6 โครงสร้างของมอสเฟตชนิดเอ็น-แชนแนล

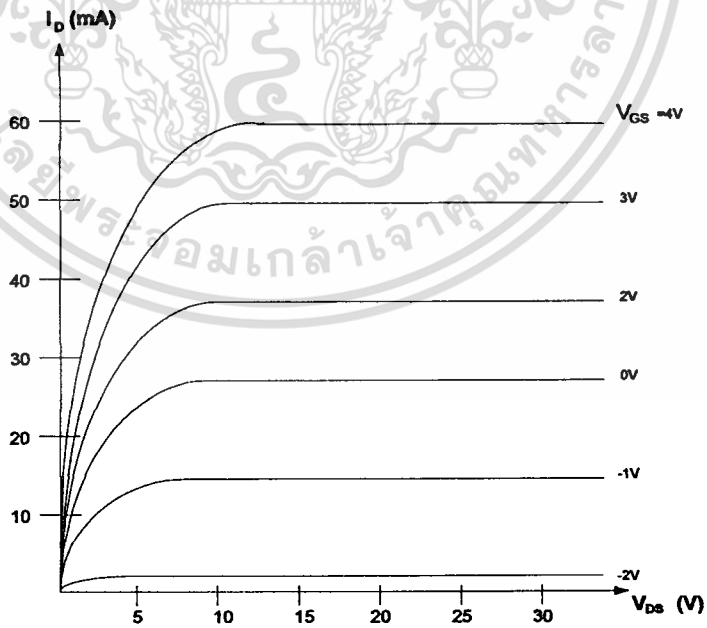
จากรูปที่ 2.6 จะพบว่าโครงสร้างของ D-MOSFET จะคล้ายกับ E-MOSFET แต่จะมีความแตกต่างกันที่ช่องระหว่างซอร์สกับเดรน ของ D-MOSFET ซึ่งจะมีการแพร่สารเอ็นอยู่ ดังนั้นจึงทำให้มีกระแสไหลระหว่างเดรนกับซอร์ส เมื่อความต่างศักย์ที่เดรนเป็นบวกเทียบกับซอร์สและความต่างศักย์ระหว่างเกตกับซอร์สเป็นศูนย์ ( $V_{GS} = 0$ ) เมื่อ  $V_{GS}$  มีค่าเป็นลบจะทำให้กระแสเดรนลดลง แต่ถ้า  $V_{GS}$  มีค่าเป็นบวกจะทำให้กระแสเดรนไหลเพิ่มขึ้น ส่วนการทำงานของ E-MOSFET จะไม่มีกระแสไหลระหว่างเดรนกับซอร์ส เมื่อความต่างศักย์ที่เดรนเป็นบวกเมื่อเทียบกับซอร์สและความต่างศักย์ระหว่างเกตกับซอร์สเป็นศูนย์ ถ้าให้  $V_{GS}$  มีค่าเป็นบวก จะทำให้เกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสครนไหล ยิ่งเพิ่ม  $V_{GS}$  มีค่าเป็นบวกเพิ่มมากขึ้นก็จะทำให้กระแสครนไหลเพิ่มมากขึ้น ดังรูปที่ 2.7 จะเป็นการแสดงกราฟคุณสมบัติของ E-MOSFET และ D-MOSFET



(ก) E-MOSFET



(ข) D-MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้เพื่อใช้เฉพาะในวงประชุมวิชาการเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 2.4.4 คุณสมบัติการทำงานของมอสเฟต

ลักษณะการทำงานของมอสเฟต จะเป็นการใช้ศักดาไฟฟ้าเป็นตัวควบคุมปริมาณการไหลของกระแสไฟฟ้า การทำงานของมอสเฟตสามารถที่จะแบ่งการทำงานออกเป็น 3 ช่วง โดยที่ในแต่ละช่วงของการทำงานจะขึ้นอยู่กับค่า  $V_{GS} - V_T$  และค่า  $V_{DS} - V_T$  เป็นศูนย์ หรือ เป็นค่าลบ ในสภาวะนี้มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cut off)

$$I_D = 0 \quad ; \quad V_{GS} - V_T < 0 \quad (2.1)$$

ในช่วงที่มอสเฟตไม่นำกระแสแต่ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด (Open Circuit) ถ้า  $V_{GS} - V_T > 0$  และ  $0 < V_{DS} < V_{GS} - V_T$  แล้วมอสเฟตจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Non-Saturation) ดังสมการที่ 2.2

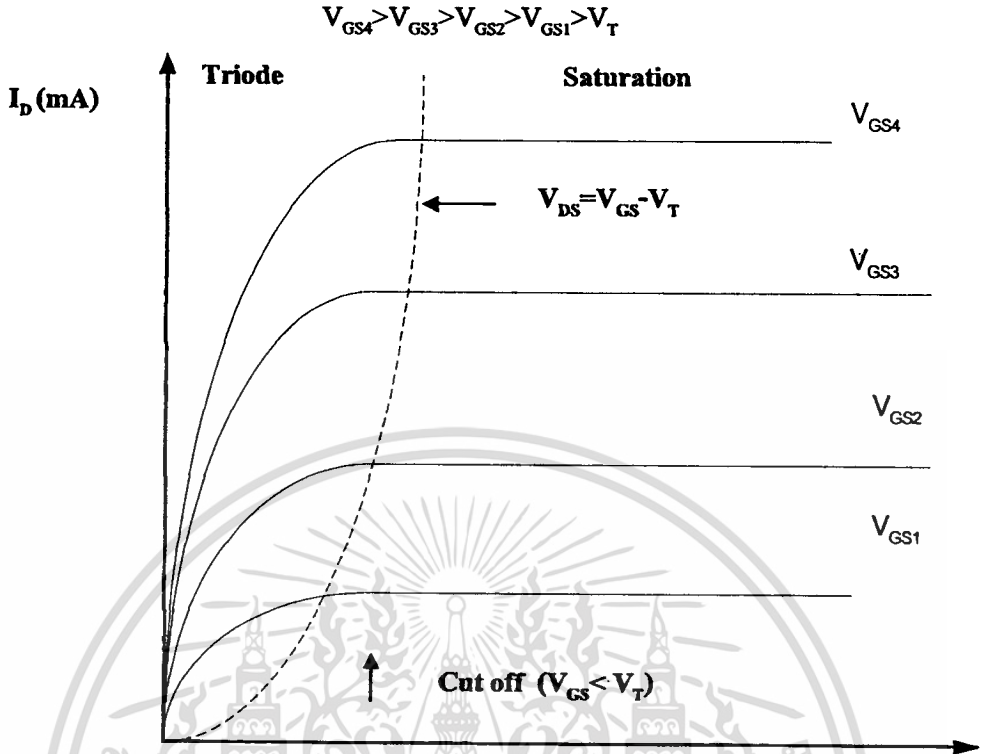
$$I_D = \frac{K'W}{L} \left\{ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right\} V_{DS} \quad (2.2)$$

ถ้า  $V_{GS} - V_T > 0$  และ  $V_{DS} \geq V_{GS} - V_T$  แล้วมอสเฟตจะทำงานในช่วงของการนำกระแสอิ่มตัว (Saturation) ดังสมการที่ 2.3

$$I_D = \frac{K'W}{2L} (V_{GS} - V_T)^2 \quad (2.3)$$

|        |          |   |
|--------|----------|---|
| โดยที่ | $K'$     | คือ ทรานคอนดักแตนซ์ (Transconductance) ซึ่งมีค่าเท่ากับ $\mu_0 C_{OX}$              |
|        | $\mu_0$  | คือ ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)                  |
|        | $C_{OX}$ | คือ ค่าความจุต่อพื้นที่ของเกตอ็อกไซด์ (Capacitance per Unit Area of the Gate Oxide) |
|        | $W$      | คือ ค่าความกว้างของช่องนำ (Channel Width)   |
|        | $L$      | คือ ค่าความยาวของช่องนำ (Channel Length)  |
|        | $V_{GS}$ | คือ ค่าความต่างศักย์ระหว่างเกตและชาซอร์ส  |
|        | $V_T$    | คือ ค่าแรงดันขีดเริ่ม (Threshold Voltage)   |
|        | $V_{DS}$ | คือ ค่าความต่างศักย์ระหว่างชาเดรนและชาซอร์ส   |
|        | $I_D$    | คือ ค่ากระแสเดรน  |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงคุณสมบัติของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 สรุป

ในบทนี้ได้กล่าวถึงการทำงานของมอสเฟต เทคโนโลยีซีมอส ข้อดีและข้อเสียของมอสเฟตเมื่อทำการเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์ และทฤษฎีการทำงานของมอสเฟต เพื่อที่จะเป็นพื้นฐานของการนำเอาคุณสมบัติของมอสเฟตไปใช้ในการออกแบบ เนื่องจากเทคโนโลยีของมอสกำลังเป็นที่นิยมในการออกแบบวงจรรวม เพื่อให้ได้วงจรที่ทำการออกแบบนั้นเป็นไปตามทฤษฎีถูกต้องแม่นยำในการทำงานช่วงอิมิตัว ซึ่งสามารถที่จะนำมอสเฟตไปออกแบบวงจรโดยจะกล่าวในบทที่ 3 และบทที่ 4 ต่อไป



### บทที่ 3

## การออกแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ที่นำเสนอในวิทยานิพนธ์

### 3.1 กล่าวนำ

วงจรกำลังสอง เป็นวงจรหนึ่งที่มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางในระบบโทรคมนาคมและระบบเครื่องมือวัด เช่น วงจรทวีความถี่ (Frequency Doublers) วงจรตรวจจับค่ายอด (Peak Amplitude Detector) ของสัญญาณไซน์ เป็นต้น วงจรกำลังสองและวงจรลดครากที่สองได้ถูกนำเสนอมาโดยตลอดและในปัจจุบันวงจรกำลังสองส่วนใหญ่ มักถูกนำเสนอในแบบที่ใช้มอสเฟตในการออกแบบ ซึ่งแต่ละแบบที่เคยนำเสนอ [1]-[2] ก็มีหลายวิธีการ ในบทนี้ได้นำเสนอการออกแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ซึ่งแหล่งจ่ายที่ใช้ในวงจรมีขนาดเพียง  $\pm 1.2$  Volt โดยใช้คุณสมบัติของมอสทรานซิสเตอร์ที่ได้กล่าวมาแล้วในบทที่ 2 การทำงานของมอสเฟตจะใช้การทำงานในช่วงอิมิตัวเป็นหลัก การออกแบบวงจรจะมุ่งเน้นให้วงจรที่ทำการออกแบบเป็นวงจรที่ไม่ซับซ้อน สามารถทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ และลดจำนวนของอุปกรณ์ให้เหลือน้อยที่สุดเท่าที่จะเป็นไปได้ เหมาะสมที่จะนำไปสร้างเป็นวงจรรวม

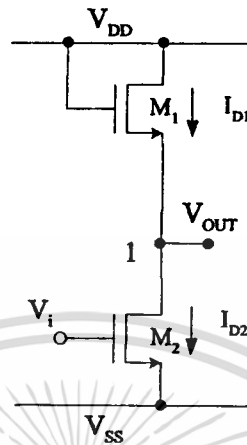
### 3.2 หลักการทำงานของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

วงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอในวิทยานิพนธ์สามารถแบ่งวงจรย่อยได้ 3 วงจร คือวงจรอินเวอร์เตอร์ วงจรขยายสัญญาณดิฟเฟอเรนเชียลเฟอเรนเชียล และวงจรสะท้อนกระแส โดยในวิทยานิพนธ์นี้กำหนดให้ MOS ทำงานในช่วงอิมิตัว ซึ่งสมการทางด้านกระแส คือ

$$I_D = K(V_{GS} - V_T)^2 \quad ; \quad (V_{GS} - V_T) \leq V_{DS} \quad (3.1)$$

$$\text{เมื่อ } K = \frac{\mu C_{ox} W}{2L}$$

### 3.2.1 วงจรอินเวอร์เตอร์



รูปที่ 3.1 วงจรอินเวอร์เตอร์

จากรูปที่ 3.1 เป็นการนำ CMOS  $M_1$  และ  $M_2$  มาต่ออันดับกัน โดยจะทำการป้อน  $V_i$  ที่ขาเกตของ  $M_2$  ส่วนที่ขาเกตของ  $M_1$  จะต่อร่วมกับแหล่งจ่าย โดยที่เอาท์พุทของวงจรจะต่ออยู่ระหว่างขาซอร์สของ  $M_1$  และขาเดรนของ  $M_2$  จากวงจรสามารถที่จะแสดงได้ด้วยสมการทางกระแสของมอสทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัว ดังนี้

$$I_{D1} = K_1(V_{DD} - V_O - V_T)^2 \quad (3.2)$$

$$I_{D2} = K_2(V_i - V_{SS} - V_T)^2 \quad (3.3)$$

ที่โหนด 1 สามารถหาความสัมพันธ์ระหว่าง  $V_O$  และ  $V_i$  ได้จากสมการที่ (3.4)

$$I_{D1} = I_{D2} \quad (3.4)$$

กำหนดให้  $K_1 = K_2 = K$  และ  $V_{SS} = -V_{DD}$  จากสมการที่ (3.2) และ (3.3) แทนในสมการที่ (3.4) สามารถหาความสัมพันธ์ของสมการทางด้านเอาท์พุทได้ คือ

$$K(V_{DD} - V_O - V_T)^2 = K(V_i + V_{DD} - V_T)^2 \quad (3.5)$$

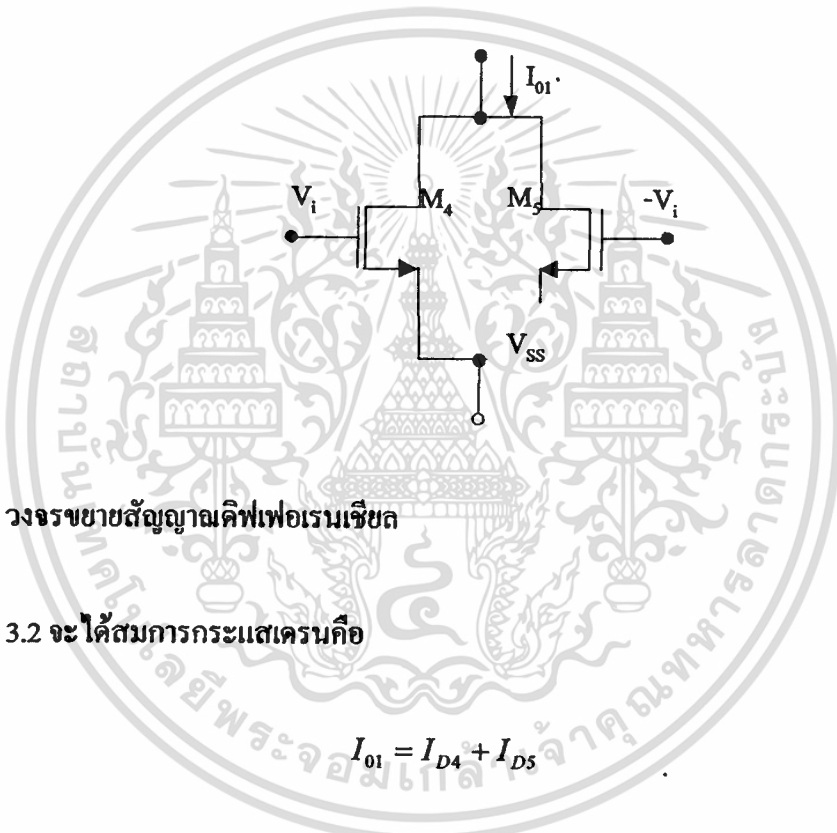
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_o = -V_i \quad (3.6)$$

จากสมการที่ (3.6) ผลลัพธ์ทางด้านเอาต์พุตจะเป็นส่วนกลับของทางด้านอินพุต ซึ่งเป็นคุณสมบัติของวงจรอินเวอร์เตอร์

### 3.2.2 วงจรขยายสัญญาณคิฟเฟอเรนเชียล

จากวงจรในรูปที่ 3.2 เป็นวงจรขยายสัญญาณคิฟเฟอเรนเชียล การทำงานของวงจรสามารถอธิบายได้ตามสมการที่ 3.7-3.10 ดังนี้



รูปที่ 3.2 วงจรขยายสัญญาณคิฟเฟอเรนเชียล

จากรูปที่ 3.2 จะ ได้สมการกระแสเดรนคือ

$$I_{01} = I_{D4} + I_{D5} \quad (3.7)$$

เมื่อ

$$I_{D4} = K_4 (V_i - V_{SS} - V_T)^2 \quad (3.8)$$

$$I_{D5} = K_5 (-V_i - V_{SS} - V_T)^2 \quad (3.9)$$

แทนสมการที่ (3.8) และ (3.9) ในสมการที่ (3.7) จะได้ผลลัพธ์ทางด้านกระแสเอาต์พุตเป็นไปตามสมการที่ (3.10) โดยค่าของ  $K_4 = K_5 = K$

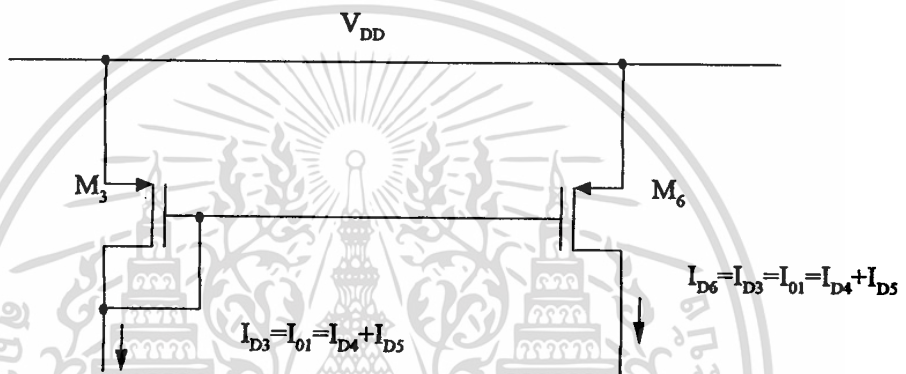
$$I_{01} = 2K[V_i^2 + (V_{SS} + V_T)^2] ; I_{DC} = (V_{SS} + V_T)^2 \quad (3.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.10) จะเห็นว่ากระแสเอาต์พุทของวงจรถิฟเฟอร์ลเซียลมีความสัมพันธ์เป็นกำลังสอง เมื่อมอสเฟตมีการทำงานในช่วงอิมิตัว แต่จะมีค่ากระแสออฟเซตพบนมาด้วย ดังนั้นในการนำวงจรถิฟเฟอร์ลเซียลมาใช้งานจะต้องทำการหักล้างค่ากระแสออฟเซตที่เกิดขึ้น

### 3.2.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแสที่นำมาใช้ในวงจรถิฟเฟอร์ลเซียลสอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำนี้เป็นวงจรสะท้อนกระแสอย่างง่ายแสดงดังรูปที่ 3.3

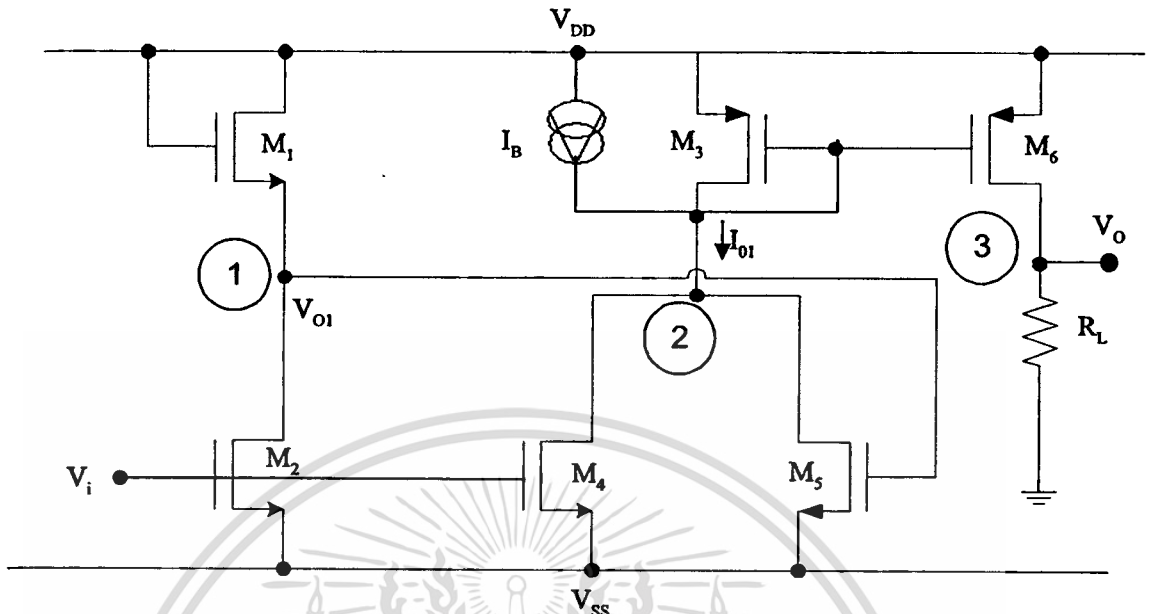


รูปที่ 3.3 แสดงวงจรสะท้อนกระแส

รูปที่ 3.3 เป็นวงจรสะท้อนกระแสอย่างง่าย ซึ่งสามารถแสดงสมการได้ คือ

$$I_{O1} = I_{D3} = I_{D6} = I_{D4} + I_{D5} = 2KV_i^2 + I_{DC} \quad (3.11)$$

เมื่อนำวงจรรูปที่ (3.1) ถึง (3.3) นำมาต่อรวมกันจะได้เป็นวงจรถิฟเฟอร์ลเซียลสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำแสดงดังรูปที่ (3.4)



รูปที่ 3.4 วงจรกำลังสอง โดยใช้แหล่งจ่ายไฟเลี้ยงค่าที่นำเสนอในวิทยานิพนธ์

จากวงจรในรูปที่ 3.4 เป็นวงจรกำลังสองที่นำเสนอในวิทยานิพนธ์ ซึ่งวงจรสามารถที่จะทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงค่า ซึ่งมีขนาดเท่ากับ  $\pm 1.2$  Volt. จากสมการที่ 3.10 พบว่ากระแสทางค่านเอาท์พุท ( $I_{O1}$ ) ของวงจรดิฟเฟอเรนเชียลจะมีค่ากระแสออฟเซตเกิดขึ้น ดังนั้นจึงเพิ่มแหล่งจ่ายกระแสตรง ( $I_B$ ) ในวงจรเพื่อให้ค่าของกระแสออฟเซตหมดไป ( $I_B$  เป็นค่ากระแสตรงที่นำมาหักล้างกับค่ากระแสออฟเซต) จะได้ผลดังสมการที่ (3.12)

$$I_{D3} = I_{D6} = I_{O1} - I_B \quad (3.12)$$

โดยที่ 
$$I_{D6} = I_{RL} = I_{OUT} \quad (3.13)$$

ดังนั้นจะได้กระแสทางเอาท์พุทของวงจรและแรงดันของวงจรเป็นไปตามสมการที่ (3.14) และ (3.15)

$$I_{OUT} = 2KV_i^2 \quad ; \quad I_{DC} = I_B \quad (3.14)$$

$$V_O = 2R_L KV_i^2 \quad (3.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 3.15 แสดงว่าค่าแรงดัน ( $V_D$ ) จะมีค่าเท่ากับกำลังสองของแรงดันอินพุต ( $V_i$ ) เมื่อกระแสคงที่ ( $I_D$ ) เป็นกระแสที่นำมาหักล้างกระแสออฟเซต ( $I_{DC}$ ) ให้หมดไป

### 3.3 การวิเคราะห์สมรรถนะของวงจrkำลังสอง

การวิเคราะห์วงจรในหัวข้อที่ผ่านมาใช้คุณสมบัติของมอสเฟต ในรูปกฏกำลังสองแต่ในความเป็นจริงจะมีค่า Second-order effect ต่าง ๆ ที่เกิดขึ้น เช่น body effect , channel-length modulation , mobility reduction เป็นต้น ซึ่งค่าต่าง ๆ เหล่านี้จะทำให้ประสิทธิภาพของวงจรลดลง โดยค่า body effect จะไม่เกิดขึ้น เนื่องจากมอสเฟตทุกตัวต่อขา Source กับขา Substrate เข้าด้วยกัน และผลของ channel-length modulation สามารถที่จะทำให้เกิดขึ้นได้โดยการใช้ Long-length device ประมาณ  $10 \mu m$  ขึ้นไป ดังนั้นในหัวข้อนี้จะทำการพิจารณาการลดทอนความคล่องตัวของพาหะที่เกิดขึ้นในวงจร

#### 3.3.1 การลดทอนความคล่องตัวของพาหะ

ลักษณะสมบัติของกระแสและแรงดันของ CMOS ที่เกิดการลดทอนความคล่องตัวของมอสเฟตมีดังนี้

$$I_D = \frac{K(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (3.16)$$

เมื่อค่า  $\theta$  เป็นค่า mobility reduction parameter ซึ่งมีค่าประมาณ  $0.001 \approx 0.1 \text{ V}^{-1}$  และใช้ Taylor Series ทำสมการ (3.1) ได้ใหม่เป็น

$$I_D = K(V_{GS} - V_T)^2 [1 - \theta(V_{GS} - V_T) + \theta^2(V_{GS} - V_T)^2 - \theta^3(V_{GS} - V_T)^3 + \dots] \quad (3.17)$$

##### 3.3.1.1 วงจรอินเวอร์เตอร์

จากสมการ (3.17) จะเห็นว่า การลดทอนของความคล่องตัวของมอสเฟต ถูกควบคุมโดยค่า  $\theta$  และ  $(V_{GS} - V_T)$  ในมอสขนาดเดียวกัน สมมติว่ามี  $\theta$  เท่ากัน วงจรอินเวอร์เตอร์ในรูปที่ 3.1 จะได้ว่า  $I_{D1} = I_{D2}$  หรือ  $V_{GS1} = V_{GS2}$  เมื่อพิจารณาการลดทอนความคล่องตัวของมอสเฟตจะ

ได้

$$\frac{K(V_{GS1} - V_T)^2}{1 + \theta(V_{GS1} - V_T)} = \frac{K(V_{GS2} - V_T)^2}{1 + \theta(V_{GS2} - V_T)} \quad (3.18)$$

สมการที่ (3.18) เมื่อ  $V_{GS1} = V_{GS2}$  จะทำให้การลดทอนของ  $M_1$ ,  $M_2$  มีขนาดเท่ากันทำให้สามารถตัดทอนส่วนของสมการ (3.18) ได้ สรุปว่าการลดทอนความคล่องตัวของมอสเฟต จะไม่มีผลต่อวงจรอินเวอร์เตอร์ กล่าวคือ การลดทอนของความคล่องตัว จะไม่มีผลต่อการทำงานของวงจร

### 3.3.1.2 วงจรกำลังสอง

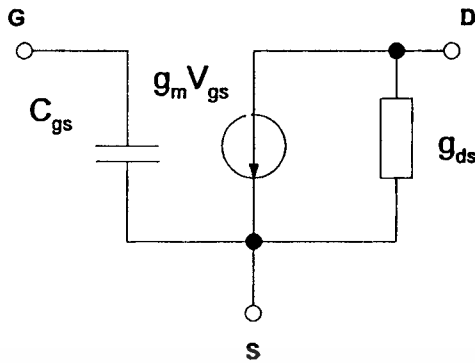
พิจารณาการลดทอนความคล่องตัวในวงจรกำลังสองโดยแทนสมการ (3.17) ใน (3.15) โดยจะใช้ถึง  $\theta^2$  เท่านั้น ส่วนที่มีกำลังสูงกว่านี้จะถูกละเลยไป

$$V_O = 4R_L K [V_i^2 (1 + 3(V_{SS} + V_T)\theta + 6(V_{SS} + V_T)^2 \theta^2 + V_i^2 \theta^2) + \langle (V_{SS} + V_T)^2 + (V_{SS} + V_T)^3 \theta + (V_{SS} + V_T)^4 \theta^2 \rangle] \quad (3.19)$$

จากสมการที่ (3.19) จะเห็นได้ว่าค่าการคิดเพี้ยนที่สำคัญ อยู่ในเทอมของ  $\theta^2$  ซึ่งผลการลดทอนความคล่องตัวทำให้เกิดความผิดเพี้ยนในฮาร์โมนิกส์สูง ส่วนค่าความผิดเพี้ยนในเทอมของ  $\theta$  ส่งผลกับ เกนซ์ (gain)

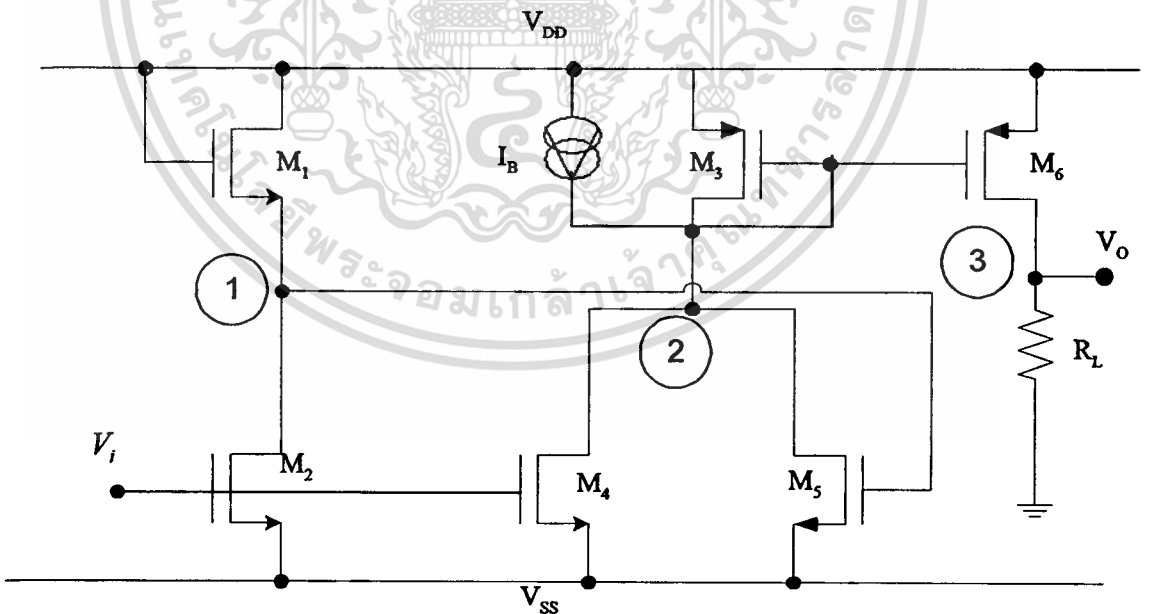
## 3.4 การวิเคราะห์ช่วงปฏิบัติการความถี่

การออกแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่านั้น ต้องคำนึงถึงคุณสมบัติต่าง ๆ ของวงจร เช่น ความตอบสนองความถี่ กำลังที่สูญเสีย ช่วงปฏิบัติการ เพราะคุณสมบัติเหล่านี้จะเป็นตัวหนึ่งที่ยกได้ว่าวงจรดีหรือไม่ดีอย่างไร ในการหาช่วงความถี่ตอบสนอง จะใช้แบบจำลองขนาดเล็ก (Small-signal model) ซึ่งจะประกอบไปด้วยแหล่งจ่ายกระแสโดยทั่วไปจะขึ้นอยู่กับแรงดัน (Voltage Control Current Source :  $V_{CCS}$ ) และตัวเก็บประจุที่เสมือนกับว่ามีประจุสถิต (Stored-charge) ต่ออยู่ระหว่างขั้วต่อ (Junction) ของมอสเฟต ซึ่งสามารถที่จะแสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 วงจรสมมูลของมอสเฟตที่ทำงานในช่วงอิมิต์วโดยประมาณ

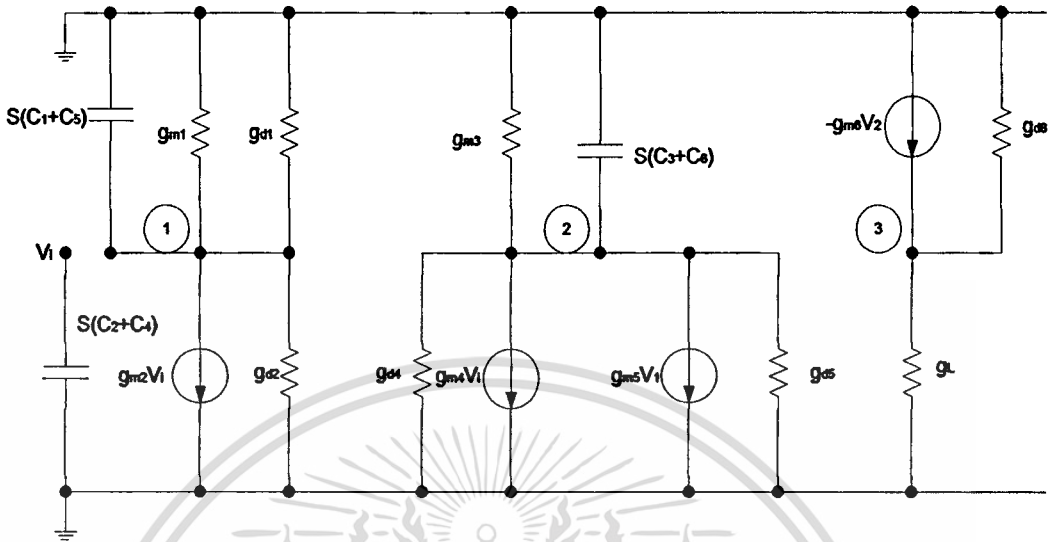
เพื่อให้สะดวกในการวิเคราะห์ กำหนดให้ค่า  $g_m \gg g_d$  ดังนั้นประมาณค่า  $g_m + g_d = g_m$  โดยในรูปที่ 3.6 จะเป็นการแสดงการปรับปรุงวงจรกำลังสองในรูปที่ 3.4 เพื่อการวิเคราะห์ความถี่ โดยการวิเคราะห์นั้นจะต้องต่อแหล่งจ่ายลงกราวนด์ดังรูป



รูปที่ 3.6 แสดงการปรับปรุงวงจรกำลังสองในรูปที่ 3.4 เพื่อการวิเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.6 สามารถแทนด้วยวงจรสมมูลขนาดเล็กได้ ดังรูปที่ 3.7



รูปที่ 3.7 แสดงวงจรสมมูลของวงจรรูปที่ 3.6

จากรูปที่ 3.7 สามารถเขียนสมการได้จากกฎของ KCL ได้ดังนี้

$$\text{ที่จุด 1} \quad V_1(g_{m1} + g_{d2} + s(C_1 + C_5)) + g_{m2}V_i = 0 \quad (3.20)$$

$$\text{ที่จุด 2} \quad -(g_{m5}V_1 + g_{m4}V_i) = V_2(g_{d4} + g_{d5} + g_{m3} + s(C_3 + C_6)) \quad (3.21)$$

$$\text{ที่จุด 3} \quad -g_{m6}V_2 = V_3(g_{d6} + g_L) \quad (3.22)$$

จากสมการ (3.20) ถึง (3.22) สามารถนำมาหาค่าของทรานส์เฟอร์ฟังก์ชันของวงจรกำลัง

สอง  $\frac{V_3}{V_i}$  ได้มีค่าเป็น

$$\frac{V_3}{V_i} = \frac{\left( \frac{g_{d1} + g_{d2}}{(C_1 + C_5)} + s \right)}{(g_{d6} + g_L) \left( s + \frac{g_{m1}}{(C_1 + C_5)} \right) \left( s + \frac{g_{m3}}{(C_3 + C_6)} \right)} \quad (3.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.24) จะได้ว่าความถี่ cut off อยู่ที่ zero ซึ่งสามารถหาค่าได้โดยประมาณ  $\left(\frac{g_{d1} + g_{d2}}{C_1 + C_5}\right)$  และมี pole ทั้งหมดสองตัว โดย  $P_1$  มีค่าเท่ากับ  $\left(\frac{g_{m1}}{C_1 + C_5}\right)$  และ  $P_2$  มีค่าเท่ากับ  $\left(\frac{g_{m3}}{C_3 + C_6}\right)$  ซึ่งสามารถคำนวณหาค่าความถี่ cut off ได้ดังนี้

$$\text{ค่า zero} \quad f = \left(\frac{g_{d1} + g_{d2}}{2\pi(C_1 + C_5)}\right) \quad (3.24)$$

$$= \frac{(1.71 \times 10^{-7} + 1.71 \times 10^{-7})}{2\pi(4.10 \times 10^{-15} + 4.10 \times 10^{-15})}$$

$$\cong 6.64 \text{ MHz}$$

$$\text{ที่ } P_1 \quad f = \frac{g_{m1}}{2\pi(C_1 + C_5)} \quad (3.25)$$

$$= \frac{(6.88 \times 10^{-5})}{2\pi(4.10 \times 10^{-15} + 4.10 \times 10^{-15})}$$

$$\cong 1,335 \text{ MHz}$$

$$\text{ที่ } P_2 \quad f = \frac{g_{m3}}{2\pi(C_3 + C_6)} \quad (3.26)$$

$$= \frac{(5.85 \times 10^{-5})}{2\pi(1.35 \times 10^{-15} + 1.35 \times 10^{-15})}$$

$$\cong 3,440 \text{ MHz}$$

จะเห็นได้ว่า ค่าความถี่ที่คำนวณได้นั้น จะมีค่าของ zero ที่ตอบสนองความถี่ก่อน ดังนั้นถือว่าเป็นความถี่ cut off ซึ่งจากการ Simulation ค่าความถี่ cut off มีค่าเท่ากับ 5.623 MHz และจากการคำนวณค่าความถี่ cut off มีค่าเท่ากับ 6.64 MHz จะเห็นได้ว่ามีค่าใกล้เคียงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ใช้ในโปรแกรม PSpice ในการวิเคราะห์หาความถี่ cut off ของวงจรกำลังสอง แสดง  
ได้ดังนี้

|       |           |          |           |          |          |
|-------|-----------|----------|-----------|----------|----------|
| NAME  | m1        | m2       | m3        | m4       | m5       |
| MODEL | nmos1     | nmos1    | pmos1     | nmos1    | nmos1    |
| ID    | 1.98E-05  | 1.98E-05 | -2.29E-09 | 1.99E-05 | 1.99E-05 |
| VGS   | 1.20E+00  | 1.20E+00 | -8.41E-01 | 1.20E+00 | 1.20E+00 |
| VDS   | 1.20E+00  | 1.20E+00 | -8.41E-01 | 1.56E+00 | 1.56E+00 |
| VBS   | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 | 0.00E+00 |
| VTH   | 7.06E-01  | 7.06E-01 | -9.46E-01 | 7.05E-01 | 7.05E-01 |
| VDSAT | 4.39E-01  | 4.39E-01 | -3.48E-02 | 4.39E-01 | 4.39E-01 |
| GM    | 6.88E-05  | 6.88E-05 | 5.85E-05  | 6.89E-05 | 6.89E-05 |
| GDS   | 1.71E-07  | 1.71E-07 | 1.52E-10  | 1.72E-07 | 1.72E-07 |
| GMB   | 2.15E-05  | 2.15E-05 | 1.49E-08  | 2.15E-05 | 2.15E-05 |
| CBD   | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 | 0.00E+00 |
| CBS   | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 | 0.00E+00 |
| CGSOV | 5.52E-16  | 5.52E-16 | 2.87E-16  | 5.52E-16 | 5.52E-16 |
| CGDOV | 5.52E-16  | 5.52E-16 | 2.87E-16  | 5.52E-16 | 5.52E-16 |
| CGBOV | 4.78E-16  | 4.78E-16 | 4.59E-16  | 4.78E-16 | 4.78E-16 |
| CGS   | 4.10E-15  | 4.10E-15 | 0.00E+00  | 4.10E-15 | 4.10E-15 |
| CGD   | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 | 0.00E+00 |
| CGB   | 0.00E+00  | 0.00E+00 | 1.35E-15  | 0.00E+00 | 0.00E+00 |
| NAME  | m6        |          |           |          |          |
| MODEL | pmos1     |          |           |          |          |
| ID    | -2.35E-09 |          |           |          |          |
| VGS   | -8.41E-01 |          |           |          |          |
| VDS   | -1.20E+00 |          |           |          |          |
| VBS   | 0.00E+00  |          |           |          |          |
| VTH   | -9.45E-01 |          |           |          |          |
| VDSAT | -3.48E-02 |          |           |          |          |
| GM    | 5.99E-08  |          |           |          |          |
| GDS   | 1.56E-10  |          |           |          |          |

|       |          |
|-------|----------|
| GMB   | 1.52E-08 |
| CBD   | 0.00E+00 |
| CBS   | 0.00E+00 |
| CGSOV | 2.87E-16 |
| CGDOV | 2.87E-16 |
| CGBOV | 4.59E-16 |
| CGS   | 0.00E+00 |
| CGD   | 0.00E+00 |
| CGB   | 1.35E-15 |

### 3.5 การวิเคราะห์ช่วงปฏิบัติงานอินพุท

ช่วงศักดาปฏิบัติงานของวงรกำลังสอง โดยใช้นแหล่งจ่ายไฟเลี้ยงค่า ที่นำเสนอในวิทยานิพนธ์ โดยใช้น CMOS ออกแบบให้วงจรมีคุณสมบัติต่าง ๆ คือ วงจรต้องตอบสนองความถี่ได้สูง วงจรใช้อุปกรณ์จำนวนน้อย วงจรต้องกินกำลังสูญเสียต่ำ และวงจรต้องมีช่วงปฏิบัติงานที่กว้าง ดังนั้นวงจรรูปที่ 3.4 จะเห็นได้ว่าแรงดันอินพุทที่ใช้จะเป็นแรงดันผลต่าง คือ  $V_i$  และ  $-V_i$  จากวงจรถูกกำลังสองสามารถที่จะหาช่วงปฏิบัติงานอินพุทได้โดยทำการพิจารณาเงื่อนไขการทำงานของทรานซิสเตอร์  $M_2$  และ  $M_5$  ดังนี้

$$V_i - V_{SS} > V_T \quad (3.27)$$

และ

$$-V_i - V_{SS} > V_T \quad (3.28)$$

ดังนั้นจากสมการที่ (3.27) และ (3.28) จะได้ช่วงปฏิบัติงานอินพุทของวงจรถูกกำลังสองโดยใช้นแหล่งจ่ายไฟเลี้ยงค่าเป็นไปตามสมการที่ (3.29)

$$-V_{SS} - V_T < V_i < V_{SS} + V_T \quad (3.29)$$

### 3.6 การทดลองและผลการทดลอง

จากวงจรในรูปที่ 3.4 เมื่อมาทดสอบการทำงานโดยโปรแกรม PSpice โดยใช้โมเดลของ CMOS เทคโนโลยี 0.5  $\mu\text{m}$ . ของ MOSIS ซึ่งมีค่าของขนาดความกว้างต่อความยาวแขนแนลของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ดังตารางที่ 3.1

#### \* MOSIS MODEL AT 0.5U

```
.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1
+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04
+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382
+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02
+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11
+ MJSW=0.71000 PB=0.9900000
.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05
+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10
+ MJSW=0.21200 PB=0.930000
```

ตารางที่ 3.1 แสดงขนาดความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์

| ทรานซิสเตอร์          | $M_1-M_2$ | $M_3-M_4$ | $M_5-M_6$ |
|-----------------------|-----------|-----------|-----------|
| W/L ( $\mu\text{m}$ ) | 1.35/1.35 | 1.35/1.35 | 1.35/1.35 |

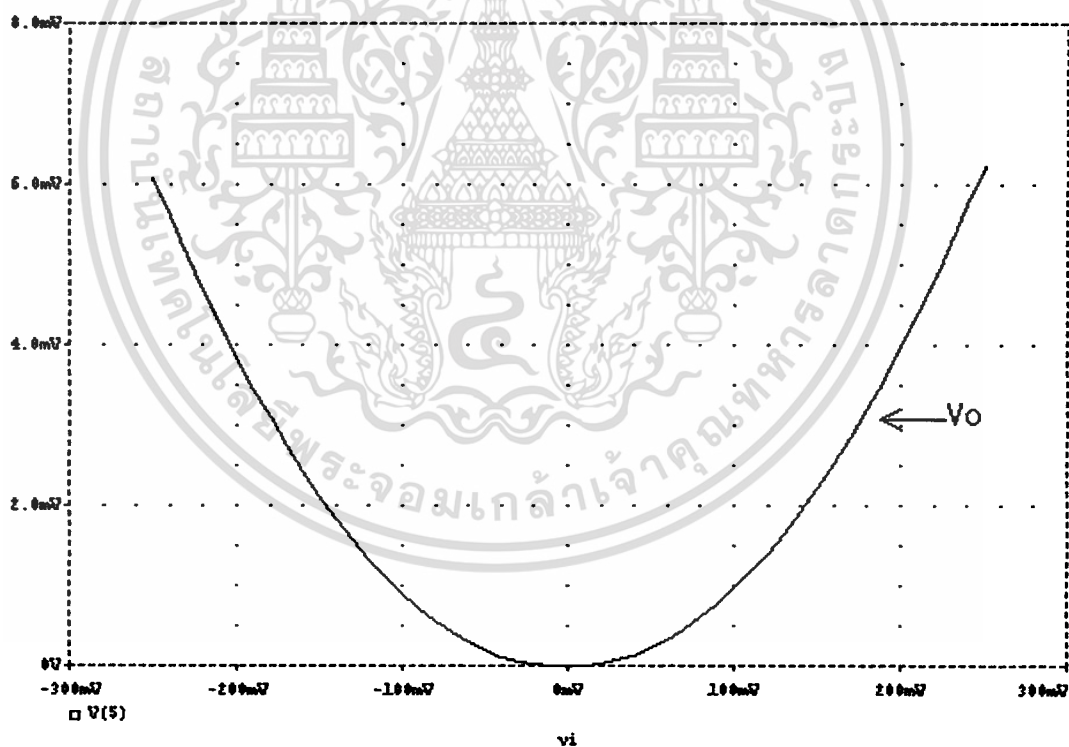
วงจรในรูปที่ 3.4 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice มีค่าต่าง ๆ ดังนี้ เมื่อ  $V_{DD} = V_{SS} = \pm 1.2\text{Volt}$   $R_L = 1\text{k}\Omega$   $I_B = 39.7\mu\text{A}$ . และมีความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ ดังตารางที่ 3.1 ผลการทดสอบการทำงานของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอในวิทยานิพนธ์แสดงได้ดังรูปที่ 3.8 (ก) - 3.8(ง)

รูปที่ 3.8(ก) แสดงคุณสมบัติทางค่าน DC Transfer ของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยทำการแปร  $V_i$  จาก  $-0.25$  V. ถึง  $0.25$  V. Step ละ  $0.01$  จากผลการทดสอบแสดงให้เห็นว่าวงจรมีการทำงานเป็นไปตามสมการที่ (3.15) ซึ่งเป็นการยืนยันว่าวงจรมีการทำงานที่ถูกต้องตรงตามทฤษฎี

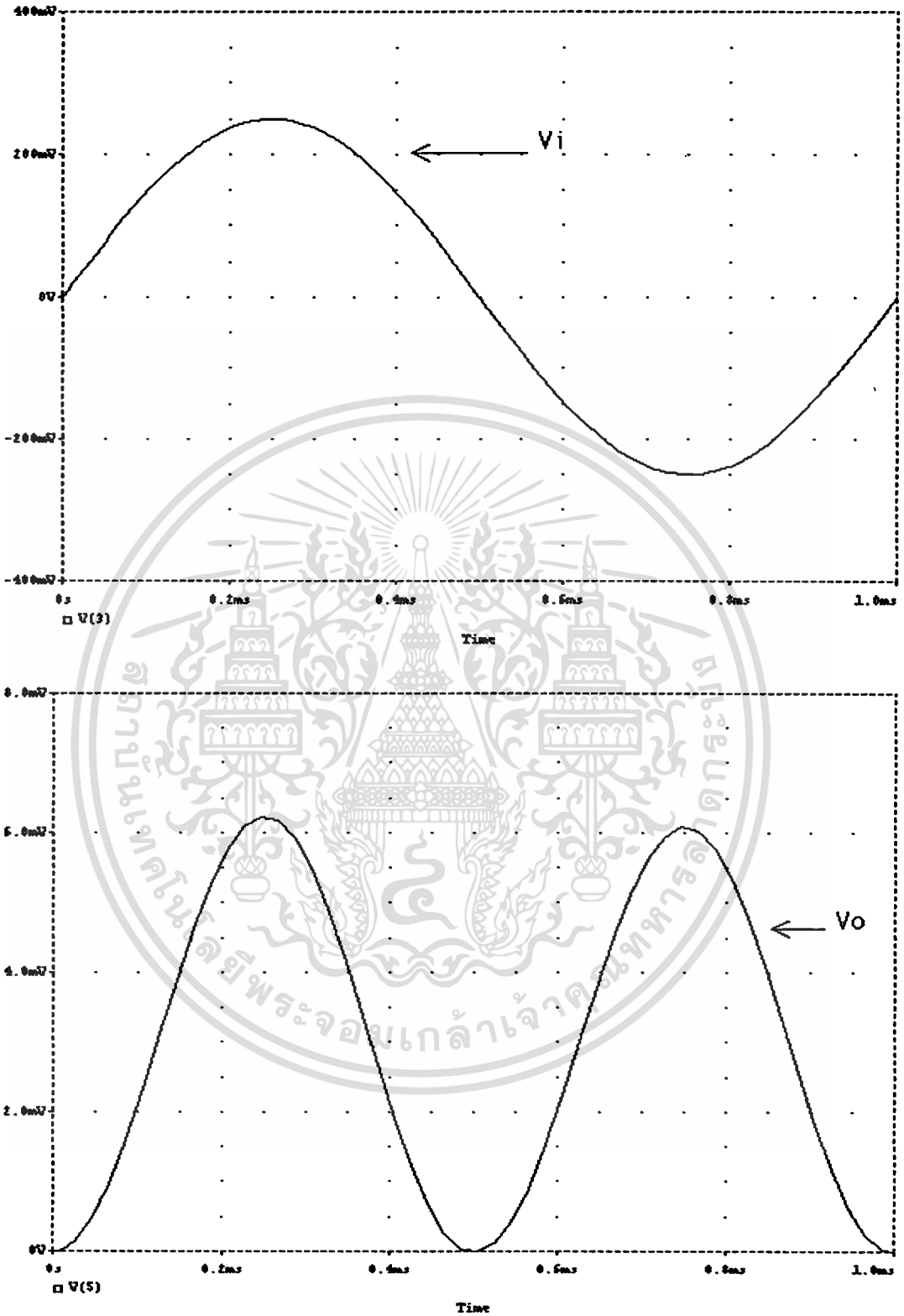
รูปที่ 3.8(ข) แสดงคุณสมบัติทาง AC ของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ เมื่อป้อนสัญญาณอินพุต  $V_i = 0.25 \sin 2,000\pi$  ซึ่งมีความถี่เท่ากับ  $1\text{kHz}$ . จะเห็นว่าเอาต์พุตของวงจรมีความถี่เป็นสองเท่าของความถี่อินพุตที่ป้อน

รูปที่ 3.8(ค) แสดงผลการตอบสนองความถี่ของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ เมื่อป้อนสัญญาณอินพุต  $V_i = 0.25 \sin 2,000\pi$  วัดค่า  $V_{OUT}$  หากค่าความถี่ตอบสนองของวงจรได้ซึ่งมีค่าประมาณ  $5.623$  MHz.

รูปที่ 3.8(ง) แสดงค่าองค์ประกอบความถี่ต่าง ๆ ของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

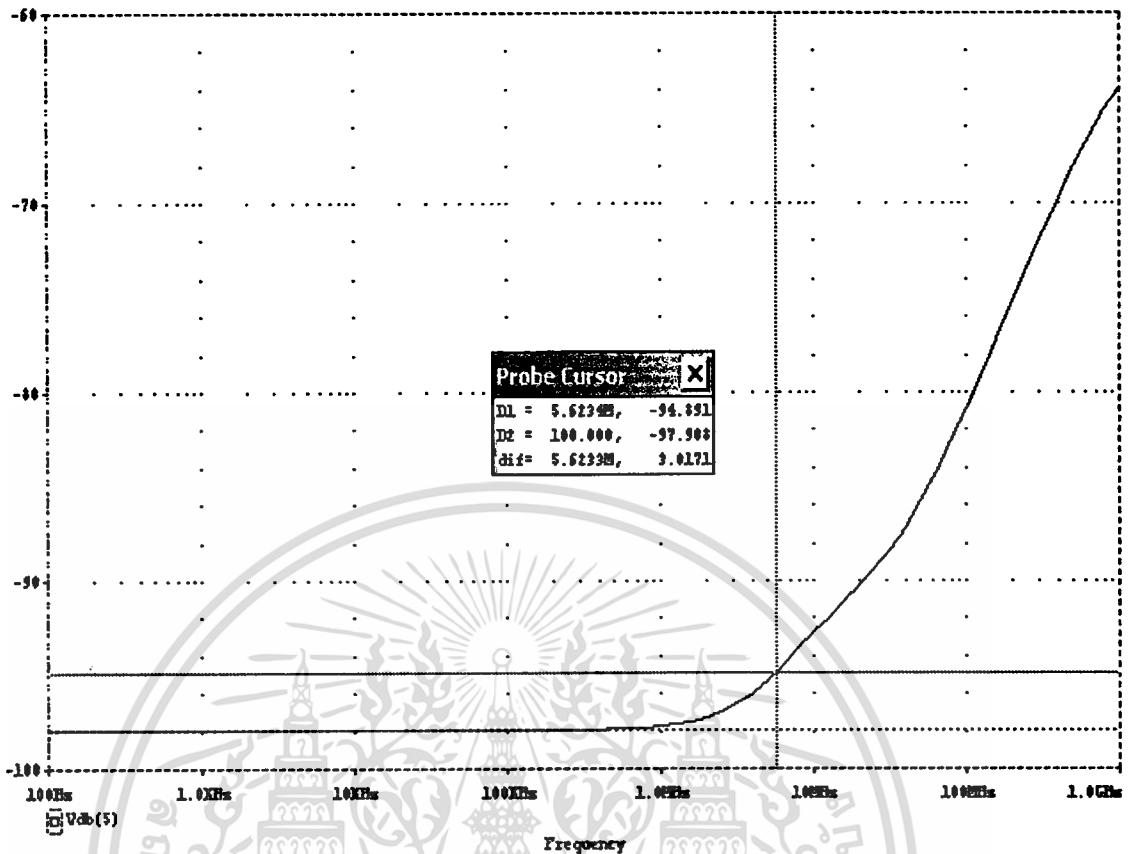


รูปที่ 3.8(ก) คุณสมบัติทาง DC ของวงจรกำลังสอง



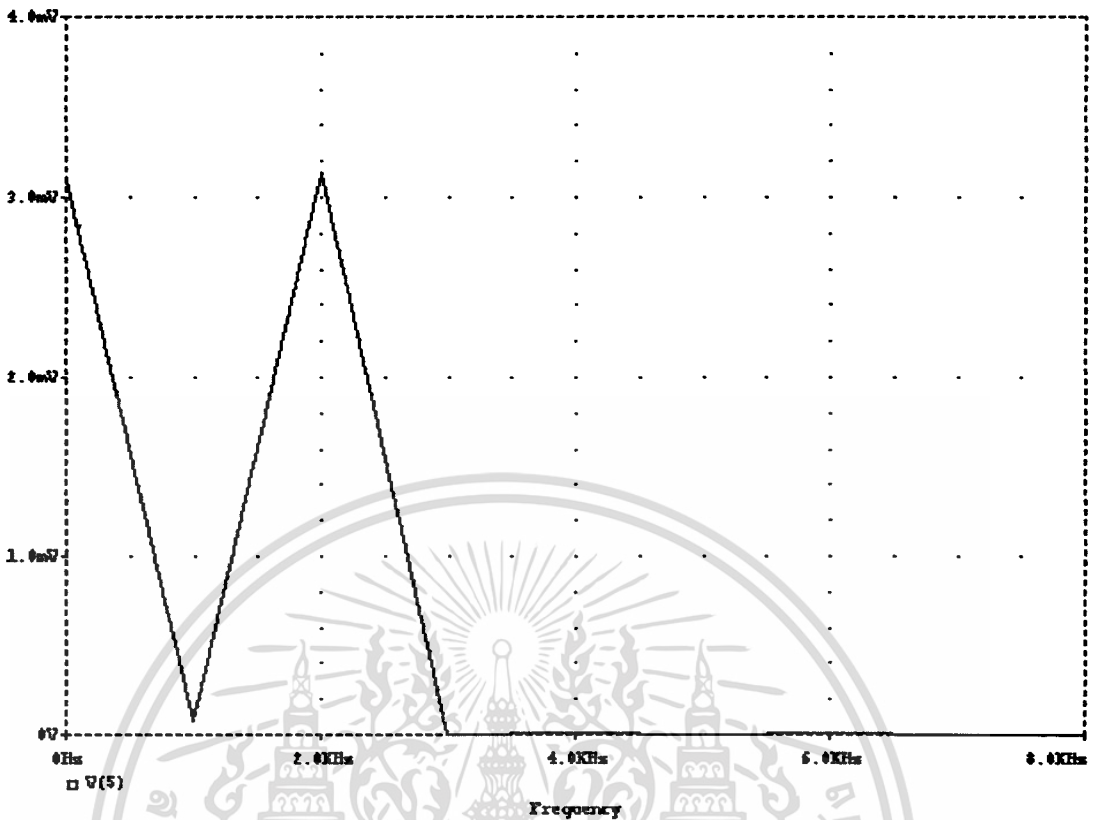
รูปที่ 3.8(ข) คุณสมบัติทาง AC ของวงจรถ่ายกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



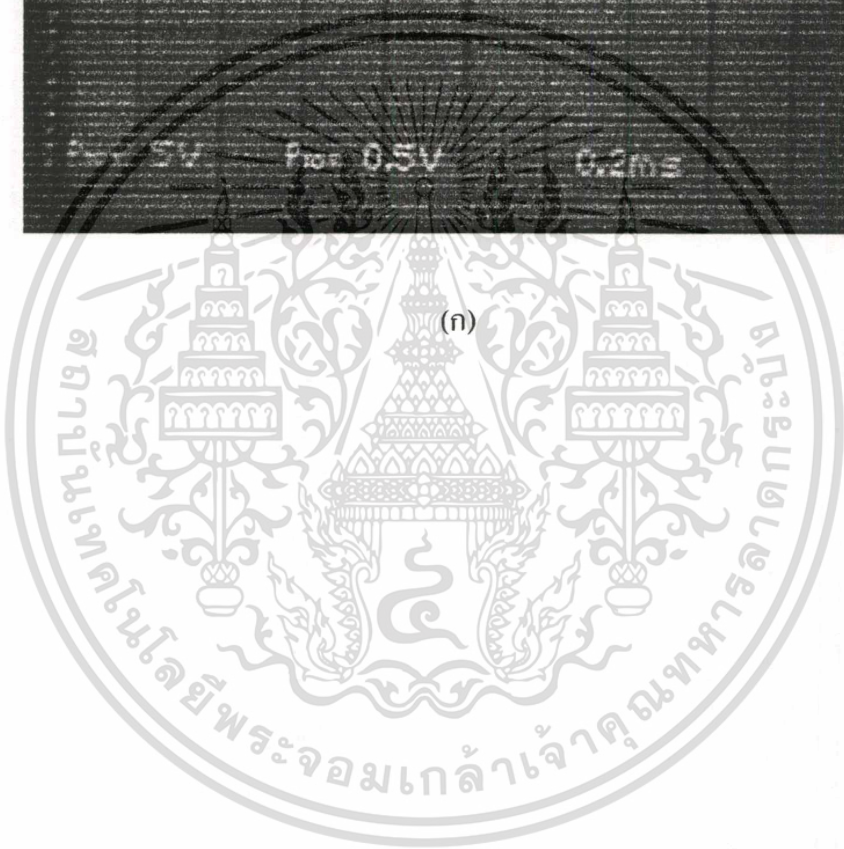
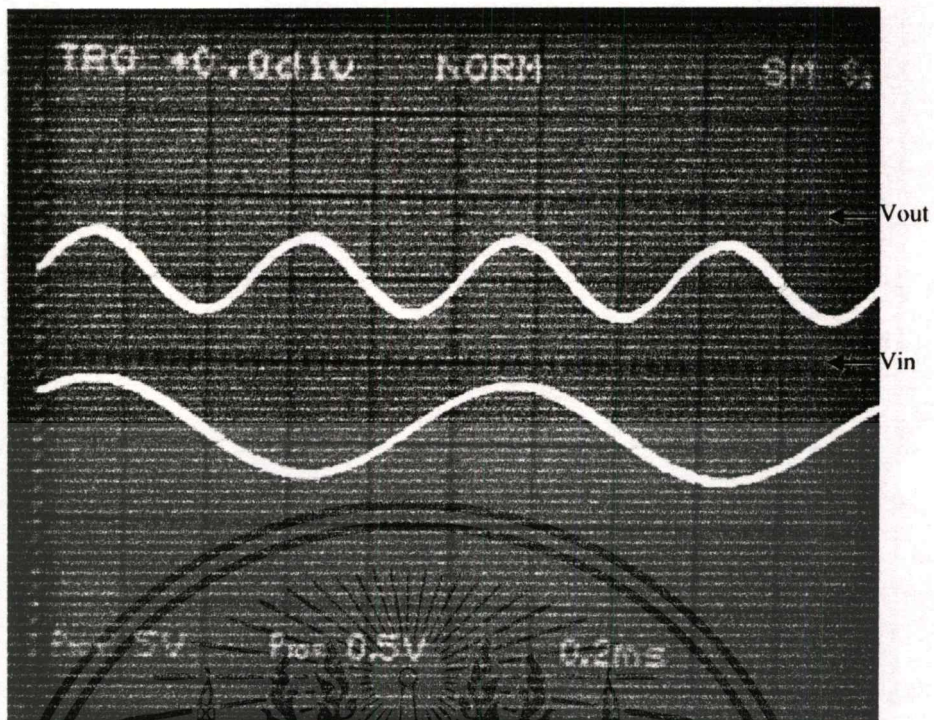
รูปที่ 3.8(ค) คุณสมบัติการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



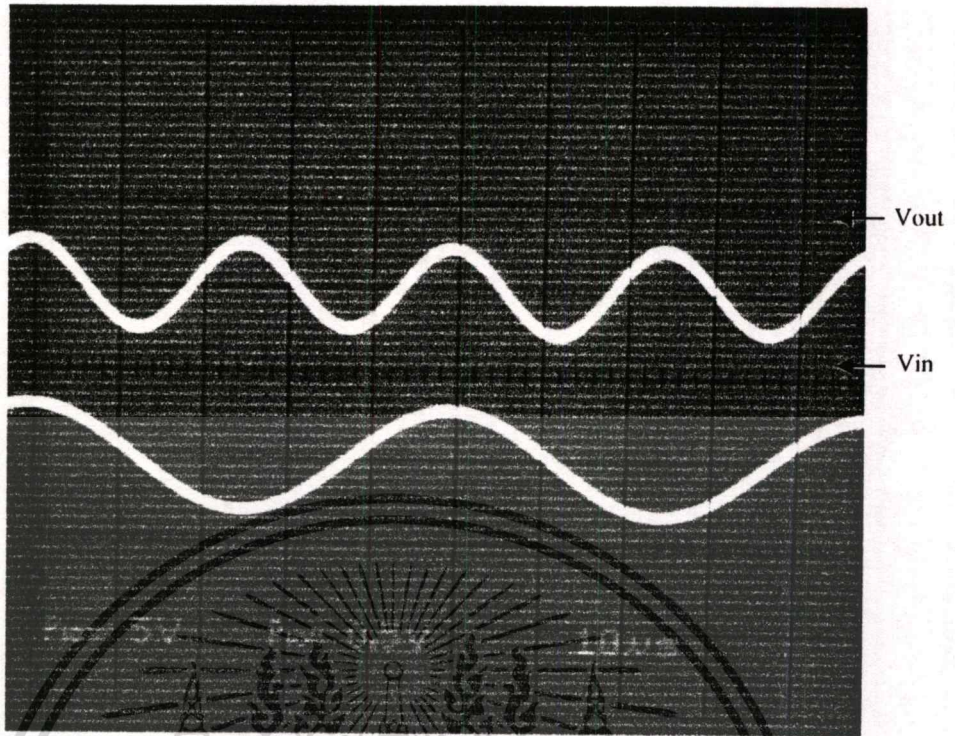
รูปที่ 3.8(ง) แสดงองค์ประกอบที่ความถี่ต่าง ๆ ของวงจรกำลังสอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

จากวงจรรูปที่ 3.4 ได้ทำการทดลองสร้างวงจรจริง โดยทำการต่อบนแผงทดลองจากวงจรต้นแบบ (Protoboard) โดยมอสเฟตที่ใช้เป็น NMOS และ PMOS นำมาจากมอสเฟตภายในไอซีเบอร์ MC 14007UB ซึ่งภายในประกอบด้วย NMOS และ PMOS อย่างละ 3 ตัว ผลการทดลองแสดงดังรูปที่ 3.9 โดยป้อนแหล่งจ่าย  $V_{DD} = 2.5$  Volt,  $V_{SS} = 2.5$  Volt และ  $R_L = 1$  k $\Omega$  รูปที่ 3.9 (ก) แสดงเอาต์พุตเมื่อป้อนสัญญาณอินพุต  $V_i = 0.25 \sin 2,000\pi t$  มี T/D = 0.2 ms. และ V/D = 0.5 Volt. รูปที่ 3.9(ข) แสดง เอาต์พุตเมื่อป้อนสัญญาณอินพุต  $V_i = 0.25 \sin 40,000\pi t$  มี T/D = 10  $\mu$ s. และ V/D = 0.5 Volt. และ รูปที่ 3.9 (ค) แสดงเอาต์พุตเมื่อป้อนสัญญาณอินพุต  $V_i = 0.25 \sin 200,000\pi t$  มี T/D = 2  $\mu$ s. และ V/D = 0.5 Volt.

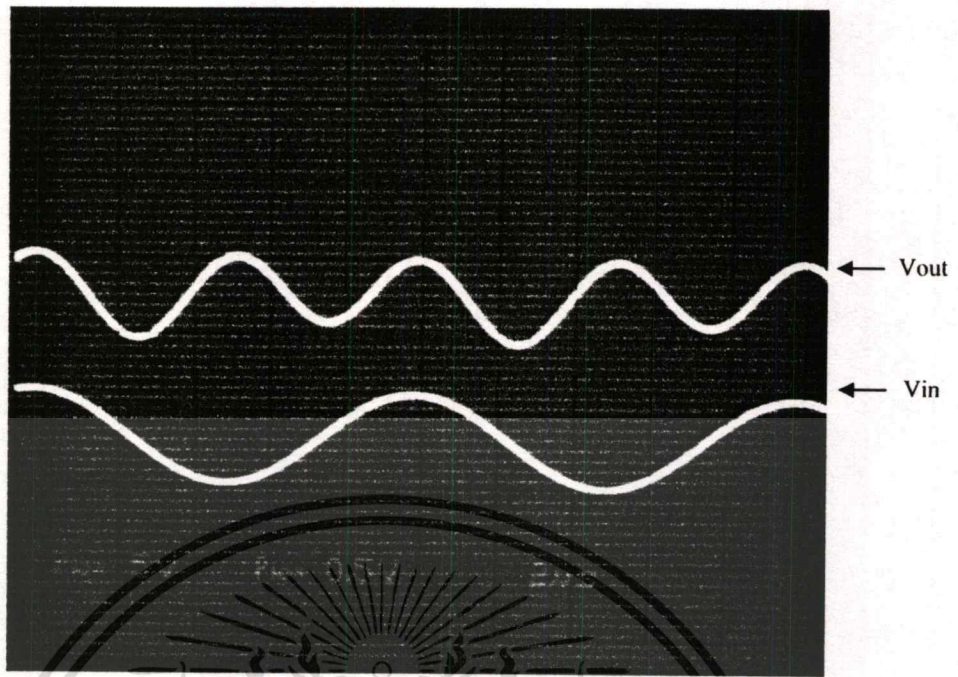


(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

รูปที่ 3.9 แสดงการวัดอินพุตเทียบกับเอาต์พุตของวงจรกำลังสอง

(ก) แสดงเอาต์พุตเมื่อป้อนอินพุต  $V_i = 0.25 \sin 2,000\pi$

(ข) แสดงเอาต์พุตเมื่อป้อนอินพุต  $V_i = 0.25 \sin 40,000\pi$

(ค) แสดงเอาต์พุตเมื่อป้อนอินพุต  $V_i = 0.25 \sin 200,000\pi$

### 3.7 สรุป

วงจรกำลังสอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอในวิทยานิพนธ์นี้ ใช้ชิพมอสที่มีการทำงานในช่วงอิมิตัว ซึ่งผลการทดลองวงจรสามารถทำงานได้ถูกต้องตามหลักการที่นำเสนอ วงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำที่นำเสนอ นั้นจะประกอบด้วยมอสเฟตจำนวน 6 ตัว แหล่งจ่ายกระแสที่ 1 ตัว และตัวต้านทาน 1 ตัว องค์ประกอบของวงจรจะประกอบด้วยวงจรย่อย 3 วงจร คือ วงจรอินเวอร์เตอร์ วงจรขยายสัญญาณคิฟเฟอเรนเชียล และวงจรสะท้อนกระแส ในบทนี้ได้กล่าวถึงการวิเคราะห์สมรรถนะของวงจรในส่วนของ การลดทอนความคล่องตัวของพาหะ การวิเคราะห์ผลการตอบสนองความถี่โดยใช้แบบจำลองขนาดเล็ก (small signal model) ในการหาช่วงการตอบสนองความถี่ ซึ่งผลปรากฏ คือ จากการเลียนแบบการทำงานโดยโปรแกรม PSpice กับค่าที่ได้จากการคำนวณนั้นมีค่าใกล้เคียงกัน การวิเคราะห์ช่วงอินพุตปฏิบัติงานของวงจรเพื่อหาว่าวงจรที่ได้ออกแบบนั้นมีช่วงปฏิบัติงานอินพุตเท่าไร และเมื่อนำมาต่อวงจรจริงลง Protoboard

เอกสารโดยใช้ไอซีเบอร์ MC14007UB ซึ่งเป็นชิพมอส ภายในไอซีจะประกอบด้วย NMOS 3 ตัว และ PMOS

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ตัว โดย NMOS และ PMOS มีขนาด (W/L) เท่ากัน ส่วนมอดูลทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรมีขนาด (W/L) แตกต่างกัน และในโปรแกรม PSpice กำหนดให้มีแหล่งจ่ายไฟมีค่าคงที่ (ไม่มีสัญญาณรบกวน) แต่ในการต่อวงจรจริงอาจมีสัญญาณรบกวนเกิดขึ้น คุณสมบัติของไอซีเบอร์ MC14007UB ไม่ดีประกอบกับความจุที่เกิดขึ้นแฝงใน Protoboard สาเหตุเหล่านี้ทำให้ค่าที่ได้จากการทดสอบด้วยโปรแกรม PSpice ต่างกับค่าที่ต่อวงจรลง Protoboard



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

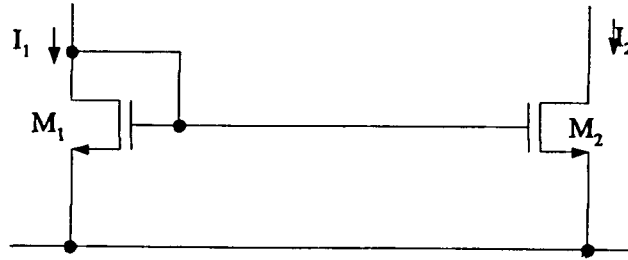
# การออกแบบวงจรถอดรหัสดิจิทัลที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ ที่นำเสนอในวิทยานิพนธ์

### 4.1 กล่าวนำ

วงจรถอดรหัสดิจิทัล เป็นวงจรที่มีการนิยมนำไปใช้งานกันมาก ทั้งในด้านการสื่อสาร โทรคมนาคม และในเครื่องมือวัดวิเคราะห์ต่าง ๆ ที่ผ่านมามีการเสนอหลักการออกแบบวงจรถอดรหัสดิจิทัลที่ใช้ CMOS ไว้บ้าง [7] แต่เป็นการเสนอหลักการที่ไม่เหมาะสมที่จะสร้างเป็นวงจรรวม เนื่องจากเป็นการใช้ CMOS ร่วมกับ OP-AMP ซึ่งเป็นวงจรขนาดใหญ่ ทำให้ต้องเสียค่าใช้จ่ายสูง จึงได้มีการพัฒนาวงจรขึ้นใหม่ที่มีความเหมาะสมสำหรับสร้างเป็นวงจรรวมโดยใช้เทคโนโลยีของวงจรไบโพลาร์ ในวิทยานิพนธ์นี้จะเป็นการเสนอหลักการออกแบบวงจรถอดรหัสดิจิทัลที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ ที่เหมาะสำหรับการนำไปสร้างเป็นวงจรรวม โดยใช้มอสเฟตในการออกแบบ ซึ่งวงจรที่ทำการออกแบบจะมีโครงสร้างที่ง่ายและให้ผลที่ถูกต้องใกล้เคียงกับทฤษฎีมาก ซึ่งวงจรที่ทำการออกแบบสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ และเอาต์พุตของวงจรได้ทำการปรับปรุงจากงานวิจัยเดิม [3] ให้เป็นแบบไม่ต้องการเปรียบเทียบความแตกต่าง วงจรที่ทำการออกแบบเหมาะที่จะนำไปสร้างเป็นวงจรรวม จากการออกแบบและผลที่ได้จากการทดลองรวมทั้งการเขียนแบบการทำงานของวงจรได้นำเสนอ โดยใช้โปรแกรมสำเร็จรูป PSpice ได้แสดงให้เห็นแนวทางในการพัฒนาวงจรขึ้นใหม่อีกแนวทางหนึ่ง

### 4.2 การออกแบบวงจรถอดรหัสดิจิทัลที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ

การออกแบบวงจรถอดรหัสดิจิทัลที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ ที่นำเสนอในวิทยานิพนธ์ จะเป็นการเสนอวงจรถอดรหัสดิจิทัลที่มีการปรับปรุงจากงานวิจัยเดิม [3] โดยใช้มอสเฟตที่มีการทำงานในช่วงอิ่มตัว (Saturation Region) ในการออกแบบ ซึ่งลักษณะของวงจรจะใช้วงจรสะท้อนกระแสเป็นพื้นฐานในการออกแบบ



รูปที่ 4.1 วงจรสะท้อนกระแสแบบบวก

วงจรสะท้อนกระแสที่นำมาใช้ในวงจรภาคที่สองนี้เป็นวงจรสะท้อนกระแสแบบลบ (Negative Current Mirror) และ แบบบวก (Positive Current Mirror) เนื่องด้วยการทำงานของวงจรสะท้อนกระแสแบบลบและแบบบวกจะมีการทำงานที่เหมือนกัน แตกต่างกันที่แรงดันที่ใช้จะมีข้อตรงข้ามกันเท่านั้นเอง และเพื่อให้ง่ายต่อการทำความเข้าใจ ในที่นี้จะอธิบายเป็นวงจรสะท้อนกระแสแบบบวกแทนดังรูปที่ 4.1

โดยทรานซิสเตอร์  $M_1$ ,  $M_2$  เป็นทรานซิสเตอร์ชนิด NMOS และทั้งคู่ทำงานในช่วงอิ่มตัว สามารถเขียนสมการกระแสเดรนได้เป็น

$$I_{D1} = K_1 \left( \frac{W}{L} \right)_1 (V_{GS1} - V_{T1})^2 \quad (4.1)$$

$$I_{D2} = K_2 \left( \frac{W}{L} \right)_2 (V_{GS2} - V_{T2})^2 \quad (4.2)$$

โดยที่  $K_1 = K_2 = K = \left( \frac{\mu_o C_{OX}}{2} \right)$  และอัตราส่วน (Ratio) ของวงจรสะท้อนกระแสดังกล่าวที่

(4.1) และ (4.2) มีค่าเท่ากับ

$$\frac{I_2}{I_1} = \frac{\left( \frac{W}{L} \right)_2}{\left( \frac{W}{L} \right)_1} \times \frac{(V_{GS2} - V_{T2})^2}{(V_{GS1} - V_{T1})^2} \quad (4.3)$$

จากรูปที่ 4.1 จะเห็นได้ว่า  $V_{GS1} = V_{GS2}$  และค่าแรงดันเทรชโฮลด์ ( $V_{T1}$ ) และ ( $V_{T2}$ ) ของทรานซิสเตอร์ทั้งสองตัวเท่ากันทำให้อัตราส่วนของวงจรสะท้อนกระแสจากสมการที่ (4.3)

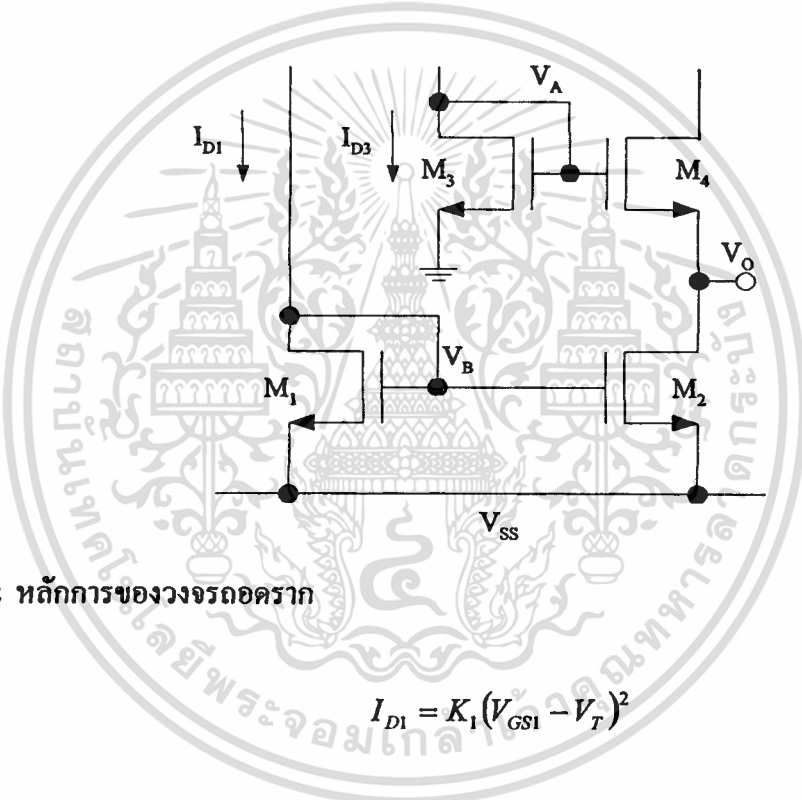
เปลี่ยนแปลงไปเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_2}{I_1} = \frac{(W/L)_2}{(W/L)_1} \quad (4.4)$$

#### 4.2.1 หลักการของวงจรถอดคราก

การออกแบบวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า ที่นำเสนอนในวิทยานิพนธ์ จะใช้วงจรสะท้อนกระแสเป็นพื้นฐานในการออกแบบ โดยจะกำหนดให้กระแสแต่ละส่วนมีความแตกต่างกัน วงจรถอดครากที่สองที่นำเสนอนในวิทยานิพนธ์นี้มีโครงสร้างหลักที่ง่าย สามารถเขียนได้ดังรูปที่ 4.2 และสามารถอธิบายการทำงานด้วยสมการต่อไปนี้



รูปที่ 4.2 หลักการของวงจรถอดคราก

$$I_{D1} = K_1 (V_{GS1} - V_T)^2 \quad (4.5)$$

$$I_{D3} = K_3 (V_{GS3} - V_T)^2 \quad (4.6)$$

โดยที่  $K_1 = K_3 = K$  และกำหนดกระแส  $I_{IN} = I_{D1} = 4I_{D3}$

จากรูปที่ 4.2 สามารถหาค่าแรงดันทางค่านเอาต์พุตจากสมการที่ 4.7

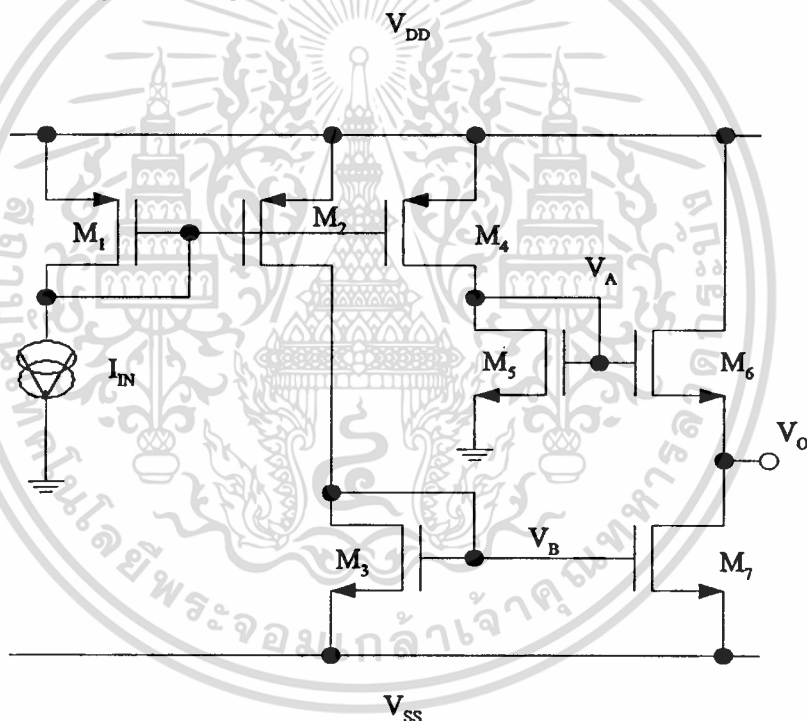
$$I_{D4} = I_{D2} \quad (4.7)$$

จากรูปที่ 4.2 กำหนดโหนด  $V_A$  และ  $V_B$  ทำการหาค่า ความสัมพันธ์เพื่อหาผลลัพธ์ทางด้านเอาต์พุตของวงจรซึ่งมีผลลัพธ์เป็นไปตามสมการที่ 4.9

$$K_4(V_A - V_O - V_T)^2 = K_2(V_B - V_{SS} - V_T)^2 \quad (4.8)$$

$$V_O = \sqrt{\frac{I_{IN}}{K}} \quad (4.9)$$

จากหลักการของวงจรสะท้อนกระแส และ หลักการของวงจรรากที่สองที่กล่าวมาแล้วนั้น สามารถออกแบบได้โดยใช้ค่าความแตกต่างของกระแสอินพุตมาหักล้างกัน (Differential Square-Rooting) ซึ่งมีวงจรสมบูรณเป็นดังรูปที่ 4.3



รูปที่ 4.3 วงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่าที่นำเสนอในวิทยานิพนธ์

จากรูปที่ 4.3 เป็นวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่าที่นำเสนอในวิทยานิพนธ์ โดยจะใช้วิธีการหักล้างกันของกระแสอินพุต ซึ่งในกรณีนี้กระแสอินพุตจะต้องมี 2 ส่วน และแตกต่างกัน โดยสามารถทำได้ด้วยวงจรสะท้อนกระแสที่มีอัตราส่วนของการสะท้อนกระแสที่แตกต่างกัน การทำงานของวงจรเมื่อป้อนกระแสอินพุต  $I_{IN}$  ให้กับวงจรโดยป้อนที่จุดที่ 1 ของวงจรสะท้อนกระแส  $M_1$ ,  $M_2$  และ  $M_4$  ซึ่งให้อาต์พุตของกระแส 2 เอาต์พุต โดยจะทำหน้าที่ในการ

เอกสารต้นฉบับด้วยอัตราส่วน 1:1 และ 1:0.25 ตามลำดับ ซึ่งเอาต์พุตแรกของวงจรถอดรากที่สอง ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสะท้อนกระแสอินพุต  $I_{IN}$  ผ่าน  $M_2$ ,  $M_3$  ไปที่ขาเดรนของทรานซิสเตอร์  $M_7$  เป็น  $I_{D7}$  ซึ่งมีอัตราส่วน 1:1 และเอาต์พุตที่สองจะสะท้อนกระแสอินพุต  $I_{IN}$  ผ่าน  $M_4$  ไปที่ขาเดรนของทรานซิสเตอร์  $M_6$  โดยมีอัตราส่วนของการสะท้อนกระแสเป็น 1:0.25 ดังนั้นจากวงจรดังรูปที่ 4.3 สามารถที่จะเขียนสมการทางด้านเอาต์พุตดังนี้

$$I_{IN} = \frac{I_{D5}}{4} = I_{D3} \quad (4.10)$$

$$I_{IN} = K_3(V_B - V_{SS} - V_T)^2 \quad (4.11)$$

$$I_{IN} = \frac{K_5}{4}(V_A - V_T)^2 \quad (4.12)$$

โดยที่

$$V_A = \sqrt{\frac{4I_{IN}}{K}} + V_T \quad (4.13)$$

และ

$$V_B = \sqrt{\frac{I_{IN}}{K}} + (V_{SS} + V_T) \quad (4.14)$$

จากวงจรในรูปที่ 4.3 พิจารณาโดยใช้ KCL ที่จุด 4 จะได้ตามสมการที่ 4.15

$$I_{D6} = I_{D7} \quad (4.15)$$

โดยที่

$$I_{D6} = K_6(V_A - V_O - V_T)^2 \quad (4.16)$$

และ

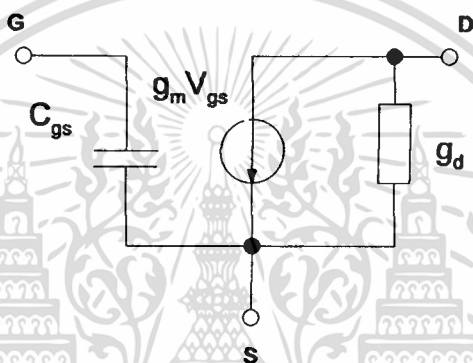
$$I_{D7} = K_7(V_B - V_{SS} - V_T)^2 \quad (4.17)$$

จากสมการที่ 4.15 จะได้แรงดันทางด้านเอาต์พุตของวงจรสองโดยใช่แหล่งจ่ายไฟเลี้ยงต่ำเป็นไปตามสมการที่ 4.18 โดยที่ค่า  $K$  ทุกตัวของมอสทรานซิสเตอร์มีค่าเท่ากัน

$$V_O = \sqrt{\frac{I_{IN}}{K}} \quad (4.18)$$

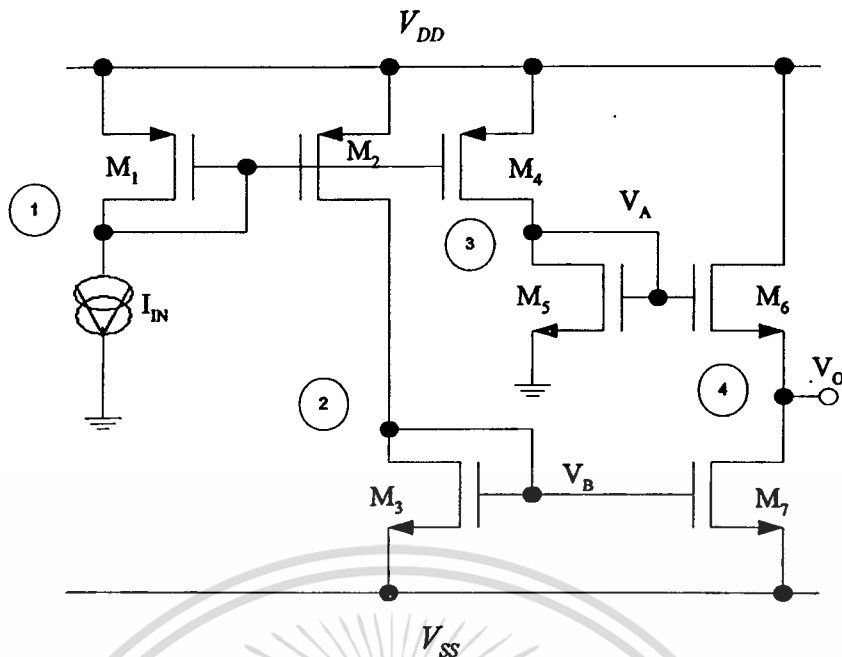
### 4.3 การวิเคราะห์ช่วงปฏิบัติงานความถี่

การออกแบบวงจรทรานซิสเตอร์ที่ใช้แหล่งจ่ายไฟเลี้ยงดำนั้น ต้องคำนึงถึงคุณสมบัติต่าง ๆ ของวงจร เช่น ความตอบสนองความถี่ กำลังที่สูญเสีย ช่วงปฏิบัติงาน เพราะคุณสมบัติเหล่านี้จะเป็นตัวหนึ่งที่บอกได้ว่าวงจรดีหรือไม่คืออย่างไร ในการหาช่วงความถี่ตอบสนอง จะใช้แบบจำลองขนาดเล็ก (Small-signal model) ซึ่งจะประกอบไปด้วยแหล่งจ่ายกระแสโดยทั่วไปจะขึ้นอยู่กับแรงดัน (Voltage Control Current Source :  $V_{CCS}$ ) และตัวเก็บประจุที่เสมือนกับว่ามีประจุสถิต (Stored-charge) ต่อยู่ระหว่างขั้วต่อ (Junction) ของมอสเฟต ซึ่งสามารถที่จะแสดงได้ดังรูปที่ 4.4



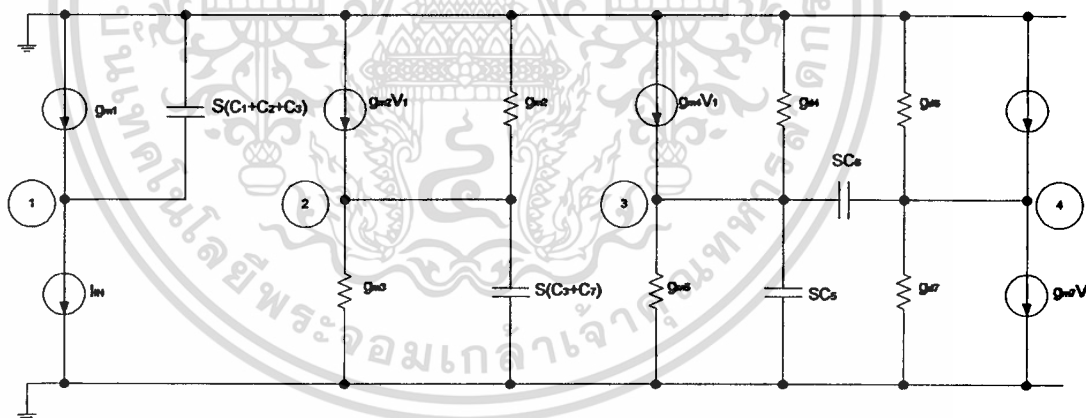
รูปที่ 4.4 วงจรสมมูลของมอสเฟตที่ทำงานในช่วงอิมิตัวโดยประมาณ

เพื่อให้สะดวกในการวิเคราะห์ กำหนดให้ค่า  $g_m \gg g_d$  ดังนั้นประมาณค่า  $g_m + g_d = g_m$  โดยในรูปที่ 4.5 จะเป็นการแสดงการปรับปรุงวงจรกำลังสองในรูปที่ 4.3 เพื่อการวิเคราะห์ความถี่โดยการวิเคราะห์นั้นจะต้องต่อแหล่งจ่ายลงกราวนด์ดังรูป



รูปที่ 4.5 แสดงการปรับปรุงวงจรทรานซิสเตอร์ที่สองในรูปที่ 4.3 เพื่อการวิเคราะห์ความถี่

จากรูปที่ 4.5 สามารถแทนได้ด้วยวงจรสมมูลขนาดเล็กได้ ดังรูปที่ 4.6



รูปที่ 4.6 แสดงวงจรสมมูลของวงจรรูปที่ 4.5

จากวงจรรูปที่ 4.6 สามารถเขียนสมการได้จากกฎของ KCL ได้ดังนี้

ที่จุด 1 
$$I_{IN} = (g_{m1} + s(C_1 + C_2 + C_4))V_1 \tag{4.19}$$

ที่จุด 2 
$$g_{m2}V_1 = (g_{m3} + s(C_3 + C_7))V_2 \tag{4.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{ที่จุด 3} \quad g_{m4}V_1 = (g_{m5} + s(C_5 + C_6))V_3 - sC_6V_4 \quad (4.21)$$

$$\text{ที่จุด 4} \quad g_{m7}V_2 + (g_{m6} + sC_6)V_4 = (g_{m6} + sC_6)V_3 \quad (4.22)$$

จากสมการ (4.19) ถึง (4.22) สามารถนำมาหาค่าของทรานส์เฟอฟังก์ชันของวงจรถอดราก

ที่สอง  $\frac{V_4}{I_{IN}}$  ได้มีค่าเป็น

$$\frac{V_4}{I_{IN}} = \frac{\left( \frac{(g_{m2}g_{m5}^2g_{m7}) - (g_{m3}g_{m4}g_{m5}g_{m6})}{(Ag_{m5}) + (B(C_5 + C_6))} + s \right)}{\left( s + \frac{g_{m3}}{C_3 + C_7} \right) \left( s + \frac{g_{m5}}{C_5 + C_6} \right) \left( s + \frac{g_{m1}}{C_1 + C_2 + C_4} \right) \left( s + \frac{g_{m5}g_{m6}}{g_{m6}(C_5 + C_6) + g_{m6}C_6 + C_6} \right)} \quad (4.23)$$

$$\text{เมื่อ } A = (g_{m2}g_{m7}(C_5 + C_6) - g_{m4}g_{m6}(C_3 + C_7) - g_{m3}g_{m4}C_6)$$

$$B = (g_{m2}g_{m5}g_{m7} - g_{m3}g_{m4}g_{m6})$$

จากสมการที่ (4.23) สามารถหาพลที่ 1 ( $P_1$ ) ในการหาความถี่ cut off ได้มีค่าเป็น

$$P_1 = \frac{g_{m3}}{(C_3 + C_7)} \quad (4.24)$$

ค่าต่าง ๆ ในสมการใช้ในโปรแกรม PSpice ในการวิเคราะห์ แทนค่าตามสมการเพื่อหาผลตอบสนองความถี่

$$\begin{aligned} f &= \frac{g_{m3}}{2\pi(C_3 + C_7)} \\ &= \frac{(2.18 \times 10^{-6})}{2\pi(4.79 \times 10^{-13} + 7.59 \times 10^{-14})} \end{aligned} \quad (4.25)$$

$$\cong 0.625 \text{ MHz}$$

จากสมการจะเห็นได้ว่าความถี่ cut off ของวงจรมีค่าเท่ากับ 0.625 MHz ซึ่งมีค่าใกล้เคียง  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
กันกับค่าที่ได้จากการ Simulation ซึ่งมีค่าเท่ากับ 0.604 MHz  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ใช้ใน โปรแกรม PSpice ในการวิเคราะห์หาความถี่ cut off ของวงจรถอดครากที่สอง  
แสดงได้ดังนี้

| NAME  | m1        | m2        | m3       | m4        | m5       |
|-------|-----------|-----------|----------|-----------|----------|
| MODEL | pmos1     | pmos1     | nmos1    | pmos1     | nmos1    |
| ID    | -1.00E-06 | -2.09E-07 | 2.09E-07 | -9.99E-07 | 9.99E-07 |
| VGS   | -9.20E-01 | -9.20E-01 | 8.65E-01 | -9.20E-01 | 1.10E+00 |
| VDS   | -9.20E-01 | -2.14E+00 | 8.65E-01 | -4.03E-01 | 1.10E+00 |
| VBS   | 0.00E+00  | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 |
| VTH   | -9.66E-01 | -9.73E-01 | 7.19E-01 | -9.66E-01 | 7.19E-01 |
| VDSAT | -3.49E-02 | -3.49E-02 | 1.61E-01 | -3.49E-02 | 3.59E-01 |
| GM    | 2.53E-05  | 5.26E-06  | 2.18E-06 | 2.53E-05  | 4.57E-06 |
| GDS   | 2.19E-09  | 9.03E-12  | 2.36E-13 | 2.19E-09  | 7.86E-13 |
| GMB   | 6.81E-06  | 1.46E-06  | 7.16E-07 | 6.80E-06  | 1.48E-06 |
| CBD   | 0.00E+00  | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 |
| CBS   | 0.00E+00  | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 |
| CGSOV | 8.50E-14  | 8.50E-14  | 1.64E-15 | 8.50E-14  | 1.64E-15 |
| CGDOV | 8.50E-14  | 8.50E-14  | 1.64E-15 | 8.50E-14  | 1.64E-15 |
| CGBOV | 1.44E-15  | 5.86E-15  | 1.89E-14 | 1.44E-15  | 1.89E-14 |
| CGS   | 0.00E+00  | 0.00E+00  | 4.79E-13 | 0.00E+00  | 4.79E-13 |
| CGD   | 0.00E+00  | 0.00E+00  | 0.00E+00 | 0.00E+00  | 0.00E+00 |
| CGB   | 1.21E-12  | 4.92E-12  | 0.00E+00 | 1.21E-12  | 0.00E+00 |

| NAME  | m6       | m7       |
|-------|----------|----------|
| MODEL | nmos1    | nmos1    |
| ID    | 1.37E-06 | 1.37E-06 |
| VGS   | 8.65E-01 | 8.65E-01 |
| VDS   | 1.27E+00 | 1.73E+00 |
| VBS   | 0.00E+00 | 0.00E+00 |
| VTH   | 7.15E-01 | 7.15E-01 |
| VDSAT | 1.64E-01 | 1.64E-01 |
| GM    | 1.39E-05 | 1.39E-05 |

|       |          |          |
|-------|----------|----------|
| GDS   | 1.38E-10 | 1.38E-10 |
| GMB   | 4.52E-06 | 4.52E-06 |
| CBD   | 0.00E+00 | 0.00E+00 |
| CBS   | 0.00E+00 | 0.00E+00 |
| CGSOV | 1.64E-15 | 1.64E-15 |
| CGDOV | 1.64E-15 | 1.64E-15 |
| CGBOV | 2.99E-15 | 2.99E-15 |
| CGS   | 7.59E-14 | 7.59E-14 |
| CGD   | 0.00E+00 | 0.00E+00 |
| CGB   | 0.00E+00 | 0.00E+00 |

#### 4.4 การวิเคราะห์ช่วงปฏิบัติงานอินพุท

การวิเคราะห์หาช่วงกระแสปฏิบัติงานของวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยมีเงื่อนไข คือ  $I_{IN} \leq 4I_{D5}$  ดังนั้นช่วงกระแสปฏิบัติงานของวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำตามสมการที่ 4.26

$$0 \leq I_{IN} \leq 4I_{D5} \quad (4.26)$$

#### 4.5 การทดลองและผลการทดลอง

วงจรรูปที่ 4.3 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice โดยใช้โมเดลของ CMOS เทคโนโลยี 0.5  $\mu\text{m}$ . ของ MOSIS ซึ่งมีค่าของขนาดความกว้างต่อความยาวของแชนแนลดังตารางที่ 4.1

\* MOSIS MODEL AT 0.5U

.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1

+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04

+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382

+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02

+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11  
 + MJSW=0.71000 PB=0.9900000  
 .MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1  
 + VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05  
 + UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551  
 + NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02  
 + KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10  
 + CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10  
 + MJSW=0.21200 PB=0.930000

#### ตารางที่ 4.1 แสดงขนาดความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์

| ทรานซิสเตอร์          | $M_1, M_4$ | $M_2$  | $M_3, M_5$ | $M_6, M_7$ |
|-----------------------|------------|--------|------------|------------|
| W/L ( $\mu\text{m}$ ) | 400/4      | 400/16 | 4/50       | 4/8        |

วงจรในรูปที่ 4.3 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice ซึ่งมีค่าต่าง ๆ ดังนี้เมื่อ  $V_{DD} = +1.5\text{Volt}$ ,  $V_{SS} = -1.5\text{Volt}$ . และมีความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ ดังตารางที่ 4.1 ผลการทดสอบการทำงานของวงจรถดถากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่าที่นำเสนอในวิทยานิพนธ์แสดงได้ดังรูปที่ 4.7 (ก) – 4.7(ง)

รูปที่ 4.7(ก) เป็นการวิเคราะห์ผลตอบสนองทางสัญญาณไฟตรงของวงจร โดยทำการหาความสัมพันธ์ระหว่าง กระแสอินพุตกับแรงดันทางด้านเอาต์พุตของวงจรถดถากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า โดยการป้อนกระแสอินพุต  $I_{IN}$  ตั้งแต่  $0 \mu\text{A}$ . ถึง  $2 \mu\text{A}$ . ได้ผลของแรงดันทางด้านเอาต์พุตเป็นไปตามสมการที่ 4.18

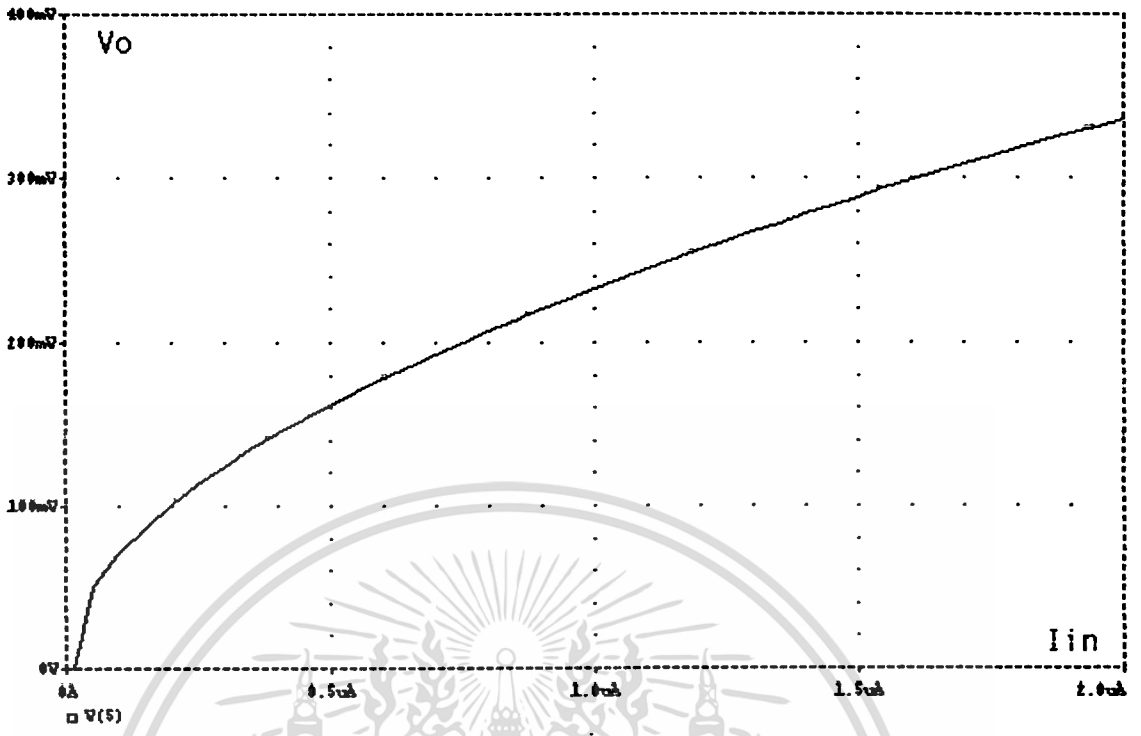
รูปที่ 4.7(ข) เป็นการวิเคราะห์ผลตอบสนองทางสัญญาณไฟฟ้ากระแสสลับของวงจรถดถากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า เมื่อป้อนกระแสอินพุตรูปคลื่นไซน์  $I_{IN}$  ขนาด  $1 \mu\text{A}$ . ความถี่  $1\text{kHz}$ . จะได้ผลของแรงดันทางด้านเอาต์พุตแสดงดังรูป 4.7(ข) และในรูป 4.6(ค) เป็นการป้อนกระแสอินพุตรูปสามเหลี่ยม  $I_{IN}$  ขนาด  $1 \mu\text{A}$ . ความถี่  $1\text{kHz}$ . ซึ่งได้ผลของแรงดันทางด้านเอาต์พุตดังรูป

รูปที่ 4.7(ง) เป็นการวิเคราะห์ความถี่ปฏิบัติการของวงจรถดถากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า ผลการวิเคราะห์และเขียนแบบการทำงานของวงจรได้ผลดังรูป ซึ่งผลที่ได้มีค่าใกล้เคียงกับการวิเคราะห์ผลทางด้านทฤษฎีตามสมการที่ 4.25

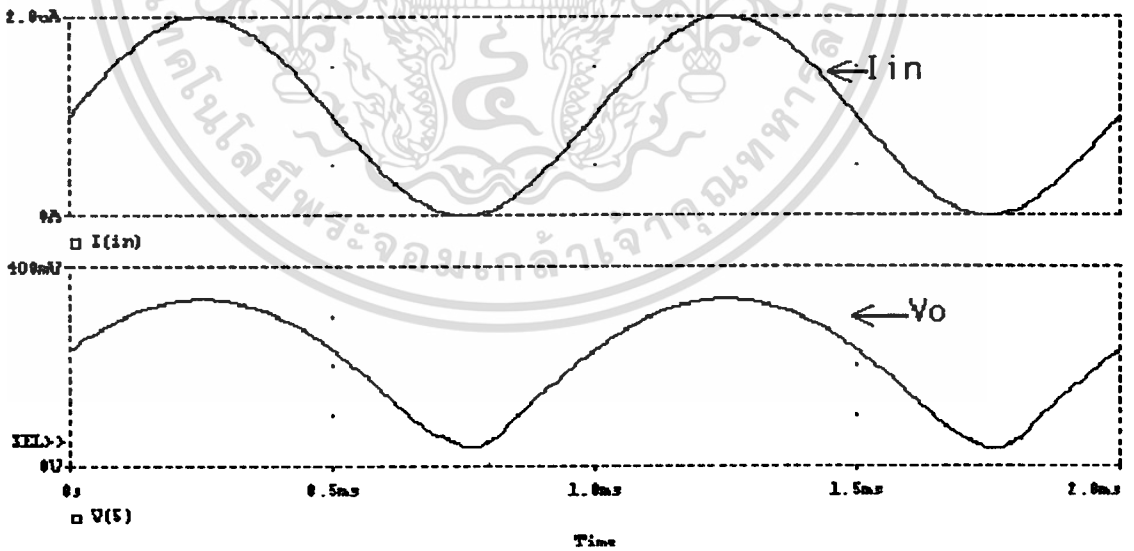
รูปที่ 4.8(จ) แสดงค่าองค์ประกอบที่ความถี่ต่าง ๆ ของวงจรถดถากที่สองโดยใช้แหล่งจ่าย

ไฟเลี้ยงค่า เอกสารนี้ใช้เพื่อการที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

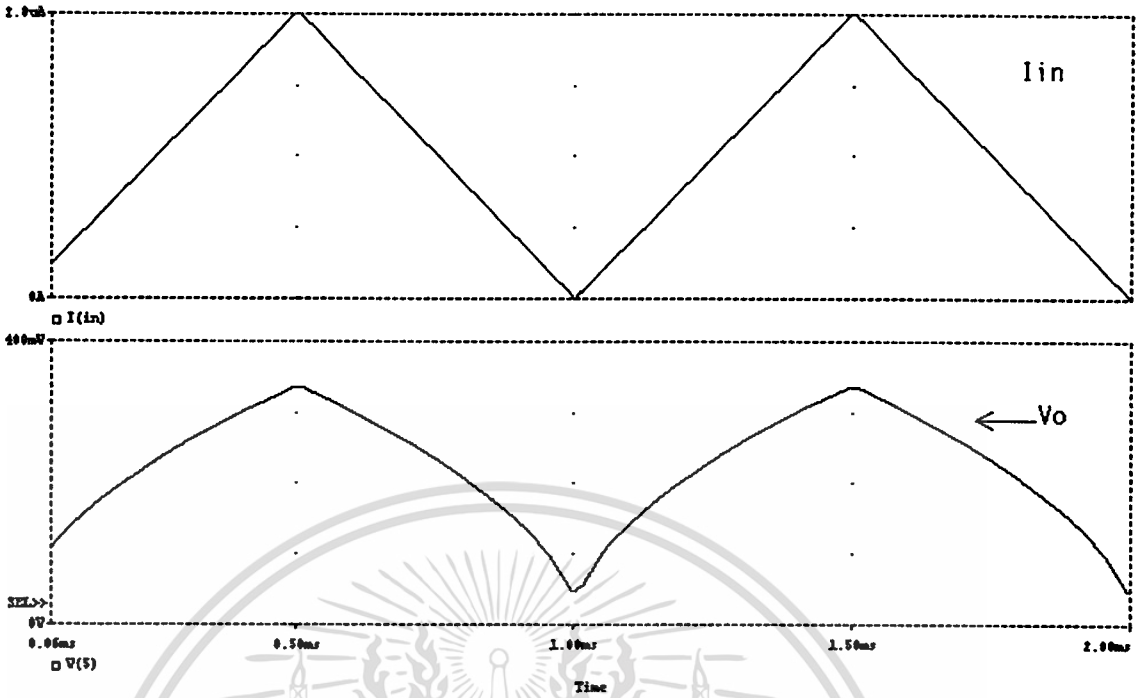


รูปที่ 4.7(ก) ความสัมพันธ์ระหว่างกระแสอินพุตกับแรงดันเอาต์พุต

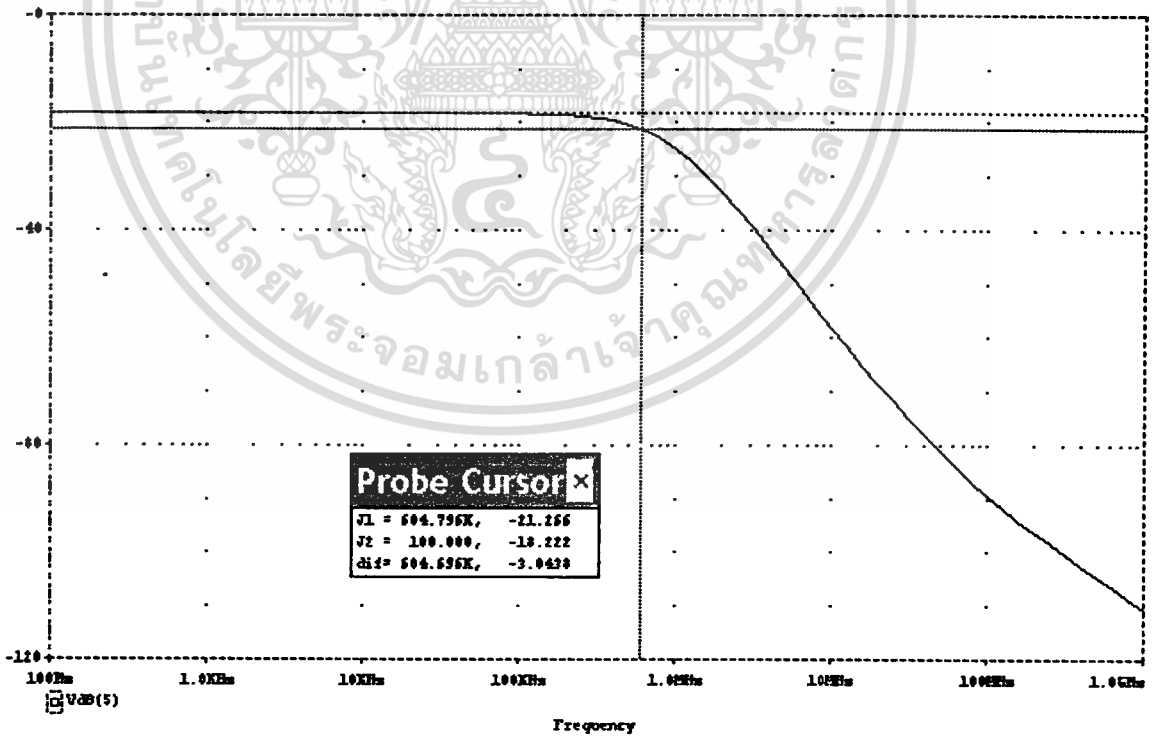


รูปที่ 4.7(ข) คุณสมบัติทาง AC ของวงจรอครากเมื่อ  $I_{IN} = 1\mu A \sin 2000\pi t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

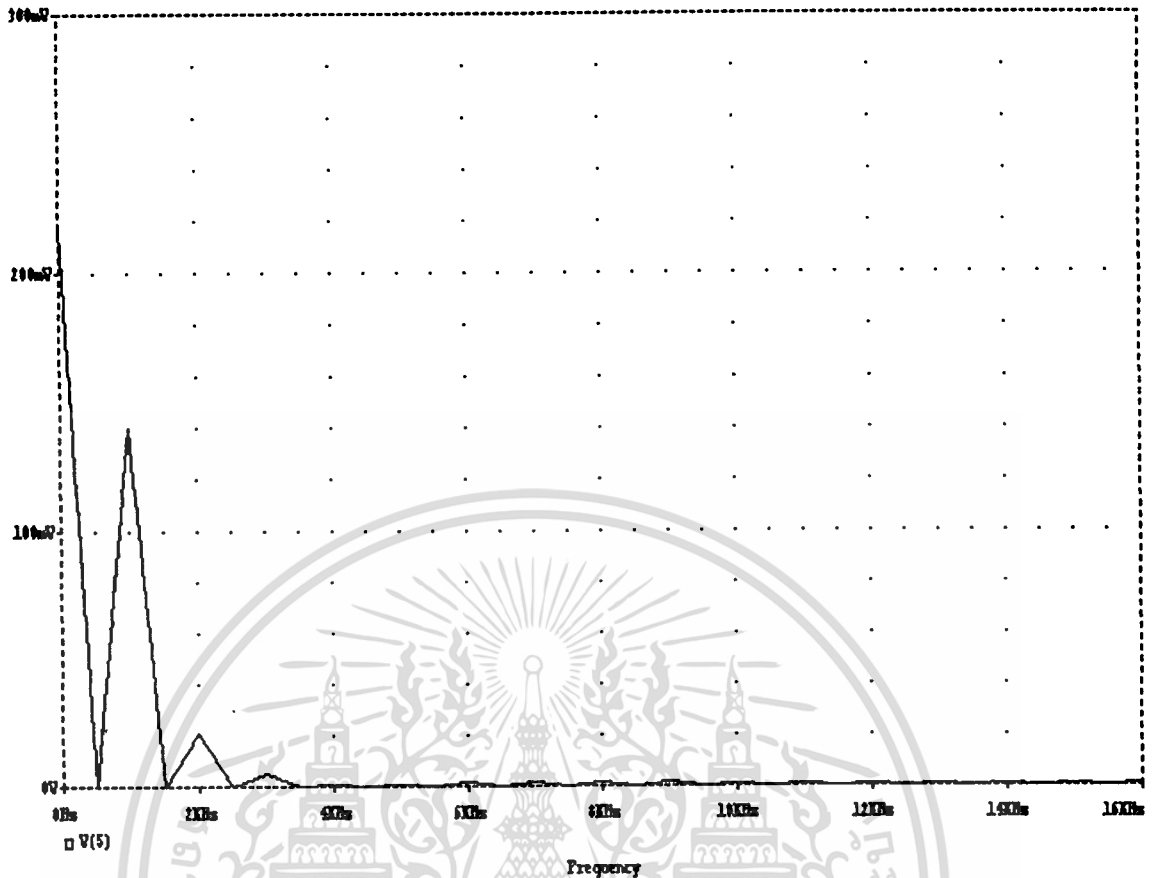


รูปที่ 4.7(ค) คุณสมบัติทาง AC ของวงจรครากเมื่อ  $I_{IN} = \text{triangle ความถี่ } 1\text{kHz} = \frac{1}{t_1 + t_2}$



รูปที่ 4.7(ง) คุณสมบัติการตอบสนองความถี่

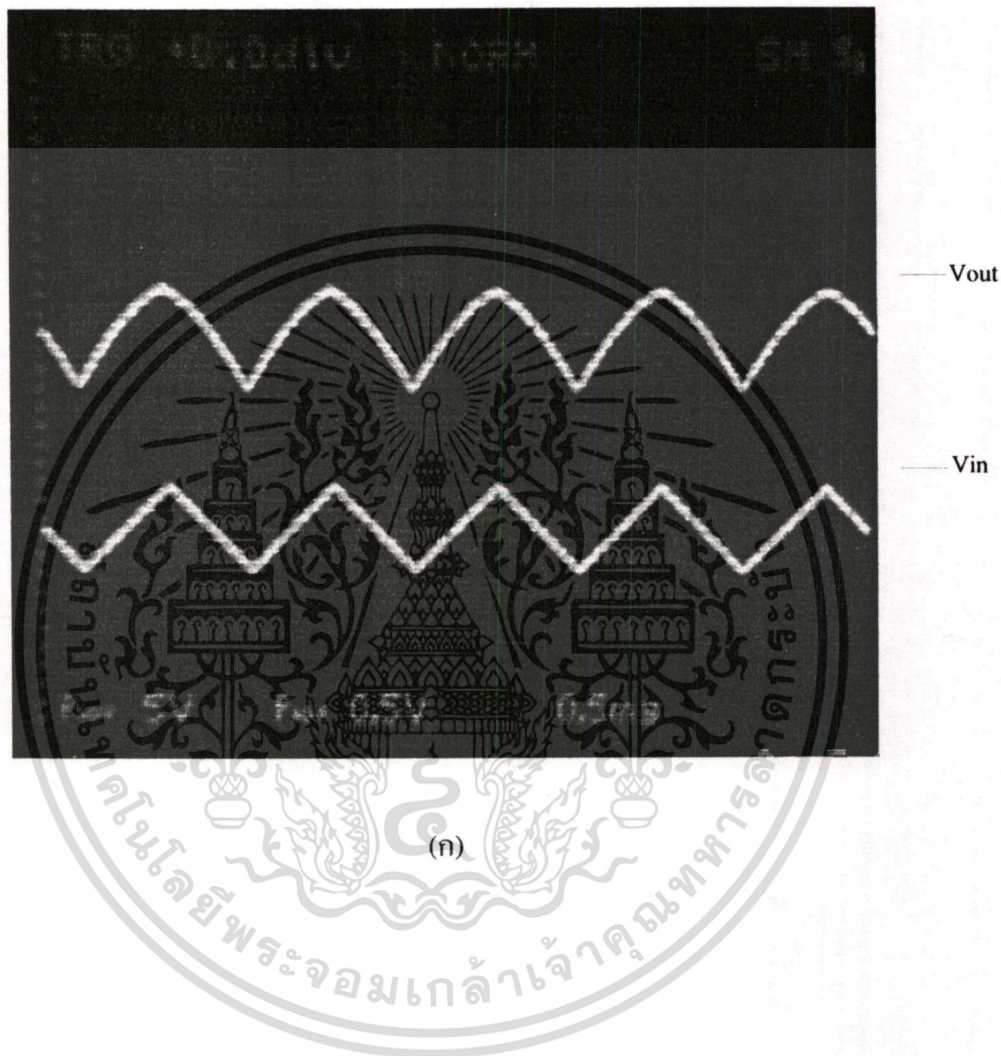
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้



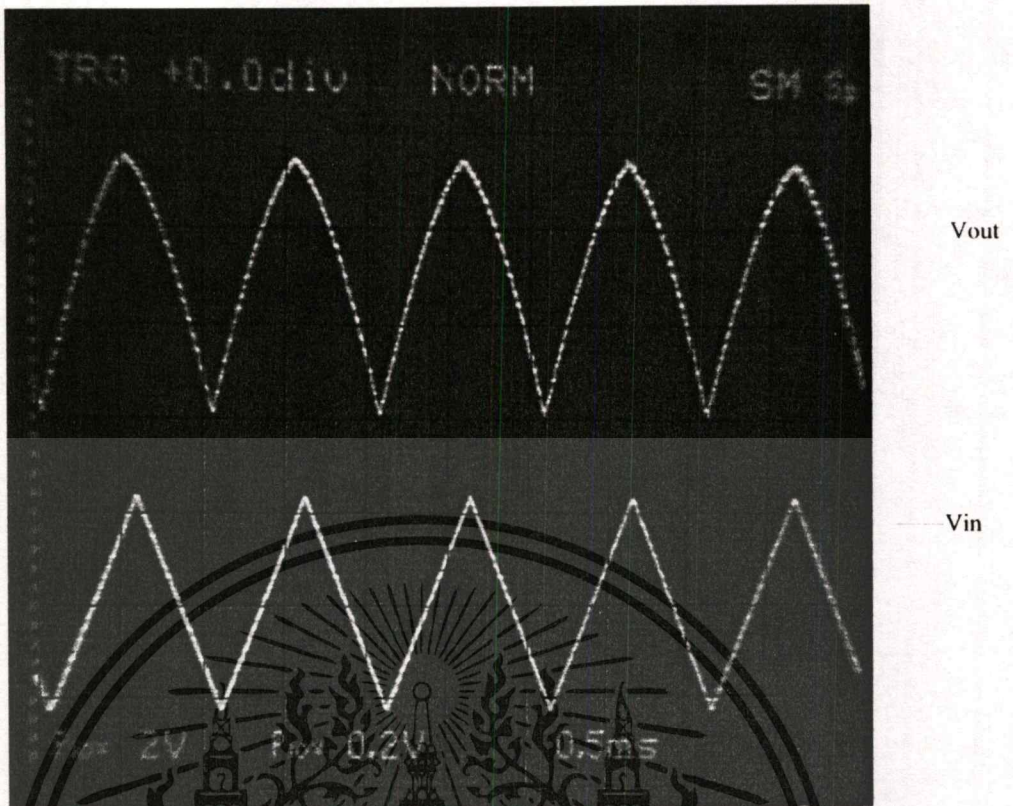
รูปที่ 4.7(จ) แสดงองค์ประกอบที่ความถี่ต่าง ๆ ของวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

จากวงจรดังรูปที่ 4.3 ได้ทำการทดลองสร้างวงจรจริง โดยทำการต่อลงบนแผงทดลองวงจรต้นแบบ โดยมอสเฟตที่ใช้เป็นแบบ NMOS และ PMOS นำมาจากมอสเฟตภายในไอซีเบอร์ MC 14007UB ซึ่งภายในไอซีประกอบด้วย NMOS และ PMOS อย่างละ 3 ตัว โดยทรานซิสเตอร์  $M_1$ ,  $M_2$  และ  $M_3$  ในวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำจะต้องมีความสมพียงกันมากที่สุด จากการทดลองทำการป้อนสัญญาณอินพุตซึ่งเป็นสัญญาณความถี่ไซน์ 1kHz. ขนาดของกระแสเท่ากับ 1  $\mu$ A. ขนาดของแรงดันที่ป้อน  $V_{DD} = 4\text{Volt.}$ ,  $V_{SS} = -4\text{Volt.}$  และกำหนดให้ขนาดของกระแสที่ผ่าน  $M_5$  มีขนาดของกระแสเท่ากับ  $\frac{I_{IN}}{4}$  จากการทดลองพบว่าวงจรที่ทำการออกแบบสามารถทำหน้าที่ถอดครากที่สองได้เป็นไปตามสมการที่นำเสนอ โดยรูปที่ 4.8(ก) – 4.8(ข) เป็นผลที่ได้จากการทดลองวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ของวงจรรูปที่ 4.3 ซึ่งผลการทดลองที่ได้ค่าของแรงดันทางด้านเอาต์พุต  $V_o$  จะมีค่าเป็นรากที่สองของกระแสอินพุต  $I_{IN}$  รูปที่ 4.8 (ก) แสดง เอาต์พุตเมื่อป้อนอินพุต  $V_i$  เป็นคลื่นสามเหลี่ยมที่ความถี่ 1kHz มี  $T/D = 0.5$  ms. และ  $V/D = 0.5$  Volt. รูปที่ 4.8 (ข) แสดง เอาต์พุตเมื่อป้อนอินพุต  $V_i$  เป็นคลื่นสามเหลี่ยมที่ความถี่

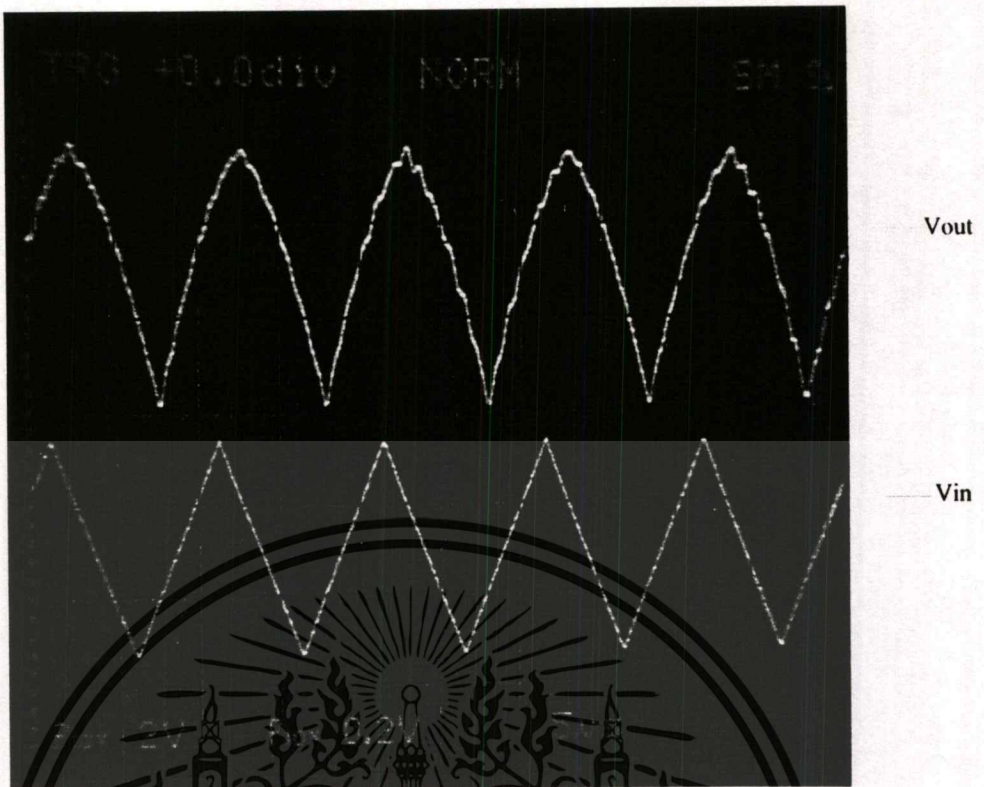
1kHz มี  $T/D = 0.5 \text{ ms}$ . และ  $V/D = 0.2 \text{ Volt}$ . และ รูปที่ 4.8 (ค) แสดง เอาท์พุทเมื่อป้อนอินพุท  $V_i$  เป็นคลื่นสามเหลี่ยมที่มีความถี่ 100kHz มี  $T/D = 5 \mu\text{s}$ . และ  $V/D = 0.2 \text{ Volt}$ . จะพบว่าที่ความถี่สูงกว่า 100 kHz จะเริ่มเกิดความผิดเพี้ยน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

รูปที่ 4.8 แสดงการวัดอินพุตเทียบกับเอาต์พุตของวงจรครากที่สอง

(ก) แสดง เอาต์พุตเมื่อป้อนอินพุต  $V_i$  เป็นคลื่นสามเหลี่ยมที่ความถี่  $1\text{kHz} = \frac{1}{t_1 + t_2}$

(ข) แสดง เอาต์พุตเมื่อป้อนอินพุต  $V_i$  เป็นคลื่นสามเหลี่ยมที่ความถี่  $1\text{kHz} = \frac{1}{t_1 + t_2}$

(ค) แสดง เอาต์พุตเมื่อป้อนอินพุต  $V_i$  เป็นคลื่นสามเหลี่ยมที่ความถี่  $100\text{kHz} = \frac{1}{t_1 + t_2}$

#### 4.6 สรุป

บทนี้ได้กล่าวถึงหลักการออกแบบวงจรครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ซึ่งองค์ประกอบของวงจรจะประกอบด้วยวงจรสะท้อนกระแสเป็นพื้นฐานในการออกแบบ โดยกำหนดขนาดของกระแสให้มีขนาดแตกต่างกัน นอกจากนี้ได้กล่าวถึงการวิเคราะห์ประสิทธิภาพของวงจร ซึ่งประกอบไปด้วยการวิเคราะห์การลดทอนความคล่องตัวของพาหะ การวิเคราะห์ผลตอบสนองความถี่ได้ใช้แบบจำลองขนาดเล็ก (small signal model) ในการหาช่วงความถี่ตอบสนอง ซึ่งผลปรากฏ คือ ได้จากการเขียนแบบการทำงานด้วยโปรแกรม Pspice กับค่าจากการ

เอกสารคำนวณนั้นมีค่าใกล้เคียงกันกับการทดสอบด้วยโปรแกรม PSpice พบว่าวงจรครากที่สองให้ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองความถี่เท่ากับ 0.625 MHz โดยที่ผลที่คำนวณได้มีค่าเท่ากับ 0.604 MHz การวิเคราะห์ช่วงอินพุตปฏิบัติงานของวงจร จะเห็นได้ว่า วงจรที่นำเสนอนี้เป็นไปตามจุดประสงค์ที่วางไว้ คือ ใช้มอสเฟตทรานซิสเตอร์ทั้งหมดในการออกแบบ มอสทรานซิสเตอร์ที่ใช้มีจำนวนน้อยโดยวงจรถอดครากที่สองจะใช้ NMOS 3 ตัว และ PMOS 4 ตัว วงจรที่ออกแบบสามารถทำงานได้โดยแหล่งจ่ายไฟเลี้ยงค่าขนาด  $\pm 1.5$  V. ผลการทดสอบการทำงานของวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ทำการทดสอบโดยการเขียนแบบการทำงานโดยโปรแกรม PSpice และการทดสอบโดยการต่อลงบอร์ดจริง เพื่อเป็นการยืนยันการทำงานของวงจรที่ได้ทำการออกแบบนั้นว่าสามารถที่จะทำงานได้จริง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

## การประยุกต์ใช้งาน

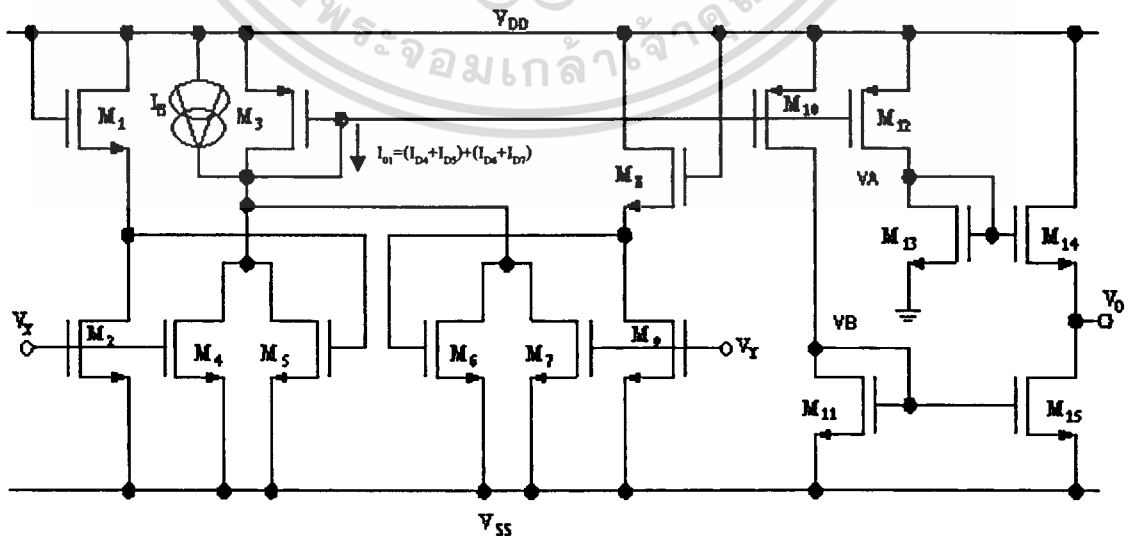
### 5.1 กล่าวนำ

ในบทที่ผ่านมา (บทที่ 3 และ บทที่ 4) ได้กล่าวถึงรายละเอียดของวงจรกำลังสองและวงจรถดถรกที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ว่ามีหลักการออกแบบอย่างไร ในบทนี้จะเป็นการกล่าวถึงการนำวงจรที่ได้ออกแบบไปประยุกต์ใช้งานเป็นวงจรบวกแรงดันทางเวกเตอร์และวงจรคูณสัญญาณ ซึ่งทั้งสองวงจรที่ได้กล่าวข้างต้นจะมีความสามารถทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำและขึ้นชั้นผลการทำงานด้วยการเขียนแบบการทำงานของวงจร โดยโปรแกรม PSpice

### 5.2 วงจรประยุกต์ใช้งาน

#### 5.2.1 วงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

การออกแบบวงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ จะประกอบด้วยวงจรอินเวอร์เตอร์ 2 วงจร วงจรขยายสัญญาณคิฟเฟอร์เนล 2 วงจร วงจรสะท้อนกระแส และวงจรถดถรกที่ทำการออกแบบใหม่นำมาทำการต่อร่วมกัน โดยวงจรจะมีข้อดี คือ ใช้แรงดันต่ำโดยจะใช้แรงดันเพียง  $\pm 1.5$  Volt. วงจรแสดง ได้ดังรูปที่ 5.1



รูปที่ 5.1 วงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยทางมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อใช้ในการศึกษาเท่านั้น ไม่สามารถนำออกจำหน่าย หรือทำซ้ำโดยไม่ได้รับอนุญาต หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง

จากวงจรสามารถอธิบายความสัมพันธ์ได้ดังสมการ

จาก 
$$I_{D1} = I_{D2} \quad (5.1)$$

และ 
$$I_{D8} = I_{D9} \quad (5.2)$$

กำหนดให้ค่า K ของ CMOS มีค่าเท่ากันทุกตัว

เมื่อ 
$$I_{D1} = K(V_{DD} - V_{O1} - V_T)^2 \quad (5.3)$$

$$I_{D2} = K(V_X - V_{SS} - V_T)^2 \quad (5.4)$$

$$I_{D8} = K(V_{DD} - V_{O2} - V_T)^2 \quad (5.5)$$

$$I_{D9} = K(V_Y - V_{SS} - V_T)^2 \quad (5.6)$$

จากสมการที่ (5.3) และ (5.4) แทนค่าลงในสมการที่ (5.1) สมการที่ (5.5) และ (5.6) แทนค่าลงในสมการที่ (5.2) จะได้

$$V_{O1} = -V_X \quad (5.7)$$

$$V_{O2} = -V_Y \quad (5.8)$$

จาก 
$$I_{O1} = (I_{D4} + I_{D5}) + (I_{D6} + I_{D7}) \quad (5.9)$$

เมื่อ 
$$I_{D4} = K(V_X - V_{SS} - V_T)^2 \quad (5.10)$$

$$I_{D5} = K(-V_X - V_{SS} - V_T)^2 \quad (5.11)$$

$$I_{D6} = K(-V_Y - V_{SS} - V_T)^2 \quad (5.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ  $I_{D7} = K(V_Y - V_{SS} - V_T)^2$  มื่อนุญาตให้นำไปใช้ประโยชน์ (5.13) คำ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการที่ (5.10) – (5.13) ลงในสมการที่ (5.9) จะได้

$$I_{01} = 2K[V_X^2 + V_Y^2 + 2(V_{SS} + V_T)^2] ; I_{DC} = 2(V_{SS} + V_T)^2 \quad (5.14)$$

จากสมการที่ 5.15 ค่าที่ได้จะมีค่าออฟเซตปมมาด้วย ดังนั้นในการออกแบบจึงต้องทำให้ค่าออฟเซตที่เกิดขึ้นหมดไป โดยการเพิ่มแหล่งจ่ายกระแสที่ค่าหนึ่งให้กับวงจร ( $I_B$ ) เพื่อลดค่าออฟเซตที่เกิดขึ้น ดังนั้นจากวงจรจะมีความสัมพันธ์ของสมการทางด้านกระแสดังนี้

$$I_{D3} = I_{D10} = I_{D12} = I_{01} - I_B \quad (5.15)$$

จากความสัมพันธ์จะได้

$$I_{D3} = I_{01} = 2K(V_X^2 + V_Y^2) ; I_{DC} = I_B \quad (5.16)$$

จากวงจรกำหนดให้กระแส  $I_{01} = I_{D11}$  และ  $I_{01} = \frac{I_{D13}}{4}$  จะได้

$$I_{01} = K(V_B - V_{SS} - V_T)^2 \quad (5.17)$$

$$I_{01} = \frac{K}{4}(V_A - V_T)^2 \quad (5.18)$$

จากสมการที่ (5.17) และ (5.18) หากค่า  $V_A$  และ  $V_B$  ได้คือ

$$V_A = \sqrt{\frac{4I_{OUT}}{K}} + V_T \quad (5.19)$$

$$V_B = \sqrt{\frac{I_{OUT}}{K}} + (V_{SS} + V_T) \quad (5.20)$$

จาก

$$I_{D14} = I_{D15} \quad (5.21)$$

เอกสารเมื่อเอกสารที่สงวนไว้สำหรับการใช้งาน  $I_{D14} = K(V_A - V_O - V_T)^2$  อนุญาตให้นำไปใช้ประโยชน์ได้ (5.22) คำ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$I_{D15} = K (V_B - V_{SS} - V_T)^2 \quad (5.23)$$

ทำการแทนค่า  $V_A$  และ  $V_B$  ลงในสมการที่ (5.22) และ(5.23) ตามลำดับ ผลลัพธ์ที่ได้จะเป็นไปตามสมการที่ (5.24) ดังนี้

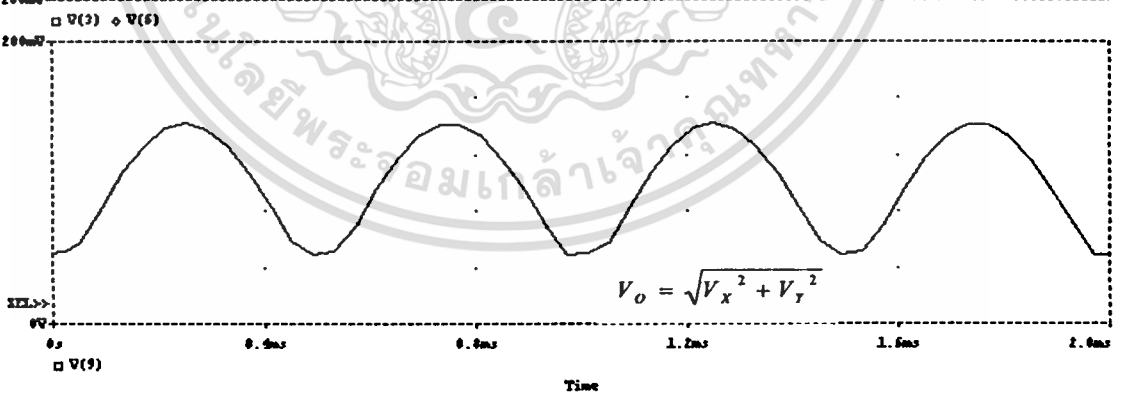
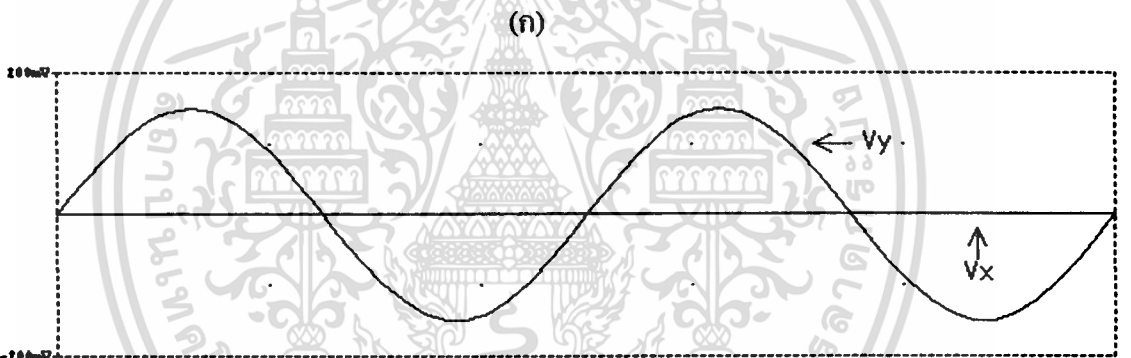
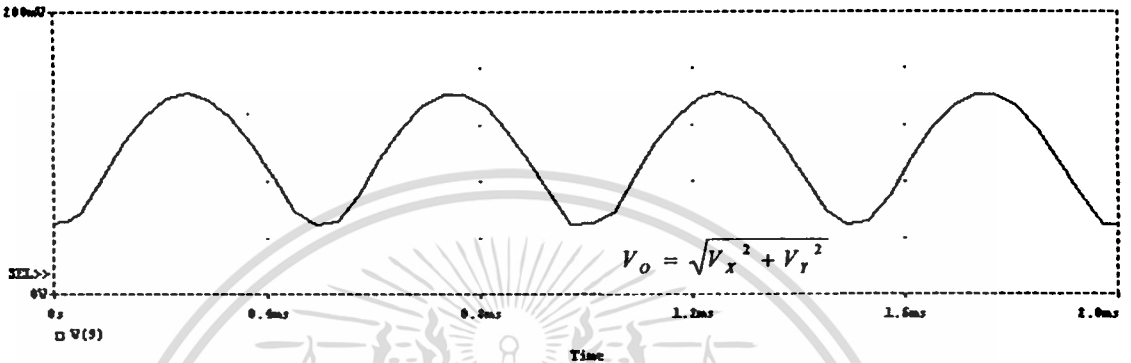
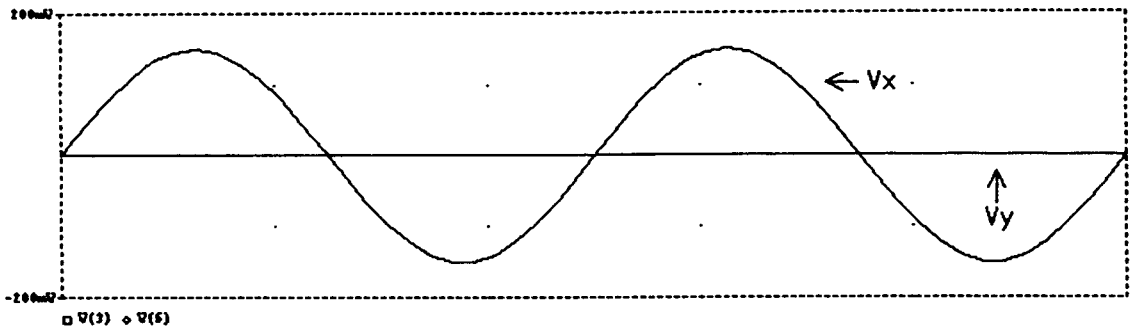
$$V_O = 1.414\sqrt{V_X^2 + V_Y^2} \quad (5.24)$$

จากรูปที่ 5.1 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice และใช้โมเดลของ CMOS เทคโนโลยี 0.5  $\mu\text{m}$ . ของ MOSIS มีค่าต่าง ๆ ดังนี้ เมื่อ  $V_{DD} = V_{SS} = \pm 1.5\text{Volt}$  และมีความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ ดังตารางที่ 5.1

ตารางที่ 5.1 แสดงขนาดความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์

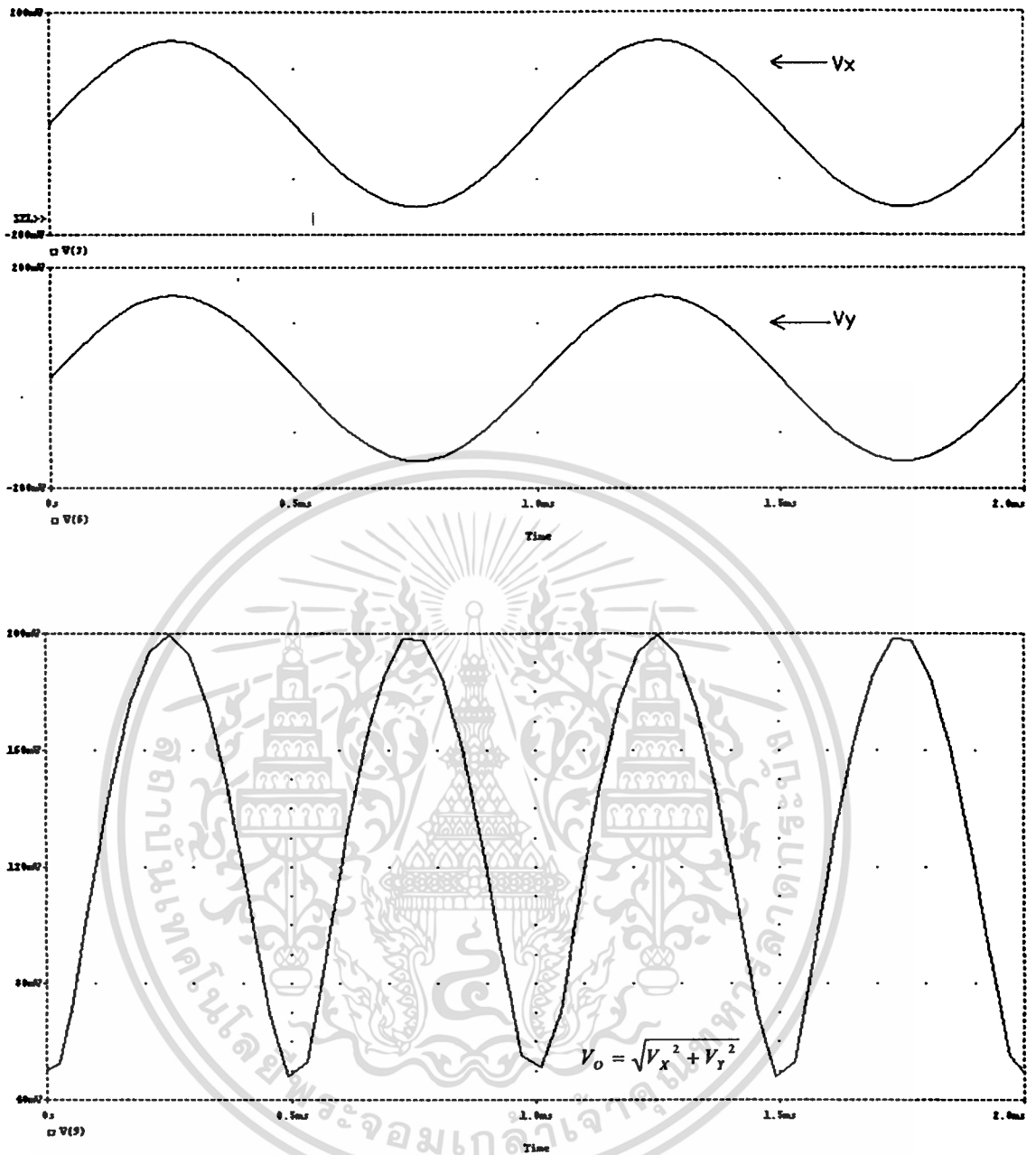
| ทรานซิสเตอร์          | $M_1-M_2$ | $M_3,M_{12}$ | $M_5-M_7$ | $M_8-M_9$ | $M_{10}$ | $M_{11},M_{13}$ | $M_{15}-M_{15}$ |
|-----------------------|-----------|--------------|-----------|-----------|----------|-----------------|-----------------|
| W/L ( $\mu\text{m}$ ) | 10/10     | 500/5        | 10/50     | 10/10     | 500/16   | 10/80           | 5/50            |

ผลการทำงานของวงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงค่า แสดงดังรูปที่ 5.2 (ก) เมื่อ  $V_X^2 = (0.15\sin 2000\pi t)^2$  และ  $V_Y^2 = 0 V_{DC}$  รูปที่ 5.2 (ข) เมื่อ  $V_X^2 = 0 V_{DC}$  และ  $V_Y^2 = (0.15\sin 2000\pi t)^2$  รูปที่ 5.2 (ค) เมื่อ  $V_X^2 = (0.15\sin 2000\pi t)^2$  และ  $V_Y^2 = (0.15\sin 2000\pi t)^2$  รูปที่ 5.2 (ง) เมื่อ  $V_X^2 = (0.15\sin 2000\pi t)^2$  และ  $V_Y^2 = (0.15\cos 2000\pi t)^2$  จากวงจรต่อแหล่งจ่ายกระแสคงที่ไว้เพื่อทำการหักล้างแรงดันเทรซโซลที่เกิดขึ้น ซึ่งมีค่าเท่ากับ 55.5  $\mu\text{A}$ . โดยค่ากระแสคงที่ ที่เพิ่มในวงจรได้มาจากการวิเคราะห์ในโปรแกรม PSpice ผลการเขียนแบบโดยโปรแกรม PSpice แสดงได้ดังรูป



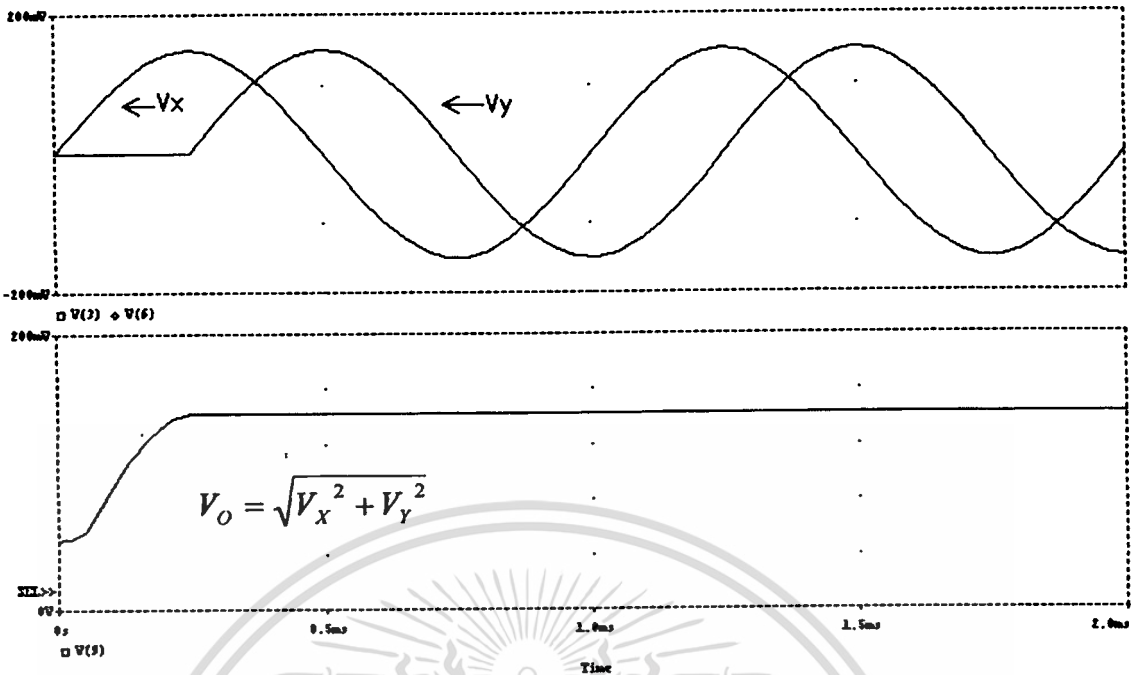
(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง)

รูปที่ 5.2 แสดงเอาต์พุตของวงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงค่า

(ก) เมื่อ  $V_x^2 = (0.15\sin 2000\pi t)^2$  และ  $V_y^2 = 0 V_{DC}$

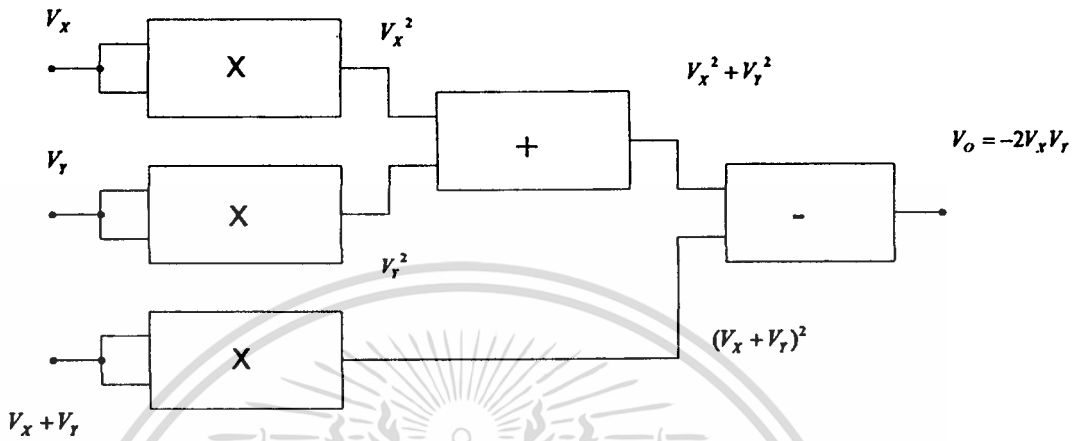
(ข) เมื่อ  $V_x^2 = 0 V_{DC}$  และ  $V_y^2 = (0.15\sin 2000\pi t)^2$

(ค) เมื่อ  $V_x^2 = (0.15\sin 2000\pi t)^2$  และ  $V_y^2 = (0.15\sin 2000\pi t)^2$

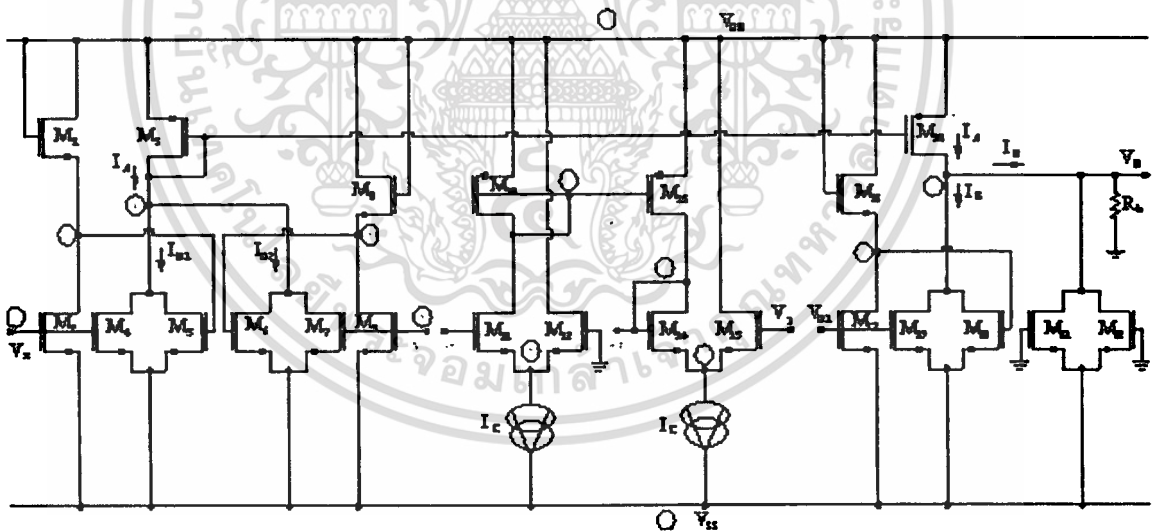
(ง) เมื่อ  $V_x^2 = (0.15\sin 2000\pi t)^2$  และ  $V_y^2 = (0.15\cos 2000\pi t)^2$

## 5.2.2 วงจรคูณสัญญาณ

เมื่อนำวงจรกำลังสองมาต่อเป็นวงจรคูณสัญญาณ จะได้ดังบล็อกโคอะแกรม



รูปที่ 5.3 บล็อกโคอะแกรมของวงจรคูณ



รูปที่ 5.4 วงจรคูณสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรสามารถหาความสัมพันธ์ของสมการได้คือ กำหนดให้ค่า  $K$  มีค่าเท่ากันทุกตัว

จาก 
$$I_{D1} = I_{D2} \quad (5.25)$$

เมื่อ 
$$I_{D1} = K(V_{DD} - V_2 - V_T)^2 \quad (5.26)$$

และ 
$$I_{D2} = K(V_X - V_{SS} - V_T)^2 \quad (5.27)$$

แทนค่าจากสมการที่ (5.26)-(5.27) ในสมการที่ (5.25) จะได้

$$V_2 = -V_X \quad (5.28)$$

จาก 
$$I_{D8} = I_{D9} \quad (5.29)$$

เมื่อ 
$$I_{D8} = K(V_{DD} - V_5 - V_T)^2 \quad (5.30)$$

และ 
$$I_{D9} = K(V_Y - V_{SS} - V_T)^2 \quad (5.31)$$

แทนค่าจากสมการที่ (5.30)-(5.31) ในสมการที่ (5.29) จะได้

$$V_5 = -V_Y \quad (5.32)$$

จาก 
$$I_A = I_{O1} + I_{O2} \quad (5.33)$$

เมื่อ 
$$I_{O1} = I_{D4} + I_{D5} \quad (5.34)$$

ดังนั้น 
$$I_{D4} = K(V_X - V_{SS} - V_T)^2 \quad (5.35)$$

และ 
$$I_{D5} = K(-V_X - V_{SS} - V_T)^2 \quad (5.36)$$

แทนค่าจากสมการที่ (5.35)-(5.36) ในสมการที่ (5.34) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{O1} = 2(V_X^2 + (V_{SS} + V_T)^2) \quad (5.37)$$

เมื่อ  $I_{O2} = I_{D6} + I_{D7} \quad (5.38)$

ดังนั้น  $I_{D6} = K(-V_Y - V_{SS} - V_T)^2 \quad (5.39)$

และ  $I_{D7} = K(V_Y - V_{SS} - V_T)^2 \quad (5.40)$

แทนค่าจากสมการที่ (5.39)-(5.40) ในสมการที่ (5.38) จะได้

$$I_{O2} = 2(V_Y^2 + (V_{SS} + V_T)^2) \quad (5.41)$$

แทนค่าจากสมการที่ (5.37) และ (5.41) ในสมการที่ (5.33) จะได้

$$I_A = 2[V_X^2 + V_Y^2 + 2(V_{SS} + V_T)^2] \quad (5.42)$$

และจาก  $V_X = V_{O1} - V_Y \quad (5.43)$

จะได้  $V_{O1} = (V_X + V_Y) \quad (5.44)$

จาก  $I_{D16} = I_{D17} \quad (5.45)$

เมื่อ  $I_{D16} = K(V_{DD} - V_{11} - V_T)^2 \quad (5.46)$

และ  $I_{D17} = K(V_{O1} - V_{SS} - V_T)^2 \quad (5.47)$

แทนค่าจากสมการที่ (5.46) และ (5.47) ในสมการที่ (5.45) จะได้

$$V_{11} = -V_{O1} \quad (5.48)$$

จาก  $I_B = I_{D19} + I_{D20} \quad (5.49)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $I_{D19} = K(V_{O1} - V_{SS} - V_T)^2$  (5.50)

และ  $I_{D20} = K(-V_{O1} - V_{SS} - V_T)^2$  (5.51)

แทนค่าจากสมการที่ (5.50) และ (5.51) ในสมการที่ (5.49) จะได้

$$I_B = 2K[(V_X + V_Y)^2 + (V_{SS} + V_T)^2] \quad (5.52)$$

จาก  $I_O = I_A - I_B$  (5.53)

แทนค่าจากสมการที่ (5.42) และ (5.52) ในสมการที่ (5.53) จะได้

$$I_O = 2K(-2V_X V_Y + (V_{SS} + V_T)^2) \quad (5.54)$$

ดังนั้น  $V_O = 2R_L K(-2V_X V_Y + (V_{SS} + V_T)^2)$  (5.55)

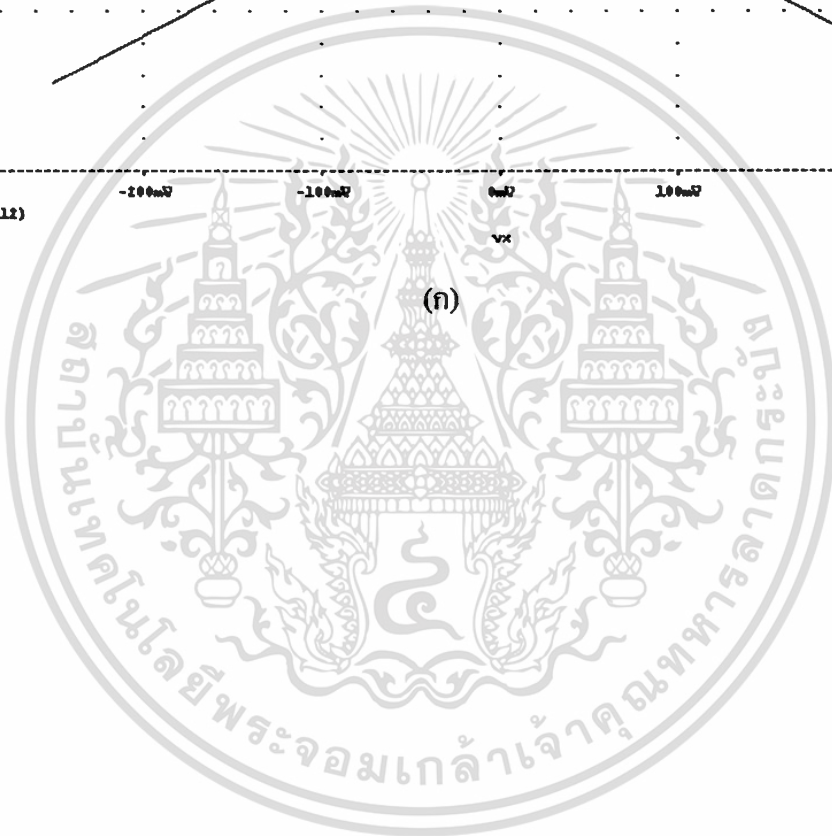
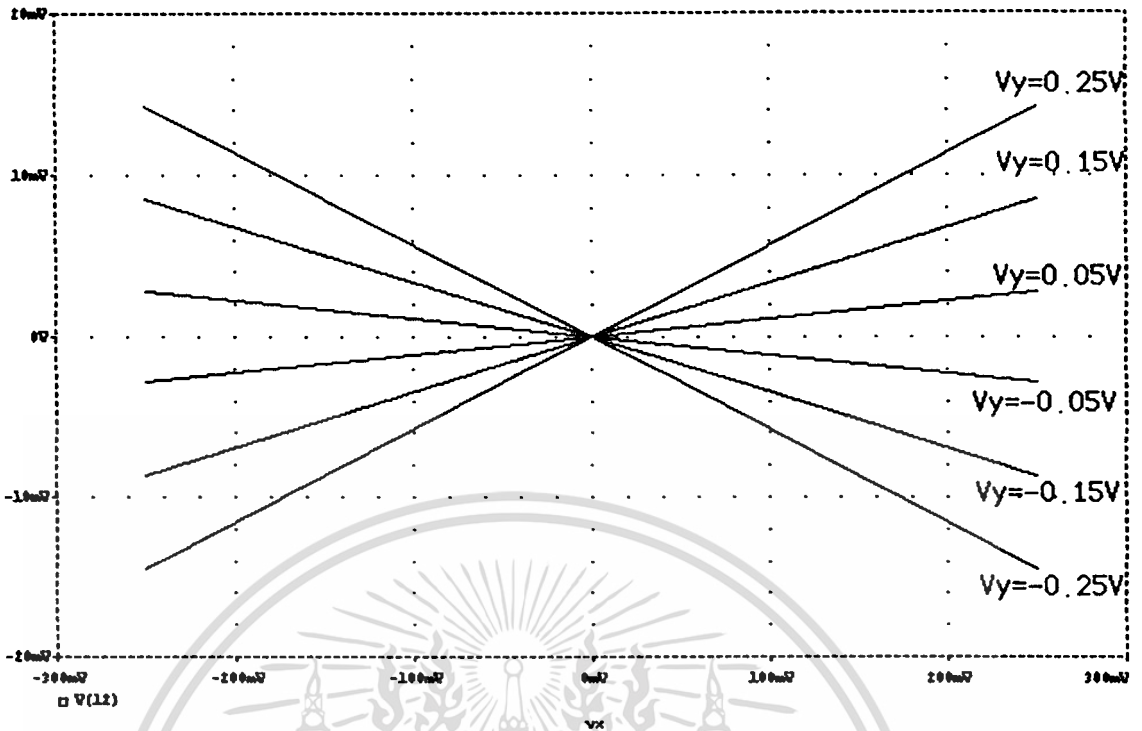
จากรูปที่ 5.4 เมื่อทำการทดสอบการทำงานด้วยโปรแกรม PSpice และใช้โมเดลของ CMOS เทคโนโลยี 0.5  $\mu\text{m}$ . ของ MOSIS มีค่าต่าง ๆ ดังนี้ เมื่อ  $V_{DD} = V_{SS} = \pm 1.2\text{Volt}$ ,  $R_L = 1\text{k}\Omega$ ,  $I_C = 20\mu\text{A}$  และมีความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์ ดังตารางที่ 5.5

ตารางที่ 5.2 แสดงขนาดความกว้างต่อความยาวแขนแนลของมอสทรานซิสเตอร์

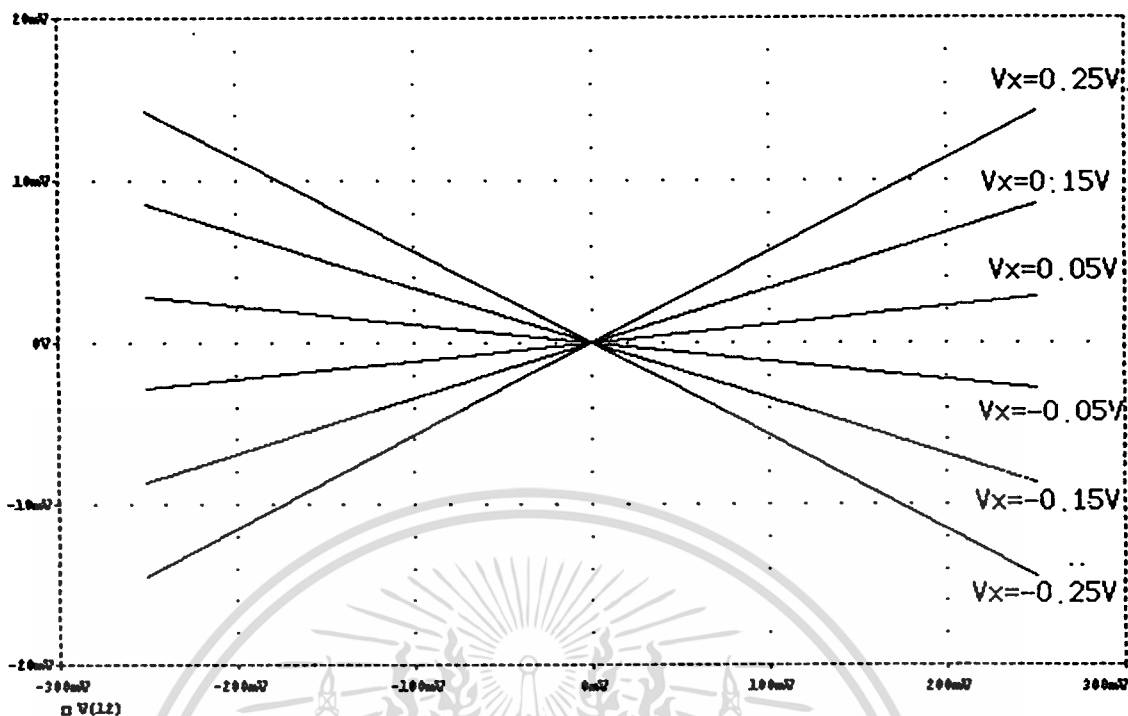
| ทรานซิสเตอร์          | $M_1$ - $M_2$ , $M_5$ - $M_9$ | $M_3$ , $M_{10}$ , $M_{13}$ , $M_{18}$ | $M_{11}$ - $M_{12}$ , $M_{15}$ - $M_{17}$ | $M_{19}$ - $M_{22}$ |
|-----------------------|-------------------------------|--|---|---------------------|
| W/L ( $\mu\text{m}$ ) | 10/10                         | 100/10                                 | 10/10                                     | 10/10               |

ผลการทำงานของวงจรถูกโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ แสดงดังรูปที่ 5.4 แสดงคุณสมบัติทาง DC transfer ของการคูณสัญญาณ รูปที่ 5.5 (ก) เมื่อ  $V_X$  แปรค่าจาก  $-0.25\text{ V}$ . ถึง  $0.25\text{ V}$ . และ  $V_Y$  แปรค่าจาก  $-0.25\text{ V}$ . ถึง  $0.25\text{ V}$ . step ละ  $0.1\text{ V}$ . รูปที่ 5.5 (ข) เมื่อ  $V_Y$  แปรค่าจาก  $-0.25\text{ V}$ . ถึง  $0.25\text{ V}$ . และ  $V_X$  แปรค่าจาก  $-0.25\text{ V}$ . ถึง  $0.25\text{ V}$ . step ละ  $0.1\text{ V}$ . รูปที่ 5.6 แสดงผลลัพธ์เมื่อนำวงจรถูกเป็นวงจรผสมสัญญาณโดย  $V_X = 0.25\sin 30,000t$  และ  $V_Y = 0.25\sin 2000\pi$  จากวงจรต่อแหล่งจ่ายกระแสแสดงที่ซึ่งมีค่าเท่ากับ  $20\mu\text{A}$  ผลการทำงานสามารถเลียนแบบโดยใช้โปรแกรม

เอกสาร PSpice ดังนี้ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

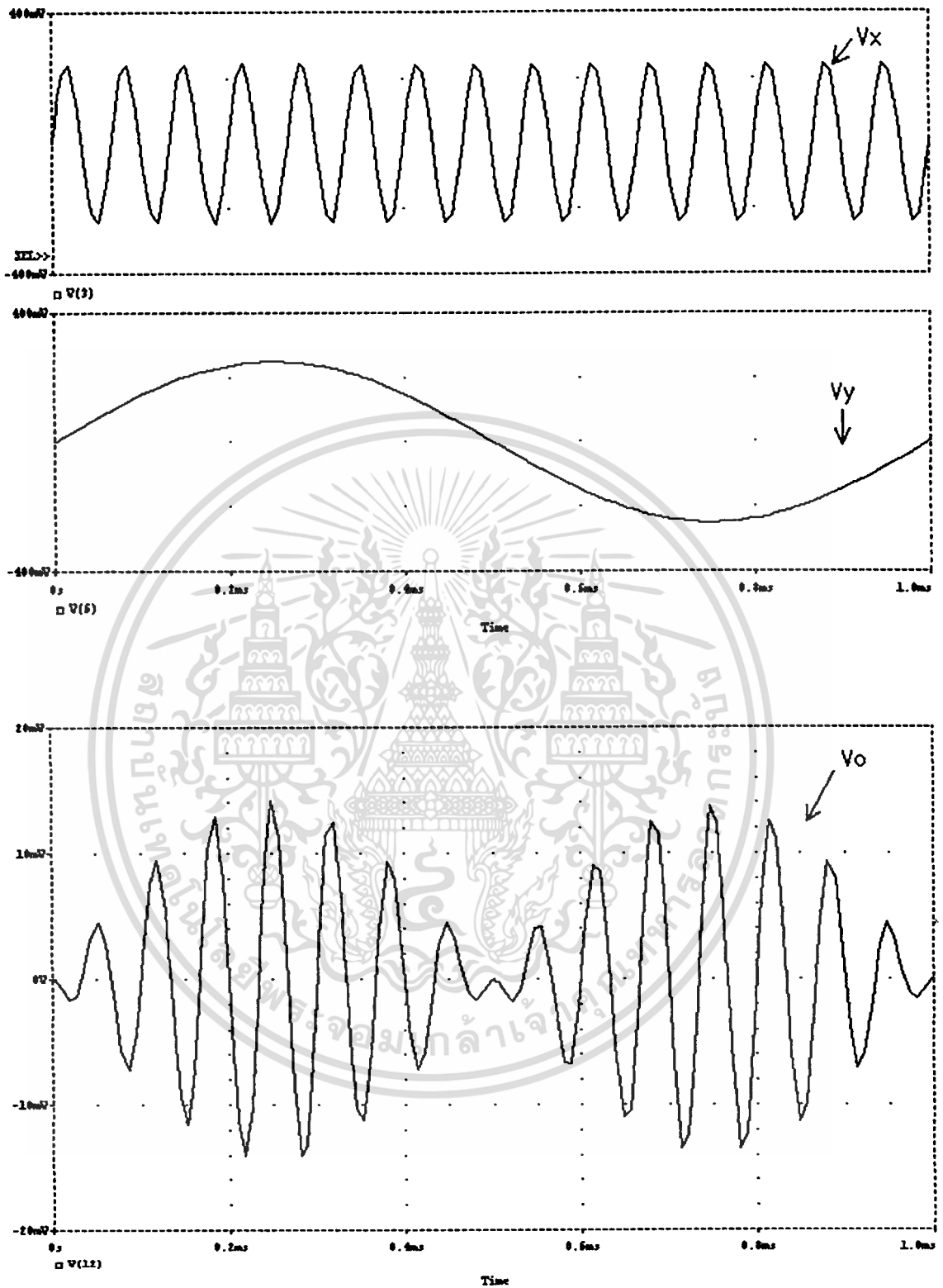


(ข)

**รูปที่ 5.15 แสดงคุณสมบัติทาง DC transfer ของการคูณสัญญาณ**

- (ก) เมื่อ  $V_x$  แปรค่าจาก  $-0.25$  V. ถึง  $0.25$  V. และ  $V_y$  แปรค่าจาก  $-0.25$  V. ถึง  $0.25$  V. step ละ  $0.1$  V.
- (ข) เมื่อ  $V_y$  แปรค่าจาก  $-0.25$  V. ถึง  $0.25$  V. และ  $V_x$  แปรค่าจาก  $-0.25$  V. ถึง  $0.25$  V. step ละ  $0.1$  V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 แสดงผลลัพธ์เมื่อนำวงจรคูณเป็นวงจรผสมสัญญาณ

$$\text{โดย } V_x = 0.25 \sin 30,000\pi t \text{ และ } V_y = 0.25 \sin 2,000\pi t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 สรุป

บทนี้เป็นการนำวงจรกำลังสองและวงจรถอดรอกที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ที่ทำการออกแบบในบทที่ 3 และบทที่ 4 มาประยุกต์เป็นวงจรวกแรงดันทางเวกเตอร์และวงจรถูณสัญญาณ ซึ่งทั้งสองวงจรสามารถทำงานได้โดยใช้แรงดันไฟเลี้ยงต่ำ โดยวงจรวกแรงดันทางเวกเตอร์สามารถทำงานได้ที่แรงดันขนาด  $\pm 1.5$  Volt. และวงจรถูณสัญญาณสามารถทำงานได้ที่แรงดันขนาด  $\pm 1.2$  Volt. ผลปรากฏ คือ วงจรที่ออกแบบสามารถทำงานได้จริงและสามารถนำมาประยุกต์ใช้งานได้จริง ซึ่งผลการทดสอบการเลียนแบบการทำงานของวงจรวกแรงดันทางเวกเตอร์และวงจรถูณสัญญาณ สามารถยืนยันโดยใช้โปรแกรม PSpice ซึ่งผลที่ได้เป็นไปตามทฤษฎีที่นำเสนอ



# บทที่ 6

## บทสรุป

### 6.1 บทสรุป

ในวิทยานิพนธ์ฉบับนี้นำเสนอวงจรกำลังสองและวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยใช้มอสเฟตในการออกแบบ วงจรจะประกอบด้วยวงจรรย่อย 4 ส่วน คือ วงจรอินเวอร์เตอร์ วงจรขยายคิฟเฟอร์เนเชียล วงจรสะท้อนกระแส และวงจรถอดครากที่สอง โดยที่มอสทรานซิสเตอร์นั้นจะมีการทำงานอยู่ในช่วงอิมิต์ และในส่วนของวงจรถอดครากที่สองนั้นได้นำเสนอวงจรแนวใหม่ ซึ่งจากการวิจัยเดิมแรงดันทางด้านเข้าที่พุกที่ได้จะเป็นการเปรียบเทียบผลต่างมาเป็นแบบที่ไม่ต้องมีการเปรียบเทียบแรงดันที่เข้าที่พุกของวงจร และข้อดีของวงจรคือสามารถที่จะทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยวงจรกำลังสองมีขนาดแหล่งจ่ายเพียง  $\pm 1.2$  Volt และวงจรถอดครากที่สองมีขนาดแหล่งจ่ายเพียง  $\pm 1.5$  Volt ผลการวิเคราะห์คุณสมบัติของวงจรในทางทฤษฎีมีการวิเคราะห์ดังนี้

1. ผลการวิเคราะห์ประสิทธิภาพของวงจรในส่วนของการวิเคราะห์ Second-order effect ในเรื่องของการลดทอนความคล่องตัวของมอสเฟตที่วงจรอินเวอร์เตอร์ จะไม่มีผลต่อการทำงานของวงจรเนื่องจากมอสเฟตมีขนาดเท่ากัน จากสมการที่ 3.18 จึงสามารถตัดทอนส่วนของสมการได้ที่วงจรกำลังสองจากสมการ 3.19 เกิดความผิดพลาดที่ต่ำในเทอมของ  $\theta^2$  ซึ่งเป็นผลให้เกิดการลดทอนความคล่องตัวที่ทำให้เกิดค่าความผิดพลาดในฮาร์โมนิกที่ 2, 3 และแรงดัน off set

2. การวิเคราะห์ช่วงปฏิบัติงานความถี่ของวงจรใช้แบบจำลองสัญญาณขนาดเล็ก (small signal model) แบ่งเป็น 2 ส่วน คือ วงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำและวงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ผลปรากฏ ดังนี้

2.1 วงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ มีความถี่ตอบสนองจากการคำนวณมีค่าเท่ากับ 6.64 MHz เป็นค่าที่พอจะรับได้เมื่อเทียบกับค่าที่ได้จากการเขียนแบบการทำงานด้วยโปรแกรม PSpice คือมีค่าเท่ากับ 5.623 MHz

2.2 วงจรถอดครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ มีความถี่ตอบสนองจากการคำนวณมีค่าเท่ากับ 0.625 MHz เป็นค่าที่พอจะรับได้เมื่อเทียบกับค่าที่ได้จากการเขียนแบบการทำงานด้วยโปรแกรม PSpice คือมีค่าเท่ากับ 0.604 MHz

3. การวิเคราะห์ช่วงปฏิบัติงานอินพุทของวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ จะขึ้นอยู่กับเงื่อนไขของสมการที่ 3.29 ซึ่งมีช่วงปฏิบัติงานอินพุทอยู่ในช่วง  $\pm 0.5$  Volt. และช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฏิบัติงานอินพุทของวงจรออครากที่สอง โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ จะขึ้นอยู่กับเงื่อนไขของสมการที่ 4.26

การจำลองเขียนแบบการทำงานของวงจรด้วยโปรแกรม PSpice และผลการต่อวงจรลงบอร์ดจริง สามารถยืนยันการทำงานของวงจร วงจรที่นำเสนอในวิทยานิพนธ์นี้สามารถทำงานได้จริง และนำไปประยุกต์ใช้งานได้อย่างมากมาย เช่นการประยุกต์ใช้งานเป็นวงจรบวกแรงดันทางเวกเตอร์และวงจรคูณสัญญาณอนาล็อก 4 ควอดแรนต์ โดยวงจรสามารถที่จะทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ และเหมาะสำหรับที่จะนำไปสร้างเป็นวงจรรวม

## 6.2 ปัญหาที่เกิดขึ้นและแนวทางแก้ไข

ปัญหาที่เกิดขึ้นและแนวทางการแก้ไขในการออกแบบวงจรกำลังสองและวงจรออครากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำนั้นจำแนกได้ดังนี้

1. ในวงจรกำลังสองจะใช้ชิพมอสที่มีการทำงานในช่วงอิมิตัวร์ร่วมกับวงจรร้อย เช่น วงจรอินเวอร์เตอร์ วงจรขยายสัญญาณคิฟเฟอร์เรลชือเตอร์ นั้นมีปัญหา คือ ความไม่สมพงษ์กันในส่วน of วงจรสะท้อนกระแส และในส่วน of วงจรออครากที่สองจะมีความผิดพลาดเกิดขึ้นในช่วงที่เอาท์พุทใกล้ศูนย์

แนวทางการแก้ไข ต้องเปลี่ยนวงจรสะท้อนกระแสเป็นวงจรใหม่ที่ทำให้ความแน่นอนในการสะท้อนกระแสดีกว่าเดิม

2. ปัญหาที่เกิดขึ้นจากการต่อวงจรลงบนบอร์ด สาเหตุเนื่องจากมอสเฟทที่ทำการออกแบบวงจรในโปรแกรม PSpice มีหลายขนาด แต่มอสเฟทที่ใช้ในการทดลองจริงมีเพียงขนาดเดียว ผลการทดลองทำให้คุณสมบัติของวงจรไม่เป็นไปตามทฤษฎี และวงจรมีสัญญาณรบกวนที่เกิดขึ้นจาก Supply ถึงแม้เกิดขึ้นเพียงเล็กน้อยก็จะส่งผลต่อการทดลองเช่นกัน

แนวทางการแก้ไข ในส่วนของขนาดของมอสเฟทนั้น ไม่สามารถที่จะแก้ไขได้ แต่สัญญาณรบกวนอันเกิดจาก Supply สามารถที่จะแก้ไขได้โดยการเลือก Supply ที่มีคุณสมบัติที่ดี และในขณะที่ทำการทดลองควรปิดอุปกรณ์ไฟฟ้าทุกชนิดที่อาจเป็นตัวกำเนิดสัญญาณรบกวนได้

## เอกสารอ้างอิง

- [1] วัลลภ สุระกำพลธร , “วงจรวีความถี่โคใช้คุณสมบัติของ MOSFET” , การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 13 , 8-9 พฤศจิกายน 2533.
- [2] พิพัฒน์ พรหมมี , กอบชัย เศรษฐาญ “วงจรมัลติเพลกเซอร์โดยใช้ MOSFET.” การประชุมทางวิชาการ วิศวกรรม ไฟฟ้า ครั้งที่ 17 , 8-9 พฤศจิกายน 2537.
- [3] โกศล ลอยลัว รัช สดแสง พิพัฒน์ พรหมมี กอบชัย เศรษฐาญ สุชาติ ภูมทวีเทพ , “วงจรรากที่สองโดยใช้มอสเฟต” การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 17 , 8-9 พฤศจิกายน 2537.
- [4] วิวัฒน์ กิรานนท์ ปราโมทย์ วาดเขียน วิภา แสงพิสิทธิ และ จิรสุดา เกสร. “วงจรวกทางเวกเตอร์.” การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 19. หน้า EL 109 – EL 112. 7- 8 พฤศจิกายน 2539.
- [5] P.R. Gray and R.G. Meyer , “Analog Integrate circuit “ , 2nd edition ,John Wiley & Sons ,Inc ,1984
- [6] A.B. Grebene , “Bipolar and MOS Analog Integrate circuit Design.” ,John Wiley & Sons ,1984
- [7] I.M. Filanovsky and Bates, “Simple CMOS Analog Square-Rooting and Squaring Circuit,”IEEE Trans. Circuits and System, Vol.39, No.4, PP.312, 1992
- [8] S.I. Liu, “Square-rooting and vector summation Circuit using current conveyer,” Proc.IEEE Circuit Devices Syst, Vol.142, No.4, PP.223-226, August 1995.
- [9] อธิพงษ์ ชัยสาขันธ์ และ กอบชัย เศรษฐาญ, “ วงจรความถี่แบบลอยตัว และ วงจรคูณโดยใช้มอส” ,การประชุมทางวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19 , หน้า EL15-EL18. พฤศจิกายน 2539.
- [10] อธิพงษ์ ชัยสาขันธ์ และ กอบชัย เศรษฐาญ, “การออกแบบวงจรมัลติเพลกเซอร์แบบ 4 ควอดแรนต์โดยใช้มอสทำงานในช่วงไม้อิมิตัว” ,การประชุมทางวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19 , หน้า EL19-EL22. พฤศจิกายน 2539.
- [11] J.H.Tsay, S.I.Liu, J. J. Chen and Y.P. Wu, “CMOS four-quadrant multiplier using triode transistor based on regulated cascode structure,” Electron.Lett., vol.31, no. 12, pp. 962-963, 1995.
- [12] C.T. Sah “Characteristic of the Metal-Oxide-Semiconductor Transistor,” IEEE Trans. Electron Devices., Vol. ED-11, pp.329-345, 1964.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [13] H.Shichman and D.Hodges , “Modeling and Simulation of Insulated Gate Fied-Effect Transistor Switching Circuit, “ IEEE J. Solid-State Circuit., Vol. Sc-3 , pp. 258-289 , 1968.
- [14] พรเทพ จันทร์คุณภาส และคณะ, “วงจรมอนิเตอร์ด้วยหลักการควอดเรนต์แควร์โดยซีมอส ,” การประชุมทางวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL 174-EL 177., 7-8 พฤศจิกายน 2539
- [15] S. I. Liu., “Low Voltage CMOS four-quadrant multiplier,” Electron.Lett.,vol.30, no. 25, pp. 2125-2126, 1994.
- [16] อธิพิงศ์ ชัยสาขันธ์ และ กอบชัย เดชหาญ, “เทคนิคการออกแบบวงจรมอนิเตอร์โดยใช้ มอสเฟต” ,การประชุมทางวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19 , หน้า EL10-EL14. 7-8 พฤศจิกายน 2539.
- [17] K. Bult and H. Wallinga, “ A CMOS quadrant analog multiplier,” IEEE J. Solid-State Circuit, vol. SC-21, pp. 430-435, June 1986.
- [18] K. Bult and H. Wallinga, “ A Class of analog CMOS Circuit Base on the Square-law Characteristic of an MOS Transistor Saturation,” IEEE J. Solid-State Circuit, vol. SC-22, No.3, pp. 357-365, June 1987.
- [19] E.W. Greeneich, “Analog Integrated Circuits,” Chapman&Hall, pp. 36,1941.
- [20] ธวัช สุดแสง, พิพัฒน์ พรหมมี, กอบชัย เดชหาญ, อุทัย ศรีธีระวิโรจน์, “วงจรมอนิเตอร์โดยใช้ มอสเฟต,” การประชุมทางวิศวกรรมไฟฟ้า ครั้งที่ 17, หน้า 557-561, 1-2 ธันวาคม 2537



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ก.

## โปรแกรม PSpice ที่ใช้ในการวิเคราะห์หัตถยานิพนธ์

วงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

## LOW VOLTAGE SQUARING

```
vdd 1 0 dc 1.2
```

```
vss 0 6 dc 1.2
```

```
vi 3 0 dc 0.25
```

```
*vi 3 0 sin(0 0.25 1k)
```

```
*vi 3 0 ac 0.25 sin(0 0.25 1k)
```

```
r1 5 0 1k
```

```
IB 1 4 dc 39.7u
```

```
m1 1 1 2 2 nmos1 w=1.35U l=1.35U
```

```
m2 2 3 6 6 nmos1 w=1.35U l=1.35U
```

```
m3 4 4 1 1 pmos1 w=1.35U l=1.35U
```

```
m4 4 3 6 6 nmos1 w=1.35U l=1.35U
```

```
m5 4 2 6 6 nmos1 w=1.35U l=1.35U
```

```
m6 5 4 1 1 pmos1 w=1.35U l=1.35U
```

```
* MOSIS MODEL AT 0.5U
```

```
.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1
```

```
+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04
```

```
+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382
```

```
+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02
```

```
+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
```

```
+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11
```

```
+ MJSW=0.71000 PB=0.9900000
```

```
.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
```

```
+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05
```

```
+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
```

```
+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
```

```
+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10

+ MJSW=0.21200 PB=0.930000

\*.ac dec 10 0.1 1000meg

\*.tran 0.001u 1m

\*.four 2000 v(5)

.DC VI 0.25 -0.25 0.01

.op

.probe

.end



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรถอดครากที่สอง

### LOW VOLTAGE SQUARE-ROOT

vdd 1 0 dc 1.5

vss 0 6 dc 1.5

\*in 2 0 pulse(0 +2u 0 0.495ms 0.495ms 0.01ms 1.0ms)

\*in 2 0 ac 1u sin(1u 1u 1k)

in 2 0 dc 0u

\*in2 5 0 dc 10f

m1 2 2 1 1 pmos1 w=400u l=4u

m2 3 2 1 1 pmos1 w=400u l=16u

m3 3 3 6 6 nmos1 w=4u l=50u

m4 4 2 1 1 pmos1 w=400u l=4u

m5 4 4 0 0 nmos1 w=4u l=50u

m6 1 4 5 5 nmos1 w=4u l=8u

m7 5 3 6 6 nmos1 w=4u l=8u

\*m8 1 1 7 7 nmos1 w=20u l=4u

\* MOSIS MODEL AT 0.5U

.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1

+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04

+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382

+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02

+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10

+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11

+ MJSW=0.71000 PB=0.9900000

.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1

+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05

+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551

+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02

+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10

+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10

+ MJSW=0.21200 PB=0.930000

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.DC in 0u 2u 0.05u

\*.ac dec 10 100 1000meg

.op

\*.FOUR 1000 V(5)

.tran 0.1u 2ms

.probe

.end



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถอดราก็ที่สอง (เมื่อ  $I_{IN} = triangle$ )

### LOW VOLTAGE SQUARE-ROOT

vdd 1 0 dc 1.5

vss 0 6 dc 1.5

in 2 0 pulse(0 +2u 0 0.495ms 0.495ms 0.01ms 1.0ms)

\*in 2 0 ac 1u sin(1u 1u 1k)

\*in 2 0 dc 0u

\*in2 5 0 dc 10f

m1 2 2 1 1 pmos1 w=400u l=4u

m2 3 2 1 1 pmos1 w=400u l=16u

m3 3 3 6 6 nmos1 w=4u l=50u

m4 4 2 1 1 pmos1 w=400u l=4u

m5 4 4 0 0 nmos1 w=4u l=50u

m6 1 4 5 5 nmos1 w=4u l=8u

m7 5 3 6 6 nmos1 w=4u l=8u

\*m8 1 1 7 7 nmos1 w=20u l=4u

\* MOSIS MODEL AT 0.5U

.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1

+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04

+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382

+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02

+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10

+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11

+ MJSW=0.71000 PB=0.9900000

.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1

+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05

+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551

+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02

+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10

+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10

เอกสาร + MJSW=0.21200 PB=0.930000 ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.DC in 0u 2u 0.05u

\*.ac dec 10 100 1000meg

.op

.FOUR 1000 V(5)

.tran 0.1u 2ms

.probe

.end



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรวกแรงดันทางเวกเตอร์

vector

vdd 1 0 dc 1.5

vss 0 10 dc 1.5

\*vx 3 0 dc 0

vy 6 0 dc 0

vx 3 0 ac 0.15 sin(0 0.15 1k)

\*vx 3 0 ac 0.15 sin(0 0.15 1k 0.25ms)

\*vy 6 0 ac 0.15 sin(0 0.15 1k)

\*vy 6 0 ac 0.15 sin(0 0.15 1k 0.25ms)

ib 1 4 dc 45.4u

m1 1 1 2 2 nmos1 w=10u l=10u

m2 2 3 10 10 nmos1 w=10u l=10u

m3 4 4 1 1 pmos1 w=400u l=4u

m4 4 3 10 10 nmos1 w=10u l=40u

m5 4 2 10 10 nmos1 w=10u l=40u

m6 4 5 10 10 nmos1 w=10u l=40u

m7 4 6 10 10 nmos1 w=10u l=40u

m8 1 1 5 5 nmos1 w=10u l=10u

m9 5 6 10 10 nmos1 w=10u l=10u

m10 7 4 1 1 pmos1 w=400u l=16u

m11 7 7 10 10 nmos1 w=10u l=80u

m12 8 4 1 1 pmos1 w=400u l=4u

m13 8 8 0 0 nmos1 w=10u l=80u

m14 1 8 9 9 nmos1 w=4u l=50u

m15 9 7 10 10 nmos1 w=4u l=50u

\* MOSIS MODEL AT 0.5U

.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1

+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04

+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382

+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02

+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10

เอกสารนี้เป็นทรัพย์สินของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11
+ MJSW=0.71000 PB=0.9900000
.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05
+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10
+ MJSW=0.21200 PB=0.930000
*.ac dec 10 100 100meg
.tran 0.01ms 2ms
*.DC vx -0.25 0.25 0.05 vy -0.25 0.25 0.25
.op
.probe
.end

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถูกสัญญาณ (แสดงคุณสมบัติทาง DC transfer ของการถูกสัญญาณ เมื่อ  $V_x$  แปรค่าจาก  $-0.25$  V. ถึง  $0.25$  V. และ  $V_y$  แปรค่าจาก  $-0.15$  V. ถึง  $0.15$  V. step ละ  $0.05$  V. )

### วงจรถูก 1

vdd 1 0 dc 1.2

vss 0 13 dc 1.2

\*ib 1 4 dc 33.3u

ia1 8 13 dc 20uA

ia2 10 13 dc 20uA

r1 12 0 1k

\*ic 12 13 dc 50uA

vx 3 0 0.25 sin(0 0.25 15k)

vy 6 0 0.25 sin(0 0.25 1k)

\*vx 3 0 dc .25

\*vy 6 0 dc 0.25

m1 1 1 2 2 nmos1 w=10u l=10u

m2 2 3 13 13 nmos1 w=10u l=10u

m3 4 4 1 1 pmos1 w=100u l=10u

m4 4 3 13 13 nmos1 w=10u l=10u

m5 4 2 13 13 nmos1 w=10u l=10u

m6 4 5 13 13 nmos1 w=10u l=10u

m7 4 6 13 13 nmos1 w=10u l=10u

m8 1 1 5 5 nmos1 w=10u l=10u

m9 5 6 13 13 nmos1 w=10u l=10u

m10 7 7 1 1 pmos1 w=100u l=10u

m11 7 3 8 8 nmos1 w=10u l=10u

m12 1 0 8 8 nmos1 w=10u l=10u

m13 9 7 1 1 pmos1 w=100u l=10u

m14 9 9 10 10 nmos1 w=10u l=10u

m15 1 6 10 10 nmos1 w=10u l=10u

m16 1 1 11 11 nmos1 w=10u l=10u

m17 11 9 13 13 nmos1 w=10u l=10u

```

m18 12 4 1 1 pmos1 w=100u l=10u
m19 12 9 13 13 nmos1 w=10u l=10u
m20 12 11 13 13 nmos1 w=10u l=10u
m21 12 0 13 13 nmos1 w=10u l=10u
m22 12 0 13 13 nmos1 w=10u l=10u

```

\* MOSIS MODEL AT 0.5U

```

.MODEL NMOS1 NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1
+ VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04
+ UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382
+ NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02
+ KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
+ CGBO=3.7765E-10 CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11
+ MJSW=0.71000 PB=0.9900000

```

```

.MODEL PMOS1 PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
+ VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08 KP=4.4927E-05
+ UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
+ NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
+ KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
+ CGBO=3.6890E-10 CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10
+ MJSW=0.21200 PB=0.930000

```

```

.DC vx-0.25 0.25 0.05 vy -0.25 0.25 0.05

```

```

*.ac dec 10 100 1000meg

```

```

*.op

```

```

*.tran 0.001u 1ms

```

```

.probe

```

```

.end

```

## ภาคผนวก ข.

## แสดงข้อมูลของไอซีเบอร์ MC 14007

## MC14007UB

## Dual Complementary Pair Plus Inverter

The MC14007UB multi-purpose device consists of three N-channel and three P-channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse-shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range - 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4007A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti-static precautions must be taken.

MAXIMUM RATINGS (Voltages Referenced to  $V_{SS}$ ) (Note 2.)

| Symbol            | Parameter   | Value                  | Unit |
|-------------------|---|------------------------|------|
| $V_{DD}$          | DC Supply Voltage Range                           | -0.5 to +18.0          | V    |
| $V_{in}, V_{out}$ | Input or Output Voltage Range (DC or Transient)   | -0.5 to $V_{DD} + 0.5$ | V    |
| $I_{in}, I_{out}$ | Input or Output Current (DC or Transient) per Pin | $\pm 10$               | mA   |
| $P_D$             | Power Dissipation, per Package (Note 3.)          | 500                    | mW   |
| $T_A$             | Ambient Temperature Range                         | -55 to +125            | °C   |
| $T_{stg}$         | Storage Temperature Range                         | -65 to +150            | °C   |
| $T_L$             | Lead Temperature (8-Second Soldering)             | 260                    | °C   |

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:  
Plastic 'P' and DQW Packages: - 7.0 mW/°C From 65°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation,  $V_{in}$  and  $V_{out}$  should be constrained to the range  $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$ .

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either  $V_{SS}$  or  $V_{DD}$ ). Unused outputs must be left open.



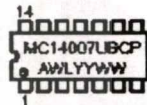
ON Semiconductor

http://onsemi.com

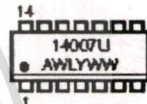


PDIP-14  
P SUFFIX  
CASE 646

## MARKING DIAGRAMS



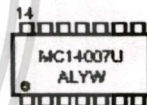
SOIC-14  
D SUFFIX  
CASE 751A



TSSOP-14  
DT SUFFIX  
CASE 949G



SOEIAJ-14  
F SUFFIX  
CASE 965



A = Assembly Location  
WL, L = Wafer Lot  
YY, Y = Year  
WW, W = Work Week

## ORDERING INFORMATION

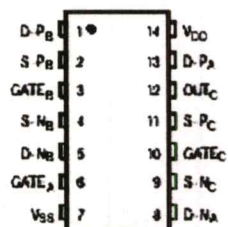
| Device       | Package   | Shipping         |
|--------------|-----------|------------------|
| MC14007UBCP  | PDIP-14   | 2000/Box         |
| MC14007UBD   | SOIC-14   | 55/Rail          |
| MC14007UBDR2 | SOIC-14   | 2500/Tape & Reel |
| MC14007UBDT  | TSSOP-14  | 96/Rail          |
| MC14007UBF   | SOEIAJ-14 | See Note 1.      |
| MC14007UBFEL | SOEIAJ-14 | See Note 1.      |

1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MC14007UB

## PIN ASSIGNMENT



D - DRAIN  
S - SOURCE

## SCHEMATIC

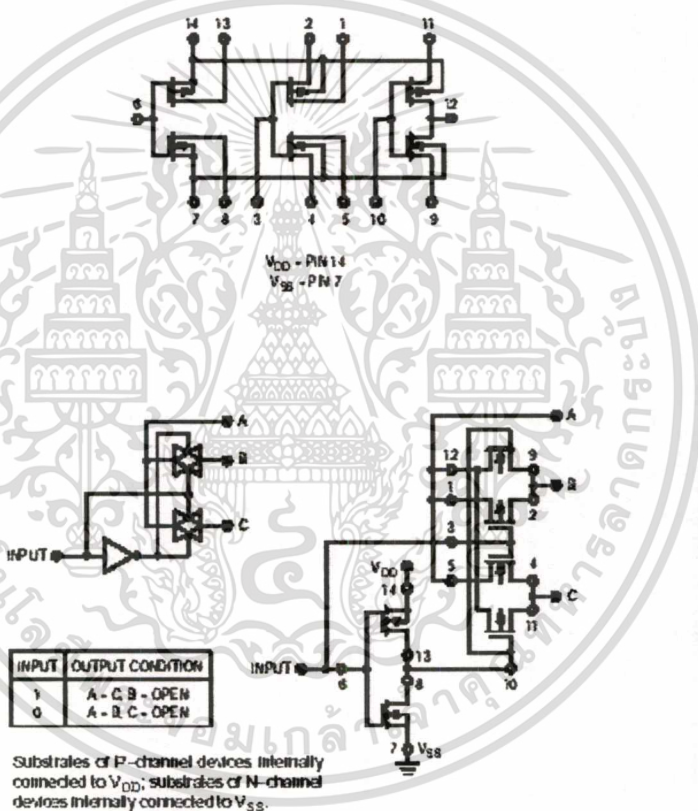


Figure 1. Typical Application: 2-Input Analog Multiplexer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14007UB

SWITCHING CHARACTERISTICS (7) ( $C_L = 50$  pF,  $T_A = 25^\circ\text{C}$ )

| Characteristic  | Symbol    | $V_{DS}$<br>Vdc | Min         | Typ (8)        | Max             | Unit |
|---|-----------|-----------------|-------------|----------------|-----------------|------|
| Output Rise Time<br>$t_{TLH} = (1.2 \text{ ns/pF}) C_L + 30 \text{ ns}$<br>$t_{TLH} = (0.5 \text{ ns/pF}) C_L + 20 \text{ ns}$<br>$t_{TLH} = (0.4 \text{ ns/pF}) C_L + 15 \text{ ns}$       | $t_{TLH}$ | 5.0<br>10<br>15 | —<br>—<br>— | 90<br>45<br>35 | 180<br>90<br>70 | ns   |
| Output Fall Time<br>$t_{THL} = (1.2 \text{ ns/pF}) C_L + 15 \text{ ns}$<br>$t_{THL} = (0.5 \text{ ns/pF}) C_L + 15 \text{ ns}$<br>$t_{THL} = (0.4 \text{ ns/pF}) C_L + 10 \text{ ns}$       | $t_{THL}$ | 5.0<br>10<br>15 | —<br>—<br>— | 75<br>40<br>30 | 150<br>80<br>60 | ns   |
| Turn-Off Delay Time<br>$t_{PLH} = (1.5 \text{ ns/pF}) C_L + 35 \text{ ns}$<br>$t_{PLH} = (0.2 \text{ ns/pF}) C_L + 20 \text{ ns}$<br>$t_{PLH} = (0.15 \text{ ns/pF}) C_L + 17.5 \text{ ns}$ | $t_{PLH}$ | 5.0<br>10<br>15 | —<br>—<br>— | 60<br>30<br>25 | 125<br>75<br>55 | ns   |
| Turn-On Delay Time<br>$t_{PHL} = (1.0 \text{ ns/pF}) C_L + 10 \text{ ns}$<br>$t_{PHL} = (0.3 \text{ ns/pF}) C_L + 15 \text{ ns}$<br>$t_{PHL} = (0.2 \text{ ns/pF}) C_L + 15 \text{ ns}$     | $t_{PHL}$ | 5.0<br>10<br>15 | —<br>—<br>— | 60<br>30<br>25 | 125<br>75<br>55 | ns   |

7. The formulas given are for the typical characteristics only. Switching specifications are for device connected as an inverter.  
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

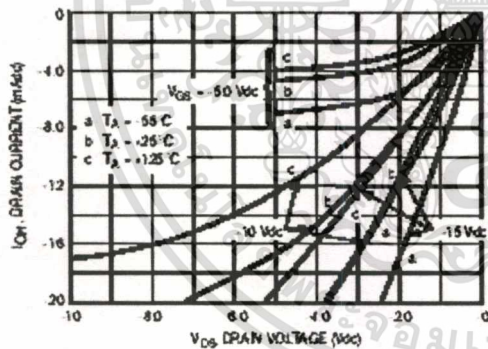


Figure 2. Typical Output Source Characteristics

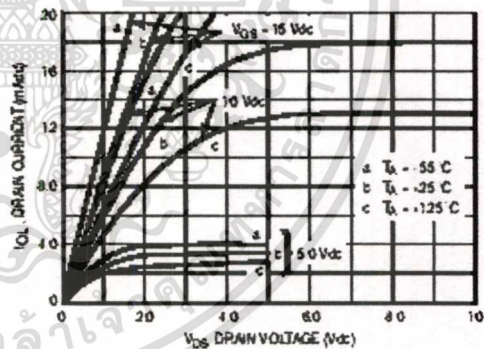


Figure 3. Typical Output Sink Characteristics

These typical curves are not guarantees, but are design aids.  
Caution: The maximum current rating is 10 mA per pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

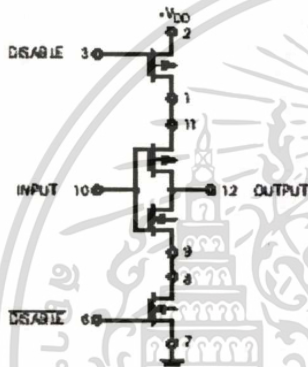
MC14007UB



Figure 4. Switching Time and Power Dissipation Test Circuit and Waveforms

APPLICATIONS

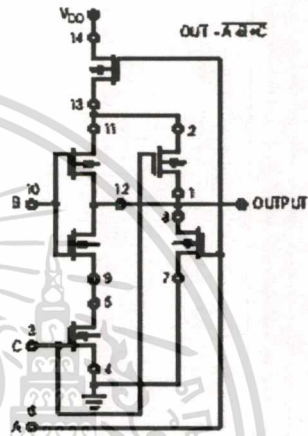
The MC14007UB dual pair plus inverter, which has access to all its elements offers a number of unique circuit applications. Figures 1, 5, and 6 are a few examples of the device flexibility.



| INPUT | DISABLE | OUTPUT |
|-------|---------|--------|
| 1     | 0       | 0      |
| 0     | 0       | 1      |
| X     | 1       | OPEN   |

X = Don't Care

Figure 5. 3-State Buffer



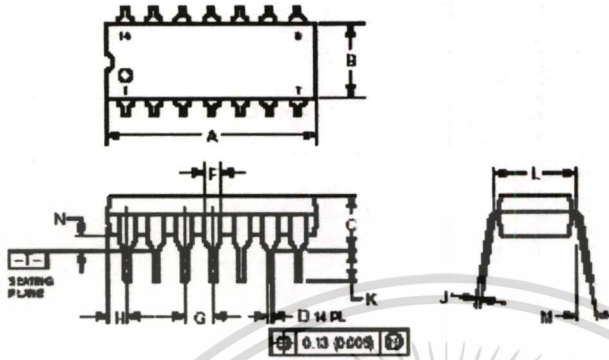
Substrates of P-channel devices internally connected to V<sub>DD</sub>;  
Substrates of N-channel devices internally connected to V<sub>SS</sub>.

Figure 6. AOI Functions Using Tree Logic

MC14007UB

PACKAGE DIMENSIONS

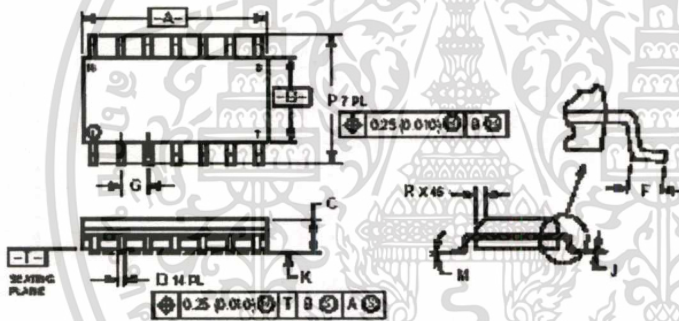
P SUFFIX  
PLASTIC DIP PACKAGE  
CASE 646-06  
ISSUE M



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: INCH.
  3. DIMENSION L TO CENTER OF LEADS WHEN FORME D PARALLEL.
  4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
  5. ROUNDED CORNERS OPTICAL.

| DIM | INCHES |       | MILLIMETERS |       |
|-----|--------|-------|-------------|-------|
|     | MIN    | MAX   | MIN         | MAX   |
| A   | 0.175  | 0.177 | 4.428       | 4.492 |
| B   | 0.260  | 0.262 | 6.604       | 6.650 |
| C   | 0.145  | 0.147 | 3.683       | 3.735 |
| D   | 0.015  | 0.021 | 0.381       | 0.533 |
| E   | 0.040  | 0.040 | 1.016       | 1.016 |
| F   | 0.008  | 0.008 | 0.203       | 0.203 |
| G   | 0.008  | 0.008 | 0.203       | 0.203 |
| H   | 0.008  | 0.008 | 0.203       | 0.203 |
| J   | 0.115  | 0.125 | 2.927       | 3.175 |
| K   | 0.020  | 0.010 | 0.508       | 0.254 |
| L   | 0.015  | 0.015 | 0.381       | 0.381 |
| M   | 0.015  | 0.015 | 0.381       | 0.381 |
| N   | 0.015  | 0.015 | 0.381       | 0.381 |

D SUFFIX  
PLASTIC SOIC PACKAGE  
CASE 751A-03  
ISSUE F




- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: MILLIMETER.
  3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSIONS.
  4. DIMENSION D DOES NOT INCLUDE DIMENSION PROTRUSION ALLOWABLE CARBIDE PROTRUSION SHALL BE 0.075 (0.003) TOTAL IN EXCESS OF THE DIMENSION AT MAXIMUM MATERIAL CONDITION.

| DIM | MILLIMETERS |      | INCHES |       |
|-----|-------------|------|--------|-------|
|     | MIN         | MAX  | MIN    | MAX   |
| A   | 6.35        | 6.75 | 0.250  | 0.266 |
| B   | 5.00        | 5.00 | 0.197  | 0.197 |
| C   | 1.27        | 1.27 | 0.050  | 0.050 |
| D   | 0.50        | 0.50 | 0.019  | 0.019 |
| E   | 0.50        | 1.27 | 0.019  | 0.050 |
| F   | 1.27        | 1.27 | 0.050  | 0.050 |
| G   | 0.25        | 0.25 | 0.010  | 0.010 |
| H   | 0.25        | 0.25 | 0.010  | 0.010 |
| J   | 0.25        | 0.25 | 0.010  | 0.010 |
| K   | 0.25        | 0.25 | 0.010  | 0.010 |
| L   | 0.25        | 0.25 | 0.010  | 0.010 |
| M   | 0.25        | 0.25 | 0.010  | 0.010 |
| N   | 0.25        | 0.25 | 0.010  | 0.010 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Typical parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

## PUBLICATION ORDERING INFORMATION

### NORTH AMERICA Literature Fulfillment:

Literature Distribution Center for ON Semiconductor  
 P.O. Box 5163, Denver, Colorado 80217 USA  
 Phone: 303-675-2175 or 800-344-3060 Toll Free USA/Canada  
 Fax: 303-675-2176 or 800-344-3067 Toll Free USA/Canada  
 Email: [CN11@ntbtorco.com](mailto:CN11@ntbtorco.com)  
 Fax Response Line: 303-675-2167 or 800-344-3010 Toll Free USA/Canada

M. American Technical Support: 800-282-9855 Toll Free USA/Canada

### EUROPE: LDC for ON Semiconductor – European Support

German Phone: (+1) 303-306-7140 (Mon-Fri 2:30pm to 7:00pm CET)  
 Email: [CN11-german@ntbtorco.com](mailto:CN11-german@ntbtorco.com)  
 French Phone: (+1) 303-306-7141 (Mon-Fri 2:00pm to 7:00pm CET)  
 Email: [CN11-franck@ntbtorco.com](mailto:CN11-franck@ntbtorco.com)  
 English Phone: (+1) 303-306-7142 (Mon-Fri 12:00pm to 3:00pm GMT)  
 Email: [CN11@ntbtorco.com](mailto:CN11@ntbtorco.com)

EUROPEAN TOLL-FREE ACCESS: 00-800-4422-3781  
 \*Available from Germany, France, Italy, UK

### CENTRAL/SOUTH AMERICA:

Spanish Phone: 303-306-7143 (Mon-Fri 8:00am to 3:00pm MST)  
 Email: [CN11-apsish@ntbtorco.com](mailto:CN11-apsish@ntbtorco.com)

### ASIA/PACIFIC LDC for ON Semiconductor – Asia Support

Phone: 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)  
 Toll Free from Hong Kong & Singapore:  
 001-800-4422-3781

Email: [CN11-asia@ntbtorco.com](mailto:CN11-asia@ntbtorco.com)

### JAPAN: ON Semiconductor Japan Customer Focus Center

4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-0031  
 Phone: 01-3-5740-2740  
 Email: [T14525@onsemi.com](mailto:T14525@onsemi.com)

ON Semiconductor Website: <http://onsemi.com>

For additional information, please contact your local Sales Representative

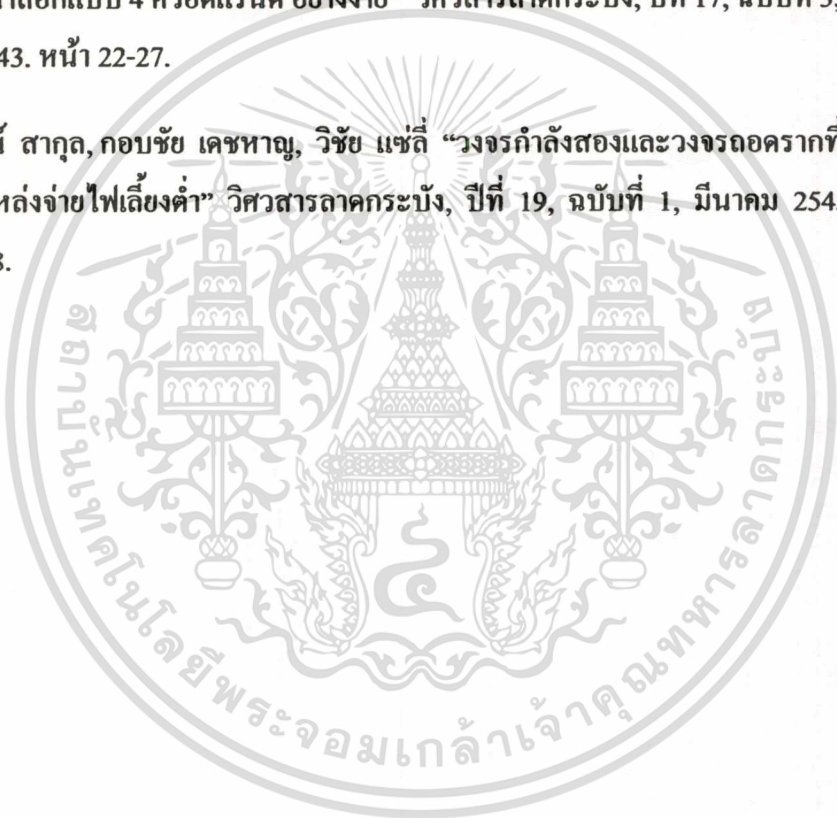


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

บทความที่ได้รับการตีพิมพ์ลงในวารสารมี 3 บทความ ดังต่อไปนี้

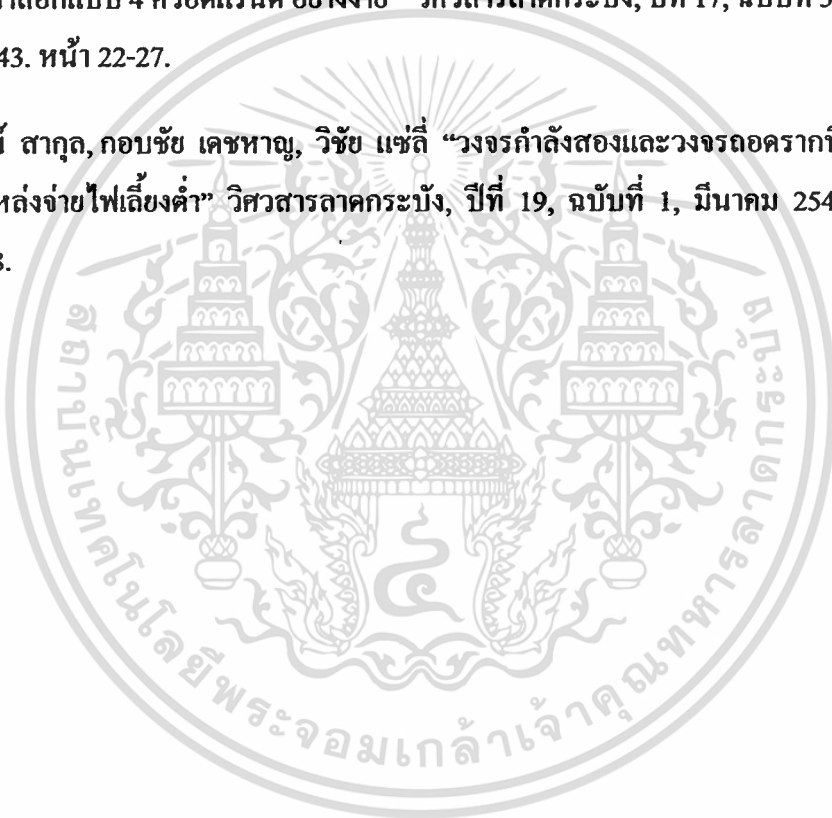
- [1] สุธีร์ บุญศรี, ชัยวัฒน์ สากุล, กอบชัย เฉลยหาญ, อธิธิพงศ์ ชัยสาวัฒน์, “วงจรคุณสัตตญาณ กระแสกับสัตตญาณแรงดัน” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 3, กันยายน 2543. หน้า 14-17.
- [2] ชัยวัฒน์ สากุล, สุธีร์ บุญศรี, กอบชัย เฉลยหาญ, อธิธิพงศ์ ชัยสาวัฒน์, “วงจรคุณสัตตญาณ อนุาลอกแบบ 4 ควอดแรนด์ อย่างง่าย” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 3, กันยายน 2543. หน้า 22-27.
- [3] ชัยวัฒน์ สากุล, กอบชัย เฉลยหาญ, วิชัย แซ่ลี “วงจรกำลังสองและวงจรถอกรากที่สองโดยใช้ แหล่งจ่ายไฟเลี้ยงค่า” วิศวกรรมลาดกระบัง, ปีที่ 19, ฉบับที่ 1, มีนาคม 2545. หน้า 13-18.



ภาคผนวก ก.

บทความที่ได้รับการตีพิมพ์ลงในวารสารมี 3 บทความ ดังต่อไปนี้

- [1] สุธีร์ บุญศรี, ชัยวัฒน์ สากุล, กอบชัย เฉลยหาญ, อธิธิพงษ์ ชัยสาข์นท์, “วงจรอุณตัญญาณ กระแสกับตัญญาณแรงดัน” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 3, กันยายน 2543. หน้า 14-17.
- [2] ชัยวัฒน์ สากุล, สุธีร์ บุญศรี, กอบชัย เฉลยหาญ, อธิธิพงษ์ ชัยสาข์นท์, “วงจรอุณตัญญาณ อนุบาลอกแบบ 4 ควอดแรนด์ อย่างง่าย” วิศวกรรมลาดกระบัง, ปีที่ 17, ฉบับที่ 3, กันยายน 2543. หน้า 22-27.
- [3] ชัยวัฒน์ สากุล, กอบชัย เฉลยหาญ, วิชัย แซ่ลี “วงจรถ้าลังสองและวงจรถอดรอกที่สองโดยใช้ แหล่งจ่ายไฟเลี้ยงค่า” วิศวกรรมลาดกระบัง, ปีที่ 19, ฉบับที่ 1, มีนาคม 2545. หน้า 13-18.





ISSN 0125-1724

วิศวกรรม

# ลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

## LADKRABANG ENGINEERING JOURNAL

ปีที่ 17 ฉบับที่ 3

กันยายน 2543

|  |     |
|--|-----|
| 1. วงจรกำลังสองสัญญาณกระแสแบบ CMOS ที่ใช้แรงดันไฟเลี้ยงต่ำและอิสระจาก body effect สมณีก หัวหาญ สุพจน์ หุ่นอ่อง กอบชัย เดชหาญ อธิพงษ์ ชัยสาธิตน์  | 1   |
| 2. วงจรคูณสัญญาณที่ไร้แรงดันไฟเลี้ยงต่ำ<br>วโกล เกษมวาทศ นกุล สุวรรณชาติ กอบชัย เดชหาญ อธิพงษ์ ชัยสาธิตน์  | 5   |
| 3. วงจรคูณสัญญาณกระแสกับสัญญาณแรงดัน<br>สุวีร์ บุญศรี ชัยวัฒน์ สากุล กอบชัย เดชหาญ อธิพงษ์ ชัยสาธิตน์  | 10  |
| 4. ความต้านทานแบบลอจิกที่ควบคุมด้วยแรงดันโวลเทจทรานซิสเตอร์<br>สุพจน์ หุ่นอ่อง สมณีก หัวหาญ กอบชัย เดชหาญ อธิพงษ์ ชัยสาธิตน์   | 14  |
| 5. วงจรคูณสัญญาณอนาล็อกแบบ 4 คาบแรนด้อมอย่างง่าย<br>ชัยวัฒน์ สากุล สุวีร์ บุญศรี กอบชัย เดชหาญ อธิพงษ์ ชัยสาธิตน์  | 16  |
| 6. วงจรแอนติลอคการเรียงและวางเรียงเลขยกกำลัง<br>ภัทรชัย อุปรีพูนกุล เกียรติศักดิ์ ชมวีระ วโกล สุระก่าพลธร สุมาลี อุณหวัฒน์ วีรศิลป์ ทุมวิภาด   | 22  |
| 7. วงจรซีไอทีที่รวดเร็วให้เกิดเสถียรภาพของความถี่อื่นเนื่องจากกลอุณหภูมิลึก<br>อณัฐ มงคลจิต วิวัฒน์ กิรานนท์ วิชา แสงพิลาณี จิธา เลิศจรสุวรรณดี  | 28  |
| 8. การแก้ปัญหาข้อผิดพลาดการเข้ารหัสบิตที่ผิดพลาดและสัญญาณรบกวนแบบลำดับชั้นที่สัมพันธ์กับ FPGA<br>โกศล ทราย พุศศักดิ์ วิสุวิทย์   | 34  |
| 9. การออกแบบเพื่อเพิ่มประสิทธิภาพวงจรสื่อสารข้อมูลแบบอนุกรมโดยใช้เทคโนโลยี FPGA<br>เจนวิทย์ ศรีทวีกษา พรชัย เอี่ยมเศรษฐกุล สมศักดิ์ มิตรธาดา กอบชัย เดชหาญ   | 40  |
| 10. ตรวจสอบการกำหนดของจลนศาสตร์โดยอาศัยพื้นฐานของจลนศาสตร์<br>ไพโรจน์ วิฑูรย์นันท์ กอบชัย เดชหาญ นภัทร สระเอี่ยม   | 46  |
| 11. การแทนความรู้โดยใช้ตารางการตัดสินใจแบบฟัซซี่<br>พิริยะ เขาวาณี เอื้อน ปิ่นเงิน   | 52  |
| 12. การออกแบบและสร้างไมโครชิปเพื่อศึกษาการกระจายความร้อนบนไดอะแฟรมของซิลิกอน<br>วิมลรัตน์ เมืองเทสิล สมศักดิ์ เขียวศิริกุล สมเกียรติ สุขเดช  | 58  |
| 13. ศึกษาการถ่ายเทความร้อนจากแผงและแรงดันสัมผัสระหว่างสายในและระบบไฟฟ้าแรงต่ำของ กฟน.<br>นพพล อธิจินดาไกรฤกษ์ ชัยเชษฐ สุประสงค์  | 64  |
| 14. การปรับปรุงตัวประกอบกำลังในการเรียงกระแสแบบ 3 เฟส<br>อนุวัฒน์ จางวณิชเชือก กัทธล สิริจันทร์พงศ์  | 70  |
| 15. การคำนวณสมรรถนะของสัญญาณรบกวน Audible Noise ของไดรฟ์ในสายส่งไฟฟ้าแรงสูงแรงดัน 230 kV.<br>วรรณชัย โรจนวิรุณห นพพล อธิจินดาไกรฤกษ์   | 75  |
| 16. การศึกษาชนิดของพลังงานออกที่มีผลต่อค่าบำรุงรักษาในระยะยาว<br>วิบูลย์ ภูฒยาณ ชัยวัฒน์ หล่อศิริรัตน์ นพนนท์ วรรณานนท์  | 82  |
| 17. โปรแกรมคำนวณการไหลเบื้องต้นโดยวิธีการปริมาตรสืบเนื่อง<br>จรรวีตร เจริญสุข อรรถพร ผาบทัง  | 87  |
| 18. สมรรถนะการหล่อเย็นของเบรจิสติกกลูกลูกสูบ<br>มงคล มงคลวงษ์โรจน์ อมรชัย จิตรสง่า   | 90  |
| 19. การศึกษาสมรรถนะของใบพัดลมแรงเหวี่ยงหนีศูนย์กลาง<br>อัศเดช สินธุภัก อภิชาติ เสมศรี  | 99  |
| 20. การออกแบบคัลต์รีโอดีโนมิติ<br>อัศเดช สินธุภัก ทวีศักดิ์ ปิยะทัศนายนท์  | 105 |
| 21. การจำลองผลของตำแหน่งฉีดเชื้อเพลิงทางเดินอนุภาคในกระบวนการดูดซับก๊าซซีเอฟ4ไดออกไซด์<br>จรรวีตร เจริญสุข นิตินัย บุญบุษยกุล  | 109 |
| 22. การศึกษาผลกระทบของแรงเสียดทานเชิงหนืดของอนุภาคเคลือบคาร์บอนในท่อเผาไหม้อัตโนมัติ<br>จรรวีตร เจริญสุข อรรถพร มิเรือง  | 113 |
| 23. การศึกษาการใช้น้ำมันก๊าดออกไซด์ควบคู่กันในหน่วยกำจัดกำมะถันในน้ำมันดีเซลเพื่อหาปริมาณการใช้ก๊าซไฮโดรเจนและ<br>วางแผนการผลิตที่เหมาะสมในโรงกลั่นน้ำมัน<br>ภาณุเดช สุขเขตต์ อัญชลิตรา วาริทธิสวัสดิ์ หล่อทองคำ | 121 |
| 24. การศึกษาผลกระทบของอุณหภูมิหน้าห้องเย็นที่มีต่อการเกิดผลึกและสมบัติเชิงกลของโพลีเอทิลีน<br>วิรัชศักดิ์ หมูเจริญ มิ่ง โฉกกิจแสงทอง   | 127 |
| 25. ผลกระทบจากการเปลี่ยนแปลงอัตราส่วนผสมระหว่างเชื้อเพลิงเซลลูลูสน้ำมันพืชในเชื้อเพลิงผสมต่อการสันดาปและสมรรถนะ<br>ของเครื่องยนต์ดีเซล<br>สมชัย นเรเศรษฐโคกน ปิ่น ประมาพันธ์                                     | 132 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# วงจรรคูณสัญญาณกระแสกับสัญญาณแรงดัน

## The Current and Voltage Mode Multiplier Circuit

สุธีร์ บุญศรี ธีรวัฒน์ ตากุล กอบชัย เคารพหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อิทธิพงษ์ ธีรพาณิชย์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

### บทคัดย่อ

บทความนี้นำเสนอวงจรรคูณสัญญาณแบบ 4 ควอดแรนท์ที่รับอินพุตเป็นกระแส ( $I_x$ ) กับแรงดัน ( $V_y$ ) โดยหลักการทำงานอาศัยคุณสมบัติของ CMOS ที่ทำงานในช่วงไม่อิ่มตัว วงจรที่นำเสนอมีใช้จำนวน CMOS ที่น้อยคือ NMOS = 8 ตัว PMOS = 4 ตัว และแหล่งจ่ายกระแส 3 ผลการทดสอบการทำงานโดยใช้ โปรแกรม PSpice

### Abstract

This paper presents a four-quadrant analog multiplier circuit. The input of circuit are the current signal  $I_x$  and the voltage signal  $V_y$ . This circuit is based on the characteristic of CMOS operating in triode region. The proposed circuit consist of 8 NMOSs, 4 PMOSs and 3 current sources. All results are carried out by using PSpice program.

### 1. บทนำ

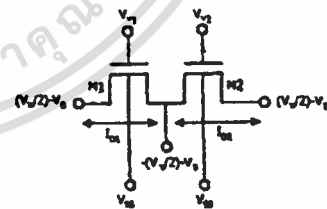
วงจรรคูณสัญญาณเป็นวงจรที่มีประโยชน์มากเพราะมันสามารถนำไปประยุกต์ใช้งานได้มาก ในการออกแบบบางจรโดยทั่วไปนิยมออกแบบ 2 กลุ่มคือ Current mode ซึ่งใช้อินพุตเป็นสัญญาณกระแสและ Voltage mode ซึ่งใช้อินพุตเป็นสัญญาณแรงดันแต่ในบทความนี้ได้ออกแบบวงจรที่รับอินพุตเป็นแรงดันอินหนึ่งและอินพุตอีกอันเป็นกระแส ซึ่งผลลัพธ์จะได้เป็นผลคูณของกระแสอินพุตกับแรงดันอินพุต โดยการทำงานมีลักษณะคล้ายกับวงจรรขยายความนำ (OTA) ดังนั้น วงจรคูณที่นำเสนอนี้ สามารถประยุกต์ใช้งานเช่นเดียวกับ OTA

### 2. หลักการทำงาน

วงจรรคูณสัญญาณแบบพื้นฐานประกอบด้วย CMOS 2 ตัวที่ทำงานในช่วงไม่อิ่มตัว [1-5] โดยสมการกระแสเดรนคือ

$$I_D = K [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2] ; V_{GS} - V_T > V_{DS} \quad (1)$$

เมื่อ  $K = \mu C_{ox}(W/2L)$



รูปที่ 1 วงจรคูณแบบพื้นฐาน

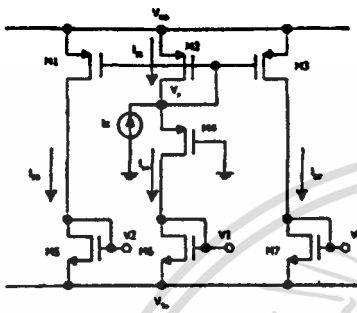
จากรูปที่ 1 ถ้าหนดให้ CMOS ทำงานในช่วงไม่อิ่มตัวจะได้สมการกระแสเดรนของ CMOS คือ

$$I_{D1} = K [(V_{V1} + V_x/2 + V_B - V_T) V_x + V_x^2/2] \quad (2)$$

$$I_{D2} = K [(V_{V2} + V_x/2 + V_B - V_T) V_x + V_x^2/2] \quad (3)$$

$$I_{D1} - I_{D2} = K V_x (V_{V1} - V_{V2}) \quad (4)$$

วงจรรูปที่ 1 คือวงจรสัญญาณ  $V_x/2 - V_B$  และ  $-V_x/2 - V_B$  ดังนั้นจึงออกแบบวงจรสร้างสัญญาณดังกล่าว โดยแสดงดังรูปที่ 2



รูปที่ 2 วงจรเปลี่ยนกระแสเป็นแรงดันค่าต่างๆ

จากรูป CMOS ทุกตัวทำงานในช่วงอิมิตัว โดยมีสมการกระแสครนคือ

$$I_D = K(V_{GS} - V_T)^2; 0 < V_{GS} - V_T < V_{DS} \quad (5)$$

กำหนดให้ PMOS M1-M4 สมพจน์กันและ NMOS M5 - M7 สมพจน์กัน ซึ่งสามารถแสดงความสัมพันธ์ของกระแส  $I_x$  และแรงดัน  $V_x, V_1, V_2$  และ  $V_3$  โดยอาศัยสมการดังนี้

$$I_x = I_{S1} - I_{S2} \quad (6)$$

ใช้สมการที่ (5) แทนใน (6) สามารถหาความสัมพันธ์ของแรงดัน  $V_x$  กับกระแส  $I_x$

$$V_x = V_{DD}/2 + I_x/A; A = 2K(V_{DD} - 2V_{TP}) \quad (7)$$

จากรูปที่ 2 เมื่อ  $I_{D1} = I_{D2} = I_{D7}$  จะให้ความสัมพันธ์ของ  $V_x$  และ  $V_2$  คือ

$$V_2 = \sqrt{\frac{K_p}{K_n}} (V_{DD} - V_x - V_{TP}) + V_{SS} + V_{TN} \quad (8)$$

โดยจากรูปจะได้ว่า  $V_2 = V_3$  และความสัมพันธ์ของ  $V_x$  และ  $V_1$  คือ

$$V_1 = \sqrt{\frac{K_p}{K_n}} (V_x - V_{TP}) + V_{SS} + V_{TN} \quad (9)$$

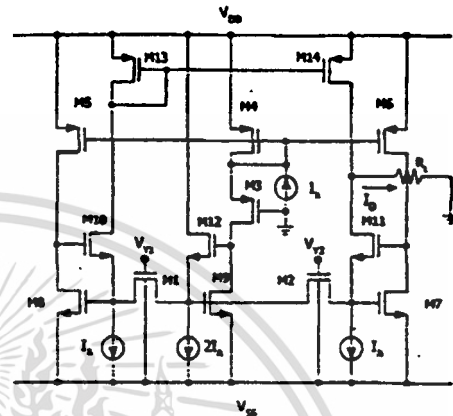
แทนสมการที่ (7) ใน สมการที่ (8) และ สมการที่ (9) จะได้

$$V_3 = V_2 = \sqrt{\frac{K_p}{K_n}} (V_{DD}/2 - I_x/A - V_{TP}) + V_{SS} + V_{TN} \quad (10)$$

$$V_1 = \sqrt{\frac{K_p}{K_n}} (V_{DD}/2 + I_x/A - V_{TP}) + V_{SS} + V_{TN} \quad (11)$$

$$V_1 - V_3 = V_1 - V_2 = (2I_x/A) \sqrt{\frac{K_p}{K_n}} \quad (12)$$

เมื่อรวมวงจรรูปที่ 1, 2 โดยเพิ่มวงจรผ่านกระแส และวงจรสะท้อนกระแสเข้าไป จะได้วงจรสัญญาณแบบใหม่ดังรูปที่ 3



รูปที่ 3 วงจรสัญญาณที่นำสมการ

แทนสมการที่ (12) ในสมการที่ (4) จะได้

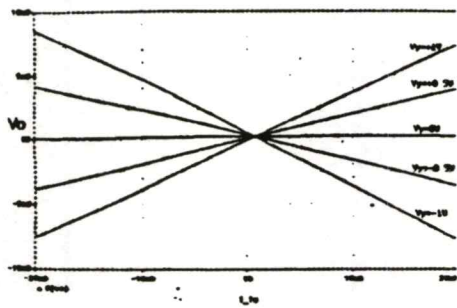
$$I_{D1} - I_{D2} = [2 I_x (V_{V1} - V_{V2}) \sqrt{K_n K_p}] / A \quad (13)$$

$$I_0 = [(V_{V1} - V_{V2}) I_x V_T R_L \sqrt{K_n K_p}] / [K(V_{DD} - 2V_{TP})] \quad (14)$$

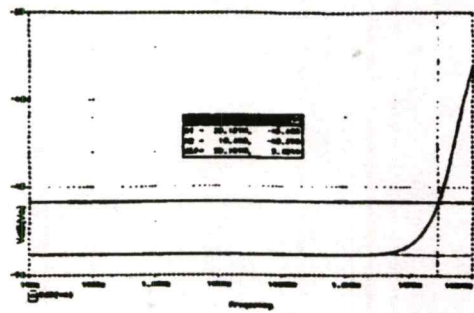
จากสมการที่ (14) เมื่อออกแบบให้  $K_n \approx K_p$  พบว่าค่า  $K$  สามารถตัดกัน ดังนั้น ผลการเปลี่ยนแปลงของหภูมิที่เกิดจาก  $K$  จึงไม่มี แต่อย่างไรก็ตาม ผลการเปลี่ยนแปลงของหภูมิที่เกิดจาก  $V_T$  ยังคงอยู่

3. ผลการทดสอบ

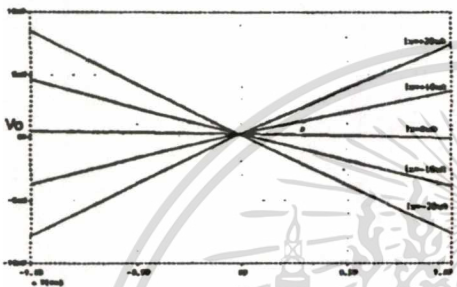
เมื่อนำวงจรในรูปที่ 3 มาทดสอบด้วยโปรแกรม PSpice ซึ่งใช้โมเดล CMOS ของ European Silicon Structure ในแบบ Worst Case, Level = 2 มีขนาดความกว้างและความยาวของแกนแนล (W/L) ของ CMOS ดังนี้ M1-M2 เท่ากับ  $5 \mu m / 10 \mu m$ , M3-M6 เท่ากับ  $5 \mu m / 5 \mu m$ , M7-M12 เท่ากับ  $20 \mu m / 5 \mu m$  และ M13-M14 เท่ากับ  $10 \mu m / 10 \mu m$  ใช้  $V_{DD} = -V_{SS} = 4V, R_L = 1 \text{ k}\Omega$  และแหล่งจ่ายกระแส  $I_x = 30 \mu A$  โดยผลการทดสอบมีดังนี้ รูปที่ 5 แสดงการทดสอบทาง DC, รูปที่ 6 แสดงการทดสอบความถี่ตอบสนองและรูปที่ 7 แสดงผลของการนำวงจรเป็นวงจรผสมสัญญาณ



(ก)



(ข)



(ข)

รูปที่ 6 แสดงการทดสอบความถี่ตอบสนอง

ก. เมื่อ  $I_x = 20 \mu A \sin \omega t$  และ  $V_Y = 1V_{DC}$

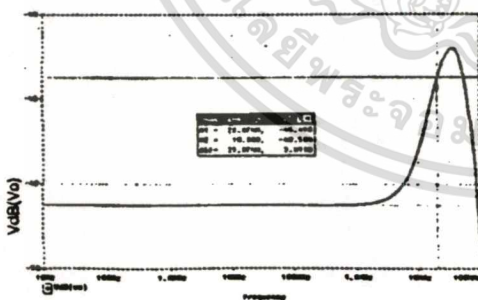
ข. เมื่อ  $I_x = 20 \mu A_{DC}$  และ  $V_Y = \sin \omega t$



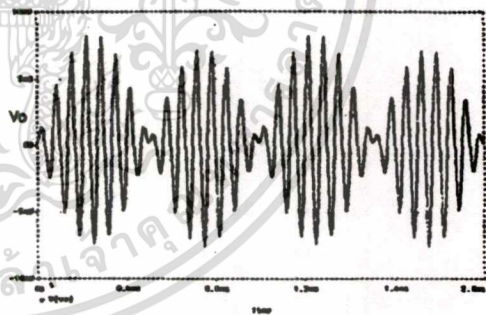
รูปที่ 5 แสดงการทดสอบทาง DC. Transfer

ก. เมื่อ  $I_x$  แปรค่า  $-20 \mu A$  ถึง  $+20 \mu A$  และ  $V_Y$  แปรค่า  $+1$  ถึง  $-1$  step ละ  $0.5V$

ข. เมื่อ  $V_Y$  แปรค่า  $-1V$  ถึง  $+1V$  และ  $I_x$  แปรค่า  $-20 \mu A$  ถึง  $+20 \mu A$  step ละ  $10 \mu A$



(ก)



รูปที่ 7 แสดงผลลัพธ์เมื่อนำวงจรเป็นวงจรมุม

สัญญาณโดย  $I_x = 20 \mu A \sin 2000 \pi t$

$V_Y = 1V \sin 30,000 \pi t$

ผลของความถูกต้องแม่นยำของ DC.transfer ขึ้นอยู่กับคุณสมบัติของ CMOS การเลือกใช้ CMOS ที่มีคุณสมบัติหรือการใช้ CMOS ที่มี long channel length มากๆ จะช่วยเพิ่มความแม่นยำของวงจรและผลของความถี่ตอบสนองขึ้นอยู่กับ คุณสมบัติภายในของ CMOS ที่ทำงานในช่วงไม่อิน

ตัว โดยสามารถทำให้ดีขึ้นได้ โดยการลดขนาด(W/L)ของ CMOS ให้เล็กลง

#### 4. สรุป

วงจรคูณที่นำเสนอนี้ใช้ สำหรับการคูณสัญญาณของ กระแสกับแรงดัน หรือมีลักษณะการทำงานคล้ายกับวงจร ขอบความนำ (OTA) ที่ทำงานแบบ 4 ควอดแรนท์จากผล การทดสอบจะเห็นว่าวงจรมีคุณสมบัติต่างๆที่พึงพอใจโดย คุณสมบัติ ทาง DC Transfer ในรูปที่ 5 พบว่ามีความผิดเพี้ยนซึ่งเกิดจากความไม่เป็นอุดมคติของการสะท้อน กระแสในวงจรเปลี่ยนกระแสเป็นแรงดันค่าต่างๆ

#### 5. เอกสารอ้างอิง

- [1] อธิพงษ์ รัชสาอันธ์ และ กอบรัช เดชหาญ. " วงจร ความค้ำทานแบบลอยตัวและ วงจรคูณโดยใช้ มอส". การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19, หน้า EL15 – EL 18. พฤศจิกายน 2539.
- [2] อธิพงษ์ รัชสาอันธ์และ กอบรัช เดชหาญ. "การออกแบบวงจรคูณสัญญาณแบบ 4 ควอดแรนท์โดยใช้ ซี มอสทำงานในช่วงไม้อื่นตัว". การประชุมวิชาการ ทางวิศวกรรมไฟฟ้าครั้งที่19, หน้า EL19 – EL22. พฤศจิกายน 2539.
- [3] J. H. Tsay, S. I. Liu, J. J. Chen and Y.P. Wu, "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure," Electron.Lett., vol.31, no. 12, pp. 962 – 963, 1995.
- [4] S. I. Liu, "Low Voltage CMOS four-quadrant multiplier." Electron. Lett., vol.30, no.25, pp.2125– 2126, 1994.
- [5] S. O. Lee, S. B. Park and K. R. Lee. " New CMOS Triode Tranconductor .." Electron.Lett., vol. 30, no.12, pp. 946 – 947, 1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# วงจรมัลติพลายเออร์แบบ 4 ควอดแรนต์อย่างง่าย

## The Simple Four-Quadrant Analog Multiplier Circuits

จิวิวัฒน์ วัฒนกุล สุธีร์ บุญทวี กอบจ้อย เศรษฐาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและโทรคมนาคม วิทยาลัยวิศวกรรมเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อิทธิพงษ์ รัชชชวินทร์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

### บทกัณฑ์ย่อ

บทความนี้นำเสนอวงจรมัลติพลายเออร์แบบ 4 ควอดแรนต์อย่างง่าย ซึ่งอาศัยคุณสมบัติของ MOS ที่ทำงานในช่วงไม่โอ้มิตัวเป็นพื้นฐานของวงจรสร้างวงจรมัลติพลายเออร์ บทความนี้ได้นำเสนอไว้ 2 วงจร คือ วงจรแรกเป็นวงจรมัลติพลายเออร์โดยใช้ NMOS 2 ตัวต่อร่วมกับ Op-Amp 2 ตัว และวงจรที่สองเป็นวงจรมัลติพลายเออร์โดยใช้ NMOS 2 ตัวต่อร่วมกับวงจรสเตชันนารีแอมพลิฟายเออร์ที่ 2 จำนวน 2 ตัว ผลการเขียนแบบวงจรทำมาขึ้นโดยใช้โปรแกรม PSpice

### Abstract

This paper presents a simple four-quadrant analog multiplier circuit based on characteristic of MOS operating in triode region. It shows 2 circuits which are analog multiplier circuits using 2 NMOSs with 2 operational amplifiers and analog multiplier circuits using 2 NMOSs with 2 circuit of second current conveyors. The simulation results are carried out by PSpice Program.

### 1. บทนำ

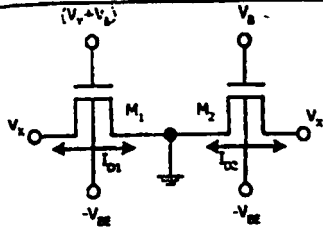
วงจรมัลติพลายเออร์เป็นวงจรที่มีประโยชน์มาก เพราะสามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวางทั้งในระบบโทรคมนาคม เครื่องมือวัดและการประมวลผลสัญญาณเฉพาะอนาล็อก แต่ราคาสำหรับวงจรมัลติพลายเออร์ (ADS) ราคาประมาณพันบาทซึ่งมีราคาสูง เมื่อเปรียบเทียบกับราคาของ Op-Amp ทำให้การใช้งานวงจรมัลติพลายเออร์จึงมีไม่มากนัก ในการออกแบบวงจรมัลติพลายเออร์แบบง่ายอย่างคั้งนี้เอง แต่ส่วนใหญ่การออกแบบเพื่อใช้งานในรูปของวงจรมัลติพลายเออร์ ซึ่งไม่เหมาะสมที่จะนำเอาไปใช้งานสำหรับลงแผ่นปริ้นท์ทั่วไป มีงานวิจัย [1] ที่ออกแบบวงจรมัลติพลายเออร์โดยใช้ Op-Amp ร่วมกับ CMOS แต่ยังมีจุดด้อยคือค่าการรบกวนของ NMOS ( $K_n$ ) ต้องเท่ากับ

PMOS ( $K_p$ ) สัญญาณอินพุตต้องเป็นสัญญาณแบบดิฟเฟอเรนเชียล ใช้ Op-Amp และ CMOS จำนวนมาก ซึ่งงานวิจัยนี้ได้ออกแบบวงจรมัลติพลายเออร์ที่มีข้อดีคือใช้ NMOS 2 ตัวเท่านั้นในการออกแบบ สัญญาณอินพุตเป็นแบบเดี่ยว (Single Signal) และใช้ Op-Amp 2 ตัว เท่านั้นในการออกแบบ ซึ่งเหมาะสมสำหรับนำไปสร้างลงแผ่นปริ้นท์

### 2. หลักการทำงาน

#### 2.1 วงจรมัลติพลายเออร์แบบง่าย

วงจรมัลติพลายเออร์แบบง่ายถูกสร้างโดยใช้ NMOS 2 ตัว ที่ทำงานในช่วงไม่โอ้มิตัว (2- $V_{GS}$ ) โดยแรงดันอินพุตคือ  $V_x$  และ  $V_y$  ส่วน  $V_{GS}$  คือแรงดันไฟตรงที่ป้อนเพื่อให้ NMOS ทำงานในช่วงไม่โอ้มิตัว ซึ่งแสดงในรูปที่ 1



รูปที่ 1 วงจรคู่สัญญาณแบบง่าย

ถ้าหนดให้  $M_1$  และ  $M_2$  ทำงานในช่วงไม้อิ่มตัว ซึ่งสามารถนำกระแสได้ 2 ทิศทาง โดยมีสมการกระแสครนคือ

$$I_{D1} = K[(V_{GS} - V_T)V_{DS} - (V_{DS}^2/2)]; V_{GS} - V_T > V_{DS} \quad (1)$$

ที่  $K = \mu C_{OX}(W/2L)$

เมื่อ  $V_{GS} > 0$

$$I_{D1} = K[(V_{GS} - V_T)V_{DS} - (V_{DS}^2/2)] \quad (2)$$

$$I_{D2} = K[(V_{GS} - V_T)V_{DS} - (V_{DS}^2/2)] \quad (3)$$

$$I_{D1} - I_{D2} = KV_{GS}V_{DS} \quad (4)$$

เมื่อ  $V_{GS} < 0$

$$I_{D1} = K[(V_{GS} - V_T)V_{DS} - (V_{DS}^2/2)] \quad (5)$$

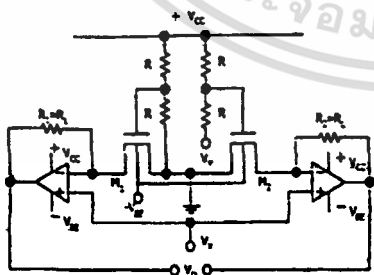
$$I_{D2} = K[(V_{GS} - V_T)V_{DS} - (V_{DS}^2/2)] \quad (6)$$

$$I_{D1} - I_{D2} = -KV_{GS}V_{DS} \quad (7)$$

2.2 วงจรคู่สัญญาณโคโใช้ NMOS 2 ตัว ร่วมกับ

Op-Amp 2 ตัว

จากวงจรรูปที่ 1 ยังไม่สามารถนำไปใช้งานจริงได้ เพราะต้องหาวจรมาต่อเติม เพื่อทำหน้าที่ต่างๆดังนี้ 1. นำกระแส  $I_{D1}$  มาลบกับกระแส  $I_{D2}$  2. เป็นวงจรมิติเฟออร์ สำหรับอินพุท  $V_X$  กับ NMOS และ 3. ต้องมีแรงดัน ( $V_{GS}$ ) เพื่อป้อนที่เกตของ NMOS เพื่อให้ NMOS ทำงานในช่วงไม้อิ่มตัว ซึ่งสามารถแสดงวงจรคู่สัญญาณได้ดังรูปที่ 2



รูปที่ 2 วงจรคู่สัญญาณโคโใช้ NMOS 2 ตัว ร่วมกับ Op-Amp 2 ตัว

จากรูปที่ 2 จะได้แรงดันที่ขาออกของ NMOS คือ

$$V_{GS} = V_{CC}/2 \quad (8)$$

$$V_{GS} = [(V_{CC}/2) + (V_T/2)] \quad (9)$$

จากคุณสมบัติของ Op-Amp เมื่อมีการป้อนกับแบบลบ จะทำให้แรงดันที่ขา Inverting เท่ากับ แรงดันที่ขา Noninverting จะให้ความสัมพันธ์ของ กระแสครนคือ

$$I_{D1} = I_{D2} \text{ และ } I_{D2} = I_{D1} \quad (10)$$

เมื่อแทน สมการที่ (8) และ (9) ใน สมการที่ (2) และ (3) ทำให้สามารถเขียนสมการที่ (4) ได้ใหม่ดังนี้

$$I_{D1} - I_{D2} = KV_X(V_T/2) \quad (11)$$

$$V_O = I_{D1}R_L - I_{D2}R_L \quad (12)$$

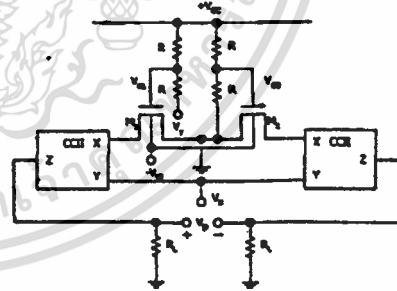
$$V_O = R_L(I_{D1} - I_{D2}) \quad (13)$$

แทนสมการที่ (10) ใน (11), ทำให้สามารถเขียนสมการที่ (13) ได้ใหม่คือ

$$V_O = (KR_L V_X V_T/2) \quad (14)$$

2.3 วงจรคู่สัญญาณโคโใช้ NMOS 2 ตัว ร่วมกับ Current Conveyor 2 ตัว

ในปัจจุบัน Current Conveyor ชุดที่ 2 (CCII) ได้ ออกแบบให้ทำงานแทนที่ Op-Amp เพราะมีคุณสมบัติที่ดีกว่า Op-Amp หลายอย่าง เช่น ความถี่คอบแบนและอินพุทสามารถเป็นทั้ง กระแส และ แรงดัน โคจรคู่สัญญาณในรูปที่ 2 เราสามารถแทนที่ Op-Amp ด้วย CCII แบบบวกหรือลบก็ได้เป็นดังแสดงในรูปที่ 3



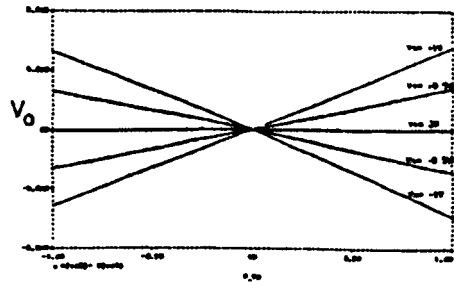
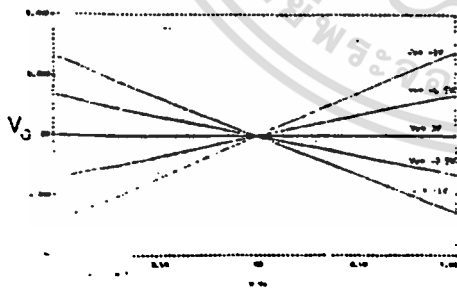
รูปที่ 3 วงจรคู่สัญญาณโคโใช้ NMOS 2 ตัวร่วมกับ CCII 2 ตัว

โคจรคู่สัญญาณของ CCII คือ  $V_X = V_Y$ ,  $I_Y = 0$  และ  $I_X = \pm I_Z$  รูปที่ 3 จะได้สมการ เอ็กท์ทุก เหมือนกับสมการที่ (14)

ถึงแม้ว่าวงจรรวมทั้งสองวงจรมีลักษณะการเอาต์พุตที่เหมือนกันแต่ด้วยการที่ใช้อุปกรณ์ที่แตกต่างกันคือ CCII กับ Op - Amp ทำให้คุณสมบัติของวงจรรวมต่างกัน โดย วงจรรวมที่สร้างโดยใช้ Op - Amp มีข้อดีคือมีขีดจำกัดด้านความถี่สูง และสำหรับข้อดีคือ เราสามารถสร้างได้ง่าย เพราะ Op - Amp มีขายอยู่ทั่วไปและราคาถูกด้วย วงจรรวมที่สร้างด้วย Op - Amp นี้เหมาะกับการใช้งานโดยทั่วไป ส่วนวงจรรวมที่สร้างโดยใช้ CCII มีข้อดีคือ เราสร้างได้ยากเพราะ CCII ไม่มีขายในประเทศไทยจำเป็นต้องสั่งซื้อจากต่างประเทศ ทำให้มีราคาแพง ส่วนข้อดีคือสามารถใช้งานได้ความถี่สูง และมีความแม่นยำมากกว่าเมื่อเทียบกับ Op - Amp วงจรรวมที่สร้างด้วย CCII จึงเหมาะกับการใช้งานที่ต้องการความแม่นยำมากและสำหรับงานที่มีความถี่สูง

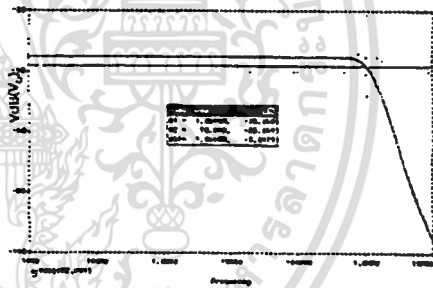
### 3. ผลการทดสอบ

ผลการทดสอบการทำงานโดยใช้โปรแกรม PSpice ซึ่งใช้โมเดล Op-Amp เบอร์  $\mu$ A741 และใช้ NMOS Model ของ European Silicon Structure ในแบบ Worst Case, Level = 2, W/L =  $10\mu\text{m}/10\mu\text{m}$ ,  $V_{CC} = V_{EE} = 10$  และ  $R_L = 1\text{K}\Omega$  ซึ่งในผลการทดสอบจะกระทำเฉพาะวงจรในรูปที่ 2 เท่านั้น โดยมีผลการทดสอบดังนี้

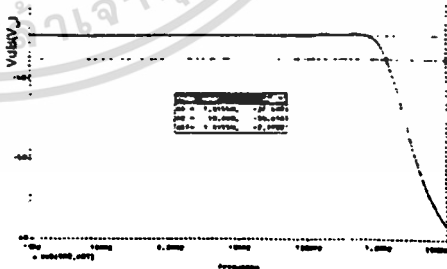


(ข)

- รูปที่ 4 DC transfer ของวงจรรวมรูปที่ 2
- ก. เมื่อแปรค่า  $V_x = +1\text{V}$  ถึง  $-1\text{V}$  และ  $V_y$  คือ  $+1\text{V}, 0.5\text{V}, 0\text{V}, -0.5\text{V}, -1\text{V}$
  - ข. เมื่อแปรค่า  $V_y = +1\text{V}$  ถึง  $-1\text{V}$  และ  $V_x$  คือ  $+1\text{V}, 0.5\text{V}, 0\text{V}, -0.5\text{V}, -1\text{V}$



(ก)



(ข)

- รูปที่ 5 ความถี่ตอบสนองของวงจรรวมในรูปที่ 2
- ก. เมื่อ  $V_x = \sin \omega t$ ,  $V_y = 1\text{V}_{DC}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. เมื่อ  $V_x = \sin \omega t$  ,  $V_x = I V_{DC}$

การทดสอบดูการตอบสนองของวงจรรวมที่ใช้ Op - Amp เท่านั้น เพราะในโปรแกรม PSpice ที่นำมาทดสอบนี้ ไม่มี model ของ CCII

ผลของความถี่ตอบสนองของวงจรรวมที่ใช้ Op - Amp ขึ้นอยู่กับ คุณสมบัติของ Op - Amp และ CMOS โดยผลของความถี่ตอบสนองสามารถเพิ่มขึ้นได้โดยการออกแบบให้ Op - Amp มีอัตราขยายต่ำๆ และการลดขนาด (W/L) ของ CMOS ให้เล็กลง ผลของความถี่ตอบสนองขึ้นอยู่กับความถี่ของ Op - Amp, CMOS และ R เมื่อเราเลือกให้ Op - Amp และ R ที่มีความถี่ตอบสนองต่ำๆ จะทำให้วงจรมีความถี่ตอบสนองต่ำๆ และการเพิ่มขนาด (W/L) ของ CMOS ก็จะทำให้เพิ่มความถี่ตอบสนอง

#### 4. สรุปผลการทดลอง


วงจรรวมสัญญาณอย่างง่ายทั้งสองวงจรมี ใช้งานที่เหมือนกัน ดังนั้น ประสิทธิภาพของวงจรรวมทั้งสองจึงขึ้นอยู่กับ อุปกรณ์ที่นำมาคือ Op - Amp และ CCII และการปรับปรุงประสิทธิภาพของวงจรรวมอินพุตไวในผลการทดสอบ วงจรรวมที่นำมาเสนอนี้มีโครงสร้างที่ง่าย และใช้จำนวนอุปกรณ์น้อย จึงเหมาะสำหรับการใช้งานที่ค่อนข้างปรับที่ทั่วไป

#### 5. เอกสารอ้างอิง

- [1] ทรเทพ จันทร์คุณภาส และคณะ, "วงจรรวมสัญญาณด้วยหลักการควอเตอร์-สแควร์โคอิมมิตชัน," การประชุม วิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL174-EL177.. 7-8 พฤศจิกายน 2539
- [2] อธิพงษ์ รัชตวัฒน์ และกอบชัย เศษหาญ, "การออกแบบวงจรรวมสัญญาณแบบ 4 ควอดแรนท์ โคอิมมิตชันทำงานในช่วงไม้อิมิตัว," การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19, หน้า EL19-EL22.. 7-8 พฤศจิกายน 2539.
- [3] J H. Tsay, S. I. Liu, J. J. Chen and Y. P. Wu., "CMOS four - quadrant multiplier using triode

transistors based on regulated cascode structure," Electron. Lett., vol.31, no. 12, pp. 962- 963, 1995.

- [4] S. I. Liu., " Low Voltage CMOS four - quadrant multiplier," Electron. Lett., vol. 30, no. 25, pp. 2125 -2126, 1994.



ISSN 0125-1724

วิศวกรรม

# ลาดกระบัง

ณ-วิศวกรรมศาสตร์ สถาบันลาดกระบัง

## LADKRABANG ENGINEERING JOURNAL

ปีที่ 19 ฉบับที่ 1

มีนาคม 2545

|  |     |
|--|-----|
| 1. ปฏิกิริยาการแผ่รังสีความถี่สูงแบบคาบควบคู่กันในตัวนำในอิมพีแดนซ์ไดโอดชนิด n-i-al injection gate             | 1   |
| ชลิตา จรรยาหาญ สมเกียรติ ศกเศ  |     |
| 2. การสังเคราะห์ชั้นความนำไฟฟ้าจากฟิล์มเพชรชนิดอินทรีนิกด้วยวิธี H-termination                                 | 7   |
| พีระวุฒิ อินทร์วิสิ วิสุทธิ์ วิศิษฐ์เรือง  |     |
| 3. วงจรกำลังสองและวงจรถอดจากที่สองโดยใช้อินพุตจ่ายไฟเลี้ยงต่ำ  | 13  |
| ชัยวัฒน์ สาภอ กอบชัย เดชหาญ วิชัย แซ่ฮี้   |     |
| 4. วงจรทรานส์คอนดักต์คอนดักต์คลาสิกที่มีวงจรถ่ายโอนแบบ เรล ทู เรล  | 19  |
| วิชัย แซ่ฮี้ อิกทิงค์ ซือลาอียาร์  |     |
| 5. วงจรกรองความถี่แบบออสซิลเลเตอร์ที่มีความถี่ศูนย์กลางอยู่ที่ 60 Hz โดยใช้อินพุตทรานส์คอนดักต์เตอร์           | 25  |
| มนตรี คำเงิน กอบชัย เดชหาญ วิไลพร โอปอ้อม วิษณุ กอพิศชัยนทร์   |     |
| 6. วงจรอินเวอร์ชันแบบป้อนกลับที่มีค่าทรานส์คอนดักต์คอนดักต์และอินพุตและเอาต์พุตที่ปรับได้ตามแบบ Rail - to Rail | 30  |
| ชุมพล จิตรนำทรัพย์ กอบชัย เดชหาญ   |     |
| 7. วงจร $\mu$ -C อินพุตทรานส์คอนดักต์อินพุตที่ Bulk ของทรานส์คอนดักต์เตอร์                                     | 35  |
| มนตรี คำเงิน กอบชัย เดชหาญ ชยพล ต้นวงศ์วิไล รัชฎ กอพิศชัยนทร์  |     |
| 8. การคำนวณหาสนามการแพร่กระจายคลื่นของสายอากาศไมโครสตริปยาวกึ่งแนวราบ  | 41  |
| กิตติพงษ์ เพชรบูรณ์ ณรงค์ สุวัฒน์ปัญญา   |     |
| 9. การประมาณอัตราการตกของฝนด้วย Wind Profiler ในย่านความถี่ UHF  | 47  |
| กิตติชัย พิเศษศิริ ชัยรัตน์ สมบูรณ์อภิ นภา ลีลารัตน์ ณรงค์ เหนงกรณ์  |     |
| 10. การปรับปรุง line code 2B1Q ในการเข้ารหัสเพื่อเพิ่มประสิทธิภาพการรับส่งข้อมูล                               | 53  |
| อภิชาติ เลิศศุภศาสตร์ กอบชัย เดชหาญ พิเชฐ ม่วงมว   |     |
| 11. การหาช่วงเวลาการเกิดกระแสในวงจรไฟฟ้าขนาดใหญ่โดยใช้อินพุตจ่ายประจุประจุ                                     | 59  |
| ราชชายา ไพธิสาร สมชาติ จีวิภากร ศุภี บรรจงจิตร   |     |
| 12. การวิเคราะห์ความแตกต่างระหว่างกระแสอินพุตและเอาต์พุตของหม้อแปลงด้วยการแปลงเวกเตอร์แบบเดิมหน่วย             | 65  |
| เกียรติกร กิตติวราวุฒิ อานันท์วัฒน์ คุณากร ศุภี บรรจงจิตร  |     |
| 13. การวิเคราะห์ที่บัสคอนเวอร์เตอร์ที่บัสด้วยแรงดันฟูลเวท  | 71  |
| ธนวรรณรัตน์ หวังหาญ วิริยะ พิเชฐจำเริญ   |     |
| 14. การจำลองการควบคุมแรงบิดโดยตรงของมอเตอร์เหนี่ยวนำสามเฟส   | 77  |
| องอาจ เกษภษา ก่าพล ศิริจันทร์พงศ์ วิจิตร กิระเรศ   |     |
| 15. การออกแบบและวิเคราะห์ 1 เฟส เดลต้ามีอคตูลเลตที่ขับเคลื่อนอินเวอร์เตอร์ที่มีการคงที่แรงดันเอาต์พุต          | 83  |
| คมสัน กลิ่นบัว วิจิตร กิระเรศ  |     |
| 16. 3-เฟส ที่ขับเคลื่อนอินพุต เอช-เอช เมตริกซ์คอนเวอร์เตอร์ในโหมดคณิศาสตร์และการแปลงความหมายในการปฏิบัติ       | 89  |
| วิไล ไททองคำ วิริยะ พิเชฐจำเริญ  |     |
| 17. ชุดเครื่องกลไฟฟ้าเพื่อใช้ทดแทนระบบนิวแมติก   | 95  |
| ประภาส ไทรสุวรรณา สาคร วุฒิพัฒน์พันธุ์   |     |
| 18. การพยากรณ์โดยเทคนิคการเคลื่อนที่ของข้อมูลแต่ละค่าเท่า ๆ กันและเทคนิคการทำให้เรียบแบบเอกโพเนนเชียล          | 101 |
| ณนุช ซึ่งเอชธรระกุล สมชาติ จีวิภากร  |     |
| 19. การตรวจหาเส้นด้วยการขีดและหมัดแบบ  | 107 |
| เกษตร์ ศิริสันติสัมฤทธิ์ กมลรัฐี กลสงค์  |     |
| 20. การรู้จักการบริหารทรัพยากรไทยโดยวิธีการติดตามทิศทางการเคลื่อนที่ของเส้นโครงร่าง                            | 113 |
| นิคม เสชาติ เทียมพล กุศลจอนศรี ทรงชัย วีระทวีมาศ   |     |
| 21. การแบ่งงานแบบอำนาจนำหนักบนระบบประมวลผลขนาน PVM   | 119 |
| ทิวา จารณศรี บรรจง ปิยะธาร   |     |
| 22. การนับอัตราข้อมูลของการเข้ารหัสแบบการสูญเสียค่าที่มีความซับซ้อนต่ำ   | 125 |
| กอบชัย เดชหาญ สายน้ำฝน หอมจันทร์ นภัทร สระเอี่ยม อัครพล ศรีรัตน์   |     |
| 23. การประยุกต์ใช้งานไมโครคอนโทรลเลอร์บนเครื่องจ่าย  | 131 |
| สุชัย จันทร์ฉาย กอบชัย เดชหาญ สุจิตต์ วัฒนพิทักษ์พงศ์  |     |
| 24. การออกแบบโปรแกรมเพื่อใช้คอมพิวเตอร์พกพาเชื่อมต่อเพื่อแสดงผลและสั่งการควบคุมระบบอุตสาหกรรม                  | 137 |
| ทวีชัย คำศรี กอบชัย เดชหาญ สรรพสิทธิ์ ทองมี  |     |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Low Voltage Squaring and Square-root Circuit

## วงจรกำลังสองและวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

ชัยวัฒน์ สากุล กอบชัย เครหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยี สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิรัช แซ่ลี

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

### บทคัดย่อ

บทความนี้นำเสนอวงจรกำลังสองและวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยหลักการทำงานจะอาศัยคุณสมบัติของ CMOS ที่ทำงานในช่วงอิ่มตัว โครงสร้างของวงจรจะประกอบด้วย 2 ส่วนหลัก ส่วนแรกคือวงจรกำลังสอง ส่วนที่สองคือ วงจรถอดรากที่สอง ข้อดีของวงจรมีคือ สามารถที่จะทำงานได้โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ผลการทดสอบกระทำโดยใช้โปรแกรมจำลองแบบการทำงาน Pspice เพื่อยืนยันประสิทธิภาพของวงจรซึ่งสอดคล้องกับทฤษฎี

### Abstract

This paper presents a low voltage squaring and squaroot circuit. This circuit is based on the characteristic of CMOS operating in saturation region. Its structure consists of the main parts. First part is the square's law circuit and the second part is the square root's law circuit. The advantage of the circuit is able to carry low voltage supply. The results of this circuit are show by using the PSpice simulation program to demonstrate the performances of this circuit.

### 1. บทนำ

วงจรกำลังสองเป็นวงจรหนึ่งที่มีการนำไปประยุกต์ใช้งานกันอย่างกว้างขวางในระบบโทรคมนาคม และระบบเครื่องมือวัด เช่น วงจรทวีความถี่ (Frequency Doublers) , วงจรตรวจจับค่ายอด (Peak Amplitude Detector) ของสัญญาณไซน์ เป็นต้น วงจรกำลังสองและวงจรถอดรากที่สองได้ถูกนำเสนอมาโดยตลอดและในปัจจุบันวงจรกำลังสองส่วนใหญ่มีถูกนำเสนอในแบบที่ใช้มอสเฟตในการออกแบบ ซึ่งแต่ละแบบที่เสนอนั้นเสนอ [1]-[2] ก็มีหลายวิธีการ ในงานวิจัยนี้ได้มีเสนอการออกแบบวงจรกำลังสองและวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ ในส่วนของวงจรถอดรากที่สองได้นำเสนอ

วงจรรวมใหม่และแหล่งจ่ายแรงดันของวงจรที่ใช้มีขนาด  $\pm 1.5$  V. และ  $\pm 1.7$  V. ตามลำดับ วงจรที่ทำการเสนอนี้ โครงสร้างของวงจรที่นำเสนอเหมาะสำหรับการนำไปใช้งาน

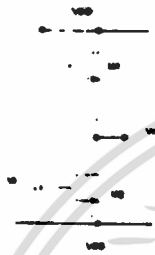
### 2. หลักการทำงาน

วงจรกำลังสองและวงจรถอดรากที่สองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ จะประกอบด้วยวงจรย่อยต่าง ๆ มาต่อร่วมกัน ในส่วนของวงจรกำลังสองจะประกอบด้วยวงจรถอดรากที่สอง และวงจรถอดรากที่สองร่วมกันเพื่อให้ได้ผลลัพธ์ตามต้องการ จากนั้นจะนำเอาวงจรถอดรากที่สองที่ทำการออกแบบใหม่นำมาต่อรวมด้วย สำหรับการ

ทำงานของวงจรถัดต่าง ๆ สามารถที่จะแยกอธิบายได้ดังนี้

2. วงจรอินเวอร์เตอร์

วงจรถัดอินเวอร์เตอร์จะใช้ CMOS ซึ่งมีการทำงานในช่วงอิมิตัวในการออกแบบ โดยจะใช้ CMOS ทำการออกแบบ 2 ตัว สามารถเขียนได้ดังรูปที่ 1



รูปที่ 1 วงจรอินเวอร์เตอร์

จากรูปที่ 1 เป็นการนำ CMOS M1 และ M2 มาต่ออันดับกัน โดยจะทำการป้อน  $V_i$  ที่ขาเกตของ M2 ส่วนที่ขาเกตของ M1 จะต่อร่วมกับแหล่งจ่าย ซึ่งสามารถที่จะแสดงได้ดังสมการกระแสแตรครนดังนี้

$$I_D = K(V_{GS} - V_T)^2 \quad (1)$$

โดยที่

$$|V_{GS}| \geq |V_{GS}| - |V_T| > 0$$

และ

$$K = \left[ \frac{\mu_n C_{ox}}{2} \right] \left[ \frac{W}{L} \right]$$

ซึ่ง  $\mu_n$  = ค่าสภาพคล่องของพาหะที่ผิวบริเวณ channel

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$\epsilon_{ox}$  = ค่า Dielectric Constant ของ  $SiO_2$  มีค่าประมาณ  $3.9 \epsilon_0$  (โดย  $\epsilon_0 \approx 8.854 \text{ F/cm.}$ )

$t_{ox}$  = ค่าความหนาของเกตออกไซด์ (Gate Oxide)

จากรูปที่ 1 จะได้สมการ คือ

$$I_{D1} = I_{D2} \quad (2)$$

ดังนั้น

$$I_{D1} = K_1 (V_{DD} - V_o - V_T)^2 \quad (3)$$

และ

$$I_{D2} = K_2 (V_i - V_{SS} - V_T)^2 \quad (4)$$

เมื่อทำการแทนค่า  $V_{SS} = -V_{DD}$  แทนค่าในสมการที่ (3) และ (4) จากนั้นนำผลที่ได้แทนในสมการที่ (2) จะได้สมการ คือ

$$K_1 (V_{DD} - V_o - V_T)^2 = K_2 (V_i + V_{DD} - V_T)^2$$

โดยที่

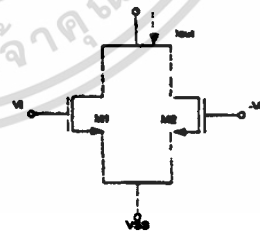
ดังนั้นเมื่อทำการแทนค่าตามสมการข้างต้นจะได้

ผลลัพธ์เป็นไปตามสมการที่ (5)

$$V_o = -V_i \quad (5)$$

จากสมการที่ (5) จะพบว่าผลลัพธ์ทางด้านเอาท์พุทจะเป็นส่วนกลับของทางด้านอินพุท ซึ่งเป็นคุณสมบัติของวงจรถัดอินเวอร์เตอร์

2.2 วงจรขยายสัญญาณคิฟเฟอร์เรชเชิด



รูปที่ 2 วงจรขยายสัญญาณคิฟเฟอร์เรชเชิด

จากรูปที่ 2 จะได้สมการกระแสแตรครนคือ

$$I_{OUT} = I_{D1} + I_{D2} \quad (6)$$

โดยที่  $I_{D1} = K_1 (V_1 - V_{SS} - V_T)^2$  (7)

และ  $I_{D2} = K_2 (-V_1 - V_{SS} - V_T)^2$  (8)

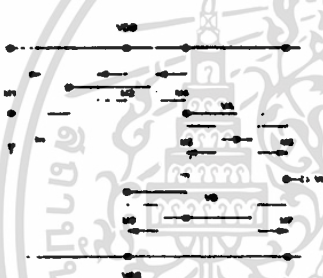
จากสมการที่ (6) กำหนดให้ค่า K มีค่าเท่ากันทุกตัว ดังนั้นจะได้

$$I_{DCT} = 2K [V_1^2 + (V_{SS} + V_T)^2] \quad (9)$$

จากสมการที่ (9) กำหนดให้

$$V_T = V_{SS} = -V_{DD}$$

2.3 วงจรออครากที่สอง



รูปที่ 3 วงจรออครากที่สอง

จากรูปที่ 3 จะเป็นการนำเสนองจรออครากแบบใหม่โดยการออกแบบกำหนดให้ M5 มีขนาดเป็น 1/4 เท่าของ M3 และเอทท์ทุกของวงจรถะค่อระหว่าง M6 และ M7 เพื่อให้เอทท์ทุกที่ได้เป็นสัญญาณเดี่ยว ส่วน M1 M2 และ M4 จะค่อไ้รงานในรูปของวงจระสะท้อนกระแส จากรูปสามารถที่จะแสดงได้ด้วยสมการกระแสแตรนดังนี้

$$I_{M1} = K_3 (V_B - V_{SS} - V_T)^2 \quad (10)$$

$$I_{M1} = \frac{K_3}{4} (V_A - V_T)^2 \quad (11)$$

จากวงจระจะได้สมการของ  $V_A$  และ  $V_B$  ดังสมการที่ (12) และ (13) ดังนี้

$$V_A = \sqrt{\frac{4I_{M1}}{K} + V_T} \quad (12)$$

$$V_B = \sqrt{\frac{I_{M1}}{K} + (V_{SS} + V_T)} \quad (13)$$

จากวงจระกำหนดให้ค่า K ของ CMOS มีค่าเท่ากันทุกตัว ดังนั้นทำการแทนค่าตามสมการที่ (12) และ (13) ลงในสมการที่ (10) และ (11) เมื่อทำการพิจารณาทางด้านเอทท์ทุก กระแสแตรนที่ M6 มีค่าเท่ากับ M7 ดังสมการที่ (14)

$$I_{D6} = I_{D7} \quad (14)$$

ดังนั้นเมื่อทำการแทนค่าตามสมการข้างต้นจะได้ผลลัพธ์ทางด้านเอทท์ทุกดังสมการที่ (15)

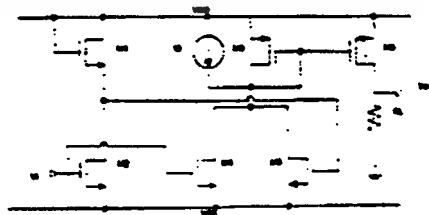
$$V_O = \sqrt{\frac{I_{M1}}{K}} \quad (15)$$

จากสมการที่ (15) เป็นผลลัพธ์ทางด้านเอทท์ทุกซึ่งเป็นวงจระออครากที่สอง

3.การออกแบบวงจระ

3.1 วงจระยกกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า

การออกแบบวงจระยกกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า จะออกแบบโดยใ้วงจระอินเวอร์เตอร์และวงจระคิฟเพื่อเรนเช็คค่อรวมกัน แสดงได้ดังรูปที่ 4



รูปที่ 4 วงจระยกกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงค่า

จากรูปที่ 4 กำหนดให้ CMOS M1 M2 M3 และ M4 มีค่า W/L เท่ากัน คือ 5/5 สำหรับ M5 และ M6 มีค่า W/L เท่ากับ 5/2 แหล่งจ่ายที่ป้อนให้กับวงจรกำลังสอง มีค่า  $\pm 1.5$  Volt จากวงจรเมื่อทำการวิเคราะห์สมการทาง ด้านเอาต์พุตจะมีค่าเป็นไปตามสมการที่(17)

$$I_o = I_{Dn} + I_{Dp} \tag{16}$$

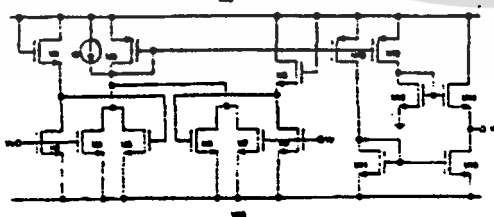
$$= 2K \left[ V_i^2 + (V_{DD} + V_T)^2 \right] \tag{17}$$

กำหนดให้  $V_T = V_{DD}$  แทนค่าลงในสมการที่ (17) และจากวงจรจะเพิ่มแหล่งจ่ายกระแสที่ ( $I_p$ ) ซึ่งมีค่าเท่ากับ  $8.3 \mu A$  โดยค่าของกระแสคงที่ ที่ทำการเพิ่มในวงจรมันจะได้จากการวิเคราะห์ใน โปรแกรม PSpice เพื่อทำการหาค่ากระแสที่กระทำกับแรงดันเทรซไฮสค์ ดังนั้นแรงดันทางด้านเอาต์พุตที่จะได้ตามสมการที่ (18)

$$V_o = 2R_L K V_i^2 \tag{18}$$

3.2 วงจรบวกแรงดันทางเวกเตอร์

การออกแบบวงจรบวกแรงดันทางเวกเตอร์เป็นการนำวงจรกำลังสอง วงจรนอร์ตอนกระแสและวงจรออคแรกที่สองที่ทำการออกแบบใหม่มาทำการต่อร่วมกันโดยวงจรจะมีข้อดี คือ ใช้แรงดันต่ำ ซึ่งจะใช้แรงดันเพียง  $\pm 1.7$  Volt วงจรแสดงได้ดังรูปที่ 6



รูปที่ 6 วงจรบวกแรงดันทางเวกเตอร์โดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ

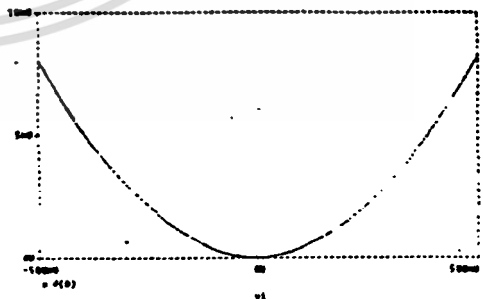
จากวงจรในรูปที่ 6 กำหนดให้ CMOS M1 M2 M4 M5 M6 M7 M8 M9 และ M11 มีค่า W/L เท่ากับ 10/10 ส่วน M3 มีค่า W/L เท่ากับ 5/2 M10 M12 M14 M15 มีค่า W/L เท่ากับ 10/60 และ M13 มีค่า W/L เท่ากับ 10/40 แหล่งจ่ายกระแสคงที่เพื่อทำการหักล้างแรงดันเทรซไฮสค์ที่เกิดขึ้น ซึ่งมีค่าเท่ากับ  $24.5 \mu A$  โดยค่ากระแสคงที่ ที่เพิ่มในวงจรได้มาจากการวิเคราะห์ใน โปรแกรม PSpice จากวงจรเมื่อทำการแทนค่าตามสมการที่นำสมการในเบื้องต้นจะได้ผลลัพธ์ตามสมการที่ (19)

$$V_o = 1.414 \sqrt{V_x^2 + V_T^2} \tag{19}$$

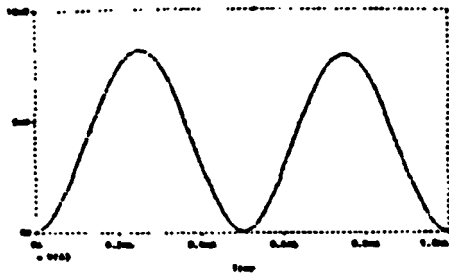
4. ผลการเขียนแบบการทำงานด้วยโปรแกรม PSpice

ในบทความนี้ ได้ใช้การเขียนแบบการทำงานด้วยโปรแกรม PSpice และใช้ CMOS เทคโนโลยี 0.5  $\mu m$  ของ MOSIS ที่ NMOS และ PMOS เป็นกรณี Worst Case โดยทำการกำหนดค่า W/L และค่ากระแสคงที่ในการออกแบบวงจรแต่ละวงจร ผลการเขียนแบบการทำงานแสดงคุณสมบัติทางด้าน DC คุณสมบัติทางด้าน AC และคุณสมบัติของการตอบสนองความถี่ ของวงจรต่าง ๆ แสดงดังรูป

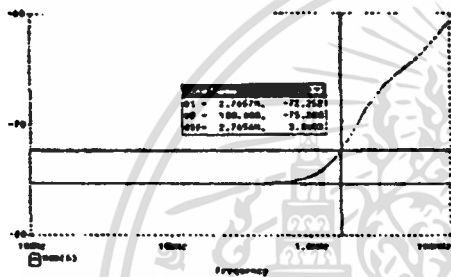
4.1 ผลการเขียนแบบวงจรกำลังสองโดยใช้แหล่งจ่ายไฟเลี้ยงต่ำ



รูปที่ 7 คุณสมบัติทาง DC ของวงจรกำลังสอง



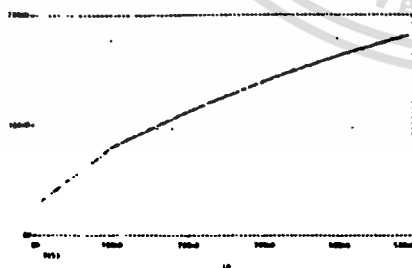
รูปที่ 8 คุณสมบัติทาง AC ของวงจรกำลังสอง



รูปที่ 9 คุณสมบัติการตอบสนองความถี่

จากรูปที่ 7, 8 และรูปที่ 9 เป็นการนำเสนอคุณสมบัติทาง DC คุณสมบัติทาง AC และคุณสมบัติการตอบสนองความถี่ของวงจรกำลังสอง โดยใช้แหล่งจ่ายที่  $\pm 1.5$  volt ผลที่ได้มีความถูกต้องตรงตามทฤษฎีที่นำเสนอ

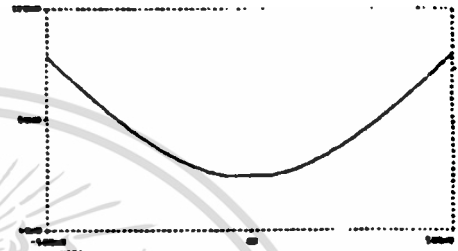
4.2 ผลการเขียนแบบวงจรออคราท์ที่สอง



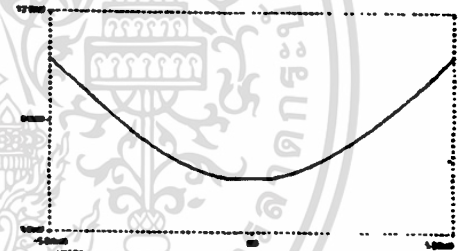
รูปที่ 10 ความสัมพันธ์ระหว่างกระแสอินพุตกับแรงดันเอาต์พุต

จากรูปที่ 10 เป็นการนำเสนอความสัมพันธ์ระหว่างกระแสอินพุต กับแรงดันเอาต์พุต ผลที่ได้มีค่าเป็นไปตามทฤษฎีที่นำเสนอ โดยค่าความผิดพลาดที่เกิดขึ้นเป็นผลเนื่องจากคุณสมบัติของ CMOS เพราะกำหนดเป็นกรณีของ Worst Case

4.3 ผลการเขียนแบบวงจรบวกแรงดันทางเวกเตอร์



(ก)

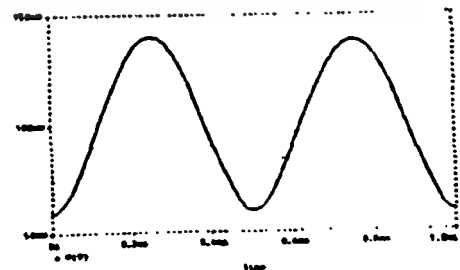


(ข)

รูปที่ 13 คุณสมบัติทาง DC

(ก)  $V_o$  เมื่ออินพุตเป็น  $V_x$

(ข)  $V_o$  เมื่ออินพุตเป็น  $V_y$



รูปที่ 14 คุณสมบัติทาง AC

รูปที่ 13 เป็นการนำสมรรถนะของสมบัติทาง DC และรูปที่ 14 เป็นการนำสมรรถนะของสมบัติทาง AC ของวงจรวากแรงดันทางแวกเตอร์ ผลของค่าความผิดพลาดที่เกิดขึ้นเป็นผลเนื่องมาจากคุณสมบัติของ CMOS เพราะกำหนดเป็นกรณีของ Worse Case

## 5.สรุป

วงจรถ่วงสองและวงจรถ่วงสองโคจรใช้แหล่งจ่ายไฟเลี้ยงค่าที่ทำการออกแบบในงานวิจัยนี้ มีข้อดีคือสามารถที่จะใช้งานได้โดยโคจรใช้แหล่งจ่ายไฟเลี้ยงค่า การออกแบบจะใช้หลักการของนอตเฟทในย่านอิ่มตัว (saturation region) ผลรวมของความถูกต้องแม่นยำของคุณสมบัติทางด้าน DC และคุณสมบัติทางด้าน AC ขึ้นอยู่กับคุณสมบัติของ CMOS ผลตอบสนองทางความถี่จะขึ้นอยู่กับคุณสมบัติภายในของ CMOS จากการเขียนแบบการทำงานโดยโปรแกรม PSpice ของวงจรถ่วงสองจะใช้แหล่งจ่ายเพียง  $\pm 1.5$  V. และในส่วนวงจรวากแรงดันทางแวกเตอร์ จะทำการปรับแรงดันเพิ่มขึ้นเป็น  $\pm 1.7$  V. เพื่อให้การทำงานของวงจรมีเสถียรภาพดียิ่งขึ้น

## 6.เอกสารอ้างอิง

- [1] วิไลศ สุระกำพลธร , “วงจรถ่วงสองโคจรใช้คุณสมบัติของ MOSFET” .การประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 13 , 8-9 พฤศจิกายน 2533.
- [2] พิพัฒน์ พรหมมี , กอบชัย เศรษฐาญ “วงจรถ่วงสองโคจรใช้ MOSFET.” การประชุมทางวิศวกรรมไฟฟ้า ครั้งที่ 17 , 8-9 พฤศจิกายน 2537.
- [3] โกศล ลอยดีวิธ สุคนธ์ สุคนธ์ พรหมมี กอบชัย เศรษฐาญ สุชาติ คุณทวีเทพ , “วงจรวากที่สองโคจรใช้ นอตเฟท” การประชุมทางวิศวกรรมไฟฟ้า ครั้งที่ 17 , 8-9 พฤศจิกายน 2537.
- [4] วิวัฒน์ กิรานนท์ ปราโมทย์ วาดเขียน วิภา แสงทิสิทธิ์ และ จิรสุดา เกตุสร. “วงจรวากทางแวกเตอร์.” การประชุมทางวิศวกรรมไฟฟ้า ครั้งที่ 19. หน้า EL 109 – EL 112. 7- 8 พฤศจิกายน 2539.
- [5] P.R. Gray and R.G. Meyer , “Analog Integrate circuit

”, 2nd edition ,John Wiley & Sons ,Inc , 1984

- [6] A.B. Grebene , “Bipolar and MOS Analog Integrate circuit Design.” ,John Wiley & Sons ,1984
- [7] I.M. Filizovsky and H.P., “Simple CMOS Analog Square-Rooting and Squaring Circuit,”IEEE Trans. Circuits and System, Vol.39, No.4, PP.312, 1992
- [8] S.I. Liv, “Square-rooting and vector summation Circuit using current conveyer,” Proc. IEEE Circuit Devices Syst, Vol.142, No.4, PP.223-226, August 1995.

## ประวัติผู้เขียน

นายชัชวัฒน์ สากุล เกิดเมื่อวันที่ 27 เมษายน 2518 จังหวัดศรีสะเกษ และได้สำเร็จการศึกษาในระดับปริญญาตรี หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ จากมหาวิทยาลัยเทคโนโลยีมหานคร ปีการศึกษา 2539 และในปีการศึกษา 2542 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ประสบการณ์การทำงาน เริ่มทำงานตั้งแต่ปี พ.ศ. 2542 จนถึงปัจจุบัน ในตำแหน่ง อาจารย์พิเศษ แผนกวิชาช่างอิเล็กทรอนิกส์ วิทยาลัยเทคนิคศรีสะเกษ สถาบันการอาชีวศึกษาภาคใต้ 4

