ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

ชื่อหัวข้อ ชุดเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

Harddisk Interface for Single-Board

ชื่อนักศึกษา

1. นายไชยนุชิต	วงศ์ถวิล	รหัสประจำตัว	44035401
2. นายไตรศักดิ์	รักใหม่	รหัสประจำตัว	44035404
3. นายเอกชัย	ซังปาน	รหัสประจำตัว	44035432

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต **สาขาวิชา** เทคโนโลยีการวัดคุมทางอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ปิยะ ศุภวราสุวัฒน์

อาจารย์ที่ปรึกษาร่วม อาจารย์อำพล ทองระอา

คณะกรรมการสอบปริญญานิพนธ์		ลายมือชื่อ
1. อาจารย์ปิยะ	ศุภวราสุวัฒน์	.....
2. อาจารย์อำพล	ทองระอา	.....
3. อาจารย์สุรพงษ์	สิริพงศ์ดี	.....
4. อาจารย์ปิยะ	จิตธรรมมาภิรมย์	.....
5. อาจารย์กิติพงค์	มะโน	.....

วัน/เดือน/ปีที่สอบ วันพฤหัสบดีที่ 14 พฤศจิกายน พ.ศ. 2545 เวลา 13.00 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ลงนาม.....

(ผศ.วิสุทธิ์ อธิพรธรรม)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 30 เดือน พ.ย. พ.ศ 2546

<BT4503052>

ชุดเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปริญญานิพนธ์

ชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ด

HARDDISK INTERFACE FOR SINGLE - BOARD

T048317

นายไชยนุชิต วงศ์ถวิล
นายไตรศักดิ์ รักใหม่
นายเอกชัย ซังปาน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 48317
วัน, เดือน, ปี 10 ต.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ด

Harddisk Interface for Single-Board

วัตถุประสงค์ในการทำปริญญานิพนธ์

1) เพื่อศึกษาหลักการเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

2) เพื่อออกแบบการทำงานและการเชื่อมต่อซิงเกิลบอร์ดกับฮาร์ดดิสก์

3) เพื่อสร้างชุดอินเตอร์เฟสให้ฮาร์ดดิสก์กับซิงเกิลบอร์ดสามารถทำงานร่วมกันได้

4) สามารถทดลองใช้ซิงเกิลบอร์ดเขียนและอ่านข้อมูลในฮาร์ดดิสก์ได้

5) สามารถนำไปประยุกต์ใช้กับอุปกรณ์ภายนอกอื่นๆ ได้

ประโยชน์ที่คาดว่าจะได้รับ

1) ได้รับความรู้จากการอินเตอร์เฟสซิงเกิลบอร์ดกับฮาร์ดดิสก์

2) ได้วงจรการอินเตอร์เฟสซิงเกิลบอร์ดกับฮาร์ดดิสก์

3) ได้ชุดอินเตอร์เฟสซิงเกิลบอร์ดกับฮาร์ดดิสก์

4) ได้ผลการทดลองการอินเตอร์เฟสซิงเกิลบอร์ดกับฮาร์ดดิสก์

5) มีแนวทางในการพัฒนาซิงเกิลบอร์ดกับอุปกรณ์อื่นๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	ชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ด
นักศึกษา	นายไชยนุชิต วงศ์ถวิล
	นายไตรศักดิ์ รักใหม่
	นายเอกชัย ซังปาน
อาจารย์ที่ปรึกษา	อาจารย์ปิยะ ศุภวราสุวัฒน์
อาจารย์ที่ปรึกษาร่วม	อาจารย์อำพล ทองระอา
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชา	เทคโนโลยีการวัดคุมทางอุตสาหกรรม
ปีการศึกษา	2545

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้นำเสนอการออกแบบและสร้างชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ด เพื่อให้ซิงเกิลบอร์ดอ่านและเขียนข้อมูลในฮาร์ดดิสก์ และสามารถเก็บข้อมูลในฮาร์ดดิสก์ได้ โครงงานนี้จึงมีประโยชน์ในกรณีที่ต้องการใช้เนื้อที่เก็บข้อมูลจำนวนมาก และสามารถนำหลักการเชื่อมต่อฮาร์ดดิสก์ไปประยุกต์ใช้ในงานอุปกรณ์ต่างๆได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Harddisk Interface for Single-Board
Student	Mr. Chainuchit Wongthawhil
	Mr. Trisak Rukmai
	Mr. Eggachai Sungpan
Advisor	Mr. Piya Supavarasuwat
Co- Advisor	Mr. Amphon Thongra-ar
Education Level	Bachelor of Science in Industrial Education
Program in	Industrial Instrument Technology
Academic Year	2002

ABSTRACT

This thesis presents harddisk interface for single-board. A single board can read data and write data into harddisk. This project can use for you need a lot of area for keep to a lot of area for keep data. It can be applied to use interface outside device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี เนื่องมาจากความร่วมมือของสมาชิกในกลุ่มทุกท่าน โดยความช่วยเหลือและให้คำแนะนำปรึกษา ตลอดจนแนวคิดต่างๆ พร้อมทั้งข้อเสนอแนะแนวทางการแก้ไขปัญหาในการดำเนินการ รวมทั้งด้านเวลาและสถานที่ เครื่องมือ อุปกรณ์ต่างๆ จากอาจารย์ที่ปรึกษาปริญญานิพนธ์ และอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่าน รวมทั้งสมาชิกในกลุ่มที่ร่วมมือกันจนสำเร็จ

คณะผู้จัดทำขอกราบขอบพระคุณท่านบุพการี ญาติพี่น้อง ที่ได้ให้โอกาสและสนับสนุนในการศึกษาด้วยดีมาตลอดและเป็นผู้ให้กำลังใจด้วยดีมาตั้งแต่อดีตถึงปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูป	VII
บทที่ 1 บทนำ	1
1.1 ความเป็นมา และความสำคัญของปริญญานิพนธ์	1
1.2 ขีดความสามารถของโครงงาน	1
1.3 เนื้อหาโดยสังเขป	1
บทที่ 2 ทฤษฎี และหลักการ	2
2.1 กล่าวนำ	2
2.2 หลักการและโครงสร้างภายในฮาร์ดดิสก์	2
2.2.1 ส่วนประกอบของฮาร์ดดิสก์	2
2.2.2 โครงสร้างของฮาร์ดดิสก์	2
2.3 ประสิทธิภาพของฮาร์ดดิกส์	11
2.3.1 Seek Time	11
2.3.2 Settle Time	12
2.3.3 Command Overhead Time	12
2.3.4 Letency	12
2.4 การอินเตอร์เฟสของฮาร์ดดิสก์	14
2.4.1 IDE	14
2.4.2 ATA หรือ ATA-1	17
2.4.3 ATA-2	17
2.4.4 โหมดการรับส่งข้อมูลของฮาร์ดดิสก์แบบ IDE/ATA	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ค่า orst case latency และ average letency ของฮาร์ดดิสก์ที่มีความเร็วรอบต่างๆ	13
ตารางที่ 2.2 โหมดต่างๆ ของการรับส่งข้อมูลแบบ PIO ของอินเตอร์เฟส IDE/ATA	18
ตารางที่ 2.3 โหมดต่างๆ ของการรับส่งข้อมูลแบบ DMA ของอินเตอร์เฟส IDE/ATA	19
ตารางที่ 2.4 โหมดต่างๆ ของการรับส่งข้อมูลแบบUltra DMA ของอินเตอร์เฟส IDE/ATA	19
ตารางที่ 4.1 ผลการทดลองอ่านค่ารีจีสเตอร์สถานะ	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ส่วนประกอบของฮาร์ดดิสก์	4
รูปที่ 2.2 แผนผังการทำงานของฮาร์ดดิสก์	6
รูปที่ 2.3 อุปกรณ์รอมที่อยู่ภายในแผงควบคุมฮาร์ดดิสก์	6
รูปที่ 2.4 ลักษณะของอุปกรณ์เซอร์โวไมโครคอลโทรเลอร์บนฮาร์ดดิสก์	7
รูปที่ 2.5 ลักษณะแผงวงจรควบคุมการทำงานของฮาร์ดดิสก์	8
รูปที่ 2.6 ลักษณะของเซอร์โวไมโครคอลโทร	8
รูปที่ 2.7 ลักษณะของหน่วยความจำเซ็กเตอร์บัพเฟอร์แรมขนาด 256 kb	9
รูปที่ 2.8 ลักษณะของหน่วยความจำเซ็กเตอร์บัพเฟอร์แรมขนาด 1Mb	9
รูปที่ 2.9 บัสไมโครคอลโทรเลอร์ หรือ IDE Interface	10
รูปที่ 2.10 ลักษณะของ Disk Connecter	11
รูปที่ 2.11 ขาสัญญาณของ ATA IDE Connecter	14
รูปที่ 2.12 ลักษณะของสายสัญญาณ Y Cable	16
รูปที่ 3.1 แผนผังการทำงานของชุดเชื่อมต่อฮาร์ดดิสก์	21
รูปที่ 3.2 วงจรแหล่งจ่ายไฟบวก 5 โวลต์	21
รูปที่ 3.3 วงจรแหล่งจ่ายไฟบวก 5 โวลต์ และ 12 โวลต์	22
รูปที่ 3.4 วงจรทดลองการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์	22
รูปที่ 3.5 วงจรทดลองการอ่านและการเขียนข้อมูลในฮาร์ดดิสก์	23
รูปที่ 3.6 วงจรทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด	24
รูปที่ 3.7 วงจรทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด (ปรับปรุง)	25
รูปที่ ก.1 การเชื่อมต่อฮาร์ดดิสก์โดยใช้ซิงเกิลบอร์ด	31
รูปที่ ก.2 บอร์ดที่ใช้ในการทดลองการเชื่อมต่อฮาร์ดดิสก์	31
รูปที่ ก.3 ซิงเกิลบอร์ดที่ใช้ในการทดลอง	32
รูปที่ ก.4 ส่วนประกอบภายนอกของฮาร์ดดิสก์	32
รูปที่ ก.5 แหล่งจ่ายไฟ 5 โวลต์	33
รูปที่ ก.6 แหล่งจ่ายไฟให้กับฮาร์ดดิสก์	33
รูปที่ ก.7 บอร์ดที่ใช้ในการป้อนค่ารีจีสเตอร์	34
รูปที่ ข.1 วงจรจ่ายไฟบวก 5 โวลต์	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ ข.2 วงจรทดลองการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์ 36
รูปที่ ค.1 ผังงานของโปรแกรมสั่งรีเซตของฮาร์ดดิสก์ 38
รูปที่ ค.2 ผังงานของโปรแกรมคำสั่ง Standby ของฮาร์ดดิสก์ 39
รูปที่ ค.3 ผังงานของของโปรแกรมทดสอบความพร้อมของฮาร์ดดิสก์ 40
รูปที่ ค.4 ผังงานโปรแกรมเขียนและอ่านรีจีสเตอร์ 41
รูปที่ ค.5 โปรแกรมควบคุมการทำงานของฮาร์ดดิสก์ 46

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

เนื่องจากซิงเกิลบอร์ดมีข้อจำกัดทางด้านหน่วยความจำข้อมูลคือ มีขนาดหน่วยความจำน้อย กรณีที่เราต้องการข้อมูลขนาดใหญ่เช่น รูป เสียง หน่วยความจำ ในซิงเกิลบอร์ดไม่สามารถเก็บข้อมูลเหล่านี้ได้

ฮาร์ดดิสก์เป็นหน่วยความจำที่สามารถเก็บข้อมูลที่มีขนาดใหญ่และประสิทธิภาพการทำงานที่หลากหลายและตรงกับความต้องการของของผู้ใช้จึงได้นำฮาร์ดดิสก์มาทำการเชื่อมต่อกับซิลเกิ้ลบอร์ด เพื่อแก้ปัญหาด้านข้อจำกัดขนาดของหน่วยความจำในซิงเกิลบอร์ดและสามารถเก็บข้อมูลขนาดใหญ่ได้

โครงงานนี้จึงมีประโยชน์ในกรณีที่ต้องการใช้เนื้อที่เก็บข้อมูลจำนวนมาก และยังสามารถพัฒนาการเชื่อมต่อฮาร์ดดิสก์ไปประยุกต์ใช้ในงานต่างๆได้

1.2 ขีดความสามารถของโครงงาน

โครงงานนี้มีขีดสามารถดังต่อไปนี้

1) ซิงเกิลบอร์ดสามารถอ่านและเขียนข้อมูลในฮาร์ดดิสก์ได้

2) สามารถรับส่งข้อมูลได้

1.3 เนื้อหาโดยสังเขป

เนื้อหาในปริญญานิพนธ์ฉบับนี้ จะแบ่งออกเป็นบทต่างๆ ทั้งหมด 5 บทเพื่อความสะดวกต่อการศึกษา และทำความเข้าใจซึ่งในแต่ละบทจะประกอบด้วยเนื้อหา ที่สำคัญดังนี้

บทที่ 1 บทนำ ในบทนี้จะกล่าวถึงความสำคัญ และที่มาของปริญญานิพนธ์ รวมไปถึงขีดความสามารถต่างๆ ของชุดเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด ตลอดจนลักษณะโดยทั่วไปของปริญญานิพนธ์อย่างกว้างๆ เพื่อให้ผู้ที่ศึกษาได้ทราบลักษณะทั่วไป และส่วนประกอบที่สำคัญภายในปริญญานิพนธ์นี้บทที่ 2 ทฤษฎี และหลักการ ในบทนี้ ประกอบด้วยเนื้อหาทางทฤษฎี และหลักการต่างๆ ที่เกี่ยวข้อง เช่น หลักการและโครงสร้างภายในฮาร์ดดิสก์ ประสิทธิภาพของฮาร์ดดิสก์ การอินเตอร์เฟสของฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การออกแบบการสร้าง และการทำงาน กล่าวถึงเนื้อหาที่เกี่ยวกับ วงจรต่างๆที่ใช้ในโครงงานนี้ ได้แก่ วงจรจ่ายไฟบวก 5โวลต์ วงจรการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์ วงจรทดลองการอ่านและเขียนข้อมูลลงในฮาร์ดดิสก์ วงจรทดลองการเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

บทที่ 4 การทดลองและผลการทดลอง ประกอบด้วย การรีเซตฮาร์ดดิสก์ ความพร้อมของฮาร์ดดิสก์

บทที่ 5 กล่าวถึง บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา ขั้นการสรุปผล ในการจัดทำโครงงาน ปัญหาที่เกิดขึ้น และได้เสนอแนวทางในการแก้ปัญหา รวมทั้งแนวทางในการพัฒนาให้มีประสิทธิภาพมากยิ่งขึ้น

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจร และแผ่นวงจรพิมพ์

ภาคผนวก ค ผังการทำงานและโปรแกรม

ภาคผนวก ง รายการอุปกรณ์

ภาคผนวก จ รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 กล่าวนำ

เนื้อหาของปริญญานิพนธ์ในบทนี้เป็นทฤษฎีและหลักการที่นำมาใช้ประกอบการสร้างโครงงาน โดยประกอบด้วยหลักการและโครงสร้างภายในฮาร์ดดิสก์ ประสิทธิภาพของฮาร์ดดิสก์ และการอินเตอร์เฟสของฮาร์ดดิสก์

2.2 หลักการและโครงสร้างภายในของฮาร์ดดิสก์

ฮาร์ดดิสก์ทำหน้าที่เป็นหน่วยความจำของเครื่องพีซีที่ใช้กันอยู่ในปัจจุบัน ซึ่งหน่วยความจำในยุคแรกของคอมพิวเตอร์มีแต่ชนิดที่ใช้ไฟเลี้ยงตลอดเวลา (Volatile Memory) การปิดเครื่องจะส่งผลให้โปรแกรมหรือข้อมูลต่างๆหายหมดเมื่อเปิดเครื่องใหม่แต่ละครั้งผู้ดูแลระบบจึงต้องป้อนโปรแกรมหรือข้อมูลเข้าสู่ระบบเอง เพื่อให้โปรแกรมหรือข้อมูลเข้าไปพร้อมทำงานอยู่ในหน่วยความจำ

ต่อมาฮาร์ดดิสก์จึงถูกสร้างขึ้นมาเพื่อเป็นหน่วยความจำที่สามารถเก็บรักษาข้อมูลไว้ได้แม้ปราศจากไฟเลี้ยง (Non - Volatile Memory) โดยการเก็บโปรแกรมหรือข้อมูลอย่างถาวรนั้นเป็นหน้าที่ของฮาร์ดดิสก์ และเมื่อนำข้อมูลเข้าสู่การประมวลผลก็จะโหลดจากฮาร์ดดิสก์เข้ามาอยู่ในหน่วยความจำ (Volatile) ที่ต้องทำหน้าที่เช่นนี้เพราะฮาร์ดดิสก์มีประสิทธิภาพ (ความเร็วในการส่งข้อมูลและอัตราการส่งผ่านข้อมูล) ต่ำมากเมื่อเทียบกับพวก Volatile Memory

ฮาร์ดดิสก์เป็นอุปกรณ์ที่ได้รับการพัฒนามายาวนาน และอยู่คู่กับพีซีจนกลายเป็นศูนย์กลางของการจัดเก็บข้อมูลประเภทอื่นมิอาจเทียบได้ ปัจจุบันฮาร์ดดิสก์มีบทบาทต่อระบบคอมพิวเตอร์ในแง่มุมต่างๆดังต่อไปนี้

ความจุ เมื่อมีความต้องการที่จะติดตั้งโปรแกรมหรือจัดเก็บไฟล์เอกสารที่สร้างจากแอพพลิเคชั่นต่างๆ สิ่งที่ผู้ใช้ต้องคำนึงถึงเป็นอันดับแรกก็คือพื้นที่ว่างที่เหลืออยู่ในฮาร์ดดิสก์ เพราะฉะนั้นความจุของฮาร์ดดิสก์จึงเป็นตัวกำหนดว่าระบบจะมีความจุมากน้อยเพียงไร

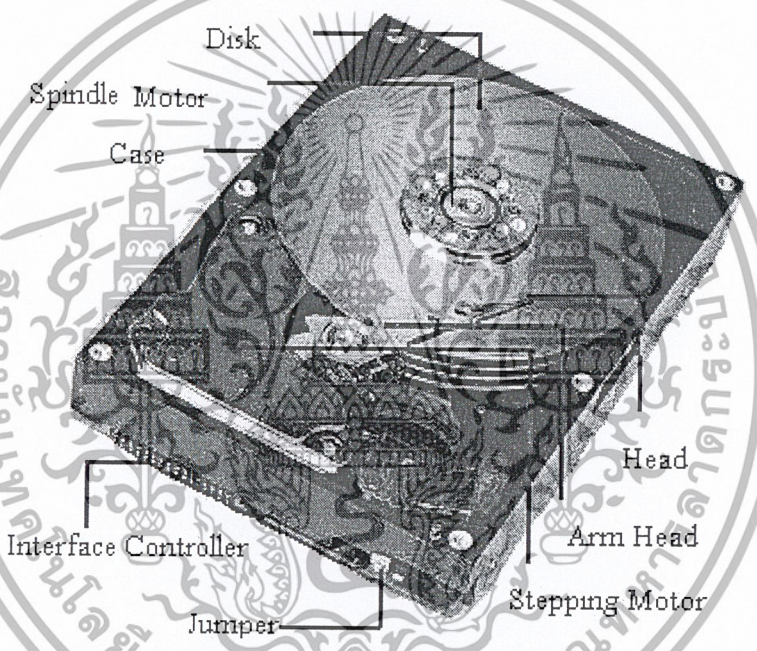
ประสิทธิภาพของระบบ ความเร็วของฮาร์ดดิสก์มีผลต่อประสิทธิภาพโดยรวมของระบบ เพราะฮาร์ดดิสก์จะเป็นอุปกรณ์หลักสำหรับจัดเก็บข้อมูลแล้ว ระบบปฏิบัติการรุ่นใหม่ก็มักจะนำเนื้อที่ของฮาร์ดดิสก์มาใช้เป็นหน่วยความจำของระบบด้วยเราเรียกหน่วยความจำที่เกิดจากการนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรมมาใช้งานร่วมกับพื้นที่บนฮาร์ดดิสก์นี้ว่า หน่วยความจำเสมือน (Virtual Memory) โดยเมื่อความต้องการใช้งานหน่วยความจำมากกว่าปริมาณแรมที่มีอยู่ ข้อมูลบางส่วนในแรมจะถูกย้ายไปพักในฮาร์ดดิสก์ การย้ายข้อมูลไปมาระหว่างฮาร์ดดิสก์กับหน่วยความจำนี่เองที่ทำให้ประสิทธิภาพของระบบลดลง

ความน่าเชื่อถือของระบบฮาร์ดดิสก์เป็นอุปกรณ์ที่รับผิดชอบในเรื่องนี้จึงมีส่วนสำคัญอย่างมาก และอาจใช้เป็นเครื่องตัดสินได้ดีทีเดียวว่าระบบใดจะมีความน่าเชื่อถือมากกว่ากัน

2.2.1 ส่วนประกอบของฮาร์ดดิสก์



รูปที่ 2.1 ส่วนประกอบของฮาร์ดดิสก์

1) แผ่นดิสก์ เป็นสารผสมฉาบด้วยสารแม่เหล็ก ถูกเหนี่ยวนำให้มีสภาวะเป็น 0, 1 เพื่อจัดเก็บข้อมูล ปกติฮาร์ดดิสก์แต่ละตัวจะมีแผ่นดิสก์ หรือจานดิสก์ (เอกสารภาษาอังกฤษ หรือ Spec ของฮาร์ดดิสก์เรียกว่า Platter) 1 - 4 แผ่น แต่ละแผ่นจะเก็บข้อมูลได้ทั้งสองด้าน เทคโนโลยีของการผลิตฮาร์ดดิสก์ปัจจุบัน ทำให้ความจุต่อแผ่น (Platter) สูงขึ้น (สูงถึง 6.4 กิกะไบต์ต่อแผ่น) การที่แผ่นดิสก์มีความจุต่อ Platter มากขึ้น เทคโนโลยีที่ถูกพัฒนาคือ การพัฒนาให้ความจุของข้อมูลต่อเซคเตอร์ (Density มีค่าเป็น Byte Per Sector) มากขึ้น โดยมีค่าเท่ากับ 512 ไบต์ หรือ 1024 ไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Spindle Motor ทำหน้าที่ควบคุมการหมุนของแผ่นดิสก์ดิสก์รุ่นเก่าจะหมุน 3600 รอบต่อนาที

(RPM = Round Per Minute) ต่อมาหมุน 5400 รอบ 7200 รอบ และปัจจุบัน (กันยายน 2542) 10000 รอบ การพัฒนาให้ฮาร์ดดิสก์หมุนเร็วจะได้ประสิทธิภาพสูงขึ้น เพราะมีผลให้ Sector ที่บรรจุข้อมูลจะถูกหมุนมาพบกับหัวอ่านเร็วขึ้น ทำให้การค้นพบและอ่านข้อมูลได้เร็วขึ้น ประสิทธิภาพดีขึ้น เพราะลดทั้ง Access Time และ Latency Time

2) เคส หรือกล่องใส่ฮาร์ดดิสก์ นี่สำหรับบรรจุแผ่นดิสก์ และกลไกในการหมุน การอ่านของฮาร์ดดิสก์ ผู้ผลิตแต่ละรายจะผลิตเคสไม่เหมือนกัน ปกติเคสนี้จะถูกปิดผนึก (Seal) อย่างแน่นหนา เพื่อป้องกันฝุ่นเข้าไปในเคส

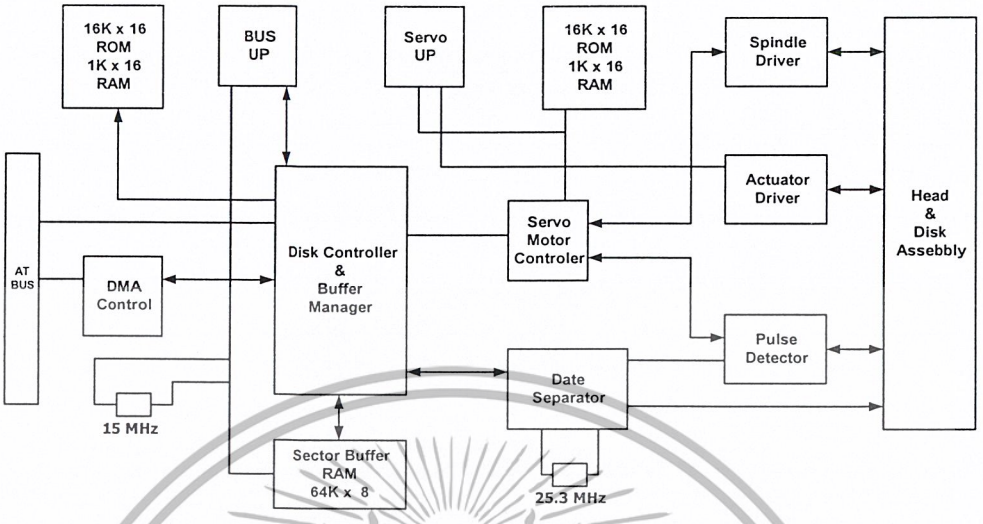
3) หัวอ่าน โครงสร้างเป็นสารกึ่งตัวนำ และกระบวนการผลิตเป็นเช่นเดียวกับการผลิตไมโครโปรเซสเซอร์ในปัจจุบัน โครงสร้างภายในหัวอ่านเป็นขดลวดภายในเวเฟอร์ การเขียนหรืออ่านข้อมูลเกิดขึ้นเมื่อ คอนโทรลเลอร์ของฮาร์ดดิสก์ได้รับคำสั่งจาก Host ให้มีการเขียนหรืออ่านข้อมูล ก็จะแปลงคำสั่งดังกล่าวเป็นแรงดันไฟฟ้าป้อนเข้าไปในขดลวด ทำให้เกิดแรงเหนี่ยวนำ ไปเปลี่ยนโครงสร้างของสารแม่เหล็กที่ฉาบบนแผ่นดิสก์ ซึ่งมีรูปแบบของการบันทึกข้อมูลในที่สุด เทคโนโลยีของการเขียน-อ่านนี้ เรียกว่า MR (Magnical Recorder) ก่อนจะมาเป็น MR เทคโนโลยีที่เกิดขึ้นก่อนหน้านี้ คือ หัวอ่านแบบ Thin Film (TF) และหลังจาก MR แล้ว GMR ก็ถูกพัฒนาตามมา การเคลื่อนที่ของหัวอ่านไปบนแผ่นดิสก์ถือเป็น Start of Art คือ ศาสตร์แห่งศิลป์ในการออกแบบและพัฒนาเลยทีเดียว เพราะมีปัจจัยที่ต้องควบคุมมาก และมีหลักการที่สำคัญคือ รักษาระยะห่างระหว่างหัวอ่านและแผ่นดิสก์ให้คงที่เสมอ

4) แขนของหัวอ่าน (Arm head) ทำงานร่วมกับ Stepping Motor พฤติกรรมการ "กวาดจับ" เพื่อหาพื้นที่สำหรับการเขียนการอ่านจะมีลักษณะดังภาพ โดยกลไกการอ่าน (Arm Actuator) นั้นถูกบังคับให้เคลื่อนไหวไปตามคำบงการของ Controller เพื่อเลื่อนตำแหน่งหัวอ่านให้หา Sector ที่บรรจุข้อมูลให้พบ โดย Stepping Motor จะมีกำหนดพิสัยในการเคลื่อนที่ (มุม) ที่แน่นอน อย่างไรก็ตาม ต่อมา Stepping Motor ถูกพัฒนาและเปลี่ยนเป็นใช้ Voice Coil แทน ซึ่งทำงานโดยการเปลี่ยนสนามแม่เหล็ก Voice Coil ทำงานได้เร็วและแม่นยำกว่า Stepping Motor

2.2.2 โครงสร้างของฮาร์ดดิสก์

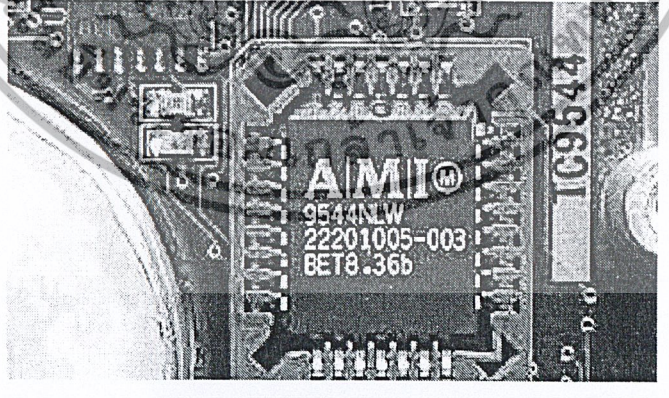
โครงสร้างภายในของ ฮาร์ดดิสก์เราได้รู้จักในส่วนของกลไก การทำงานเป็นที่เรียบร้อยแล้ว ต่อไปนี้ เรามาทำความรู้จัก ในส่วนของ วงจรที่ควบคุมการทำงานฮาร์ดดิสก์ รูปที่ 2.2 แสดงให้เห็น บล็อกไดอาแกรมการทำงานของฮาร์ดดิสก์ทั่วไป ซึ่งพอจะแบ่งโครงสร้างการทำงานออกเป็นส่วนๆดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แผนผังการทำงานของฮาร์ดดิสก์

1) ส่วนที่เป็น 16Kx16 ROM ส่วนนี้ เรามักจะเรียกว่า ฮาร์ดดิสก์ BIOS เนื่องจากจะเป็นที่เก็บคำสั่งที่ใช้ควบคุมการทำงานทั้งหมดของฮาร์ดดิสก์ ส่วนนี้เป็นอุปกรณ์ประเภทหน่วยความจำแบบ ROM (Read Only Memory) หรืออาจเป็น EEPROM ก็ได้ ปัจจุบันผู้ผลิตบางรายมีการใช้เทคโนโลยีของ Flash ROM ที่มีความจุสูง แต่ก็มีอันตรายจากการติด Virus ก็ได้



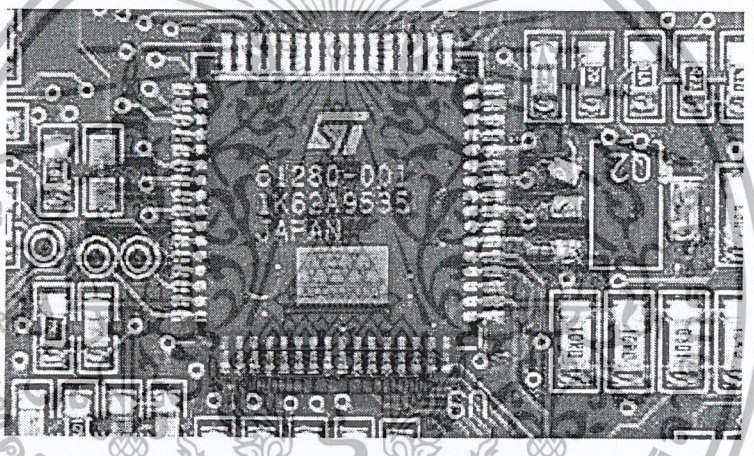
รูปที่ 2.3 อุปกรณ์รอมที่อยู่ภายในแผงควบคุมของฮาร์ดดิสก์

เมื่อเปิดเครื่องคอมพิวเตอร์ครั้งแรก ตัวโปรเซสเซอร์บนเมนบอร์ดจะทำการอ่านข้อมูลต่างๆ ที่แสดงถึงคุณลักษณะจำเพาะเจาะจงของฮาร์ดดิสก์ตัวนี้ เช่น ยี่ห้อรุ่น รวมไปถึง จำนวนของ Cylinder Head เป็นต้น รวมทั้งข้อมูลอื่นที่โปรเซสเซอร์นำไปใช้ประโยชน์ก่อนที่เริ่มเข้าสู่ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฏิบัติการ นอกจากนี้ ยังเป็นที่เก็บชุดคำสั่งเกี่ยวกับการทำ Diagnostic ก่อนที่จะเริ่มทำงานจริงอีกด้วย

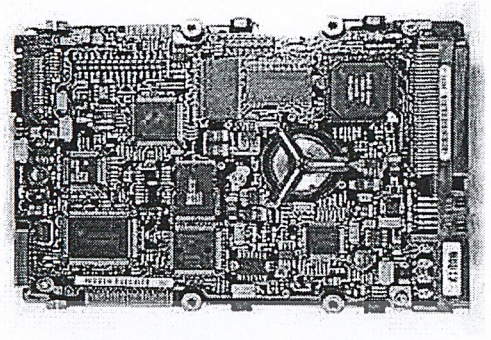
2) Servo Microcontroller เป็นอุปกรณ์ที่ใช้ควบคุมการทำงาน บรรดาอุปกรณ์ที่ต้องมีการเคลื่อนไหวต่างๆ เช่น Spindle Motor Actuator หรือแขนฮาร์ดดิสก์ที่ควบคุมการเคลื่อนที่ของหัวฮาร์ดดิสก์ Actuator Driver หรืออุปกรณ์ที่จ่ายกระแสไฟเลี้ยง Actuator Server Motor Controller เป็นต้นหน้าที่หลักของ Servo Microcontroller ซึ่งเป็นตัวไมโครคอนโทรลเลอร์ชิป ตัวหนึ่งนี้ ได้แก่ การส่งสัญญาณออกมาเป็นจังหวะ เพื่อควบคุมจังหวะการเปิดปิดของอุปกรณ์ต่าง ๆ ดังกล่าว หากอุปกรณ์ตัวนี้ ไม่ทำงานจะส่งผลให้มอเตอร์หรืออุปกรณ์เคลื่อนที่ต่างๆ ของฮาร์ดดิสก์หยุดทำงาน



รูปที่ 2.4 ลักษณะของอุปกรณ์ เซอร์โวไมโครคอลโทรเลอร์บนฮาร์ดดิสก์

3) DMA Controller เป็นชิปเซตที่ใช้ดูแลการส่งถ่ายข้อมูลระหว่างตัวฮาร์ดดิสก์กับอินเตอร์เฟสของมัน ซึ่งอุปกรณ์ตัวนี้ จะเริ่มทำงานก็ต่อเมื่อมีคำสั่งเชิงโปรแกรมเข้ามาอินเตอร์เฟสแล้วตัว Disk Controller จะสั่งการไปยัง DMA Controller จากนั้น DMA Controller จะส่งสัญญาณขอ DMA ไปที่อินเตอร์เฟส และส่งต่อไปที่ DMA บน Mother Board จากนั้นการติดต่อสื่อสารข้อมูลระหว่างกันจะเกิดขึ้น นับจากจุดนี้ อย่างไรก็ดี DMA Controller ปกติจะติดตั้งอยู่ใน Disk Controller Chip สำหรับฮาร์ดดิสก์ในปัจจุบันที่ยังเป็นระบบ PIO Mode จะไม่มีการใช้ความสามารถของ DMA Controller Chip ตัวนี้

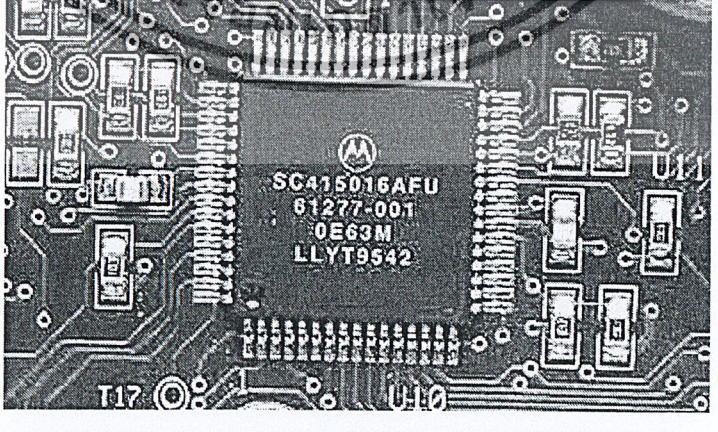
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ลักษณะแผงวงจรควบคุมการทำงานของฮาร์ดดิสก์

4) Spindle Driver หน้าที่หลักของ Spindle Driver ได้แก่ การควบคุมการหมุนของจานฮาร์ดดิสก์โดยทำหน้าที่จ่ายกระแสไฟฟ้าเป็นจังหวะเพื่อขับมอเตอร์โดยที่ตัวมันเองจะทำตามคำสั่ง (ตามจังหวะสัญญาณสั่งการ) ของ Servo Processor และ Servo Motor Controller

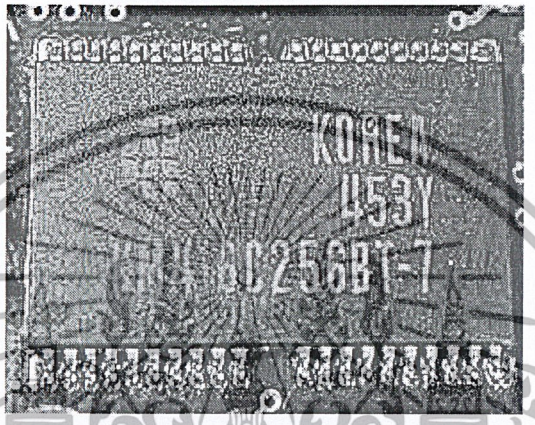
5) Servo Motor Controller หน้าที่ควบคุม การทำงานของมอเตอร์ที่เกี่ยวกับการหมุนของจานฮาร์ดดิสก์โดยจะมีการตรวจสอบความเร็วรอบ เมื่อมีการหมุนของมอเตอร์ หรือจานฮาร์ดดิสก์ สัญญาณที่ใช้แสดงความเร็วรอบของ มอเตอร์ได้มาจาก Pulse Detector ซึ่งเป็นเซ็นเซอร์เล็ก ๆ ภายในชุดมอเตอร์ของฮาร์ดดิสก์ ข้อมูลการหมุนของจานฮาร์ดดิสก์จะถูกส่งผ่านมาทาง Pulse Detector จากนั้น จะมาที่ Servo Motor Controller ซึ่งจะขับสัญญาณควบคุม เป็นจังหวะไปที่ Spindle Driver เพื่อจ่ายกระแสไฟที่ทำให้จานฮาร์ดดิสก์หมุนได้อย่างเหมาะสม



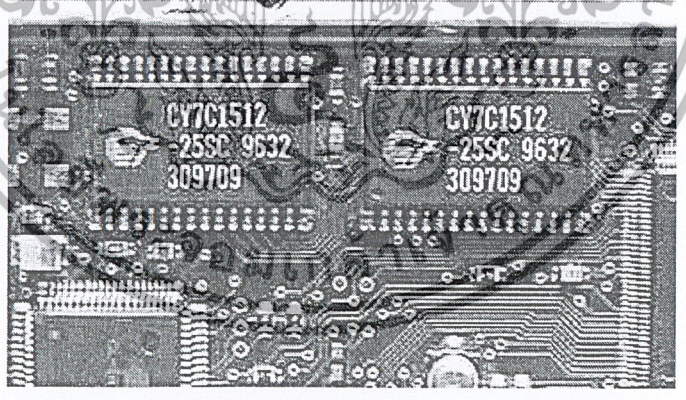
รูปที่ 2.6 ลักษณะของเซอร์โวมอเตอร์คอลโทรเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) Sector Buffer RAM จัดเป็นส่วนที่สำคัญสำหรับฮาร์ดดิสก์สมัยใหม่ทีเดียว เนื่องจากขนาดความจุของมันกเป็นปัจจัยหนึ่งที่บ่งชี้ ถึงประสิทธิภาพการทำงานของฮาร์ดดิสก์ในอันที่จะถ่ายเทข้อมูล เนื่องจากว่าข้อมูลที่มาจากอินเตอร์เฟสของฮาร์ดดิสก์จะถูกนำมาเก็บที่นี่เป็นการชั่วคราว ก่อนที่จะนำส่งต่อไป ยังระบบเขียนข้อมูลของฮาร์ดดิสก์ และในทางกลับกัน ข้อมูลที่อ่านได้



รูปที่ 2.7 ลักษณะของหน่วยความจำเซ็กเตอร์บัพเฟอร์แรมขนาด256 K



รูปที่ 2.8 ลักษณะของหน่วยความจำเซ็กเตอร์บัพเฟอร์แรมขนาด 1 MB

จากจานของฮาร์ดดิสก์ หลังจากที่ถอดรหัสออกเป็นข้อมูลแล้ว จะถูกนำมาเก็บไว้ที่นี่ จากนั้นก็จะทยอยส่งต่อไปให้ Interface อีกทีหนึ่ง การทำเช่นนี้จะทำให้ตัวฮาร์ดดิสก์ ไม่ต้องรอให้ข้อมูลส่งออกไปที่อินเตอร์เฟสหมดเสียก่อน จึงทำการอ่านข้อมูลในรอบสองได้ ทำให้มีประสิทธิภาพสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีอีกประการหนึ่งคือ การที่มีขนาดของ Buffer RAM มาก ๆ เป็นเรื่องดี ที่ทำให้ท่านสามารถกำหนด อัตราหรือปริมาณการอ่านหรือส่งถ่ายข้อมูลของฮาร์ดดิสก์ได้คราวละมาก ๆ ต่อ 1 ปฏิบัติการ หมายความว่า ท่านสามารถจัดตั้งขนาดจำนวนของเซกเตอร์ที่ฮาร์ดดิสก์ สามารถอ่านได้ต่อ 1 ปฏิบัติการ การตั้งค่านี้ ทำได้โดยการตั้งค่า CMOS ซึ่งจะมีหัวข้อหนึ่ง ชื่อว่า HDD IDE

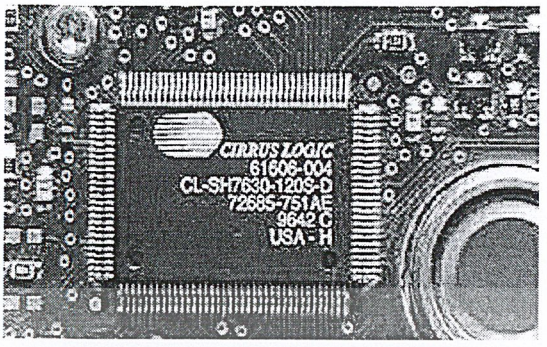
7) Block Modeท่านสามารถเลือกจำนวนของเซกเตอร์ต่อการอ่านข้อมูลหนึ่งครั้งของฮาร์ดดิสก์ได้โดยมีให้เลือกตั้งแต่ 2, 4, 8, 16, 32 และ HDD MAX ซึ่งท่านจะต้องเลือกให้เหมาะสมตามขนาดของบัฟเฟอร์ที่ฮาร์ดดิสก์ของท่านมี โดยขนาด 256K ควรอยู่ที่ 16 แต่หากฮาร์ดดิสก์ของท่านมีบัฟเฟอร์มากถึง 512KB ขึ้นไป ให้กำหนด 32 หรือ HDD MAX ได้เลย

8) Bus Microprocessor ทำหน้าที่สื่อสารกับอินเตอร์เฟสโดยตรง โดยจะมีการแลกเปลี่ยนสัญญาณที่จำเป็น ในระหว่างที่บูตเครื่องครั้งแรก เพื่อทำ Diagnostic หรือ ขณะที่มีการ Detect ฮาร์ดดิสก์ รวมทั้งขณะที่มีปฏิบัติการการอ่านหรือเขียนฮาร์ดดิสก์เกิดขึ้น ดังนั้น การดีเทกเจอฮาร์ดดิสก์ ของไบออสบนเมนบอร์ดได้หรือไม่ ชิปตัวนี้ก็มีบทบาทไม่น้อย

รูปที่ 2.9 บัสไมโครคอลโทรเลอร์ หรือ (IDE Interface)

9) Disk Controller เป็นชิปที่ถือว่าเป็นหัวใจสำคัญของระบบ เป็นไมโครโปรเซสเซอร์ขนาด 8 บิต มีไว้เพื่อควบคุมการปฏิบัติการเกือบทั้งหมดของตัวฮาร์ดดิสก์ทำหน้าที่สั่งการ ประสานงาน ควบคุมดูแล การอ่านหรือเขียนข้อมูลทั้งหมด ถอดรหัสของข้อมูลข่าวสาร รวมทั้งเข้ารหัสข้อมูลข่าวสาร ก่อนจะส่งไปเซฟไว้ที่จานฮาร์ดดิสก์ การทำงานทั้งหมดที่เกิดขึ้นบนตัวฮาร์ดดิสก์จะต้องผ่านชิปตัวนี้แทบทั้งสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ลักษณะของ Disk Controller

2.3 ประสิทธิภาพของฮาร์ดดิสก์

การหาตำแหน่ง (Positioning) หมายถึงความพยายามของฮาร์ดดิสก์ในการนำหัวอ่านหรือเขียนไปอยู่ ณ ตำแหน่งที่เหมาะสม เพื่ออ่านเขียนข้อมูลกับเซคเตอร์ที่ต้องการให้ได้ สเปคของฮาร์ดดิสก์ที่เกี่ยวข้องกับประสิทธิภาพในการหาตำแหน่งมีดังต่อไปนี้

2.3.1 Seek Time

คือช่วงเวลาที่แอคทิวเอเตอร์ใช้ในการเคลื่อนหัวอ่านหรือเขียนจากไซลินเดอร์หนึ่งไปยังไซลินเดอร์หนึ่ง การเคลื่อนหัวอ่านหรือเขียนเป็นกระบวนการเชิงกล (Mechanical Process) ซึ่งโดยทั่งไปใช้เวลาในระดับมิลลิวินาที (Millisecont) หรือเศษหนึ่งส่วนพันของวินาที จึงนับว่าค่อนข้ามาก (ช้า) เมื่อเทียบกับวงจรอิเล็กทรอนิกส์ที่ปกติสามารถทำงานหนึ่งๆให้ลุล่วงได้ภายในช่วงเวลาระดับนาโนวินาทีเท่านั้น เช่น ซีพียูทุกวันนี้สามารถประมวลผลได้เป็นแสนเป็นล้านคำสั่งต่อ1 มิลลิวินาที การประเมิน Seek Time ต้องขึ้นอยู่กับตำแหน่งไซลินเดอร์ที่เป็นจุดตั้งต้นและจุดสุดท้าย แต่เนื่องจากการเริ่มขยับหัวอ่านหรือเขียนจะเสียเวลาไปคงที่ชั่วขณะหนึ่งเสมอ จึงทำให้ความสัมพันธ์ระหว่าง Seek Time กับระยะห่าง (ระยะห่างระหว่างไซลินเดอร์) ที่หัวอ่านหรือเขียนต้องเคลื่อนที่ไม่ใช่ความสัมพันธ์เชิงเส้น ก็คือ Seek Time ที่ใช้ในการย้ายหัวอ่านหรือเขียนจากไซลินเดอร์หนึ่งไปยังไซลินเดอร์ 3 จะไม่เป็น 2 เท่าของ Seek Time ที่ใช้ในการใช้หัวอ่านหรือเขียนจากไซลินเดอร์หนึ่งไปยังไซลินเดอร์ 2

ตัวเลข Seek Time ที่ผู้ผลิตแจ้งให้ทราบจะมีอยู่ 3 ประเภทคือ

1) Average หมายถึงช่วงเวลาโดยเวลาที่ใช้ในการเคลื่อนใช้หัวอ่านหรือเขียนจากไซลินเดอร์หนึ่งไปยังไซลินเดอร์หนึ่งแบบสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) Track-to-Track หมายถึงช่วงเวลาที่ใช้ในการเคลื่อนย้ายหัวอ่านหรือเขียนจากไซลินเดอร์ไปยังไซลินเดอร์หนึ่งที่อยู่ติดกัน ทั้งนี้ Track-to-Track Seek Time จะคล้ายแต่ไม่เหมือนกับ Cylinder Swicth Time โดยทั่วไป อาร์ดดิสก์มี Track-to-Track Seek Time ประมาณ 1 มิลลิวินาที

3) Full Stroke หมายถึงช่วงเวลาที่ใช้ในการเคลื่อนย้ายหัวอ่านหรือเขียนไซลินเดอร์ที่อยู่ด้านในสุดไปยังไซลินเดอร์ที่อยู่ด้านนอกสุด ซึ่งอาจมีค่าตั้งแต่ 15 –20 มิลลิวินาที โดยทั่วไปนิยมนำ Full Stroke Seek Time มาใช้ร่วมกับ Average Seek Time เพื่อวิเคราะห์ประสิทธิภาพของฮาร์ดดิสก์ในขณะที่ฮาร์ดดิสก์มีข้อมูลอยู่เต็มหรือเกือบเต็ม

2.3.2 Settle Time

หรือ Setting Time หมายถึงช่วงเวลาที่ฮาร์ดดิสก์ให้หัวอ่านเขียนอยู่ในภาวะเสถียรซึ่งพร้อมต่อการอ่านหรือเขียนข้อมูล หลังจากหัวอ่านหรือเขียนถูกย้ายจากไซลินเดอร์หนึ่งมายังไวลินเดอร์หนึ่งแล้ว ฮาร์ดดิสก์ทั่วไปจะมี Settle Time น้อยกว่า 0.1 มิลลิวินาที ความแตกต่างกันระหว่าง Settle Time ของฮาร์ดดิสก์แต่ละรุ่นหรือยี่ห้อ จึงไม่ค่อยมีนัยสำคัญ

2.3.3 Command overhead time

คือช่วงเวลานับจากมีการส่งคำสั่งไปยังฮาร์ดดิสก์จนกระทั่งฮาร์ดดิสก์ก็เริ่มปฏิบัติงานตามคำสั่งนั้น ซึ่งเป็นตัวเลขที่บอกให้รู้ว่าฮาร์ดดิสก์สามารถตอบสนองได้รวดเร็วมากน้อยเพียงใดโดยปกติแล้ว Command Overhead Time จะมีค่าประมาณ 0.5 มิลลิวินาที และไม่ค่อยแตกต่างกันระหว่างฮาร์ดดิสก์รุ่นหรือยี่ห้อต่างๆผู้ผลิตจึงมักไม่ระบุ Command Overhead Time ให้ทราบตรงๆ แต่จะนำไปไว้ในส่วนหนึ่งของ Seek Time เช่นเดียวกับ Settle Time

2.3.4 Latency

ในกระบวนการอ่านหรือเขียนข้อมูลของฮาร์ดดิสก์นั้น แอคทิวเอเตอร์จะต้องดำเนินการ Seek โดยเคลื่อนหัวอ่านหรือเขียนไปยังไซลินเดอร์ (แทรก) ที่เหมาะสมเสียก่อน จากนั้นรอให้เซคเตอร์ ที่ต้องการหมุนมาอยู่กับหัวอ่านหรือเขียน หัวอ่านหรือเขียนจึงสามารถอ่านข้อมูลขึ้นมาหรือเขียนข้อมูลลงไปได้ ช่วงสัญญาณที่สูญเสียไปกับการรอคอยให้เซคเตอร์หมุนเข้ามาหาหัวอ่านหรือเขียนนี้เรียกว่า Latency หรือ Latency Time

ค่า Latency ขึ้นอยู่กับอัตราเร็วในการหมุนแพลตเตอร์ หรือที่นิยมเรียกกันว่า “ความเร็วรอบ” ของฮาร์ดดิสก์ ยิ่งฮาร์ดดิสก์มีความเร็วมาก ค่า Latency ก็จะยิ่งน้อยลงตามไปด้วย แต่ปัญหาก็คือเราอาจไม่ทราบได้ว่าในขณะที่หัวอ่านหรือเขียนถูกย้ายมายังไซลินเดอร์ที่เหมาะสมแล้วนั้น เซคเตอร์ที่ต้องการอ่านอยู่ตำแหน่งไหน ถ้าจังหาะนั้นเซคเตอร์ที่ต้องการอยู่ใต้หัวอ่านหรือเขียนพอดี หัวอ่านหรือเขียนก็ไม่ต้องเสียเวลารอ หรือกล่าวได้ว่ามี Latency ใกล้เคียงหรือเท่ากับ 0 แต่ในต่างกลับกันถ้าเซคเตอร์ที่ต้องการเพิ่งหมุนผ่านไปหัวอ่านจะต้องเสียเวลา 1 รอบเต็มๆของการหมุน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แพลตเตอร์ซึ่งถือว่าเป็นไซลินเดอร์ในกรณีที่แย่ที่สุดโดยทั่วไปตัวเลข Latency คือ Average Latency หมายถึงค่า Latency ในกรณีที่หัวอ่านหรือเขียนรอให้เซคเตอร์หมุนเข้ามาหาเป็นระยะทางครึ่งรอบ

ตารางที่ 2.1 ค่า Aorst-Case Latency และ Average Latency ของฮาร์ดดิสก์ที่มีความเร็วรอบต่างๆ

ความเร็วรอบ (จำนวนรอบต่อนาที หรือ RPM)	ค่า Latency ในกรณีที่แย่ที่สุด(มิลลิวินาที)	ค่า Latency โดยเฉลี่ย (มิลลิวินาที)
3,600	16.7	8.3
4,200	14.2	7.1
4,500	13.3	6.7
4,900	12.2	6.1
5,200	11.5	5.8
5,400	11.1	5.6
7,200	8.3	4.2
10,000	6.0	3.0
12,000	5.0	2.5
15,000	4.0	2.0

ตารางที่ 2.1 แสดงค่า Worse – Case Letency และ Average Letency ของฮาร์ดดิสก์ที่มีความเร็วรอบต่างๆกัน ให้สังเกตว่าเมื่อความเร็วรอบของฮาร์ดดิสก์เพิ่มขึ้นจาก 5,400 ต่อวินาทีไปเป็น 7,200 รอบต่อวินาที แล้วค่า Average Letency ลดลงจาก 5.6 มิลลิวินาทีมาที่ 4.2 วินาที หรือลดลงไป 1.4 วินาที ดังนั้นจึงปฏิเสธไม่ได้ว่าการอ่านหรือเขียนข้อมูลของฮาร์ดดิสก์ต้องเกี่ยวข้องกับความล่าช้าอันเนื่องมาจาก Letency อยู่ตลอดเวลา เพราะในทางปฏิบัติฮาร์ดดิสก์มักอ่านหรือเขียนข้อมูลแบบสุ่ม อย่างไรก็ตาม การอ่านหรือเขียนข้อมูลกับฮาร์ดดิสก์แบบต่อเนื่องก็ยังคงได้รับผลกระทบจาก Latency อย่างมาก Access Time เป็นค่าที่บอกประสิทธิภาพในการหาตำแหน่งของฮาร์ดดิสก์ได้ดีที่สุด เพราะเป็นผลรวมของค่าต่างๆที่ได้กล่าวไปแล้วในตอนต้นคือ Seek Time, Settle Time, Command Overhead Time และ Latency การคำนวณหา Access Time จึงสามารถหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

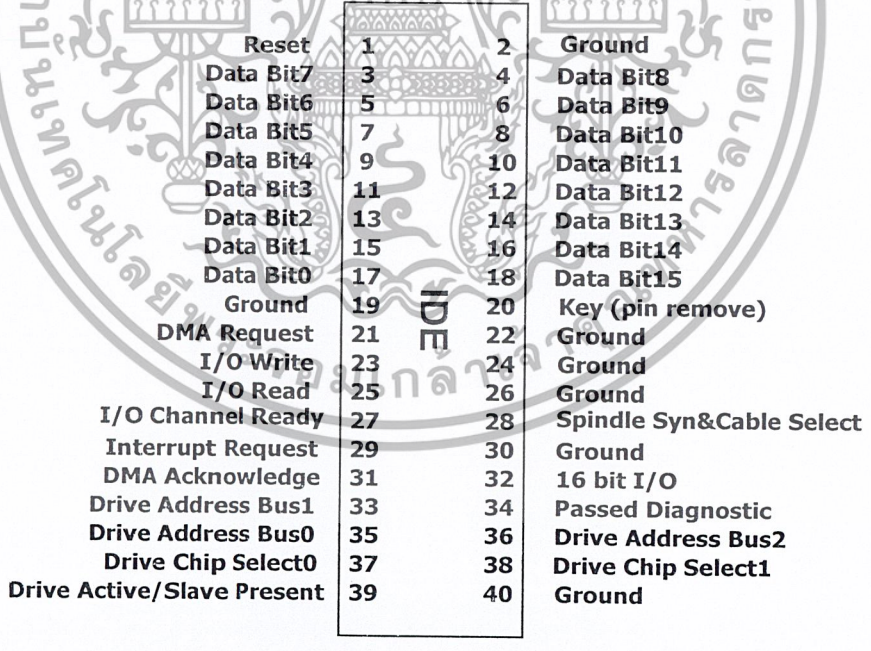
Access Time = Command Overhead + Seek Time + Settle Time + Settle Time + Letency

นั่นคือ ช่วงเวลาในการเข้าถึงข้อมูลหาได้จากผลรวมของช่วงเวลาการตอบสนองของฮาร์ดดิสก์ ช่วงเวลาในการเคลื่อนย้ายหัวอ่านหรือเขียนไปยังไซลินเดอร์ที่เหมาะสมรวมกับช่วงเวลาที่รอให้หัวอ่านหรือเขียนอยู่ในสภาวะเสถียรและช่วงเวลาที่รอให้เซคเตอร์ที่ต้องการหมุนมาอยู่ตรงกับหัวอ่านหรือเขียน

2.4 การอินเตอร์เฟสของฮาร์ดดิสก์

2.4.1 IDE

IDE ย่อมาจาก Intelligent Driven Electronic เป็นมาตรฐานการเชื่อมต่อที่นิยมใช้กันมากที่สุดคอมพิวเตอร์ในปัจจุบันนี้ (ในปี 1996) จะมีขาเชื่อมต่อ 40 ขา ใช้คอนเน็กเตอร์แบบ IDC มีรูปแบบการจัดขา ชื่อขาและฟังก์ชันการทำงานดังนี้



รูปที่ 2.11 ขาสัญญาณของ ATA IDE Connector

1) ATA IDE Interface ใช้ คอนเน็กเตอร์ขนาด 40 Pin (บางที่เรียกว่า Header Type Connector) โดยมีขาที่ 20 ของมันถูกเอาออกไป และเพื่อเป็นเครื่องหมายที่จะป้องกันไม่ให้มีปัญหา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสียบสายกลับด้านสายฮาร์ดดิสก์ขนาด 40 Pin นี้ จะต้องมีความยาวไม่เกิน 18 นิ้ว และถูกใช้เป็นสายที่นำพา สัญญาณจาก IDE Drive หรือ Controller ไปยัง ฮาร์ดดิสก์ IDE ต่อไปนี้ เป็นสัญญาณที่ใช้ใน ATA IDE

2) Drive Reset (Pin 1) สัญญาณนี้จะทำให้ฮาร์ดดิสก์กลับเข้าสู่สถานะ Power On ใช้เพื่อ Initialized อุปกรณ์ต่าง ๆ ที่อยู่บน ฮาร์ดดิสก์

3) ขา Ground (ขา 2,19,22,24,26,30,40) เป็นขาสัญญาณ Ground ของ ฮาร์ดดิสก์

4) (ขา 3-18) มีทั้งหมด 16 ขา โดยมีขา 3 ไปจนถึงขา 18 มีไว้เพื่อการนำพาข้อมูล 16 Bit จากไดร์ฟไปที่ระบบคอมพิวเตอร์หรือไม่ก็จากระบบคอมพิวเตอร์ไปยังฮาร์ดดิสก์

5) Key pin (ขา 20) เป็นขาคีย์ที่ใช้เพื่อป้องกันการติดตั้งสายกลับข้าง

6) DMA Request (ขา21) และ DMA Acknowledge (ขา29) ปกติ ATA IDE Interface จะ Transfer ข้อมูลในลักษณะ 16 Bit แต่อินเตอร์เฟส ชนิดนี้ยังยอมให้มีการแปลงข้อมูลในรูปแบบ DMA ด้วย ขณะที่เกิดขบวนการอ่านโดยระบบ DMA นั้น ขาสัญญาณนี้จะถูกใช้โดยไดร์ฟเพื่อบอกให้ระบบคอมพิวเตอร์หรือการ์ดคอนโทรลเลอร์ที่ใช้ควบคุมฮาร์ดดิสก์ได้ทราบว่า มันพร้อมที่ Transfer Data ในโหมดของ DMA ซึ่งคอมพิวเตอร์ก็จะส่งสัญญาณ DMA Acknowledge ตอบกลับมาที่การ์ดคอนโทรลเลอร์เพื่อให้ทราบว่า พร้อมที่จะรับข้อมูลแล้ว หากตัวคอมพิวเตอร์ไม่สามารถรับเอาข้อมูลได้ในทันทีทันใด มันจะไม่ตอบรับด้วยสัญญาณ

7) DMA Acknowledge ในขณะที่เกิดขบวนการ DMA Write นั้น ตัวเครื่องคอมพิวเตอร์จะส่ง DMA Acknowledge ออกมาทางขา 29 เพื่อใช้เป็นสัญญาณบอกให้ไดร์ฟทราบว่า มันพร้อมที่จะรับข้อมูล ส่วนไดร์ฟจะใช้สัญญาณ DMA Request เพื่อใช้เป็นสัญญาณ Handshake และควบคุมการไหลของข้อมูลระหว่างที่เกิดขบวนการ DMA นั้น สัญญาณอินพุตเอาต์พุต Read และอินพุตเอาต์พุต Write เป็นสัญญาณที่ใช้บ่งบอกทิศทางของการแปลงข้อมูลข่าวสาร

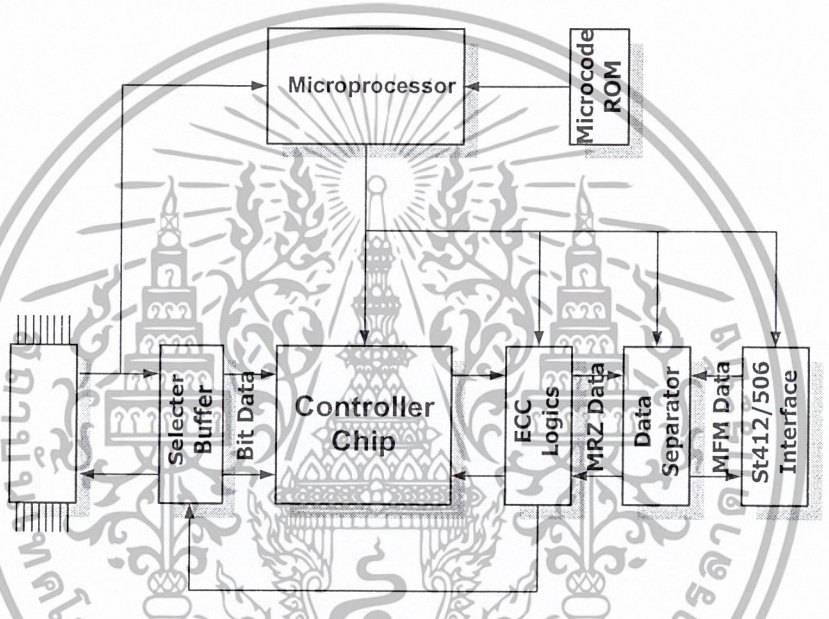
8) I/O Write ขา 23 และ I/O Read ขา 25 ระหว่างที่มีการ Transfer ข้อมูลนั้น ช่วงขอบขาลงของสัญญาณ I/O Write ที่ขา 23 จะถูกใช้เพื่อบ่งบอกว่า ข้อมูลที่กำลังปรากฏอยู่บนบัสสามารถถูกเขียนลงบนดิสก์ส่วนช่วงขอบขาลงของสัญญาณ I/O Read ที่ขา 25 มีไว้เพื่อบอกให้ระบบคอมพิวเตอร์ทราบว่า ดาต้าบัสขณะนี้เปี่ยมไปด้วยข้อมูล หลังจากที่มีการสั่งให้อ่านดิสก์แล้ว

9) I/O Channel Ready (ขาที่ 27) สัญญาณนี้ถูกใช้โดยดิสก์ไดร์ฟเพื่อบอกให้ระบบคอมพิวเตอร์ได้ทราบว่า ไดร์ฟพร้อมที่จะส่งข้อมูลหรือไม่ พร้อมทั้ง อ่านหรือเขียนปกติสัญญาณนี้จะเป็น High แต่ ไดร์ฟจะทำให้มันเป็น Low เมื่อไดร์ฟไม่พร้อมที่จะปฏิบัติงาน

10) Spindle Sync/Cable Select (ขา28) สัญญาณนี้มีไว้เพื่อให้การหมุนของมอเตอร์ของฮาร์ดดิสก์ไดร์ฟ มีความพร้อมเป็นจังหวะเวลาเดียวกัน หากมีการติดตั้งฮาร์ดดิสก์พร้อมกันมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 ตัวขึ้นไป สัญญาณนี้ยังมีไว้เพื่อให้ไดร์ฟได้แสดงตัวว่าตัวไหนเป็น Master และตัวไหนเป็น Slave ด้วยการใช้เคเบิ้ลแทนที่จะใช้จัมป์เปอร์เป็นตัวแสดงแทนในโหมดการทำงานที่ ฮาร์ดดิสก์ จะต้องหมุนด้วยจังหวะเวลาประสานกันนั้น ตัวฮาร์ดดิสก์ที่เป็น Master นั้นจะสร้างจังหวะสัญญาณ Pulse ออกมาเป็นห้วง ๆ และฮาร์ดดิสก์ที่เป็น Slave จะใช้สัญญาณนี้เพื่อล็อกขาสัญญาณของมันเข้ากับ Masterในช่วงของ Cable Select Mode มีการให้สัญญาณ Ground ไปที่ขา 28 ทำให้ไดร์ฟต้องทำตัวเป็น Master (Drive 0) และทำให้ไดร์ฟที่เป็น Slave เป็น Drive 1



รูปที่ 2.12 ลักษณะของสายสัญญาณ Y Cable

การจัดรูปแบบ Master/Slave ในลักษณะนี้ จะต้องใช้สายเคเบิ้ลพิเศษ ปกติเขาจะเรียกว่าการจัดรูปแบบสาย แบบ "Y" โดยการจัดให้ IDE Bus Connector ไปอยู่ด้านกลาง และตัวไดร์ฟไปอยู่ที่ปลายทั้งสองข้างของมันฮาร์ดดิสก์ที่เป็น Master จะต้องมีเส้นสัญญาณ CSEL (ขาที่ 28) เชื่อมต่ออยู่และตัวฮาร์ดดิสก์ที่เป็น Slave จะมีเส้นสัญญาณที่ 28 ถูกเปิดทิ้งไว้ (ไม่เชื่อมต่อ)

11) Interrupt Request (ขาที่ 31) สัญญาณนี้ถูกใช้โดย ATA IDE Drive เพื่อใช้ติดต่อกับระบบคอมพิวเตอร์ การจะใช้สัญญาณนี้ขึ้นอยู่กับว่า มีการเริ่มงานเคลื่อนย้ายข้อมูลแบบโปรแกรมล่วงหน้านั้น สัญญาณนี้จะถูกใช้เมื่อตอนต้นของการเคลื่อนย้ายข้อมูลในแต่ละบล็อก เพื่อการขัดจังหวะโปรเซสเซอร์ ส่วนในช่วงของการเคลื่อนข้อมูลบน DMA Mode นั้นสัญญาณนี้ใช้เพื่อบอกให้ทราบถึงจุดสิ้นสุดการทำงานของ DMA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

12) 16 Bit I/O (ขาที่ 32) สัญญาณนี้มีไว้ใช้เพื่อบอกให้ระบบคอมพิวเตอร์ได้ทราบว่า จะมีการ เลื่อนย้ายข้อมูลแบบ 8 บิต หรือ 16 บิต สัญญาณ HI ของเส้นนี้ บ่งบอกว่าเป็นการเคลื่อนย้ายข้อมูลแบบ 16 Bit

13) DA0, DA1, DA2 (ขาที่ 35, 33, 36) เป็นสัญญาณที่มาจาก ISA Bus Address เป็นสัญญาณที่มีไว้เพื่อเรียก Register ตัวใดตัวหนึ่งจากฮาร์ดดิสก์ออกมาใช้งาน ซึ่งได้แก่ Command Register หรือ Control Register

14) CS1FX สัญญาณนี้มีไว้เพื่อใช้เลือกชุดรีจิสเตอร์ที่เป็น Command Block เป็นสัญญาณมาจาก ISA Bus Adapter เช่นกัน สัญญาณนี้จะ Active เมื่อมีการอ้าง I/O Port ของ Address 1F0 และ 1FF

15) CS3FX สัญญาณนี้ เช่นเดียวกับ CS1FX แต่เป็นสัญญาณที่ใช้อ้างอิง Control Registry Block เป็นสัญญาณมาจาก ISA Bus Adapter และมันจะ Active เมื่อมีการอ้างอิง I/O Port Address ที่ 3F0 และ 3FF เท่านั้น

2.4.2 ATA หรือ ATA-1

อินเตอร์เฟสในกลุ่ม IDE/ATA นี้มีคุณลักษณะดังต่อไปนี้กำหนดให้ 1 ช่องสัญญาณสามารถต่อฮาร์ดดิสก์ 2 ตัว ในรูปแบบ Master กับ Slave สนับสนุนการรับส่งข้อมูลในโหมด PIO 0, 1 และ 2 ที่มีอัตราการรับส่งสูงสุด 3.3, 5.2 และ 8.3 เมกะไบต์ต่อวินาที (MB/s) ตามลำดับ สนับสนุนการรับส่งข้อมูลในโหมด Single Word DMA 0, 1, 2 และ Multiword DMA 0 ที่มีอัตราการรับส่งข้อมูล 2.1, 4.2 8.3 เมกะไบต์ ตามลำดับ

2.4.3 ATA-2

เป็นมาตรฐานที่เกิดจากการเพิ่มคุณลักษณะดังต่อไปนี้เข้าไปใน ATA-1 สนับสนุนการรับส่งข้อมูลในโหมด PIO 3 และ 4 ที่มีอัตราการรับส่งข้อมูลสูงสุด 11.1 และ 16.7 เมกกะไบต์ต่อวินาที ตามลำดับสนับสนุนการรับส่งข้อมูลในโหมด Multiword DMA 1 และ DMA 2 ที่มีอัตราการรับส่งข้อมูลสูงสุด 13.3 และ 16.7 เมกกะไบต์ต่อวินาที ตามลำดับสนับสนุนการอ้างแอดเดรสแบบเชิงเส้นหรือที่เรียกว่า LBA (Logical Block Addressing) สนับสนุนการใช้คำสั่งเพื่อร้องขอข้อมูล Geometry ของฮาร์ดดิสก์

2.4.4 โหมดการรับส่งข้อมูลของฮาร์ดดิสก์แบบ IDE/ATA

โหมดการรับส่งข้อมูล หมายถึงกรรมวิธีในการรับส่งข้อมูลระหว่างฮาร์ดดิสก์กับระบบ ซึ่งสำหรับฮาร์ดดิสก์ที่ใช้อินเตอร์เฟส IDE/ATA แล้วมีอยู่ 2 วิธีหลักๆคือ PIO และ DMA

PIO (Programmed I/O) เป็นวิธีรับส่งข้อมูลที่เก่าแก่ที่สุดในอดีตนิยมใช้กับอุปกรณ์ทุกประเภท วิธีนี้มีซีพียูเป็นผู้ควบคุมการรับส่งข้อมูล ตัวอย่างเช่น การอ่านข้อมูลจากฮาร์ดดิสก์เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

48317

ซีพียูร้องขอฮาร์ดิสค์คอนโทรเลอร์ก็จะอ่านข้อมูลของเซคเตอร์นั้นขึ้นมาพักเก็บไว้ที่หน่วยความจำแคชซึ่งอยู่ภายในฮาร์ดดิสก์ หลังจากที่ข้อมูลทุกไบต์ของเซคเตอร์ที่ต้องการมาอยู่ในแคชแล้ว ฮาร์ดดิสก์คอลโทรลเลอร์จะส่งสัญญาณไปขัดจังหวะซีพียู เพื่อบอกให้ซีพียูคัดลอกข้อมูลจากแคชของฮาร์ดดิสก์ไปยังหน่วยความจำหลักของระบบ ขั้นตอนนี้จะใช้เวลาของซีพียูอย่างมาก เพราะการถ่ายข้อมูลจากบัฟเฟอร์ของฮาร์ดดิสก์ไปยังระบบจะกระทำผ่านรีจีสเตอร์ขนาด 1 หรือ 2 ไบต์ของฮาร์ดดิสก์คอลโทรลเลอร์ ในแต่ละครั้งจึงคัดลอกได้เพียง 1 หรือ 2ไบต์เท่านั้น

ตารางที่ 2.2 โหมดต่างๆของการรับส่งข้อมูลแบบ PIO ของอินเตอร์เฟส IDE/ATA

โหมด PIO	Cycle Time (นาโนวินาที)	อัตราการรับส่งข้อมูล สูงสุด (เมกกะไบต์ต่อวินาที)	มาตรฐาน
โหมด 0	600	3.3	ATA
โหมด 1	383	5.2	ATA
โหมด 2	240	8.3	ATA
โหมด 3	180	11.1	ATA-2
โหมด 4	120	16.7	ATA-2

2.4.5 DMA (Direct Memory Access)

คือเป็นการส่งผ่านข้อมูลระหว่างฮาร์ดดิสก์กับหน่วยความจำหลักของระบบโดยตรงโดยในกรณีที่ซีพียูต้องการอ่านข้อมูลของฮาร์ดดิสก์นั้น หลังจากข้อมูลนั้นถูกนำมาวางไว้ที่แคชของฮาร์ดดิสก์เรียบร้อยแล้ว ฮาร์ดดิสก์คอลโทรลเลอร์จะก็อปปี้ข้อมูลจากแคชไปยังหน่วยความจำหลักเอง จากนั้นก็จะส่งสัญญาณไปขัดจังหวะซีพียู เพื่อแจ้งให้ซีพียูทราบว่าข้อมูลได้ถูกอ่านจากฮาร์ดดิสก์เข้ามาสู่หน่วยความจำหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 โหมดต่างๆของการส่งข้อมูลแบบ DMA ของอินเตอร์เฟส IDE/ATA

โหมด DMA	Cycle Time (นาโนวินาที)	อัตราการรับส่งขอมูลสูงสุด(เมกกะไบต์ต่อวินาที)	มาตรฐาน
Single word โหมด 0	960	2.1	ATA
Single word โหมด 1	480	4.2	ATA
Single word โหมด 2	240	8.3	ATA
Multiword โหมด 0	480	4.2	ATA
Multiword โหมด 1	150	13.3	ATA-2
Multiword โหมด 2	120	16.7	ATA-2

DMA ยังสามารถจำแนกได้ เป็น Third – Party DMA ซึ่งควบคุมการรับข้อมูลด้วย DMA Controller ซึ่งอยู่บนเมนบอร์ด และ First-Patty DMA ซึ่งฮาร์ดดิสก์จะเข้ามาดูแลการรับข้อมูลกับหน่วยความจำหลักเอง First-Patty DMA จึงมีชื่อเรียกอีกอย่างหนึ่งว่า Bus Mastering DMA

2.4.6 Ultra DMA

เมื่อฮาร์ดดิสก์ได้รับการพัฒนาทั้งในแง่ของความหนาแน่นเชิงพื้นที่ (Area Density) และความเร็วรอบในการหมุนแพลตเตอร์ ก็เป็นผลให้อัตราการส่งผ่านข้อมูลเพิ่มสูงขึ้นจนมาถึงจุดที่อินเตอร์เฟส IDE กลายเป็นคอขวดของการรับส่งฮาร์ดดิสก์กับระบบ อัตราเร็วสูงสุดที่ 16.7 เมกกะไบต์ต่อวินาที ของ PIO โหมด 4 และ Multiword DMA โหมด 2 จึงไม่เพียงพออีกต่อไปการแก้ปัญหานี้ทำได้โดย ขยายขีดความสามารถ (อัตราการรับส่งข้อมูล) ผลลัพธ์คือโหมดการรับส่งข้อมูลที่มีชื่อว่า DMA แบบเดิมก็คือการทำ Double Transition Clocking ซึ่งข้อมูลจะถูกส่งผ่านทั้งที่ขาขึ้นและขาลงของสัญญาณนาฬิกาปริมาณที่รับส่งได้ต่อ Cycle Time หนึ่งๆมีมากขึ้นเป็น 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.4 โหมดต่างๆของการรับส่งข้อมูลแบบ Ultra DMA ของอินเตอร์เฟส IDE/ATA

โหมด (Ultra DMA)	Cycle Time นาโนวินาที	อัตราการรับส่งข้อมูลสูงสุด (เมกกะไบต์ต่อวินาที)	มาตรฐาน
โหมด 0	240	16.7	ATA/ATAPI–4
โหมด 1	160	25.0	ATA/ATAPI-4
โหมด 2	120	33.3	ATA/ATAPI-4
โหมด 3	90	44.4	ATA/ATAPI-5
โหมด 4	60	66.7	ATA/ATAPI-5
โหมด 5	40	100.0	ATA/ATAPI-5
โหมด 6	30	133.0	ATA/ATAPI-6

นอกเหนือจากการกำหนดให้รับส่งข้อมูลที่ขาขึ้นและขาลงของสัญญาณนาฬิกาแล้ว อัตราการรับส่งข้อมูลที่สูงขึ้นของ Ultra DMA ยังเป็นผลมาจากการเพิ่มความถี่ของอินเตอร์เฟส หรือกล่าวอีกในหนึ่งคือการลด Cycle Time ลงด้วย ซึ่งตั้งแต่ Ultra DMA โหมด 3 เป็นต้นไปนั้น ความถี่ที่เพิ่มขึ้นของอินเตอร์เฟสจะส่งผลให้มีสัญญาณรบกวนมากขึ้น ไม่สามารถรับส่งข้อมูลผ่านสายแพที่มีตัวนำ 40 เส้นแบบเดิมได้ การใช้งานฮาร์ดดิสก์ในโหมดเหล่านี้ต้องเชื่อมต่อสายแพชนิดพิเศษที่มีตัวนำ 80 เส้น (แต่คงมี 40 ขั้วเหมือนเดิม) โดยสายอีก 40 เส้นที่เพิ่งเข้ามาจะเป็นสายดิน(ต่อกับกราวน์) และแทรกอยู่ระหว่างสายสัญญาณที่ใช้รับส่งข้อมูลทั้ง 40 เส้น สายดินเหล่านี้ทำหน้าที่ลดสัญญาณรบกวนซึ่งเกิดขึ้นจากการรับส่งข้อมูลที่ความเร็วสูงๆ โดยทั่วไปมักเรียกฮาร์ดดิสก์ที่รองรับการรับการทำงานในโหมด Ultra DMA ว่าเป็นไดรว์แบบ “Ultra DMA/XX” หรือ“Ultra ATA/XX” หรือสั้นๆเพียง “ATA/XX” โดย XX คือ ตัวเลขที่แสดงอัตราการรับส่งข้อมูลสูงสุดในโหมดนั้นๆในหน่วยเมกกะไบต์ต่อวินาที

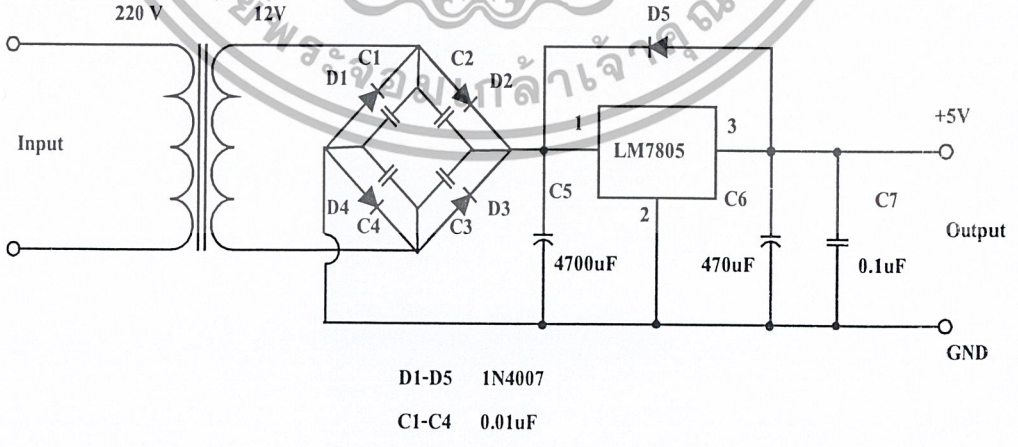
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ การสร้าง และการทำงาน

ชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ดเป็นการเชื่อมต่อหน่วยความจำภายภายนอกให้กับซิงเกิลบอร์ด เพื่อให้ซิงเกิลบอร์ดสามารถเก็บข้อมูลได้มากกว่าเดิม ซึ่งมีส่วนประกอบหลักแยกได้ 3 ส่วนคือ ฮาร์ดดิสก์ ชุดเชื่อมต่อหรือวงจรเชื่อมต่อ และซิงเกิลบอร์ด ดังแสดงดังรูปที่ 3.1

รูปที่ 3.1 แผนผังการทำงานของชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ด

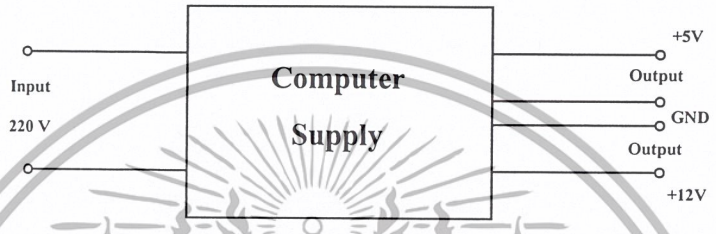
3.1 วงจรแหล่งจ่ายไฟบวก 5 โวลต์



รูปที่ 3.2 วงจรแหล่งจ่ายไฟบวก 5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

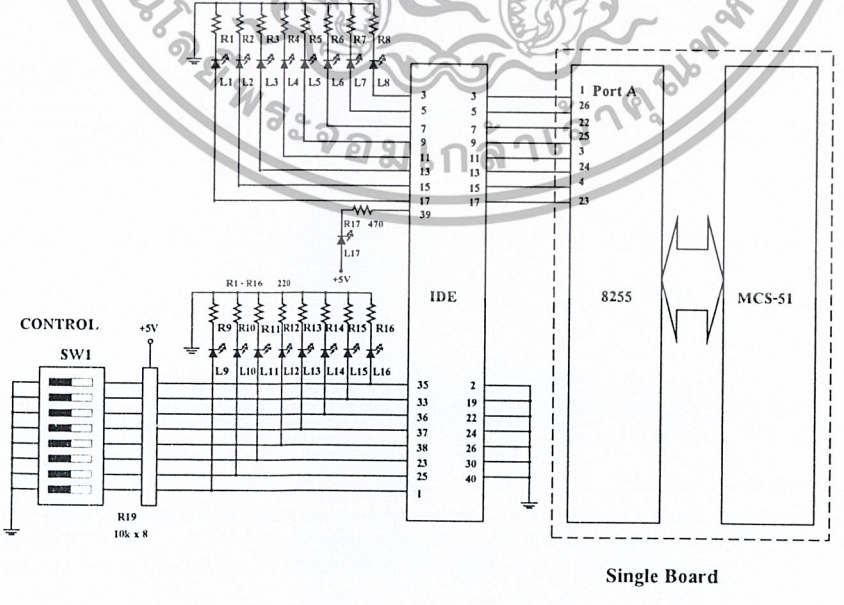
วงจรแหล่งจ่ายไฟที่แสดงดังรูปที่ 3.2 ทำหน้าที่จ่ายไฟให้กับวงจรทุกวงจร ยกเว้น ฮาร์ดดิสก์ รายละเอียดของวงจรประกอบด้วย หม้อแปลงขนาดแรงดัน 12 โวลต์ กระแส 2 แอมป์ เรียงกระแสโดยไดโอดที่ต่อในลักษณะบริดจ์ เพื่อเปลี่ยนแรงดันไฟสลับเป็นแรงดันไฟตรง โดย คาปาซิสเตอร์ (C5) ทำหน้าที่กรองแรงดันให้เรียบก่อนเข้าไอซีเรกกูเลเตอร์ซึ่งทำหน้าที่รักษาระดับแรงดันให้คงที่อยู่ที่ 5 โวลต์ คาปาซิสเตอร์ (C6) ทำหน้าที่กำจัดสัญญาณรบกวนก่อนนำไปใช้งาน



รูปที่ 3.3 แหล่งจ่ายไฟบวก 5 โวลต์ และ 12 โวลต์

แหล่งจ่ายไฟบวก 5 โวลต์ และ 12 โวลต์ ดังแสดงดังรูปที่ 3.3 ทำหน้าที่จ่ายไฟให้กับฮาร์ดดิสก์ วงจรภายในมีลักษณะเป็นวงจรสวิตชิง ซึ่งใช้ในเครื่องคอมพิวเตอร์ทั่วไป

3.2 วงจรทดลองการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์



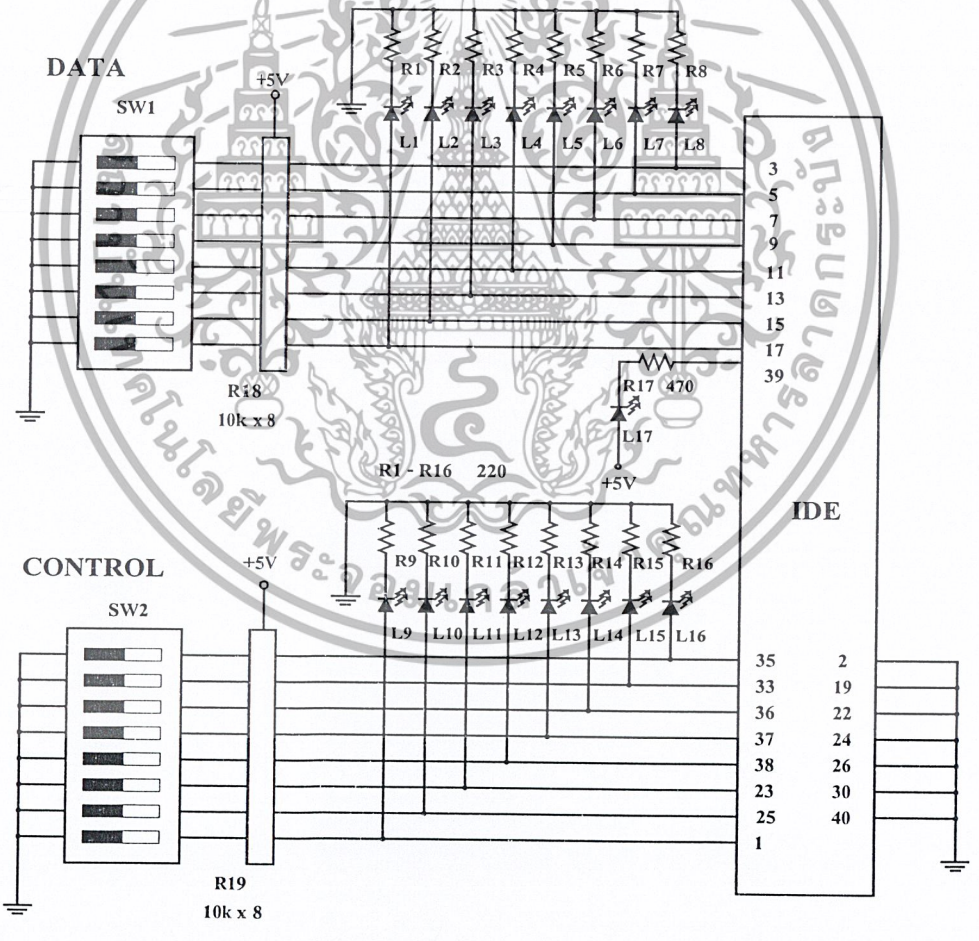
รูปที่ 3.4 วงจรทดลองการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรดังรูปที่ 3.4 จะเป็นการทดสอบการรับค่าสถานะของฮาร์ดดิสก์กลับออกมาเพื่อดูค่าสถานะของรีจีสเตอร์ภายในของฮาร์ดดิสก์โดยแสดงค่าออกทาง LED ที่ต่ออยู่ที่พอร์ต A ของ 8255 ตามการควบคุมที่ต่ออยู่กับพอร์ตคอนโทรลของฮาร์ดดิสก์

3.3 วงจรทดลองการอ่านและเขียนข้อมูลในฮาร์ดดิสก์

วงจรที่แสดงดังรูปที่ 3.5 เป็นวงจรการทดลองการเขียนข้อมูลเข้าสู่ฮาร์ดดิสก์เพื่อติดต่อกับรีจีสเตอร์ภายในฮาร์ดดิสก์เพื่อให้ฮาร์ดิสก์ทำงานตามคำสั่งที่ป้อนทางพอร์ตข้อมูลบิตต่ำ และแสดงค่าข้อมูลที่รับมาจากฮาร์ดิสก์ ซึ่งจะรวมถึงตำแหน่งเซคเตอร์ ตำแหน่งหัวฮาร์ดดิสก์และตำแหน่งไซลินเดอร์ที่จะเขียนหรืออ่าน

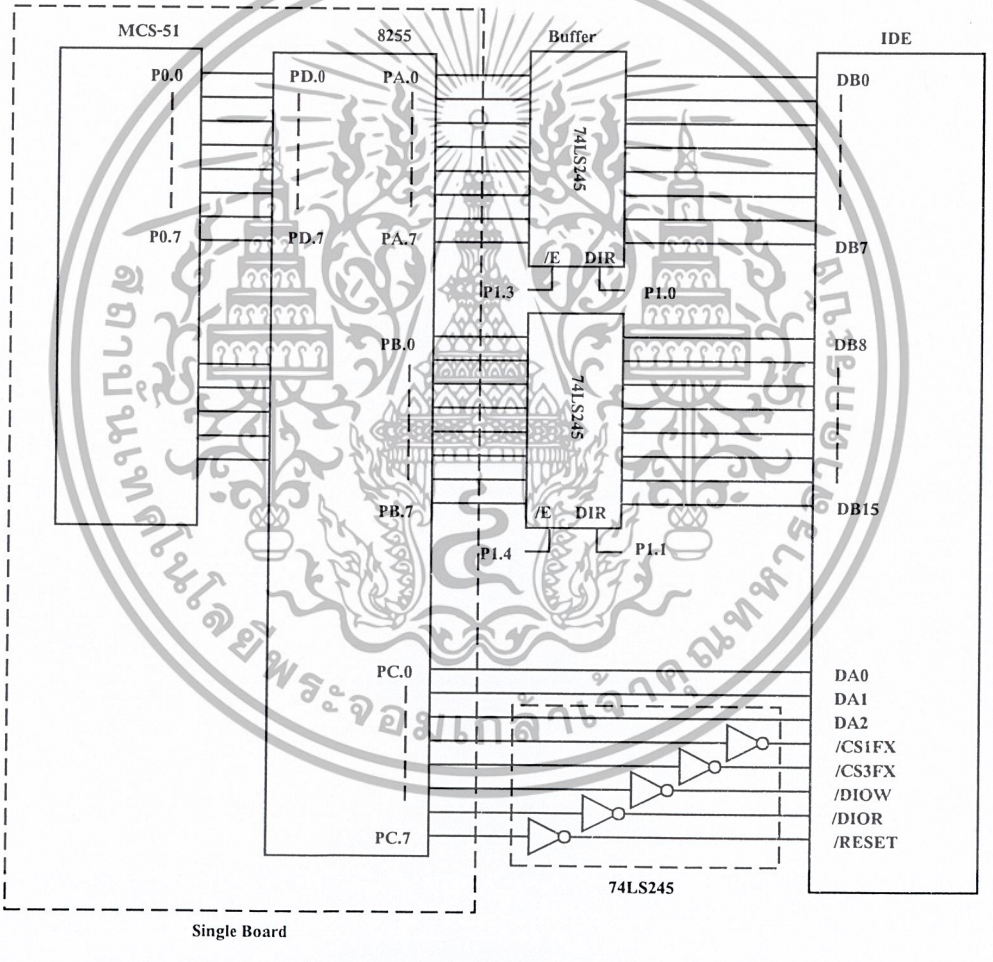


รูปที่ 3.5 วงจรทดลองการอ่านและเขียนข้อมูลในฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่แสดงดังรูปที่ 3.5 เป็นวงจรการทดลองการเขียนข้อมูลเข้าสู่ฮาร์ดดิสก์เพื่อติดต่อกับรีจีสเตอร์ภายในฮาร์ดดิสก์เพื่อให้ฮาร์ดิสก์ทำงานตามคำสั่งที่ป้อนทางพอร์ตข้อมูลบิตต่ำ และแสดงค่าข้อมูลที่รับมาจากฮาร์ดิสก์ ซึ่งจะรวมถึงตำแหน่งเซคเตอร์ ตำแหน่งหัวฮาร์ดดิสก์และตำแหน่งไซลินเดอร์ที่จะเขียนหรืออ่าน

3.4 วงจรทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด



รูปที่ 3.6 วงจรทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่แสดงดังรูปที่ 3.6 เป็นวงจรที่ใช้ในการเชื่อมต่อระหว่างฮาร์ดดิสก์กับซิงเกิลบอร์ด เพื่อให้เข้ากับพอร์ตของ 8255 ซึ่งมี 26 ขา ซึ่งขาของพอร์ตฮาร์ดดิสก์มีจำนวน 40 ขา จำเป็นต้องมีวงจรเชื่อมต่อให้เข้ากันได้ โดยขาของข้อมูลบิตต่ำ (B0 – B7) จะต่อเข้ากับพอร์ต A ของ 8255 และขาข้อมูลบิตสูง (B8 – B15) จะต่อเข้ากับพอร์ต B ของ 8255 ขาควบคุมของฮาร์ดดิสก์จะต่อเข้ากับพอร์ต C ของ 8255 โดยมี NOT Gate เป็นตัวกลับสถานะทางลอจิกซึ่งต่ออยู่ที่ขา /CS1, /CS3, /DIOR, /DIOW และ /RESET เพื่อให้ตรงตามที่ขาควบคุมของฮาร์ดดิสก์ต้องการ และเพิ่มส่วนของบัฟเฟอร์ (74LS245) เพื่อให้ข้อมูลที่รับและส่งมีประสิทธิภาพมากขึ้น โดยควบคุมการรับและส่งจากพอร์ต 1 (P1) ของซีพียูอีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

จากบทที่ 3 ได้ทำการออกแบบฮาร์ดแวร์และซอฟแวร์เพื่อใช้ในการเชื่อมต่อและติดต่อกับฮาร์ดดิสก์ ในบทนี้จะทำการทดลองในแต่ละส่วนซึ่งสามารถแบ่งได้เป็น 4 การทดลองด้วยกันดังนี้

4.1 การทดลองการรีเซต (Reset) ฮาร์ดดิสก์

4.1.1 วิธีการทดลอง

ในการรีเซตฮาร์ดดิสก์ จะมีขั้นตอนการทดลองดังนี้

1) ส่งสัญญาณลอจิก "1" จากบอร์ดการทดลองไปยังขารีเซต (ขา 1) ของฮาร์ดดิสก์

2) กลับสภาวะสัญญาณที่ขารีเซตให้เป็นลอจิก "0" สวิตซ์กลับเป็นลอจิก "0" โดยใช้โปรแกรมในภาคผนวก ค. ทำงานและทำการกดสวิตซ์รีเซตซึ่งอยู่ที่ตำแหน่งสวิทซ์ "0" ที่คีย์สวิตซ์สังเกตผลการทดลอง

4.1.2 ผลการทดลอง

ฮาร์ดดิสก์จะรีเซตตัวมันเองโดยสังเกตจาก LED ที่ต่ออยู่ที่ขา Drive Active (ขา39)จะสว่างขึ้นประมาณ 30 วินาที และจะกลับสู่สภาพเดิม

4.1.3 สรุปผลการทดลอง

จากผลการทดลองจะทราบได้ว่าจะต้องใช้สัญญาณลอจิก "1" ป้อนให้ขารีเซตฮาร์ดดิสก์ ฮาร์ดดิสก์จึงจะทำการรีเซต

4.2 การทดลองความพร้อมของฮาร์ดดิสก์

4.2.1 วิธีการทดลอง

1) เพื่อทดสอบฮาร์ดดิสก์ความพร้อมของฮาร์ดดิสก์ที่จะรับคำสั่งต่อไป กำหนดบิตควบคุม (Control Lines) เพื่อเลือกรีจีสเตอร์แสดงสถานะ (Status Register) ดังนี้

CS1 = 1

CS0 = 0

DA2 -DA0 = 111

2) ส่งสัญญาณ DIOR เข้าไปกระตุ้น (สัญญาณ DIOR) จะทริกสัญญาณที่ขอบขาลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) หลังจากนั้นฮาร์ดดิสก์จะส่งข้อมูลในรีจีสเตอร์แสดงสถานะ ออกมาทางบัสข้อมูล 8 บิตล่าง

4) หลังจากสั่งให้โปรแกรมทำงาน ตามโปรแกรมในภาคผนวก ค. แล้วให้สังเกต LED ของบิตข้อมูล 8 บิตล่างแล้วบันทึกผลที่ได้จากการทดลองลงในตารางที่ 4.1

4.2.2 ผลการทดลอง

ตารางที่ 4.1 ผลการทดลองอ่านค่ารีจิสเตอร์สถานะ

ครั้งที่	ผลการทดลอง							
	BSY	DRDY	DWF	DSC	DRQ	CORR	JDX	ERR
1	0	0	1	1	1	1	1	1
2	1	1	1	1	1	1	1	1
3	0	1	1	1	1	1	1	1
4	1	0	0	0	1	1	1	0
5	0	0	1	1	1	1	1	0

4.2.3 สรุปผลการทดลอง

ผลที่ได้จากการทดลองในครั้งที่1,2 และ5 ไม่สามารถบอกได้ว่าฮาร์ดดิสก์อยู่ในสภาวะพร้อมที่จะทำงานหรือไม่

ซึ่งถ้าฮาร์ดดิสก์อยู่ในสภาวะพร้อมที่จะทำงาน BSY ต้องเป็น “0” และ DRDY ต้องเป็น “1” เท่านั้นโดยไม่ต้องสนใจบิตที่เหลือ

และถ้าฮาร์ดดิสก์ไม่พร้อมที่จะทำงาน BSY ต้องเป็น “1” และ DRDY ต้องเป็น “0” เท่านั้นโดยไม่ต้องสนใจบิตที่เหลือ

แต่ถ้าผลที่ได้ไม่เป็นไปตามเงื่อนไขข้างต้นจะไม่สามารถบอกได้ว่าฮาร์ดดิสก์อยู่ในสภาวะพร้อมที่จะทำงานหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป ปัญหาแนวทางแก้ไข และพัฒนา

5.1 บทสรุป

ชุดเชื่อมต่อฮาร์ดดิสก์สำหรับซิงเกิลบอร์ดใช้ในกรณีที่ต้องการใช้เนื้อที่เก็บข้อมูลจำนวนมาก และยังสามารถพัฒนาการเชื่อมต่อฮาร์ดดิสก์ไปประยุกต์ใช้ในงานต่างๆได้ด้วย ชุดทดลองนี้จะช่วยให้เข้าใจหลักการทำงานของฮาร์ดดิสก์มากยิ่งขึ้น

5.2 ปัญหาและแนวทางแก้ไข

ในการจัดทำโครงงานชุดนี้ สามารถสรุปปัญหาที่เกิดขึ้นได้ดังนี้

1) ปัญหา การตรวจสอบการตอบสนองของฮาร์ดดิสก์ ซึ่งเป็นปัญหาหลักส่วนหนึ่งในการทำโครงงาน ซึ่งนอกจากไฟแสดงสถานะการทำงานของฮาร์ดดิสก์แล้ว ก็ไม่สามารถตรวจสอบอย่างอื่นได้อีก

แนวทางการแก้ไข จำเป็นต้องทราบคุณสมบัติของฮาร์ดดิสก์ เช่น ความเร็วรอบในการทำงานในสถานะแอกทีฟ และนอนแอกทีฟ

2) ปัญหา การใช้สัญญาณของ DIOW และ DIOR ซึ่งจำเป็นต้องมีขนาดของสัญญาณที่แน่นอนในการกระตุ้นการเขียน และการอ่านข้อมูล ซึ่งขนาดของสัญญาณจะแตกต่างกันไปตามโหมดของฮาร์ดดิสก์แต่ละโหมด

แนวทางการแก้ไข ต้องมีการผลิตสัญญาณทางเวลาของ DIOW และ DIOR จากภายนอก เพื่อให้ได้สัญญาณนาฬิกาที่แน่นอนในการควบคุมที่แน่นอน และเรียกใช้สัญญาณดังกล่าวโดยการร้องขอจากหน่ยประมวลผลกลางอีกครั้งหนึ่ง

3) ปัญหา ความเร็วของสัญญาณนาฬิกาหน่วยประมวลผล ของซิงเกิลบอร์ดไม่เพียงพอในการกำหนดสัญญาณนาฬิกาให้เป็นสัญญาณ DIOW และ DIOR เพื่อควบคุมการอ่านและเขียนฮาร์ดดิสก์

แนวทางการแก้ปัญหา เพิ่มความเร็วของสัญญาณนาฬิกาของซิงเกิลบอร์ด แต่จะทำได้ยาก แนะนำให้ใช้การผลิตสัญญาณนาฬิกาจากภายนอก แล้วใช้หน่วยประมวลผลกลางในการเรียกใช้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 แนวทางการพัฒนา

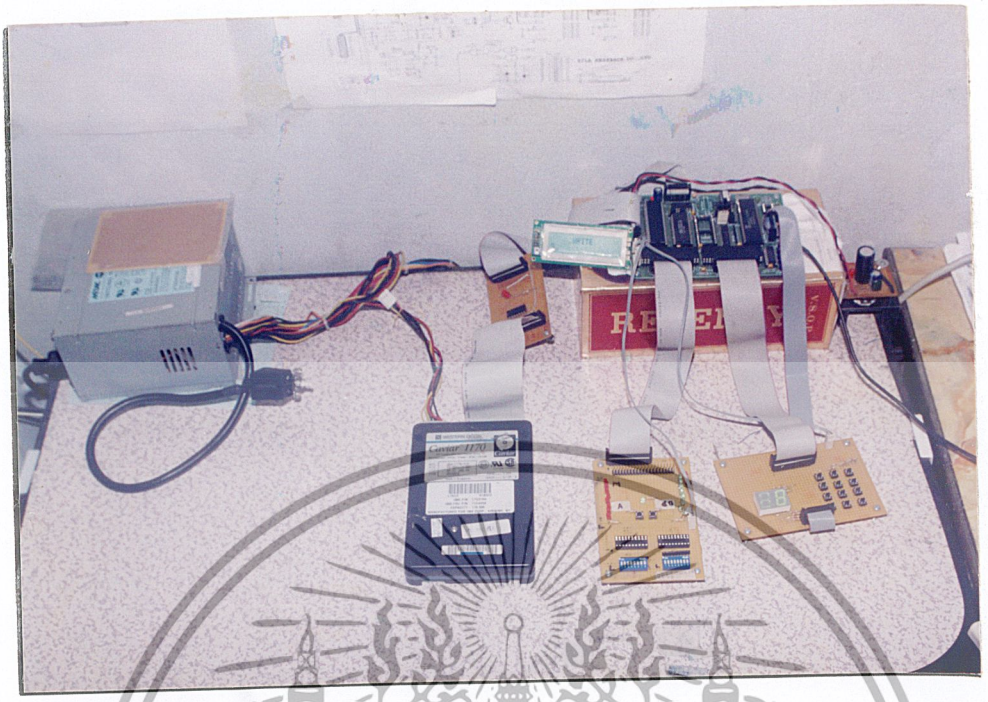
1) นำไปเชื่อมต่อกับอุปกรณ์ประมวลผลสัญญาณ จะทำให้สามารถอ่านไฟล์ข้อมูลที่เป็นเพลงออกมาได้โดยไม่ต้องใช้เครื่องคอมพิวเตอร์

2) นำไปเชื่อมต่อกับแอลซีดีกราฟฟิกส์เพื่อให้โครงงานนี้เป็นตัวเก็บไฟล์ภาพ ซึ่งสามารถเก็บมากกว่าแรมในไมโครคอลโทรเลอร์หรือแรมในไมโครโปรเซสเซอร์

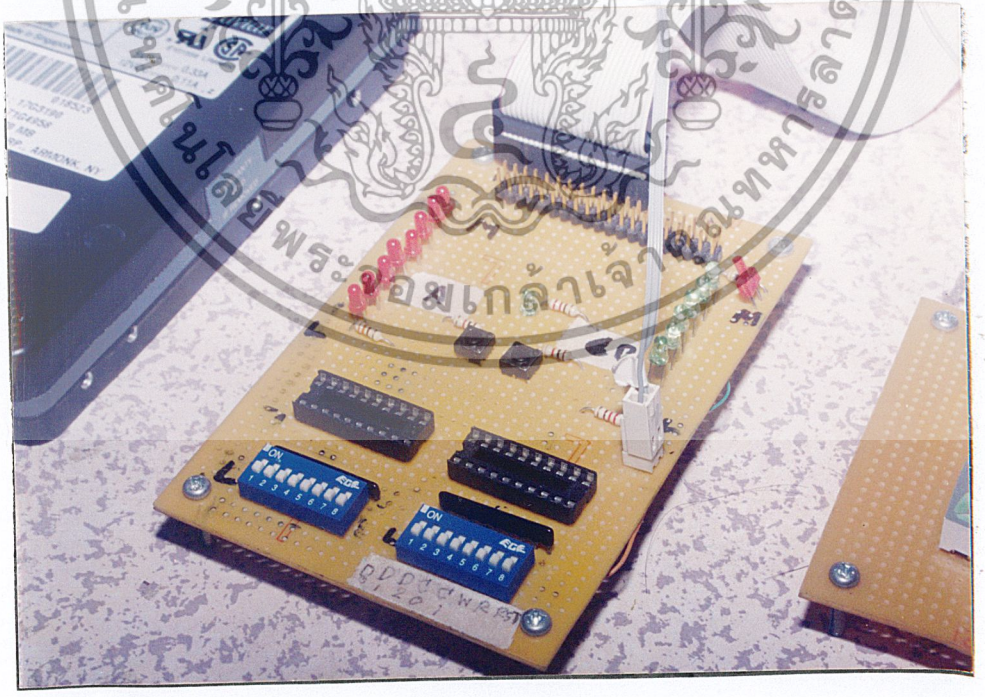
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
เครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

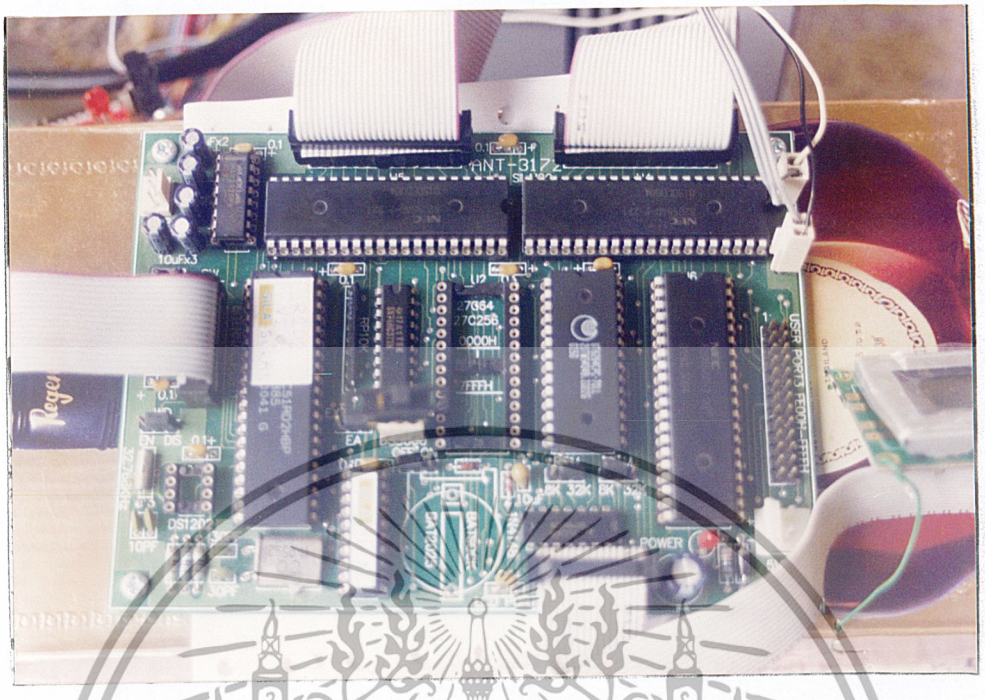


รูปที่ ก.1 การทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

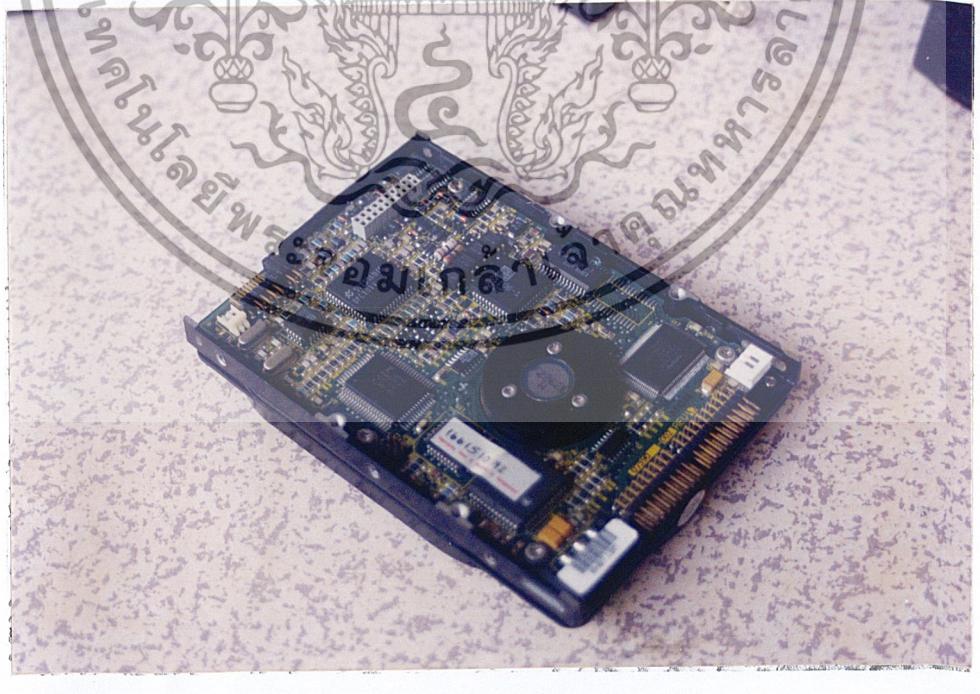


รูปที่ ก.2 แผงวงจรที่ใช้ในการทดลองเชื่อมต่อฮาร์ดดิสก์กับซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



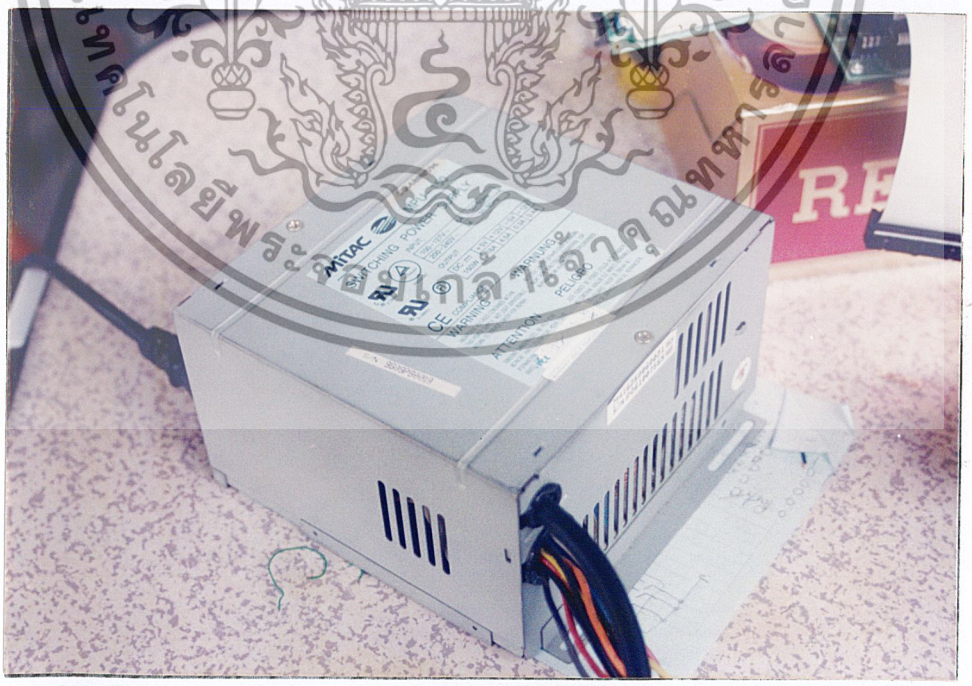
รูปที่ ก. 3 ซิงเกิลบอร์ดที่ใช้ในการทดลอง



รูปที่ ก.4 ส่วนประกอบภายนอกของฮาร์ดดิสก์

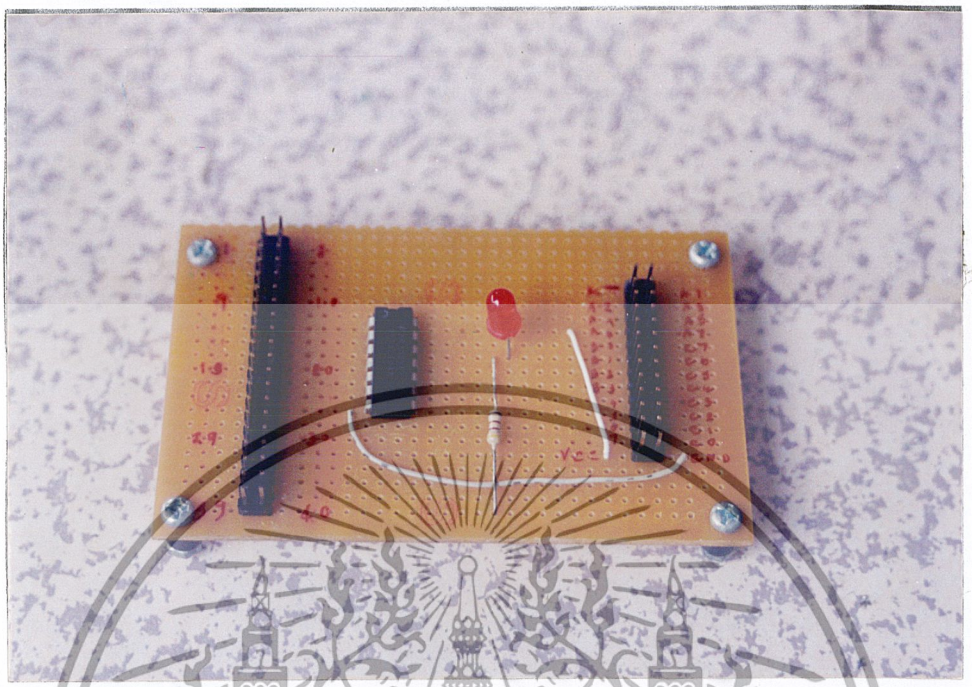
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.5 แหล่งจ่ายไฟ 5 โวลต์



รูปที่ ก.6 แหล่งจ่ายไฟให้กับฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



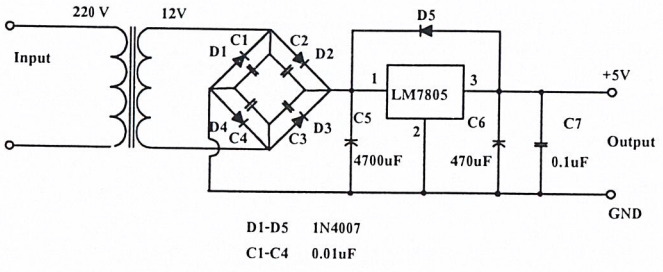
รูปที่ ก.7 แผงวงจรที่ใช้ในทดลองป้อนค่ารีจิสเตอร์ให้กับฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

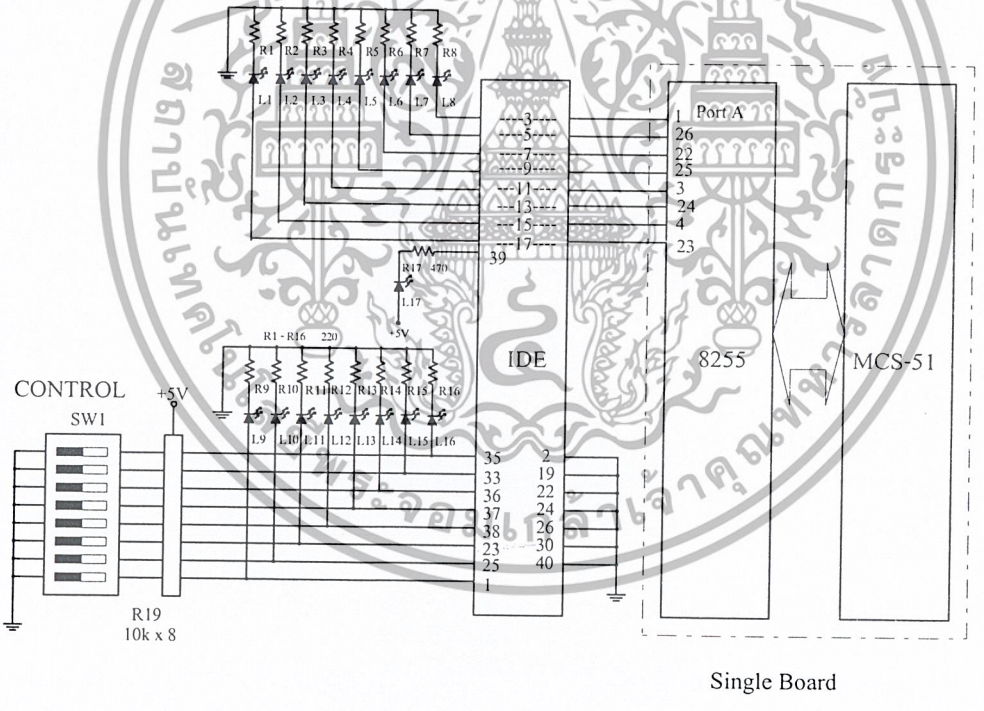
ภาคผนวก ข

วงจรและแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.1 วงจรแหล่งจ่ายไฟบวก 5 โวลต์



Single Board

รูปที่ ข.2 วงจรทดลองการรับค่ารีจีสเตอร์จากฮาร์ดดิสก์

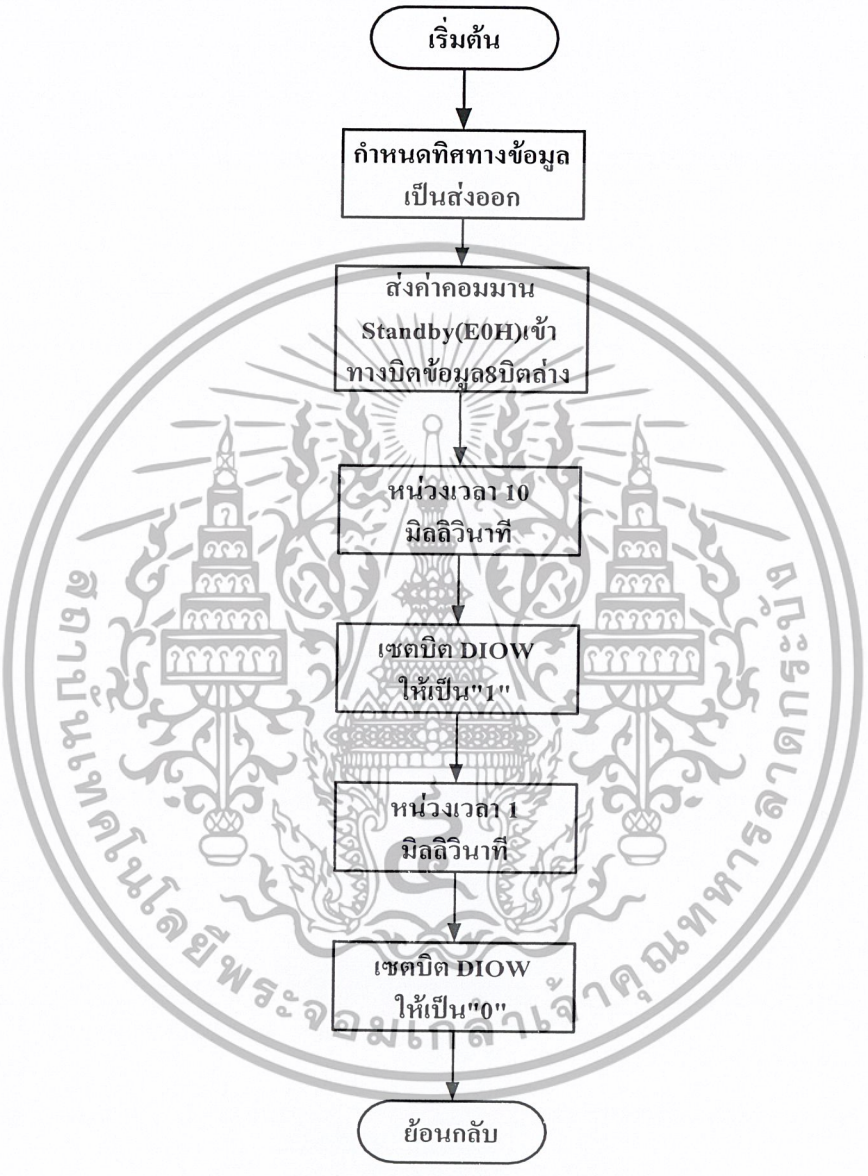
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค
ผังการทำงานและโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

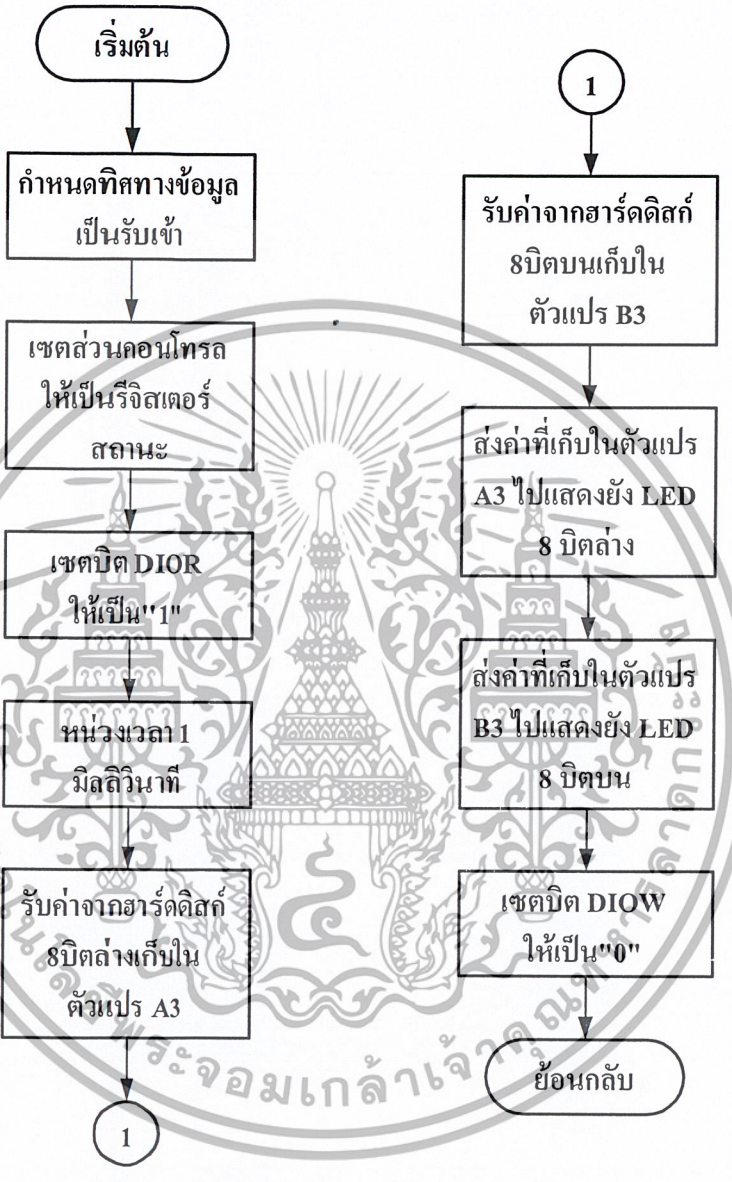
รูปที่ ค.1 ผังงานของโปรแกรมคำสั่งรีเซตฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



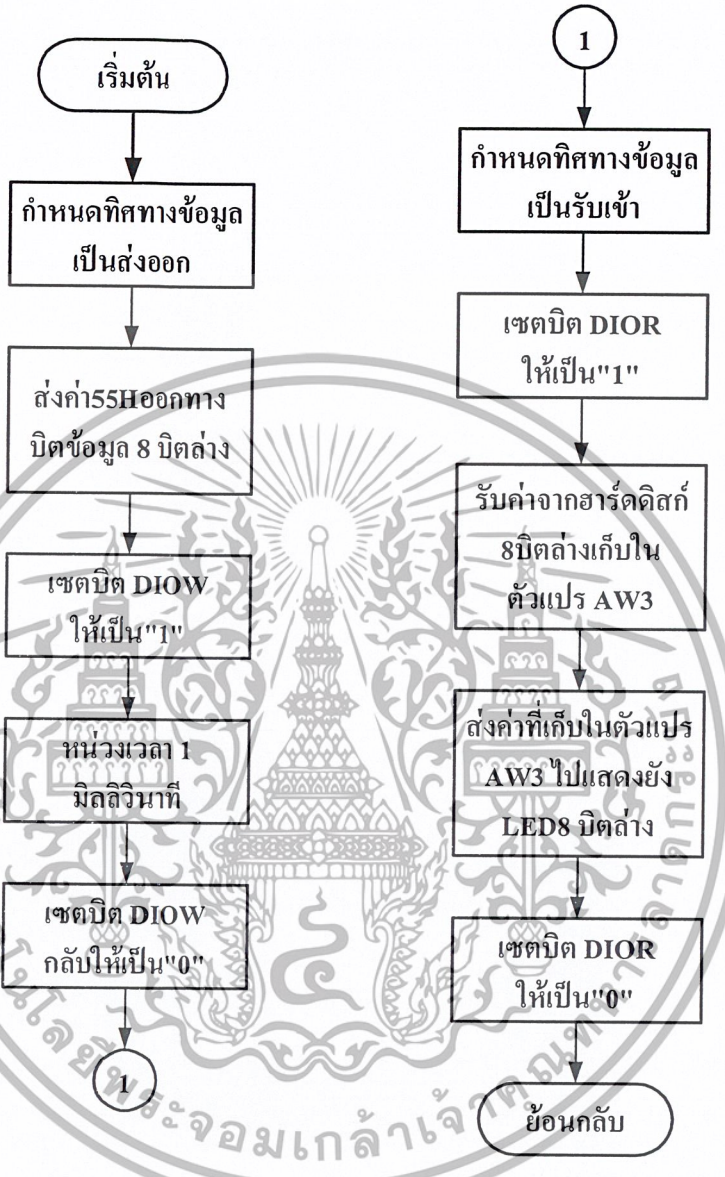
รูปที่ ค.2 ผังงานของโปรแกรมคำสั่ง Standby ของฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.3 ผังงานของโปรแกรมทดสอบความพร้อมของฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.4 ผังงานโปรแกรมการเขียนและอ่านรีจิสเตอร์เซกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <reg51.h>
#include <string.h>
#include <absacc.h>

#define portA XBYTE[0xFC00]
#define portB XBYTE[0xFC01]
#define portC XBYTE[0xFC02]
#define portcon XBYTE[0xFC03]

#define portA2 XBYTE[0xF800]
#define portB2 XBYTE[0xF801]
#define portC2 XBYTE[0xF802]
#define portcon2 XBYTE[0xF803]

#define portA3 XBYTE[0xFE00]
#define portB3 XBYTE[0xFE01]
#define portC3 XBYTE[0xFE02]
#define portcon3 XBYTE[0xFE03]

#define LCDWI 0xFA00
#define LCDRB 0xFA01
#define LCDWD 0xFA02
#define LCDRD 0xFA03

bit keypress;

typedef unsigned char byte;
typedef unsigned int word;

unsigned int y,x;

code unsigned char seg[] = {0xC0,0xF9,0xA4,0xB0,0x99,
                            0x92,0x82,0xF8,0x80,0x90,
                            0xC6,0x86};
unsigned char keycode[12] = {0x7b,0xe7,0xeb,0xed,
                             0xd7,0xdb,0xdd,0xb7,
                             0xbb,0xbd,0x77,0x7d};
unsigned char scanrow[] = {0xEF,0xDF,0xBF,0x7F};

byte xdata *ptr;

void dmsec(word count)
{
     byte i;
     while(count)
     {
          for (i=0;i<226;i++);
          count--;
     }
}

void Lcdwi(byte d)
{
     ptr = (byte xdata *)LCDWI;
     *ptr = d;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void Lcdwd(byte d)
{
     ptr = (byte xdata *)LCDWD;
     *ptr = d;
     ptr = (byte xdata *)LCDRB;
     while((*ptr & 0x80));
}

void Lcdwi(byte d)
{
     ptr = (byte xdata *)LCDWI;
     *ptr = d;
     ptr = (byte xdata *)LCDRB;
     while((*ptr & 0x80));
}

void Lcdwd(byte d)
{
     ptr = (byte xdata *)LCDWD;
     *ptr = d;
     ptr = (byte xdata *)LCDRB;
     while((*ptr & 0x80));
}

/*** Initial Lcd ***/
void InitLcd(void)
{
     Lcdwi(0x38);
     Lcdwi(0x0E);
     Lcdwi(0x01);
}

void first_NUM(byte x,int B)
 {
  char first[12]={'0','1','2','3','4','5','6',
                  '7','8','9','C','E'};
  Lcdwi(x);
  Lcdwd(first[B]);
  }

void dispstr(byte x,byte *str)
{
    byte i,len;
    len = strlen(str);
    Lcdwi(x);
    for (i=0;i<len;i++)
    {
    Lcdwd(str[i]);
    }
}

code byte table0[] = "Press to anykey!";
code byte table1[] = "HDD Model:      ";
code byte table2[] = "Serial:         ";
code byte table3[] = "Cylinder:       ";
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*******key_matrix***/
unsigned char getkey()
{
     unsigned char i,j,k,a,x,r;
     for(r=0;r<=3;r++)
     {
          k = scanrow[r];
          a = k|0xf;
          portC = a;
          x = portC;
          x = x&0xf;
          dmsec(1);
          if(x!=0xf)
          {
               if(~keypress)
               {
                    keypress = 1;
                    a = k&0xf0;
                    x = x|a;
                    for(j=0;j<=11;j++)
                    if(x==keycode[j]) return(j);
               return(0xff);
               }/**if key**/
          return(0xff);
          }/**if**/
     }/** for**/
     keypress = 0;
     return(0xff);
}/**get**/

/******main******/
void main(void)
{
     unsigned int A3,B3,AW3,BW3,AW4,BW4;
     unsigned char x,n,m;
     dmsec(200);
             InitLcd();
     Lcdwi(0x40); // CGRAM Address
     portcon = 0x81;/*******a,b,c_high=out c_low=in***/
     portcon2 = 0x80;/******a,b,c=out********/
     portcon3 = 0x92;/******a,b=in c=out*****/
     portB = 0xFF;
     dispstr(0x80,table0);
     while(1)
     {
          x = getkey();
          if(x!=0xff)
          {
               portB    = seg[x];
          }
switch(x)
          {
               case 0:/****reset****/
                    Lcdwi(0x01);
                    dispstr(0x80,table9);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
case 2:
      Lcdwi(0x01);
      dispstr(0x80,table2);
      first_NUM(0xc0,x);
      break;
case 3:
      Lcdwi(0x01);
      dispstr(0x80,table3);
      first_NUM(0xc0,x);
      break;
case 4:
      Lcdwi(0x01);
      dispstr(0x80,table4);
      first_NUM(0xc0,x);
      break;
case 5:
      Lcdwi(0x01);
      dispstr(0x80,table5);
      first_NUM(0xc0,x);
      break;
case 6:/****Sleep******/
      Lcdwi(0x01);
      portcon3 = 0x80;
      dispstr(0x80,table6);
      first_NUM(0xc0,x);
      P1 = 0x03;
      portA3 = 0xE6;
      dmsec(10);
      portC3 = 0x2F;
      dmsec(1);
      portC3 = 0x0F;
      break;
case 7:/***test status register***/
      Lcdwi(0x01);
      portcon3 = 0x92;
      dispstr(0x80,table7);
      portC3=0x0F;
      P1 = 0x00;
      portC3=0x4F;
      dmsec(1);
      A3 = portA3;
      B3 = portB3;
      portA2 = A3;
      portC2 = B3;
      dmsec(1);
      portC3=0x0F;
            if((A3&0xc0)==0x40)
                  dispstr(0xc0,table14);
            else
                  dispstr(0xc0,table15);
      break;
case 8:/*****write/read register****/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                /**********R*********/
                portcon3 = 0x92;
                portC3 = 0x0D;
                P1 = 0x00;
                portC3 = 0x4D;
                dmsec(1);
                AW3 = portA3;
                BW3 = portB3;
                portA2 = AW3;
                portC2 = BW3;
                dmsec(1);
                portC3 = 0x0D;
                break;
        case 9:/*****Wake Up****/
                Lcdwi(0x01);
                portcon3 = 0x80;
                dispstr(0x80,table10);
                first_NUM(0xc0,x);
                P1 = 0x03;
                portA3 = 0xE0;
                dmsec(10);
                portC3 = 0x2F;
                dmsec(1);
                portC3 = 0x0F;
                break;
        case 10:/*****clear****/
                Lcdwi(0x01);
                dispstr(0x80,table11);
                first_NUM(0xc0,x);
                break;
        case 11:/****error register***/
                Lcdwi(0x01);
                dispstr(0x80,table12);
                first_NUM(0xc0,x);
                portC3 = 0x20;
                P1 = 0x00;
                portC3 = 0x29;
                dmsec(1);
                AW4 = portA3;
                BW4 = portB3;
                portA2 = AW4;
                portC2 = BW4;
                dmsec(1);
                portC3 = 0x20;
                break;
        }/**switch**/
```

รูปที่ ค.5 โปรแกรมควบคุมการทำงานของฮาร์ดดิสก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

1. ซิงเกิ้ลบอร์ด รุ่น ANT – 3172	จำนวน 1 ชุด
2. เอล อี ดี ขนาด 3 มิลลิเมตร	จำนวน 18 ตัว
3. เอล อี ดี ขนาด 5 มิลลิเมตร	จำนวน 1 ตัว
4. เอล อี ดี 7 ส่วนแบบคู่	จำนวน 1 ตัว
5. ไมโครสวิตซ์	จำนวน 12 ตัว
6. ดิพสวิตซ์ 8 หลัก	จำนวน 2 ตัว
7. เอล ซี ดี ขนาด 2 บรรทัด	จำนวน 1 ตัว
8. ไอซีเบอร์ DN74LS04N	จำนวน 1 ตัว
9. ไอซีเบอร์ SN74LS245N	จำนวน 2 ตัว
10. ฮาร์ดดิสก์ IBM ขนาดความจุ 256 MB	จำนวน 1 ตัว
11. แหล่งจ่ายไฟ 5 โวลต์ 1 แอมป์	จำนวน 1 ชุด
12. แหล่งจ่ายไฟ 5 โวลต์ และ 12 โวลต์	จำนวน 1 ชุด
13. สายแพ และสายต่อวงจร	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR IV

March 1998

DM74LS04
Hex Inverting Gates

General Description

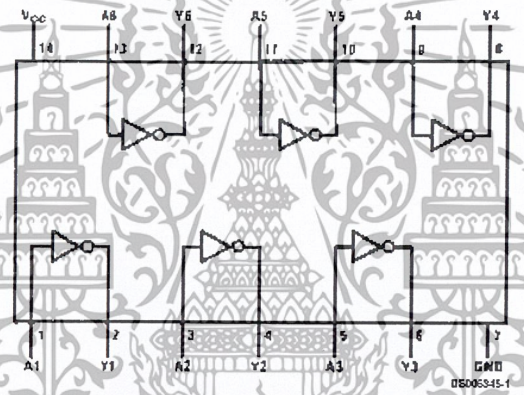
This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package



Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{A}$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V	DM54LS and 54LS	−55°C to +125°C
Input Voltage	7V	DM74LS	0°C to +70°C
Operating Free Air Temperature Range		Storage Temperature Range	−65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CCH}	Supply Current with Outputs High	V_{CC} = Max			1.2	2.4	mA
I_{CCL}	Supply Current with Outputs Low	V_{CC} = Max			3.6	6.6	mA

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R_L = 2 kΩ				Units
		C_L = 15 pF		C_L = 50 pF		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR

March 1998

DM74LS245
3-STATE Octal Bus Transceiver

General Description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

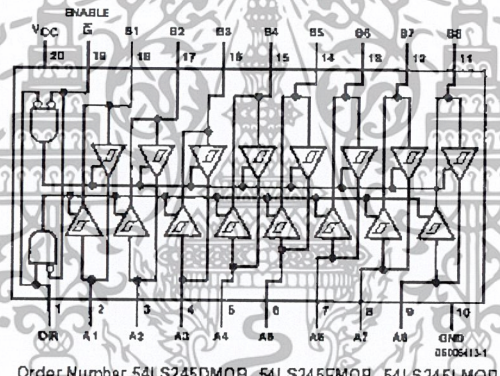
The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ($\overline{G}$) can be used to disable the device so that the buses are effectively isolated.

Features

- Bi-Directional bus transceiver in a high-density 20-pin package
- 3-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at bus inputs improve noise margins
- Typical propagation delay times, port-to-port 8 ns
- Typical enable/disable times 17 ns
- I_{OL} (sink current)
  - 54LS 12 mA
  - 74LS 24 mA
- I_{OH} (source current)
  - 54LS −12 mA
  - 74LS −15 mA
- Alternate Military/Aerospace device (54LS245) is available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package



Order Number 54LS245DMQB, 54LS245FMQB, 54LS245LMQB, DM54LS245J, DM54LS245W, DM74LS245WM or DM74LS245N
See Package Number E20A, J20A, M20B, N20A or W20A

Function Table

Enable $\overline{G}$	Direction Control DIR	Operation
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = High Level, L = Low Level, X = Irrelevant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Supply Voltage 7V

Input Voltage

DIR or $\overline{G}$ 7V

A or B 5.5V

Operating Free Air Temperature Range

DM54LS and 54LS −55°C to +125°C

DM74LS 0°C to +70°C

Storage Temperature Range −65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	DM54LS245			DM74LS245			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−12			−15	mA
I_{OL}	Low Level Output Current			12			24	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Note 1: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions			Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA					−1.5	V
HYS	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = Min			0.2	0.4		V
V_{OH}	High Level Output Voltage	V_{CC} = Min, V_{IH} = Min, V_{IL} = Max, I_{OH} = −1 mA		DM74	2.7			V
		V_{CC} = Min, V_{IL} = Min, V_{IL} = Max, I_{OH} = −3 mA		DM54/DM74	2.4	3.4		V
		V_{CC} = Min, V_{IH} = Min, V_{IL} = 0.5V, I_{OH} = Max		DM54/DM74	2			V
V_{OL}	Low Level Output Voltage	V_{CC} = Min, V_{IL} = Max, V_{IH} = Min	I_{OL} = 12 mA	DM74			0.4	V
			I_{OL} = Max	DM54			0.4	V
				DM74			0.5	V
I_{OZH}	Off-State Output Current, High Level Voltage Applied	V_{CC} = Max, V_{IL} = Max	V_O = 2.7V				20	µA
I_{OZL}	Off-State Output Current, Low Level Voltage Applied	V_{IH} = Min	V_O = 0.4V				−200	µA
I_I	Input Current at Maximum Input Voltage	V_{CC} = Max	A or B	V_I = 5.5V			0.1	mA
			DIR or $\overline{G}$	V_I = 7V			0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V					20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V					−0.2	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)			−40		−225	mA
I_{CC}	Supply Current	Outputs High		V_{CC} = Max		48	70	mA
		Outputs Low				62	90	mA
		Outputs at Hi-Z				64	95	mA

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, not to exceed one second duration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics

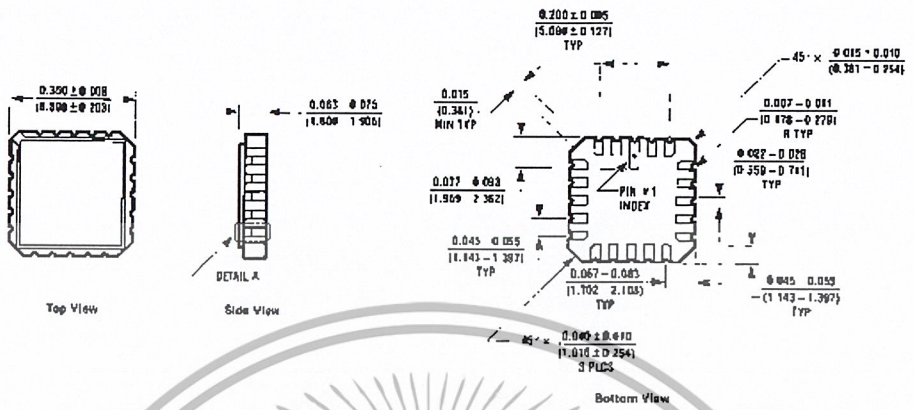
V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions	DM54/74 LS245		Units
			Min	Max	
t_{PLH}	Propagation Delay Time, Low-to-High-Level Output	C_L = 45 pF, R_L = 667Ω		12	ns
t_{PHL}	Propagation Delay Time, High-to-Low-Level Output			12	ns
t_{PZL}	Output Enable Time to Low Level			40	ns
t_{PZH}	Output Enable Time to High Level			40	ns
t_{PLZ}	Output Disable Time from Low Level	C_L = 5 pF, R_L = 667Ω		25	ns
t_{PHZ}	Output Disable Time from High Level			25	ns
t_{PLH}	Propagation Delay Time, Low-to-High-Level Output	C_L = 150 pF, R_L = 667Ω		16	ns
t_{PHL}	Propagation Delay Time, High-to-Low-Level Output			17	ns
t_{PZL}	Output Enable Time to Low Level			45	ns
t_{PZH}	Output Enable Time to High Level			45	ns

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted

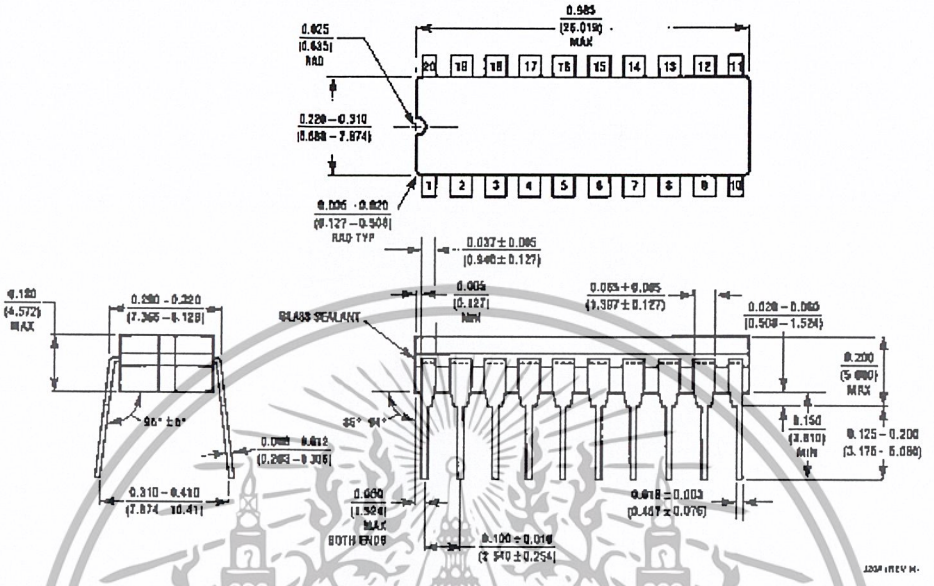


Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS245LMQB
Package Number E20A

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

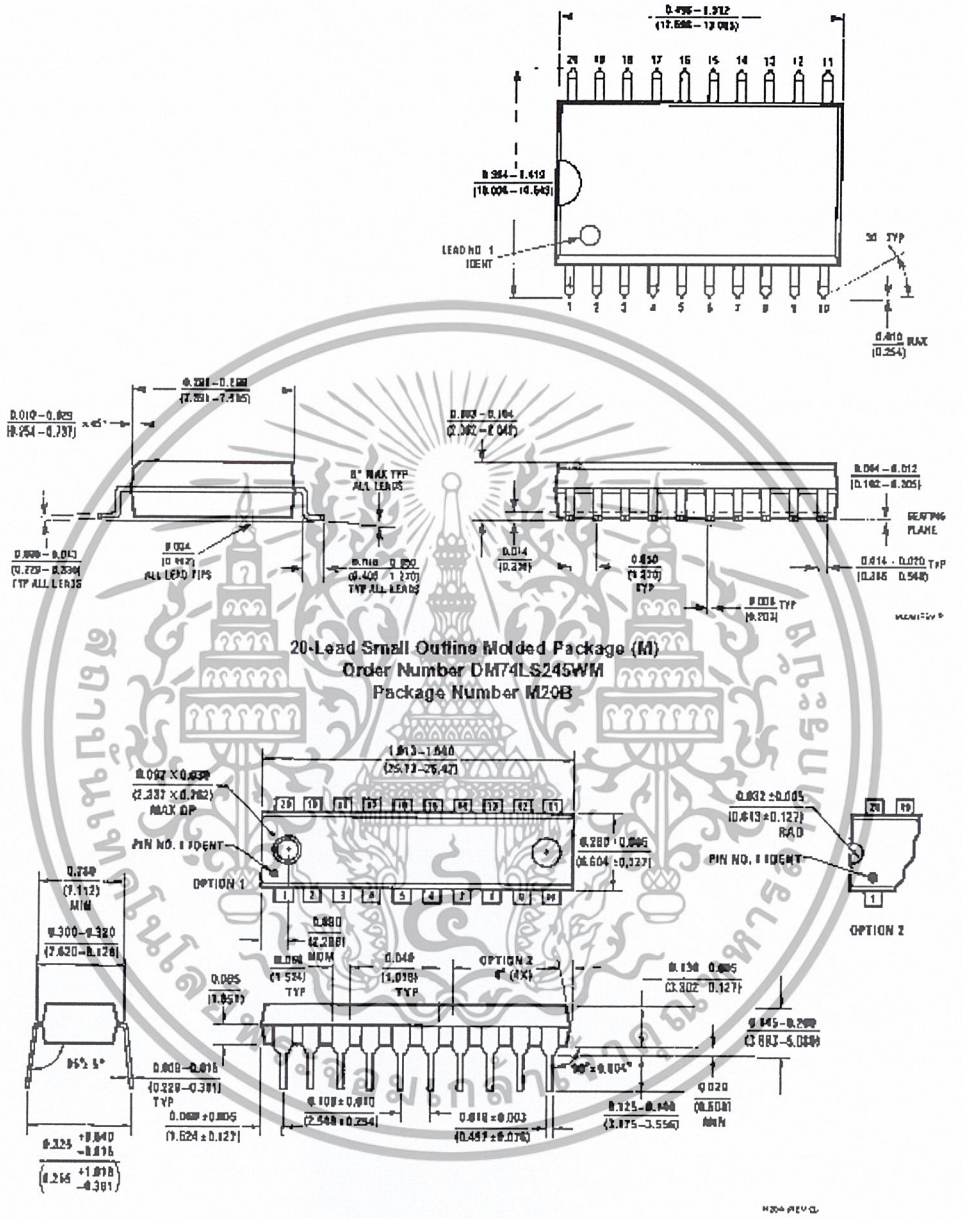
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



20-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS245DMQB or DM54LS245J
Package Number J20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

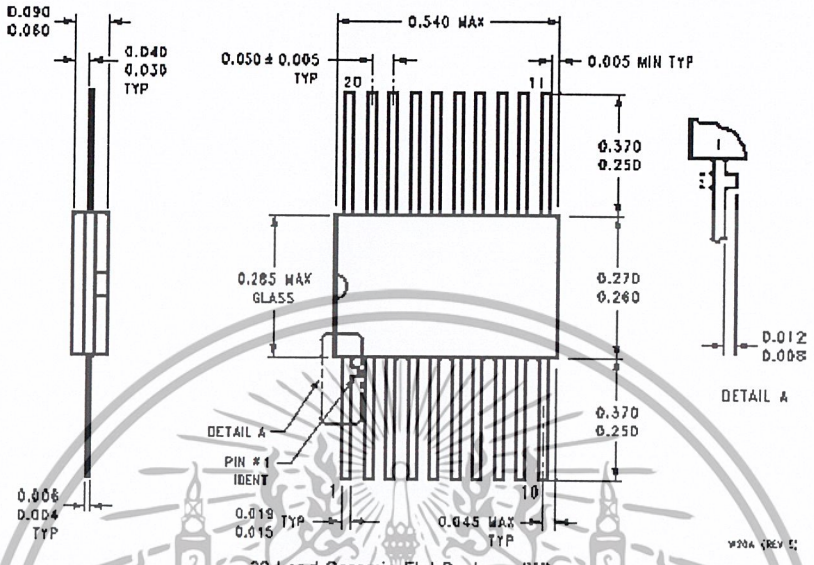


20-Lead Small Outline Molded Package (M)
Order Number DM74LS245WM
Package Number M20B

20-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS245N
Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



20-Lead Ceramic Flat Package (W)
Order Number 54LS245FMQB or DM54LS245W
Package Number W20A

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Fairchild Semiconductor Corporation
Americas
Customer Response Center
Tel: 1-888-522-5372

Fairchild Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 8 141-35-0
English Tel: +44 (0) 1 793-85-68-56
Italy Tel: +39 (0) 2 67 6631

Fairchild Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: +852 2737-7200
Fax: +852 2314-0061

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

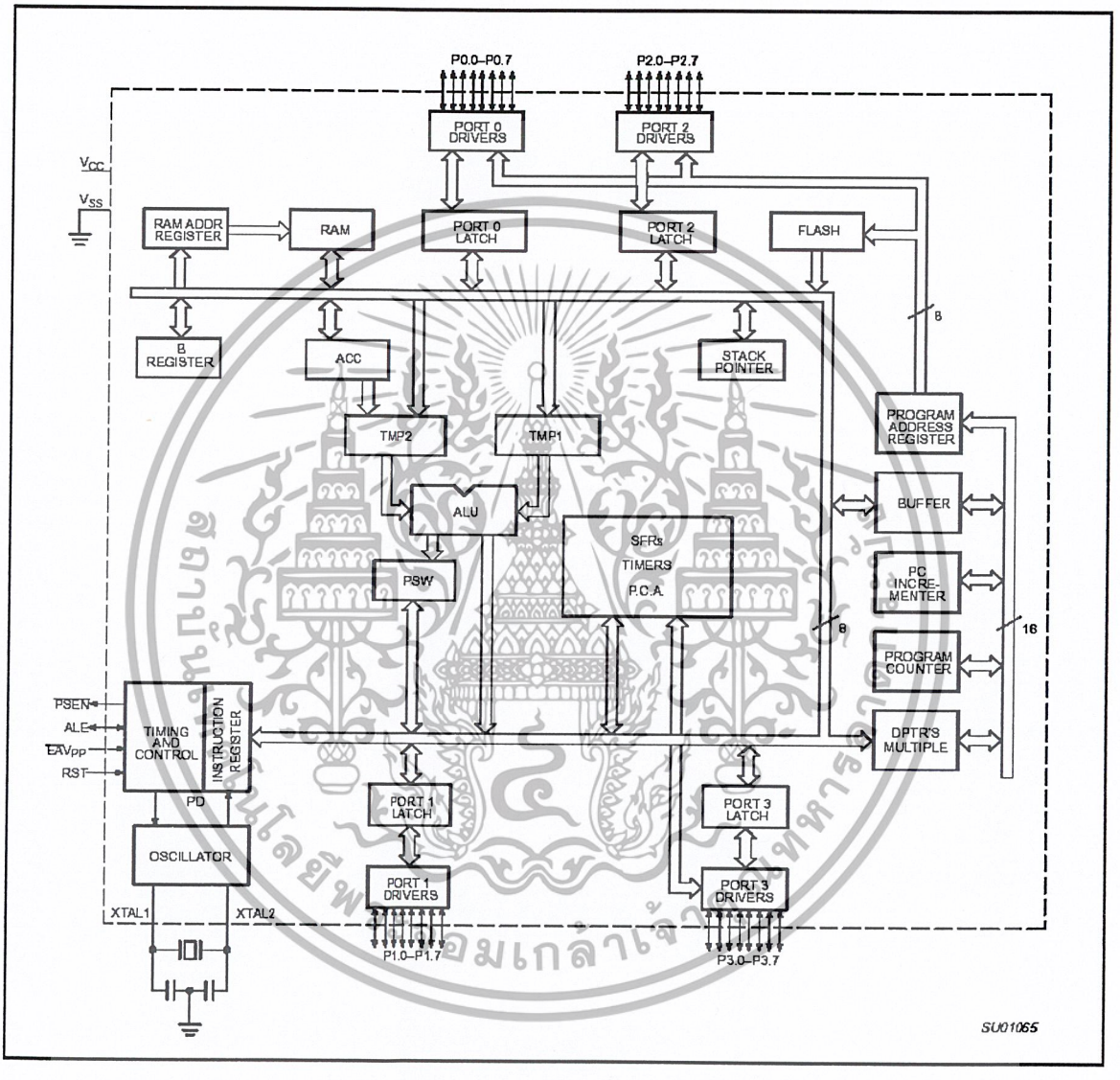
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P89C51RB2/P89C51RC2/P89C51RD2

80C51 8-bit Flash microcontroller family

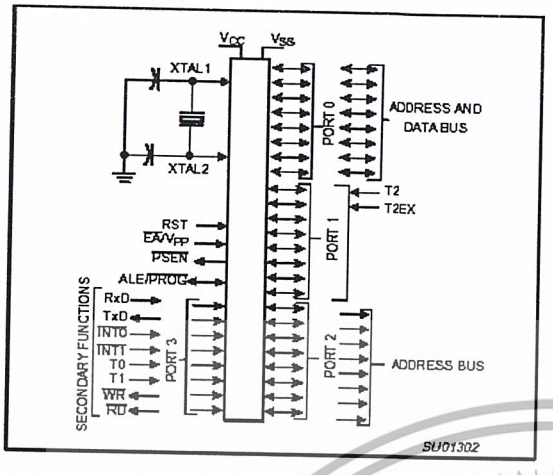
16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

BLOCK DIAGRAM

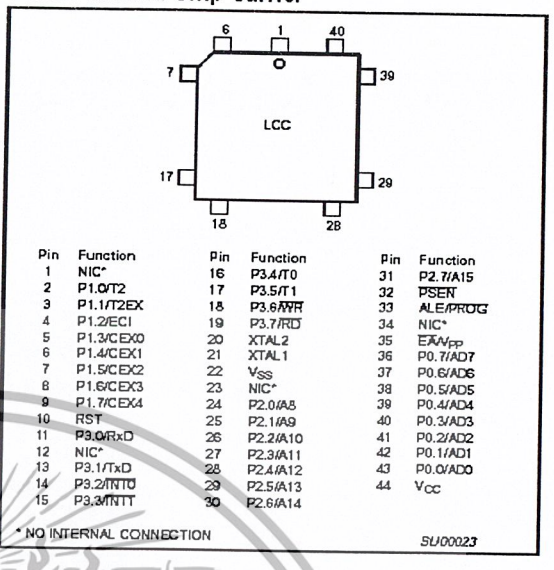


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



Plastic Leaded Chip Carrier



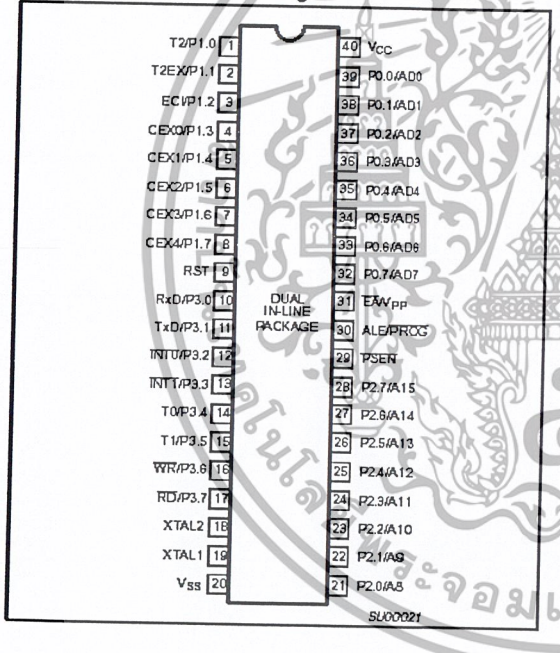
Pin	Function	Pin	Function	Pin	Function
1	NIC*	16	P3.4/T0	31	P2.7/A15
2	P1.0/T2	17	P3.5/T1	32	PSEN
3	P1.1/T2EX	18	P3.6/WR	33	ALE/PROG
4	P1.2/ECI	19	P3.7/RD	34	NIC*
5	P1.3/CEX0	20	XTAL2	35	EA/VPP
6	P1.4/CEX1	21	XTAL1	36	P0.7/AD7
7	P1.5/CEX2	22	VSS	37	P0.6/AD6
8	P1.6/CEX3	23	NIC*	38	P0.5/AD5
9	P1.7/CEX4	24	P2.0/A8	39	P0.4/AD4
10	RST	25	P2.1/A9	40	P0.3/AD3
11	P3.0/RxD	26	P2.2/A10	41	P0.2/AD2
12	NIC*	27	P2.3/A11	42	P0.1/AD1
13	P3.1/TxD	28	P2.4/A12	43	P0.0/AD0
14	P3.2/INT0	29	P2.5/A13	44	VCC
15	P3.3/INT1	30	P2.6/A14		

* NO INTERNAL CONNECTION

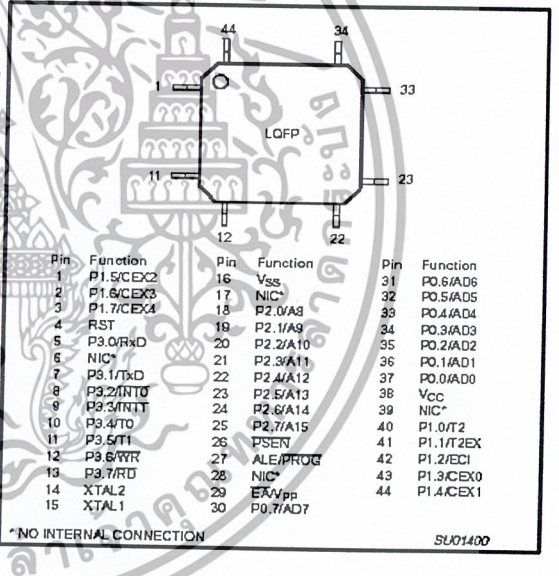
SU00023

PINNING

Plastic Dual In-Line Package



Plastic Quad Flat Pack



Pin	Function	Pin	Function	Pin	Function
1	P1.5/CEX2	16	VSS	31	P0.6/AD6
2	P1.6/CEX3	17	NIC*	32	P0.5/AD5
3	P1.7/CEX4	18	P2.0/A8	33	P0.4/AD4
4	RST	19	P2.1/A9	34	P0.3/AD3
5	P3.0/RxD	20	P2.2/A10	35	P0.2/AD2
6	NIC*	21	P2.3/A11	36	P0.1/AD1
7	P3.1/TxD	22	P2.4/A12	37	P0.0/AD0
8	P3.2/INT0	23	P2.5/A13	38	VCC
9	P3.3/INT1	24	P2.6/A14	39	NIC*
10	P3.4/T0	25	P2.7/A15	40	P1.0/T2
11	P3.5/T1	26	PSEN	41	P1.1/T2EX
12	P3.6/WR	27	ALE/PROG	42	P1.2/ECI
13	P3.7/RD	28	NIC*	43	P1.3/CEX0
14	XTAL2	29	EA/VPP	44	P1.4/CEX1
15	XTAL1	30	P0.7/AD7		

* NO INTERNAL CONNECTION

SU01400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
V_{SS}	20	22	16	I	Ground: 0 V reference.
V_{CC}	40	44	38	I	Power Supply: This is the power supply voltage for normal, idle, and power-down operation.
P0.0–0.7	39–32	43–36	37–30	I/O	Port 0: Port 0 is an open-drain, bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program and data memory. In this application, it uses strong internal pull-ups when emitting 1s.
P1.0–P1.7	1–8	2–9	40–44, 1–3	I/O	Port 1: Port 1 is an 8-bit bidirectional I/O port with internal pull-ups on all pins except P1.6 and P1.7 which are open drain. Port 1 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 1 pins that are externally pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}).
					Alternate functions for 89C51RB2/RC2/RD2 Port 1 include:
	1	2	40	I/O	T2 (P1.0): Timer/Counter 2 external count input/Clockout (see Programmable Clock-Out)
	2	3	41	I	T2EX (P1.1): Timer/Counter 2 Reload/Capture/Direction Control
	3	4	42	I	ECI (P1.2): External Clock Input to the PCA
	4	5	43	I/O	CEX0 (P1.3): Capture/Compare External I/O for PCA module 0
	5	6	44	I/O	CEX1 (P1.4): Capture/Compare External I/O for PCA module 1
	6	7	1	I/O	CEX2 (P1.5): Capture/Compare External I/O for PCA module 2
	7	8	2	I/O	CEX3 (P1.6): Capture/Compare External I/O for PCA module 3
	8	9	3	I/O	CEX4 (P1.7): Capture/Compare External I/O for PCA module 4
P2.0–P2.7	21–28	24–31	18–25	I/O	Port 2: Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. Port 2 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 2 pins that are externally being pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @DPTR). In this application, it uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOV @Ri), port 2 emits the contents of the P2 special function register.
					P2.7 must be a "1" to program and erase the device.
P3.0–P3.7	10–17	11, 13–19	5, 7–13	I/O	Port 3: Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 3 pins that are externally being pulled low will source current because of the pull-ups. (See DC Electrical Characteristics: I_{IL}). Port 3 also serves the special features of the 89C51RB2/RC2/RD2, as listed below:
	10	11	5	I	RxD (P3.0): Serial input port
	11	13	7	O	TxD (P3.1): Serial output port
	12	14	8	I	INT0 (P3.2): External interrupt
	13	15	9	I	INT1 (P3.3): External interrupt
	14	16	10	I	T0 (P3.4): Timer 0 external input
	15	17	11	I	T1 (P3.5): Timer 1 external input
	16	18	12	O	WR (P3.6): External data memory write strobe
	17	19	13	O	RD (P3.7): External data memory read strobe
RST	9	10	4	I	Reset: A high on this pin for two machine cycles while the oscillator is running, resets the device. An internal resistor to V_{SS} permits a power-on reset using only an external capacitor to V_{CC}.
ALE	30	33	27	O	Address Latch Enable: Output pulse for latching the low byte of the address during an access to external memory. In normal operation, ALE is emitted twice every machine cycle, and can be used for external timing or clocking. Note that one ALE pulse is skipped during each access to external data memory. ALE can be disabled by setting SFR auxiliary.0. With this bit set, ALE will be active only during a MOVX instruction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MNEMONIC	PIN NUMBER			TYPE	NAME AND FUNCTION
	PDIP	PLCC	LQFP		
$\overline{PSEN}$	29	32	26	O	**Program Store Enable:** The read strobe to external program memory. When executing code from the external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory. $\overline{PSEN}$ is not activated during fetches from internal program memory.
$\overline{EA}/V_{PP}$	31	35	29	I	**External Access Enable/Programming Supply Voltage:** $\overline{EA}$ must be externally held low to enable the device to fetch code from external program memory locations. If $\overline{EA}$ is held high, the device executes from internal program memory. The value on the $\overline{EA}$ pin is latched when RST is released and any subsequent changes have no effect. This pin also receives the programming supply voltage (V_{PP}) during Flash programming.
XTAL1	19	21	15	I	**Crystal 1:** Input to the inverting oscillator amplifier and input to the internal clock generator circuits.
XTAL2	18	20	14	O	**Crystal 2:** Output from the inverting oscillator amplifier.

NOTE:
To avoid "latch-up" effect at power-on, the voltage on any pin (other than V_{PP}) must not be higher than V_{CC} + 0.5 V or less than V_{SS} – 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB							LSB	RESET VALUE
ACC*	Accumulator	E0H	E7	E6	E5	E4	E3	E2	E1	E0	00H
AUXR#	Auxiliary	8EH	–	–	–	–	–	–	EXTRAM	AO	xxxxxx00B
AUXR1#	Auxiliary 1	A2H	–	–	ENBOOT	–	GF2	0	–	DPS	xxxxxxx0B
B*	B register	F0H	F7	F6	F5	F4	F3	F2	F1	F0	00H
CCAP0H#	Module 0 Capture High	FAH									xxxxxxxxB
CCAP1H#	Module 1 Capture High	FBH									xxxxxxxxB
CCAP2H#	Module 2 Capture High	FCH									xxxxxxxxB
CCAP3H#	Module 3 Capture High	FDH									xxxxxxxxB
CCAP4H#	Module 4 Capture High	FEH									xxxxxxxxB
CCAP0L#	Module 0 Capture Low	EAH									xxxxxxxxB
CCAP1L#	Module 1 Capture Low	EBH									xxxxxxxxB
CCAP2L#	Module 2 Capture Low	ECH									xxxxxxxxB
CCAP3L#	Module 3 Capture Low	EDH									xxxxxxxxB
CCAP4L#	Module 4 Capture Low	EEH									xxxxxxxxB
CCAPM0#	Module 0 Mode	DAH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM1#	Module 1 Mode	DBH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM2#	Module 2 Mode	DCH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM3#	Module 3 Mode	DDH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
CCAPM4#	Module 4 Mode	DEH	–	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	x0000000B
			DF	DE	DD	DC	DB	DA	D9	D8	
CCON*#	PCA Counter Control	D8H	CF	CR	–	CCF4	CCF3	CCF2	CCF1	CCF0	00x00000B
CH#	PCA Counter High	F9H									00H
CL#	PCA Counter Low	E9H									00H
CMOD#	PCA Counter Mode	D9H	CIDL	WDTE	–	–	–	CPS1	CPS0	ECF	00xxx000B
DPTR:	Data Pointer (2 bytes)										
DPH	Data Pointer High	83H									00H
DPL	Data Pointer Low	82H									00H
			AF	AE	AD	AC	AB	AA	A9	A8	
IE*	Interrupt Enable 0	A8H	EA	EC	ET2	ES	ET1	EX1	ET0	EX0	00H
			BF	BE	BD	BC	BB	BA	B9	B8	
IP*	Interrupt Priority	B8H	–	PPC	PT2	PS	PT1	PX1	PT0	PX0	x0000000B
			B7	B6	B5	B4	B3	B2	B1	B0	
IPH#	Interrupt Priority High	B7H	–	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	x0000000B
			87	86	85	84	83	82	81	80	
P0*	Port 0	80H	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFH
			97	96	95	94	93	92	91	90	
P1*	Port 1	90H	CEX4	CEX3	CEX2	CEX1	CEX0	ECI	T2EX	T2	FFH
			A7	A6	A5	A4	A3	A2	A1	A0	
P2*	Port 2	A0H	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	FFH
			B7	B6	B5	B4	B3	B2	B1	B0	
P3*	Port 3	B0H	RD	WR	T1	T0	INT1	INT0	TxD	RxD	FFH
PCON#[1]	Power Control	87H	SMOD1	SMOD0	–	POF	GF1	GF0	PD	IDL	00xxx000B

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.
1. Reset value depends on reset source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Special Function Registers (Continued)

SYMBOL	DESCRIPTION	DIRECT ADDRESS	BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB LSB								RESET VALUE
			D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	Program Status Word	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00000000B
RCAP2H#	Timer 2 Capture High	CBH									00H
RCAP2L#	Timer 2 Capture Low	CAH									00H
SADDR#	Slave Address	A9H									00H
SADEN#	Slave Address Mask	B9H									00H
SBUF	Serial Data Buffer	99H									xxxxxxxxB
			9F	9E	9D	9C	9B	9A	99	98	
SCON*	Serial Control	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SP	Stack Pointer	81H									07H
			8F	8E	8D	8C	8B	8A	89	88	
TCON*	Timer Control	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
			CF	CE	CD	CC	CB	CA	C9	C8	
T2CON*	Timer 2 Control	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	00H
T2MOD#	Timer 2 Mode Control	C9H	–	–	–	–	–	–	T2OE	DCEN	xxxxxx00B
TH0	Timer High 0	8CH									00H
TH1	Timer High 1	8DH									00H
TH2#	Timer High 2	CDH									00H
TL0	Timer Low 0	8AH									00H
TL1	Timer Low 1	8BH									00H
TL2#	Timer Low 2	CCH									00H
TMOD	Timer Mode	89H	GATE	C/T	M1	M0	GATE	C/T	M1	M0	00H
WDTRST	Watchdog Timer Reset	A6H									

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. Minimum and maximum high and low times specified in the data sheet must be observed.

This device is configured at the factory to operate using 6 clock periods per machine cycle, referred to in this datasheet as "6 clock mode". (This yields performance equivalent to twice that of standard 80C51 family devices). It may be optionally configured on commercially-available EPROM programming equipment to operate at 12 clocks per machine cycle, referred to in this datasheet as "12 clock mode". Once 12 clock mode has been configured, it cannot be changed back to 6 clock mode.

RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (12 oscillator periods in 6 clock mode, or 24 oscillator periods in 12 clock mode), while the oscillator is running. To ensure a good power-on reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{CC} and RST must come up at the same time for a proper start-up. Ports 1, 2, and 3 will asynchronously be driven to their reset condition when a voltage above V_{IH1} (min.) is applied to RESET.

The value on the EA pin is latched when RST is deasserted and has no further effect.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW POWER MODES

Stop Clock Mode

The static design enables the clock speed to be reduced down to 0 MHz (stopped). When the oscillator is stopped, the RAM and Special Function Registers retain their values. This mode allows step-by-step utilization and permits reduced system power consumption by lowering the clock frequency down to any value. For lowest power consumption the Power Down mode is suggested.

Idle Mode

In the idle mode (see Table 2), the CPU puts itself to sleep while all of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU contents, the on-chip RAM, and all of the special function registers remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the process is picked up at the interrupt service routine and continued), or by a hardware reset which starts the processor in the same manner as a power-on reset.

Power-Down Mode

To save even more power, a Power Down mode (see Table 2) can be invoked by software. In this mode, the oscillator is stopped and the instruction that invoked Power Down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values down to 2.0 V and care must be taken to return V_{CC} to the minimum specified operating voltages before the Power Down Mode is terminated.

Either a hardware reset or external interrupt can be used to exit from Power Down. Reset redefines all the SFRs but does not change the on-chip RAM. An external interrupt allows both the SFRs and the on-chip RAM to retain their values.

To properly terminate Power Down, the reset or external interrupt should not be executed before V_{CC} is restored to its normal operating level and must be held active long enough for the oscillator to restart and stabilize (normally less than 10 ms).

With an external interrupt, INT0 and INT1 must be enabled and configured as level-sensitive. Holding the pin low restarts the oscillator but bringing the pin back high completes the exit. Once the interrupt is serviced, the next instruction to be executed after RETI will be the one following the instruction that put the device into Power Down.

POWER OFF FLAG

The Power Off Flag (POF) is set by on-chip circuitry when the V_{CC} level on the P89C51RB2/RC2/RD2 rises from 0 to 5 V. The POF bit can be set or cleared by software allowing a user to determine if the reset is the result of a power-on or a warm start after powerdown. The V_{CC} level must remain above 3 V for the POF to remain unaffected by the V_{CC} level.

Design Consideration

- When the idle mode is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

ONCE™ Mode

The ONCE ("On-Circuit Emulation") Mode facilitates testing and debugging of systems without the device having to be removed from the circuit. The ONCE Mode is invoked by:

1. Pull ALE low while the device is in reset and $\overline{PSEN}$ is high;
2. Hold ALE low as RST is deactivated.

While the device is in ONCE Mode, the Port 0 pins go into a float state, and the other port pins and ALE and $\overline{PSEN}$ are weakly pulled high. The oscillator circuit remains active. While the device is in this mode, an emulator or test CPU can be used to drive the circuit. Normal operation is restored when a normal reset is applied.

Programmable Clock-Out

A 50% duty cycle clock can be programmed to come out on P1.0. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed:

1. to input the external clock for Timer/Counter 2, or
2. to output a 50% duty cycle clock ranging from 122 Hz to 8 MHz at a 16 MHz operating frequency (61 Hz to 4 MHz in 12 clock mode).

To configure the Timer/Counter 2 as a clock generator, bit C/$\overline{T2}$ (in T2CON) must be cleared and bit T20E in T2MOD must be set. Bit TR2 (T2CON.2) also must be set to start the timer.

The Clock-Out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L) as shown in this equation:

$$\frac{\text{Oscillator Frequency}}{n \times (65536 - \text{RCAP2H,RCAP2L})}$$

n = 2 in 6 clock mode, 4 in 12 clock mode

Where (RCAP2H,RCAP2L) = the content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

In the Clock-Out mode Timer 2 roll-overs will not generate an interrupt. This is similar to when it is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and the Clock-Out frequency will be the same.

Table 2. External Pin Status During Idle and Power-Down Mode

MODE	PROGRAM MEMORY	ALE	$\overline{PSEN}$	PORT 0	PORT 1	PORT 2	PORT 3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMER 2 OPERATION

Timer 2

Timer 2 is a 16-bit Timer/Counter which can operate as either an event timer or an event counter, as selected by C/T2* in the special function register T2CON (see Figure 1). Timer 2 has three operating modes: Capture, Auto-reload (up or down counting), and Baud Rate Generator, which are selected by bits in the T2CON as shown in Table 3.

Capture Mode

In the capture mode there are two options which are selected by bit EXEN2 in T2CON. If EXEN2=0, then timer 2 is a 16-bit timer or counter (as selected by C/T2* in T2CON) which, upon overflowing sets bit TF2, the timer 2 overflow bit. This bit can be used to generate an interrupt (by enabling the Timer 2 interrupt bit in the IE register). If EXEN2= 1, Timer 2 operates as described above, but with the added feature that a 1- to -0 transition at external input T2EX causes the current value in the Timer 2 registers, TL2 and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2 like TF2 can generate an interrupt (which vectors to the same location as Timer 2 overflow interrupt. The Timer 2 interrupt service routine can interrogate TF2 and EXF2 to determine which event caused the interrupt). The capture mode is illustrated in Figure 2 (There is no reload value for TL2 and TH2 in this mode. Even when a capture event occurs from T2EX, the counter keeps on counting T2EX pin transitions or osc/6 pulses (osc/12 in 12 clock mode).).

Auto-Reload Mode (Up or Down Counter)

In the 16-bit auto-reload mode, Timer 2 can be configured (as either a timer or counter [C/T2* in T2CON]) then programmed to count up or down. The counting direction is determined by bit DCEN (Down Counter Enable) which is located in the T2MOD register (see Figure 3). When reset is applied the DCEN=0 which means Timer 2 will default to counting up. If DCEN bit is set, Timer 2 can count up or down depending on the value of the T2EX pin.

Figure 4 shows Timer 2 which will count up automatically since DCEN=0. In this mode there are two options selected by bit EXEN2 in T2CON register. If EXEN2=0, then Timer 2 counts up to 0FFFFH and sets the TF2 (Overflow Flag) bit upon overflow. This causes the Timer 2 registers to be reloaded with the 16-bit value in RCAP2L and RCAP2H. The values in RCAP2L and RCAP2H are preset by software means.

If EXEN2=1, then a 16-bit reload can be triggered either by an overflow or by a 1-to-0 transition at input T2EX. This transition also sets the EXF2 bit. The Timer 2 interrupt, if enabled, can be generated when either TF2 or EXF2 are 1.

In Figure 5 DCEN=1 which enables Timer 2 to count up or down. This mode allows pin T2EX to control the direction of count. When a logic 1 is applied at pin T2EX Timer 2 will count up. Timer 2 will overflow at 0FFFFH and set the TF2 flag, which can then generate an interrupt, if the interrupt is enabled. This timer overflow also causes the 16-bit value in RCAP2L and RCAP2H to be reloaded into the timer registers TL2 and TH2.

When a logic 0 is applied at pin T2EX this causes Timer 2 to count down. The timer will underflow when TL2 and TH2 become equal to the value stored in RCAP2L and RCAP2H. Timer 2 underflow sets the TF2 flag and causes 0FFFFH to be reloaded into the timer registers TL2 and TH2.

The external flag EXF2 toggles when Timer 2 underflows or overflows. This EXF2 bit can be used as a 17th bit of resolution if needed. The EXF2 flag does not generate an interrupt in this mode of operation.

(MSB) (LSB)

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2

Symbol	Position	Name and Significance
TF2	T2CON.7	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK or TCLK = 1.
EXF2	T2CON.6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	T2CON.5	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	T2CON.4	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	T2CON.3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	T2CON.2	Start/stop control for Timer 2. A logic 1 starts the timer.
C/T2	T2CON.1	Timer or counter select. (Timer 2) 0 = Internal timer (OSC/6 in 6 clock mode or OSC/12 in 12 clock mode) 1 = External event counter (falling edge triggered).
CP/RL2	T2CON.0	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

SU00251

Figure 1. Timer/Counter 2 (T2CON) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3. Timer 2 Operating Modes

RCLK + TCLK	CP/RL2	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud rate generator
X	X	0	(off)

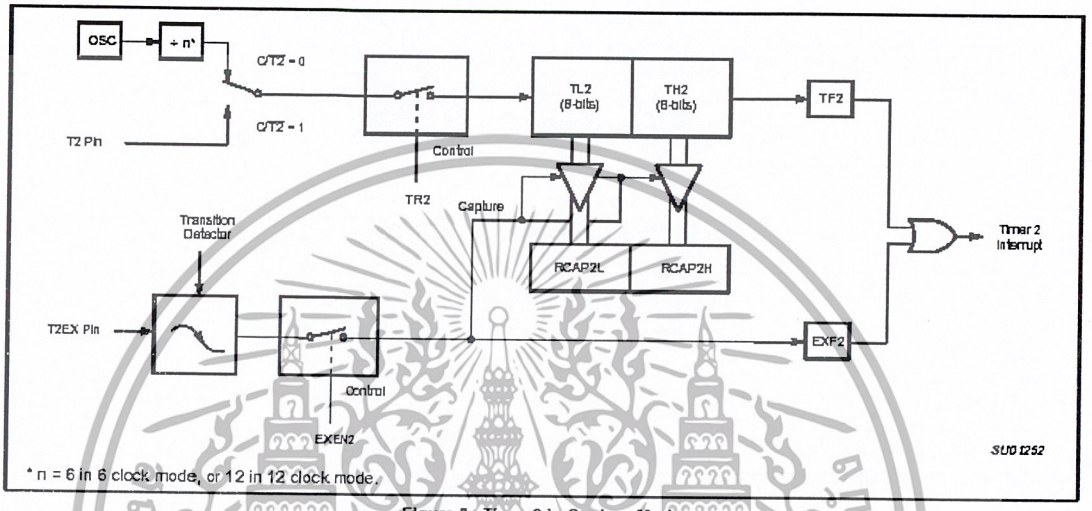


Figure 2. Timer 2 in Capture Mode

T2MOD Address = 0C9H Reset Value = XXXX XX00B

Not Bit Addressable

—	—	—	—	—	—	T2OE	DCEN
Bit 7	6	5	4	3	2	1	0

Symbol	Function
—	Not implemented, reserved for future use.*
T2OE	Timer 2 Output Enable bit.
DCEN	Down Count Enable bit. When set, this allows Timer 2 to be configured as an up/down counter.

* User software should not write 1s to reserved bits. These bits may be used in future 8051 family products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1. The value read from a reserved bit is indeterminate.

SU00729

Figure 3. Timer 2 Mode (T2MOD) Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

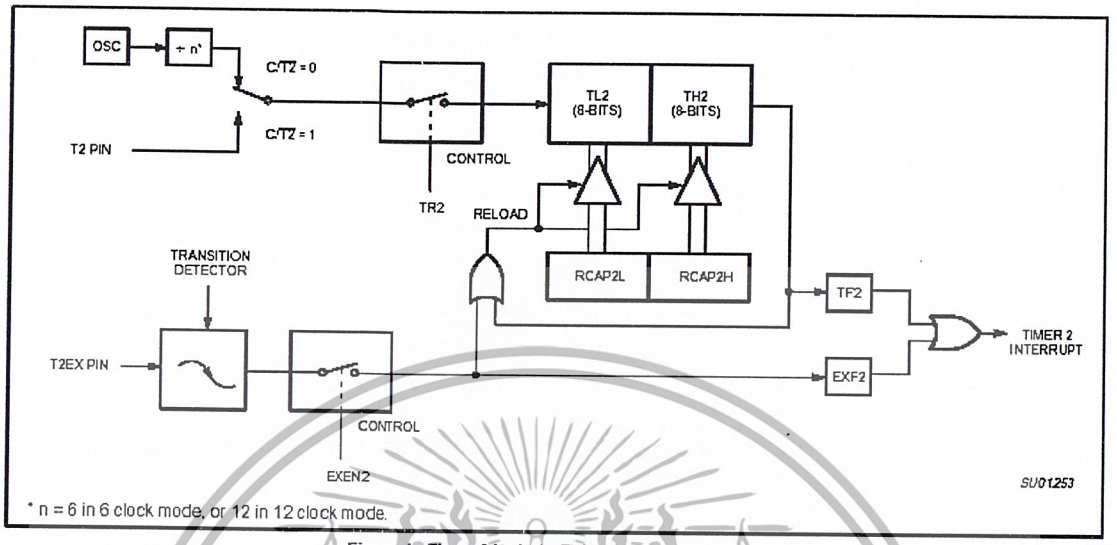


Figure 4. Timer 2 in Auto-Reload Mode (DCEN = 0)

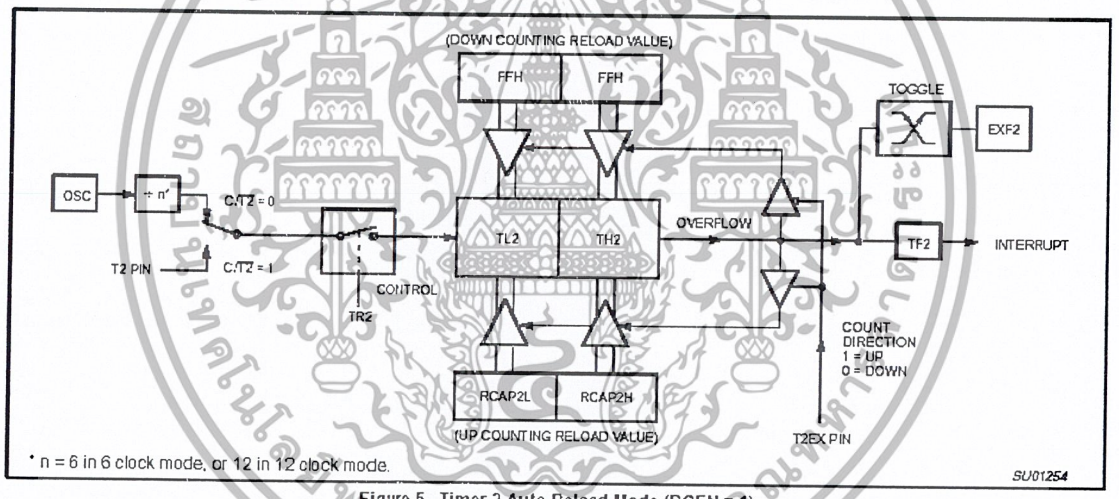


Figure 5. Timer 2 Auto Reload Mode (DCEN = 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

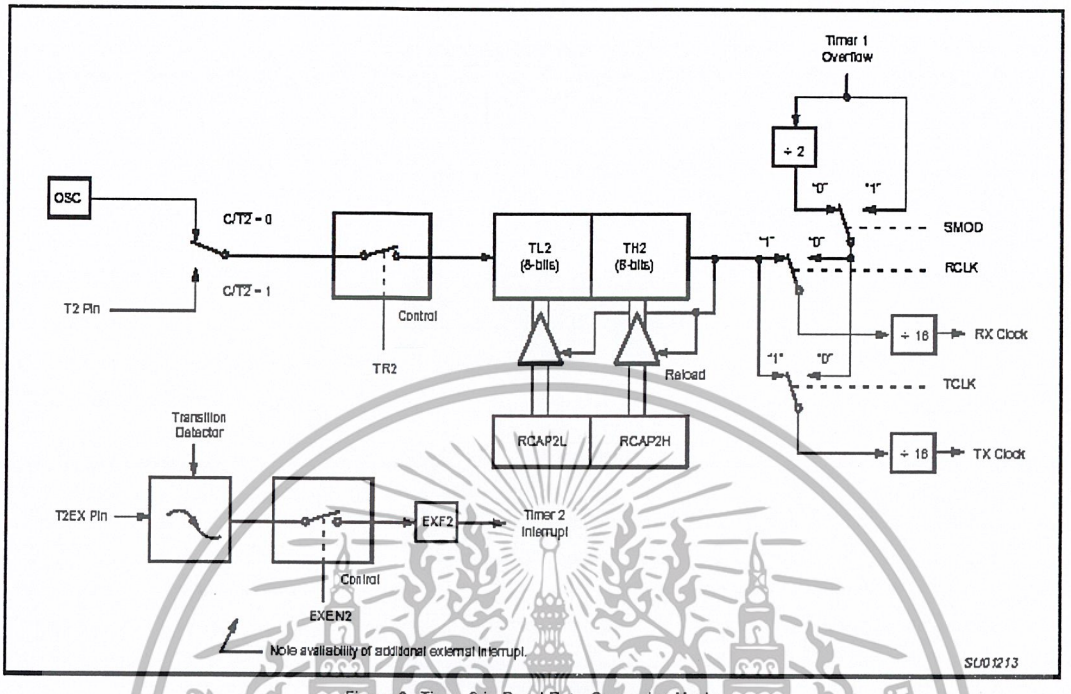


Figure 6. Timer 2 in Baud Rate Generator Mode

Table 4. Timer 2 Generated Commonly Used Baud Rates

Baud Rate		Osc Freq	Timer 2	
12 clock mode	6 clock mode		RCAP2H	RCAP2L
375 k	750 k	12 MHz	FF	FF
9.6 k	19.2 k	12 MHz	FF	D9
2.8 k	5.6 k	12 MHz	FF	B2
2.4 k	4.8 k	12 MHz	FF	64
1.2 k	2.4 k	12 MHz	FE	C8
300	600	12 MHz	FB	1E
110	220	12 MHz	F2	AF
300	600	6 MHz	FD	8F
110	220	6 MHz	F9	57

Baud Rate Generator Mode

Bits TCLK and/or RCLK in T2CON (Table 4) allow the serial port transmit and receive baud rates to be derived from either Timer 1 or Timer 2. When TCLK= 0, Timer 1 is used as the serial port transmit baud rate generator. When TCLK= 1, Timer 2 is used as the serial port transmit baud rate generator. RCLK has the same effect for the serial port receive baud rate. With these two bits, the serial port can have different receive and transmit baud rates – one generated by Timer 1, the other by Timer 2.

Figure 6 shows the Timer 2 in baud rate generation mode. The baud rate generation mode is like the auto-reload mode,in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in modes 1 and 3 are determined by Timer 2's overflow rate given below:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The timer can be configured for either "timer" or "counter" operation. In many applications, it is configured for "timer" operation (C/$\overline{T2}$*=0). Timer operation is different for Timer 2 when it is being used as a baud rate generator.

Usually, as a timer it would increment every machine cycle (i.e., $^1/_6$ the oscillator frequency in 6 clock mode, $^1/_{12}$ the oscillator frequency in 12 clock mode). As a baud rate generator, it increments at the oscillator frequency in 6 clock mode ($^{OSC}/_2$ in 12 clock mode). Thus the baud rate formula is as follows:

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Oscillator Frequency}}{[n^* \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

$$^*n = \begin{matrix}16 \text{ in 6 clock mode} \\ 32 \text{ in 12 clock mode}\end{matrix}$$

Where: (RCAP2H, RCAP2L)= The content of RCAP2H and RCAP2L taken as a 16-bit unsigned integer.

The Timer 2 as a baud rate generator mode shown in Figure 6, is valid only if RCLK and/or TCLK = 1 in T2CON register. Note that a rollover in TH2 does not set TF2, and will not generate an interrupt. Thus, the Timer 2 interrupt does not have to be disabled when Timer 2 is in the baud rate generator mode. Also if the EXEN2 (T2 external enable flag) is set, a 1-to-0 transition in T2EX (Timer/counter 2 trigger input) will set EXF2 (T2 external flag) but will not cause a reload from (RCAP2H, RCAP2L) to (TH2,TL2). Therefore when Timer 2 is in use as a baud rate generator, T2EX can be used as an additional external interrupt, if needed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When Timer 2 is in the baud rate generator mode, one should not try to read or write TH2 and TL2. As a baud rate generator, Timer 2 is incremented every state time (osc/2) or asynchronously from pin T2; under these conditions, a read or write of TH2 or TL2 may not be accurate. The RCAP2 registers may be read, but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Table 4 shows commonly used baud rates and how they can be obtained from Timer 2.

Summary of Baud Rate Equations

Timer 2 is in baud rate generating mode. If Timer 2 is being clocked through pin T2(P1.0) the baud rate is:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

If Timer 2 is being clocked internally, the baud rate is:

$$\text{Baud Rate} = \frac{f_{osc}}{[\,n^* \times [65536 - (\text{RCAP2H, RCAP2L})]]}$$

*n = 16 in 6 clock mode
32 in 12 clock mode

Where f_{osc}= Oscillator Frequency

To obtain the reload value for RCAP2H and RCAP2L, the above equation can be rewritten as:

$$\text{RCAP2H, RCAP2L} = 65536 - \left(\frac{f_{osc}}{n^* \times \text{Baud Rate}}\right)$$

Timer/Counter 2 Set-up

Except for the baud rate generator mode, the values given for T2CON do not include the setting of the TR2 bit. Therefore, bit TR2 must be set, separately, to turn the timer on. see Table 5 for set-up of Timer 2 as a timer. Also see Table 6 for set-up of Timer 2 as a counter.

Table 5. Timer 2 as a Timer

MODE	T2CON	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit Auto-Reload	00H	08H
16-bit Capture	01H	09H
Baud rate generator receive and transmit same baud rate	34H	36H
Receive only	24H	26H
Transmit only	14H	16H

Table 6. Timer 2 as a Counter

MODE	TMOD	
	INTERNAL CONTROL (Note 1)	EXTERNAL CONTROL (Note 2)
16-bit	02H	0AH
Auto-Reload	03H	0BH

NOTES:
1. Capture/reload occurs only on timer/counter overflow.
2. Capture/reload occurs on timer/counter overflow and a 1-to-0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generator mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1998

CMOS Programmable Peripheral Interface

Features

- Pin Compatible with NMOS 8255A
- 24 Programmable I/O Pins
- Fully TTL Compatible
- High Speed, No "Wait State" Operation with 5MHz and 8MHz 80C86 and 80C88
- Direct Bit Set/Reset Capability
- Enhanced Control Word Read Capability
- L7 Process
- 2.5mA Drive Capability on All I/O Ports
- Low Standby Power (ICCSB) 10µA

Description

The Harris 82C55A is a high performance CMOS version of the industry standard 8255A and is manufactured using a self-aligned silicon gate CMOS process (Scaled SAJI IV). It is a general purpose programmable I/O device which may be used with many different microprocessors. There are 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The high performance and industry standard configuration of the 82C55A make it compatible with the 80C86, 80C88 and other microprocessors.

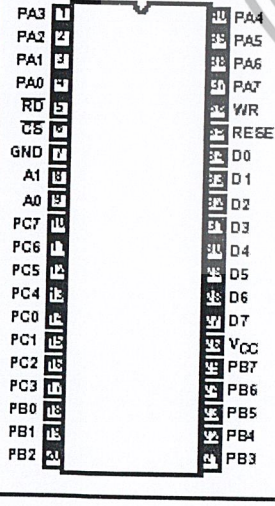
Static CMOS circuit design insures low operating power. TTL compatibility over the full military temperature range and bus hold circuitry eliminate the need for pull-up resistors. The Harris advanced SAJI process results in performance equal to or greater than existing functionally equivalent products at a fraction of the power.

Ordering Information

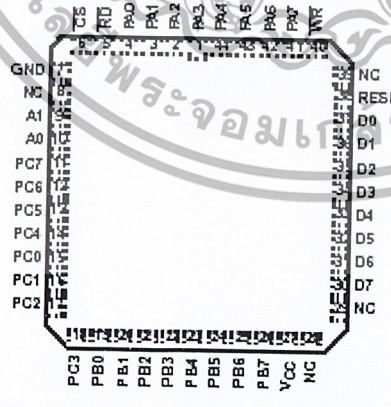
PART NUMBERS		PACKAGE	TEMPERATURE RANGE	PKG. NO.
5MHz	8MHz			
CP82C55A-5	CP82C55A	40 Ld PDIP	0°C to 70°C	E40.6
IP82C55A-5	IP82C55A		-40°C to 85°C	E40.6
CS82C55A-5	CS82C55A	44 Ld PLCC	0°C to 70°C	N44.65
IS82C55A-5	IS82C55A		-40°C to 85°C	N44.65
CD82C55A-5	CD82C55A	40 Ld CERDIP	0°C to 70°C	F40.6
ID82C55A-5	ID82C55A		-40°C to 85°C	F40.6
MD82C55A-5/B	MDB82C55A/B		-55°C to 125°C	F40.6
5962-8601101QA	5962-8602102QA	SMD#		F40.6
MR82C55A-5/B	MRB82C55A/B	44 Pad CLCC	-55°C to 125°C	J44.A
5962-8601101XA	5962-8602102XA	SMD#		J44.A

Pinouts

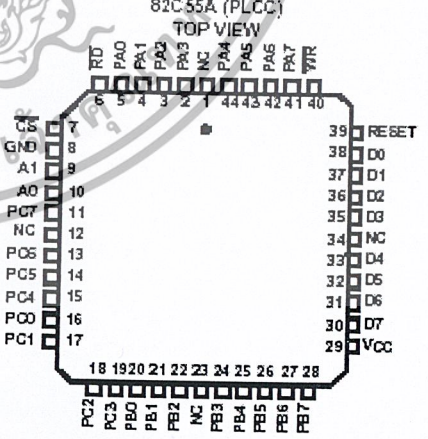
82C55A (DIP)
TOP VIEW



82C55A (CLCC)
TOP VIEW



82C55A (PLCC)
TOP VIEW

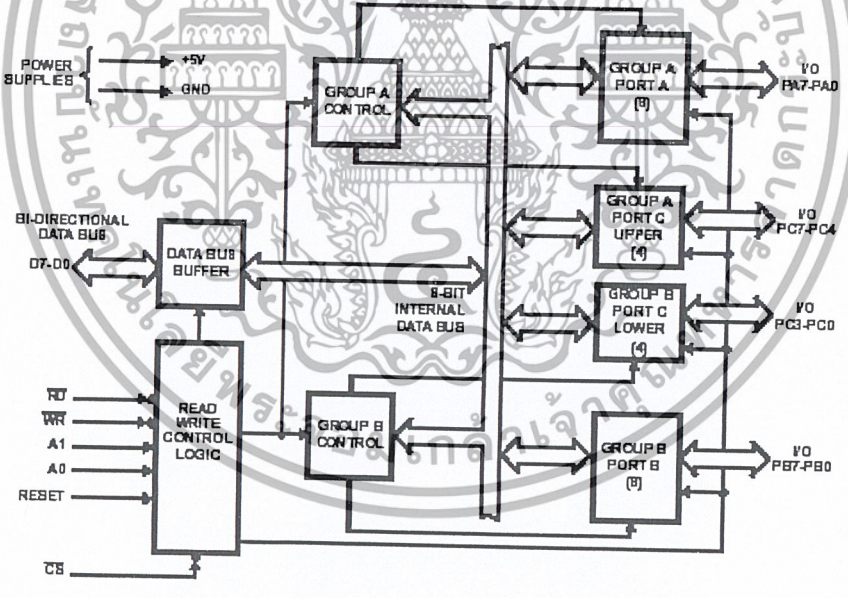


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

SYMBOL	PIN NUMBER	TYPE	DESCRIPTION
Vcc	26		Vcc: The +5V power supply pin. A 0.1μF capacitor between pins 26 and 7 is recommended for decoupling.
GND	7		GROUND
D0-D7	27-34	I/O	DATA BUS: The Data Bus lines are bidirectional three-state pins connected to the system data bus.
RESET	35	I	RESET: A high on this input clears the control register and all ports (A, B, C) are set to the input mode with the "Bus Hold" circuitry turned on.
$\overline{CS}$	6	I	CHIP SELECT: Chip select is an active low input used to enable the 82C55A onto the Data Bus for CPU communications.
$\overline{RD}$	5	I	READ: Read is an active low input control signal used by the CPU to read status information or data via the data bus.
$\overline{WR}$	36	I	WRITE: Write is an active low input control signal used by the CPU to load control words and data into the 82C55A.
A0-A1	8, 9	I	ADDRESS: These input signals, in conjunction with the $\overline{RD}$ and $\overline{WR}$ inputs, control the selection of one of the three ports or the control word register. A0 and A1 are normally connected to the least significant bits of the Address Bus A0, A1.
PA0-PA7	1-4, 37-40	I/O	PORT A: 8-bit input and output port. Both bus hold high and bus hold low circuitry are present on this port.
PB0-PB7	18-25	I/O	PORT B: 8-bit input and output port. Bus hold high circuitry is present on this port.
PC0-PC7	10-17	I/O	PORT C: 8-bit input and output port. Bus hold circuitry is present on this port.

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings $T_A = 25^oC$

Supply Voltage ..... +8.0V
Input, Output or I/O Voltage ..... GND-0.5V to V_{CC}+0.5V
ESD Classification ..... Class 1

Operating Conditions

Voltage Range ..... +4.5V to 5.5V
Operating Temperature Range
C82C55A ..... 0^oC to 70^oC
I82C55A ..... -40^oC to 85^oC
M82C55A ..... -55^oC to 125^oC

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA}	θ_{JC}
CERDIP Package	$50^oC/W$	$10^oC/W$
CLCC Package	$65^oC/W$	$14^oC/W$
PDIP Package	$50^oC/W$	N/A
PLCC Package	$46^oC/W$	N/A

Maximum Storage Temperature Range ..... -65^oC to 150^oC
Maximum Junction Temperature
CDIP Package ..... 175^oC
PDIP Package ..... 150^oC
Maximum Lead Temperature (Soldering 10s) ..... 300^oC
(PLCC Lead Tips Only)

Die Characteristics

Gate Count ..... 1000 Gates

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

V_{CC} = 5.0V ±10%; T_A = 0^oC to $+70^oC$ (C82C55A);
T_A = -40^oC to $+85^oC$ (I82C55A);
T_A = -55^oC to $+125^oC$ (M82C55A)

SYMBOL	PARAMETER	LIMITS MIN	LIMITS MAX	UNITS	TEST CONDITIONS
V_{IH}	Logical One Input Voltage	2.0 2.2	-	V	I82C55A, C82C55A, M82C55A
V_{IL}	Logical Zero Input Voltage	-	0.8	V	
V_{OH}	Logical One Output Voltage	3.0 V_{CC} -0.4	-	V	I_{OH} = -2.5mA, I_{OH} = -100µA
V_{OL}	Logical Zero Output Voltage	-	0.4	V	I_{OL} +2.5mA
I_I	Input Leakage Current	-1.0	+1.0	µA	V_{IN} = V_{CC} or GND, DIP Pins: 5, 6, 8, 9, 35, 36
IO	I/O Pin Leakage Current	-10	+10	µA	VO = V_{CC} or GND DIP Pins: 27 - 34
IBHH	Bus Hold High Current	-50	-400	µA	VO = 3.0V, Ports A, B, C
IBHL	Bus Hold Low Current	50	400	µA	VO = 1.0V, Port A ONLY
IDAR	Darlington Drive Current	-2.5	Note 2, 4	mA	Ports A, B, C. Test Condition 3
ICCSB	Standby Power Supply Current	-	10	µA	V_{CC} = 5.5V, V_{IN} = V_{CC} or GND. Output Open
ICCOP	Operating Power Supply Current	-	1	mA/MHz	T_A = $+25^oC$, V_{CC} = 5.0V, Typical (See Note 3)

NOTES:

2. No internal current limiting exists on Port Outputs. A resistor must be added externally to limit the current.
3. ICCOP = 1mA/MHz of Peripheral Read/Write cycle time. (Example: 1.0µs I/O Read/Write cycle time = 1mA).
4. Tested as V_{OH} at -2.5mA.

Capacitance $T_A = 25^oC$

SYMBOL	PARAMETER	TYPICAL	UNITS	TEST CONDITIONS
CIN	Input Capacitance	10	pF	FREQ = 1MHz, All Measurements are referenced to device GND
CI/O	I/O Capacitance	20	pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms

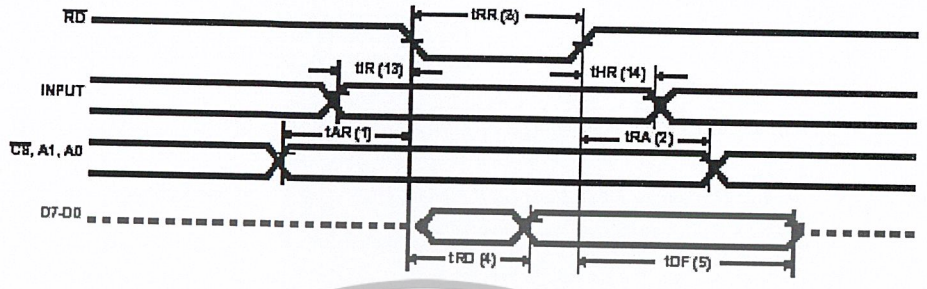


FIGURE 25. MODE 0 (BASIC INPUT)

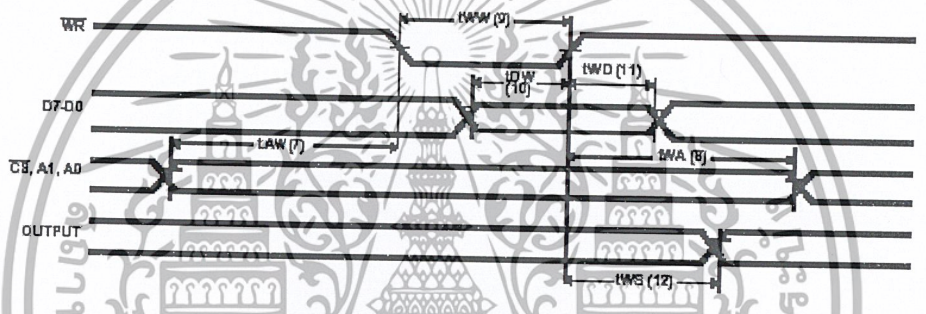


FIGURE 26. MODE 0 (BASIC OUTPUT)

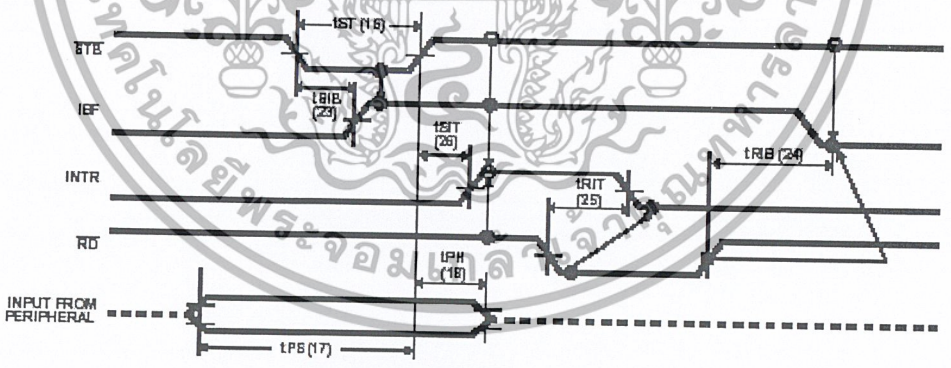


FIGURE 27. MODE 1 (STROBED INPUT)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

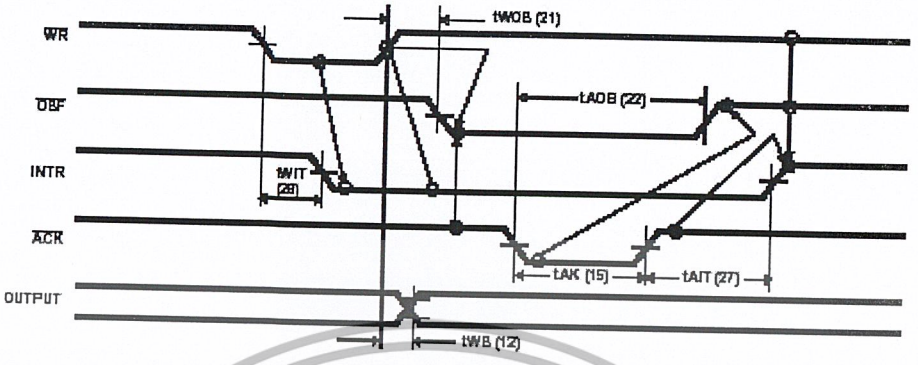


FIGURE 28. MODE 1 (STROBED OUTPUT)

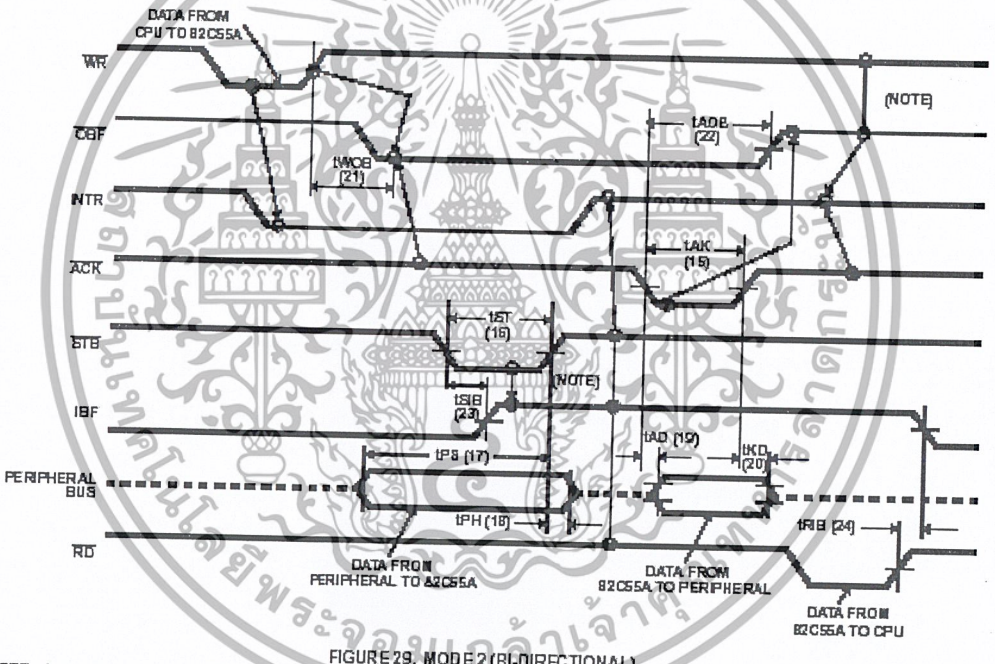


FIGURE 29. MODE 2 (BI-DIRECTIONAL)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible. ($INTR = IBF \cdot \overline{MASK} \cdot \overline{STB} \cdot \overline{RD} \cdot \overline{OBF} \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ธีรวัฒน์ ประกอบผล, **"การพัฒนาไมโครคอลโทรลเลอร์ด้วยภาษาซี".** กรุงเทพฯ: สมาคมเทคโนโลยี (ไทย- ญี่ปุ่น). 2545

พร้อมเลิศ หล่อวิจิตร, **"ผ่าฮาร์ดดิสก์".** กรุงเทพฯ: โปรวิชั่น. 2545

เรือนคอมพิวเตอร์ไทย. **โครงสร้างภายในของฮาร์ดดิกส์.** [Online]. Available: http://www.ruencom.com /hardware/storage/hddwork1a.htm.2543

Paul Stoff. **Communication with an IDE disk drive.** (Online). Available: http://www.pjrc.com/tech/8051/ide/index.html.2002

WTY Soft. ATA referent [Online]. Available: http://www.wtysoft.com/ataref.htm.2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายไชยนุชิต วงศ์ถวิล
วัน เดือน ปี เกิด	18 กันยายน พ.ศ. 2523
สถานที่เกิด	จังหวัดสงขลา
ภูมิลำเนา	325/1 ถนนพิพัทธ์สงเคราะห์ 5 ตำบลหาดใหญ่ อำเภอหาดใหญ่ จังหวัดสงขลา
ที่อยู่ปัจจุบัน	325/1 ถนนพิพัทธ์สงเคราะห์ 5 ตำบลหาดใหญ่ อำเภอหาดใหญ่ จังหวัดสงขลา
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนพลวิทยา จังหวัดสงขลา
มัธยมศึกษา	โรงเรียนหาดใหญ่วิทยาลัย จังหวัดสงขลา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคหาดใหญ่
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตภาคใต้ สาขาวิชาเทคโนโลยีการวัดคุมทาง อุตสาหกรรม
ปริญญาตรี	ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
คติพจน์	ความแน่นอนคือสิ่งที่ไม่แน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายไตรศักดิ์ รักใหม่
วัน เดือน ปี เกิด	2 ตุลาคม พ.ศ. 2522
สถานที่เกิด	จังหวัดพัทลุง
ภูมิลำเนา	19/5 ถนนทัณฑ์บำรุง ตำบลคูหาสวรรค์ อำเภอเมือง จังหวัดพัทลุง 93000
	โทรศัพท์ (074) 611-138
ที่อยู่ปัจจุบัน	19/5 ถนนทัณฑ์บำรุง ตำบลคูหาสวรรค์ อำเภอเมือง จังหวัดพัทลุง 93000
โทรศัพท์	0-1453-8270
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนเทศบาลบ้านคูหาสวรรค์ จังหวัดพัทลุง
มัธยมศึกษาตอนต้น	โรงเรียนพัทลุง จังหวัดพัทลุง
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคพัทลุง
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตนนทบุรี
ปริญญาตรี	สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
คติพจน์	ไม่มีทางสายใดปูด้วยกลีบกุหลาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายเอกชัย ซังปาน
วัน เดือน ปี เกิด	15 มีนาคม พ.ศ. 2523
สถานที่เกิด	จังหวัดนครศรีธรรมราช
ภูมิลำเนา	23 หมู่ที่ 5 ตำบลเขาน้อย อำเภอสิชล จังหวัดนครศรีธรรมราช 80120
ที่อยู่ปัจจุบัน	23 หมู่ที่ 5 ตำบลเขาน้อย อำเภอสิชล จังหวัดนครศรีธรรมราช 80120
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านเขาใหญ่ จังหวัดนครศรีธรรมราช
มัธยมศึกษา	โรงเรียนฉลองรัฐราษฎร์อุทิศ จังหวัดนครศรีธรรมราช
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคนครศรีธรรมราช
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตภาคใต้
ปริญญาตรี	สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับ	-
คติพจน์	ชีวิตเรา เป็นของเรา อย่าเอาฝากไว้กับคนอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้