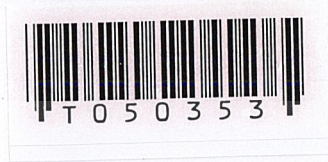


ระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้
AN AUTOMATIC PROGRAMMABLE SAFETY CUT



โดย
นายชัชวาล กุณฑล
นายรัชชัย นพรัตน์

เลขหมู่.....
เลขทะเบียน.....50353
วัน,เดือน,ปี.....13 พ.ค. 2547

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้
AN AUTOMATIC PROGRAMMABLE SAFETY CUT

โดย

นายชัชวาล กุณฑล 43515908

นายรัชชัย นพรัตน์ 43515913



อาจารย์ที่ปรึกษา
รศ. ดร. อธิรัชย์ อรุณศรีแสงไชย

ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๒๒/๓๕๐๓๕๒

ปริญญาานิพนธ์ ปีการศึกษา 2545

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้

AN AUTOMATIC PROGRAMMABLE SAFETY CUT

ผู้จัดทำ

1. นายรัชวาท ภูมณฑล 43515908
2. นายรัชชัย นพรัตน์ 43515913



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้

นายชัชวาล กุณชาติ 43515908

นายรัชชัย นพรัตน์ 43515913

รศ. ดร. อธิชัย อรุณศรีแสงไชย

ปีการศึกษา 2545

บทคัดย่อ

ในปัจจุบันได้มีธุรกิจหอพัก หรืออพาร์ทเมนต์เกิดขึ้นมากมาย เพื่อความปลอดภัยของผู้เช่าอาศัย เจ้าของกิจการจึงมีระบบป้องกันต่างๆ โดยเฉพาะความปลอดภัยด้านระบบไฟฟ้า โดยทั่วไปเจ้าของกิจการส่วนใหญ่จะใช้ระบบตัดไฟฟ้าแบบกระแสตัดวงจร (Cut Out) หรือกระแสเกิน (Safety Cut) ซึ่งสามารถป้องกันได้ในระดับหนึ่ง เมื่อเกิดปัญหาที่ทำให้อุปกรณ์ดังกล่าวทำงานในสถานะ Off ก็ไม่สามารถ On ได้เอง และบางที่การติดตั้งอุปกรณ์เกี่ยวกับระบบไฟฟ้าจะมีลูกกรงเหล็กกัน และมีการใส่กุญแจไว้เพื่อป้องกันผู้ที่ไม่รู้เท่าไม่ถึงการณ์เข้าไปเกี่ยวข้อง ดังนั้นเมื่อสถานะทางไฟฟ้าปกติ หากเจ้าของกิจการไม่อยู่ คนอื่นก็ไม่สามารถเข้าไป On Cut Out หรือ Safety Cut ได้

จากปัญหาดังกล่าวจึงได้แนวคิดการจัดทำโครงการนี้ขึ้นมา โครงการนี้สามารถแสดงค่าแรงดันทางอินพุต(V_LINE) เป็นระบบ Digital LCD แทนมิเตอร์ และสามารถตั้งค่ากำหนดช่วงของแรงดัน(V_LINE) ทั้งระบบป้องกันการตั้งค่า(HARD LOCK) เมื่อมีการตั้งค่า V_MIN ซึ่งเป็นค่าที่แรงดัน V_LINE จะมีค่าได้ต่ำสุดโดยระบบยัง ON อยู่ และตั้งค่า V_MAX ซึ่งเป็นค่าที่แรงดัน V_LINE จะมีค่าได้สูงสุดโดยระบบยัง ON อยู่ หากค่าของแรงดัน V_LINE มีค่ามากกว่า V_MAX หรือมีค่าน้อยกว่า V_MIN ที่มีการตั้งค่าไว้ ระบบก็จะอยู่ในสถานะ OFF ซึ่งหมายถึงระบบสามารถจะตัดระบบไฟฟ้าเมื่อแรงดันไฟฟ้าเกินหรือไฟฟ้าตกได้ และต่อระบบไฟฟ้าได้เมื่อสถานะแรงดันปกติซึ่งเป็นการ ON - OFF อัตโนมัติโดยใช้ Microcontroller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AN AUTOMATIC PROGRAMMABLE SAFETY CUT

Chatchawan Kuntun 43515908

Thawatchai Nopparat 43515913

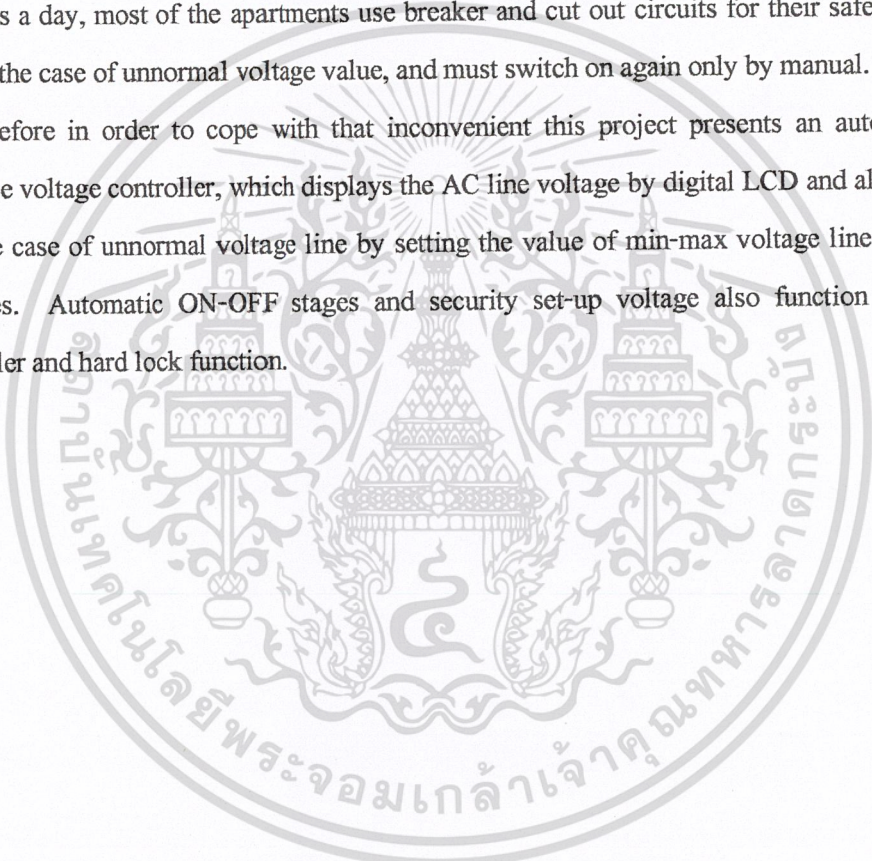
Assoc. Prof. Ittichai Arunrsrangchai, Dr. Adviser

Academic Year 2002

Abstract

Nowadays a day, most of the apartments use breaker and cut out circuits for their safety and protection in the case of unnormal voltage value, and must switch on again only by manual.

Therefore in order to cope with that inconvenient this project presents an automatic programmable voltage controller, which displays the AC line voltage by digital LCD and also can protect in the case of unnormal voltage line by setting the value of min-max voltage line to the safety values. Automatic ON-OFF stages and security set-up voltage also function under microcontroller and hard lock function.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
สารบัญ	III
สารบัญรูป	V
สารบัญตาราง	VII
บทที่ 1 บทนำ	1
บทที่ 2 การใช้งาน MCS-51 และทฤษฎีที่เกี่ยวข้อง	3
- 2.1 การจัดขาของไมโครคอนโทรลเลอร์ 8051	3
- 2.2 สร้างหน่วยความจำของ 8051	5
- 2.3 TIMER	10
- 2.4 การอินเตอร์รัพท์	21
- 2.5 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	29
- 2.6 การแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก	33
บทที่ 3 หลักการทำงานและการออกแบบ	35
- 3.1 การทำงานของส่วนแรงดันอ้างอิง AC Line Voltage	35
- 3.2 การทำงานของส่วนการตั้งค่า V_MIN และ V_MAX	37
- 3.3 การออกแบบ Hard Lock	38
- 3.4 การออกแบบวงจร Comparator	39
- 3.5 การออกแบบวงจร ON/OFF แรงดัน ไฟฟ้า	40
บทที่ 4 ส่วนโปรแกรมและผลการทดลอง	41
- 4.1 ส่วนโปรแกรมย่อยรับค่าจากคีย์บอร์ด	41
- 4.2 ไฟลวซาร์ท โปรแกรมย่อยอ่านข้อมูลจาก LTC 1298	43
- 4.3 โปรแกรมย่อยอ่านค่าจากไอซี LTC1298	44
- 4.4 การทดลองอ่านค่าจากไอซี LTC1298	45
- 4.5 ไฟลวซาร์ท โปรแกรมย่อยตั้งค่าแรงดันสูงสุดและต่ำสุด	47
- 4.6 โปรแกรมย่อยส่งค่าให้ไอซี LTC1661	48

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ - 4.7 ผลการทดลองวงจร D/A โดยใช้ไอซี LTC1661 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 - 4.8 ไฟลวซาร์ท โปรแกรมย่อยแปลงค่าเลขฐานสิบหกแสดงผลที่ LCD ทุกครั้ง 50 การนำไปใช้

	หน้า
- 4.9 ผลการทดลองวงจร Comparator	51
- 4.10 โพลวาร์ทโปรแกรมย่อยตรวจสอบข้อมูลเกิน 3AH	51
- 4.11 โพลวาร์ทการทำงานขอโปรแกรมทั้งหมด	52
- 4.12 แสดงผลการวัดรูปสัญญาณบางส่วนของระบบ	53
- 4.13 แสดงขอบเขตการทำงานขอระบบตัดไฟฟ้าอัตโนมัติ	56
แบบโปรแกรมได้	56
บทที่ 5 สรุปผลการทดลอง	57
ภาคผนวก	
กิตติมากรรมประกาศ	
บรรณานุกรม	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1.1 บล็อกไดอะแกรมการทำงานของระบบควบคุมแรงดันไฟฟ้าอัตโนมัติ	1
รูปที่ 2.1 การจัดขาของ 8051	5
รูปที่ 2.2 แสดงหน่วยความจำ โปรแกรมของ 8051	6
รูปที่ 2.3 แสดงหน่วยความจำข้อมูลของ 8051	6
รูปที่ 2.4 แสดงหน่วยความจำข้อมูลภายใน	7
รูปที่ 2.5 แสดงรายละเอียดของ Special Function Register	8
รูปที่ 2.6 แสดงตำแหน่งการอ้างอิงระดับบิตของรีจิสเตอร์ SFR	10
รูปที่ 2.7 รีจิสเตอร์ที่ใช้เป็น Timer	11
รูปที่ 2.8 การทำงานของ Timer ในโหมดต่าง	15
รูปที่ 2.9 ความถี่ของสัญญาณนาฬิกาที่เข้าขา Timer	17
รูปที่ 2.10 การใช้บิตควบคุม TR	18
รูปที่ 2.11 ระบบทั้งหมดของ Timer 1	19
รูปที่ 2.12 ขั้นตอนการทำงานของ โปรแกรมเมื่อถูกอินเทอร์รัพท์	22
รูปที่ 2.13 รีจิสเตอร์ต่างๆ ที่เกี่ยวข้องกับการอินเทอร์รัพท์	24
รูปที่ 2.14 การจัดตำแหน่ง โปรแกรมในหน่วยความจำ	27
รูปที่ 2.15 แสดงวงจรของ ไอซี LTC1298	30
รูปที่ 2.16 ลักษณะความสัมพันธ์ของการอ่านเขียนข้อมูล กับการกำหนด MSBF บิต	32
รูปที่ 2.17 แสดง โครงสร้างของ ไอซี LTC1661	34
รูปที่ 2.18 ลักษณะความสัมพันธ์ของการเขียนข้อมูลของ ไอซี LTC1661	34
รูปที่ 3.1 ระบบการทำงานของส่วนแสดงผลสถานะ โลင်း	35
รูปที่ 3.2 แสดงวงจร DC Full Wave และวงจร Buffer	35
รูปที่ 3.3 แสดงวงจร Sampling and Hold	36
รูปที่ 3.4 บล็อกไดอะแกรมแสดงการตั้งค่า V_MIN และ V_MAX ของระบบ	37
รูปที่ 3.5 การต่อไมโครคอนโทรลเลอร์ใช้งานเป็น Hard Lock	38
รูปที่ 3.6 แสดงวงจร Comparator	39

เอกสารนี้เป็นทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 4.1 สัญญาณที่จุดอินพุตของวงจร Zero Crossing (IC7)	53
รูปที่ 4.2 สัญญาณที่จุดอินพุตเทียบกับเอาต์พุตของวงจร Zero Crossing (IC7)	53
รูปที่ 4.3 สัญญาณที่ถูกทำให้มีขนาดแคบๆ โดยใช้ C9	54
รูปที่ 4.4 สัญญาณที่อินพุตขา 3 ของ IC9	54
รูปที่ 4.5 รูปสัญญาณที่เอาต์พุตวงจร DC Full Wave เปรียบเทียบกับสัญญาณ Sampling	55
รูปที่ 4.6 รูปสัญญาณที่เอาต์พุตวงจร DC Full Wave เปรียบเทียบกับสัญญาณ ไฟ DC	55



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 หน้าที่พิเศษของขาต่างๆ ของ PORT 3	4
ตารางที่ 2.2 รีจิสเตอร์ที่ใช้เป็น Timer	12
ตารางที่ 2.3 รีจิสเตอร์ TMOD (Timer Mode)	13
ตารางที่ 2.4 การใช้ Timer โหมดต่าง ๆ	13
ตารางที่ 2.5 แสดงความหมายแต่ละบิตของรีจิสเตอร์ TCON (Timer Control)	14
ตารางที่ 2.6 ค่าสูงสุดของการใช้ Timer โหมดต่างๆ	21
ตารางที่ 2.7 บิตต่างๆ ของรีจิสเตอร์ IE	23
ตารางที่ 2.8 ลำดับความสำคัญของการอินเตอร์รัพท์	24
ตารางที่ 2.9 บิตและหน้าที่ต่างๆ ของรีจิสเตอร์ IP	25
ตารางที่ 2.10 เฟล็กที่จะทำงานเมื่อถูกอินเตอร์รัพท์	25
ตารางที่ 2.11 อินเตอร์รัพท์เวกเตอร์ของอินเตอร์รัพท์ต่างๆ	26
ตารางที่ 2.12 แสดงรูปแบบของสัญญาณ Analog อินพุต	31
ตารางที่ 2.13 แสดงสัญญาณในการเชื่อมต่อกับ A/D	32
ตารางที่ 4.1 แสดงผลการทดลองอ่านค่า A/D บางส่วน	46
ตารางที่ 4.2 แสดงผลการทดลองวัดค่าจากไอซี LTC1661	49
ตารางที่ 4.3 แสดงผลการทดลองสุ่มค่าจากวงจร Comparator	51
ตารางที่ 4.4 แสดงขอบเขต และเปรียบเทียบคุณสมบัติการใช้งาน	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

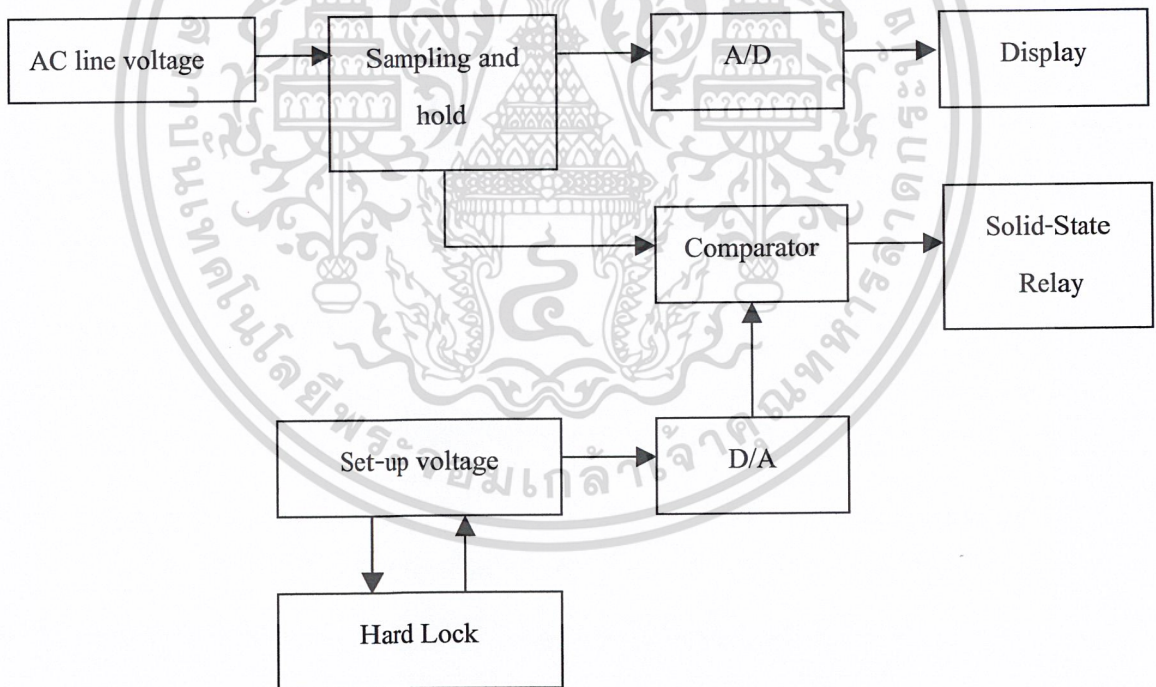
บทนำ

ในปัจจุบันไฟฟ้าเป็นสิ่งจำเป็นมากในชีวิตประจำวัน เพื่อความปลอดภัยของผู้ใช้อุปกรณ์ไฟฟ้า จึงได้มีการคิดค้นระบบป้องกันความปลอดภัยจากไฟฟ้าขึ้นมากมาย โดยเฉพาะความปลอดภัยและความเชื่อถือได้ของระบบ ซึ่งในการใช้ระบบป้องกันความปลอดภัยทางด้านไฟฟ้า จะต้องใช้งานง่าย ไม่ซับซ้อน และมีความเที่ยงตรงแม่นยำสูง

ในโครงการนี้ เราได้ดัดแปลงระบบป้องกันแรงดันไฟฟ้าเกิน ให้สามารถป้องกันไฟฟ้าตกได้ด้วย โดยตัวอุปกรณ์ดังกล่าวจะ OFF ระบบไฟฟ้าอัตโนมัติเมื่อมีปัญหา และจะ ON ระบบไฟฟ้าอัตโนมัติเมื่อเข้าสู่สภาวะปกติ

หลักการทํางานเบื้องต้น

การทํางานของระบบควบคุมแรงดันไฟฟ้าอัตโนมัติ สามารถแบ่งเป็นส่วนๆ ได้ ดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมการทํางานของระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้

1.1 Sampling and hold จะทำหน้าที่ Sampling เฉพาะยอดของแรงดันอิน พุด โดย

ขนาดสัญญาณแรงดันไฟฟ้าอินพุตจะลดลงโดยใช้ตัวต้านทาน และถูกแปลงเป็นแรงดัน DC Full Wave เพื่อใช้ในการเปรียบเทียบและแสดงผล

1.2 **Analog to Digital Convertor (ADC)** จะทำหน้าที่เปลี่ยนค่าแรงดันที่อ่านได้จากเอาต์พุตของวงจร Sampling and hold เป็นสัญญาณดิจิทัลเพื่อแสดงผลบนจอ LCD

1.3 **วงจรเปรียบเทียบแรงดัน (Comparator)** ทำหน้าที่เปรียบเทียบแรงดันของ Line AC จากวงจร Sampling and hold กับแรงดันที่มีการตั้งค่าไว้ ไม่ให้เกินแรงดันสูงสุดกับต่ำสุดจากค่าที่ตั้งไว้ หากไม่อยู่ในช่วงของแรงดันที่ตั้งค่าไว้ จะส่งสัญญาณไปยังตัวควบคุมต่อไป

1.4 **ตัวควบคุมการ ON/OFF Line Voltage** ทำหน้าที่ตัดต่อระบบไฟฟ้าอัตโนมัติ โดยใช้หลักการทำงานในลักษณะของอุปกรณ์ Solid-State Relay

1.5 **Digital to Analog Convertor (DAC)** จะทำหน้าที่รับค่าสัญญาณดิจิทัลจากการ Set - up ให้เป็นค่าแรงดันไฟฟ้า เพื่อทำการเปรียบเทียบ

1.6 **Keyboard** จะรับค่าเพื่อทำการ Set-up แรงดัน

1.7 **อุปกรณ์ป้องกันการ Set - up** จะมีลักษณะแบบเดียวกับ Hard - Lock ซึ่งจะเก็บข้อมูลฟังก์ชันไว้ในตัวฮาร์ดแวร์ เพื่อป้องกันการลืมค่ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การใช้งาน MCS -51 และทฤษฎีที่เกี่ยวข้อง

2.1 การจัดขาของไมโครคอนโทรลเลอร์ 8051

V_{CC} : สำหรับแหล่งจ่ายไฟฟ้า (+5V.)

V_{SS} : สำหรับต่อกราวด์

P0 : เป็นขาพอร์ต 0 ของ 8051 ที่มีขนาด 8 บิตชนิดสองทิศทาง ซึ่งแต่ละบิตสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไปหากต้องการให้เป็นอินพุตสามารถทำได้โดยการเขียนข้อมูล “1” ไปยังบิตนั้น โดยแต่ละบิตเมื่อเป็นเอาต์พุตจะสามารถต่อพ่วงกับอุปกรณ์ TTL แบบ LS ได้ 8 ตัว และยังเป็นขาให้สัญญาณ Multiplex ระหว่างสัญญาณข้อมูลกับสัญญาณ Address 8 บิตแรก ในกรณีที่ใช้หน่วยความจำภายนอก

P1 : เป็นขาพอร์ต 1 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi-directional ซึ่งแต่ละบิตสามารถกำหนดให้เป็นได้ทั้งอินพุตและเอาต์พุตสำหรับใช้งานทั่วไปหากต้องการให้เป็นอินพุต สามารถทำได้โดยการเขียนข้อมูล “1” ไปยังบิตนั้น และสามารถต่อพ่วงกับอุปกรณ์ LS TTL ได้ 4 ตัว

P2 : เป็นขาพอร์ต 2 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi-directional เช่นเดียวกับพอร์ต 1 นอกจากนี้พอร์ต 2 นี้ยังทำหน้าที่ให้สัญญาณ Address 8 บิตบน ในกรณีที่ใช้หน่วยความจำภายนอก ในกรณีอ้าง Address หน่วยความจำขนาด 16 บิต ดังนั้นขณะที่ใช้หน่วยความจำภายนอก จะต้องไม่มีการเขียนข้อมูลใด ๆ ไปที่พอร์ต 2 จะทำให้เกิดความผิดพลาดการทำงานได้

P3 : เป็นขาพอร์ต 3 ของ 8051 ขนาด 8 บิต ชนิดสองทิศทางแบบ Quasi bi-directional เช่นเดียวกับขาพอร์ต 1 และพอร์ต 2 แต่พอร์ต 3 นี้จะมีหน้าที่พิเศษดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 หน้าทีพิเศษของขาต่าง ๆ ของ PORT 3

ขาพอร์ต	หน้าที่พิเศษ
P3.0	R x D (สำหรับรับข้อมูลแบบอนุกรม)
P3.1	T x D (สำหรับส่งข้อมูลแบบอนุกรม)
P3.2	INT0 (ขาอินเทอร์รัพท์ภายนอก 0)
P3.3	INT1 (ขาอินเทอร์รัพท์ภายนอก 1)
P3.4	T0 (ขาอินพุตของ Timer 0)
P3.5	T1 (ขาอินพุตของ Timer 1)
P3.6	WR (สำหรับสัญญาณเขียนหน่วยความจำข้อมูลภายนอก)
P3.7	RD (สำหรับสัญญาณอ่านหน่วยความจำข้อมูลภายนอก)

ดังนั้น เมื่อมีการใช้สัญญาณดังกล่าว จึงไม่ควรเขียนข้อมูลไปที่พอร์ต 3 จะทำให้การทำงานของ 8051 ผิดพลาดได้

RS : เป็นขาสำหรับรีเซตการทำงานของ 8051 โดยการให้ลอจิกหนึ่งเป็นเวลาอย่างน้อย 2 ช่วง Machine Cycle

ALE : เป็นขาที่ใช้ในการควบคุมการแลตซ์ของขา พอร์ต 0 เมื่อมีการใช้งานหน่วยความจำภายนอก

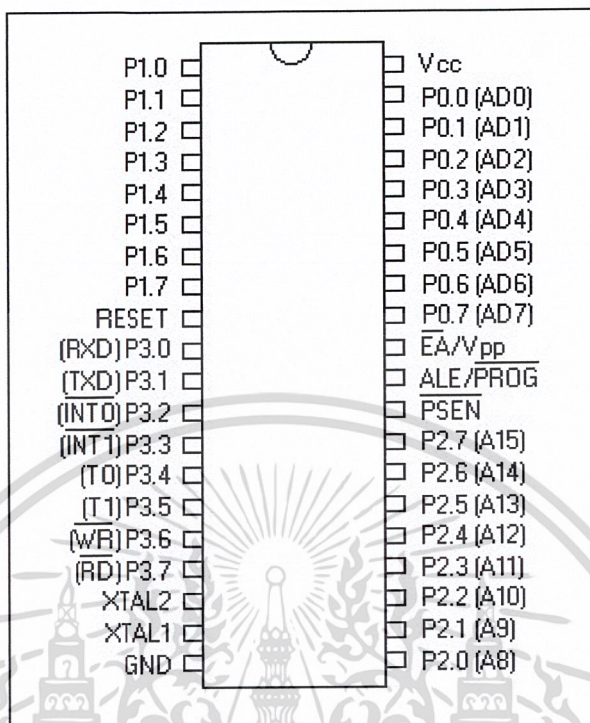
PSEN : เป็นขาสัญญาณเพื่อร้องขอติดต่อหน่วยความจำโปรแกรมภายนอก เมื่อไมโครคอนโทรลเลอร์ต้องการอ่านหน่วยความจำโปรแกรมภายนอก

EA : เป็นขาใช้สำหรับเลือกการติดต่อหน่วยความจำโปรแกรมภายนอกหรือภายในไมโครคอนโทรลเลอร์ โดยที่ให้ลอจิก “0” จะอ่านหน่วยความจำโปรแกรมภายนอกและลอจิก “1” จะอ่านหน่วยความจำโปรแกรมภายใน

XTAL1 : ขาเข้าของวงจรกำเนิดความถี่อ้างอิงภายในของ 8051

XTAL2 : ขาออกของวงจรกำเนิดความถี่อ้างอิงภายในของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

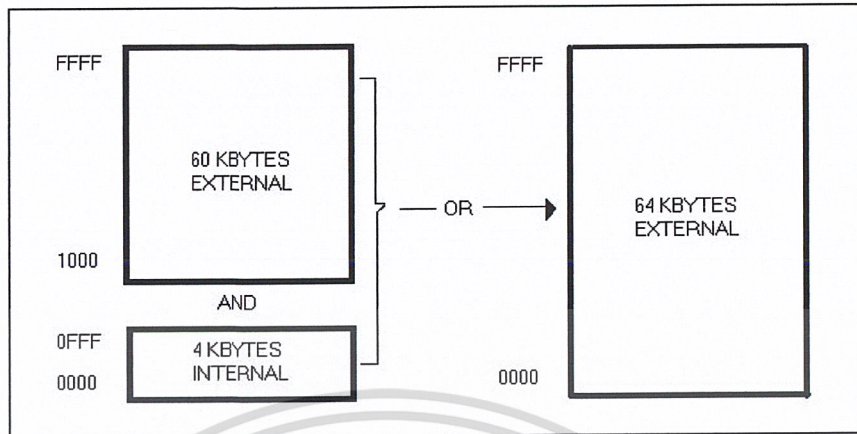


รูปที่ 2.1 การจัดขาของ 8051

2.2 โครงสร้างของหน่วยความจำของ 8051

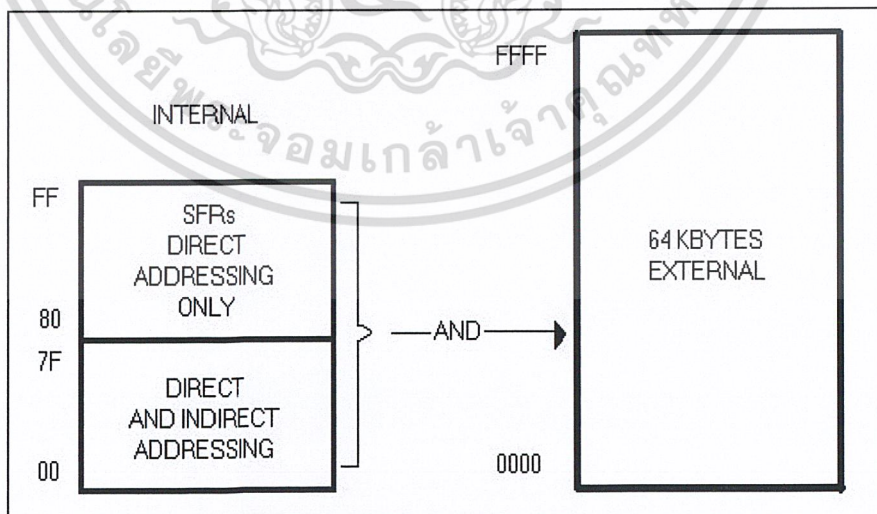
ดังที่กล่าวมาแล้ว 8051 จะแบ่งหน่วยความจำออกเป็นสองส่วน ได้แก่ หน่วยความจำสำหรับโปรแกรมและหน่วยความจำสำหรับเก็บข้อมูล โดยมีขนาดของแต่ละส่วนเท่ากับ 64 กิโลไบต์ ในส่วนของหน่วยความจำโปรแกรม จะเป็นส่วนของหน่วยความจำสำหรับอ่านอย่างเดียว โดยที่ 8051 จะใช้สัญญาณ PSEN ในการอ่านเท่านั้น แต่หน่วยความจำข้อมูลของ 8051 จะสามารถอ่านและเขียนได้โดยใช้สัญญาณ RD และ WR ตามลำดับ แต่อย่างไรก็ตาม ผู้ใช้สามารถรวมหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลเข้าด้วยกันได้ โดยนำสัญญาณ RD และ PSEN มาต่อเข้าวงจรแอนนเคด สำหรับสร้างสัญญาณในการอ่านหน่วยความจำ นอกจากนี้หน่วยความจำโปรแกรมยังแบ่งออกเป็นภายนอกและภายในของ 8051 ดังแสดงในรูปที่ 2.2 รูปที่ 2.3 โดยรูปที่ 2.2 แสดงหน่วยความจำโปรแกรมในกรณีที่เลือกใช้หน่วยความจำภายนอกและภายในทางด้านซ้ายมือเป็นส่วนหนึ่งของหน่วยความจำโปรแกรมภายในที่มีขนาด 4 กิโลไบต์ของ 8051 ส่วนที่เหลือจะเป็นหน่วยความจำภายนอก ส่วนด้านขวามือแสดงหน่วยความจำโปรแกรมเมื่อเลือกให้ติดต่อหน่วยความจำภายนอกทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงหน่วยความจำโปรแกรมของ 8051

สำหรับหน่วยความจำข้อมูลของ 8051 สามารถแบ่งออกเป็นภายนอกและภายใน โดยหน่วยความจำภายนอกแสดงไว้ด้านขวามือของรูปที่ 2.3 ซึ่งมีขนาด 64 กิโลไบต์ ส่วนหน่วยความจำข้อมูลภายในแสดงไว้ด้านซ้ายของรูปที่ 2.3 โดยหน่วยความจำภายในของ 8051 แบ่งออกเป็นสองส่วน ได้แก่ ส่วนของหน่วยความจำข้อมูลที่สามารถอ้างอิงแบบ Direct และ Indirect ซึ่งมีขนาด 128 ไบต์ กับหน่วยความจำที่อ้างอิงได้เฉพาะแบบ Direct หรือในส่วนนี้จะเรียกอีกแบบหนึ่งว่า SFR (Special Function Register) โดยจะแบ่งกล่าวได้ดังนี้

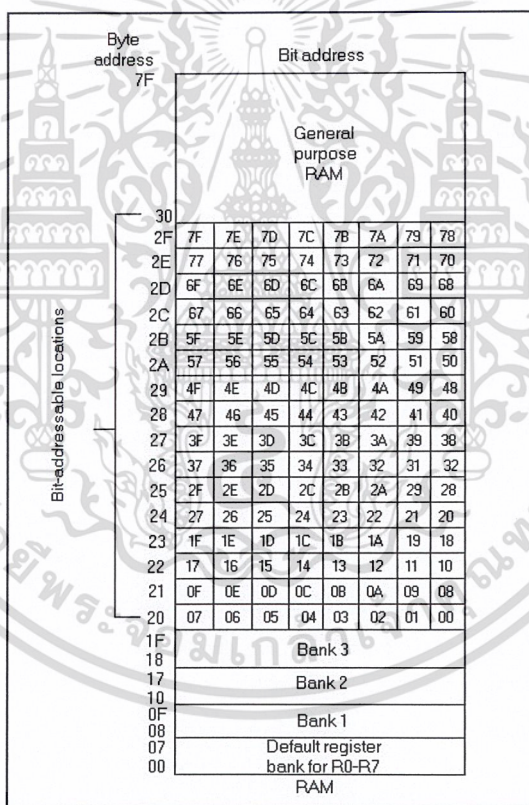


รูปที่ 2.3 แสดงหน่วยความจำข้อมูลของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของหน่วยความจำข้อมูลภายในที่อ้างอิงแบบ Direct และ Indirect นั้นจะสามารถแบ่งออกได้ 3 ส่วน ดังแสดงในรูปที่ 2.4 โดยมีรายละเอียดดังนี้

- ส่วนที่ 1 เรียกว่า Register Banks 0-3 ซึ่งอยู่ที่ตำแหน่งความจำข้อมูลภายใน ตั้งแต่ 00 H ถึง 1FH จำนวน 32 ไบต์ โดยจะแบ่งออกเป็นชุด ชุดละ 8 ไบต์จำนวน 4 ชุด ซึ่งแต่ละชุดจะมีชื่อเรียกเป็น R0 ถึง R7 จะเป็น Register ที่ใช้งาน โดยเมื่อ 8051 ถูกรีเซ็ต Register Bank 0 จะถูกเลือกใช้
- ส่วนที่ 2 เรียกว่า Bit Addressable Area ซึ่งมีขนาด 16 ไบต์ที่ตำแหน่งหน่วยความจำข้อมูล 20H ถึง 2FH ในส่วนนี้สามารถที่จะอ้างอิงข้อมูลได้เป็นระดับบิตถึง 128 บิต โดยการอ้างอิงตำแหน่งโดยตรงในลักษณะบิต ตั้งแต่ตำแหน่ง 00H ถึง 7FH



รูปที่ 2.4 แสดงหน่วยความจำข้อมูลภายใน

- ส่วนที่ 3 เรียกว่า Scratch Pad Area จะอยู่ที่ตำแหน่งตั้งแต่ 30H ถึง 7FH ซึ่งเป็นบริเวณหน่วยความจำข้อมูลภายในเอนกประสงค์ที่ผู้ใช้สามารถใช้ได้โดยตรงนอกจากนี้ยังสามารถใช้หน่วยความจำข้อมูลบริเวณนี้สำหรับการเก็บข้อมูลแบบ Stack ได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของหน่วยความจำข้อมูลภายในที่ใช้อ้างอิงแบบ Direct เพียงอย่างเดียวหรือที่เรียกว่า SFR ซึ่งเป็นส่วนสำหรับเก็บหรือกำหนดการทำงานภายในของ 8051 ดังแสดงในรูปที่ 2.5

ในส่วนของบริเวณนี้จะมีขนาด 128 ไบต์ แต่ในการใช้งานนั้นใช้ได้เฉพาะตำแหน่งซึ่งแสดงไว้ในรูปที่ 2.5 เท่านั้น หากผู้ใช้อ้างตำแหน่งนอกเหนือจากนี้จะได้ข้อมูลที่คาดเดาไม่ได้ โดยแต่ละตำแหน่งจะมีหน้าที่ดังนี้

ACC : เป็น Accumulator ซึ่งเป็นรีจิสเตอร์สำหรับการประมวลผลทางคณิตศาสตร์และลอจิก โดยผู้ใช้สามารถอ้างอิงได้ในรูปแบบของไบต์หรือระดับบิตได้

B : เป็นรีจิสเตอร์พิเศษสำหรับใช้กับคำสั่งในการคูณหรือหาร เก็บพักข้อมูลได้

PSW : เป็นรีจิสเตอร์ Program Status Word หรือแฟลคจะแสดงสถานะการทำงานของ 8051 สำหรับการตรวจสอบซึ่งจะอธิบายรายละเอียดในภายหลัง

8 Bytes							
F8							FF
F0	B						F7
E8							E7
E0	ACC						E7
D8							DF
D0	PSW ^(1,2)						D7
C8	T2CON ^(1,2)	T2MOD ⁽²⁾	RCAP2L ⁽²⁾	RCAP2H ⁽²⁾	TL2 ⁽²⁾	TH2 ⁽²⁾	CF
C0							C7
B8	IP ^(1,2)						BF
B0	P3						B7
A8	IE ^(1,2)						AF
A0	P2						A7
98	SCON ^(1,2)	SBUF					9F
90	P1						97
88	TCON ^(1,2)	TMOD ^(1,2)	TL0	TL1	TH1		8F
80	P0	SP	DPL	DPH			PCON ^(1,2)

↑ Bit Addressable

Notes : 1. SFRs converting mode or control bits
2. AT89C52 only

รูปที่ 2.5 แสดงรายละเอียดของ Special Function Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SP : เป็นรีจิสเตอร์สำหรับชี้หน่วยความจำข้อมูลภายในสำหรับการเก็บแบบ Stack

DPTR : เป็นรีจิสเตอร์ขนาด 16 บิต โดยแบ่งเป็น 8 บิตบน และ 8 บิตล่าง ซึ่งใช้สำหรับชี้ตำแหน่งของหน่วยความจำข้อมูลภายนอกหรือสำหรับการอ่านตารางข้อมูลของหน่วยความจำโปรแกรม

P0 : เป็นรีจิสเตอร์สำหรับพอร์ต 0 ของ 8051

P1 : เป็นรีจิสเตอร์สำหรับพอร์ต 1 ของ 8051

P2 : เป็นรีจิสเตอร์สำหรับพอร์ต 2 ของ 8051

P3 : เป็นรีจิสเตอร์สำหรับพอร์ต 3 ของ 8051

IP : เป็นรีจิสเตอร์สำหรับกำหนดลำดับความสำคัญของการอินเทอร์รัพท์ของ 8051

IE : เป็นรีจิสเตอร์สำหรับกำหนดการรับหรือไม่รับการอินเทอร์รัพท์ของ 8051

TMOD : เป็นรีจิสเตอร์สำหรับควบคุมหน้าที่ของ Timer/Counter ของ 8051

TCON : เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ Timer/Counter ของ 8051

T2CON : เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ Timer/Counter 2 ของ 8052

TH0 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 08 บิตบน

TL0 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 08 บิตล่าง

TH1 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 18 บิตบน

TL1 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 18 บิตล่าง

TH2 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 28 บิตบนของ 8052

TL2 : เป็นรีจิสเตอร์สำหรับเก็บข้อมูลของ Timer/Counter 28 บิตล่างของ 8052

RCAP2H : เป็น Capture Register ของ Timer/Counter 28 บิตบนของ 8052

SCON : เป็นรีจิสเตอร์สำหรับควบคุมการรับส่งข้อมูลแบบอนุกรมของ 8051

SBUF : เป็นรีจิสเตอร์สำหรับเก็บพักข้อมูลที่ได้จากการรับส่งข้อมูลแบบอนุกรมของ 8051

PCON : เป็นรีจิสเตอร์สำหรับควบคุมการทำงานของ 8051 ด้านเกี่ยวกับการใช้กำลังไฟฟ้า ในส่วนของรีจิสเตอร์ SFR นี้สามารถที่จะอ้างอิงในระดับบิตได้โดยตำแหน่งการอ้างอิงระดับบิตแสดงไว้รูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Byte address	Bit address								
FF									B
F0	F7	F6	F5	F4	F3	F2	F1	F0	
E0	E7	E6	E5	E4	E3	E2	E1	E0	ACC
D0			D5	D4	D3	D2	-	D0	PSW
B8	-	-	-	BC	BB	BA	B9	B8	IP
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8	AF	-	-	AC	AB	AA	A9	A8	IE
A0	A7	A6	A5	A4	A3	A2	A1	A0	P2
99	not bit addressable								SBUF
98	9F	9E	9D	9C	9B	9A	99	98	SCON
90	97	96	95	94	93	92	91	90	P1
8D	not bit addressable								TH1
8C	not bit addressable								TH0
8B	not bit addressable								TL1
8A	not bit addressable								TL0
89	not bit addressable								TMOD
88	8F	8E	8D	8C	8B	8A	89	88	TCON
87	not bit addressable								PCON
83	not bit addressable								DPH
82	not bit addressable								DPL
81	not bit addressable								SP
80	87	86	85	84	83	82	81	80	P0

รูปที่ 2.6 แสดงตำแหน่งการอ้างอิงระดับบิตของรีจิสเตอร์ SFR

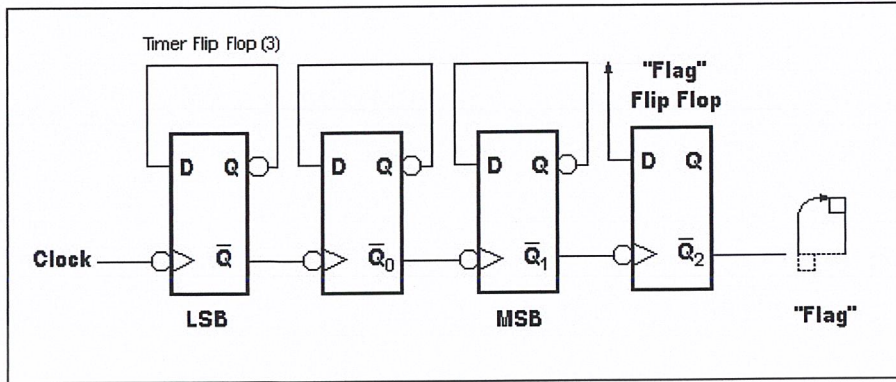
2.3 TIMER

อาจพิจารณาได้ง่ายๆ ว่าเป็นตัวฟลิปฟลอปมาต่อเรียงกัน โดยมี Clock เป็นอินพุต สำหรับเอาต์พุตที่ออกมาแต่ละตัวจะถูกหารด้วย 2 พิจารณาการต่อฟลิปฟลอปตามรูปที่ 2.7 ถ้าใส่ Clock เข้าไปในฟลิปฟลอปตัวแรก ความถี่ของ Clock ที่ออกจาก เอาต์พุตตัวแรกจะถูกหารด้วย 2 และเอาต์พุตนี้จะต่อกับฟลิปฟลอปตัวที่สอง และสัญญาณที่ออกมาจะถูกหารด้วย 2 อีก ดังนั้น ถ้าหากมีฟลิปฟลอปต่ออยู่ n Stages จะหารสัญญาณพิก้าได้ 2ⁿ

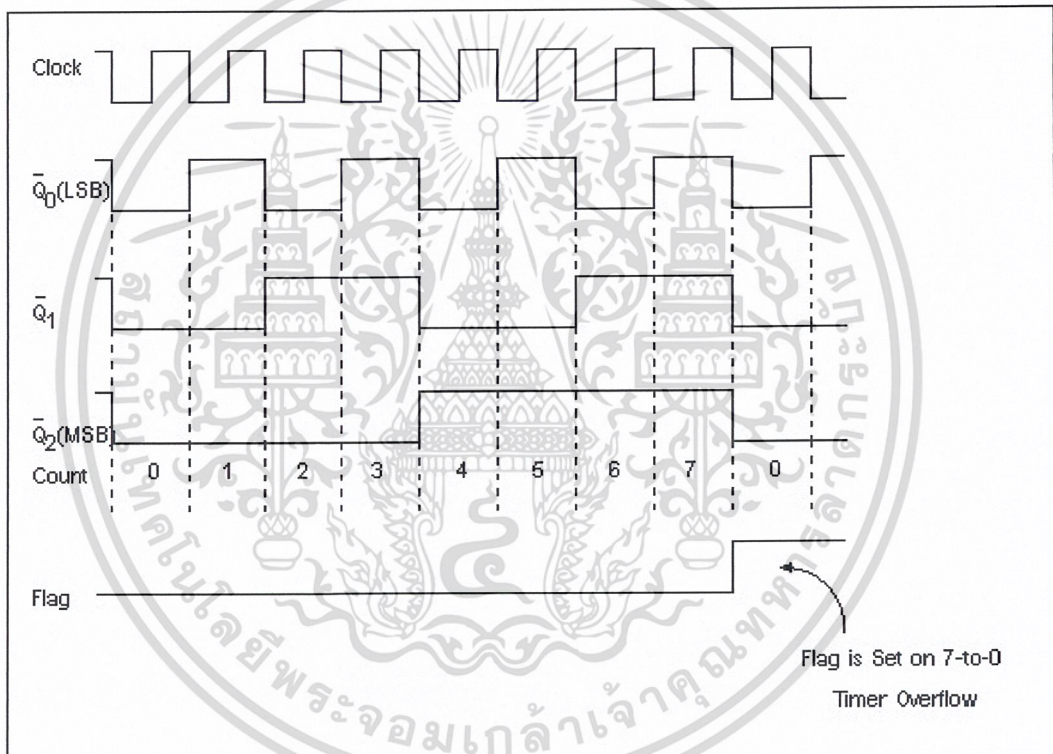
พิจารณารูป 2.7(ก) เป็น 3-Bit Timer โดยฟลิปฟลอปแต่ละตัวจะนำขา Q มาต่อกับ D ซึ่งอาจเรียกว่าเป็นการใช้ฟลิปฟลอปแบบ Divide-by-two Mode โดยความถี่ของสัญญาณที่ได้จาก

ฟลิปฟลอปแต่ละตัวจะมีค่าหารสองจากสัญญาณพิก้าที่เข้ามา เมื่อนับไปถึงค่า 111 (หรือ Q₂ = 1, Q₁ = 1, Q₀ = 1) และเปลี่ยนกลับมาเป็น 000 จะให้บิต Flag ออกมา ดังแสดงในรูปที่ 2.7(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 2.7 รีจิสเตอร์ที่ใช้เป็น Timer

ใน MCS – 51 จะมีตัวจับเวลาอยู่ภายใน ชิพ ถ้าเป็นเบอร์ 8051 หรือ 8031 จะมี 2 ตัว คือ Timer 0 และ Timer 1 แต่ถ้าเป็นเบอร์ 8052 จะมีเพิ่มอีกหนึ่งตัวคือ Timer 2 รีจิสเตอร์ต่าง ๆ ที่เกี่ยวข้องกับการใช้ Timer แสดงได้ดังตารางที่ 2.2 ซึ่งจะเห็นว่ารีจิสเตอร์บางตัวสามารถเข้าถึงข้อมูล

ระดับบิตได้ด้วย นอกจากนี้ตัว Timer สามารถใช้เป็นตัวนับ (Counter) ได้อีกด้วย โดยการโปรแกรมในรีจิสเตอร์ TMOD

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 รีจิสเตอร์ที่ใช้เป็น Timer

รีจิสเตอร์	หน้าที่	ตำแหน่ง	สามารถอ้างอิงตำแหน่งบิต
TCON	Control	88H	Yes
TMOD	Mode	89H	No
TL0	Timer 0 Low-byte	8AH	No
TL1	Timer 1 Low-byte	8BH	No
TH0	Timer 0 High-byte	8CH	No
TH1	Timer 1 High-byte	8DH	No
T2CON*	Timer 2 Control	C8H	Yes
RCAP2L*	Timer 2 Low-byte Capture	CAH	No
RCAP2H*	Timer 2 High-byte Capture	CBH	No
TL2*	Timer 2 Low-byte	CCH	No
TH2*	Timer 2 High-byte	CDH	No

* มีในเบอร์ 8032 / 8052

2.3.1 Timer Mode Register (TMOD)

ตัวรีจิสเตอร์ TMOD เป็นรีจิสเตอร์ควบคุม Timer จะแบ่งออกเป็น 2 กลุ่ม กลุ่มละ 4 บิต โดย 4 บิตบนจะเป็นการควบคุม Timer 1 ส่วน 4 บิตล่างจะเป็นการควบคุม Timer 0 ความหมายของแต่ละบิตอยู่ในตารางที่ 2.3 ซึ่งตัวรีจิสเตอร์นี้ซึ่งจะเป็นตัวเลือกการทำงานว่าจะให้ตัว Time/Counter ทำงานในโหมดใด และเป็น Timer หรือ Counter รีจิสเตอร์ TCON ไม่สามารถจะโปรแกรมเข้าไปในระดับบิตได้ (Not Bit-Addressable) ซึ่งการใช้งานมักจะโปรแกรมเข้าไปครั้งเดียวในตำแหน่งเริ่มต้นของโปรแกรม

ตารางที่ 2.3 รีจิสเตอร์ TMOD (Timer Mode)

บิต	ชื่อ	Timer	ความหมาย
7	GATE	1	Gate Bit ถ้าบิตนี้เซตวงจรจะทำงาน เมื่อ INT1 เป็น High
A	C/T	1	เป็นบิตเลือก Counter / Timer 1 = ใช้เป็น Counter 0 = ใช้เป็น Timer
5	M1	1	Mode Bit 1 (ดูตาราง 5-3)
4	M0	1	Mode Bit 0 (ดูตาราง 5-3)
3	GATE	0	บิต Gate ของ Timer 0
2	C/T	0	บิตเลือก Counter / Timer ของ Timer 0
1	M1	0	Timer 0 M1 Bit
0	M0	0	Timer 0 M0 Bit

ตารางที่ 2.4 การใช้ Timer โหมดต่างๆ

M1	M0	Mode	ความหมาย
0	0	0	ใช้เป็น Timer แบบ 13-Bit (8048 Mode)
0	1	1	ใช้เป็น Timer แบบ 16-Bit
1	0	2	ใช้เป็น Timer แบบ 8-Bit Auto-reload
1	1	3	Split Timer Mode : แยก Timer 0 ออกเป็น Timer 8 บิตสองตัวคือ TL0 และ TH0 โดยไม่ใช้ Timer 1

2.3.2 Timer Control Register (TCON)

รีจิสเตอร์ TCON เป็นรีจิสเตอร์ที่บอกสถานะและควบคุมบิต Timer 0 และ Timer 1 ซึ่งดูได้จากตารางที่ 2.5 รีจิสเตอร์นี้สามารถเข้าถึงข้อมูลระดับบิตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

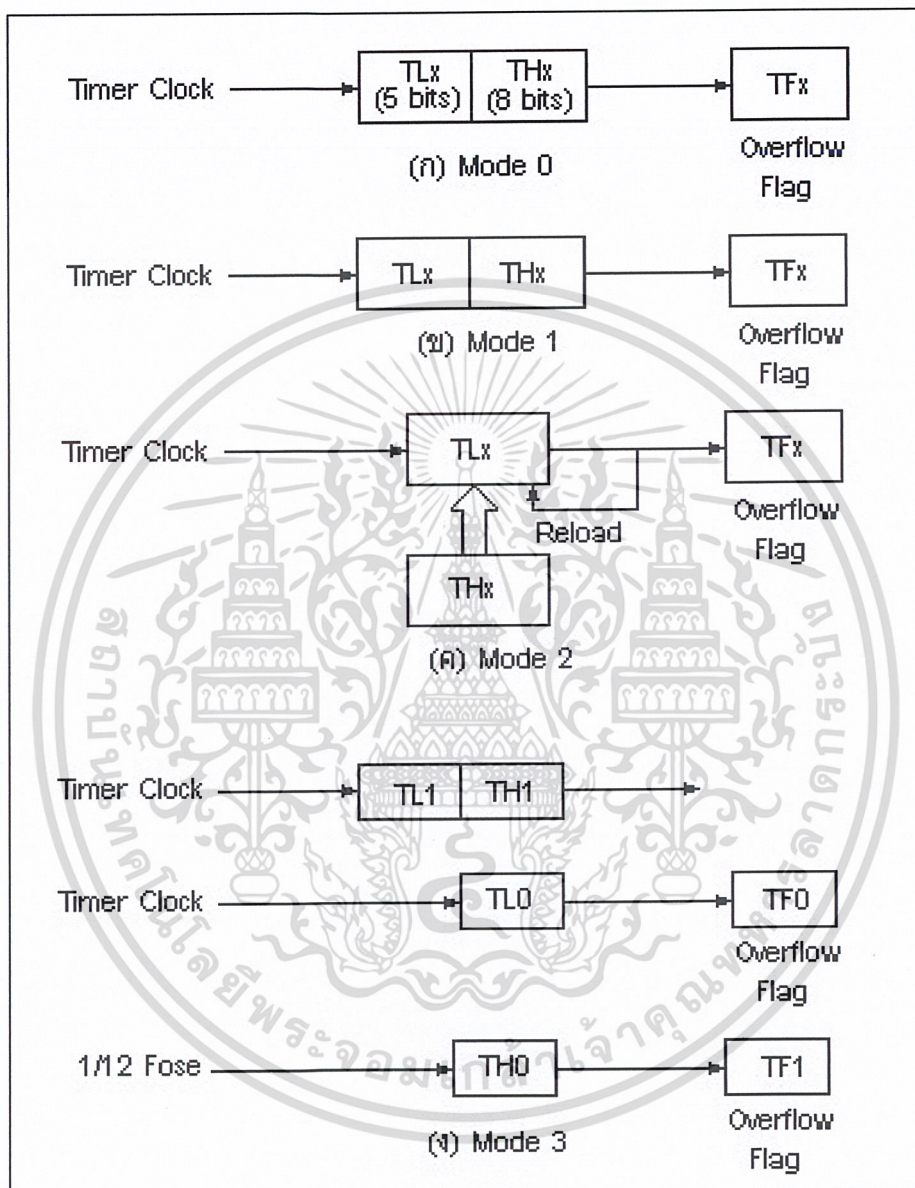
2.3.3 Timer Mode And Overflow Flag

เมื่อใช้ Timer 0 และ Timer 1 จะต้องใช้รีจิสเตอร์คู่ TLx และ THx โดยค่า x จะเป็นตัวบอกรหัสว่าเป็น Timer 0 หรือ Timer 1 การใช้ Timer สามารถใช้งานได้หลายโหมด ดังแสดงในรูปที่ 2.5 ซึ่งเราสามารถเซตค่าโหมดการทำงานได้ โดยการโปรแกรมในรีจิสเตอร์ TMOD

ตารางที่ 2.5 แสดงความหมายแต่ละบิตของรีจิสเตอร์ TCON (Timer Control)

บิต	ชื่อ	ตำแหน่งบิต	ความหมาย
TCON.7	TF1	8FH	บิตแฟลคแสดงการโอเวอร์โฟลว์ของ Timer 1 จะ Set โดย Hardware และ Clear โดย Software
TCON.6	TR1	8EH	บิตควบคุมการปิด-เปิด Timer 1 Set และ Clear โดย Software
TCON.5	TF0	8DH	แฟลคแสดงการโอเวอร์โฟลว์ของ Timer 0
TCON.4	TR0	8CH	บิตควบคุมการปิด-เปิด Timer 0
TCON.3	IE1	8BH	บิตแฟลคแสดงการอินเทอร์รัพท์จาก INT1 จะ Set โดย Hardware และสามารถ Clear ได้ด้วย Software
TCON.2	IT1	8AH	บิตเลือกชนิดของสัญญาณอินเทอร์รัพท์จากอินเทอร์รัพท์ภายนอก INT1 สามารถ Set และ Clear ได้ด้วย Software
TCON.1	IE0	89H	บิตแฟลคแสดงการอินเทอร์รัพท์จาก INTO
TCON.0	IT0	88H	บิตเลือกชนิดของสัญญาณอินเทอร์รัพท์จากอินเทอร์รัพท์ภายนอก INTO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 การทำงานของ Timer ในโหมดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 Timer Mode And Overflow Flag

เมื่อใช้ Timer 0 และ Timer 1 จะต้องใช้รีจิสเตอร์คู่ TLx และ THx โดยค่า x จะเป็นตัวบอกรหัสว่าเป็น Timer 0 หรือ Timer 1 การใช้ Timer สามารถใช้งานได้หลายโหมด ดังแสดงในรูปที่ 2.5 ซึ่งเราสามารถเซตค่าโหมดการทำงานได้ โดยการโปรแกรมในรีจิสเตอร์ TMOD

13-Bit Timer Mode (Mode 0)

การทำงานในโหมด 0 นี้จะเป็นการใช้ Timer แบบ 13 บิต ดังแสดงในรูป 2.8(ก) ซึ่งจะใช้ 5 บิตล่างของ TLx โดยไม่สนใจ 3 บิตที่เหลือ และ 8 บิต ของ THx การทำงานในโหมดนี้ เมื่อบิตของ TLx นับไปจนเป็น "1" ทุกบิตจะส่ง Clock 1 ลูกให้ หนึ่งลูกให้ THx นับต่อและเมื่อนับเป็น "1" ทุกบิต และเปลี่ยนกลับเป็น "0" จะเกิด Overflow Flag เกิดขึ้น

16-Bit Timer Mode (Mode 1)

การทำงานในโหมดนี้จะเหมือนกับการทำงานในโหมด 0 แต่เป็น Timer แบบ 16 บิต ซึ่งการนับจะเริ่มตั้งแต่ 0000H,0001H,0002H ไปเรื่อยๆ และจะเกิด Overflow ขึ้น เมื่อมีการเปลี่ยนจาก FFFFH เป็น 0000H ดังรูปที่ 2.8(ข) ซึ่งเป็นการเซต Overflow Flag และค่านี้จะเกิดขึ้นในบิต TFX ของรีจิสเตอร์ TCON ซึ่งสามารถอ่านและเขียนด้วยโปรแกรม

การใช้ตัว Timer นี้ค่าของบิตสูงสุด (MSB) คือค่าบิต 7 ของ THx ส่วนบิตต่ำสุด (LSB) คือบิต 0 ของ TLx บิต LSB จะเป็น Toggles เมื่อมีสัญญาณอินพุตเข้ามา ถูกหารด้วย 2 ดังนั้นจะพบว่าบิต MSB จะ Toggles ด้วยค่าความถี่ของสัญญาณอินพุตหารด้วย 65,536 (2^{16}) และค่า Timer รีจิสเตอร์นี้ (TLx/THx) สามารถอ่านและเขียนได้ด้วยการโปรแกรม ดังนั้นสามารถนำไปประยุกต์ใช้งานได้ตามต้องการ

8-Bit Auto – Reload Mode (Mode 2)

การทำงานในโหมด 2 เรียกอีกอย่างหนึ่งว่า 8-Bit Auto – Reload Mode โดยใช้ Timer 16 บิตต่ำ (TLx) เป็น Timer แบบ 8 บิต เมื่อไบต์ต่ำเกิด Overflows หรือเกิดการเปลี่ยนแปลงจาก FFH เป็น 00H จะมีการโหลดค่าที่เก็บไว้ในไบต์สูง (THx) ไปเก็บไว้ในไบต์ต่ำ (TLx) ซึ่งจะเป็นค่าเริ่มต้นของการนับครั้งต่อไป นิยมใช้สร้างเป็นฐานเวลาที่สามารถโปรแกรมได้ การทำงานในโหมดนี้แสดงดังรูปที่ 2.8(ค)

Split Timer Mode (Mode 3)

การทำงานในโหมด 3 นี้ ตัว Timer 1 จะไม่ทำงาน ตัว Timer 0 จะแยกเป็น 2 ตัว ตัวละ 8 บิต คือ TL0 และ TH0 เมื่อ Timer เกิด Overflows จะมีการเซตบิต TF0 และ TF1 ดังแสดงในรูปที่ 2.8(ง)

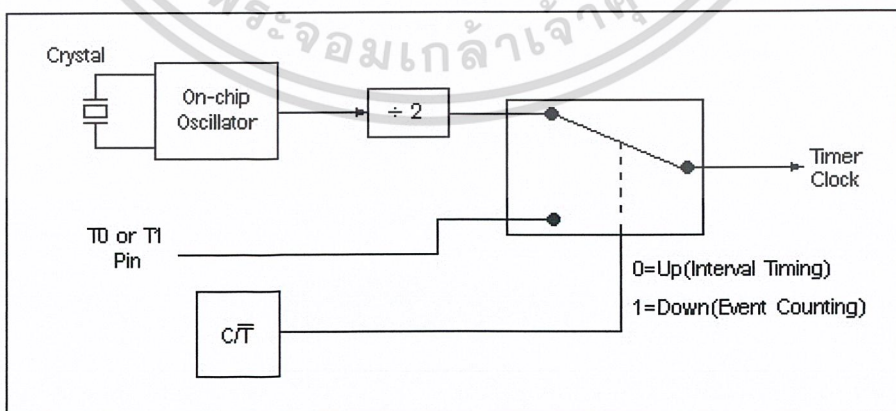
การทำงานในโหมด 3 นี้ Timer 1 จะไม่ถูกใช้งานแต่เราสามารถสวิตช์ให้ Timer 1 ไปทำงานในโหมดอื่นได้ แต่การทำงานของ Timer 1 จะไม่มีการอินเทอร์รัพท์เกิดขึ้น เพราะบิต TF1 ถูกใช้ในการนับของ TH0 ในการทำงานของโหมด 3 ไปแล้ว เราอาจมองว่าถ้าให้ Timer ทำงานในโหมด 3 ทำให้เรามี Timer เพิ่มขึ้น คือ TH0 และ TL0 ใน Timer 0 โหมด 3 และโปรแกรมให้ Timer 1 ไปทำงานในโหมดอื่น ๆ

2.3.4 Clocking Source

ในรูปที่ 2.8 ไม่ได้แสดงว่า Timer Clock นำมาจากที่ใดซึ่งการใช้ Timer นี้สามารถใช้ได้ 2 หน้าที่ คือเป็นตัวจับเวลา (Timer) และเป็นตัวนับ (Counter) ซึ่งสามารถโปรแกรมได้โดยการเซต หรือรีเซตบิต C / T ในรีจิสเตอร์ TMOD

การใช้เป็นตัวจับเวลา (Timer)

ถ้าบิต C/T ใน TMOD เป็น ลอจิก “0” จะเป็นการเลือกให้ Timer นำ Clock มาจากวงจร Oscillator ในชิพ ซึ่งสัญญาณนาฬิกาจะเข้ามาทุก ๆ Machine Cycle หรืออาจกล่าวได้ว่าค่าใน THx และ TLx จะมีค่าเพิ่มขึ้นด้วยอัตราการนับแต่ละครั้งใช้เวลาเท่ากับ 1/12 ของความถี่ของสัญญาณนาฬิกาที่ใช้บนชิพ ดังแสดงในรูปที่ 2.9 ถ้า MCS – 51 ใช้สัญญาณนาฬิกา 12 MHz การนับจะมีความถี่เท่ากับ 1 MHz



รูปที่ 2.9 ความถี่ของสัญญาณนาฬิกาที่เข้าหา Timer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

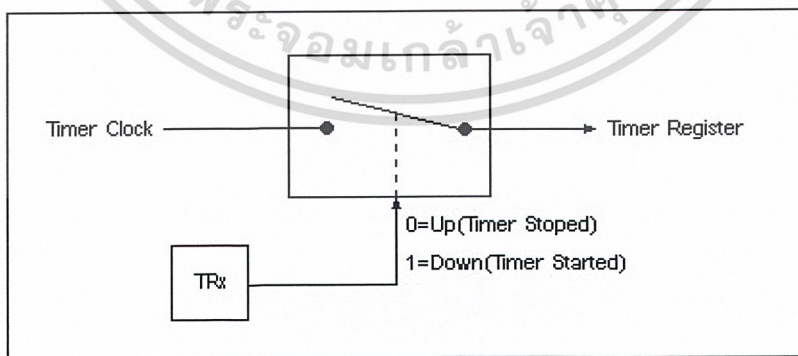
การใช้เป็นตัวนับ (Counter)

ถ้าบิต C/T เป็น “1” ตัว Timer จะนำ Clock มาจากภายนอกโดยใช้ขา P3.4 หรือ T0 เป็นขา Input Clock ให้กับ Timer 0 และใช้ขา P3.5 หรือ T1 เป็น Input Clock ให้กับ Timer 1 ดังรูปที่ 2.9 หรืออาจมองว่า ถ้าจะให้มันบออะไรสัญญาณที่จะนับให้ต่อกับขา T0 และ T1 ในการใช้เป็น Counter สัญญาณที่เข้ามาจะมีการเปลี่ยนแปลงจาก “1” เป็น “0” จะทำให้วงจรนับ TLx มีค่าเพิ่มขึ้น 1 ภายใน MCS – 51 นี้จะตรวจสอบขาอินพุต T0 และ T1 ในช่วงเวลาเฟส 2 ของ State 5 (S5P2) ถ้าพบว่ามีค่าเป็น “1” ต่อมาในอีกหนึ่ง Machine Cycle ที่เฟส 2 ของ State 5 (S5P2) ลอจิกอินพุตเปลี่ยนเป็น “0” จะทำให้ค่าใน Timer เพิ่มขึ้น 1 ดังนั้น จะเห็นได้ว่าการนับ 1 ครั้งจะต้องใช้เวลา 2 Machine-Cycles ดังนั้นความถี่สูงสุดที่จะให้ Timer ทำงานเป็น Counter นับได้ จะมีค่ามากที่สุด 500 kHz ถ้า MCS – 51 ทำงานที่ความถี่สัญญาณนาฬิกา 12 MHz

2.3.5 การเริ่ม การหยุด และการควบคุม Timer

ในรูปที่ 2.8 จะแสดงลักษณะของ Timer Registers ซึ่งจะเห็นว่าประกอบด้วย TLx และ THx และเมื่อเกิด Overflow จะเกิดเอาต์พุตที่บิต TRx สำหรับสัญญาณนาฬิกาที่จะเข้าไปใน Time จะมาจาก 2 ส่วนดังแสดงในรูปที่ 2.9 ต่อไปจะกล่าวถึงว่าเราจะควบคุมให้เริ่ม ,หยุดตัว Timer ได้อย่างไร

วิธีเริ่มและหยุดตัว Timers สามารถควบคุมได้ที่บิต TRx ในรีจิสเตอร์ TCON โดยปกติแล้ว TRx จะเคลียร์หลังจากที่ระบบถูกรีเซต ซึ่งจะเป็นการให้ Timer ไม่นับและ TRx นี้จะเซตได้จากชุดคำสั่ง หรือการโปรแกรม พิจารณารูปที่ 2.10



รูปที่ 2.10 การใช้บิตควบคุม TR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวบิต TRx จะเป็นส่วนที่สามารถเข้าถึงข้อมูลในระดับบิตได้ (Bit Addressable) ในรีจิสเตอร์ TCON ถ้าจะให้ TIMER 0 เริ่มทำงานจะเขียนคำสั่งได้ดังนี้

SETB TR0

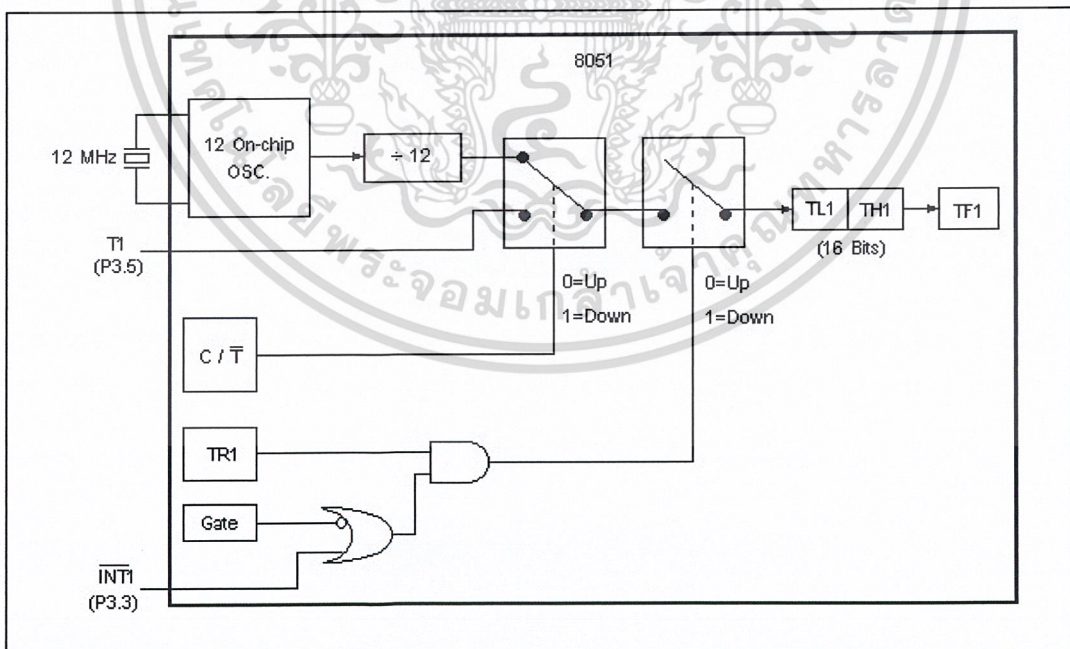
ถ้าจะหยุดทำงานเขียนคำสั่งได้ดังนี้

CLR TR0

ในการเขียนโปรแกรมภาษาแอสเซมบลี สามารถใช้สัญลักษณ์ TR0 ในคำสั่ง SETB TR0 ได้ เพราะตัวแอสเซมบลีจะตีความ TR0 เป็น Bit Address ตำแหน่ง 8CH

วิธีควบคุม Timer สามารถควบคุมได้ที่บิต GATE ใน TMOD และขาอินเตอร์รัพท์จากภายนอก INTx ถ้า INTO เป็นลอจิก “0” และโปรแกรมให้ Timer 0 ทำงานในโหมด 2 เมื่อ TLO/TH0 = 0000H, GATE = 1 และ TR0 = 1 เมื่อ INTO ขึ้นเป็นลอจิก “1” ตัว Timer จะ “Gate On” และจะให้สัญญาณนาฬิกาความถี่ 1 MHz เมื่อ INTO ลงเป็น “0” ตัว Timer “Gate Off” สัญญาณที่ได้จะมีความกว้างของสัญญาณนาฬิกา 1 μ s ส่งเข้าไปใน TLO/TH0

รูปที่ 2.11 จะเป็นระบบที่สมบูรณ์ของ Timer 1 เมื่อทำงานในโหมด 1 ซึ่งเป็น 16-bit Timer โดยใช้รีจิสเตอร์ TL1 / TH1 และ Overflow Flag TF1 ในรูปจะเห็นถึงการควบคุมแหล่งกำเนิด Clock การเริ่มทำงาน และการหยุดทำงาน



รูปที่ 2.11 ระบบทั้งหมดของ Timer 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.6 Initializing And Accessing Timer Register

การใช้งาน Timer เริ่มแรกจะต้องโปรแกรมเพื่อเลือกโหมดการทำงานของ Timer ก่อนเมื่อเริ่มใช้งานก็โปรแกรมให้ เริ่มทำงาน , หยุดทำงาน , อ่าน และเคลียร์ค่า Flag Bits อ่านค่า Timer Registers ตามลำดับ เพื่อนำไปประยุกต์การใช้งานต่อไป

TMOD คือ รีจิสเตอร์ที่ต้องโปรแกรม โดยเซตโหมดการทำงานก่อน ตัวอย่างเช่น ถ้าให้ Timer 1 เป็น 16-bits Timer (โหมด 1) นับสัญญาณนาฬิกาบนชิพ สามารถเขียนคำสั่งได้ดังนี้

```
MOV TMOD, #00010000B
```

ผลที่ได้จากคำสั่งข้างบนคือ เซตบิต M1 = 0 และ M0 = 1 ซึ่งเป็นการเลือกโหมด 1 และให้ C/T = 0 และ GATE = 0 ซึ่งเป็นการใช้สัญญาณนาฬิกาจากภายในหรือใช้เป็น Timer และตัว Timer นี้จะยังไม่ทำงาน ถ้าบิตควบคุม TR1 ยังไม่ได้เซต

ถ้าให้ Timer นี้ นับขึ้นโดยใช้รีจิสเตอร์ TL1 / TH1 และจะเซตบิต Overflow Flag เมื่อรีจิสเตอร์เปลี่ยนจาก FFFFH เป็น 0000H โดยให้นับเวลาไป 100 μ S หรือให้ TL1 / TH1 นับสัญญาณนาฬิกาได้ 100 ลูก ดังนั้นค่าเริ่มต้นของ TL1 / TH1 จะไม่เริ่มที่ 0000H จะต้องเริ่มที่ FFFFH ลบด้วย 100 ลูก หรือ FF9CH เพื่อให้นับ ไปถึง FFFFH และเปลี่ยนเป็น 0000H ได้สัญญาณนาฬิกา 100 ลูกพอดี สามารถเขียนคำสั่งได้ดังนี้

```
MOV TL1, #9CH
```

```
MOV TH1, #0FFH
```

ถ้าให้ Timer เริ่มทำงานก็ให้บิตควบคุมดังนี้

```
SETB TR1
```

จากนั้นบิต Overflow Flag จะส่งออกมาหลังจากเวลาผ่านไป 100 μ S ซึ่งเราสามารถเขียนโปรแกรมเป็นโปรแกรมวนลูป 100 μ S ได้ โดยตรวจสอบบิต TF1 ว่าถูกเซตหรือไม่ ถ้าไม่เซตก็ให้วนลูปต่อไปดังนี้

```
CLR TR1
```

```
CLR TF1
```

การใช้แบบ Reading a Timer “On the Fly”

การใช้งานแบบประยุกต์บางงานจะต้องอ่านค่าจาก Timer Register เนื่องจากตัว Timer Register มีขนาด 2 ไบต์ ถ้าหากไบต์ต่ำเกิด Overflow จะทดเข้าไบต์สูง ถ้าหากเขียนโปรแกรมให้อ่านค่าจากไบต์ต่ำก่อน แล้วจึงอ่านไบต์สูงข้อมูลที่ได้ อาจเกิดข้อผิดพลาดได้เนื่องจากไบต์ต่ำมีการเปลี่ยนแปลงเร็วกว่าไบต์สูง การอ่านข้อมูลควรอ่านจากไบต์สูงก่อน แล้วจึงกลับมาอ่านไบต์ต่ำ จากนั้นอ่าน ข้อมูลไบต์สูงอีกครั้ง ถ้าค่าไบต์สูงที่อ่านได้ไม่มีการเปลี่ยนแปลงให้ใช้ค่านั้นได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้ามีการเปลี่ยนแปลงให้อ่านอีกครั้ง ถ้าต้องการอ่านข้อมูลจาก TL1 และ TH1 เข้าในรีจิสเตอร์ R6 / R7 อาจเขียนได้ดังนี้

```
AGAIN : MOV A, TH1
MOV R6, TL1
CJNE A, TH1, AGAIN
MOV R7, A
```

2.3.7 Short Intervals And Long Intervals

ถ้า MCS – 51 ทำงานที่ความถี่สัญญาณนาฬิกา 12 MHz ถ้าให้ Timers ใช้วงจร Oscillator บนชิพ สัญญาณนาฬิกาจะถูกหารด้วย 12 และ Timer จะทำงานด้วยความถี่ 1 MHz ถ้าต้องการใช้โปรแกรมสร้างสัญญาณนาฬิกาออกมาอาจทำได้โดยง่าย ซึ่งพิจารณาจากการทำงานชุดคำสั่งต่างๆ ของ MCS – 51 ใน 1 Machine Cycle จะใช้เวลา 1 μ S ในตารางที่ 2.6 จะแสดงความกว้างของสัญญาณที่สร้างขึ้นจาก MCS – 51 ที่ทำงานด้วย Crystal ความถี่ 12 MHz

ตารางที่ 2.6 ค่าสูงสุดของการใช้ Timer โหมดต่างๆ

Maximum Interval in Microseconps	Technique
≈ 10	Software Tuing
256	8 – Bit Timer with Auto-reload
65536	8 – Bit Timer
No Limit	16 – Bit Timer Plus Software Loops

2.4 การอินเทอร์รัพท์

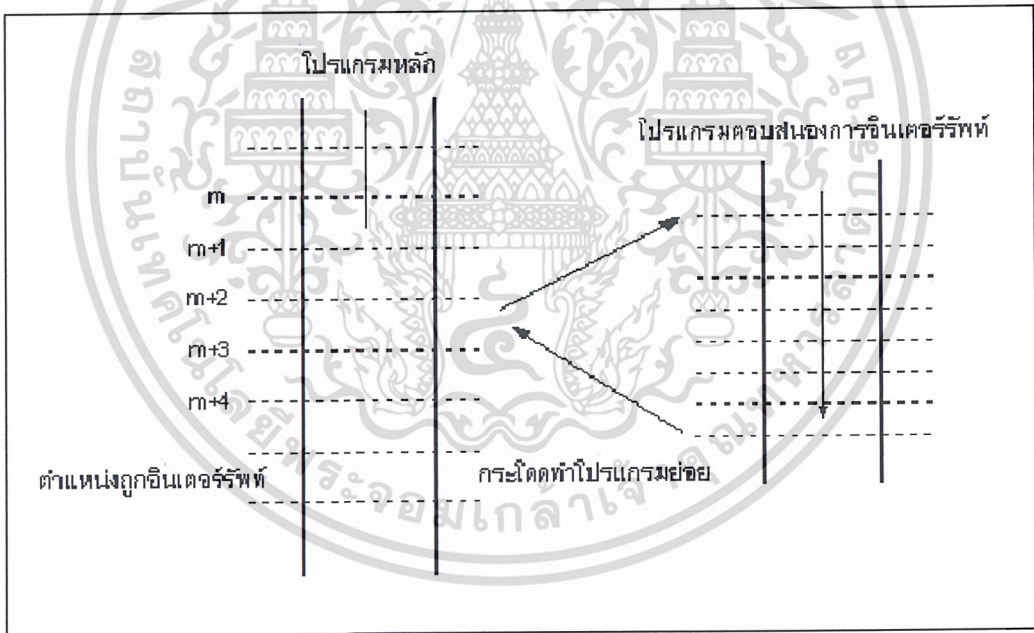
การทำงานของระบบคอมพิวเตอร์ โดยทั่วไปมักมีอุปกรณ์ภายนอกต่อร่วมอยู่ ถ้าคอมพิวเตอร์ต้องการทำงานกับอุปกรณ์ภายนอกจะต้องคอยตรวจสอบอุปกรณ์เหล่านั้นเสมอ ตัวอย่างเช่น ถ้าหากให้คอมพิวเตอร์พอร์ทหนึ่งต่ออยู่กับหลอด LED 7 ส่วน อีกพอร์ทหนึ่งต่อกับสวิทช์ ถ้าระบบของเราทำงานเป็นนาฬิกาเดินไปให้คอยตรวจสอบสวิทช์ด้วยว่ามีการกดหรือยัง การทำงานแบบนี้เรียกว่า Polling Method คือตัวไมโครโปรเซสเซอร์จะต้องคอยตรวจสอบอุปกรณ์อินพุตตลอดเวลาว่ามีข้อมูลเข้ามาหรือยัง การทำงานแบบนี้ ถ้ามีอุปกรณ์ภายนอกหลายตัวระบบต้องตรวจสอบอุปกรณ์ภายนอกหลายตัว ทำให้เสียเวลาในการทำงานหลักไป การทำงานอีกแบบหนึ่งจะให้ CPU ทำงานหลัก ถ้ามีการกดสวิทช์เมื่อไรให้นาฬิกาหยุดเดินทันที การทำงานในลักษณะนี้ CPU ไม่ต้องเสียเวลาในการตรวจสอบอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 ขบวนการเกิดอินเทอร์รัพท์

ถ้าหากคอมพิวเตอร์กำลังทำงานโปรแกรมหลักอยู่เมื่อมีการอินเทอร์รัพท์เข้ามา คอมพิวเตอร์จะละทิ้งโปรแกรมหลัก แต่ไปทำงานโปรแกรมตอบสนองการอินเทอร์รัพท์ (Interrupt Service Routine) เมื่อทำโปรแกรมตอบสนองอินเทอร์รัพท์เสร็จ คอมพิวเตอร์จะกลับมาทำโปรแกรมเดิมพิจารณารูปที่ 2.12

ถ้า CPU กำลังทำงานโปรแกรมหลักอยู่ เช่นกำลังทำคำสั่งในตำแหน่งของหน่วยความจำที่ $m, m+1, m+2$ ไปเรื่อยๆ โดย PC จะชี้ที่ตำแหน่งที่จะอ่านค่าคำสั่งถัดมา เมื่อโปรแกรมทำงานมาถึงตำแหน่งที่ $m+3$ แล้วเกิดการอินเทอร์รัพท์ขึ้น โปรแกรมจะต้องทำงานโปรแกรมตอบสนองการอินเทอร์รัพท์ โดยย้าย PC ไปที่ตำแหน่งที่เก็บโปรแกรมตอบสนองการอินเทอร์รัพท์ จากนั้นจะเก็บค่า PC เดิมลงในหน่วยความจำสแตค เมื่อคอมพิวเตอร์ทำงานโปรแกรมตอบสนองการอินเทอร์รัพท์เสร็จสิ้นลง จะคืนค่าใน สแตค ($m+4$) ให้กับ PC ทำโปรแกรมหลักต่อไป



รูปที่ 2.12 ขั้นตอนการทำงานของโปรแกรมเมื่อถูกอินเทอร์รัพท์

2.4.2 สัญญาณอินเทอร์รัพท์

แหล่งกำเนิดสัญญาณอินเทอร์รัพท์ที่ใช้กับ MCS – 51 มีสองชนิดคือ อินเทอร์รัพท์ภายในและภายนอก โดยอินเทอร์รัพท์ภายในจะเกิดขึ้นจากภายในตัว MCS – 51 เอง สำหรับอินเทอร์รัพท์ภายนอกเกิดจากสัญญาณที่กระตุ้นเข้ามาทางขา INTO และ INT1

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีสัญญาณอินเทอร์รัพท์จากแหล่งต่างๆ เข้ามา เราสามารถโปรแกรมได้ว่าจะให้ MCS – 51 ยอมให้มีการอินเทอร์รัพท์ได้หรือไม่ โดยการโปรแกรมไปที่รีจิสเตอร์ IE (Interrupt Enable) และถ้ามีสัญญาณอินเทอร์รัพท์มากจากแหล่งต่างๆ หลายแหล่งพร้อมกันเราสามารถจัดลำดับได้ว่า จะให้อินเทอร์รัพท์ใดเกิดก่อน โดยการโปรแกรมไปที่ อินเทอร์รัพท์ไพอริตี้ IP (Interrupt Priority) รีจิสเตอร์ทั้งสองตัวมีรายละเอียดดังนี้

ตารางที่ 2.7 บิตต่าง ๆ ของรีจิสเตอร์ IE

	บิต 7								บิต 0
	↓								↓
	EA	X	ET2	ES	ET1	EX1	ET0	EX0	

บิต	ชื่อบิต	ตำแหน่งบิต	รายละเอียด
IE.7	EA	AFH	ถ้าเซตยอมให้มีการอินเทอร์รัพท์
IE.6	-	AEH	ไม่ใช้งาน
IE.5	ET2	ADH	Enable อินเทอร์รัพท์จาก Timer 2 (ใช้กับ 8052)
IE.4	ES	ACH	Enable อินเทอร์รัพท์จากพอร์ทอนุกรม
IE.3	ET1	ABH	Enable อินเทอร์รัพท์จาก Timer 1
IE.2	EX1	AAH	Enable อินเทอร์รัพท์จาก INT1
IE.1	ET0	A9H	Enable อินเทอร์รัพท์จาก Timer 0
IE.0	EX0	A8H	Enable อินเทอร์รัพท์จาก INT0

Interrupt Enables

เป็นรีจิสเตอร์ที่สามารถเข้าถึงข้อมูลระดับบิตได้ใช้สำหรับกำหนดค่าว่าถ้าเกิดการอินเทอร์รัพท์จากแหล่งต่างๆ จะทำอินเทอร์รัพท์เหล่านั้นหรือไม่ โดยรายละเอียดของบิตต่างๆ มีดังตารางที่ 2.7

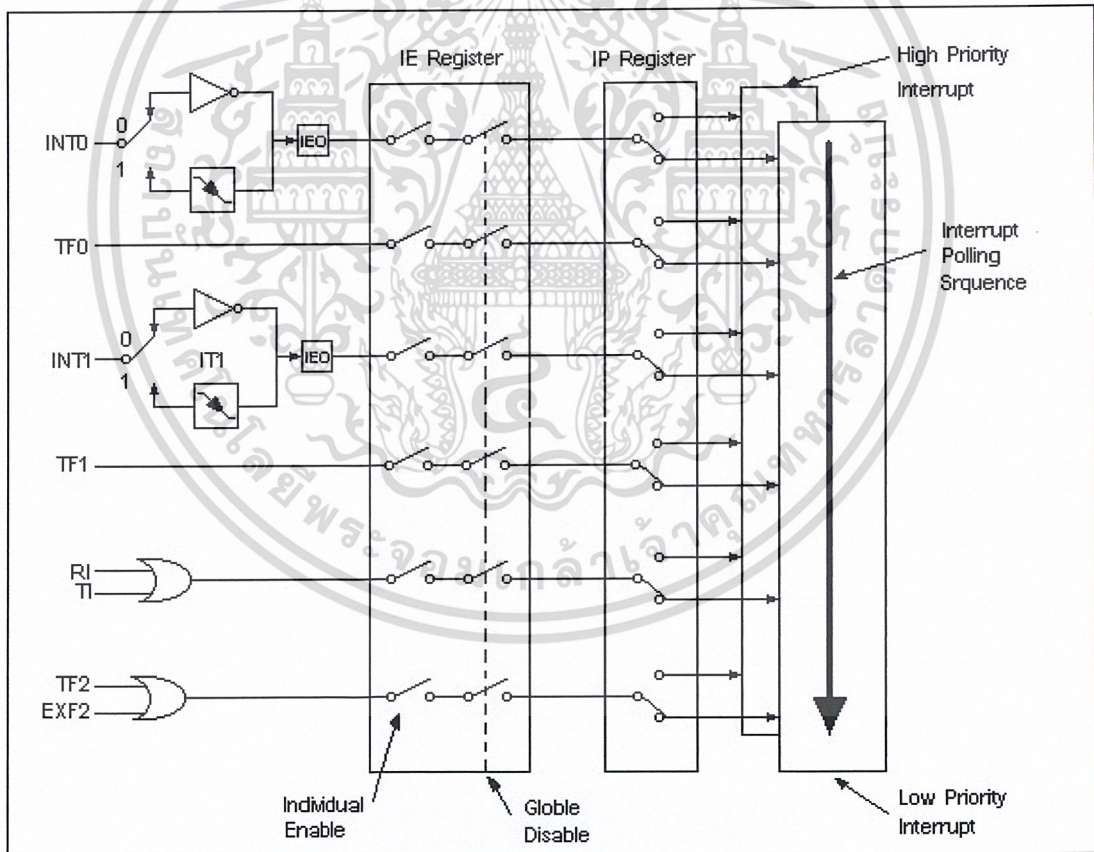
Interrupt Priority

เป็นรีจิสเตอร์ที่สามารถเข้าถึงข้อมูลระดับบิตได้ใช้ในการจัดลำดับความสำคัญของการอินเทอร์รัพท์ซึ่งสามารถจัดได้สองลำดับ ถ้าเป็น “1” หมายความว่ามีความสำคัญสูงสุด ถ้าเป็น “0” จะไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายความว่ามีความสำคัญต่ำสุด ความหมายของบิตต่างๆ แสดงได้ดังตารางที่ 2.8 ถ้าหากกำหนดให้มีความสำคัญเป็น “1” เหมือนกันหมด MCS – 51 จะจัดลำดับความสำคัญใหม่ดังนี้

ตารางที่ 2.8 ลำดับความสำคัญของการอินเทอร์รัพท์

ลำดับ	อินเทอร์รัพท์
1 (สูงสุด)	IE0
2	TF0
3	IE1
4	TF1
5 (ต่ำสุด)	Serial Port



รูปที่ 2.13 รีจิสเตอร์ต่าง ๆ ที่เกี่ยวข้องกับการอินเทอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.13 แสดงการอินเทอร์รัพท์จากแหล่งต่างๆ ที่มีผลกับ MCS – 51 ถ้าเป็นเบอร์ 8051 8031 จะถูกอินเทอร์รัพท์ได้ 5 แหล่ง ถ้าเป็นเบอร์ 8052 8032 จะถูกอินเทอร์รัพท์ได้ 6 แหล่ง โดยเพิ่มอินเทอร์รัพท์จาก Timer 2 ในรูปที่ 2.13 จะแสดงให้เห็นว่า ถ้า MCS – 51 จะถูกอินเทอร์รัพท์ได้จะต้องเซตค่า Global Enable ในรีจิสเตอร์ IE นอกจากนี้ยังกำหนดได้ว่าจะให้อินเทอร์รัพท์ใดเกิดได้ โดยการเซตค่า Interrupt Enable ของอินเทอร์รัพท์จากแหล่งต่างๆ ในรีจิสเตอร์ IE จากรูปยังแสดงให้เห็นอีกว่าเมื่อมีการอินเทอร์รัพท์เข้ามาจะมีผลต่อแฟลคใด เช่นถ้า INTO เป็น “1” บิต IE0 จะเป็น “1” หมายความว่าถูกอินเทอร์รัพท์ โดยแฟลคต่างๆ ที่มีผลจากการถูกอินเทอร์รัพท์แสดงได้ดังตารางที่ 2.9

ตารางที่ 2.9 บิตและหน้าที่ต่าง ๆ ของรีจิสเตอร์ IP

บิต	ชื่อบิต	ตำแหน่งบิต	รายละเอียด
IP.7	-	-	ไม่ใช้งาน
IP.6	-	-	ไม่ใช้งาน
IP.5	PT2	0BDH	ใช้กับ Timer 2 (8052)
IP.4	PS	0BCH	ใช้กับพอร์ทอนุกรม
IP.3	PT1		ใช้กับ Timer 1
IP.2	PX1		ใช้กับอินเทอร์รัพท์จาก INT1
IP.1	PT0	0BBH	ใช้กับ Timer 0
IP.0	PX0	0BAH	ใช้กับอินเทอร์รัพท์จาก INTO

ตารางที่ 2.10 แฟลคที่จะทำงานเมื่อถูกอินเทอร์รัพท์

อินเทอร์รัพท์	แฟลค	ประกอบอยู่ในรีจิสเตอร์
External 0	IE0	TCON.1
External 1	IE1	TCON.3
Timer 1	TF1	TCON.7
Timer 0	TF0	TCON.5
Serial port	T1	SCON.1
Serial port	RI	SCON.0
Timer 2	TF2	T2CON.7 (8052)
Timer 2	EXF2	T2CON.6 (8052)

จากตารางจะเห็นว่า ถ้ามีการอินเทอร์รัพท์จากภายนอกเข้ามา ตัวที่จะอินเทอร์รัพท์ MCS – 51 คือ บิตแฟลค IE0 ซึ่งอยู่ในรีจิสเตอร์ TCON ถ้ามีการสื่อสารแบบอนุกรม เมื่อข้อมูลถูกส่งไปหมดแล้วจะอินเทอร์รัพท์ MCS – 51 ทางบิตแฟลค TI ถ้ารับข้อมูลหมดแล้วจะอินเทอร์รัพท์ MCS – 51 ทางบิตแฟลค RI ซึ่งอยู่ในรีจิสเตอร์ SCON และถ้าใช้ Timer 0 ในการนับเมื่อเกิด Overflow สามารถอินเทอร์รัพท์ MCS – 51 ได้ทางบิต TF0

2.4.3 การทำงานของระบบหลังถูกอินเทอร์รัพท์

เมื่อ MCS – 51 ถูกอินเทอร์รัพท์จะต้องกระโดดไปทำโปรแกรมตอบสนองการอินเทอร์รัพท์โดยตำแหน่งที่จะกระโดดไปเรียกว่า อินเทอร์รัพท์เวกเตอร์ (Interrupt Vectors) เมื่อทำโปรแกรมตอบสนองการอินเทอร์รัพท์เรียบร้อยแล้ว MCS – 51 จะกระโดดมาทำงานยังตำแหน่งเดิม โดยก่อนที่จะกระโดดไปทำโปรแกรมตอบสนองการอินเทอร์รัพท์จะต้องเก็บค่าตำแหน่งไว้โดยเก็บค่า PC ลงหน่วยความจำสแตคซึ่งอยู่ที่หน่วยความจำที่ถูกชี้โดยรีจิสเตอร์ SP เมื่อทำโปรแกรมตอบสนองการอินเทอร์รัพท์เสร็จแล้วจะคืนค่าในหน่วยความจำสแตคให้ PC ตามเดิม ค่าอินเทอร์รัพท์เวกเตอร์ของ MCS – 51 แสดงได้ดังตารางที่ 2.11

ตารางที่ 2.11 อินเทอร์รัพท์เวกเตอร์ของอินเทอร์รัพท์ต่างๆ

อินเทอร์รัพท์	อินเทอร์รัพท์เวกเตอร์
System Reset	0000H
External 0	0003H
Timer 0	000BH
External 1	0013H
Timer 1	001BH
Serial Port	0023H
Timer 2	002BH

จากตารางจะเห็นว่าถ้าระบบถูกอินเทอร์รัพท์จากภายนอกทาง INTO ตัว MCS – 51 จะกระโดดไปทำงานที่ตำแหน่ง 0003H ถ้าระบบถูกอินเทอร์รัพท์จาก Timer 0 จะกระโดดไปทำงานตำแหน่ง 000BH

2.4.4 การออกแบบโปรแกรมอินเทอร์รัพท์

ในการเขียนโปรแกรมหลัก (Main Program) จะต้องกำหนดค่าว่าจะให้ MCS – 51 ถูกอินเทอร์รัพท์ด้วยอะไร และจะให้ MCS – 51 ถูกอินเทอร์รัพท์ได้หรือไม่ โดยการโปรแกรมค่าต่างๆ ไม่ว่าจะเป็นค่าใด ๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน IE รีจิสเตอร์ ถ้ามีการอินเทอร์รัพท์จากสองแหล่งขึ้นไปควรมีการจัดลำดับความสำคัญใน รีจิสเตอร์ IP ดังนั้นในโปรแกรมหลักจะต้องมีการโปรแกรมต่อไปนี้

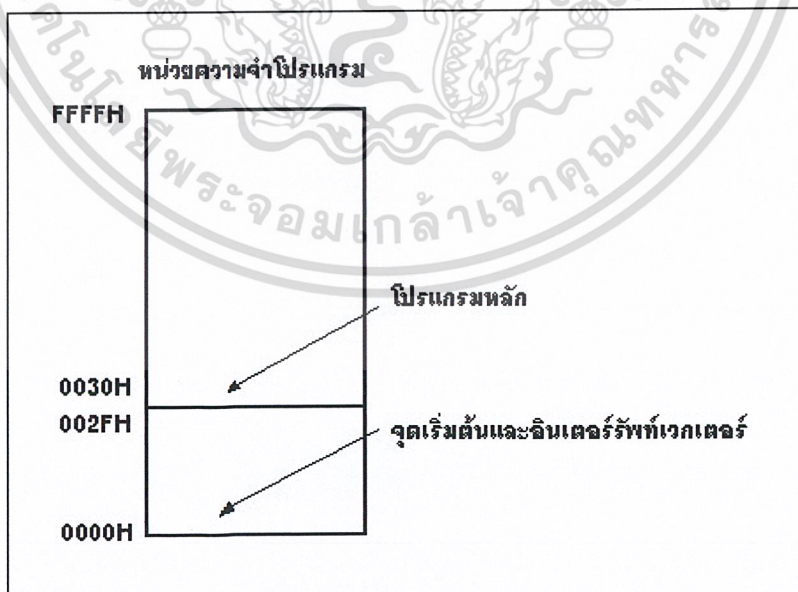
1. โปรแกรมค่าในรีจิสเตอร์ IE
2. โปรแกรมค่าในรีจิสเตอร์ IP

จากตารางอินเทอร์รัพท์เวกเตอร์ จะเห็นว่าถ้ากด Reset หรือให้ระบบเริ่มทำงาน โปรแกรม จะเริ่มทำงานที่ตำแหน่ง 0000H และจะเห็นว่า ตำแหน่งที่เก็บโปรแกรมหลักมีโอกาส อย่างมากที่ จะทับกับหน่วยความจำโปรแกรมที่เก็บค่าอินเทอร์รัพท์เวกเตอร์ที่ตำแหน่ง 0003H ถ้าโปรแกรม ยาวมากอาจจะไปทับตำแหน่ง 000BH ได้ซึ่งเป็นตำแหน่งของอิน เทอร์รัพท์เวกเตอร์ของ Timer 0 ดังนั้นในการเขียนโปรแกรมหลัก ภายใน 3 ตำแหน่งแรก คือ 0000H,0001H,0002H จะต้อง กระโดดไปที่อื่นก่อนเพื่อให้ข้ามอินเทอร์รัพท์เวกเตอร์ไป ซึ่งอาจเขียน โปรแกรมได้ดังนี้

```

ORG 0000H ; เริ่มต้น โปรแกรม
LJMP MAIN ; ข้ามไปโปรแกรมหลัก
..... ; เพื่อหลีกเลี่ยงอินเทอร์รัพท์เวกเตอร์
.....
ORG 0030H ; ตำแหน่งเริ่มต้นของ โปรแกรม
MAIN : ..... ; เริ่มต้น โปรแกรมหลัก
.....

```



รูปที่ 2.14 การจัดตำแหน่งโปรแกรมในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตัวอย่างโปรแกรมจะเห็นว่า เมื่อเริ่มต้น โปรแกรมหรือระบบบูทริเซต ระบบจะทำงานตำแหน่งแรก คือคำสั่งกระโดดไปโปรแกรมหลัก ซึ่งอยู่ต่อจากโปรแกรมตอบสนองการอินเทอร์รัพท์ที่อยู่ตำแหน่ง 0030H

โปรแกรมตอบสนองการอินเทอร์รัพท์แบบสั้น

จากตารางอินเทอร์รัพท์เวกเตอร์ จะเห็นว่าที่เก็บโปรแกรมอินเทอร์รัพท์แต่ละแห่งจะห่างกัน 8 ไบต์ ดังนั้นถ้ามีการอินเทอร์รัพท์จากแหล่งต่างๆ หลากๆ แหล่งและโปรแกรมตอบสนองการอินเทอร์รัพท์บางโปรแกรมมีขนาดยาวเกิน 8 ไบต์ จะทำให้โปรแกรมไปทับกับตำแหน่งของโปรแกรมตอบสนองการอินเทอร์รัพท์ของอินเทอร์รัพท์ถัดไป แต่ถ้าโปรแกรมตอบสนองการอินเทอร์รัพท์ไม่ยาวมากเกินไปเราสามารถเขียนไปในตำแหน่งนั้นได้เลยดังโปรแกรมต่อไปนี้

```

ORG      0000H
LJMP     MAIN ; กระโดดไปโปรแกรมหลัก
ORG      000BH ; ตำแหน่งเริ่มต้นของอินเทอร์รัพท์ Timer 0
TOISR : .....
.....
RETI     ; กลับโปรแกรมหลัก
MAIN : ..... ; โปรแกรมหลัก
.....

```

จากตัวอย่างโปรแกรมจะใช้อินเทอร์รัพท์จาก Timer 0 เมื่อระบบเริ่มทำงานจะทำตำแหน่ง 0000H โดยกระโดดไปโปรแกรมหลักซึ่งอยู่ที่ตำแหน่งต่อจากโปรแกรมตอบสนองการอินเทอร์รัพท์เมื่อมีการอินเทอร์รัพท์ Timer 0 ระบบจะทำโปรแกรมตำแหน่งที่ 000BH ซึ่งเป็นอินเทอร์รัพท์เวกเตอร์ของ Timer 0 โดยโปรแกรมตอบสนองการอินเทอร์รัพท์จะจบด้วยคำสั่ง RETI เพื่อกลับสู่โปรแกรมหลักต่อไป

โปรแกรมตอบสนองการอินเทอร์รัพท์ขนาดใหญ่

ในกรณีที่มีการอินเทอร์รัพท์จากหลายแหล่ง และโปรแกรมตอบสนองการอินเทอร์รัพท์แต่ละโปรแกรมนานเกิน 8 ไบต์ เราไม่สามารถเขียนโปรแกรมตอบสนองการอินเทอร์รัพท์ไว้ที่ตำแหน่งของ อินเทอร์รัพท์เวกเตอร์ได้ ซึ่งจะแก้ปัญหานี้ได้โดยกำหนดให้ตำแหน่งของอินเทอร์รัพท์เวกเตอร์ให้ทำโปรแกรมกระโดด โดยกระโดดไปที่ตำแหน่งเก็บโปรแกรมตอบสนองการอินเทอร์รัพท์ที่เขียนไว้ที่ตำแหน่งอื่นดังตัวอย่าง ต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ORG 0000H ; เริ่มโปรแกรมของระบบ
LJMP MAIN ; กระโดดไปโปรแกรมหลัก
ORG 000BH ; ตำแหน่งของอินเทอร์รัพท์ Timer 0
LJMP LED1 ; กระโดดไปโปรแกรมตอบสนองการอินเทอร์รัพท์ชื่อ LED1
ORG 0030H ; ตำแหน่งหลังอินเทอร์รัพท์เวกเตอร์
MAIN : ..... ; โปรแกรมหลัก
.....
LED1 : ..... ; โปรแกรมตอบสนองการอินเทอร์รัพท์ Timer 1
.....
RETI ; กลับสู่โปรแกรมหลัก

```

จากโปรแกรมจะเห็นว่า เมื่อระบบทำงาน จะต้องทำที่ตำแหน่ง 0000H โดยกระโดดไปทำโปรแกรมหลักที่ตำแหน่งต่อจาก 0030H เพราะตำแหน่งดังกล่าวข้ามอิน เทอร์รัพท์เวกเตอร์จากแหล่งต่าง ๆ ไปแล้ว เมื่อมีการอินเทอร์รัพท์จาก Timer 0 โปรแกรมจะต้องทำงานที่ตำแหน่ง 000BH แต่โปรแกรมตอบสนองการอินเทอร์รัพท์ยาวมาก ที่ตำแหน่ง 000BH จึงให้ทำโปรแกรมกระโดด โดยกระโดดไปที่โปรแกรมตอบสนองการอินเทอร์รัพท์ชื่อ LED1 ซึ่งอยู่ที่โปรแกรมเมื่อจบโปรแกรมจะจบด้วยคำสั่ง RETI เพื่อกลับไปโปรแกรมหลักต่อไป

2.5 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

ในการบันทึกข้อมูลจากอุปกรณ์เซ็นเซอร์บางชนิดเช่น อุปกรณ์เซ็นเซอร์อุณหภูมิ, กระแส, แรงดัน, ความดัน โดยปกติแล้วข้อมูลที่ไดจากตัวเซ็นเซอร์นี้ จะอยู่ในรูปฟังก์ชันที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง ที่เรียกว่าสัญญาณอนาลอก ซึ่งค่าข้อมูลเหล่านี้ไม่สามารถนำไปเก็บไว้ได้ หรือนำไปประมวลผลร่วมกันกับตัวไมโครคอนโทรลเลอร์ได้ ดังนั้นจึงต้องทำการแปลงสัญญาณอนาลอกนี้ไปเป็นสัญญาณดิจิทัลก่อน โดยอุปกรณ์ที่เรียกว่า ตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

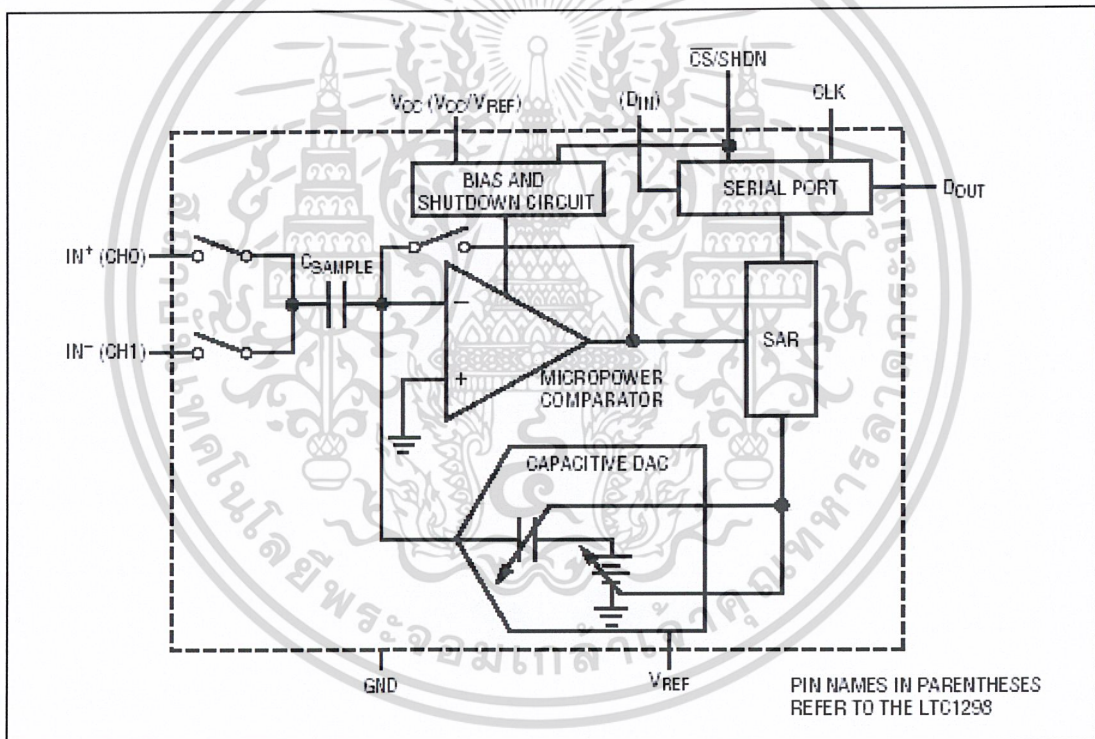
Analog to Digital Converter หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุตที่เป็นสัญญาณอนาลอกให้เป็นจำนวนจำกัดของดิจิทัลบิต ผลลัพธ์ที่ได้จะอยู่ในรูปของ Word ทางดิจิทัล ซึ่งกลายเป็นรหัสเลขฐานสองที่แทนระดับแต่ละระดับของสัญญาณอนาลอกในขณะที่ DAC กำลังทำการแปลงอยู่

ค่าเวลาการแปลงผัน (Conversion) เป็นที่สำคัญอันหนึ่งของ ADC จะเห็นว่าการแปลงสัญญาณอนาลอก ให้เป็นสัญญาณดิจิทัลไม่ให้เกิดขึ้นโดยทันทีทันใด แต่จะต้องมีการผ่านไม่ว่าการณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการต่างๆ ด้วยเหตุผลที่ผลลัพธ์ต้องการเวลาขณะหนึ่งที่จะทำการสุ่มสัญญาณอินพุต และให้สัญญาณดิจิทัลที่เป็นรหัสไบนารีออกมาที่เอาต์พุต ดังนั้นค่าเวลาการแปลงผัน คือช่วงเวลาที่ต้องการกระทำกระบวนการให้เสร็จสิ้นซึ่งมีค่าประมาณ 10^{-6} Sec สำหรับ DAC ความเร็วสูง และเป็น 10^{-3} Sec สำหรับ DAC แบบธรรมดาเนื่องจากการเปลี่ยนแปลง A/D แบบธรรมดานั้นต้องการชิงโครไนซ์ที่แน่นอนและแม่นยำ แหล่งกำเนิดสัญญาณนาฬิกาจึงจำเป็นต้องมีในวงจร

2.5.1 การทำงานของไอซี LTC 1298

ไอซี LTC 1298 เป็นไอซีทำหน้าที่ใช้เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัลขนาดความละเอียด 12 บิต จำนวน 2 Channel โดยเป็นไอซีที่จัดอยู่ในรูปแบบตัวถังแบบ DIP ขนาด 8 ขา ซึ่งมีรายละเอียดดังนี้



รูปที่ 2.15 แสดงวงจรของไอซี LTC 1298

PIN 1 (CS#SHDNX) : เป็นขาสัญญาณ Chip Select Input ใช้ควบคุมการทำงานของไอซีทำงานที่ลอจิก “0” เมื่อขา ini ได้รับลอจิก “0” จะเป็นการเลือกการทำงานให้กับไอซี (Enable) เมื่อขา ini เป็นลอจิก “1” จะทำให้ไอซีหยุดทำงานจะอยู่ในโหมด Shut Down

PIN 2 (CH0) : เป็นขาสัญญาณ Analog Input ของ Channel 0

PIN 3 (CH1) : เป็นขาสัญญาณ Analog Input ของ Channel 1

เอกสารนี้เป็นเอกสารที่ลงวันเวลาหรือบ่งชี้ถึงงานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น ยกเว้นที่มิมีเหตุเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงชื่อเอกสารทุกครั้งที่มีการนำไปใช้

PIN 4 (GND) : เป็นขาสัญญาณที่ใช้อ้างอิง Ground ของไอซี ซึ่งควรต่อโดยตรงกับ Ground Plane เพื่อลดสัญญาณรบกวน

PIN 5 (DIN) : เป็นขาสัญญาณข้อมูลอินพุตแบบอนุกรมของสัญญาณ Digital เพื่อใช้กำหนด Channel และ Format ของข้อมูลที่ต้องการจะอ่านค่ากลับออกมาทางขาสัญญาณ DOUT

PIN 6 (DOUT) : เป็นขาสัญญาณข้อมูลเอาต์พุตแบบอนุกรม ซึ่งค่าของข้อมูลที่อ่านได้จากขานี้คือผลลัพธ์จากการเปลี่ยนแปลงสัญญาณ Analog เป็นสัญญาณ Digital ของไอซี LTC 1298

PIN 7 (CLK) : เป็นสัญญาณนาฬิกาอินพุตที่ใช้เป็นสัญญาณอ้างอิงสำหรับอ่านหรือเขียนข้อมูลระหว่างอุปกรณ์ภายนอก

PIN 8 (VCC/VREF) : เป็นขาแหล่งจ่ายไฟเลี้ยงให้กับไอซี LTC 1298 ซึ่งขานี้จะเป็นขาสัญญาณอ้างอิงของไอซีในการเปลี่ยนค่าสัญญาณ Analog ให้เป็นสัญญาณ Digital ด้วย ดังนั้นที่ขานี้จึงควรทำการป้องกันและกำจัดสัญญาณรบกวนให้กับไอซีด้วย เพราะถ้าหากว่าที่ขานี้เกิดสัญญาณรบกวนมากหรือแรงดันไฟเลี้ยงไม่คงที่ จะส่งผลทำให้ค่าของข้อมูลเอาต์พุตที่ได้เปลี่ยนแปลงตามไปด้วย

2.5.2 การเขียนข้อมูลให้กับไอซี LTC1298

ไอซี LTC1298 ต้องการสัญญาณอินพุตจำนวน 4 บิตเพื่อกำหนดการทำงาน โดยก่อนที่จะเขียนข้อมูลให้กับ ไอซี LTC1298 นี้ต้องกำหนดให้สัญญาณ CS ทำงาน คือ เป็นลอจิก “0” ก่อนแล้วจึงเขียนข้อมูลให้กับ ไอซี LTC1298 ในช่วงขอบขาขึ้นของสัญญาณนาฬิกา โดยข้อมูลที่เขียนให้กับ ไอซี LTC1298 มีดังนี้

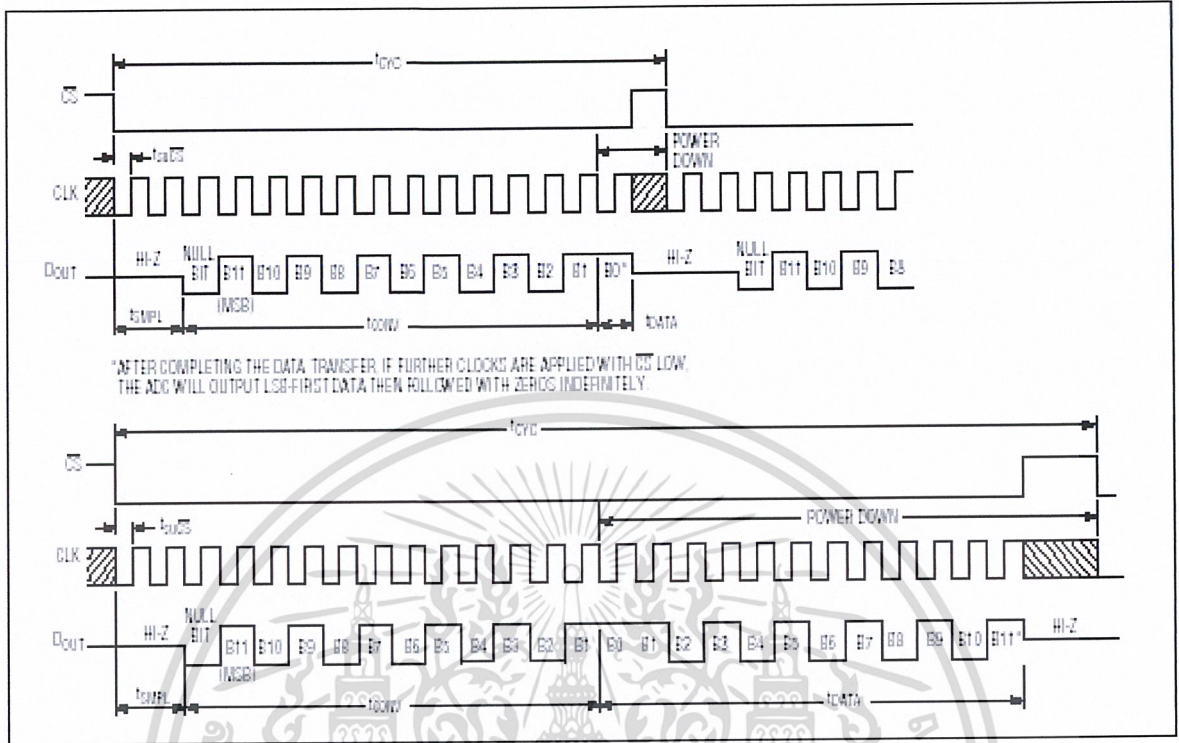
START	SGL/DIFF	ODD/SIGN	MSBF
-------	----------	----------	------

START BITS เป็นข้อมูลกำหนดการเริ่มต้น โดยที่ต้องส่งเป็นบิตแรกหลังจากสัญญาณ CS เป็นลอจิก “0” แล้ว ซึ่งค่าของสัญญาณ START BITS นี้จะต้องมีค่าเป็น ลอจิก “1” เสมอ

SGL/DIFF และ ODD/SIGN เป็นข้อมูลเพื่อที่จะใช้สำหรับกำหนดและเลือก Channel ของสัญญาณที่ต้องการ Convert และกำหนดรูปแบบของสัญญาณ Analog อินพุตดังตารางที่ 2.12

ตารางที่ 2.12 แสดงรูปแบบของสัญญาณ Analog อินพุต

SGL/DIFF	ODD/SIGN	CH0	CH1	GND
1	0	+		--
1	1		+	--
0	0	+	--	
0	1	--	+	



รูปที่ 2.16 ลักษณะความสัมพันธ์ของการอ่านเขียนข้อมูลกับการกำหนด MSBF บิต

MSBF เป็นการกำหนดลำดับข้อมูลเอาท์พุทที่จะอ่านจากไอซี LTC1298 ซึ่งแสดงความสัมพันธ์ดังในรูปที่ 2.16

2.5.3 สัญญาณในการเชื่อมต่อกับสัญญาณการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

สำหรับการทำงานของวงจร A/D นี้ เราจะใช้ A/D ขนาด 12 บิต 2 Channel ชนิด Serial I/O เบอร์ LTC1298 ซึ่งใช้วิธีการอ่านเขียนข้อมูลแบบอนุกรม ใช้สัญญาณในการอ่านเขียนข้อมูลเพียง 3 เส้นเท่านั้น โดยใช้สัญญาณจากพอร์ต P1 ของ CPU ดังตารางที่ 2.13

ตารางที่ 2.13 แสดงสัญญาณในการเชื่อมต่อกับ A/D

Port CPU	สัญญาณ A/D
P1.2	Data I/O
P1.3	Clock
P1.4	CS# A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

สัญญาณการประมวลผลจากอุปกรณ์ดิจิตอลจะอยู่ในลักษณะลอจิก ซึ่งไม่สามารถแสดงค่าบางอย่างของสัญญาณได้ จึงต้องมีอุปกรณ์ที่ทำหน้าที่สำหรับสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก การแปลงสัญญาณดิจิตอลเป็นอนาลอกในโครงการนี้จะใช้ไอซีเบอร์ LTC1661 ขนาด 10 บิตเป็นการรับส่งข้อมูลแบบอนุกรม เพื่อที่จะไปตั้งค่าแรงดันอ้างอิงให้กับวงจร Comparator เพื่อใช้กำหนด V_{MIN} และ V_{MAX}

2.6.1 การใช้งานไอซี LTC1661

ไอซี LTC1661 เป็นไอซีทำหน้าที่ใช้เปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาดความละเอียด 10 บิต จำนวน 2 Channel โดยเป็นไอซีที่จัดอยู่ในรูปแบบตัวถังแบบ DIP ขนาด 8 ขา ซึ่งมีรายละเอียดดังนี้

PIN 1 (CS/LD) : เป็นขาสัญญาณ Chip Select Input ใช้ควบคุมการทำงานของไอซี ทำงานที่ลอจิก “0” เมื่อขาได้รับ ลอจิก “0” จะเป็นการเลือกการทำงานให้กับไอซี (Enable) เมื่อขาเป็นลอจิก “1” จะทำให้ไอซีหยุดทำงานจะอยู่ในโหมด Shut Down

PIN 2 (Clock) : เป็นขาสัญญาณนาฬิกา

PIN 3 (DIN) : เป็นขาสัญญาณข้อมูลอินพุต จะทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา

PIN 4 (VREF) : เป็นขาสัญญาณที่ใช้อ้างอิงแรงดันสูงสุดเมื่ออ่านข้อมูลครบ 10 บิต โดยค่าของข้อมูลทุกบิตเป็น “1” ทั้งหมด

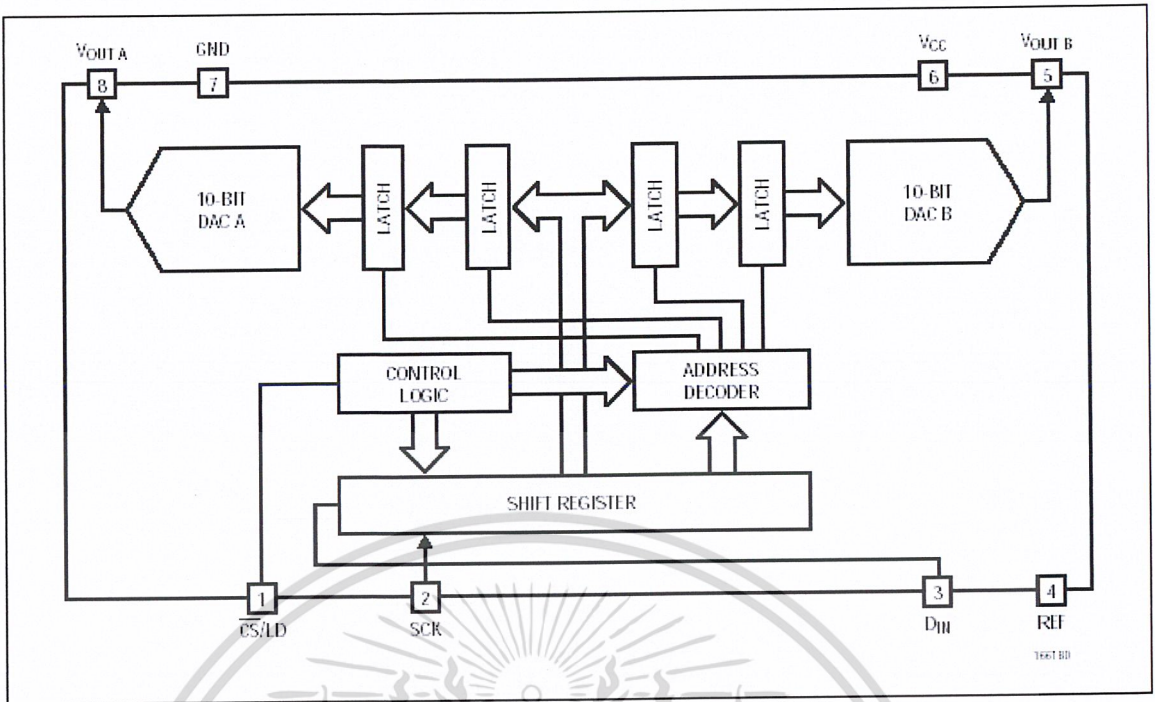
PIN 5 (VOUTB) : เป็นขาแรงดันเอาต์พุตที่เปลี่ยนแปลงตามบิตอินพุต โดยค่า VOUT จะเป็น $0 \leq VOUTA * VOUTB \leq VREF[1023/1024]$

PIN 6 (VCC) : เป็นไฟเลี้ยง DC 2.7V – 5.5 V

PIN 7 (GND) : เป็นขาอ้างอิง Ground ซึ่งควรต่อโดยตรงกับ Ground Plane เพื่อลดสัญญาณรบกวน

PIN 8 (VOUTA) : เป็นขาแรงดันเอาต์พุตที่เปลี่ยนแปลงตามบิตอินพุต โดยค่า VOUT จะเป็น $0 \leq VOUTA * VOUTB \leq VREF[1023/1024]$

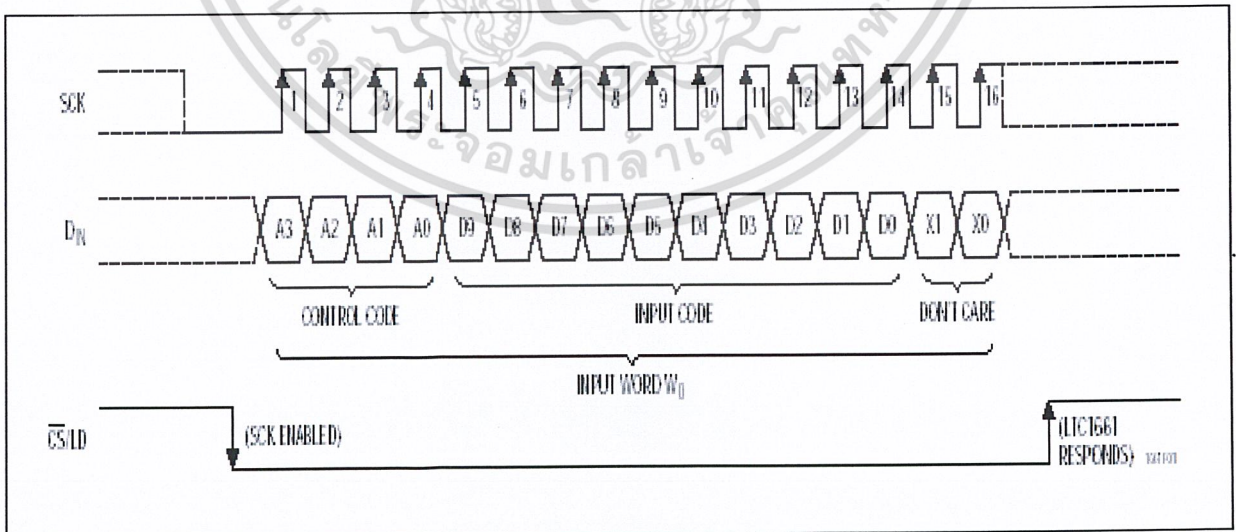
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดง โครงสร้างของไอซี LTC1661

2.6.2 การเขียนข้อมูลให้กับไอซี LTC1661

ไอซี LTC1661 ต้องการสัญญาณอินพุตจำนวน 4 บิตเพื่อกำหนดการทำงาน โดยก่อนที่จะเขียนข้อมูลให้กับไอซี LTC1661 นี้ต้องกำหนดให้สัญญาณ CS ทำงาน คือ เป็นลอจิก “0” ก่อนแล้วจึงเขียนข้อมูลให้กับไอซี LTC1661 ในช่วงขอบขาขึ้นของสัญญาณนาฬิกา



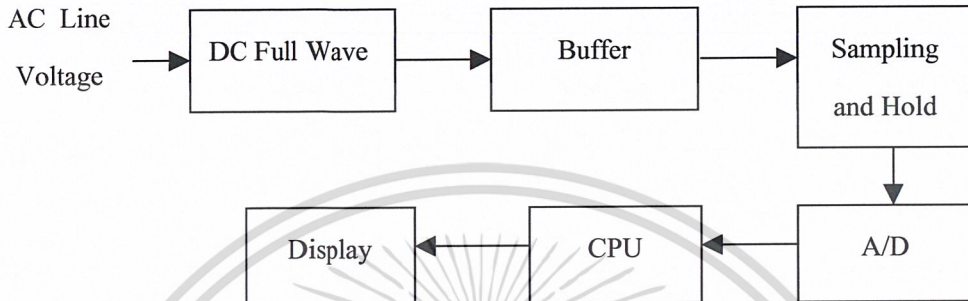
รูปที่ 2.18 ลักษณะความสัมพันธ์ของการเขียนข้อมูลของไอซี LTC1661

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการการทำงานและการออกแบบ

3.1 การทำงานของส่วนแรงดันอ้างอิง AC Line Voltage

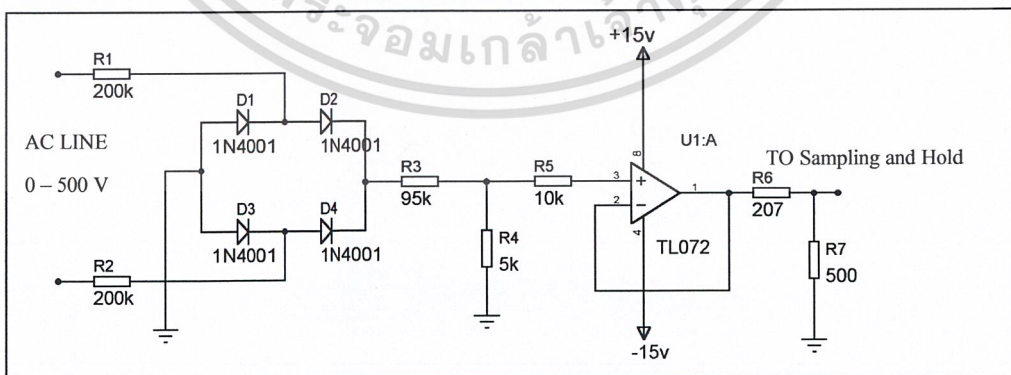


รูปที่ 3.1 ระบบการทำงานของส่วนแสดงผลสถานะไลน์

ส่วนแสดงผลสถานะไลน์เอซีโวลท์ของระบบ แสดงได้ในบล็อกไดอะแกรมรูปที่ 3.1

หลักการและขั้นตอนการทำงาน

- **DC Full Wave** วงจรส่วนนี้จะทำหน้าที่ลดขนาดแรงดันของอินพุต และแปลงแรงดันไฟฟ้า AC เป็นแรงดันไฟฟ้า DC Full Wave
- **Buffer** ทำหน้าที่เพิ่ม Input Impedance เพื่อป้องกันไม่ให้ Bridge Rectifier มีการเปลี่ยนแปลงแรงดันตามตามโหลด

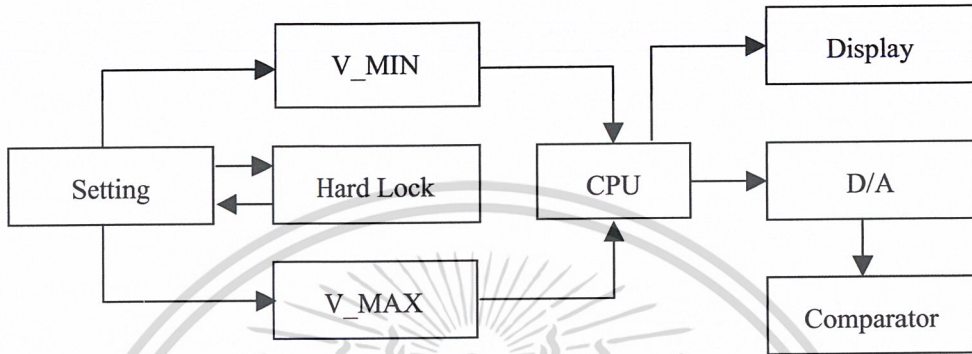


รูปที่ 3.2 แสดงวงจร DC Full Wave และวงจร Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การทำงานของส่วนการตั้งค่า V_MIN และ V_MAX

ส่วนประกอบของการตั้งค่า V_MIN และ V_MAX แสดงได้ในบล็อกไดอะแกรมรูปที่ 3.4



รูปที่ 3.4 บล็อก ไดอะแกรมแสดงการตั้งค่า V_MIN และ V_MAX ของระบบ

หลักการและขั้นตอนการทำงาน

- Setting จะรับค่าจากคีย์บอร์ด เมื่อกดปุ่ม SET ก็จะทำกรอ่านค่าจาก Hard Lock หากมี Hard Lock ก็จะทำให้ป้อนค่า V_MIN ซึ่งเป็นค่าที่หน่วยควบคุมจะยอมรับได้ต่ำสุดเท่ากับ V_MIN จากนั้นก็จะให้ป้อนค่า V_MAX ซึ่งเป็นค่าที่หน่วยควบคุมจะยอมรับได้สูงสุดเท่ากับ V_MAX โดยค่าที่รับจาก V_MIN จะต้องไม่น้อยกว่า 0 V และค่า V_MAX จะต้องไม่มากกว่า 500 V หากไม่มี Hard Lock ก็จะไม่ให้ทำการป้อนค่า V_MIN และ V_MAX

- Hard Lock เป็นตัวอุปกรณ์สำหรับเก็บค่ารหัส โดยการเขียนโปรแกรมให้กับไอซีไมโครคอนโทรลเลอร์

- V_MIN และ V_MAX เมื่อรับค่าจากคีย์บอร์ดแล้ว ก็จะส่งค่าให้ CPU เพื่อที่จะแสดงผลและส่งค่าให้ D/A

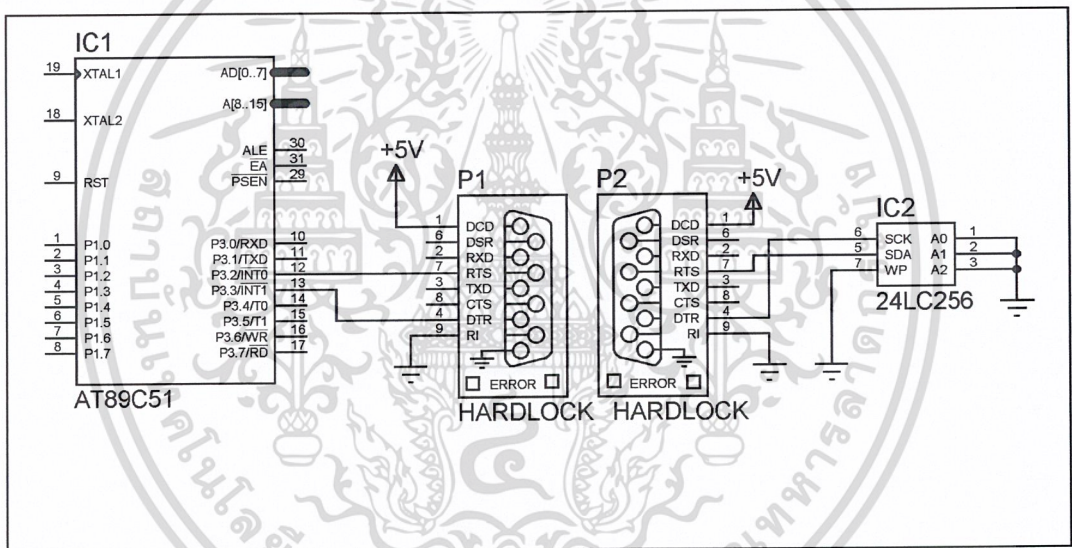
- D/A จะทำหน้าที่รับค่าจาก CPU ในระบบดิจิทัลเปลี่ยนเป็นแรงดัน DC โดยใช้ไอซี LTC1661 ขนาด 10 บิต

- Comparator ทำหน้าที่รับค่าจาก D/A มาเปรียบเทียบกับแรงดันไลน์ โดยใช้ฮอป-แอมป์ ค่าที่รับจาก D/A จะเป็นส่วนของแรงดันอ้างอิง 0-5 โวลต์เป็น 0-500 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบ Hard Lock

การออกแบบ Hard Lock นั้นสามารถแสดงได้ดังรูปที่ 3.5 โดยใช้ EEPROM ติดต่อกับไมโครคอนโทรลเลอร์ ระหว่างพอร์ตอนุกรม โดยให้ไมโครคอนโทรลเลอร์อ่านค่าจาก EEPROM ที่ทำหน้าที่เป็น Hard Lock แล้วทำการประมวลผลเปรียบเทียบกับค่าที่อยู่ภายในหน่วยความจำของไมโครคอนโทรลเลอร์ หากค่าที่อ่านได้ตรงกันกับค่าภายใน ก็จะให้มีการ Set-up ค่าแรงดัน V_MIN และ V_MAX ถ้าค่าที่อ่านได้ไม่ตรงกับค่าภายใน ไมโครคอนโทรลเลอร์ ก็จะไม่ให้ทำการ Set-up ค่าแรงดัน V_MIN และ V_MAX



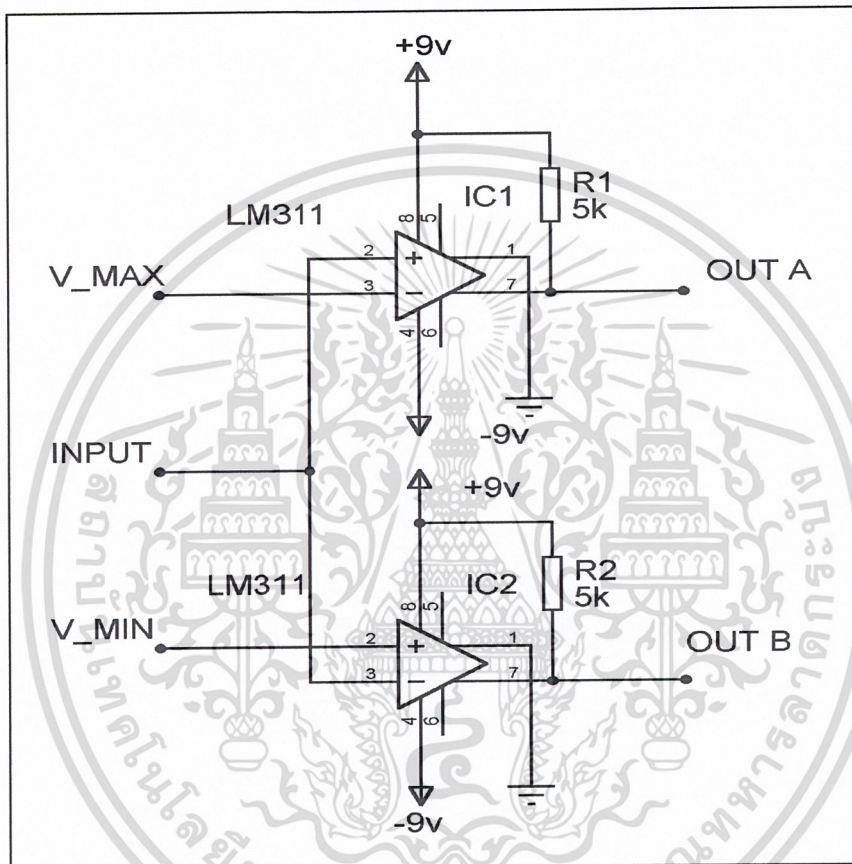
รูปที่ 3.5 การต่อไมโครคอนโทรลเลอร์ใช้งานเป็น Hard Lock

การทำงานของ Hard Lock ไอซี EEPROM จะทำงานเป็นตัวเก็บค่ารหัส เมื่อมีการกด Set-up ไมโครคอนโทรลเลอร์ ก็จะอ่านค่าจาก Hard Lock ผ่านทาง พอร์ตอนุกรม หากค่าที่ได้ไม่ตรงกับรหัสที่อยู่ภายในของไมโครคอนโทรลเลอร์ ตัวหลัก (เช่น ในกรณีที่ต่อ Hard Lock ผิดตัวหรือไม่ต่อ Hard Lock) ก็จะไม่ให้มีการ Set-up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบวงจร Comparator

การออกแบบวงจร Comparator นั้นสามารถแสดงได้ดังรูปที่ 3.6 ซึ่งออกแบบโดยใช้ออปแอมป์ 2 ชุด



รูปที่ 3.6 แสดงวงจร Comparator

การทำงานของวงจร Comparator

สามารถอธิบายได้คร่าวๆ ดังนี้

- UA จะทำหน้าที่เปรียบเทียบแรงดัน V_MAX เมื่อ V_LINE เกินค่า V_MAX ก็จะมีแรงดัน 5 VDC ที่เอาต์พุต หาก V_LINE ต่ำกว่าค่า V_MAX ก็จะทำให้แรงดัน 0 VDC ที่เอาต์พุต

- UB จะทำหน้าที่เปรียบเทียบแรงดัน V_MIN เมื่อ V_LINE ต่ำกว่าค่า V_MIN ก็จะทำให้แรงดัน 5 VDC ที่เอาต์พุต หาก V_LINE สูงกว่าค่า V_MIN ก็จะทำให้แรงดัน 0 VDC ที่เอาต์พุต

เอกสารนี้เป็นเอกสารทสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ส่วนโปรแกรมและผลการทดลอง

4.1 ส่วนโปรแกรมน้อยรับค่าจากคีย์บอร์ด

;Keypad Scan key Subroutine

```
GET_KPAD :      MOV  P2,#0FFH          ; Pull P2 to High
                MOV  KPAD_DATA,#0      ; Clear Keypad Data

CHK_COL0 :      CLR  KPAD_COL0        ; Begin Scan Column 0
                MOV  A,P2              ; Get Port2 Value
                ANL  A,#00FH           ; Get only lower 4 Bit
                CJNE A,#00FH,COLO0_DETECT ; Check All rows '1'?
                AJMP CHK_COL1         ; All rows '1' => check next column

COLO0_DETECT :  MOV  KPAD_DATA,#01     ; Initial KPAD_DATA = 1
                AJMP GET_ROW          ; Jump to get row value

CHK_COL1:      SETB KPAD_COL0         ; Stop Scan Column 0
                CLR  KPAD_COL1        ; Begin Scan Column 1
                MOV  A,P2              ; Get Port2 Value
                ANL  A,#00FH           ; Get only lower 4 Bit
                CJNE A,#00FH,COL1_DETECT ; Check All rows '1'?
                AJMP CHK_COL2         ; All rows '1' => check next column

COL1_DETECT:   MOV  KPAD_DATA,#02     ; Initial KPAD_DATA = 2
                AJMP GET_ROW          ; Jump to get row value

CHK_COL2:      SETB KPAD_COL1         ; Stop Scan Column 1
                CLR  KPAD_COL2        ; Begin Scan Column 2
                MOV  A,P2              ; Get Port2 Value
                ANL  A,#00FH           ; Get only lower 4 Bit
                CJNE A,#00FH,COL2_DETECT ; Check All rows '1'?
                RET                    ; All rows '1' => return

COL2_DETECT:   MOV  KPAD_DATA,#03     ; Initial KPAD_DATA = 2
```

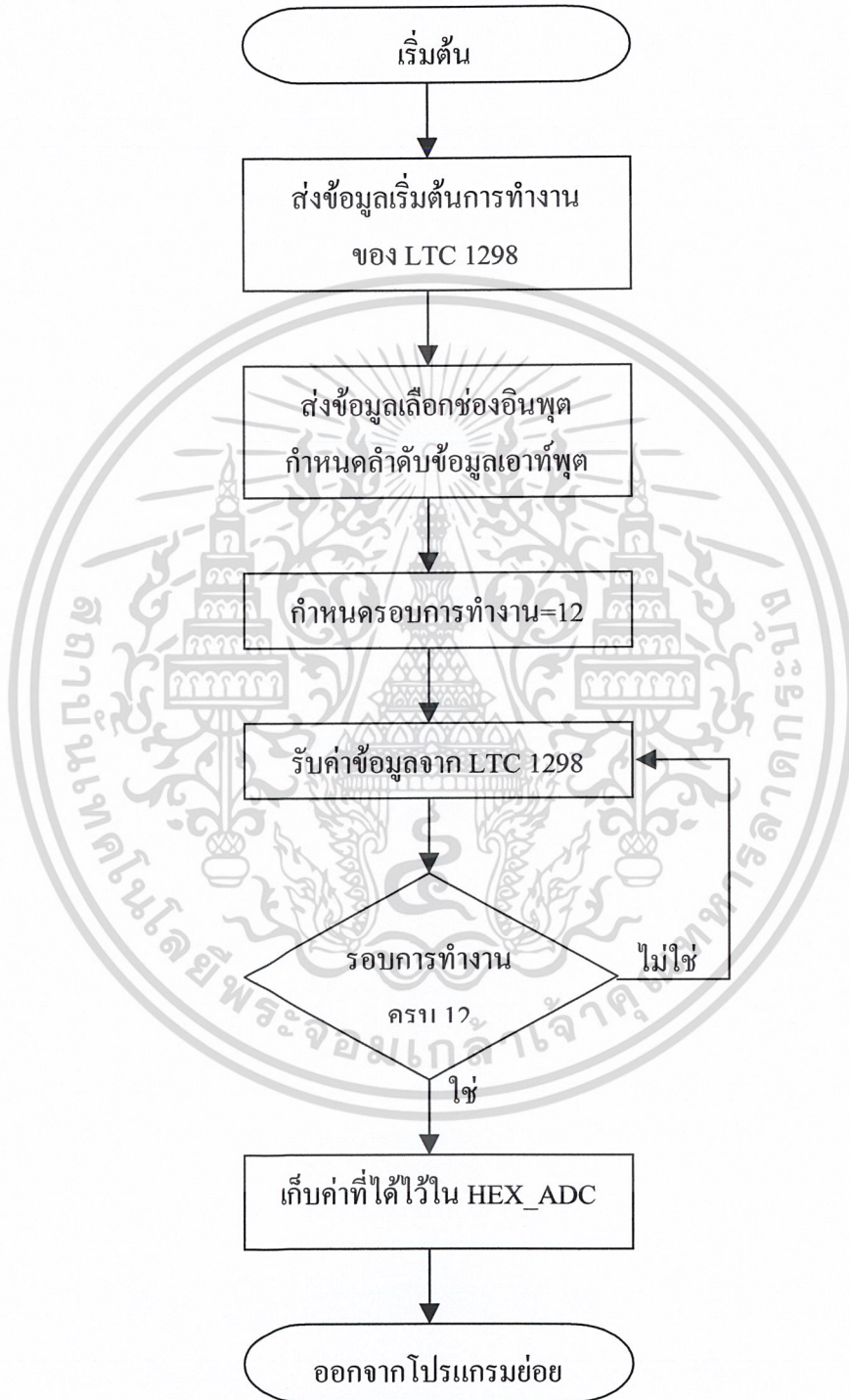
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการเรียนการสอนเท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CLR   KPAD_COL1       ;
CLR   KPAD_COL2       ;
JB    KPAD_ROW0,CHK_ROW1 ; Check Row 0 Detect?
RET                                ; Row 0 Detect => return
CHK_ROW1: JB    KPAD_ROW1,CHK_ROW2 ; Check Row 2 Detect?
MOV   A,KPAD_DATA     ; Add 3 with KPAD_DATA
ADD   A,#3            ;
MOV   KPAD_DATA,A     ;
RET                                ; Return
CHK_ROW2: JB    KPAD_ROW2,CHK_ROW3 ; Check Row 2 Detect?
MOV   A,KPAD_DATA     ; Add 6 with KPAD_DATA
ADD   A,#6            ;
MOV   KPAD_DATA,A     ;
RET                                ; Return
CHK_ROW3: MOV   A,KPAD_DATA     ; Add 9 with KPAD_DATA
ADD   A,#9            ;
MOV   KPAD_DATA,A     ;
RET                                ; Return
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 โฟลวชาร์ทโปรแกรมย่อยอ่านข้อมูลจาก LTC 1298



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 โปรแกรมย่อยอ่านค่าจากไอซี LTC1298

```
READ_ADC:  MOV  A,#0D0H
           SETB P1.4    ;Make sure CS is high
           CLR  P1.4    ;CS goes low
           MOV  R4,#04  ;Load counter
LOOP1:     RLC  A        ;Rotate DIN bit into Carry
           CLR  P1.3    ;SCLK goes low
           MOV  P1.2,C  ;Output DIN bit to LTC1298
           SETB P1.3    ;SCLK goes high
           DJNZ R4,LOOP1 ;Next bit
           MOV  P1,#04  ;Bit 2 becomes an input
           CLR  P1.3    ;SCLK goes low
           MOV  R4,#09  ;Load counter
LOOP2:     MOV  C,P1.2  ;Read data bit into Carry
           RLC  A        ;Rotate data bit into Acc.
           SETB P1.3    ;SCLK goes high
           CLR  P1.3    ;SCLK goes low
           DJNZ R4,LOOP2 ;Next bit
           MOV  R2,A    ;Store MSBs in R2
           CLR  A        ;Clear Acc.
           MOV  R4,#04  ;Load counter
LOOP3:     MOV  C,P1.2  ;Read data bit into Carry
           RLC  A        ;Rotate data bit into Acc.
           SETB P1.3    ;SCLK goes high
           CLR  P1.3    ;SCLK goes low
           DJNZ R4,LOOP3 ;Next bit
           MOV  R4,#04  ;Load counter
LOOP4:     RR  A        ;Rotate right into Acc.
           DJNZ R4,LOOP4 ;Next Rotate
           MOV  R3,A    ;Store LSBs in R3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SETB P1.4 ;CS goes high
MOV DATA_ADC,R2
MOV DATA_ADC+1,R3
RET
```

4.4 การทดลองอ่านค่าจากไอซี LTC1298

จากการทดลองอ่านค่าโดยการป้อนแรงดันอ้างอิง 0 – 5 VDC นั้น ค่าที่ได้จาก ไอซี LTC1298 จะเป็นข้อมูลฐาน 16 และมีการเปลี่ยนแปลงค่าที่ตำแหน่งบิตสุดท้ายอยู่ตลอดเวลา เนื่องจากแรงดัน VCC ซึ่งเป็นแรงดัน VREF ไม่เสถียรภาพพอ อาจเนื่องมาจากสัญญาณรบกวนจากการทำงานของส่วนวงจรดิจิทัล จึงต้องแก้ปัญหาโดยการใช้ตัวเก็บประจุค่าน้อยๆ ต่อคร่อมระหว่าง VCC กับ GROUND ที่ตำแหน่งขา VCC ของไอซี LTC1298 เพื่อลดสัญญาณรบกวนดังกล่าวให้ลดลงได้ระดับหนึ่ง

เมื่อทดลองการป้อนค่า VIN โดยใช้ VR10K ซึ่งเป็น VR ปรับละเอียดในการเปลี่ยนค่าแรงดัน จากค่า 0 – 5 V จะได้ข้อมูลฐาน 16 ค่าตั้งแต่ 000H – FFFH หากค่าแรงดัน VCC ไม่ถึงค่า 5 V หรือต่ำกว่า 5 V จะทำให้ข้อมูลที่ตำแหน่งต่างๆ ที่ใช้ในการอ้างอิงจะผิดพลาดหมดไม่สามารถอ้างอิงค่าที่แน่นอนได้ ดังนั้นการจัดไฟเลี้ยงให้กับไอซี LTC1298 จะต้องเป็นแรงดันคงไฟ DC ที่คงที่เท่านั้น

ผลการทดลองจะสรุปทำการทดลองบางค่าเนื่องจากไอซี LTC1298 เป็นไอซีขนาด 12 บิต มีความละเอียดสูงถึง 4095 ตำแหน่ง การทดลองคร่าวๆ บางส่วนสามารถแสดงได้ดังตารางที่ 4.1

ตารางที่ 4.1 แสดงผลการทดลองอ่านค่า A/D บางส่วน

VDC (V)	ข้อมูลดิจิทัล (HEX)	ข้อมูลจากการวัด (V)	ค่าความผิดพลาด (%)
0.05	028	0.0488	2.4
0.08	043	0.081	1.25
0.1	053	0.101	1
0.12	061	0.118	1.66
0.2	0A3	0.196	2
0.5	19D	0.503	0.6
0.65	217	0.654	0.61
0.77	27E	0.78	1.29
0.95	30E	0.954	1.29
1	339	1.006	0.42
1.5	4DB	1.514	0.6
1.7	581	1.719	0.93
2	67C	2.025	1.23
2.05	6A1	2.067	0.83
2.2	730	2.224	1
2.55	847	2.58	1.17
2.8	919	2.844	1.57
3	9BF	3.042	1.4
3.1	A0F	3.141	1.27
4.25	DD0	4.317	1.32
4.75	F80	4.84	1.57
5	FFF	4.995	0.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 โฟลวชาร์ทโปรแกรมย่อยตั้งค่าแรงดันสูงสุดและต่ำสุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 โปรแกรมย่อยส่งค่าให้อีซี LTC1661

```
-----  
;DAC SEND DATA TO D2A  
-----
```

DAC:

LP1: MOV A,DAC_CH

SETB P1.5

SETB P1.6

CLR P1.6

CLR P1.5

MOV R4,#04

LOOP1_DAC: RLC A

CLR P1.6

MOV P1.7,C

SETB P1.6

DJNZ R4,LOOP1_DAC

CLR P1.6

MOV R4,#2

CLR P1.7

CLR A

CLR C

MOV A,HEX_DAC

SWAP A

RL A

RL A

LOOP2_DAC: RLC A

MOV P1.7,C

SETB P1.6

CLR P1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

DJNZ R4,LOOP2_DAC
MOV R4,#10
CLR P1.7
CLR A
CLR C
MOV A,HEX_DAC+1
LOOP3_DAC: RLC A
MOV P1.7,C
SETB P1.6
CLR P1.6
DJNZ R4,LOOP3_DAC
SETB P1.5
RET
    
```

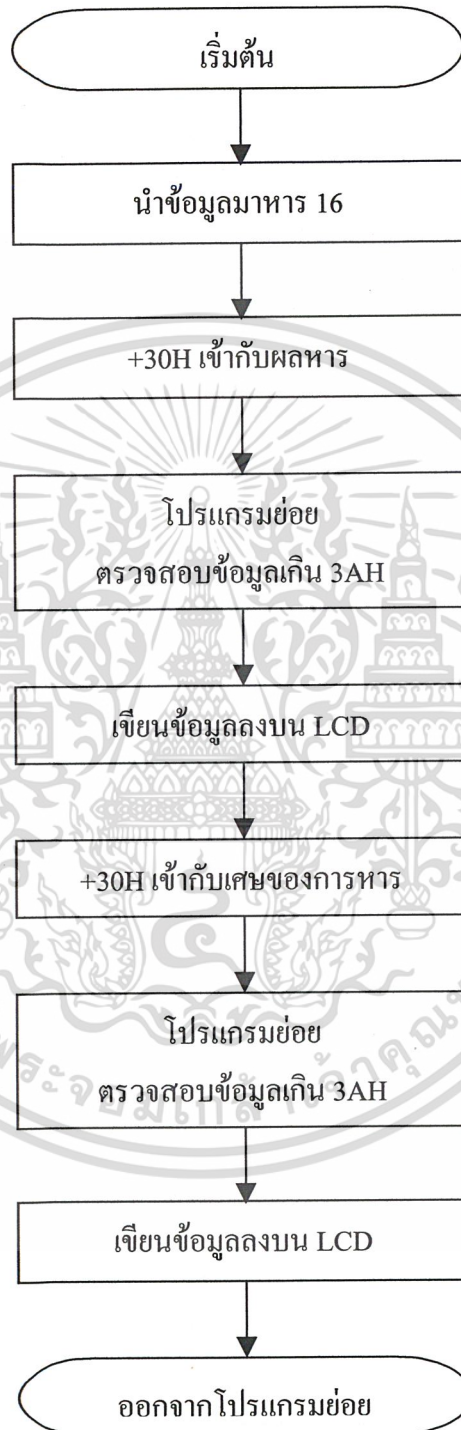
4.7 ผลการทดลองวงจร D/A โดยใช้ไอซี LTC1661

ตารางที่ 4.2 แสดงผลการทดลองวัดค่าจากไอซี LTC1661

ค่าจากการ Set-up	ค่าที่คำนวณได้ (VDC)	ค่าที่วัดได้ (VDC)	ความผิดพลาด (VDC)
50	0.5	0.51	0.01
100	1	1	0
150	1.5	1.51	0.01
200	2	2	0
250	2.5	2.5	0
300	3	3	0
350	3.5	3.5	0
400	4	4	0
450	4.5	4.49	0.01
500	5	4.99	0.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 โฟลวชาร์ทโปรแกรมย่อยแปลงค่าเลขฐานสิบหกแสดงผลที่ LCD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

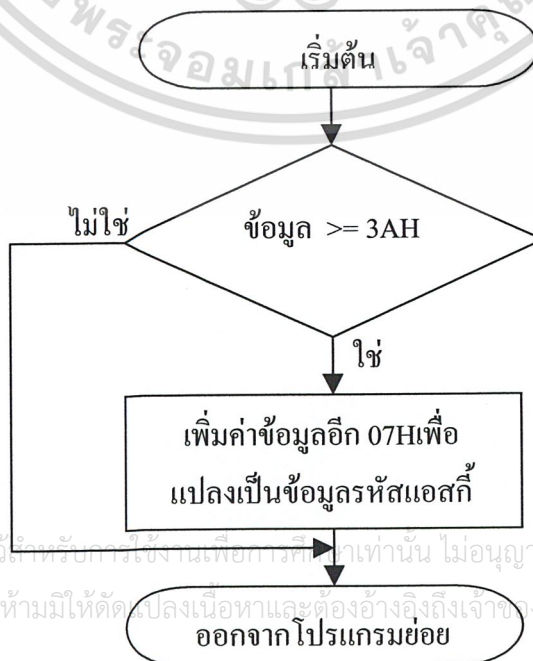
4.9 ผลการทดลองวงจร Comparator

จากการทดลองวงจร Comparator โดยใช้ไอซี Comparator เบอร์ LM311 ที่ทำการเปรียบเทียบแรงดันทางด้าน DC โดยให้ UA เป็น V_MAX และ UB เป็น V_MIN ได้ผลการทดลองก่อนผ่าน NOR GATE ดังตารางที่ 4.3

ตารางที่ 4.3 แสดงผลการทดลองสุ่มค่าจากวงจร Comparator

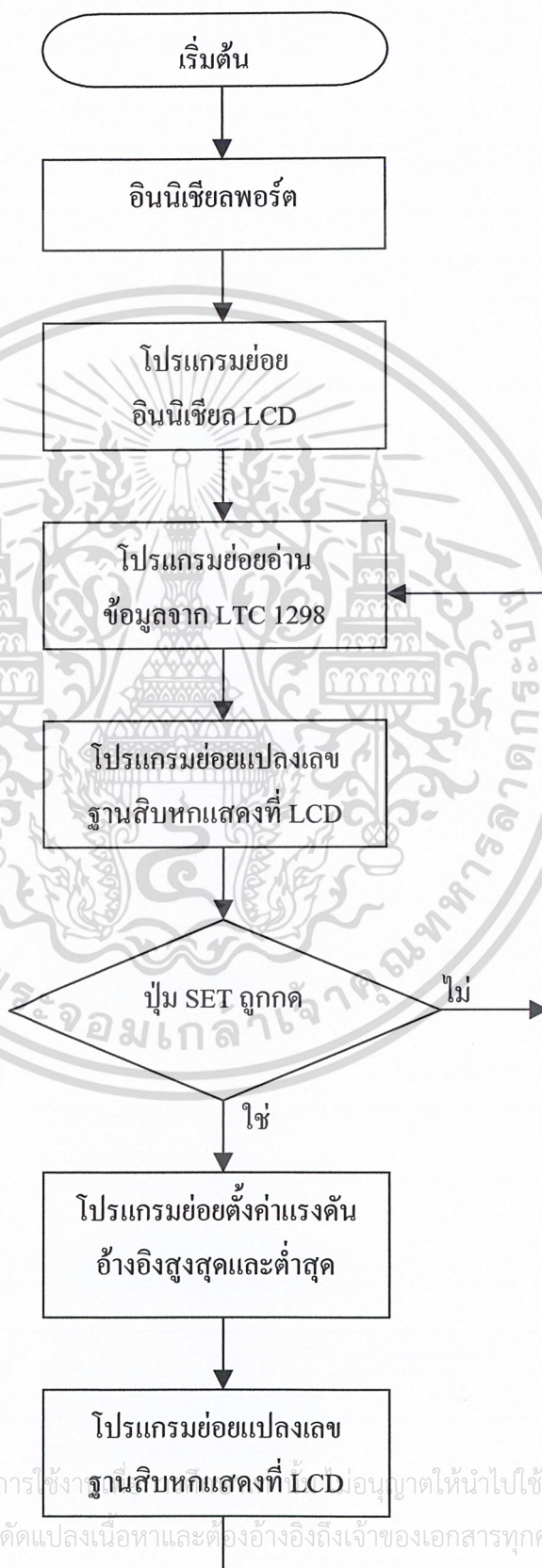
VIN (V) V_LINE (V)	VREF (V) V_MIN (V)	VREF (V) V_MAX (V)	V_OUT (LOGIC) UA	V_OUT (LOGIC) UB
1	0.5	5	0	0
0.49	0.5	5	0	1
5.02	0.5	5	1	0
3	2.8	2.9	1	0
3	3.05	3.5	0	1
4.5	4	5	0	0
4.7	4	5	0	0
4.9	4	5	0	0
5	4	5	1	0

4.10 โฟลวชาร์ทโปรแกรมย่อยตรวจสอบข้อมูลเกิน 3AH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

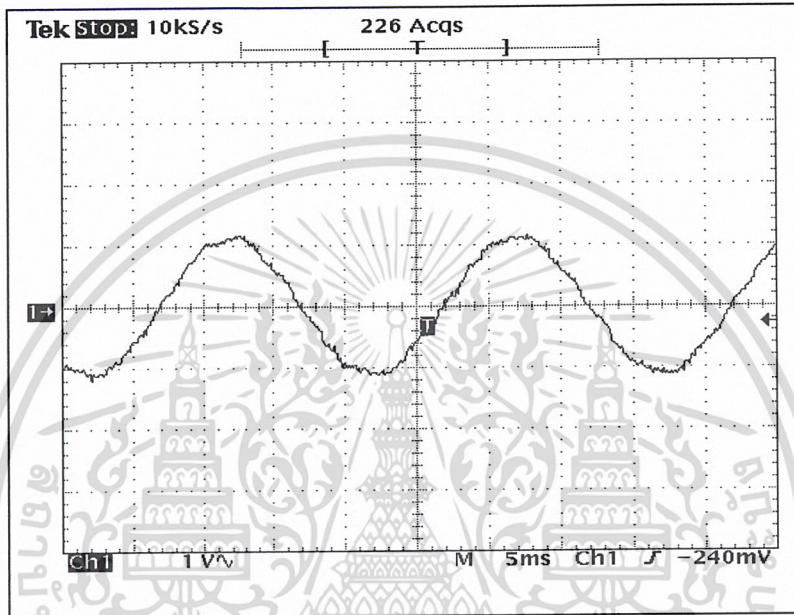
4.11 โฟลวชาร์ทการทำงานของโปรแกรมทั้งหมด



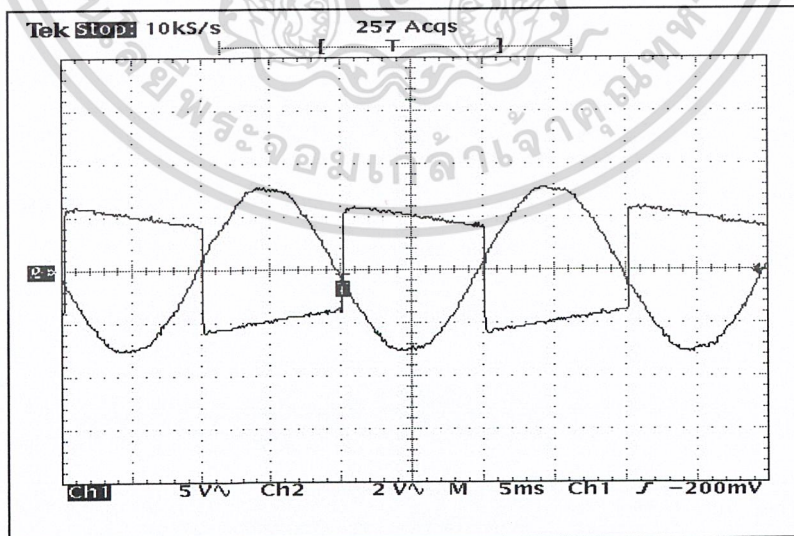
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานฐานสิบหกแสดงที่ LCD เป็นอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12 แสดงผลการวัดรูปสัญญาณบางส่วนจากระบบ

จากการทดลองป้อนค่าแรงดันอินพุตที่แรงดันปกติประมาณ 220 VAC ได้รูปสัญญาณตามจุดที่สำคัญของระบบตามจุดต่างๆ เพื่อเปรียบเทียบผลของการทำงานของวงจรว่าถูกต้องหรือไม่ดังต่อไปนี้



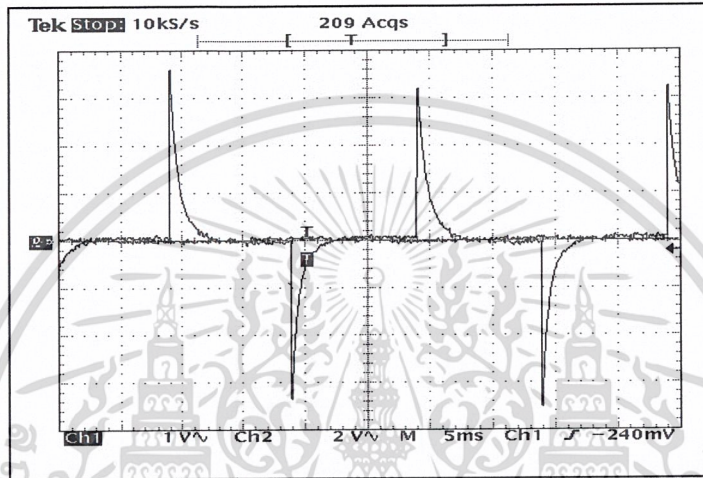
รูปที่ 4.1 สัญญาณที่จุดอินพุตของวงจร Zero Crossing (IC7)



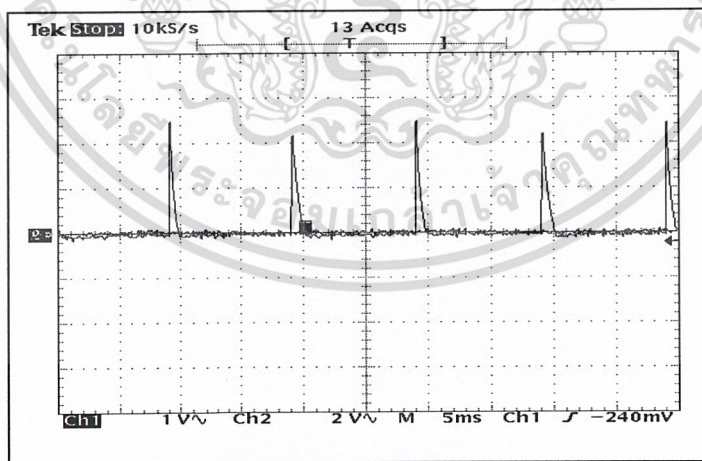
รูปที่ 4.2 สัญญาณที่จุดอินพุตเทียบกับเอาต์พุตของวงจร Zero Crossing (IC7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร Zero Crossing ที่ต่อร่วมกับวงจร Sampling and Hold จะทำหน้าที่แยกจุดตัดของสัญญาณอินพุตที่เป็นสัญญาณรูปซายน์ ระหว่างการเปลี่ยนแปลงช่วงบวกกับช่วงลบ เมื่อวงจร Zero Crossing ตรวจพบการเปลี่ยนแปลงดังกล่าว ก็จะกำเนิดสัญญาณพัลส์ออกมาดังรูปที่ 4.2 จากนั้นสัญญาณที่ได้ก็จะถูกทำให้มีขนาดแคบๆ โดยใช้ C9 ดังรูปที่ 4.3 ก่อนจะเข้าวงจรกลับสัญญาณและรวมสัญญาณโดยใช้ D9 และ D10



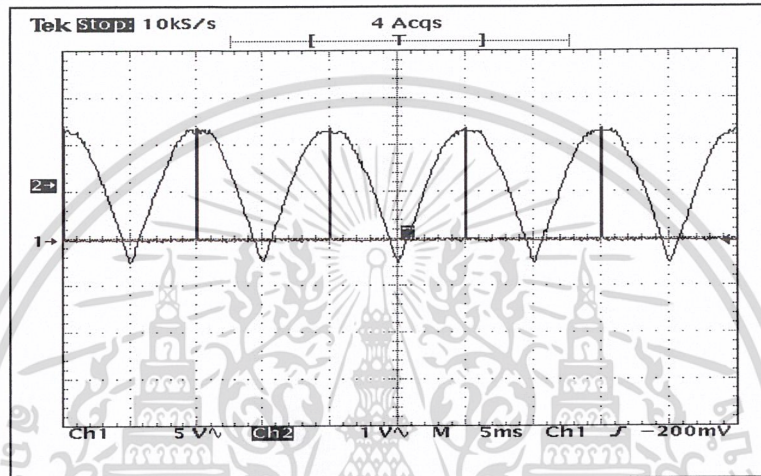
รูปที่ 4.3 สัญญาณที่ถูกทำให้มีขนาดแคบๆ โดยใช้ C9



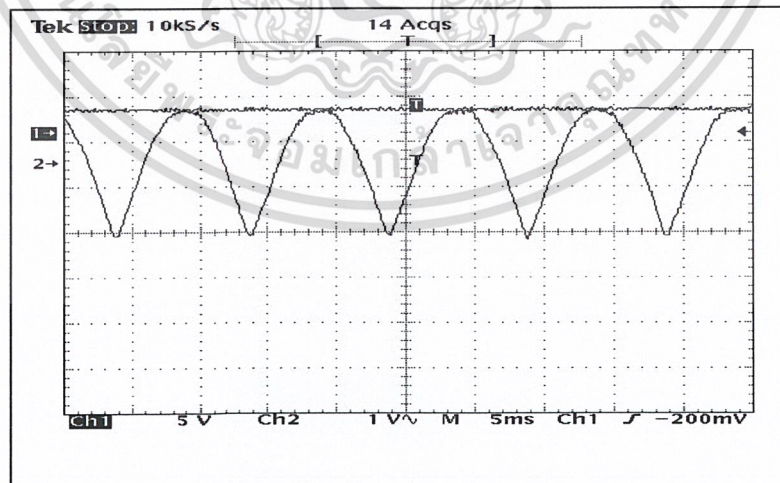
รูปที่ 4.4 สัญญาณที่อินพุตขา 3 ของ IC9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณที่ได้จากวงจร DC Full Wave จะมีลักษณะดังรูปที่ 4.5 ก่อนจะเข้าวงจร Sampling and Hold โดยการทำงานของวงจร Sampling and Hold หลังจาก ไมโครคอนโทรลเลอร์ ในวงจร Sampling and Hold ได้รับสัญญาณที่ขา 8 ก็จะหน่วงเวลา 5 มิลลิวินาที หลังจากนั้นก็จะสร้างสัญญาณพัลส์ขนาดแคบๆ ประมาณ 100 ไมโครวินาที ที่ขา 16 เพื่อไปเป็นสัญญาณ Sampling สัญญาณที่ได้จากการ Sampling จะเป็นค่าแรงดันไฟ DC



รูปที่ 4.5 รูปสัญญาณที่เอาที่ฟุตวงจร DC Full Wave เปรียบเทียบกับสัญญาณ Sampling



รูปที่ 4.6 รูปสัญญาณที่เอาที่ฟุตวงจร DC Full Wave เปรียบเทียบกับสัญญาณไฟ DC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.13 แสดงขอบเขตการทำงานของระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้

จากการทดลองใช้งานระบบที่ค่าแรงดันต่างๆข้างต้น สามารถที่จะระบุถึงขอบเขตการทำงาน of ระบบ โดยการเปรียบเทียบอุปกรณ์ป้องกันทางไฟฟ้าชนิดอื่น

ตารางที่ 4.4 แสดงขอบเขต และเปรียบเทียบคุณสมบัติการใช้งาน

	จ่ายไฟฟ้าสำรอง	ป้องกันไฟตก/เกิน	ON/OFF อัตโนมัติ
ระบบควบคุมแรงดันไฟฟ้าอัตโนมัติแบบโปรแกรมได้	ไม่ได้	ได้	ได้
ระบบสำรองไฟฟ้าอัตโนมัติ (UPS)	ได้	ได้	OFF ได้ ON ได้ชั่วขณะ
ระบบป้องกันไฟฟ้าทั่วไป (Breaker and Safety Cut)	ไม่ได้	ป้องกันไฟเกินได้ ป้องกันไฟตกไม่ได้	OFF ได้ ON ไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

โครงการชุด ระบบควบคุมแรงดันไฟฟ้าอัตโนมัติแบบโปรแกรมได้ สามารถทำงานได้ในลักษณะคล้ายกับ Breaker และ Cut out แต่โครงการนี้จะสามารถป้องกันไฟฟ้าเกินและตกได้ โดยการตั้งค่าจากคีย์บอร์ด แล้วทำการเปรียบเทียบค่าแรงดันจากค่าที่ตั้งไว้กับแรงดันไลน์ เมื่อค่าแรงดันไลน์ต่ำกว่า V_MIN ระบบจะตัดการจ่ายไฟฟ้า ในทำนองเดียวกันหากค่าแรงดันไลน์สูงกว่า V_MAX ระบบก็จะตัดการจ่ายไฟฟ้าเช่นกัน ส่วนการตั้งค่าจะตั้งค่าได้เฉพาะผู้ที่เกี่ยวข้องเท่านั้น โดยมีการป้องกันด้วยระบบ Hard Lock หากไม่มี Hard Lock ก็ไม่สามารถตั้งค่าได้

จากการทดลอง A/D โดยการอ้างอิงจากค่าแรงดันที่ลดขนาดและแปลงเป็นแรงดัน DC Full Wave ได้ทำการทดสอบการอ่าน ไปแสดงผล ซึ่งที่อ่านได้จะเป็นเลขฐาน 16 จึงต้องเปลี่ยนค่าให้เป็นเลขฐาน 10 ก่อน ซึ่งจะต้องเปรียบเทียบค่าให้ใกล้เคียงกับแรงดันไลน์จริงมากที่สุด ส่วนการตั้งค่า V_MIN และ V_MAX ที่รับค่าจากคีย์บอร์ดนั้นก็ต้องอ้างอิงจากแรงดันไลน์เช่นเดียวกัน เพื่อนำค่าไปเปรียบเทียบในการควบคุมการจ่ายไฟฟ้าต่อไป

ปัญหาจากการแปลงแรงดันจากเลขฐาน 16 เป็นเลขฐาน 10 เนื่องจาก A/D ขนาด 12 บิต มีค่าความละเอียดค่อนข้างสูง การเปรียบเทียบค่า จึงต้องมีการข้ามค่าแรงดันบางช่วง เพื่อให้ค่าที่ได้ที่เปลี่ยนเป็นเลขฐาน 10 แล้วสามารถอ้างอิงได้ง่ายขึ้น เนื่องจากค่าที่อ้างอิงจะมีความละเอียด 1 โวลท์ แต่ค่าที่ A/D จะมีความละเอียด 1.22 มิลลิโวลท์

ปัญหาจากการทดลองวงจร Sampling and Hold เนื่องจากมีค่าของแรงดันบางส่วนตกคร่อมไดโอดในวงจร DC Full Wave จึงทำให้ค่าที่อ่านได้ไม่ตรงกับความเป็นจริง แต่สามารถแก้ไขได้โดยการชดเชยค่าที่ได้โดยโปรแกรมอ่านค่าจากไอซี LTC1298

ส่วนการตั้งค่าจะใช้ D/A รับค่าจากคีย์บอร์ดแล้วทำการเปรียบเทียบ (วงจร Comparator) ผลจากการเปรียบเทียบค่าจะไปควบคุม Solid-State Relay

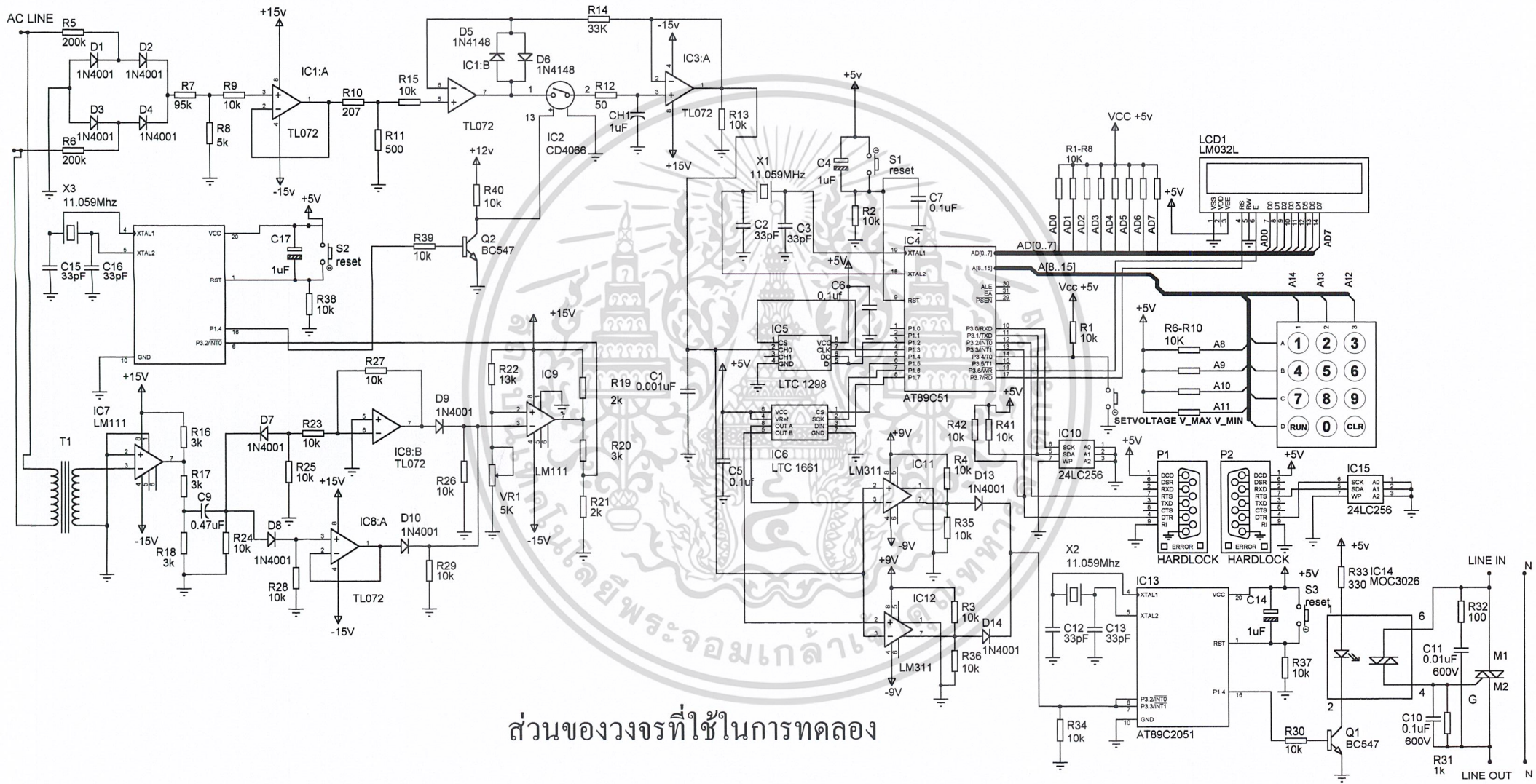
ปัญหาจากการทดลองวงจร Comparator เมื่อแรงดันอินพุตมีค่าเท่ากับแรงดันอ้างอิง การทำงานของออปแอมป์จะเกิดการ Oscillate ค่าทางเอาต์พุตจะมีค่าไม่แน่นอน สามารถป้องกันได้โดยใช้ไมโครคอนโทรลเลอร์ตรวจค่าเอาต์พุตจากออปแอมป์ หากค่าที่ตรวจได้มีการ Oscillate ก็จะทำการ OFF Solid-State Relay และต้อง Set – up ค่าของ V_MIN หรือ V_MAX ใหม่ระบบจึงจะทำงานปกติต่อไป

ส่วนของวงจร Solid-State Relay หากต้องการต่อ โหลดมากๆ ต้องเปลี่ยนค่าอัตราทนกระแสของไดโอดในวงจร Solid-State Relay ให้มีค่าสูงกว่ากระแสที่โหลดต้องการเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ส่วนของวงจรที่ใช้ในการทดลอง

Micropower Dual 10-Bit DAC in MSOP

FEATURES

- **Tiny: Two 10-Bit DACs in an 8-Lead MSOP—Half the Board Space of an SO-8**
- **Micropower: 60µA per DAC**
Sleep Mode: 1µA for Extended Battery Life
- **Rail-to-Rail Voltage Outputs Drive 1000pF**
- Wide 2.7V to 5.5V Supply Range
- Double Buffered for Independent or Simultaneous DAC Updates
- Reference Range Includes Supply for Ratiometric 0V-to-V_{CC} Output
- Reference Input Has Constant Impedance over All Codes (260kΩ Typ)—Eliminates External Buffers
- 3-Wire Serial Interface with Schmitt Trigger Inputs
- Differential Nonlinearity: $\leq \pm 0.75\text{LSB Max}$

APPLICATIONS

- Mobile Communications
- Digitally Controlled Amplifiers and Attenuators
- Portable Battery-Powered Instruments
- Automatic Calibration for Manufacturing
- Remote Industrial Devices

LTC, LTC and LT are registered trademarks of Linear Technology Corporation.

DESCRIPTION

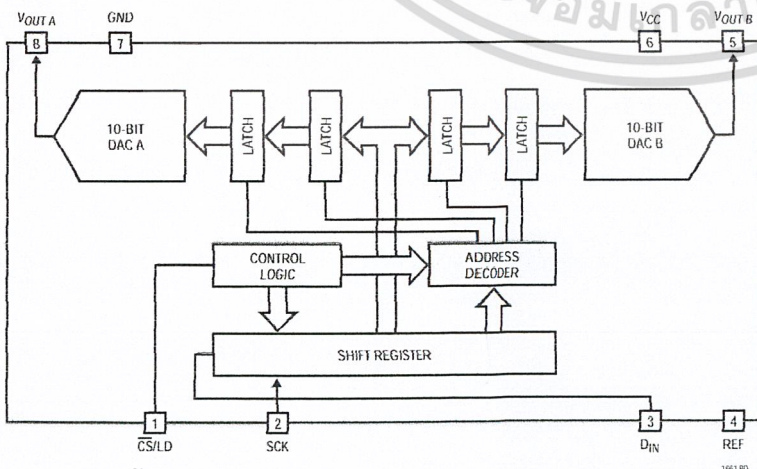
The LTC[®]1661 integrates two accurate, serially addressable, 10-bit digital-to-analog converters (DACs) in a single tiny MS8 package. Each buffered DAC draws just 60µA total supply current, yet is capable of supplying DC output currents in excess of 5mA and reliably driving capacitive loads up to 1000pF. Sleep mode further reduces total supply current to a negligible 1µA.

Linear Technology's proprietary, inherently monotonic voltage interpolation architecture provides excellent linearity while allowing for an exceptionally small external form factor. The double-buffered input logic provides simultaneous update capability and can be used to write to either DAC without interrupting Sleep mode.

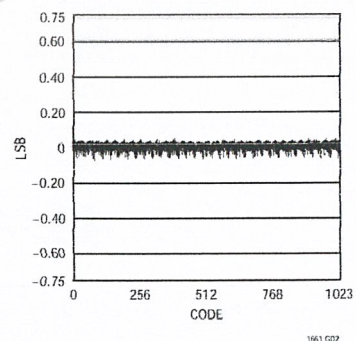
Ultralow supply current, power-saving Sleep mode and extremely compact size make the LTC1661 ideal for battery-powered applications, while its straightforward usability, high performance and wide supply range make it an excellent choice as a general purpose converter.

For additional outputs and even greater board density, please refer to the LTC1660 micropower octal DAC for 10-bit applications. For 8-bit applications, please consult the LTC1665 micropower octal DAC.

BLOCK DIAGRAM



Differential Nonlinearity (DNL)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LTC1661

ABSOLUTE MAXIMUM RATINGS

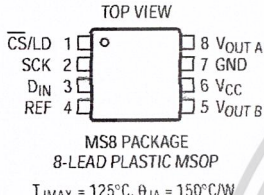
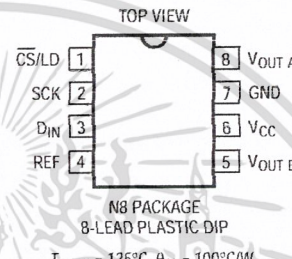
(Note 1)

V_{CC} to GND	-0.3V to 7.5V
Logic Inputs to GND	-0.3V to 7.5V
$V_{OUT A}$, $V_{OUT B}$, REF to GND	-0.3V to V_{CC} + 0.3V
Maximum Junction Temperature	125°C
Storage Temperature Range	-65°C to 150°C

Operating Temperature Range

LTC1661C	0°C to 70°C
LTC1661I	-40°C to 85°C
Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION

 <p>MS8 PACKAGE 8-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 150^{\circ}\text{C/W}$</p>	ORDER PART NUMBER	 <p>N8 PACKAGE 8-LEAD PLASTIC DIP $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 100^{\circ}\text{C/W}$</p>	ORDER PART NUMBER
	LTC1661CMS8 LTC1661IMS8		LTC1661CN8 LTC1661IN8
	MS8 PART MARKING		
	LTDV LTDW		

Consult factory for Military grade parts.

ELECTRICAL CHARACTERISTICS The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^{\circ}\text{C}$. $V_{CC} = 2.7\text{V}$ to 5.5V , $V_{REF} \leq V_{CC}$, V_{OUT} Unloaded unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Accuracy						
	Resolution		●	10		Bits
	Monotonicity	$1\text{V} \leq V_{REF} \leq V_{CC} - 0.1\text{V}$ (Note 2)	●	10		Bits
DNL	Differential Nonlinearity	$1\text{V} \leq V_{REF} \leq V_{CC} - 0.1\text{V}$ (Note 2)	●	±0.1	±0.75	LSB
INL	Integral Nonlinearity	$1\text{V} \leq V_{REF} \leq V_{CC} - 0.1\text{V}$ (Note 2)	●	±0.4	±2	LSB
V_{OS}	Offset Error	Measured at Code 20	●	±5	±30	mV
	V_{OS} Temperature Coefficient			±15		$\mu\text{V}/^{\circ}\text{C}$
FSE	Full-Scale Error	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$	●	±1	±12	LSB
	Full-Scale Error Temperature Coefficient			±30		$\mu\text{V}/^{\circ}\text{C}$
PSR	Power Supply Rejection	$V_{REF} = 2.5\text{V}$		0.18		LSB/V
Reference Input						
	Input Voltage Range		●	0	V_{CC}	V
	Resistance	Active Mode	●	140	260	k Ω
	Capacitance		●	15		pF
I_{REF}	Reference Current	Sleep Mode	●	0.001	1	μA
Power Supply						
V_{CC}	Positive Supply Voltage	For Specified Performance	●	2.7	5.5	V
I_{CC}	Supply Current	$V_{CC} = 5\text{V}$ (Note 3)	●		120	μA
		$V_{CC} = 3\text{V}$ (Note 3)	●		95	μA
		Sleep Mode (Note 3)	●		1	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_{CC} = 2.7\text{V}$ to 5.5V , $V_{REF} \leq V_{CC}$. V_{OUT} Unloaded unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
DC Performance						
	Short-Circuit Current Low	$V_{OUT} = 0\text{V}$, $V_{CC} = V_{REF} = 5\text{V}$, Code = 1023	● 10	25	100	mA
	Short-Circuit Current High	$V_{OUT} = V_{CC} = V_{REF} = 5\text{V}$, Code = 0	● 7	19	120	mA
AC Performance						
	Voltage Output Slew Rate	Rising (Notes 4, 5) Falling (Notes 4, 5)		0.60 0.25		V/ μs V/ μs
	Voltage Output Settling Time	$T_O \pm 0.5\text{LSB}$ (Notes 4, 5)		30		μs
	Capacitive Load Driving			1000		pF
Digital I/O						
V_{IH}	Digital Input High Voltage	$V_{CC} = 2.7\text{V}$ to 5.5V $V_{CC} = 2.7\text{V}$ to 3.6V	● 2.4 ● 2.0			V V
V_{IL}	Digital Input Low Voltage	$V_{CC} = 4.5\text{V}$ to 5.5V $V_{CC} = 2.7\text{V}$ to 5.5V	●		0.8 0.6	V V
I_{LK}	Digital Input Leakage	$V_{IN} = \text{GND}$ to V_{CC}	●		± 10	μA
C_{IN}	Digital Input Capacitance	(Note 6)	●		10	pF

TIMING CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{CC} = 4.5\text{V}$ to 5.5V						
t_1	D_{IN} Valid to SCK Setup		● 40	15		ns
t_2	D_{IN} Valid to SCK Hold		● 0	-10		ns
t_3	SCK High Time	(Note 6)	● 30	14		ns
t_4	SCK Low Time	(Note 6)	● 30	14		ns
t_5	$\overline{\text{CS}}/\text{LD}$ Pulse Width	(Note 6)	● 80	27		ns
t_6	LSB SCK High to $\overline{\text{CS}}/\text{LD}$ High	(Note 6)	● 30	2		ns
t_7	$\overline{\text{CS}}/\text{LD}$ Low to SCK High	(Note 6)	● 20	-21		ns
t_9	SCK Low to $\overline{\text{CS}}/\text{LD}$ Low	(Note 6)	● 0	-5		ns
t_{11}	$\overline{\text{CS}}/\text{LD}$ High to SCK Positive Edge	(Note 6)	● 20	0		ns
	SCK Frequency	Square Wave (Note 6)	●		16.7	MHz
$V_{CC} = 2.7\text{V}$ to 5.5V						
t_1	D_{IN} Valid to SCK Setup	(Note 6)	● 60	20		ns
t_2	D_{IN} Valid to SCK Hold	(Note 6)	● 0	-10		ns
t_3	SCK High Time	(Note 6)	● 50	15		ns
t_4	SCK Low Time	(Note 6)	● 50	15		ns
t_5	$\overline{\text{CS}}/\text{LD}$ Pulse Width	(Note 6)	● 100	30		ns
t_6	LSB SCK High to $\overline{\text{CS}}/\text{LD}$ High	(Note 6)	● 50	3		ns
t_7	$\overline{\text{CS}}/\text{LD}$ Low to SCK High	(Note 6)	● 30	-14		ns
t_9	SCK Low to $\overline{\text{CS}}/\text{LD}$ Low	(Note 6)	● 0	-5		ns
t_{11}	$\overline{\text{CS}}/\text{LD}$ High to SCK Positive Edge	(Note 6)	● 30	0		ns
	SCK Frequency	Square Wave (Note 6)	●		10	MHz

Note 1: Absolute maximum ratings are those values beyond which the life of a device may be impaired.

Note 2: Nonlinearity and monotonicity are defined from code 20 to code 1023 (full scale). See Applications Information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TIMING CHARACTERISTICS

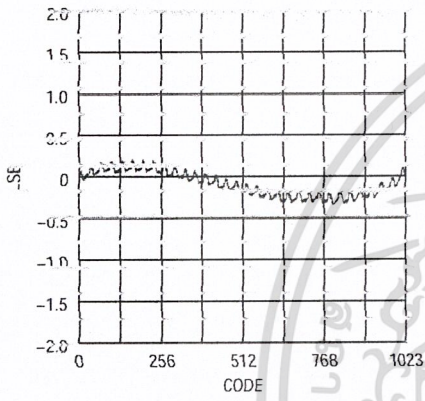
Note 3: Digital inputs at 0V or V_{CC} .
Note 4: Load is 10kΩ in parallel with 100pF.

Note 5: $V_{CC} = V_{REF} = 5V$. DAC switched between $0.1V_{FS}$ and $0.9V_{FS}$, i.e., codes $k = 102$ and $k = 922$.

Note 6: Guaranteed by design and not subject to test.

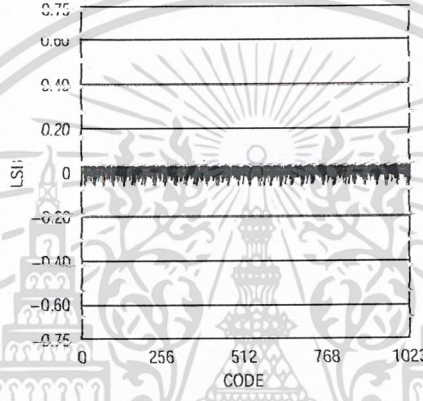
TYPICAL PERFORMANCE CHARACTERISTICS

Integral Nonlinearity (INL)



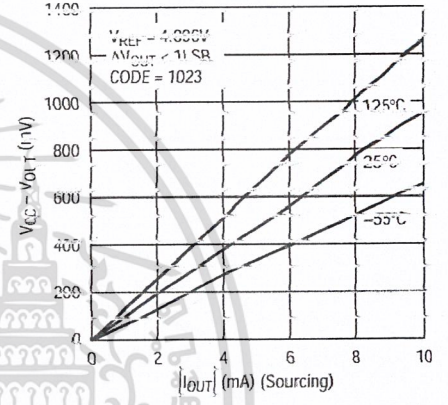
1661 G01

Differential Nonlinearity (DNL)



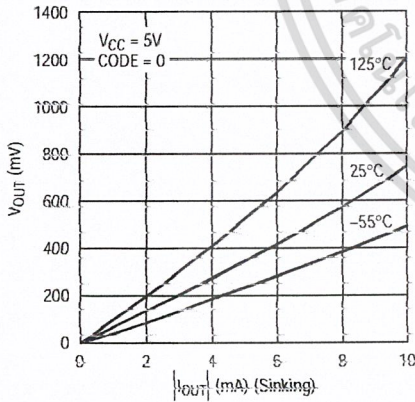
1661 G02

Minimum Supply Headroom vs Load Current (Output Sourcing)



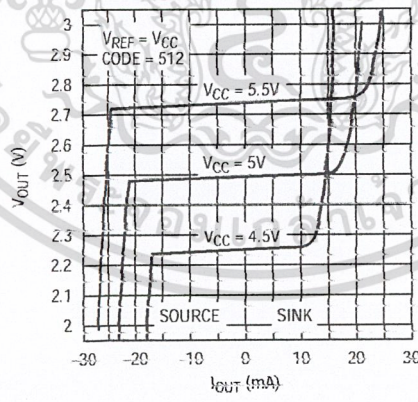
1661 G03

Minimum V_{OUT} vs Load Current (Output Sinking)



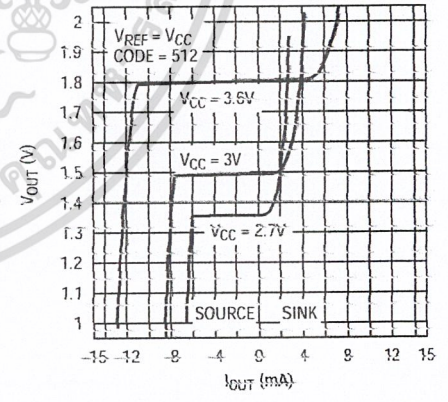
1661 G04

Midscale Output Voltage vs Load Current



1661 G05

Midscale Output Voltage vs Load Current

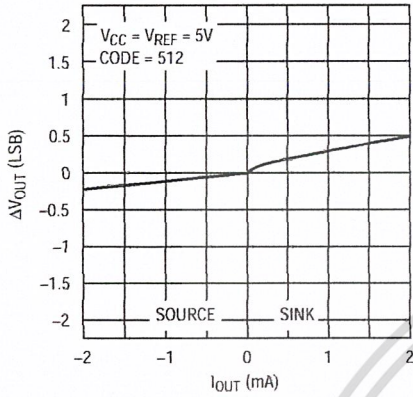


1661 G06

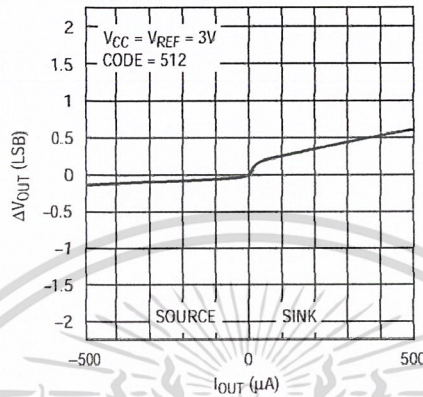
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS

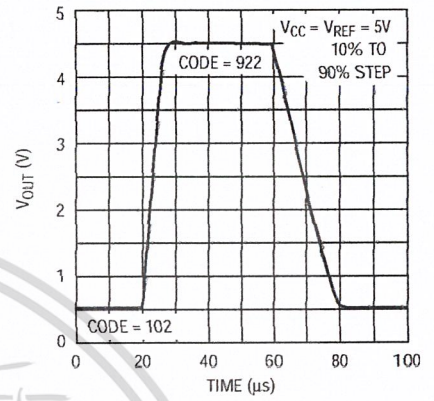
Load Regulation vs Output Current



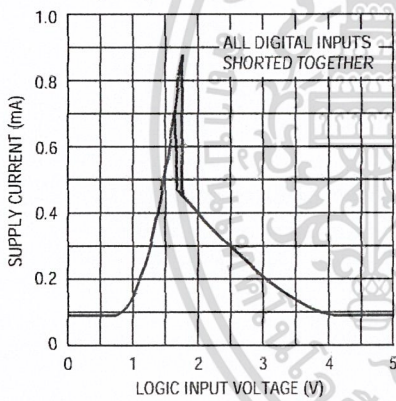
Load Regulation vs Output Current



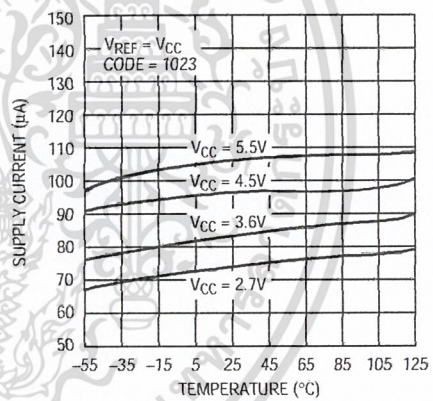
Large-Signal Step Response



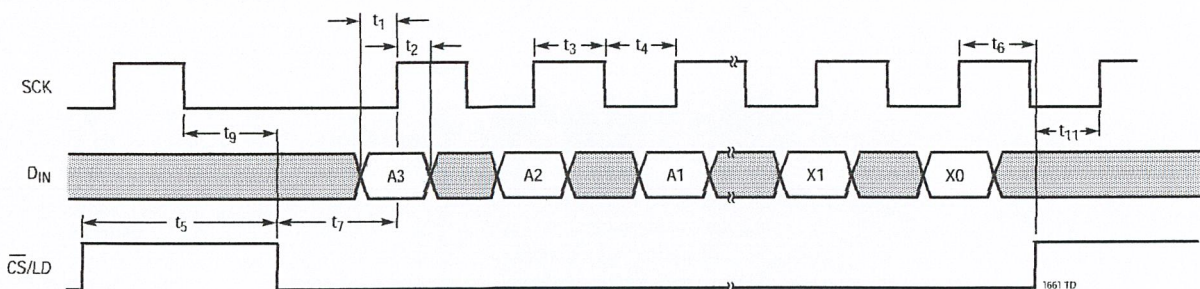
Supply Current vs Logic Input Voltage



Supply Current vs Temperature



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

PIN FUNCTIONS

$\overline{\text{CS/LD}}$ (Pin 1): Serial Interface Chip Select/Load Input. When $\overline{\text{CS/LD}}$ is low, SCK is enabled for shifting data on D_{IN} into the register. When $\overline{\text{CS/LD}}$ is pulled high, SCK is disabled and the operation(s) specified in the Control code, A3-A0, is (are) performed. CMOS and TTL compatible.

SCK (Pin 2): Serial Interface Clock Input. CMOS and TTL compatible.

D_{IN} (Pin 3): Serial Interface Data Input. Input word data on the D_{IN} pin is shifted into the 16-bit register on the rising edge of SCK. CMOS and TTL compatible.

REF (Pin 4): Reference Voltage Input. $0\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}}$.

$V_{\text{OUT A}}$, $V_{\text{OUT B}}$ (Pins 8,5): DAC Analog Voltage Outputs. The output range is

$$0 \leq V_{\text{OUTA}}, V_{\text{OUTB}} \leq V_{\text{REF}} \left(\frac{1023}{1024} \right)$$

V_{CC} (Pin 6): Supply Voltage Input. $2.7\text{V} \leq V_{\text{CC}} \leq 5.5\text{V}$.

GND (Pin 7): System Ground.

DEFINITIONS

Differential Nonlinearity (DNL): The difference between the measured change and the ideal 1LSB change for any two adjacent codes. The DNL error between any two codes is calculated as follows:

$$\text{DNL} = (\Delta V_{\text{OUT}} - \text{LSB}) / \text{LSB}$$

Where ΔV_{OUT} is the measured voltage difference between two adjacent codes.

Full-Scale Error (FSE): The deviation of the actual full-scale voltage from ideal. FSE includes the effects of offset and gain errors (see Applications Information).

Integral Nonlinearity (INL): The deviation from a straight line passing through the endpoints of the DAC transfer curve (Endpoint INL). Because the output cannot go below zero, the linearity is measured between full scale and the lowest code which guarantees the output will be greater than zero. The INL error at a given input code is calculated as follows:

$$\text{INL} = [V_{\text{OUT}} - V_{\text{OS}} - (V_{\text{FS}} - V_{\text{OS}})(\text{code}/1023)] / \text{LSB}$$

Where V_{OUT} is the output voltage of the DAC measured at the given input code.

Least Significant Bit (LSB): The ideal voltage difference between two successive codes.

$$\text{LSB} = V_{\text{REF}} / 1024$$

Resolution (n): Defines the number of DAC output states (2^n) that divide the full-scale range. Resolution does not imply linearity.

Voltage Offset Error (V_{OS}): Nominally, the voltage at the output when the DAC is loaded with all zeros. A single supply DAC can have a true negative offset, but the output cannot go below zero (see Applications Information).

For this reason, single supply DAC offset is measured at the lowest code that guarantees the output will be greater than zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATION

Transfer Function

The transfer function for the LTC1661 is:

$$V_{\text{OUT(IDEAL)}} = \left(\frac{k}{1024} \right) V_{\text{REF}}$$

where k is the decimal equivalent of the binary DAC input code D9-D0 and V_{REF} is the voltage at REF (Pin 6).

Power-On Reset

The LTC1661 positively clears the outputs to zero scale when power is first applied, making system initialization consistent and repeatable.

Power Supply Sequencing

The voltage at REF (Pin 4) must not ever exceed the voltage at V_{CC} (Pin 6) by more than 0.3V. Particular care should be taken in the power supply turn-on and turn-off sequences to assure that this limit is observed. See Absolute Maximum Ratings.

Serial Interface

See Table 1. The 16-bit Input word consists of the 4-bit Control code, the 10-bit Input code and two don't-care bits.

Table 1. LTC1661 Input Word

Input Word															
A3	A2	A1	A0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X1	X0
Control Code				Input Code										Don't Care	

After the Input word is loaded into the register (see Figure 1), it is internally converted from serial to parallel format. The parallel 10-bit-wide Input code data path is then buffered by two latch registers.

The first of these, the Input Register, is used for loading new input codes. The second buffer, the DAC Register, is used for updating the DAC outputs. Each DAC has its own 10-bit Input Register and 10-bit DAC Register.

By selecting the appropriate 4-bit Control code (see Table 2) it is possible to perform single operations, such as loading one DAC or changing Power-Down status (Sleep/Wake). In addition, some Control codes perform two or more operations at the same time. For example, one such code loads DAC A, updates both outputs and Wakes the part up. The DACs can be loaded separately or together, but the outputs are always updated together.

Register Loading Sequence

See Figure 1. With $\overline{\text{CS/LD}}$ held low, data on the D_{IN} input is shifted into the 16-bit Shift Register on the positive edge of SCK. The 4-bit Control code, A3-A0, is loaded first, then the 10-bit Input code, D9-D0, ordered MSB-to-LSB in each case. Two don't-care bits, X1 and X0, are loaded last. When the full 16-bit Input word has been shifted in, $\overline{\text{CS/LD}}$ is pulled high, causing the system to respond according to Table 2. The clock is disabled internally when $\overline{\text{CS/LD}}$ is high. Note: SCK must be low when $\overline{\text{CS/LD}}$ is pulled low.

Sleep Mode

DAC control code 1110_b is reserved for the special Sleep instruction (see Table 2). In this mode, the digital parts of the circuit stay active while the analog sections are disabled; static power consumption is greatly reduced. The reference input and analog outputs are set in a high impedance state and all DAC settings are retained in memory so that when Sleep mode is exited, the outputs of DACs not updated by the Wake command are restored to their last active state.

Sleep mode is initiated by performing a load sequence using control code 1110_b (the DAC input code D9-D0 is ignored).

To save instruction cycles, the DACs may be prepared with new input codes during Sleep (control codes 0001_b and 0010_b); then, a single command (1000_b) can be used both to wake the part and to update the output values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATION

Table 2. DAC Control Functions

CONTROL				INPUT REGISTER STATUS	DAC REGISTER STATUS	POWER-DOWN STATUS (SLEEP/WAKE)	COMMENTS
A3	A2	A1	A0				
0	0	0	0	No Change	No Update	No Change	No Operation. Power-Down Status Unchanged (Part Stays In Wake or Sleep Mode)
0	0	0	1	Load DAC A	No Update	No Change	Load Input Register A with Data. DAC Outputs Unchanged. Power-Down Status Unchanged
0	0	1	0	Load DAC B	No Update	No Change	Load Input Register B with Data. DAC Outputs Unchanged. Power-Down Status Unchanged
0	0	1	1	Reserved			
0	1	0	0	Reserved			
0	1	0	1	Reserved			
0	1	1	0	Reserved			
0	1	1	1	Reserved			
1	0	0	0	No Change	Update Outputs	Wake	Load Both DAC Regs with Existing Contents of Input Regs. Outputs Update. Part Wakes Up
1	0	0	1	Load DAC A	Update Outputs	Wake	Load Input Reg A. Load DAC Regs with New Contents of Input Reg A and Existing Contents of Reg B. Outputs Update. Part Wakes Up
1	0	1	0	Load DAC B	Update Outputs	Wake	Load Input Reg B. Load DAC Regs with Existing Contents of Input Reg A and New Contents of Reg B. Outputs Update. Part Wakes Up
1	0	1	1	Reserved			
1	1	0	0	Reserved			
1	1	0	1	No Change	No Update	Wake	Part Wakes Up. Input and DAC Regs Unchanged. DAC Outputs Reflect Existing Contents of DAC Regs
1	1	1	0	No Change	No Update	Sleep	Part Goes to Sleep. Input and DAC Regs Unchanged. DAC Outputs Set to High Impedance State
1	1	1	1	Load DACs A, B with Same 10-Bit Code	Update Outputs	Wake	Load Both Input Regs. Load Both DAC Regs with New Contents of Input Regs. Outputs Update. Part Wakes Up

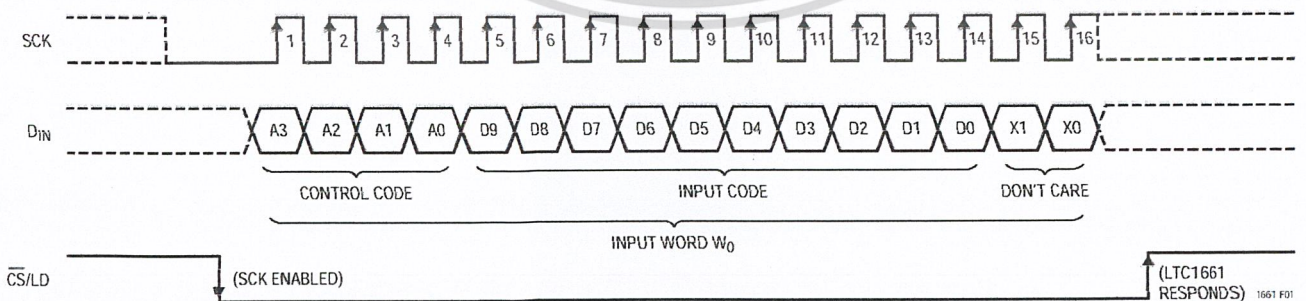


Figure 1. Register Loading Sequence

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATION

Voltage Outputs

Each of the rail-to-rail output amplifiers contained in the LTC1661 can typically source or sink up to 5mA ($V_{CC} = 5V$). The outputs swing to within a few millivolts of either supply when unloaded and have an equivalent output resistance of 85Ω (typical) when driving a load to the rails. The output amplifiers are stable driving capacitive loads up to 1000pF.

A small resistor placed in series with the output can be used to achieve stability for any load capacitance. A $1\mu F$ load can be successfully driven by inserting a 20Ω resistor in series with the V_{OUT} pin. A $2.2\mu F$ load needs only a 10Ω resistor, and a $10\mu F$ electrolytic capacitor can be used without any resistor (the equivalent series resistance of the capacitor itself provides the required small resistance). In any of these cases, larger values of resistance, capacitance or both may be substituted for the values given.

Rail-to-Rail Output Considerations

In any rail-to-rail DAC, the output swing is limited to voltages within the supply range.

If the DAC offset is negative, the output for the lowest codes limits at 0V as shown in Figure 2b.

Similarly, limiting can occur near full scale when the REF pin is tied to V_{CC} . If $V_{REF} = V_{CC}$ and the DAC full-scale error (FSE) is positive, the output for the highest codes limits at V_{CC} as shown in Figure 2c. No full-scale limiting can occur if V_{REF} is less than $V_{CC} - FSE$.

Offset and linearity are defined and tested over the region of the DAC transfer function where no output limiting can occur.

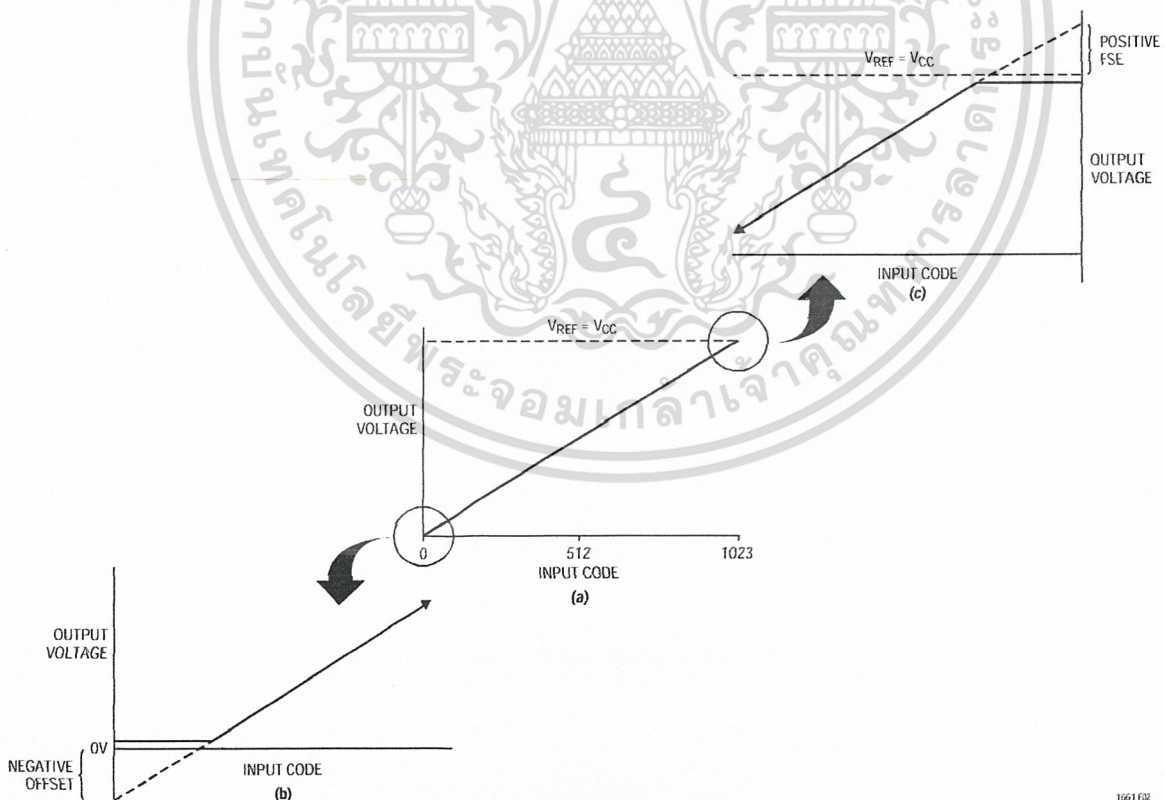


Figure 2. Effects of Rail-to-Rail Operation On a DAC Transfer Curve. (a) Overall Transfer Function (b) Effect of Negative Offset for Codes Near Zero Scale (c) Effect of Positive Full-Scale Error for Input Codes Near Full Scale When $V_{REF} = V_{CC}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL APPLICATIONS

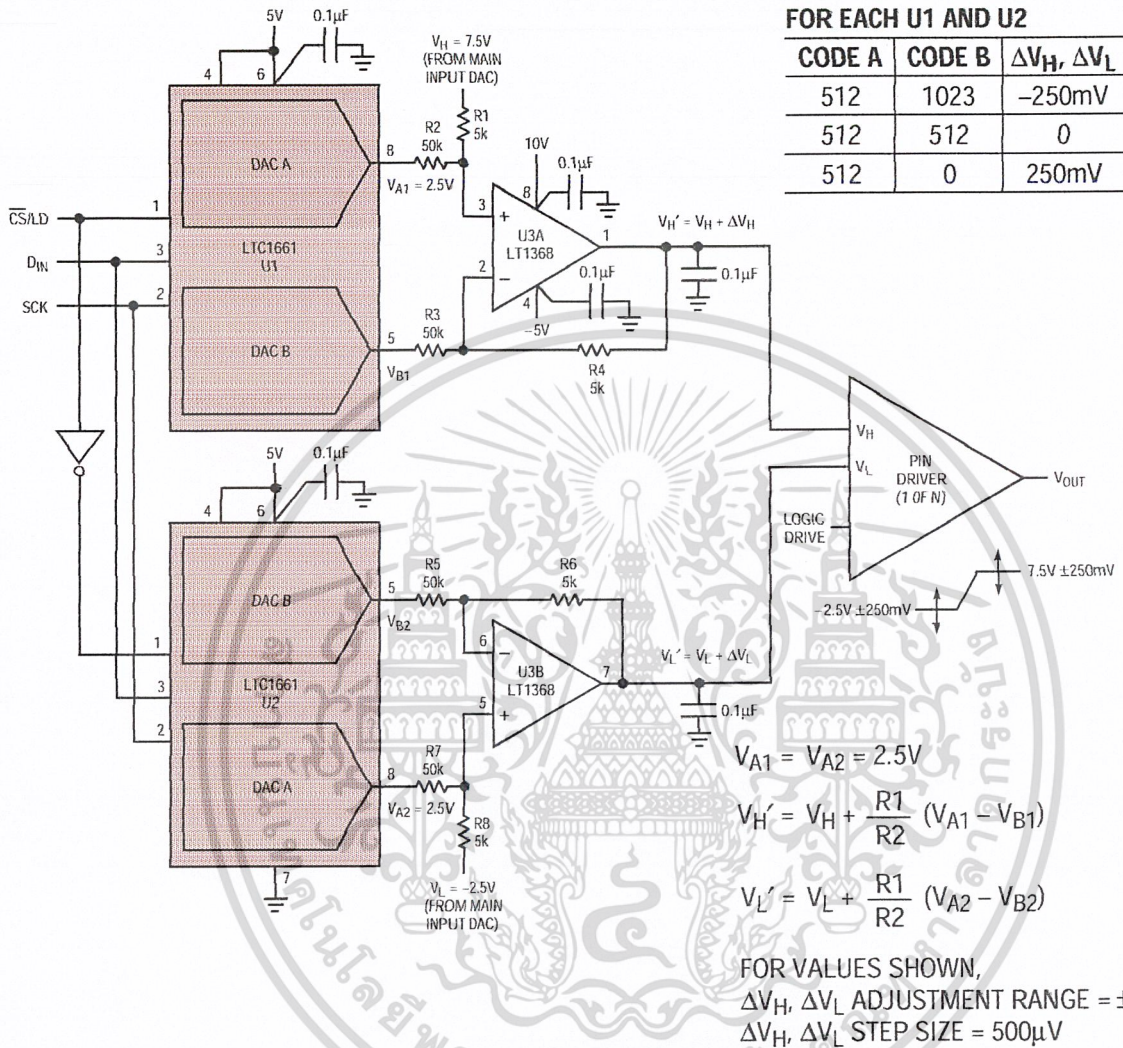


Figure 3. Pin Driver V_H and V_L Adjustment in ATE Applications

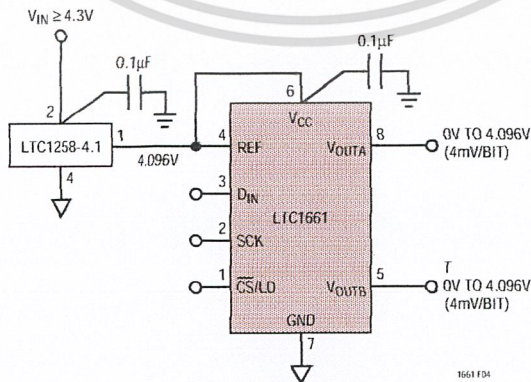


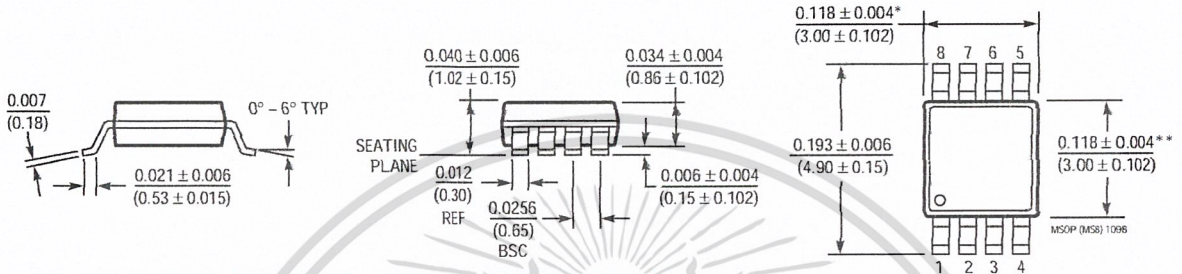
Figure 4. Using the LTC1258 and the LTC1661 In a Single Li-Ion Battery Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

PACKAGE DESCRIPTION

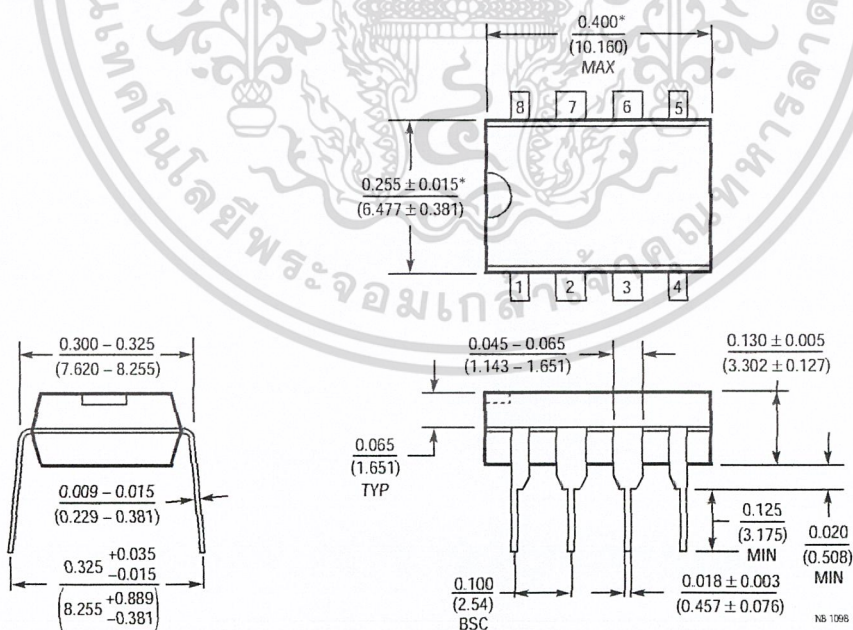
Dimensions in inches (millimeters) unless otherwise noted.

MS8 Package
8-Lead Plastic MSOP
 (LTC DWG # 05-08-1660)



- * DIMENSION DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE
- ** DIMENSION DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSIONS. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE

N8 Package
8-Lead PDIP (Narrow 0.300)
 (LTC DWG # 05-08-1510)

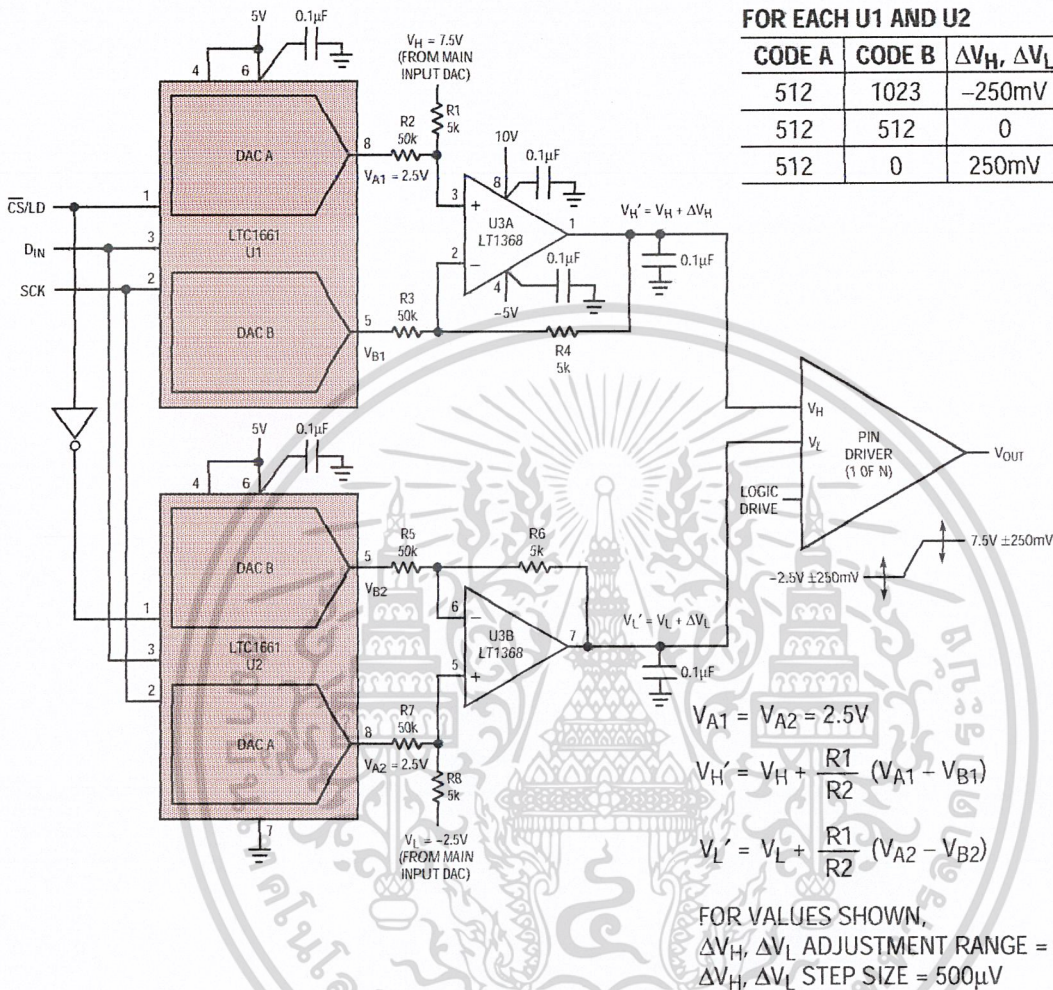


- *THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.010 INCH (0.254mm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LTC1661

TYPICAL APPLICATION



Pin Driver V_H and V_L Adjustment in ATE Applications

RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC1446/LTC1446L	Dual 12-Bit V_{OUT} DACs in SO-8 Package with Internal Reference	LTC1446: $V_{CC} = 4.5V$ to $5.5V$, $V_{OUT} = 0V$ to $4.095V$ LTC1446L: $V_{CC} = 2.7V$ to $5.5V$, $V_{OUT} = 0V$ to $2.5V$
LTC1448	Dual 12-Bit V_{OUT} DAC in SO-8 Package	$V_{CC} = 2.7V$ to $5.5V$, External Reference Can Be Tied to V_{CC}
LTC1454/LTC1454L	Dual 12-Bit V_{OUT} DACs in SO-16 Package with Added Functionality	LTC1454: $V_{CC} = 4.5V$ to $5.5V$, $V_{OUT} = 0V$ to $4.095V$ LTC1454L: $V_{CC} = 2.7V$ to $5.5V$, $V_{OUT} = 0V$ to $2.5V$
LTC1458/LTC1458L	Quad 12-Bit Rail-to-Rail Output DACs with Added Functionality	LTC1458: $V_{CC} = 4.5V$ to $5.5V$, $V_{OUT} = 0V$ to $4.095V$ LTC1458L: $V_{CC} = 2.7V$ to $5.5V$, $V_{OUT} = 0V$ to $2.5V$
LTC1659	Single Rail-to-Rail 12-Bit V_{OUT} DAC in 8-Lead MSOP Package $V_{CC} = 2.7V$ to $5.5V$	Low Power Multiplying V_{OUT} DAC. Output Swings from GND to REF. REF Input Can Be Tied to V_{CC}
LTC1663	Single 10-Bit V_{OUT} DAC in SOT-23 Package	$V_{CC} = 2.7V$ to $5.5V$, Internal Reference, $60\mu A$
LTC1665/LTC1660	Octal 8/10-Bit V_{OUT} DAC in 16-Pin Narrow SSOP	$V_{CC} = 2.7V$ to $5.5V$, Micropower, Rail-to-Rail Output

Micropower Sampling 12-Bit A/D Converters In SO-8 Packages

FEATURES

- 12-Bit Resolution
- 8-Pin SOIC Plastic Package
- Low Cost
- Low Supply Current: 250µA **Typ**
- Auto Shutdown to 1nA Typ.
- Guaranteed $\pm 3/4$ LSB Max DNL
- Single Supply 5V to 9V Operation
- On-Chip Sample-and-Hold
- 60µs Conversion Time
- Sampling Rates:
 - 12.5 ksps (LTC1286)
 - 11.1 ksps (LTC1298)
- I/O Compatible with SPI, Microwire, etc.
- Differential Inputs (LTC1286)
- 2-Channel MUX (LTC1298)
- 3V Versions Available: LTC1285/LTC1288

APPLICATIONS

- Battery-Operated Systems
- Remote Data Acquisition
- Battery Monitoring
- Handheld Terminal Interface
- Temperature Measurement
- Isolated Data Acquisition

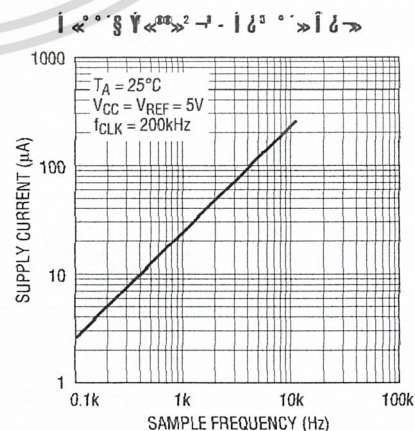
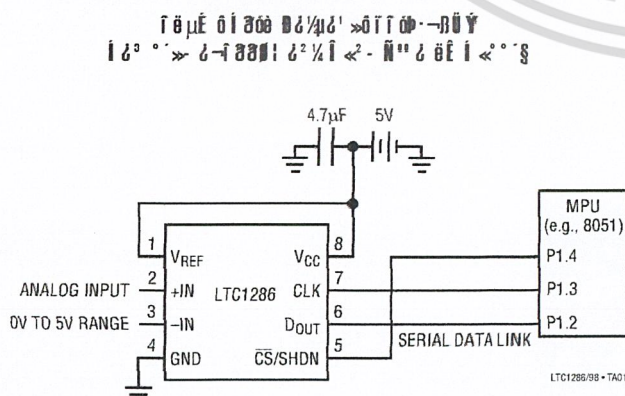
DESCRIPTION

The LTC1286/LTC1298 are micropower, 12-bit, successive approximation sampling A/D converters. They typically draw only 250µA of supply current when converting and automatically power down to a typical supply current of 1nA whenever they are not performing conversions. They are packaged in 8-pin SO packages and operate on 5V to 9V supplies. These 12-bit, switched-capacitor, successive approximation ADCs include sample-and-holds. The LTC1286 has a single differential analog input. The LTC1298 offers a software selectable 2-channel MUX.

On-chip serial ports allow efficient data transfer to a wide range of microprocessors and microcontrollers over three wires. This, coupled with micropower consumption, makes remote location possible and facilitates transmitting data through isolation barriers.

These circuits can be used in ratiometric applications or with an external reference. The high impedance analog inputs and the ability to operate with reduced spans (to 1.5V full scale) allow direct connection to sensors and transducers in many applications, eliminating the need for gain stages.

TYPICAL APPLICATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LTC1286/LTC1298

ABSOLUTE MAXIMUM RATINGS $\mu\text{s} \rightarrow \tau \delta^2 \times \tau \div$

Supply Voltage (V_{CC}) to GND	12V	Power Dissipation	500mW
Voltage		Operating Temperature Range	
Analog and Reference	-0.3V to $V_{CC} + 0.3V$	LTC1286C/LTC1298C	0°C to 70°C
Digital Inputs	-0.3V to 12V	LTC1286I/LTC1298I	-40°C to 85°C
Digital Output	-0.3V to $V_{CC} + 0.3V$	Storage Temperature Range	-65°C to 150°C
		Lead Temperature (Soldering, 10 sec.)	300°C

PACKAGE/ORDER INFORMATION

<p>TOP VIEW</p> <p>N8 PACKAGE 8-LEAD PLASTIC DIP $T_{JMAX} = 150^{\circ}\text{C}$, $\theta_{JA} = 130^{\circ}\text{C/W}$</p>	ORDER PART NUMBER	<p>TOP VIEW</p> <p>S8 PACKAGE 8-LEAD PLASTIC SOIC $T_{JMAX} = 150^{\circ}\text{C}$, $\theta_{JA} = 175^{\circ}\text{C/W}$</p>	ORDER PART NUMBER
	LTC1286CN8 LTC1286IN8		LTC1286CS8 LTC1286IS8
			PART MARKING
			1286C 1286I
<p>TOP VIEW</p> <p>N8 PACKAGE 8-LEAD PLASTIC DIP $T_{JMAX} = 150^{\circ}\text{C}$, $\theta_{JA} = 130^{\circ}\text{C/W}$</p>	ORDER PART NUMBER	<p>TOP VIEW</p> <p>S8 PACKAGE 8-LEAD PLASTIC SOIC $T_{JMAX} = 150^{\circ}\text{C}$, $\theta_{JA} = 175^{\circ}\text{C/W}$</p>	ORDER PART NUMBER
	LTC1298CN8 LTC1298IN8		LTC1298CS8 LTC1298IS8
			PART MARKING
			1298C 1298I

Consult factory for military grade parts.

RECOMMENDED OPERATING CONDITIONS

พารามิเตอร์	อธิบาย	พารามิเตอร์	ค่า	เงื่อนไข	หน่วย
V_{CC}	Supply Voltage (Note 3)	LTC1286 LTC1298	4.5 4.5	9.0 5.5	V V
f_{CLK}	Clock Frequency		(Note 4)	200	kHz
t_{CYC}	Total Cycle Time	LTC1286, $f_{CLK} = 200\text{kHz}$ LTC1298, $f_{CLK} = 200\text{kHz}$	80 90		μs μs
t_{hDI}	Hold Time, D_{IN} After $CLK\uparrow$	$V_{CC} = 5V$	150		ns
$t_{su\overline{CS}}$	Setup Time $\overline{CS}\downarrow$ Before First $CLK\uparrow$ (See Operating Sequence)	LTC1286, $V_{CC} = 5V$ LTC1298, $V_{CC} = 5V$	2 2		μs μs
t_{suDI}	Setup Time, D_{IN} Stable Before $CLK\uparrow$	$V_{CC} = 5V$	400		ns
t_{WHCLK}	CLK High Time	$V_{CC} = 5V$	2		μs
t_{WLCLK}	CLK Low Time	$V_{CC} = 5V$	2		μs
$t_{WH\overline{CS}}$	\overline{CS} High Time Between Data Transfer Cycles	$V_{CC} = 5V$	2		μs
$t_{WL\overline{CS}}$	\overline{CS} Low Time During Data Transfer	LTC1286, $f_{CLK} = 200\text{kHz}$ LTC1298, $f_{CLK} = 200\text{kHz}$	75 85		μs μs

CONVERTER AND MULTIPLEXER CHARACTERISTICS $\text{ณ } \pm \rightarrow \text{ณ } \pm$

พารามิเตอร์	เงื่อนไขการทดสอบ	หน่วย	ค่า	หน่วย	ค่า	หน่วย
Resolution (No Missing Codes)		บิต	12	บิต	12	บิต
Integral Linearity Error	(Note 6)	LSB	$\pm 3/4$	± 2	$\pm 3/4$	± 2
Differential Linearity Error		LSB	$\pm 1/4$	$\pm 3/4$	$\pm 1/4$	$\pm 3/4$
Offset Error		LSB	$3/4$	± 3	$3/4$	± 3
Gain Error		LSB	± 2	± 8	± 2	± 8
Analog Input Range	(Note 7 and 8)	V	$-0.05V$ to $V_{CC} + 0.05V$			
REF Input Range (LTC1286)	$4.5 \leq V_{CC} \leq 5.5V$	V	$1.5V$ to $V_{CC} + 0.05V$			
(Notes 7, 8, and 9)	$5.5V < V_{CC} \leq 9V$	V	$1.5V$ to $5.55V$			
Analog Input Leakage Current (Note 10)		μA	± 1		± 1	

DIGITAL AND DC ELECTRICAL CHARACTERISTICS $\text{ณ } \pm \rightarrow \text{ณ } \pm$

พารามิเตอร์	พารามิเตอร์	เงื่อนไขการทดสอบ	หน่วย	ค่า	หน่วย
V_{IH}	High Level Input Voltage	$V_{CC} = 5.25V$	V	2	
V_{IL}	Low Level Input Voltage	$V_{CC} = 4.75V$	V		0.8
I_{IH}	High Level Input Current	$V_{IN} = V_{CC}$	μA		2.5
I_{IL}	Low Level Input Current	$V_{IN} = 0V$	μA		-2.5
V_{OH}	High Level Output Voltage	$V_{CC} = 4.75V, I_O = 10\mu A$	V	4.0	4.64
		$V_{CC} = 4.75V, I_O = 360\mu A$	V	2.4	4.62
V_{OL}	Low Level Output Voltage	$V_{CC} = 4.75V, I_O = 1.6mA$	V		0.4
I_{OZ}	Hi-Z Output Leakage	$\overline{CS} = \text{High}$	μA		± 3
I_{SOURCE}	Output Source Current	$V_{OUT} = 0V$	mA		-25
I_{SINK}	Output Sink Current	$V_{OUT} = V_{CC}$	mA		45
R_{REF}	Reference Input Resistance (LTC1286)	$\overline{CS} = V_{CC}$	M Ω		5000
		$\overline{CS} = \text{GND}$	k Ω		55
I_{REF}	Reference Current (LTC1286)	$\overline{CS} = V_{CC}$	μA	0.001	2.5
		$t_{CYC} \geq 640\mu s, f_{CLK} \leq 25kHz$	μA	90	140
		$t_{CYC} = 80\mu s, f_{CLK} = 200kHz$	μA	90	140
I_{CC}	Supply Current	$\overline{CS} = V_{CC}$	μA	0.001	± 3.0
		LTC1286, $t_{CYC} \geq 640\mu s, f_{CLK} \leq 25kHz$	μA	200	400
		LTC1286, $t_{CYC} = 80\mu s, f_{CLK} = 200kHz$	μA	250	500
		LTC1298, $t_{CYC} \geq 720\mu s, f_{CLK} \leq 25kHz$	μA	290	490
		LTC1298, $t_{CYC} = 90\mu s, f_{CLK} = 200kHz$	μA	340	640

DYNAMIC ACCURACY $\text{ณ } \pm \rightarrow \text{ณ } \pm$

พารามิเตอร์	พารามิเตอร์	เงื่อนไขการทดสอบ	หน่วย	ค่า
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	1kHz/7kHz Input Signal	dB	71/68
THD	Total Harmonic Distortion (Up to 5th Harmonic)	1kHz/7kHz Input Signal	dB	-84/-80
SFDR	Spurious-Free Dynamic Range	1kHz/7kHz Input Signal	dB	90/86
	Peak Harmonic or Spurious Noise	1kHz/7kHz Input Signal	dB	-90/-86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LTC1286/LTC1298

AC CHARACTERISTICS

Parameter	Description	Typical Value	Min	Max	Units
t_{SMPL}	Analog Input Sample Time	See Operating Sequence		1.5	CLK Cycles
$f_{SMPL(MAX)}$	Maximum Sampling Frequency	LTC1286 LTC1298	● ●	12.5 11.1	kHz kHz
t_{CONV}	Conversion Time	See Operating Sequence		12	CLK Cycles
t_{dDO}	Delay Time, CLK↓ to D _{OUT} Data Valid	See Test Circuits	●	250 600	ns
t_{dis}	Delay Time, \overline{CS} ↑ to D _{OUT} Hi-Z	See Test Circuits	●	135 300	ns
t_{en}	Delay Time, CLK↓ to D _{OUT} Enable	See Test Circuits	●	75 200	ns
t_{hDO}	Time Output Data Remains Valid After CLK↓	$C_{LOAD} = 100pF$		230	ns
t_f	D _{OUT} Fall Time	See Test Circuits	●	20 75	ns
t_r	D _{OUT} Rise Time	See Test Circuits	●	20 75	ns
C_{IN}	Input Capacitance	Analog Inputs, On Channel Analog Inputs, Off Channel Digital Input		20 5 5	pF pF pF

The ● denotes specifications which apply over the full operating temperature range.

► Absolute maximum ratings are those values beyond which the life of a device may be impaired.

► All voltage values are with respect to GND.

► These devices are specified at 5V. For 3V specified devices, see LTC1285 and LTC1288.

► Increased leakage currents at elevated temperatures cause the S/H to droop, therefore it is recommended that $f_{CLK} \geq 120kHz$ at 85°C, $f_{CLK} \geq 75kHz$ at 70° and $f_{CLK} \geq 1kHz$ at 25°C.

► $V_{CC} = 5V$, $V_{REF} = 5V$ and $CLK = 200kHz$ unless otherwise specified.

► Linearity error is specified between the actual end points of the A/D transfer curve.

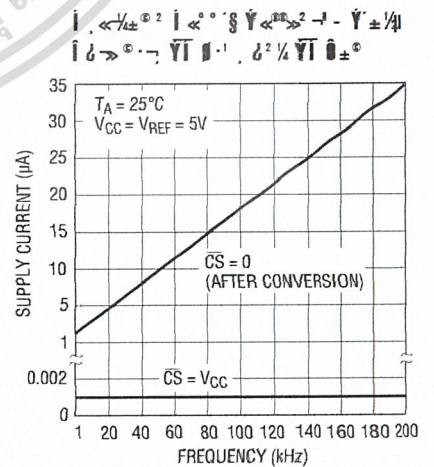
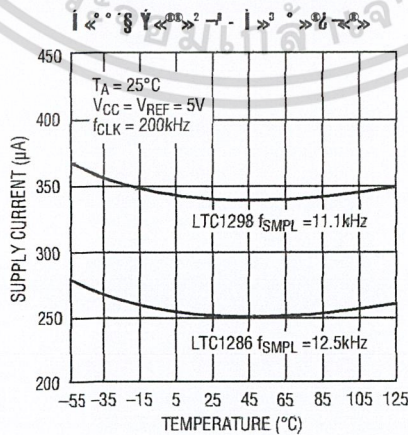
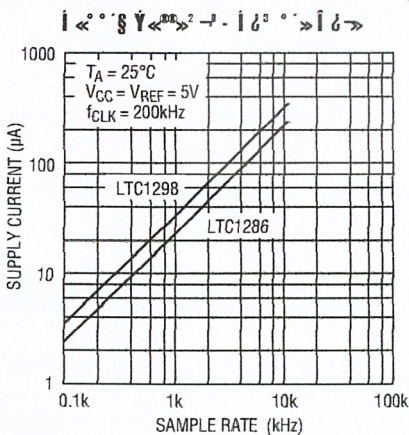
► Two on-chip diodes are tied to each reference and analog input which will conduct for reference or analog input voltages one diode drop below GND or one diode drop above V_{CC} . This spec allows 50mV forward bias of either diode for $4.5V \leq V_{CC} \leq 5.5V$. This means that as long as the reference or analog input does not exceed the supply voltage by more than 50mV the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.950V over initial tolerance, temperature variations and loading. For $5.5V < V_{CC} \leq 9V$, reference and analog input range cannot exceed 5.55V. If reference and analog input range are greater than 5.55V, the output code will not be guaranteed to be correct.

► The supply voltage range for the LTC1286 is from 4.5V to 9V, but the supply voltage range for the LTC1298 is only from 4.5V to 5.5V.

► Recommended operating conditions

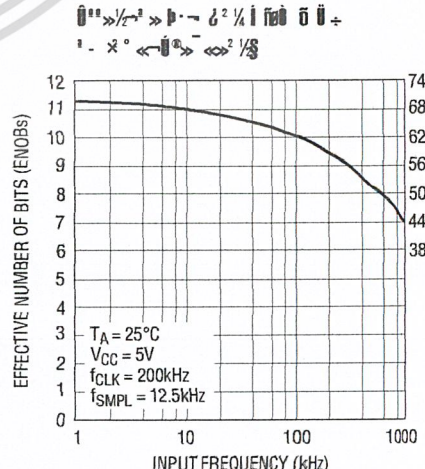
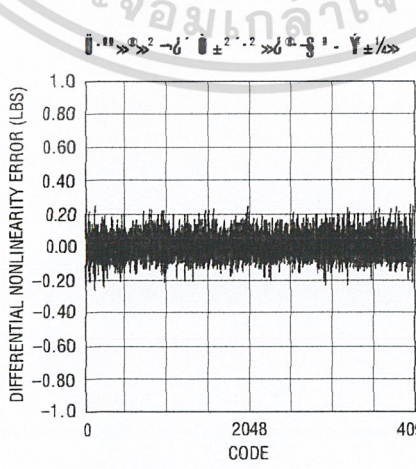
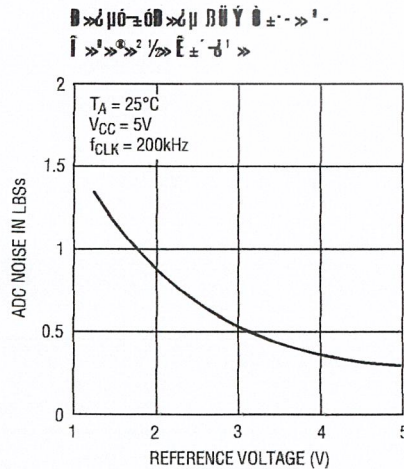
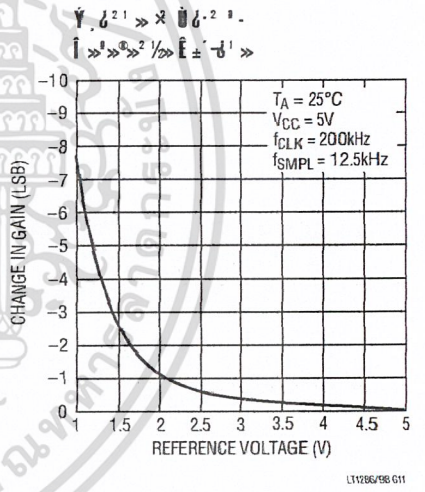
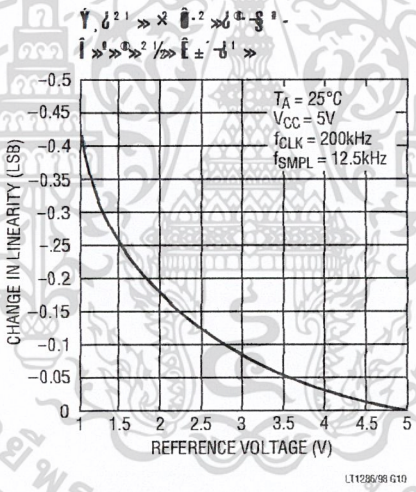
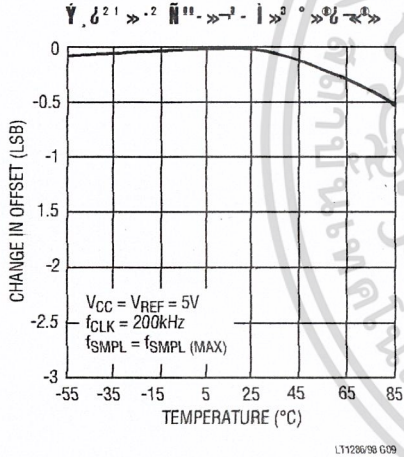
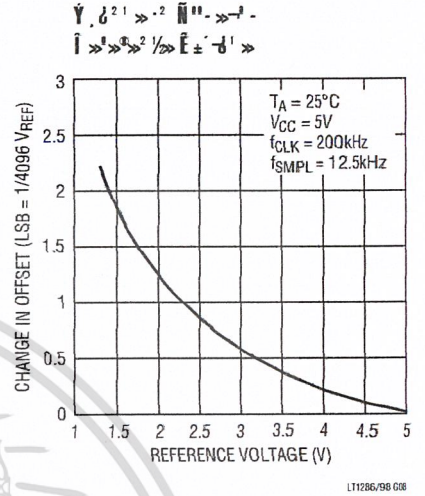
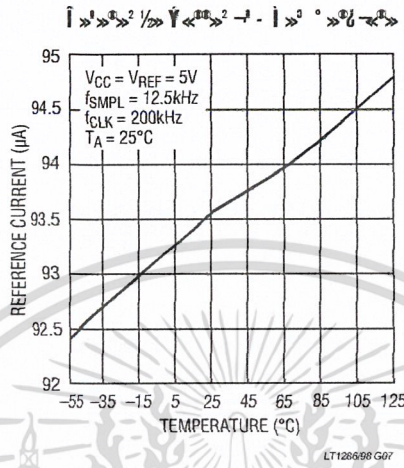
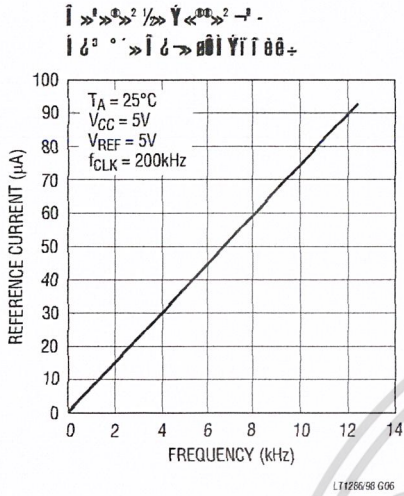
► Channel leakage current is measured after the channel selection.

TYPICAL PERFORMANCE CHARACTERISTICS



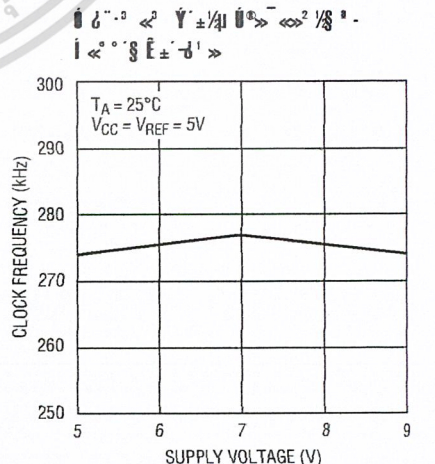
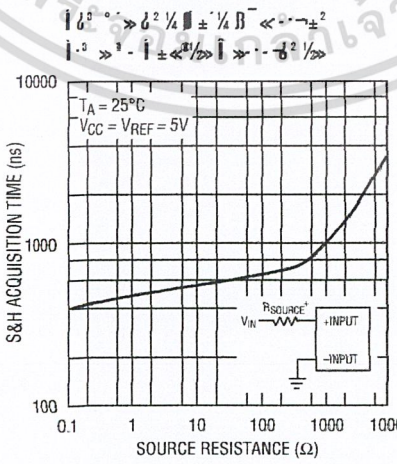
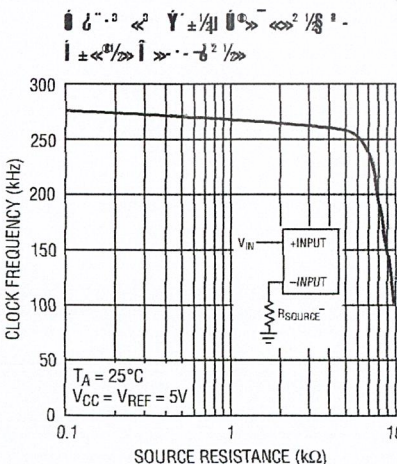
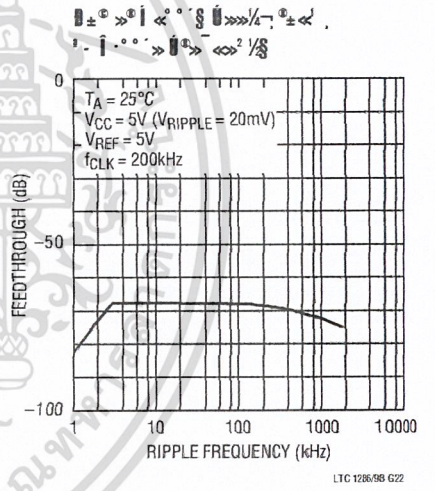
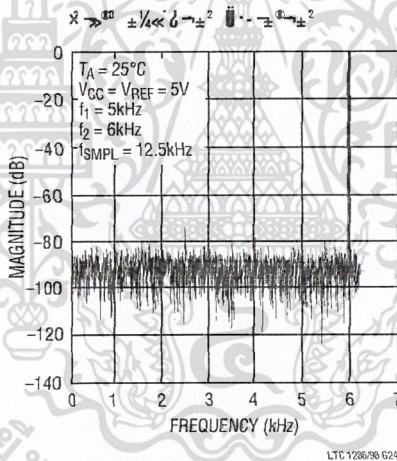
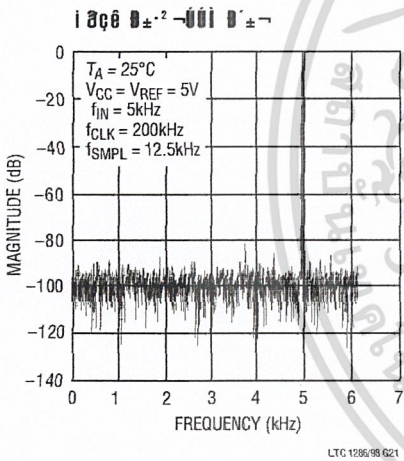
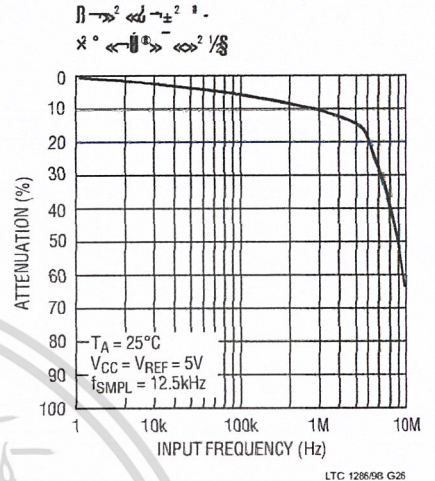
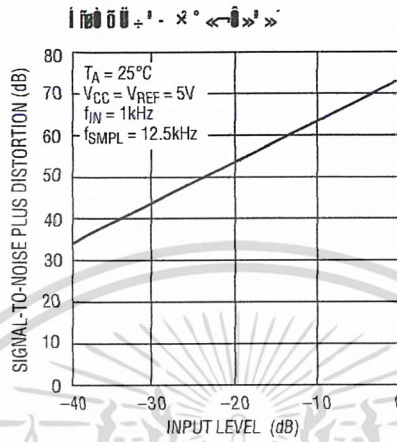
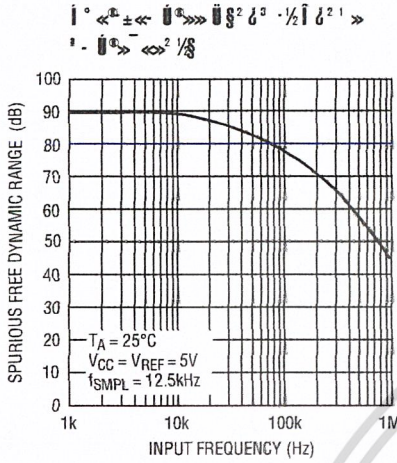
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS



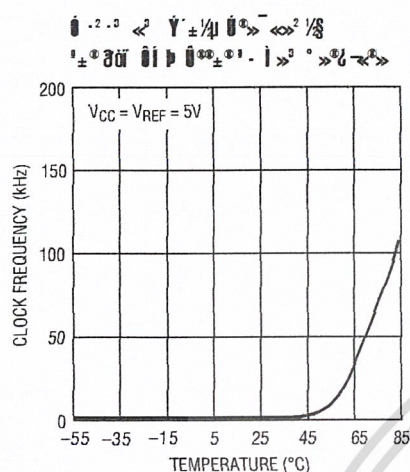
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS

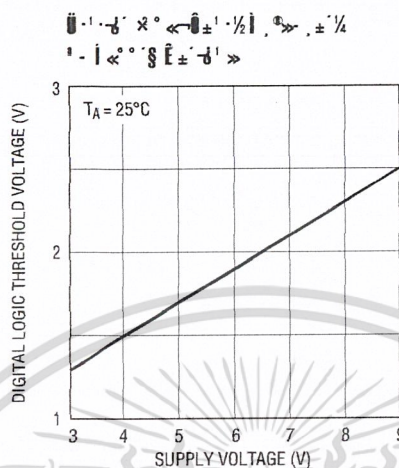


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

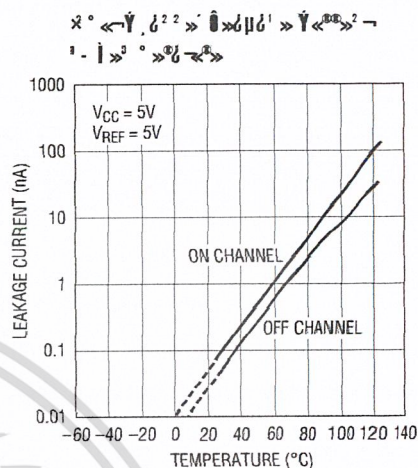
TYPICAL PERFORMANCE CHARACTERISTICS



LTC1286/98 G14



LTC1286/98 G17



1196/98 G19

PIN FUNCTIONS

REF

Reference Input. The reference input defines the span of the A/D converter.

AIN+ Positive Analog Input.

AIN- Negative Analog Input.

AGND Analog Ground. GND should be tied directly to an analog ground plane.

CS Chip Select Input. A logic low on this input enables the LTC1286. A logic high on this input disables and powers down the LTC1286.

DDO Digital Data Output. The A/D conversion result is shifted out of this output.

SC Shift Clock. This clock synchronizes the serial data transfer and determines conversion speed.

VCC Power Supply Voltage. This pin provides power to the A/D converter. It must be kept free of noise and ripple by bypassing directly to the analog ground plane.

CS

Chip Select Input. A logic low on this input enables the LTC1298. A logic high on this input disables and powers down the LTC1298.

AIN Analog Input.

AIN Analog Input.

AGND Analog Ground. GND should be tied directly to an analog ground plane.

DDI Digital Data Input. The multiplexer address is shifted into this input.

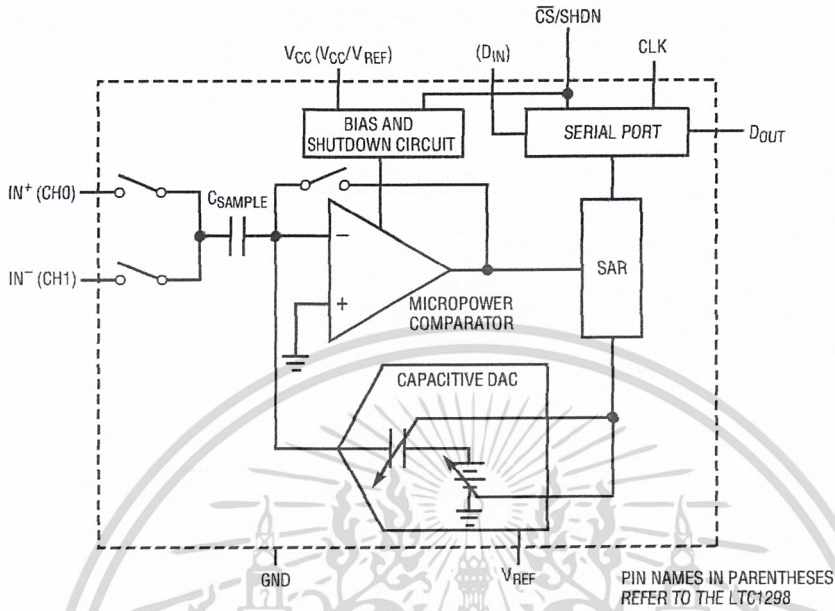
DDO Digital Data Output. The A/D conversion result is shifted out of this output.

SC Shift Clock. This clock synchronizes the serial data transfer and determines conversion speed.

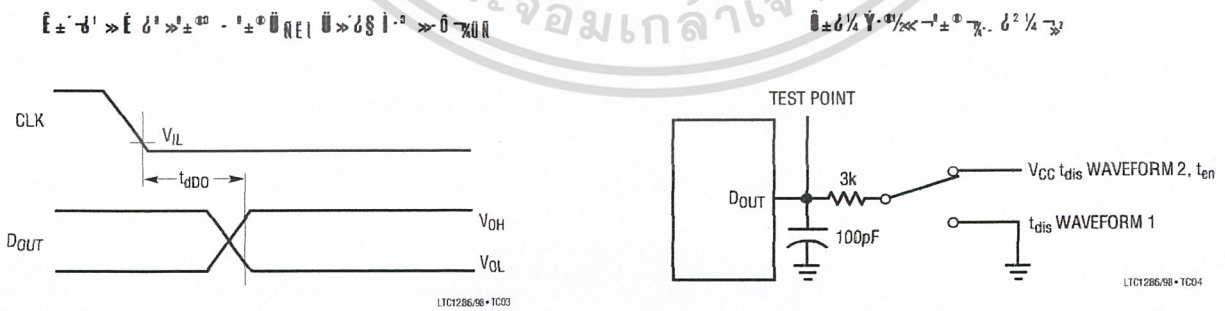
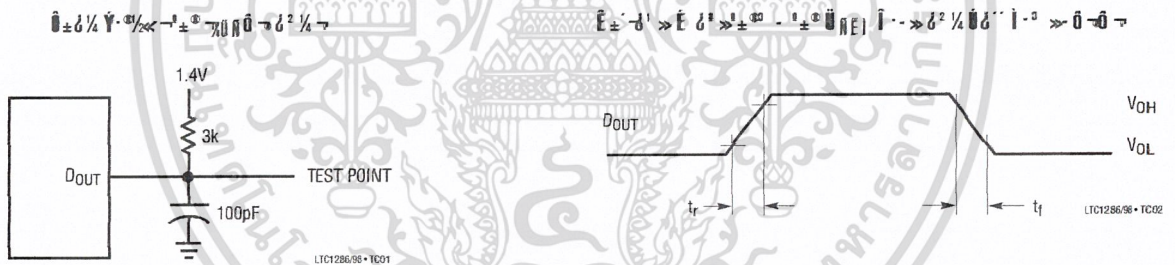
VCC/VREF Power Supply and Reference Voltage. This pin provides power and defines the span of the A/D converter. It must be kept free of noise and ripple by bypassing directly to the analog ground plane.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

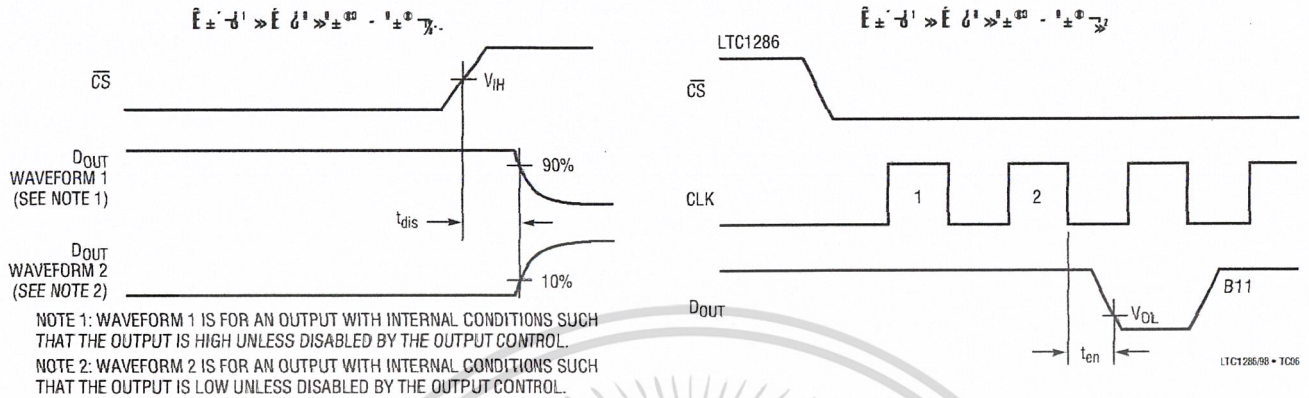
BLOCK DIAGRAM



TEST CIRCUITS



TEST CIRCUITS



APPLICATION INFORMATION

NOTE

The LTC1286 and LTC1298 are micropower, 12-bit, successive approximation sampling A/D converters. The LTC1286 typically draws 250µA of supply current when sampling at 12.5kHz while the LTC1298 nominally consumes 350µA of supply current when sampling at 11.1 kHz. The extra 100µA of supply current on the LTC1298 comes from the reference input which is intentionally tied to the supply. Supply current drops linearly as the sample rate is reduced (see Supply Current vs Sample Rate). The ADCs automatically power down when not performing conversions, drawing only leakage current. They are packaged in 8-pin SO and DIP packages. The LTC1286 operates on a single supply from 4.5V to 9V,

while the LTC1298 operates from a 4.5V to 5.5V supply.

Both the LTC1286 and the LTC1298 contain a 12-bit, switched-capacitor ADC, a sample-and-hold, and a serial port (see Block Diagram). Although they share the same basic design, the LTC1286 and LTC1298 differ in some respects. The LTC1286 has a differential input and has an external reference input pin. It can measure signals floating on a DC common-mode voltage and can operate with reduced spans to 1V. Reducing the spans allows it to achieve 244µV resolution. The LTC1298 has a two-channel input multiplexer and can convert either channel with respect to ground or the difference between the two. The reference input is tied to the supply pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATION INFORMATION

การสื่อสารแบบซิงโครนัส

The 2-channel LTC1298 communicates with microprocessors and other external circuitry via a synchronous, half duplex, 4-wire serial interface. The single channel LTC1286 uses a 3-wire interface (see Operating Sequence in Figures 1 and 2).

การซิงโครไนซ์ข้อมูล

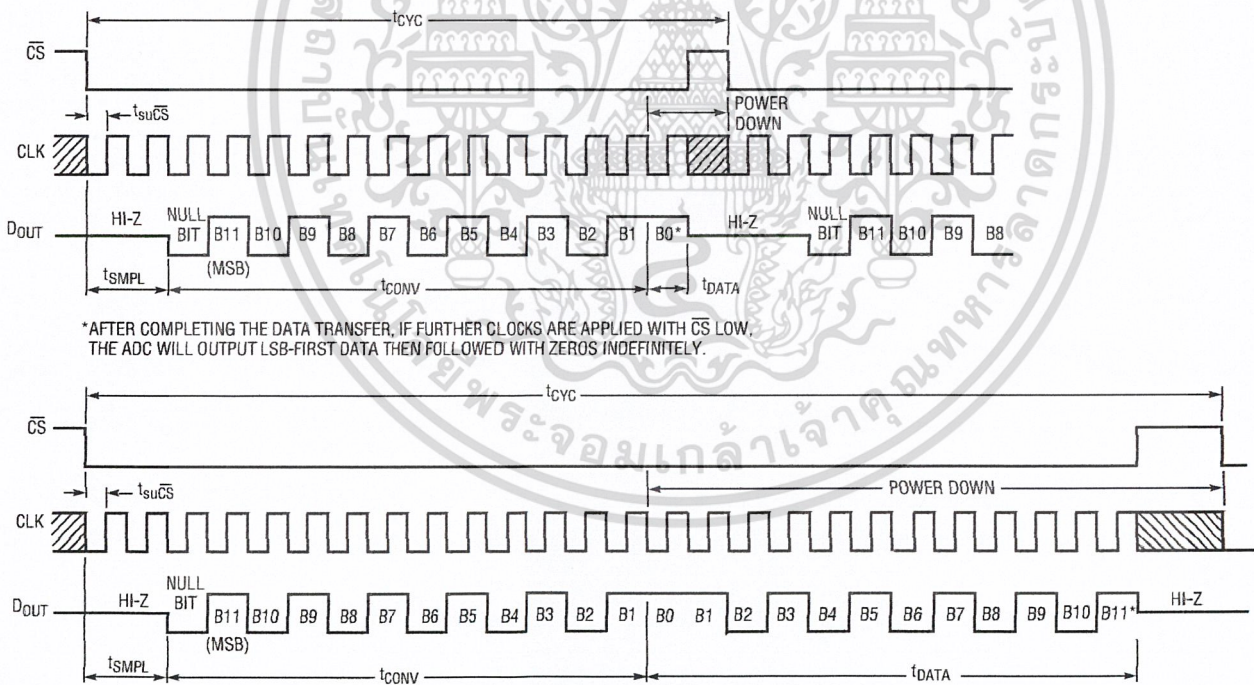
The CLK synchronizes the data transfer with each bit being transmitted on the falling CLK edge and captured on the rising CLK edge in both transmitting and receiving systems.

The LTC1286 does not require a configuration input word and has no D_{IN} pin. A falling \overline{CS} initiates data transfer as shown in the LTC1286 operating sequence. After \overline{CS} falls the second CLK pulse enables D_{OUT}. After one null bit the

A/D conversion result is output on the D_{OUT} line. Bringing \overline{CS} high resets the LTC1286 for the next data exchange.

The LTC1298 first receives input data and then transmits back the A/D conversion result (half duplex). Because of the half duplex operation, D_{IN} and D_{OUT} may be tied together allowing transmission over just 3 wires: \overline{CS} , CLK and DATA (D_{IN}/D_{OUT}).

Data transfer is initiated by a falling chip select (\overline{CS}) signal. After \overline{CS} falls the LTC1298 looks for a start bit. After the start bit is received, the 3-bit input word is shifted into the D_{IN} input which configures the LTC1298 and starts the conversion. After one null bit, the result of the conversion is output on the D_{OUT} line. At the end of the data exchange \overline{CS} should be brought high. This resets the LTC1298 in preparation for the next data exchange.



*AFTER COMPLETING THE DATA TRANSFER, IF FURTHER CLOCKS ARE APPLIED WITH \overline{CS} LOW, THE ADC WILL OUTPUT LSB-FIRST DATA THEN FOLLOWED WITH ZEROS INDEFINITELY.

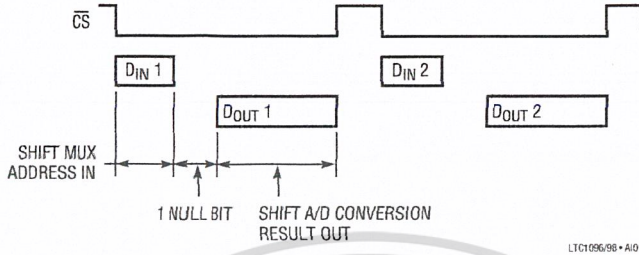
*AFTER COMPLETING THE DATA TRANSFER, IF FURTHER CLOCKS ARE APPLIED WITH \overline{CS} LOW, THE ADC WILL OUTPUT ZEROS INDEFINITELY.

t_{DATA} : DURING THIS TIME, THE BIAS CIRCUIT AND THE COMPARATOR POWER DOWN AND THE REFERENCE INPUT BECOMES A HIGH IMPEDANCE NODE, LEAVING THE CLK RUNNING TO CLOCK OUT LSB-FIRST DATA OR ZEROS.

LTC1286-08 • F01

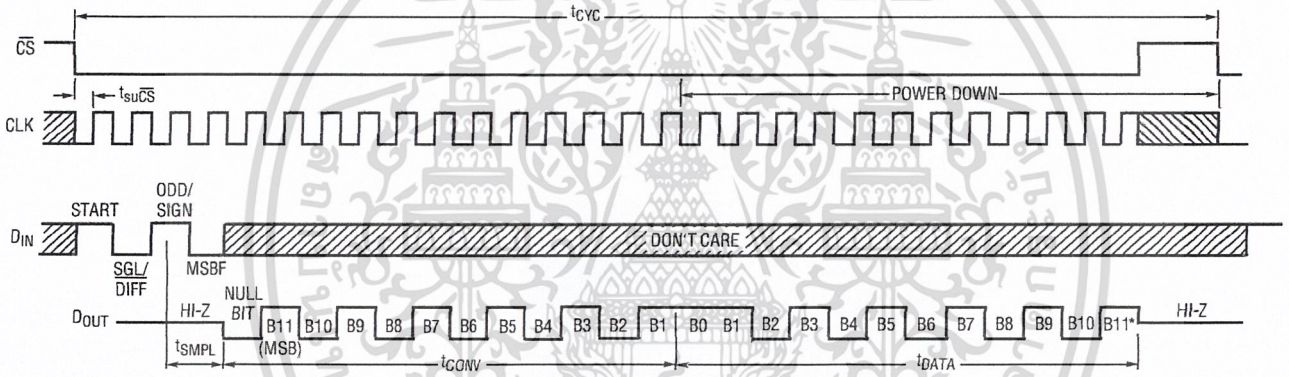
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATION INFORMATION

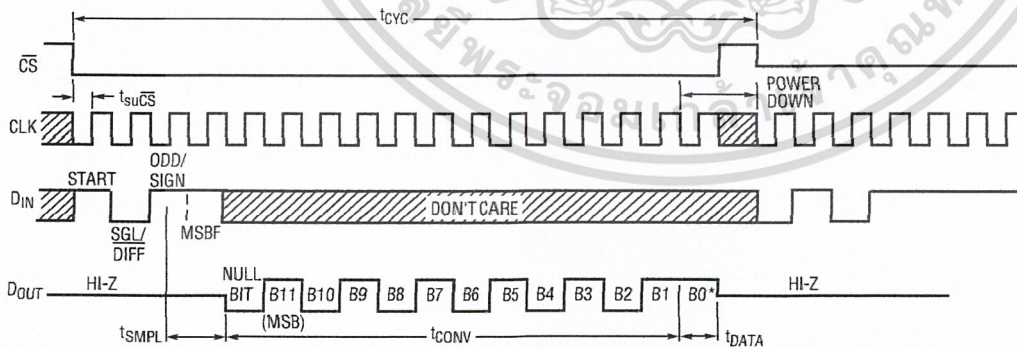


LTC1090/98 • A101

ข้อควรระวังในการใช้งาน



ข้อควรระวังในการใช้งาน



*AFTER COMPLETING THE DATA TRANSFER, IF FURTHER CLOCKS ARE APPLIED WITH CS LOW, THE ADC WILL OUTPUT ZEROS INDEFINITELY.

t_{DATA} : DURING THIS TIME, THE BIAS CIRCUIT AND THE COMPARATOR POWER DOWN AND THE REFERENCE INPUT BECOMES A HIGH IMPEDANCE NODE, LEAVING THE CLK RUNNING TO CLOCK OUT LSB-FIRST DATA OR ZEROS.

LTC1286/98 • F02

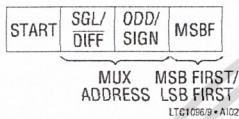
ข้อควรระวังในการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATION INFORMATION

Operating Sequence

The LTC1286 requires no D_{IN} word. It is permanently configured to have a single differential input. The conversion result appears on the D_{OUT} line. The data format is MSB first followed by the LSB sequence. This provides easy interface to MSB or LSB first serial ports. For MSB first data the \overline{CS} signal can be taken high after $B0$ (see Figure 1). The LTC1298 clocks data into the D_{IN} input on the rising edge of the clock. The input data words are defined as follows:



Input Data

The first “logical one” clocked into the D_{IN} input after \overline{CS} goes low is the start bit. The start bit initiates the data transfer. The LTC1298 will ignore all leading zeros which precede this logical one. After the start bit is received, the remaining bits of the input word will be clocked in. Further inputs on the D_{IN} pin are then ignored until the next \overline{CS} cycle.

Input Voltage

The bits of the input word following the START bit assign the MUX configuration for the requested conversion. For a given channel selection, the converter will measure the voltage between the two channels indicated by the + and - signs in the selected row of the following tables. In single-ended mode, all input channels are measured with respect to GND.

Single-Ended Mode

	MUX ADDRESS		CHANNEL #		
	SGL/DIFF	ODD/SIGN	0	1	GND
SINGLE-ENDED MUX MODE	1	0	+	-	-
	1	1	-	+	-
DIFFERENTIAL MUX MODE	0	0	+	-	-
	0	1	-	+	-

LTC1286/98 • A103

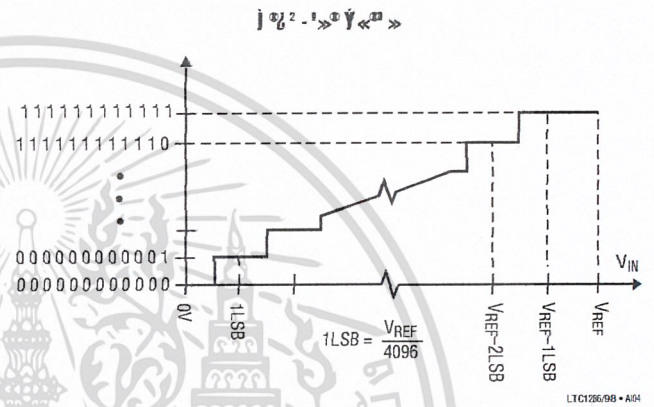
Output Data

The output data of the LTC1298 is programmed for MSB first or LSB first sequence using the MSBF bit. When the MSBF bit is a logical one, data will appear on the D_{OUT} line in MSB first format. Logical zeros will be filled in indefinitely following the last data bit. When the

MSBF bit is a logical zero, LSB first data will follow the normal MSB first data on the D_{OUT} line. (see Operating Sequence)

Input Voltage

The LTC1286/LTC1298 are permanently configured for unipolar only. The input span and code assignment for this conversion type are shown in the following figures.



OUTPUT CODE	INPUT VOLTAGE	INPUT VOLTAGE (V _{REF} = 5.000V)
1111111111111111	V _{REF} - 1LSB	4.99878V
1111111111111110	V _{REF} - 2LSB	4.99756V
⋮	⋮	⋮
0000000000000001	1LSB	0.00122V
0000000000000000	0V	0V

LTC1286/98 • A05

Operating Sequence

The LTC1298 can be operated with D_{IN} and D_{OUT} tied together. This eliminates one of the lines required to communicate to the microprocessor (MPU). Data is transmitted in both directions on a single wire. The processor pin connected to this data line should be configurable as either an input or an output. The LTC1298 will take control of the data line and drive it low on the 4th falling CLK edge after the start bit is received (see Figure 3). Therefore the processor port line must be switched to an input before this happens to avoid a conflict.

In the Typical Applications section, there is an example of interfacing the LTC1298 with D_{IN} and D_{OUT} tied together to the Intel 8051 MPU.



MICROCHIP

24AA256/24LC256/24C256

256K I²C™ CMOS Serial EEPROM

DEVICE SELECTION TABLE

Part Number	Vcc Range	Max Clock Frequency	Temp Ranges
24AA256	1.8-5.5V	400 kHz [†]	C,I
24LC256	2.5-5.5V	400 kHz	C,I
24C256	4.5-5.5V	400 kHz [‡]	C,I,E

[†] 100 kHz for Vcc < 2.5V.
[‡] 100 kHz for E temperature range.

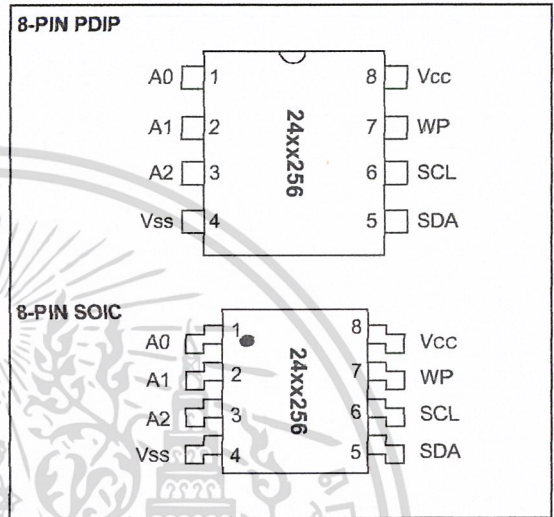
FEATURES

- Low power CMOS technology
 - Maximum write current 3 mA at 5.5V
 - Maximum read current 400 μA at 5.5V
 - Standby current 500 nA typical at 5.5V
- 2-wire serial interface bus, I²C compatible
- Cascadable for up to eight devices
- Self-timed ERASE/WRITE cycle
- 64-byte page-write mode available
- Fast write cycle time in byte or page mode
 - 5 ms max for 24LC256 and 24C256
 - 10 ms max for 24AA256
- Hardware write protect for entire array
- Schmitt trigger inputs for noise suppression
- 1,000,000 erase/write cycles guaranteed
- Electrostatic discharge protection > 4000V
- Data retention > 200 years
- 8-pin PDIP and SOIC (208 mil) packages
- Temperature ranges:
 - Commercial (C): 0°C to +70°C
 - Industrial (I): -40°C to +85°C
 - Automotive (E): -40°C to +125°C

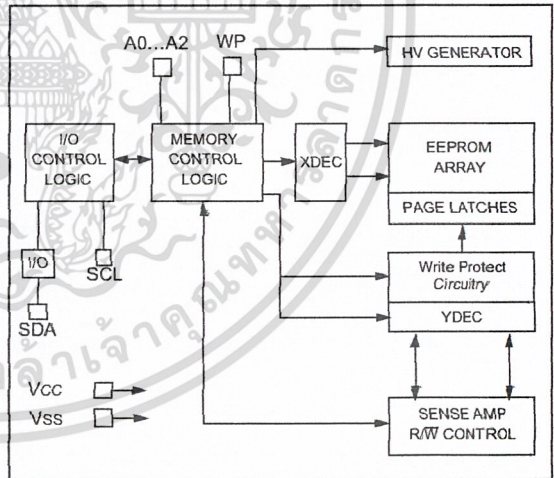
DESCRIPTION

The Microchip Technology Inc. 24AA256/24LC256/24C256 (24xx256*) is a 32K x 8 (256K bit) Serial Electrically Erasable PROM, capable of operation across a broad voltage range (1.8V to 5.5V). It has been developed for advanced, low power applications such as personal communications or data acquisition. This device also has a page-write capability of up to 64 bytes of data. This device is capable of both random and sequential reads up to the 256K boundary. Functional address lines allow up to eight devices on the same bus, for up to 2Mbit address space. This device is available in the standard 8-pin plastic DIP, and 8-pin SOIC (208 mil) packages.

PACKAGE TYPE



BLOCK DIAGRAM



I²C is a trademark of Philips Corporation.

*24xx256 is used in this document as a generic part number for the 24AA256/24LC256/24C256 devices.

24AA256/24LC256/24C256

1.0 ELECTRICAL CHARACTERISTICS

1.1 Maximum Ratings*

V_{CC}..... 7.0V
 All inputs and outputs w.r.t. V_{SS} -0.6V to V_{CC} +1.0V
 Storage temperature -65°C to +150°C
 Ambient temp. with power applied..... -65°C to +125°C
 Soldering temperature of leads (10 seconds)..... +300°C
 ESD protection on all pins ≥ 4 kV

***Notice:** Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operational listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

TABLE 1-1 PIN FUNCTION TABLE

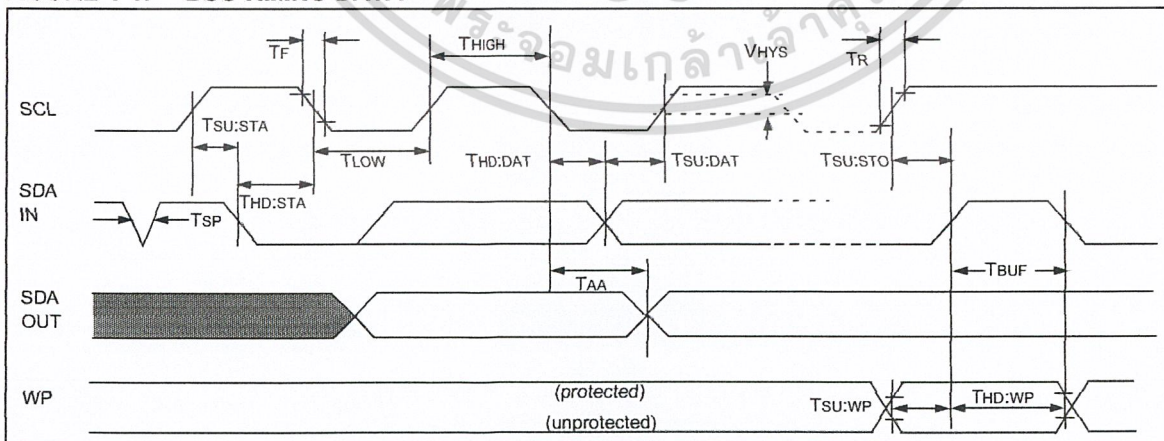
Name	Function
A0, A1, A2	User Configurable Chip Selects
V _{SS}	Ground
SDA	Serial Data
SCL	Serial Clock
WP	Write Protect Input
V _{CC}	+1.8 to 5.5V (24AA256) +2.5 to 5.5V (24LC256) +4.5 to 5.5V (24C256)

TABLE 1-2 DC CHARACTERISTICS

Parameter	Symbol	Min	Max	Units	Conditions
A0, A1, A2, SCL, SDA, and WP pins: High level input voltage	V _{IH}	0.7 V _{CC}	—	V	V _{CC} ≥ 2.5V (Note)
Low level input voltage	V _{IL}	—	0.3 V _{CC}	V	
Hysteresis of Schmitt Trigger inputs (SDA, SCL pins)	V _{HYS}	0.05 V _{CC}	—	V	
Low level output voltage	V _{OL}	—	0.40	V	
Input leakage current	I _{LI}	-10	10	μA	V _{IN} = V _{SS} or V _{CC} , WP = V _{SS} V _{IN} = V _{SS} or V _{CC} , WP = V _{CC}
Output leakage current	I _{LO}	-10	10	μA	V _{OUT} = V _{SS} or V _{CC}
Pin capacitance (all inputs/outputs)	C _{IN} , C _{OUT}	—	10	pF	V _{CC} = 5.0V (Note) T _{amb} = 25°C, f _c = 1 MHz
Operating current	I _{CC} Write	—	3	mA	V _{CC} = 5.5V
	I _{CC} Read	—	400	μA	V _{CC} = 5.5V, SCL = 400 kHz
Standby current	I _{CCS}	—	1	μA	SCL = SDA = V _{CC} = 5.5V A0, A1, A2, WP = V _{SS}

Note: This parameter is periodically sampled and not 100% tested.

FIGURE 1-1: BUS TIMING DATA



24AA256/24LC256/24C256

TABLE 1-3 AC CHARACTERISTICS

All parameters apply across the specified operating ranges unless otherwise noted		Commercial (C): V _{CC} = +1.8V to 5.5V Industrial (I): V _{CC} = +1.8V to 5.5V Automotive (E): V _{CC} = +4.5V to 5.5V			T _{amb} = 0°C to +70°C T _{amb} = -40°C to +85°C T _{amb} = -40°C to 125°C	
Parameter	Symbol	Min	Max	Units	Conditions	
Clock frequency	F _{CLK}	— — —	100 100 400	kHz	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Clock high time	T _{HIGH}	4000 4000 600	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Clock low time	T _{LOW}	4700 4700 1300	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
SDA and SCL rise time (Note 1)	T _R	— — —	1000 1000 300	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
SDA and SCL fall time (Note 1)	T _F	— — —	300 300 300	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
START condition hold time	T _{HD:STA}	4000 4000 600	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
START condition setup time	T _{SU:STA}	4700 4700 600	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Data input hold time	T _{HD:DAT}	0	—	ns	(Note 2)	
Data input setup time	T _{SU:DAT}	250 250 100	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
STOP condition setup time	T _{SU:STO}	4000 4000 600	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
WP setup time	T _{SU:WP}	4000 4000 600	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
WP hold time	T _{HD:WP}	4700 4700 1300	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Output valid from clock (Note 2)	T _{AA}	— — —	3500 3500 900	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Bus free time: Time the bus must be free before a new transmission can start	T _{BUF}	4700 4700 1300	— — —	ns	4.5V ≤ V _{CC} ≤ 5.5V (E Temp range) 1.8V ≤ V _{CC} ≤ 2.5V 2.5V ≤ V _{CC} ≤ 5.5V	
Output fall time from V _{ih} minimum to V _{il} maximum	T _{OF}	20	250	ns	C _B ≤ 100 pF (Note 1)	
Input filter spike suppression (SDA and SCL pins)	T _{SP}	—	50	ns	(Notes 1 and 3)	
Write cycle time (byte or page)	T _{WC}	—	5 10	ms	V _{CC} ≥ 2.5V V _{CC} < 2.5V	
Endurance		1M	—	cycles	25°C, V _{CC} = 5.0V, Block Mode (Note 4)	

Note 1: Not 100% tested. C_B = total capacitance of one bus line in pF.

2: As a transmitter, the device must provide an internal minimum delay time to bridge the undefined region (minimum 300 ns) of the falling edge of SCL to avoid unintended generation of START or STOP conditions.

3: The combined T_{sp} and V_{hys} specifications are due to new Schmitt trigger inputs which provide improved noise spike suppression. This eliminates the need for a T_I specification for standard operation.

4: This parameter is not tested but guaranteed by characterization. For endurance estimates in a specific application, please consult the Total Endurance Model which can be obtained on Microchip's BBS or website.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

24AA256/24LC256/24C256

2.0 PIN DESCRIPTIONS

2.1 A0, A1, A2 Chip Address Inputs

The A0, A1, A2 inputs are used by the 24xx256 for multiple device operation. The levels on these inputs are compared with the corresponding bits in the slave address. The chip is selected if the compare is true.

Up to eight devices may be connected to the same bus by using different chip select bit combinations. If left unconnected, these inputs will be pulled down internally to Vss.

2.2 SDA Serial Data

This is a bi-directional pin used to transfer addresses and data into and data out of the device. It is an open drain terminal, therefore the SDA bus requires a pull-up resistor to Vcc (typical 10 kΩ for 100 kHz, 2 kΩ for 400 kHz)

For normal data transfer SDA is allowed to change only during SCL low. Changes during SCL high are reserved for indicating the START and STOP conditions.

2.3 SCL Serial Clock

This input is used to synchronize the data transfer from and to the device.

2.4 WP

This pin can be connected to either Vss, Vcc or left floating. An internal pull-down on this pin will keep the device in the unprotected state if left floating. If tied to Vss or left floating, normal memory operation is enabled (read/write the entire memory 0000-7FFF).

If tied to Vcc, WRITE operations are inhibited. Read operations are not affected.

3.0 FUNCTIONAL DESCRIPTION

The 24xx256 supports a bi-directional two-wire bus and data transmission protocol. A device that sends data onto the bus is defined as a transmitter, and a device receiving data as a receiver. The bus must be controlled by a master device which generates the serial clock (SCL), controls the bus access, and generates the START and STOP conditions while the 24xx256 works as a slave. Both master and slave can operate as a transmitter or receiver, but the master device determines which mode is activated.

4.0 BUS CHARACTERISTICS

The following bus protocol has been defined:

- Data transfer may be initiated only when the bus is not busy.
- During data transfer, the data line must remain stable whenever the clock line is HIGH. Changes in the data line while the clock line is HIGH will be interpreted as a START or STOP condition.

Accordingly, the following bus conditions have been defined (Figure 4-1).

4.1 Bus not Busy (A)

Both data and clock lines remain HIGH.

4.2 Start Data Transfer (B)

A HIGH to LOW transition of the SDA line while the clock (SCL) is HIGH determines a START condition. All commands must be preceded by a START condition.

4.3 Stop Data Transfer (C)

A LOW to HIGH transition of the SDA line while the clock (SCL) is HIGH determines a STOP condition. All operations must end with a STOP condition.

4.4 Data Valid (D)

The state of the data line represents valid data when, after a START condition, the data line is stable for the duration of the HIGH period of the clock signal.

The data on the line must be changed during the LOW period of the clock signal. There is one bit of data per clock pulse.

Each data transfer is initiated with a START condition and terminated with a STOP condition. The number of the data bytes transferred between the START and STOP conditions is determined by the master device.

4.5 Acknowledge

Each receiving device, when addressed, is obliged to generate an acknowledge signal after the reception of each byte. The master device must generate an extra clock pulse which is associated with this acknowledge bit.

Note: The 24xx256 does not generate any acknowledge bits if an internal programming cycle is in progress.

A device that acknowledges must pull down the SDA line during the acknowledge clock pulse in such a way that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse. Of course, setup and hold times must be taken into account. During reads, a master must signal an end of data to the slave by NOT generating an acknowledge bit on the last byte that has been clocked out of the slave. In this case, the slave (24xx256) will leave the data line HIGH to enable the master to generate the STOP condition.

24AA256/24LC256/24C256

FIGURE 4-1: DATA TRANSFER SEQUENCE ON THE SERIAL BUS

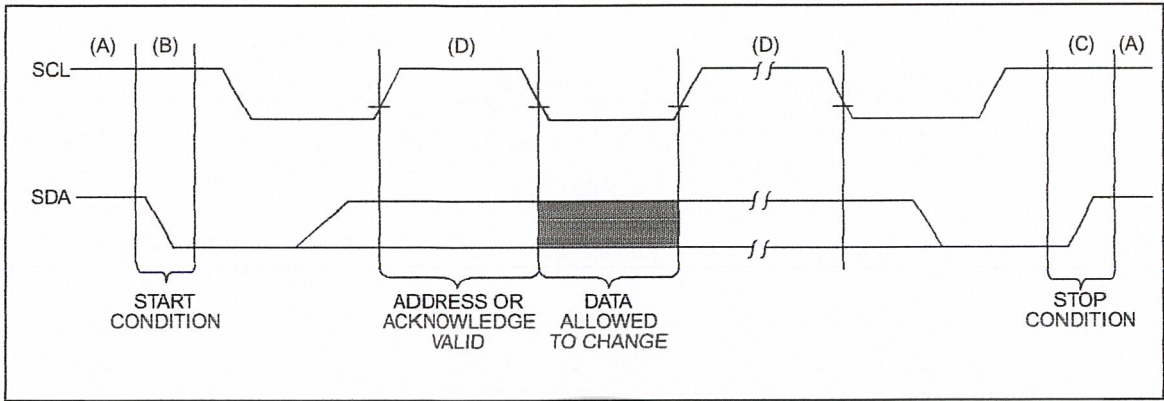
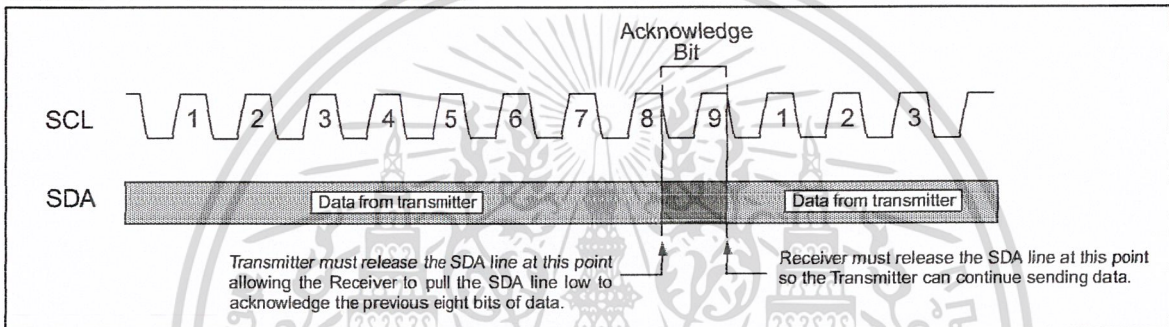


FIGURE 4-2: ACKNOWLEDGE TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

24AA256/24LC256/24C256

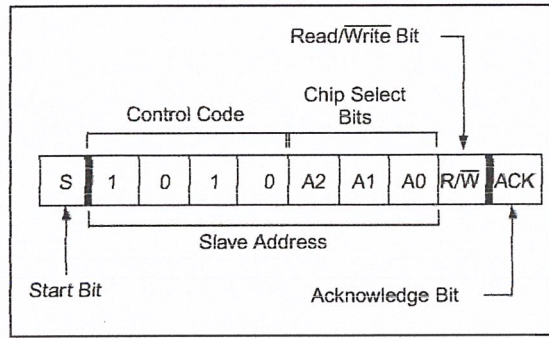
5.0 DEVICE ADDRESSING

A control byte is the first byte received following the start condition from the master device (Figure 5-1). The control byte consists of a 4-bit control code; for the 24xx256 this is set as 1010 binary for read and write operations. The next three bits of the control byte are the chip select bits (A2, A1, A0). The chip select bits allow the use of up to eight 24xx256 devices on the same bus and are used to select which device is accessed. The chip select bits in the control byte must correspond to the logic levels on the corresponding A2, A1, and A0 pins for the device to respond. These bits are in effect the three most significant bits of the word address.

The last bit of the control byte defines the operation to be performed. When set to a one a read operation is selected, and when set to a zero a write operation is selected. The next two bytes received define the address of the first data byte (Figure 5-2). Because only A14...A0 are used, the upper address bit is a don't care bit. The upper address bits are transferred first, followed by the less significant bits.

Following the start condition, the 24xx256 monitors the SDA bus checking the control byte being transmitted. Upon receiving a 1010 code and appropriate device select bits, the slave device outputs an acknowledge signal on the SDA line. Depending on the state of the R/W bit, the 24xx256 will select a read or write operation.

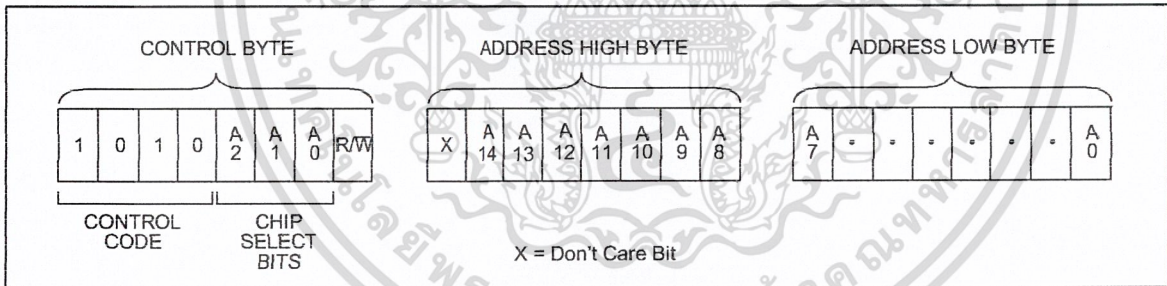
FIGURE 5-1: CONTROL BYTE FORMAT



5.1 Contiguous Addressing Across Multiple Devices

The chip select bits A2, A1, A0 can be used to expand the contiguous address space for up to 2 Mbit by adding up to eight 24xx256's on the same bus. In this case, software can use A0 of the control byte as address bit A15; A1, as address bit A16; and A2, as address bit A17. It is not possible to read or write across device boundaries.

FIGURE 5-2: ADDRESS SEQUENCE BIT ASSIGNMENTS



6.0 WRITE OPERATIONS

6.1 Byte Write

Following the start condition from the master, the control code (four bits), the chip select (three bits), and the R/W bit (which is a logic low) are clocked onto the bus by the master transmitter. This indicates to the addressed slave receiver that the address high byte will follow after it has generated an acknowledge bit during the ninth clock cycle. Therefore the next byte transmitted by the master is the high-order byte of the word address and will be written into the address pointer of the 24xx256. The next byte is the least significant address byte. After receiving another acknowledge signal from the 24xx256, the master device will transmit the data word to be written into the addressed memory location. The 24xx256 acknowledges again and the master generates a stop condition. This initiates the internal write cycle, and, during this time, the 24xx256 will not generate acknowledge signals (Figure 6-1). If an attempt is made to write to the array with the WP pin held high, the device will acknowledge the command but no write cycle will occur, no data will be written, and the device will immediately accept a new command. After a byte write command, the internal address counter will point to the address location following the one that was just written.

6.2 Page Write

The write control byte, word address, and the first data byte are transmitted to the 24xx256 in the same way as in a byte write. But instead of generating a stop condition, the master transmits up to 63 additional bytes, which are temporarily stored in the on-chip page buffer and will be written into memory after the master has transmitted a stop condition. After receipt of each word, the six lower address pointer bits are internally incremented by one. If the master should transmit more than 64 bytes prior to generating the stop condition, the address counter will roll over and the previously received data will be overwritten. As with the byte write operation, once the stop condition is received, an internal write cycle will begin. (Figure 6-2). If an attempt is made to write to the array with the WP pin held high, the device will acknowledge the command but no write cycle will occur, no data will be written, and the device will immediately accept a new command subject to TBUF.

6.3 Write Protection

The WP pin allows the user to write-protect the entire array (0000-7FFF) when the pin is tied to VCC. If tied to VSS or left floating, the write protection is disabled. The WP pin is sampled at the STOP bit for every write command (Figure 1-1) Toggling the WP pin after the STOP bit will have no effect on the execution of the write cycle.

FIGURE 6-1: BYTE WRITE

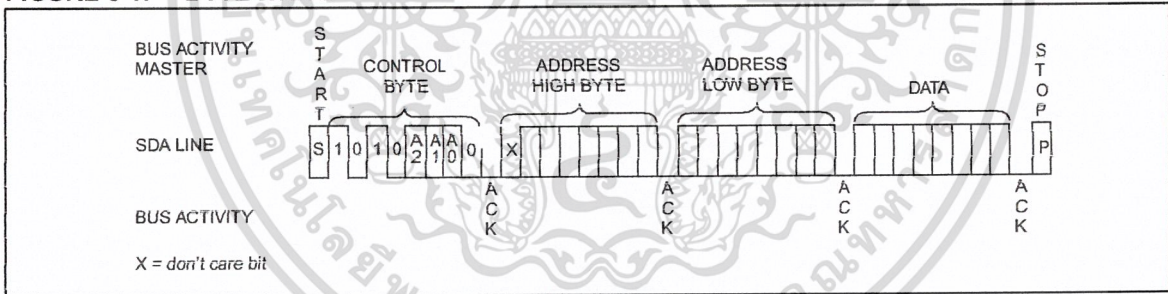
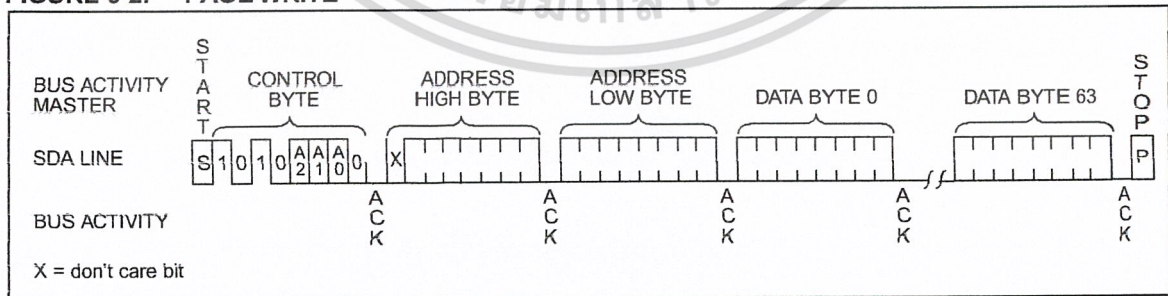


FIGURE 6-2: PAGE WRITE

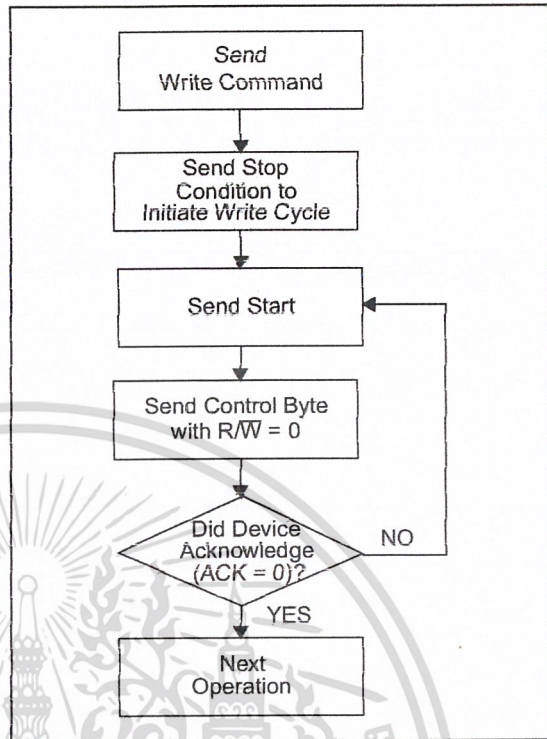


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

7.0 ACKNOWLEDGE POLLING

Since the device will not acknowledge during a write cycle, this can be used to determine when the cycle is complete (This feature can be used to maximize bus throughput.) Once the stop condition for a write command has been issued from the master, the device initiates the internally timed write cycle. ACK polling can be initiated immediately. This involves the master sending a start condition, followed by the control byte for a write command ($R/\bar{W} = 0$). If the device is still busy with the write cycle, then no ACK will be returned. If no ACK is returned, then the start bit and control byte must be resent. If the cycle is complete, then the device will return the ACK, and the master can then proceed with the next read or write command. See Figure 7-1 for flow diagram.

FIGURE 7-1: ACKNOWLEDGE POLLING FLOW



LM111/LM211/LM311 Voltage Comparator

1.0 General Description

The LM111, LM211 and LM311 are voltage comparators that have input currents nearly a thousand times lower than devices like the LM106 or LM710. They are also designed to operate over a wider range of supply voltages: from standard $\pm 15V$ op amp supplies down to the single 5V supply used for IC logic. Their output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50V at currents as high as 50 mA.

Both the inputs and the outputs of the LM111, LM211 or the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM106 and LM710 (200 ns response time vs 40 ns)

the devices are also much less prone to spurious oscillations. The LM111 has the same pin configuration as the LM106 and LM710.

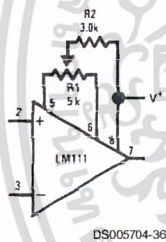
The LM211 is identical to the LM111, except that its performance is specified over a $-25^{\circ}C$ to $+85^{\circ}C$ temperature range instead of $-55^{\circ}C$ to $+125^{\circ}C$. The LM311 has a temperature range of $0^{\circ}C$ to $+70^{\circ}C$.

2.0 Features

- Operates from single 5V supply
- Input current: 150 nA max. over temperature
- Offset current: 20 nA max. over temperature
- Differential input voltage range: $\pm 30V$
- Power consumption: 135 mW at $\pm 15V$

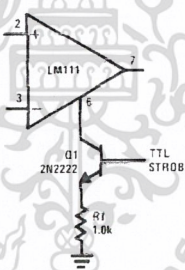
3.0 Typical Applications (Note 3)

Offset Balancing



DS005704-36

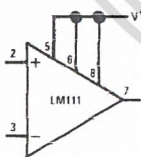
Strobing



DS005704-37

Note: Do Not Ground Strobe Pin. Output is turned off when current is pulled from Strobe Pin.

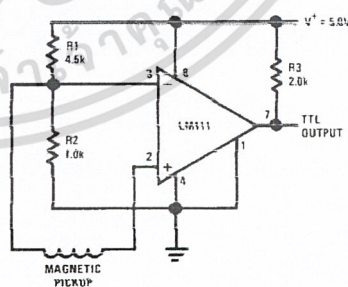
Increasing Input Stage Current (Note 1)



DS005704-38

Note 1: Increases typical common mode slew from 7.0V/ μs to 18V/ μs .

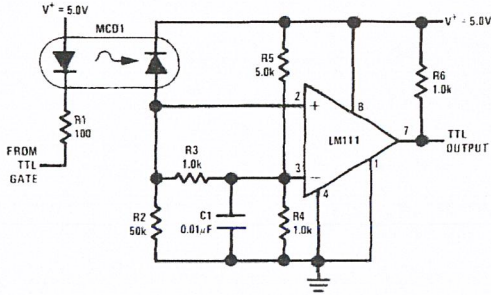
Detector for Magnetic Transducer



DS005704-39

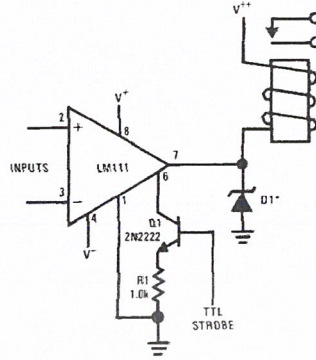
3.0 Typical Applications (Note 3) (Continued)

Digital Transmission Isolator



DS005704-40

Relay Driver with Strobe

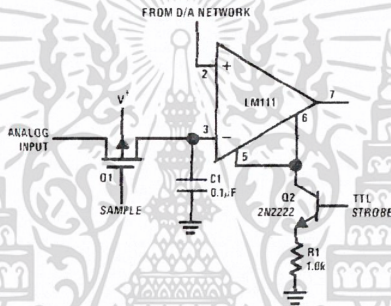


DS005704-41

*Absorbs inductive kickback of relay and protects IC from severe voltage transients on V^{+} line.

Note: Do Not Ground Strobe Pin.

Strobing off Both Input and Output Stages (Note 2)



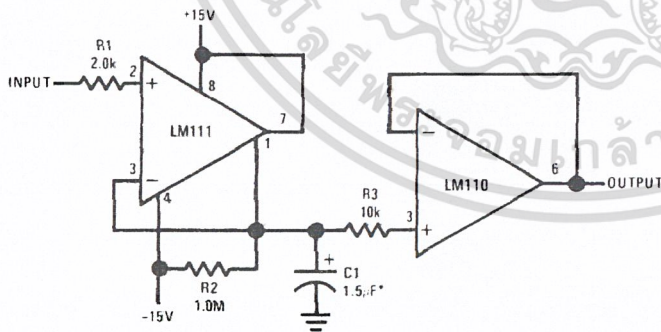
DS005704-42

Note: Do Not Ground Strobe Pin.

Note 2: Typical input current is 50 pA with inputs strobed off.

Note 3: Pin connections shown on schematic diagram and typical applications are for H08 metal can package.

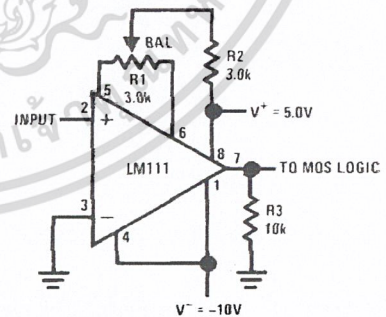
Positive Peak Detector



DS005704-23

*Solid tantalum

Zero Crossing Detector Driving MOS Logic



DS005704-24

4.0 Absolute Maximum Ratings for the LM111/LM211 (Note 10)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Total Supply Voltage (V_{84})	36V
Output to Negative Supply Voltage (V_{74})	50V
Ground to Negative Supply Voltage (V_{14})	30V
Differential Input Voltage	$\pm 30V$
Input Voltage (Note 4)	$\pm 15V$
Output Short Circuit Duration	10 sec

Operating Temperature Range

LM111	-55°C to 125°C
LM211	-25°C to 85°C

Lead Temperature (Soldering, 10 sec)

260°C

Voltage at Strobe Pin

$V^+ - 5V$

Soldering Information

Dual-In-Line Package

Soldering (10 seconds)

260°C

Small Outline Package

Vapor Phase (60 seconds)

215°C

Infrared (15 seconds)

220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Rating (Note 11)

300V

Electrical Characteristics (Note 6)

for the LM111 and LM211

Parameter	Conditions	Min	Typ	Max	Units
Input Offset Voltage (Note 7)	$T_A = 25^\circ\text{C}$, $R_S \leq 50\text{k}$		0.7	3.0	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		4.0	10	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		60	100	nA
Voltage Gain	$T_A = 25^\circ\text{C}$	40	200		V/mV
Response Time (Note 8)	$T_A = 25^\circ\text{C}$		200		ns
Saturation Voltage	$V_{IN} \leq -5\text{ mV}$, $I_{OUT} = 50\text{ mA}$ $T_A = 25^\circ\text{C}$		0.75	1.5	V
Strobe ON Current (Note 9)	$T_A = 25^\circ\text{C}$		2.0	5.0	mA
Output Leakage Current	$V_{IN} \geq 5\text{ mV}$, $V_{OUT} = 35V$ $T_A = 25^\circ\text{C}$, $I_{STROBE} = 3\text{ mA}$		0.2	10	nA
Input Offset Voltage (Note 7)	$R_S \leq 50\text{ k}$			4.0	mV
Input Offset Current (Note 7)				20	nA
Input Bias Current				150	nA
Input Voltage Range	$V^+ = 15V$, $V^- = -15V$, Pin 7 Pull-Up May Go To 5V	-14.5	13.8, -14.7	13.0	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -6\text{ mV}$, $I_{OUT} \leq 8\text{ mA}$		0.23	0.4	V
Output Leakage Current	$V_{IN} \geq 5\text{ mV}$, $V_{OUT} = 35V$		0.1	0.5	μA
Positive Supply Current	$T_A = 25^\circ\text{C}$		5.1	6.0	mA
Negative Supply Current	$T_A = 25^\circ\text{C}$		4.1	5.0	mA

Note 4: This rating applies for $\pm 15V$ supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 5: The maximum junction temperature of the LM111 is 150°C, while that of the LM211 is 110°C. For operating at elevated temperatures, devices in the H08 package must be derated based on a thermal resistance of 165°C/W, junction to ambient, or 20°C/W, junction to case. The thermal resistance of the dual-in-line package is 110°C/W, junction to ambient.

Note 6: These specifications apply for $V_S = \pm 15V$ and Ground pin at ground, and $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, unless otherwise stated. With the LM211, however, all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to $\pm 15V$ supplies.

Note 7: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and R_S .

Note 8: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 9: This specification gives the range of current which must be drawn from the strobe pin to ensure the output is properly disabled. Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

Note 10: Refer to RETS111X for the LM111H, LM111J and LM111J-8 military specifications.

Note 11: Human body model, 1.5 k Ω in series with 100 pF.

5.0 Absolute Maximum Ratings for the LM311 (Note 12)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Total Supply Voltage (V_{S4})	36V
Output to Negative Supply Voltage (V_{74})	40V
Ground to Negative Supply Voltage (V_{14})	30V
Differential Input Voltage	$\pm 30V$
Input Voltage (Note 13)	$\pm 15V$
Power Dissipation (Note 14)	500 mW
ESD Rating (Note 19)	300V
Output Short Circuit Duration	10 sec

Operating Temperature Range	0° to 70°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (soldering, 10 sec)	260°C
Voltage at Strobe Pin	$V^+ - 5V$
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (Note 15)

for the LM311

Parameter	Conditions	Min	Typ	Max	Units
Input Offset Voltage (Note 16)	$T_A = 25^\circ\text{C}$, $R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 16)	$T_A = 25^\circ\text{C}$		6.0	50	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		100	250	nA
Voltage Gain	$T_A = 25^\circ\text{C}$	40	200		V/mV
Response Time (Note 17)	$T_A = 25^\circ\text{C}$		200		ns
Saturation Voltage	$V_{IN} \leq -10\text{ mV}$, $I_{OUT} = 50\text{ mA}$ $T_A = 25^\circ\text{C}$		0.75	1.5	V
Strobe ON Current (Note 18)	$T_A = 25^\circ\text{C}$		2.0	5.0	mA
Output Leakage Current	$V_{IN} \geq 10\text{ mV}$, $V_{OUT} = 35V$ $T_A = 25^\circ\text{C}$, $I_{STROBE} = 3\text{ mA}$ $V^- = \text{Pin } 1 = -5V$		0.2	50	nA
Input Offset Voltage (Note 16)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 16)				70	nA
Input Bias Current				300	nA
Input Voltage Range		-14.5	13.8, -14.7	13.0	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -10\text{ mV}$, $I_{OUT} \leq 8\text{ mA}$		0.23	0.4	V
Positive Supply Current	$T_A = 25^\circ\text{C}$		5.1	7.5	mA
Negative Supply Current	$T_A = 25^\circ\text{C}$		4.1	5.0	mA

Note 12: "Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits."

Note 13: This rating applies for $\pm 15V$ supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 14: The maximum junction temperature of the LM311 is 110°C. For operating at elevated temperature, devices in the H08 package must be derated based on a thermal resistance of 165°C/W, junction to ambient, or 20°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 15: These specifications apply for $V_S = \pm 15V$ and Pin 1 at ground, and $0^\circ\text{C} < T_A < +70^\circ\text{C}$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to $\pm 15V$ supplies.

Note 16: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and R_S .

Note 17: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 18: This specification gives the range of current which must be drawn from the strobe pin to ensure the output is properly disabled. Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

Note 19: Human body model, 1.5 k Ω in series with 100 pF.

กิตติมากรรมประกาศ

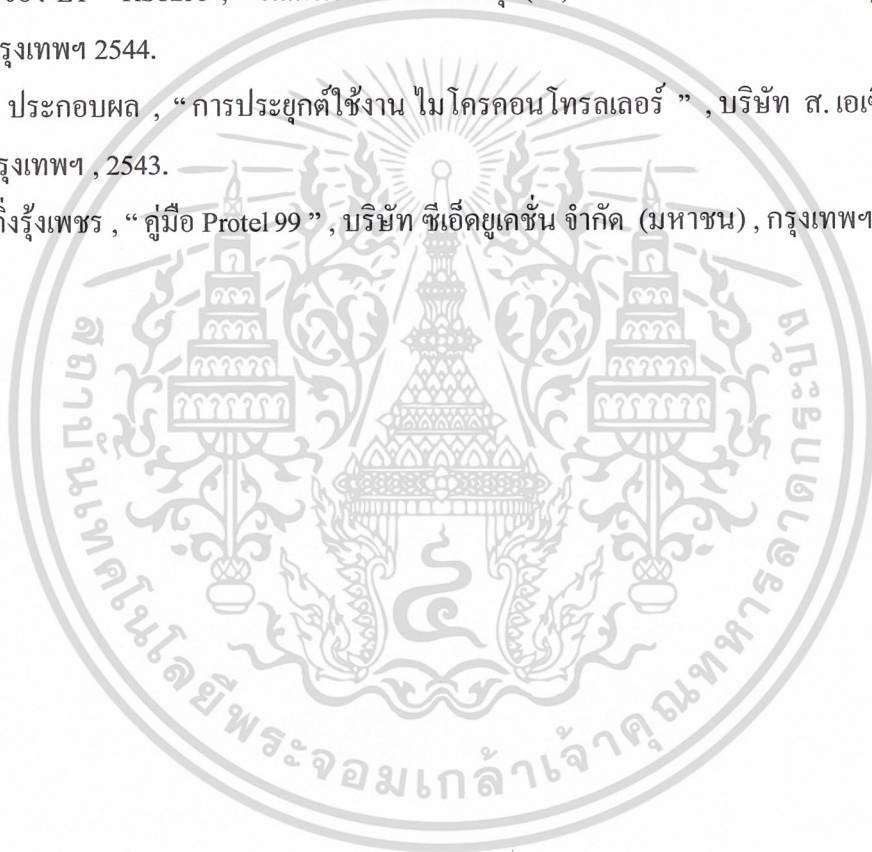
โครงการระบบตัดไฟฟ้าอัตโนมัติแบบโปรแกรมได้ ครั้งนี้สามารถลุล่วงไปได้ด้วยดี ด้วยความกรุณาของท่านอาจารย์ที่ปรึกษา รศ. อธิรัชชัย อรุณศรีแสงไชย ที่ให้คำปรึกษาและคำแนะนำทำให้เกิดแนวความคิดและแนวทางแก้ปัญหาในการทำโครงการ ตลอดจนเอื้ออำนวยเครื่องมือและอุปกรณ์ที่จำเป็นต้องใช้ระหว่างทำการทดลอง ตลอดจนพระคุณของบิดา – มารดา ผู้ซึ่งให้โอกาสและทุกสิ่งทุกอย่างแก่ผู้จัดทำ และสุดท้ายนี้เป็นกลุ่มเพื่อนๆ และพี่ๆ ที่คอยให้กำลังใจ และแนวความคิดบางสิ่งบางอย่างแก่ผู้จัดทำ ผู้จัดทำขอขอบพระคุณทุกท่านเป็นอย่างสูงที่ให้ความช่วยเหลือไว้ ณ. โอกาสนี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ไกรวุฒิ โรจน์ประเสริฐสุด , “ ไมโครโปรเซสเซอร์ 2 ” , บริษัท ซีเอ็ด ยูเคชั่น จำกัด (มหาชน) , กรุงเทพฯ 2539.
2. วรพจน์ กรแก้ววัฒนกุล , ชัยวัฒน์ ถิ์มพรจิตรวิไล , “ เรียนรู้และปฏิบัติการ ไมโครคอนโทรลเลอร์ MCS-51 ” , บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ จำกัด , กรุงเทพฯ .
3. กัมพล ทองเรือง , “ การใช้งานโปรแกรม Pspice A/D วิเคราะห์วงจรไฟฟ้าและอิเล็กทรอนิกส์ ” , บริษัท สกายบุ๊กส์ จำกัด , กรุงเทพฯ 2544.
4. คุณสมบัติของ ET – RS8255 , “ อิเล็กทรอนิกส์แสนดีบุ๊ก(64) ” สถาบันอิเล็กทรอนิกส์กรุงเทพฯ รังสิต , กรุงเทพฯ 2544.
5. ชีร วัฒน์ ประกอบผล , “ การประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ ” , บริษัท ส.เอเชียเพรส จำกัด , กรุงเทพฯ , 2543.
6. บุญชัย กิ่งรุ่งเพชร , “ คู่มือ Protel 99 ” , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน) , กรุงเทพฯ 2543.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้