สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดทดลอง PCM

PCM ENCODE & DECODE DEMONSTRATOR

T046521

โดย

นาย ธนัญชัย เลาหะรัตน์

นาย ธนากร พรศิริกาญจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 46521
วัน, เดือน, ปี 4 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ชุดทดลอง PCM		
	PCM ENCODE & DECODE DEMONSTRATOR		
ชื่อนักศึกษา	นายธนัญชัย	เลาหะรัตน์	รหัส 43015866
	นายธนากร	พรศิริกาญจน์	รหัส 43015867
อาจารย์ที่ปรึกษา	ผศ.นภพินทุ์	อนันตรศิริชัย	
ปีการศึกษา	2545		

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการการสอบปริญญานิพนธ์

.....ประธานกรรมการ
(รศ.ดร.กนก เจนจิระพงศ์เวช)

.....กรรมการ
(รศ.ดร.ปีติเขต สู้รักษา)

.....กรรมการ
(อ.ดลชัย สุขเจริญผล)

.....กรรมการ
(อ.กฤดากร กล่อมการ)

.....กรรมการ
(อ.มนต์ชัย แช่มช้อย)

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลอง PCM

โดย	นาย ธนัญชัย	เลาหะรัตน์	รหัส 43015866
	นายธนากร	พรศิริกาญจน์	รหัส 43015867
อาจารย์ที่ปรึกษา	ผศ.นภพินทุ์	อนันตรศิริชัย	
ปีการศึกษา	2545		

บทคัดย่อ

โครงงานนี้เป็นการสร้างชุดทดลอง พีซีเอ็ม สำหรับใช้ในการเรียนการสอน ซึ่งประกอบด้วยเครื่องส่ง - เครื่องรับ จะทำงานโดยสร้างสัญญาณอนาลอกและแปลงเป็นสัญญาณดิจิตอลด้วยวิธีพีซีเอ็ม หลังจากนั้นก็จะถูกแปลงกลับเป็นสัญญาณอนาลอกทางด้านเครื่องรับ การจะส่งสัญญาณแบบระบบดิจิตอล จะเกิดการผิดพลาดของสัญญาณน้อยกว่าการส่งสัญญาณแบบระบบอนาลอก ส่วนชุดทดลองพีซีเอ็มใช้การสุ่มสัญญาณอนาลอกแล้วส่งข้อมูลแบบเฟรมซึ่งในแต่ละเฟรม จะใช้รหัสดิจิตอล 8 บิต แทนค่าที่ได้จากการแซมเปิ้ล โดยโครงงานนี้จะใช้การส่งสัญญาณเสียงที่มีความถี่ 4 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCM ENCODE & DECODE DEMONSTRATOR

By MR.THANUNCHAI LAOHARUT NO. 43015866

MR.THANAKORN PORNSIRIKARN NO. 43015867

ADVISER Asso.Prof NOPPIN ANANTRARASIRICHAI

YEAR 2002

ABSTRACT

This project is the demonstration of Plus Code Modulation (PCM) for teaching and learning. It composed of transmitter and receiver section which operation by generate the analog signals. Analog signals is encode by PCM system to digital signals and decode to analog signals at receiver section. To transmission in digital signals system have the less error of signals than analog signals system. The process of PCM is sampling analog signals and send its in frame of 8 bits digital coding. The analog signal in this project is frequency 4 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการสร้างโครงงานนี้ ทางผู้จัดได้รับความอนุเคราะห์ช่วยเหลือให้คำปรึกษา แนะแนวทางในการดำเนินงานตลอดจนความช่วยเหลือในเรื่องอุปกรณ์เครื่องมือ และห้องปฏิบัติการที่ใช้ในการดำเนินงานต่าง ๆ จาก ผศ.นภพินทุ์ อนันตรศิริชัย และ รศ.ชลวิต เบญจางคประเสริฐ จนกระทั่งสำเร็จเป็นโครงงาน ทีมงานผู้จัดทำขอกราบพระคุณที่ให้ความกรุณามา ณ ที่นี้

ท้ายนี้ ผู้จัดทำขอกราบขอบพระคุณ บิดา – มารดา ซึ่งให้การสนับสนุนทางด้านการเงินและเพื่อน ๆ ที่ให้คำแนะนำเป็นกำลังใจ แก่ผู้จัดทำเสมอมา

ธนัญชัย เลาหะรัตน์

ธนากร พรศิริกาญจน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมา	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	2
1.4 ข้อกำหนดของโครงงาน	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 การมอดูเลทรหัสพัลส์	3
2.2 การสุ่มตัวอย่าง (Sampling)	6
2.2.1 การสุ่มตัวอย่างแบบธรรมชาติ (Natural Sampling)	9
2.2.2 การสุ่มตัวอย่างขณะหนึ่ง	10
2.3 การจัดระดับ (Quantizing)	11
2.4 คอมแพนดิ้ง (Companding)	14
2.5 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	16
2.6 การเข้ารหัส (Encoder)	18
2.7 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก (Parallel Input — Serial Output Shilft Resister : PISO)	20
2.8 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก (Serial Input — Parallel Output Shift Register)	24
บทที่ 3 การคำนวณและการออกแบบ	27
3.1 หลักการออกแบบวงจรภาคส่ง	27
3.1.1 วงจรกำเนิดสัญญาณไซน์	28
3.1.2 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม	29
3.1.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC)	31
3.1.4 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม (Parallel Input – Serial Output Shift Register)	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.2 หลักการออกแบบวงจรภาครับ	38
3.2.1 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial Input – Parallel Output Shift Register)	38
3.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter : DAC)	41
3.2.3 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF)	42
บทที่ 4 การทดลองและผลการทดลอง	44
4.1วัตถุประสงค์ของการทดลอง	44
4.2 อุปกรณ์ที่ใช้ในการทดลอง	44
4.3 ลำดับขั้นตอนการทดลอง (วงจรทางภาคส่ง)	44
4.4 ลำดับขั้นตอนการทดลอง (วงจรทางภาครับ)	51
บทที่ 5 สรุปผลการทดลอง	53
5.1 ปัญหาและอุปสรรค	53
หนังสืออ้างอิง	54
ภาคผนวก ก	55
วงจรรวมและแผ่นวงจรพิมพ์ (PCB)	56
ภาคผนวก ข	59
คู่มือการใช้อุปกรณ์ (DATA SHEET)	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสารบัญภาพ

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมของระบบ PCM 3

รูปที่ 2.2 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่ใช้กันในระบบ PCM 5

รูปที่ 2.3 การสุ่มตัวอย่าง (Sampling) 6

รูปที่ 2.4 ผลของการ Sampling 8

รูปที่ 2.5 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Natural Sampling 9

รูปที่ 2.6 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Flat-Top Sampling 10

รูปที่ 2.7 การจัดระดับแรงดัน 11

รูปที่ 2.8 การควอนไทซ์แบบระดับคงที่ พร้อมการแปลงค่าเป็นรหัสไบนารีขนาด 4 บิท 12

รูปที่ 2.9 การควอนไทซ์และสัญญาณรบกวนควอนไทซ์ 15

รูปที่ 2.10 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์ 16

รูปที่ 2.11 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล 17

รูปที่ 2.12 การเข้ารหัส 19

รูปที่ 2.13 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก ขนาด 4 บิต 20

รูปที่ 2.14 วงจรเลื่อนสัญญาณแบบขนานเข้า
และอนุกรมออกขนาด 8 บิตของไอซีเบอร์74LS166 22

รูปที่ 2.15 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS16623 23

รูปที่ 2.16 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออกขนาด 4 บิต 24

รูปที่ 2.17 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 8 บิต 25

รูปที่ 2.18 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS16426 26

รูปที่ 3.1 บล็อคไดอะแกรมของภาคส่งวงจรพีซีเอ็ม 27

รูปที่ 3.2 วงจรกำเนิดสัญญาณไซน์ 28

รูปที่ 3.3 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม 29

รูปที่ 3.4 วงจรสร้างสัญญาณนาฬิกา 160 kHz 30

รูปที่ 3.5 ไดอะแกรมเวลาของไอซี ADC0820 32

รูปที่ 3.6 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 34

รูปที่ 3.7 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม 35

รูปที่ 3.8 วงจรรวมทางภาคส่ง 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

	หน้า
รูปที่ 3.9 บล็อคไดอะแกรมของภาครับวงจรพีซีเอ็ม	38
รูปที่ 3.10 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน	39
รูปที่ 3.11 วงจรแปลงสัญญาณ ดิจิตอลเป็นอนาล็อก	41
รูปที่ 3.12 วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ต ออเดอร์ 4	42
รูปที่ 3.13 วงจรรวมภาครับ	43
รูปที่ 4.1 สัญญาณอินพุตไซน์เวฟที่ความถี่ 3 kHz	44
รูปที่ 4.2 สัญญาณอินพุตไซน์เวฟที่ความถี่ 4 kHz	45
รูปที่ 4.3 สัญญาณอนาลอกอินพุตที่ความถี่ 5 kHz	45
รูปที่ 4.4 สัญญาณนาฬิกาที่ใช้ในการ Sampling สัญญาณอนาลอที่ความถี่ 16 kHz	46
รูปที่ 4.5 สัญญาณอนาลอกอินพุตที่ความถี่ 3 kHz ของภาคส่ง เทียบกับสัญญาณนาฬิกาที่ใช้ในการSampling 16 kHz	46
รูปที่ 4.6 สัญญาณอนาลอกอินพุตที่ความถี่ 4 kHz ของภาคส่ง เทียบกับสัญญาณนาฬิกาที่ใช้ในการ Sampling 16 kHz	47
รูปที่ 4.7 สัญญาณอนาลอกอินพุตที่ความถี่ 5 kHz ของภาคส่ง เทียบกับสัญญาณนาฬิกาที่ใช้ในการ Sampling 16 kHz	47
รูปที่ 4.8 สัญญาณนาฬิกาที่ความถี่ 160 kHz ใช้สำหรับการส่งข้อมูล	48
รูปที่ 4.9 สัญญาณที่ใช้ในการ ชิพ / โหลด ของข้อมูล	48
รูปที่ 4.10 สัญญาณอนาลอกอินพุตที่ความถี่ 3 kHz เทียบกับสัญญาณ พัลส์โค้ดมอดูเลชั่นที่เป็ ข้อมูลดิจิตอลออกจากภาคส่ง	49
รูปที่ 4.11 สัญญาณอนาลอกอินพุตที่ความถี่ 4 kHz เทียบกับสัญญาณ พัลส์โค้ดมอดูเลชั่นที่เป็นข้อมูลดิจิตอลออกจากภาคส่ง	49
รูปที่ 4.12 สัญญาณอนาลอกอินพุตที่ความถี่ 5 kHz เทียบกับสัญญาณ พัลส์โค้ดมอดูเลชั่นที่เป็น ข้อมูลดิจิตอลออกจากภาคส่ง	50
รูปที่ 4.13 แสดงบิตเริ่มและบิตจบของสัญญาณ PCM	50
รูปที่ 4.14 สัญญาณที่ใช้ชิพ/โหลดข้อมูลทางด้านวงจรภาครับ	51
รูปที่ 4.15 สัญญาณอนาลอกอินพุตทางภาคส่ง เทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 3 kHz	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

	หน้า
รูปที่ 4.16 สัญญาณอนาลอกอินพุตทางภาคส่ง เทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 4 kHz	53
รูปที่ 4.17 สัญญาณอนาลอกอินพุตทางภาคส่ง เทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 5 kHz	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1 แสดงความสัมพันธ์ระหว่างจำนวนบิทและระดับควอนไทซ์ที่มีได้	13
ตารางที่ 2 แสดงความสัมพันธ์ระหว่างจำนวนบิทและค่า S/N	14
ตารางที่ 3 ตารางแสดงการป้อนเข้าและออกของข้อมูลที่ออกจากวงจร	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 กล่าวนำ

ในการส่งสัญญาณไฟฟ้าจากจุดหนึ่งไปยังอีกจุดหนึ่งไม่ว่าจะเป็นการส่งสัญญาณแบบอนลอก หรือ ดิจิตอล ก็ตาม สิ่งที่หลีกเลี่ยงไม่ได้คือสิ่งรบกวน (Noise) และความเพี้ยน (Distortion) ซึ่งเกิดขึ้นตลอดเส้นทางการส่ง ในการรักษาคุณภาพของสัญญาณที่รับได้ที่ปลายทางไว้ให้ดีที่สุดก็ควรจะให้สิ่งรบกวนและความเพี้ยนอยู่ในขีดจำกัดอันพึงยอมรับได้การส่งสัญญาณใด ๆ เราสามารถส่งในลักษณะของอนาล็อกหรือดิจิตอลก็ได้ แต่ปัจจุบันนิยมส่งสัญญาณอนาล็อกในรูปของสัญญาณดิจิตอลด้วยกรรมวิธี พัลส์โค้ดมอดูเลชั่น (Puse Code Mudulation : PCM) มากขึ้น ดังนั้นจึงจำเป็นที่จะต้องศึกษาหลักการเบื้องต้นเกี่ยวกับระบบพัลส์โค้ดมอดูเลชั่น ข้อดีของการส่งสัญญาณดิจิตอลจะดีกว่าการส่งสัญญาณแบบอนาล็อกอยู่ 2 ประการคือ

- มีภูมิคุ้มกันต่อสิ่งรบกวนและความเพี้ยนได้มากกว่า
- สามารถผลิตสัญญาณดิจิตอลที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่ที่ Regenerative Repeater ได้

เนื่องจากการส่งสัญญาณแบบดิจิตอลมีข้อได้เปรียบเหนือกว่าการส่งสัญญาณอนาลอก ดังนั้นจึงมีแนวโน้มที่จะส่งสัญญาณอนาลอกในรูปของการส่งสัญญาณดิจิตอลมากขึ้น ด้วยวิธีการนี้จำเป็นต้องแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลที่ปลายด้านส่ง และแปลงกลับเป็นสัญญาณอนาลอกตามเดิมที่ปลานด้านรับ วิธีที่นิยมใช้มากที่สุดคือวิธีการของ พัลส์โค้ดมอดูเลชั่น (PCM)

สำหรับโครงงานนี้เป็นการสร้างชุดฝึกการสื่อสารแบบดิจิตอลขึ้น เพื่อให้นักศึกษาใช้ในห้องทดลองเพื่อให้เกิดความรู้พื้นฐานด้านเทคโนโลยีโทรคมนาคม อันเป็นแนวทางที่จะนำไปพัฒนาระบบสื่อสารต่อไป

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาถึงขั้นตอนการสื่อสารแบบดิจิตอล (Digital Communication) ในระบบพัลส์โค้ดมอดูเลชั่น (PCM)
2. สามารถรู้ถึงหลักการต่าง ๆ ที่ได้ตั้งไว้ตามวัตถุประสงค์
3. สามารถนำชุดทดลองนี้ไปใช้ในการเรียนการสอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

ทางด้านเครื่องส่ง สามารถแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล โดยใช้ระบบพัลส์โค้ดมอดูเลชั่นทำการส่งแบบ 8 บิต จากนั้นทำการส่งกระบวนพัลส์ในรูปของรหัสจะเป็นการส่งสัญญาณในลักษณะ Digital Transmission ได้ โดยผ่านสายเคเบิ้ล

ทางด้านเครื่องรับ จะเป็นวงจรดีมอดูเลเตอร์เพื่อทำหน้าที่แปลงข้อมูลที่ส่งมาแบบดิจิตอลให้เป็นสัญญาณอนาลอกหรือสัญญาณข่าวสารตามที่ได้ส่งมาจากเครื่องส่งเพื่อให้ได้สัญญาณตามเดิม

1.4 ข้อกำหนดของโครงงาน

1. ใช้อุปกรณ์ที่หาซื้อได้ง่าย
2. ใช้งานได้สะดวกและง่าย
3. มีความละเอียดและความแม่นยำพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

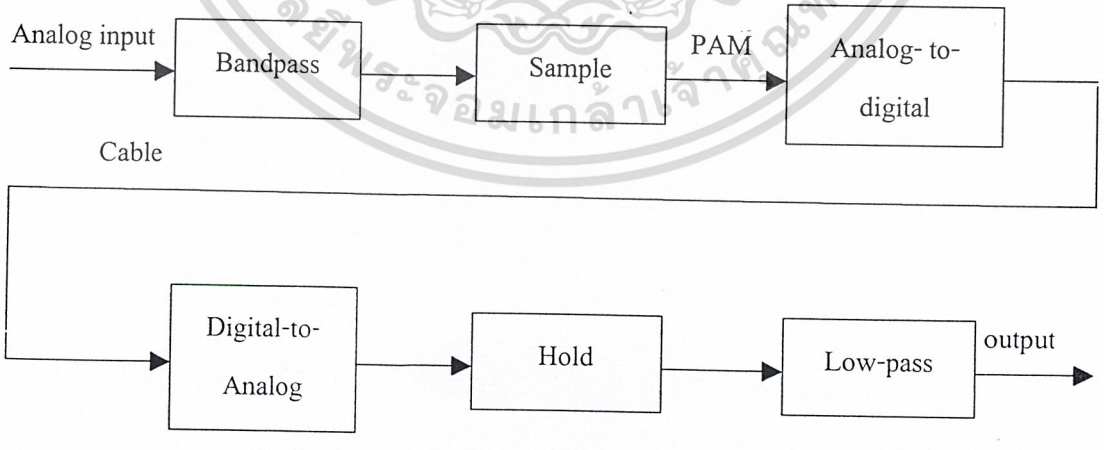
ทฤษฎีและหลักการของระบบ PCM

2.1 การมอดูเลตรหัสพัลส์

พัลส์โค้ดมอดูเลชั่น (PCM) เป็นวิธีการที่จะเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ซึ่งแต่ละสัญญาณจะถูกกำหนดให้เป็นกระบวนของพัลส์ในรูปของไบนารีโค้ด (Binary Code) การเปลี่ยนสัญญาณดังกล่าวจะต้องประกอบด้วยหลักการที่สำคัญ 3 ประการเรียงตามลำดับคือ

- การสุ่มตัวอย่าง (Sampling)
- การแบ่งย่านแอมปลิจูดของสัญญาณอนาลอกออกเป็นระดับต่างๆ (Quantizing)
- การเข้ารหัส (Coding)

รูปที่ 2.1 แสดง บล็อกไดอะแกรมของระบบ PCM วิธีการขั้นแรกคือการสุ่มตัวอย่างสัญญาณโทรศัพท์หรือสัญญาณอนาลอกแต่ละช่องด้วย Sampler จะทำให้พัลส์ที่มีแอมปลิจูดเท่ากับของสัญญาณ ณ เวลาที่ทำการสุ่มนั้นๆ ซึ่งเรียกว่าสัญญาณ PAM จากนั้นสัญญาณ PAM จะถูกป้อนเข้าที่การจัดระดับของสัญญาณ (Quantizer) และในกรณีนี้แอมปลิจูดของแต่ละตัวอย่างที่สุ่มมาได้จะถูกจัดให้อยู่ในระดับที่ตรงกันหรือใกล้เคียงกับระดับที่ได้กำหนดไว้ ขั้นตอนต่อไปคือการให้ไบนารีโค้ดกับตัวอย่างที่สุ่มมาได้โดยตัวเข้ารหัส (Coder)

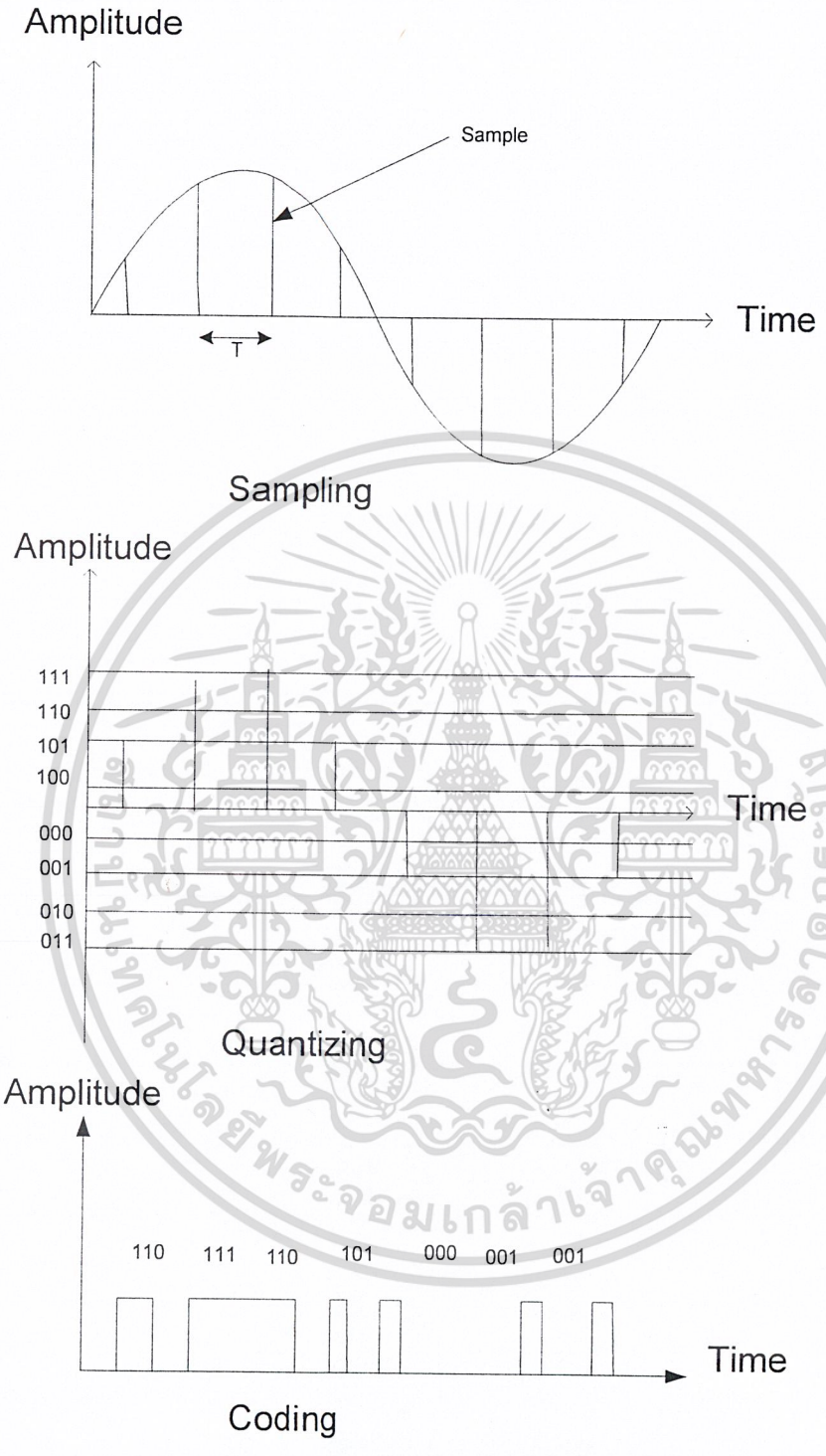


รูปที่ 2.1 บล็อกไดอะแกรมของระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งไบนารีโค้ดที่ให้นี้จะตรงกับระดับของแอมปลิจูดที่ได้ถูกแบ่งไว้แล้วในตอนแรก กระบวนพัลส์ในรูปของไบนารีโค้ดของสัญญาณอนาลอกซึ่งเรียกว่าสัญญาณ PCM จะถูกส่งเข้าไปในสายส่ง (Transmission Line) หากสายส่งมีความยาวมากก็จะใช้ Regenerative Repeater ติดตั้งในระยะทางที่เหมาะสม (ประมาณ 2 กิโลเมตร) เพื่อทำการผลิตสัญญาณ PCM ตัวเดิมที่ปราศจากสิ่งรบกวนและความเพี้ยนขึ้นมาใหม่ และที่ปลายด้านรับก็จะมี Regenerative Repeater ติดตั้งไว้ด้วยเช่นกัน เอาต์พุตที่ได้จาก Regenerative Repeater นี้จะมีรูปร่างลักษณะเหมือนกับสัญญาณ PCM ที่ถูกส่งมาจากทางด้านส่ง จากนั้นสัญญาณ PCM ดังกล่าวจะถูกส่งไปยังตัวถอดรหัส (Decoder) เพื่อทำการถอดรหัสสัญญาณ PCM ให้ได้เป็นสัญญาณ PAM แล้วจึงทำการสุ่มตัวอย่าง ส่วนในขั้นสุดท้ายจะเป็นการสร้าง สัญญาณอนาลอกตัวเดิมด้วยวงจรกรองความถี่ต่ำ (Low Pass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

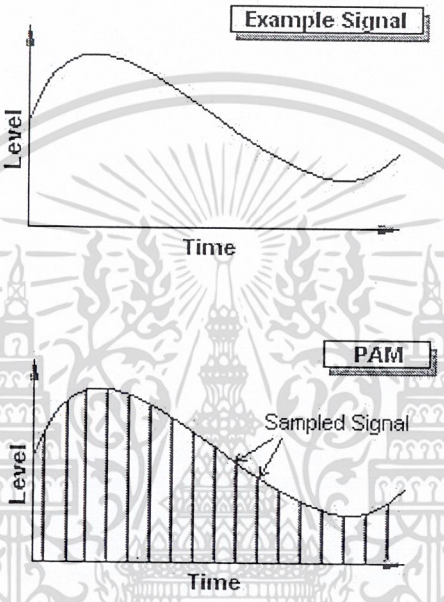


รูปที่ 2.2 การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่ใช้กันในระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การสุ่มตัวอย่าง (Sampling)

การสุ่มตัวอย่าง (Sampling) หมายถึงกระบวนการตรวจวัดค่าของสัญญาณอนาลอกในรูปของแรงดันไฟฟ้าที่ช่วงเวลาต่าง ๆ ที่มีคาบเวลาในการตรวจจับที่คงที่ ซึ่งเป็นขั้นตอนที่สำคัญขั้นตอนหนึ่งในการแปลงสัญญาณอนาลอกเป็นดิจิตอล ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 การสุ่มตัวอย่าง (Sampling)

ตัวอย่างที่สุ่มมาได้คือ ขบวนพัลส์ (Pulse train) หรือสัญญาณ PAM จำนวนการสุ่มตัวอย่างต่อวินาทีคือ อัตราการสุ่มตัวอย่าง (Sampling Rate) **แชนนอน (Shannon) นักคณิตศาสตร์ชาวอเมริกากล่าวว่า** อัตราการสุ่มจะต้องมีความถี่ไม่น้อยไปกว่า2 เท่าของความถี่สูงสุดของสัญญาณ

สัญญาณอนาลอกที่ทำการส่งนั้น จะสามารถสร้างสัญญาณเดิมกลับคืนมาจากการสุ่มได้ ในการส่งสัญญาณโทรศัพท์จะใช้ความถี่ในช่วง 300 ถึง 3400 Hz ดังนั้น จะถูกสุ่มตัวอย่างด้วยอัตราสุ่มตัวอย่าง 8000 ครั้งต่อวินาที หรือถูกสุ่มตัวอย่างทุก ๆ 125 ไมโครวินาที ซึ่งเรียกระยะห่างระหว่างการสุ่มนี้ว่า (Sampling Interval)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ผ่านกระบวนการสุ่มสัญญาณแล้ว จะเก็บรูปแบบของสัญญาณต้นฉบับก่อนที่จะถูกสุ่มได้อย่างสมบูรณ์เพียงไรขึ้นอยู่กับความถี่ที่ใช้ในการสุ่ม ซึ่งจะต้องมีค่าไม่น้อยไปกว่า 2 เท่าของความถี่สูงสุดของสัญญาณต้นฉบับ ในการปฏิบัติกับสัญญาณจริง ๆ เรามักจะเพิ่มสัญญาณ Sampling เป็น 2-3 เท่าของความถี่ที่ต้องการ Sampling ในรูปที่ 2.4 แสดงถึงสเปคตรัมของสัญญาณอินพุต (20-30 KHz) ซึ่งสามารถหาได้โดยใช้ Fourier Transfrom ในรูปจะบอกได้ว่ามีความถี่ อินพุต ในช่วง 0-3 KHz โดยที่ f1 จะเป็นจุดที่เป็นความถี่สูงสุด จะเห็นได้ว่าสัญญาณจะเป็นสเปคตรัมแบบ Even Function สังเกตได้จากรูปมีความถี่ทางด้านลบที่มีรูปร่างเหมือนกันกับทางด้านบวก เป็นการบอกเราได้ว่าสัญญาณแต่ละความถี่นั้นประกอบไปด้วยผลบวกของสอง Exponentials ดังนั้น ส่วนประกอบของสัญญาณ (Component) Acos (Ωt) ซึ่งมี แอมปลิจูด เป็น A และความถี่Ω radians/sec สามารถเขียนได้เป็น

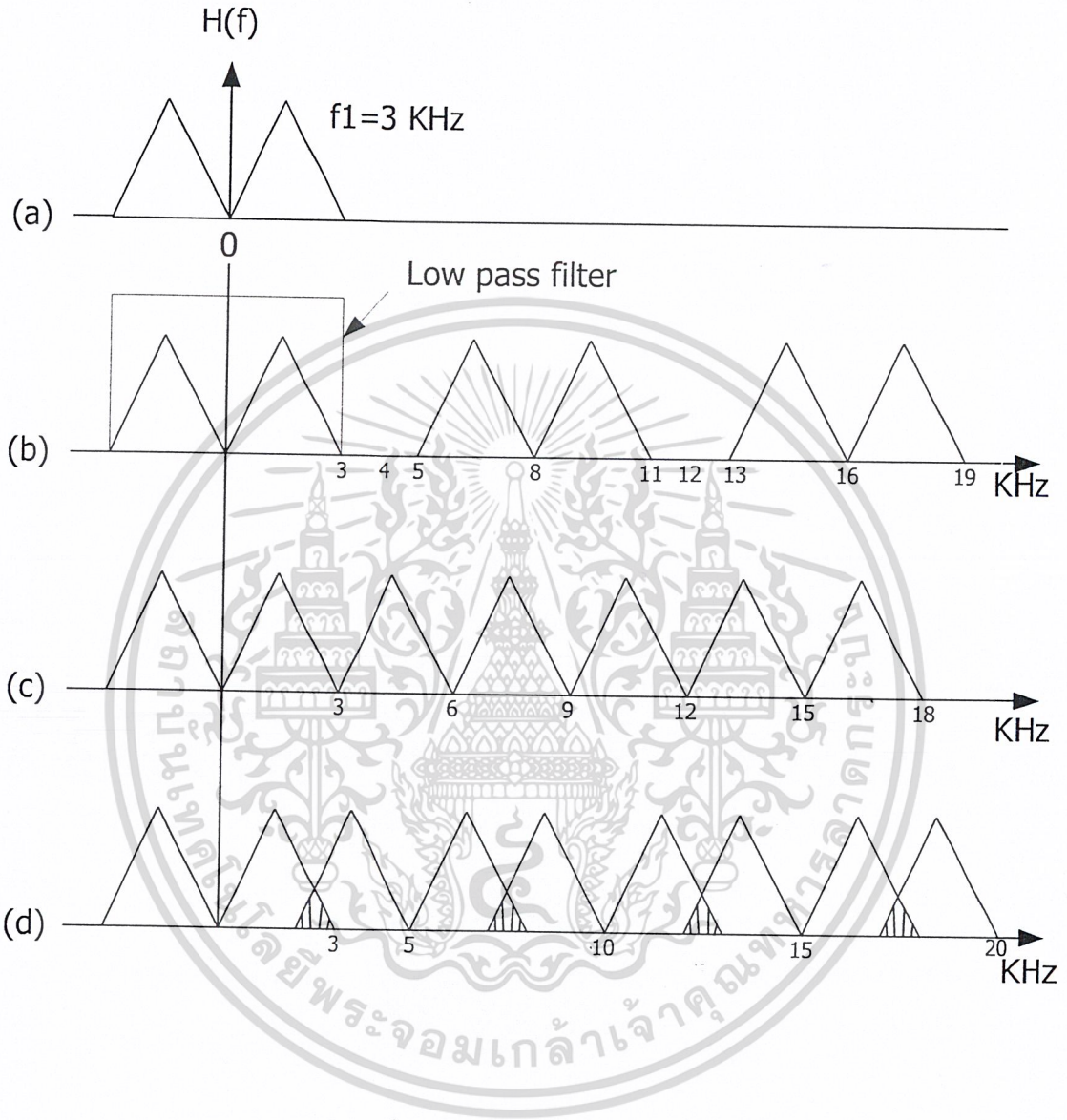
$$A \cos (\Omega t) = (A/2) \exp(j\Omega t) + (A/2) \exp(j (-\Omega)t)$$

คือจะแสดงออกเป็น 2 สเปคตรัม ที่มีขนาดแอมปลิจูด เป็น (A/2) ที่ความถี่บวกลบ Ω และผลของการ Sampling จะทำให้เกิดสเปคตรัม ที่ ซ้ำตัวเอง (ดังที่กล่าวมาข้างต้น) ไปตลอดดังแสดงดังรูปที่ 2.4a และหากเรา Sampling ด้วยความถี่ 8 KHz ฉะนั้นความถี่ก็จะซ้ำตัวเองที่ 8 KHz, 16 KHz และต่อไปเรื่อย ๆ ในหลักการเราต้องการจะประมวลผลเพียงสัญญาณในช่วง 0-3 KHz เท่านั้นดังนั้นหากเราจะคืนสัญญาณจากดิจิตอลเป็นอนาลอกเพื่อให้ได้ดังในรูปที่ 2.4b สามารถทำได้โดยการใช้ Low pass ฟิวเตอร์มากรองสัญญาณเอาเฉพาะช่วงที่ต้องการเท่านั้น โดยฟิวเตอร์ควรจะจำกัดสัญญาณที่ความถี่ที่ 5 KHz ขึ้นไป

ถ้าความถี่ Sampling ถูกลดลงจนถึงความถี่ต่ำสุดที่ Sampling Theory กำหนดจากตัวอย่างนี้ลดลงมาที่ 6 KHz ผลคือความถี่จะเริ่มซ้ำที่ความถี่ 6 kHz, 12 kHz และต่อไปเรื่อย ๆ ซึ่งสัญญาณก็ยังคงสามารถจะแปลงคืนเป็นอนาลอกหรือกระทำ D/A ได้

แต่หากเราลดความถี่ลงต่อไปอีก สเปคตรัมของความถี่ก็จะขยับเข้ามาอีกจากผลของความถี่ Sampling ที่ลดลง ทำให้เกิดการ Overlap ของสเปคตรัมความถี่_ดังแสดงในรูปที่ 2.4c นั่นคือจะไม่สามารถทำการแปลงสัญญาณนี้คืนสู่อนาลอกได้ และโดยปกติแล้วหาก Sampling ด้วยความถี่ตามทฤษฎีนี้คือ 2f ในทางปฏิบัติไม่สามารถคืนสัญญาณได้เพราะไม่สามารถออกแบบ Low pass filter ที่มีลักษณะของการ Cut off ความถี่ได้อย่างแสดงในรูป 2.4d ดังนั้นจึงควรอย่างยิ่งที่ต้อง Sampling ความถี่ด้วยความถี่ที่สูงกว่าทฤษฎีกำหนด เพื่อประกันว่าสัญญาณสามารถคืนเป็นสัญญาณอนาลอกได้แน่นอนและถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

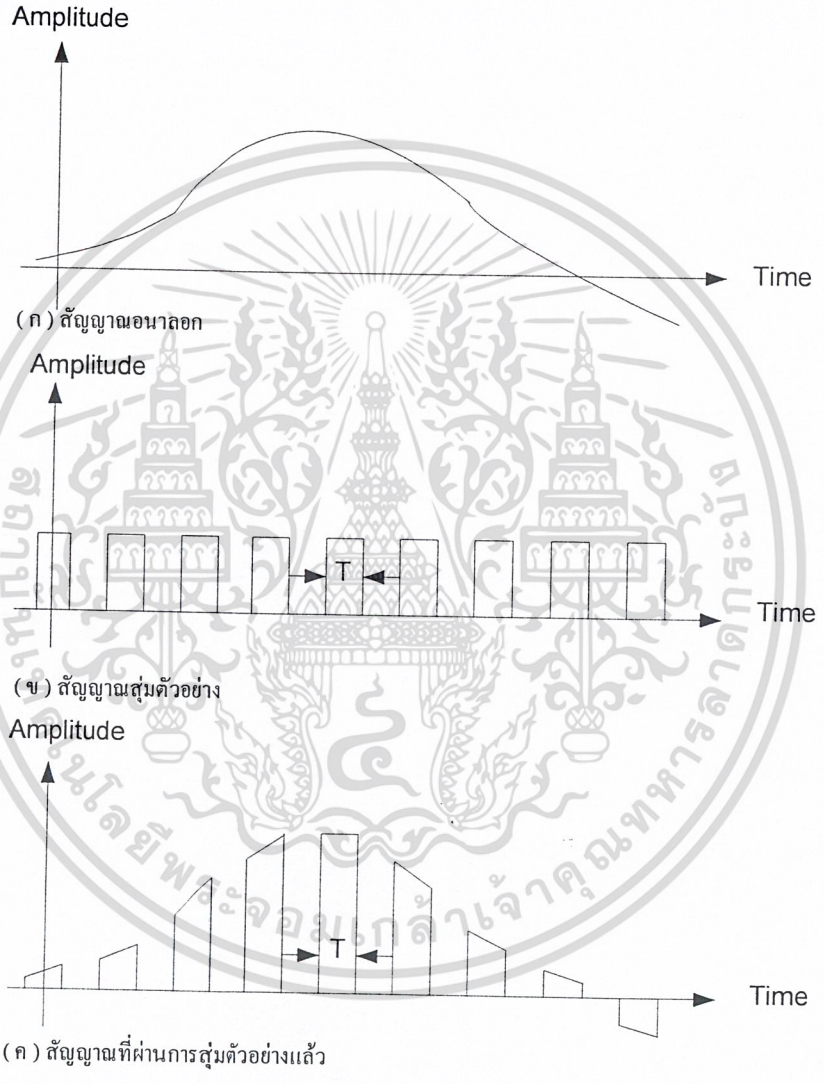


รูปที่ 2.4 ผลของการ Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การสุ่มตัวอย่างแบบธรรมชาติ (Natural Sampling)

สัญญาณ PAM ที่ได้จากการสุ่มตัวอย่างแบบนี้จะง่ายต่อการสร้างเพียงแค่ใช้สวิทช์อนาลอกก็สามารถทำได้ ลักษณะของสัญญาณจะเห็นได้ดังรูป 2.5 ซึ่งจะเห็นว่าสัญญาณ PAM ที่ได้มียอดของพัลส์เปลี่ยนไปตามสัญญาณอนาลอก

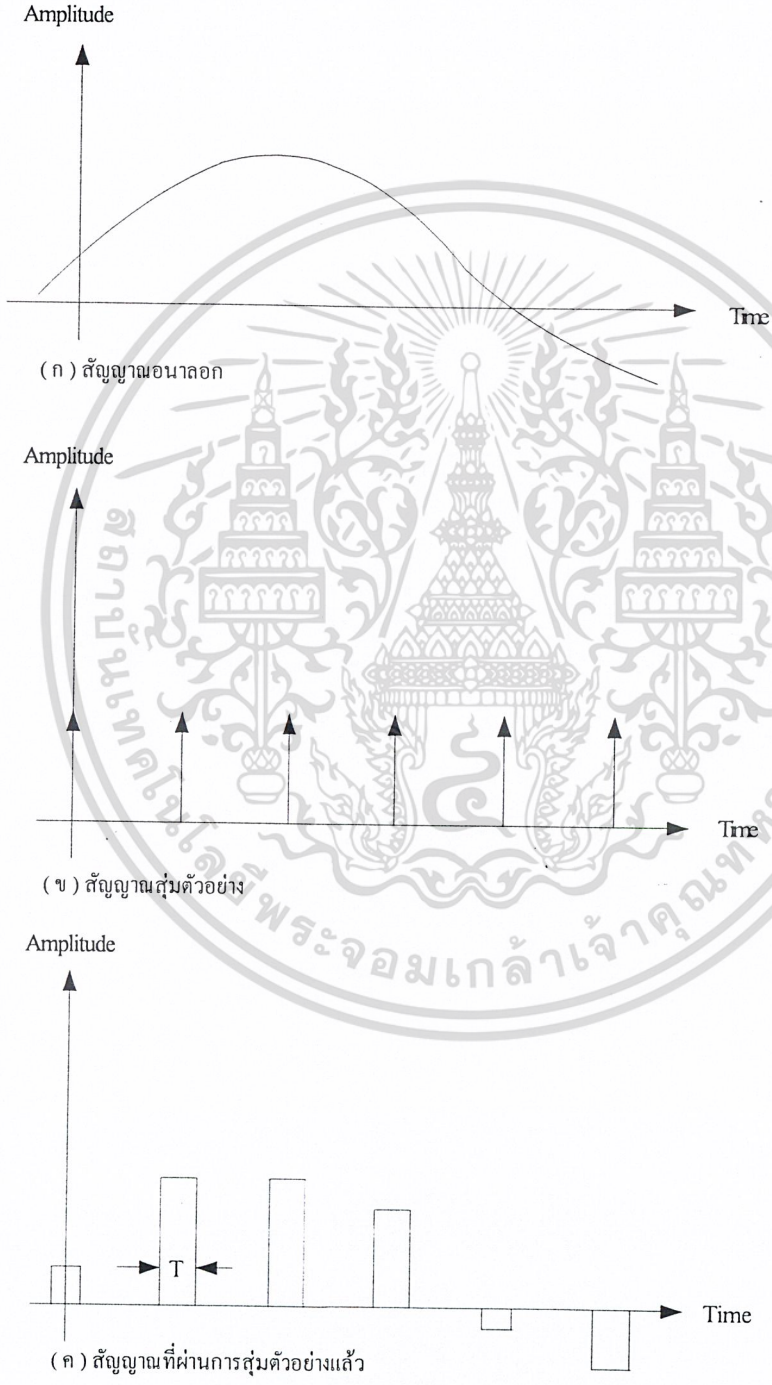


รูปที่ 2.5 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Natural Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การสุ่มตัวอย่างชั่วขณะหนึ่ง (Instantaneous Sampling)

สัญญาณที่ได้จากการสุ่มตัวอย่างนี้เรียกว่า Flat-Top PAM ซึ่งสัญญาณอนาลอกจะถูกแปลงโดยใช้ Flat-Top Sampling ดังแสดงในรูป 2.6 ซึ่งจะเห็นได้ว่าสัญญาณ PAM ที่ได้จะมียอดของพัลส์ที่เรียบตลอดทุกๆ พัลส์



รูปที่ 2.6 สัญญาณ PAM ที่สุ่มตัวอย่างด้วย Flat-Top Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสุ่มตัวอย่างนี้ จะแปลงสัญญาณอนาลอกให้เป็นขบวนพัลส์ซึ่งเรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

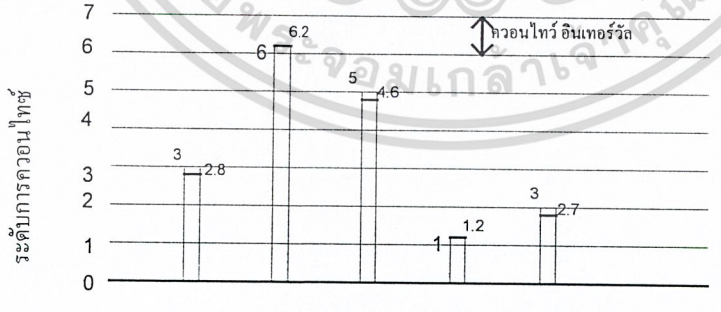
1) สัญญาณอินพุทต้องไม่มีองค์ประกอบเกินความถี่สูงสุด fm
2) พัลส์ที่ใช้สำหรับสุ่มตัวอย่างจะต้องเป็นพัลส์มีความกว้าง 0 และมีแอมปลิจูดอนันต์
3) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ (Ideal Low Pass Filter) ซึ่งยอมให้ความถี่ต่ำกว่า fm ผ่านได้ทั้งหมด

แต่อย่างไรก็ตามในทางปฏิบัติจะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าวข้างต้นได้อย่างสมบูรณ์

2.3 การจัดระดับ (Quantizing)

การเทียบระดับแรงดันเป็นกระบวนการในการนำสัญญาณที่ถูกสุ่มแล้วมาใช้ และยังถือว่าเป็นสัญญาณอนาลอกคือ มันจะมีแอมปลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วง ๆ เรียกว่าช่วง (quantizing interval) การจัดกระบวนการที่เปลี่ยนแอมปลิจูดของ PAM เหล่านั้นแต่ละช่วงจะถูกแทนค่าด้วยค่าคงที่ที่มีชื่อเรียกว่าค่าควอนไทซ์ ซึ่งระดับค่าควอนไทซ์ในสถานีต้นทางและสถานีปลายทางจะเหมือนกันทุกประการ

โดยทั่วไปขั้นตอนการเทียบระดับแรงดันจะเกี่ยวข้องกับการเข้ารหัสสัญญาณอย่างมากการจัดระดับควอนไทซ์มีจุดประสงค์หลัก เพื่อปรับค่าแรงดันของสัญญาณที่ผ่านกระบวนการสุ่มสัญญาณมาแล้วให้ลงตัวกับค่าแรงดันมาตรฐานจำนวนหนึ่งที่กำหนดไว้ โดยต้องตรงกับระดับควอนไทซ์แต่ละค่า เพื่อทำการเปลี่ยนเป็นรหัสไบนารีนั่นเอง



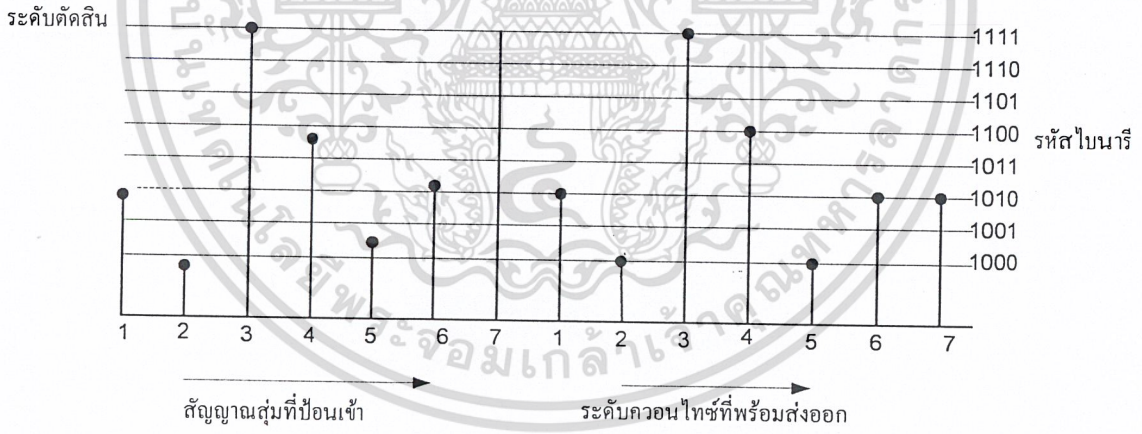
รูป 2.7 การจัดระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะแสดงด้วยค่าระดับควอนไทซ์ที่ใกล้เคียงที่สุด เช่น ขนาดของตัวอย่างที่ t = t1 คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าตัวอย่างที่ t = t2 มีขนาด 6.2 จะจัดเป็น 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่จะถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณอนาลอกเท่านั้น

การจัดระดับควอนไทซ์ตามที่กล่าวมา เป็นรูปแบบที่ช่วงควอนไทซ์แต่ละช่วงมีค่าเท่ากัน รูปที่ 2.8 แสดงถึงลักษณะการแปลงสัญญาณที่ผ่านกระบวนการสุ่มสัญญาณมาแล้วให้อยู่ในระดับควอนไทซ์ซึ่งแทนค่าด้วยข้อมูลไบนารีขนาด 4 บิต ตามข้อกำหนดพีซีเอ็มของ CCITT กำหนดให้ขนาดของข้อมูลที่ใช้แทนแต่ละระดับควอนไทซ์ มีขนาด 8 บิต โดยบิตแรก (บิตซ้ายสุด) เป็นการกำหนดขั้วของสัญญาณ อีก 7 บิต ที่เหลือกำหนดขนาดของสัญญาณ ดังนั้นจึงสามารถสร้างระดับควอนไทซ์ได้ถึง 28 = 256 ระดับ

การผิดเพี้ยนของสัญญาณที่เกิดจากการควอนไทซ์เป็นเรื่องที่หลีกเลี่ยงไม่ได้ ทั้งนี้เนื่องจากหากพิจารณาถึงเครื่องรับปลายทาง สัญญาณอนาลอกซึ่งถูกสร้างกลับมาจากกลุ่มของสัญญาณสุ่มจะมีรูปร่างผิดเพี้ยนไปจากสัญญาณอนาลอกต้นฉบับซึ่งถูกส่งที่ต้นทาง อันเนื่องมาจากกระบวนการแทนค่าแรงดันของสัญญาณสุ่มให้เป็นระดับควอนไทซ์ ณ สถานีต้นทาง ซึ่งระดับควอนไทซ์ดังกล่าวมีอยู่เป็นจำนวนจำกัด สัญญาณที่ป้อนเข้าจึงถูกแทนค่าโดยประมาณดังแสดงใน รูปที่ 2.8



รูปที่ 2.8 การควอนไทซ์แบบระดับคงที่ พร้อมการแปลงค่าเป็นรหัสไบนารีขนาด 4 บิต

สมมุติว่ามีระดับควอนไทซ์อยู่ 256 ระดับและกำหนดแรงดันที่ป้อนเข้าคือ 5.12 โวลต์พบว่าระดับควอนไทซ์แต่ละขั้นจะอยู่ห่างกัน 20 มิลลิโวลท์ ถ้าสัญญาณสุ่มที่มีขนาดแรงดันอยู่ในช่วงแรงดันตัดสิน 140 ถึง 150 มิลลิโวลต์ จะถูกแทนค่าที่ระดับแรงดันควอนไทซ์ 145 มิลลิโวลต์เหมือนกันทั้งหมด ผลต่างระหว่างสัญญาณสุ่มที่ถูกป้อนเข้ากับสัญญาณที่ถูกแปลงกลับคืนที่ เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า สัญญาณรบกวนควอนไทซ์ การลดสัญญาณรบกวนควอนไทซ์ทำได้โดยการเพิ่มจำนวนของบิตที่แทนค่าระดับควอนไทซ์ ตารางที่ 1 แสดงถึงความสัมพันธ์ระหว่างจำนวนบิตกับระดับควอนไทซ์ที่มีได้

ตารางที่ 1 ความสัมพันธ์ระหว่างจำนวนบิตและระดับควอนไทซ์ที่มีได้

จำนวนบิต	จำนวนระดับควอนไทซ์
6	64
7	128
8	256
9	512
10	1024
11	2408
12	4096

หากพิจารณาถึงอัตราส่วนสัญญาณต่อระดับแรงดันรบกวน (S/N : Signal to Noise ratio) ที่เกิดจากควอนไทซ์ในระบบพีซีเอ็ม สามารถคำนวณโดย

$$(S/N)_{\text{เดซิเบล}} = (6 \times n + 2.76)$$

โดยที่ n : เป็นจำนวนที่ใช้แทนระดับควอนไทซ์ (เป็นการควอนไทซ์คงที่)

ในระบบสื่อสารโดยทั่วไป การส่งสัญญาณผ่านสื่อกลางประเภทต่าง ๆ จะต้องรักษาค่า S/N ของสัญญาณที่ทำการส่งให้มีค่าไม่น้อยกว่า 60 เดซิเบล นั่นคืออัตราส่วนระหว่างสัญญาณเสียงและสัญญาณรบกวนต้องมีค่ามากกว่า 1000 เท่าจะเห็นว่าสำหรับการจัดระดับควอนไทซ์แบบคงที่จำนวนบิตที่ใช้แทนแต่ละระดับควอนไทซ์ต้องมีอย่างน้อย 10 บิต หรือมี 1024 ระดับควอนไทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 ความสัมพันธ์ระหว่างจำนวนบิทและค่า S/N

จำนวนบิท	ค่า S/N (เดซิเบล)
6	37.76
7	43.76
8	49.76
9	55.76
10	61.76
11	67.76
12	73.76

สำหรับการจัดระดับควอนไทซ์แบบคงที่ จะพบว่าเกิดปัญหาของสัญญาณรบกวนควอนไทซ์ขึ้นที่ระดับสัญญาณค่าต่ำ ๆ มากว่าระดับสัญญาณที่มีค่าแรงดันสูง ด้วยเหตุผลดังกล่าวจึงควรที่จะมีการขยายขนาดของสัญญาณที่มีระดับต่ำให้มากกว่าสัญญาณระดับสูงทั้งนี้เพื่อควบคุมค่า S/N ให้เกิดขึ้นในระดับคงที่ตลอดทุกระดับสัญญาณ วิธีการสำหรับระบบสื่อสารแบบอนาลอกจะทำการลดไดนามิกเรนจ์ (compressing) ของสัญญาณที่ปลายด้านเครื่องส่ง และขยายไดนามิกเรนจ์ของสัญญาณเสียงที่ทางเข้าเครื่องรับ (expanding) ซึ่งรวมเรียกกระบวนการดังกล่าวว่า (companding)

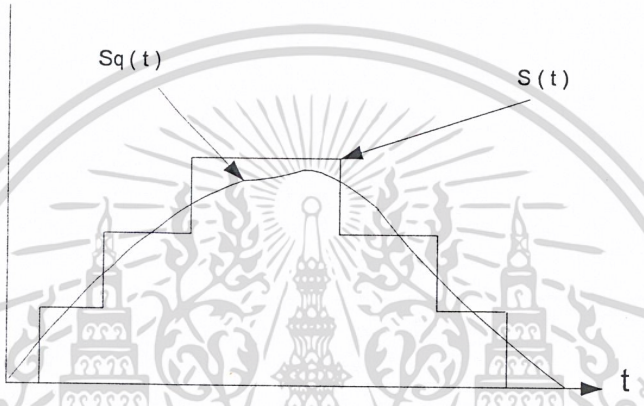
2.4 คอมแพนดิ้ง (Companding)

ตามที่ได้กล่าวมาแล้วว่าเราไม่สามารถหลีกเลี่ยงควอนไทซ์นอยซ์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิตที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิตอลให้สูงขึ้นตามปกติสัญญาณรบกวนควอไทซ์จะเกิดขึ้นอย่างสม่ำเสมอโดยไม่เกี่ยวข้องกับแอมปลิจูดของสัญญาณเดิมหรืออีกนัยหนึ่งคือพาวเวอร์ของสัญญาณรบกวนควอนไทซ์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ ในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียง (S) ต่อสัญญาณรบกวนควอนไทซ์ (N) เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N จะดีกว่ากรณีของสัญญาณซึ่งมีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาสัญญาณรบกวนควอนไทซ์ในบริเวณที่สัญญาณมีระดับต่ำอย่างเช่น รูปที่ 2.9 กรณีที่เป็นการจัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับแบบฟอร์มจะเห็นได้ว่า เมื่อสัญญาณพาวเวอร์ต่ำ สัญญาณรบกวนจะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณจึงทำให้ S/N น้อยลงด้วย เหตุนี้จึงใช้การจัดระดับวิธีอื่น

กล่าวคือแบบนอน-ยูนิฟอร์ม (Non – Unifrom Quantizing) บริเวณที่สัญญาณมีแอมปลิจูดต่ำจะใช้ควอนไทซ์สเต็ปแคบ ๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีแอมปลิจูดสูง จะใช้ควอนไทซ์สเต็ปกว้าง ๆ ซึ่งการทำให้เป็นแบบนอน-ยูนิฟอร์มนั้นจะใช้หลักการของ Companding เข้าช่วย

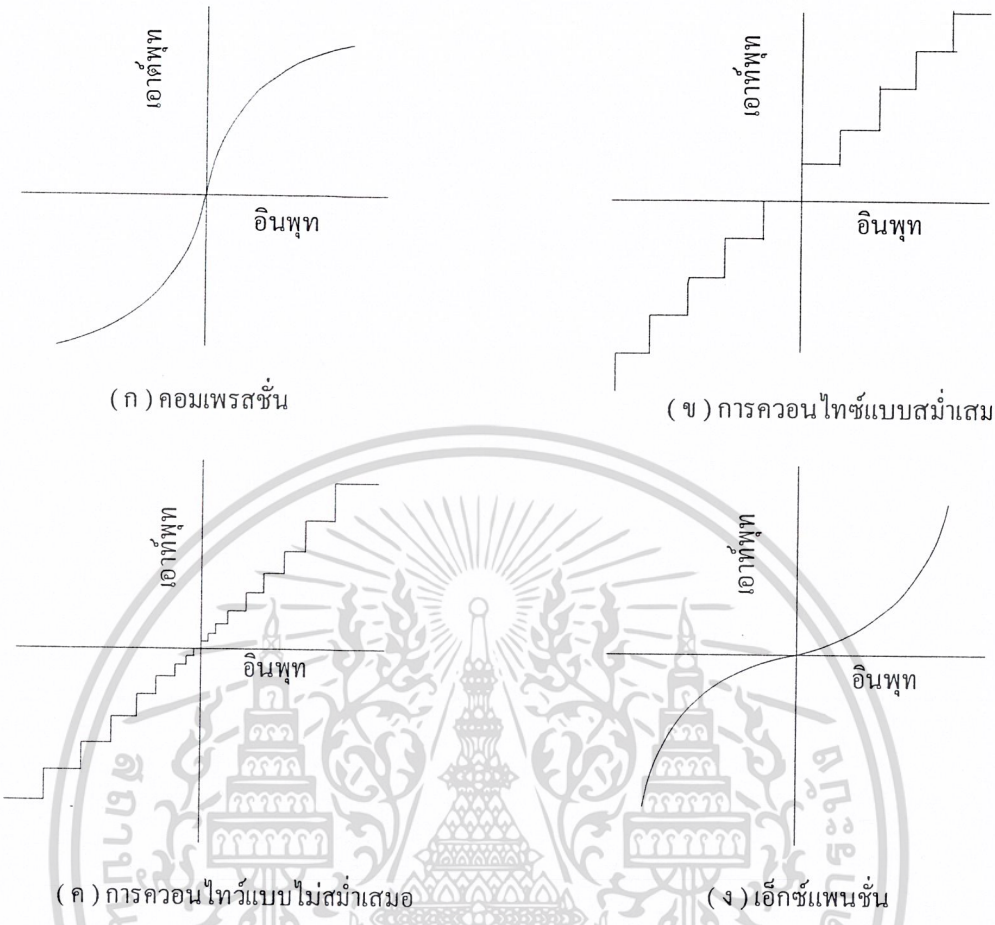


รูปที่ 2.9 การควอนไทซ์และสัญญาณรบกวนควอนไทซ์

คอมแพนดิ้งเป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอ็กซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ อย่างไรก็ตามตัวอย่างการจัดระดับควอนไทซ์แบบนอน-ยูนิฟอร์ม ได้แสดงไว้ใน รูปที่ 2.10 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ซึ่งมีคุณลักษณะของอินพุท/เอาต์พุทตาม รูปที่ 2.10 (ก) แล้วทำการจัดระดับแบบยูนิฟอร์มตาม รูปที่ 2.10 (ข) ก็จะได้การจัดระดับแบบนอน-ยูนิฟอร์มตาม รูปที่ 2.10 (ค) สำหรับทางด้านรับสัญญาณ PCM ผ่านขั้นตอนการถอดรหัสแล้วก็ผ่านไปยังวงจรเอกซ์แพนเดอร์ซึ่งมีลักษณะตรงกันข้ามกับคอมเพรสเซอร์ตาม รูปที่ 2.10 (ง)

อนึ่งกรณีที่จัดระดับแบบยูนิฟอร์มนั้นจะใช้ประมาณ 2000 ระดับ จึงจะรักษาคุณภาพของสัญญาณได้ดีในการเข้ารหัสจึงจะต้องใช้ถึง 11 บิทต่อตัวอย่าง 1 ตัว แต่ถ้าใช้แบบนอน-ยูนิฟอร์มจะใช้เพียง 7 บิต ซึ่งมีระดับเพียง 128 เท่านั้น ก็เพียงพอที่จะทำให้ S/N ใกล้เคียงกับการจัดระดับแบบยูนิฟอร์ม CCITT กำหนดให้ใช้ 8 บิตต่อตัวอย่าง 1 ตัว และระดับการควอนไทซ์ 256 ก็จะเป็นการรับรองว่าสัญญาณจะมีคุณภาพที่ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) คอมเพรสชั่น (ข) การควอนไทซ์แบบสม่ำเสมอ

(ค) การควอนไทว์แบบไม่สม่ำเสมอ (ง) เอ็กซ์แพนชั่น

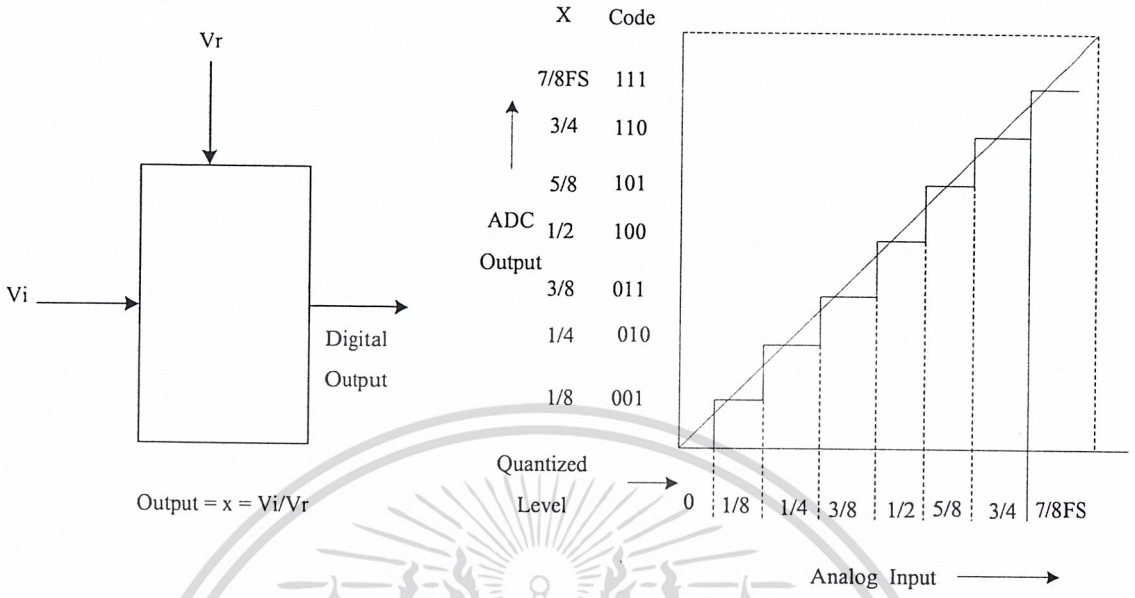
รูปที่ 2.10 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์

2.5 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC)

การแปลงสัญญาณอนาลอกเป็นดิจิตอล เป็นกระบวนที่ทำการแบ่งสัญญาณให้สัดส่วนอยู่ภายในค่าที่ถูกกำหนดไว้ซึ่งถ้ามีสัญญาณอนาลอกอินพุต Vi เข้ามาภายในวงจรก็จะถูกแปลงให้เป็นเศษส่วนของขนาดสัญญาณที่มากที่สุด ที่วงจรยังสามารถทำงานได้ตามข้อกำหนดโดยจะทำการเปรียบเทียบกับสัญญาณอ้างอิง Vr แล้วจะใช้ดิจิตอลมาช่วยในการเข้ารหัสเพื่อแสดงค่าแทนเศษส่วนที่ได้ดังที่แสดงไว้ใน รูปที่ 2.11 ซึ่งแสดง Block Diagram การแปลงสัญญาณอนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.11 การเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล

ก) ความสัมพันธ์การแปลงสัญญาณจากอนาลอกเป็นดิจิตอล

ข) คุณสมบัติทางอุดมคติในการแบ่งระดับสัญญาณของ ADC ขนาด 3 บิต

ถ้าเรามีวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC) ที่ให้รหัสเลขฐานสองออกมา n บิต เราสามารถเข้ารหัสข้อมูลได้ทั้งหมด 2n ระดับนั้นเองและแต่ละระดับของสัญญาณดีสครีตที่อยู่ในระดับเดียวกันจะแทนด้วยรหัสค่าเดียวกัน ส่วนระดับจะแทนค่ารหัสที่แตกต่างกันไปตามระดับการควอนไทซ์นั้น ๆ ซึ่งแต่ละระดับจะแทนด้วยขนาดของบิตที่มีนัยสำคัญต่ำ (LSB) ดังนั้น

$$Q = LSB = FS/2n$$

เมื่อ Q คือค่าควอนตัมของ LSB หมายถึงค่าช่วงขนาดของสัญญาณอนาลอกใน 1 LSB และ FS คือระดับอินพุตลอกเต็มสเกล (Full –scale analog I/P level) วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลจะได้จากค่า ควอนตัมที่ได้เราจะได้ว่าค่าอนาลอกทุก ๆ ค่าในควอมตัมเดียวกันจะถูกแทนที่ด้วยรหัสดิจิตอลเพียงค่าเดียวเท่านั้น เช่นถ้าระดับของการควอนไทซ์ห่างกันช่วงละหนึ่งโวลต์นั่นคือระดับแรงดันจะอยู่ในช่วงระหว่าง 0-1 โวลต์ ดังนั้นไม่ว่าสัญญาณอนาลอกจะมีค่าเป็น 0.1, 0.2, 0.3...0.9 โวลต์ก็จะแทนด้วยรหัส 00 เหมือนกันทั้งหมดเนื่องจากถือว่าอยู่ในควอนตัมเดียวกันโดยทั่ว ๆ ไป เราจะใช้เปรียบเทียบที่ค่ากึ่งกลางของแต่ละช่วงหรือที่เรียกว่า เทรสโฮล์ด (threshold) ดังนั้นสัญญาณอินพุตจะต่างจากระดับเทรสโฮล์ดมากที่สุด 1/2 LSB ซึ่งจะเห็นว่าถ้าเราทำการเพิ่มจำนวนบิตเอาต์พุตของการแปลงสัญญาณอนาลอกเป็นดิจิตอลเราก็จะสามารสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

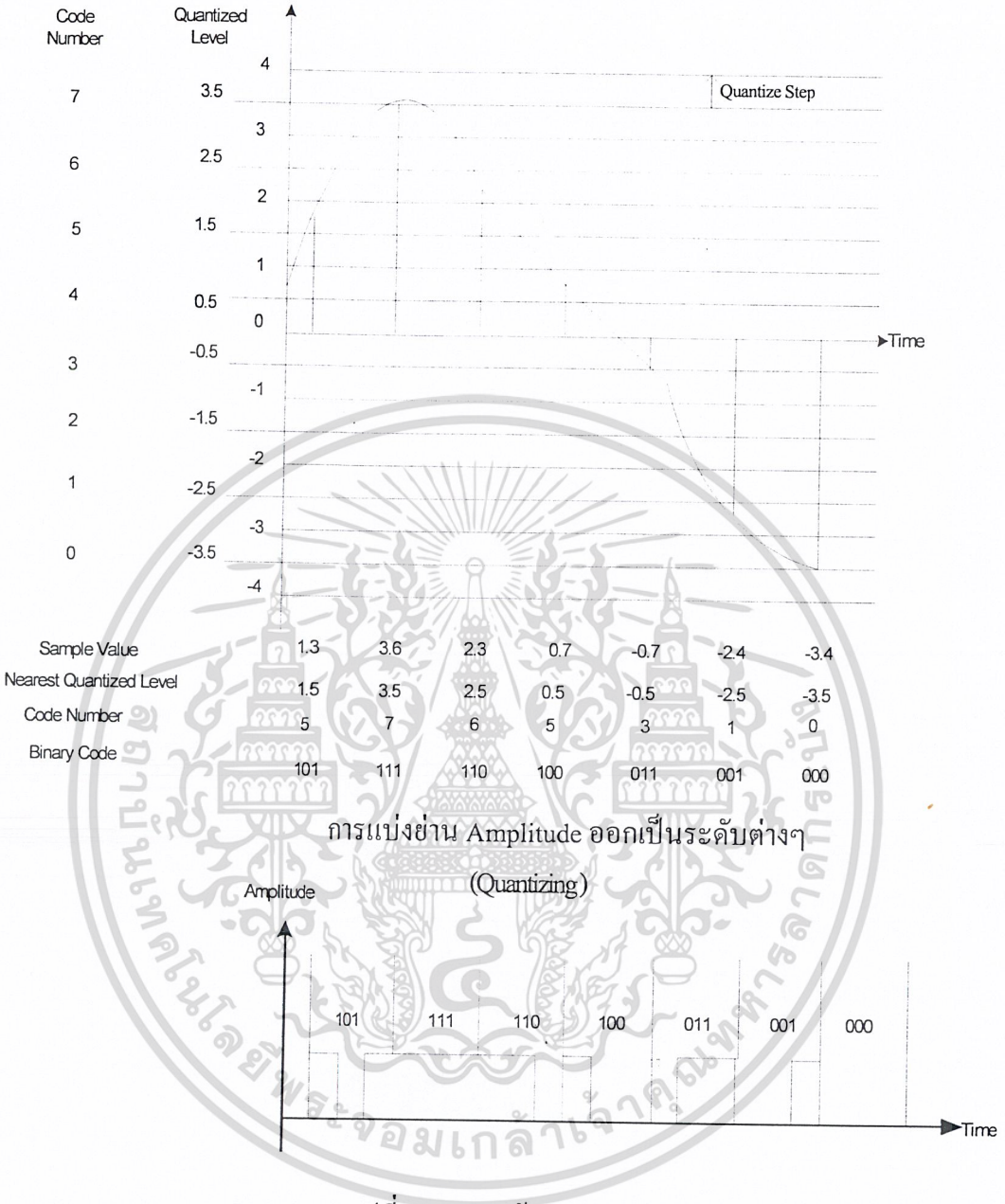
46521

รบกวนเนื่องจาการควอนไทซ์เซชั่น (Quantization noise) รูปที่ 2.11ข แสดงความสัมพันธ์โดยการแปลงสัญญาณโดยใช้ ADC ขนาด 3 บิต ทางอุดมคติดังนั้นขนาดของ LSB จะมีค่าเท่ากับ 1/2 n LSB=1/8 LSB และอินพุตจะถูกควอนไทซ์ได้ 8 ระดับคือจาก 0 ถึง 7/8 FS จากค่าระดับดังกล่าวจะเห็นว่า ค่าสูงสุดของการเข้ารหัสสำหรับการเข้ารหัสเลขฐานสองด้วยจำนวนบิตเท่ากับ 3 บิต มีค่า 111 จะเท่ากับ 7/8 FS ซึ่งไม่เท่ากับค่า FS ดังนั้นเราจะได้ทราบว่าค่าสูงสุดของการเข้ารหัสจะมีค่าเท่ากับค่า FS - 1LSB นั่นเอง

2.6 การเข้ารหัส (Encoder)

เมื่อได้ทำการสุ่มตัวอย่างสัญญาณอนาลอกเรียบร้อยแล้ว เราก็จะได้สัญญาณ PAM ที่มีขนาดของแอมปลิจูดต่าง ๆ กัน ส่งเข้าไปยังตัวควอนไทซ์ โดยกำหนดให้ระดับควอนไทซ์ซึ่งตรงกันหรือใกล้เคียงที่สุดกับระดับของแอมปลิจูดที่สุ่มมาได้ ตัวเข้ารหัส (Coder) ก็จะผลิตสัญญาณรหัสไบนารี (Binary Code Signal) ตรงตามระดับควอนไทซ์นั้น ๆ แล้วจึงจะส่งออกไปในสายจากรูปที่ 2.12 สมมุติให้สัญญาณ m(t) ถูกจำกัดค่าแอมปลิจูดอยู่ในช่วง –4V ถึง 4V ขนาดของสเต็ปคือ x มีค่าเป็น 1V ดังนั้นจำนวนระดับการควอนไทซ์ทั้งหมดจะมี 8 ระดับคือ –3.5V, -2.5V,……, +3.5V โดยกำหนดให้ –3.5V มีรหัสเป็น 0 -2.5V,มีรหัสเป็น 1 ไปเรื่อยๆ จนถึง +3.5V จะมีรหัสเป็น 7 ซึ่งรหัส 0 จะมีรหัสมีไบนารี 000, รหัส 1 จะมีไบนารีเป็น 001 ไปเรื่อย ๆ จนถึงรหัส 7 มีรหัสไบนารีเป็น 111 โดยที่ขนาดแอมปลิจูดของ m(t) จะถูกจัดให้อยู่ในระดับของการควอนไทซ์ที่มีค่าใกล้เคียงกับค่าแอมปลิจูดที่เป็นจริงมากสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

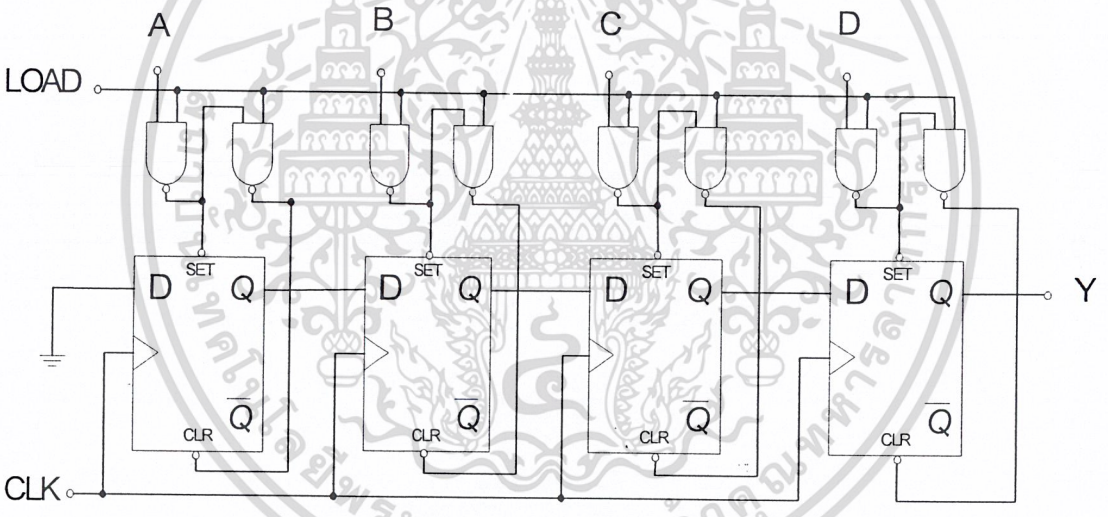


รูปที่ 2.12 การเข้ารหัส (Coding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก (Parallel Input – Serial Output Shilft Resister : PISO

วงจรเลื่อนสัญญาณแบบขนานเข้า และแบบอนุกรมออกได้ถูกนำมาใช้เพื่อเปลี่ยนข้อมูลแบบขนานเป็นอนุกรมซึ่งมีหลักการพอสรุปได้ว่า ขั้นแรกต้องทำการเลื่อนข้อมูลที่จะเปลี่ยนจากแบบขนานเป็นแบบอนุกรมเข้าไปในตัวรีจิสเตอร์ โดยเลื่อนเข้าไปแบบขนานเข้าไปไว้ในตัวรีจิสเตอร์ตัวเลื่อนก่อนทั้งหมดเรียกว่า การโหลด (load) ข้อมูลเข้าไปในรีจิสเตอร์ หลังจากนั้นเมื่อมีสัญญาณนาฬิกาเข้ามาหนึ่งครั้งวงจรก็จะทำการเลื่อนข้อมูลออกไป 1 บิต และ เมื่อมีสัญญาณนาฬิกาเข้ามาอีก 1 ครั้งก็จะทำการเลื่อนข้อมูลที่สองต่อไปจนครบ 4 บิต หลังจากนั้นเราก็ทำการโหลดข้อมูลใหม่ที่ต้องการเลื่อนเข้าไปอีกแล้วทำการป้อนสัญญาณนาฬิกาเพื่อเลื่อนข้อมูลชุดต่อไปแสดงในรูปที่ 2.13



รูปที่ 2.13 วงจรเลื่อนสัญญาณแบบขนานเข้าและแบบอนุกรมออก ขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input						Output				
Load	Clock	A	B	C	D	Q1	Q2	Q3	Q4	Y
1	1	1	0	1	0	1	0	1	0	0
0	2	X	X	X	X	0	1	0	1	1
0	3	X	X	X	X	0	0	1	0	0
0	4	1	0	1	0	0	0	0	1	1
0	5	X	X	X	X	0	0	0	0	0
1	6	1	1	0	0	1	1	0	0	0
0	7	X	X	X	X	0	1	1	0	0
0	8	X	X	X	X	0	0	1	1	1
0	9	1	0	1	0	0	0	0	1	1
0	10	X	X	X	X	0	0	0	0	0

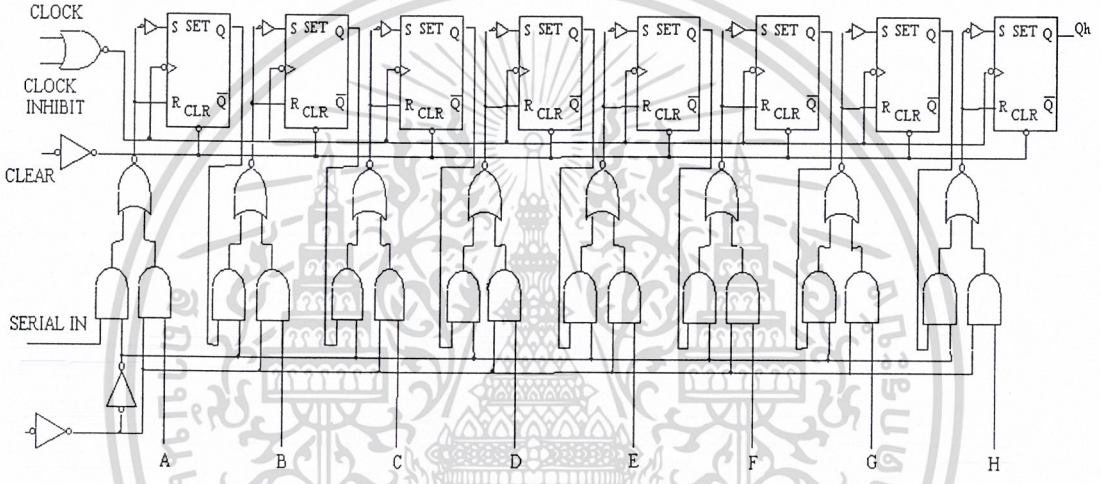
ตารางที่ 3 การป้อนเข้าและออกของข้อมูลที่ออกจากวงจรรูปที่ 2.13

จากรูปที่ 2.13 เป็นวงจร PISO ขนาน 4 บิตที่ใช้ ดี-ฟลิปฟลอป มาทำเป็นรีจิสเตอร์ เลื่อน โดยใช้สัญญาณนาฬิกาป้อนให้กับดี-ฟลิปฟลอปทุกตัวร่วมกัน จะเห็นว่าเมื่อเราป้อนให้ขา load มีสภาวะลอจิก 1 และป้อนอินพุตเข้าที่ขา A B C และ D ตามตารางที่ 3 แล้วข้อมูลจะถูกโหลดเข้าไปในดี-ฟลิปฟลอปมีค่าเท่ากับสัญญาณที่ป้อนให้กับขา A B C และ D ซึ่งข้อมูลที่ป้อนนี้เข้าไปในตัวของดี-ฟลิปฟลอปได้ก็เพราะสภาวะที่ลอจิกไปสั่งให้ขา set และขา clr ของดี-ฟลิปฟลอปทำงานโดยที่เมื่อขา set จะถูกกระตุ้นโดยสภาวะลอจิก 0 จะทำให้เอาต์พุตของดี-ฟลิปฟลอปมีสภาวะลอจิกที่เป็น1ทันที โดยไม่สนใจอินพุตที่เข้ามา ในลักษณะเดียวกัน ถ้าที่ขา clr ถูกกระตุ้นโดยสภาวะลอจิก 0 ก็จะทำให้เอาต์พุตของดี-ฟลิปฟลอปมีสภาวะลอจิกเป็น 0 ทันทีโดยไม่สนใจว่าที่ขาอินพุตจะเป็นอะไร ดังนั้นจะเห็นว่าเมื่อขาโหลดมีสภาวะลอจิก 1 จะทำให้ข้อมูลที่ป้อนที่ขา A B C และ D จะไปปรากฏที่เอาต์พุตของดี-ฟลิปฟลอปทันที เมื่อเราให้ขาโหลดมีสภาวะลอจิก 0 (สั่งให้ทำการเลื่อนข้อมูล) สัญญาณจะผ่านแนนเกต (NAND GATE) ได้เอาต์พุตเป็นสภาวะลอจิก 1 เข้าที่ขา set และ clr โดยไม่สนใจว่าที่ขาอินพุตอีกขาหนึ่งของแนนเกต (NAND GATE) จะมีสภาวะลอจิกอะไร จากรูปที่ 2.13 จะเห็นขาอินพุตต่อลงกราวด์ แสดงว่ามีสภาวะลอจิก 0 ดังนั้นเมื่อมีสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นาฬิกาเข้าจะเข้าจะทำให้ข้อมูลลอจิก 0 ของดี-ฟลิปฟลอปตัวแรกเลื่อนไปเป็นเอาต์พุต ส่วนเอาต์พุตตัวแรกก็จะถูกเลื่อนเข้าไปเป็นอินพุตของดี-ฟลิปฟลอปตัวที่สองและก็จะเลื่อนไปอย่างนี้เรื่อย ๆ จนถึงดี-ฟลิปฟลอปตัวที่ 4 ก็จะถูเลื่อนออกไปเป็นข้อมูลที่เป็นแบบอนุกรมบิตแรก และเมื่อเลื่อนครบหมดแล้วก็จะทำการโหลดค่าใหม่เพื่อเป็นแบบอนุกรมต่อไป

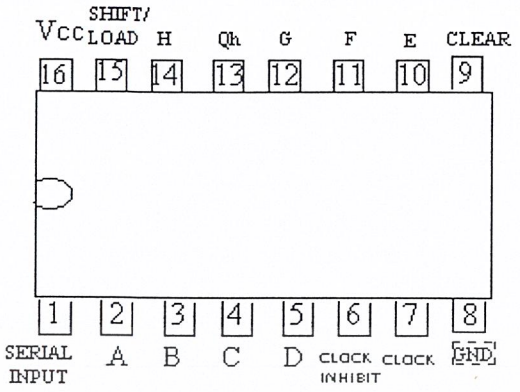
วงจรรวมที่ทำหน้าที่เป็นรีจิสเตอร์แบบขนานเข้า-อนุกรมออก มีอยู่หลายเบอร์ด้วยกันแต่จะขออธิบายการทำงานของไอซีเบอร์ 74LS166 เพื่อนำไปใช้งานต่อไป ซึ่งมีโครงสร้างภายในดังรูปที่ 2.14 และมีแผนภาพขาสัญญาณและฟังก์ชันการทำงานดัง รูปที่ 2.15



รูปที่ 2.14 วงจรเลื่อนสัญญาณแบบขนานเข้า และอนุกรมออกขนาด 8 บิตของไอซีเบอร์74LS166

Input						Internal Output		Output
Clear	Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A…..H	QA	QB	QH
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{AO}	Q_{BO}	Q_{HO}
H	L	L	↑	X	a……..h	A	b	.h
H	H	L	↑	H	X	H	$Q_A a$	Q_{GO}
H	H	L	↑	L	X	L	$Q_A a$	Q_{GO}
H	X	X	↑	X	X	Q_{AO}	Q_{BO}	Q_{HO}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS166

จากรูปที่ 2.15 การโหลดข้อมูลเข้าไปในตัวรีจิสเตอร์ตัวเลื่อนจะต้องให้สัญญาณที่ชิพ/โหลด (SHIFT/LOAD) มีสภาวะลอจิกเป็น 0 เมื่อผ่านอินเวอร์เตอร์ แล้วจะทำให้สัญญาณออกมามีสภาวะลอจิกเป็น 1 ซึ่งถูกต่อไปเป็นอินพุตตัวขวาของแอนเกตทั้ง 8 ตัว ข้อมูลที่จะโหลดเข้าไปในตัวรีจิสเตอร์จะถูกต่อเข้าจุด A, B, C, D, E, F, G และ H ดังนั้นสัญญาณที่ออกมาจากแอนเกตตัวขวาจะมีค่าเป็น 0 หรือ 1 ขึ้นอยู่กับข้อมูลที่ป้อนเข้าจากจุด A ถึง H

ส่วนแอนเกตตัวซ้าย ถ้าขาชิพ/โหลดมีสภาวะลอจิกเป็น 0 เมื่อผ่านอินเวอร์เตอร์ตัวแรกก็จะมีสภาวะลอจิก 1 และเมื่อผ่านอินเวอร์เตอร์ตัวที่สองก็จะมีสภาวะลอจิกกลับเป็น 0 เหมือนเดิม เมื่อผ่านแอนเกตตัวซ้ายเอาต์พุตที่ออกมาก็จะมีสภาวะเป็น 0 ตลอด เมื่อนำเอาต์พุตของแอนเกตทั้งสองตัวที่เข้าที่ขาอินพุตของนอร์เกต (NOR GATE) เอาต์พุตที่ออกมาจะมีสภาวะลอจิกตามเอาต์พุตของแอนเกตตัวขวาตลอด แต่สภาวะกลับกันเมื่อนำสภาวะที่ได้ไปผ่านอินเวอร์เตอร์ก่อนเข้าขา S ของอาร์เอสฟลิปฟลอป (R-S flipflop) แล้วถึงจะไปเข้าขา R ของอาร์เอสฟลิปฟลอปก็จะได้เป็นดี-ฟลิปฟลอปแบบกลับสภาวะลอจิก ดังนั้นจะเห็นว่าเมื่อเอาต์พุตกลับสภาวะแล้วออกจากนอร์เกตมาผ่าน อาร์เอสฟลิปฟลอปก็จะกลับสภาวะอีกทีหนึ่งทำให้เอาต์พุตขา Q มีสภาวะเมื่อกับอินพุตที่ป้อนให้ที่ขา A ถึง H ที่ต่อกับฟลิปฟลอปแต่ละตัว

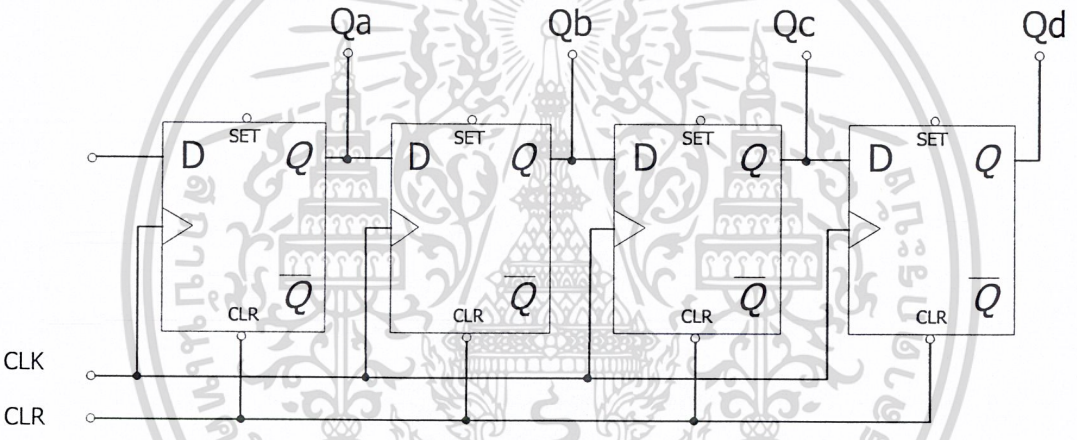
เมื่อโหลดค่าข้อมูลจาก A ถึง H เข้าไปในอาร์เอส ฟลิปฟลอปเรียบร้อยแล้วจะทำการเลื่อนข้อมูลได้โดยป้อนสภาวะลอจิก “1” ให้กับขา ชิพ/โหลดและให้ขาซีเรียลอิน (SERIAL IN) มีลอจิกคงที่เป็น “1” ดังนั้นจะมีลักษณะการทำงานคล้ายกับการโหลด และจากสภาวะลอจิกต่าง ๆ ที่ป้อนเข้าขาต่าง ๆ ของเกตภายในวงจรของ 74LS166 จะเห็นว่าแอนเกตตัวขวามีลอจิกเท่ากับ 0 ตลอด ดังนั้นจะสนใจเฉพาะเอาต์พุตของแอนเกตตัวซ้ายเท่านั้น ซึ่งขาอินพุตของแอนเกตตัวซ้ายขาหนึ่งต่อกับขา Q ของ อาร์เอส ฟลิปฟลอปตัวซ้าย คือเมื่อมีสัญญาณนาฬิกาเข้ามา 1 ครั้ง จะทำให้ข้อมูลที่อยู่ในอาร์เอสฟลิปฟลอปตัวทางซ้ายไปปรากฏที่อินพุตของ อาร์เอสฟลิปฟลอปตัวที่สองและ เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวที่สองก็จะไปปรากฏเป็นอินพุตของ อาร์เอส ฟลิปฟลอปตัวที่สามอย่างนี้ไปเรื่อย ๆ จนถึงอาร์เอสตัวที่ 8 ซึ่งเอาต์พุตของอาร์เอสฟลิปฟลอปก็จะกลายเป็นข้อมูลแบบอนุกรมบิตแรก และเมื่อสัญญาณนาฬิกาเข้ามาอีก ก็จะทำให้การเลื่อนบิตในลักษณะเดียวกันนี้จนครบ 8 บิตแล้วจึงทำการโหลดข้อมูลใหม่อีกครั้ง

2.8 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก (Serial Input – Parallel Output Shift Register)

วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออกจะใช้ในการแปลงข้อมูลแบบอนุกรมเป็นขนาน สามารถแสดงได้ดังรูปที่ 2.16 ซึ่งแสดงวงจรเลื่อนข้อมูลแบบอนุกรมเป็นแบบขนานขนาด 4 บิต

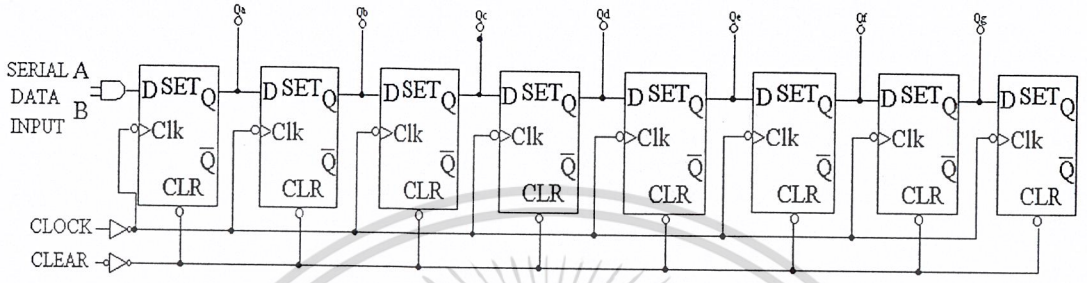


รูปที่ 2.16 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออกขนาด 4 บิต

จากรูปที่ 2.16 มีหลักการทำงานโดย เมื่อป้อนข้อมูลบิตแรกเข้าไปแล้วตามด้วยสัญญาณนาฬิกา 1 ครั้ง จะทำให้ข้อมูลถูกเลื่อนออกไปที่เอาต์พุตของดี-ฟลิปฟลอป ตัวแรกและเมื่อมีสัญญาณนาฬิกาเข้ามาอีก 1 ครั้ง จะทำให้ข้อมูลใหม่ถูกเลื่อนออกไปยัง ดี-ฟลิปฟลอป ตัวที่สองไปเรื่อย ๆ จนครบ 4 ครั้ง ซึ่งหลังจากเลื่อนข้อมูลเข้าไปใน ดี-ฟลิปฟลอป ครบ 4 บิตแล้วเราจะได้ข้อมูลขนาด 4 บิตออกมาที่เอาต์พุตที่ขา Q ของดี-ฟลิปฟลอปแต่ละตัวหลังจากดึงข้อมูลมาใช้ เราจะทำการเคลียร์ข้อมูลในดี-ฟลิปฟลอปแต่ละตัวในการป้อนสภาวะลอจิก 0 ที่ขาเคลียร์ (CLR) ของดี-ฟลิปฟลอปซึ่งจะทำให้เอาต์พุตของ ดี-ฟลิปฟลอป แต่ละตัวมีสภาวะลอจิกเป็น 0 เพื่อทำการเลื่อนข้อมูลอนุกรมค่าใหม่เข้ามาเพื่อเลื่อนออกเป็นแบบขนานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

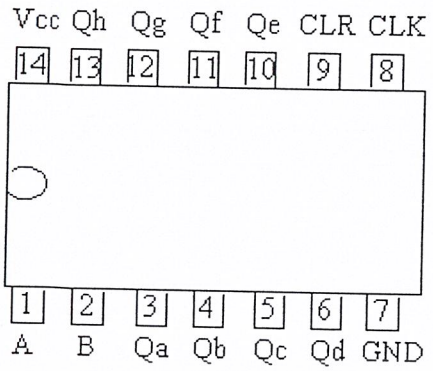
วงจรรวมที่ทำหน้าที่เป็นรีจิสเตอร์แบบอนุกรมเข้าขนานออก มีไอซีที่นิยมกันหลายตัวแต่จะขอนำเสนอเบอร์ 74LS164 ซึ่งมีโครงสร้างภายในดังรูป 2.17 และมีแผนภาพขาสัญญาณและฟังก์ชั่นการทำงานดังรูปที่ 2.18



รูปที่ 2.17 วงจรเลื่อนสัญญาณแบบอนุกรมเข้าและแบบขนานออก ขนาด 8 บิต

Input				Output			
Clear	Clock	A	B	QA	QB	...	QH
L	X	X	X	L	L	...	L
H	L	X	X	Q_{AO}	A_{BO}	...	Q_{HO}
H	↑	H	H	H	Q_{AN}	...	Q_{GN}
H	↑	L	X	L	Q_{AN}	...	Q_{GN}
H	↑	X	L	L	Q_{AN}	...	Q_{GN}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แผนภาพขาสัญญาณและฟังก์ชั่นการทำงานของ 74LS164

จากรูปที่ 2.18 จะเห็นว่าใช้ดี-ฟลิปฟลอป มาใช้เป็นตัวเลื่อนข้อมูลแบบอนุกรมเข้าขนานออก โดยมีขาเคลียร์และขาสัญญาณเอาต์พุต Q ที่ต่อออกมาเพื่อนำสัญญาณแบบขนานไปใช้งาน มีหลักการทำงานดังนี้คือ เมื่อขาเคลียร์ของ ดี-ฟลิปฟลอป มีลอจิกเป็น 1 และเมื่อมีสัญญาณนาฬิกามา 1 ครั้ง จะทำการเลื่อนข้อมูลจากจุด (เมื่อให้จุด A มีลอจิกเป็น 1 ตลอด) ออกไปยัง ดี-ฟลิปฟลอปตัวแรกและเมื่อมีสัญญาณนาฬิกาเข้ามาครั้งที่สอง จะทำให้ข้อมูลใหม่ถูกเลื่อนเข้ามายังดี-ฟลิฟลอปตัวที่สองไป เรื่อย ๆ เมื่อมีสัญญาณนาฬิกาเข้ามาอย่างตลอดเวลาหลังจากที่ถูกเลื่อนข้อมูลเข้าไปสู่ที่ ดี-ฟลิปฟลอป ครบทั้ง 8 บิต แล้วจะสามาถนำข้อมูลที่เป็นแบบขนานจากขาสัญญาณ Qa, Qb, Qc, Qd, Qe, Qf, Qg และ Qh ซึ่งต่อออกมาเป็นขาสัญญาณเอาต์พุตไปใช้งานได้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

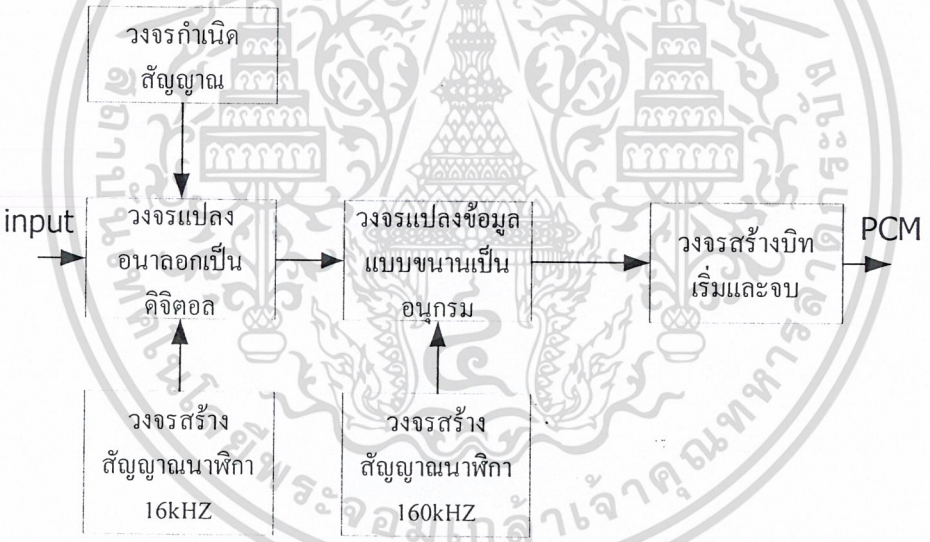
การออกแบบวงจรพีซีเอ็ม

ในการออกแบบวงจรจะแบ่งวงจรออกเป็น 2 ส่วนคือ

- ชุดวงจรภาคส่ง (Transmitter)
- ชุดวงจรภาคภาครับ (Receiver)

3.1 หลักการออกแบบวงจรภาคส่ง

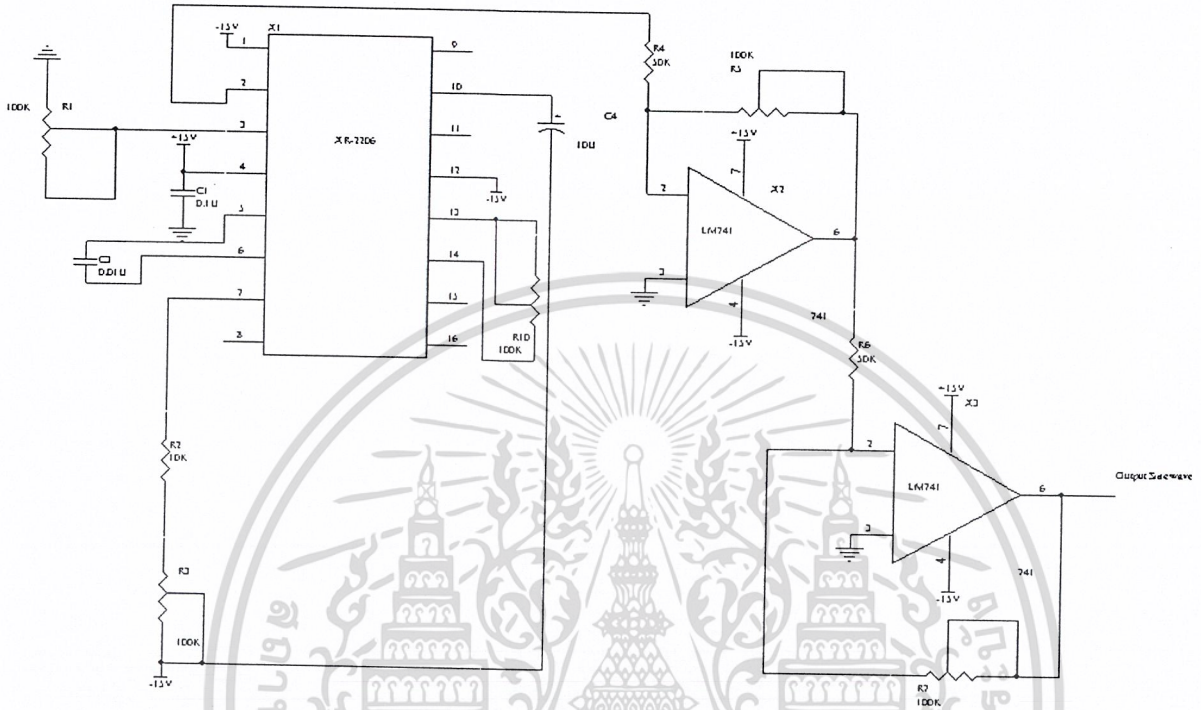
จะสามารถแบ่งส่วนของความสำคัญในการออกแบบได้สองส่วนคือ ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC) และส่วนของการแปลงข้อมูลแบบขนานเป็นแบบอนุกรม (Parallel Input - Serial Output Shift Register : PISO)



รูปที่ 3.1 บล็อคไดอะแกรมของภาคส่งวงจรพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรกำเนิดสัญญาณไซน์



รูปที่ 3.2 วงจรกำเนิดสัญญาณไซน์

ไอซีเบอร์ XR-2206 จะเป็นไอซีที่ใช้สร้างสัญญาณต่าง ๆ เช่นสัญญาณไซน์, สัญญาณพัลส์ อื่น ๆ เป็นต้น สัญญาณที่ได้จะเป็นสัญญาณที่มีความเสถียร ถูกต้อง และมีคุณภาพรูปคลื่นสัญญาณไซน์เอาต์พุตสามารถปรับได้ทั้งแอมปลิจูดและความถี่โดยขึ้นอยู่กับวงจรภายนอกสามารถทำการเลือกย่านความถี่ได้ตั้งแต่ 0.01 kHz ถึง 1 MHz สำหรับวงจรกำเนิดสัญญาณไซน์ชุดนี้จะสามารถสร้างได้ ดังรูปที่ 3.2

ความถี่ที่ต้องการ (fo) สามารถหาได้โดยการใช้สูตร

$$Fo = 1 / RC \quad (Hz)$$

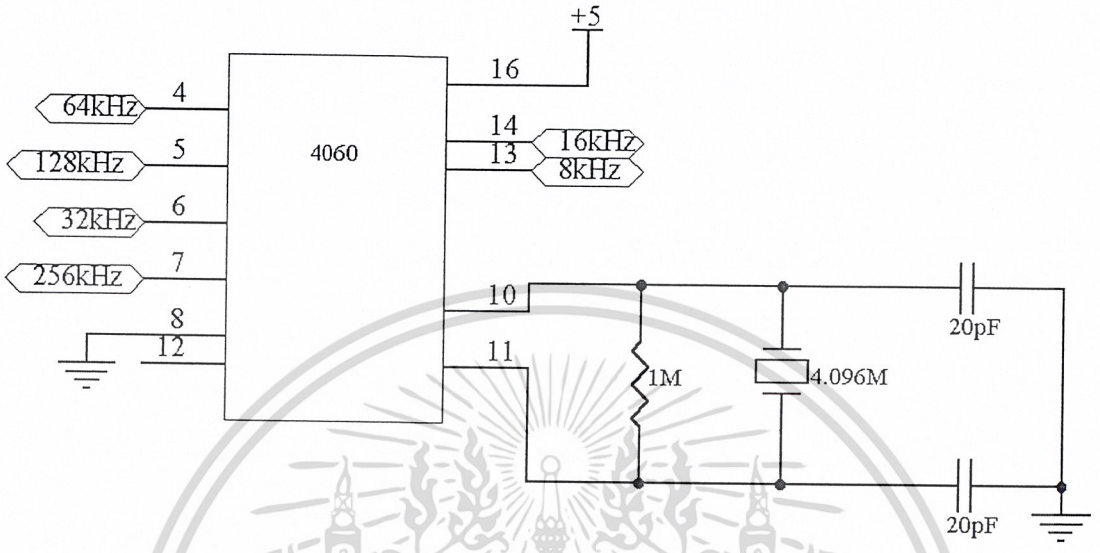
R : ค่าตัวต้านทานที่ต่ออยู่กับขา 7 หรือขา 8

C :ค่าของตัวเก็บประจุที่ต่ออยู่กับขา 5 และ 6 ของไอซี

โดยค่าความต้านทานที่ใช้จะต้องมีค่าอยู่ระหว่าง $4\ k\Omega < R < 200\ k\Omega$ ส่วนค่าของตัวเก็บประจุจะมีค่าตั้งแต่ 1000 pF ถึง 100 pF โดยวงจรจะใช้ตัวต้านทานปรับค่าเพื่อที่สามารถทำการปรับค่าความถี่ได้ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม



รูปที่ 3.3 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม

วงจรกำเนิดความถี่อ้างอิง สร้างจาก IC MC14060 หรือ 74HC4060 ซึ่ง 2 เบอร์นี้ใช้แทนกันได้เป็น IC – Digital Hi Speed CMOS 14 – Stage Ripple / Carry Binary Counter / Divider and Oscillator ซึ่งภายในประกอบด้วยเกตอินเวอร์เตอร์ และวงจรหารแบบไบนารี่จำนวน 14 สเตท โดยที่เอาท์พุตเป็นสัญญาณหาร 16384 ที่ขา 6 โดยวงจรเกตต่อร่วมกับคริสตอลสำหรับออสซิเลททำงานที่ความถี่ 4.096 MHz

สัญญาณหารที่เอาท์พุท = 2^{n+1}

โดย n = อันดับของจำนวนเอาท์พุต เช่นที่ Q7 จะได้

สัญญาณหารที่เอาท์พุท Q7 = 2^{7+1} = 256

ดังนั้นสัญญาณหารที่เอาท์พุทของแต่ละเอาท์พุทจะเป็นดังนี้ โดยเริ่มที่

Q3 = 16
Q4 = 32
Q5 = 64
Q6 = 128
Q7 = 256
Q8 = 512
Q9 = 1,024
Q10 = 2,048
Q11 = 4,096
Q12 = 8,92
Q13 = 16,384

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโครงงานนี้ใช้คริสตอล ผลิตความถี่ 4.096 MHz ดังนั้นเราจะทราบว่าเอาท์พุตแต่ละเอาท์พุทจะได้สัญญาณนาฬิกาที่มีความถี่เท่าไร โดยการนำเอาความถี่ของคริสตอล หารด้วยสัญญาณนาฬิกาของแต่ละเอาท์พุท เช่นที่ Q7 จะได้

ความถี่ของสัญญาณนาฬิกาที่ Q7 = 4.096 MHz / 256 = 16 kHz

ดังนั้นจะได้ความถี่ของสัญญาณนาฬิกาแต่ละเอาท์พุท ดังนี้

Q3 (ขา 7) = 256 kHz

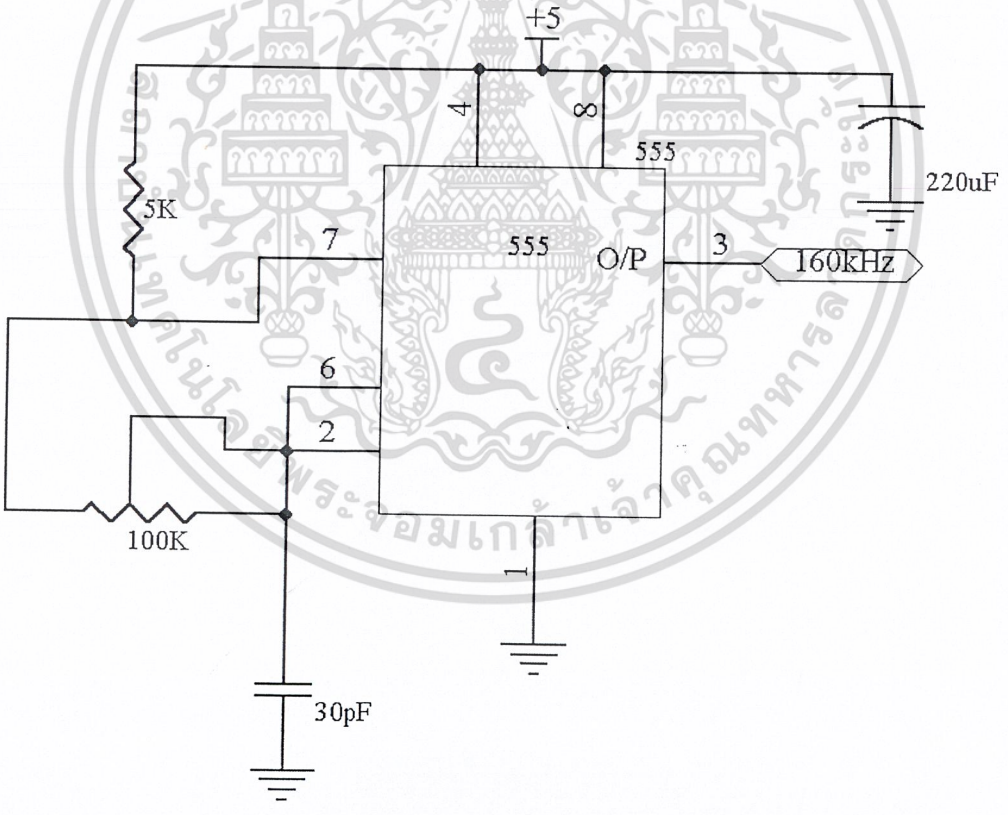
Q4 (ขา 5) = 128 kHz

Q5 (ขา 4) = 64 kHz

Q6 (ขา 6) = 32 kHz

Q7 (ขา 14) = 16 kHz

Q8 (ขา 13) = 8 kHz



รูปที่ 3.4 วงจรสร้างสัญญาณนาฬิกา 160 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.4 เป็นวงจรสร้างสัญญาณนาฬิกา 160 kHz ซึ่งจะสร้างจากไอซีเบอร์ 555 สามารถทำการสร้างความถี่ที่ต้องการได้โดยทำการคำนวณทางคณิตศาสตร์ จากสูตร

$$F = 1.49 / ((R_A + 2R_B) * C)$$

F = ความถี่เอาต์พุต (ที่ต้องการ) ขา 3 ของไอซี

R_A = ค่าความต้านทาน (โอห์ม)

R_B = ค่าความต้านทาน (โอห์ม)

C = ค่าตัวเก็บประจุ (คาปาซิเตอร์)

ดังนั้นจากวงจรจะสามารถคำนวณหาความถี่ 160 kHz ไปใช้งานได้โดยกำหนดให้ R_A = 5 kHz, R_B = ใช้ตัวต้านทานปรับค่าได้ 200 kHz , C = 30 pF

$$F = 1.49 / ((RA + 2RB) * C)$$

$$= 1.49 / ((5*10^{3} + 2(153*10^{3}) * 30*10^{-12})$$

$$= 1.49 / 9.33*10^{-6}$$

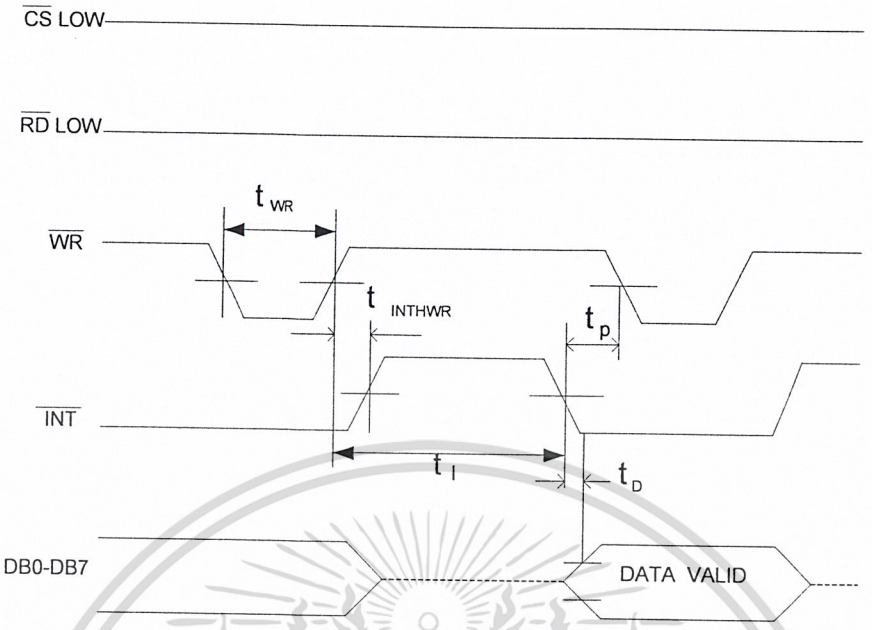
$$= 159.699 \text{ kHz}$$

ในการทดลองจริงค่าความถี่ได้อาจจะแตกต่างจากที่คำนวณไว้เล็กน้อย อันเนื่องมาจากค่าความผิดพลาดของความต้านทานและคาปาซิเตอร์

3.1.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter : ADC)

ในการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนี้ สามารถที่จะเลือกใช้วงจรรวมได้หลายเบอร์ตามจุดประสงค์การใช้งานแต่จะขอนำเสนอวงจรรวมเบอร์ ADC0820 ซึ่งเป็นเบอร์ที่ใช้ง่ายและมีวงจรสุ่มสัญญาณในตัวเอง จึงสามารถนำมาแปลงสัญญาณอนาลอกเป็นดิจิตอลได้ ในกรณีนี้ทำการควบคุมสภาวะการทำงานของไอซีเป็นแบบทำงานภายในตัวมันเอง (stand-alone) โดยทำการป้อนสภาวะลอจิก "1" ให้กับขาโหมด (MODE) ของไอซี ADC0820 สามารถแสดงสภาวะการทำงานด้วยไดอะแกรมเวลา (Timing Diagram) ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ไดอะแกรมเวลาของไอซี ADC0820

จากไดอะแกรมเวลาของไอซี ADC0820 เราจะทราบว่าถ้าเรากำหนดให้ ADC0820 มีสภาวะการทำงานแบบทำงานภายในตัวมันเอง (stand-alone) โดยการป้อนลอจิก "1" ที่ขาโหมด (MODE) แล้วให้ขาซีเอส (CS) และอาร์ดี (RD) เป็นสภาวะลอจิก "0" เพื่อให้ไอซีทำการแปลงค่าข้อมูลได้ก็ต่อเมื่อให้ขา WR มีสภาวะลอจิก "0" เป็นระยะเวลาอย่างน้อยที่สุด 600 นาโนวินาที (ns) แล้วเมื่อขา WR มีสภาวะลอจิก "1" ไอซีจะเริ่มการทำงานแปลงค่าข้อมูลโดยจะใช้ระยะเวลาในการแปลงค่าข้อมูล (Ti) 800 นาโนวินาที และจะต้องใช้เวลาในการหน่วงเวลาก่อนที่จะทำการแปลงค่าข้อมูลอีก (Tp) 500 นาโนวินาที ดังนั้นจะใช้เวลาในการแปลงค่าข้อมูล 1 ครั้งเป็น 600 ns + 500 ns จะเท่ากับ 1.9 ไมโครวินาที (µs) ในการออกแบบใช้งานจริงเราจะใช้เวลาของขา WR มีสภาวะลอจิก "0" เป็นสองเท่าของค่าช่วงเวลาที่น้อยที่สุดของขา WR คือที่ 600 นาโนวินาที เพราะถ้าช่วงเวลาน้อยกว่า 600 นาโนวินาที จะทำให้ไอซีไม่ทำงาน ดังนั้นเราจะให้ขา WR มีสภาวะลอจิก "0" เป็นระยะเวลา 1.2 ไมโครวินาที ดังนั้นจะต้องใช้เวลาในการแปลงค่าข้อมูลทั้งหมดเท่ากับ 1.2 µs+ 800 µs + 500 µs = 2.5 µs

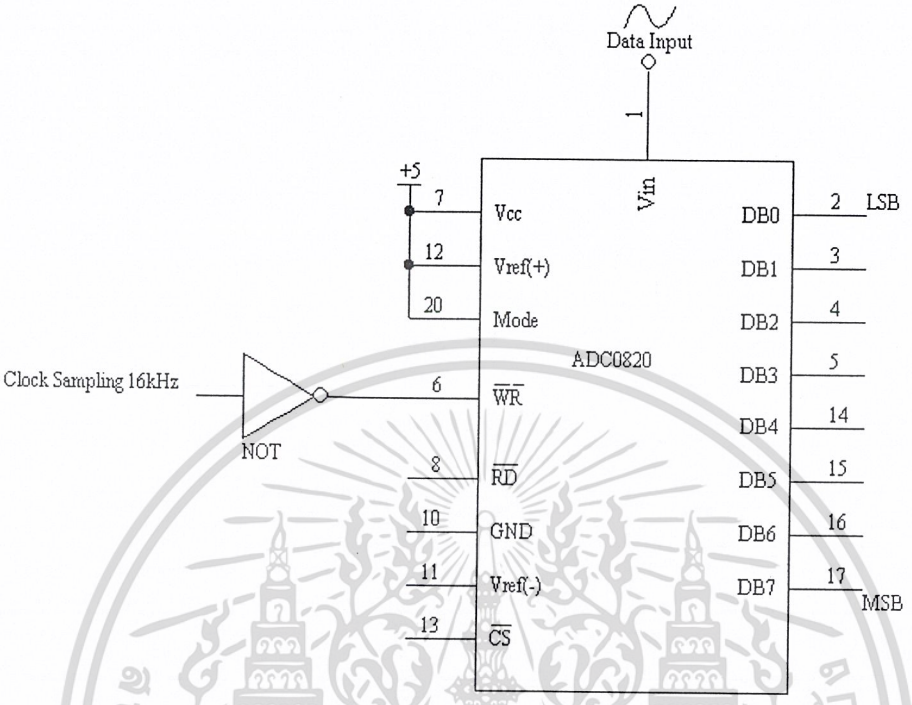
ส่วนการสื่อสารในระบบโทรศัพท์จะใช้แบนด์วิดท์ของเสียงพูดในการสนทนา อยู่ในช่วง 300 - 3400 เฮิร์ต ก็เพียงพอที่จะสามารถฟังรู้เรื่อง ดังนั้นเราจะต้องใช้ความถี่ในการสุ่มค่าสัญญาณมากกว่าหรือเท่ากับสองเท่าของความถี่เบสแบนด์ (Baseband) สูงสุด นั่นคือถ้าเราใช้ความถี่ในการสุ่มค่าสัญญาณเป็นสองเท่าของความถี่เบสแบนด์ก็คือ 6800 เฮิร์ต แต่เนื่องจากเมื่อใช้ความถี่ในการสุ่มสัญญาณที่ 6800 เฮิร์ต ทำให้ยากต่อการที่จะใช้วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LPF) ในการกรองความถี่ต่ำผ่าน เพื่อกรองเอาสัญญาณเบสแบนด์นั้นกลับคืนมาจากเอาต์พุตของเครื่องรับ คือจะต้องใช้วงจรกรองความถี่ต่ำผ่าน ในทางอุดมคติเท่านั้นในการกรองเอาสัญญาณเบสแบนด์กลับคืนมาอย่างสมบูรณ์ ดังนั้นเราจึงต้องออกแบบโดยใช้ความถี่ในการสุ่มสัญญาณมากกว่าสองเท่าของความถี่สูงสุดเบสแบนด์แต่ต้องไม่มากจนเกินไป ดังนั้นเมื่อเราใช้ความถี่เบสแบนด์ประมาณ 4 กิโลเฮิร์ต และเลือกใช้ความถี่ในการสุ่มค่าสัญญาณเป็น 4 เท่าของความถี่เบสแบนด์ ดังนั้นเราจะได้ความถี่ในการสุ่มสัญญาณเท่ากับ 16 กิโลเฮิร์ต ซึ่งจะพิจารณาได้ดังนี้

ที่ความถี่ 16 กิโลเฮิร์ต ซึ่งจะต้องใช้ความถี่ในการสุ่มสัญญาณนั้น จะมีคาบเวลาเท่ากับ 1/16 กิโลเฮิร์ต = 62.5 ไมโครวินาที ซึ่งจะมีเวลาด้านบวกเป็น 31.25 ไมโครวินาที และด้านลบเป็น 31.25 ไมโครวินาที จากความสัมพันธ์ในการแปลงค่าข้อมูลของไอซีเบอร์ ADC0820 จะสามารถพิจารณาจากไดอะแกรมเวลา (Timing Diagram) ในกรณีทำงานภายในตัวเองจะได้ว่าไอซี ADC0820 สามารถแปลงค่าข้อมูลได้ต้องมีช่วงเวลาที่ขา WR มีสภาวะเป็นบวกอย่างน้อยเป็น 800 ns + 500 ns เท่ากับ 1.3 μs และมีคาบเวลาของสภาวะลบเป็น 1.2 ไมโครวินาทีซึ่งจะเห็นว่า ค่าคาบเวลาของทั้งสองสภาวะบวกและลบอยู่ในช่วง 31.25 ไมโครวินาที ดังนั้นจะสามารถใช้ความถี่ 16 กิโลเฮิร์ต นำมาใช้เป็นสัญญาณสุ่มค่าข้อมูลส่วนสัญญาณนาฬิกา 16 กิโลเฮิร์ต ที่นำมาใช้เป็นสัญญาณสุ่มค่าข้อมูลสามารถสร้างขึ้นได้โดยใช้ไอซี 4060 ก็จะได้สัญญาณนาฬิกาความถี่ 16 กิโลเฮิร์ต ออกมาตามต้องการแล้วป้อนให้กับขา WR ของไอซี ADC 0820 ก็จะสามารถทำงานได้ตามอัตราสุ่มตามที่ต้องการจากรูปที่ 3.6 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีอัตราสุ่มตัวอย่าง 16 กิโลเฮิร์ต จะเห็นว่าเมื่อป้อนสภาวะลอจิกต่าง ๆ ให้กับ ADC0820 จะทำให้สัญญาณอนาลอกอินพุตถูกสุ่มค่าสัญญาณ แล้วนำค่าแรงดันที่สุ่มได้ไปทำการเปรียบเทียบและเข้ารหัสเลขฐานสองขนาด 8 บิท ซึ่งจะเป็นสัญญาณพีซีเอ็มที่ต้องการ ส่วนในการที่จะส่งข้อมูลไปในสายส่งนั้นจะต้องเป็นสัญญาณพีซีเอ็มที่ได้มาผ่านวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม เพื่อส่งออกสายนำสัญญาณเพียงเส้นเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

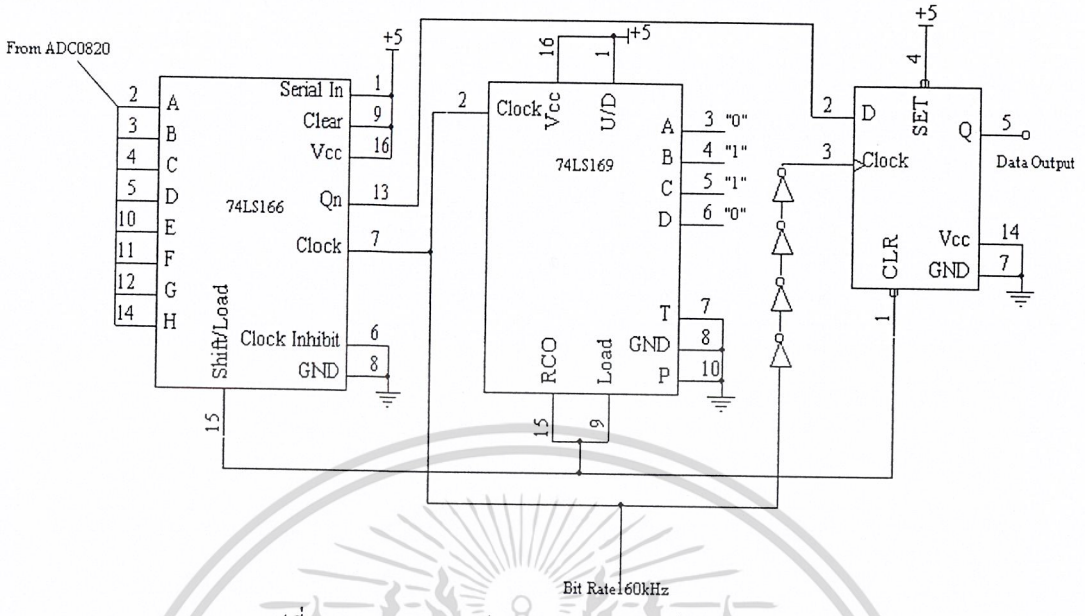


รูปที่ 3.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.1.4 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม (Parallel Input – Serial Output Shift Register)

ในการออกแบบวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมจะใช้ไอซีเบอร์ 74F166 เป็นหลักในการเลื่อนข้อมูลหรือแปลงข้อมูลแบบขนานเป็นแบบอนุกรม โดยใช้ไอซีเบอร์ 74F169 (Synchronous 4 bit – Up/Down Counter) มาควบคุมการเลื่อนค่าและโหลดค่าของข้อมูล ซึ่งสามารถป้อนสภาวะให้สามารถทำงานได้ดังรูปที่ 3.7 และสามารถดูรูปของสัญญาณในการสร้างบิตเริ่ม (start bit) และบิตจบ (stop bit) เพื่อใช้กำหนดตำแหน่งหรือแยกข้อมูลแต่ละชุด (Frame) เพื่อสะดวกในการดีเทค (Detect) ข้อมูลทางภาครับได้อย่างสะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรม

พิจารณารูปที่ 3.7 ซึ่งเป็นวงจรแปลงข้อมูลแบบขนานเป็นแบบอนุกรมจะสามารถควบคุมการโหลดค่าข้อมูลและเลื่อนค่าข้อมูลโดยใช้ขาสัญญาณจากขาอาร์ซีโอ (Ripple Carry Output : RCO) ของไอซี 74F169 ซึ่งในการส่งข้อมูลเราจะออกแบบให้ชุดข้อมูลแต่ละชุดมีบิตเริ่ม (start bit) และบิตจบ (stop bit) ดังนั้นในการส่งข้อมูล 1 ชุดจะมีจำนวนบิตเท่ากับ 10 บิต ซึ่งในการใช้ไอซี 74F166 ในการโหลดและเลื่อนข้อมูลจะทำงานโดยจะทำการโหลดค่าบิตข้อมูลเข้ามาแล้วทำการเลื่อนค่าออกไปทีละบิตเมื่อมีสัญญาณนาฬิกา 1 ลูก ดังนั้นจะเห็นว่าในการแปลงข้อมูลแบบขนานเป็นแบบอนุกรมของข้อมูลแต่ละชุดจะต้องใช้สัญญาณนาฬิกา 10 ลูก จึงจะสามารถเลื่อนข้อมูลพร้อมทั้งบิตเริ่มและบิตจบได้อย่างครบถ้วน แล้วจึงสามารถโหลดค่าข้อมูลใหม่เข้ามาได้ ดังนั้นในการควบคุมการนับจำนวนลูกคลื่นของสัญญาณนาฬิกา 10 ลูก เพื่อใช้ในการควบคุมการโหลดและเลื่อนข้อมูลจะใช้ไอซีเบอร์ 74F169 ในการนับ โดยการป้อนค่า 0110 (6H) ให้ไอซี 74F169 และขาอัพแอนด์ดาวน์ (U/D) มีสภาวะลอจิก “1” (นับขึ้น) ทำให้ 74F169 ทำการนับขึ้นเรื่อย ๆ จนถึง 1111 (FH) ซึ่งจะนับได้ 10 ลูกคลื่นตามต้องการ เมื่อนับครบ 10 ลูกคลื่น (1111) ไอซี 74F169 จะให้ขาอาร์ซีโอมีสภาวะลอจิกเป็น “0” ออกมาทันที และในการโหลดค่าข้อมูลของ 74F166 จะต้องมีลอจิก “0” ป้อนให้ขาชิพ/โหลดดังนั้นจึงนำสัญญาณลอจิก “0” จากขาอาร์ซีโอต่อเข้ากับชิพ/โหลดของไอซี 74F166 ในการสั่งให้โหลดข้อมูลเข้าไปเก็บไว้ในรีจิสเตอร์ของไอซี 74F166

ส่วนในการเพิ่มบิตเริ่มและบิตจบ ซึ่งเราจะใช้ไอซีเบอร์ 74F74 ซึ่งเป็นดี-ฟลิปฟลอปเข้ามาช่วยในการสร้างบิตเริ่มและบิตจบ โดยอินพุตของ ดี-ฟลิปฟลอป จะได้จากขาเอาต์พุต (Qn) ของไอซี 74F166 และนำขาอาร์ซีโอของไอซี 74F169 มาต่อที่ขาเคลียร์ (CLR) ของดี-ฟลิปฟลอป ส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาที่ใช้ในการทำงานของไอซี 74F74 เราใช้นอทเกต (NOT GATE) มาต่อไว้เพื่อทำการหน่วงเวลาของสัญญาณนาฬิกาให้มีค่าเวลาก่อนป้อนไอซี 74F74 น้อยกว่าหรือเท่ากับเวลาที่สัญญาณเอาต์พุตของไอซี 74F166 ป้อนให้กับอินพุตของไอซี 74F74 พอดี ซึ่งเงื่อนไขการสร้างบิตเริ่มและบิตจบจะกำหนดโดยให้บิตเริ่มมีสภาวะลอจิก "0" และบิตจบมีสภาวะลอจิก "1" ซึ่งจะเห็นว่าเมื่อขาอาร์ซีโอมีสภาวะลอจิก "0" จะทำให้ดี-ฟลิปฟลอปเกิดการเคลียร์ให้เอาต์พุตมีสภาวะลอจิก "0" ก็คือบิตเริ่มนั่นเอง และทำไอซีเบอร์ 74F166 ทำการโหลดค่าข้อมูลไปพร้อม ๆ กับการสร้างบิตเริ่มไปด้วย เนื่องจากถูกควบคุมด้วยขาอาร์ซีโอเหมือนกัน และเมื่อมีสัญญาณนาฬิกาลูกที่สองเข้ามาก็จะทำให้ขาอาร์ซีโอมีสภาวะลอจิก "1" ซึ่งเมื่อป้อนให้กับขาเคลียร์ของดี-ฟลิปฟลอปจะไม่มีผลต่อการทำงานดังนั้นทำให้ข้อมูลทางเอาต์พุตมีสภาวะลอจิกเหมือนกับอินพุตซึ่งต่ออยู่กับเอาต์พุตของไอซี 74F166 และเนื่องจากขาอาร์ซีโอนี้มีสภาวะลอจิก "1" ไปป้อนให้กับขาชิพ/โหลดของไอซี 74F166 ทำให้ไอซี 74F166 ทำการเลื่อนข้อมูลอินพุต ออกทางเอาต์พุตแบบอนุกรมทีละบิต

ส่วนในการสร้างบิตจบของชุดข้อมูล จะสามารถสร้างได้จากวงจรภายในของไอซี 74F166 โดยที่เราทำการให้ขาซีเรียลอินพุต (SERIAL INPUT) มีสภาวะลอจิกเป็น "1" ซึ่งจะเห็นว่ามีสัญญาณนาฬิกาเข้ามา 1 ครั้ง จะทำให้ข้อมูลถูกเลื่อนจาก H ไปยัง Qn, G ออกไป H,....., A ออกไปที่ B และจากอินพุทของ A (SERIAL INPUT) ซึ่งมีสภาวะลอจิก "1" ก็จะถูกเลื่อนออกไปที่ A จะทำให้ A มีสภาวะลอจิกเป็น "1" ด้วย เป็นอย่างนี้ไปเรื่อย ๆ จนสัญญาณนาฬิกามาครบ 8 ลูก ก็จะทำให้ข้อมูลแบบขนานจาก A ถึง H ถูกเลื่อนออกแบบอนุกรมจนครบ 8 บิต หลังจากนั้นเมื่อมีสัญญาณนาฬิกาลูกต่อไปเข้ามา ก็จะทำให้เอาต์พุตที่เกิดจากการเลื่อนค่าจากซีเรียลอินพุตมีสภาวะลอจิก "1" ไปปรากฏที่เอาต์พุตของไอซี 74F166 เป็นสภาวะลอจิก "1" เป็นบิตสุดท้ายหรือได้บิตจบนั่นเอง ซึ่งจะใช้สัญญาณนาฬิกาครบ 10 ลูกพอดี หลังจากนั้นก็จะทำการโหลดค่าข้อมูลชุดใหม่เข้ามาในไอซี 74F166 แล้วทำการเลื่อนข้อมูลตามเงื่อนไขที่กล่าวมาข้างต้นต่อไป ซึ่งวงจรภาคส่งสามารถแสดงได้ดังรูปที่ 3.8 ส่วนอัตราการส่งข้อมูล (Bit Rate) ที่ใช้ในการส่งข้อมูลคือ

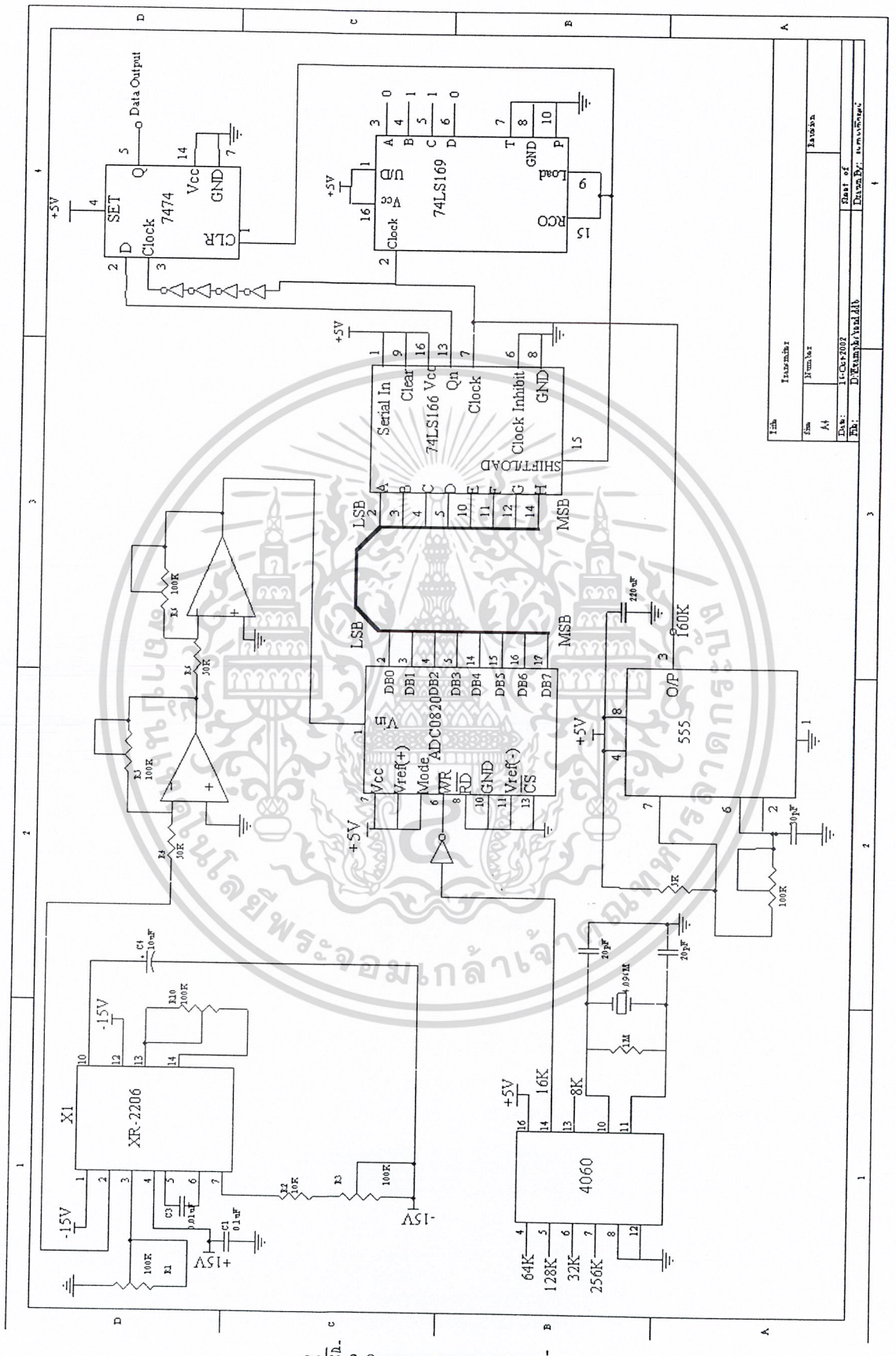
บิตเรท (Bit Rate) = แบนด์วิดธ์ข้อมูล * อัตราการแซมปลิ้ง (เท่า) * จำนวนบิตต่อข้อมูล

= 4 กิโลเฮิร์ต * 4 เท่า * 8 บิต

= 128 กิโลเฮิร์ต (ไม่ได้พิจารณาบิตเริ่มและบิตจบ)

แต่จะใช้สัญญาณนาฬิกาความถี่ 160 กิโลเฮิร์ต เนื่องจากในการส่งข้อมูล 1 เฟรม (10 บิต) ต้องใช้สัญญาณนาฬิกาทั้งหมด 10 ลูกคลื่นซึ่งจะประกอบด้วยบิตเริ่ม (start bit) จำนวน 1 บิต บิตข้อมูลจำนวน 8 บิต และบิตจบ (stop bit) อีก 1 บิต รวมทั้งหมด 10 บิต จึงจะสามารถส่ง 1 เฟรมข้อมูล (10 บิต) ได้ครบทั้งหมด แต่ถ้าใช้บิตเรท 128 กิโลเฮิร์ต จะทำให้สัญญาณนาฬิกามีความเร็วไม่พอในการส่งข้อมูล 10 บิต จึงสามารถทำให้เกิดสัญญาณรบกวนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรรวมทางภาคส่ง

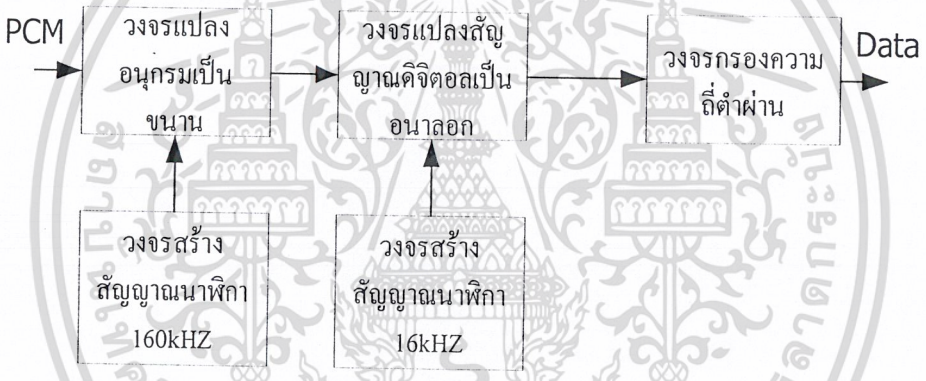
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการออกแบบวงจรภาครับ

หลักการสำคัญในการออกแบบวงจรภาครับ คือ การนำสัญญาณที่ส่งมาจากต้นทางผ่านสายนำสัญญาณมาทำการดีมอดูเลชั่น (Demodulation) เพื่อนำสัญญาณเบสแบนด์กลับคืนมาได้อย่างสมบูรณ์ที่สุด ดังนั้นวงจรภาครับจะต้องมีความสอดคล้องกับวงจรทางภาคส่ง มิฉะนั้นจะไม่สามารถนำสัญญาณเบสแบนด์ กลับคืนมาได้อย่างถูกต้อง

ดังนั้นเราจะพิจารณาแบ่งการออกแบบภาครับออกเป็น 3 ขั้นตอนดังนี้

1. วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial Input – Parallel Output Register)
2. วงจรสร้างสัญญาณนาฬิกากลับคืน
3. วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter)



รูปที่ 3.9 บล็อคไดอะแกรมของภาครับวงจรพีซีเอ็ม

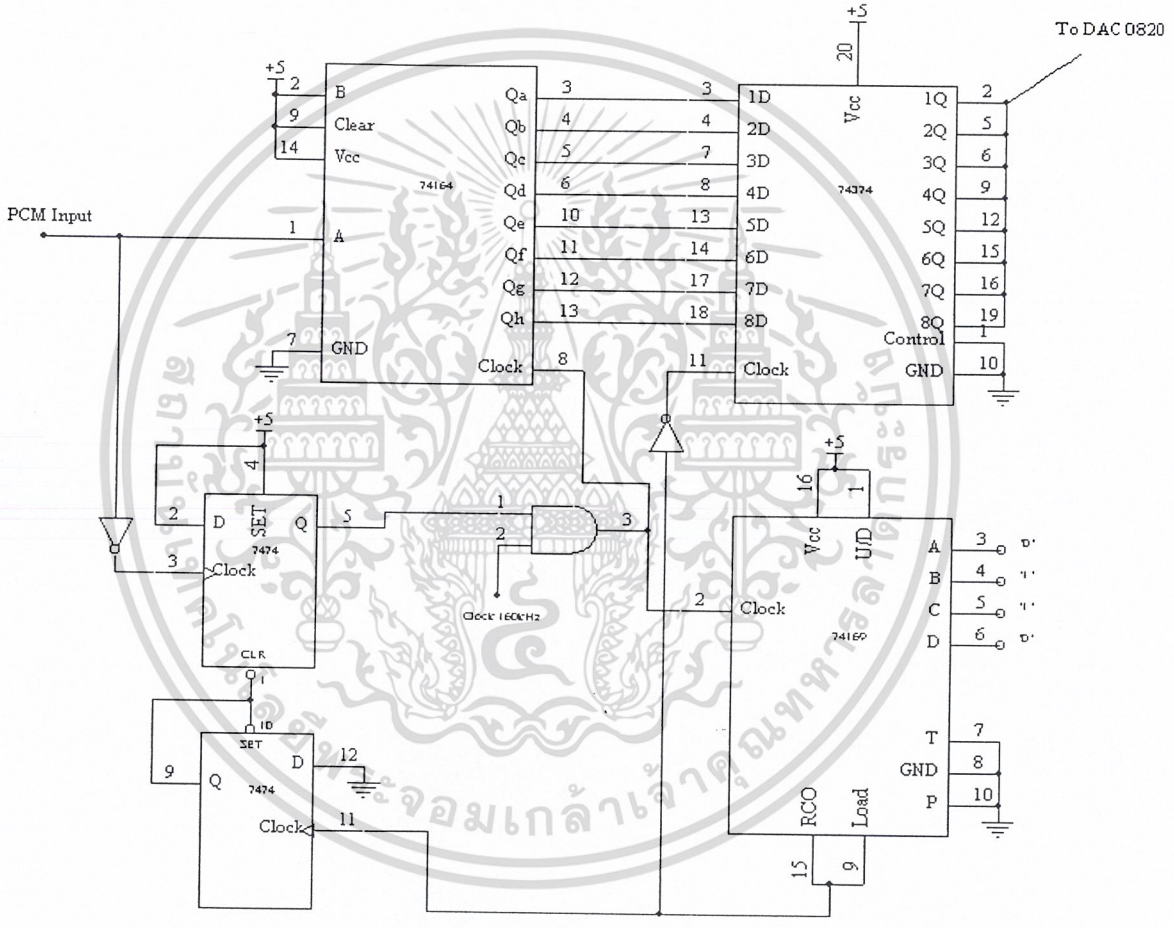
3.2.1 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial Input – Parallel Output Shift Register)

ในการออกแบบวงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน จะต้องคำนึงถึงจำนวนบิตข้อมูลที่ส่งใน 1 เฟรมข้อมูล ว่าประกอบด้วยบิตข้อมูลของอะไรบ้าง เพื่อสะดวกในการสร้างและออกแบบวงจรขึ้นมาใช้งานได้อย่างถูกต้อง ซึ่งจะเห็นว่า 1 เฟรมข้อมูลของระบบพีซีเอ็ม ที่ออกแบบทางภาคส่งจะมีจำนวนบิตทั้งหมด 10 บิต โดยเป็นบิตข้อมูล 8 บิต บิตเริ่ม 1 บิต และบิตจบ 1 บิต ดังนั้นเราจำเป็นต้อง กำจัดบิตที่ไม่ใช่บิตข้อมูลทิ้งไปนั่นคือ บิตเริ่มและบิตจบนั่นเอง

ดังนั้นจึงอาศัยคุณสมบัติของไอซีเลื่อนข้อมูลแบบอนุกรมเป็นแบบขนาน และวงจรนับมาช่วยในการกำจัดบิตเริ่มและบิตจบ ในการออกแบบนี้จะใช้ไอซีเบอร์ 74F164 (8 = bit Serial In =

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parallel Out Shift Register) มาทำการเลื่อนข้อมูลแล้วส่ง 8 บิตข้อมูลออกไปดีมอดูเลชั่น (Demodulation) ต่อไป ซึ่งขั้นตอนการออกแบบจะพิจารณาได้ดังนี้คือ เราจะอาศัยรอยต่อระหว่างบิตเริ่มและบิตจบมาใช้ในการกำหนดตำแหน่งของบิตเริ่ม บิตข้อมูล และบิตจบ ของเฟรมข้อมูล โดยเราจะนำสภาวะที่มีการเปลี่ยนแปลงจากบิตจบซึ่งมีสภาวะลอจิก “1” เป็นบิตเริ่ม ซึ่งมีสภาวะลอจิก “0” หรือก็คือขอบขาลงนั่นเองมาผ่านนอทเกท เพื่อกลับสภาวะเป็นขอบขาขึ้นป้อนให้เป็นสัญญาณนาฬิกาให้กับดี- ฟลิปฟลอปตัวที่ 1 ดังรูปที่ 3.10



รูปที่ 3.10 วงจรแปลงข้อมูลแบบอนุกรมเป็นแบบขนาน

จากรูปที่ 3.10 จะเห็นว่าขาอินพุตของ ดี- ฟลิปฟลอป (ขา D) ต่อเข้ากับไฟเลี้ยง Vcc ซึ่งจะมีสภาวะลอจิก “1” ดังนั้นเมื่อมีสภาวะขอบขาขึ้นของสัญญาณนาฬิกาที่ใช้ป้อนให้กับขาคล็อคของดี- ฟลิปฟลอปก็จะทำการเลื่อนข้อมูล “1” จากอินพุต (ขา D) ไปเป็นเอาต์พุต (ขา Q) มีสภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอจิก "1" แล้วก็นำสภาวะลอจิกนี้ไปป้อนให้กับอินพุตของแอนเกต (AND GATE) อีกทีโดยอินพุตอีกขาของแอนเกตก็จะต่ออยู่กับออสซิลเลเตอร์ (OSCILLATOR) ซึ่งได้จากวงจรสร้างสัญญาณนาฬิกากลับคืน ซึ่งจะกล่าวในหัวข้อถัดไป ดังนั้นสัญญาณนาฬิกาก็จะสามารถผ่านออกทางเอาต์พุตของแอนเกตได้ ซึ่งสัญญาณนาฬิกานี้จะนำไปป้อนเป็นสัญญาณนาฬิกาให้กับไอซี 74F164 และ 74F169 ต่อไป ส่งผลให้ไอซี 74F164 เริ่มทำการเลื่อนบิตข้อมูลที่เป็นแบบอนุกรมเข้าไปในตัวมันเพื่อแปลงเป็นข้อมูลแบบขนานต่อไปส่วนไอซี 74F169 ก็จะทำการเริ่มนับขึ้นจาก "0110" จนถึง "1111" หรือทำการนับ 10 นั่นเอง แล้วจะนำสภาวะที่ไอซี 74F169 นับถึง "1111" มาทำการควบคุมการโหลดค่าข้อมูล (เริ่มนับใหม่ตั้งแต่ "0110" จนถึง "1111") และทำการนำไปรีเซ็ต ดี- ฟลิปฟลอปให้หยุดสัญญาณนาฬิกา โดยนำขาอาร์ซีโอ (RCO) เมื่อ 74F169 นับถึง "1111" จะมีสภาวะลอจิก "0" มาเข้าขาโหลด (LOAD) เพื่อทำการโหลดค่าข้อมูลใหม่ เมื่อมีสภาวะลอจิก "0" เข้าที่ขาโหลด จะทำให้ไอซี 74F169 เริ่มนับใหม่จาก "0110" และจะทำให้ขาอาร์ซีโอ มีสภาวะกลับมาเป็นลอจิก "1" ใหม่อีกครั้งและจะค้างสภาวะจนกว่าจะนับถึง "1111" ซึ่งจะนำสภาวะจากที่ขาอาร์ซีโอมีสภาวะลอจิก "0" เป็นลอจิก "1" (ขอบขาขึ้น) นี้ไปป้อนเป็นสัญญาณนาฬิกาให้กลับขา คล็อค (CLK) ของดี- ฟลิปฟลอปตัวที่ 2 ซึ่งเมื่อมีสัญญาณนาฬิกาเข้ามาจะทำให้ดี - ฟลิปฟลอปเลื่อนค่าข้อมูลจากอินพุต (ขา D) ซึ่งต่อลงกราวด์จะมีสภาวะลอจิก "0" ออกไปที่เอาต์พุต (ขา Q) ของดี- ฟลิปฟลอป ให้มีสภาวะลอจิกเป็น "0" ด้วย แต่เนื่องจากขาคิว (Q) ของดี- ฟลิปฟลอปต่ออยู่กลับขาเคลียร์ (CLR) ของดี-ฟลิปฟลอปตัวแรก ทำให้ดี- ฟลิปฟลอปตัวแรกเกิดการเคลียร์ค่าข้อมูล ทำให้เอาต์พุตมีสภาวะลอจิก "0" โดยอัตโนมัติไปป้อนให้อินพุตของแอนด์เกตส่งผลให้เอาต์พุตของแอนด์เกต มีสภาวะลอจิกเป็น "0" นั่นคือสัญญาณนาฬิกาไม่สามารถผ่านไปได้ ส่งผลให้ไม่มีสัญญาณนาฬิกาป้อนให้กับไอซี 74F164 และ 74F169 ทำให้ไอซีทั้งสองตัวหยุดทำงาน ในขณะเดียวกันเอาต์พุต (ขา Q) ของดี- ฟลิปฟลอปตัวที่ 2 ต่ออยู่กับ ขาเซ็ต (SET) ของตัวมันเอง เมื่อมีสภาวะลอจิก "0" ป้อนให้กับขาเซ็ท ก็จะทำให้ดี- ฟลิปฟลอปทำการเซ็ท ให้เอาต์พุตของตัวมันมีสภาวะลอจิกเป็น "1" ป้อนให้กับขาเคลียร์ (CLR) ของดี- ฟลิปฟลอปตัวแรกทำให้ดี- ฟลิปฟลอปตัวแรกหยุดทำการเคลียร์ตัวเอง โดยเอาต์พุตค่าต่อไปของดี- ฟลิปฟลอปตัวแรกก็จะขึ้นอยู่กับสัญญาณนาฬิกาลูกต่อไปที่จะเข้ามา ซึ่งจะเป็นเฟรมข้อมูลเฟรมต่อไปนั่นเอง

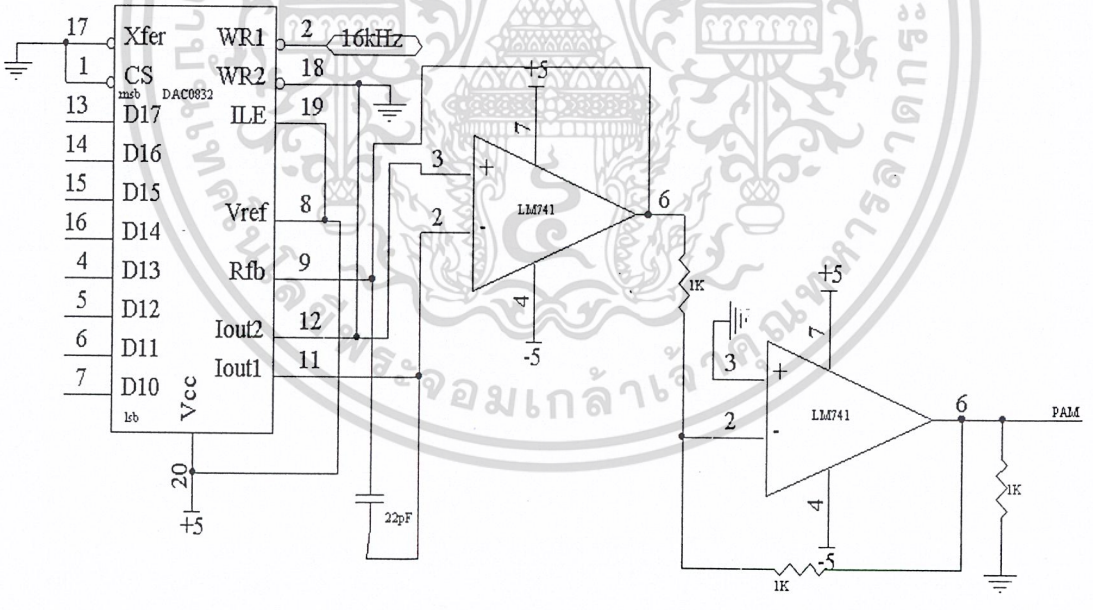
ส่วนที่ไอซี 74F164 เมื่อเลื่อนข้อมูลถึง 9 บิต จะทำให้บิตเริ่มซึ่งเป็นบิตแรกของเฟรมข้อมูลถูกเลื่อนตกไป ก็จะเหลือแค่บิตข้อมูล 8 บิต ที่ค้างอยู่ในไอซี 74F164 เท่านั้น แล้วทำการโหลดค่าบิตข้อมูลทั้ง 8 บิตนี้ เข้าไปเก็บไว้ในไอซี 74F374 (Octal D-type Transparent Latches and Edge-Triggered Flip-Flop) ซึ่งจะทำหน้าที่ค้างค่าข้อมูลเอาไว้ จนกว่าจะมีสัญญาณนาฬิกาลูกต่อไปเข้ามาสั่งให้โหลดค่าข้อมูลใหม่เข้าไปเก็บ ซึ่งสัญญาณนาฬิกาที่ใช้ควบคุมไอซี 74F374 ได้มาจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่มีสภาวะลอจิก “0” จากขาอาร์ซีโอ ของไอซี 74F169 มาผ่านนอทเกตทำให้มีสภาวะลอจิก “1” ป้อนให้เป็นคล็อค อินพุตของไอซี 74F374 ก็จะทำการโหลดค่าข้อมูลทั้ง 8 บิตข้อมูล เข้าไปค้างค่าไว้เพื่อเป็นข้อมูลแบบขนานป้อนเป็นอินพุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกต่อไป

3.2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter : DAC)

ข้อมูล 8 บิตที่ได้จากบัฟเฟอร์จะถูกส่งเข้ามาที่อินพุตของวงจร DAC ซึ่งวงจร DAC ในโครงงานนี้ใช้ไอซีเบอร์ DAC0832 โดยในการทำงานนั้น DAC0832 จะนำข้อมูลทั้ง 8 บิตมาเปรียบเทียบกับแรงดันอ้างอิงที่ตั้งไว้ (+5) และทำการแปลงสัญญาณกลับมาให้อยู่ในรูปอนาลอกซึ่งจะเป็นระดับแรงดันใด ๆ ก็ได้จาก 0 ถึง 5V โดยมีความละเอียดสูงสุดเท่ากับ 19.531 mV แต่เนื่องจากเอาต์พุตของ DAC0832 จะอยู่ในรูปของกระแสที่ขา Iout1 และ Iout2 จึงต้องใช้ออปแอมป์มาต่อใช้งานร่วมด้วยเพื่อทำการเปลี่ยนกระแสให้เป็นแรงดัน จากนั้นนำสัญญาณที่ได้มาผ่านออปแอมป์ตัวที่ 2 เพื่อทำการกลับเฟสของสัญญาณ สัญญาณอนาลอกที่ได้มีลักษณะเป็นสัญญาณ PAM แล้วนำสัญญาณนี้ไปผ่านวงจรกรองความถี่ต่ำ

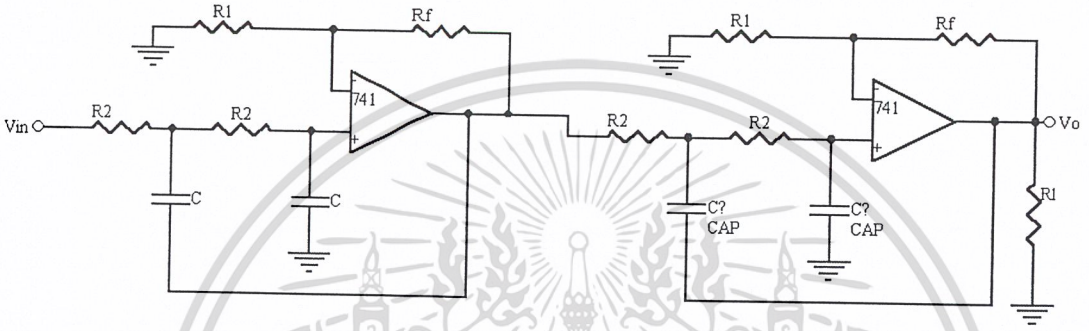


รูปที่ 3.11 วงจรแปลงสัญญาณ ดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF)

เนื่องจากสัญญาณของแต่ละระบบต้องการความถี่ที่ไม่เท่ากันและในการที่จะออกแบบวงจรกรองความถี่ต่ำ เราใช้ไอซีเบอร์ LM741 มาต่อเป็นวงจรกรองความถี่ต่ำผ่าน โดยวงจรต้องต่ออุปกรณ์ภายนอกซึ่งประกอบด้วย ตัวต้านทาน (R) และ ตัวเก็บประจุ (C) ตามความถี่ที่ต้องการ ดังรูปที่ 3.12



รูปที่ 3.12 วงจรกรองความถี่ต่ำแบบ บัตเตอร์เวิร์ต ออเดอร์ 4

เมื่อ Vo / Vi = Gain ของวงจร

$AF = 1 + RF / R1$

F = ความถี่ของสัญญาณอินพุต

$FH = 1 / (2\pi R_2 C_2)$

เมื่อต้องการสร้างวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธที่มีอัตราการขยายเท่ากับ 2 โดยเลือกค่าของตัวเก็บประจุ C1 เป็น 0.01 ไมโครฟาหรัด ต้องการความถี่คัตออฟที่ 4 kHz

$$R_2 = 1 / (2\pi * 4000 * 0.01 * 10^{-6})$$

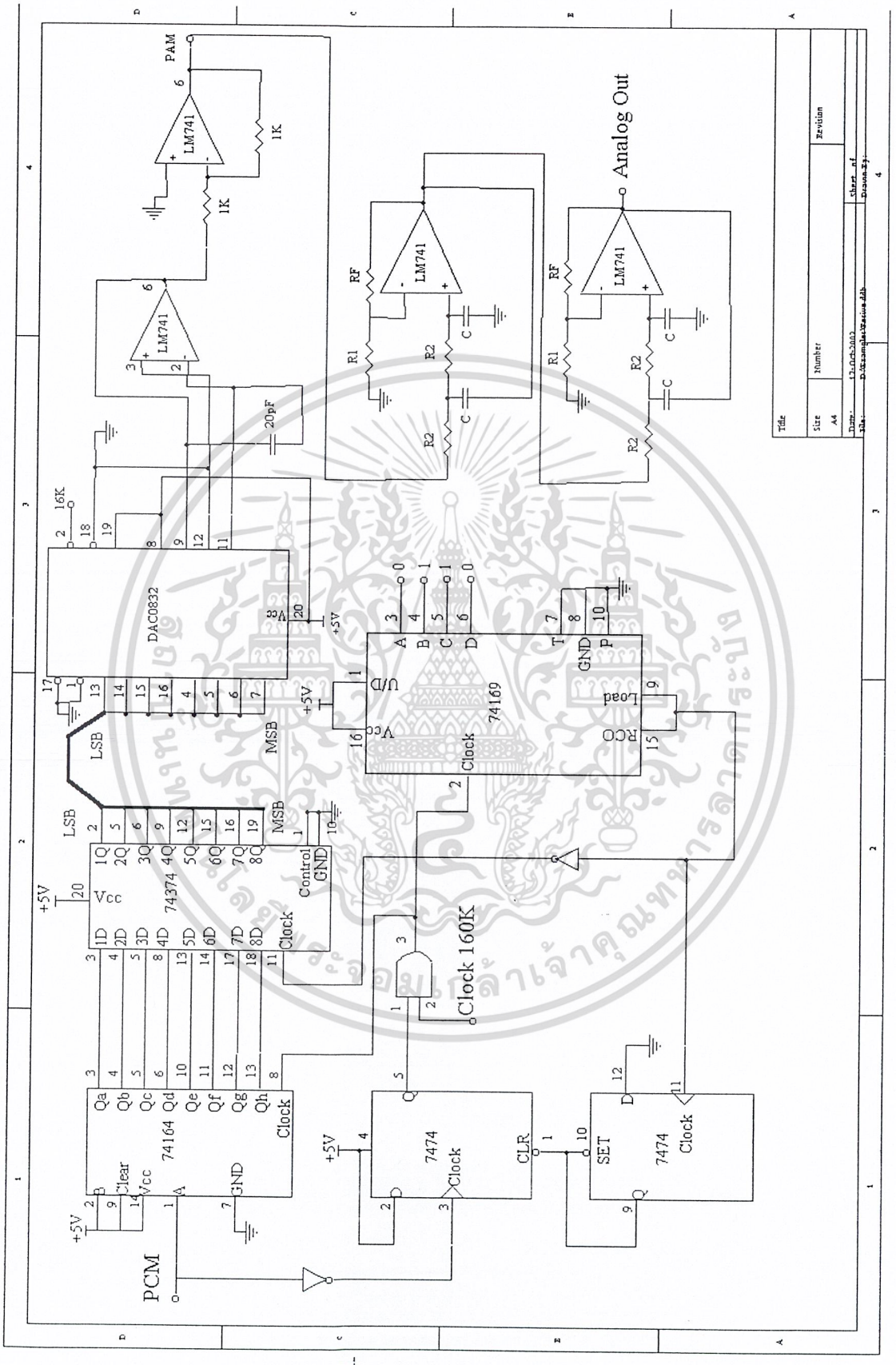
$$= 3.97\ k\Omega$$

เนื่องจาก AF = 2 ดังนั้น RF จึงต้องเท่ากับ R1

เลือก RF = R1 = 10 kΩ

แต่ในการทดลองนี้ต้องการวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ต ออเดอร์ 4 จึงนำวงจรกรองความถี่ต่ำผ่าน ออเดอร์ 2 จำนวน 2 ชุดมาต่อกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรรวมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 วัตถุประสงค์

เพื่อศึกษาถึงทฤษฎีและหลักการทำงานพื้นฐานของวงจรพัลส์โค้ดมอดูเลชั่น (PCM) ทางภาคส่งและศึกษาหลักการวงจรทางภาครับของระบบพัลส์โค้ดมอดูเลชั่นเพื่อให้ได้สัญญาณอนลอกเดิมกลับคืนมาทางภาครับโดยไม่ผิดเพี้ยน ชุดการทดลองนี้จะประกอบไปด้วย

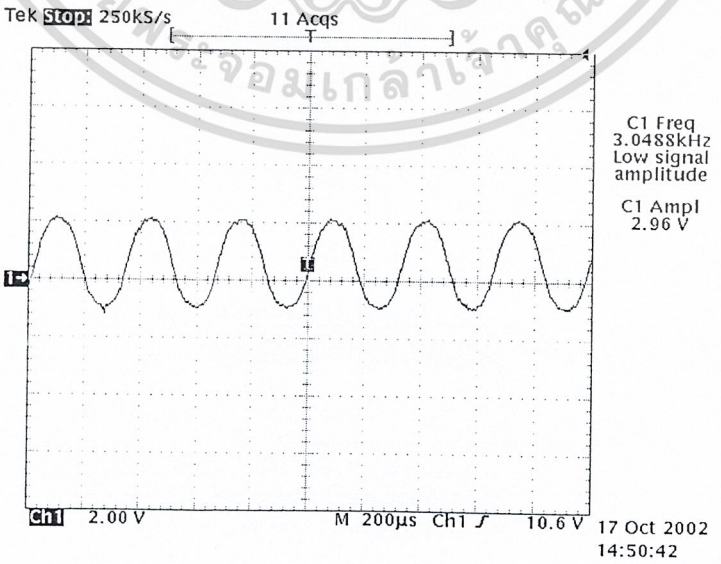
- วงจรทางภาคส่ง
- วงจรทางภาครับ

4.2 อุปกรณ์ที่ใช้ในการทดลอง

- Oscilloscope
- Power Supply
- ชุดทดลองพัลส์โค้ดมอดูเลชั่น

4.3 ลำดับขั้นตอนการทดลอง (วงจรทางภาคส่ง)

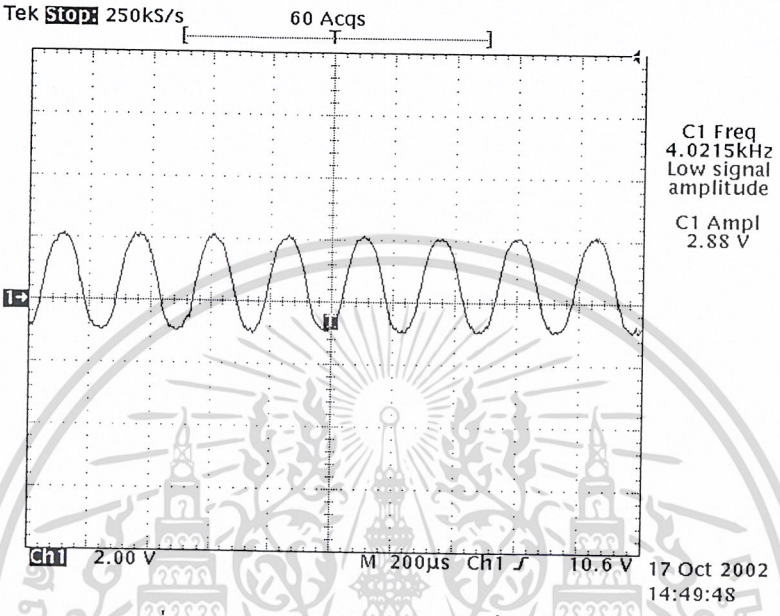
4.3.1 จ่ายไฟ ± 5V และ ± 15V แก่ชุดทดลองพัลส์โค้ดมอดูเลชั่น จากนั้นทำการปรับสัญญาณอินพุตไซน์เวฟให้ได้ความถี่ 3 kHz ที่ตัวต้านทานปรับค่าได้(R3) และทำการปรับแอมปลิจูดให้มีค่า 3V ที่ตัวต้านทานปรับค่าได้ (R1) ใช้สโคปวัดสัญญาณที่จุด TP2 และบันทึกรูปสัญญาณ



รูปที่ 4.1 สัญญาณอินพุตไซน์เวฟที่ความถี่ 3 kHz

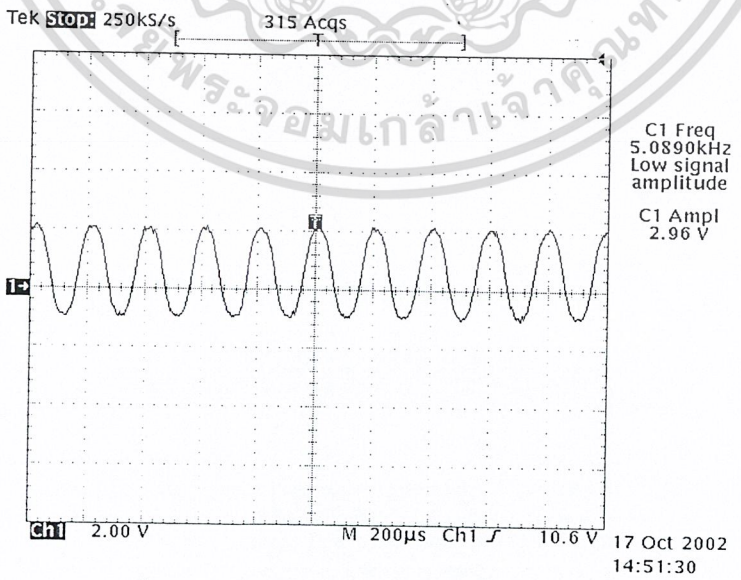
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 จากนั้นทำการปรับสัญญาณอินพุตไซน์เวฟให้ได้ความถี่ 4 kHz ที่ตัวต้านทานปรับค่าได้(R3 และทำการปรับแอมปลิจูดให้มีค่า 3V ที่ตัวต้านทานปรับค่าได้ (R1) ใช้สโคปวัดสัญญาณที่จุด TP2 และบันทึกรูปสัญญาณ



รูปที่ 4.2 สัญญาณอินพุตไซน์เวฟที่ความถี่ 4 kHz

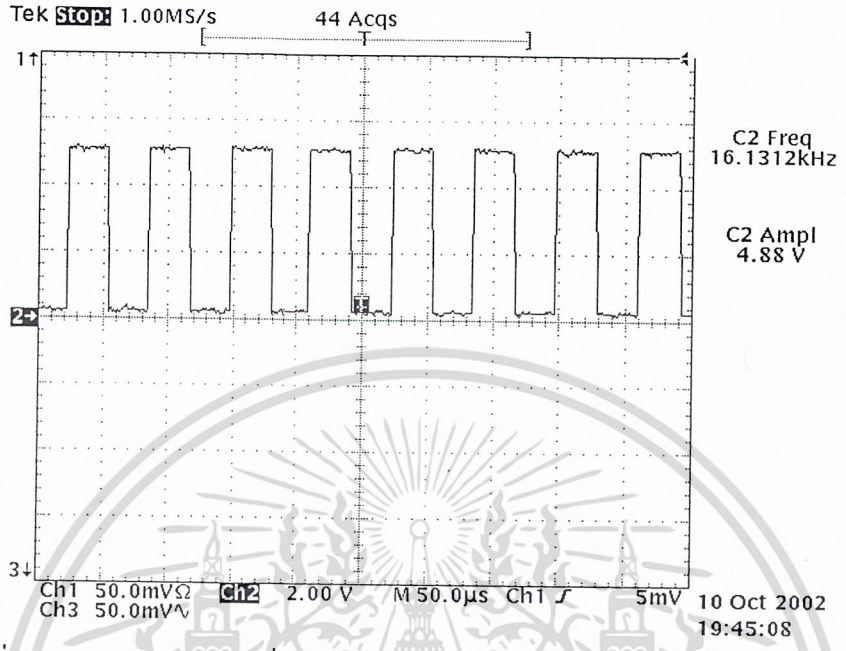
4.3.3 จากนั้นทำการปรับสัญญาณอินพุตไซน์เวฟให้ได้ความถี่ 5 kHz ที่ตัวต้านทานปรับค่าได้ (R3) และทำการปรับแอมปลิจูดให้มีค่า 3V ที่ตัวต้านทานปรับค่าได้ (R1) ใช้สโคปวัดสัญญาณที่จุด TP2 และบันทึกรูปสัญญาณ



รูปที่ 4.3 สัญญาณอินพุตไซน์เวฟที่ความถี่ 5 kHz

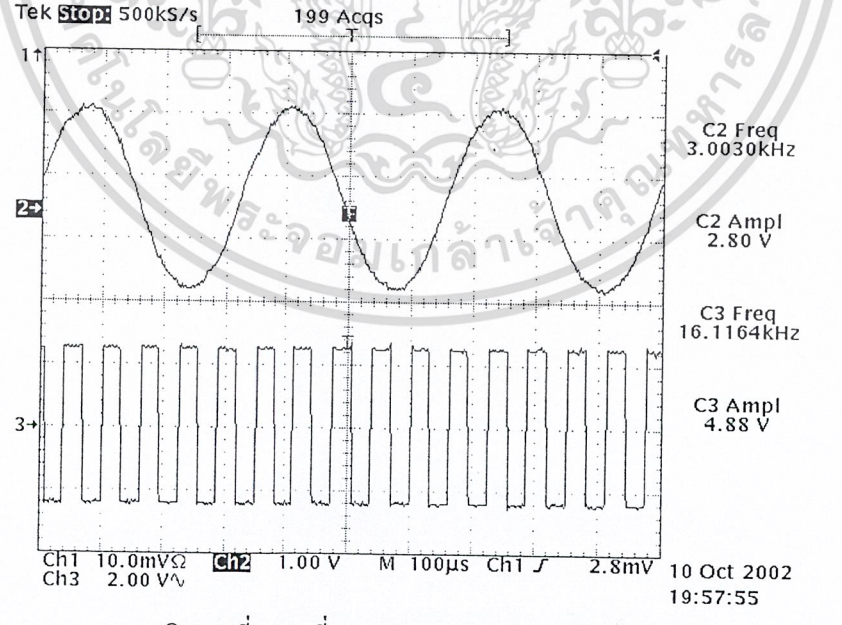
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 ทำการใช้สโคปวัดสัญญาณนาฬิกาที่จุด TP11 จะมีความถี่ประมาณ 16 kHz มีขนาด 5V



รูปที่ 4.4 สัญญาณนาฬิกาที่ใช้ในการ Sampling สัญญาณอนาลอกที่ความถี่ 16 kHz

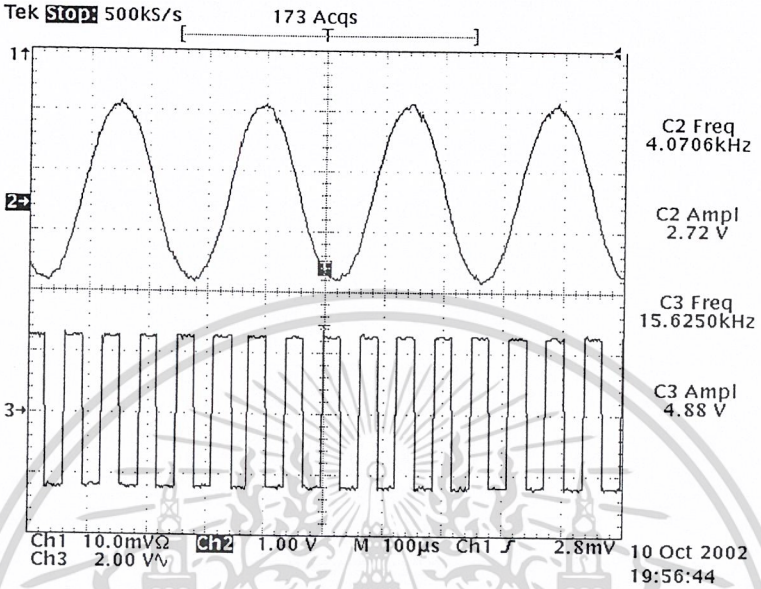
4.3.5 ใช้สโคปวัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 กับ TP11 (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 3 kHz)



รูปที่ 4.5 สัญญาณอนาลอกอินพุตที่ความถี่ 3 kHz ของภาคส่งเทียบกับสัญญาณนาฬิกาที่ใช้ในการ Sampling 16 kHz

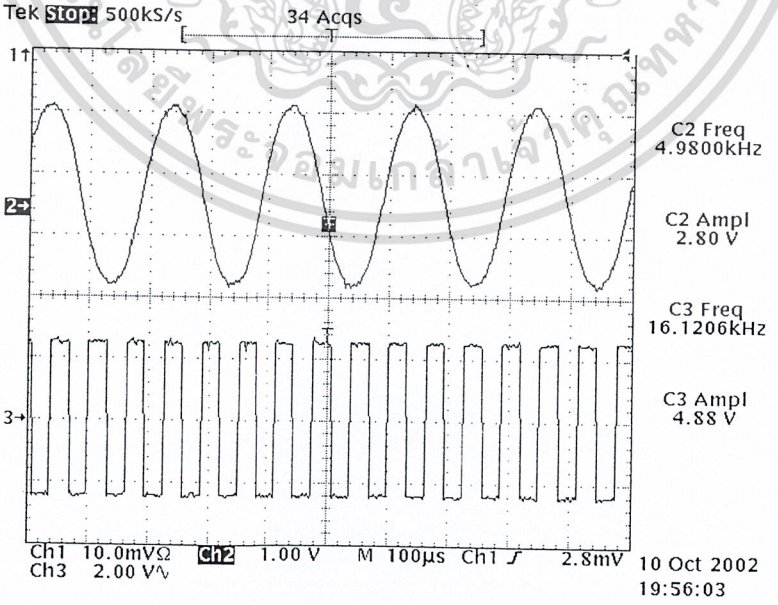
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.6 ใช้สโคปวัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 กับ TP11 (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 4 kHz)



รูปที่ 4.6 สัญญาณอนาลอกอินพุตที่ความถี่ 4 kHz ของภาคส่งเทียบกับสัญญาณนาฬิกาที่ใช้ในการ Sampling 16 kHz

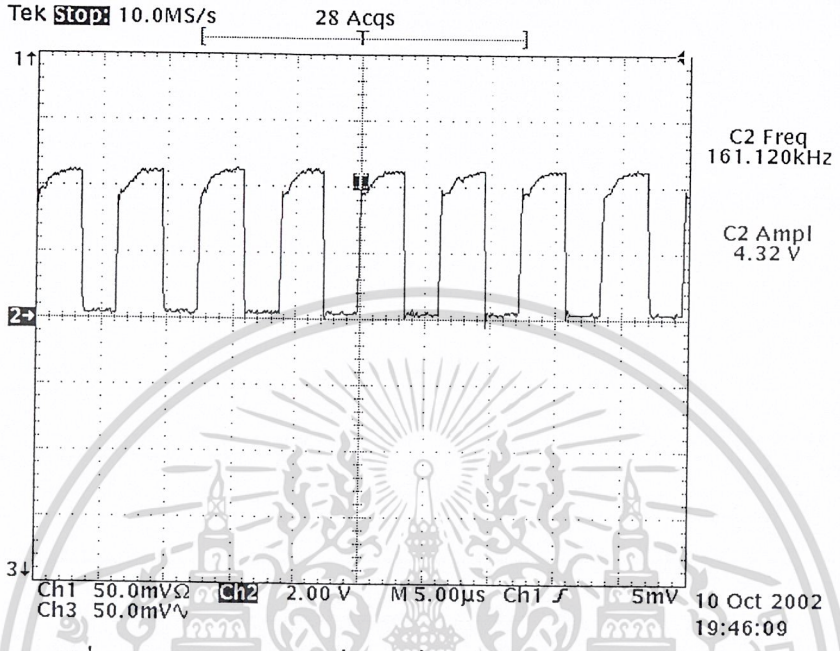
4.3.7 ใช้สโคปวัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 กับ TP11 (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 5 kHz)



รูปที่ 4.7 สัญญาณอนาลอกอินพุตที่ความถี่ 5 kHz ของภาคส่งเทียบกับสัญญาณนาฬิกาที่ใช้ในการ Sampling 16 kHz

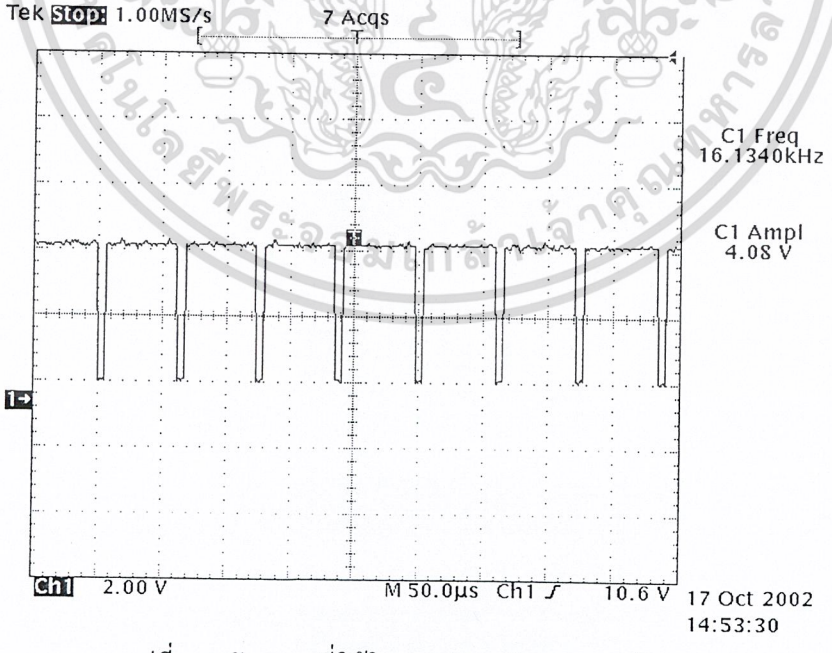
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.8 ทำการวัดสัญญาณนาฬิกา TP12 ความถี่ประมาณ 160 kHz ขนาด 5V เป็นสัญญาณนาฬิกาที่ใช้ในการส่งข้อมูล



รูปที่ 4.8 สัญญาณนาฬิกาที่ความถี่ 160 kHz ใช้สำหรับการส่งข้อมูล

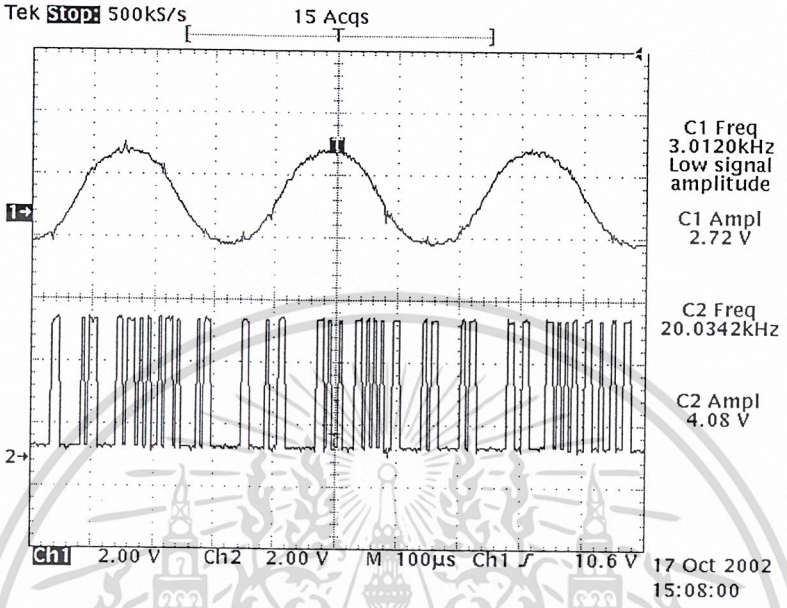
4.3.9 ทำการใช้สโคปวัดเพื่อดูสัญญาณที่ใช้ในการ โหลด ของข้อมูลที่จุด TP3



รูปที่ 4.9 สัญญาณที่ใช้ในการ ชิพ / โหลด ของข้อมูล

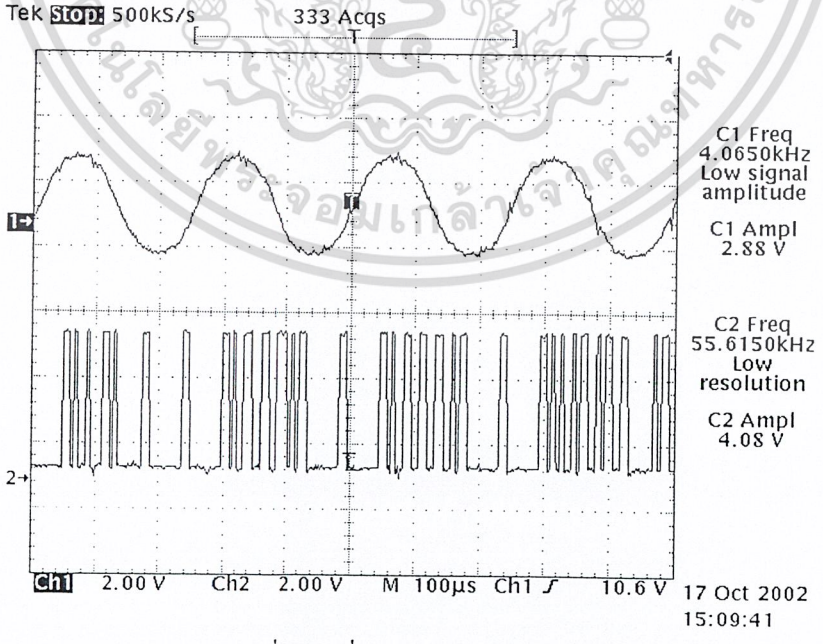
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.10 วัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 โดยเทียบกับจุด TP5 โดยใช้สเกลเดียวกัน (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 3 kHz)



รูปที่ 4.10 สัญญาณอนาลอกอินพุตที่ความถี่ 3 kHz เทียบกับสัญญาณพัลส์โค้ดมอดูเลชั่นที่เป็นข้อมูลดิจิตอลออกจากภาคส่ง

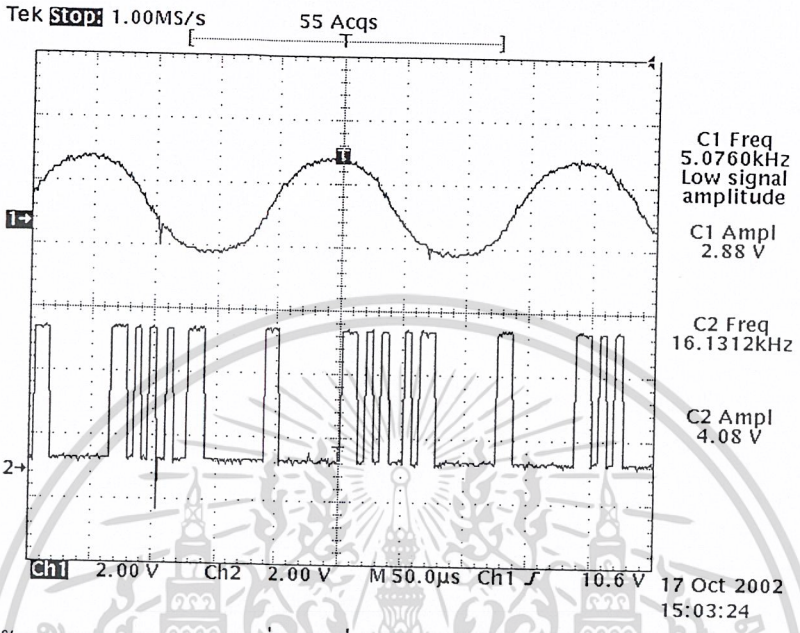
4.3.11 วัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 โดยเทียบกับจุด TP5 โดยใช้สเกลเดียวกัน (ทำการปรับความถี่ ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 4 kHz)



รูปที่ 4.11 สัญญาณอนาลอกอินพุตที่ความถี่ 4 kHz เทียบกับสัญญาณพัลส์โค้ดมอดูเลชั่นที่เป็นข้อมูลดิจิตอลออกจากภาคส่ง

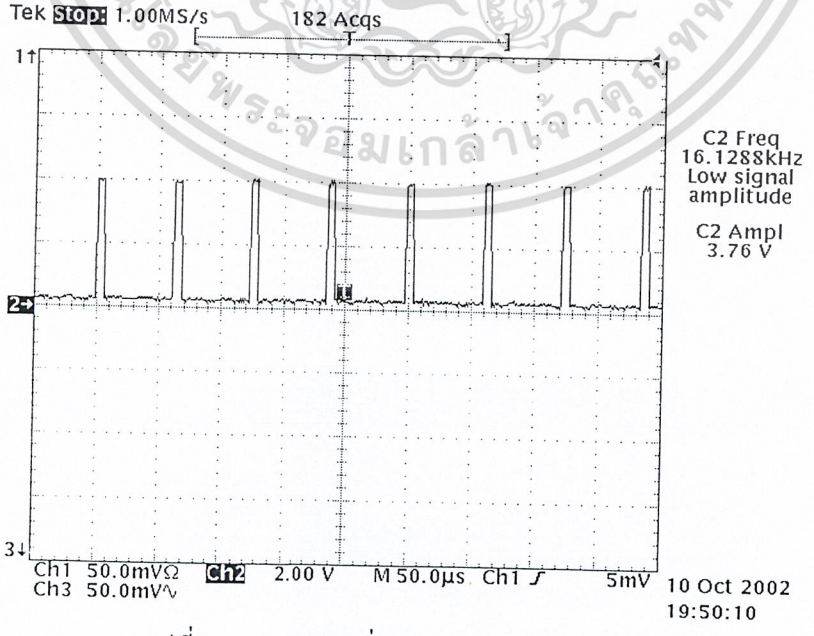
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.12 วัดขนาดและบันทึกรูปสัญญาณที่จุด TP2 โดยเทียบกับจุด TP5 โดยใช้สเกลเดียวกัน (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 5 kHz)



รูปที่ 4.12 สัญญาณอนาลอกอินพุตที่ความถี่ 5 kHz เทียบกับสัญญาณพัลส์โค้ดมอดูเลชั่นที่เป็นข้อมูลดิจิตอลออกจากภาคส่ง

4.3.13 จากจุด TP5 ถ้าไม่ป้อนสัญญาณอินพุตจะสามารถทำการวัดบิตแรกและบิตจบของสัญญาณพัลส์โค้ดสอดูเลชั่นได้ บันทึกรูปสัญญาณ

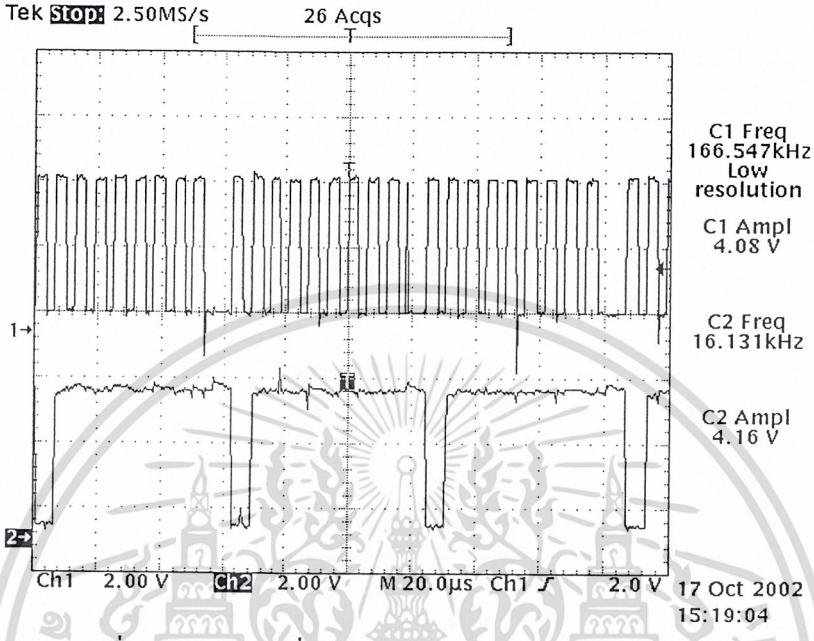


รูปที่ 4.13 แสดงบิตเริ่มและบิตจบของสัญญาณ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

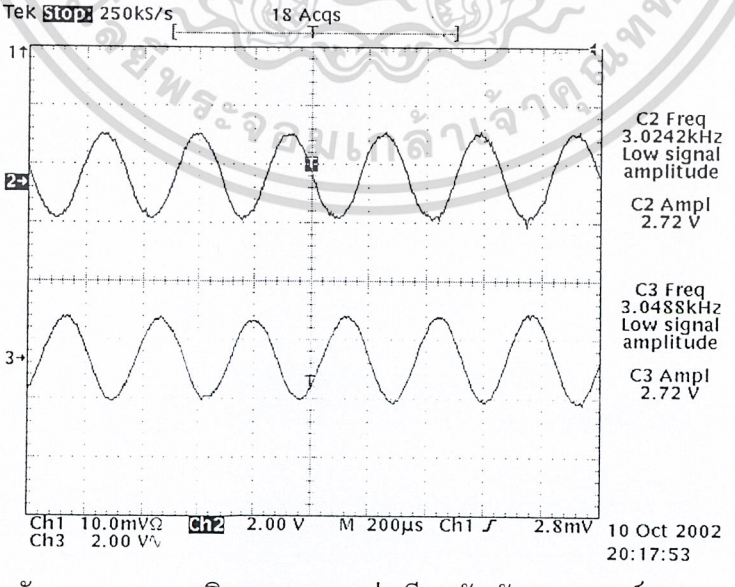
4.4 ลำดับขั้นตอนการทดลอง (วงจรทางรับ)

4.4.1 บันทึกรูปสัญญาณที่จุด TP14 กับ TP15 ของชุดวงจรพัลส์โค้ดมอดูเลชั่นทางภาครับ



รูปที่ 4.14 สัญญาณที่ใช้ชิพ/โหลดข้อมูลทางด้านวงจรภาครับ

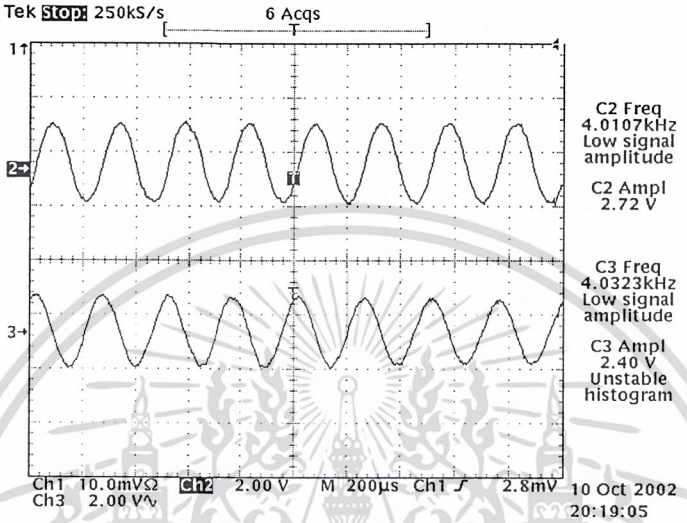
4.4.2 บันทึกรูปสัญญาณอินพุตทางภาคส่งที่จุดTP2 โดยเทียบกับสัญญาณ เอาต์พุตทางภาครับที่จุด TP19 พร้อมวัดขนาดและความถี่ของสัญญาณ (ทำการปรับความถี่ที่ชุดสร้างสัญญาณไซน์เวฟให้มีความถี่ 3 kHz)



รูปที่ 4.15 สัญญาณอนาลอกอินพุตทางภาคส่งเทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 3 kHz

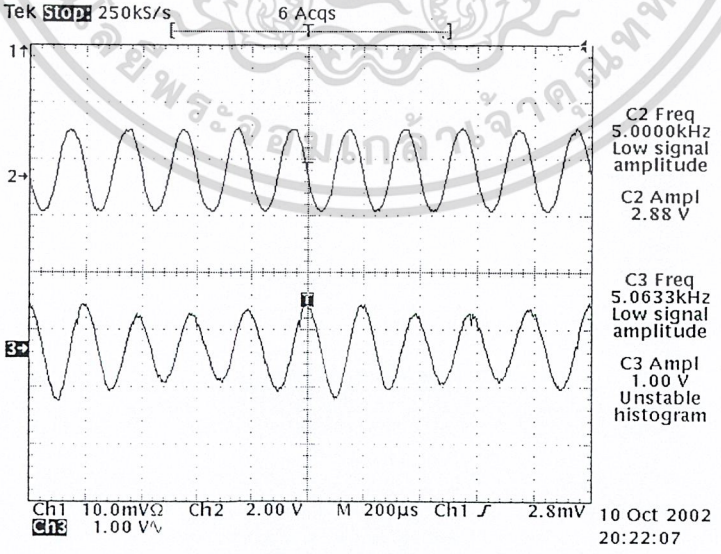
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 บันทึกรูป สัญญาณอินพุตทางภาคส่งที่จุด TP2 โดยเทียบกับสัญญาณเอาต์พุตทางภาครับที่จุด TP1 พร้อมวัดขนาดและความถี่ของสัญญาณ (ทำการปรับความถี่ที่ชุดสร้างสัญญาไซน์เวฟให้มีความถี่ 4 kHz)



รูปที่ 4.16 สัญญาณอนาลอกอินพุตทางภาคส่งเทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 4 kHz

4.4.4 บันทึกรูป สัญญาณอินพุตทางภาคส่งที่จุด TP2 โดยเทียบกับ สัญญาณเอาต์พุตทางภาครับที่จุด TP19 พร้อมวัดขนาดและความถี่ของสัญญาณ(ทำการปรับความถี่ที่ชุดสร้างสัญญาไซน์เวฟให้มีความถี่ 5 kHz)



รูปที่ 4.17 สัญญาณอนาลอกอินพุตทางภาคส่งเทียบกับสัญญาณเอาต์พุตทางภาครับที่ความถี่ 5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

โครงงานนี้เป็นชุดทดลองการส่งสัญญาณดิจิตอลด้วยระบบพัลส์โค้ดมอดูเลชั่นซึ่งออกแบบให้ทำการส่งสัญญาณ 1 ช่องสัญญาณเพื่อศึกษาถึงระบบพื้นฐานการทำงานของระบบพัลส์โค้ดมอดูเลชั่น โดยในการส่งสัญญาณจะใช้ค่าความถี่อินพุต 4 kHz เพื่อง่ายต่อการเข้าใจและทำการทดลอง ใช้ความถี่ในการ Sampling เท่ากับ 16 kHz จากนั้นทำการเข้ารหัสการส่งสัญญาณแบบพัลส์โค้ดมอดูเลชั่น โดยผ่านสายส่งไปยังภาครับเพื่อทำการถอดรหัสด้วยความถี่เดียวกันคือ 16 kHz ผลจากการทดลองสามารถทำการรับ-ส่งสัญญาณ โดยที่สัญญาณอินพุตและเอาท์พุตมีขนาดแอมปลิจูดและเฟสใกล้เคียงกันมีความเพี้ยนน้อยมาก

จากผลการทดลองและปัญหาที่พบนั้นสามารถนำไปแก้ไขและประยุกต์ใช้งานจริงได้สำหรับโครงงานนี้เป็นชุดทดลอง จึงมีส่วนที่แตกต่างจากวงจรใช้งานจริงอยู่บ้าง ดังนั้นวงจรบางส่วนจึงถูกออกแบบเพื่อใช้ในการทดลองเท่านั้น

5.1 ปัญหาและอุปสรรค

จากโครงงานได้ทำการสร้างและทดลองวงจรในส่วนต่าง ๆ โดยเริ่มตั้งแต่ในส่วนของวงจรภาคส่ง จนถึงส่วนของวงจรภาครับ พบปัญหาหลายอย่างที่ต้องหาสาเหตุและปรับปรุงแก้ไขเพื่อให้ได้การทดลองถูกต้อง ปัญหาต่าง ๆ ที่พบแบ่งได้ยกตัวอย่างเช่น ปัญหาจากสัญญาณรบกวน ไม่ว่ามาจากแหล่งจ่ายไฟ หรือเกิดจากผลของการต่อวงจร โดยเฉพาะวงจรกำเนิดสัญญาณอนาลอก สัญญาณรบกวนจากแหล่งจ่ายไฟ ทำให้สัญญาณที่วัดได้จากออสซิลโลสโคปไม่นิ่งมีการสั่นเป็นระยะ ๆ สามารถแก้ไขโดยต่อตัวเก็บประจุที่ขั้วไฟเลี้ยงของวงจร ปัญหาจากวงจรกู้สัญญาณนาฬิกา แก้ปัญหาโดยการใช้สัญญาณนาฬิกาที่มีความถี่เดียวกับทางภาคส่งแทน ในส่วนปลีกย่อยอื่น ๆ มาจากหลายสาเหตุแตกต่างกันไปไม่ว่าจะเป็นเรื่องของอุปกรณ์อิเล็กทรอนิกส์ตัวไอซีที่ไม่ได้มาตฐาน เรื่องของการบัดกรีที่ต้องแน่ใจว่าวงจรที่บัดกรีนั้นต่อกันจริง ๆ หรือการใช้เครื่องมืออุปกรณ์ที่ใช้ทำการวัดต้องมีความเข้าใจและสามารถใช้งานได้อย่างถูกต้อง ถูกวิธี หรือการออกแบบแผ่น PCB ที่ควรทำกราวด์เพลนด้วยจะทำให้เสถียรภาพของวงจรดีขึ้น เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Briton B. Mitchell, Semiconductor Pulse Circuit, Holt, Rinchart and Winston, Inc. 1970

3. Tokhein, Roger L, Digital Electronics, Mc Graw – Hill

4. ผศ.ดร.สุเจตน์ จันทรังษ์, Introduction to Digital Curcuit, พิมพ์ครั้งที่ 2, พ.ศ.2541

5. นภัทร วัจนเทพินทร์, ทฤษฎีและการออกแบบวงจรพัลซ์, พิมพ์ครั้งที่ 1, พ.ศ.2538

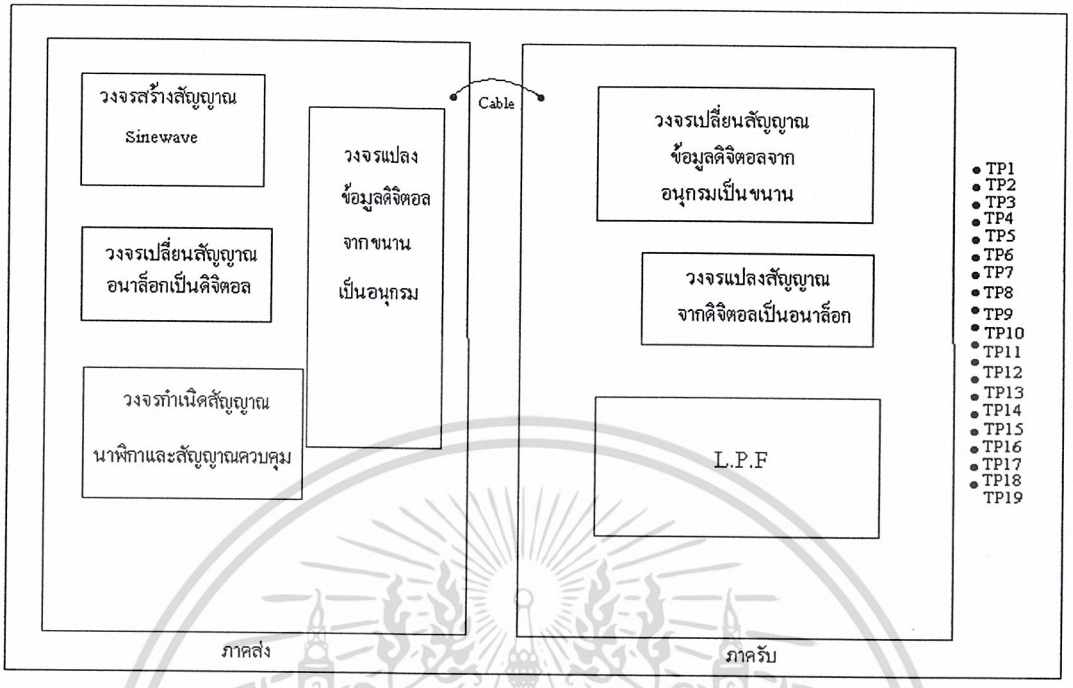
6. จักรกริศน์ จิตรแหง, พรทวี มีมา, มนัส พลายแก้ว การส่งสัญญาณเสียง PCM ชนิด 8 บิตผ่านสายไฟเบอร์ออปติค ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

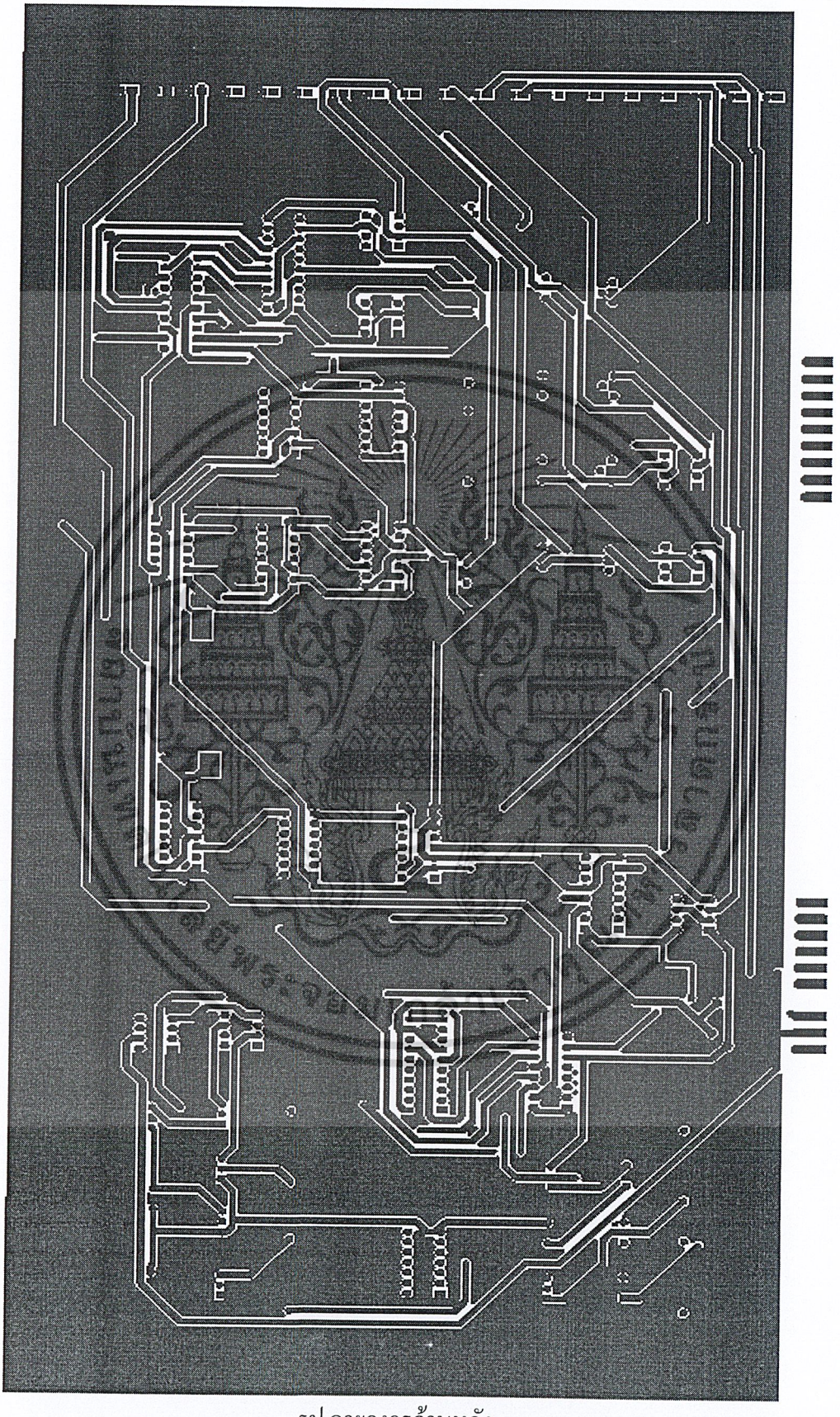
วงจรรวมและแผ่นวงจรพิมพ์ (PCB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



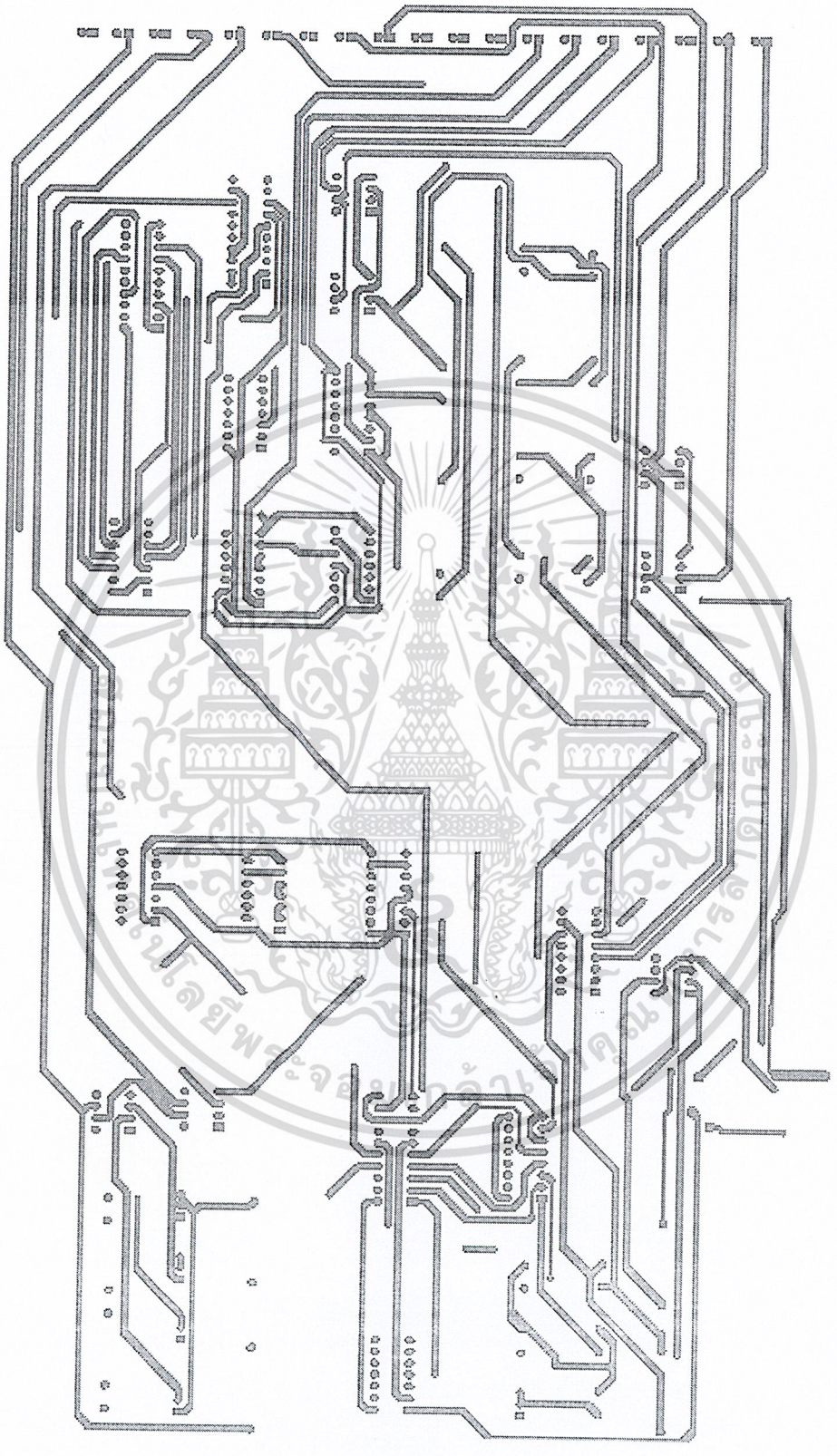
รูปแผงวงจรPCB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ลายวงจรด้านหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ลายวงจรด้านหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

ข้อมูลที่ใช้ปริญญานิพนธ์ (DATA SHEET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised April 2000

DM74LS164
8-Bit Serial In/Parallel Out Shift Register

General Description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. A low logic level at either input inhibits entry of the new data, and resets the first flip-flop to the low level at the next clock pulse, thus providing complete control over incoming data. A high logic level on either input enables the other input, which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is HIGH or LOW, but only information meeting the setup and hold time requirements will be entered. Clocking occurs on the LOW-to-HIGH level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Features

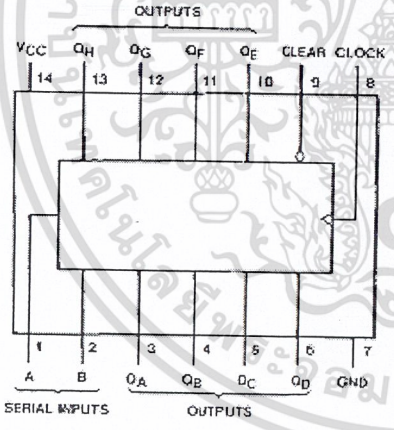
- Gated (enable/disable) serial inputs
- Fully buffered clock and serial inputs
- Asynchronous clear
- Typical clock frequency 36 MHz
- Typical power dissipation 80 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS164M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS164N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

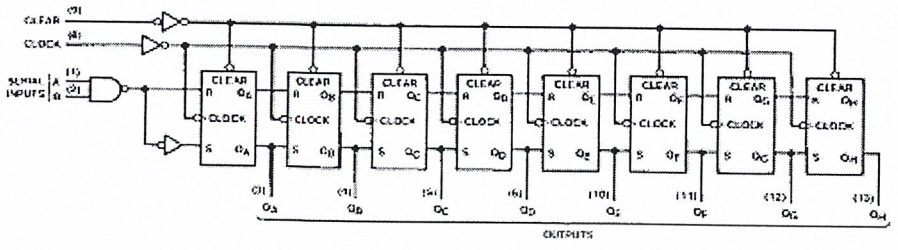
Inputs				Outputs			
Clear	Clock	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L	...	L
H	L	X	X	Q_{A0}	Q_{B0}	...	Q_{H0}
H	↑	H	H	H	Q_{An}	...	Q_{Gn}
H	↑	L	X	L	Q_{An}	...	Q_{Gn}
H	↑	X	L	L	Q_{An}	...	Q_{Gn}

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
Q_{A0}, Q_{B0}, Q_{H0} = The level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = The level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift.

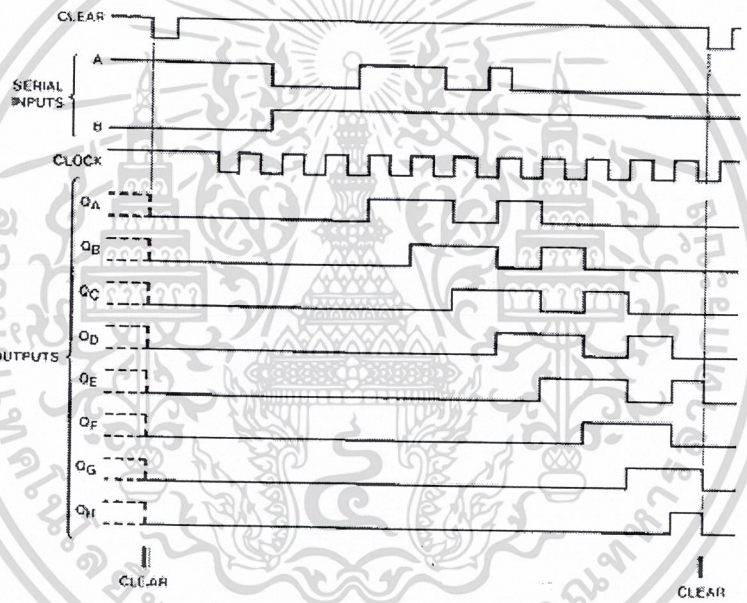
© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" tables will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−0.4	mA
I_{OL}	LOW Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 2)		0		25	MHz
t_W	Pulse Width (Note 2)	Clock	20			ns
		Clear	20			
t_{SU}	Data Setup Time (Note 2)		17			ns
t_H	Data Hold Time (Note 2)		5			ns
t_{REL}	Clear Release Time (Note 2)		30			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 2: $T_A = 25°C$ and $V_{CC} = 5V$.

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 4)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 5)		16	27	mA

Note 3: All typicals are at $V_{CC} = 5V$, $T_A = 25°C$.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 5: I_{CC} is measured with all outputs OPEN, the SERIAL input grounded, the CLOCK input at 2.4V, and a momentary ground, then 4.5V, applied to the CLEAR input.

Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25°C$

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\ k\Omega$				Units
			$C_L = 15\ pF$		$C_L = 50\ pF$		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency		25				MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clock to Output		27		30	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clock to Output		32		40	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Output		36		45	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS166

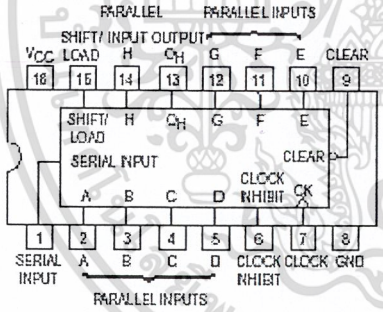
8-BIT SHIFT REGISTERS

8-BIT SHIFT REGISTERS
LOW POWER SCHOTTKY

The SN54L/74LS166 is an 8-Bit Shift Register. Designed with all inputs buffered, the drive requirements are lowered to one 54/74LS standard load. By utilizing input clamping diodes, switching transients are minimized and system design simplified.

The LS166 is a parallel-in or serial-in, serial-out shift register and has a complexity of 77 equivalent gates with gated clock inputs and an overriding clear input. The shift/load input establishes the parallel-in or serial-in mode. When high, this input enables the serial data input and couples the eight flip-flops for serial shifting with each clock pulse. Synchronous loading occurs on the next clock pulse when this is low and the parallel data inputs are enabled. Serial data flow is inhibited during parallel loading. Clocking is done on the low-to-high level edge of the clock pulse via a two input positive NOR gate, which permits one input to be used as a clock enable or clock inhibit function. Clocking is inhibited when either of the clock inputs are held high, holding either input low enables the other clock input. This will allow the system clock to be free running and the register stopped on command with the other clock input. A change from low-to-high on the clock inhibit input should only be done when the clock input is high. A buffered direct clear input overrides all other inputs, including the clock, and sets all flip-flops to zero.

- Synchronous Load
- Direct Overriding Clear
- Parallel to Serial Conversion



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

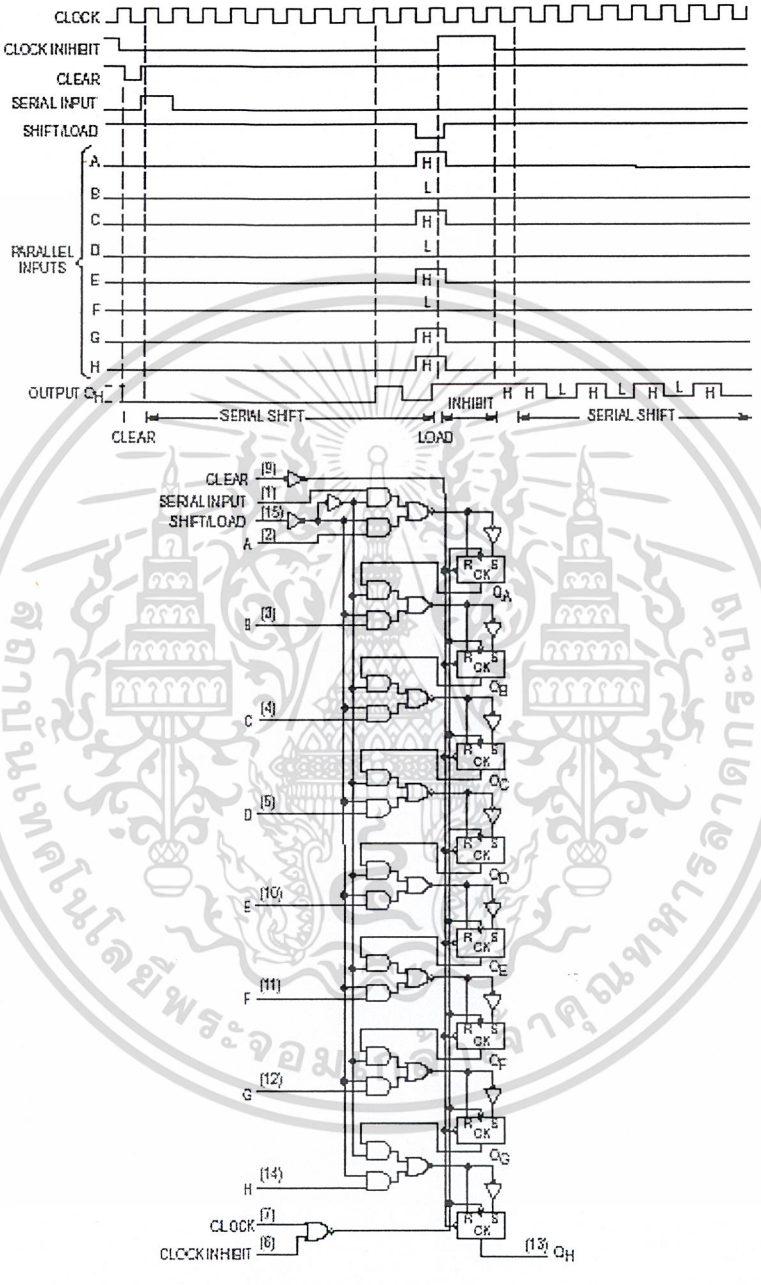
FUNCTION TABLE

INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a . . . h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS166

Typical Clear, Shift, Load, Inhibit, and Shift Sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS166

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current— High	54, 74			−0.4	mA
I_{OL}	Output Current— Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				38	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR

March 1998

DM74LS373/DM74LS374
3-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

General Description

These 8-bit registers feature totem-pole 3-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the DM54/74LS373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM54/74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

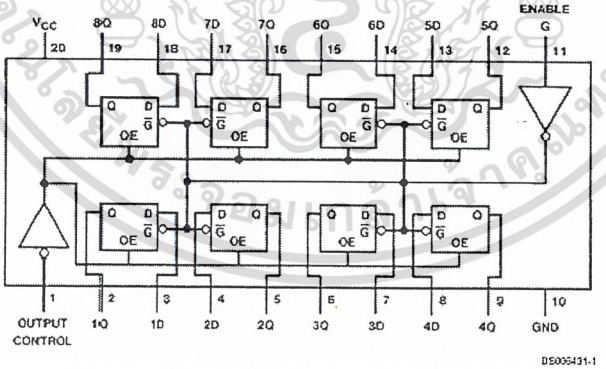
The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- 3-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

Connection Diagrams

Dual-In-Line Packages
'LS373



DS006431-1

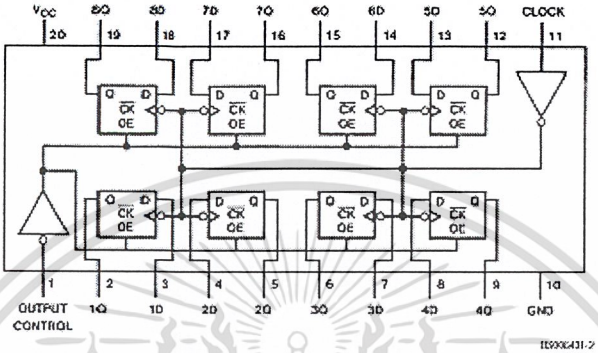
Order Number DM54LS373J, DM54LS373W, DM74LS373N or DM74LS373WM
See Package Number J20A, M20B, N20A or W20A

© 1998 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams (Continued)

'LS374



Order Number DM54LS374J, DM54LS374W, DM74LS374WM or DM74LS374N
See Package Number J20A, M20B, N20A or W20A

Function Tables

DM54/74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care
↑ = Transition from low-to-high level, Z = High Impedance State
Q_0 = The level of the output before steady-state input conditions were established.

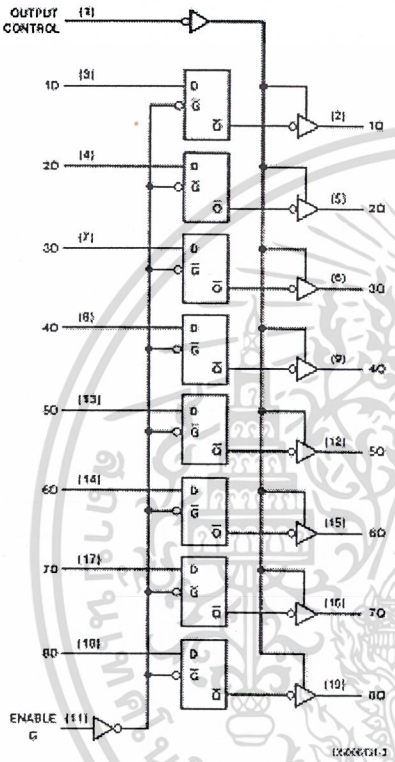
DM54/74LS374

Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

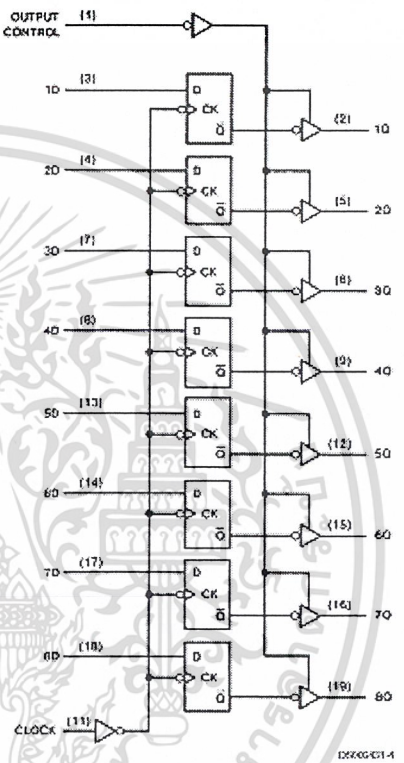
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagrams

DM54/74LS334
Transparent Latches



DM54/74LS374
Positive-Edge-Triggered Flip-Flops



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions (Continued)

Symbol	Parameter		DM54LS374			DM74LS374			Units
			Min	Nom	Max	Min	Nom	Max	
t_w	Pulse Width (Note 8)	Clock High	15			15			ns
		Clock Low	15			15			
t_{su}	Data Setup Time (Notes 7, 8)		20↑			20↑			ns
t_H	Data Hold Time (Notes 7, 8)		1↑			1↑			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Note 7: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

Note 8: $T_A = 25°C$ and $V_{CC} = 5V$.

'LS374 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 9)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min	DM54	2.4	3.4		V
		I_{OH} = Max	DM74	2.4	3.1		
		V_{IL} = Max					
		V_{IH} = Min					
V_{OL}	Low Level Output Voltage	V_{CC} = Min	DM54		0.25	0.4	V
		I_{OL} = Max	DM74		0.35	0.5	
		V_{IL} = Max					
		V_{IH} = Min					
		I_{OL} = 12 mA	DM74		0.25	0.4	
		V_{CC} = Min					
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.4	mA
I_{OZH}	Off-State Output Current with High Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V V_{IH} = Min, V_{IL} = Max				20	µA
I_{OZL}	Off-State Output Current with Low Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V V_{IH} = Min, V_{IL} = Max				−20	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 10)	DM54	−50		−225	mA
			DM74	−50		−225	
I_{CC}	Supply Current	V_{CC} = Max, D_n = GND, OC = 4.5V			27	45	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'LS374 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R_L = 667Ω				Units
		C_L = 45 pF		C_L = 150 pF		
		Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	35		20		MHz
t_{PLH}	Propagation Delay Time Low to High Level Output		28		32	ns
t_{PHL}	Propagation Delay Time High to Low Level Output		28		38	ns
t_{PZH}	Output Enable Time to High Level Output		28		44	ns
t_{PZL}	Output Enable Time to Low Level Output		28		44	ns
t_{PHZ}	Output Disable Time from High Level Output (Note 11)		20			ns
t_{PLZ}	Output Disable Time from Low Level Output (Note 11)		25			ns

Note 9: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 10: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 11: C_L = 5 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS74A
Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

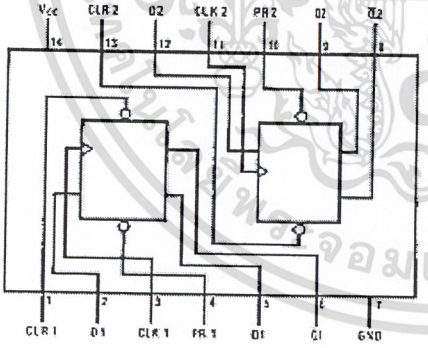
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS85ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
L = LOW Logic Level
↑ = Positive-going Transition
Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 2)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 2: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−0.4	mA
I_{OL}	LOW Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 3)		0		25	MHz
f_{CLK}	Clock Frequency (Note 4)		0		20	MHz
t_W	Pulse Width (Note 3)	Clock HIGH	18			ns
		Preset LOW	15			
		Clear LOW	15			
t_W	Pulse Width (Note 4)	Clock HIGH	25			ns
		Preset LOW	20			
		Clear LOW	20			
t_{SU}	Setup Time (Note 3)(Note 5)		20↑			ns
t_{SU}	Setup Time (Note 4)(Note 5)		25↑			ns
t_H	Hold Time (Note 5)(Note 6)		0↑			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 3: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C, and V_{CC} = 5V.

Note 4: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C, and V_{CC} = 5V.

Note 5: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

Note 6: T_A = 25°C and V_{CC} = 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 7)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min			0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	Data			0.1	mA
			Clock			0.1	
			Preset			0.2	
			Clear			0.2	
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V	Data			20	µA
			Clock			20	
			Clear			40	
			Preset			40	
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V	Data			−0.4	mA
			Clock			−0.4	
			Preset			−0.8	
			Clear			−0.8	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 8)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 9)			4	8	mA

Note 7: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 8: Not more than one output should be shorted at a time, and the duration should not exceed one second. For devices, with feedback from the outputs, where shorting the outputs to ground may cause the outputs to change logic state an equivalent test may be performed where V_O = 2.125V with the minimum and maximum limits reduced by one half from their stated values. This is very useful when using automatic test equipment.

Note 9: With all outputs OPEN, I_{CC} is measured with CLOCK grounded after setting the Q and $\overline{Q}$ outputs HIGH in turn.

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency		25		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clock to Q or $\overline{Q}$		25		35	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clock to Q or $\overline{Q}$		30		35	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Preset to Q		25		35	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Preset to $\overline{Q}$		30		35	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clear to $\overline{Q}$		25		35	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Q		30		35	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

BCD DECADE/MODULO 16 BINARY SYNCHRONOUS BI-DIRECTIONAL COUNTERS

SN54/74LS168
SN54/74LS169

BCD DECADE/MODULO
16 BINARY SYNCHRONOUS
BI-DIRECTIONAL COUNTERS

LOW POWER SCHOTTKY

The SN54/74LS168 and SN54/74LS169 are fully synchronous 4-stage up/down counters featuring a preset capability for programmable operation, carry lookahead for easy cascading and a U/D input to control the direction of counting. The SN54/74LS168 counts in a BCD decade (8, 4, 2, 1) sequence, while the SN54/74LS169 operates in a Modulo 16 binary sequence. All state changes, whether in counting or parallel loading, are initiated by the LOW-to-HIGH transition of the clock.

- Low Power Dissipation 100 mW Typical
- High-Speed Count Frequency 30 MHz Typical
- Fully Synchronous Operation
- Full Carry Lookahead for Easy Cascading
- Single Up/Down Control Input
- Positive Edge-Trigger Operation
- Input Clamp Diodes Limit High-Speed Termination Effects

J SUFFIX
CERAMIC
CASE 620-09

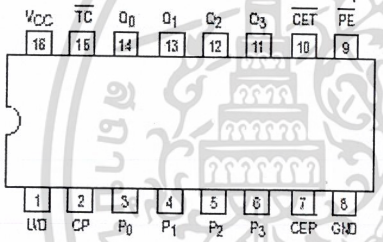
N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



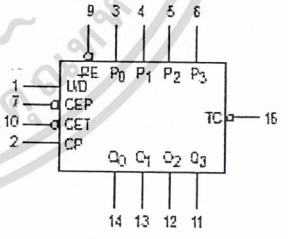
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CEP}$	Count Enable Parallel (Active LOW) Input	0.5 U.L.	0.25 U.L.
CET	Count Enable Trickle (Active LOW) Input	1.0 U.L.	0.5 U.L.
$\overline{CP}$	Clock Pulse (Active positive going edge) Input	0.5 U.L.	0.25 U.L.
$\overline{PE}$	Parallel Enable (Active LOW) Input	0.5 U.L.	0.25 U.L.
U/D	Up-Down Count Control Input	0.5 U.L.	0.25 U.L.
P_0–P_3	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_0–Q_3	Flip-Flop Outputs	10 U.L.	5 (2.5) U.L.
TC	Terminal Count (Active LOW) Output	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC SYMBOL

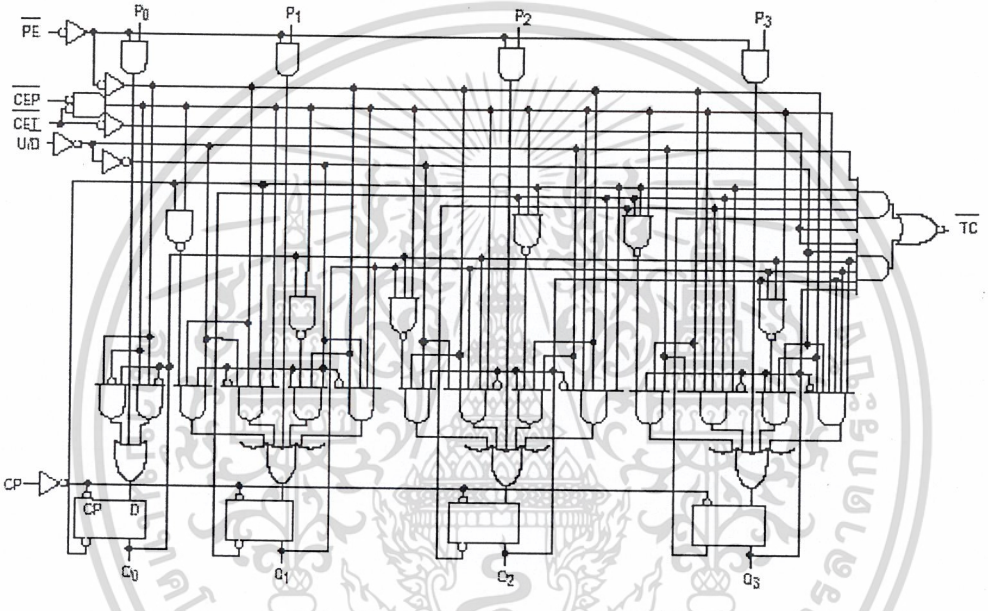


V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAMS (continued)

SN54/74LS169



GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Other Inputs CET Input				20 40	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Other Input CET Input				0.1 0.2	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Other Input CET Input				−0.4 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				34	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at one time, nor for more than 1 second.

FUNCTIONAL DESCRIPTION

The SN54/74LS168 and SN54/74LS169 use edge-triggered D-type flip-flops that have no constraints on changing the control or data input signals in either state of the Clock. The only requirement is that the various inputs attain the desired state at least a set-up time before the rising edge of the clock and remain valid for the recommended hold time thereafter.

The parallel load operation takes precedence over the other operations, as indicated in the Mode Select Table. When PE is LOW, the data on the $P_0 - P_3$ inputs enters the flip-flops on the next rising edge of the Clock. In order for counting to occur, both CEP and CET must be LOW and PE must be HIGH. The U/D input then determines the direction of counting.

The Terminal Count ($\overline{TC}$) output is normally HIGH and goes LOW, provided that CET is LOW, when a counter reaches zero in the COUNT DOWN mode or reaches 15 (9 for the SN54/74LS168) in the COUNT UP mode. The TC output state is not a function of the Count Enable Parallel (CEP) input level. The TC output of the SN54/74LS168 decade counter can also be LOW in the illegal states 11, 13 and 15, which can occur when power is turned on or via parallel loading. If illegal state occurs, the SN54/74LS168 will return to the legitimate sequence within two counts. Since the TC signal is derived by decoding the flip-flop states, there exists the possibility of decoding spikes on TC. For this reason the use of TC as a clock signal is not recommended.

MODE SELECT TABLE

PE	CEP	CET	U/D	Action on Rising Clock Edge
L	X	X	X	Load ($P_n \rightarrow Q_n$)
H	L	L	H	Count Up (Increment)
H	L	L	L	Count Down (Decrement)
H	H	X	X	No Change (Hold)
H	X	H	X	No Change (Hold)

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
f_{MAX}	Maximum Clock Frequency	25	32		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay, Clock to TC		23 23	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay, Clock to any Q		13 15	20 23	ns	
t_{PLH} t_{PHL}	Propagation Delay, CET to TC		15 15	20 20	ns	
t_{PLH} t_{PHL}	Propagation Delay, U/D to TC		17 19	25 29	ns	

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	Clock Pulse Width	25			ns	V_{CC} = 5.0 V
t_S	Setup Time, Data or Enable	20			ns	
t_S	Setup Time PE	25			ns	
t_S	Setup Time U/D	30			ns	
t_h	Hold Time Any Input	0			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1994

LM741 Operational Amplifier

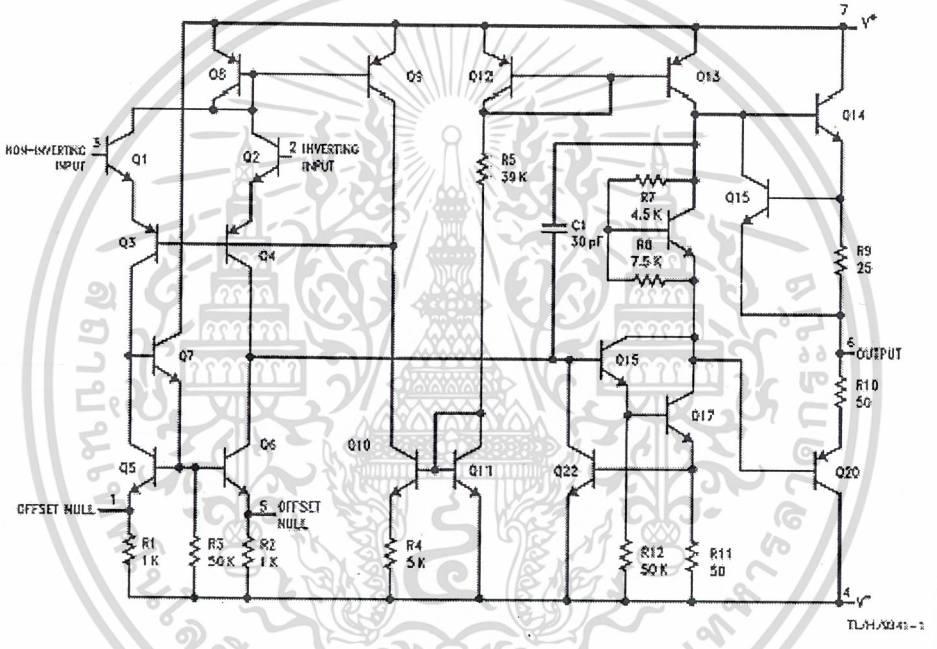
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

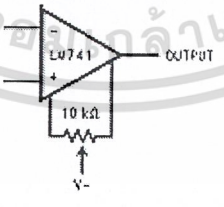
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic Diagram



Offset Nulling Circuit



TL/H/9341–7

© 1995 National Semiconductor Corporation TL/H/9341

RRD-B30M115/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 5)

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	100°C	150°C	100°C
Soldering Information				
N-Package (10 seconds)	260°C	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C	300°C
M-Package				
Vapor Phase (60 seconds)	215°C	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C	215°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.				
ESD Tolerance (Note 6)	400V	400V	400V	400V

Electrical Characteristics (Note 3)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$ $R_S \leq 10k\Omega$ $R_S \leq 50\Omega$		 0.8	 3.0		1.0	5.0		2.0	6.0	 mV mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 50\Omega$ $R_S \leq 10k\Omega$			4.0			 6.0			 7.5	mV mV
Average Input Offset Voltage Drift				15							µV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	µA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \geq 2k\Omega$ $V_S = \pm 20V$, $V_O = \pm 15V$ $V_S = \pm 15V$, $V_O = \pm 10V$	50			 50	 200		 20	 200		 V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2k\Omega$, $V_S = \pm 20V$, $V_O = \pm 15V$ $V_S = \pm 15V$, $V_O = \pm 10V$ $V_S = \pm 5V$, $V_O = \pm 2V$	 32 10			 25			 15			 V/mV V/mV V/mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) (Continued)

Parameter	Conditions	LM741A/LM741E			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\,k\Omega$	± 16									V
	$R_L \geq 2\,k\Omega$	± 15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\,k\Omega$				± 12	± 14		± 12	± 14		V
	$R_L \geq 2\,k\Omega$				± 10	± 13		± 10	± 13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\,k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\Omega$, $V_{CM} = \pm 12V$	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\,k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		µs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 4)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/µs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 2: For supply voltages less than $\pm 15V$, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55°C \leq T_A \leq +125°C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0°C \leq T_A \leq +70°C$.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(µs).

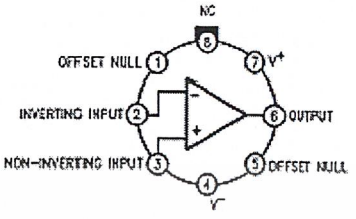
Note 5: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 6: Human body model, 1.5 kΩ in series with 100 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

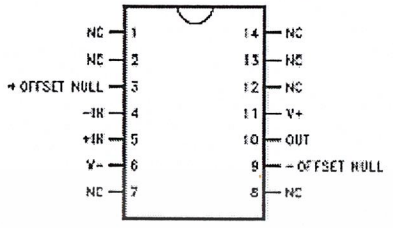
Metal Can Package



TL/H/9341–2

Order Number LM741H, LM741H/883*, LM741AH/883 or LM741CH
See NS Package Number H08C

Ceramic Dual-In-Line Package

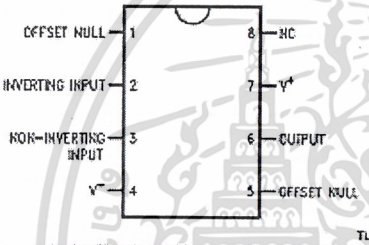


TL/H/9341–5

Order Number LM741J-14/883*, LM741AJ-14/883**
See NS Package Number J14A

*also available per JM38510/10101
**also available per JM38510/10102

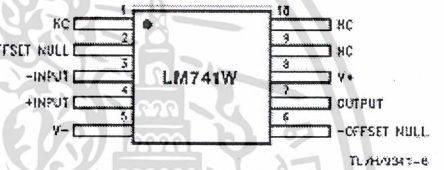
Dual-In-Line or S.O. Package



TL/H/9341–3

Order Number LM741J, LM741J/883, LM741CM, LM741CN or LM741EN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak



TL/H/9341–6

Order Number LM741W/883
See NS Package Number W10A

*LM741H is available per JM38510/10101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%/V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

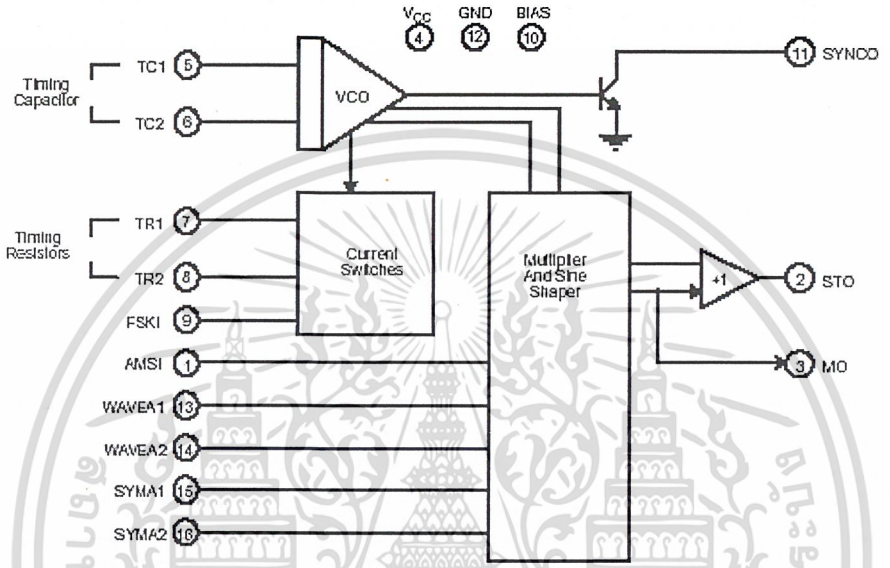
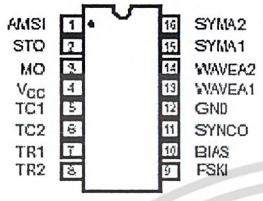
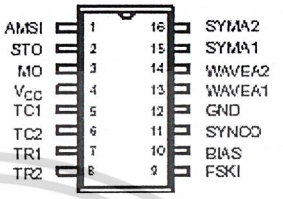


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V_{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	±50		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	0.1		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
Bold face parameters are covered by production test and guaranteed over operating temperature range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	20		0.1	100	µA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

ADC0820 8-Bit High Speed μP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/μs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

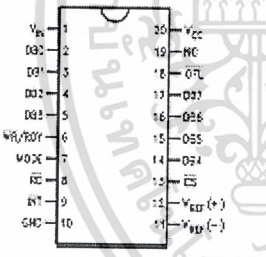
- Resolution 8 Bits
- Conversion Time 2.5 μs Max (RD Mode)
  1.5 μs Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/μs converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error ± ½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

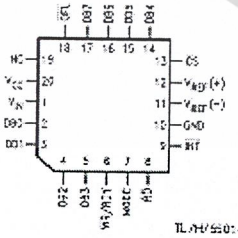
Dual-In-Line, Small Outline and SSOP Packages



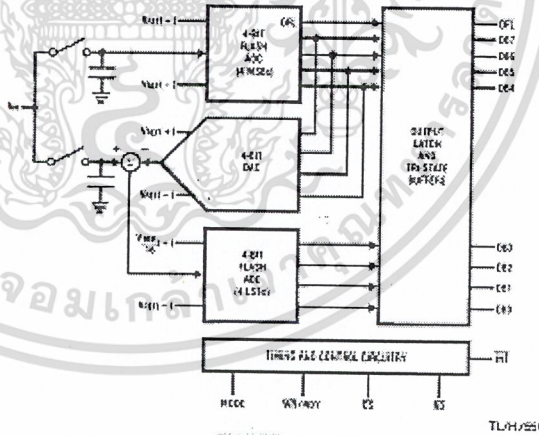
TL/H/5501–1

Top View

Molded Chip Carrier Package



TL/H/5501–50



TL/H/5501–2

FIGURE 1

See Ordering Information

TRI-STATE® is a registered trademark of National Semiconductor Corporation

© 1995 National Semiconductor Corporation TL/H/5501

RRD-B30M115/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} + 0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} + 0.2V
Storage Temperature Range	−65°C to + 150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40°C ≤ T_A ≤ +85°C
ADC0820CIWM	−40°C ≤ T_A ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T_A ≤ 70°C
ADC0820BCV, ADC0820CCV	0°C ≤ T_A ≤ 70°C
ADC0820BCWM, ADC0820CCWM	0°C ≤ T_A ≤ 70°C
ADC0820CCMSA	0°C ≤ T_A ≤ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0), V_{CC} = 5V, $V_{REF}(+)$ = 5V, and $V_{REF}(-)$ = GND unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_j$ = 25°C.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			**8**			8	**8**	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM					±½	**±½**	LSB
	ADC0820CCJ		**±1**					LSB
	ADC0820CCN, CCWM, CIWM, ADC0820CCMSA					±1	**±1**	LSB
						±1	**±1**	LSB
Minimum Reference Resistance		2.3	**1.00**		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	**6**		2.3	5.3	**6**	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			**GND**			GND	**GND**	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC} + 0.1			V_{CC} + 0.1	V_{CC} + 0.1	V
Minimum V_{IN} Input Voltage			GND − 0.1			GND − 0.1	GND − 0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ = V_{CC}							
	V_{IN} = V_{CC}		3			0.3	3	μA
	V_{IN} = GND		−3			−0.3	−3	μA
Power Supply Sensitivity	V_{CC} = 5V ± 5%	± 1/16	± ¼		± 1/16	± ¼	± ¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_J = 25°C$.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM ADC0820CCMSA, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC} = 5.25V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC} = 4.75V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)} = 5V$; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		1	μA
	$V_{IN(1)} = 5V$; $\overline{WR}$		0.1	3		0.1	0.3	3	μA
	$V_{IN(1)} = 5V$; Mode		50	200		50	170	200	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)} = 0V$; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		−1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = -360\ \mu A$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	2.4	V
	$V_{CC} = 4.75V$, $I_{OUT} = -10\ \mu A$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = 1.6$ mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	$V_{OUT} = 5V$; DB0–DB7, RDY		0.1	3		0.1	0.3	3	μA
	$V_{OUT} = 0V$; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	−3	μA
I_{SOURCE}, Output Source Current	$V_{OUT} = 0V$; DB0–DB7, $\overline{OFL}$ $\overline{INT}$		−12	−6		−12	−7.2	−6	mA
			−9	−4.0		−9	−5.3	−4.0	mA
I_{SINK}, Output Sink Current	$V_{OUT} = 5V$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25°C$ unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *(Figure 2)*	1.6		2.5	μs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *(Figure 2)*	$t_{CRD} \div 20$		$t_{CRD} \div 50$	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD} = 600 ns; *(Figures 3a and 3b)*			1.52	μs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)*		600		ns
	Max	(Note 4) See Graph	50			μs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *(Figures 3a and 3b)* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} < t_1$; *(Figure 3a)* C_L = 15 pF	190		280	ns
		C_L = 100 pF	210		320	ns
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} > t_1$; *(Figure 3b)* C_L = 15 pF	70		120	ns
		C_L = 100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)		$R_{PULL-UP}$ = 1k and C_L = 15 pF	30			ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for V_{CC} = 5V, $t_r = t_f$ = 20 ns, $V_{REF}(+)$ = 5V, $V_{REF}(-)$ = 0V and T_A = 25°C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_c, Internal Comparison Time	Pin 7 = V_{CC} *(Figures 3b and 4)* C_L = 50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L = 1k, C_L = 10 pF	100		200	ns
t_{INTL}, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L = 50 pF $t_{RD} > t_c$ *(Figure 3b)* $t_{RD} < t_c$ *(Figure 3a)*	 t_{RD} + 200		 t_c t_{RD} + 290	 ns ns
t_{INTH}, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*(Figures 2, 3a and 3b)* C_L = 50 pF	125		225	ns
t_{INTHWR}, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*(Figure 4)*, C_L = 50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*(Figure 2)*, C_L = 50 pF, Pin 7 = 0	50		100	ns
t_D, Delay from $\overline{INT}$ to Output Valid	*(Figure 4)*	20		50	ns
t_R, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC}, $t_{RD} < t_c$ *(Figure 3a)*	200		290	ns
t_B, Delay from End of Conversion to Next Conversion	*(Figures 2, 3a, 3b and 4)* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

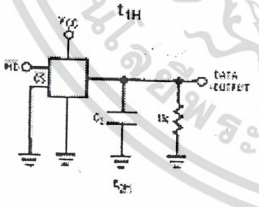
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

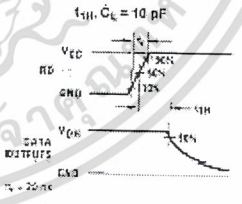
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

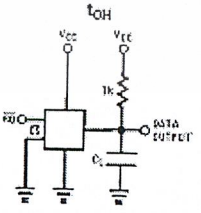
TRI-STATE Test Circuits and Waveforms



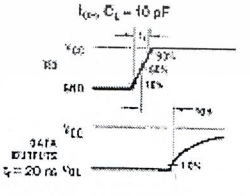
TL/H/5501–3



TL/H/5501–4



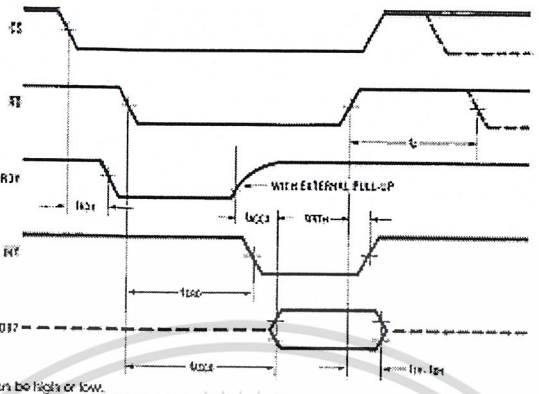
TL/H/5501–5



TL/H/5501–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

TL/H/5501–7

FIGURE 2. RD Mode (Pin 7 is Low)

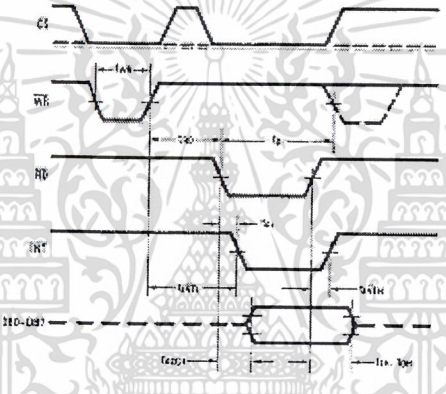


FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

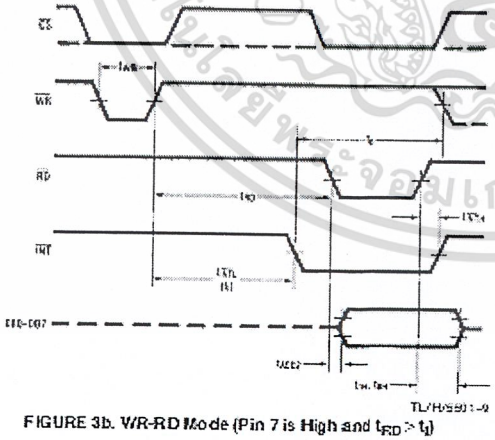


FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} \geq t_I$)

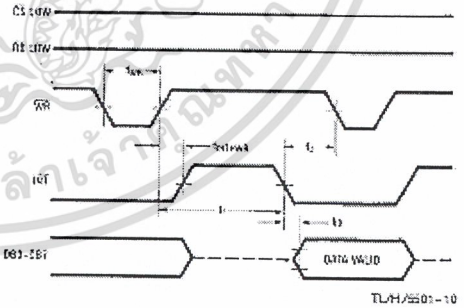


FIGURE 4. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $-GND \leq V_{IN} \leq V_{CC}$
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3a* and *3b*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input—it is internally tied to GND through a 50 μA current source. **RD Mode:** When mode is *low* **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 4*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3a* and *3b*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 3b*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3a*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3a* and *3b*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF}(-) \leq V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \leq V_{REF}(+) \leq V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0830/DAC0832
8-Bit µP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™).

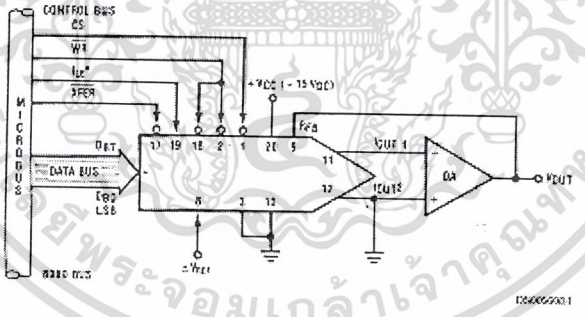
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only— NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without µP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

- Current settling time: 1 µs
- Resolution: 8 bits
- Linearity: 8, 9, or 10 bits (guaranteed over temp.)
- Gain Tempco: 0.0002% FS/°C
- Low power dissipation: 20 mW
- Single power supply: 5 to 15 V_{DC}

Typical Application



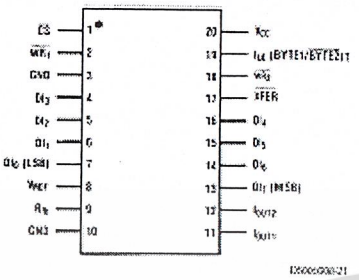
BI-FET™ and MICRO-DAC™ are trademarks of National Semiconductor Corporation.
Z80® is a registered trademark of Zilog Corporation.

© 1999 National Semiconductor Corporation DS005608

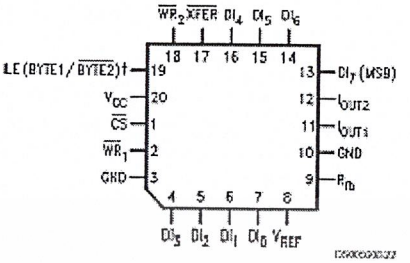
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams (Top Views)

Dual-In-Line and Small-Outline Packages



Molded Chip Carrier Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A=25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 4)	800V
Lead Temperature (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Conditions

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
Part numbers with "LCN" suffix	0°C to +70°C
Part numbers with "LCWM" suffix	0°C to +70°C
Part numbers with "LCV" suffix	0°C to +70°C
Part numbers with "LCJ" suffix	−40°C to +85°C
Part numbers with "LJ" suffix	−55°C to +125°C
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature. $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A=25°C.

Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS						
Resolution			8	8	8	bits
Linearity Error Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				0.05	0.05	% FSR
DAC0832LJ & LCJ				0.2	0.2	% FSR
DAC0830LCN, LCWM & LCV				0.05	0.05	% FSR
DAC0831LCN				0.1	0.1	% FSR
DAC0832LCN, LCWM & LCV				0.2	0.2	% FSR
Differential Nonlinearity Max	Zero and full scale adjusted −10V≤V_{REF}≤+10V	4, 8				
DAC0830LJ & LCJ				0.1	0.1	% FSR
DAC0832LJ & LCJ				0.4	0.4	% FSR
DAC0830LCN, LCWM & LCV				0.1	0.1	% FSR
DAC0831LCN				0.2	0.2	% FSR
DAC0832LCN, LCWM & LCV				0.4	0.4	% FSR
Monotonicity	−10V≤V_{REF} LJ & LCJ	4		8	8	bits
	≤+10V LCN, LCWM & LCV			8	8	bits
Gain Error Max	Using Internal R_{fb} −10V≤V_{REF}≤+10V	7	±0.2	±1	±1	% FS
Gain Error Tempco Max	Using Internal R_{fb}		0.0002		0.0006	% FS/°C
Power Supply Rejection	All digital inputs latched high					
	V_{CC}=14.5V to 15.5V		0.0002	0.0025		% FSR/V
	11.5V to 12.5V		0.0006			
	4.5V to 5.5V		0.013	0.015		
Reference Input Max			15	20	20	kΩ
Reference Input Min			15	10	10	kΩ
Output Feedthrough Error	V_{REF}=20 Vp-p, f=100 kHz All data inputs latched low		3			mVp-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V_{REF}=10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A=25°C.

Parameter		Conditions		See Note	V_{CC} = 4.75 V_{DC} / V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% / V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%	Limit Units
					Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
CONVERTER CHARACTERISTICS								
Output Leakage Current Max	I_{OUT1}	All data inputs latched low	LJ & LCJ	10		100	100	nA
			LCN, LCWM & LCV			50	100	
	I_{OUT2}	All data inputs latched high	LJ & LCJ			100	100	nA
			LCN, LCWM & LCV			50	100	
Output Capacitance	I_{OUT1} / I_{OUT2}	All data inputs latched low			45 / 115			pF
	I_{OUT1} / I_{OUT2}	All data inputs latched high			130 / 30			pF
DIGITAL AND DC CHARACTERISTICS								
Digital Input Voltages	Max	Logic Low	LJ: 4.75V			0.6		V_{DC}
			LJ: 15.75V			0.8		
			LCJ: 4.75V			0.7		
			LCJ: 15.75V			0.8		
			LCN, LCWM, LCV			0.95	0.8	
	Min	Logic High	LJ & LCJ			2.0	2.0	V_{DC}
			LCN, LCWM, LCV			1.9	2.0	
Digital Input Currents	Max	Digital inputs <0.8V						
			LJ & LCJ		-50	-200	-200	µA
			LCN, LCWM, LCV			-180	-200	µA
		Digital inputs>2.0V						
			LJ & LCJ		0.1	+10	+10	µA
			LCN, LCWM, LCV			+8	+10	
Supply Current Drain	Max		LJ & LCJ		1.2	3.5	3.5	mA
			LCN, LCWM, LCV			1.7	2.0	

Electrical Characteristics

V_{REF}=10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A=25°C.

Symbol	Parameter	Conditions	See Note	V_{CC}=15.75 V_{DC}		V_{CC}=12 V_{DC} ±5% to 15 V_{DC} ±5%	V_{CC}=4.75 V_{DC}		V_{CC}=5 V_{DC} ±5%	Limit Units
				Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)	
AC CHARACTERISTICS										
t_s	Current Setting Time	V_L=0V, V_H=5V		1.0			1.0			µs
t_W	Write and XFER Pulse Width Min	V_L=0V, V_H=5V	11	100	250		375	600		ns
			9		320	320		900	900	
t_{DS}	Data Setup Time Min	V_L=0V, V_H=5V	9	100	250		375	600		
					320	320		900	900	
t_{DH}	Data Hold Time Min	V_L=0V, V_H=5V	9		30			50		
					30			50		
t_{CS}	Control Setup Time Min	V_L=0V, V_H=5V	9	110	250		600	900		
					320	320		1100	1100	
t_{CH}	Control Hold Time Min	V_L=0V, V_H=5V	9	0	0	10	0	0		
					0			0		

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C (plastic) or 150°C (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is 80°C/W. For the N package, this number increases to 100°C/W and for the V package this number is 120°C/W.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at V_{REF} = ±10 V_{DC} and V_{REF} = ±1 V_{DC}.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05%xV_{REF} of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only.

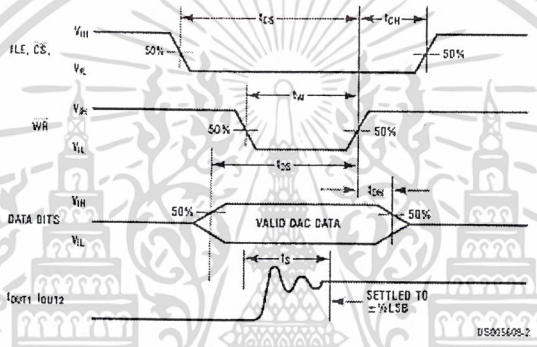
Note 10: A 100nA leakage current with R_{fb} = 20k and V_{REF} = 10V corresponds to a zero error of ($100x10^{-9}x20x10^{3}$)x100/10 which is 0.02% of FS.

Note 11: The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH}, and t_S to apply.

Note 12: Typicals are at 25°C and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Switching Waveform



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Package Pinouts

Control Signals (All control signals level actuated)

$\overline{CS}$: Chip Select (active low). The $\overline{CS}$ in combination with ILE will enable $\overline{WR}_1$.

ILE: Input Latch Enable (active high). The ILE in combination with $\overline{CS}$ enables $\overline{WR}_1$.

$\overline{WR}_1$: Write 1. The active low $\overline{WR}_1$ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR}_1$ is high. To update the input latch–$\overline{CS}$ and $\overline{WR}_1$ must be low while ILE is high.

$\overline{WR}_2$: Write 2 (active low). This signal, in combination with $\overline{XFER}$, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

$\overline{XFER}$: Transfer control signal (active low). The $\overline{XFER}$ will enable $\overline{WR}_2$.

Other Pin Functions

DI_0-DI_7: Digital Inputs. DI_0 is the least significant bit (LSB) and DI_7 is the most significant bit (MSB).

I_{OUT1}: DAC Current Output 1. I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: DAC Current Output 2. I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2}$ = constant (I full scale for a fixed reference voltage).

R_{fb}: Feedback Resistor. The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: Reference Voltage Input. This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: Digital Supply Voltage. This is the power supply pin for the part. V_{CC} can be from +5 to +15V_{DC}. Operation is optimum for +15V_{DC}

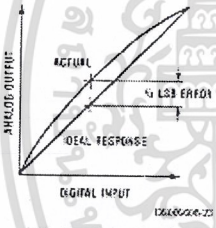
GND: The pin 10 voltage must be at the same ground potential as I_{OUT1} and I_{OUT2} for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

$$\frac{V_{OS} \text{ pin } 10}{3V_{REF}}$$

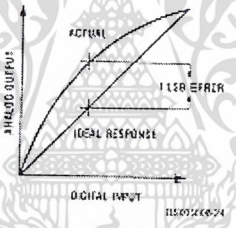
For example, if V_{REF} = 10V and pin 10 is 9mV offset from I_{OUT1} and I_{OUT2} the linearity change will be 0.03%.

Pin 3 can be offset ±100mV with no linearity change, but the logic input threshold will shift.

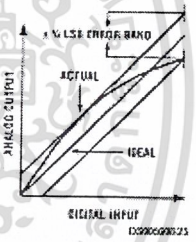
Linearity Error



a) End point test after zero and fs adj.



b) Best straight line



c) Shifting fs adj. to pass best straight line test

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic.* It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within ±½LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full scale is V_{REF} −1LSB. For V_{REF} = 10V and unipolar operation, $V_{FULL\text{-}SCALE}$ = 10,0000V−39mV 9.961V. Full-scale error is adjustable to zero.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้