สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเล่นMP3

MP3 PLAYER

โดย

นาย รัฐพล วสุประสาท

นาย สหาย สีชอล์ค

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน.....50400
วัน,เดือน,ปี.....13 พ.ค. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่น MP3

MP3 PLAYER

โดย

นาย รัฐพล วสุประสาท 42010296

นาย สหาย สีชอล์ค 42010373

อาจารย์ที่ปรึกษา

ศ.ดร วัลลภ สุระกำพลธร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานเรื่อง	เครื่องเล่น MP3 MP3 player
จัดทำโดย	นาย **รัฐพล** วสุประสาท รหัส 4010296 นาย สหาย สีชอล์ค รหัส 42010373
อาจารย์ที่ปรึกษา	ศ.ดร. วัลลภ สุระกำพลธร

รายงานนี้ผ่านการตรวจสอบจากอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ.....อาจารย์ที่ปรึกษา

(ศ.ดร. วัลลภ สุระกำพลธร)

วันที่ 4/4/46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเครื่องถอดรหัส MP3 นี้เสร็จลุล่วงไปด้วยดีเนื่องจากได้รับความช่วยเหลือเป็นอย่างดีจาก ศ.ดร. วัลลภ สุระกำพลธร อาจารย์ที่ปรึกษาโครงงาน ที่กรุณาให้คำปรึกษาตลอดจนแก้ไขข้อบกพร่อง จนโครงงานนี้เสร็จลุล่วง ผู้จัดทำขอขอบพระคุณอย่างสูงไว้ ณ ที่นี้

.....

นาย รัฐพล วสุประสาท

.....

นาย สหาย สีชอล์ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่น MP 3

นาย รัฐพล วสุประสาท
นาย สหาย สีชอล์ค
ศ.ดร. วัลลภ สุระกำพลธร
(อาจารย์ที่ปรึกษา)
ภาคเรียนที่ 2 ปีการศึกษา 2545

บทคัดย่อ

ปัจจุบันเทคโนโลยีของการเก็บได้พัฒนาไปมา ซึ่งสามารถเก็บและบีบอัดข้อมูลได้อย่างมีประสิทธิภาพมากขึ้น โดยที่ข้อมูลยังคงมีสภาพเดิมและคุณสมบัติดังเดิมไว้ ด้วยเหตุผลดังกล่าวในโครงงานนี้จึงได้นำเทคโนโลยีการเก็บข้อมูล ในรูปแบบของการบีบอัดข้อมูลแบบ MPEG Layer3 มาประยุคใช้ในการเก็บข้อมูล

ในส่วนของโครงงานแบ่งงานออกเป็น 2 ส่วนใหญ่คือ ส่วนที่ใช้ในการถอดรหัส MPEG Layer 3 และส่วนที่ใช้ในการอินเทอร์เฟสกับซีดีรอม ซึ่งในโครงงานเราได้ใช้ซีดีรอมที่ใช้กับคอมพิวเตอร์ในมาตรฐานการอินเทอร์เฟสแบบATAPI ในโครงงานนี้ได้แบ่งบทที่ใช้ในการพัฒนาการบีบอัดข้อมูลแบบ MPEG Layer3 เป็นเครื่องเล่น MP3 ได้ทั้งหมด

1. การเข้ารหัสแบบ MPEG
2. MAS 3507D
3. DAC3550A
4. มาตรฐานการเชื่อมต่อของไดร์ฟซีดีรอม
5. มาตรฐาน ISO 9660
6. การทำงานของบอร์ดถอดรหัสและบอร์ดควบคุมซีดีรอม

จากทั้งหมดนี้จะขอสรุปโครงงานนี้ได้นำเทคโนโลยีการเก็บข้อมูล ในรูปแบบของการบีบอัดข้อมูลแบบ MPEG Layer3 ประยุกต์เป็นเครื่องเล่น MP3 ซึ่งเป็นเครื่องเล่น MP3 ที่อ่านข้อมูลได้จากแผ่นซีดีรอมในมาตรฐาน ATAPI และแปลงข้อมูลดิจิตอลมาเป็นสัญญาณเสียงออกสู่ลำโพงในตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MP3 PLAYER

Abstract

Until now, saving technology has developed. It can save and compress with efficiency but the data remain the same quality and same properties. Thus, this project applies saving technology in compression format of MPEG Layer3 for saving the data.

This project separates 2 parts, first part is MPEG Layer 3 decoder and second part is CD-ROM interface. CD-ROM interface computer with ATAPI standard. Chapters of develop compressing MPEG Layer3 into MP3 player as follow

1.MPEG decoder

2. MAS 3507D

3. DAC3550A

4. CD-ROM interface standard

5.ISO 9660 standard

6.Operation of decoder board and CD-ROM controller board

This project has applied saving technology of MPEG Layer3 compression into MP3 player which read data from CD-ROM with ATAPI standard and covert to sound signal throughout build-in speaker.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	ลำดับหน้า
บทที่1 การเข้ารหัสแบบ MPEG	1
1.1 วิวัฒนาการของการเก็บข้อมูล	1
1.2 การเข้ารหัสข้อมูลแบบ MPEG	1
1.3 การเข้ารหัสแบบ MPEG-1 Layer-3 หรือ MP3	2
1.4 รูปแบบการบีบอัดข้อมูลแบบมาตราฐาน MPEG-1	2
1.5 การเข้ารหัสแบบ MPEG หรือการการลดขนาดของข้อมูล	3
1.6 โครงสร้างข้อมูลของไฟล์ MP3	5
บทที่ 2 MAS 3507D	6
2.1 บทนำ	6
2.2 การทำงานและรายละเอียดภายใน MAS 3507D	7
2.2.1 ตัวประมวลผลผลข้อมูลเชิงตัวเลข (DSP)	7
2.2.2 เฟิร์มแวร์ (Firmware)	8
2.2.3 ความสามารถในการโหลดโปรแกรมภายนอก	8
2.2.4 การประมวลผลในด้านความถี่	8
2.2.5 การจักการสัญญาณนาฬิกา	9
2.2.6 การทำงานของส่วนจ่ายไฟ	10
2.2.7 การเชื่อมต่อ (Interface)	11
2.3 การเชื่อมต่อการควบคุม (Control Interface)	15
2.3.1 การเชื่อมต่อ Bus I^2C ทั่วไป	15
2.3.2 โครงสร้างคำสั่ง	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับหน้า

บทที่ 3 DAC3550A 18

3.1 บทนำ 18

3.2 รายละเอียดของฟังก์ชันต่างๆ 21

3.2.1 การเชื่อมต่อ I^2C 21

3.2.2 อินเทอร์โพเลชั่นฟิลเตอร์ 22

3.2.3 วงจรกรองความถี่ผ่านต่ำ 23

3.2.4 ส่วนเลือกช่องความถี่สัญญาณและการมิกซ์สัญญาณ 23

3.2.5 โพสท์ฟิลเตอร์ออปแอมป์และการเชื่อมต่อสายภายใน 23

3.2.6 การควบคุมระดับเสียง 24

3.2.7 วงจรขยายสำหรับหูฟัง 24

3.2.8 ระบบสัญญาณนาฬิกา 25

3.2.9 การเชื่อมต่อ I^2C บัส 26

3.2.10 รีจิสเตอร์ 27

บทที่ 4 มาตรฐานการเชื่อมต่อของไดร์ฟซีดีรอม 28

4.1 บทนำ 28

4.2 โปรโตคอลการสั่งงานซีดีรอมไดรฟ์ 28

4.2.1 รีจิสเตอร์ภายในตามมาตรฐาน ATAPI และรายละเอียด 29

4.2.2 รีจิสเตอร์สถานะของ ATAPI, ATA 30

4.2.3 รีจิสเตอร์ Error ของ ATAPI, ATA 31

4.2.4 รีจิสเตอร์ Feature ของ ATAPI, ATA 31

4.2.5 รีจิสเตอร์ Byte Count ของ ATAPI 32

4.2.6 รีจิสเตอร์ Interrupt Reason ของ ATAIP 32

4.2.7 รีจิสเตอร์ Driver Select ของ ATAPI 33

4.2.8 รีจิสเตอร์ Device Control ของ ATAPI, ATA 33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 ISO 9660 36

5.1 บทนำ 36

5.2 มาตรฐานการเก็บข้อมูลบนซีดีรอม 36

5.3 มาตรฐาน ISO-9660 37

บทที่ 6 การทำงานของวงจรถอดรหัส MP3 และหลักการทำงานของบอร์ดควบคุมซีดีรอม 41

6.1 การทำงานของวงจรถอดรหัส MP3 41

6.2 หลักการทำงานของบอร์ดควบคุมซีดีรอม 42

บทที่7 ทดสอบการทำงาน 45

7.1 ผลการทดสอบทางความถี่ของ File MP3 ที่ Bit rate ต่างๆ 45

7.2 การทดสอบผลตอบสนองทางความถี่ 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

ลำดับหน้า

บทที่1 การเข้ารหัสแบบ MPEG

รูปที่ 1.1 แสดงระดับเสียงเริ่มได้ยินที่ความถี่ต่างๆ 3

รูปที่ 1.2 แสดงการบังทางความถี่ (Frequency Masking) 4

รูปที่ 1.3 แสดงรูปแบบข้อมูล MPEG-1 Layer 3 5

บทที่ 2 MAS 3507D

รูปที่2.1 แสดง Block Diagram ของ MAS 3507D 7

รูปที่2.2 Block Diagram ของตัวถอดรหัส MPEG 7

รูปที่ 2.3 Timing Diagram ของ I^2C Input 11

รูปที่ 2.4 Timing Diagram ของการเชื่อมต่อ SDO ในโหมด 16 Bit / Sampling 12

รูปที่ 2.5 Timing Diagram ของการเชื่อมต่อ SDO ในโหมด 32 Bit/Sampling 12

รูปที่ 2.6 Protocol I^2C Bus MAS3507D 15

บทที่ 3 DAC3550A

รูปที่ 3.1 แสดงบล็อกไดอะแกรมของ DAC 3550A 18

รูปที่ 3.2 แสดงการประยุกต์ใช้งานทั่วไป 19

รูปที่ 3.3 แสดงบล็อกไดอะแกรมของ DAC3550A 20

รูปที่ 3.4 I2S โหมด 16 บิต (LR_SEL=0) 21

รูปที่ 3.5 I2S โหมด 32 บิต (LR_SEL=0) 22

รูปที่ 3.6 การตอบสนองความถี่ของอินเทอร์โพเลชั่นในช่วงความถี่ 0...22 กิโลเฮิรตซ์ 22

รูปที่ 3.7 แสดงเมตริกซ์การสวิทช์ระหว่างการเลือกแหล่งความถี่และการมิกซ์สัญญาณ 23

รูปที่ 3.8 แสดงโพสท์ฟิวเตอร์ ออปแอปม์, และสายภายนอก 24

บทที่ 4 มาตราการเชื่อมต่อของไดรฟ์ซีดีรอม

รูปที่ 4.1 พอร์ตมาตรฐานในการเชื่อมต่อของไดร์ฟซีดีรอม 34

บทที่ 5 ISO 9660

รูปที่ 5.1 แสดง รูปแบบโครงสร้างของ ISO-9660 38

บทที่ 6 การทำงานของวงจรถอดรหัส MP3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และหลักการทำงานของบอร์ดควบคุมซีดีรอม

รูปที่ 6.1 แสดงวงจรโดยรวมของวงจรถอดรหัส 43

รูปที่ 6.2 แสดงวงจรควบคุมซีดีรอม 44

บทที่7 ทดสอบการทำงาน

รูปที่ 7.1 Frequency Spectrum ของ เพลงต้นฉบับ 45

รูปที่ 7.2 Frequency Spectrum Bit Rate 64 Bit 45

รูปที่ 7.3 Frequency Spectrum Bit Rate 128 Bit 46

รูปที่ 7.4 Frequency Spectrum Bit Rate 320 Bit 46

รูปที่ 7.5 Frequency Spectrum ของ เพลงต้นฉบับ 47

รูปที่ 7.6 Frequency Spectrum Bit Rate 64 Bit 47

รูปที่ 7.7 Frequency Spectrum Bit Rate 128 Bit 48

รูปที่ 7.8 Frequency Spectrum Bit Rate 320 Bit 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

บทที่1 การเข้ารหัสแบบ MPEG

ตารางที่ 1.1 อัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจาก
เครื่องอ่านตามมาตรา MPEG-1 2

ตารางที่ 1.2 ความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด 3

บทที่ 2 MAS 3507D

ตารางที่ 2.1 การตั้งค่าสำหรับ Matrix Digital Volume 9

ตารางที่ 2.2 ความถี่ CLKO 10

ตารางที่ 2.3 แสดงถึงการกำหนดโหมดการทำงานเริ่มต้นผ่านทางขา PI ต่างๆ 13

ตารางที่ 2.4 สัญญาณ Output PIO ในการถอดรหัส MPEG 14

ตารางที่ 2.5 แสดง I^2C Device Address 15

ตารางที่ 2.6 แสดงตำแหน่งย่อย 15

ตารางที่ 2.7 แสดงการกำหนด Bit ของ Register ควบคุม 16

ตารางที่ 2.8 การกำหนด Bit ของRegister ข้อมูล 16

ตารางที่ 2.9 คำสั่งคอนโทรลพื้นฐาน 17

บทที่ 3 DAC3550A

ตารางที่ 3.1 การควบคุมระดับเสียง 25

ตารางที่ 3.2 โหมดการทำงาน 26

ตารางที่ 3.3 ตำแหน่งรีจิสเตอร์ I^2C 27

บทที่ 4 มาตรฐานการเชื่อมต่อของไดร์ฟซีดีรอม

ตารางที่ 4.1 รีจิสเตอร์ภายในตามมาตรฐาน ATAPI 29

ตารางที่ 4.2 สถานะรีจิสเตอร์ของ ATAPI, ATA 30

ตารางที่4.3 รีจิสเตอร์ Error ของ ATAPI, ATA 31

ตารางที่4.4 รีจิสเตอร์ Feature ของ ATAPI, ATA 31

ตารางที่ 4.5 รีจิสเตอร์ Byte Count ของ ATAPI 32

ตารางที่4.6 รีจิสเตอร์ Interrupt Reason ของ ATAIP 32

ตารางที่4.7 รีจิสเตอร์ Driver Select ของ ATAPI 33

ตารางที่4.8 รีจิสเตอร์ Device Control ของ ATAPI, ATA 33

ตารางที่4.9 แสดงพอร์ตมาตรฐานในการเชื่อมต่อของไดร์ฟซีดีรอม 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงข้อมูลที่อยู่ภายใน Primary Volume Descripter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
การเข้ารหัสแบบ MPEG

1.1 วิวัฒนาการของการเก็บข้อมูล

ในอดีตการเก็บข้อมูลประเภทเสียงจะเก็บในรูปแบบ Analog ซึ่งเก็บในรูปแบบนี้ไม่สามารถเก็บข้อมูลของเสียงทั้งหมด และในการเก็บในระยะยาวทำให้ข้อมูลที่เก็บเสื่อมลงไป ทำให้คุณภาพเสียงที่ได้ต่ำลง ต่อมาได้มีการพัฒนาการเก็บข้อมูลเสียงในรูปแบบของ Digital ซึ่งการเก็บในรูปแบบนี้จำเป็นต้องมีการแปลงข้อมูลของเสียงในรูปแบบ Analog มาเป็นรูปแบบของ Digital ซึ่งใช้หลักการสุ่มตัวอย่าง โดยในการแปลงจะเก็บค่า Amplitude ของสัญญาณที่เข้ามาในขณะนั้นแล้วทำการแปลงเป็นเลขฐานสอง ซึ่งอุปกรณ์ที่เราใช้แปลงสัญญาณนี้ เรียกว่า Analog to Digital Converter หรือ ADC

ในการแปลงรูปแบบสัญญาณในรูปแบบ Digital มีปัญหาในเรื่องของขนาดของข้อมูล ถ้าเราทำการสุ่มตัวอย่างจำนวนมากเท่าไรก็จะทำให้ใช้พื้นที่ในการเก็บข้อมูลมากเท่านั้น เช่น การสุ่มตัวอย่างในอัตราความถี่ (Sampling Frequency) 44.1 KHz ในการสุ่มตัวข้อมูลเสียงในรูปแบบ digital ขนาด 16 Bit โดยมีสัญญาณซ้ายขวา เพราะฉะนั้นใน 1 วินาทีจะต้องทำการเก็บข้อมูลถึง 44,100x16x2 = 1,411,200 Bit เลยทีเดียว ดังนั้นถ้าทั้งเพลงจะใช้เนื้อที่ในการเก็บมาก แต่ปัญหาทั้งหมดนี้สามารถแก้ไขได้ด้วยการเข้ารหัสแบบ MPEG

1.2 การเข้ารหัสข้อมูลแบบ MPEG

MPEG มีความหมายว่า Moving Picture Experts Group เป็นชื่อของกลุ่มให้ความร่วมมือกันสร้างมาตราฐานสากล (International Standard) เพื่อใช้ในการเข้ารหัสของข้อมูลภาพและเสียงที่อยู่ในรูปแบบสัญญาณ Digital ก่อตั้งขึ้นเมื่อปี ค.ศ. 1988 ซึ่งถูกบรรจุไว้เป็นมาตราฐานสากล ISO/IEG

การจำแนกประเภทของการเข้ารหัสแบบ MPEG สามรถแบ่งได้เป็น

1.2.1 MPEG-1 ใช้ในการเข้ารหัสข้อมูลภาพและเสียง ในระบบเสียงในวีดีโอซีดี และเสียงเพลง

1.2.2 MPEG-2 ใช้ในการเข้ารหัสข้อมูลภาพและเสียง ในระบบ Digital Television และ DVD

1.2.3 MPEG-4 ใช้ในการเข้ารหัสข้อมูล Multimedia ที่ใช้กันในเว็บเพจ

1.2.4 MPEG-7 เป็นมาตราฐานที่ใช้ประโยชน์ในการเข้าสู่ Internet

1.2.5 MPEG-21 เป็นมาตราฐานที่เกี่ยวกับ Multimedia Samework

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 การเข้ารหัสแบบ MPEG-1 Layer-3 หรือ MP3

การเข้ารหัสแบบ MPEG มีชั้นของ Layer ต่างๆ มีความสับซ้อนที่แตกต่างกัน โดย Layer ที่ 3 จะมีสับซ้อนที่มากที่สุดซึ่งสามรถสังเกตได้จากตารางที่ 1.1 ซึ่งจะเห็นได้ว่า Layer สามารถลดขนาดของข้อมูลหรือบีบอัดข้อมูลได้มากถึง 1:10 หรือ 1:12 แต่การที่บีบอัดข้อมูลให้ขนาดของข้อมูลเล็กลงไม่ใช่ว่าจะไม่เสียอะไร เนื่องการบีบอัดข้อมูลแบบ MPEG นั้นเป็นการบีบอัดแบบมีการสูญเสีย (Loss Compression) จึงทำให้มีการสูญเสียข้อมูลบางส่วน แต่การสูญเสียไม่มีผลต่อเสียงที่มนุษย์ได้ยิน โดยใช้คุณสมบัติการบังของความถี่ของหูมนุษย์

ตารางที่ 1.1 อัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจากเครื่องอ่านตามมาตรา MPEG-1

1:4	by Layer 1 (corresponds with 384 kbps for a stereo signal),
1:6...1:8	by Layer 2 (corresponds with 256..192 kbps for a stereo signal),
1:10...1:12	by Layer 3 (corresponds with 128..112 kbps for a stereo signal),

จากกระบวนการเข้ารหัสที่ซับซ้อนทำให้การแปลงข้อมูลต้องใช้เวลาช่วงหนึ่งในการทำงาน

1.4 รูปแบบการบีบอัดข้อมูลแบบมาตราฐาน MPEG-1
ซึ่งจะมีรูปแบบ 1 ช่องสัญญาณและ 2 ช่องสัญญาณแยกออกเป็นระบบเสียงได้ 4 ระบบ

1.4.1 ระบบโมโน จะทำให้ได้ข้อมูลออกมาเพียง 1 ช่องสัญญาณ ซึ่งเป็นได้ทั้งสัญญาณซ้ายหรือขวาก็ได้

1.4.2 ระบบดูอัลโมโน (Dual Mono) ทำให้ได้ข้อมูลผลลัพธ์ออกมา 2 ช่องสัญญาณ ซึ่งช่องหนึ่งเป็นเป็นเสียงจากลำโพงฝั่งซ้าย อีกช่องหนึ่งเป็นเสียงจากลำโพงฝั่งขวา

1.4.3 ระบบสเตอริโอ ข้อมูลที่ได้ออกมา 2 ช่องสัญญาณ แต่ช่องหนึ่งเป็นผลร่วมของช่องสัญญาณซ้ายและขวา อีกช่องหนึ่งเป็นผลต่างของช่องสัญญาณซ้ายและขวา

1.4.4 ระบบจอยท์-สเตอริโอ มีลักษณะคล้ายสเตอริโอ แต่จะมีการรวมเสียงความถี่ต่ำไว้ในช่องสัญญาณเดียวกัน และแยกเสียงความถี่สูงขึ้นมาเหมือนกับระบบสเตอริโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 1.2 แสดงให้เห็นถึงรูปแบบของการอัดข้อมูลแบบมาตราฐาน MPEG-1 ในการใช้ในงานต่างๆ นอกจากนี้ยังแสดงอัตราส่วนในการบีบอัดข้อมูล

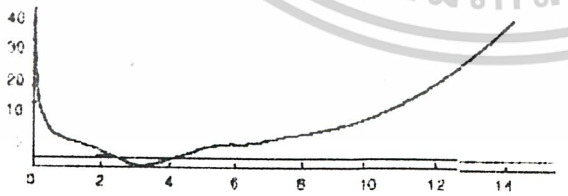
ตารางที่ 1.2 ความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด

sound quality	bandwidth	mode	bitrate	reduction ratio
telephone sound	2.5 kHz	mono	8 kbps *	96:1
better than short-wave	4.5 kHz	mono	16 kbps	48:1
better than AM radio	7.5 kHz	mono	32 kbps	24:1
similar to FM radio	11 kHz	stereo	56...64 kbps	26...24:1
near-CD	15 kHz	stereo	96 kbps	16:1
CD	>15 kHz	stereo	112..128kbps	14..12:1
*) Fraunhofer uses a non-ISO extension of MPEG Layer-3 for enhanced performance ("MPEG 2.5")				

1.5 การเข้ารหัสแบบ MPEG หรือการการลดขนาดของข้อมูล

การลดขนาดข้อมูลตามมาตราฐาน MPEG ใช้พฤติกรรมของมนุษย์มาเป็นเครื่องมือในการลดขนาดของข้อมูล จากการที่รู้กันว่ามนุษย์มีความสามารถในการรับฟังของมนุษย์จะได้ยินในช่วงของความถี่ 20Hz ถึง 20,000KHz แต่ถ้าความถี่เสียงนอกจากนี้มนุษย์จะไม่สามารถได้ยินได้

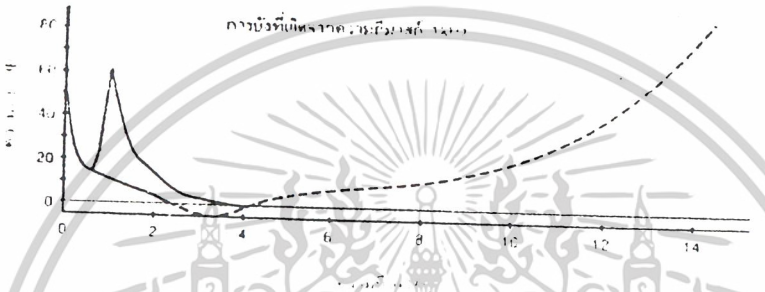
และในกรณีของเสียงที่อยู่ในความถี่ 20Hz ถึง 20,000KHz มนุษย์ก็ไม่สามารถได้ยินเท่ากันทุกๆ ความถี่เท่าๆกัน ซึ่งสามารถทราบได้จากการทดลองโดยทำการกำเนิดเสียงความถี่หนึ่งที่มนุษย์สามรถได้ยิน โดยค่อยๆเพิ่มความดังของเสียงจนหูมนุษย์ได้ยินและทำอย่างนี้ตลอดช่วงความถี่ที่มนุษย์ได้ยิน ซึ่งเป็นไปตามรูปที่1.1 จากรูปจะเห็นได้ว่ามนุษย์มีความไวต่อเสียงแตกต่างกันในความถี่ประมาณ 2-4 KHz หูของมนุษย์จะมีความไวมาก แต่ถ้าเป็นความถี่ที่สูงหรือต่ำจะใช้ความดังมากจนกว่าที่หูมนุษย์



รูปที่ 1.1 แสดงระดับเสียงเริ่มได้ยินที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ในการทดลองได้ทำการกำเนิดเสียง 2 ความถี่ที่มีความถี่ที่ใกล้เคียงกันแล้วทำการเพิ่มความดังจนหูได้ยินแล้วทำการทดลองจนครบย่านความถี่ 20Hz ถึง 20,000KHz ซึ่งแสดงในรูปที่ 1.2 แสดงว่าถ้าเราได้ยินเสียงความถี่หนึ่งแล้ว ถ้าจะต้องการได้ยินเสียงความถี่ที่อยู่ใกล้เราจะต้องทำการเพิ่มความดังของความถี่ที่อยู่ข้างเคียง เรียกคุณสมบัตินี้ว่า การเกิดย่านความถี่วิกฤต (Critical Band) หรือการบังทางความถี่(Frequency Masking) และไม่เท่านั้นเมื่อเราได้ยินเสียงความถี่มาสก์ดังขึ้นมา หลังจากนั้นเสียงความถี่มาสก์ดังลงจะต้องใช้เวลาในระยะหนึ่งในการที่เราจะได้ยินเสียงในความถี่ข้างเคียง เรียกคุณสมบัตินี้ว่าการบังชั่วคราว (Temporal Masking)



รูปที่ 1.2 แสดงการบังทางความถี่ (Frequency Masking)

ซึ่งจากคุณสมบัติทั้งหมดรวมเรียกว่า ไซโคอคูสติกโมเดล (Psychoacoustic Model) ซึ่งเป็นวิธีในการบีบอัดข้อมูลในมาตราฐาน MPEG

1.5.1นำข้อมูลเสียง Digital ป้อนเข้าฟิลเตอร์เพื่อแยกเสียงความถี่ย่อย (Subband) ซึ่งมีความกว้างเท่ากับย่านความถี่วิกฤต จำนวน 32 ช่วงความถี่นี้เรียกว่า Sub-band Filtering

1.5.2 ใช้ ไซโคอคูสติกโมเดลเป็นเครื่องมือในวิเคราะห์ข้อมูลส่วนที่ไม่มีผลต่อการได้ยินของมนุษย์ออกไป โดยพิจารณาระหว่างความถี่ 2 ช่วงที่ติดกัน และพิจารณาย่องลงไปในแต่ละช่วงความถี่ด้วย

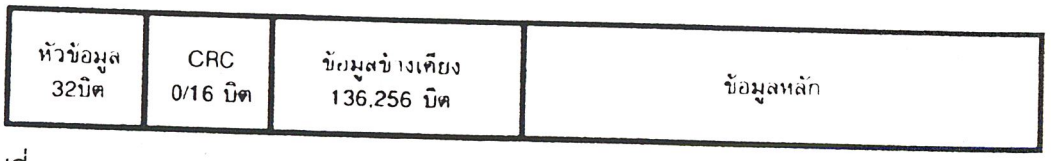
1.5.3 ถ้าวิเคราะห์แล้วพบว่าเสียงช่วงใดไม่มีผลต่อการได้ยิน ให้ตัดข้อมูลส่วนนั้นออกไปไม่นำไปเข้ารหัสในส่วนถัดไป

1.5.4 นำข้อมูลที่เหลือมาเข้ารหัสซึ่งจะมีวิธีที่แตกต่างกันขึ้นอยู่กับแต่ละเลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6 โครงสร้างข้อมูลของไฟล์ MP3

การบีบอัดข้อมูล MP3 มาตราฐานจะมีลักษณะเฟรมข้อมูลจะมีส่วนประกอบภายในอยู่ 4 ส่วนคือ



รูปที่ 1.3 แสดงรูปแบบข้อมูล MPEG-1 Layer 3

1.6.1 หัวข้อมูล (Header) เป็นข้อมูลขนาด 32 บิต แสดงลักษณะของไฟล์นั้นๆ

1.6.2 ส่วนตรวจสอบความผิดพลาด(CRC) เป็นข้อมูลขนาด 16 Bit ใช้ตรวจสอบข้อมูลในเฟรมว่าถูกต้องหรือไม่จะหรือไม่มีก็ได้

1.6.3 ข้อมูลข้างเคียง (Side Information) มีขนาด 17 หรือ 32 Bit เป็นส่วนที่เก็บองค์ประกอบในการถอดรหัส

1.6.4 ข้อมูลหลัก (Main Data) มีความยาวขึ้นอยู่อัตราการส่งข้อมูล (Baud rate) และอัตราการส่งข้อมูลในการแปลงกลับเป็นสัญญาณ Analog

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

MAS 3507D

2.1 บทนำ

MAS 3507D เป็นวงจรรวม single chip MPEG ที่ถูกออกแบบมาใช้ในการถอดรหัส MPEG 1 และ 2 ใน Layer 2 และ 3 ซึ่งในการถอดรหัสของ MAS 3507D จะใช้การประมวลผลข้อมูลเชิงตัวเลข(Digital Signal Processor: DSP)

MAS 3507D มีความสามารถในการประยุกต์ใช้ในงานเป็นอุปกรณ์พกพาได้ เนื่องจากใน MAS 3507D ได้รวมเอา DC/DC up-converter เอาไว้ภายในเพื่อใช้กับแหล่งพลังงานที่ไม่ค่อยคงที่ เช่น แบตเตอรี่ เป็นต้น อีกทั้งเป็นชิพที่ใช้พลังงานต่ำมาก ทำให้สามารถประยุกต์ใช้กับแหล่งพลังงานที่สามรถจ่ายกระแสต่ำได้

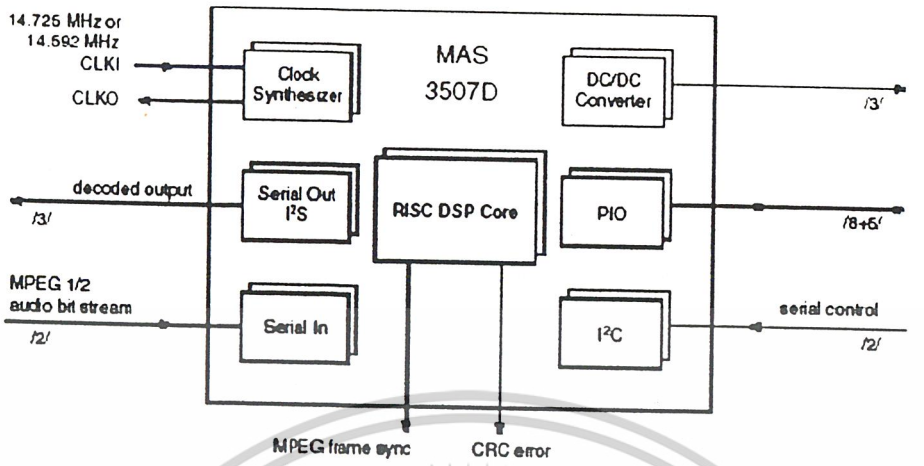
นอกจากนี้ MAS 3507D ยังใช้มาตราฐานการบีบอัดข้อมูลแบบ MPEG ISO 11172-3 ซึ่งมีการแบ่งระดับการบีบอัดข้อมูลที่เป็นมาตราฐานอยู่ 3 Layer ซึ่งมีความยุ่งยากและแตกต่างกันออกไปขึ้นอยู่กับคุณภาพของเสียงและอัตราส่วนการบีบอัดข้อมูล การบีบอัดข้อมูลLayer 3 เป็นมาตราฐานที่ได้รับความสนใจมากที่สุดเพราะมีอัตราการบีบอัดข้อมูลสูงสุด(ประมาณ 12:1)และคุณภาพเสียงที่ได้ยังมีคุณภาพระดับ CD

ความสามารถพิเศษของ MAS 3507D

- เป็น Single chips ที่มีสามรถทำการถอดรหัส MPEG 1 และ 2 ใน Layer 2 และ 3 ได้
- การถอดรหัสตรงตามมาตราฐาน ISO
- มีความสามารถในการถอดรหัส MPEG 2 Layer 3 สำหรับอัตราบิตต่ำ (MPEG2.5)
- สนับสนุนบิตสตรีมที่มีบิตเรทที่ปรับค่าได้ แบบอะซิงโครนัส
- มีบัฟเฟอร์ (buffer) ภายในสำหรับเก็บข้อมูล MPEG เพื่อไว้สำหรับถอดรหัสทำให้สามารถถอดรหัสได้อย่างต่อเนื่อง
- มีการใช้สัญญาณในการร้องขอข้อมูล MPEG เพื่อเติมข้อมูลในบัฟเฟอร์
- ส่งข้อมูล Audio Output ผ่านบัส I^2C
- สามรถปรับระดับเสียง ระดับเบส และระดับเสียงแหลมได้ตามความต้องการ
- สัญญาณนาฬิกาการ Sampling ที่ output จะถูกสร้างและควบคุมจากภายใน
- ติดต่อและควบคุมชิพผ่าน I^2C บัส
- สามารถเข้าถึงข้อมูลสถานะได้โดยผ่านขา PIO หรือ I^2C
- มีการแสดงข้อมูลในส่วน CRC Error และ MPEG Frame Synchronization
- มีการจัดการด้านพลังงานเพื่อลดการใช้พลังงานที่ความถี่การแซมปลิ้งต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ช่วงแรงดันไฟเลี้ยง : 1.6V ถึง 3.6V

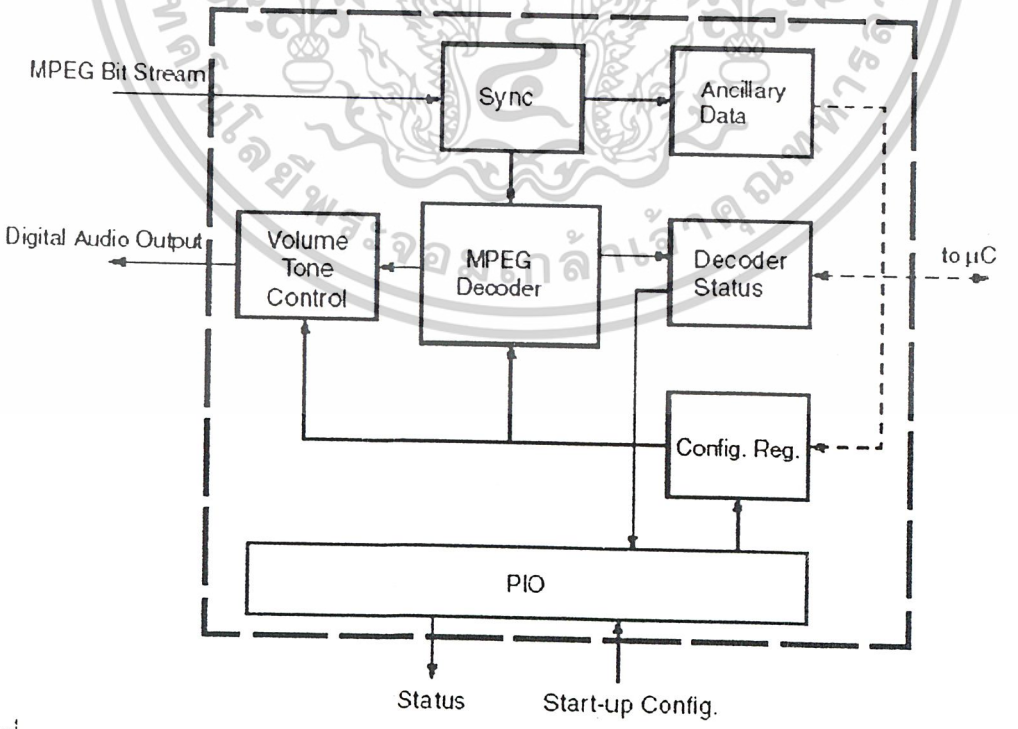


รูปที่2.1 แสดง Block Diagram ของ MAS 3507D

2.2 การทำงานและรายละเอียดภายใน MAS 3507D

2.2.1 ตัวประมวลผลผลข้อมูลเชิงตัวเลข (DSP)

รูปที่ 2.2 แสดงบล็อกไดอะแกรมส่วนวงจรถอดรหัสภายในของ MAS 3507D ซึ่งประกอบด้วย ตัวประมวลเชิงตัวเลขความสามารถสูงที่ใช้สถาปัตยกรรมแบบ RISC (High Performance RISC Digital Signal Processing) ซึ่งทำหน้าที่ในการถอดรหัสข้อมูล โดยตัวประมวลผลภายในการทำงานด้วย Word ความยาว 20 Bit และขยายถึง 32 Bit ในแอคคิวมูเลเตอร์(Accumulator)



รูปที่2.2 Block Diagram ของตัวถอดรหัส MPEG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเนื่องจากคำสั่งของ DSP นี้ออกแบบมาสำหรับการถอดรหัสโดยเฉพาะ จึงมีความเหมาะสมอย่างยิ่งสำหรับการถอดรหัสข้อมูล Audio ด้วยเหตุนี้ จึงมีความต้องการพื้นที่เพียงเล็กน้อยสำหรับ RAM และ ROM ภายใน นอกจากนั้นการส่งผ่านข้อมูลทั้งหมดเข้าสู่ตัวชิพและออกจากตัวชิพกระทำผ่าน DMA ซึ่งจะไม่ทำการขัดจังหวะการทำงานหลักคือการถอดรหัส ทำให้สารถถอดรหัสได้อย่างต่อเนื่อง

2.2.2 เฟิร์มแวร์ (Firmware)

ภายใน MAS 3507D จะมีโปรแกรมซึ่งทำหน้าที่ถอดรหัสข้อมูลที่ฝังอยู่ภายในตัวชิพอยู่แล้ว โดยโปรแกรมจะทำการถอดรหัสข้อมูล MPEG ตามขั้นตอนการถอดรหัสคือ

- การซิงโครไนซ์
- การดึงข้อมูลข้างเคียง(Side Information Extraction)
- การถอดรหัสแบบฮัฟแมน
- การดึงข้อมูลเพิ่มเติม (Ancillary Data Extraction)
- การควบคุมระดับเสียงและโทน(Tone)

2.2.3 ความสามารถในการโหลดโปรแกรมภายนอก

MAS 3507D มีความสามารถในการปฏิบัติโปรแกรมอื่นนอกเหนือจากโปรแกรมที่อยู่ภายในหากการต้องการใช้ความสามารถพิเศษนี้ ก่อนอื่นต้องทำการส่งโปรแกรมไปเก็บในหน่วยความจำผ่านทาง I^2C และในการสั่งให้ทำงานในโปรแกรมนี้ก็จะต้องสั่งผ่านทาง I^2C เช่นกัน เงื่อนไขที่จำเป็นอีกสองประการที่จำเป็นต้องทำการพิจารณาคือ ขนาดของโปรแกรมจะต้องไม่เกิน 1 Kilo Word และในขณะที่ทำโปรแกรมนี้ จะไม่สามรถถอดรหัสข้อมูลได้ตามปกติ

2.2.4 การประมวลผลในด้านความถี่

การควบคุมระดับเสียงและ Mixer

การควบคุมระดับเสียงของ MAS 3507D อยู่ในรูปแบบ Digitalนอกจากนี้ยังสามารถควบคุม balance ซึ่งสามารถปรับค่าความดังของสัญญาณซ้ายและขวาได้ละเอียดถึง 20 Bits โดยผ่านทาง I^2C Bus

การตัดเสียงและ By Pass ส่วนขอโทนคอนโทรล(Tone Control)

ในการตัดเสียง (Mute) ของตัวถอดรหัสนั้นสามารถควบคุมได้โดยใช้ Bit ข้อมูลเพียง Bit เดียว โดยการทำงานจะเป็นไปอย่างรวดเร็วและไม่ไม่เปลี่ยนระดับเสียง (Volume) ที่ใช้งานอยู่ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ยัง By Pass ส่วนของโทนคอนโทรลที่ปรับระดับเสียงทุ้มแหลม และปรับระดับเสียงได้ในกรณีที่ไม่ต้องการใช้งาน

การควบคุมเสียงทุ้ม-แหลม

การควบคุมเสียงทุ้ม-แหลมจะสามารถควบคุมได้ในช่วง + และ – 15 dB ดังตารางที่ 2.1 และเพื่อป้องกัน Overflow หรือ Clipping effect จึงได้มีการเพิ่มของส่วน Prescaler เพื่อลดอัตราขยายเสียงสูงที่เกินไป ดังนั้นที่อัตราขยายสูงสุด +15 dB ก็จะไม่มีการคลิป

เนื่องจากช่วงความถี่ที่แตกต่างกันใน MPEG1, MPEG2 และ MPEG2.5 จึงทำให้มีความถี่คัทออฟของเสียงทุ้มต่างกันไปด้วย

ตารางที่ 2.1 การตั้งค่าสำหรับ Matrix Digital Volume

Cutoff	Bass	Treble
MPEG1	100 Hz	10 kHz
MPEG2	200 Hz	10 kHz
MPEG2.5	400 Hz	10 kHz

2.2.5 การจัดการสัญญาณนาฬิกา

MAS 3507D จะทำงานในสัญญาณนาฬิกาที่ความถี่ 14.592 MHz หรือ 14.725 MHz สัญญาณ CLKI จะทำหน้าที่เป็นตัวอ้างอิงของการสังเคราะห์สัญญาณนาฬิกา ซึ่งให้สัญญาณนาฬิกาภายในระบบ และจากการอ้างอิงสัญญาณนาฬิกา Input (CLKI) จะทำให้ตัวชิพสร้างสัญญาณนาฬิกา Output (CLKO) ที่ซิงโครไนซ์กับความถี่ Sampling Audio ของบิตสตรีมที่ถูกถอดรหัสซึ่งสัญญาณนาฬิกานี้เป็นสัญญาณนาฬิกาหลัก (master clock) ให้กับ D/A Converter ภายนอก (DAC บางตัวต้องการสัญญาณนาฬิกาหลักที่มีความสัมพันธ์ที่ถูกกำหนดโดยความถี่ของการ Sampling) ซึ่งความถี่เป็นไปได้ตามความถี่ในตารางที่ 2.2 นอกจากนี้ยังมีการกำหนดให้มีการปรับความถี่ของสัญญาณนาฬิกา output ให้เปลี่ยนแปลงตามความถี่แซมปลิ้งได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ความถี่ CLKO

f_s/kHz	CLKO/MHz scaler on	CLKO/MHz scaler off
48. 32	24.576	24.576
44.1	22.5792	22.5792
24, 16	12.288	24.576
22.05	11.2896	22.5792
12, 8	6.144	24.576
11.025	5.6448	22.5792

2.2.6 การทำงานของส่วนจ่ายไฟ

MAS 3507D มีวงจร DC\DC Controlอยู่ภายในเพื่อให้สามารถใช้งานกับแหล่งจ่ายไฟแบตเตอรี่ โดยจะทำงานแบบปรับแรงดันขึ้น(up converter)

ตัวตรวจสอบแรงดัน(Voltage Monitor)

ตรวจสอบแรงดัน จะเปรียบเทียบแรงดันที่ขา VSENS ด้วยค่าอ้างอิงภายในซึ่งปรับค่าได้โดย Bus I^2C และได้ output ที่ขา PUP ซึ่งจะไม่ Active เมื่อแรงดันที่ขา VSENS ตกลงกว่าค่าแรงดันอ้างอิง การทำงานตรวจสอบแรงดันสามารถทำงานได้อิสระโดยไม่ขึ้นอยู่กับ DC/DC Converter ซึ่งการทำงานนี้มีประโยชน์มากในการทำงานที่อาศัยแหล่งจ่ายแบตเตอรี่

ในการใช้งาน จะนำ Output ที่ได้จากส่วนตรวจสอบแรงดันนี้ไปป้อนให้กับขาที่เปิดการทำงาน Digital ของตัว MAS 3507D เพื่อป้องกันไม่ให้ชิพทำงานในช่วงที่แรงดันไฟต่ำเกินไป ซึ่งอาจเกิดความเสียหายได้

DC\DC Converter

DC\DC Converter ของ MAS 3507D ทำหน้าที่สร้างแหล่งจ่ายแรงดันคงที่ เพื่อให้ตัวชิพได้รับแรงดันที่คงที่ แม้จะใช้แหล่งจ่ายจากแบตเตอรี่สำหรับการประยุกต์ใช้งานในแบบพกพาซึ่งตัว DC\DC Converter นี้ถูกออกแบบสำหรับแหล่งจ่ายที่เป็นแบตเตอรี่ AAA 2 ก้อนโดนเฉพาะ

การสแตนบาย (Stand-by)

การทำงานของ MAS 3507D ทั้งส่วน Digital และ DC\DC Converter จะมีขา เริ่มการทำงานแยกออกจากกัน (WSEN, DCEN) ด้วยเหตุนี้เราจึงสามารถใช้ DC\DC Converter เพื่อป้อนให้กับวงจรอื่นๆในขณะที่ไม่ได้ถอดรหัสได้

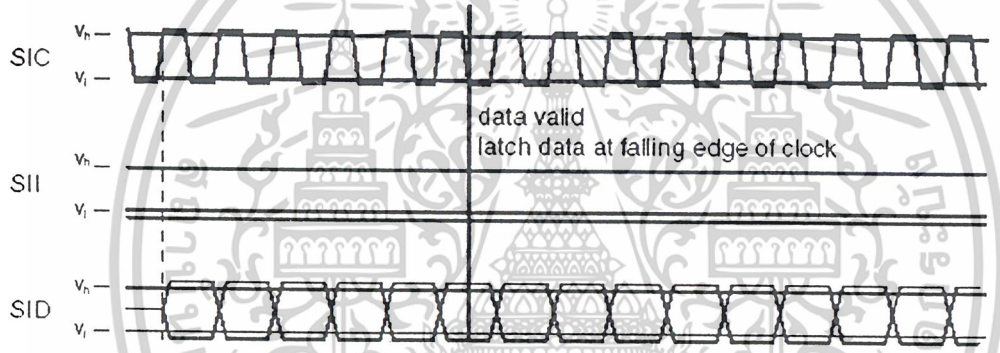
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.7 การเชื่อมต่อ (Interface)

การเชื่อมต่อกับอุปกรณ์ภายนอก MAS 3507D มีการเชื่อมต่อกันหลายรูปแบบ เช่น ผ่านทาง I^2C เป็นการต่อเชื่อมเพื่อส่งข้อมูล หรือการส่งข้อมูลระหว่างคอนโทรลเลอร์กับ MAS3507D แต่สำหรับสำหรับ input สตรีม MPEG และ output ที่เป็น Digital Audio สำหรับข้อมูล Audio ที่ถอดรหัสแล้ว จะใช้การเชื่อมต่อแบบ I^2C และยังมีการเชื่อมต่อแบบขนาน (PIO) สำหรับการตรวจสอบและการเลือกโหมดการทำงานด้วย

การเชื่อมต่อ Input Bit สตรีม MPEG จะใช้ 3 ขา คือ SIC, SII หรือ SID โดยแต่ละขาจะส่งข้อมูลต่างกันดังนี้

- SIC ส่งสัญญาณนาฬิกา
- SID ส่งตัวสตรีมข้อมูล
- SII ส่งสัญญาณบอกเฟรม



รูปที่ 2.3 Timing Diagram ของ I^2C Input

การเชื่อมต่อ Output Audio

การเชื่อมต่อ Output Audio ของ MAS 3507D เป็นมาตราฐานการเชื่อมต่อแบบ I^2C สามารถเลือกการเชื่อมต่อได้ 2 รูปแบบ (16 Bit หรือ 32 Bit) โดยการทำงานของแต่ละโหมดเป็นดังนี้

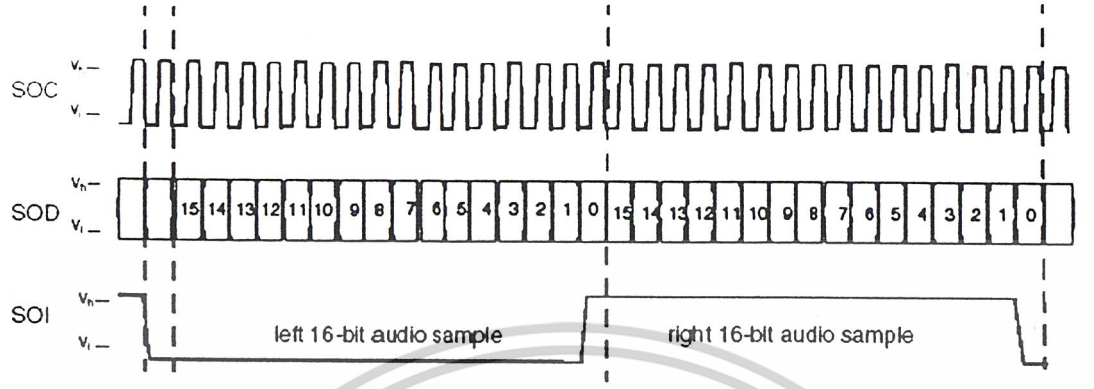
- โหมด 16 Bit

การทำงานของสัญญาณต่างๆเป็นไปดังรูป2.4

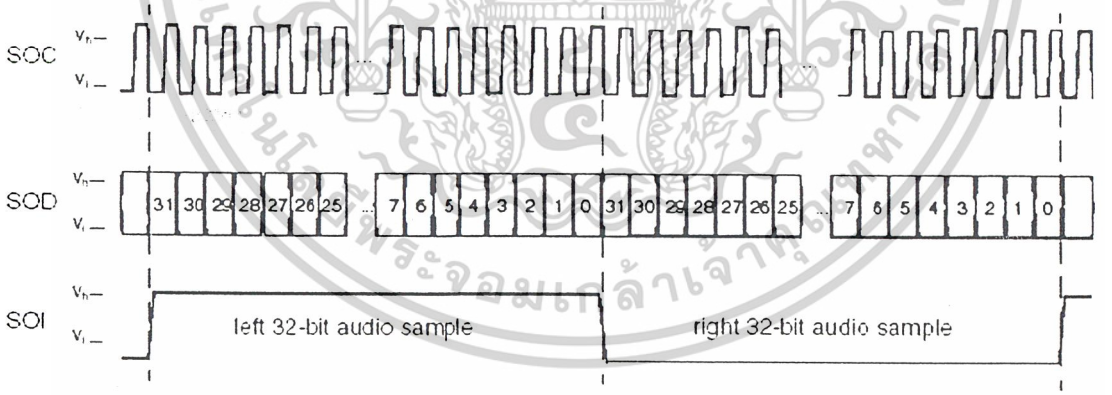
- โหมด 32 Bit

ในโหมด 32 Bit นี้ MAS 3507D จะสร้าง Output 32 Bit ต่อข้อมูล 1 sampling แต่จะเป็นข้อมูลเสียง 20 Bit แรกเท่านั้น ส่วนที่เหลืออีก 12 Bit จะเป็น 0 การทำงานของสัญญาณต่างๆจะเป็นดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 Timing Diagram ของการเชื่อมต่อ SDO ในโหมด 16 Bit / Sampling



รูปที่ 2.5 Timing Diagram ของการเชื่อมต่อ SDO ในโหมด 32 Bit/Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Start-up Configuration

โดยพื้นฐานแล้ว MAS 3507D สามารถที่จะทำงานได้โดยไม่ต้องมีคอนโทรลเลอร์คอยควบคุมข้อมูลสะถานะส่วนมากจะสามารถกำหนดได้จากการกำหนดสถานะขณะเปิดเครื่อง (Start-up Configuration) การกำหนดสถานะขณะเปิดเครื่องนี้จะกระทำผ่านทางการเชื่อมต่อแบบขนาน (PIO) และหลังจากเปิดเครื่องแล้วขาเหล่านี้จะทำหน้าที่เป็น Output เพื่อแสดงข้อมูลเกี่ยวกับไฟล์ MPEG ที่ถอดรหัสได้

ตารางที่ 2.3 แสดงถึงการกำหนดโหมดการทำงานเริ่มต้นผ่านทางขา PI ต่างๆ

PIO Pin	"0"	"1"
PI8	divide CLKO by 1, 2, or 4 (according to MPEG 1, 2, or 2.5)	CLKO fixed at 24.576 or 22.5792 MHz
PI4	14.725 MHz input clock	14.592 MHz input clock
PI3	Enable layer 3	Disable layer 3
PI2	Enable layer 2	Disable layer 2
PI1	SDO output: 32 bit	SDO output: 16 bit
PI0	input: Multimedia mode (PLL off)	input: Broadcast mode (PLL on)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.4 สัญญาณ Output PIO ในการถอดรหัส MPEG

PIO Pin	Name	Comment
PI19	Demand PIN %0 %1	 no input data exp. input data request
PI18, PI17	MPEG INDEX %00 %01 %10 %11	 MPEG 2.5 reserved MPEG 2 MPEG 1
PI13, PI12	MPEG Layer ID %00 %01 %10 %11	 reserved Layer 3 Layer 2 Layer 1[1)]
PI8	MPEG CRC-ERROR %0 %1	 no error CRC-error, MPEG decoding not successful
PI4	MPEG-FRAME-SYNC	see following text
PI3, PI2	Sampling frequency %00 %01 %10 %11	in kHz[2)] 44.1 / 22.1 / 11.0 48 / 24 / 12 32 / 16 / 8 reserved
PI1, PI0	Deemphasis %00 %01 %10 %11	 none 50/15 µs reserved CCITT J.17
[1)]Layer 1 bit streams will not be decoded [2)]Sampling frequency also defined by MPEG index (see Table 3–11 for additional information)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การเชื่อมต่อการควบคุม (Control Interface)

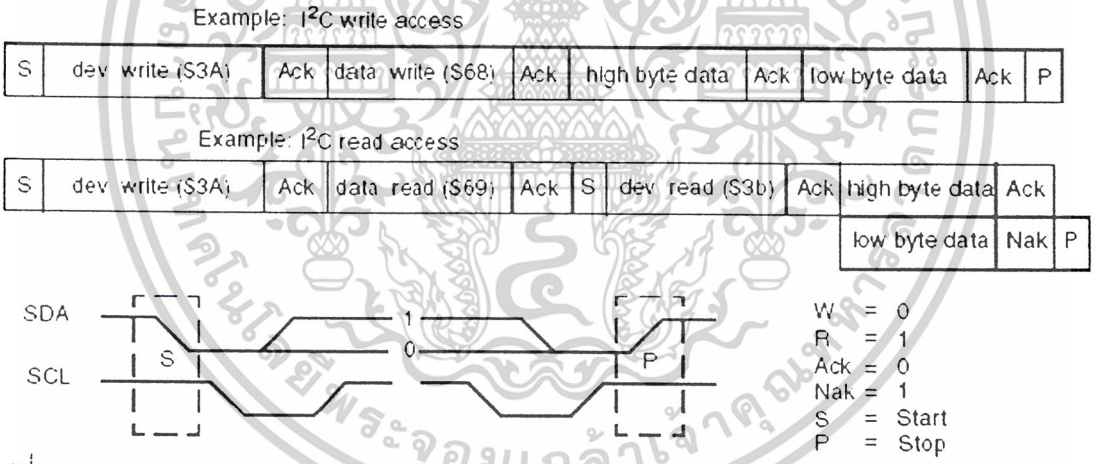
2.3.1 การเชื่อมต่อ Bus I ^{2} C ทั่วไป

การติดต่อสื่อสารระหว่าง MAS3507D และคอนโทรลเลอร์ภายในจะกระทำผ่านBus I ^{2} C โดย I ^{2} C จะถ่ายโอนข้อมูลที่มีความยาว Word ต่ำสุด คือ 16 Bit การเชื่อมต่อจะใช้ ระดับของตำแหน่งย่อย (Sub address) เพียงระดับเดียว แอดเดรสของ MAS3507D (device address) แสดงในตารางที่ 2.5

ตารางที่ 2.5 แสดง I ^{2} C Device Address

A7	A6	A5	A4	A3	A2	A1	W/R
0	0	1	1	1	0	1	0/1

รีจิสเตอร์ข้อมูลและรีจิสเตอร์ควบคุมของ I ^{2} C ของ MAS3507D จะมีขนาดข้อมูล 16 Bit สามารถเข้าถึงได้โดยการเขียน/อ่าน 2 Word ข้อมูล 8 Bit



รูปที่ 2.6 Protocol I ^{2} C Bus MAS3507D

ตำแหน่งย่อย (Sub address)

การควบคุมผ่านทาง I ^{2} C คอนโทรลเลอร์ต้องทำการคำสั่ง เพื่อแสดงความต้องการว่าจะอ่านหรือเขียนข้อมูล ดังตารางที่ 2.6

ตารางที่ 2.6 แสดงตำแหน่งย่อย

Sub-addresses	**Comment**
S68 /write	controller writes to MAS 3507D data register
S69 /read	controller reads from MAS 3507D data register
S6A/ write	controller writes to MAS 3507D control register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address ($6A) ใช้ในการควบคุมพื้นฐาน เช่น รีเซทและเลือกชิ้นงาน Addressอื่นใช่สำหรับโอนข้อมูลจาก/ถึง MAS 3507D

Register I ^{2} C

Register ควบคุม I ^{2} C

Register ควบคุม I ^{2} C เป็น Register ที่เขียนได้อย่างเดียวเท่านั้นและ จุดประสงค์ของ Register นี้คือการ Register ทาง Software ของ MAS3507D

ตารางที่ 2.7 แสดงการกำหนด Bit ของ Register ควบคุม

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
x	x	x	x	x	x	x	R	0	0	0	0	T3	T2	T1	T0

1) x = don't care, R = reset, T3...T0 = task selection

การ Reset ทาง Software จะกระทำโดยการเขียนข้อมูล 16 Bit ให้ MAS3507D โดยกำหนดให้ Bit ที่ 8 เป็น 1 สำหรับ 4 Bit ท้ายเป็นตัวกำหนดซึ่งใช้ในการ Download Software ในการถอดรหัส MPEG โดยทั่วไปนั้น Bit เหล่านั้นต้อง Set เป็น "0" เสมอ

Register ข้อมูล I ^{2} C

Register ข้อมูลของ I ^{2} C สามารถ (Sub Address Data_read) และเขียนได้ (Sub Address Data_write) โดยมีความยาว 16 Bit การถ่ายโอนข้อมูลจะกระทำที่ MSB (m) เป็น Bit แรก

ตารางที่ 2.8 การกำหนด Bit ของRegister ข้อมูล

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
m															l

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.3.2 โครงสร้างคำสั่ง

การควบคุม MAS3507D จะกระทำอย่างสมบูรณ์ผ่าน Register ข้อมูล I^2C โดยใช้คำสั่งพิเศษ คำสั่งจะถูกนำไปปฏิบัติโดย MAS3507D ในขณะการทำงานปกติที่ไม่มีการสูญเสียหรือการ Interrupt ของข้อมูลที่กำลังมาหรือสตรีมข้อมูล Audio ที่กำลังออกไปคำสั่ง I^2C เหล่านี้ คอนโทรลเลอร์สามารถเข้าถึงสถานะภายใน,หน่วยความจำภายใน, Register ควบคุม Hardware ภายนอก และแม้กระทั้ง Download ของ Software

Firmware ของ MAS 3507D scans การเชื่อมต่อ I^2C แบบคาบเวลาและตรวจสอบคำสั่งที่ค้างอยู่หรือคำสั่งใหม่ อย่างไรก็ตาม เนื่องจากบางส่วนของ Firmware มีความสำคัญมาก จึงต้องมีการคาดคะเนช่วงเวลาแฝงในการตอบสนอง ในทางทฤษฎี ช่วงเวลาการตบสนองต้องไม่เกิน 4 ms แต่ช่วงเวลาการตอบสนองทั่วไปจะน้อยกว่า 0.4 ms ตาราง 2.9 แสดงคำสั่งคอนโทรลเลอร์ซึ่งใช่ใน MAS3507D

ตารางที่ 2.9 คำสั่งคอนโทรลพื้นฐาน

Code	Command	Comment
S0 S1	run	Start execution of an internal program. (Run 0 means freeze operating system.)
S3	read Control Information and Ancillary Data	fast read of a block of information organized in 16-bit words (see Section 3.5.1. on page 22)
S9	write register	An internal register of the MAS 3507D can be written directly to by the controller.
SA SB	write to memory	A block of the DSP memory can be written to by the controller. This feature may be used to download alternate programs.
SD	read register	The controller can read an internal register of the MAS 3507D.
SE SF	read memory	A block of the DSP memory can be read by the controller.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50400

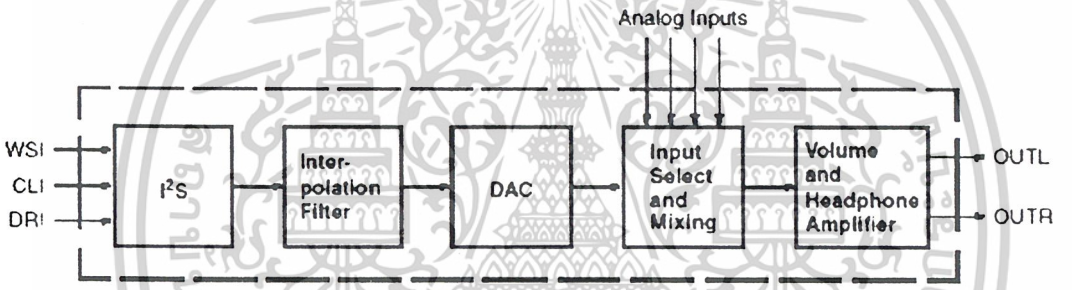
บทที่ 3

DAC 3550A

3.1 บทนำ

DAC 3550A เป็นชิปเดี่ยวที่มีความว่องไวสูง ภายในประกอบด้วยวงจร แปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอก เพื่อการประยุกต์ใช้ในงาน ออดิโอโดยเฉพาะ

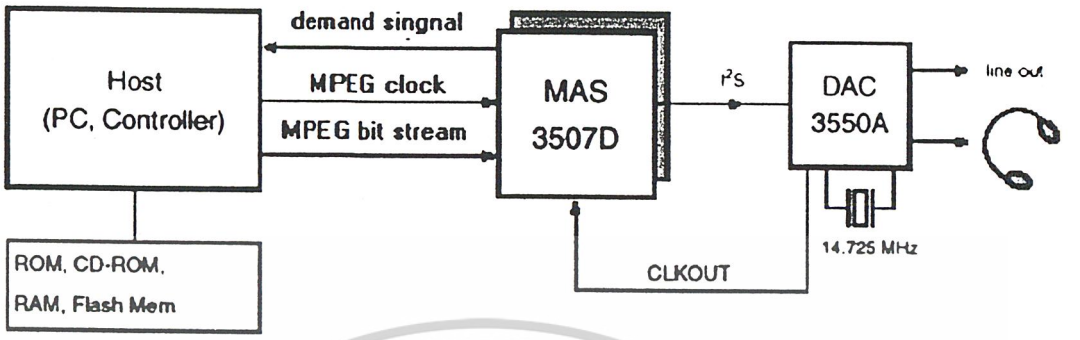
สัญญาณเสียงที่เป็นดิจิตอล จะถูกส่งผ่านด้วย I^2S บัส และสัญญาณจะถูกประมวลผลโดย ทางด้านเอาต์พุต DAC 3550A ประกอบด้วย ส่วน ของภาคขยาย ส่วนควบคุมเสียง ส่วนมิกเซอร์ ดังแสดงดังรูป



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของ DAC 3550A

จากรูปแสดงให้เห็นการทำงานภายในของ DAC 3550A ในส่วนแรกจะทำหน้าที่ซิงโครไนซ์สัญญาณข้อมูลเสียงดิจิตอลที่ได้รับเข้ามาเพื่อป้อนส่งมายังส่วน Interpolation Filter ซึ่งมีจุดตัดความถี่อยู่ที่ 22 กิโลเฮิรตซ์ เพื่อตัดสัญญาณรบกวนในช่วงความถี่สูงออกไป จากนั้นข้อมูลจะเข้าไปยังส่วนของมิกเซอร์เพื่อผสมสัญญาณอะนาลอกภายนอกเข้ากับสัญญาณอะนาลอกที่แปลงได้ ส่วนสุดท้ายคือส่วนของชุดฟิลเตอร์ และวงจรขยายเพื่อกรองเอาความถี่สูงออกไปแล้วขยายสัญญาณที่หูฟัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

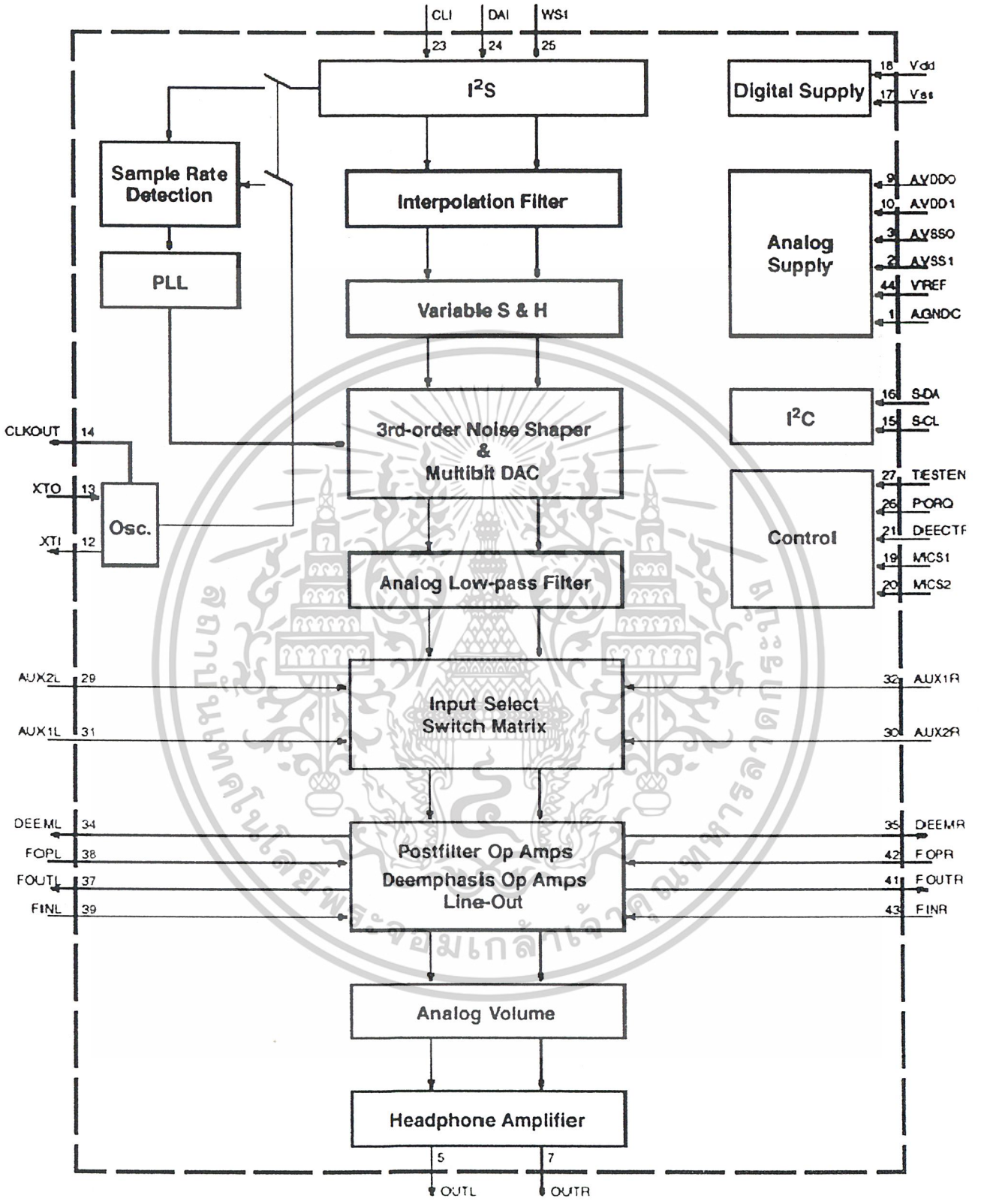


รูปที่ 3.2 แสดงการประยุกต์ใช้งานทั่วไป

DAC3550A **มีคุณลักษณะเด่น ดังนี้**

- มีวงจรขยายสำหรับหูฟังอยู่ภายในตัว
- ค่า SNR 103 dBA
- ควบคุมการทำงานผ่าน ระบบ I^2C บัส และ I^2S บัส
- ใช้งานได้กับความถี่แซมเปิ้ลตั้งแต่ 8 กิโลเฮิรตซ์ ไปจนถึง 50 กิโลเฮิรตซ์
- มีอะนาลอกภายนอกมาต่อร่วมได้อีก 2 แชนเนล
- ไม่ต้องการสัญญาณ นาฬิกาหลัก
- ใช้พลังงานต่ำ
- สามารถใช้แรงดันได้หลายระดับ ตั้งแต่ 2.7 V ..5.5V
- มีวงจรออสซิเลเตอร์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงบล็อกไดอะแกรมของ DAC3550A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 รายละเอียดของฟังก์ชันต่าง ๆ

การเชื่อมต่อ I^2S เป็นการเชื่อมต่อระหว่าง DAC 3550A กับ ทางแหล่งกำเนิดเสียงภายนอก เช่นเครื่องเล่น CD, ตัวถอดรหัส MPEG ซึ่งการเชื่อมต่อ I^2S จะครอบคลุม รูปแบบทั้งหมด

3.2.1 การเชื่อมต่อ I^2S

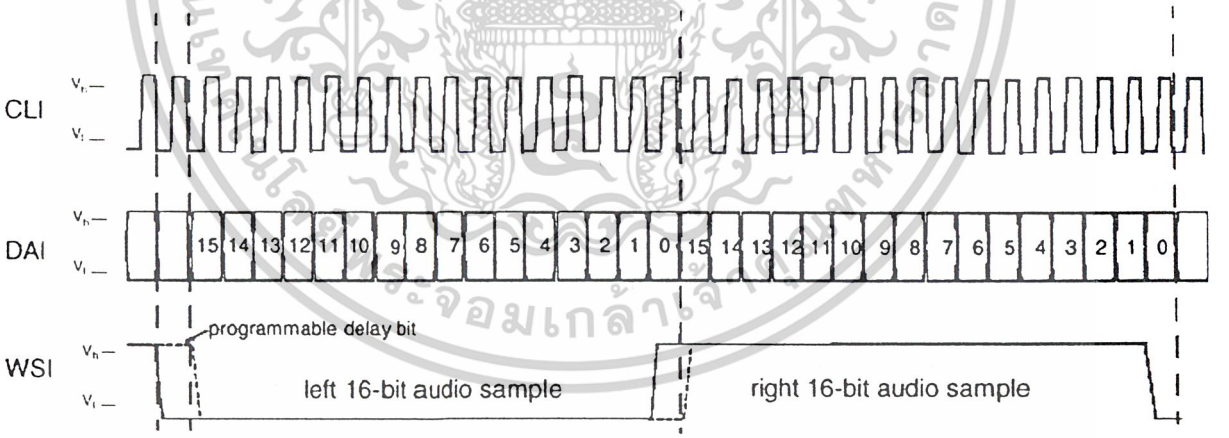
1. การส่งข้อมูลจะส่งบิต ข้อมูลที่มีนัยสำคัญสูงสุดก่อน (MSB)
2. การตอบสนองข้อมูลทำที่ขอบขาขึ้น ของสัญญาณนาฬิกา

โหมด 16 บิต

ในกรณีนี้ bit clock คือ 32 X fs_{audio} ความยาวเวิร์ดสูงสุด 16 บิต

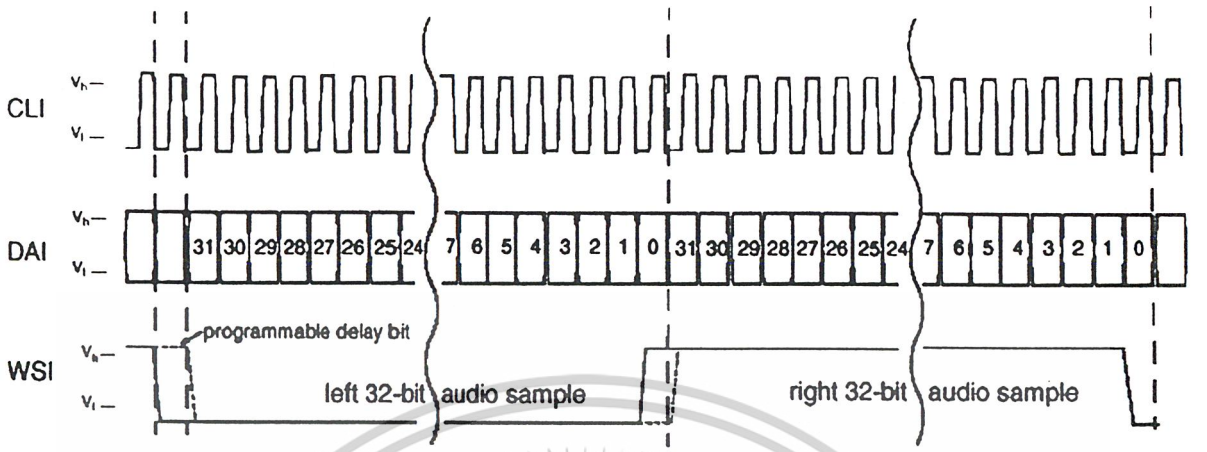
โหมด 32 บิต

ในกรณีนี้ bit clock คือ 64 X fs_{audio} ความยาวเวิร์ดสูงสุด 32 บิต



รูปที่ 3.4 I^2S โหมด 16 บิต (LR_SEL=0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 I^2S โหมด 32 บิต (LR_SEL=0)

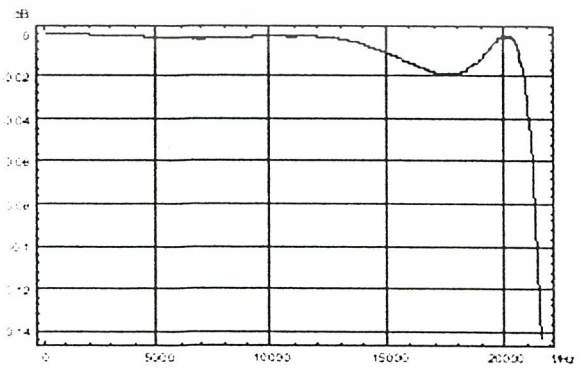
การตรวจจับเพื่อเลือกโหมดการทำงานอัตโนมัติ

การสับเปลี่ยนโหมดระหว่าง 16 บิต และ 32 บิต ไม่จำเป็นต้องควบคุมอุปกรณ์ภายนอก เพราะ DAC 3550A จะทำการตรวจสอบเอง โดยสำหรับสัญญาณเสียงคุณภาพสูง แนะนำให้ใช้โหมด 32 บิต ของการเชื่อมต่อ I^2S เพื่อที่จะสามารถใช้งานได้ครอบคลุมย่านความถี่ทั้งหมดที่ใช้งานได้

ในการแปลงข้อมูลสัญญาณจากขา WSI จะเป็นตัวบอกว่าข้อมูลนั้น ๆ เป็นแชลแนล ขวาหรือ ซ้าย

3.2.2 อินเทอร์โพเลชั่นฟิลเตอร์

เป็นการเพิ่มฟิลเตอร์เพื่อจำกัดความถี่ของสัญญาณอินพุทดิจิตอลที่สูงกว่า 22 กิโลเฮิรตซ์ ออกไป



รูปที่ 3.6 การตอบสนองความถี่ของอินเทอร์โพเลชั่นในช่วงความถี่ 0...22 กิโลเฮิรตซ์

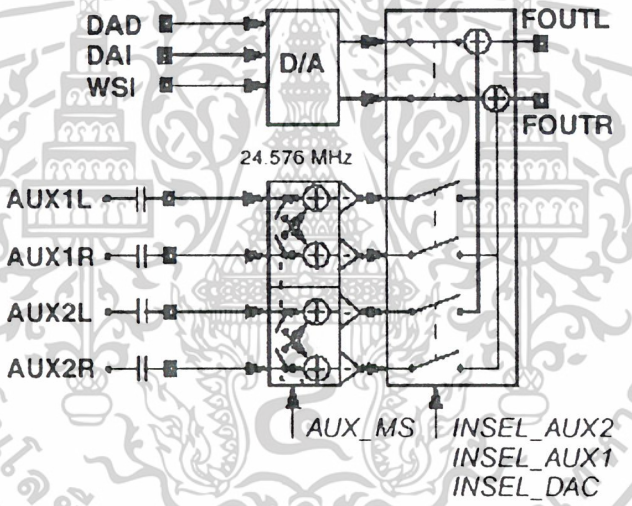
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 **วงจรกรองความถี่ต่ำผ่าน(Low pass Filter)**

วงจรกรองความถี่ต่ำผ่านนี้เป็นตัวกรองอันดับหนึ่งที่มีความถี่คัตออฟประมาณ 1.4 เมกะเฮิรตซ์ ซึ่งจะจำกัดองค์ประกอบความถี่สูงของสัญญาณรบกวนออกไป

3.2.4 ส่วนเลือกช่องความถี่สัญญาณและการมิกซ์สัญญาณ

ส่วนนี้ใช้ในการเลือกระหว่างการมิกซ์อินพุทอื่นๆ (Auxiliary input) และสัญญาณที่มาจาก DAC เพื่อใช้งานในกรณีที่มีสัญญาณจากแหล่งอื่น เมทริกซ์การสวิทช์นี้จะอนุญาติให้เลือกระหว่างโหมดโมโน และ โหมดเสตริโอ

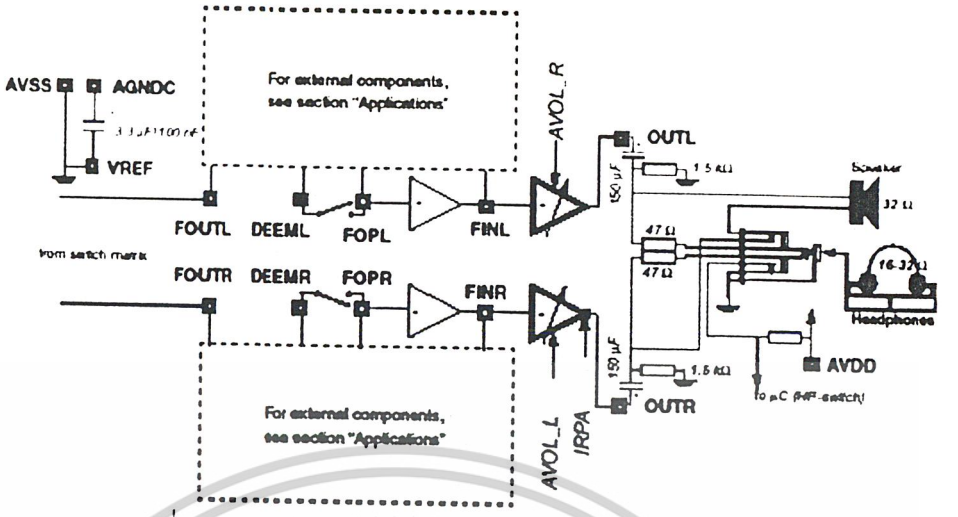


รูปที่ 3.7 แสดงเมตริกซ์การสวิทช์ระหว่างการเลือกแหล่งความถี่และการมิกซ์สัญญาณ

3.2.5 โพสท์ฟิลเตอร์ออปแอมป์ และการเชื่อมต่อสายภายใน

ในส่วนของโพสท์ฟิลเตอร์จะเป็นวงจรกรองความถี่ต่ำผ่านแบบแอคทีฟที่อาศัยออปแอมป์ภายใน โดยสามารถเลือกใช้วงจรฟิลเตอร์ลำดับต่างๆ ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงโพสท์ฟิวเตอร์ ออปแอปม์, และสายภายนอก

3.2.6 การควบคุมระดับเสียง (Volume)

การควบคุมระดับเสียง จะสามารถกำหนดได้ครอบคลุมจาก +18 db ถึง –75 db โดยที่ระดับต่ำสุดจะเป็นการตัดเสียง (Mute)

ขนาดของการแบ่งจะถูกแบ่งด้วย 3 db และ 1.5 db

-75 db ...-54 db: จะถูกแบ่งด้วยขนาด 3 db

-54 db ...+18 db จะถูกแบ่งด้วยขนาด 1.5 db

3.2.7 วงจรขยายสำหรับหูฟัง (Headphone Amplifier)

เอาท์พุท ของวงจรขยายสำหรับหูฟังจะอยู่ที่ขา OUTL และ OUTR ซึ่งต่ออยู่กับหูฟังสเตอริโอ หรือลำโพงเดี่ยว หูฟังสเตริโอต้องต่อความต้านทาน 47 Ω แบบอนุกรมภายนอกในทั้งสองช่องเสียง ถ้าต่อลำโพงเข้ากับเอาท์พุทเหล่านี้เครื่องขยายกำลังของช่องเสียงขวาต้องกลับขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Volume / dB	AVOL
18.0	111000
16.5	110111
15.0	110110
13.5	110101
-	-
0.0	101100(default)
-1.5	101011
-	-
-54.0	001000
-57.0	000111
-	-
-75.0	000001
Mute	000000

ตารางที่ 3.1 การควบคุมระดับเสียง

3.2.8 ระบบสัญญาณนาฬิกา

คุณสมบัติพิเศษของ DAC3550A คือ ไม่ต้องการสัญญาณนาฬิกา หลักจากภายนอก โดยสัญญาณนาฬิกาภายในจะถูกสร้างด้วยวงจร PLL ซึ่งมันจะทำหน้าที่ บล็อกสัญญาณนาฬิกาจาก I^2S บัส (CLI)

ถ้าหากไม่มีสัญญาณนาฬิกาจาก I^2S วงจร PLL จะทำงานตลอดเวลา ในขณะเดียวกันตัวชิปจะถูกควบคุม ด้วยระบบบัสแบบ I^2C ซึ่งสามารถกำหนดการทำงานได้ 2 โหมดการทำงาน คือ

- โหมดมาตรฐาน
- โหมดเอ็มเป็ก

การกำหนดโหมดการทำงานทำได้โดยการป้อนลอจิกที่ขา MCS1 และ MCS2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS1	MCS2	Mode	Sub address	Default Sample Rate
0	0	Standard	ADR0	32-48 kHz
0	1	Standard	ADR1	32-48 kHz
1	0	Standard	ADR2	32-48 kHz
1	1	MPEG	ADR3	Automatic

ตารางที่ 3.2 โหมดการทำงาน

โหมดเอ็มเป็ก

โหมดนี้ควรใช้ร่วมกับ MAS 3507D ในการประยุกต์ใช้งานในเครื่องเล่น MPEG ใน กรณีนี้ตัว MAS3507D ต้องการสัญญาณนาฬิกา 14.725 MHz ดังนั้น จึงต้องต่อคริสตัลความถี่ 14.725 MHz เพื่อที่จะให้สัญญาณนาฬิกาสำหรับ MAS 3507D และให้มีการตรวจสอบจับอัตราแซมเปิล

อัตราการแซมเปิล MPEG:

8 KHz, 11.025 KHz, 12 KHz, 16 KHz, 22.05 KHz, 24 KHz, 32 KHz, 44.1 KHz 48 KHz

3.2.9 การเชื่อมต่อ I^2C บัส

DAC 3550A จะถูกติดต่อโดยการเชื่อมต่อ I^2C ซึ่งจะใช้การอ้างอิงตำแหน่งย่อย 1 ระดับ บัส I^2C จะใช้เพื่อติดต่อกับ IC

ตำแหน่งย่อย จะยอมให้มีการเลือกชิปในการประยุกต์ใช้งานที่มี DAC หลายตัวและเลือกรีจิสเตอร์ภายใน รีจิสเตอร์เหล่านี้เขียนได้อย่างเดียว

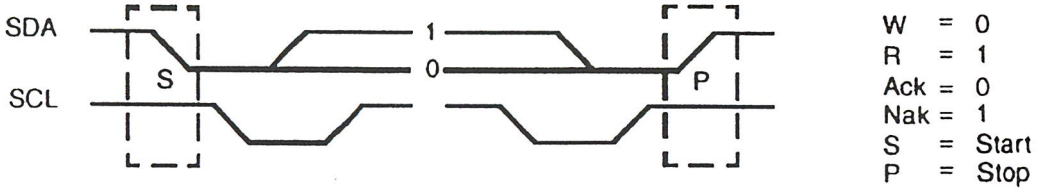
S	Dev_write	Ack	Sub_adr	Ack	1 bye data	Ack	P

8 bit I^2C write access

S	Dev_write	Ack	Sub_adr	Ack	1 bye data	Ack	1 bye data	Ack	P

16 bit I^2C write access

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dev_write =$9A

รูปที่ 3.9 แสดงโปรโตคอลของบัส I^2C ในการเขียน

3.2.10 รีจิสเตอร์

การรีเซททางฮาร์ดแวร์จะเซทค่าเริ่มต้นให้กับรีจิสเตอร์ควบคุมทุกตัวเป็น ศูนย์ ในขณะที่เปิดเครื่องมาตัวชิปจะมีการโหลดค่าเริ่มต้นด้วยค่าดีฟอลท์

RA1	RA0	นีโมนิก
0	1	SR_REG
1	0	AVOL
1	1	GCFG

ตารางที่ 3.3 ตำแหน่งรีจิสเตอร์ I^2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
มาตราการเชื่อมต่อของไดรฟ์ซีดีรอม

4.1บทนำ

ในระยะแรกหลังจากการถือกำหนิดของซีดีรอมยังไม่มีการกำหนดมาตรฐานร่วมกัน ระหว่างผู้ผลิตต่างๆ ทำให้แต่ละบริษัทต่างก็ตั้งมาตราฐานของตนขึ้นมาใช้เอง ทำให้การพัฒนาการใช้งานของซีดีรอมเป็นไปอย่างลำบากเนื่องจากความแตกต่างกันของมาตรฐานจากแต่ละบริษัท ต่อมาจึงได้มีการกำหนดมาตรฐานร่วมกันเพื่อให้การพัฒนาการใช้งานซีดีรอมง่ายขึ้น โดยมาตรฐานที่ถูกกำหนดขึ้นนั้นจะใช้งานกับซีดีรอมที่ใช้งานบนคอมพิวเตอร์ มาตรฐานเชื่อมต่อนี้ก็คือ ATAPI

มาตรฐาน ATAPI เป็นมาตราฐานการเชื่อมต่อของซีดีรอมเข้ากับเครื่องคอมพิวเตอร์ ชื่อเต็มๆ ของ ATAPI คือ ATA Packet Interface โดยมาตรฐานนี้เป็นมาตรฐานที่พัฒนาต่อมาจากมาตราฐาน ATA/IDE ซึ่งใช้เชื่อมต่อฮาดร์ดิสก์เข้ากับคอมพิวเตอร์ โดย ATAPI ATA มาจัดเรียงเป็นชุดคำสั่งก่อนที่จะส่งเข้าไปยังอุปกรณ์แทนที่จะเป็นคำสั่งเดี่ยวๆ เหมือนมาตราฐาน ATA เดิม ดังนั้นจะเห็นได้จากชื่อเต็มของ ATAPI

แต่เนื่องจากมาตรฐาน ATAPI เป็นมาตราฐาน ATA อีกขั้นหนึ่ง ดังนั้นการติดต่อพื้นฐาน (เช่น ขั้วต่อสัญญาณ ลำดับลำดับสัญญาณของการอ่านและเขียนรีจิสเตอร์ภายใน) จะเหมือนกับมาตรฐาน ATA ทุกอย่าง จะมีแต่ส่วนของโปรโตคอลในการส่งคำสั่งควบคุมเท่านั้นที่เปลี่ยนไปจากคำสั่งเดียวๆ ของมาตราฐาน ATA ไปเป็นชุดคำสั่งของมาตราฐาน ATAPI

4.2 โปรโตคอลการสั่งงานซีดีรอมไดรฟ์

ในการใช้งานจริงๆ นอกจากต้องเชื่อมต่อให้ถูกต้องตามมาตราฐานแล้ว ยังต้องมีรูปแบบการส่งข้อมูลควบคุมที่ถูกต้องด้วยมิฉะนั้นจะไม่สามารถควบคุมตัวไดรฟ์ได้ การสั่งงานอุปกรณ์ตามมาตรฐาน ATA หรือ ATAPI นั้นจำเป็นต้องเขียนข้อมูลต่างๆ เข้าไปในรีจิสเตอร์ที่อยู่ภายในอุปกรณ์นั้นๆ ตามที่แสดงไว้ในตารางที่ 4.1 แสดงให้เห็นรีจิสเตอร์ภายในอุปกรณ์มาตรฐาน ATAPI พร้อมแอดเดรสและหน้าที่ของรีจิสเตอร์แต่ละตัว การจะส่งคำสั่งเข้าไป 1 คำสั่งนั้นต้องเขียนข้อมูลลงในรีจิสเตอร์ต่างๆ ให้ถูกต้อง อุปกรณ์จึงจะสามารถทำงานตามที่เราสั่งได้ถูกต้อง ในการเขียนหรืออ่านรีจิสเตอร์ภายในทั้งหมดนี้จะมีลำดับสัญญาณ (Timing Diagram) และค่าเวลาในการเขียนหรืออ่านรีจิสเตอร์จะขึ้นกับโหมดการทำงานของอุปกรณ์ว่าอยู่ในโหมดใด โดยโหมดในการทำงานของอุปกรณ์ตามมาตรฐาน ATA นี้จะแบ่งออกเป็น 5 โหมดแต่ละโหมดแตกต่างกันที่ความเร็วในการทำงาน โหมด 4 จะทำงานได้เร็วที่สุด และโหมด 0 จะทำงานได้ช้าที่สุด การกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดการทำงานได้โดยการส่งคำสั่งเซ็ตโหมดเข้าไปยังตัวอุปกรณ์ แต่ถ้าไม่มีการเซ็ตค่าโหมดใดๆ อุปกรณ์จะทำงานที่โหมด 0 เป็นค่าดีฟอลท์

รีจิสเตอร์ที่สำคัญในมาตรฐาน ATAPI

4.2.1 รีจิสเตอร์ภายในตามมาตรฐาน ATAPI และรายละเอียด

การติดต่อสื่อสารระหว่างอุปกรณ์กับโฮสต์จะกระทำผ่านรีจิสเตอร์ I/O ซึ่งการกำหนดเส้นทางข้อมูลอินพุตหรือเอาท์พุต/ไปรีจิสเตอร์ จะทำได้โดยการถอดรหัสสัญญาณจากโฮสต์ (CS1FX-, CS3FX-, DA2, DA1, DA0, DIOR- และ DIOW-)

แอตเดรส					หน้าที่	
CSIEX	CS3FX	DA2	DA1	DA0	อ่าน (DIOR-)	เขียน (DIOW-)
N	A	0	0	0	สถานะฟล็อปปี้ A	ไม่ใช้
N	A	0	0	1	สถานะฟล็อปปี้ A	ไม่ใช้
N	A	0	1	0	ไม่ใช้	รีจิสเตอร์ Floppy Digital Output
N	A	0	1	1	ควบคุม Floppy ID/Tape	สงวน
N	A	1	0	0	สถานะ Floppy Controller	สงวน
N	A	1	0	1	รีจิสเตอร์บล็อกคำสั่ง	
N	A	1	1	0	สถานะ Alternate ATAPI	ควบคุมอุปกรณ์
N	A	1	1	1	(หมายเหตุ1)	ไม่ใช้
					รีจิสเตอร์บล็อกคำสั่ง	
A	N	0	0	0	ข้อมูล	
A	N	0	0	1	รีจิสเตอร์ Error	รีจิสเตอร์ Feature
A	N	0	1	0	รีจิสเตอร์Interrupt Reason	ไม่ใช้
A	N	0	1	1	สงวนสำหรับ SAM Count (บิต 0-7)	
A	N	1	0	0	รีจิสเตอร์ Byte Count (บิต 0-7)	
A	N	1	0	1	รีจิสเตอร์ Byte Count (บิต 8-15)	
A	N	1	1	0	Drive Select	
A	N	1	1	1	สถานะ ATAPI	คำสั่ง AT

ตารางที่ 4.1 รีจิสเตอร์ภายในตามมาตรฐาน ATAPI

หมายเหตุ: รีจิสเตอร์นี้ได้เลิกใช้ไปแล้ว ดังนั้นอุปกรณ์ไม่ควรที่ที่จะตอบสนองการอ่านค่าแอตแดรสนี้ก็คือไม่ควรที่จะขับสัญญาณ DDF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 รีจิสเตอร์สถานะของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
BSY	DRDY	DMA READY Or DF	SERVICE Or DSC	DRQ	CORR	Reserved	CHECK

ตารางที่ 4.2 สถานะรีจิสเตอร์ของ ATAPI, ATA

DRDY, DSC, CORR และ CHECK จะสามารถนำไปใช้ได้เมื่อสิ้นสุดคำสั่งแล้ว

บิต 7 BSY (Busy) จะถูกเซ็ตเมื่ออุปกรณ์เข้าถึงบล็อกคำสั่ง

บิต 6 DRDY (Device Ready) แสดงว่าอุปกรณ์สามารถตอบสนองต่อคำสั่ง ATA ได้

บิต 5 DMA READY/DF บิตนี้จะแสดงว่าอุปกรณ์พร้อมที่จะเริ่มการถ่ายโอนข้อมูลแบบ DMA และบิตนี้จะสงวนไว้สำหรับความสามารถในการโอเวอร์แลป (overlap) ซึ่งจะพัฒนาในอนาคต ถ้าไม่มีการอนุญาติให้มีการโอเวอร์แลปหรือ Interleave DAM บิตนี้จะใช้สำหรับ Drive Fault (DF)

บิต 4 SERVICE/DSC บิตนี้ใช้เป็นสัญญาณว่าอุปกรณ์กำลังต้องการบิการหรืออินเตอร์รัพ ถ้ามีการขออินเตอร์รัพบิตนี้จะเซ็ตและจะไม่เคลียร์จนกว่าจะมีการส่งคำสั่ง Service (A2h) ออกมา และถ้าไม่ได้ใช้ในการอินเตอร์รัพ บิตนี้จะใช้สำหรับฟังก์ชัน DSC

บิต 3 DRQ (Data Request) แสดงว่าอุปกรณ์พร้อมที่จะถ่ายโอนข้อมูลกับโฮสต์ ถ้าบิต DRQ ถูก

เซ็ตจะทำให้สามารถนำข้อมูลในรีจิสเตอร์ Interrupt Reason ของ ATAPI ไปใช้ได้

บิต 2 CORR (Corrected Data) ใช้แสดง Correctable Error

บิต 0 CHECK แสดงการเกิดความผิดลาดในระหว่างการปฏิบัติการของคำสั่งก่อนหน้านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 รีจิสเตอร์ Error ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Sense Key				MCR	ABRT	EOM	ILI

ตารางที่4.3 รีจิสเตอร์ Error ของ ATAPI, ATA

บิต 7 – 4 Sense Key

บิต 3 MCR (Media Change Request) สงวนไว้ใช้กับอุปกรณ์มีเดียร์ (media device) ที่
สามารถเปลี่ยนได้ และใช้แสดงว่ามีการร้องขอให้เปลี่ยนมีเดียร์จากอุปกรณ์

บิต 2 ABRT (Aborted Command) แสดงว่าคำสั่งที่ร้องขอมานั้นล้มเหลว เนื่องจากรหัสคำสั่ง ไม่ถูกต้องหรืออุปกรณ์อื่นเกิดความผิดพลาดขึ้น

บิต 1 EOM (End of Media) แสดงการตรวจพบตำแหน่งสุดท้ายของมีเดียร์

บิต 0 ILI (Illegal Length Indication)

4.2.4 รีจิสเตอร์ Feature ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Reserved						OVER LAP	DMA

ตารางที่4.4 รีจิสเตอร์ Feature ของ ATAPI, ATA

บิต 1 OVERLAP (Optional) อุปกรณ์จะปล่อยบัส ATA ก่อนที่คำสั่งจะเสร็จสิ้นสมบูรณ์

บิต 0 DMA (Optional) ข้อมูลสำหรับคำสั่งที่จะถูกถ่ายโอนผ่านการเชื่อมต่อแบบ DMA
สังเกตว่าจะไม่มีการใช้คอมมานด์แพ็คเก็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 รีจิสเตอร์ Byte Count ของ ATAPI (รีจิสเตอร์ Cylinder High/Low ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
Byte Count (บิต 0-7)							
Byte Count (บิต 8-15)							

ตารางที่ 4.5

Byte Count จะใช้สำหรับอุปกรณ์ PIO เท่านั้น และจะต้องตั้งค่าก่อนที่จะส่งแพ็คเก็ตคอมมานออกไป

Byte Count จะบรรจุปริมาณข้อมูลในการโอนทั้งหมดสำหรับคำสั่งที่ถ่ายโอนข้อมูลเพียงชุดเดียว เช่น Mode Sense/Select, Inquiry ส่วนคำสั่งที่ต้องการอินเทอร์รัพ DRQ หลายครั้ง เช่น Read, Write จะต้องตั้งค่า Byte Count ให้เป็นปริมาณข้อมูลที่โฮสต์ต้องถ่านโอนจาก/ไปยังรีจิสเตอร์ข้อมูล

4.2.6 รีจิสเตอร์ Interrupt Reason ของ ATAIP (รีจิสเตอร์ Sector Count ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
Reserved					RELEASE	IO	Cod

ตารางที่4.6 รีจิสเตอร์ Interrupt Reason ของ ATAIP

บิต 2 RELEASE แสดงว่าอุปกรณ์ได้ปล่อยบัส ATA ก่อนการเสร็จสิ้นคำสั่งที่กำลังทำอยู่

บิต 1 IO ทิศทางการถ่ายโอนข่าวสาร

ถ้า IO = 0 แสดงทิศทางไปยังอุปกรณ์

ถ้า IO = 1 แสดงทิศทางไปยังโฮสต์

IO	DRQ	Cod	
0	1	1	คำสั่ง – พร้อมที่จะรับไบต์แพ็คเกตคอมมานด์
1	1	1	ข่าวสาร (อนาคต) – พร้อมที่จะส่งข้อมูลไปยังโฮสต์
1	1	0	ข้อมูลไปยังโฮสต์ – ส่งพารามิเตอร์คำสั่ง (Read Data)ไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฮลต์

0	1	0	ข้อมูลจากโฮลต์ – รับพารามิเตอร์คำสั่ง (Write Data) จากโฮลต์
1	0	1	สถานะ – รีจิสเตอร์จะบรรจุ Completion Status

บิต 0 Cod (Command or Data)

ถ้า Cod = 0 แสดงว่าข่าวสารที่ถูกถ่ายโอนนั้นคือข้อมูล

ถ้า Cod = 1 แสดงว่าข่าวสารที่ถูกถ่ายโอนนั้นคือคำสั่ง

4.2.7 รีจิสเตอร์ Driver Select ของ ATAPI (รีจิสเตอร์ Drive/Head ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
1	Reserved	1	DRV	Reserved for SAMLUN			

ตารางที่4.7 รีจิสเตอร์ Driver Select ของ ATAPI

บิต 4 DRV จะเป็นการเลือกอุปกรณ์ (Device0 หรือ Device1)

ถ้า DRV = 0 จะเป็น Device0

ถ้า DRV = 1 จะเป็น Device1

4.2.8 รีจิสเตอร์ Device Control ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Reserved				1	SRST	NIEN	0

ตารางที่4.8 รีจิสเตอร์ Device Control ของ ATAPI, ATA

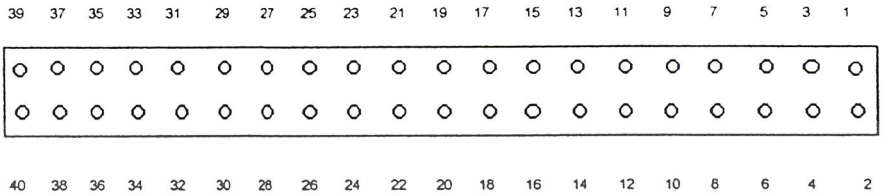
บิต 2 SRST (Software Rest) เป็นบิตที่ใช้รีเซ็ตโดยซอฟต์แวร์

บิต 1 nIEN เป็นบิตที่จะยอมให้มีการอินเตอร์รัพของอุปกรณ์ไปยังโฮสต์หรือไม่

ถ้า nIEN = 0 และเลือกอุปกรณ์แล้ว ก็จะอนุญาตให้มีการอินเตอร์รัพผ่านบัฟเฟอร์ 3 สถานะถ้า nIEN = 1 หรือไม่มีการเลือกอุปกรณ์ สัญญาณ INTRQ จะเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ตมาตรฐานในการเชื่อมต่อของไดร์ฟซีดีรอม



รูปที่ 4.1 พอร์ตมาตรฐานในการเชื่อมต่อของไดร์ฟซีดีรอม

Pin	สัญลักษณ์	คำอธิบาย	Pin	สัญลักษณ์	คำอธิบาย
1	RESET	Reset	21	DMARQ	DMA Request
2	GND	Ground	22	GND	Ground
3	DD7	Data Bus Bit 7	23	DIOW-	I/O Write
4	DD8	Data Bus Bit 8	24	GND	Ground
5	DD6	Data Bus Bit 6	25	DIOR	I/O Read
6	DD9	Data Bus Bit 9	26	GND	Ground
7	DD5	Data Bus Bit 5	27	IORDY	I/O READY
8	DD10	Data Bus Bit 10	28	SPSYNC:CSEL	Spiracle Syncor Cable
9	DD4	Data Bus Bit 4	29	DMACK	DAM Ack
10	DD11	Data Bus Bit 11	30	GND	Ground
11	DD3	Data Bus Bit 3	31	INTRQ	Interrupt Request
12	DD12	Data Bus Bit 12	32	IOCS16	16 Bit I/O
13	DD2	Data Bus Bit 2	33	DA1	Device Address Bit 1
14	DD13	Data Bus Bit 13	34	PDIAG-	PASSED DIAGNOSTICS
15	DD1	Data Bus Bit 1	35	DA0	Device Address Bit 0
16	DD14	Data Bus Bit 14	36	DA2	Device Address Bit 1
17	DD0	Data Bus Bit 0	37	CS0-	Chip select 0
18	DD15	Data Bus Bit 15	38	CS1-	Chip select 1
19	GND	Ground	39	DASP-	Device active or slave
20	RESERVED	Reserved	40	GND	Ground

ตารางที่4.9 แสดงพอร์ตมาตรฐานในการเชื่อมต่อของไดร์ฟซีดีรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งคำสั่งเข้าไปยังอุปกรณ์หนึ่ง คำสั่งต้องเขียนรีจิสเตอร์ต่างๆ ตามที่ชุดคำสั่งนั้นๆ ต้องการ ซึ่งแต่ละคำสั่งจะมีความต้องการค่าในรีจิสเตอร์ต่างๆ กันไป โดยรีจิสเตอร์ส่วนใหญ่ที่จำเป็นต้องเขียนก็คือ Feature register, ByteCout Low/High Register, Drive Select Register และ Command Register

สำหรับการสั่งงานอุปกรณ์ตามมาตรฐาน ATA นั้นจะสั่งงานในลักษณะของคำสั่งเดียวๆ คือ 1 คำสั่งใช้ข้อมูลเพียงไบต์เดียวในการสั่งงาน แต่เนื่องจากซีดีรอมไดร์ฟเป็นอุปกรณ์มาตราฐาน ATA อีกชั้นหนึ่งจึงใช้ลักษณะของชุดคำสั่งใช้ข้อมูลจำนวน 12 ไบต์ในการสั่งงาน โดยส่วนของลำดับสัญญาณที่ใช้ในการเขียนรีจิสเตอร์จะเหมือนกับมาตรฐาน ATA ทั้งหมด แตกต่างในส่วนเดียวคือจำนวนคำสั่งที่ใช้ในการสั่งงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ISO 9660

5.1 บทนำ

ตั้งแต่ปี ค.ศ. 1980 สื่อในการเก็บข้อมูลจำพวกซีดี (Digital Audio Compact) เริ่มเข้ามามีบทบาทในกลุ่มของผู้ฟังและในส่วนของอุตสหกรรมผลิตเสียงต่างๆ โดยเป็นสื่อที่ใช้เก็บข้อมูลในเทคนิคทางดิจิตอลและสามารถอ่านข้อมูลที่บรรจุอยู่ในแผ่นด้วยหัวอ่านเลเซอร์ ด้วยประสิทธิภาพในการใช้งานทำให้เป็นที่แพร่หลายมากในเวลาต่อมา จนทำให้ต้องมีการกำหนดมาตรฐานทางอุตสหกรรมด้วยมาตรฐาน ISO9660 ซึ่งซีดีที่อยู่ในมาตรฐานนี้สามารถใช้งานได้กับทุกฮาร์ดแวร์และทุกซอฟตแวร์

ดังนั้น ISO 9660 จึงเป็นมาตรฐานที่ครอบคลุมการใช้งานซีดีรอมทั่วไปและบางส่วนที่ใช้ในโครงสร้างของรูปแบบข้อมูล

5.2 มาตรฐานการเก็บข้อมูลบนซีดีรอม

พื้นที่การเก็บข้อมูลทั้งหมดของแผ่นซีดีรอมนั้นจะถูกแบ่งออกเป็นบล็อกย่อยๆ ขนาดเท่าๆ กัน โดยขนาดของแต่ละบล็อก ที่เป็นไปได้คือ 512, 1024 หรือ 2048 ไบต์ แต่แผ่นซีดีรอมในปัจจุบันเกือบทั้งหมดจะมีขนาดของแต่ละบล็อกเท่ากับ 2048 ไบต์ หรือ 2 กิโลไบต์ และละบล็อกจะมีการกำหนดหมายเลขประจำบล็อกไว้เพื่อมใช้ในการอ้างถึงข้อมูลที่อยู่ภาพในบล็อกนั้นๆ หมายเลขแอดเดรสประจำแต่ละบล็อกเรียกว่า Logical Block Address หรือ LBA ขนาดของบล็อกข้อมูลที่เล็กที่สุดที่สามารถเก็บข้อมูลไว้ได้นี้มีชื่อเรียกอีกชื่อหนึ่งคือ ลอจิคอลเซ็กเตอร์ (Logical Sector) หรือเรียกสั้นๆ ว่าเซ็กเตอร์ ดังนั้นถ้าการกล่าวถึงเซ็กเตอร์ใดๆ เช่นเซ็กเตอร์ที่ 16 ก็หมายถึงการอ้างถึงข้อมูลที่อยู่ในบล็อกที่เล็กที่สุดหมายถึงแอดเดรส (LBA) ที่ 16

จากที่กล่าวไปแล้วข้อมูลในซีดีรอมจะต้องถูกนำไปจัดวางเรียงไว้ในแต่ละบล็อก โดยแต่ละบล็อกมีขนาดที่กำหนดไว้คงที่เท่ากับ 2 กิโลไบต์ ดังนั้นหากข้อมูลมีขนาดเล็กกว่า 2 กิโลไบต์ไม่ว่าเท่าใดก็ตามก็ต้องใช้พื้นที่ในการเก็บข้อมูลเท่ากับ 2 กิโลไบต์เสมอ เพราะหากมีการเอาสวนที่เหลือของบล็อกข้อมูลมาใช้เก็บข้อมูล 2 งาน นั่นหมายความว่าข้อมูลทั้ง 2 ชุดนั้นมีหมายเลขแอดเดรส (LBA) เดียวกันซึ่งจะเห็นได้ว่ามีปัญหาในการเรียกใช้งานอย่างแน่นนอน แต่ถ้าหากข้อมูลที่ต้องการเก็บมีขนาดมากว่า 2 กิโลไบต์ข้อมูลก็จะถูกเก็บลงในบล็อกแรกจนเต็ม เมื่อเต็มแล้วก็จะเก็บลงในบล็อกถัดๆ ไปเช่นนี้เรื่อยๆ จนครบขนาดข้อมูลทั้งหมดที่ต้องการจัดเก็บ ดังนั้นจะเห็นได้ว่าข้อมูลหนึ่งๆ ที่ต้องการจัดเก็บจะถูกเก็บในบล็อกที่เรียงกันเรื่อยๆ จนครบทั้งหมดซึ่งแตกต่างจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดเก็บข้อมูลในฮาดร์ดีสก์ที่ข้อมูลแต่ละชุดสามารถจัดเก็บลงบล็อกใดๆ ก็ได้ไม่จำเป็นต้องเรียงต่อเนื่องกัน

เนื่องจากการจัดเก็บข้อมูลที่เรียงต่อเนื่องกัน ทำให้การอ้างถึงไฟล์ข้อมูล แต่ละชุดที่เก็บไว้ต้องมีแอดเดรสของบล็อกข้อมูลเริ่มต้น และจำนวนบล็อกข้อมูลทั้งหมดเท่านั้น จึงจะสามารถอ่านข้อมูลไฟล์นั้นๆ ออกมาได้ แต่จะรู้ได้อย่างไรว่าไฟล์มีบล็อกข้อมูลเริ่มต้นที่แอดเดรสไหน และมีจำนวนบล็อกข้อมูลหรือขนาดของไฟล์นั้นๆ เท่าไหร่ ซึ่งจะรู้ได้จากระบบไฟล์ซิลเต็ม (File System) และระบบไฟล์ซิลเต็มที่กำหนดมาให้ใช้กับซีดีรอมมีชื่อเรียกว่า ISO-9660

5.3 มาตรฐาน ISO-9660

ISO-9660 คือมาตรฐานที่กำหนดรูปแบบและตำแหน่งของข้อมูลต่างๆ ว่าจะอยู่ในส่วนใดบ้าง เพื่อให้การเก็บข้อมูลของแผ่นซีดีรอมทั้งหมดเป็นในรูปแบบเดียวกัน โครงสร้างการเก็บข้อมูลตามมาตรฐาน ISO-9660 เป็นต้นไปดังรูปที่ 5.2

จากรูปที่ 5.2 จะเห็นได้ว่าโครงสร้างทั้งหมดแบ่งออกเป็น 4 ส่วนใหญ่ๆ คือ Volume Descripter, Path Table, Directory Descripter และ File Descripter

Volume Descripter ซึ่งเป็นส่วนที่สำคัญที่สุดในการเข้าถึงข้อมูลภายในแผ่นซีดีรอม ที่แบ่งออกเป็น 5 ชนิด

5.3.1 Primary Volume Descripter เป็นส่วนเก็บข้อมูลหลักที่ใช้เข้าถึงข้อมูลที่อยู่ในแผ่น

5.3.2 Supplementary Volume Descripter เป็นส่วนเก็บข้อมูลเพิ่มเติมในกรณีที่เป็นข้อมูลพิเศษในการใช้งาน

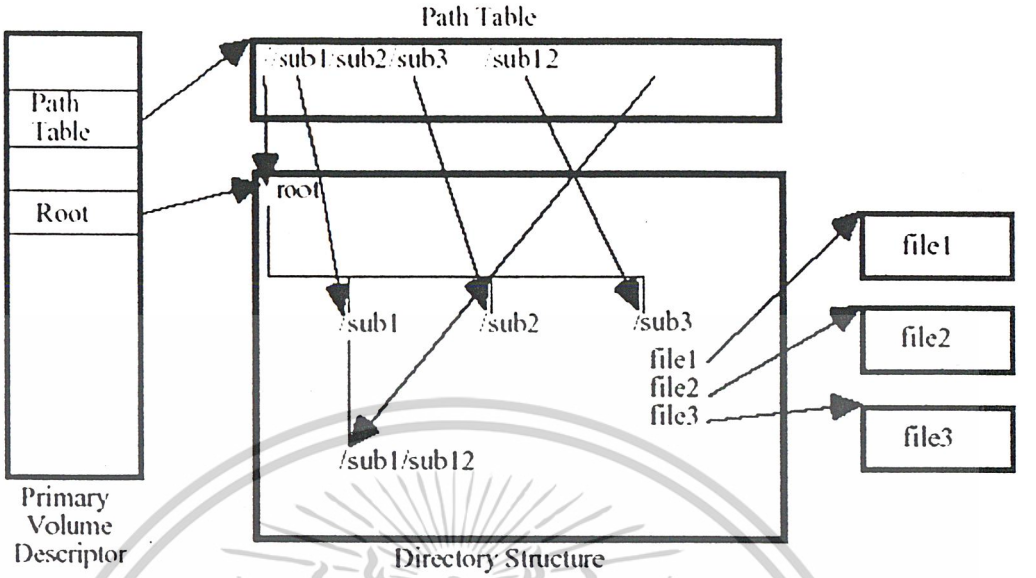
5.3.3 Volume Partition Descripter เก็บข้อมูลการแบ่งพาทิชั่นของซีดีรอม

5.3.4 Boot Record เก็บข้อมูลที่ใช้ในการบู๊ตเครื่องคอมพิวเตอร์

5.3.5 Volume Descripter Set ส่วนสุดท้ายที่บอกการจบของส่วน Volume Descripter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Overview of ISO-9660 structure.



รูปที่ 5.1 แสดง รูปแบบโครงสร้างของ ISO-9660

ข้อมูลของ Volume Descripter ทั้งหมดนี้จะต้องถูกเก็บต่อเนื่องกันไปตามลำดับโดยตำแหน่งเริ่มต้นของ Primary Volume Descripter จะอยู่ที่ลอจิคัลเซ็กเตอร์ 16 ส่วน Volume Descripter อื่นๆ จะต้องเก็บอยู่ในเซ็กเตอร์ต่อเนื่องกันไปจนปิดท้ายด้วย Volume Descripter Set Terminator โดยแต่ละ Volume Descripter จะใช้พื้นที่ในการเก็บข้อมูล 1 เซ็กเตอร์ ถึงแม้จะมีข้อมูลไม่เต็มบล็อกก็ตาม

Volume Descripter ที่จำเป็นต้องมีในแผ่นซีดีรอมแต่ละแผ่นคือ ต้องมี Primary Volume Descripter 1 ชุด และมี Volume Descripter Set Terminator 1 ชุด หรือมากกว่าส่วน Volume Descripter ชนิดอื่นๆ จะมีหรือไม่มีก็ได้

ข้อมูลสำคัญที่เก็บไว้ใน Primary Volume Descripter คือขนาดความจุทั้งหมดของแผ่นซีดี, ขนาดความจุของแต่ละบล็อก, ขนาดของ Path Table, ตำแหน่งแอดเดรสของ Path Table, และข้อมูลของไดเร็กทอรีราก (Root Directory: ไดเร็กทอรีชั้นนอกสุด)

- Directory Descripter หรือ Directory Record เก็บข้อมูลรายละเอียดของไดเร็กทอรี่นั้นๆ คือ ชื่อไดเร็กทอรี วันเวลาที่สร้าง รวมถึง File Descripter ของไฟล์ทั้งหมดที่อยู่ภายในไดเร็กทอรีด้วย
- File Descripter เก็บข้อมูลรายละเอียดของแต่ละไฟล์ คือ ชื่อไฟล์ วันเวลาที่สร้าง ตำแหน่งของไฟล์ และขนาดข้อมูลทั้งหมดของไฟล์นั้นๆ
- Path Table ส่วนนี้เปรียบเทียบได้กับแผนที่ทั้งหมดของแผ่นซีดีรอม เนื่องจากข้อมูลที่บรรจุอยู่ภายใน Path Table คือตำแหน่งแอดเดรสทั้งหมดของไดเร็กทอรีที่อยู่ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีดีรอม ทำให้การเข้าถึงไดเร็กทอรีที่อยู่ลึกลงไปมากๆ ทำได้อย่างง่ายดายโดยไม่ต้องคอยอ่าน Directory Decripter ลงไปทีละชั้น

Standard Identifier (CD001)
Volume Identifier
Volume Set Identifier
System Identifier
Volume Size
Number of Volumes in this Set
Number of this Volume in the Set
Logical Block Size
Size of the Path Table
Location of the Path Table
Root Directory Record
Other Identifiers
Time Stamps

ตารางที่ 5.1 แสดงข้อมูลที่อยู่ภายใน Primary Volume Descripter

ถ้าต้องการจะอ่านหรือเขียนข้อมูลไฟล์หนึ่งๆ ขั้นตอนแรกต้องอ่านข้อมูลจาก Primary Volume Descripter ที่ 16 หลังจากอ่านข้อมูลของ Primary Volume Descripter ขึ้นมาก็จะได้ข้อมูลตำแหน่งของ Path Table และตำแหน่งของไดเร็กทอรีราก หลังจากอ่านข้อมูลส่วนนี้เสร็จแล้วสามารถเลือกเดินทางได้ 2 ทาง ทางแรกคือการไปอ่าน Directory Descripter ของไดเร็กทอรีราก ซึ่งจะได้ข้อมูลของไดเร็กทอรีรากและไฟล์ทั้งหมดที่อยู่ภายในไดเร็กทอรีรากแลพหากไฟล์ข้อมูลที่ต้องการอยู่ลงลึกลงไปไดเร็กทอรีอื่นอีก ก็อ่านข้อมูล File Descripter ขึ้นมาซึ่งจะได้ข้อมูลตำแหน่งของไฟล์นั้นๆ วันเดือนปีที่แก้ไข รวมไปถึงขนาดความยาวของไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนทางเลือกที่สองในการเข้าถึงข้อมูลหลังจากอ่าน Primary Volume Descripter แล้วก็คือการอ่าน Path Table เพื่อหาตำแหน่งไดเร็กทอรีท้ายสุดที่เก็บไฟล์ที่ต้องการแล้วนำแอดเดรสนั้นๆ ไปอ่าน Directory Descripter ไดเร็กทอรีนั้นๆ เพื่ออ่าน File Descripter ของไฟล์ที่ต้องการได้ทันที จะเห็นได้ว่าวิธีแรกมากในกรณีที่ไฟล์ที่ต้องการอยู่ในไดเร็กทอรีที่ลึกลงไปจากไดเร็กทอรีรากมากๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การทำงานของวงจรถอดรหัส MP3
และหลักการทำงานของบอร์ดควบคุมซีดีรอม

จากรูปที่ 6.1 แสดงให้ถึงวงจรโดยรวมของส่วนถอดรหัส MP3 โดยการอธิบายสามารถอธิบายตามรายอุปกรณ์หลักๆดังนี้

6.1 การทำงานของวงจรถอดรหัส MP3

MAS 3507D และ DAC3550A จากวงจรจะแสดงให้เห็นว่ามีการแยกส่วนของไฟเลี้ยงและกราวด์ของระบบ Digital และระบบ Analog นอกจากนี้ที่บริเวณไฟเลี้ยงของชิพทั้งสองตัวจะมีตัวต้านทานและตัวเก็บประจุจัดเป็นวงจรโช้ค เพื่อกรองเอาสัญญาณรบกวนความความถี่สูงออก

การส่งข้อมูลระหว่าง MAS3507D กับ DAC3550A มีอยู่ด้วย 4 ส่วนด้วยกันคือ

6.1.1 ข้อมูลเสียง Digital Output ของ MAS3507D เข้าสู่ Input ของ DAC3550A โดยขา SOI ต่อเข้ากับขา WSI, ขา SOC ต่อเข้ากับขา CLI และขา SOD ต่อเข้ากับขา DAI

6.1.2 สัญญาณควบคุม I^2C Bus ต่อร่วมกัน เพื่อรับคำสั่งและส่งข้อมูลสถานะระหว่างไมโครคอนโทรลเลอร์ที่ควบคุม

6.1.3 สัญญาณ Reset ต่อร่วมกัน เพื่อทำการ Reset ขณะเริ่มจ่ายไฟ หรือ Reset ไมโครคอนโทรลเลอร์ที่ควบคุม

6.1.4 สัญญาณนาฬิกา CLK Out จากตัว DAC3550A จะป้อนเป็นสัญญาณนาฬิกา CLKI ของตัว MAS3507D

IC 74LS07 ทำหน้าที่เป็นส่วนปรับระดับ Logic สัญญาณ เนื่องจากอุปกรณ์ที่มาต่อกับบอร์ดถอดรหัสสัญญาณมี Logic 5 V แต่ตัว MAS3507D และ DAC3550A มีระดับ Logic 3 V ดังนั้นจึงจำเป็นต้องมี IC 74LS07 เป็น Buffer ที่ Output ในขณะ Open Collector นั้นคือจำเป็นต้องมีการต่อตัวต้านทานพูลอัพจึงสามารถทำงานได้ ซึ่งพูลอัพด้วยแรงดัน 3 V Logic HI ฝั่ง Input จะเท่ากับ 5 V แต่ Output จะเท่ากับ 3 V

ส่วน R8 – R17 และ C18 – C25 ที่ต่ออยู่กับ DAC3550A ทำหน้าที่เป็นวงจร Low Pass ตัวต้านทานที่ต่ออยู่กับขา IC1 ขา PI ต่างๆ เป็นตัวกำหนดการเริ่มต้นทำงานเพื่อให้ MAS3507D ทำงานอยู่ในโหมดที่ถูกต้อง R26 ทำหน้าที่ในส่วน Power On Reset และ LED 1 ทำหน้าที่แสดงการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนภายจ่ายไฟในวงจรจะใช้ไฟอยู่ 2 ชุด คือชุด 5 V สำหรับเลี้ยง IC 74LS07 และวงจรส่วนอื่นๆ ส่วนแรงดัน 3 V ใช้ทำการเลี้ยง MAS 3507D และ DAC3550A โดยแปลงมาจากไฟแรงดัน 12 V โดยใช้ LM317 และ R28 และ R29 ในการควบคุมแรงดัน

6.2 หลักการทำงานของบอร์ดควบคุมซีดีรอม

ในการควบคุมการทำงานของบอร์ดควบคุมซีดีรอมจะใช้ไมโครคอนโทรลเลอร์ MCS-51 89S8252 ด้วยที่ไมโครคอนโทรลเลอร์มีความสามารถต่างในการทำงานดังต่อไปนี้

6.2.1 มีรีจิสเตอร์ DPTR สองชุดทำให้การควบคุมการอ่านและเขียนข้อมูลจากแรมแยกกันได้อย่างอิสระ ทำให้การทำงานเร็วขึ้น

6.2.2 มีพอร์ต SPI (Serial Peripheral Interface) ใช้ว่างข้อมูลอนุกรมในแบบซิงโครนัส ซึ่งสามารถกำหนดความเร็วในการส่งและลำดับในการส่งบิตข้อมูล(ส่ง MSB หรือ LSB ก่อน) ได้ นำมาใช้ในการส่งข้อมูลป้อนเข้ายังตัวถอดรหัส

6.2.3 มีแฟลชเมโมรีสำหรับเก็บโปรแกรมขนาด 8 กิโลไบต์

6.2.4 ภายในมี Watchdog เพื่อเช็คความผิดพลาดในการทำงานของโปรแกรม

นอกจากนี้ภายในตัว 89S8252 ยังมีอีอีพรอมขนาด 2 กิโลไบต์อยู่ด้วย ซึ่งสามารถมาในเก็บข้อมูลที่ผู้ใช้ตั้งไว้ไม่ให้หายเมื่อปิดเครื่อง

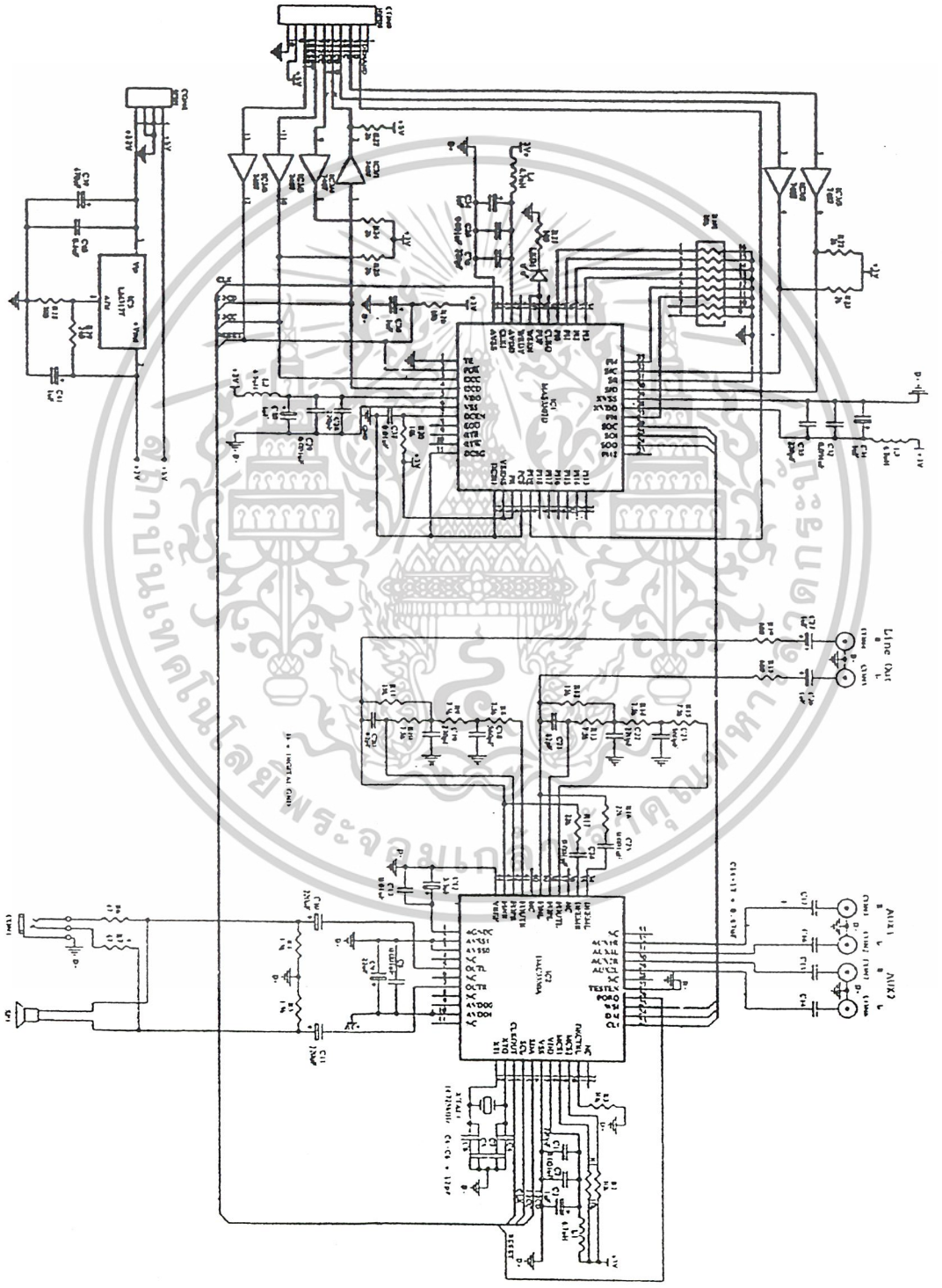
ในรูปที่ 6.2 C1, C2, C3, L1, R1 และ X'TAL1 เป็นส่วนของวงจรออสซิลเลเตอร์เพื่อสร้างสัญญาณนาฬิกา 24 เมกะเฮิรตซ์ เพื่อป้อนให้กับ 89S8252 โดย C3 และ L1 จะทำหน้าที่เป็นวงจรเรโซแนนซ์เพื่อกรองเอาแต่ความถี่ 24 เมกะเฮิรตซ์ออกมา ส่วน R2 และ C4 ต่อร่วมกันเป็นวงจร Power On Reset เพื่อรีเซตการทำงานของไมโครคอนโทรลเลอร์ขณะเริ่มจ่ายไฟ

ส่วนที่เหลือจะเป็นการจัดลอจิกเพื่อใช้ควบคุมอุปกรณ์ต่างๆ ที่อยู่ภายในบอร์ด IC10 ซึ่งเป็นดีโค้ดเดอร์จะทำหน้าที่ดีโค้ดแอดเดรสเพื่อเลือกอุปกรณ์ที่จะติดต่อด้วย IC3 และ IC6 ทำหน้าที่เป็นแลตช์แอดเดรส เพื่อใช้ในการอ่านและเขียนแรมในที่นี้คือ IC2 เป็นหน่วยความจำประเภทสแตติกแรม (Static RAM: SRAM) ขนาด 128 กิโลไบต์ เพื่อใช้เก็บข้อมูลบัฟเฟอร์จากซีดีรอม โดยหน่วยความจำทั้งหมดจะถูกแบ่งออกเป็นเพจ มีขนาดละ 16 กิโลไบต์ ซึ่ง IC6 เป็นตัวแลตช์แอดเดรสเพื่อเลือกเพจข้อมูล

IC4 และ IC5 ต่อร่วมกันเพื่อทำหน้าที่แปลงบัสข้อมูลขนาด 8 บิตของไมโครคอนโทรลเลอร์ตระกูล MCS-51 ไปเป็นบัสขนาด 16 บิตซึ่งเป็นของมาตรฐาน ATAPI โดยไอซีทั้งสองตัวจะทำหน้าที่แลตช์ข้อมูลไบต์บน (High Byte) D8-D15 ตัวหนึ่งจะแลตช์ข้อมูลขณะเขียนไป

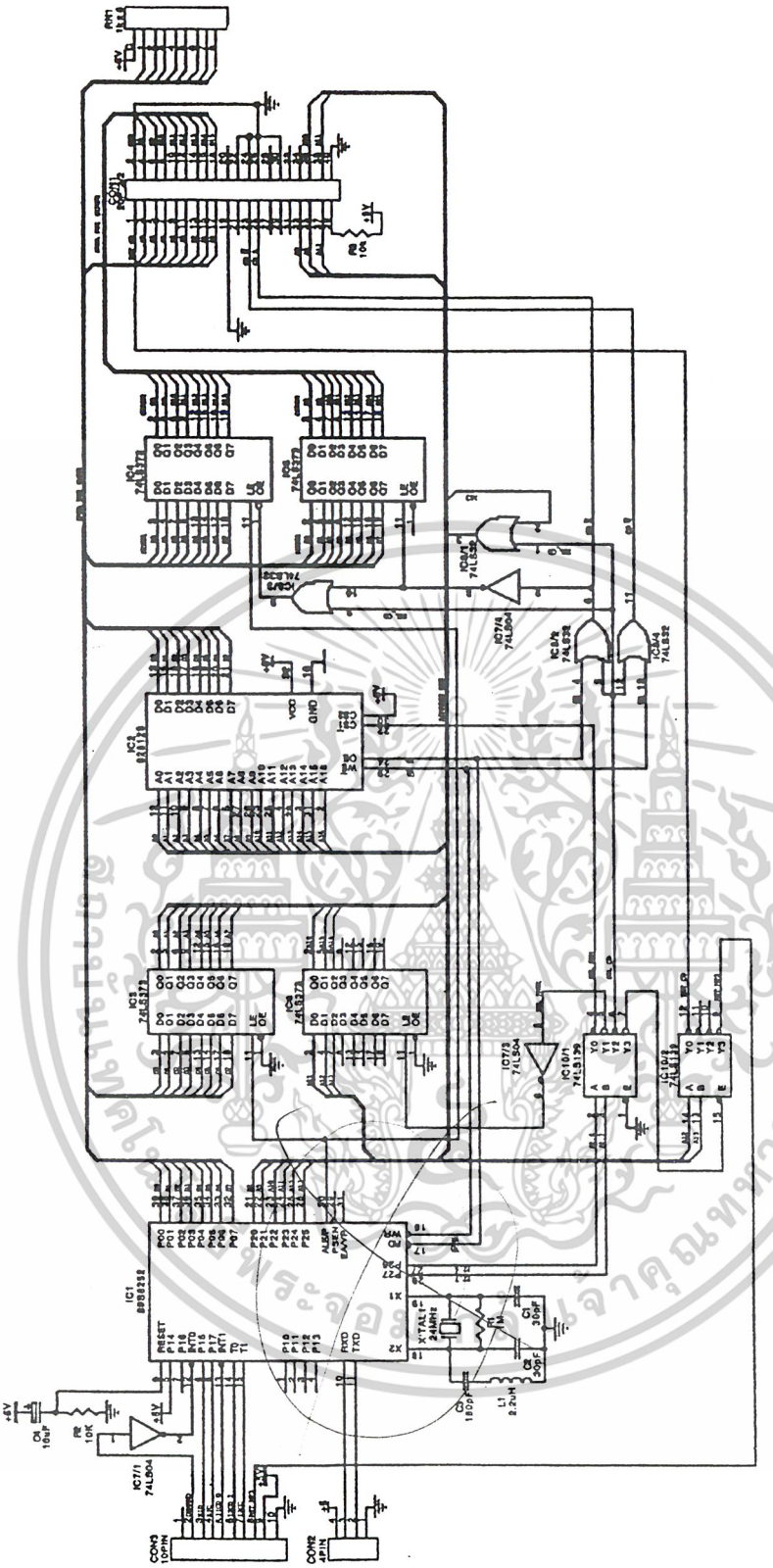
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังซีดีรอม ส่วนของลอจิเกตต่างๆ ที่เหลือก็มีไว้เพื่อจัดสัญญาณการอ่านและเขียนข้อมูลให้ถูกต้องตามมาตรฐาน ATAPI



รูปที่ 6.1 แสดงวงจรโดยรวมของวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงวงจรควบคุมซีดีรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่7
ทดสอบการทำงาน

ผลการทดสอบทางความถี่ของ File MP3 ที่ Bit rate ต่าง ๆ

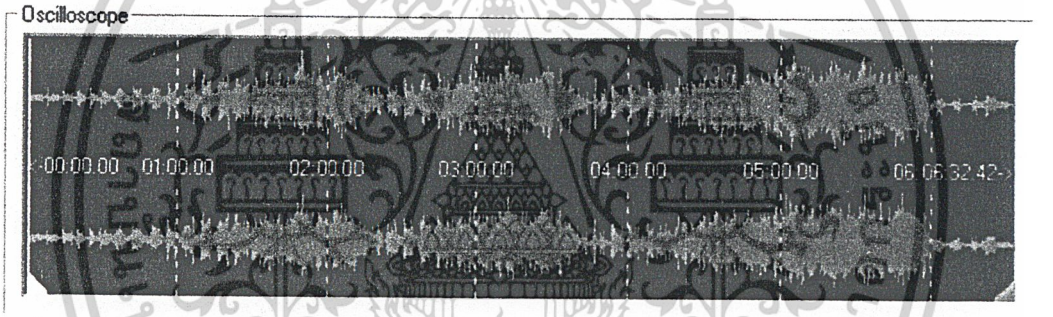
การทดสอบการเข้ารหัส MPEG1 Layer3 ในการทดสอบได้นำเพลงต้นฉบับที่เป็น Analog มาเข้ารหัส โดยใช้ Program Xing Audio Catalyst ในการเข้ารหัส และได้กำหนดรูปแบบของ File MP3 ที่ใช้ทดสอบในรูปแบบ 16 Bit นอกจากนี้ได้ทำการทดสอบการบีบอัดของมูลที่ Bit Rate 64 Bit / sec, 128 Bit / sec, 320 Bit / sec และได้ผลเป็น Waveform

การทดสอบผลตอบสนอง Waveform

เพลง Forever In Love

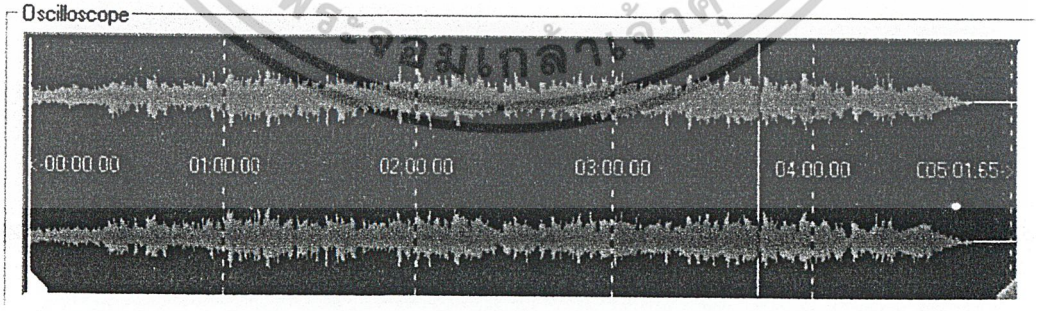
รูปแบบ File 16 Bit

Waveform ของ เพลงต้นฉบับ



รูปที่ 6.1 Waveform ของ เพลงต้นฉบับ

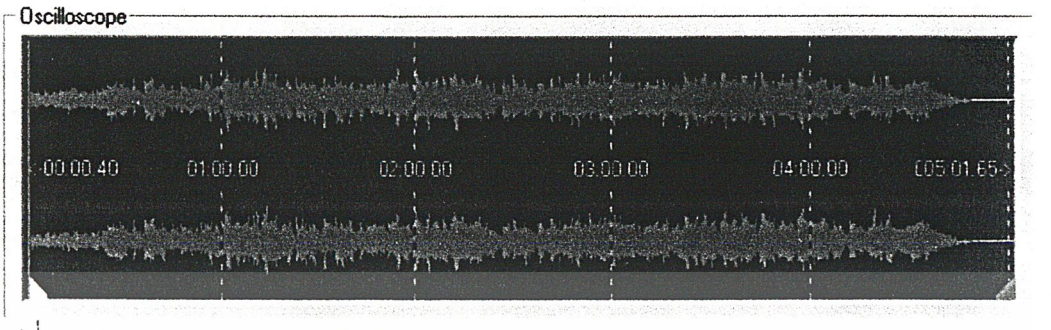
Waveform Bit Rate 64 Bit



รูปที่ 6.2 Waveform Bit Rate 64 Bit

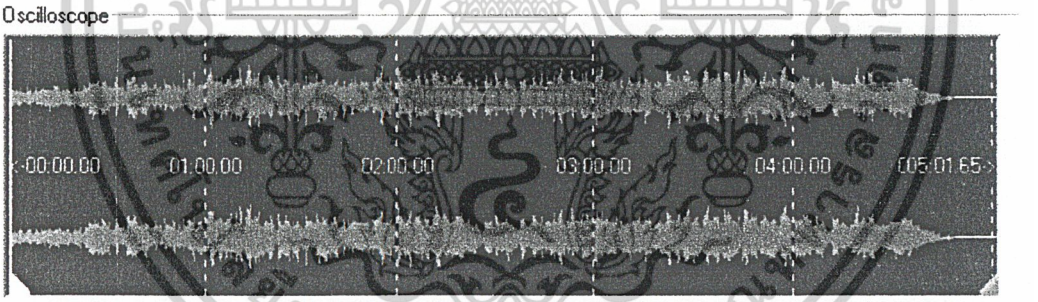
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Waveform Bit Rate 128 Bit



รูปที่ 6.3 Waveform Bit Rate 128 Bit

Waveform Bit Rate 320 Bit



รูปที่ 6.4 Waveform Bit Rate 320 Bit

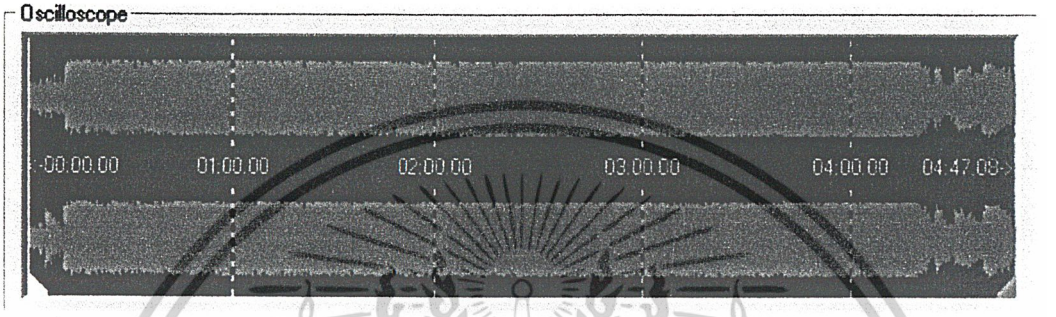
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบผลตอบสนอง Waveform

เพลง Don't Look Back In Anger

รูปแบบ File 16 Bit

Waveform ของ เพลงต้นฉบับ



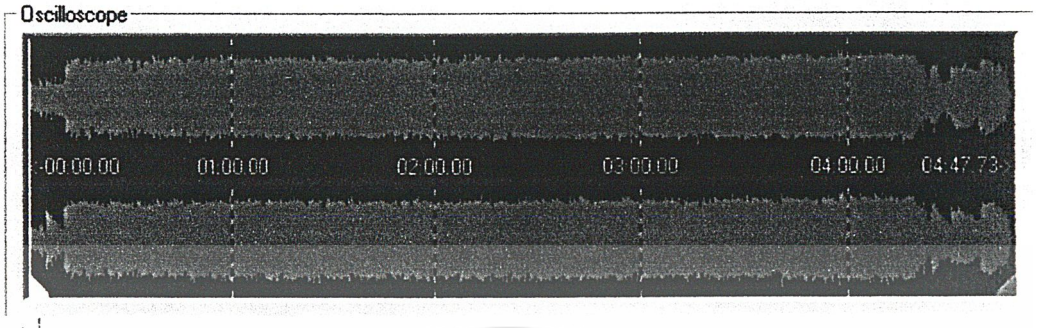
รูปที่ 6.5 Waveform ของ เพลงต้นฉบับ

Waveform Bit Rate 64 Bit

รูปที่ 6.6 Waveform Bit Rate 64 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Waveform Bit Rate 128 Bit



รูปที่ 6.7 Waveform Bit Rate 128 Bit

Waveform Bit Rate 320 Bit

รูปที่ 6.8 Waveform Bit Rate 320 Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของคำสั่งพิเศษ

run

S	dev_write	A	data_write	A	a3,a2	A	a1,a0	A	P

คำสั่ง run **เป็นคำสั่งที่สั่งให้ชิปเริ่มทำงาน ณ ตำแหน่งของโปรแกรม** a=(a3,a2,a1,a0) **โดย** a3 **จะเป็นตัวกำหนดรูปแบบการทำงาน ซึ่งมีค่าได้ 2 ค่า คือ** $1,$0

Read Control Interface Data

1) ส่งคำสั่ง

S	dev_write	A	data_write	A	S	$3,x2	A	x1,x0	A	P

2) รับข้อมูล

S	dev_write	A	data_write	A	S	dev_read			
(ancillary word 0)					A	d3,d2	A	d1,d0	
.... repeat for n data values...									
A	d3,d2	A	d1,d0	A	P				

x2..x0 : combined count, offset value

d3..d0: 16-bit data values

Write Register

S	Dev_write	A	data_write	A	$9,r1	A	r0,d0	A	
					d4,d3	A	d2,d1	A	p

เป็นการเขียนข้อมูลขนาด 20 บิต (d=d4,d3,d2,d1,d0) ลงรีจิสเตอร์ (r = r1,r0)

Write D0 Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S	dev_write	A	data_write	A	$A,$0	A	$0,$0
				A	n3,n2	A	n1,n0
				A	a3,a2	A	a1,a0
				A	d3,d2	A	d1,d0
				A	$0,$0	A	$0,d4

...Repeat for n data values...

A	d3,d2	A	d1,d0		
A	$0,$0	A	$0,$4	A	p

Write D1 Memory

S	dev_write	A	data_write	A	$B,$0	A	$0,$0
				A	n3,n2	A	n1,n2
				A	a3,n2	A	a1,a0
				A	d3,d2	A	d1,d0
				A	n3,n2	A	n1,n2

...Repeat for n data values...

A	d3,d2	A	d1,d0		
A	$0,$0	A	$0,$4	A	p

n3...n0 number of word

a3...a0 start address in MASD Memory

d4...d0 data value

เป็นคำสั่งในการเขียนค่าลงในหน่วยความจำ D1

Read Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) ส่งคำสั่ง

S	Dev_write	A	data_write	A	$d,r1	A	r0,$0	A	P

2) **รับค่าในรีสเตอร์**

S	Dev_write	A	data_read	A	S	A	dev_read				
	A	d3,d2	A	d1,d0	A	x.x	A	x,d4	N	P	

r1,r0: register r

d3....d0: data value in r

x: don't care

เป็นการอ่านข้อมูลจำนวน 20 บิต ที่อยู่ในรีจิสเตอร์ (r1,r0)

Read D0 Memory

1) ส่งคำสั่ง

S	dev_write	A	data_write	A	$E,$0	A	$0,$0		
				A	n3,n2	A	n1,n0		
				A	a3,a2	A	a1,a0	A	p

2) รับค่าจากหน่วยความจำ

S	dev_write	A	data_read	A	S	dev_read				
	A	d3,d2	A	d1,d0	A	$0,$0	A	$0,d4		
	Repeat for n data values....									
	A	d3,d2	A	d1,d0	A	$0,$0	A	$0,d4	A	P

n3...n0 number of word

a3...a0 start address in MASD Memory

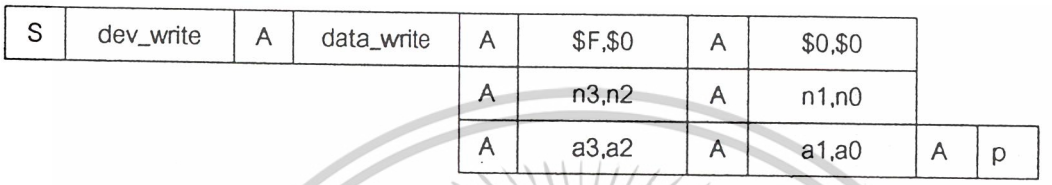
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

d4…d0 data value

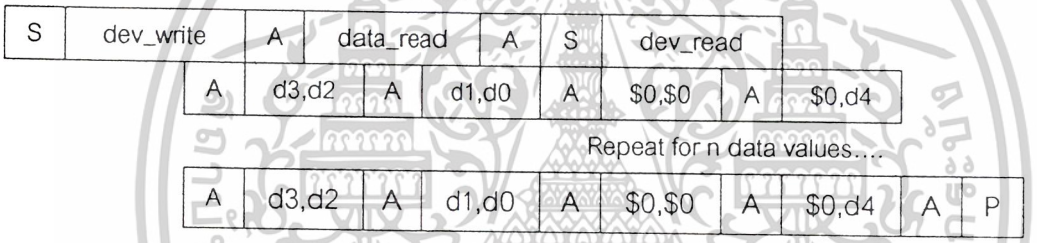
เป็นการอ่านข้อมูลที่อยู่ในหน่วยความจำ D0

Read D1 Memory

1) ส่งคำสั่ง



2) รับค่าจากหน่วยความจำ



n3…n0 number of word

a3…a0 start address in MASD Memory

d4…d0 data value

เป็นการอ่านข้อมูลที่อยู่ในหน่วยความจำ D1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix A: ISO 9660 Structures

Table 14. Primary Volume Descriptor

BytePosition	Field Name	Content
1	Volume Descriptor Type	1
2 to 6	Standard Identifier	CD001
7	Volume Descriptor Version	1
8	Unused Field	(00)[17] byte
9 to 40	System Identifier	a-characters allowed[18]
41 to 72	Volume Identifier	d-characters allowed[19]
73 to 80	Unused Field	(00) bytes
81 to 88	Volume Space Size	Number of logical blocks in the Volume
89 to 120	Unused Field	(00) bytes
121 to 124	Volume Set Size	The assigned Volume Set size of the Volume
125 to 128	Volume Sequence Number	The ordinal number of the volume in the Volume Set
129 to 132	Logical Block Size	The size in bytes of a Logical Block
133 to 140	Path Table Size	Length in bytes of the path table
141 to 144	Location of Type L Path Table	Logical Block Number of first Block allocated to the Type L Path Table, Type L meaning multiple byte numerical values are recorded with least significant byte first. This value is also recorded with least significant byte first.
145 to 148	Location of Optional Type L Path Table	0 if Optional Path Table was not recorded, otherwise, Logical Block Number of first Block allocated to the Optional Type L Path Table.
149 to 152	Location of Type M Path Table	Logical Block Number of first Block allocated to the Type M Path Table, Type M meaning multiple byte numerical values are recorded with most significant byte first. This value is also recorded with most significant byte first.
153 to 156	Location of Optional Type M Path Table	0 if Optional Path Table was not recorded, otherwise, Logical Block Number of first Block allocated to the Type M Path Table.

[17] Numbers surrounded by parentheses () are hexadecimal numbers.

[18] a-characters are A-Z, 0-9, _, space, !, ", %, &, ', (,), *, +, ,, -, ., /, :, ;, <, =, >, ?
see ISO-9660:1988, Annex A, Table 15

[19] d-characters are A-Z, 0-9, _
see ISO-9660:1988, Annex A, Table 14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

157 to 190	Directory record for Root Directory	This is the actual directory record for the top of the directory structure. See the section on directory records for the format of this data.
191 to 318	Volume Set Identifier	Name of the multiple volume set of which this volume is a member. d-characters allowed.
319 to 446	Publisher Identifier	Identifies who provided the actual data contained in the files. a-characters allowed.
447 to 574	Data Preparer Identifier	Identifies who performed the actual creation of the current volume. a-characters allowed.
575 to 702	Application Identifier	Identifies the specification of how the data in the files are recorded. For example, this field might contain SGML if the files were recorded according to the Standard Generalized Markup Language
703 to 739	Copyright File Identifier	Identifies the file in the root directory that contains the copyright notice for this volume. If there is no copyright file, this field should contain all spaces (20) Level 1 interchange restrictions apply.[20]
740 to 776	Abstract File Identifier	Identifies the file in the root directory that contains the abstract statement for this volume. If there is no copyright file, this field should contain all spaces (20) Level 1 interchange restrictions apply.
777 to 813	Bibliographic File Identifier	Identifies the file in the root directory that contains bibliographic records. ISO-9660 does not specify the format of these records. If there is no copyright file, this field should contain all spaces (20) Level 1 interchange restrictions apply.
814 to 830	Volume Creation Date and Time	Date and time at which the volume was created. Represented by seven bytes: 1: Number of years since 1900 2: Month of the year from 1 to 12 3: Day of the Month from 1 to 31 4: Hour of the day from 0 to 23 5: Minute of the hour from 0 to 59 6: second of the minute from 0 to 59 7: Offset from Greenwich Mean Time in number of 15 minute intervals from -48(West) to +52(East)
831 to 847	Volume Modification Date and Time	Date and time at which the volume was last modified. Represented the same as the Volume Creation Date and Time
848 to 864	Volume Expiration Date and Time	Date and Time at which the information in the volume may be considered obsolete. Represented the same as the Volume Creation Date and Time
865 to 881	Volume Effective Date and Time	Date and Time at which the information in the volume may be used. Represented the same as the Volume Creation Date and Time

[20] For a description of the level 1 interchange restrictions, see page <?>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

882	File Structure Version	1
883	Reserved for future standardization	(00)
884 to 1395	Application Use	This field is reserved for application use. Its content is not specified by ISO-9660.
1396 to 2048	Reserved for future standardization	All bytes must be set to (00).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 15. Directory Record

BP	Field Name	Content
1	Length of directory Record (LEN_DR)	Bytes
2	Extended Attribute Record Length	Bytes - this field refers to the Extended Attribute Record, which provides additional information about a file to systems that know how to use it. Since few systems use it, we will not discuss it here. Refer to ISO 9660:1988 for more information.
3 to 10	Location of Extent	This is the Logical Block Number of the first Logical Block allocated to the file.
11 to 18	Data Length	Length of the file section in bytes
19 to 25	Recording Date and Time	This is recorded in the same format as the Volume Creation Date and Time
26	File Flags	One Byte, each bit of which is a Flag: Bit 0 File is Hidden if this bit is 1 1 Entry is a Directory if this bit is 1 2 Entry is an Associated file is this bit is 1 3 Information is structured according to the extended attribute record if this bit is 1 4 Owner, group and permissions are specified in the extended attribute record if this bit is 1 5 Reserved (0) 6 Reserved (0) 7 File has more than one directory record if this bit is 1
27	File Unit Size	This field is only valid if the file is recorded in interleave mode. Otherwise this field is (00)
28	Interleave Gap Size	This field is only valid if the file is recorded in interleave mode. Otherwise this field is (00)
29 to 32	Volume Sequence Number	The ordinal number of the volume in the Volume Set on which the file described by the directory record is recorded.
33	Length of File Identifier (LEN_FI)	Byte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

34 to (33 + LEN_FI)	File Identifier	Interpretation depends on the setting of the directory bit in the File Flags
		
		If set to ZERO, then
		
		The field refers to a File Identifier, as described below
		
		If set to ONE, then
		
		The field refers to a Directory Identifier, as described below.

34 + LEN_FI	Padding Field	Present only if the length of the File Identifier is an even number. If present, value is (00)
LEN_DR - LEN_SU + 1	System Use (LEN_SU)	Reserved for system use. If necessary, so that the length of the directory record is an even number of bytes, a (00) byte may be added to terminate this field.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Path Table Record contains the following fields:[21]

Table 16. Path Table Record

BP	Field Name	Content
1	Length of Directory Identifier (LEN_DI)	Length in Bytes
2	Extended Attribute Record Length	If an Extended Attribute Record is recorded, this is the length in Bytes. Otherwise, this is (00)
3 to 6	Location of Extent	Logical Block Number of the first Logical Block allocated to the Directory
7 to 8	Parent Directory Number	The record number in the Path Table for the parent directory of this directory
9 to (8 + LEN_DI)	Directory Identifier	This field is the same as in the Directory Record
(9 + LEN_DI)	Padding Field	Present only if LEN_DI is an odd number. (00)

[21] ISO 9660:1988, pp. 22, section 9.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Data sheet MAS3507 MICRONAS
2. Data sheet DAC3550 MICRONAS
3. มาตรฐาน AT Attachment-3
4. มาตรฐาน ISO 9660

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

File System ที่อ่านได้จาก CD-ROM

Primary Volume Descriptor

ค่าที่อ่านจาก CD-ROM	Field name	ความหมาย
01	Volume Descriptor type	Primary Volume Descriptor
4344303031	Standard Identifier	CD001
01	Volume Descriptor Version	1
00	Unused Field	
2020202020...20	System Identifier	
564344433431303420..20	Volume Identifier	VCDC4104
00	Unused Field	
35DC02000002DC35	Volume Space Size	
00	Unused Field	
01000001	Volume Set Size	
01000001	Volume Sequence Number	
00080800	Logical Block Size	2048
5C0000000000005C	Path Table Size	92
12000000	Location of Type L Path Table	
00000000	Location of Optional Type L Path Table	
00000013	Location of Type M Path Table	
00000013	Location of Optional Type M Path Table	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3000140000000000001400 08000000000800640 11D08 1837000200000100000101	Directory Record of Root Directory	
202020202020 ...20	Volume Set Identifier	
202020202020 ...20	Publisher Set Identifier	
202020202020 ...20	Data Prepares Identifier	
202020202020 ...20	Application Identifier	
202020202020 ...20	Copyright File Identifier	
202020202020 ...20	Abstract File Identifier	
202020202020 ...20	Bibliographic File Identifier	
32303033303132353035353632343030	Volume Creation Data and Time	2003/01/25/,06:24:00
32303033303132353035353632343030	Volume Modification Date And Time	2003/01/25/,06:24:00
30303030303030303030303030303030	Volume Expiration Date and Time	0000/00/00, 00:00:00
30303030303030303030303030303030	Volume Effective Data and Time	0000/00/00, 00:00:00
01	File Structure Version	
00000000...00	Reserved for future Standardization	
000000000...00	Application Use	
000000000...00	Reserved for future Standardization	

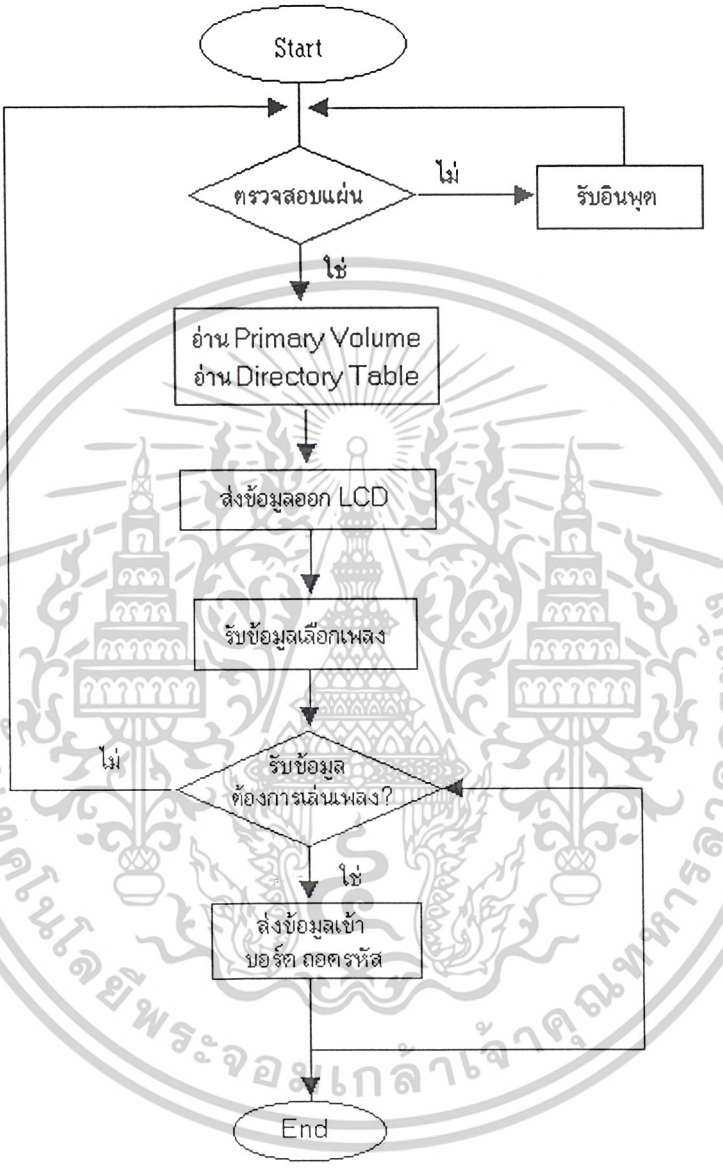
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Directory Table ที่อ่านมาได้จาก CD-ROM

Directory Table

ค่าที่อ่านได้จาก CD ROM	Field	ความหมาย
2A	Length of Directory Record	42
00	Extended Attribute Record Length	
2900000000000029	Location of Extent	00000029
0008000000000800	Data Length	2048
6406180E392A	Recording Data and Time	2000/06/24,13:27:42
02	File Flags	
00	File Unit Size	
00	Interleave Gap Size	
010000001	Volume Sequence Number	
08	Length of File Identifier	8
30312D424F4E7E31	File Identifier	01-BON~1
--	Padding Field	
00	System Use	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป แสดงการทำงานของโปรแกรมบอร์ด อินเตอร์เฟส CD ROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้