

ชุดทดลองเครื่องรับ-ส่ง 16 QAM

16 QAM TRANSMITTER AND RECEIVER DEMONSTRATOR



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....

เลขทะเบียน..... 50103

วัน,เดือน,ปี 21 ส.ย. 2547

b.....
i.....

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองเครื่องรับ-ส่ง 16 QAM

16 QAM TRANSMITTER AND RECEIVER DEMONSTRATOR



โดย

นายนิพนธ์ ทองแผ่ 43015018

นายมนัสศักดิ์ พิณจจอหอ 43015028

อาจารย์ที่ปรึกษา

รศ.นิภา ลีลารุจิ

รศ.ณรงค์ เหมกรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา 2545

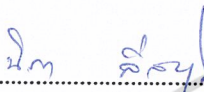
ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง ชุดทดลองเครื่องรับ-ส่ง 16 QAM

16 QAM TRANSMITTER AND RECEIVER DEMONSTRATOR

ผู้จัดทำ

1. นายนิพนธ์ ทองแผ่ 43015018
2. นายมนัสศักดิ์ พิณีจจอหอ 43015028



อาจารย์ที่ปรึกษา

(รศ.นิภา ลีลารุจี)



อาจารย์ที่ปรึกษา

(รศ.ณรงค์ เหมกรรณ์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองเครื่องรับ-ส่ง 16 QAM

16 QAM TRANSMITTER AND RECEIVER

DEMONSTRATOR

โดย นายนิพนธ์ ทองแผ่ 43015018

นายมนัสศักดิ์ พิณีจจอหอ 43015028

อาจารย์ที่ปรึกษา รศ.นิภา ลีลาสุทธิ

รศ.ณรงค์ เหมกรณ

บทคัดย่อ

โครงการนี้เป็นการสร้างเครื่องรับ-ส่ง 16 QAM (16 Quadrature Amplitude Modulation) โดยอยู่ในรูปชุดทดลองเพื่อเป็นการศึกษาระบบสื่อสารดิจิทัล โดยใช้หลักการมอดูเลชันแบบ 16 QAM ข้อมูลดิจิทัลนั้นจะถูกบรรจุอยู่ในเฟสและขนาดหรือทั้งคู่ของสัญญาณพาหะ

ในโครงการนี้จะใช้วงจรผลิตสัญญาณพาหะและสัญญาณไฟลิตโทนที่อ้างอิงจากสัญญาณนาฬิกา 256 Kbps และใช้วงจรแยกสัญญาณดิจิทัล ก่อนเข้าวงจรบาลานซ์มอดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดูเลเตอร์จะมีการเปลี่ยนแปลงที่เอาพุท 1 ครั้ง เมื่อมีข้อมูลอินพุทเข้ามาทุกๆ 4 บิต

Abstract

This project describes the 16 Quadrature Amplitude Modulation (16 QAM) for both transmitter and receiver for demonstrator purposed.As it is known that the digital communication system by 16 QAM (16 Quadrature Amplitude Modulation) which it is a form of digital modulation where the digital information is contained in both of amplitude and phase of signal carrier.

In this project will use oscillated carrier signal and pilot tone signal circuit with control by real time clock 256 Kbps and digital data separate circuit before presented to either balance modulator.Also, at balance modulator, there is one change in the output signal for every 4 bits input data bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการของ 16QAM	8
2.1 ประสิทธิภาพของแถบความถี่ (Bandwidth Efficiency)	11
2.2 พิจารณาแถบความถี่ของ 16 QAM (Analysis of 16 QAM)	13
2.3 ความน่าจะเป็นของการเลือกบิตผิดพลาดและอัตราความผิดพลาดของบิต	13
2.4 วงจร Balanced Modulator	14
2.5 วงจรกรองความถี่ด้วย Active (Active Filter)	15
2.6 Phase Lock Loop	18
2.7 ลูปฟิลเตอร์ (Loop filter)	24
2.8 ค่ากำลังของสัญญาณรบกวนที่เอาต์พุตของวงจรเชิงเส้น	27
2.9 หลักการของวงจรกำเนิดสัญญาณไฟลิตตโทนและคลื่นพาห์	35
2.10 หลักการทำงานของวงจรกำเนิดสัญญาณคลื่นพาห์กลับคืน	38
2.11 วงจรเปรียบเทียบความต่างของเฟส (Phase Detector)	40
บทที่ 3 การคำนวณและการสร้าง	46
3.1 วงจรภาคส่ง	46
3.1.1 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (SERIAL TO PARALLEL CIRCUIT)	46
3.1.2 วงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2BIT TO 4 LEVEL)	47
3.1.3 วงจรกำเนิดสัญญาณคล็อก (Oscillator)	47
3.1.4 วงจรสร้างสัญญาณพาหะ 1.024 MHz เท่านั้น โดยการใช้คริสตัลอสซิลเลเตอร์	48
3.1.5 วงจรสร้างสัญญาณไฟลิตต 512 KHz (Pilot Signal)	48
3.1.6 วงจรสร้างสัญญาณนาฬิกา 256 KHz	49
3.1.7 วงจรกรองความถี่ผ่านเฉพาะช่วง	49
3.1.8 วงจรเลื่อนเฟส 90° (Phase Shift 90°)	53
3.1.9 วงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)	55
3.1.10 วงจรรวมสัญญาณ (Summing Amplifier)	55
3.2 วงจรภาครับ	56
3.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง (Band Pass Filter)	56
3.2.2 เฟสล็อกลูป (Phase Lock Loop)	56
3.2.3 วงจรเลื่อนเฟส 90° (Phase Shift)	57
3.2.4 วงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator)	57

3.2.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	58
3.2.6 วงจรขยายสัญญาณ 4 ระดับ (4-Level Amplifier)	59
3.2.7 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต (4-Level to 2-bit)	60
3.2.8 วงจรรวมสัญญาณดิจิทัล (Parall to Serial)	61
บทที่ 4 ผลการทดลอง	70
บทที่ 5 บทวิจารณ์และบทสรุป	85
กิตติกรรมประกาศ	
เอกสารอ้างอิง	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 1.1 แสดงระบบการสื่อสารระบบต่างๆ	2
รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม	3
รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม	4
รูปที่ 1.4 แสดงการใช้งานของโมเด็ม	4
รูปที่ 1.5 แสดงหลักการแปลงลอจิกเป็นสัญญาณความถี่เสียง โดยใช้วิธี Frequency Shift Keying	5
รูปที่ 1.6 แสดงการแปลงสัญญาณแบบ Phase Shift Keying	6
รูปที่ 1.7 แสดงการมอดูเลตแอมพลิจูดร่วมกับ Phase Shift Keying	6
รูปที่ 2.1 บล็อกไดอะแกรม 16 QAM modulator	8
รูปที่ 2.2 Phase Diagram และ Constellation Diagram	11
รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16 QAM Modulator	13
รูปที่ 2.4 วงจร Balanced modulator	14
รูปที่ 2.5 Frequency Response ของวงจร Filter	17
รูปที่ 2.6 บล็อกไดอะแกรมของวงจร PLL	19
รูปที่ 2.7 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL	20
รูปที่ 2.8 แสดงบล็อกไดอะแกรมวงจรต่างๆของ PLL	21
รูปที่ 2.9 แสดงบล็อกไดอะแกรมของวงจรต่างๆใน S โดเมน	21
รูปที่ 2.10 แสดงรูปแบบต่างๆของวงจร Loop Filter ทั้ง 4 แบบ	22
รูปที่ 2.11 แสดงบล็อกไดอะแกรมของวงจร PLL ที่ทำงานในช่วงที่เป็นเชิงเส้น	25
รูปที่ 2.12 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อกคูลูป	30
รูปที่ 2.13 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อกคูลูปที่มีตัวหารความถี่ที่อินพุท	32
รูปที่ 2.14 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อกคูลูปสำหรับการหาเฟสจิตเตอร์ของสัญญาณคลื่นพาห์ (Phase Jitter)	34
รูปที่ 2.15 แสดงบล็อกไดอะแกรมของวงจรถ้าเนตคลื่นพาห์ ($f_c(t)$) และสัญญาณไฟลิตด์โทน ($f_p(t)$) ที่ใช้หลักการสังเคราะห์ความถี่ โดยแสดง 1 ช่องสัญญาณเท่านั้น	36
รูปที่ 2.16 แสดงบล็อกไดอะแกรมที่ภาคส่งโดยรวมวงจรถ้าเนตสัญญาณไฟลิตด์โทน	37
รูปที่ 2.17 แสดงบล็อกไดอะแกรมที่ภาครับสัญญาณ PSK ที่ใช้วงจร PTAS แทนวงจรถ้าสัญญาณคลื่นพาห์กลับคืนในโมเด็มแบบ BPSK และ QPSK	37
รูปที่ 2.18 แสดงบล็อกไดอะแกรมของวงจรแปลงความถี่ลงจากสัญญาณไฟลิตด์โทนไปเป็นสัญญาณคลื่นพาห์โดยใช้วงจรสังเคราะห์ความถี่	38
เอกสรูปที่ 2.19 การวิเคราะห์วงจรขยายความแตกต่างทั้ง 4 ชนิด นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ได้	41
ไม่รูปที่ 2.20 วงจร Dual-input, balance-output differential amplifier จำของเอกสารทุกครั้งที่มีการแก้ไข	42

รูปที่ 2.21	DC equivalent circuit ของ dual - input, balance – output	42
รูปที่ 2.22	AC equivalent circuit ของ Dual - input, balance – output	43
รูปที่ 3.1	วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน	46
รูปที่ 3.2	วงจรเกเรย์โค้ดคอนเวอร์เตอร์	46
รูปที่ 3.3	วงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก	47
รูปที่ 3.4	บล็อกไดอะแกรมการสร้างสัญญาณคล็อก	48
รูปที่ 3.5	วงจรกำเนิดสัญญาณคล็อก 1.024 MHz	48
รูปที่ 3.6	วงจรสร้างสัญญาณไฟล็ค	48
รูปที่ 3.7	วงจรสร้างสัญญาณนาฬิกา 256 KHz	49
รูปที่ 3.8	วงจรกรองความถี่ผ่านเฉพาะช่วงแบบป้อนกลับบวก	50
รูปที่ 3.9	วงจร DELYIANNIS-FRIEND	50
รูปที่ 3.10	วงจร DELYIANNIS-FRIEND ที่ใช้คำนวณ	51
รูปที่ 3.11	แสดงการคำนวณหาค่าต่างๆ	52
รูปที่ 3.12	วงจร DELYIANNIS-FRIEND ที่ความถี่ 512 KHz	52
รูปที่ 3.13	วงจร DELYIANNIS-FRIEND ที่ความถี่ 1.024 MHz	53
รูปที่ 3.14	วงจรเลื่อนเฟส 90°	54
รูปที่ 3.15	วงจรบาลานซ์มอดูเลเตอร์	55
รูปที่ 3.16	วงจรรวมสัญญาณ	55
รูปที่ 3.17	วงจรเฟสล็คคูลูป	57
รูปที่ 3.18	วงจรเลื่อนเฟส	57
รูปที่ 3.19	วงจรบาลานซ์ดีมอดูเลเตอร์	57
รูปที่ 3.20	วงจรกรองความถี่ต่ำผ่าน	58
รูปที่ 3.21	วงจรขยายสัญญาณ 4 ระดับ	59
รูปที่ 3.22	วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต	61
รูปที่ 3.23	วงจรรวมสัญญาณดิจิทัล	61
รูปที่ 3.24	แสดงบล็อกไดอะแกรมภาคส่ง	62
รูปที่ 3.25	แสดงบล็อกไดอะแกรมภาครับ	63
รูปที่ 3.26	วงจรภาคส่งส่วนที่ 1	64
รูปที่ 3.27	วงจรภาคส่งส่วนที่ 2	65
รูปที่ 3.28	วงจรภาคส่งส่วนที่ 3	66
รูปที่ 3.29	วงจรภาครับส่วนที่ 1	67
รูปที่ 3.30	วงจรภาครับส่วนที่ 2	68
รูปที่ 3.31	วงจรภาครับส่วนที่ 3	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 1 คือ 111100010011010	70
	(รูปกลาง) R.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 2 คือ 110000100110110	
	(รูปล่าง) Ch.2 แสดงสัญญาณข้อมูล NRZ แบบที่ 3 คือ 111100011111110	
รูปที่ 4.2	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 1	70
	(รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 256 KHz	
รูปที่ 4.3	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ	71
	(รูปล่าง) Ch.2 แสดงสัญญาณทางด้าน I	
รูปที่ 4.4	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ	71
	(รูปล่าง) Ch.2 แสดงสัญญาณทางด้าน I'	
รูปที่ 4.5	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ	72
	(รูปล่าง) Ch.2 แสดงสัญญาณทางด้าน Q	
รูปที่ 4.6	(รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ	72
	(รูปล่าง) Ch.2 แสดงสัญญาณทางด้าน Q'	
รูปที่ 4.7	(รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางด้าน I กับ I'	73
	(รูปล่าง) Ch.2 แสดงสัญญาณ 4 ระดับทางด้าน Q กับ Q'	
รูปที่ 4.8	(รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz	73
	(รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 512 KHz	
รูปที่ 4.9	(รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz	74
	(รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 512 KHz	
รูปที่ 4.10	(รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz	74
	(รูปล่าง) Ch.2 แสดงสัญญาณ sine 1.024 MHz	
รูปที่ 4.11	(รูปบน) Ch.1 แสดงสัญญาณพัลส์ออตโทน 512 KHz	75
	(รูปล่าง) Ch.2 แสดงสัญญาณ sine 512 KHz	
รูปที่ 4.12	(รูปบน) Ch.1 แสดงสัญญาณ sine 1.024 MHz	75
	(รูปล่าง) Ch.2 แสดงสัญญาณ cos 1.024 MHz	
รูปที่ 4.13	(รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางด้าน I กับ I'	76
	(รูปล่าง) Ch.2 แสดงสัญญาณที่ผ่านการมอดูเลทแล้ว	
รูปที่ 4.14	(รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางด้าน Q กับ Q'	76
	(รูปล่าง) Ch.2 แสดงสัญญาณที่ผ่านการมอดูเลทแล้ว	
รูปที่ 4.15	(รูปบน) Ch.1 แสดงสัญญาณพัลส์ออตโทน 512 KHz	77
	(รูปล่าง) Ch.2 แสดงสัญญาณ 16 QAM	
รูปที่ 4.16	Ch.1 แสดงสัญญาณ Pilot tone 512 KHz	78
รูปที่ 4.17	Ch.1 แสดงสัญญาณ Output ของ PLL 1.024 MHz	78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 (รูปบน) Ch.1	แสดงสัญญาณ sine ความถี่ 1.024 MHz	79
(รูปล่าง) Ch.2	แสดงสัญญาณ cos ความถี่ 1.024 MHz	
รูปที่ 4.19 (รูปบน) Ch.1	แสดงสัญญาณ Output ของ PLL 1.024 MHz	79
(รูปล่าง) Ch.2	แสดงสัญญาณนาฬิกา 512 KHz	
รูปที่ 4.20	Ch.1 แสดงสัญญาณนาฬิกา 256 KHz	80
รูปที่ 4.21 (รูปบน) Ch.1	แสดงสัญญาณนาฬิกาที่กู้ได้ทางภาครับความถี่ 256 KHz	80
(รูปล่าง) Ch.2	แสดงสัญญาณนาฬิกาทางภาคส่งความถี่ 256 KHz	
รูปที่ 4.22 (รูปบน) Ch.1	แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางด้าน I กับ I'	81
(รูปล่าง) Ch.2	แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางด้าน Q กับ Q'	
รูปที่ 4.23 (รูปบน) Ch.1	แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางภาครับ	81
(รูปล่าง) Ch.2	แสดงสัญญาณ 4 ระดับทางภาคส่ง	
รูปที่ 4.24 (รูปบน) Ch.1	แสดงสัญญาณข้อมูล NRZ ที่กำเนิดขึ้นทางภาคส่ง	82
(รูปล่าง) Ch.2	แสดงสัญญาณข้อมูลที่ตีเทคได้จากภาครับ	
รูปที่ 4.25	แสดง Constellation Diagram 16 QAM	82
รูปที่ 4.26	แสดงรูปที่วัดจากเครื่องสเปกตรัมของวงจร BPF 1.024 MHz	83
รูปที่ 4.27	แสดงรูปที่วัดจากเครื่องสเปกตรัมของวงจร BPF 512 KHz	83
รูปที่ 4.28	แสดงด้านหน้าแผงของชุดทดลองเครื่องรับ-ส่ง 16 QAM	84
รูปที่ 4.29	แสดงด้านหลังแผงของชุดทดลองเครื่องรับ-ส่ง 16 QAM	84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1.1 แสดงมาตรฐานของ โมเด็มที่ใช้งานบนเครือข่ายโทรศัพท์	7
ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ	9
ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของการมอดูเลทแบบต่างๆ	12
ตารางที่ 2.3 สรุปรูปข้อแตกต่างของ FSK, PSK และ QAM	12
ตารางที่ 3.1 แสดงอัตรากาการขยายสัญญาณ	59
ตารางที่ 3.2 แสดงการแปลงสัญญาณ 4 ระดับไปเป็น 2 บิต	60



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การสื่อสาร (Communication)

การติดต่อสื่อสารเป็นการส่งข่าวสารจากจุดหนึ่งไปยังอีกจุดหนึ่ง การสื่อสารประกอบด้วยส่วนต่างๆ 4 ส่วนประกอบด้วย

1. ผู้ฟัง
2. ผู้ส่ง
3. ผู้รับ
4. สื่อกลาง

ในการสื่อสารของคอมพิวเตอร์ข่าวสารก็จะได้แก่แฟ้มข้อมูลต่างๆ ข้อมูลที่พิมพ์จากแป้นพิมพ์ เป็นต้น

ส่วนผู้ส่งและผู้รับก็จะได้แก่ เครื่องคอมพิวเตอร์ทั้งสองด้าน ก็คือด้านผู้เรียก (Originate) และด้านผู้รับ (Answer) นั่นเอง ส่วนสื่อกลางของการสื่อสารคอมพิวเตอร์ก็จะได้แก่ ระบบสื่อสารต่างๆ เช่น เครือข่ายโทรศัพท์ เครือข่ายดาวเทียม หรือแม้กระทั่งสายไฟธรรมา เช่นระบบ LAN เป็นต้น ระบบของการสื่อสารแบ่งได้ 3 ระบบ ดังแสดงในรูป ซึ่งแต่ละระบบอธิบายได้ดังนี้

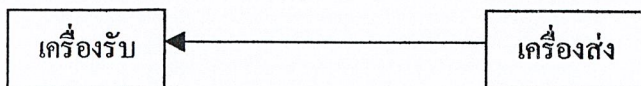
ระบบสื่อสารทางเดียว (Simplex Transmission หรือ Oneway Transmission) เป็นการสื่อสารโดยข้อมูลจะไหลได้ทางเดียว ตัวอย่างเช่น การกระจายเสียงของสถานีวิทยุ และโทรทัศน์ เป็นต้น

ระบบการสื่อสารกึ่งสองทาง (Semiduplex Transmission หรือ Half - Duplex Transmission) เป็นการสื่อสารที่ข้อมูลไหลได้สองทางทั้งไปและกลับ แต่จะต้องผลัดกันรับผลัดกันส่ง ตัวอย่างเช่น การติดต่อวิทยุวอล์คกี้ทอล์คกี้ หรือวิทยุสมัครเล่น

ระบบสื่อสารสองทาง (Full - Duplex Transmission) เป็นการสื่อสารได้ทั้งไปและกลับพร้อมกัน เช่น การพูดโทรศัพท์ เป็นต้น ในระบบสื่อสารของคอมพิวเตอร์ส่วนใหญ่จะเป็นดังนี้

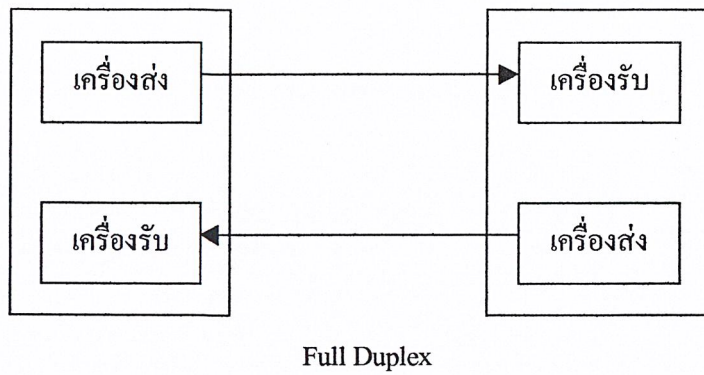


Simplex



Half Duplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Full Duplex

รูปที่ 1.1 แสดงระบบการสื่อสารระบบต่างๆ

ระบบสื่อสารของคอมพิวเตอร์

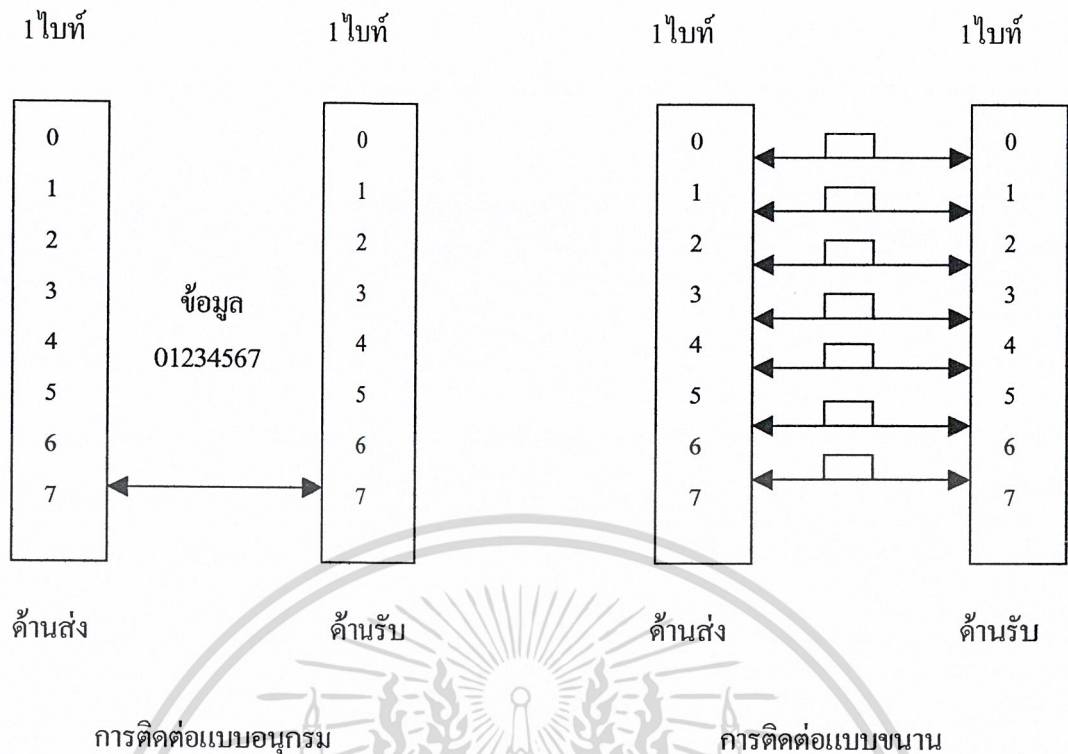
การประมวลผลภายในคอมพิวเตอร์เป็นการประมวลผลแบบดิจิทัลสัญญาณไฟฟ้าในคอมพิวเตอร์ถูกแทนด้วยเลขฐานสองซึ่งมีอยู่สองสถานะคือ สถานะ 1 (Logic 1 มีค่าศักย์ค่าไฟฟ้า 5 โวลต์) และสถานะ 0 (Logic 0 มีค่าศักย์ค่าไฟฟ้า 0 โวลต์) การสื่อสารระหว่างคอมพิวเตอร์คือ การส่งสัญญาณสถานะ 1 และ 0 ให้แก่กัน โดยมีอุปกรณ์ที่ทำหน้าที่เป็นตัวส่งและตัวรับข่าวสารคือ ศักย์คาของไฟฟ้าดังกล่าว และตัวกลางที่เป็นสื่อคือ สายไฟในคอมพิวเตอร์นั่นเอง ในคอมพิวเตอร์จะเรียกกลุ่มสายไฟเหล่านี้ว่า บัส (BUS) การติดต่อระหว่างคอมพิวเตอร์ด้วยกันจะแบ่งวิธีการติดต่อได้ 2 วิธี ซึ่งแสดงดังรูป 1.2

การติดต่อแบบขนาน (Parallel Communication) เป็นการติดต่อกันที่หลายๆบิตพร้อมกัน ตัวอย่างเช่น การติดต่อระหว่างหน่วยประมวลผลกลาง (CPU: Central Processing Unit) กับหน่วยความจำ (Memory Unit)

การติดต่อระหว่างหน่วยประมวลผลกลางกับหน่วยเก็บข้อมูลฮาร์ดดิส (Hard disk) เป็นต้น ซึ่งการติดต่อจะติดต่อกันทีละบิต (1 บิตที่มีขนาด 8 บิต) ดังนั้นจึงใช้สายไฟทั้งหมด 8 เส้น หรือ 8 วงจร แต่ถ้าเป็น word (1 word = 2 bytes) ดังนั้นต้องเพิ่มสายไฟและวงจรเช่นกัน การติดต่อแบบขนานจึงมีข้อดี คือ รับ/ส่งข้อมูลได้เร็ว แต่เนื่องจากใช้วงจรติดต่อจำนวนมาก จึงเหมาะที่จะใช้กับการติดต่อในระยะใกล้ๆ

การติดต่อแบบอนุกรม (Sequential Communication) เป็นการรับ/ส่งข้อมูลกันครั้งละ 1 บิต เรียงลำดับกันไป โดยด้านส่งจะส่งไปทีละบิตทีละบิต ทอยส่งไป เมื่อไปถึงด้านรับแล้วที่ด้านรับจะทำการรับข้อมูลมาต่อกันเป็น ไบท์ขึ้น วิธีการนี้สามารถใช้สายไฟเพียงวงจรเดียว จึงนิยมใช้ในการสื่อสารระหว่างคอมพิวเตอร์ที่อยู่ห่างกันออกไป เพราะหากใช้วิธีขนานแล้วต้องสิ้นเปลืองค่าวงจรสูง แต่เนื่องจากการติดต่อทีละบิตจึงรับ/ส่งข้อมูลได้ช้ากว่าการติดต่อแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

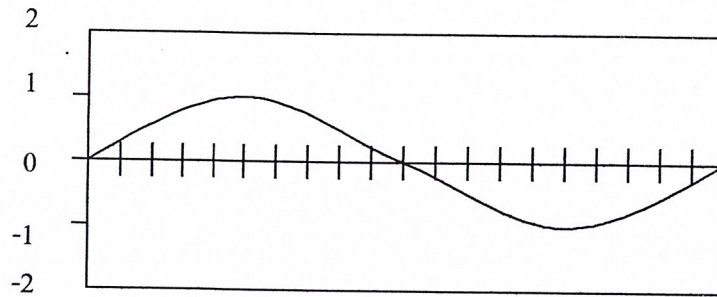


รูปที่ 1.2 แสดงการติดต่อแบบขนานและแบบอนุกรม

เหตุผลที่ต้องใช้โมเด็ม

เนื่องจากสัญญาณดิจิทัลของคอมพิวเตอร์มีรูปคลื่นไฟฟ้าเป็นรูปสี่เหลี่ยม ซึ่งคลื่นรูปสี่เหลี่ยมนี้มีมืองค์ประกอบที่เกิดจากสัญญาณไฟฟ้าคลื่นรูปไซน์กับฮาร์โมนิกเลขคี่ (Odd Harmonic) ของความถี่นั้นๆ รวมกันหลายๆ เท่า (อย่างน้อยที่สุด 5 เท่า) ดังแสดงในรูปที่ 1.3 ในทางไฟฟ้าถือว่าคลื่นสี่เหลี่ยมมีแบนด์วิดท์ (bandwidth) ของสัญญาณกว้างมาก เมื่อเราส่งสัญญาณรูปสี่เหลี่ยมนี้ผ่านสายไฟฟ้าที่เป็นสื่อกลาง ซึ่งสายไฟฟ้าจะมีคุณสมบัติเป็นตัวต้านทานและตัวเก็บประจุเสมือนต่ออยู่ และเมื่อสายไฟยาวมากขึ้น ค่าความต้านทานและตัวเก็บประจุนี้เพิ่มขึ้นตามเป็นทวีคูณ ซึ่งผลของค่าทั้งสองนี้จะทำให้แบนด์วิดท์ของสายไฟแคบลง ทำให้สัญญาณคลื่นสี่เหลี่ยมที่ส่งผ่านไปเมื่อไปถึงด้านรับจะรับได้รูปคลื่นที่ผิดเพี้ยนไป ในเครือข่ายโทรศัพท์ก็เช่นเดียวกัน เครือข่ายโทรศัพท์สามารถรองรับสัญญาณความถี่เสียงได้ในย่าน 300-3400 เฮิรตซ์ ซึ่งจะรองรับคลื่นสี่เหลี่ยมได้สูงสุดประมาณ 680 บิตต่อวินาทีเท่านั้น (คำนวณจาก 3400 เฮิรตซ์หารด้วยฮาร์โมนิก 5 เท่า) การสื่อสารของคอมพิวเตอร์อย่างพื้นฐานที่สุด เช่น การรับส่งเพิ่มข้อมูลตัวอักษรขนาด 1 หน้ากระดาษ จำนวนตัวอักษรประมาณ 2,800 ตัว แทนด้วยข้อมูล 2,800 ไบท์ หรือ 22,400 บิต หากส่งผ่านเครือข่ายโทรศัพท์ต้องใช้เวลอย่างน้อย 32 วินาที แต่ถ้าหากเป็นเพิ่มข้อมูลรูปภาพขนาดใหญ่ เช่น รูปภาพจากเครือข่ายอินเทอร์เน็ตบางภาพมีขนาด 1 เมกะไบท์ ต้องใช้เวลาส่งนานถึง 200 นาที จากข้อมูลจำกัดด้านระยะทางและความเร็วของการส่งสัญญาณคลื่นสี่เหลี่ยมดังกล่าว มาแล้ว จึงต้องมีวิธีแก้ปัญหาดังกล่าว โดยใช้โมเด็มเพื่อแปลงสัญญาณคลื่นสี่เหลี่ยมให้เป็นคลื่นที่เหมาะสมก่อนทำการติดต่อกัน

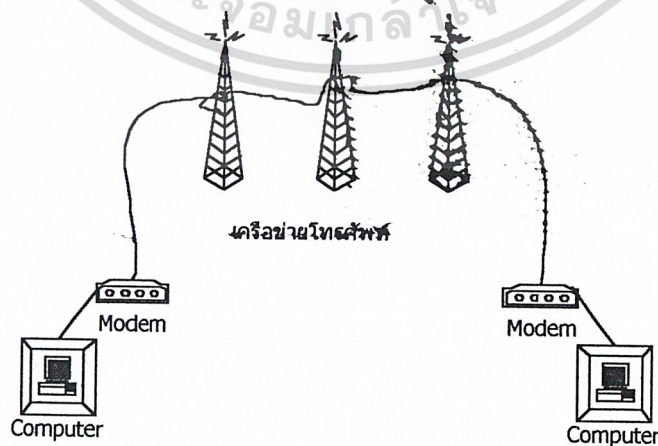
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 แสดงองค์ประกอบของคลื่นไฟฟ้ารูปสี่เหลี่ยม

หลักการทำงานของโมเด็ม

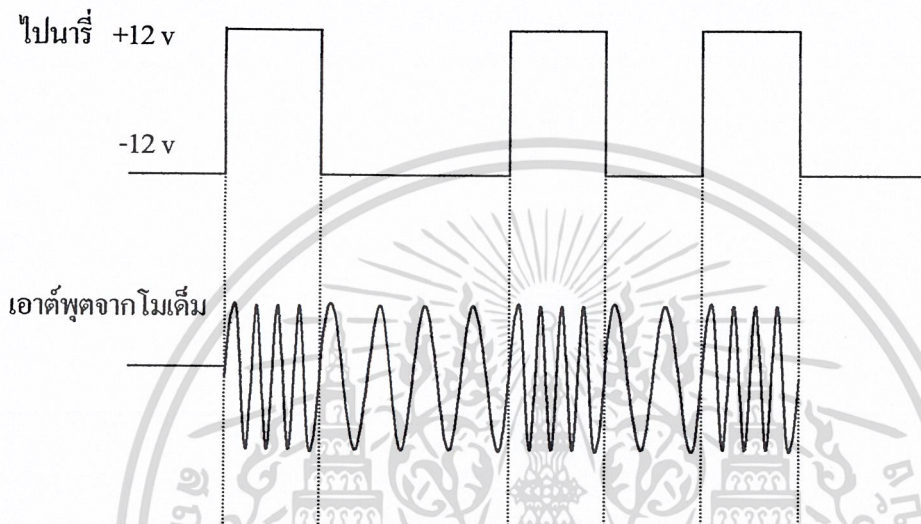
โมเด็มย่อมาจาก Modulator Demodulator โดยจะทำหน้าที่แปลงสถานะลอจิกดิจิทัลคลื่นรูปสี่เหลี่ยมให้ไปอยู่ในรูปอื่นที่เหมาะสม เพื่อจัดส่งผ่านตัวกลางที่มีแบนด์วิธแคบๆ เช่น เครื่องข่ายโทรศัพท์ เป็นต้น วิธีการทำงานที่ด้านส่งจะใช้โมเด็มแปลงสัญญาณดิจิทัลให้เป็นสัญญาณอะนาล็อก โดยการมอดดูเลชัน (Modulation) แล้วส่งผ่านตัวกลางไปยังด้านรับ ในทางกลับกันที่ด้านรับเมื่อรับสัญญาณอะนาล็อกได้ก็จะแปลงกลับคืนให้เป็นสัญญาณดิจิทัล โดยใช้วิธีการดีมอดดูเลชัน (Demodulation) ดังแสดงการใช้งานของโมเด็มในรูปที่ 1.4 องค์ประกอบของการติดต่อประกอบด้วย เครื่องคอมพิวเตอร์ ทำหน้าที่เป็นอุปกรณ์เทอร์มินอล (DTE : Data terminal Equipment) โมเด็มทำหน้าที่เป็นเครื่องมือสื่อสาร (DCE : Data Communication Equipment) ส่วนสื่อกลางจะใช้เครือข่ายโทรศัพท์เป็นเครือข่ายสื่อสาร (Communication network) การเชื่อมโยงมีอยู่สองช่วง คือ ช่วงระหว่างคอมพิวเตอร์กับโมเด็ม การติดต่อจะเป็นสัญญาณดิจิทัลมาตรฐาน RS232C (แทนลอจิก 0, 1 ด้วยศักดาไฟฟ้าขนาด -15 และ +15 โวลต์ตามลำดับ) จากพอร์ทอนุกรมของคอมพิวเตอร์ต่อไปยังโมเด็ม ความเร็วของการติดต่อในช่วงนี้ถูกจำกัดโดยซีพิวเจอร์ของเครื่องคอมพิวเตอร์และ โมเด็มซึ่งติดต่อได้อย่างต่ำ 100 Kbps. ช่วงที่สองของการเชื่อมต่อ คือ การเชื่อมต่อระหว่างโมเด็มตัวส่งกับตัวรับ ซึ่งจะติดต่อผ่านเครือข่ายโทรศัพท์ ในช่วงติดต่อนี้สัญญาณจะเป็นสัญญาณอะนาล็อก ความเร็วจะขึ้นอยู่กับความสามารถของโมเด็ม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 1.4 แสดงการใช้งานของโมเด็ม อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณของโมเด็ม

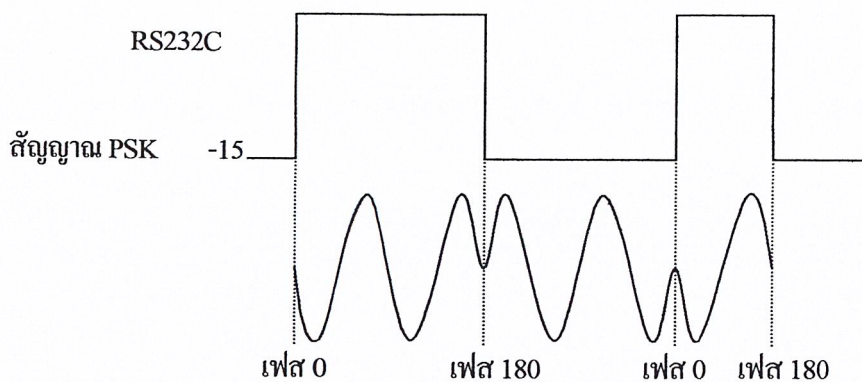
โมเด็มในยุคแรกๆ การแปลงลอจิกจะใช้วิธีการเลื่อนความถี่ตามลอจิก (Frequency Shift Keying) โดยให้ความถี่เสียงค่าหนึ่งแทนสถานะลอจิก 0 และความถี่เสียงค่าหนึ่งแทนลอจิก 1 ทางด้านรับก็จะรับความถี่เสียงนั้นมาแล้วทำการแปลงความถี่เสียงกลับเป็นลอจิกให้ถูกต้องตามคำสั่ง หลักการของ Frequency Shift Keying แสดงดังรูปที่ 1.5



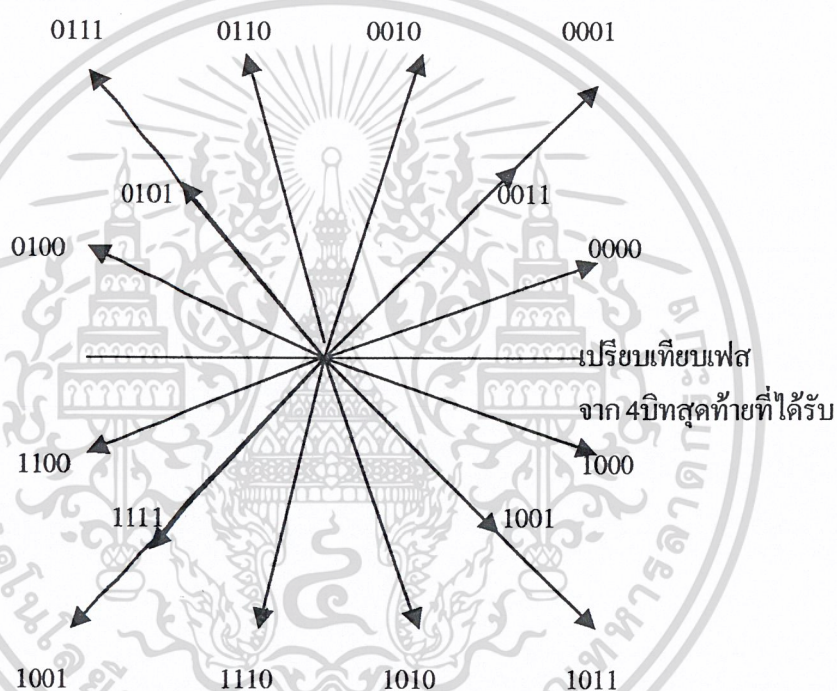
รูปที่ 1.5 แสดงหลักการแปลงลอจิกเป็นสัญญาณความถี่เสียงโดยใช้วิธี Frequency Shift Keying

วิธีการของ Frequency Shift Keying มีข้อจำกัด คือ ความเร็วในการรับ/ส่งข้อมูลจะถูกจำกัดด้วยความถี่ที่กำหนดเป็น Keying เนื่องจากด้านรับต้องตรวจสอบความถี่ในขณะที่ทำการแปลงความถี่กลับคืนเป็นสัญญาณดิจิทัล ซึ่งเวลาในการตรวจสอบความถี่อย่างน้อยที่สุดก็จะไม่เร็วไปกว่าเวลาครบรอบความถี่ Keying นั้นๆ หากจะต้องรับ/ส่งกันให้ได้ความเร็วสูงขึ้นอีกจะใช้การแปลงอีกวิธีหนึ่ง คือ วิธีการแปลงสัญญาณแบบ Phase Shift Keying ดังแสดงในรูปที่ 1.6 โดยแทนที่จะใช้ความถี่ค่าต่างๆแทนสถานะลอจิก เช่น วิธีของ Frequency Shift Keying วิธีใหม่นี้จะใช้เฟสของสัญญาณแทนสถานะลอจิก โดยที่ความถี่นั้นจะใช้ความถี่คงที่ค่าเดียว ด้วยวิธีนี้ถ้าหากเราแบ่งย่อยเฟสออกไปอีกเป็น 4 เฟส ทำให้สามารถแทนข้อมูลดิจิทัลได้ 2 บิต ถ้าหากแบ่งเฟสออกเป็น 8 เฟส ก็จะแทนข้อมูลได้เป็น 3 บิต และถ้าหากแบ่งเฟสออกเป็น 16 เฟส ก็จะแทนข้อมูลได้ 4 บิต ซึ่งเมื่อแบ่งเฟสมากเกินไปโอกาสที่จะผิดพลาดในการรับ/ส่งก็จะมากขึ้น วิธีการจะเพิ่มความเร็วในการรับ/ส่งข้อมูลให้ได้มากขึ้นอีกจะกระทำโดยนำเอาแอมพลิจูดของสัญญาณมาอนุเลทร่วมด้วย โดยบางเฟสจะถูกแบ่งย่อยแอมพลิจูดลงไปอีก ทำให้แทนสถานะลอจิกได้หลายๆบิตขึ้น ดังแสดงในรูปที่ 1.7 เป็นการมอดูเลทโดยใช้ 12 เฟสมอดูเลทแอมพลิจูดร่วมเข้าไปอีก 4 เฟส ทำให้แทนข้อมูลได้ถึง 4 บิตใน 1 รอบคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 แสดงการแปลงสัญญาณแบบ Phase Shift Keying



รูปที่ 1.7 แสดงการมอดูเลทแอมพลิจูดร่วมกับ Phase Shift Keying

ความเร็วในการรับ/ส่งข้อมูลของ โมเด็ม

ความเร็วของโมเด็ม คือ ค่าที่บอกให้ทราบว่าสามารถส่งข้อมูลได้จำนวนกี่บิตในหนึ่งวินาที หรือ วินาที (bps หรือ Bit per second) เช่น โมเด็มมีความเร็ว 14.4 Kbps. นั่นคือ โมเด็มชนิดนี้สามารถส่งข้อมูลด้วยความเร็วประมาณ 144,000 บิตต่อวินาที ค่าหน่วยอีกค่าหนึ่งที่น่าสนใจคือ ค่า Baud rate คือ ค่าความถี่ของสัญญาณอะนาล็อกที่โมเด็มรับ/ส่งกัน ซึ่งค่า Baud rate นี้จะเป็นค่าที่เราใช้กำหนดแบนด์วิดท์ของสื่อกลางที่จะใช้ส่งสัญญาณ โมเด็ม เช่น สายโทรศัพท์มีแบนด์วิดท์ในช่วง 300-3,400 เฮิรท์ นั่นคือ สามารถใช้โทรศัพท์เป็นสื่อกลางของ โมเด็มที่มี Baud rate ได้สูงสุด 3,400 บอดนั่นเอง ด้วยวิธีการของ Phase Shift Keying ทำให้โมเด็มบางตัวสามารถส่งข้อมูลได้ความเร็วสูงกว่า Baud rate เช่น โมเด็มเอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9,600 bps. จะมีบอดเรทเพียง 2,400 เท่านั้น เนื่องจากโมเด็มจะถูกนำไปใช้ติดต่อกันทั่วโลกจึงต้องกำหนดมาตรฐานให้กับผู้ผลิต โดยมีมาตรฐานกำหนดอยู่ 2 ระบบ คือ

มาตรฐานของ CCITT (Conaulation Committee for Internation Telephony and Telegraphy) จะใช้งานทั่วโลกและมาตรฐานของ Bell lab ซึ่งจะนิยมใช้ในประเทศอเมริกา มาตรฐานทั้งสองจะกำหนดค่าความเร็ว และวิธีการแปลงสัญญาณตลอดจนการตรวจสอบการติดต่อ ซึ่งโมเด็มสำหรับใช้งานบนเครือข่ายโทรศัพท์ที่มีตารางมาตรฐานกำหนด ดังแสดงในตารางที่ 1.1

ชื่อมาตรฐาน	ความเร็ว	วิธีการมอดดู- เลข	Baud rate	การสื่อสาร แบบ
Bell 103	300 bps.	FSK	300	Full/FDM
Bell 212	1,200 bps.	DPSK	600	Full/FDM
CCITTV.22	1,200 bps.	DPSK	600	Full/FDM
Bell 201	2,400 bps.	DPSK	1,200	Half
CCITTV.22bis.	2,400 bps.	QAM	600	Full/FDM
CCITTV.32	9,600 bps.	TCM/MQAM	2,400	Full/ECT
CCITTV.32bis.	14,400 bps.	TCM/MQAM	2,400	Full/ECT
CCITTV.34	28,800 bps.	TCM/MQAM	2,400	Full/ECT

ตารางที่ 1.1 แสดงมาตรฐานของโมเด็มที่ใช้งานบนเครือข่ายโทรศัพท์

หมายเหตุ

DPSK : Different Phase Shift Keing

QAM : Quadrature Amplitude Modulation

TCM : Trellis Code Modulation

FDM : Frequency Divition Multiplex

ECT : Echo Cancellation Technique

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

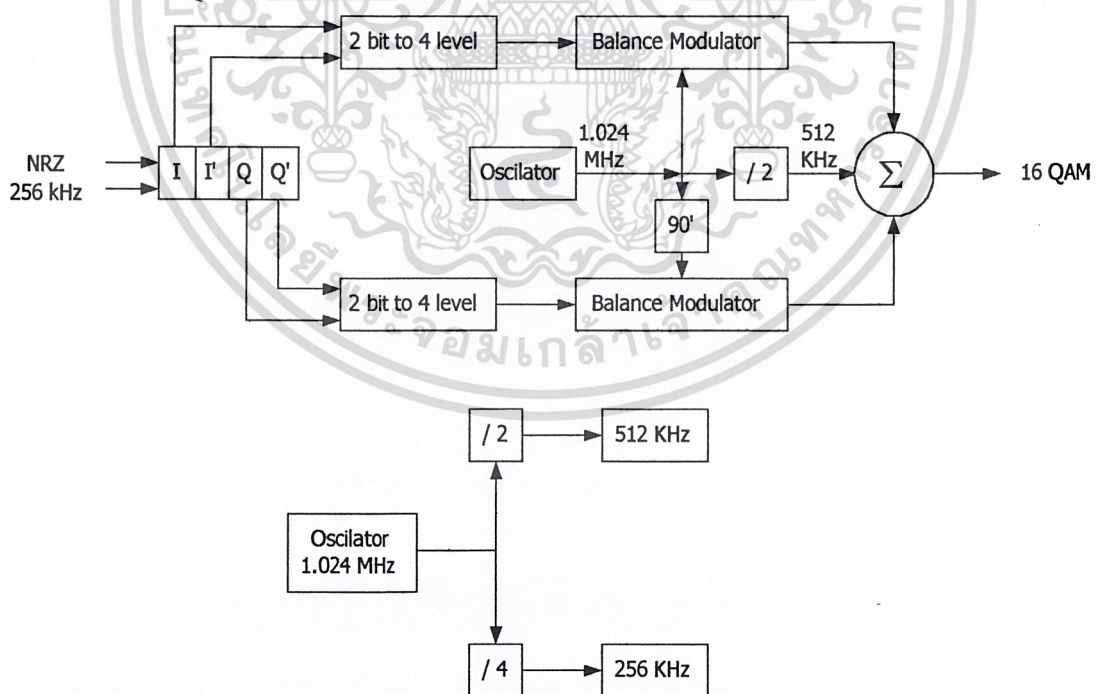
บทที่ 2

ทฤษฎีและหลักการของ 16 QAM

QUADRATURE AMPLITUDE MODULATION

Quadrature Amplitude Modulation เป็นการมอดูเลตสัญญาณดิจิทัลอีกรูปแบบหนึ่งซึ่งข้อมูลดิจิทัลจะถูกบรรจุทั้งแอมพลิจูดและเฟสของสัญญาณพาหะ ในโครงงานนี้จะเลือกใช้แบบ 16 QAM ซึ่งเป็นเทคนิคการเข้ารหัสข้อมูลแบบ M-ary เมื่อ $M=16$ ข้อมูลอินพุตจะถูกแบ่งเป็นกลุ่มๆ ละ 4 บิต ($2^4=16$)

บล็อกไดอะแกรมของเครื่องส่ง 16 QAM แสดงในรูปที่ 2.1 ข้อมูลอินพุตแบบเลขฐานสองถูกแบ่งป้อนเข้าช่องต่างๆ 4 ช่องคือ I, I', Q และ Q' บิตเรทในแต่ละช่องมีค่า 1/4 ของบิตเรทอินพุต ($F/4$) อินพุต 4 บิตถูกส่งแบบอนุกรมเข้าวงจรแยกบิต แล้วถูกส่งออกพร้อมๆ กันเป็นแบบขนานด้วยช่อง I, I', Q และ Q' ทั้งคู่จะถูกป้อนเข้าสู่วงจรแปลง 2 ลอจิกไปเป็น 4 ระดับ ดังนั้นวงจรแปลง 2 ลอจิกเป็น 4 ระดับ จึงสร้างสัญญาณ PAM ได้ 4 สัญญาณคือ มี 2 ขั้ว และ 2 ขนาดที่เป็นไปได้ที่เอาท์พุทของวงจรแปลง 2 ลอจิกเป็น 4 ระดับ แต่ละวงจรซึ่งมีค่าเป็น $+0.22\text{ V}$ และ $+0.821\text{ V}$ สัญญาณ PAM จะเข้าไปมอดูเลตกับสัญญาณพาหะ Inphase และสัญญาณพาหะ Quadrature Phase ด้วยวงจรคูณ ดังนั้นผลที่ได้จะมี 4 เอาท์พุทสำหรับวงจรคูณแต่ละวงจร วงจรคูณ I มีค่าเป็น $+0.821\text{Sin}\omega_c t$, $+0.22\text{Sin}\omega_c t$, $-0.22\text{Sin}\omega_c t$ และ $-0.821\text{Sin}\omega_c t$ ส่วน วงจรคูณ Q มีค่าเป็น $+0.821\text{Cos}\omega_c t$, $+0.22\text{Cos}\omega_c t$, $-0.22\text{Cos}\omega_c t$ และ $-0.821\text{Cos}\omega_c t$ และเมื่อนำผลที่ได้ไปรวมกันที่วงจรรวมสัญญาณแบบเชิงเส้นจะทำให้ได้เอาท์พุทถึง 16 รูปแบบสำหรับ 16 QAM



รูปที่ 2.1 บล็อกไดอะแกรม 16 QAM modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

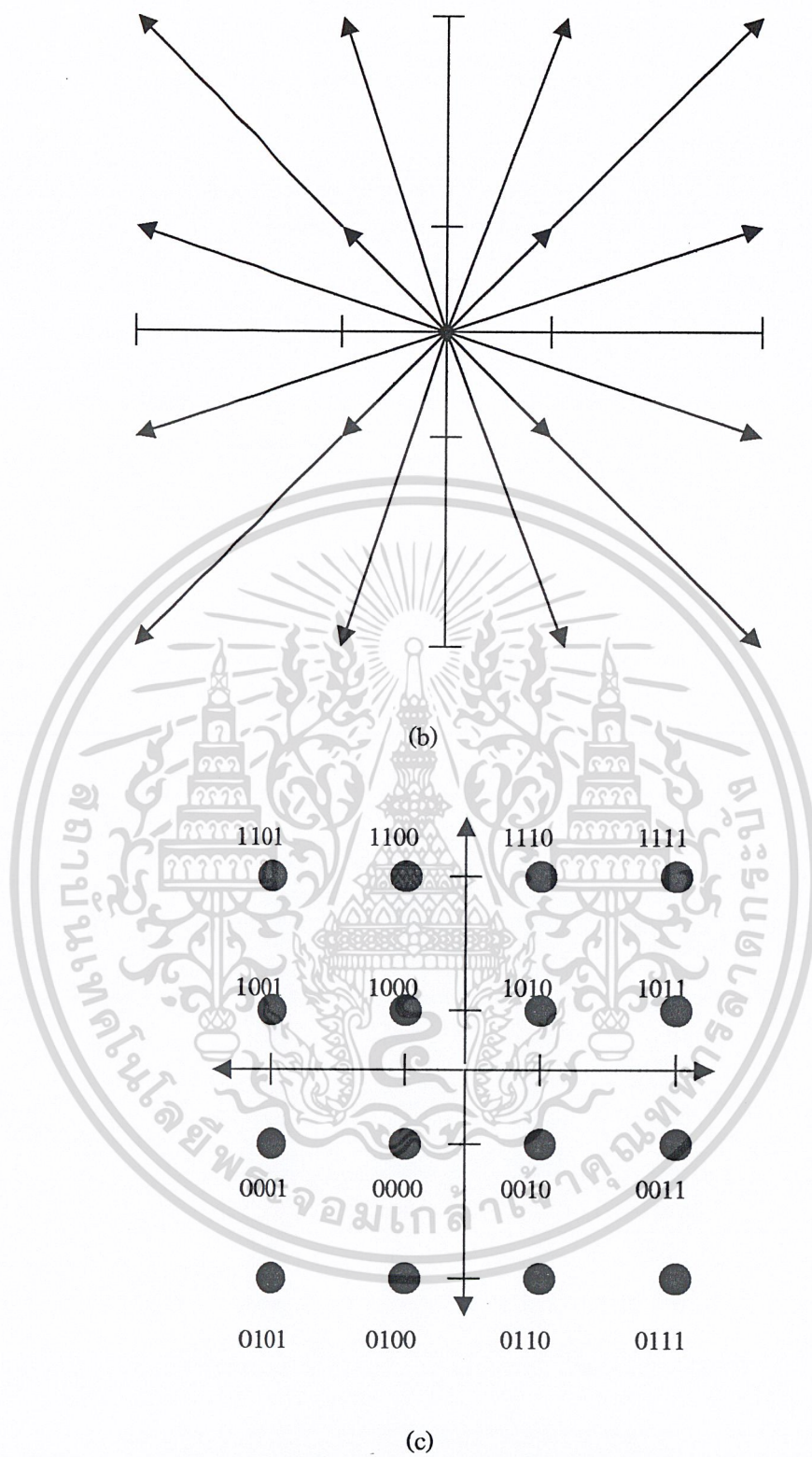
ส่วนในการพิจารณาขนาดของแบนด์วิดท์นั้น สำหรับบิตเรทที่เหมือนกันแถบความถี่ที่น้อยที่สุดที่ต้องการส่งผ่านวงจรมอดูเลท 16 QAM มีค่า $\frac{1}{4}$ ของวงจรมอดูเลท BPSK มีค่า $\frac{1}{2}$ ของ QPSK และน้อยกว่า 25% เมื่อใช้ 8PSK สำหรับเทคนิคการมอดูเลทแต่ละวิธีอัตราบอดเรทจะถูกลดลงด้วยอัตราส่วนที่เหมือนกัน

I	I'	Output	Q	Q'	Output
0	0	-0.220V	0	0	-0.220V
0	1	-0.821V	0	1	-0.821V
1	0	+0.220V	1	0	+0.220V
1	1	+0.821V	1	1	+0.821V

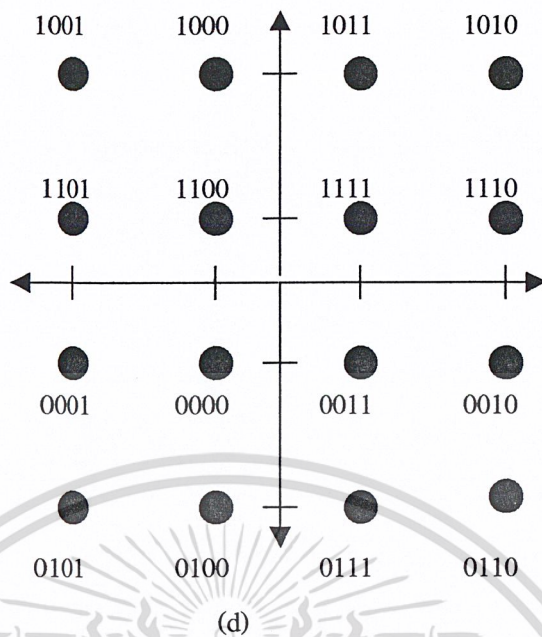
ตารางที่ 2.1 ตารางความจริงของ I และ Q ที่เปลี่ยนแปลงได้ทั้ง 4 ระดับ

Binary Input				16 QAM	
I	I'	Q	Q'	Output	
0	0	0	0	0.311V	-135°
0	0	0	1	0.850V	-165°
0	0	1	0	0.311V	-45°
0	0	1	1	0.850V	-15°
0	1	0	0	0.850V	-105°
0	1	0	1	1.161V	-135°
0	1	1	0	0.851V	-75°
0	1	1	1	1.161V	-45°
1	0	0	0	0.311V	135°
1	0	0	1	0.850V	175°
1	0	1	0	0.850V	45°
1	0	1	1	0.850V	15°
1	1	0	0	0.850V	105°
1	1	0	1	1.161V	135°
1	1	1	0	0.850V	75°
1	1	1	1	1.161V	45°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 (a)
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 Phase Diagram และ Constellation Diagram

หมายเหตุ รูปที่ 2.2 (c) คือ Constellation Diagram ของ Binary Code

รูปที่ 2.2 (d) คือ Constellation Diagram ของ Gray Code

2.1 ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency)

ประสิทธิภาพของแถบความถี่ (Bandwidth efficiency) หรือความหนาแน่นของข้อมูลถูกใช้ เปรียบเทียบการทำงานของเทคนิคการมอดูเลตหนึ่งกับแบบอื่นๆ สิ่งที่สำคัญก็คือ อัตราส่วนของบิตเรท ในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดูเลตที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่ 1Hz ทำให้แยกจำนวนบิตที่สามารถส่งผ่านอุปกรณ์สำหรับแถบความถี่ แต่ละ เฮิรตซ์ เขียนสมการได้เป็น

$$BW \text{ efficiency} = \frac{\text{Transmission rate (bps)}}{\text{Minimum bandwidth (Hz)}}$$

$$= \frac{\text{bits/ sec}}{\text{hertz}}$$

$$= \frac{\text{bits/ sec}}{\text{cycle/ sec}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK, QPSK, 8PSK และ 16QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วย การมอดูเลตในรูปแบบต่างๆ

Modulation Technique	Minimum Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตารางที่ 2.2 แถบความถี่ที่น้อยที่สุดของการมอดูเลตแบบต่างๆ

แทนค่าลงในสมการจะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$BPSK ; BW \text{ efficiency} = \frac{10 \text{ Mbps}}{10 \text{ MHz}} = \frac{1 \text{ bps}}{\text{Hz}} = \frac{1 \text{ bit}}{\text{cycle}}$$

$$QPSK ; BW \text{ efficiency} = \frac{10 \text{ Mbps}}{5 \text{ MHz}} = \frac{2 \text{ bps}}{\text{Hz}} = \frac{2 \text{ bit}}{\text{cycle}}$$

$$8PSK ; BW \text{ efficiency} = \frac{10 \text{ Mbps}}{3.33 \text{ MHz}} = \frac{3 \text{ bps}}{\text{Hz}} = \frac{3 \text{ bit}}{\text{cycle}}$$

$$16QAM ; BW \text{ efficiency} = \frac{10 \text{ Mbps}}{2.5 \text{ MHz}} = \frac{4 \text{ bps}}{\text{Hz}} = \frac{4 \text{ bit}}{\text{cycle}}$$

ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16QAM มีประสิทธิภาพสูงสุดเพราะ 16QAM ต้องการเพียง ¼ ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิตเรทอินพุตที่เท่ากัน และสรุปข้อแตกต่างของ FSK, PSK, QAM ได้ในตารางที่ 2.3

Modulation	Encoding	Bandwidth (Hz)	Baud	Bandwidth efficiency (bps/Hz)
FSK	Sinegle bit	>Fb	Fb	<1
BPSK	Sinegle bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

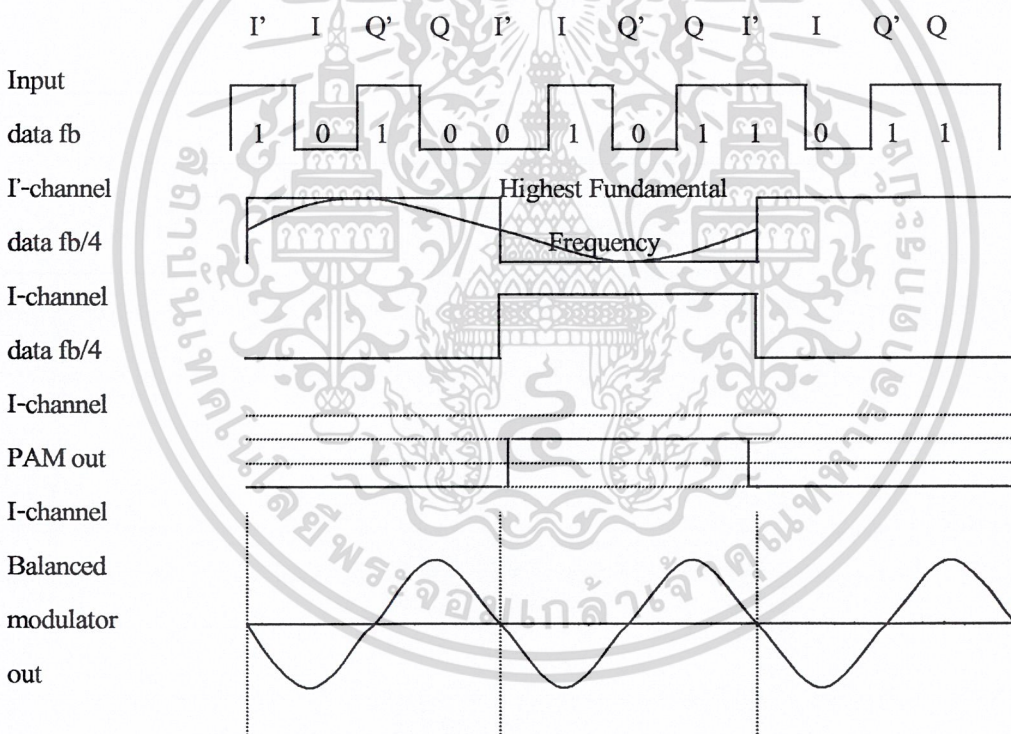
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ตารางที่ 2.3 สรุปข้อแตกต่างของ FSK, PSK และ QAM
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 พิจารณาแถบของความถี่ของ 16QAM (Analysis of 16 QAM)

การส่งข้อมูลดิจิทัลแบบ 16QAM นี้เมื่อข้อมูลที่ป้อนเข้ามาแล้วถูกแบ่งออกเพื่อป้อนเข้าฟิลิปฟลอป 4 ตัว บิตแรกในช่อง I, I', Q, และ Q' มีค่าเท่ากับ 1/4 ของอัตราขาเข้าของข้อมูลอินพุตแบบเลขฐานสอง ($F_b/4$) วงจรแยกบิตจะขยายบิต I, I', Q, และ Q' เป็นสี่เท่าของคาบเวลาบิตอินพุต ทั้งนี้เพราะว่าบิต I, I', Q, และ Q' จะเป็นเอาต์พุตออกมาพร้อมกันและอยู่ในรูปขนาน วงจรแปลง 2 ระดับเป็น 4 ระดับ จะมีอัตราการเปลี่ยนแปลงอินพุตและเอาต์พุตเป็น 1/4 ของอัตราขาเข้าของข้อมูลอินพุต

จากรูปที่ 2.3 แสดงความสัมพันธ์ของเวลาของบิตระหว่างสัญญาณดิจิทัลอินพุตที่ I, I', Q, และ Q' และสัญญาณ PAM จากช่อง I จะเห็นว่าความถี่พื้นฐานที่สูงที่สุดในช่อง I, I', Q, และ Q' มีค่า 1/4 ของข้อมูลดิจิทัลอินพุต (1 รอบในช่วง I, I', Q, และ Q' ใช้เวลาเท่ากัน เป็นเวลาที่อินพุตเข้ามา 8 บิต) ดังนั้นความถี่พื้นฐานที่สูงที่สุดของสัญญาณ PAM ทั้งสองสัญญาณมีค่า 1/8 ของบิตเรทดิจิทัลอินพุต

วงจรมัลติเพลกเซอร์ 16QAM มีการเปลี่ยนแปลงที่เอาต์พุต 1 ครั้ง (เฟสหรือแอมพลิจูดหรือทั้งสองอย่าง) เมื่อมีสัญญาณอินพุตเข้ามาทุกๆ 4 บิต ดังนั้นจะมีอัตราบอดเรท $F_b/4$ เหมือนกันกับแถบความถี่ที่น้อยที่สุด



รูปที่ 2.3 การพิจารณาแถบความถี่ของ 16QAM Modulator

2.3 ความน่าจะเป็นของการเลือกบิตผิดพลาดและอัตราความผิดพลาดของบิต

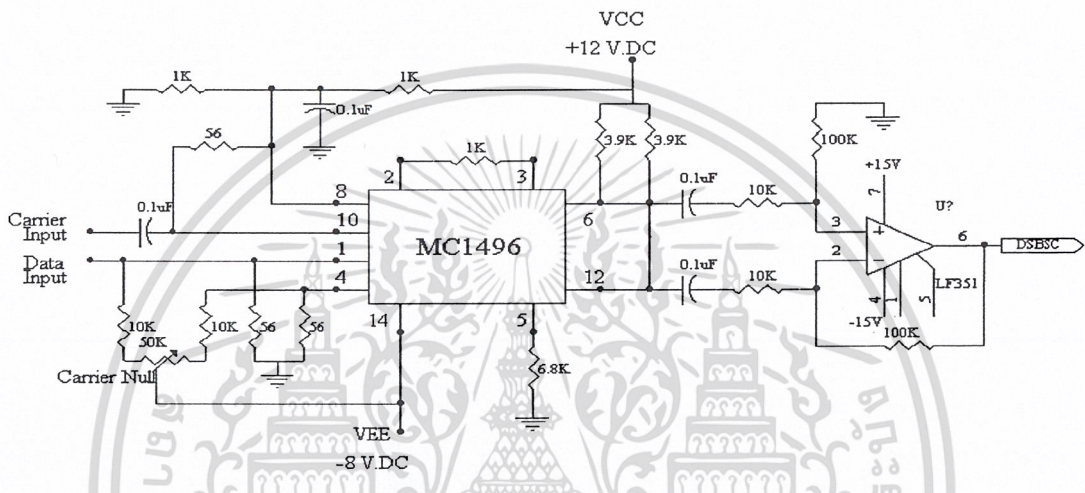
ความน่าจะเป็นของการเลือกบิตผิดพลาด (Probability of error; $P(e)$) และอัตราความผิดพลาดของบิต (Bit Error Rate; BER) จะมีความหมายแตกต่างกันอยู่เล็กน้อย $P(e)$ คือโอกาสเดาอย่างมีเหตุผลของอัตราการผิดของบิต ส่วน BER คือการบันทึกโดยการสังเกตการกระทำของระบบที่เกิดความผิดพลาดจริง

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับการใช้ภายในเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านธุรกิจ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความน่าจะเป็นของความผิดพลาดจะเป็นฟังก์ชันของอัตราส่วนระหว่างสัญญาณพาหะและสัญญาณรบกวนของเครื่องรับขึ้นอยู่กับ M-ary ที่ใช้ และ P(e) ที่ต้องการ โดยทั่วไปอัตราส่วนที่น้อยที่สุดของสัญญาณพาหะต่อสัญญาณรบกวนที่ต้องการของระบบ QAM มีค่าน้อยกว่าที่ต้องการในระบบ PSK

2.4 วงจร Balanced Modulator

วงจร Balance Modulator หรือเรียกย่อๆว่า BM จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ Baseband กับสัญญาณ Carrier โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะ ไซเคิลแบนด์ทั้งสองข้างเท่านั้น โดยที่สัญญาณคลื่นพาหะจะถูกกำจัดออกไป



รูปที่ 2.4 วงจร Balanced modulator

วงจรที่ใช้งานทั่วไปมีหลายแบบ เช่น ใช้เฟสคู่ใช้ได้โดยตรงเป็นวงจรหรือใช้ไอซีสำเร็จรูปทั่วไปก็ได้เช่นเดียวกัน วงจร Balanced modulator ที่ใช้ในโครงการนี้คือ ไอซีสำเร็จรูปของ Motorola เบอร์ MC1496, MC1596 ซึ่งเป็นไอซีที่สามารถประยุกต์ใช้งานได้หลายอย่างคือ สามารถใช้เป็นทั้งภาค Modulator ทั้งแบบธรรมดาและ Suppress carrier ก็ได้หรือใช้เป็นส่วนหนึ่งในภาค Detector ก็ได้

ไอซี MC1496, MC1596 จะทำหน้าที่เป็น Balanced Modulator / Demodulator ซึ่งถูกออกแบบสำหรับใช้กับ Output ที่เกิดจากการคูณของ Input Signal กับ Carrier ซึ่งนอกจากทำเป็นวงจร Balanced Modulator / Demodulator แล้วยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator, Synchronous Detector FM Detector ฯลฯ และในการนำไอซีตัวนี้มาใช้ต้องพิจารณาด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตามไอซีที่มีอยู่หรือไม่ เพราะไอซีชนิดนี้มี 2 รูปแบบคือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของ Carrier Signal = 60 mV และ Modulator Signal = 300 mV วงจรที่ใช้นี้จะใช้ไฟเลี้ยงเพียงชุดเดียวคือ +12V นอกจากนี้ไอซี MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ -8V) และถ้าหากต้องการนำไอซีตัวนี้ไปประยุกต์ใช้กับงานอื่นๆก็ได้ แต่มีข้อกำหนดที่แตกต่างกันไปโดยเราสามารถดูรายละเอียด Data Sheet ในภาคผนวก

เอกสารนี้เป็นทรัพย์สินทางปัญญาหรือการสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulator Signal = 300 mV วงจรที่ใช้จะใช้ไฟเลี้ยงเพียงชุดเดียวคือ +12V นอกจากนี้ไอซี MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ -8V) และถ้าหากต้องการนำไอซีตัวนี้ไปประยุกต์ใช้กับงานอื่นๆก็ได้ แต่มีข้อกำหนดที่แตกต่างกันไปโดยเราสามารถดูรายละเอียดData Sheet ในภาคผนวก

2.5 วงจรกรองความถี่ด้วย Active (Active Filter)

Active Filter ทำหน้าที่กรองความถี่สัญญาณเป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ ไอซี และ Network เลือกความถี่ (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่ Output

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือ ย่านความถี่วิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วยถ้าจำเป็นถึงขั้นส่วนของอุปกรณ์อิเล็กทรอนิกส์ (Element of device) ที่นำมาประกอบเป็นวงจร Filter แบ่งออกเป็น Passive และ Active ขึ้นส่วนที่ใช้ในวงจร Passive Filter ได้แก่ Resistor, Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ ไอซีในรูปแบบ Op-Amp ส่วน Resistor, Capacitor และ Inductor ถือได้ว่าเป็นชิ้นส่วนประเภท Passive Element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้นขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ LC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือ Passive Filter

1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราขยายของ Op-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น
2. ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูง และ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ.จุดที่นำ Active Filter เข้าไปต่อรวม
3. ราคาถูกกว่าเนื่องจาก Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัย Inductor ที่มีราคาแพง และยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

ก. Low Pass Filter (LPF)

ข. High Pass Filter (HPF)

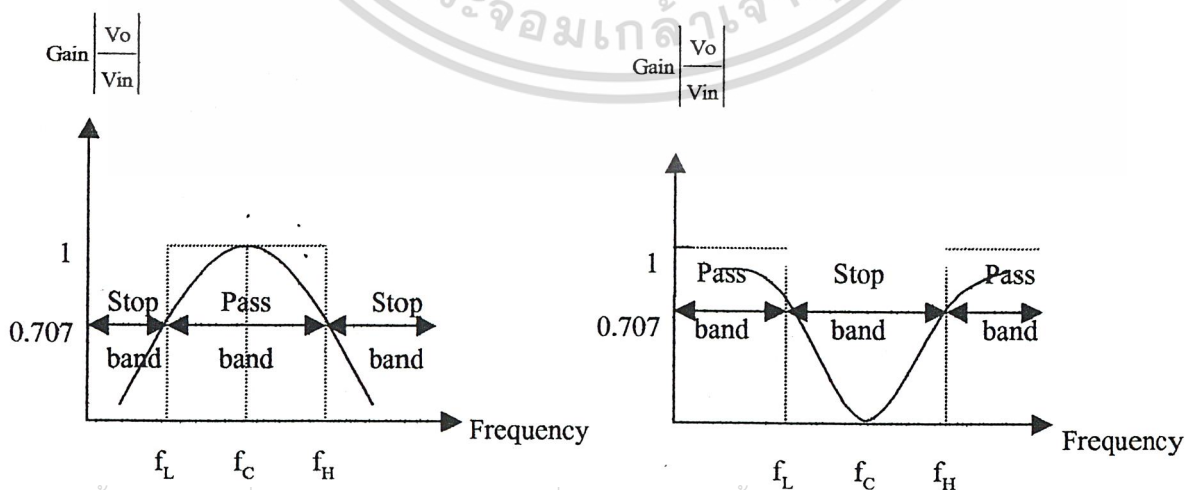
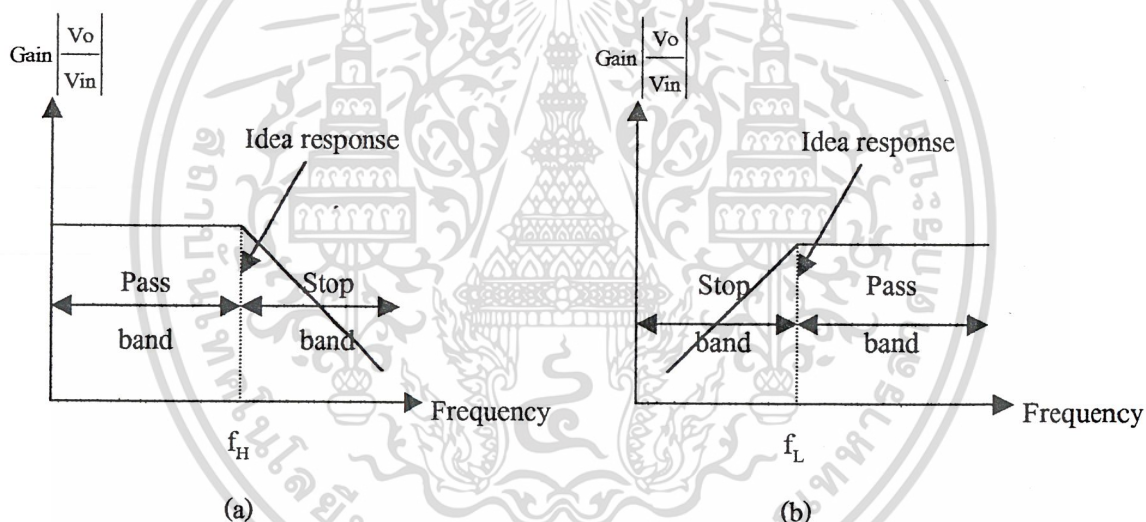
ค. Band Pass Filter (BPF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

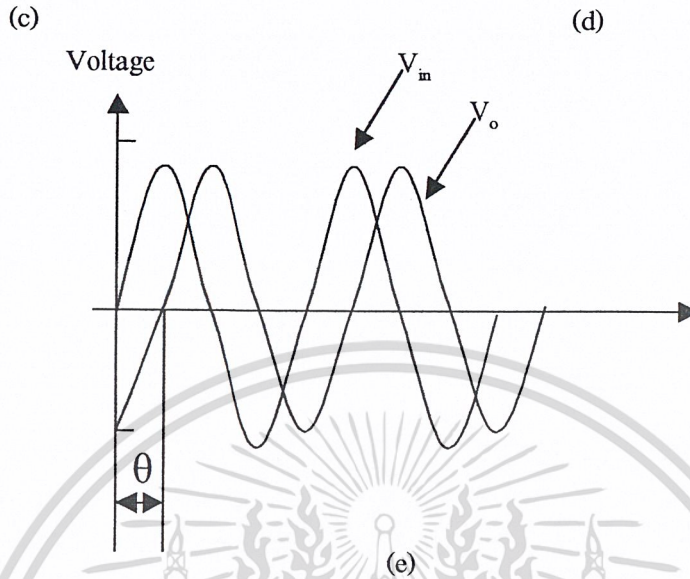
Filter เหล่านี้ อาศัย Resister และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp โดยอาศัยไอซีที่มีคุณสมบัติเป็น High Speed ที่มี Slew Rate สูง และ Unity Gain Bandwidth สูงๆ เช่น LM318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และด้าน อัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึง Response ที่เป็นอุดมคติทางทฤษฎี ส่วน Response Curve ในทางปฏิบัติแสดงด้วยเส้นทึบ

รูปที่ 2.5 (a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่ จากความถี่ 0Hz ถึงความถี่ High Cutoff (f_H) ค่าของ Bandwidth จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้น อัตราการขยายจะลดลงจากจุดสูงสุดในช่วง Pass Band ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณพาหะลงทุกขณะ เราเรียกว่า Stop Band จาก Response ที่เป็น อุดมคติ ในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมี Loss เป็นศูนย์ตลอดช่วง Pass Band และมี Loss เป็นอนันต์ในช่วง Stop Band แต่สภาพความจริงในทางปฏิบัติมิได้เป็นเช่นนั้น



เอกสารนี้เป็นเอกสาร (c) ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น (d) กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 Frequency Response ของวงจร Filter

โครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่อง ขึ้น ได้อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่ เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย วงจรประกอบ ด้วยชิ้นส่วนอุปกรณ์ เช่น Resister และ Capacitor ที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุดและใช้ Op-Amp ชนิด High Speed (ในโครงงานนี้ใช้ Op-Amp เบอร์ LF351)

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่ รูปแบบ Butterworth, Chebyshev และ Caur แต่ละรูปแบบมีสมบัติลักษณะ ประจำตัวแตกต่างกันไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ในลักษณะค่อนข้างราบเรียบ บางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band เป็น Flat ส่วน Caur Filter ให้ทั้ง Pass Band และ Stop Band เป็น Ripple ทั้งคู่ ซึ่งการออกแบบและความยุ่งยากของวงจรที่แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (a) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง Stop Band จะอยู่ที่ความถี่ $0 < f < f_L$ และช่วงของ Pass Band อยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Band Pass อยู่ ระหว่างสองความถี่คutoff ได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่ง เป็นตำแหน่งที่ Gain ลดลง 3 dB และช่วง Stop Band มีสองช่วงความถี่คือ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H > f_L$

ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วง Stop Band Gain พอดี

รูปที่ 2.5 (d) แสดง Response ของ Band Reject Filter มี Curve คุณลักษณะตรงข้ามกับ Band Pass Filter กล่าวคือช่วง Band Stop อยู่ระหว่างความถี่คutoffสองจุดคือ f_H กับ f_L และมีช่วง Pass Band สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วง Stop Band เป็นความถี่ Center Frequency หรือ f_c

รูปที่ 2.5 (e) แสดง Phase Shift ระหว่าง Input Voltage (V_{in}) กับ Output Voltage (V_o) ของ All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือ ให้ V_o เท่ากับ V_{in} ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่แต่ค่าความถี่สูงสุด V_o กับ V_{in} ยังคงมีคุณสมบัติเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

2.6 Phase Lock Loop

Phase Lock Loop (PLL) เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ที่ล็อกหรือซิงค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยนแปลงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนแปลงไปเอาที่พหุจากคิเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลงควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อกกับสัญญาณที่เข้ามา โวลต์เดจเล็ยที่ได้จากเฟสคิเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชันของความถี่ของสัญญาณที่เข้ามา อาทิเช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาที่พหุที่ได้จากเฟสคิเทคเตอร์ผ่าน LPF (LowPass Filter) จะเป็นสัญญาณที่ถูกทำการ Demodulation นั้นเอง

ในปัจจุบันด้วยการพัฒนาของเซมิคอนดักเตอร์ ทำให้วงจร PLL ที่ซับซ้อนสามารถที่จะบรรจุอยู่ในไอซีเล็กๆเพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกไม่กี่ตัว ทำให้ง่าย สะดวก และประหยัด

หลักการของวงจร Phase Lock Loop

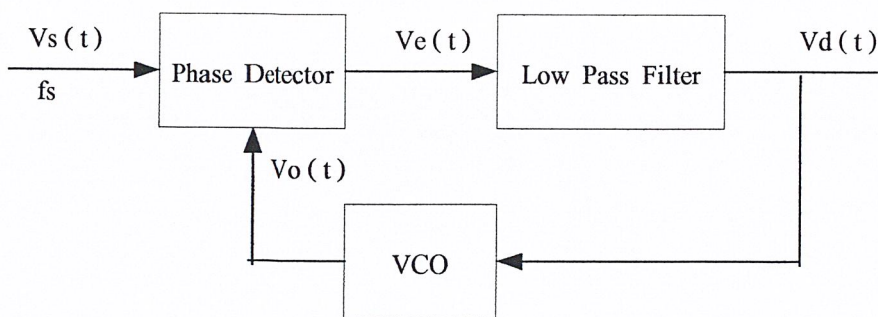
วงจรเฟสล็อกคูลูป (Phase Lock Loop) หรือ PLL เป็นวงจรที่มีลูปของการป้อนกลับ (Feedback Loop) เพื่อนำสัญญาณที่เอาที่พหุบางส่วนมาเปรียบเทียบกับกับสัญญาณที่ด้านเอาที่พหุ โดยวัตถุประสงค์หลักการของวงจร PLL คือเป็นวงจรติดตามสัญญาณความถี่ที่เราต้องการ (Desired Signal) ซึ่งเราเรียกววงจรแบบนี้ว่า “Frequency Tracking Circuit” โดยโครงสร้างพื้นฐานของวงจร PLL ประกอบด้วยวงจรต่างๆดังต่อไปนี้

1. Phase Detector (PD) มีหน้าที่ในการเปรียบเทียบผลความแตกต่างของสัญญาณที่อินพุทของวงจร PLL กับสัญญาณที่ถูกป้อนกลับจากด้านเอาที่พหุ

2. Loop Filter เป็นวงจรกรองความถี่ผ่านเฉพาะความถี่ต่ำ Low Pass Filter (LPF) ที่มีหน้าที่ในการกำจัดสัญญาณที่มีความถี่สูงๆออกไปให้ผ่านได้เฉพาะสัญญาณ DC Error Voltage (Ve)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ พงษ์สัน อภิสิทธิ์ หามมิ่งเดช บรรณาธิการ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Voltage Controlled oscillator (VCO) มีหน้าที่ในการกำเนิดสัญญาณโดยสามารถเปลี่ยนแปลงความถี่ได้ตามการเปลี่ยนแปลงของ V_e



รูปที่ 2.6 บล็อกไดอะแกรมของวงจร PLL

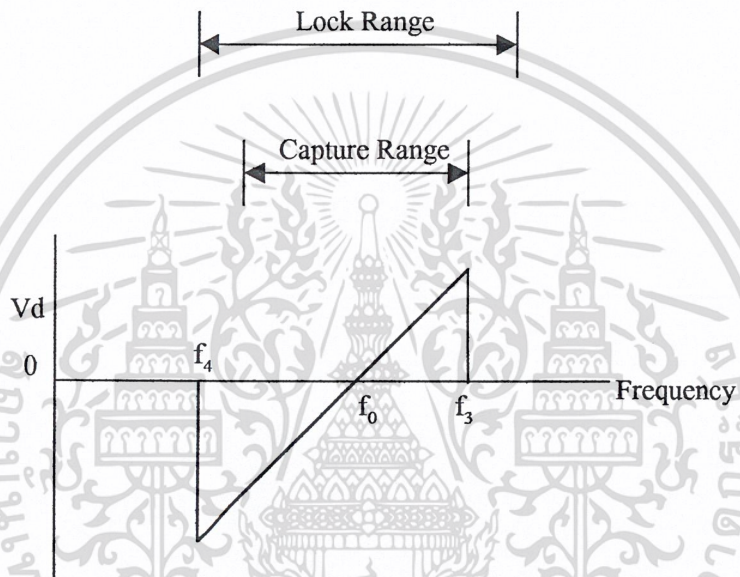
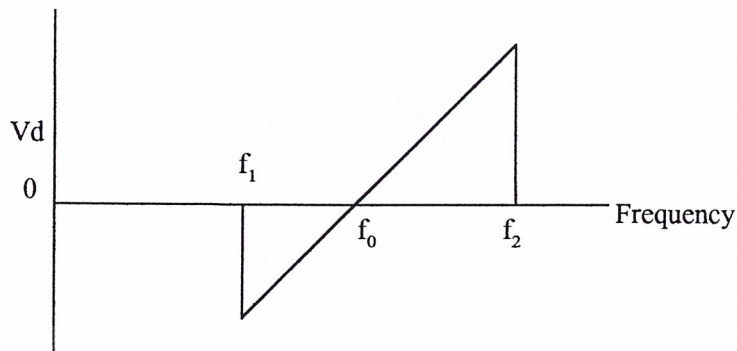
ในกรณีที่ไม่มีสัญญาณป้อนเข้ามา $V_d = 0$ และ VCO จะผลิตความถี่ที่เรียกว่า Free Running เท่ากับ f_0 เมื่อมีอินพุต V_s ป้อนเข้ามามีความถี่เท่ากับ f_s วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับความถี่ที่ VCO ถ้า f_s และ f_0 แตกต่างกันได้ V_e (Error Voltage) จากเอาต์พุตของเฟสดีเทคเตอร์ผ่าน LPF เป็น V_d เข้าไป VCO ปรับความถี่ f_0 ให้เท่ากับ f_s และ f_0 เท่ากับ f_s ก็คือ สภาวะล็อกหรือซิงค์ เอาต์พุตจากเฟสดีเทคเตอร์ V_e จะเป็นศูนย์และ V_d ก็เท่ากับศูนย์ด้วย

ในเรื่องของ PLL มีค่าที่มักเข้าใจกันสับสนบ่อยๆ คือ คำว่า Lock Range และ Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ f_0 ซึ่ง PLL ยังสามารถล็อกกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราขยายทั้งหมดของ PLL ลดลง

Capture Range หมายถึง บริเวณที่แถบความถี่ที่ใกล้เคียงกับ f_0 ที่ PLL เริ่มล็อกกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิธของ LPF คือ จะลดลงหากแบนด์วิธแคบและโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range กับ Capture Range ง่ายขึ้น เราลองพิจารณาจากรูปที่ 2.7 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL ดังรูป



รูปที่ 2.7 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ PLL

จากส่วนบนของรูปที่ 2.7 สมมติว่าสัญญาณที่เข้ามีความถี่ค่อยๆเปลี่ยนไปจากต่ำไปสูงตอนแรก ยังไม่มีอะไรเกิดขึ้น และ V_d เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา f_s ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ PLL เริ่มล็อกกับสัญญาณ f_s และ V_d มีค่าเป็นลบเพื่อปรับ VCO ให้ f_o เท่ากับ f_s แต่ในที่นี้เราสมมติว่า f_s เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ V_d เป็นลบน้อยลงจนกระทั่ง $f_s = f_o$ ทำให้ V_d เท่ากับศูนย์ จากนั้น V_d จะเริ่มเป็นบวกและมากขึ้นเรื่อยๆจนกระทั่ง $f_s = f_2$ ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดออกจากล็อก และ V_d เท่ากับศูนย์

ในทางกลับกัน ถ้า f_s เปลี่ยนจากสูงมาต่ำให้พิจารณารูปที่ 2.7 ส่วนล่าง PLL จะเริ่มล็อกเมื่อ $f_s = f_3$ ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ V_d มีค่าเป็นบวกทันที เมื่อ f_s ลดลงจน $f_s = f_o$ จะได้ V_d เท่ากับศูนย์ แล้วมีค่าเป็นบวกมากขึ้นเรื่อยๆจนกระทั่ง $f_s = f_4$ ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ f_s หลุดจากการล็อกของ PLL และ V_d กลับเป็นศูนย์อีกครั้ง เราสรุปได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

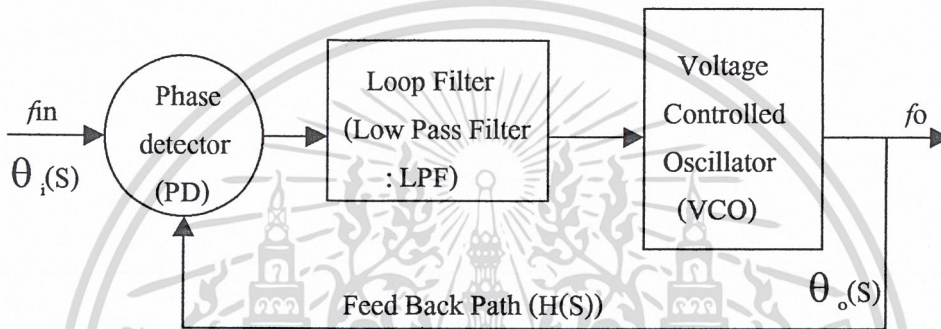
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Lock Range} = f_2 - f_4$$

$$\text{Capture Range} = f_3 - f_1$$

การหาค่าพารามิเตอร์ของ PLL

การหาค่าพารามิเตอร์ต่างๆของ PLL ที่มีความสำคัญมาก เพราะในการออกแบบวงจร PLL เราจะต้องกำหนดค่าพารามิเตอร์ที่สำคัญๆของวงจรเพื่อที่จะควบคุมการทำงานของวงจรให้เป็นไปตามที่เราต้องการ ซึ่งพารามิเตอร์เหล่านี้ได้แก่ Natural Frequency (ω_n), Damping Factor (ζ), Time Constant (T) เป็นต้น โดยเราสามารถหาค่าพารามิเตอร์เหล่านี้ได้จากการหา Close Loop Transfer Function ($H(S)$) ซึ่งสามารถหาได้ดังต่อไปนี้



รูปที่ 2.8 แสดงบล็อกไดอะแกรมวงจรต่างๆของ PLL

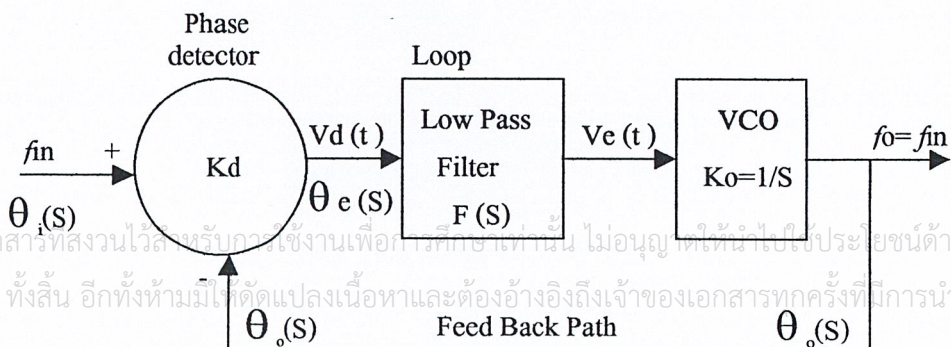
จากรูปที่ 2.8 ซึ่งแสดงค่าฟังก์ชันโอนถ่ายของวงจรต่างๆใน PLL ใน S โดเมน โดยสามารถหาค่าได้ดังนี้

$$Kd(s) = \frac{Vd(S)}{\theta e(S)} \tag{2.1}$$

$$F(S) = \frac{Ve(S)}{Vd(S)} \tag{2.2}$$

$$Kd(s) = \frac{Vd(S)}{Ve(S)} \tag{2.3.1}$$

$$= \frac{Ko}{S} \tag{2.3.2}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 แสดงบล็อกไดอะแกรมของวงจรต่างๆใน S โดเมน

เมื่อ $K_d(S)$ เป็นค่า Gain ของวงจร PD

$F(S)$ เป็นฟังก์ชันโอนถ่ายของวงจรรองความถี่ต่ำผ่าน

$K_o(S)$ เป็นค่า Gain ของวงจรถ่ายความถี่ VCO

จากหลักการพื้นฐานของวงจรที่มีการป้อนกลับ เราสามารถเปรียบเทียบรูปบล็อกไดอะแกรมของวงจร PLL ในรูปที่ 2.9 กับบล็อกไดอะแกรมมาตรฐานได้ดังรูปที่ 2.10 และสามารถเปรียบเทียบหาค่า Forward Loop Gain ($G(S)$) และ Feedback Loop Gain ($H(S)$) ได้ดังนี้

$$G(S) = k_d(S) * F(S) * k_o(S) \quad (2.3.2)$$

$$= \frac{k_d(S) * F(S) * k_o(S)}{S} \quad (2.3.2)$$

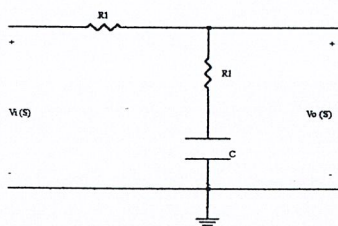
$$H(S) = 1 \quad (2.3.2)$$

และ Close Loop Function ($H_f(S)$) ของวงจร PLL นั้นจะเป็นการหาอัตราส่วนของ $\theta_0(S)/\theta_1(S)$ ซึ่งตรงกันกับสมการ $H_f(S)$ ของบล็อกไดอะแกรมในรูปที่ 2.9 ซึ่งสามารถเขียนได้ดังนี้

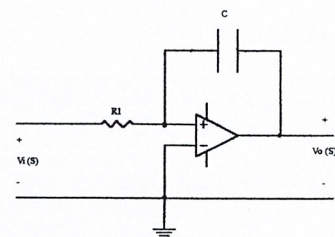


type 1

type 3



type 2



type 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.10 แสดงรูปแบบต่างๆของวงจร Loop Filter ทั้ง 4 แบบ

เมื่อนำสมการ (2.8.1) ถึงสมการ (2.8.4) แทนลงในสมการ (2.6.3) และสมการ (2.7.2) เราสามารถหา $H_T(S)$ และ $H_e(S)$ ได้ โดยสามารถเขียนสมการของ $H_T(S)$ ได้ในรูปของวงจร กรองความถี่แบบพาสซีฟ (Passive) และแอคทีฟ (Active) ได้คือ

สำหรับลูฟิเตอร์แบบพาสซีฟ

$$H_T(S) = \left\{ \frac{\frac{K_o k_d (S\tau_2 + 1)}{\tau T}}{S^2 + \frac{S(1 + K_o k_d \tau_2)}{\tau T} + \frac{K_o k_d}{\tau T}} \right\} \quad (2.9)$$

สำหรับลูฟิเตอร์แบบแอคทีฟ

$$\omega_n = \left\{ \frac{K_o k_d}{\tau T} \right\}^{1/2} \quad (2.10)$$

$$H_T(S) = \left\{ \frac{G(S)}{[1 + G(S)H(S)]} \right\} \quad (2.6.1)$$

$$H_T(S) = \left\{ \frac{\frac{k_d(S)F(S)K_o}{S}}{[1 + \frac{k_d(S)F(S)K_o}{S}]} \right\} \quad (2.6.2)$$

$$H_T(S) = \left\{ \frac{k_d(S)F(S)K_o}{[S + k_d(S)F(S)K_o]} \right\} \quad (2.6.3)$$

และค่า Error Transfer Function สามารถหาค่าได้ดังต่อไปนี้

$$H_e(S) = \frac{\theta_e(S)}{\theta_T(S)} \quad (2.7.1)$$

$$H_e(S) = \left\{ \frac{S}{[S + k_d(S)F(S)K_o]} \right\} \quad (2.7.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ลูปฟิลเตอร์ (Loop Filter)

Loop Filter หรือวงจรกรองความถี่ต่ำผ่านนั้น ในวงจร PLL โดยส่วนมากจะใช้วงจรกรองความถี่ต่ำอันดับ 1 (First Order Low Pass Filter) สำหรับใช้ในการควบคุมการทำงานของลูป โดยสามารถแบ่งเป็นรูปแบบได้ 4 แบบ และโดยเราสามารถหาค่าฟังก์ชันถ่ายโอนได้ดังนี้

$$\text{แบบที่ 1 (Type 1)} \quad F_1(S) = \left[\frac{S}{\omega_c} + 1 \right] \quad (2.8.1)$$

$$\text{แบบที่ 2 (Type 2)} \quad F_2(S) = \left\{ \frac{1 + (S / \omega_{c1})}{1 + S(\omega_{c1} + \omega_2)} \right\} \quad (2.8.2)$$

$$\text{แบบที่ 3 (Type 3)} \quad F_3(S) = \left\{ \frac{1 + (S / \omega_{c2})}{(S / \omega_{c1})} \right\} \quad (2.8.3)$$

$$\text{แบบที่ 4 (Type 4)} \quad F_4(S) = (S / \omega_{c1})^{-1} \quad (2.8.4)$$

เราสามารถหาค่า ω_n และ ζ ได้โดยการแทนรูปแบบของลูปฟิลเตอร์ลงในสมการ $H_f(S)$ และนำไปเทียบกับสมการ $H(S)$ ที่มีเทอมส่วน (Denominator) ของโพลีโนเมียลกำลัง 2 ที่มีรูปแบบมาตรฐานคือ

$$H(S) = S^2 + 2\zeta\omega_n S + \omega_n^2 \quad (2.11)$$

เราสามารถหาค่า ω_n และ ζ ได้เมื่อนำสมการ (2.9) และสมการ (2.10) มาเปรียบเทียบกับสมการ (2.11) ได้ดังนี้

สำหรับลูปฟิลเตอร์แบบพาสซีฟ

$$\omega_n = \left\{ \frac{K_o k_d}{\tau T} \right\}^{1/2} \quad (2.12.1)$$

$$\zeta = 0.5 [K_o k_d / \tau T]^{1/2} (\tau_2 + (1 / K_o k_d)) \quad (2.12.2)$$

สำหรับลูปฟิลเตอร์แบบแอกทีฟ

$$\omega_n = \left\{ \frac{K_o k_d}{\tau_1} \right\}^{1/2} \quad (2.12.1)$$

$$\zeta = 0.5 \tau_2 [K_o k_d / \tau_1]^{1/2} \quad (2.12.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้วยวิธีการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนในวงจรเฟสล็อกคัล กำหนดให้สัญญาณที่ด้านอินพุทของ PLL คือ

$$V_i(t) = V_s \sin(\omega_i t + \theta_i) + n(t) \quad (2.14)$$

สัญญาณที่เอาต์พุทของวงจร VCO

$$V_o(t) = V_o \cos(\omega_o t + \theta_o) \quad (2.15)$$

เมื่อ $n(t)$ เป็นสัญญาณรบกวนในย่านแถบความถี่ (narrowband noise) ที่ถูกจำกัดแบนด์วิธ โดยวงจรกรองความถี่ผ่านเฉพาะย่านที่ด้านอินพุทก่อนวงจร PLL และเราสามารถเขียนสมการแทนสัญญาณรบกวนดังกล่าวได้ในรูปของ Inphase Quadrature ดังนี้

$$n(t) = n_c(t) \cos(\omega_i t) - n_s(t) \sin(\omega_i t) \quad (2.16)$$

ในวงจร PLL ดังกล่าวสัญญาณเอาต์พุทของวงจร phase detector จะเป็นการคูณกันของสัญญาณ $v_i(t)$ และสัญญาณ $v_o(t)$ ซึ่งผลที่ได้คือ

$$V_d(t) = k_d V_i(t) V_o(t) \quad (2.17.1)$$

$$V_d(t) = k_d \{ V_s(t) \sin(\omega_i t + \theta_i) + [n_c(t) \cos(\omega_i t) - n_s(t) \sin(\omega_i t)] \} \times v_o(t) \cos(\omega_o t + \theta_o) \quad (2.17.2)$$

ซึ่งสัญญาณดังกล่าวสามารถแยกออกมาได้จะประกอบด้วยเทอมของสัญญาณ DC เทอม double Frequency เทอมของสัญญาณรบกวน และ เมื่อสัญญาณดังกล่าวผ่านเข้าไปยังวงจรฟิลเตอร์แบบกรองความถี่ต่ำผ่าน ดังนั้นเทอม Double Frequency จะถูกกำจัดออกไปคงเหลือแต่เทอมของสัญญาณ DC (Error Control Voltage) ที่ใช้ในการเปลี่ยนความถี่ที่เอาต์พุทของวงจร VCO และเทอมของสัญญาณรบกวนซึ่งสามารถเขียนเป็นสมการได้ใหม่ดังนี้

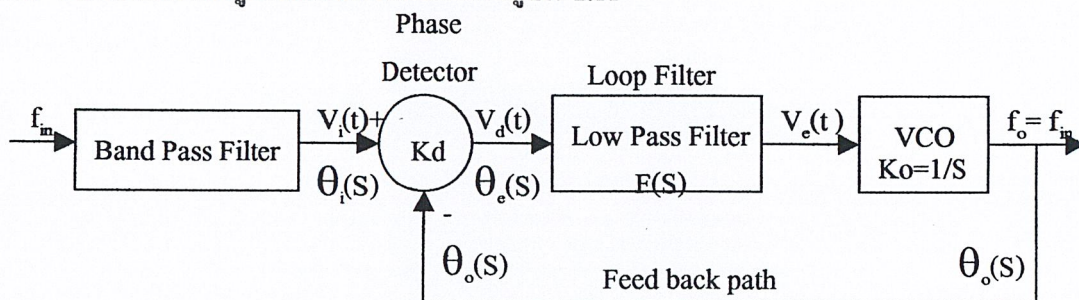
$$V_d(t) = k_d \sin(\theta_i - \theta_o) + k_d \left[\frac{n_c}{V_s} \cos(\theta_o) + \frac{n_s}{V_s} \sin(\theta_o) \right] \quad (2.18.1)$$

$$V_d(t) = k_d [\sin(\theta_i - \theta_o) + n'(t)] \quad (2.18.2)$$

เมื่อสมการของสัญญาณรบกวนคือ

$$n'(t) = v_s^{-1} [n_c \cos(\theta_o) - n_s \sin(\theta_o)] \quad (2.19)$$

ดังนั้นในวงจร PLL สามารถติดตามความถี่ (Tracking Frequency) อินพุทที่ได้จะทำให้เทอมผลต่างของเฟสระหว่างสัญญาณ $v_i(t)$ กับสัญญาณ $v_o(t)$ จาก VCO หรือ $\theta_i - \theta_o$ มีค่าน้อยมากจนสามารถประมาณได้ว่า $\sin(\theta_i - \theta_o) \approx (\theta_i - \theta_o)$ ซึ่งในช่วงดังกล่าววงจร PLL จะทำงานในช่วงเชิงเส้น ซึ่งสามารถแสดงรูปบล็อกไดอะแกรมได้ในรูปที่ 2.11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น. ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.11 แสดงบล็อกไดอะแกรมของวงจร PLL ที่ทำงานในช่วงที่เป็นเชิงเส้น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังเฉลี่ยของสัญญาณรบกวน

กำลังเฉลี่ยของสัญญาณรบกวน (Variance) เราสามารถหาค่าได้เมื่อเรากำหนดให้สัญญาณรบกวนคือ

$$n'(t) = v_s^{-1} [n_c \cos(\theta_o) - n_s \sin(\theta_o)] \quad (2.20)$$

$$\bar{\theta}_n^2 = v_s^{-2} [\bar{n}_c^2 \cos^2(\theta_o) + \bar{n}_s^2 \sin^2(\theta_o) + 2\bar{n}_c \bar{n}_s \cos(\theta_o) \sin(\theta_o)] \quad (2.21)$$

ถ้ากำลังเฉลี่ยของสัญญาณรบกวน $E[n(t)] = 0$ และ $\bar{n}_c = \bar{n}_s = \bar{n}$ และเทอมโคเวเรียนซ์ $\bar{n}_c \bar{n}_s = 0$ ดังนั้นกำลังเฉลี่ยของสัญญาณรบกวนคือ

$$\bar{\theta}_n^2 = \frac{\bar{\sigma}_n^2}{v_s^2} [\cos^2(\theta_o) + \sin^2(\theta_o)] = \frac{\bar{\sigma}_n^2}{v_s^2} \quad (2.22)$$

ซึ่งสมการนี้เป็นการหาลำดับเฉลี่ยของสัญญาณรบกวน และในขณะที่เดียวกันเราก็สามารถที่จะหาค่ากำลังเฉลี่ยของสัญญาณรบกวนได้ในเชิงความถี่ โดยเราสามารถหาค่าออกได้คือวิธีเลขชั้นของสัญญาณรบกวนก่อน ซึ่งมีสมการดังต่อไปนี้

$$R_n(\tau) = \bar{n}(\tau_1) \bar{n}(\tau_2) \quad (2.23.1)$$

$$R_n(\tau) = v_s^{-2} \left\{ \begin{array}{l} \cos^2 \theta_o \bar{n}_c(\tau_1) \bar{n}_c(\tau_2) + \sin^2 \theta_o \bar{n}_s(\tau_1) \bar{n}_s(\tau_2) \\ + \sin^2 \theta_o \cos \theta_o \bar{n}_c(\tau_1) \bar{n}_s(\tau_2) + \bar{n}_s(\tau_1) \bar{n}_c(\tau_2) \end{array} \right\} \quad (2.23.2)$$

แต่เราพบค่าเฉลี่ย โคเวเรียนซ์ของสัญญาณรบกวนจะมีค่าเท่ากันมีแต่มีเครื่องหมายตรงกันข้าม ดังนั้นเทอม $\bar{n}_c(\tau_1) \bar{n}_s(\tau_2) = -\bar{n}_s(\tau_1) \bar{n}_c(\tau_2)$ ซึ่งทำให้เทอมสุดท้ายทางด้านขวามือของสมการเป็นศูนย์ และ $\bar{n}_c(\tau_1) \bar{n}_c(\tau_2) = R_{nc}(\tau)$, $\bar{n}_s(\tau_1) \bar{n}_s(\tau_2) = R_{ns}(\tau)$ เพราะฉะนั้นเราสามารถเขียนสมการ (2.23.2) ได้ใหม่ดังต่อไปนี้คือ

$$R_n(\tau) = v_s^{-2} [R_{nc}(\tau) \cos^2 \theta_o + R_{ns}(\tau) \sin^2 \theta_o] \quad (2.24)$$

เมื่อนำสมการ $R_n(\tau)$ มาผ่านการแปลงฟูเรียร์ซึ่งผลที่ได้คือ power spectrum density ของสัญญาณรบกวนนั่นเองซึ่งก็คือการหาสมการ PSD ตามทฤษฎีของ Wiener-Khinchine ซึ่งมีรูปสมการดังต่อไปนี้คือ

$$\Phi_{n'}(f) = v_s^{-2} [\Phi_{nc}(f) \cos^2 \theta_o + \Phi_{ns}(f) \sin^2 \theta_o] \quad (2.25)$$

เราพบว่า PSD ของสัญญาณรบกวนในเทอมโคไซน์และไซน์มีค่าเท่ากันนั่นคือ

$$\Phi_{nc}(f) = \Phi_{ns}(f_i - f) + \Phi_n(f_i - f) \quad (2.26)$$

เมื่อ $\Phi_n(f)$ เป็น PSD ของสัญญาณรบกวนเพียงด้านเดียว (One Side Noise : PSD) ดังนั้นสมการ PSD ของสัญญาณรบกวนจะลดรูปสมการเหลือเป็น

$$\Phi_{n'}(f) = v_s^{-2} [\Phi_n(f_i - f) + \Phi_n(f_i + f)] \quad (2.27)$$

ถ้าสัญญาณรบกวนเป็น White Noise ซึ่งมี PSD คือ $\Phi_n(f) = N_0$ เพราะฉะนั้น PSD ของสัญญาณรบกวนคือ

$$\Phi_{n'}(f) = v_s^{-2} [2N_0] \quad (2.28.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 $\Phi_{n'}(f) = \frac{P_n}{P_s}$ (2.28.2)
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 ค่ากำลังของสัญญาณรบกวนที่เอาต์พุตของวงจรถึงเส้น

ถ้าเรากำหนดให้ PSD ของสัญญาณรบกวนที่ด้านอินพุตของวงจรถึงเส้นเป็น White ($\Phi_{ni}(f)$) และจากจากทฤษฎีวงจรถึงเส้นเราจะพบว่าค่า PSD ของสัญญาณรบกวนที่ด้านเอาต์พุตของวงจรถึงเส้นสามารถหาค่าได้ดังต่อไปนี้คือ

$$\Phi_{no}(f) = \Phi_{ni}(f) |H(j\omega)|^2 \quad (2.29)$$

โดย $|H(j\omega)|^2$ เป็นค่า Magnitude Square ของสมการถ่ายโอนแบบรูปปิดของวงจรถึงเส้น PLL และเมื่อเราทำการอินทิเกรตสมการ (2.31) ตลอดช่วงแบนด์วิดท์เราจะหาค่า Noise Variance ที่เอาต์พุตของวงจรถึงเส้นคือ

$$\theta_{no}^2 = \Phi_{ni}(f) \int_0^{\infty} |H(j\omega)|^2 d\omega \quad (2.30)$$

เมื่อเราแทนค่า PSD ของ White Noise จากสมการที่ (2.30) เราจะสามารถหาค่ากำลังของสัญญาณรบกวนหรือ θ_{no}^2 ได้ดังนี้คือ

$$\theta_{no}^2 = \frac{2N_0}{2} \int_0^{\infty} |H(j\omega)|^2 d\omega \quad (2.31)$$

$$BL = \int_0^{\infty} |H(j\omega)|^2 d\omega \quad (2.32)$$

ผลของการอินทิเกรตในสมการที่ (2.32) เราเรียกสมการนี้ว่า Noise Bandwidth ของวงจรถึงเส้น ดังนั้นสมการกำลังของสัญญาณรบกวนที่เอาต์พุตของวงจรถึงเส้นคือ

$$\theta_{no}^2 = \frac{2N_0}{V_s^2} BL \quad (2.33.1)$$

$$\theta_{no}^2 = \frac{P_n}{P_s} BL \quad (2.33.2)$$

จากความสัมพันธ์ $\frac{P_n}{P_s} = (SNR)_i$ เราสามารถเขียนสมการ θ_{no}^2 ให้อยู่ในรูปของอัตราส่วนของกำลังของสัญญาณต่อกำลังของสัญญาณรบกวนที่อินพุตของวงจรถึงเส้น ได้ดังนี้คือ

$$\theta_{no}^2 = (SNR)_i BL \quad (2.34)$$

จากความสัมพันธ์ของ

$$(SNR)_L = \frac{P_s}{P_n} \frac{B_i}{2BL} \quad (2.35)$$

เมื่อค่า $(NSR)_L$ เป็นอัตราส่วนของกำลังสัญญาณต่อกำลังของสัญญาณรบกวนและเราสามารถหาความสัมพันธ์ของ $(SNR)_L$ และ $(SNR)_i$ ได้ดังนี้คือ

$$(SNR)_L = (SNR)_i \frac{B_i}{2BL} \quad (2.36)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อแทนสมการที่ (2.36) ลงในสมการที่ (2.34) เราจะได้กำลังของสัญญาณรบกวนในรูปแบบสมการของ $(SNR)_L$ ดังต่อไปนี้คือ

$$\bar{\theta}_{no}^2 = \frac{1}{2(SNR)_L} \quad (2.37)$$

อัตราส่วน S/N ในวงจร PLL

การหาอัตราของ S/N ของวงจร PLL นั้นมีความจำเป็นมากในการวิเคราะห์หาค่า Performance ที่ภาครับโดยเฉพาะในวงจรที่สัญญาณคลื่นพาห้กลับคืนในการมอดูเลทแบบ PSK ซึ่งโดยส่วนมากใช้ วงจร PLL เข้ามาช่วยในการล็อกสัญญาณคลื่นพาห้ที่ต้องการออกมาจากสัญญาณรบกวน และสัญญาณฮาร์โมนิกของสัญญาณคลื่นพาห้ ซึ่งค่าพารามิเตอร์ที่สำคัญก็คือ ค่า Phase Noise Jitter ซึ่งเรียกย่อๆว่า Jitter ซึ่งจะเป็นค่าที่แสดงการสั่นของสัญญาณคลื่นพาห้ที่วงจร PLL สร้างขึ้นมาที่เอาท์พุทของ VCO ขณะที่ล็อกความถี่ได้ซึ่งภายหลังเราจะพบว่าค่าของ Jitter นี้จะขึ้นอยู่กับระดับของ S/N ที่อินพุทของ $(SNR)_i$ และได้แสดงไว้ในรูปที่ 2.11 แสดงบล็อกโคโระแกรมของวงจร PLL ที่ใช้ในการหาค่า Jitter ซึ่งเราจะพบว่าก่อนสัญญาณเข้าอินพุทของ PLL จะต้องมียังวงจรความถี่ผ่านเฉพาะย่าน Bandpass Filter (BPF) เพื่อกำจัดสัญญาณรบกวนที่มีความถี่นอกเหนือจากแบนด์วิธของสัญญาณที่เราต้องการออกไป โดยเราสามารถหาค่ากำลังของสัญญาณได้คือ

$$P_s = \frac{V_i^2 - rms}{R_{in}} \quad (2.38)$$

ความหนาแน่นของสเปกตรัมของสัญญาณรบกวน (ω_i) ที่อินพุทของวงจร PLL คือ

$$\omega_i = \frac{P_n}{B_i} \quad (2.39)$$

เมื่อ P_s เป็นกำลังของสัญญาณที่ด้านอินพุทของวงจร PLL

P_n เป็นกำลังของสัญญาณรบกวนที่ด้านอินพุทของวงจร PLL

B_i เป็นแบนด์วิธที่จุด -3 dB ของวงจร Input BPF

R_{in} เป็นค่าความต้านทานที่อินพุทของวงจร PLL

ดังนั้นที่ด้านอินพุทของวงจร PLL จะเป็นการรวมกันของสัญญาณที่เราต้องการกับสัญญาณรบกวนที่เกิดใหม่ในช่องสัญญาณซึ่งจะส่งผลให้จุดตัดแกนเป็นศูนย์ (Zero Crossing) ของสัญญาณที่ต้องการมีความไม่แน่นอนอนเกิดขึ้น โดยขึ้นอยู่กับสัญญาณรบกวนชั่วขณะ เราเรียกสัญญาณในลักษณะนี้ว่าเกิด Phase Jitter (Phase Noise) ขึ้น ดังนั้นเราสามารถหาค่าเฉลี่ยแบบ Root Mean Square (rms) ของ Jitter ได้ด้วยนิยามดังนี้

$$\theta_{ni}^2 = \frac{P_n}{2P_s} \quad (2.40)$$

แต่ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ $(SNR)_i = \frac{P_s}{P_n}$ การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ (2.41) ด้านการคำนวณว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราแทนสมการ (2.41) ลงในสมการ (2.40) เราสามารถเขียนสมการหาค่าเฉลี่ยแบบ Root Mean Square (rms) ของ Jitter ได้ใหม่ดังต่อไปนี้คือ

$$\bar{\theta}_{ni}^2 = \frac{1}{2(SNR)_L} \quad (2.42.1)$$

$$\bar{\theta}_{ni}^2 = \frac{1}{2P_i} \quad (2.42.2)$$

ดังนั้นเราจะเห็นได้ว่าค่า $\bar{\theta}_{ni}^2$ เป็นสัดส่วนกลับของระดับ $(SNR)_L$ ที่อินพุทของ PLL และเมื่อเราต้องการค่า $\bar{\theta}_{ni}^2$ ในเชิงความถี่ เราสามารถทำได้โดยการหาค่าความหนาแน่นของสเปกตรัมของ $\bar{\theta}_{ni}^2$ ได้ดังต่อไปนี้

$$\bar{\theta}_{ni}^2 = \Phi(j\omega) \quad (2.43)$$

$$\Phi = \frac{\bar{\theta}_{ni}^2}{B_i} \quad (2.44)$$

ในสมการที่ (2.44) แสดงค่าของ $\bar{\theta}_{ni}^2$ ในเชิงความถี่ที่เกิดขึ้นที่อินพุทของ PLL และสามารถหาค่าความหนาแน่นสเปกตรัมของ $\bar{\theta}_{ni}^2$ ที่ด้านเอาต์พุทของ PLL ได้ดังนี้

$$\sqrt{\bar{\theta}_{no}^2}(j\omega) = \sqrt{\bar{\theta}_{ni}^2}(j\omega) |H(j\omega)| \quad (2.45)$$

$$\bar{\theta}_{no}^2(j\omega) = \Phi |H(j\omega)|^2 \quad (2.46)$$

เมื่อ $|H(j\omega)|^2$ เป็นค่า Magnitude Square Frequency Response ของฟังก์ชันถ่ายโอนของ วงจร PLL ซึ่งเราพบว่าค่าดังกล่าวมีความสัมพันธ์กับ Loop Bandwidth และค่า ζ เพราะฉะนั้นค่า Jitter เราสามารถหาค่าได้โดยการอินทิเกรตสมการที่ (2.45) ตลอดช่วงแบนด์วิธของ PLL หรือสามารถหาได้ดังนี้

$$\bar{\theta}_{no}^2 = \int_0^{\infty} \sqrt{\bar{\theta}_{ni}^2}(j\omega) |H(j\omega)| d\omega \quad (2.47.1)$$

$$\bar{\theta}_{no}^2(j\omega) = \Phi |H(j\omega)|^2 \quad (2.47.2)$$

$$\bar{\theta}_{no}^2 = \int_0^{\infty} \sqrt{\Phi} |H(j\omega)|^2 d\omega \quad (2.47.3)$$

เมื่อเราแทนค่า $H_T(S)$ ลงในสมการ (2.32) เราสามารถประมาณค่า B_L ได้ดังนี้คือ

$$B_L = \frac{\omega_n}{2} (\zeta + (1/4\zeta)) \quad (2.48)$$

เมื่อเราทราบค่า ζ ซึ่งเป็นค่าคงที่ที่ค่าเท่าใดแล้วแทนลงในสมการ (2.32) เราก็สามารถหาค่า B_L ได้เช่นกัน ในกรณีใช้ค่า $\zeta=0.7$ ซึ่งเป็นค่าไม่ทำให้มีค่ามากหรือน้อยเกินไป ซึ่งหากเราหาค่า B_L ได้คือ

$$B_L = 0.53\omega_n \quad (2.49)$$

ดังนั้นเมื่อนำค่า B_L แทนลงในสมการ (2.12) ก็สามารถหาค่า Jitter ที่เอาต์พุทของ PLL ออกมาได้ดังนี้คือ เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\bar{\theta}_{no}^2(j\omega) = \Phi(j\omega)B_L \quad (2.50.1)$$

$$\bar{\theta}_{no}^2(j\omega) = \left[\left(\frac{P_n}{P_s} \right) \left(\frac{B_i}{B_L} \right) \right] \quad (2.50.2)$$

$$\bar{\theta}_{no}^2(j\omega) = \frac{(SNR)_L}{2} \quad (2.50.3)$$

วงจรรักษาความถี่ด้วยเฟสล็อกคูลูป

วงจรรักษาความถี่ด้วยเฟสล็อกคูลูป (Phase Lock Loop Frequency Synthesizer) หรือ PLL-FS เป็นวงจรที่ใช้ในการสร้างความถี่ใดๆที่เราต้องการ โดยการควบคุมผ่านตัวหารที่สามารถโปรแกรมค่าได้ (Programmable Divider) โดยบล็อกไดอะแกรมแสดงโครงสร้างดังรูปที่ 2.12 ซึ่งจะสังเกตเห็นว่าจะคล้ายๆกับวงจร PLL แต่ในส่วนรูปป้อนกลับนั้นจะมีตัวหารความถี่เข้ามาเพิ่ม ดังนั้นในการหาค่าพารามิเตอร์ต่างๆจะเหมือนกับที่หาได้จากหัวข้อเรื่องการหาค่าพารามิเตอร์ของวงจร PLL ที่ผ่านมา โดยเราสามารถหาค่า $H(S)$ ได้เป็น

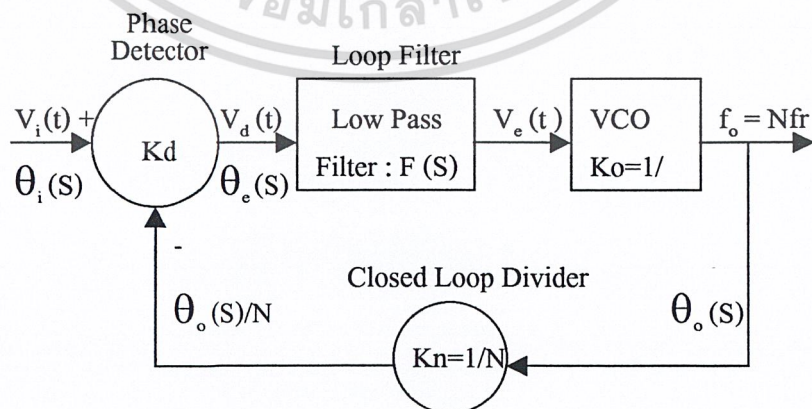
$$H(S) = k_n \quad (2.51.1)$$

$$H(S) = \frac{1}{N} \quad (2.51.2)$$

เมื่อ N เป็นค่าตัวหารความถี่ในเส้นทางป้อนกลับและเราสามารถหาค่า $H_T(S)$ ได้โดยการแทนสมการ (2.52.2) ลงในสมการ (2.6.1) หรือสามารถเขียนสมการใหม่ได้ดังนี้

$$H_T(S) = \left\{ \frac{K_o k_d F(S)}{S} \right\} \left\{ \frac{1}{1 + \frac{K_o k_d F(S)}{S}} \right\} \quad (2.52.1)$$

$$H_T(S) = \left\{ \frac{K_o k_d F(S)}{1 + K_o k_d F(S) k_n} \right\} \quad (2.51.2)$$



รูปที่ 2.12 แสดงบล็อกไดอะแกรมของวงจรรักษาความถี่ด้วยเฟสล็อกคูลูป

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่มีตัวหารความถี่อ้างอิง

ในทางปฏิบัติเราสามารถที่จะปรับความถี่ของเอาต์พุตให้มีค่าละเอียดมากขึ้นได้โดยการเพิ่มตัวหารที่สามารถโปรแกรมได้ เพื่อใช้ในการหารความถี่อ้างอิงที่อินพุตของวงจร PLL-Synthesizer ซึ่งความถี่อ้างอิงนี้เราเรียกว่า “Spacing Frequency” และจากรูปที่ 2.13 ที่แสดงบล็อกไดอะแกรมของวงจรดังกล่าว ดังนั้นเราจะสามารถหาฟังก์ชันถ่ายโอนรวมของวงจรได้ดังนี้

$$H_T(S) = \left\{ \frac{\frac{K_o k_d (S\tau_2 + 1)}{\tau_T}}{S^2 + S \left[\left(\frac{\tau_1}{\tau_T} \right) + \left(\frac{K_o k_d}{N\tau_1} \right) \right] + \frac{K_o k_d}{N\tau_T}} \right\} \quad (2.53)$$

$$f_r = \frac{f_i}{M} \quad (2.54)$$

$$\theta_i = \frac{\theta_r}{M} \quad (2.55)$$

เมื่อ f_r เป็นความถี่อ้างอิงที่อินพุตของวงจร PD
 f_i เป็นความถี่อินพุตจากแหล่งกำเนิดอ้างอิงหลักเช่น X-Tal
 M เป็นค่าตัวหารความถี่อ้างอิงหลัก
 θ_i เป็นเฟสของความถี่อ้างอิงหลักที่อินพุตของวงจร PD
 θ_r เป็นเฟสของความถี่อินพุตจากแหล่งกำเนิดอ้างอิงหลักเช่น X-Tal

ฟังก์ชันถ่ายโอนในลูปปิด (Close Loop Transfer Function)

$$H_T(S) = \left\{ \frac{\frac{K_o k_d (S\tau_2 + 1)}{\tau_T}}{S^2 + S \left[\left(\frac{\tau_1}{\tau_T} \right) + \left(\frac{K_o k_d}{N\tau_1} \right) \right] + \frac{K_o k_d}{N\tau_T}} \right\} \quad (2.56)$$

เมื่อ $\tau_T = \tau_1 + \tau_2$ และ $\tau_2 = 0$ สมการ (2.56) จะลดรูปสมการลงเหลือ

$$H_T(S) = \left\{ \frac{\frac{K_o k_d (S\tau_2 + 1)}{\tau_T}}{S^2 + S \left(\frac{1}{\tau_T} \right) + \frac{K_o k_d}{N\tau_1}} \right\} \quad (2.57)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราทราบค่าเวลาคงตัว (time constant) ของวงจรลูปฟิลเตอร์แล้วว่ามิต่างนี้ $\tau_1 = R_1 C$ และ $\tau_2 = R_2 C$ นำไปแทนลงในสมการ (2.12.1) และสมการ (2.12.2) เพื่อหาค่า ω_n และค่า ζ สำหรับลูปฟิลเตอร์พาสซีฟและแทนลงในสมการที่ (2.13.1) และ (2.13.2) เพื่อหาค่า ω_n และค่า ζ สำหรับลูปฟิลเตอร์แบบแอกทีฟซึ่งมีสมการดังนี้

ในลูปฟิลเตอร์แบบที่ 1 (type 1) สำหรับลูปฟิลเตอร์แบบพาสซีฟ

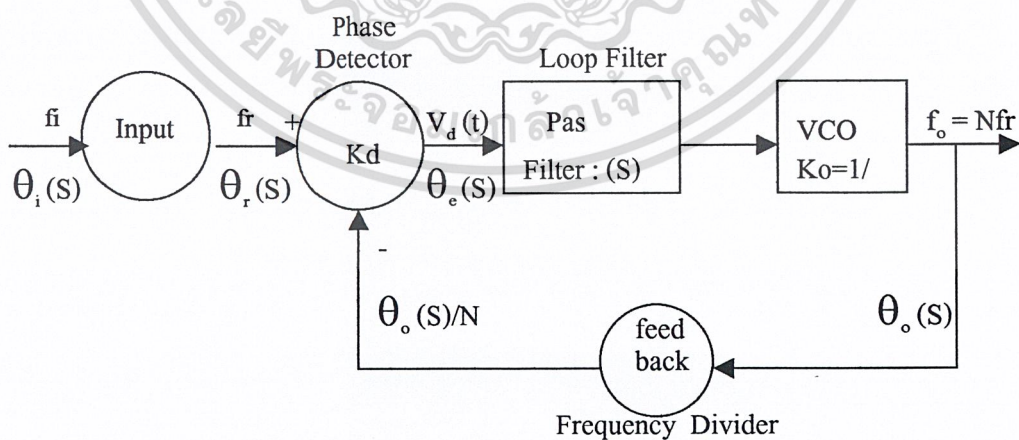
$$\omega_n = \left\{ \frac{K_o k_d}{N C R_1} \right\}^{1/2} \quad (2.58.2)$$

$$\zeta = \frac{1}{2} \{ N C R_1 K_o k_d \}^{1/2} \quad (2.58.2)$$

ในลูปฟิลเตอร์แบบที่ 2 (type 2) สำหรับลูปฟิลเตอร์แบบพาสซีฟ

$$\omega_n = \left\{ \frac{K_o k_d}{N C (R_1 + R_2)} \right\}^{1/2} \quad (2.59.1)$$

$$\zeta = \frac{1}{2} \left\{ \left[\frac{K_o k_d}{N C (R_1 + R_2)} \right]^{1/2} \left[C R_2 + \frac{1}{K_o k_d} \right] \right\} \quad (2.59.2)$$



รูปที่ 2.13 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสลูปที่มีตัวหารความถี่ที่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาเฟสจิตเตอร์ (Phase Jitter) ในช่วงเวลา PLL-FS

จากบล็อกไดอะแกรมในรูปที่ 2.13 นำมาหาฟังก์ชันถ่ายโอนทั้งหมดได้ดังนี้

$$H_T(S) = \frac{\theta_o}{\theta_i} \quad (2.60.1)$$

$$H_T(S) = \left\{ \begin{array}{l} \frac{\theta_o}{\theta_r} \\ \frac{\theta_r}{\theta_i} \end{array} \right\} \quad (2.60.2)$$

แต่ค่าของ $\frac{\theta_r(S)}{\theta_i(S)} = \frac{1}{M}$ ดังนั้นสมการ (2.60.2) เขียนใหม่ได้เป็น

$$H_T(S) = \frac{H_{T-PLL}(S)}{M} \quad (2.61.1)$$

$$H_T(S) = \left(\frac{N}{M} \right)^2 \left\{ \frac{\omega_n^2}{S^2 + S \left(\frac{1}{\tau_1} \right) + \frac{K_o k_d}{N.C.R1}} \right\} \quad (2.61.2)$$

$$H_T(S) = \left(\frac{N}{M} \right)^2 \left\{ \frac{\omega_n^2}{S^2 + S \left(\frac{1}{\tau_1} \right) + \omega_n^2} \right\} \quad (2.61.3)$$

โดย $H_{T-PLL}(S)$ เป็น Close Loop Transfer Function ของวงจรร PLL และเมื่อเราหาค่า Magnitude Square จากสมการ $H_{T-PLL}(S)$ ของวงจรร Synthesizer PLL ได้ดังนี้

$$|H_T(j\omega)|^2 = H_T(j\omega)H_T(-j\omega) \quad (2.62.1)$$

$$|H_T(j\omega)|^2 = \left(\frac{N}{M} \right)^2 \left\{ \frac{\omega_n^4}{\omega^4 + (2\zeta \cdot \omega \cdot \omega_n) + \omega_n^4} \right\} \quad (2.62.2)$$

เพราะฉะนั้นเมื่อเราหาค่า Magnitude Square จากสมการ $H_T(S)$ ของวงจรร Synthesizer PLL ได้แล้ว เราก็สามารถหาค่าลูบแบนด์วิธ B_L ได้โดยการอินทิเกรตสมการ (2.62.2) ตลอดช่วงแบนด์วิธ มีค่าดังนี้

$$B_{L-SYN} = \left(\frac{1}{2\pi} \frac{N^2}{M^2} \right) \left\{ \int_0^\infty \frac{\omega_n^4}{\omega^4 + (2\zeta \cdot \omega \cdot \omega_n) + \omega_n^4} d\omega \right\} \quad (2.63)$$

$$B_{L-SYN} = \left(\frac{N^2}{M^2} \right) B_{L-PLL} \quad (2.64.1)$$

$$B_{L-SYN} = 0.5K' \left\{ \omega_n \left(\zeta + \frac{1}{4\zeta} \right) \right\} \quad (2.64.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $K' = (N / M)^2$, B_{L-PLL} เป็นค่าลูบแบนด์วิธของวงจร PLL ที่ได้จากสมการ (2.49) และวงจรที่ใช้งานจริงมีค่าตัวหารดังนี้ $N=10, M=12$ เพราะฉะนั้น $K'=0.694$ เมื่อแทนค่านี้ลงในสมการ (2.64.2) เราสามารถหาค่าของ B_L สำหรับวงจรสังเคราะห์ความถี่ได้ดังนี้

$$B_{L-SYN} = 0.694B_{L-PLL} \tag{2.65}$$

เมื่อเราทราบค่า B_{L-PLL} แล้วเราจะนำไปหาค่า S/N ที่วงจร Synthesizer PLL ต้องการ ซึ่งค่านี้จะแสดงให้เราทราบว่าวงจร Synthesizer PLL นี้ต้องการระดับของ S/N มากน้อยเท่าใดที่วงจรสามารถทำงานได้

$$SNR_{L-SYN} = \frac{B_i (SNR)_i}{2B_L} \tag{2.66.1}$$

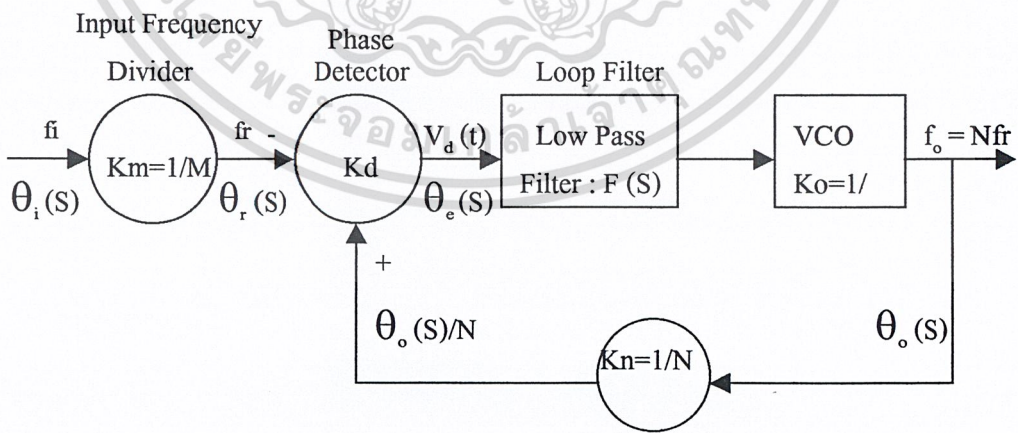
$$SNR_{L-SYN} = \frac{\rho_i B_i}{2B_{L-SYN}} \tag{2.66.2}$$

$$SNR_{L-SYN} = \left(\frac{N}{M}\right)^2 \left\{ \frac{\rho_i B_i}{2B_{L-SYN}} \right\} \tag{2.66.3}$$

$$SNR_{L-SYN} = \left(\frac{N}{M}\right)^2 (SNR)_{L-PLL} \tag{2.66.4}$$

ที่ $\zeta = 0.707, B_{L-SYN} = 0.683B_{L-PLL}$ ดังนั้นเมื่อแทนค่าเหล่านี้ลงในสมการ (2.69.4) จะได้

$$SNR_{L-SYN} = \left\{ 1.464 \frac{(SNR)_i \cdot B_i}{2B_{L-PLL}} \right\} \tag{2.67}$$



Close Loop Divider

รูปที่ 2.14 แสดงบล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่เฟสล็อกสำหรับ

การหาเฟสจิตเตอร์ของสัญญาณคลื่นพาห์ (Phase Jitter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าสุดท้าย Phase Jitter สามารถหาได้โดยการแทนสมการ (2.67) ลงในสมการที่ (2.43.3) ซึ่งมีค่าดังนี้

$$\bar{\theta}_{N-SYN}^{-2} = \left(\frac{N}{M}\right)^2 \left\{ \frac{1}{2(SNR)_{L-PLL}} \right\} \quad (2.68.1)$$

$$\bar{\theta}_{N-SYN}^{-2} = \left(\frac{N}{M}\right)^2 \bar{\theta}_{n-PLL}^{-2} \quad (2.68.2)$$

ดังนั้นเราสามารถหาค่าเฟสจิตเตอร์ที่เอาท์พุทของวงจรสังเคราะห์ความถี่เฟสล็อกคูลูปได้โดยการใช้สมการที่ (2.68.2) ซึ่งเป็นสมการที่เขียนให้อยู่ในรูปทั่วไปคือ

$$\bar{\theta}_{N-SYN}^{-2} = \bar{\theta}_{ni}^{-2} B_{LT} \quad (2.69)$$

โดยที่ค่านอซ์แบนด์วิธรวมทั้งหมด $B_{LT} = B_{L-PLL} B_{L-SYN}$ และนอซ์แบนด์วิธของวงจรเฟสล็อกคูลูปที่ใช้ล็อกสัญญาณไฟล็ตคือ $B_{L-PLL} = B_{L1}$ และนอซ์แบนด์วิธของวงจรเฟสล็อกคูลูปที่ใช้ล็อกสัญญาณคลื่นพาห้คือ $B_{L-SYN} = K' B_{L2}$ ดังนั้นเมื่อนำสมการเหล่านี้แทนลงในสมการที่ (2.69) จะสามารถเขียนเฟสจิตเตอร์ได้ใหม่คือ

$$\bar{\theta}_{N-SYN}^{-2} = \frac{K' B_{L1} B_{L2}}{SNR_i B_i} \quad (2.70)$$

เมื่อ $(SNR)_i = \frac{P_s}{P_n} = \rho_i$ เป็นอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่ด้านอินพุทของวงจร PLL และจากสมการที่ (2.51.3) เราสามารถหาค่าเฟสจิตเตอร์ที่เอาท์พุทของวงจรนี้ โดยเขียนสมการให้อยู่ในรูปของ $(SNR)_i$ ได้ดังนี้

$$\bar{\theta}_{N-SYN}^{-2} = \frac{1}{2(SNR)_{LT}} \quad (2.71.1)$$

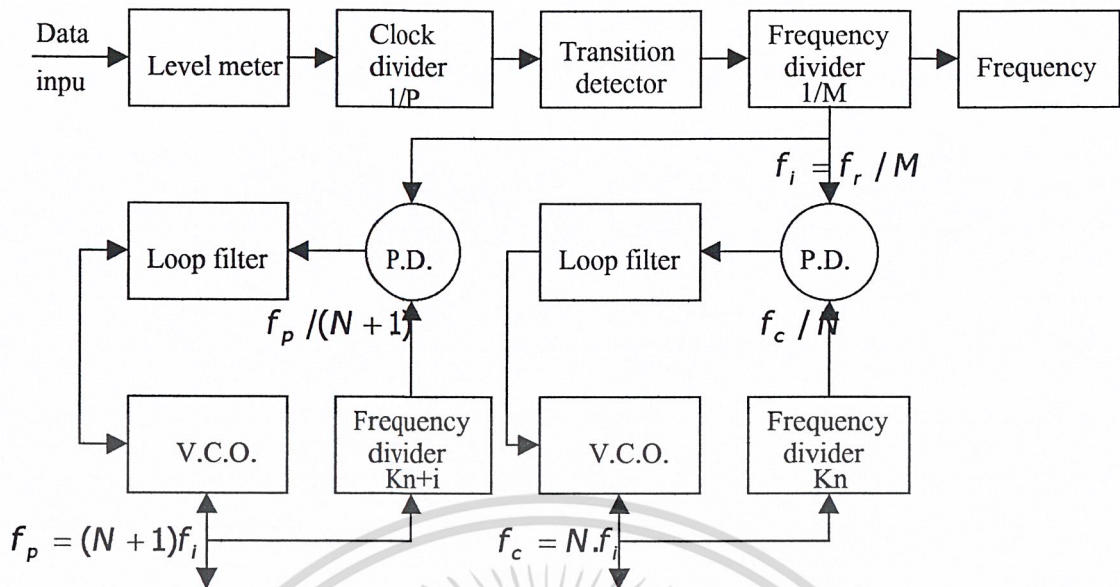
$$\bar{\theta}_{N-SYN}^{-2} = \frac{K' B_{LT}}{(SNR)_i B_i} \quad (2.71.2)$$

$$\bar{\theta}_{N-SYN}^{-2} = \frac{I}{2(SNR)_{L-PLL}} \quad (2.71.3)$$

2.9 หลักการของวงจรกำเนิดสัญญาณไฟล็ตโทนและคลื่นพาห้

สัญญาณข้อมูล NRZ ถูกส่งเข้ามาที่อินพุทของวงจรจำกัดระดับของสัญญาณ เพื่อที่จะทำหน้าที่จัดรูปร่างของสัญญาณให้เหมาะสมและให้สัญญาณเป็นรูปสี่เหลี่ยม หลังจากนั้นจะถูกหารด้วยวงจรหารความถี่ (I/P) แล้วส่งเข้าไปวงจรตรวจจับการเปลี่ยนแปลงของสัญญาณพัลซ์โดยที่เอาท์พุทจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงบล็อกไดอะแกรมของวงจรถ่ายความถี่ (PLL) และสัญญาณพาหุ (carrier) ที่ใช้หลักการสังเคราะห์ความถี่ โดยแสดง 1 ช่องสัญญาณเท่านั้น

กระบวนการสัญญาณพัลส์เคมมากมายเมื่อเปรียบเทียบกับสัญญาณข้อมูลซึ่งจะแสดงช่วงของสัญญาณข้อมูลเพื่อใช้ในการรีเซตวงจรหารความถี่ของสัญญาณนาฬิกาอ้างอิง (f_r) ที่ความถี่ $f_o = f_r / M$ และเราสามารถหาความสัมพันธ์ของความถี่พาหุกับสัญญาณคลื่นพาหุ ได้ดังนี้

$$f_p = f_c + f_{null} \tag{2.73.1}$$

$$f_p = f_c + R_b \tag{2.73.2}$$

เมื่อ f_{null} เป็นตำแหน่ง first null bandwidth ที่ด้าน upper sideband เมื่อเรานำสัญญาณพาหุมาผ่านการแปลงฟูเรียร์ (Fourier Transform) ซึ่งเป็นการแปลงสัญญาณพาหุไปอยู่ในรูปเชิงความถี่หรืออาณาจักรความถี่นั่นเอง ซึ่งมีสมการดังนี้

$$F_p(f) = \delta(f_p) \tag{2.74}$$

ดังนั้นที่ภาคส่งสัญญาณ 1 ช่องสัญญาณนั้นจะเป็นการนำสัญญาณที่ผ่านการมอดูเลตแล้ว $S(t)$ ไปรวมกับสัญญาณพาหุ $f_p(t)$ ซึ่งเราสามารถเขียนรูปสมการได้ดังนี้

$$|S_o(t)| = A[P(-f - f_c) + P(f + f_c)] + F_p(t) \tag{2.75}$$

$$P(f) = E_b W(f) \text{Sinc}^2[\pi f T_b] \tag{2.76}$$

$$W(f) = \left| \frac{\sin(\pi f \cdot T_b)}{1 - (2\pi f \cdot T_b)^2} \right|^2 \tag{2.77}$$

ตัวอย่างเช่น ถ้าอัตราความเร็วในการส่งข้อมูลเท่ากับ 100 kbps ดังนั้นความถี่ของสัญญาณ

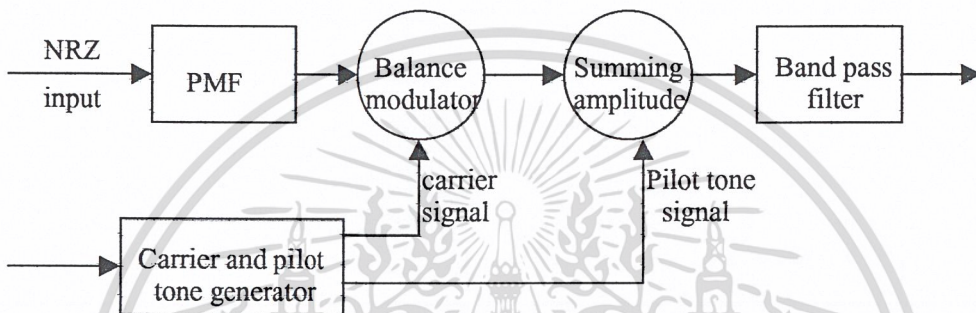
นาฬิกา $f_{clock} = 100 \text{ kHz}$ และกำหนดให้ความถี่ของสัญญาณคลื่นพาหุ (IF) $f = 500 \text{ kHz}$

$$f_p = 600 \text{ kHz}$$

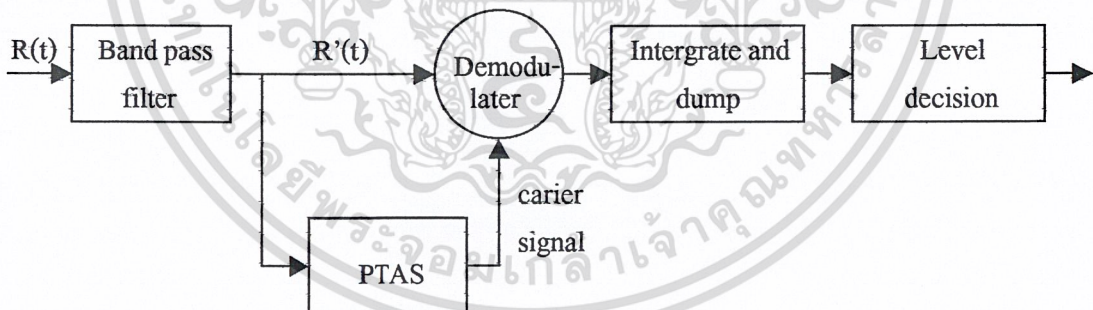
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สาเหตุที่เราต้องกำหนดให้สัญญาณไฟลื้อตโทนวางที่ตำแหน่งของความถี่ดังกล่าวเนื่องจากต้องการให้อยู่ในเงื่อนไขดังต่อไปนี้

1. ต้องไม่ให้สเป็คตรัมของสัญญาณไฟลื้อตโทนวถูกทับซ้อน โดยสเป็คตรัมของสัญญาณ BPSK เพื่อให้การแยกสัญญาณไฟลื้อตโทนวออกได้ง่าย
2. ต้องวางแทรกอยู่ภายในสัญญาณ BPSK เพื่อที่จะไม่ถูกจำกัดทิ้งเมื่อผ่าน channel filter และเหมาะสมกับระบบ bandwidth signal หลังจากนั้นส่งเข้าวงจรสังเคราะห์ความถี่เฟสล็อกคูลิป ซึ่งจะมี 2 วงจร โดยวงจรแรกจะใช้ในการกำเนิดสัญญาณคลื่นพาห้ย่อย f_m ส่วนวงจรที่ 2 จะใช้ในการกำเนิดสัญญาณไฟลื้อตโทนว (f_p)

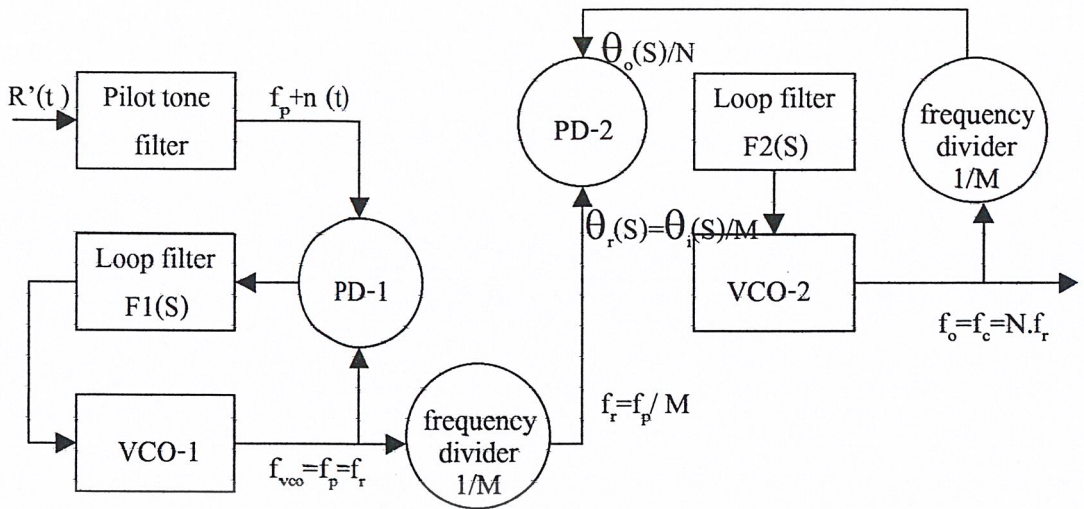


รูปที่ 2.16 แสดงบล็อกไดอะแกรมที่ภาคส่งโดยรวมวงจรกำเนิดสัญญาณไฟลื้อตโทนว



รูปที่ 2.17 แสดงบล็อกไดอะแกรมที่ภาครับสัญญาณ PSK ที่ใช้วงจร PTAS
แทนวงจรคู่สัญญาณคลื่นพาห้กลับคืนในโมเด็มแบบ BPSK และ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงบล็อกไดอะแกรมของวงจรแปลงความถี่ลงจากสัญญาณ
ไพโลตโทนไปเป็นสัญญาณคลื่นพาห์โดยใช้วงจรสังเคราะห์ความถี่

2.10 หลักการทำงานของวงจรถักสัญญาณคลื่นพาห์กลับคืน

ที่ภาครับการถือสัญญาณไพโลตโทนที่ใช้ในการสังเคราะห์ความถี่ช่วยในการแปลงกลับไปเป็นสัญญาณคลื่นพาห์ที่มีโครงสร้างดังรูปที่ 2.18 โดยสัญญาณที่ภาครับได้ $R'(t)$ จะผ่านวงจร Tune Pilot tone ($Q > 30$) เพื่อที่จะกำจัดสัญญาณ BPSK ออกไปให้มากที่สุดจากนั้นผ่านเข้าวงจรเฟสล็อกเพื่อที่จะให้วงจร PLL ล็อกความถี่เข้ากับสัญญาณไพโลตโทน หลังจากนั้นต่อเข้ากับวงจรสังเคราะห์ความถี่เพื่อแปลงความถี่สัญญาณไพโลตโทนที่ PLL ล็อกได้ไปเป็นสัญญาณคลื่นพาห์ ($f_c = 500 \text{ kHz}$) โดยสามารถคำนวณค่าความถี่ที่ด้านเอาต์พุทของวงจร VCO ได้ดังนี้

$$f_o = \frac{N}{M} f_i \quad (2.78)$$

เมื่อ N เป็นค่าตัวหารในรูปไปคของวงจร PLL

M เป็นค่าตัวหารความถี่ที่อินพุทของ PLL

สัญญาณ PSK ที่รับได้จะถูกส่งมาเข้าวงจรกรองความถี่ผ่าน (BPF) ซึ่งใช้ในการกรองเฉพาะสัญญาณไพโลตโทน แต่ในทางปฏิบัติจะมีสัญญาณรบกวนรวมทั้ง PSD ของข้อมูลบางส่วนที่ไม่สามารถกำจัดทิ้งได้หมด เราถือว่าสัญญาณรบกวน หลังจากนั้นส่งไปยังวงจร PLL ที่ตั้งความถี่ของลูปไว้ล็อกเข้ากับสัญญาณไพโลต ดังนั้นที่เอาต์พุทจะได้สัญญาณ $f_r(t)$ ออกมาแล้วนำไปเข้าวงจรแปลงความถี่ลงโดยอาศัยวงจรสังเคราะห์ความถี่เฟสล็อกเพื่อที่จะแปลงความถี่ของสัญญาณไพโลตโทนลงมาเป็นสัญญาณคลื่นพาห์ $f_c(t)$ ซึ่งสัญญาณนี้จะใช้เป็นสัญญาณคลื่นพาห์อ้างอิงสำหรับการตีมอดูเลทสัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบค่าเฟสจิตเตอร์ของวงจรถูกสัญญาณคลื่นพาห้กลับคืน

ในการเปรียบเทียบหาประสิทธิภาพของวงจรถูกสัญญาณคลื่นพาห้กลับคืน เราสามารถทำได้โดยการหาเฟสจิตเตอร์ ซึ่งค่านี้จะแสดงการสั่นไหวทางเฟสของสัญญาณคลื่นพาห้ที่วงจรถูกกลับคืนมาได้ และโดยทั่วไป วงจรถูกที่ใช้ในการคิมอดูเลทสัญญาณ BPSK คือ วงจรลูปยกกำลังสอง (Squaring Loop) หรือเรียกย่อๆว่าวงจรถูกที่ใช้ในการคิมอดูเลทสัญญาณ QPSK และ QPSK คือวงจรถูกยกกำลังสี่ (Fourth Power Carrier Recovery) หรือเรียกย่อๆว่า FPCR และสามารถนำมาเขียนสมการได้ดังนี้

$$\bar{\theta}^2_{no} = \rho_i SL \quad (2.79)$$

$$SL = 4 \left[1 + \frac{1}{2\rho_i} \right] \quad (2.80)$$

$$\rho_i = \frac{P_s}{P_n} \quad (2.81)$$

สมการที่ 2.80 เราเรียกว่าสมการของการสูญเสียในลูปยกกำลังสอง (Squaring Loss) และสมการ 2.81 เป็นสมการแสดงอัตราส่วนของกำลังของสัญญาณรบกวนที่ด้านอินพุทของวงจรถูก หรือเราเรียกว่า S/N และสำหรับวงจรถูก FPCR เราก็สามารถหาค่าเฟสจิตเตอร์ได้ดังนี้คือ

$$\bar{\theta}^2 = \rho_i \cdot FPL \quad (2.82)$$

$$FPL = 16 \left[1 + \frac{9}{\rho_i} + \frac{6}{\rho_i^2} + \frac{3}{2\rho_i^2} \right] \quad (2.83)$$

โดยในสมการ (2.83) เราเรียกว่าสมการการสูญเสียเนื่องจากการยกกำลังสี่ (Fourth Power Loss) หรือเรียกย่อ ๆ ว่า FPL และจากรูปที่ 2.16 ซึ่งเป็นการจำลองค่า SNR_L ต่อค่าเฟสจิตเตอร์เราพบว่าในวงจรถูก FPCR นั้นจะให้ค่า FPL สูงที่สุดที่ทุกระดับของ SNR_L และจะสูงกว่าวงจรถูก PLL ถึง 16 เท่า หรือเท่ากับ 12.04 dB เนื่องจากค่าคงที่คือ 16 ส่วนในวงจรถูก SQL นั้นก็จะมีค่าสูญเสียคือ SL แต่จะมีค่าน้อยกว่าในวงจรถูก FPCR ซึ่งเราพบว่าจะมีการสูญเสียสูงกว่าวงจรถูก PLL ปกติถึง 4 เท่า หรือเท่ากับ 6.02 dB เนื่องจากค่าคงที่คือ 4 และหากเราสังเกตจะเห็นได้ชัดว่าค่าของตัวคงที่นี้จะเกิดขึ้นตลอด และไม่ขึ้นกับระดับของ SNR_L ดังนั้นเมื่อนำทั้งวงจรถูก SQL และวงจรถูก FPCR มาใช้ในการคิมอดูเลทสัญญาณคลื่นพาห้กลับคืนก็จะให้ค่าของเฟสจิตเตอร์ที่สูงมากแม้ในขณะที่ SNR_L มีค่าเท่ากับ 0 dB โดยเฉพาะที่ค่า S/N ต่ำวงจรถูกทั้ง 2 ก็จะมีค่าเฟสจิตเตอร์ที่สูงอยู่นั่นเอง ผลจากการใช้วงจรถูก PMF นั้นถ้าเราใช้กำลังส่งสูงไปก็จะทำให้กำลังในการกระจายสเปกตรัมด้านข้างเพิ่มสูงขึ้นตามกำลังส่ง จะเป็นสาเหตุทำให้เกิดการรบกวนระหว่างช่องสัญญาณ (Adjacent Channel Interference) หรือเรียกย่อๆว่า ACI มากขึ้น แต่ที่เราใช้กำลังส่งที่ระดับต่ำเกินไป (ต่ำกว่าระดับ SNRL ของวงจรถูก SQL และวงจรถูก FPCR) ก็จะทำให้เฟสจิตเตอร์ของวงจรถูกมีค่าสูงมาก และทำให้ค่า BER แย่ลงมากกว่าเดิม (เมื่อเทียบกับระบบคิมอดูเลเตอร์แบบอุดมคติ) ดังนั้นเป็นการหลีกเลี่ยงไม่ให้เกิดปัญหาของ ACI และปัญหาของคิมอดูเลเตอร์มีค่าสูง จึงใช้สัญญาณพัลส์โค้ดโมดูเลท (PCM) เข้ามาช่วยในการซิงโครไนซ์สัญญาณคลื่นพาห้ระหว่างภาคส่งและภาครับ โดยข้อดีของการใช้สัญญาณ $f_p(t)$ นี้ก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สามารถปรับระดับกำลังส่งของสัญญาณไฟลิตोटโทอย่างอิสระ ไม่ขึ้นกับระดับของสัญญาณคลื่นพาห้ที่ภาคส่ง
2. มีระดับของเฟสจิดเตอร์ต่ำกว่าวงจร SQL และวงจร FPCR มาก โดยเฉพาะที่ SNR ต่ำๆ เนื่องจากวงจรผู้สัญญาณคลื่นพาห้ในระบบซิงโครไนซ์แบบนี้ (PTAS) จะไม่มีค่าคงที่ซึ่งทำให้เกิดการสูญเสียเหมือนในวงจร SQL และวงจร FPCR
3. วงจรผู้สัญญาณคลื่นพาห้กลับคืนที่ภาครับมีขนาดวงจรที่ซับซ้อนน้อยกว่าและมีขนาดวงจรที่เล็กกว่าเมื่อเทียบกับวงจร SQL และวงจร FPCR
4. สามารถนำไปใช้กับระบบ Superheterodyne ได้ และวิธีซิงโครไนซ์แบบนี้สามารถใช้ได้ดีกับระบบส่งสัญญาณ โมเด็มที่มีลักษณะแบบ Bandlimited

2.11 วงจรเปรียบเทียบความต่างของเฟส (Phase Detector)

วงจรความแตกต่าง (Phase Detector) นี้คือ วงจรที่ใช้เปรียบเทียบสัญญาณอินพุท และสามารถเลือกสัญญาณเอาท์พุทได้ มีอยู่ด้วยกัน 4 ชนิดดังนี้

1. Dial-input , balance – output differential amplifier
2. Dial-input , unbalance - output differential amplifier
3. Single-input , balance - output differential amplifier
4. Single -input , unbalance – output differential amplifier

การแบ่งสัญญาณการเรียกชื่อชนิดวงจรนั้นๆ พิจารณาจากสัญญาณอินพุท และลักษณะการวัดเอาท์พุท ถ้ามีอินพุทเข้าสองเส้นจะเรียกว่า Single –input นอกจากนั้นก็แบ่งตามลักษณะการใช้งานเอาท์พุท ถ้าวัดเอาท์พุทระหว่างขาคอลเล็กเตอร์ของทรานซิสเตอร์ทั้งสองตัว (พื้นฐานของวงจรขยายความแตกต่างนี้จะใช้ทรานซิสเตอร์ NPN 2 ตัว ดังจะแสดงในรูปต่อไป) จะเรียกว่า Balance-output แต่ถ้าหากวัดขาคอลเล็กเตอร์ของทรานซิสเตอร์ตัวใดตัวหนึ่งแล้วเปรียบเทียบกับกราวด์ ก็จะเรียกว่า Unbalance-output

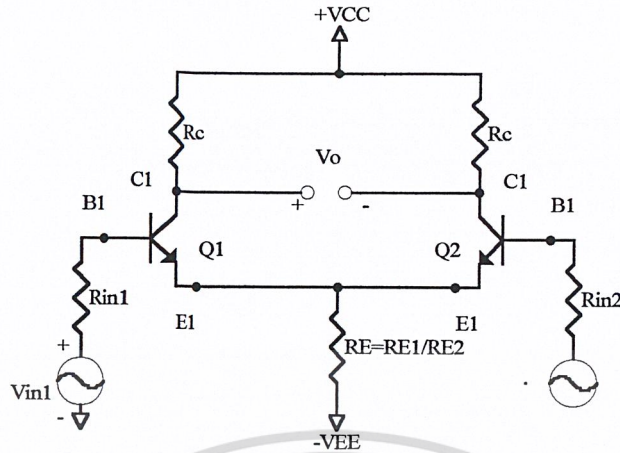
การวิเคราะห์วงจรทั้ง 4 ประเภท จะใช้วงจรเทียบเคียงทางไฟฟ้ากระแสตรง (DC Equivalent Circuit) และวงจรเทียบเคียงทางไฟฟ้ากระแสสลับ (AC Equivalent Circuit) เพื่อใช้ทำการวิเคราะห์หาคุณลักษณะทางด้านไฟฟ้ากระแสตรง คุณลักษณะทางด้านไฟฟ้ากระแสสลับ อัตราขยายแรงดันอินพุทอิมพีแดนซ์ เอาท์พุทอิมพีแดนซ์ ดังจะได้สรุปในรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration	Circuit	Voltage gain	Input resistance	Output resistance
1. Dual input balanced output		$A_d = R_c / r_e$	$R_{i1} = 2B_{sc} * r_e$ $R_{i2} = 2B_{sc} * r_e$	$R_{o1} = R_c$ $R_{o2} = R_c$
2. Dual input unbalanced output		$A_d = R_c / 2r_e$	$R_{i1} = 2B_{ac} * r_e$ $R_{i2} = 2B_{ac} * r_e$	$R_o = R_c$
3. Signal input balanced output		$A_d = R_c / r_e$	$R_i = 2B_{ac} * r_e$	$R_{o1} = R_c$ $R_{o2} = R_c$
4. Signal input unbalanced output		$A_d = R_c / 2r_e$	$R_i = 2B_{ac} * r_e$	$R_o = R_c$

รูปที่ 2.19 การวิเคราะห์ห้วงจรขยายความแตกต่างทั้ง 4 ชนิด

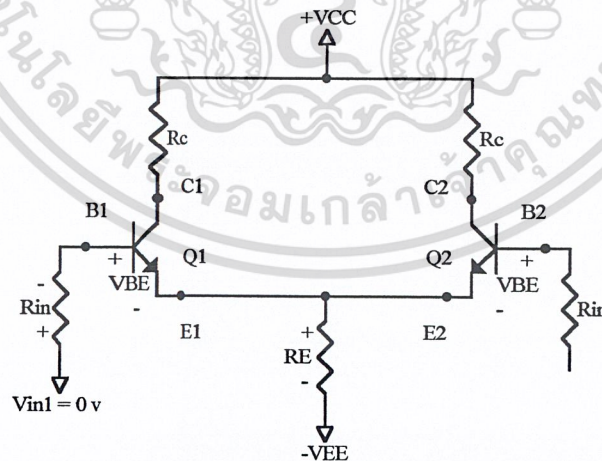
เนื่องจากในโครงการนี้จะใช้วงจรขยายความแตกต่างชนิด Dual-input, balance-output differential amplifier จึงได้ทำการวิเคราะห์ห้วงจรชนิดนี้ ซึ่งผลการวิเคราะห์ที่ได้สรุปไว้แล้วในรูปที่ 2.19 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 วงจร Dual-input, balance-output differential amplifier

DC Analysis

ในการวิเคราะห์เชิงไฟฟ้ากระแสตรงนี้ จะทำการชื้อตสัญญาณอินพุต $V_{IN1} = V_{IN2} = 0$ และกำหนดให้ $R_{IN1} = R_{IN2} = R_{IN}$ และการทำงานของทรานซิสเตอร์อยู่ในสภาวะสงบ (Q Point) เราจะทำการวิเคราะห์เฉพาะ Q_1 เท่านั้น เพราะเรากำหนดให้ Q_1 เหมือนกันทุกประการกับ Q_2



รูปที่ 2.21 DC equivalent circuit ของ dual-input, balance-output

จากรูปที่ 2.21 ใช้กฎแรงดันของเคอร์ชอฟ ในการพิจารณาอุประหว่างขาเบสและคอลเลคเตอร์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปเผยแพร่หรือนำไปใช้ของ Q_1 แล้วจะได้ว่า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาที่รูป I และ รูป II ของรูปที่ 2.25

$$V_{IN1} - R_{IN1}i_{B1} - r_E i_{E1} - R_E(i_{E1} + i_{E2}) = 0 \quad (2.89)$$

$$V_{IN2} - R_{IN2}i_{B2} - r_E i_{E2} - R_E(i_{E1} + i_{E2}) = 0 \quad (2.90)$$

แทนค่า $i_{B1} = i_{E1} / \beta_{AC}$ และ $i_{B2} = i_{E2} / \beta_{AC}$

$$V_{IN1} - R_{IN1} / \beta_{AC} * i_{E1} - r_E i_{E1} - R_E(i_{E1} + i_{E2}) = 0$$

$$V_{IN2} - R_{IN2} / \beta_{AC} * i_{E2} - r_E i_{E2} - R_E(i_{E1} + i_{E2}) = 0$$

แต่ R_{IN1} / β_{AC} และ R_{IN2} / β_{AC}

$$(r_E + R_E)i_{E1} + R_E i_{E2} = V_{IN1} \quad (2.91)$$

$$(r_E + R_E)i_{E2} + R_E i_{E1} = V_{IN2} \quad (2.92)$$

จากนั้น แก้สมการหาค่า i_{E1} และ i_{E2} โดยใช้ Cramer' rule

$$i_{E1} = \frac{(r_E + R_E)V_{IN1} - (R_E)V_{IN2}}{(r_E + R_E)^2 - (R_E)^2} \quad (2.93a)$$

$$i_{E2} = \frac{(r_E + R_E)V_{IN2} - (R_E)V_{IN1}}{(r_E + R_E)^2 - (R_E)^2} \quad (2.93b)$$

และเพราะว่าเป็น balance - output จึงกำหนดให้

$$\begin{aligned} V_O &= V_{C2} - V_{C1} \\ &= -R_C i_{C2} - (-R_C i_{C1}) \\ &= R_C i_{C1} + R_C i_{C2} \\ &= R_C (i_{E1} - i_{E2}) \quad \text{และ } i_C = i_E \end{aligned} \quad (2.94)$$

แทนค่า i_{E1} และ i_{E2} จาก (2.93a) และ (2.93b) จะได้ว่า

$$V_O = R_C / r_E * (V_{IN1} - V_{IN2}) \quad (2.95)$$

$$V_O = R_C / r_E * V_{ID} \quad \text{และ } V_{ID} = V_{IN1} - V_{IN2}$$

Input Impedance

เราจะทำการพิจารณา จากรูปที่ 2.22 โดยใช้ทฤษฎีการวางซ้อน (Superposition) เมื่อพิจารณาค่าความต้านทานขาเข้าของวงจร จะเห็นได้ว่า

$$\begin{aligned} R_{IN1} &= \left. \frac{V_{IN1}}{i_{B1}} \right|_{V_{IN2}=0} \\ &= \left. \frac{V_{IN1}}{i_{E1} / \beta_{AC}} \right|_{V_{IN2}=0} \end{aligned}$$

แล้วใช้ค่า i_{E1} จาก (2.93a) แทนค่าลงในสมการดังกล่าว โดยกำหนดให้ค่าโดยประมาณของ $R_{EE} \gg r_E$ แล้วจะได้ว่า

$$\text{เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ } R_{IN1} \approx 2\beta_{AC} r_E \text{ เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด (2.96)$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกัน

$$R_{IN2} = \left. \frac{V_{IN2}}{i_{B2}} \right|_{V_{IN1}=0}$$

$$= \left. \frac{V_{IN2}}{i_{E2} / \beta_{AC}} \right|_{V_{IN1}=0}$$

แล้วใช้ค่า i_{E2} จาก (2.93b) แทนค่าลงในสมการดังกล่าว โดยกำหนด ให้ค่าโดยประมาณของ $R_{EE} \gg r_E$ แล้วจะได้ว่า

$$R_{IN2} = 2\beta_{AC} r_E \quad (2.97)$$

Output Impedance

ความต้านทานด้านขาออกของวงจรเทียบเคียงเชิงไฟฟ้ากระแสสลับก็คือ ค่าความต้านทานระหว่างจุดที่เป็นเอาต์พุทเมื่อเทียบกับกราวด์ และเมื่อพิจารณาจากรูปที่ 2.22 แล้วจะพบว่า

$$R_{O1} = R_{O2} = R_C \quad (2.98)$$

ส่วนในวงจรอื่นๆ ก็จะใช้หลักและวิธีการที่คล้ายคลึงกัน จะแตกต่างกันตรงจุดที่นำสัญญาณเข้าไปในวงจร และจุดที่นำสัญญาณออกไปจากวงจร ซึ่งผลจากการเปลี่ยนแปลงจุดอินพุทและเอาต์พุทดังกล่าว ทำให้การวิเคราะห์ได้ผลสรุปออกมาไม่เหมือนกัน ดังที่ได้สรุปไว้แล้วในรูปที่ 2.19

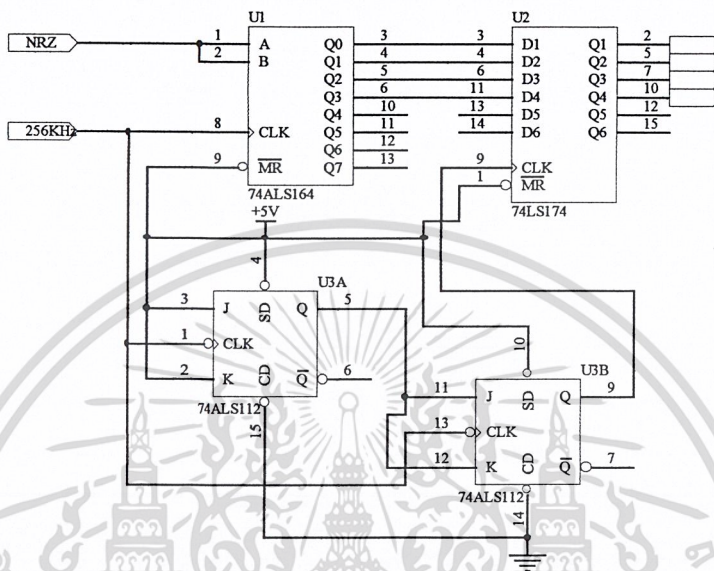
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 วงจรภาคส่ง

3.1.1 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (SERIAL TO PARALLEL CIRCUIT)

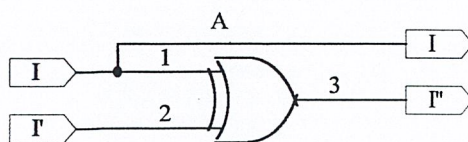


รูปที่ 3.1 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน

วงจรส่วนนี้จะมีการทำงานร่วมกันของไอซี 3 ตัว คือ 74LS164, 74LS112, 74LS174 โดย ไอซี 74LS164 จะทำการเปลี่ยนแปลงข้อมูล NRZ (Non-Return to Zero) ที่เป็นข้อมูลอนุกรมให้เป็นข้อมูลขนานแล้วป้อนให้กับ ไอซี 74LS174 ซึ่งเป็น ดี-ฟลิปฟลอป (D-type Flip-Flop) ซึ่ง ทำหน้าที่ดึงข้อมูลออกมาครั้งละ 4 บิต โดยอาศัยคล็อก (Clock) ที่ผ่านการหาร 4 ซึ่งมีค่า 64 KHz จากไอซี 74LS112 ซึ่งเป็นเจ-เค ฟลิปฟลอป (J-K type Flip-Flop) เพื่อใช้ในการหน่วงเวลาในการดึงข้อมูลออกมาพร้อมกัน 4 บิต

สรุปแล้ว วงจรส่วนนี้จะทำหน้าที่ในการนำข้อมูลอนุกรมออกมาครั้งละ 4 บิต เพื่อทำเป็นข้อมูลแบบขนาน 4 บิต คือ I, I', Q และ Q' ตามลำดับ

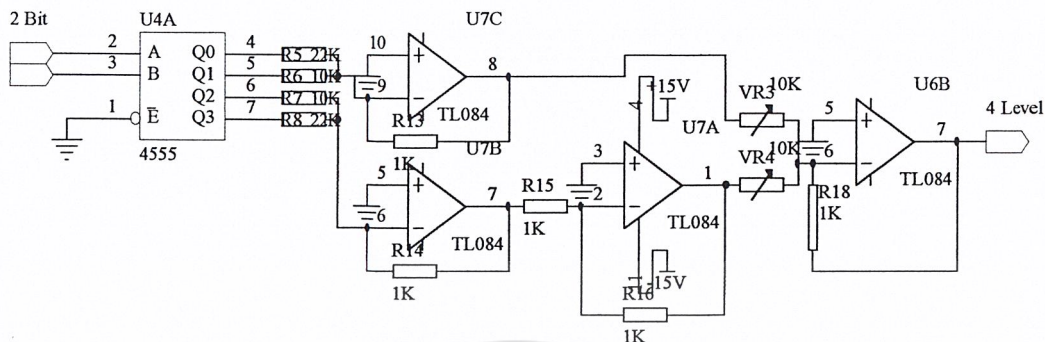
ข้อมูลขนานทั้ง 4 บิตนี้เราแบ่งออกเป็น 2 ส่วนคือ ส่วนของบิตบน 2 บิต (I, I') และส่วนของบิตล่าง 2 บิต (Q, Q') ก่อนที่จะนำข้อมูลทั้ง 2 ส่วนนี้ไปป้อนวงจรส่วนถัดไปนั้น จะต้องทำการแปลงให้เป็นเกรย์โค้ด (Gray Code) เสียก่อนเพื่อลดความผิดพลาดของข้อมูลให้น้อยลง เมื่อจะการดีเทค (Detect) ทางด้านรับ



7486

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 3.2 เกรย์โค้ดคอนเวอร์เตอร์

3.1.2 วงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2BIT TO 4 LEVEL)



รูปที่ 3.3 วงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณอนาล็อก

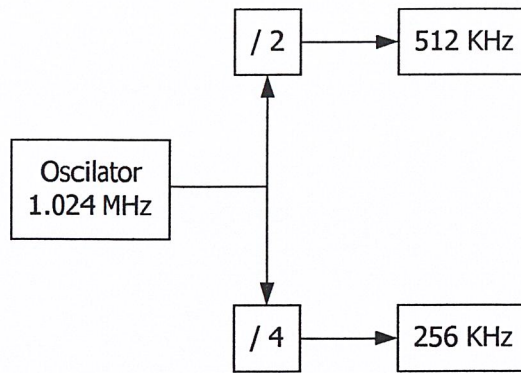
วงจรส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณ 2 บิต ในแต่ละชุด (บิตบนหรือบิตล่าง) เป็นสัญญาณเอาต์พุตเดี่ยวที่มีโอกาสเกิดได้ $2^2 = 4$ ระดับ โดยการป้อนสัญญาณ 2 บิตให้อิซี 4555 ซึ่งเอาต์พุตของอิซีตัวนี้จะมี 4 เอาต์พุต 2 เอาต์พุตแรกนั้นจะถูกป้อนให้กับวงจรรวมแบบกลับเฟส ที่มีค่ารีซิสเตอร์ที่ต่างกันอยู่เป็นตัวกำหนดขนาดของเอาต์พุต ส่วน 2 เอาต์พุตหลังของอิซี 4555 จะนำไปป้อนให้กับวงจรรวมแบบกลับเฟสเช่นเดียวกับ 2 เอาต์พุตแรก แต่จะป้อนต่อให้กับวงจรกลับเฟส 180° ที่มีค่าการขยาย = 1 อีกครั้งหนึ่ง นำเอาพุตที่ได้ทั้ง 2 ส่วนนี้มารวมกัน โดยวงจรรวมแบบกลับเฟส สุดท้ายเราจะได้อาต์พุตที่มีค่าเดี่ยวที่อาจจะเป็นไปได้ 4 ระดับจากข้อมูล 2 บิต

3.1.3 วงจรกำเนิดสัญญาณคล็อก (Oscillator)

เนื่องจากว่าในโครงงานนี้ต้องการใช้สัญญาณความถี่ทั้งหมด 3 ค่าด้วยกันอันประกอบไปด้วย

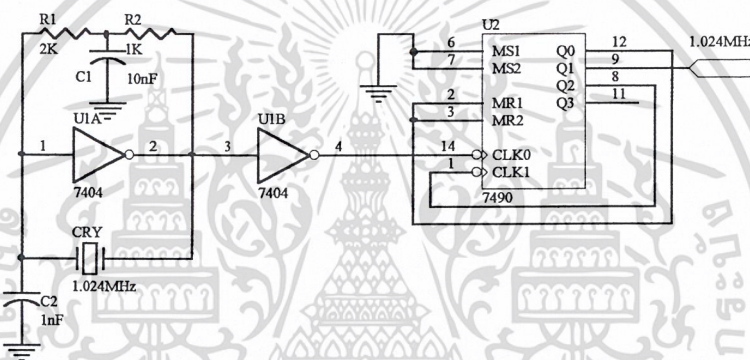
1. สัญญาณรูปไซน์ที่มีความถี่ 1.024 MHz ซึ่งใช้เป็นคลื่นพาหะที่นำไปมอดูเลทกับสัญญาณหลายระดับ
2. สัญญาณรูปไซน์ที่มีความถี่ 512 KHz ที่ใช้เป็นสัญญาณนำร่อง (Pilot Signal)
3. สัญญาณคล็อกมีความถี่ 256KHz ที่ใช้กำเนิดสัญญาณและควบคุมการทำงานของวงจรต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 บล็อกไดอะแกรมการสร้างสัญญาณคล็อก

3.1.4 วงจรสร้างสัญญาณพาหะ 1.024 MHz เท่านั้น โดยการ ใช้คริสตัลอสซิลเลเตอร์

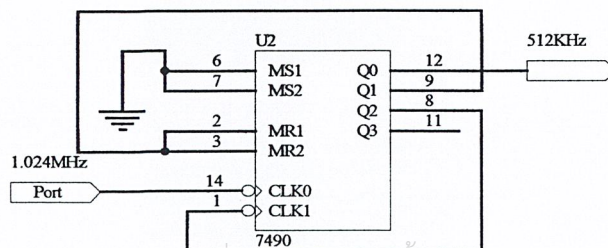


รูปที่ 3.5 วงจรกำเนิดสัญญาณคล็อก 1.024 MHz

ใช้คริสตัลต่อรวมกับอุปกรณ์ต่างดังรูปที่ 3.5 เพื่อกำเนิดให้ได้ความถี่ 4.096 MHz จากนี้ความถี่ที่ได้จะถูกหาร 4 จนมีค่า 1.024 MHz โดยใช้ ไอซี 74LS90 เป็นตัวหาร

สัญญาณที่ได้จากวงจรนี้เป็นสัญญาณรูปสี่เหลี่ยมมุมมน ซึ่งไม่เหมาะสมอย่างยิ่งที่จะนำไปทำเป็นสัญญาณพาหะในการมอดูเลต ดังนั้นจะต้องนำสัญญาณดังกล่าวนี้ไปผ่านวงจรกรองผ่านเฉพาะความถี่ก่อนเพื่อให้ได้สัญญาณรูปซายนี่ที่ต้องการ ดังกล่าวในหัวข้อถัดไป

3.1.5 วงจรสร้างสัญญาณ ไฟลोट 512 KHz (Pilot Signal)



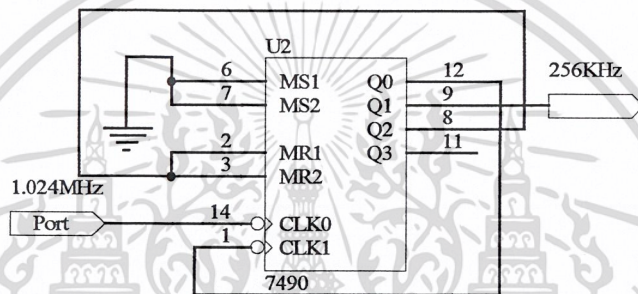
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 3.6 วงจรสร้างสัญญาณ ไฟลोट

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการส่งสัญญาณดิจิทัลด้วยความเร็วสูงโดยเทคนิค 16 QAM ในโครงการนี้ใช้ การตีเทคแบบ โคฮีเรนต์ (Coherent Detection) จึงมีความจำเป็นที่ต้องมีสัญญาณ ไฟล์ตส่งไปด้วย ในที่นี้ใช้สัญญาณ ไฟล์ตรูปซายน์ที่มีความถี่ 512 KHz

วิธีการสร้าง โดยนำสัญญาณคล็อกที่มีความถี่ 1.024 MHz จากวงจรกำเนิดสัญญาณพาหะมาทำการหาร 2 โดยใช้ไอซี 74LS90 ดังนั้นเราจะ ได้สัญญาณคล็อกที่มีความถี่ 512 KHz แล้ว แต่ยังไม่ได้เป็นสัญญาณรูปซายน์อย่างที่เราต้องการ เพราะการส่งสัญญาณรูปซายน์ย่อมเป็นการประหยัคมากกว่าการส่งสัญญาณรูปสี่เหลี่ยม ดังนั้นจะต้องนำสัญญาณดังกล่าวนี้ไปผ่านวงจรกรองผ่านเฉพาะช่วงความถี่ก่อนที่จะนำไปรวมกับสัญญาณข้อมูลที่ผ่านมอดูเลทแล้ว เพื่อที่จะส่งไปให้ภาครับ

3.1.6 วงจรสร้างสัญญาณนาฬิกา 256 KHz



รูปที่ 3.7 วงจรสร้างสัญญาณนาฬิกา 256 KHz

เนื่องจากต้องการส่งข้อมูลด้วยความเร็ว 256 kbps ดังนั้นจึงจำเป็นที่จะต้องมึสัญญาณนาฬิกา 256 KHz ใช้ในการผลิตข้อมูลและควบคุมการทำงานของวงจรต่าง ๆ

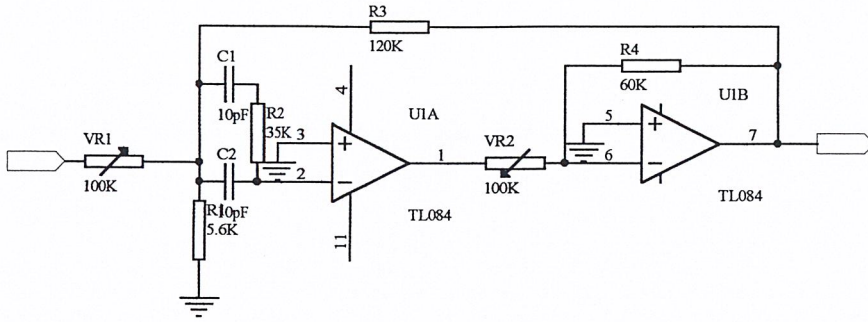
การสร้างสัญญาณนาฬิกา 256 KHz โดยการนำสัญญาณคล็อกความถี่ 1.024 MHz มาหาร 4 ด้วย ไอซี 74LS90 จึงจะได้สัญญาณนาฬิกา 256 KHz

3.1.7 วงจรกรองความถี่ผ่านเฉพาะช่วง

วงจรกรองความถี่ผ่านเฉพาะช่วง จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกไปได้ โดยที่สัญญาณไม่ถูกลดทอน ในส่วนนี้จะทำการกรองเอาสัญญาณรูปไซน์ออกมาจากสัญญาณรูปสี่เหลี่ยม เพื่อทำการสร้างสัญญาณ พาหะ และสัญญาณ ไฟล์ตจากสัญญาณรูปสี่เหลี่ยมที่ความถี่ 1.024 KHz และ 512 KHz ตามลำดับ

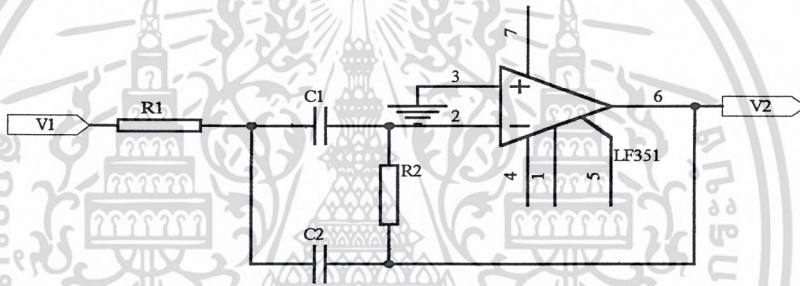
ในที่นี้เราเลือกใช้วงจรกรองผ่านความถี่เฉพาะช่วงแบบป้อนกลับบวก เนื่องจากเป็นรูปแบบที่มีค่าสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรกรองความถี่ผ่านเฉพาะช่วงแบบป้อนกลับบวก

3.1.7.1 วงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz



รูปที่ 3.9 วงจร DELYIANNIS-FRIEND

Node x

$$V_2 = -\frac{R_2}{1/C_2s} V_x = -R_2 C_2 s V_x$$

$$\frac{1}{R_1} (V_x - V_1) + C_2 s V_x + (V_x - V_2) C_1 s = 0$$

จากสมการจะได้ว่า

$$\frac{V_2}{V_1} = T(s) = \frac{(-1/R_1 C_1) s}{s^2 + (1/R_2)(1/C_1 + 1/C_2) s + 1/R_1 R_2 C_1 C_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ $C = C_1 = C_2$ จะได้

$$T(s) = \frac{(1/R_1 C)s}{s^2 + (2/R_2 C)s + 1/R_1 R_2 C^2}$$

เมื่อเปรียบเทียบกับสมการมาตรฐานของวงจรรองแถบความถี่ผ่านในสมการต่อไปนี้

$$T(s) = \frac{-(\omega_o / Q)s}{s^2 + (\omega_o / Q)s + \omega_o^2}$$

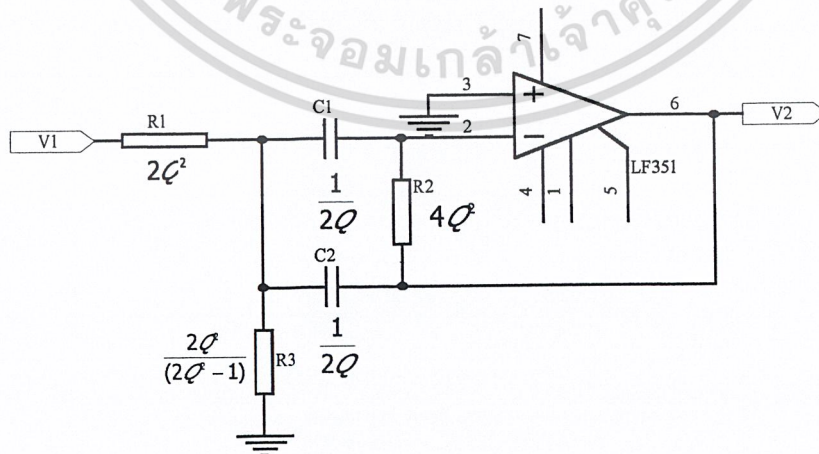
จากสมการจะได้

$$\omega_o = \frac{1}{C\sqrt{R_1 R_2}}, \quad Q = \frac{1}{2}\sqrt{\frac{R_2}{R_1}}, \quad BW = \frac{\omega_o}{Q} = \frac{2}{R_2 C}$$

กำหนดให้ $R_1 = \omega_o = 1$ ดังนั้นจะได้

$$R_2 = 4Q^2 \quad \text{และ} \quad C = \frac{1}{2Q}$$

จากสมการจะพบว่ายิ่ง Q มีค่ามากขึ้นจะทำให้วงจรมีอัตราขยายมากขึ้นแต่เราต้องการให้อัตราขยายเท่ากับ 1 ดังนั้นจึงต้องใส่วงจรลดทอนเข้าไปจะได้วงจรดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรเอาไปใช้ประโยชน์ด้านการค้า
รูปที่ 3.10 วงจร DELYIANNIS-FRIEND ที่ใช้ค่านวน
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรกรองความถี่ที่ผ่านที่ความถี่ 512 KHz โดยกำหนดให้ $Q = 5$ และ $C = 10\text{pF}$ ดังนั้น $\omega = 2\pi \times 512\text{KHz} = 3216990.877\text{rad / s}$

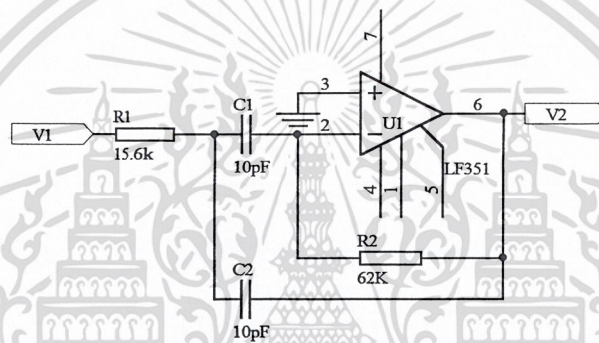
$$Kf = 2\pi \times 512 \times 10^3$$

$$= 3.21699 \times 10^6$$

$$Km = \frac{1C_{old}}{C_{new}Kf}$$

$$= \frac{0.502}{10 \times 10^{-12} \times 3.21699 \times 10^6}$$

$$= 15.6\text{K}\Omega$$

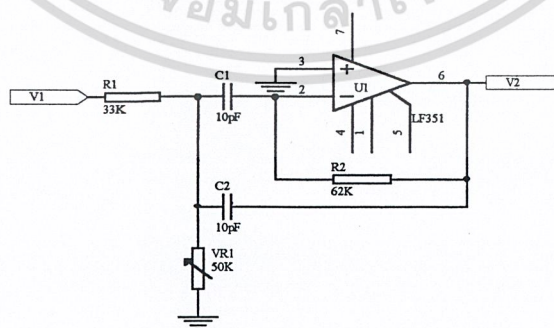


รูปที่ 3.11 แสดงการคำนวณหาค่าต่างๆ

$$R_{new} = KmR_{old}$$

$$15.6 \times 10^3 = \frac{33 \times 10^3 R_2}{33 \times 10^3 \times R_2}$$

$$R_2 = 29.6\text{K}\Omega$$



รูปที่ 3.12 วงจรDELYIANNIS-FRIEND ที่ความถี่ 512 KHz

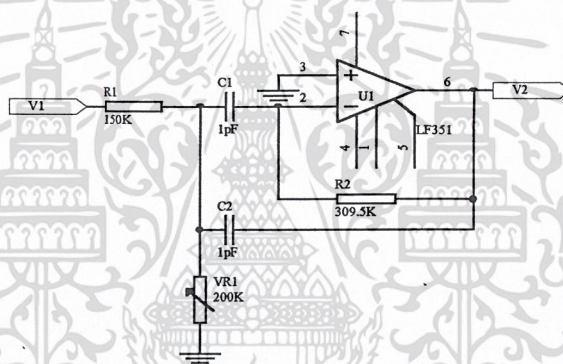
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7.2 วงจรกรองแถบความถี่ผ่าน 1.024 MHz

ในการออกแบบวงจรกรองความถี่ผ่านที่ความถี่ 1.024 MHz โดยกำหนดให้ $Q = 5$ และ $c = 1\text{pF}$ ดังนั้น $\omega = 2\pi \times 1.024 \times 10^6 = 6433981.755\text{rad / s}$

$$Kf = 2\pi \times 1.024 \times 10^6 \\ = 6.43398 \times 10^6$$

$$Km = \frac{1C_{old}}{C_{new}Kf} \\ = \frac{0.502}{1 \times 10^{-12} \times 6.43398 \times 10^6} \\ = 78.023 \times 10^3$$

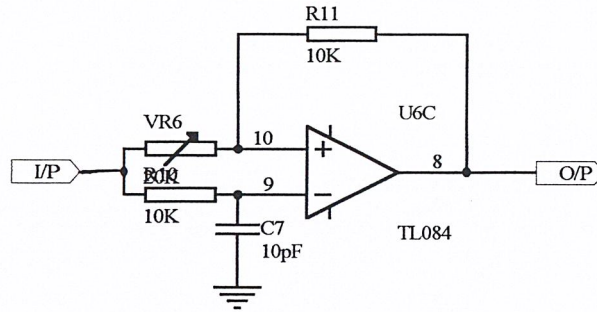


รูปที่ 3.13 วงจร DELYIANNIS-FRIEND ที่ความถี่ 1.024 MHz

3.1.8 วงจรเลื่อนเฟส 90° (Phase Shift 90°)

เนื่องจากหลักการของการส่งด้วยเทคนิค 16 นั้นเราจำเป็นต้องแยกสัญญาณออกเป็น 2 ส่วน ดังนั้นจึงต้องมีการมอดูเลต 2 วงจร และสัญญาณพาหะก็ต้องมี 2 สัญญาณ ที่มีควมถี่และขนาดเท่ากันด้วย แต่สัญญาณพาหะ 2 สัญญาณนี้จะมีเฟสต่างกัน 90° ทำให้โดยการนำสัญญาณพาหะไปผ่านวงจรเลื่อนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14 วงจรเลื่อนเฟส 90°

ในการออกแบบนั้นจะใช้วงจรฟิลเตอร์ที่ขอมให้ทุกย่านความถี่ผ่านที่มีเฟสของอินพุตและเอาต์พุตต่างกัน 90° จากรูปจะได้ว่า

$$\frac{V_o}{V_{iN}} = \frac{(R_1 - R_3 S C R_2)}{[R_1 (1 + S C R_2)]}$$

$$= \frac{\sqrt{(R_1)^2 + (w C R_2 R_3)^2} \angle -\tan^{-1}(w C R_2 R_3 / R_1)}{\sqrt{(R_1)^2 + (w C R_1 R_2)^2} \angle \tan^{-1}(w C R_1 R_2 / R_1)}$$

เนื่องจากเราต้องการอัตราขยาย = 1 เราจะได้ว่า $R_1 = R_3$ โดยกำหนดให้มีค่าเท่ากับ $10K\Omega$ ดังนั้น

$$\theta = \angle -2 \tan^{-1}(w C R_2) = -90$$

จะได้

$$w C R_2 = 1$$

f_c จากค่าความถี่ของสัญญาณพาหะ 1.024 MHz และกำหนดให้ $C = 10 \text{ pF}$ จะได้ว่า

$$R_2 = 1 / 2\pi f C$$

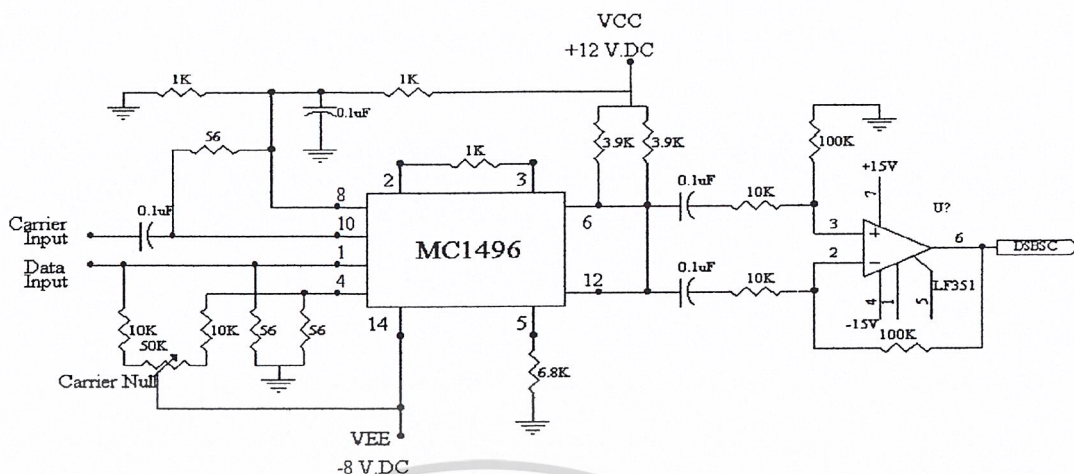
$$= 1 / (2\pi * 1.024 * 10^6 * 10 * 10^{-12})$$

$$= 15.5 \text{ K}\Omega$$

ซึ่งในทางปฏิบัตินั้น เราจะใช้ $R_2 = 20 \text{ K}\Omega$ ที่ปรับค่าได้เพื่อใช้สำหรับปรับแต่งสัญญาณให้สวยงามและถูกต้องมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.9 วงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)

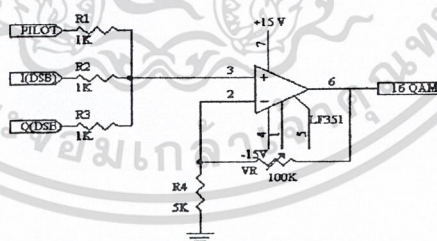


รูปที่ 3.15 วงจรบาลานซ์มอดูเลเตอร์

วงจรบาลานซ์มอดูเลเตอร์จะทำหน้าที่ผสมสัญญาณเบสแบนด์ซึ่งเป็นสัญญาณหลายระดับเข้ากับสัญญาณพาหะ โดยที่สัญญาณเบสแบนด์ทางบิตบนจะถูกมอดูเลตสัญญาณพาหะที่ได้จากวงจรกำเนิดสัญญาณพาหะโดยตรง ส่วนสัญญาณเบสแบนด์ทางบิตล่างจะถูกมอดูเลตกับสัญญาณที่ผ่านการเลื่อนเฟส 90°

สัญญาณที่เอาต์พุตของวงจรบาลานซ์มอดูเลตที่ได้จะเป็นสัญญาณดับเบิ้ลไซด์แบนด์ที่ไม่มีสัญญาณพาหะ (Double Sideband Suppress Carrier)

3.1.10 วงจรรวมสัญญาณ (Summing Amplifier)



รูปที่ 3.16 วงจรรวมสัญญาณ

วงจรรวมสัญญาณเป็นวงจรส่วนสุดท้ายที่ทำหน้าที่ในการรวมสัญญาณส่วนต่างๆ ที่ต้องการส่งไปให้ภาครับเข้าด้วยกัน ซึ่งจะประกอบไปด้วยสัญญาณที่ผ่านการมอดูเลตแล้ว 2 สัญญาณซึ่งมีเฟสต่างกัน 90° และสัญญาณไฟลิต 512 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่เดียวกันสัญญาณต่าง ๆ ที่ถูกรวมกันนี้จะถูกขยายไปในตัวด้วยคุณสมบัติของออปแอมป์ ซึ่งอัตราการขยายจะมีค่าเท่ากับ $\frac{R_1 + R_2}{R_2}$

โดยสรุปแล้วการส่งข้อมูลโดยใช้เทคนิค 16 QAM จะมีการเปลี่ยนแปลงที่เอาท์พุทหนึ่งครั้ง (เฟสหรือแอมพลิจูดหรือทั้งสองอย่าง) เมื่อมีสัญญาณอินพุทเข้ามาทุก ๆ 4 บิต

3.2 วงจรภาครับ

3.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง (Band Pass Filter)

เนื่องจากสัญญาณที่ถูกส่งออกจากเครื่องส่งผ่านสายโคแอกเชียลนั้นจะมีสัญญาณรบกวนมากมาย ดังนั้นก่อนที่นำสัญญาณดังกล่าวมาผ่านกระบวนการต่าง ๆ เพื่อทำการถอดรหัส ต้องกำจัดสัญญาณรบกวนโดยการนำผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz ให้ได้สัญญาณที่ต้องการจริง ๆ

นอกจากนี้ยังมีวงจรกรองความถี่ผ่านเฉพาะช่วงอีกวงจรหนึ่ง คือวงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz สำหรับกรองเอาเฉพาะสัญญาณนำร่อง 512 KHz มาใช้สำหรับการถูกล็อกและสัญญาณพาหะ

วงจรกรองความถี่ผ่านเฉพาะช่วงนี้ได้กล่าวถึงมาแล้ว ดังนั้นจะขอไม่กล่าวถึงอีกเนื่องจากใช้วงจรเดียวกับทางภาคส่ง

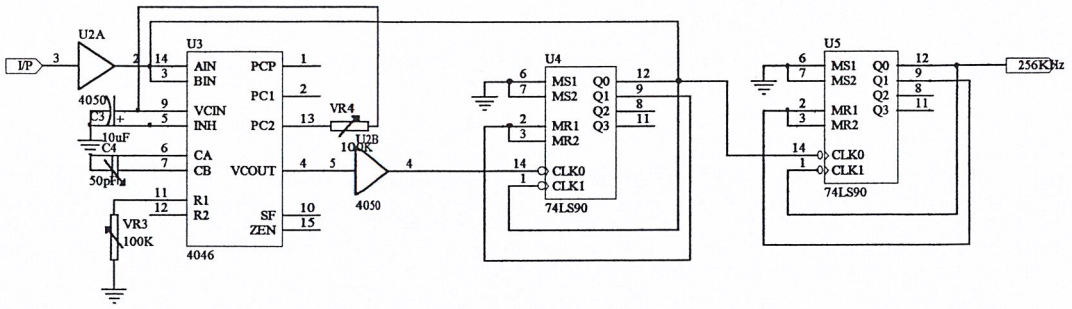
3.2.2 เฟสล็อกคูล (Phase Lock Loop)

เนื่องจากการส่งสัญญาณ โดยใช้เทคนิค 16 QAM นั้น เป็นการส่งสัญญาณแบบซิงโครนัส (Synchronous) ดังนั้นคล็อกทางภาคส่งและภาครับจะต้องซิงโครไนซ์กัน ทางภาคส่งได้สัญญาณนำร่อง 512 KHz มากับสัญญาณ 16 QAM ด้วยดังนั้นภาครับจะต้องมีวงจรถูกล็อก เพื่อทำให้คล็อกทางภาคส่งและภาครับซิงโครไนซ์กัน โดยอาศัยสัญญาณนำร่อง

ในที่นี้ใช้ไอซีเบอร์ 4046 ทำเป็นเฟสล็อกคูล สำหรับการถูกล็อกและสัญญาณพาหะเริ่มต้น โดยการใช้วงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz กรองเอาสัญญาณนำร่องออกมาแล้วไปผ่านวงจรเฟสล็อกคูล เพื่อผลิตคลื่นพาหะที่มีความถี่ 1.024 MHz และสามารถผลิตสัญญาณคล็อก 256 KHz โดยการนำคลื่นพาหะ 1.024 MHz มาหาร 4

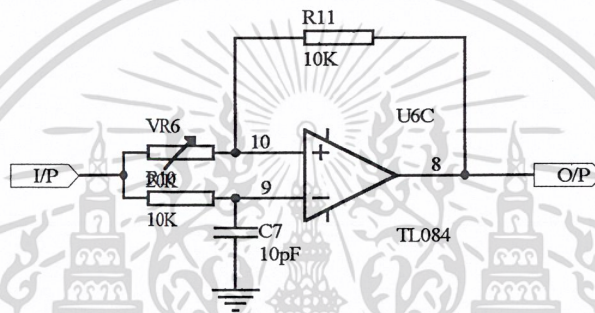
จะเห็นได้ว่าสัญญาณคล็อก และคลื่นพาหะของภาครับที่ผลิตขึ้นมานั้นอาศัยการอ้างอิงและเปรียบเทียบกับสัญญาณนำร่อง ซึ่งเป็นสัญญาณที่ส่งออกมาจากภาคส่ง ซึ่งแสดงว่าสัญญาณดังกล่าวทั้งหมดเป็นสัญญาณตัวเดียวกัน ซึ่งเป็นการทำให้เกิดการซิงโครไนซ์ (Synchronous) กันระหว่างทางภาคส่งและภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 วงจรเฟสล็อกคูลูป

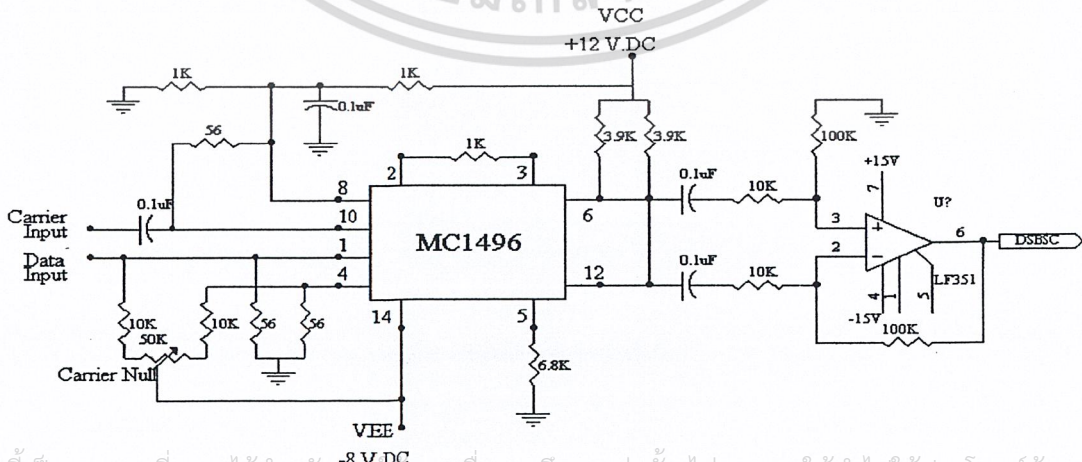
3.2.3 วงจรเลื่อนเฟส 90° (Phase Shift)



รูปที่ 3.18 วงจรเลื่อนเฟส

สัญญาณที่ผ่านการมอดูเลเตอร์จากภาคส่งนั้นประกอบไปด้วยสัญญาณบีทบนซึ่งถูกมอดูเลตด้วยคลื่นพาหะ และสัญญาณบีทล่างที่ถูกมอดูเลตด้วยคลื่นพาหะที่ถูกเลื่อนเฟสไป 90° ด้วย เพื่อนำไปใช้ในวงจรบาลานซ์ดีมอดูเลเตอร์

3.2.4 วงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 3.19 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรมอดูเลเตอร์ และวงจรมอดูเลเตอร์ เป็นวงจรที่เหมือนกันทุกประการ โดย มีข้อจำกัด คืออินพุตจะต้องมีขนาดเล็กเพราะถ้าอินพุตมีขนาดใหญ่จะทำให้สัญญาณเอาต์พุตไม่บาลานซ์ และ มีความเพี้ยนมาก

ด้วยข้อจำกัดสัญญาณอินพุตของวงจรมอดูเลเตอร์จะต้องมีขนาดเล็กมาก ดังนั้นเอาต์พุตจึงมีขนาดเล็กตามไปด้วย จึงจำเป็นต้องมีวงจรมอดูเลเตอร์ในที่นี่ใช้วงจรดิฟเฟอเรนเชียลแอมพลิฟายเออร์ (Differential Amplifier)

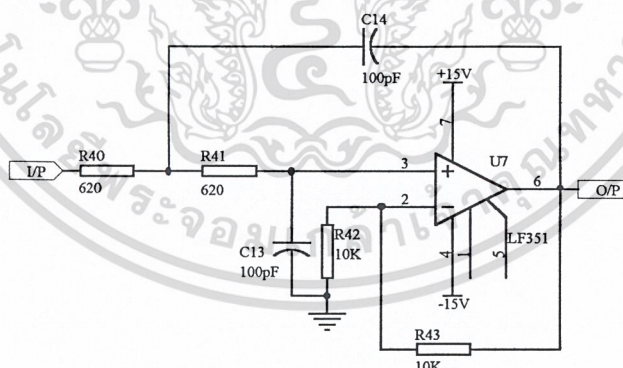
ในภาครับนี้มีวงจรมอดูเลเตอร์ 2 วงจรเพื่อทำหน้าที่ในการแยกสัญญาณ 4 ระดับ ที่ถูกมอดูเลตมาที่คลื่นพาหะ ทั้งอินเฟส (Inphase) และควอดราเจอร์เฟส (Quadrature Phase) โดยที่ใช้คลื่นพาหะจากวงจรมอดูเลเตอร์โดยตรงคูณกับสัญญาณด้านอินเฟส และใช้คลื่นพาหะที่ผ่านการเลื่อนเฟส 90° คูณกับสัญญาณด้านควอดราเจอร์เฟส

3.2.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

เนื่องจากเอาต์พุตของวงจรมอดูเลเตอร์นั้นมี สัญญาณ 4 ระดับที่ต้องการและสัญญาณความถี่สูงที่ไม่ต้องการ ดังนั้นจำเป็นต้องนำสัญญาณดังกล่าวผ่านวงจรกรองความถี่ต่ำผ่านก่อน

วงจรกรองความถี่ต่ำผ่านอันดับสองมีทรานเฟอร์ฟังก์ชันคือ

$$\frac{V_2(S)}{V_1(S)} = \frac{K}{s^2 + as + b} = \frac{H_0\omega_0^2}{s^2 + \frac{\omega_0 S}{Q} + \omega_0^2}$$



รูปที่ 3.20 วงจรกรองความถี่ต่ำผ่าน

จากรูปจะได้

$$K = \frac{\mu}{R_1 R_2 C C_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$a = \frac{1}{R_2 C_1} (1 - \mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C}$$

$$b = \frac{1}{R_1 R_2 C C_1}$$

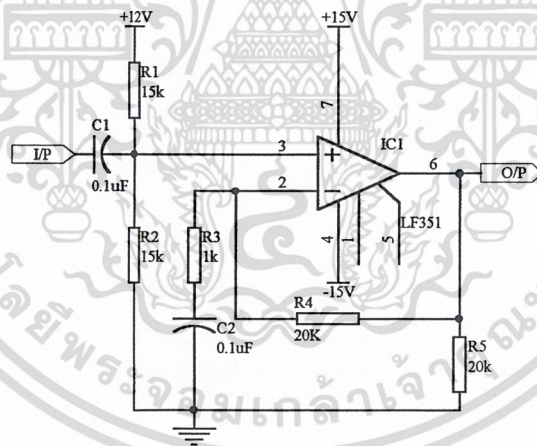
ซึ่งในที่นี้

$$\mu = 1 + \frac{R_4}{R_3}$$

1. ให้ $R_3 = R_4$ จะได้เกนเท่ากับ 2 (μ คือ เกนของวงจรกรองความถี่ต่ำผ่าน)
2. $\omega_0 = \sqrt{b} = \frac{1}{\sqrt{R_1 R_2 C C_1}}$ เนื่องจากต้องการ $\omega_0 = 2\pi \times 256K$
3. กำหนดให้ $C = C_1 = 1nF$ และ $R_1 = R_2 = R$ จะได้

$$R = \frac{1}{\omega_0 C} = \frac{1}{(2\pi \times 256K) \times 1n} = 621.7 \approx 620$$

3.2.6 วงจรขยายสัญญาณ 4 ระดับ (4-Level Amplifier)



รูปที่ 3.21 วงจรขยายสัญญาณ 4 ระดับ

Input Signal	Output Signal
+0.150	9
+0.050	7
-0.050	5
-0.150	3

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้นไปอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ตารางที่ 3.1 แสดงอัตราขยายสัญญาณ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมัลติเพลกซ์สัญญาณนี้มีลักษณะเป็นวงจรมัลติเพลกซ์สัญญาณไฟกระแสดตรงเข้ากับสัญญาณอินพุต กล่าวคือขานอนอินเวอร์ทจะมีแรงดันอ้างอิงในการขยายสัญญาณ ซึ่งแรงดันอ้างอิงนี้ได้มาจากการแบ่งแรงดัน 12 โวลต์ เป็น 6 โวลต์ โดยที่แรงดันดังกล่าว (6 โวลต์) จะไปรวมกับสัญญาณอินพุตที่ถูกขยาย 20 เท่า เช่น สัญญาณ อินพุตเป็นสัญญาณ 4 ระดับมีค่า +0.150 โวลต์ ถูกขยาย 20 เท่า รวมกับแรงดันไฟตรง 6 โวลต์ จะได้เอาต์พุต 9 โวลต์

3.2.7 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต (4-Level to 2-bit)

เมื่อระดับสัญญาณ 4 ระดับถูกขยายจนมีค่าสูงพอสำหรับการตีเทค ซึ่งไม่เกิดให้เกิดความผิดพลาดแล้ว สัญญาณ 4 ระดับนี้จะถูกแปลงเป็นสัญญาณดิจิทัล โดยอาศัยวงจรเปรียบเทียบสัญญาณ

วงจรถือเปรียบเทียบสัญญาณจะทำหน้าที่เปรียบเทียบสัญญาณเข้าขาหนึ่ง (V_{in}) กับศักดาอ้างอิง (V_{ref}) ที่สัญญาณเข้าอีกขาหนึ่ง ระดับศักดาเปรียบเทียบอาจจะมีค่าเป็นบวก ลบ หรือศูนย์ก็ได้ ซึ่งในที่นี้ จะใช้การเปรียบเทียบศักดาสัญญาณเข้าที่ขาอินเวอร์ท (-) กล่าวคือศักดาอ้างอิง (V_{ref}) จะต่ออยู่กับขานอนอินเวอร์ท (+) ส่วนสัญญาณที่เราต้องการจะเปรียบเทียบ (V_{in}) ต่ออยู่กับขาอินเวอร์ท (+) ซึ่งการทำงานคือ

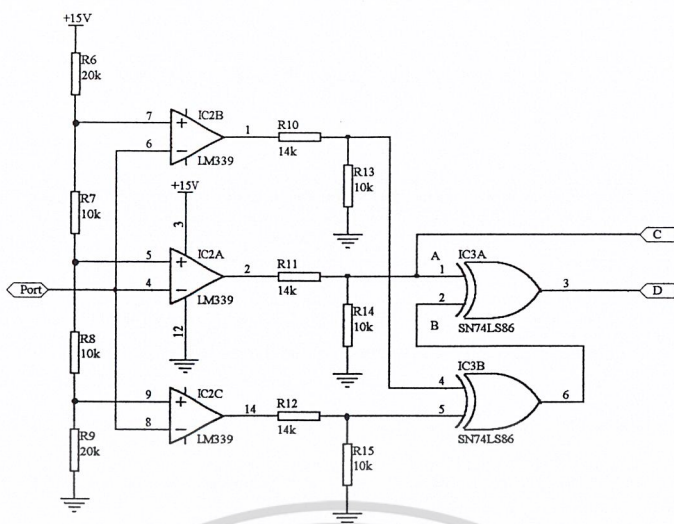
1. ถ้า $V_{in} > V_{ref}$ จะได้เอาต์พุตเป็น '0'
2. ถ้า $V_{in} < V_{ref}$ จะได้เอาต์พุตเป็น '1'

เนื่องจากค่าขยายศักดาสัญญาณแบบลูปปิดของออปแอมป์มีค่าสูงมาก ดังนั้นในทางปฏิบัติ เมื่อระดับสัญญาณ V_{in} มีระดับสูงกว่า V_{ref} เพียงเล็กน้อย ระดับสัญญาณเอาต์พุตก็จะมีค่าเป็นลบ และในกรณีที่ระดับสัญญาณ V_{in} มีระดับต่ำกว่า V_{ref} เพียงเล็กน้อย ระดับสัญญาณเอาต์พุตก็จะมีค่าเป็นบวก

Signal Input (V_{in} : Volt)	Output Gray code (AB)	Output Binary code (CD)
9	00	00
7	01	01
5	11	10
3	10	11

ตารางที่ 3.2 แสดงการแปลงสัญญาณ 4 ระดับเป็น 2 บิต

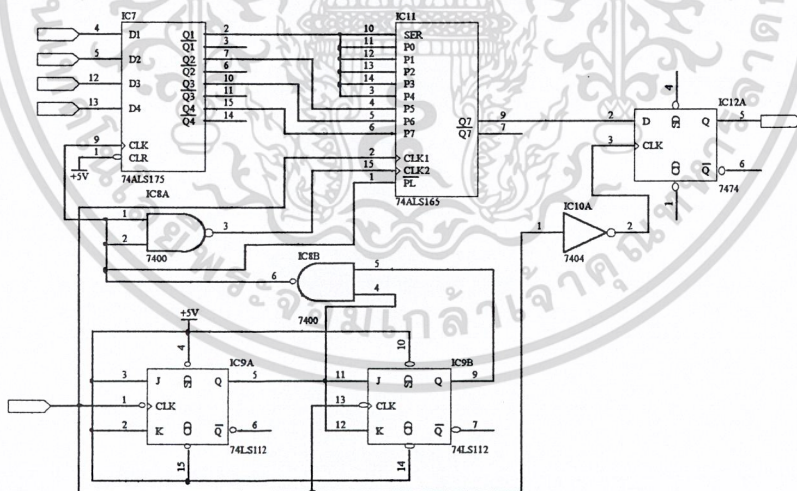
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 วงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต

เมื่อทำการแปลงสัญญาณ 4 ระดับเป็นสัญญาณดิจิทัลแล้ว สัญญาณดิจิทัลที่ได้นั้นยังเป็นรหัสเกรย์ไว้ค้อยู่ ดังนั้นก่อนที่จะนำไปผ่านกระบวนการอื่น ๆ จะต้องทำให้เป็นไบนารีไว้ค้อยู่ด้วยการใช้เกทเอ็คคลูซีฟออร์

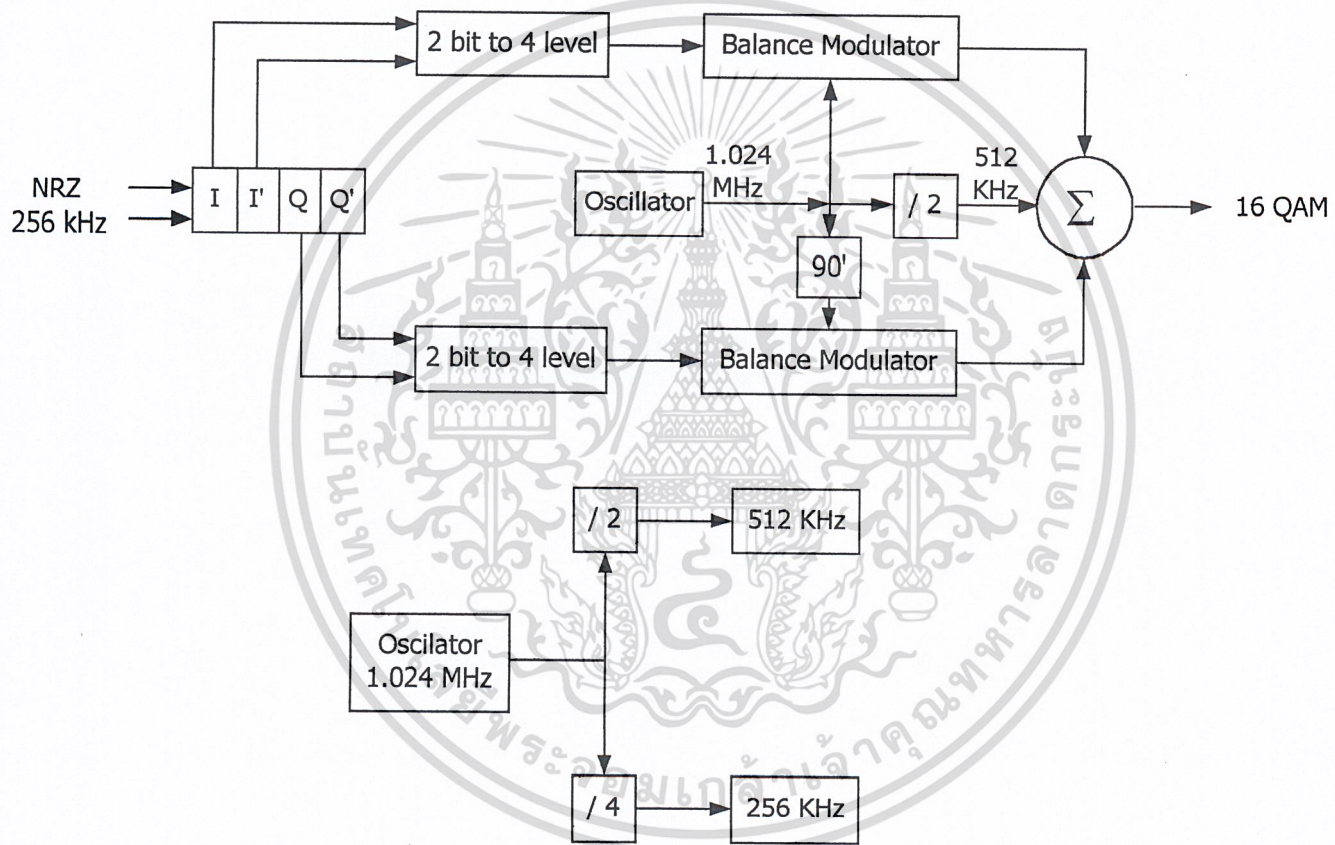
3.2.8 วงจรรวมสัญญาณดิจิทัล (Parall to Serial)



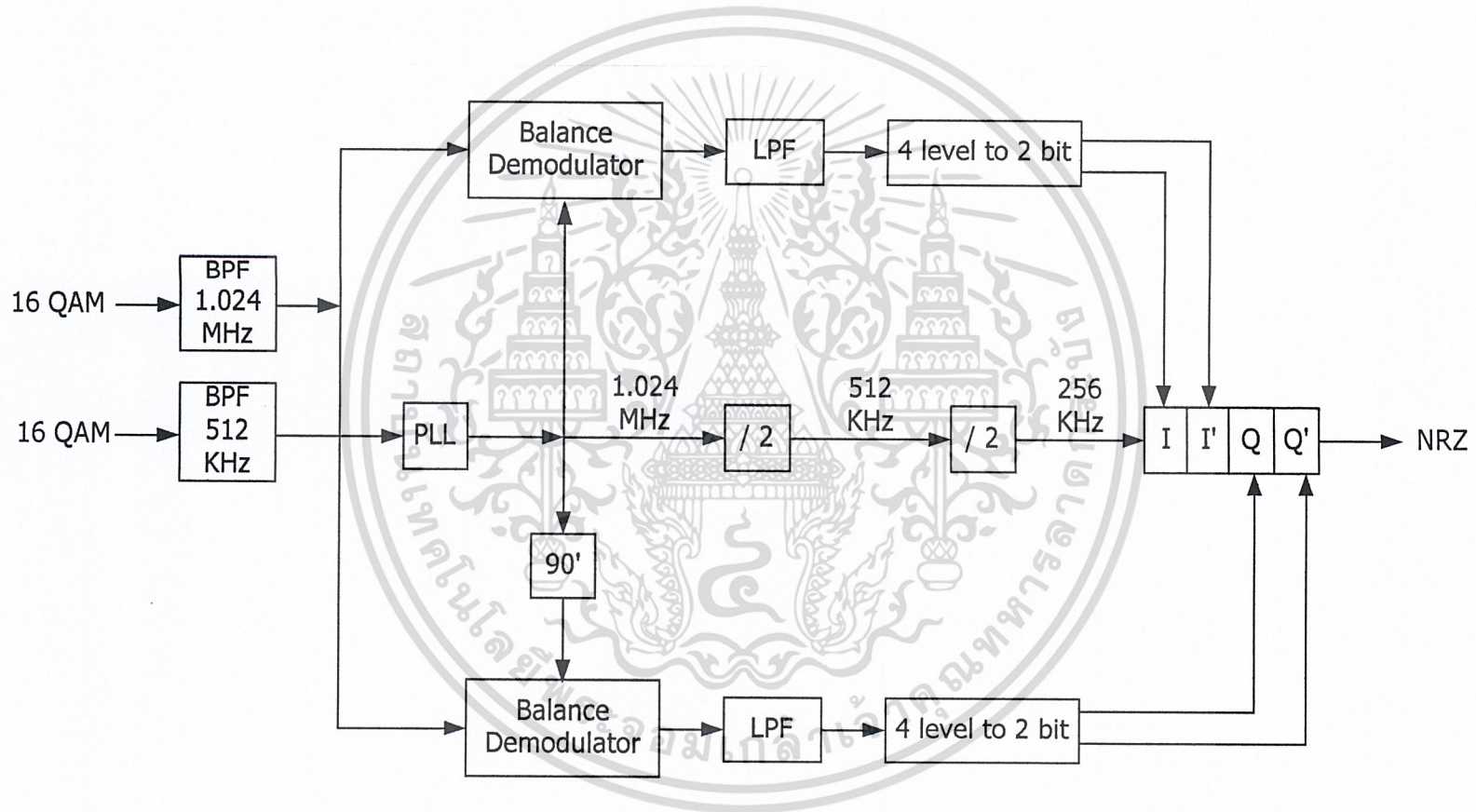
รูปที่ 3.23 วงจรรวมสัญญาณดิจิทัล

วงจรรวมสัญญาณดิจิทัลทำหน้าที่แปลงข้อมูลแบบขนานให้เป็นข้อมูลแบบอนุกรม ซึ่งประกอบด้วยไอซี 74 LS175 ดิฟลิปฟล็อปที่เป็นบัฟเฟอร์ , 74LS165 ชิฟริจิสเตอร์ ทำหน้าที่เลื่อนข้อมูลที่เป็นแบบขนาน ออกมาเป็นข้อมูลแบบอนุกรม และวงจรรวม 4 เพื่อทำหน้าที่หารความถี่คือ 256 KHz เป็น 64 KHz

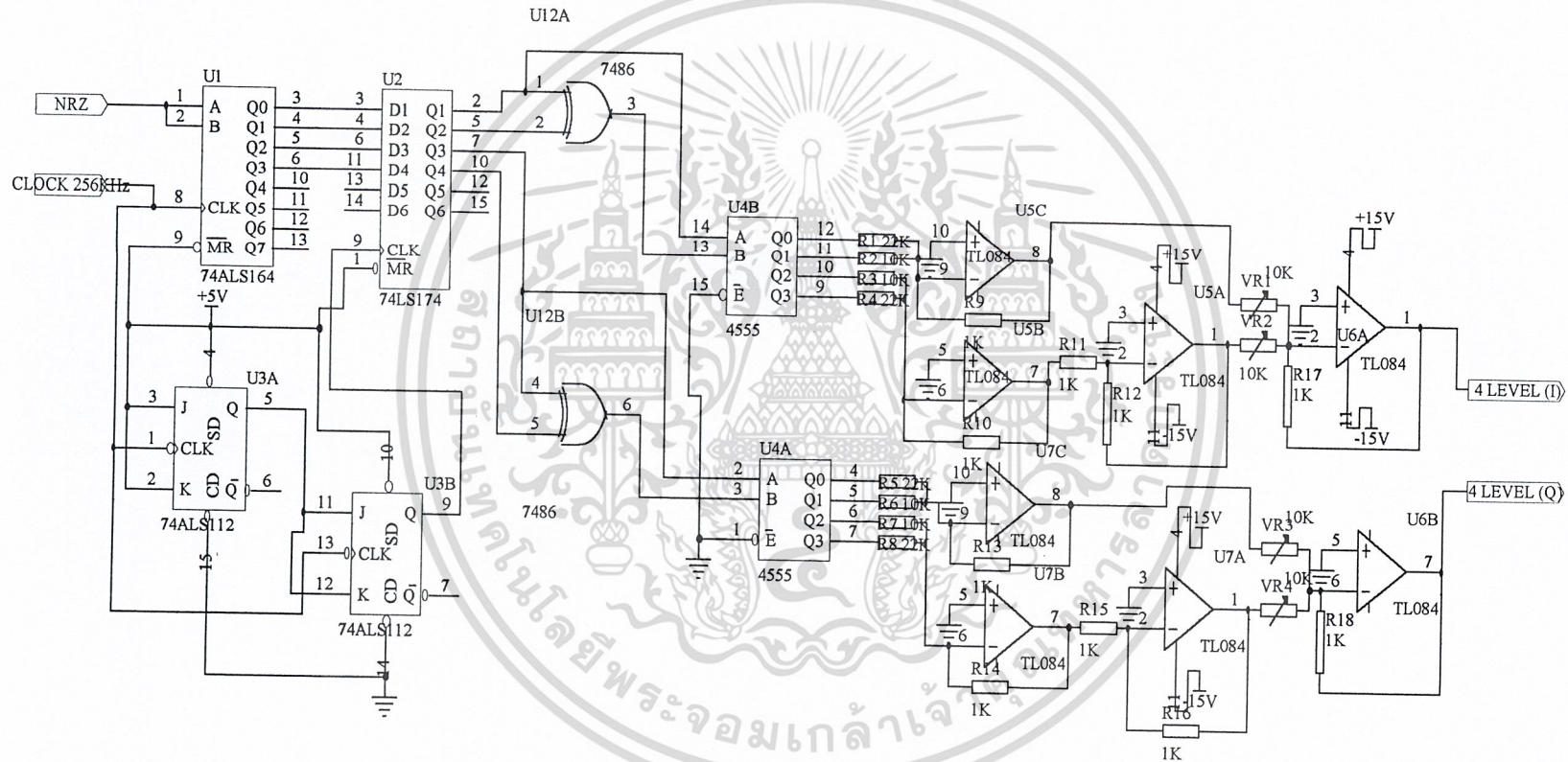
เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของบริษัทฯ ขอสงวนสิทธิ์ในเอกสารนี้ ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากบริษัทฯ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



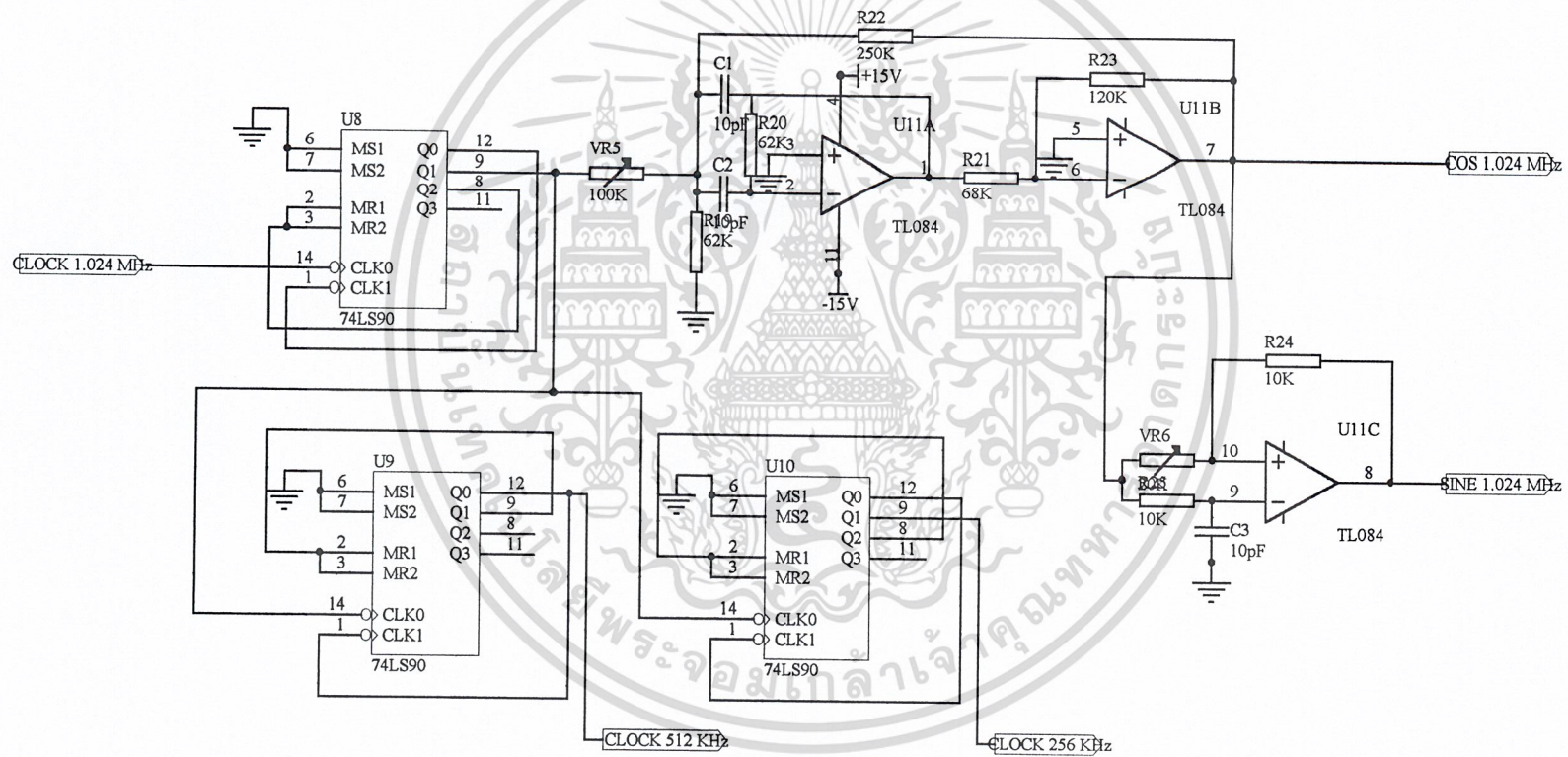
รูปที่ 3.24 แสดงบล็อกไดอะแกรมภาคส่ง



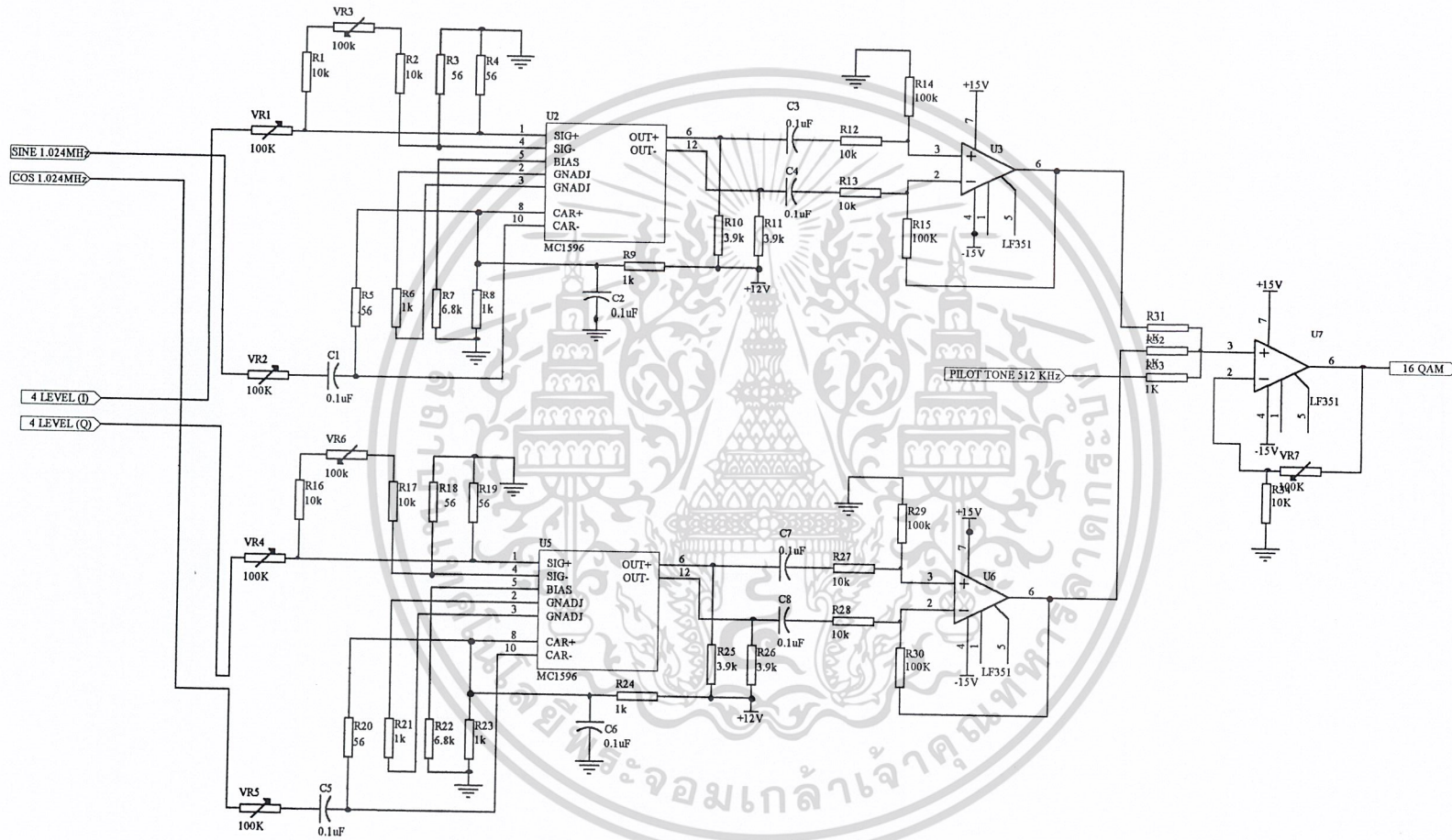
รูปที่ 3.25 แสดงบล็อกไดอะแกรมภาครับ



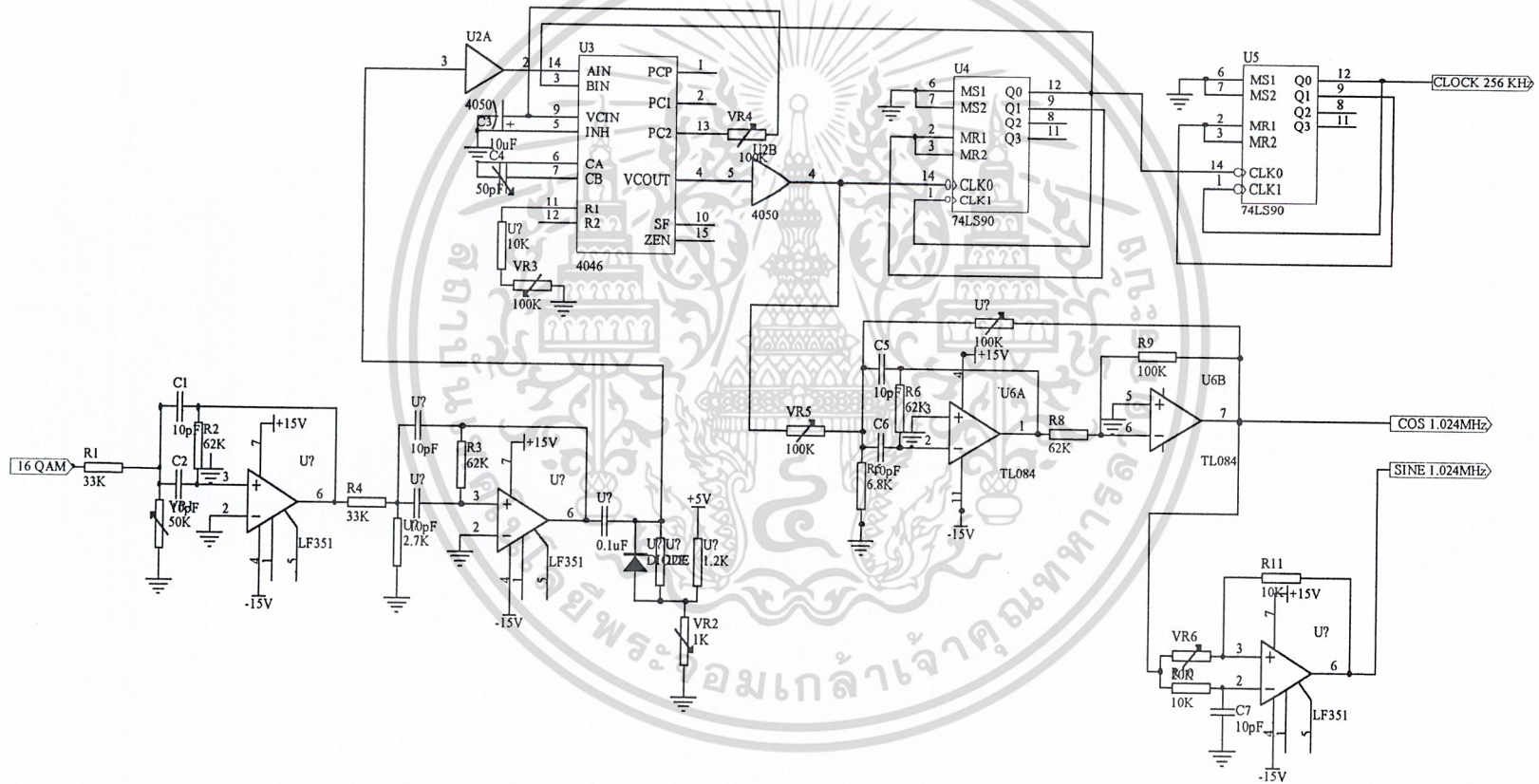
รูปที่ 3.26 แสดงวงจรภาคส่งส่วนที่ 1



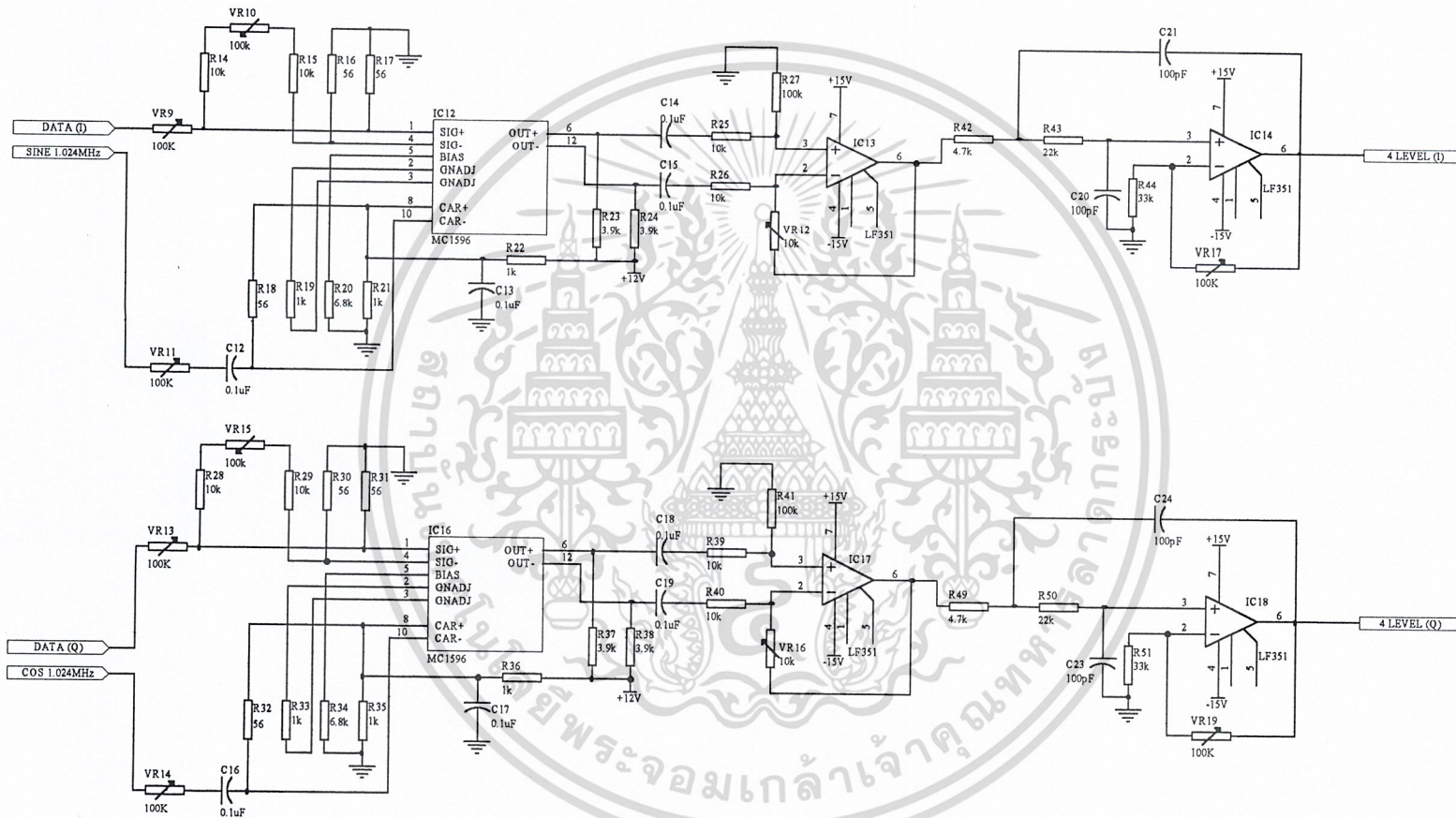
รูปที่ 3.27 แสดงวงจรภาคส่งส่วนที่ 2



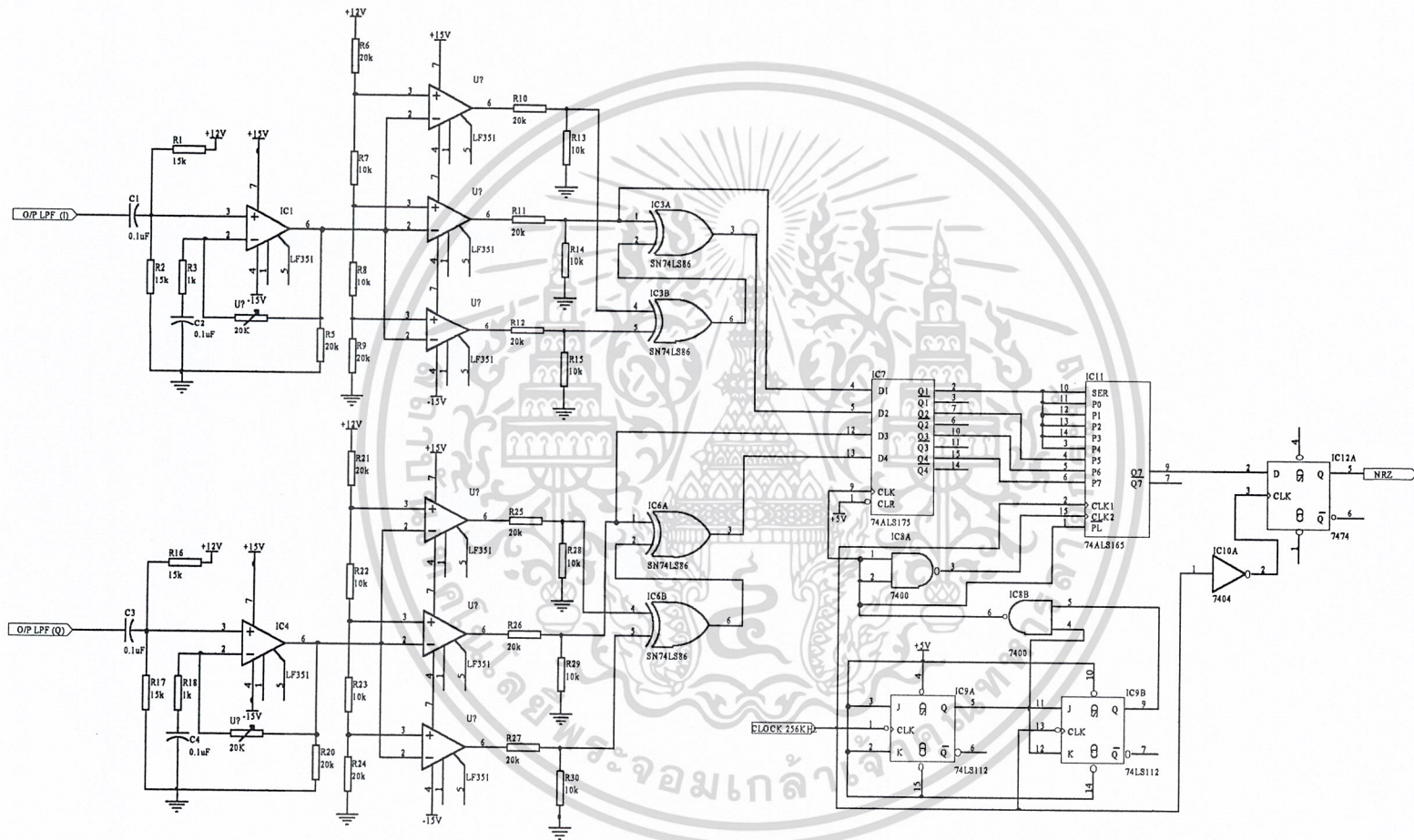
รูปที่ 3.28 แสดงวงจรภาคส่งส่วนที่ 3



รูปที่ 3.29 แสดงวงจรภาครับส่วนที่ 1



รูปที่ 3.30 แสดงวงจรภาครับส่วนที่ 2



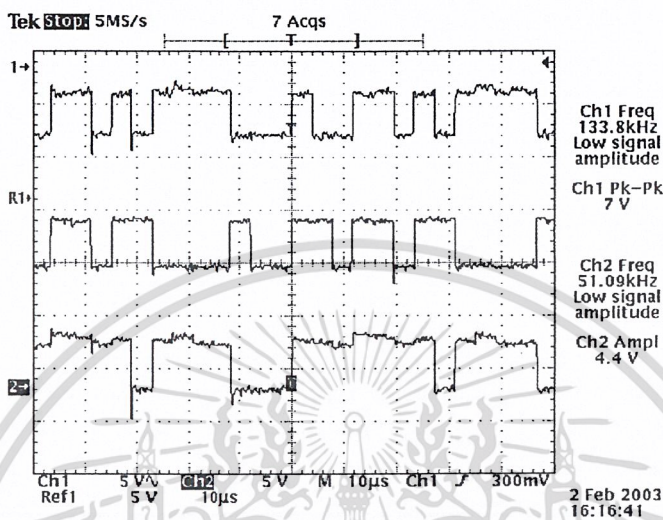
รูปที่ 3.31 แสดงวงจรภาครับส่วนที่ 3

บทที่ 4

การทดลองและผลการทดลอง

ภาคส่ง

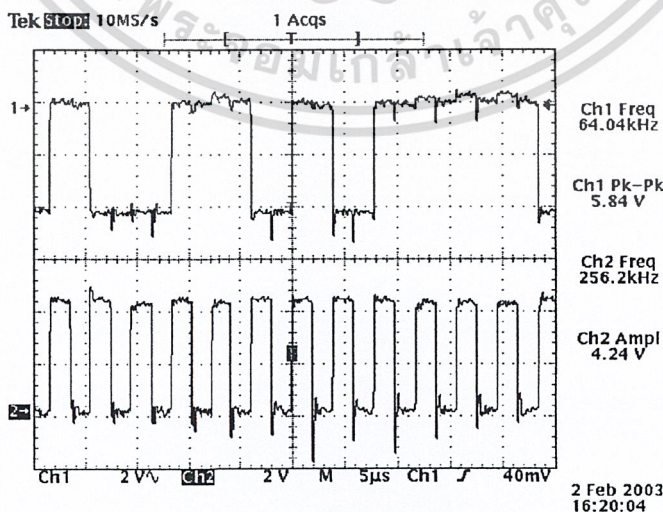
จากรูปแสดงสัญญาณข้อมูล NRZ ทั้ง 3 รูปแบบที่สร้างขึ้นมาใช้ในการทดลองในเครื่องชุดทดลองเครื่องส่ง-รับ 16 QAM



- รูปที่ 4.1 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 1 คือ 111100010011010
- (รูปกลาง) R.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 2 คือ 110000100110110
- (รูปล่าง) Ch.2 แสดงสัญญาณข้อมูล NRZ แบบที่ 3 คือ 111100011111110

จากรูปแสดงสัญญาณข้อมูล NRZ แบบที่ 1 และวงจรกำเนิดสัญญาณนาฬิกา 256 KHz โดยป้อนสัญญาณนาฬิกา 1.024 MHz จากวงจรรูปที่ 3.5 เป็นสัญญาณอินพุต

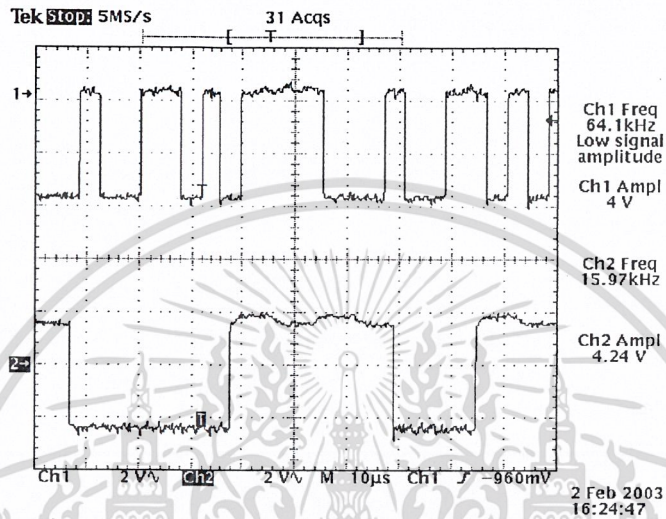
โดย Ch.1 เป็นสัญญาณข้อมูล NRZ แบบที่ 1 ส่วน Ch.2 เป็นสัญญาณนาฬิกา 256 KHz เมื่อวัดที่ขา 9 ของ (U10) IC เบอร์ 7490



เอกสารนี้เป็นเอกสารที่สรุปที่ 4.2 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ แบบที่ 1 นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งทำ (รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 256 KHz เอกสารทุกครั้งที่มีการนำไปใช้

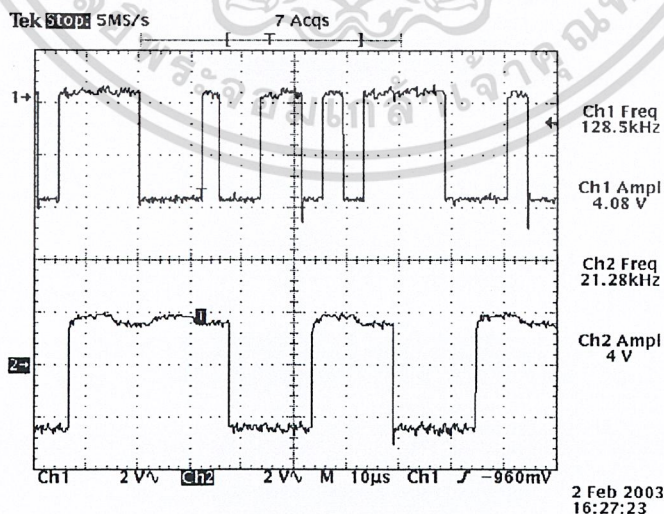
เมื่อต่อวงจรตามรูปที่ 3.1 ซึ่งเป็นวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (serial to parallel) โดยทำการป้อนสัญญาณอินพุตซึ่งเป็นสัญญาณ NRZ และ สัญญาณ CLK ตามรูปที่ 4.2 เข้าไปในวงจรรูปที่ 3.1 จะทำให้ได้สัญญาณเอาต์พุตดังนี้

โดย Ch.1 เป็นสัญญาณข้อมูล NRZ ที่เราป้อนให้วงจร เมื่อวัดที่ขา 1 ของ (U1) IC เบอร์ 74164 ส่วน Ch.2 เป็นสัญญาณทางค่าน I ที่เราทำการแปลงข้อมูลอนุกรมออกมาเป็นข้อมูลขนาน โดยวัดที่ขา 3 ของ (U1) IC เบอร์ 74164



รูปที่ 4.3 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ
(รูปล่าง) Ch.2 แสดงสัญญาณทางค่าน I

โดย Ch.1 เป็นสัญญาณข้อมูล NRZ ที่เราป้อนให้วงจร เมื่อวัดที่ขา 1 ของ (U1) IC เบอร์ 74164 ส่วน Ch.2 เป็นสัญญาณทางค่าน I' ที่เราทำการแปลงข้อมูลอนุกรมออกมาเป็นข้อมูลขนาน โดยวัดที่ขา 4 ของ (U1) IC เบอร์ 74164

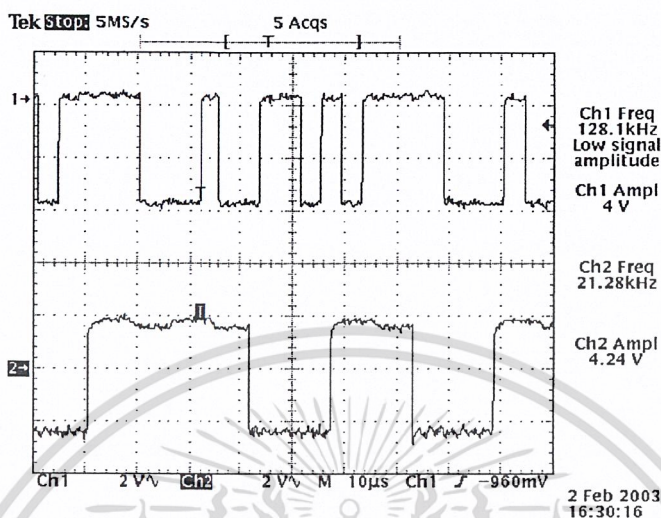


รูปที่ 4.4 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
(รูปล่าง) Ch.2 แสดงสัญญาณทางค่าน I'

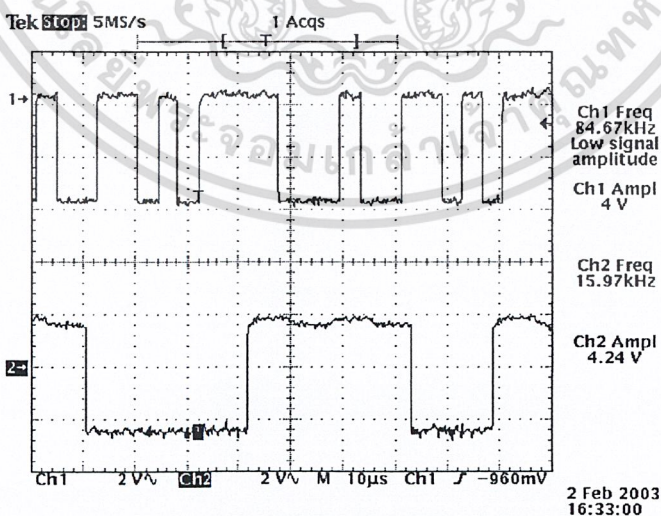
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย Ch.1 เป็นสัญญาณข้อมูล NRZ ที่เราป้อนให้วงจร เมื่อวัดที่ขา 1 ของ (U1) IC เบอร์ 74164 ส่วน Ch.2 เป็นสัญญาณทางค่าน Q ที่เราทำการแปลงข้อมูลอนุกรมออกมาเป็นข้อมูลขนาน โดยวัดที่ขา 5 ของ (U1) IC เบอร์ 74164



รูปที่ 4.5 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ
(รูปล่าง) Ch.2 แสดงสัญญาณทางค่าน Q

โดย Ch.1 เป็นสัญญาณข้อมูล NRZ ที่เราป้อนให้วงจร เมื่อวัดที่ขา 1 ของ (U1) IC เบอร์ 74164 ส่วน Ch.2 เป็นสัญญาณทางค่าน Q' ที่เราทำการแปลงข้อมูลอนุกรมออกมาเป็นข้อมูลขนาน โดยวัดที่ขา 6 ของ (U1) IC เบอร์ 74164

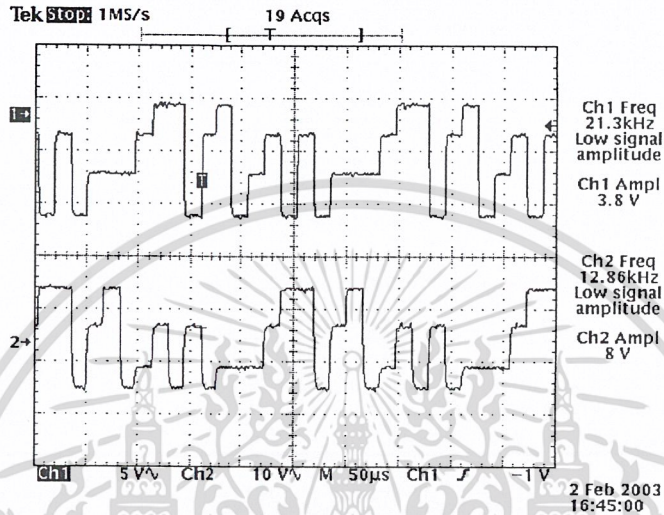


รูปที่ 4.6 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ
(รูปล่าง) Ch.2 แสดงสัญญาณทางค่าน Q'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.3 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณ 4 ระดับ โดยป้อนสัญญาณ I กับ I' ดังรูปที่ 4.3 Ch.2 และรูปที่ 4.4 Ch.2 ตามลำดับเข้าวงจรรูปที่ 3.3 จะทำให้ได้สัญญาณ 4 ระดับ

โดย Ch.1 เป็นสัญญาณ 4 ระดับทางด้าน I กับ I' ที่ออกจากวงจรแปลง 2 บิต เป็น 4 ระดับ เมื่อวัดที่ขา 1 ของ (U6A) IC เบอร์ TL084 ส่วน Ch.2 เป็นสัญญาณ 4 ระดับ ที่ออกจากวงจรแปลง 2 บิต เป็น 4 ระดับทางด้าน Q กับ Q' เมื่อวัดที่ขา 7 ของ (U6B) IC เบอร์ TL084

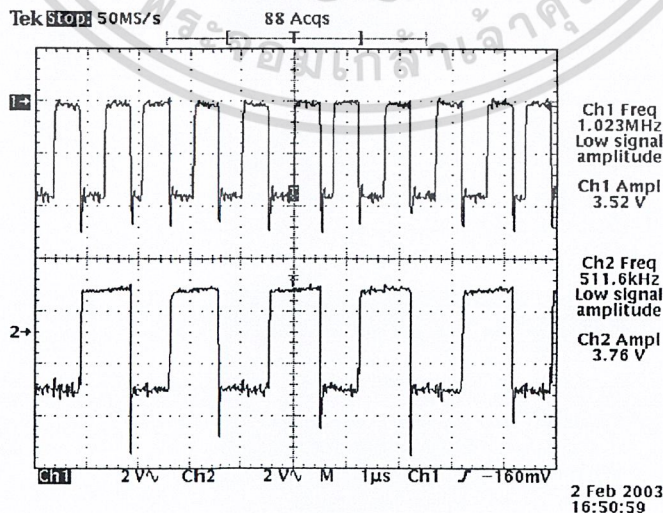


รูปที่ 4.7 (รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางด้าน I กับ I'

(รูปล่าง) Ch.2 แสดงสัญญาณ 4 ระดับทางด้าน Q กับ Q'

เมื่อต่อวงจรตามรูปที่ 3.5 และ รูปที่ 3.6 ซึ่งเป็นวงจรกำเนิดสัญญาณนาฬิกา 1.024 MHz โดยป้อนสัญญาณนาฬิกาที่ถูกกำเนิด โดยคริสตัล 4.096 MHz และวงจรกำเนิดสัญญาณไฟล็ตอโทน 512 KHz โดยป้อนสัญญาณนาฬิกา 1.024 MHz จากวงจรรูปที่ 3.5 เป็นสัญญาณอินพุท ตามลำดับ

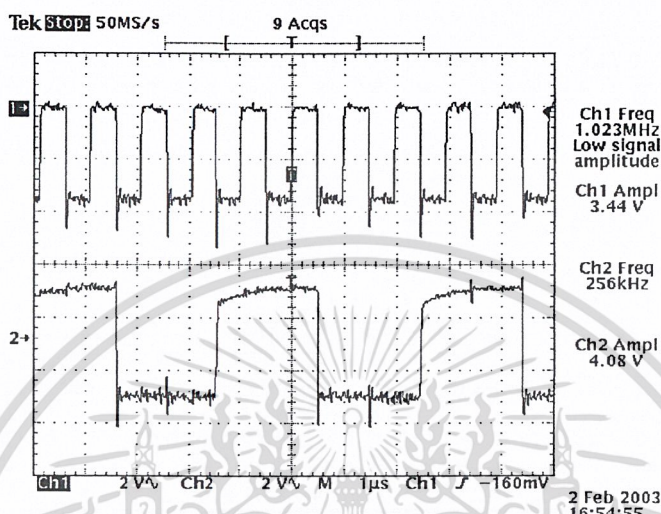
โดย Ch.1 เป็นสัญญาณนาฬิกา 1.024 MHz เมื่อวัดที่ขา 9 ของ (U8) IC เบอร์ 7490 ส่วน Ch.2 เป็นสัญญาณไฟล็ตอโทน 512 KHz เมื่อวัดที่ขา 12 ของ (U9) IC เบอร์ 7490



เอกสารนี้เป็นเอกสารที่สรุปที่ 4.8 (รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้า (รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 512 KHz เอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.5 ซึ่งเป็นวงจรกำเนิดสัญญาณนาฬิกา 1.024 MHz โดยป้อนสัญญาณนาฬิกาที่ถูกกำเนิดโดยคริสตัล 4.096 MHz และ รูปที่ 3.7 วงจรกำเนิดสัญญาณนาฬิกา 256 KHz โดยป้อนสัญญาณนาฬิกา 1.024 MHz จากวงจรรูปที่ 3.5 เป็นสัญญาณอินพุต

โดย Ch.1 เป็นสัญญาณนาฬิกา 1.024 MHz เมื่อวัดที่ขา 9 ของ (U8) IC เบอร์ 7490 ส่วน Ch.2 เป็นสัญญาณนาฬิกา 256 KHz เมื่อวัดที่ขา 9 ของ (U10) IC เบอร์ 7490

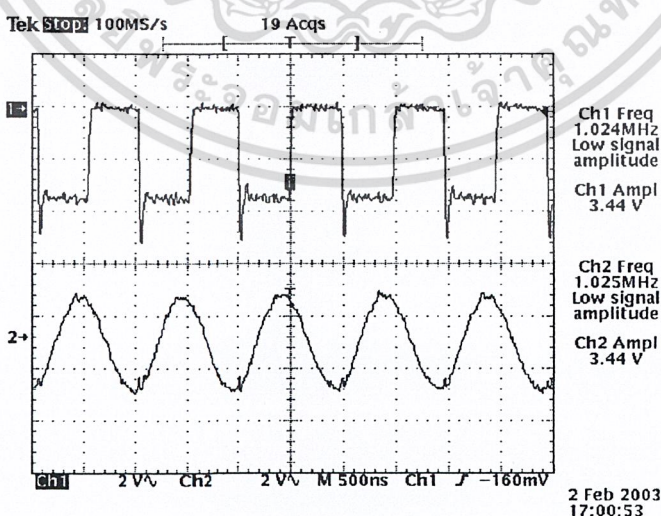


รูปที่ 4.9 (รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz

(รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 512 KHz

เมื่อต่อวงจรตามรูปที่ 3.5 ซึ่งเป็นวงจรกำเนิดสัญญาณนาฬิกา 1.024 MHz โดยป้อนสัญญาณนาฬิกาที่ถูกกำเนิดโดยคริสตัล 4.096 MHz และรูปที่ 3.8 วงจรกรองความถี่ผ่านเฉพาะช่วงแบบป้อนกลับบวก โดยป้อนสัญญาณนาฬิกา 1.024 MHz เข้าไป แล้วออกมาเป็นสัญญาณ sine 1.024 MHz

โดย Ch.1 เป็นสัญญาณนาฬิกา 1.024 MHz เมื่อวัดที่ขา 9 ของ (U8) IC เบอร์ 7490 ส่วน Ch.2 เป็นสัญญาณ sine 1.024 MHz ที่ทำการผ่าน BPF แล้วเมื่อวัดที่ขา 7 ของ (U11B) IC เบอร์ TL084



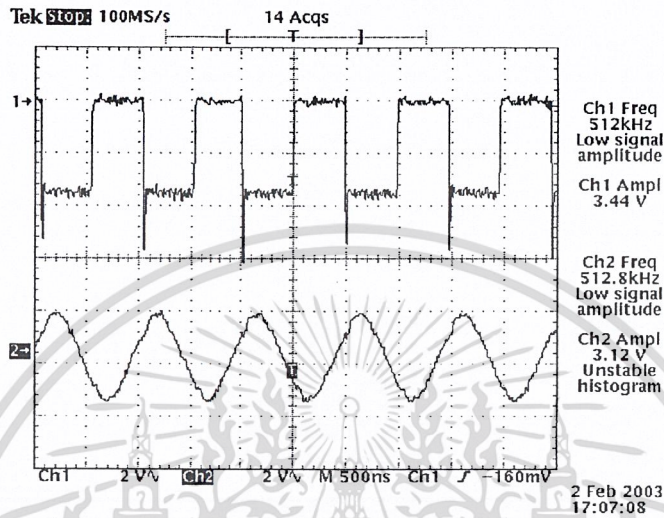
รูปที่ 4.10 (รูปบน) Ch.1 แสดงสัญญาณนาฬิกา 1.024 MHz

(รูปล่าง) Ch.2 แสดงสัญญาณ sine 1.024 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.5 ซึ่งเป็นวงจรกำเนิดสัญญาณไฟลิตตโทน 512 KHz โดยป้อนสัญญาณนาฬิกา 1.024 MHz และรูปที่ 3.14 ซึ่งเป็นวงจรรองความถี่ผ่านเฉพาะช่วง โดยป้อนสัญญาณไฟลิตตโทน 512 KHz เข้าไปแล้วออกมาเป็นสัญญาณ sine 512 KHz

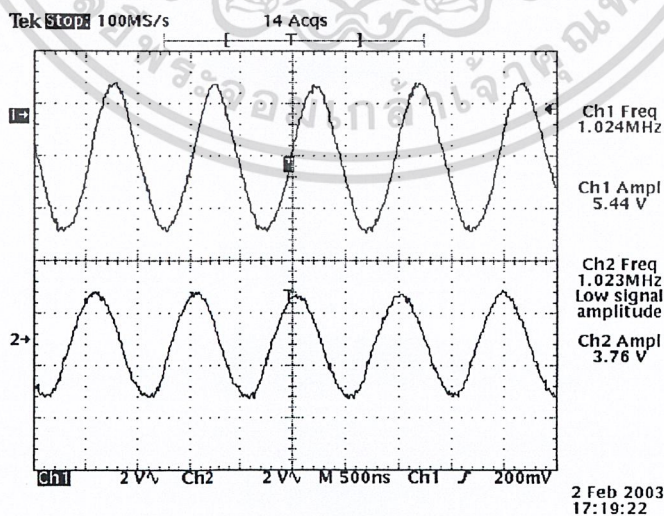
โดย Ch.1 เป็นสัญญาณนาฬิกา 1.024 MHz เมื่อวัดที่ขา 9 ของ (U8) IC เบอร์ 7490 ส่วน Ch.2 เป็นสัญญาณ sine 512 KHz



รูปที่ 4.11 (รูปบน) Ch.1 แสดงสัญญาณไฟลิตตโทน 512 KHz
(รูปล่าง) Ch.2 แสดงสัญญาณ sine 512 KHz

เมื่อต่อวงจรตามรูปที่ 3.8 ซึ่งเป็นวงจรรองความถี่ผ่านเฉพาะช่วง โดยป้อนสัญญาณนาฬิกา 1.024 MHz เข้าไปแล้วออกมาเป็นสัญญาณ sine 1.024 MHz และรูปที่ 3.14 ซึ่งเป็นวงจรเลื่อนเฟส 90° โดยป้อนสัญญาณ sine 1.024 MHz เข้าไปแล้วออกมาเป็นสัญญาณ cos 1.024 MHz

โดย Ch.1 เป็นสัญญาณ sine 1.024 MHz เมื่อวัดที่ขา 7 ของ (U11B) IC เบอร์ TL084 ส่วน Ch.2 เป็นสัญญาณ cos 1.024 MHz เมื่อวัดที่ขา 8 ของ (U11C) IC เบอร์ TL084



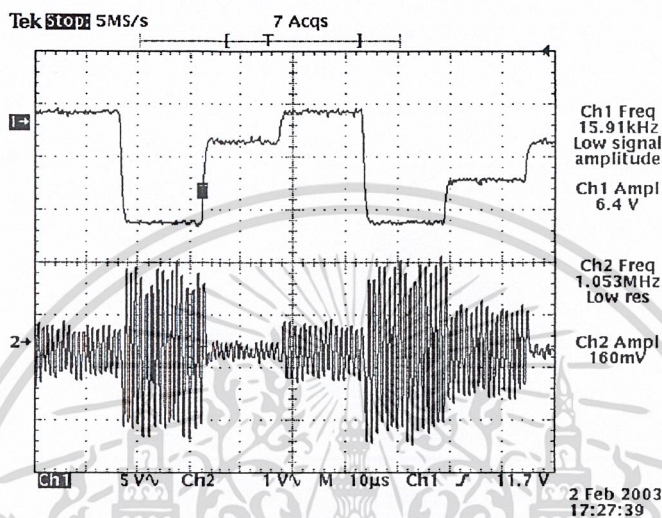
รูปที่ 4.12 (รูปบน) Ch.1 แสดงสัญญาณ sine 1.024 MHz

(รูปล่าง) Ch.2 แสดงสัญญาณ cos 1.024 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้น หากท่านใดต้องการนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.3 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณ 4 ระดับ โดยป้อนสัญญาณ I กับ I' ดังรูปที่ 4.7 Ch.1 และรูปที่ 3.15 ซึ่งเป็นวงจรมอดูเลเตอร์โดยป้อนสัญญาณ sine 1.024 MHz เข้าไปที่ขา 10 ของ (U2) IC เบอร์ MC1496 และป้อนสัญญาณ 4 ระดับ ดังรูปที่ 4.7 Ch.1 เข้าไปที่ขา 1 ของ (U2) IC เบอร์ MC1496

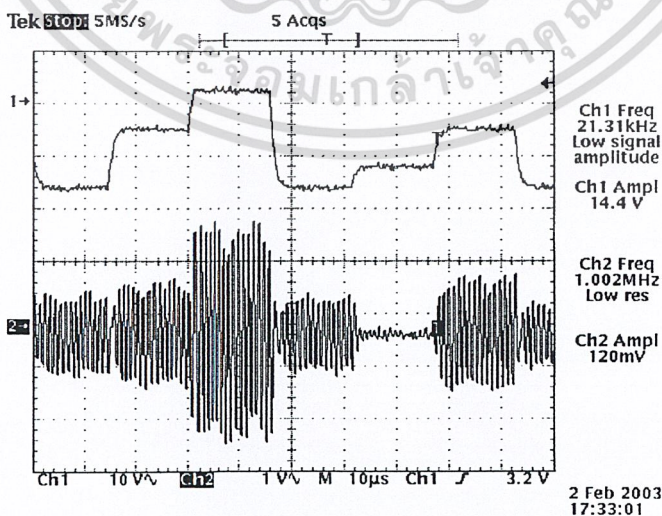
โดย Ch.1 เป็นสัญญาณ 4 ระดับ เมื่อวัดที่ขา 1 ของ (U6A) IC เบอร์ TL084 ส่วน Ch.2 เป็นสัญญาณที่ผ่านการมอดูเลตแล้ว เมื่อวัดที่ขา 6 ของ (U3) IC เบอร์ LF351



รูปที่ 4.13 (รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางค่าน I กับ I'
(รูปล่าง) Ch.2 แสดงสัญญาณที่ผ่านการมอดูเลตแล้ว

เมื่อต่อวงจรตามรูปที่ 3.3 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณ 4 ระดับ โดยป้อนสัญญาณ Q กับ Q' ดังรูปที่ 4.7 Ch.2 เข้าไปที่ขา 1 ของ (U2) IC เบอร์ MC1496 และรูปที่ 3.15 ซึ่งเป็นวงจรมอดูเลเตอร์โดยป้อนสัญญาณ \cos 1.024 MHz เข้าไปที่ขา 10 ของ (U5) IC เบอร์ MC1496

โดย Ch.1 เป็นสัญญาณ 4 ระดับ เมื่อวัดที่ขา 7 ของ (U6B) IC เบอร์ TL084 ส่วน Ch.2 เป็นสัญญาณที่ผ่านการมอดูเลตแล้ว เมื่อวัดที่ขา 6 ของ (U6) IC เบอร์ LF351

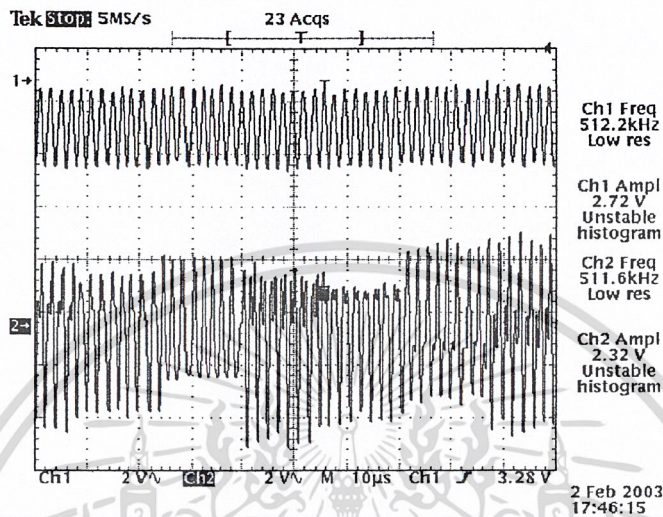


รูปที่ 4.14 (รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับทางค่าน Q กับ Q'
(รูปล่าง) Ch.2 แสดงสัญญาณที่ผ่านการมอดูเลตแล้ว

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อแหล่งอื่นและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.16 ซึ่งเป็นวงจรรวมสัญญาณ โดยป้อนสัญญาณที่ออกจากมอดูเลท ทั้งสองข้างคือ ขา 6 ของ (U3) IC เบอร์ LF351 กับขา 6 ของ (U6) IC เบอร์ LF351 และสัญญาณ ไฟล์ออตโทน 512 KHz เข้าไปในวงจรรูปที่ 3.1.10 แล้ววัดสัญญาณเอาต์พุตออกมา

โดย Ch.1 เป็นสัญญาณไฟล์ออตโทน 512 KHz ส่วน Ch.2 เป็นสัญญาณที่ผ่านวงจรรวมสัญญาณ แล้ว เมื่อวัดที่ขา 6 ของ (U7) IC เบอร์ LF351 ซึ่งเป็นสัญญาณ 16 QAM



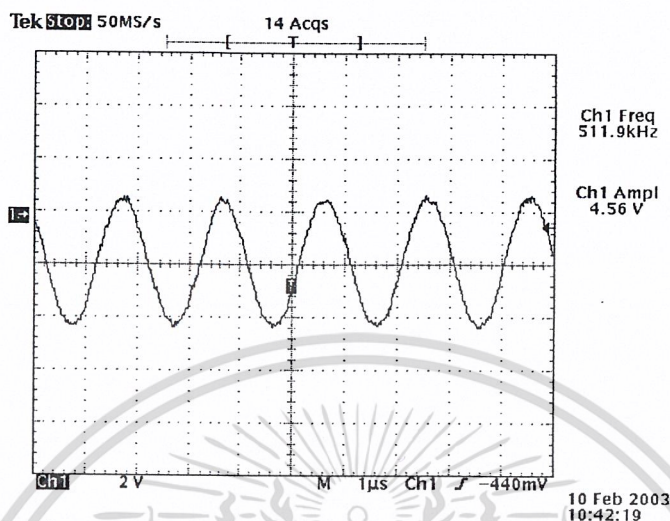
รูปที่ 4.15 (รูปบน) Ch.1 แสดงสัญญาณไฟล์ออตโทน 512 KHz

(รูปล่าง) Ch.2 แสดงสัญญาณ 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

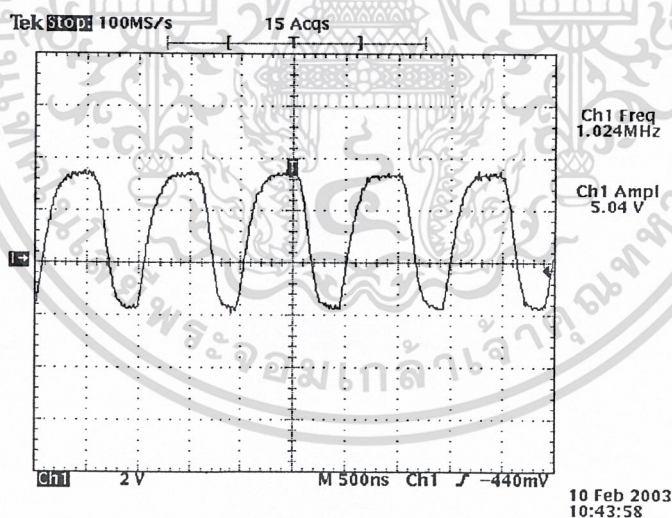
ภาครับ

เมื่อต่อวงจรตามรูปที่ 3.8 ซึ่งเป็นวงจรกรองความถี่ผ่านเฉพาะช่วงแบบป้อนกลับบวก โดยเป็นการกู้สัญญาณ Pilot tone 512 KHz กลับคืนมา โดยวัดที่ขา 7 ของ (U1B) IC เบอร์ TL084



รูปที่ 4.16 Ch.1 แสดงสัญญาณ Pilot tone 512 KHz

เมื่อต่อวงจรตามรูปที่ 3.17 ซึ่งเป็นวงจรเฟสล็อกคูลูปและหารความถี่ โดยจะทำการล๊อคความถี่ที่ 1.024 MHz โดยวัดที่ขา 4 ของ (U3) IC เบอร์ 4046

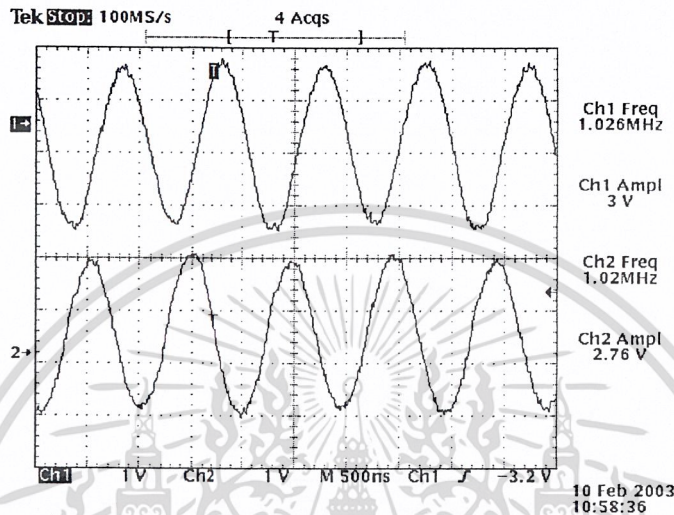


รูปที่ 4.17 Ch.1 แสดงสัญญาณ Output ของ PLL 1.024 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรกรองความถี่เฉพาะช่วงผ่าน โดยการนำเอาที่พุทที่ออกจากเฟสล็อกความถี่ 1.024 MHz มาผ่านวงจรกรองความถี่เฉพาะช่วงผ่าน จะได้เป็นสัญญาณ sine 1.024 MHz และสัญญาณ cos 1.024 MHz KHz

โดย Ch.1 เป็นสัญญาณ sine ของ BPF 1.024 MHz เมื่อวัดที่ขา 7 ของ (U6B) IC เบอร์ TL084 ส่วน Ch.2 เป็นสัญญาณ cos ของ BPF 1.024 MHz เมื่อวัดที่ขา 8 ของ (U6C) IC เบอร์ TL084

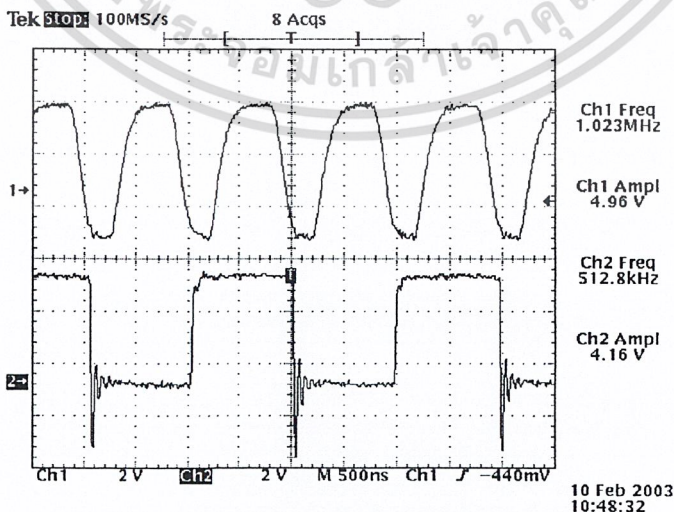


รูปที่ 4.18 (รูปบน) Ch.1 แสดงสัญญาณ sine ความถี่ 1.024 MHz

(รูปล่าง) Ch.2 แสดงสัญญาณ cos ความถี่ 1.024 MHz

เมื่อต่อวงจรตามรูปที่ 3.17 ซึ่งเป็นวงจรเฟสล็อกและหารความถี่ โดยจะทำการคั่นความถี่ที่ 1.024 MHz และวงจรหารความถี่ โดยจะทำการหารความถี่ให้เหลือ 512 KHz

โดย Ch.1 เป็นสัญญาณ Output ของ PLL 1.024 MHz ที่ได้จากวงจรเฟสล็อกเมื่อวัดที่ขา 4 ของ (U3) IC เบอร์ 4046 ส่วน Ch.2 เป็นสัญญาณนาฬิกา 512 KHz ที่ได้จากวงจรหาร 2 โดยวัดที่ขา 12 ของ (U4) IC เบอร์ 7490

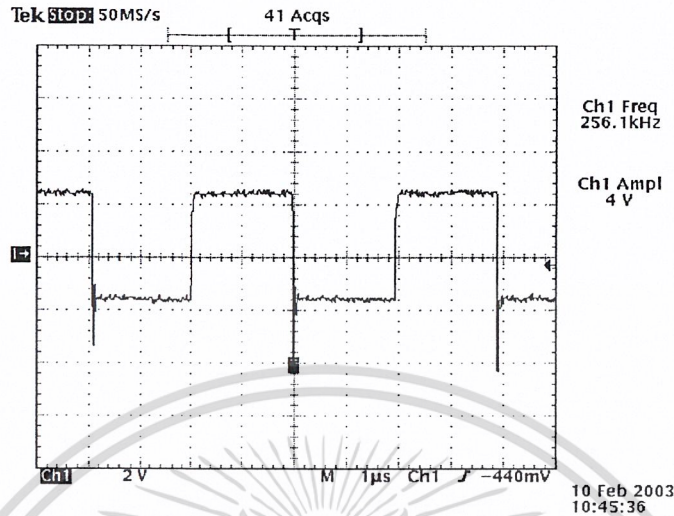


รูปที่ 4.19 (รูปบน) Ch.1 แสดงสัญญาณ Output ของ PLL 1.024 MHz

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้าม (รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกา 512 KHz

เอกสารทุกครั้งที่มีการนำไปใช้

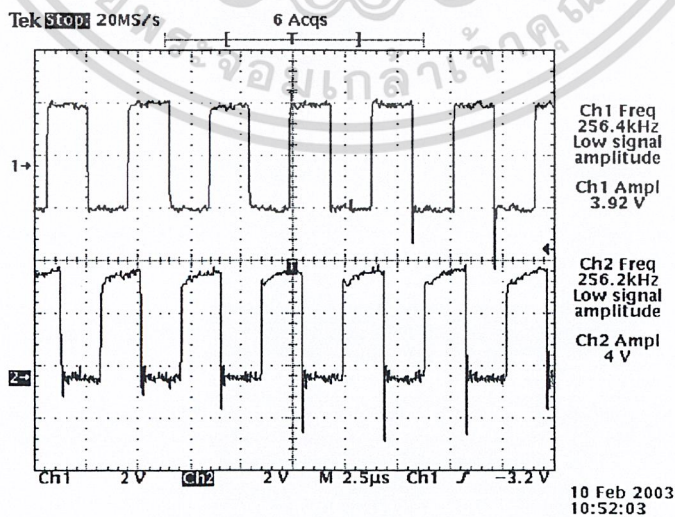
เมื่อต่อวงจรตามรูปที่ 3.17 ซึ่งเป็นวงจรเฟสล็อกคูลูปและหารความถี่ โดยจะทำการหารความถี่ที่ได้ จากวงจรเฟสล็อกคูลูป 1.0254 MHz ให้เหลือ 256 KHz โดยวัดที่ขา 12 ของ (U5) IC เบอร์ 7490



รูปที่ 4.20 Ch.1 แสดงสัญญาณนาฬิกา 256 KHz

เมื่อต่อวงจรตามรูปที่ 3.7 วงจรกำเนิดสัญญาณนาฬิกา 256 KHz โดยป้อนสัญญาณนาฬิกา 1.024 MHz จากวงจรรูปที่ 3.5 เป็นสัญญาณอินพุต และวงจรเฟสล็อกคูลูปและหารความถี่ โดยจะทำการหารความถี่ที่ได้จากวงจรเฟสล็อกคูลูป 1.024 MHz ให้เหลือ 256 KHz

โดย Ch.1 เป็นสัญญาณนาฬิกา 256 KHz เมื่อวัดที่ขา 9 ของ (U10) IC เบอร์ 7490 ส่วน Ch.2 เป็นสัญญาณนาฬิกา 256 KHz โดยวัดที่ขา 12 ของ (U5) IC เบอร์ 7490 ซึ่งเป็นการเปรียบเทียบสัญญาณนาฬิกา ทางด้านภาคส่งกับสัญญาณนาฬิกาที่กู้ได้ทางภาครับ



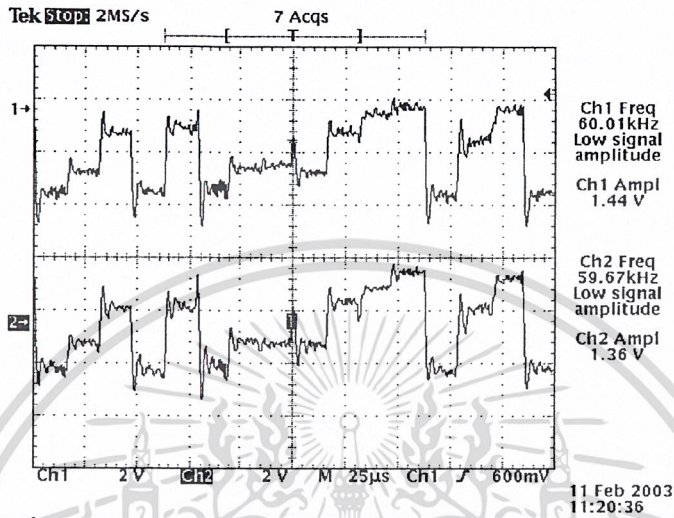
รูปที่ 4.21 (รูปบน) Ch.1 แสดงสัญญาณนาฬิกาที่กู้ได้ทางภาครับความถี่ 256 KHz

(รูปล่าง) Ch.2 แสดงสัญญาณนาฬิกาทางภาคส่งความถี่ 256 KHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สงวนไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องแจ้งองค์กรเจ้าของเอกสารไว้ทุกที่ที่มีการนำไปใช้

เมื่อต่อวงจรตามรูปที่ 3.19 และรูปที่ 3.20 ซึ่งเป็นวงจรบาลานซ์ดีมอดคูเลเตอร์ และวงจรกรองความถี่ต่ำผ่าน ตามลำดับ

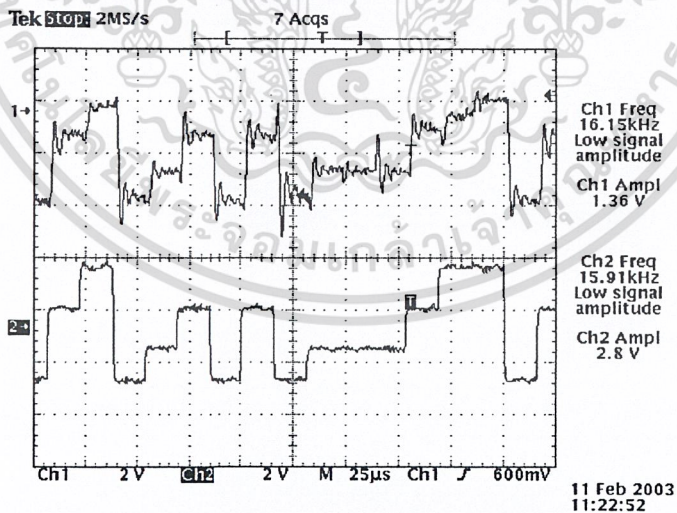
โดย Ch.1 เป็นสัญญาณ 4 ระดับที่ตีเทคได้จากวงจรบาลานซ์ดีมอดคูเลเตอร์และผ่านวงจรกรองความถี่แล้ว โดยวัดที่ขา 6 ของ (U4) IC เบอร์ LF351 ส่วน Ch.2 เป็นสัญญาณ 4 ระดับที่ตีเทคได้จากวงจรบาลานซ์ดีมอดคูเลเตอร์และผ่านวงจรกรองความถี่แล้ว โดยวัดที่ขา 6 ของ (U7) IC เบอร์ LF351



รูปที่ 4.22 (รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางด้าน I กับ I'

(รูปล่าง) Ch.2 แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางด้าน Q กับ Q'

เมื่อต่อวงจรตามรูปที่ 3.19 และรูปที่ 3.20 ซึ่งเป็นวงจรบาลานซ์ดีมอดคูเลเตอร์ และวงจรกรองความถี่ต่ำผ่าน ตามลำดับ และวงจรตามรูปที่ 3.3 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณ 4 ระดับ โดยจะเปรียบเทียบสัญญาณ 4 ระดับที่ได้จากภาคส่งและที่ตีเทคได้จากภาครับ

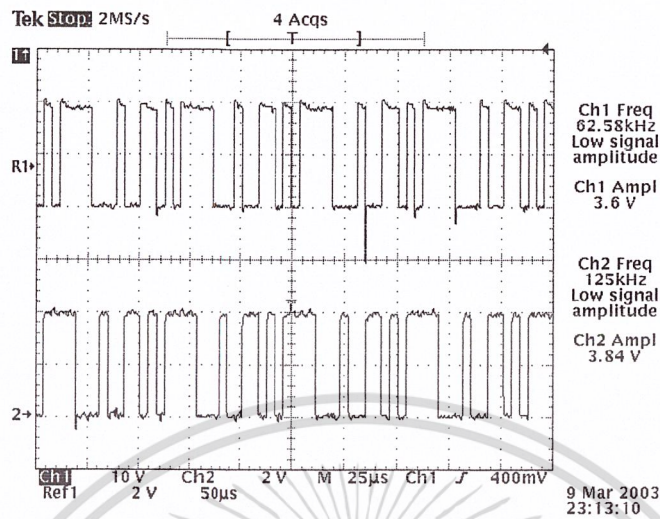


รูปที่ 4.23 (รูปบน) Ch.1 แสดงสัญญาณ 4 ระดับที่ตีเทคได้ทางภาครับ

(รูปล่าง) Ch.2 แสดงสัญญาณ 4 ระดับทางภาคส่ง

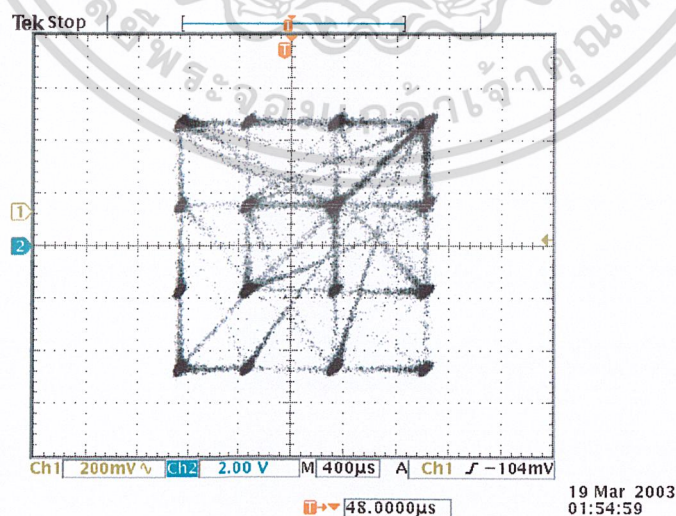
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเป็นการเปรียบเทียบสัญญาณข้อมูล NRZ ที่กำเนิดขึ้นทางภาคส่ง โดยวัดที่ขา 1 ของ (U1) IC เบอร์ 74164 และสัญญาณข้อมูลที่ตีเทคได้จากภาครับ โดยวัดที่ขา 5 ของ (U12A) IC เบอร์ 7474



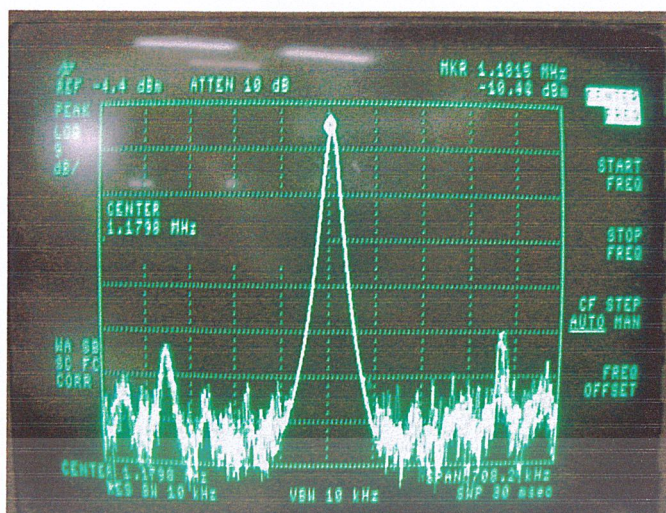
รูปที่ 4.24 (รูปบน) Ch.1 แสดงสัญญาณข้อมูล NRZ ที่กำเนิดขึ้นทางภาคส่ง
(รูปล่าง) Ch.2 แสดงสัญญาณข้อมูลที่ตีเทคได้จากภาครับ

เมื่อต่อวงจรตามรูปที่ 3.3 ซึ่งเป็นวงจรแปลงสัญญาณดิจิทัล 2 บิต เป็นสัญญาณ 4 ระดับ โดยป้อนสัญญาณ I กับ I' ดังรูปที่ 5.3 Ch.2 และรูปที่ 5.4 Ch.2 ตามลำดับเข้าวงจรรูปที่ 3.3 จะทำให้ได้สัญญาณ 4 ระดับ

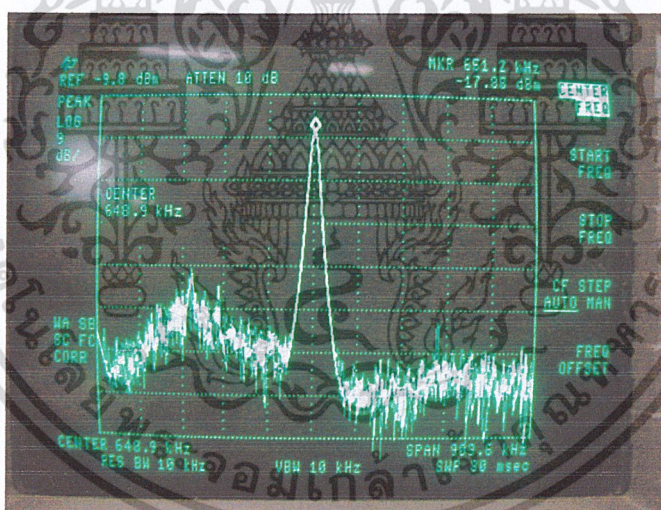


รูปที่ 4.25 แสดง Constellation Diagram 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

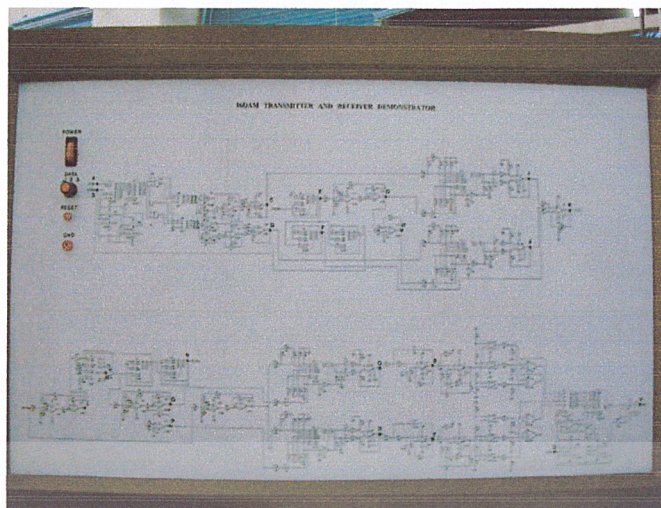


รูปที่ 4.26 แสดงรูปที่วัดจากเครื่องสเปกตรัมของวงจร BPF 1.024 MHz



รูปที่ 4.27 แสดงรูปที่วัดจากเครื่องสเปกตรัมของวงจร BPF 512 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 แสดงด้านหน้าแผงของชุดทดลองเครื่องรับ-ส่ง 16 QAM



รูปที่ 4.29 แสดงด้านหลังแผงของชุดทดลองเครื่องรับ-ส่ง 16 QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และบทสรุป

การส่งสัญญาณที่ใช้เทคนิคการมอดูเลตแบบ 16QAM นั้นเป็นการส่งสัญญาณแบบซิงโครไนซ์ กล่าวคือ สัญญาณพาหะและคลื่นของวงจรทางภาคส่งและภาครับต้องเป็นตัวเดียวกัน (เฟสและความถี่ตรงกัน) โดยการส่งสัญญาณนำร่องไปพร้อมกับสัญญาณ 16QAM ในทางภาคส่ง เพื่อให้ทางภาครับใช้ในการกู้สัญญาณพาหะและคล็อก ซึ่งทำให้ทางภาคส่งและภาครับซิงโครไนซ์กัน

ในการมอดูเลตแบบ 16QAM นี้ สัญญาณดิจิทัลทุก ๆ 4 บิตทำให้แอมพลิจูดและความถี่ของสัญญาณพาหะเปลี่ยนแปลงอย่างใดอย่างหนึ่งหรือทั้งสองอย่างพร้อมกัน โดยใช้ความถี่สัญญาณพาหะ 1.024 MHz , ความถี่สัญญาณนำร่อง 512 KHZ และความเร็วข้อมูลดิจิทัล 256 bps

เนื่องจากสัญญาณดิจิทัลไปทำให้แอมพลิจูดและเฟสของสัญญาณพาหะเปลี่ยนแปลงนี้เองทำให้การตีเทคข้อมูลเป็นเรื่องที่ค่อนข้างยาก กล่าวคือถ้าเฟสหรือแอมพลิจูดของสัญญาณ 16QAM เปลี่ยนแปลงไปเพียงเล็กน้อยก็อาจจะทำให้การตีเทคผิดพลาดได้

จากทดลองพบว่ามีปัญหาเกิดขึ้นอยู่หลายประการ ดังจะกล่าวต่อไป

5.1 วงจรภาคส่ง

5.1.1 วงจรแปลงข้อมูล 2 บิตเป็นสัญญาณ 4 ระดับ

วงจรทางภาคส่งประกอบไปด้วยวงจรแปลงข้อมูล 2 บิตเป็น 4 ระดับ ดังนั้นการปรับสัญญาณ 4 ระดับของทั้งสองวงจรจะต้องมีค่าเท่ากัน

5.1.2 วงจรกรองความถี่ผ่านเฉพาะช่วง

เมื่อสัญญาณพาหะที่ผลิตได้นั้น ต้องนำไปผ่านวงจรกรองความถี่ผ่านเฉพาะช่วง 1.024 MHz ให้ได้สัญญาณไซน์ที่ไม่มีควมถี่อื่นปนอยู่เลย เพื่อใช้ในการมอดูเลตสัญญาณ ซึ่งต้องใช้วงจรกรองที่มีประสิทธิภาพมาก

5.1.3 วงจรบาลานซ์มอดูเลเตอร์

เนื่องจากวงจรบาลานซ์มอดูเลเตอร์ที่ใช้ นั้นต้องการอินพุตที่มีแอมพลิจูดที่ต่ำมาก หากป้อนสัญญาณที่มีระดับอินพุตที่สูงจะก่อให้เกิดความผิดพลาดขึ้น นอกจากนี้แล้วจะต้องทำให้เป็นสัญญาณเอาต์พุตซบเพรสแคร้เรีย และมีความบาลานซ์กันทั้งทางโลเวอร์ไซน์แบนด์และอัพเพอร์ไซน์แบนด์ นอกจากนี้สัญญาณเอาต์พุตของวงจรทั้งสองตัวจะต้องมีระดับที่เท่ากัน ไม่เช่นนั้นจะก่อให้เกิดความผิดพลาดในการเปลี่ยนแปลงแอมพลิจูดและเฟสของพาหะ ทั้งยังมีผลให้เกิดความผิดพลาดในการตีเทคในทางภาครับต่อไปอีก

5.2 วงจรภาครับ

5.2.1 วงจรกรองความถี่ผ่านเฉพาะช่วง

เนื่องจากภาครับจะต้องทำการกู้สัญญาณพาหะและคล็อก โดยอาศัยสัญญาณนำร่อง ดังนั้นต้องใช้เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษานาน น. ไม่นานมานี้มาใช้ประโยชน์ด้านการศึกษา วงจรกรองความถี่ผ่าน กรองเอาเฉพาะสัญญาณนำร่องออกมา ซึ่งถ้าหากว่าวงจรนี้ไม่สามารถกรองเอาไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฉพาะสัญญาณนำร่องแล้วจะทำให้วงจรเฟสล็อกถูปลไม่สามารถทำงานได้ ซึ่งในการทดลองครั้งนี้พบผลที่น่าพอใจมาก นอกจากนี้ยังมีวงจรรองความถี่ผ่านเฉพาะช่วง 1.024 MHz อีก 1 วงจรเพื่อกรองเอาเฉพาะสัญญาณไซน์ดังที่กล่าวมาแล้วทางภาคส่ง

5.2.2 วงจรเฟสล็อกถูปล

เนื่องจากการทดลองนี้ใช้วงจรเฟสล็อกถูปลในการกู้สัญญาณพาหะและคล็อก ซึ่งเป็นวงจรสำคัญวงจรหนึ่ง กล่าวคือ วงจรนี้จะต้องทำการล็อกความถี่ให้ได้ตามที่ต้องการ ซึ่งถ้าหากวงจรนี้ทำงานได้ไม่ดีแล้วจะทำให้ ได้รับสัญญาณพาหะและคล็อกที่ผิดเพี้ยนไปจากภาคส่ง ส่งผลให้การดีเทคสัญญาณผิดพลาดไปด้วย

5.2.3 วงจรบาลานซ์ดีมอดูเลเตอร์

ในการทำงานเกี่ยวกับทางภาคส่ง

5.2.4 วงจรแปลงสัญญาณ 4 ระดับ ให้เป็น 2 บิต

วงจรนี้ต้องการสัญญาณที่มีความละเอียดสูง ดังนั้นสัญญาณ 4 ระดับที่เอาที่พุทของวงจรรองความถี่ต่ำผ่านหลังบาลานซ์ดีมอดูเลเตอร์จะต้องเป็นสัญญาณที่มีความละเอียดและราบเรียบสูง จึงจะสามารถแปลงสัญญาณดิจิตอล 2 บิต ได้อย่างถูกต้อง

5.2.5 วงจรรวมสัญญาณดิจิตอล

ในที่นี้ไม่พบปัญหาเนื่องจากถ้าสัญญาณ 2 บิตที่ได้จากวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต มีความถูกต้องแล้ว วงจรรวมสัญญาณดิจิตอลก็สามารถรวมสัญญาณดิจิตอล ได้อย่างถูกต้องซึ่งมีค่าเหมือนกับทางภาคส่ง

โดยสรุปชุดทดลองเครื่องรับและส่งสัญญาณ 16QAM สามารถทำงาน ได้จริง ซึ่งอาจจะเกิดบิต error rate บ้าง สาเหตุของบิต error rate ก็คือ สัญญาณพาหะที่กู้ได้ทางภาครับ มีเฟสและความถี่ไม่ตรงกับทางภาครับ และอาจเกิดการดีเทคผิดพลาดของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต ซึ่งในการทดลองครั้งนี้สามารถแก้ปัญหาดังกล่าวได้ โดยการสร้างวงจรเฟสล็อกถูปลที่สามารถล็อกความถี่ได้ ความถี่อินพุทซึ่งก็คือความถี่ของทางภาคส่งนั่นเอง รวมทั้งการจัดระดับอ้างอิงของวงจรแปลงสัญญาณ 4 ระดับเป็น 2 บิต ให้มีความแม่นยำและถูกต้อง นอกจากนี้ก็ยังมีสัญญาณรบกวนจากกล่องอคูมิเนียมที่ใช้ทำชุดทดลองสัญญาณรบกวนทำให้วัดสัญญาณเอาที่พุทได้ไม่ถูกต้อง จึงต้องใช้สายสัญญาณที่มีการสูญเสียที่น้อยที่สุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ใช้ในการทดลอง

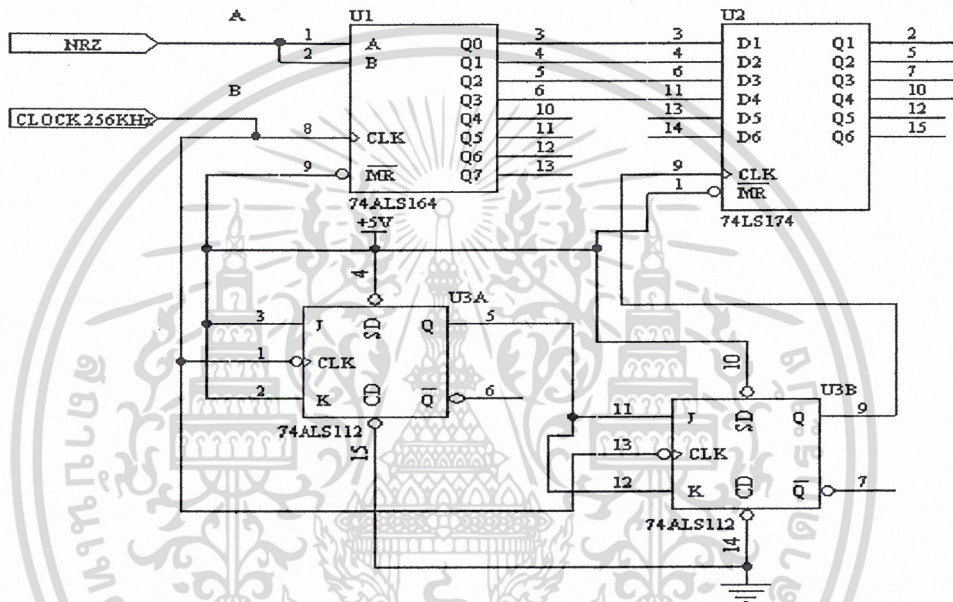
ภาคส่ง

การทดลองที่ 1 วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (Serial to Parallel Circuit)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (Serial to Parallel Circuit)

ขั้นตอนการทดลอง

1. ต่อวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (Serial to Parallel Circuit) ตามรูป



วงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน (Serial to Parallel Circuit)

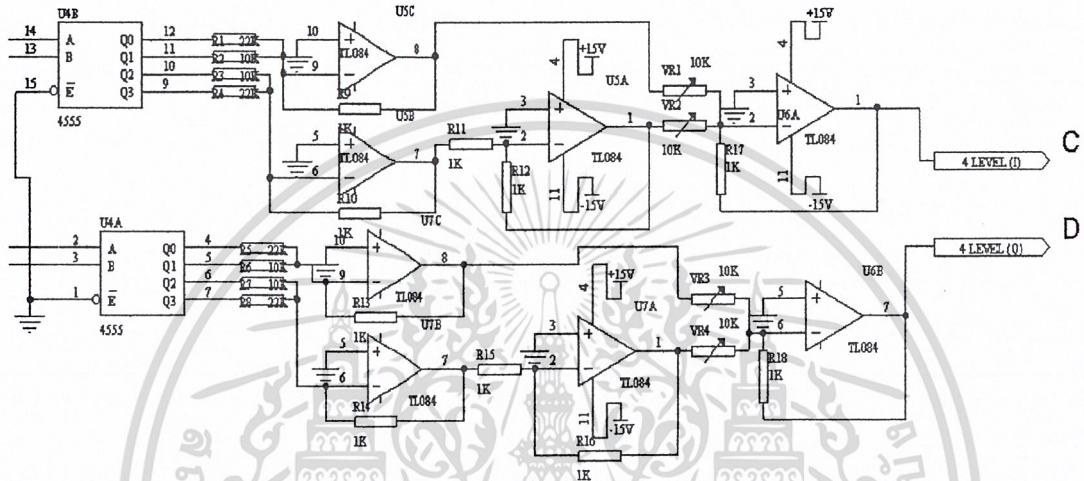
2. ป้อนสัญญาณดิจิทัล NRZ ที่จุด A
3. ป้อนสัญญาณนาฬิกา 256 KHz ที่จุด B
4. วัดสัญญาณเอาต์พุตที่ได้โดยใช้ ออสซิลโลสโคปที่ขา 3, 4, 5 และ 6 ของ IC 74164 ของวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level)
5. บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 2 วงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level)
วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก
 (2 Bit to 4 Level)

ขั้นตอนการทดลอง

1. ต่อวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level) ตามรูป



วงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level)

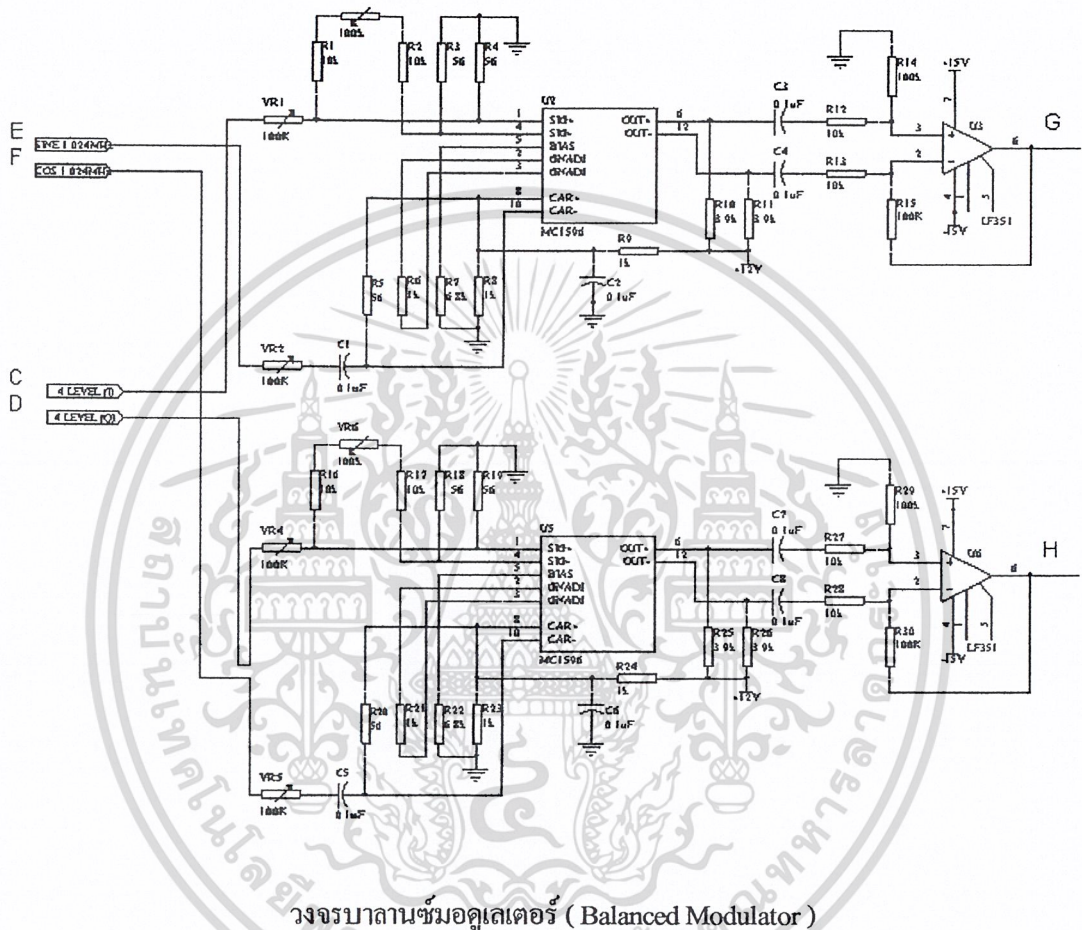
2. ใช้สัญญาณข้อมูลขานจากวงจรแปลงข้อมูลอนุกรมเป็นข้อมูลขานานป้อนเป็นอินพุทของวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level)
3. วัดสัญญาณเอาต์พุทที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด C และ D ของวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level)
4. บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 4 วงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)
ขั้นตอนการทดลอง

1. ต่อวงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator) ตามรูป



- นำเอาที่พุดจากจุด C และ D ของวงจรแปลงสัญญาณดิจิทัล 2 บิตเป็นสัญญาณอนาล็อก (2 Bit to 4 Level) มาเป็นอินพุทของวงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)
- นำเอาที่พุดจากจุด E และ F ของวงจรกำเนิดสัญญาณนาฬิกา 1.024 MHz ซึ่งเป็นสัญญาณ Carrier มาเป็นอินพุทวงจรมอดูเลเตอร์ (Balanced Modulator)
- วัดสัญญาณเอาต์พุทที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด G และ H ของวงจรบาลานซ์มอดูเลเตอร์ (Balanced Modulator)
- บันทึกผลการทดลอง

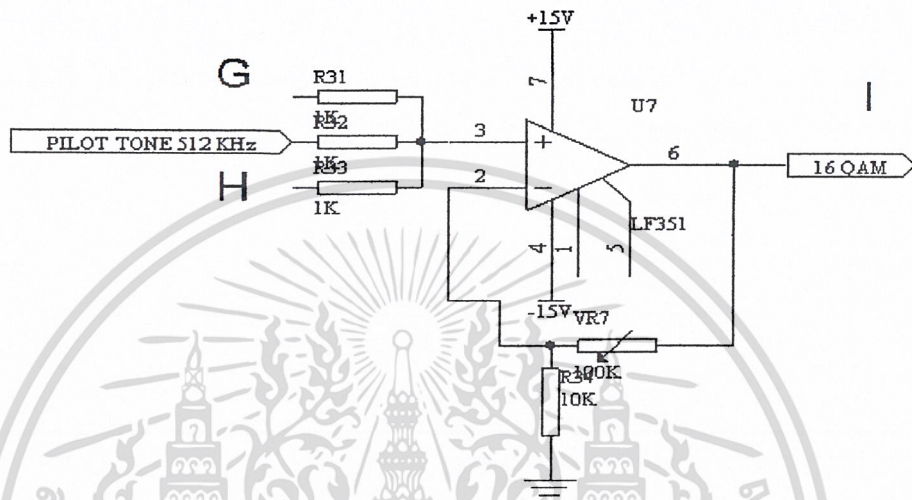
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 5 วงจรรวมสัญญาณ (Summing)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรรวมสัญญาณ (Summing)

ขั้นตอนการทดลอง

1. ต่อวงจรรวมสัญญาณ (Summing) ตามรูป



วงจรรวมสัญญาณ (Summing)

2. นำเอาที่พุดจากจุด G และ H ของวงจรรวมสัญญาณ (Summing) ป้อนเป็นอินพุตให้กับวงจรรวมสัญญาณ (Summing)
3. ป้อนสัญญาณไฟลีดทอน 512 KHz
4. วัดสัญญาณที่ได้จากจุด I โดยใช้ออสซิลโลสโคปของวงจรรวมสัญญาณ (Summing)
5. บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

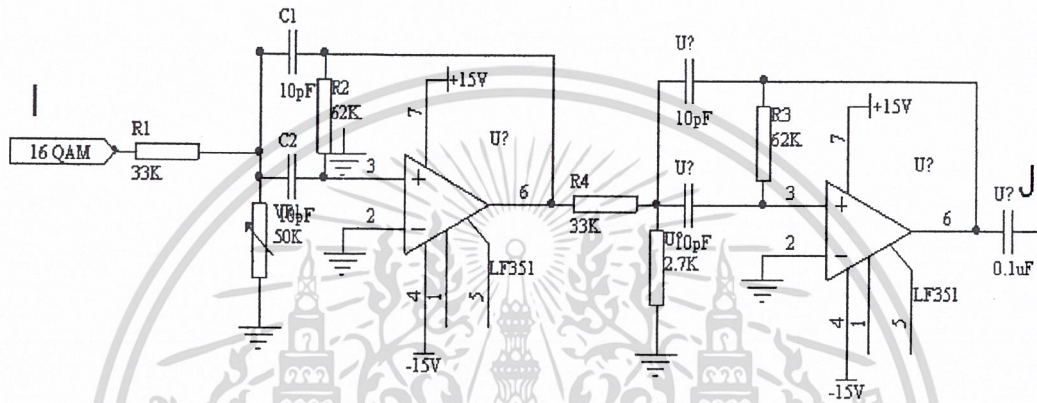
ภาครับ

การทดลองที่ 6 วงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter)

ขั้นตอนการทดลอง

1. ต่อวงจรถองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter) ตามรูป



วงจรถองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter)

3. นำเอาที่พุดจากจุด I ของวงจรรวมสัญญาณ (Summing) ป้อนเป็นอินพุตให้กับวงจรถองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter)
4. วัดสัญญาณเอาที่พุดที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด J ของวงจรถองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter)
5. บันทึกผลการทดลอง

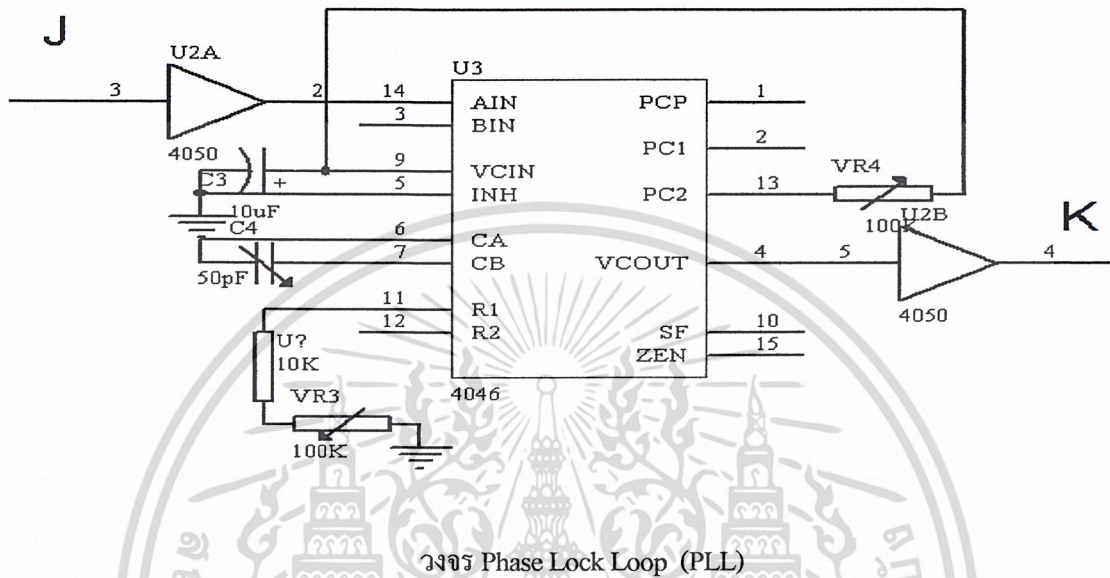
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 7 วงจร Phase Lock Loop (PLL)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจร Phase Lock Loop (PLL)

ขั้นตอนการทดลอง

1. ต่อวงจรวงจร Phase Lock Loop (PLL) ตามรูป



2. นำเอาที่พุดของวงจรกรองความถี่ผ่านเฉพาะช่วง 512 KHz (Band Pass Filter) ป้อนเป็นอินพุตที่จุด J ของวงจร Phase Lock Loop (PLL)
3. วัดสัญญาณเอาต์พุตที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด K ของวงจร Phase Lock Loop (PLL)
4. บันทึกผลการทดลอง

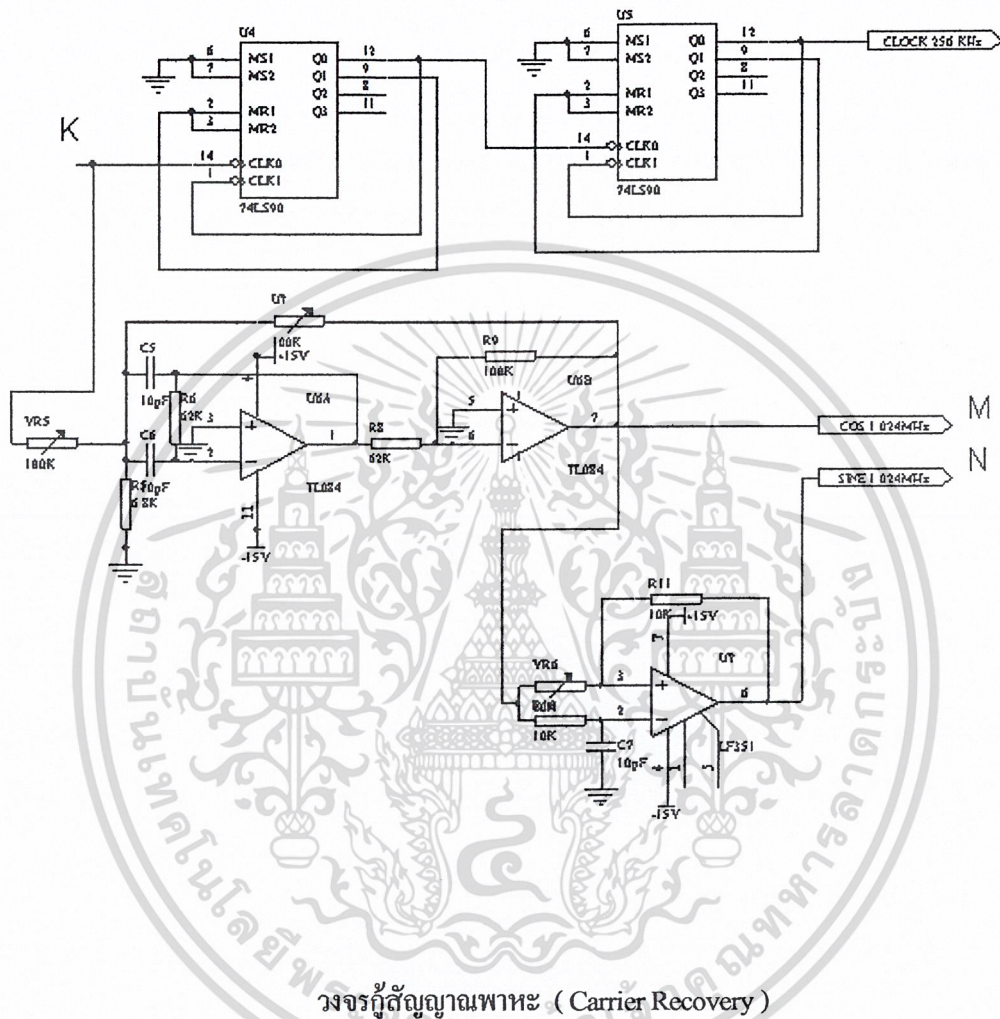
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 8 วงจรกู้สัญญาณพาหะ (Carrier Recovery)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรกู้สัญญาณพาหะ (Carrier Recovery)

ขั้นตอนการทดลอง

1. ต่อวงจรกู้สัญญาณพาหะ (Carrier Recovery) ตามรูป



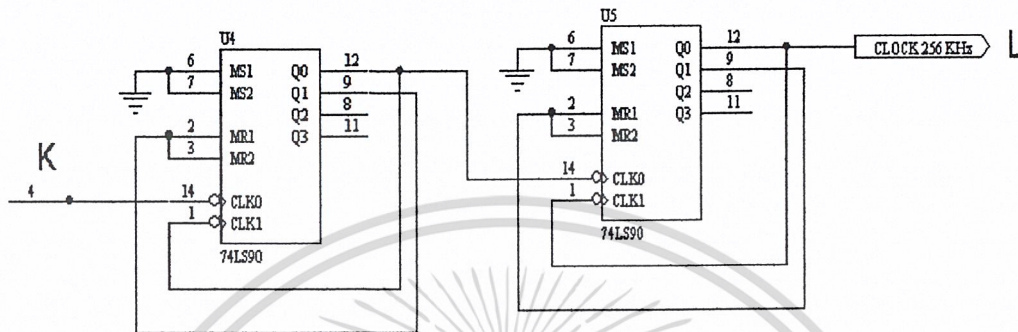
- นำเอาที่พุดจากจุด K ของวงจร Phase Lock Loop (PLL) มาป้อนเป็นอินพุตของวงจรกู้สัญญาณพาหะ (Carrier Recovery)
- วัดสัญญาณเอาต์พุตที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด M และ N ของวงจรกู้สัญญาณพาหะ (Carrier Recovery)
- บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 9 วงจรกู้สัญญาณนาฬิกา 256 KHz

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรกู้สัญญาณนาฬิกา 256 KHz
ขั้นตอนการทดลอง

1. ต่ วงจรกู้สัญญาณนาฬิกา 256 KHz ตามรูป



วงจรกู้สัญญาณนาฬิกา 256 KHz

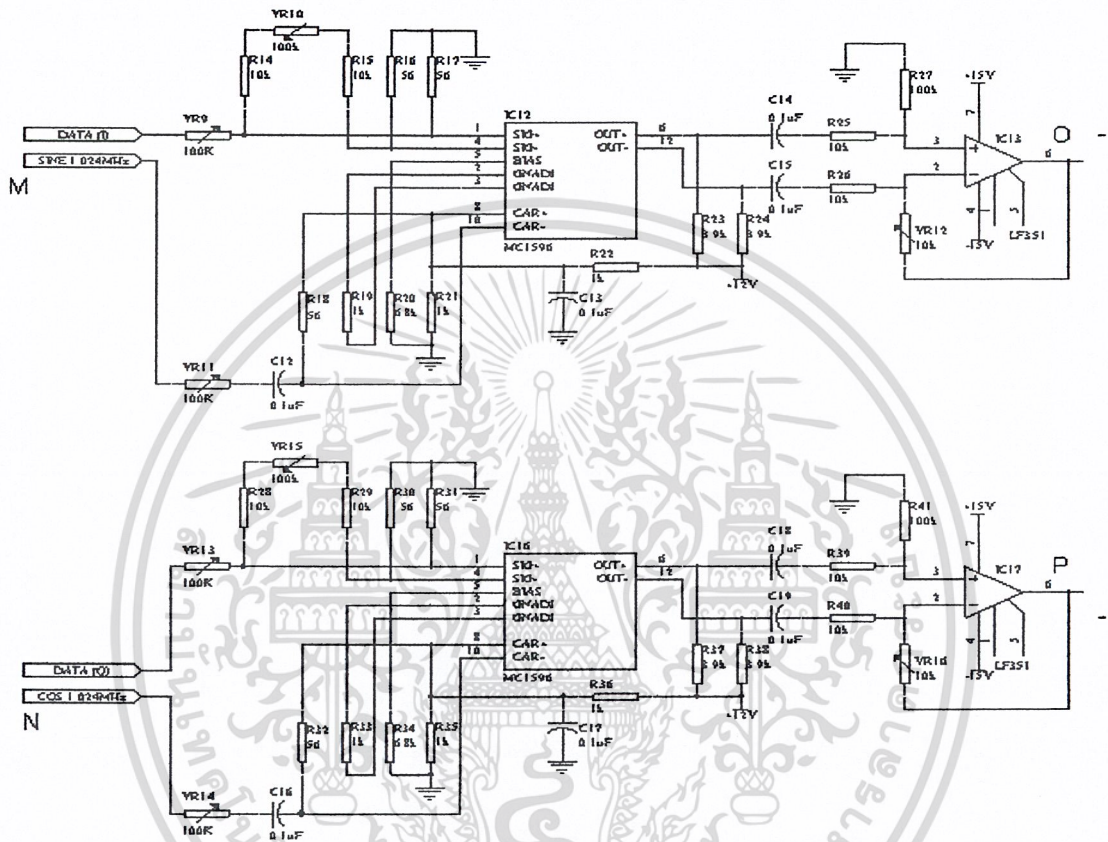
2. นำเอาที่พุดจากจุด K ของวงจรกู้สัญญาณพาหะ (Carrier Recovery) มาป้อนเป็นอินพุตที่ขา K ของวงจรกู้สัญญาณนาฬิกา 256 KHz
3. วัดสัญญาณเอาต์พุตที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด L วงจรกู้สัญญาณนาฬิกา 256 KHz
4. บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 10 วงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator) ขั้นตอนการทดลอง

1. ต่อวงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator) ตามรูป



วงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator)

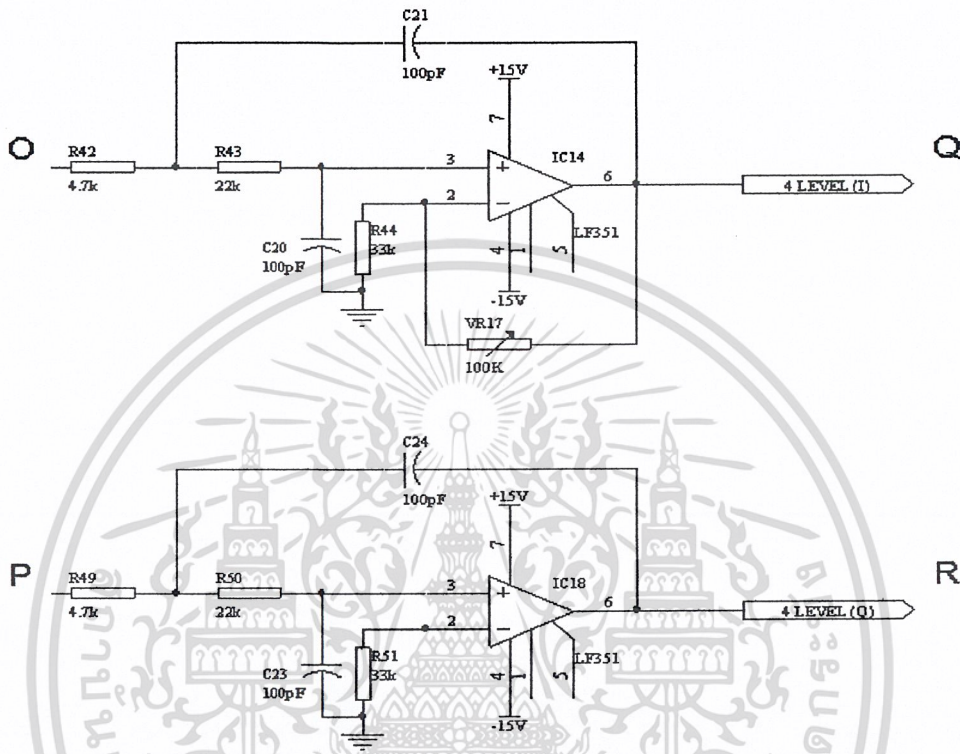
- นำเอาที่พุดจากจุด M และ N ของวงจรกู้สัญญาณพาหะ (Carrier Recovery) มาป้อนเป็นอินพุตของวงจรวงจรมอดูเลเตอร์ (Balanced Demodulator)
- วัดสัญญาณเอาต์พุตที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด O และ P ของวงจรบาลานซ์ดีมอดูเลเตอร์ (Balanced Demodulator)
- บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 11 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ขั้นตอนการทดลอง

1. ต่ วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ตามรูป



วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

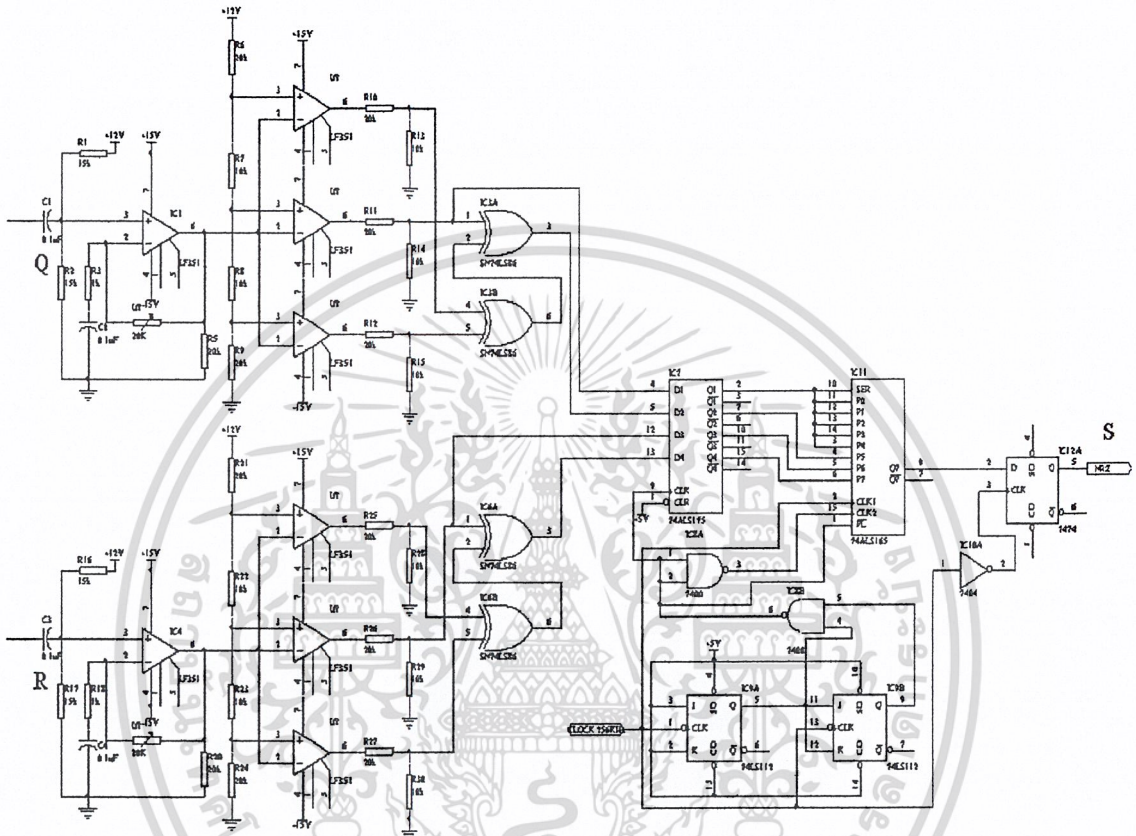
2. นำเอาที่พุดจากจุด O และ P ของวงจรมอดูเลเตอร์ (Balanced Demodulator) มาป้อนเป็นอินพุตของวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
3. วัดสัญญาณเอาที่พุดที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด Q และ R ของวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
4. บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 12 วงจรรวมสัญญาณดิจิทัล (Parall to Serial)

วัตถุประสงค์ เพื่อศึกษาหลักการทำงานของวงจรรวมสัญญาณดิจิทัล (Parall to Serial)
ขั้นตอนการทดลอง

1. ต่่วงจรรวมสัญญาณดิจิทัล (Parall to Serial) ตามรูป



วงจรรวมสัญญาณดิจิทัล (Parall to Serial)

- นำเอาที่พุดจากจุด Q และ R ของวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) มาป้อนเป็นอินพุตของวงจรรวมสัญญาณดิจิทัล (Parall to Serial)
- วัดสัญญาณเอาท์พุทที่ได้โดยใช้ออสซิลโลสโคปวัดที่จุด S ของวงจรรวมสัญญาณดิจิทัล (Parall to Serial)
- บันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1496B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See ON Semiconductor Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
–50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

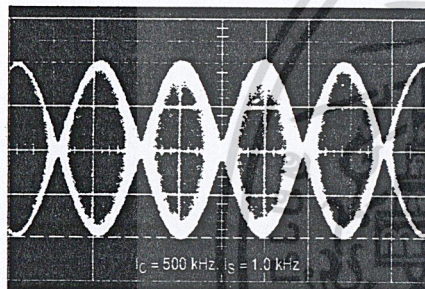


Figure 1. Suppressed Carrier Output Waveform

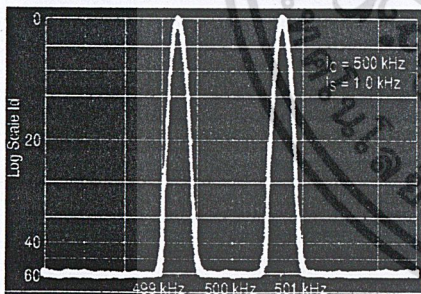


Figure 2. Suppressed Carrier Spectrum

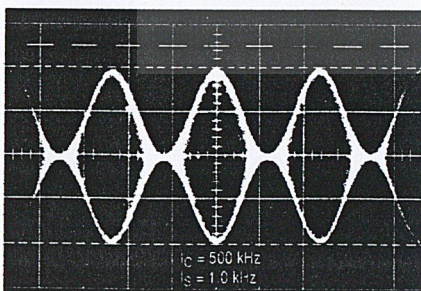


Figure 3. Amplitude Modulation Output Waveform

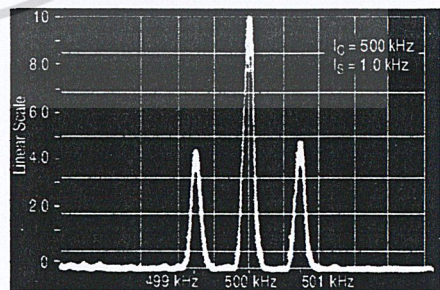


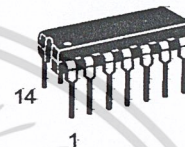
Figure 4. Amplitude-Modulation Spectrum

ON Semiconductor

<http://onsemi.com>



SO-14
D SUFFIX
CASE 751A



PDIP-14
P SUFFIX
CASE 646

PIN CONNECTIONS

Signal Input	1	14	VEE
Gain Adjust	2	13	N/C
Gain Adjust	3	12	Output
Signal Input	4	11	N/C
Bias	5	10	Carrier Input
Output	6	9	N/C
N/C	7	8	Input Carrier

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 11 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 11 of this data sheet.

MC1496, MC1496B

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V ₆ –V ₈ , V ₁₀ –V ₁ , V ₁₂ –V ₈ , V ₁₂ –V ₁₀ , V ₈ –V ₄ , V ₈ –V ₁ , V ₁₀ –V ₄ , V ₆ –V ₁₀ , V ₂ –V ₅ , V ₃ –V ₅)	ΔV	30	Vdc
Differential Input Signal	V ₈ – V ₁₀ V ₄ – V ₁	+5.0 ±(5+15R _e)	Vdc
Maximum Bias Current	I ₅	10	mA
Thermal Resistance, Junction-to-Air Plastic Dual In-Line Package	R _{θJA}	100	°C/W
Operating Ambient Temperature Range	MC1496 MC1496B	T _A	0 to +70 –40 to +125
Storage Temperature Range	T _{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I₅ = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single-ended, unless otherwise noted.) (Note 1)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough V _C = 60 mVrms sine wave and offset adjusted to zero V _C = 300 mVpp square wave: offset adjusted to zero offset not adjusted	5	1	V _{CFT}	–	40 140	–	μVrms mVrms
Carrier Suppression f _S = 10 kHz, 300 mVrms f _C = 500 kHz, 60 mVrms sine wave f _C = 10 MHz, 60 mVrms sine wave	5	2	V _{CS}	40	65 50	–	dB k
Transadmittance Bandwidth (Magnitude) (R _L = 50 Ω) Carrier Input Port, V _C = 60 mVrms sine wave f _S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V _S = 300 mVrms sine wave V _C = 0.5 Vdc	8	8	BW _{3dB}	–	300 80	–	MHz
Signal Gain (V _S = 100 mVrms, f = 1.0 kHz; V _C = 0.5 Vdc)	10	3	A _{VS}	2.5	3.5	–	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	–	r _{ip} C _{ip}	–	200 2.0	–	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	6	–	r _{op} C _{oo}	–	40 5.0	–	kΩ pF
Input Bias Current I _{bS} = $\frac{I_1 + I_4}{2}$; I _{bC} = $\frac{I_8 + I_{10}}{2}$	7	–	I _{bS} I _{bC}	–	12 12	30 30	μA
Input Offset Current I _{ioS} = I ₁ –I ₄ ; I _{ioC} = I ₈ –I ₁₀	7	–	I _{ioS} I _{ioC}	–	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T _A = –55°C to +125°C)	7	–	TC _{io}	–	2.0	–	nA/°C
Output Offset Current (I ₆ –I ₉)	7	–	I _{oo}	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T _A = –55°C to +125°C)	7	–	TC _{ioo}	–	90	–	nA/°C
Common-Mode Input Swing, Signal Port, f _S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common-Mode Gain, Signal Port, f _S = 1.0 kHz, V _C = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V _{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V _{out}	–	8.0	–	Vpp
Power Supply Current I ₆ + I ₁₂ I ₁₄	7	6	I _{CC} I _{EE}	–	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P _D	–	33	–	mW

1. T_{low} = 0°C for MC1496
= –40°C for MC1496B
- T_{high} = +70°C for MC1496
= +125°C for MC1496B

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S . Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_E + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5(\text{mA})}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" ($V_C = 0.5 \text{ Vdc}$). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5 .

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D , within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_{12} = V_6$, $I_5 = I_6 = I_{12}$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{14}) + I_5 V_5 - V_{14}$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I_5 = I_6 = I_{12},$$

$$I_B < I_C \text{ for all transistors}$$

then :

$$R_5 = \frac{V - \phi}{I_5} - 500 \Omega$$

where: R_5 is the resistor between Pin 5 and ground
 $\phi = 0.75$ at $T_A = +25^\circ\text{C}$

The MC1496 has been characterized for the condition $I_5 = 1.0 \text{ mA}$ and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_{12} = V^+ - I_5 R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30 \text{ Vdc} \geq [(V_6, V_{12}) - (V_8, V_{10})] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_8, V_{10}) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_{12}, V_8 = V_{10}, V_1 = V_4$$

MC1496, MC1496B

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21C} = \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \Big|_{V_o = 0}$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21S} = \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \Big|_{V_c = 0.5 \text{ Vdc}, V_o = 0}$$

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

The output signal is taken from Pins 6 and 12 either balanced or single-ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations

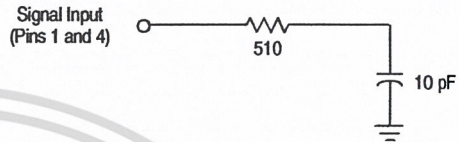
in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

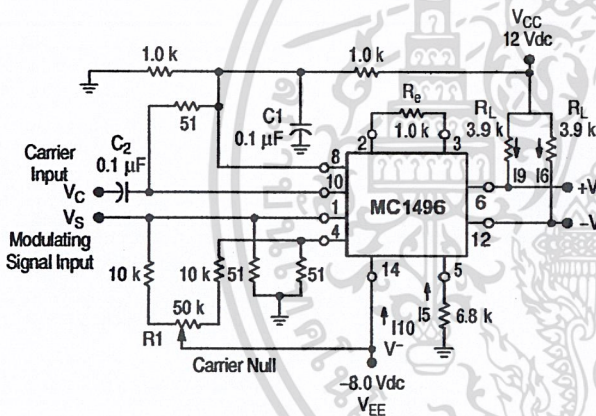
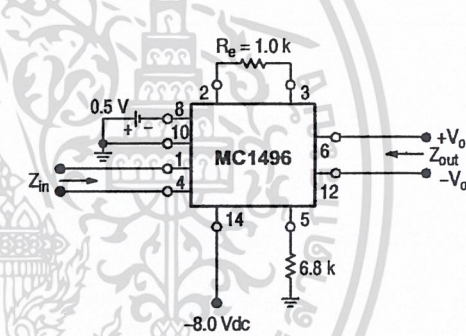


Figure 5. Carrier Rejection and Suppression



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 6. Input-Output Impedance

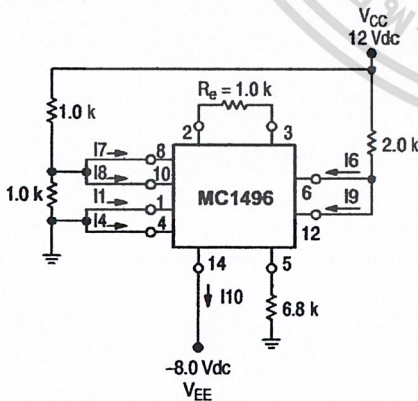


Figure 7. Bias and Offset Currents

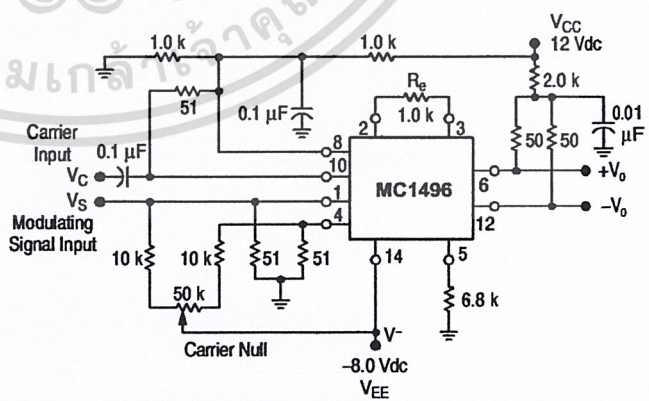


Figure 8. Transconductance Bandwidth

MC1496, MC1496B

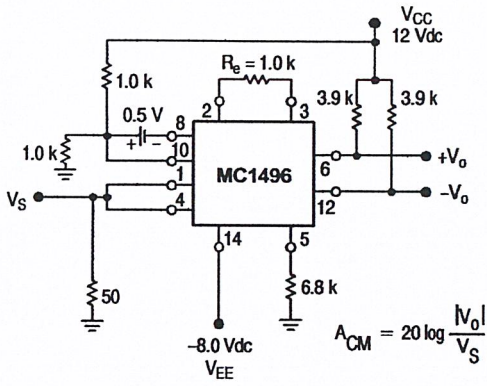


Figure 9. Common Mode Gain

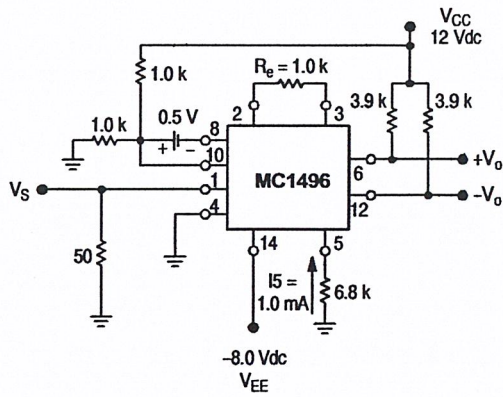


Figure 10. Signal Gain and Output Swing

TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, $f_c = 500$ kHz (sine wave), $V_C = 60$ mVrms, $f_S = 1.0$ kHz, $V_S = 300$ mVrms, $T_A = 25^\circ\text{C}$, unless otherwise noted.

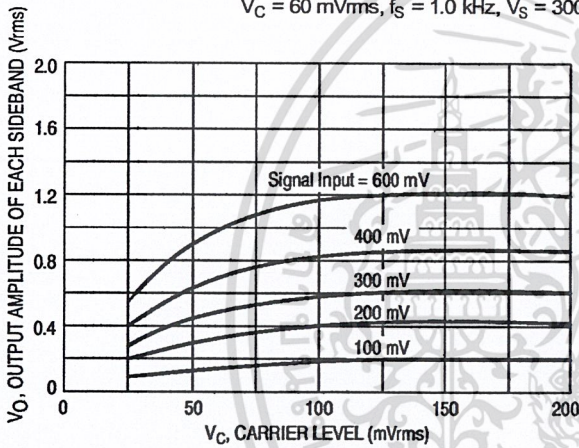


Figure 11. Sideband Output versus Carrier Levels

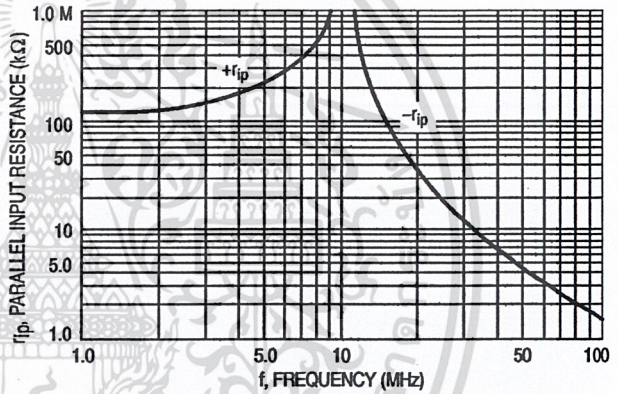


Figure 12. Signal-Port Parallel-Equivalent Input Resistance versus Frequency

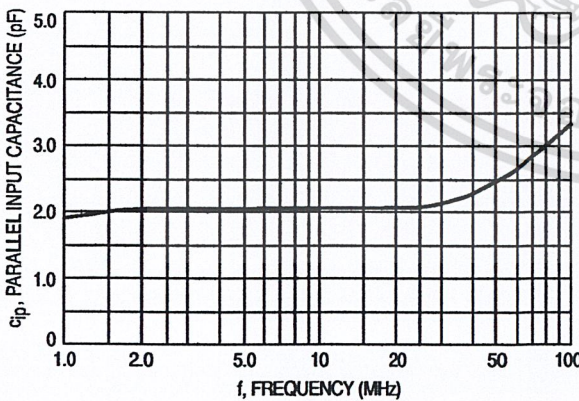


Figure 13. Signal-Port Parallel-Equivalent Input Capacitance versus Frequency

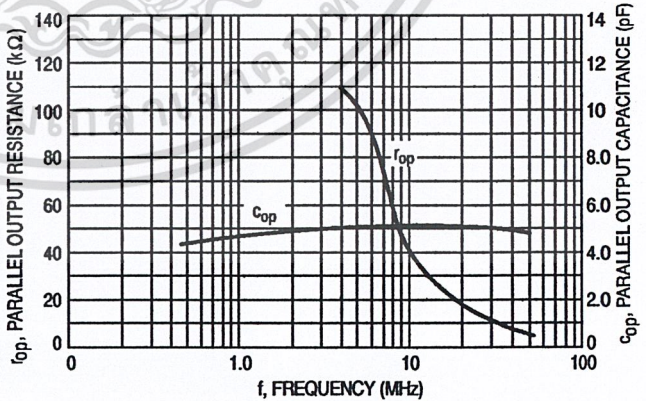


Figure 14. Single-Ended Output Impedance versus Frequency

MC1496, MC1496B

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, $f_C = 500$ kHz (sine wave), $V_C = 60$ mVrms, $f_S = 1.0$ kHz, $V_S = 300$ mVrms, $T_A = 25^\circ\text{C}$, unless otherwise noted.

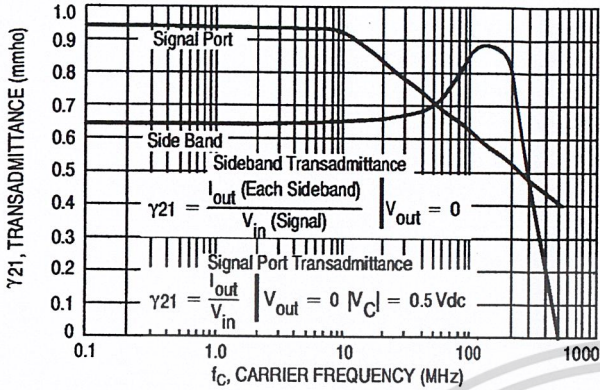


Figure 15. Sideband and Signal Port Transmittances versus Frequency

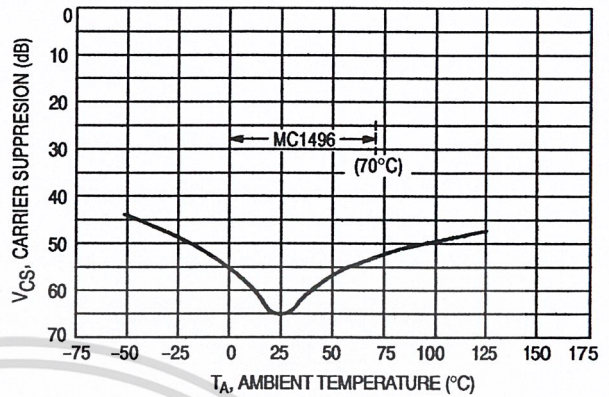


Figure 16. Carrier Suppression versus Temperature

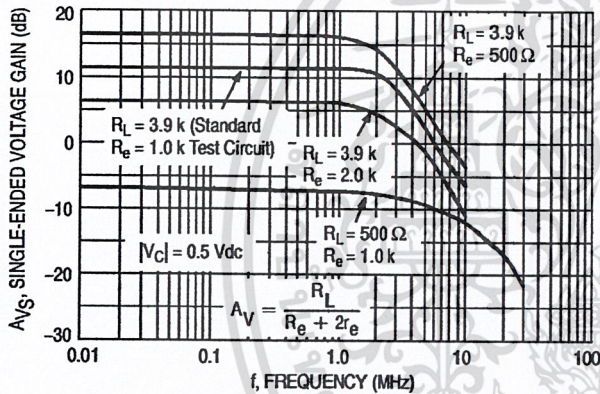


Figure 17. Signal-Port Frequency Response

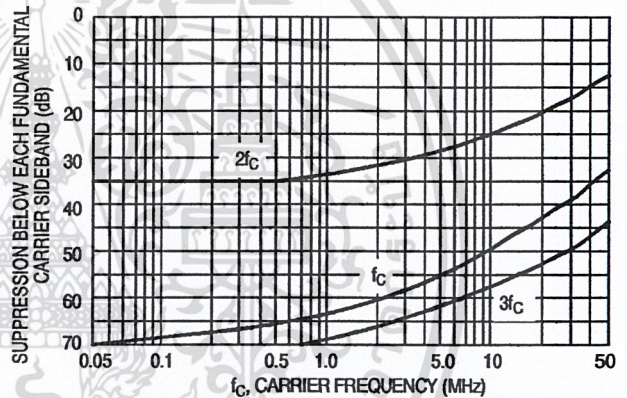


Figure 18. Carrier Suppression versus Frequency

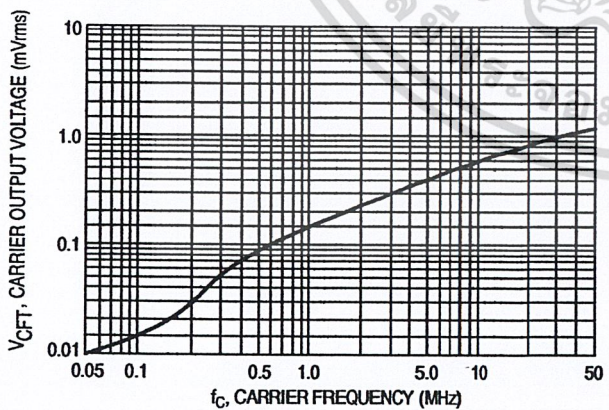


Figure 19. Carrier Feedthrough versus Frequency

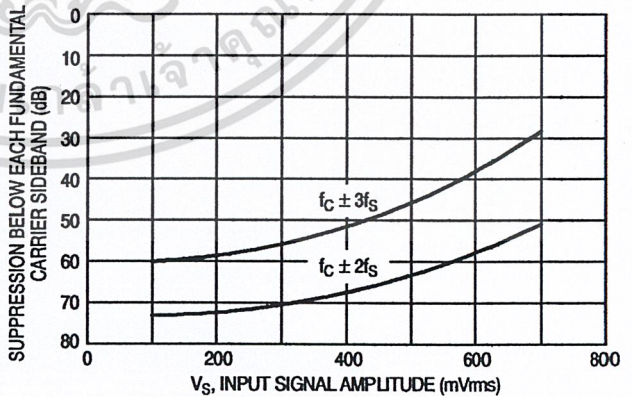


Figure 20. Sideband Harmonic Suppression versus Input Signal Level

MC1496, MC1496B

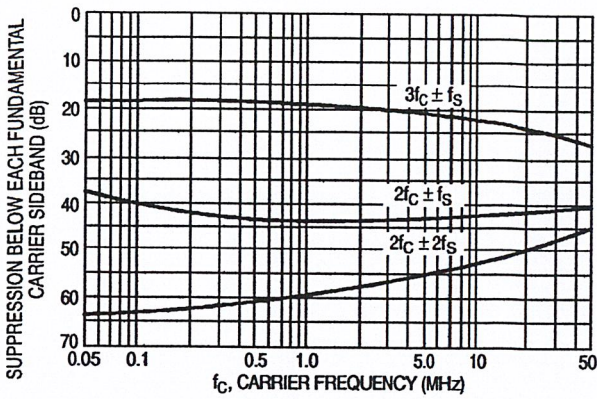


Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

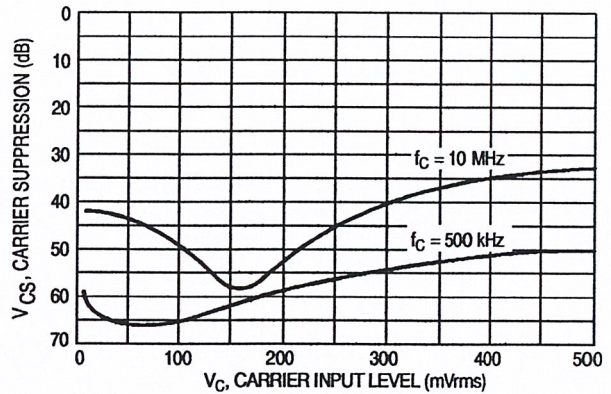


Figure 22. Carrier Suppression versus Carrier Input Level

OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency

components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15) (R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

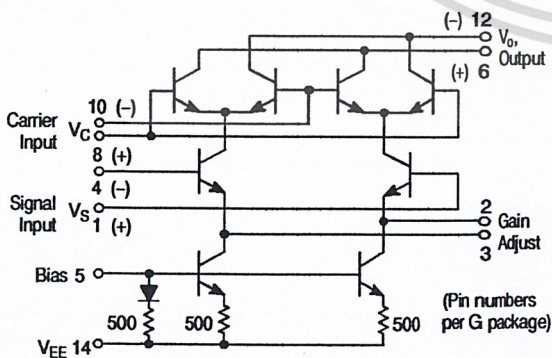


Figure 23. Circuit Schematic

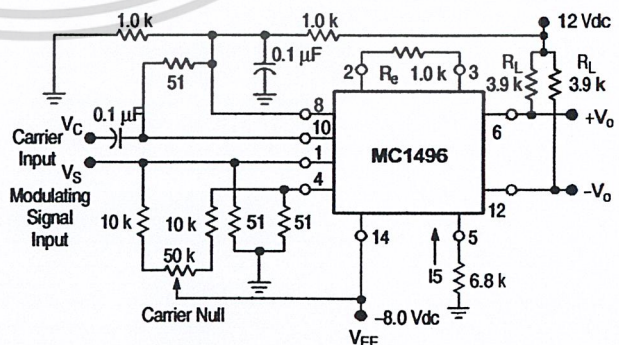


Figure 24. Typical Modulator Circuit

MC1496, MC1496B

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e) \left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(\text{rms})}{2\sqrt{2} \left(\frac{KT}{q}\right) (R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \dots$

2. Low-level Modulating Signal, V_M , assumed in all cases. V_C is Carrier Input Voltage.
3. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
4. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
5. R_L = Load resistance.
6. R_E = Emitter resistance between Pins 2 and 3.
7. r_e = Transistor dynamic emitter resistance, at 25°C;

$$r_e \approx \frac{26\text{mV}}{I_E(\text{mA})}$$
8. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26\text{mV at room temperature}$$

Figure 25. Voltage Gain and Output Frequencies

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low-level modulating signal input and the following carrier input conditions:

- 1) Low-level dc
- 2) High-level dc
- 3) Low-level ac
- 4) High-level ac

These gains are summarized in Figure NO TAG, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on Pins 8 and 10 should be increased to 1.0 μF . Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level

MC1496, MC1496B

is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

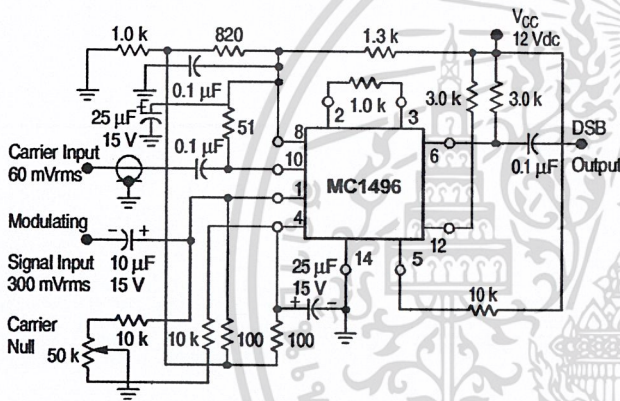


Figure 26. Balanced Modulator (12 Vdc Single Supply)

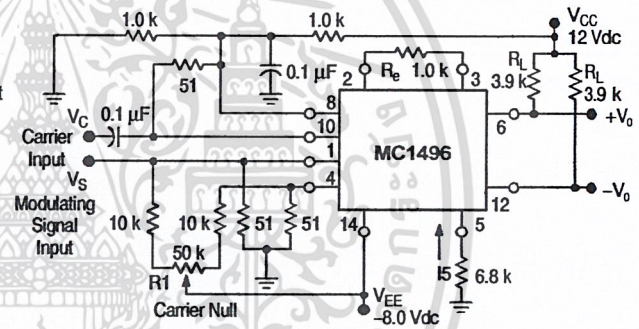


Figure 27. Balanced Modulator-Demodulator

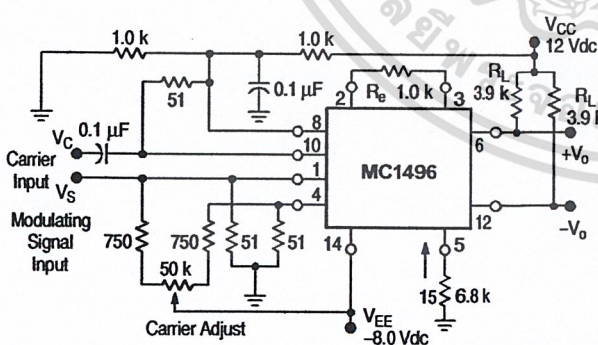


Figure 28. AM Modulator Circuit

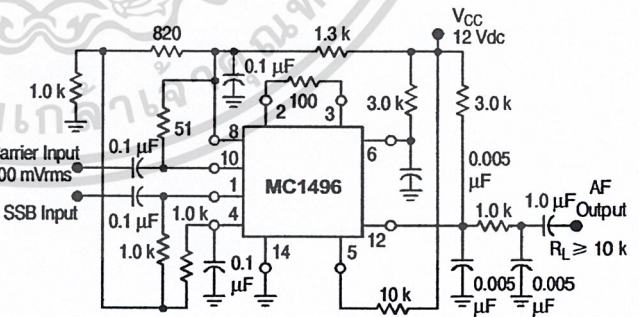
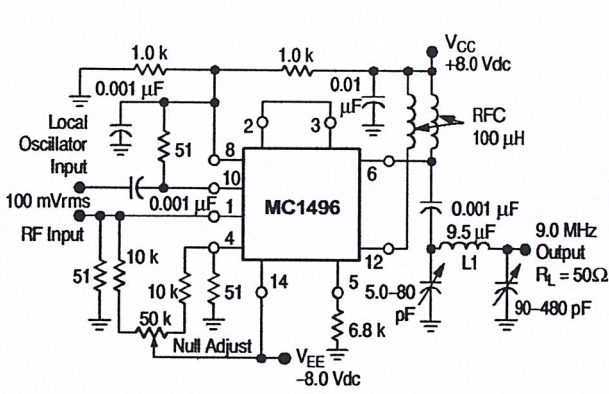


Figure 29. Product Detector (12 Vdc Single Supply)

MC1496, MC1496B



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44-6 Toroid Core.

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)

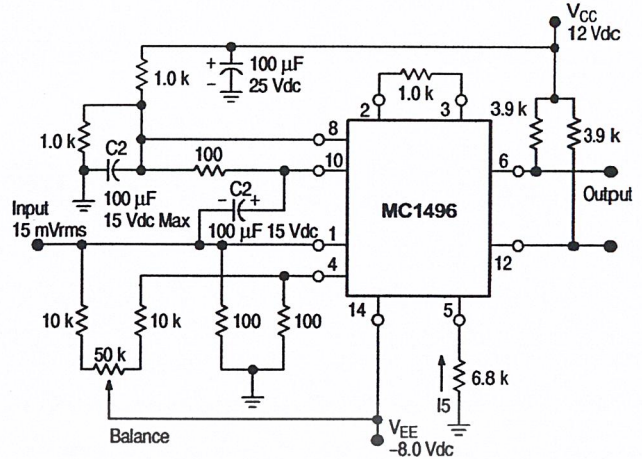


Figure 31. Low-Frequency Doubler

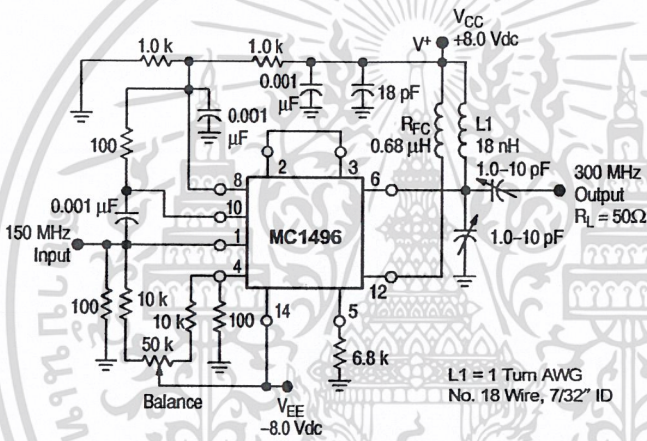
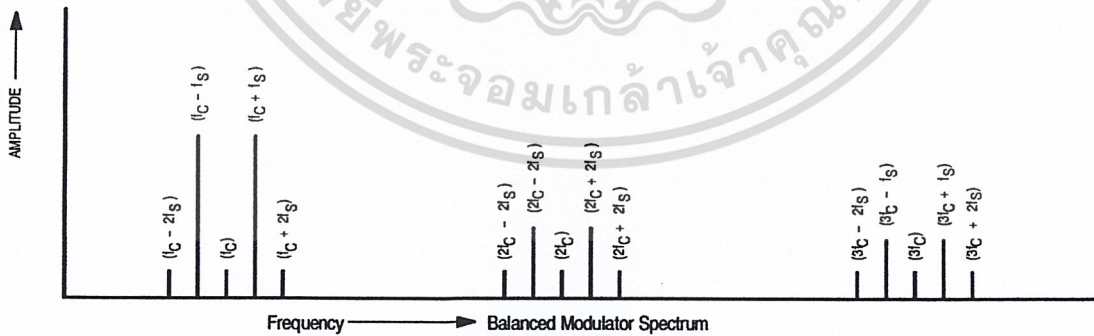


Figure 32. 150 to 300 MHz Doubler



DEFINITIONS

f_c	Carrier Fundamental	$f_c \pm n f_s$	Fundamental Carrier Sideband Harmonics
f_s	Modulating Signal	$n f_c$	Carrier Harmonics
$f_c \pm f_s$	Fundamental Carrier Sidebands	$n f_c \pm n f_s$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ <http://onsemi.com> เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

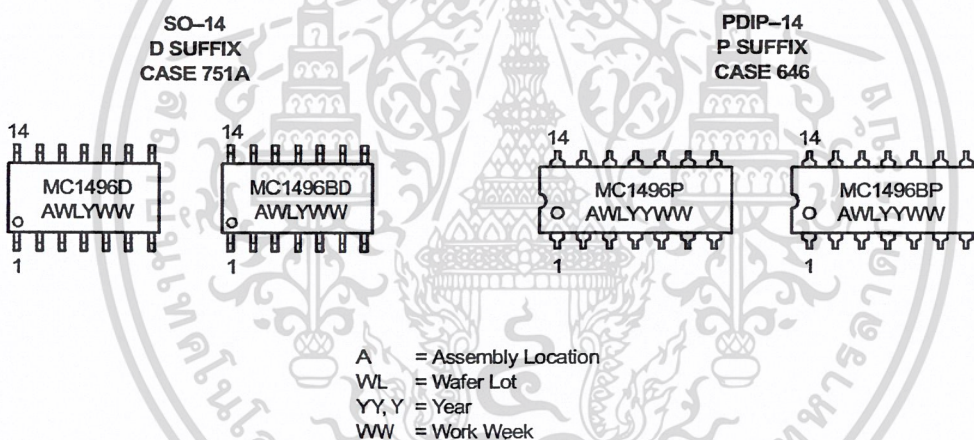
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1496B

ORDERING INFORMATION

Device	Package	Shipping
MC1496D	SO-14	55 Units/Rail
MC1496DR2	SO-14	2500 Tape & Reel
MC1496P	PDIP-14	25 Units/Rail
MC1496P1	PDIP-14	25 Units/Rail
MC1496BD	SO-14	55 Units/Rail
MC1496BDR2	SO-14	2500 Tape & Reel
MC1496BP	PDIP-14	25 Units/Rail

MARKING DIAGRAMS

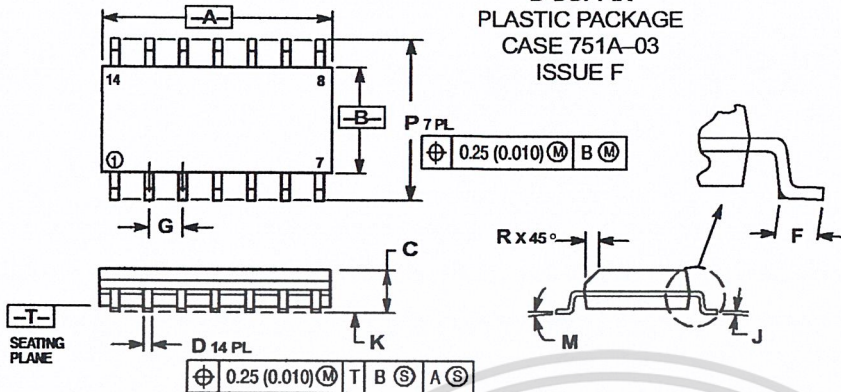


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ <http://onsemi.com> เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1496B

PACKAGE DIMENSIONS

SO-14 D SUFFIX PLASTIC PACKAGE CASE 751A-03 ISSUE F

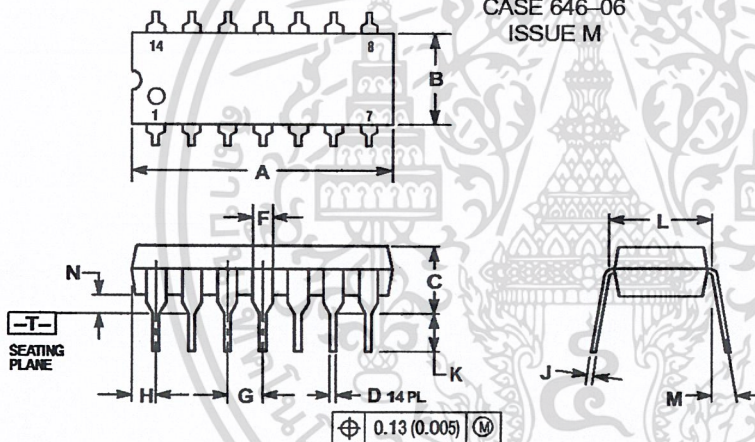


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.005) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

PDIP-8 P SUFFIX PLASTIC PACKAGE CASE 646-06 ISSUE M



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.280	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

Literature Fulfillment:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800-282-9855 Toll Free USA/Canada

JAPAN: ON Semiconductor, Japan Customer Focus Center
4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-0031
Phone: 81-3-5740-2700
Email: r14525@onsemi.com

ON Semiconductor Website: <http://onsemi.com>

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในเชิงการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496/D

Phase-Locked Loop High-Performance Silicon-Gate CMOS

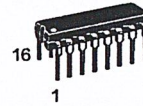
The MC574HC4046A is similar in function to the MC14046 Metal gate CMOS device. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC4046A phase-locked loop contains three phase comparators, a voltage-controlled oscillator (VCO) and unity gain op-amp DEM_{OUT}. The comparators have two common signal inputs, COMP_{IN}, and SIG_{IN}. Input SIG_{IN} and COMP_{IN} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor to small voltage signals). The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal PC_{1OUT} and maintains 90 degrees phase shift at the center frequency between SIG_{IN} and COMP_{IN} signals (both at 50% duty cycle). Phase comparator 2 (with leading-edge sensing logic) provides digital error signals PC_{2OUT} and PC_{OUT} and maintains a 0 degree phase shift between SIG_{IN} and COMP_{IN} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} signal and the capacitor and resistors connected to pins C1A, C1B, R1 and R2. The unity gain op-amp output DEM_{OUT} with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input, when high, disables the VCO and all op-amps to minimize standby power consumption.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- Output Drive Capability: 10 LSTTL Loads
- Low Power Consumption Characteristic of CMOS Devices
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 3.0 to 6.0 V
- Low Input Current: 1.0 μ A Maximum (except SIG_{IN} and COMP_{IN})
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Low Quiescent Current: 80 μ A Maximum (VCO disabled)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on all Inputs
- Chip Complexity: 279 FETs or 70 Equivalent Gates

MC74HC4046A



N SUFFIX
PLASTIC PACKAGE
CASE 648-08

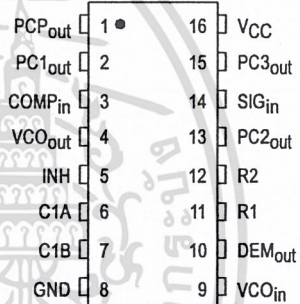


D SUFFIX
SOIC PACKAGE
CASE 751B-05

ORDERING INFORMATION

MC74HCXXXXAN Plastic
MC74HCXXXXAD SOIC

PIN ASSIGNMENT



Pin No.	Symbol	Name and Function
1	PCP _{OUT}	Phase Comparator Pulse Output
2	PC _{1OUT}	Phase Comparator 1 Output
3	COMP _{IN}	Comparator Input
4	VCO _{OUT}	VCO Output
5	INH	Inhibit Input
6	C1A	Capacitor C1 Connection A
7	C1B	Capacitor C1 Connection B
8	GND	Ground (0 V) V _{SS}
9	VCO _{IN}	VCO Input
10	DEM _{OUT}	Demodulator Output
11	R1	Resistor R1 Connection
12	R2	Resistor R2 Connection
13	PC _{2OUT}	Phase Comparator 2 Output
14	SIG _{IN}	Signal Input
15	PC _{3OUT}	Phase Comparator 3 Output
16	VCC	Positive Supply Voltage



MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	- 1.5 to V _{CC} + 1.5	V
V _{out}	DC Output Voltage (Referenced to GND)	- 0.5 to V _{CC} + 0.5	V
I _{in}	DC Input Current, per Pin	± 20	mA
I _{out}	DC Output Current, per Pin	± 25	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	± 50	mA
P _D	Power Dissipation in Still Air Plastic DIP† SOIC Package†	750 500	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP and SOIC Package†	260	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
 † Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C
 SOIC Package: - 7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	3.0	6.0	V
V _{CC}	DC Supply Voltage (Referenced to GND) NON-VCO	2.0	6.0	V
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V
T _A	Operating Temperature, All Package Types	- 55	+ 125	°C
t _r , t _f	Input Rise and Fall Time (Pin 5)	V _{CC} = 2.0 V V _{CC} = 4.5 V V _{CC} = 6.0 V	0 1000 500 400	ns

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC} Volts	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 85°C	≤ 125°C	
V _{IH}	Minimum High-Level Input Voltage DC Coupled SIG _{IN} , COMP _{IN}	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V _{IL}	Maximum Low-Level Input Voltage DC Coupled SIG _{IN} , COMP _{IN}	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	0.5	0.5	0.5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V _{OH}	Minimum High-Level Output Voltage PCP _{OUT} , PCn _{OUT}	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	3.98	3.84	3.7	
			6.0	5.48	5.34	5.2	

(continued)

[Phase Comparator Section]

DC ELECTRICAL CHARACTERISTICS – continued (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	VCC Volts	Guaranteed Limit			Unit
				- 55 to 25°C	≤ 85°C	≤ 125°C	
VOL	Maximum Low-Level Output Voltage Qa-Qh PC ₂ OUT, PC _n OUT	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
		V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	0.26	0.33	0.4	
			6.0	0.26	0.33	0.4	
I _{in}	Maximum Input Leakage Current SIG _{IN} , COMP _{IN}	V _{in} = V _{CC} or GND	2.0	± 3.0	± 4.0	± 5.0	μA
			3.0	± 7.0	± 9.0	± 11.0	
			4.5	± 18.0	± 23.0	± 27.0	
			6.0	± 30.0	± 38.0	± 45.0	
I _{OZ}	Maximum Three-State Leakage Current PC ₂ OUT	Output in High-Impedance State V _{in} = V _{IH} or V _{IL} V _{out} = V _{CC} or GND	6.0	± 0.5	± 5.0	± 10	μA
I _{CC}	Maximum Quiescent Supply Current (per Package) (VCO disabled) Pins 3, 5 and 14 at V _{CC} Pin 9 at GND; Input Leakage at Pins 3 and 14 to be excluded	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	4.0	40	160	μA

NOTE: Information on typical parametric values can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

[Phase Comparator Section]

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input t_r = t_f = 6.0 ns)

Symbol	Parameter	VCC Volts	Guaranteed Limit			Unit
			- 55 to 25°C	≤ 85°C	≤ 125°C	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, SIG _{IN} /COMP _{IN} to PC ₁ OUT (Figure 1)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, SIG _{IN} /COMP _{IN} to PC ₂ OUT (Figure 1)	2.0	340	425	510	ns
		4.5	68	85	102	
		6.0	58	72	87	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, SIG _{IN} /COMP _{IN} to PC ₃ OUT (Figure 1)	2.0	270	340	405	ns
		4.5	54	68	81	
		6.0	46	58	69	
t _{PLZ} , t _{PHZ}	Maximum Propagation Delay, SIG _{IN} /COMP _{IN} Output Disable Time to PC ₂ OUT (Figures 2 and 3)	2.0	200	250	300	ns
		4.5	40	50	60	
		6.0	34	43	51	
t _{PZH} , t _{PZL}	Maximum Propagation Delay, SIG _{IN} /COMP _{IN} Output Enable Time to PC ₂ OUT (Figures 2 and 3)	2.0	230	290	345	ns
		4.5	46	58	69	
		6.0	39	49	59	
t _{TLH} , t _{THL}	Maximum Output Transition Time (Figure 1)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	

[VCO Section]

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	VCC Volts	Guaranteed Limit						Unit
				- 55 to 25°C		≤ 85°C		≤ 125°C		
V _{IH}	Minimum High-Level Input Voltage INH	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	2.1		2.1		2.1		V
			4.5	3.15		3.15		3.15		
			6.0	4.2		4.2		4.2		
V _{IL}	Maximum Low-Level Input Voltage INH	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	0.90		0.9		0.9		V
			4.5	1.35		1.35		1.35		
			6.0	1.8		1.8		1.8		
V _{OH}	Minimum High-Level Output Voltage VCO _{OUT}	V _{in} = V _{IH} or V _{IL} I _{out} ≤ 20 μA	3.0	1.9		1.9		1.9		V
			4.5	4.4		4.4		4.4		
			6.0	5.9		5.9		5.9		
			V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	3.98		3.84		3.7	
6.0	5.48		5.34		5.2					
V _{OL}	Maximum Low-Level Output Voltage VCO _{OUT}	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} ≤ 20 μA	3.0	0.1		0.1		0.1		V
			4.5	0.1		0.1		0.1		
			6.0	0.1		0.1		0.1		
			V _{in} = V _{IH} or V _{IL} I _{out} ≤ 4.0 mA I _{out} ≤ 5.2 mA	4.5	0.26		0.33		0.4	
6.0	0.26		0.33		0.4					
I _{in}	Maximum Input Leakage Current INH, VCO _{IN}	V _{in} = V _{CC} or GND	6.0	0.1		1.0		1.0		μA
V _{VCOIN}	Operating Voltage Range at VCO _{IN} over the range specified for R1; For linearity see Fig. 15A, Parallel value of R1 and R2 should be > 2.7 kΩ	INH = V _{IL}	3.0	Min	Max	Min	Max	Min	Max	V
			4.5	0.1	1.0	0.1	1.0	0.1	1.0	
			6.0	0.1	2.5	0.1	2.5	0.1	2.5	
R1	Resistor Range		3.0	3.0	300	3.0	300	3.0	300	kΩ
			4.5	3.0	300	3.0	300	3.0	300	
			6.0	3.0	300	3.0	300	3.0	300	
R2	Resistor Range		3.0	3.0	300	3.0	300	3.0	300	kΩ
			4.5	3.0	300	3.0	300	3.0	300	
			6.0	3.0	300	3.0	300	3.0	300	
C1	Capacitor Range		3.0	40	No Limit					pF
			4.5	40						
			6.0	40						

[VCO Section]

AC ELECTRICAL CHARACTERISTICS ($C_L = 50$ pF, Input $t_r = t_f = 6.0$ ns)

Symbol	Parameter	VCC Volts	Guaranteed Limit						Unit
			- 55 to 25°C		≤ 85°C		≤ 125°C		
			Min	Max	Min	Max	Min	Max	
$\Delta f/T$	Frequency Stability with Temperature Changes (Figure 13A, B, C)	3.0 4.5 6.0							%/K
f_o	VCO Center Frequency (Duty Factor = 50%) (Figure 14A, B, C, D)	3.0 4.5 6.0	3 11 13						MHz
$\Delta f/VCO$	VCO Frequency Linearity	3.0 4.5 6.0	See Figures 15A, B, C						%
∂ VCO	Duty Factor at VCO _{OUT}	3.0 4.5 6.0	Typical 50%						%

[Demodulator Section]

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	VCC Volts	Guaranteed Limit						Unit
				- 55 to 25°C		≤ 85°C		≤ 125°C		
				Min	Max	Min	Max	Min	Max	
RS	Resistor Range	At RS > 300 k Ω the Leakage Current can Influence VDEM _{OUT}	3.0 4.5 6.0	50 50 50	300 300 300					k Ω
V _{OFF}	Offset Voltage VCO _{IN} to VDEM _{OUT}	V _I = VVCO _{IN} = 1/2 V _{CC} ; Values taken over RS Range.	3.0 4.5 6.0	See Figure 12						mV
RD	Dynamic Output Resistance at DEM _{OUT}	VDEM _{OUT} = 1/2 V _{CC}	3.0 4.5 6.0	Typical 25 Ω						Ω

SWITCHING WAVEFORMS

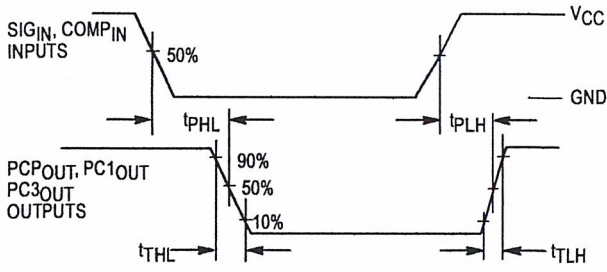


Figure 1.

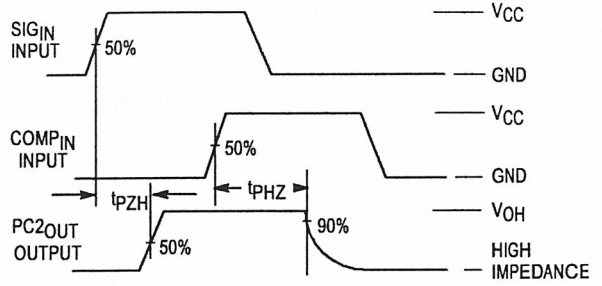


Figure 2.

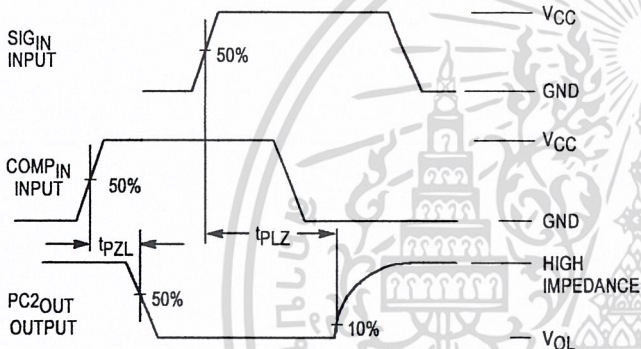


Figure 3.

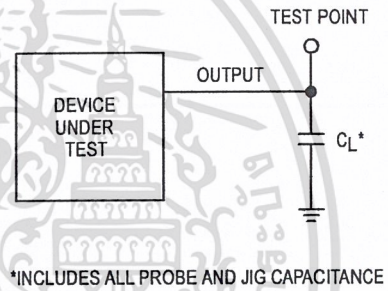


Figure 4. Test Circuit

DETAILED CIRCUIT DESCRIPTION

Voltage Controlled Oscillator/Demodulator Output

The VCO requires two or three external components to operate. These are R1, R2, C1. Resistor R1 and Capacitor C1 are selected to determine the center frequency of the VCO (see typical performance curves Figure 14). R2 can be used to set the offset frequency with 0 volts at VCO input. For example, if R2 is decreased, the offset frequency is increased. If R2 is omitted the VCO range is from 0 Hz. The effect of R2 is shown in Figure 24, typical performance curves. By increasing the value of R2 the lock range of the PLL is increased and the gain (volts/Hz) is decreased. Thus, for a narrow lock range, large swings on the VCO input will cause less frequency variation.

Internally, the resistors set a current in a current mirror, as shown in Figure 5. The mirrored current drives one side of

the capacitor. Once the voltage across the capacitor charges up to V_{ref} of the comparators, the oscillator logic flips the capacitor which causes the mirror to charge the opposite side of the capacitor. The output from the internal logic is then taken to VCO output (Pin 4).

The input to the VCO is a very high impedance CMOS input and thus will not load down the loop filter, easing the filter's design. In order to make signals at the VCO input accessible without degrading the loop performance, the VCO input voltage is buffered through a unity gain Op-amp to Demod Output. This Op-amp can drive loads of 50K ohms or more and provides no loading effects to the VCO input voltage (see Figure 12).

An inhibit input is provided to allow disabling of the VCO and all Op-amps (see Figure 5). This is useful if the internal VCO is not being used. A logic high on inhibit disables the VCO and all Op-amps, minimizing standby power consumption.

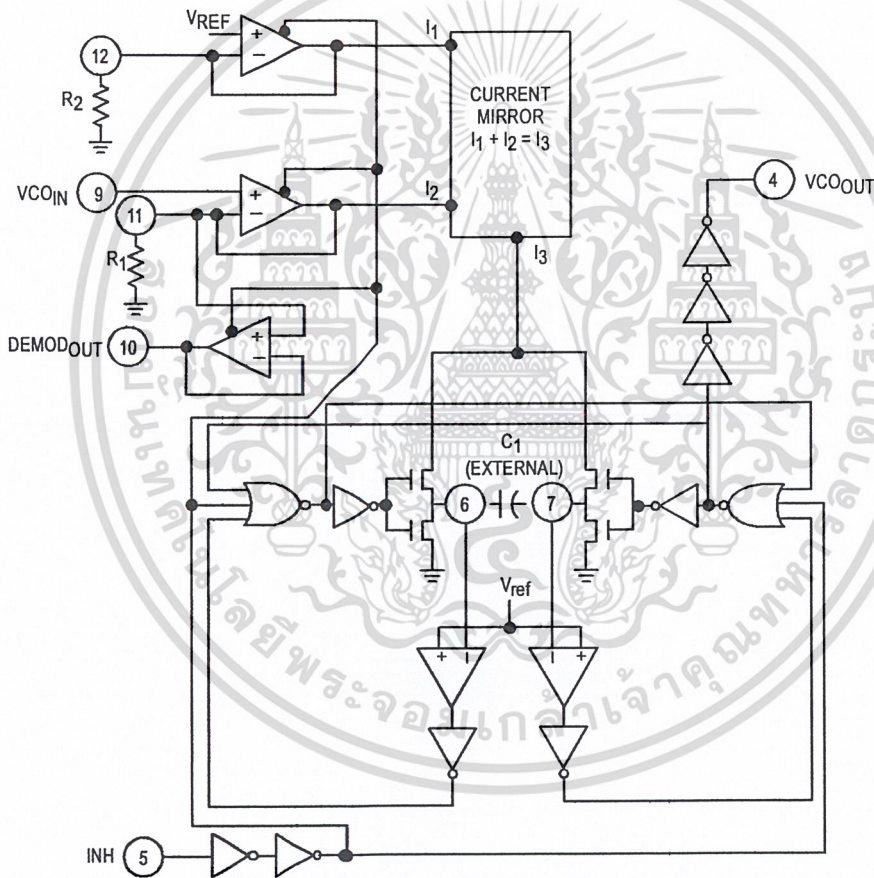


Figure 5. Logic Diagram for VCO

The output of the VCO is a standard high speed CMOS output with an equivalent LS-TTL fan out of 10. The VCO output is approximately a square wave. This output can either directly feed the COMP_{IN} of the phase comparators or feed external prescalers (counters) to enable frequency synthesis.

Phase Comparators

All three phase comparators have two inputs, SIG_{IN} and

COMP_{IN}. The SIG_{IN} and COMP_{IN} have a special DC bias network that enables AC coupling of input signals. If the signals are not AC coupled, standard 54HC/74HC input levels are required. Both input structures are shown in Figure 6. The outputs of these comparators are essentially standard 54HC/74HC outputs (comparator 2 is TRI-STATEABLE). In normal operation V_{CC} and ground voltage levels are fed to the loop filter. This differs from some phase detectors which supply a current to the loop filter and should be considered in the design. (The MC14046 also provides a voltage).

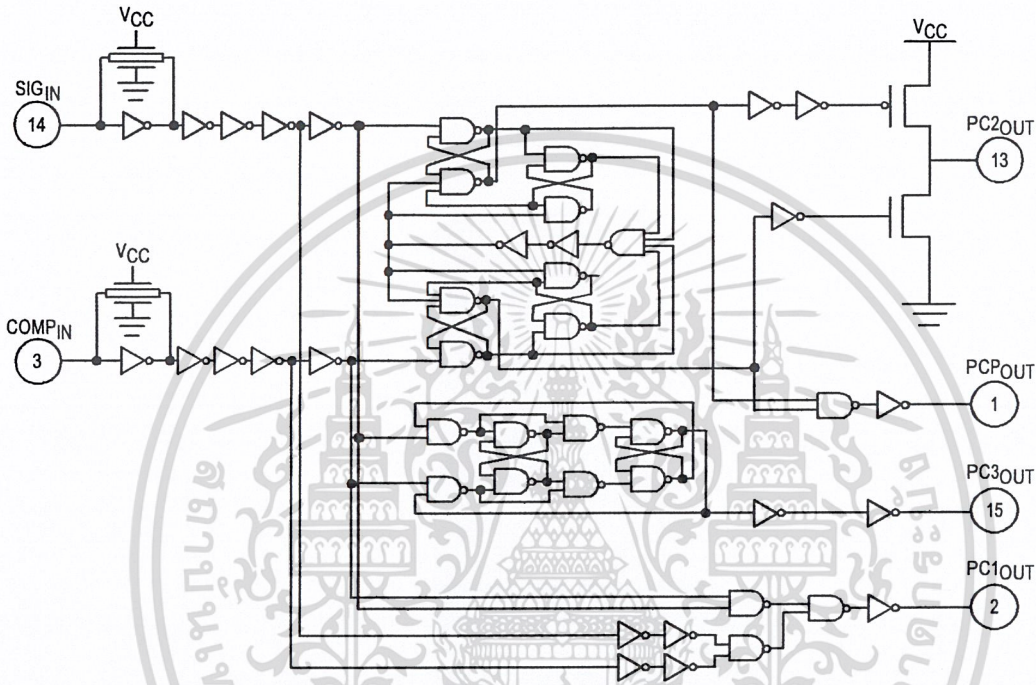


Figure 6. Logic Diagram for Phase Comparators

Phase Comparator 1

This comparator is a simple XOR gate similar to the 54/74HC86. Its operation is similar to an overdriven balanced modulator. To maximize lock range the input frequencies must have a 50% duty cycle. Typical input and output waveforms are shown in Figure 7. The output of the phase detector feeds the loop filter which averages the output voltage. The frequency range upon which the PLL will lock onto if initially out of lock is defined as the capture range. The capture range for phase detector 1 is dependent on the loop filter design. The capture range can be as large as the lock range, which is equal to the VCO frequency range.

To see how the detector operates, refer to Figure 7. When two square wave signals are applied to this comparator, an output waveform (whose duty cycle is dependent on the phase difference between the two signals) results. As the phase difference increases, the output duty cycle increases and the voltage after the loop filter increases. In order to achieve lock when the PLL input frequency increases, the

VCO input voltage must increase and the phase difference between COMP_{IN} and SIG_{IN} will increase. At an input frequency equal to f_{min} , the VCO input is at 0 V. This requires the phase detector output to be grounded; hence, the two input signals must be in phase. When the input frequency is f_{max} , the VCO input must be V_{CC} and the phase detector inputs must be 180 degrees out of phase.

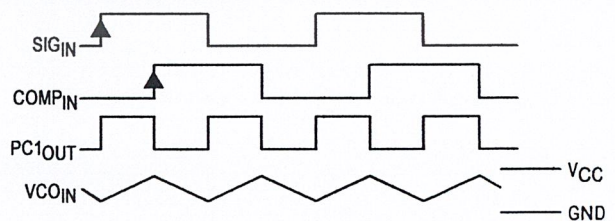


Figure 7. Typical Waveforms for PLL Using Phase Comparator 1

The XOR is more susceptible to locking onto harmonics of the SIG_{IN} than the digital phase detector 2. For instance, a signal 2 times the VCO frequency results in the same output duty cycle as a signal equal to the VCO frequency. The difference is that the output frequency of the 2f example is twice that of the other example. The loop filter and VCO range should be designed to prevent locking on to harmonics.

Phase Comparator 2

This detector is a digital memory network. It consists of four flip-flops and some gating logic, a three state output and a phase pulse output as shown in Figure 6. This comparator acts only on the positive edges of the input signals and is independent of duty cycle.

Phase comparator 2 operates in such a way as to force the PLL into lock with 0 phase difference between the VCO output and the signal input positive waveform edges. Figure 8 shows some typical loop waveforms. First assume that SIG_{IN} is leading the COMP_{IN}. This means that the VCO's frequency must be increased to bring its leading edge into proper phase alignment. Thus the phase detector 2 output is set high. This will cause the loop filter to charge up the VCO input, increasing the VCO frequency. Once the leading edge of the COMP_{IN} is detected, the output goes TRI-STATE holding the VCO input at the loop filter voltage. If the VCO still lags the SIG_{IN} then the phase detector will again charge up the VCO input for the time between the leading edges of both waveforms.

If the VCO leads the SIG_{IN} then when the leading edge of the VCO is seen; the output of the phase comparator goes low. This discharges the loop filter until the leading edge of the SIG_{IN} is detected at which time the output disables itself again. This has the effect of slowing down the VCO to again make the rising edges of both waveforms coincidental.

When the PLL is out of lock, the VCO will be running either slower or faster than the SIG_{IN}. If it is running slower the phase detector will see more SIG_{IN} rising edges and so the output of the phase comparator will be high a majority of the time, raising the VCO's frequency. Conversely, if the VCO is running faster than the SIG_{IN}, the output of the detector will be low most of the time and the VCO's output frequency will be decreased.

As one can see, when the PLL is locked, the output of phase comparator 2 will be disabled except for minor corrections at the leading edge of the waveforms. When PC₂ is TRI-STATE, the PCP output is high. This output can be used to determine when the PLL is in the locked condition.

This detector has several interesting characteristics. Over the entire VCO frequency range there is no phase difference between the COMP_{IN} and the SIG_{IN}. The lock range of the PLL is the same as the capture range. Minimal power was consumed in the loop filter since in lock the detector output is a high impedance. When no SIG_{IN} is present, the detector will see only VCO leading edges, so the comparator output will stay low, forcing the VCO to f_{min}.

Phase comparator 2 is more susceptible to noise, causing the PLL to unlock. If a noise pulse is seen on the SIG_{IN}, the comparator treats it as another positive edge of the SIG_{IN} and will cause the output to go high until the VCO leading edge is seen, potentially for an entire SIG_{IN} period. This would cause the VCO to speed up during that time. When using PC₁, the output of that phase detector would be disturbed for only the short duration of the noise spike and would cause less upset.

Phase Comparator 3

This is a positive edge-triggered sequential phase detector using an RS flip-flop as shown in Figure 6. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and COMP_{IN} are not important. It has some similar characteristics to the edge sensitive comparator. To see how this detector works, assume input pulses are applied to the SIG_{IN} and COMP_{IN}'s as shown in Figure 9. When the SIG_{IN} leads the COMP_{IN}, the flop is set. This will charge the loop filter and cause the VCO to speed up, bringing the comparator into phase with the SIG_{IN}. The phase angle between SIG_{IN} and COMP_{IN} varies from 0° to 360° and is 180° at f₀. The voltage swing for PC₃ is greater than for PC₂ but consequently has more ripple in the signal to the VCO. When no SIG_{IN} is present the VCO will be forced to f_{max} as opposed to f_{min} when PC₂ is used.

The operating characteristics of all three phase comparators should be compared to the requirements of the system design and the appropriate one should be used.

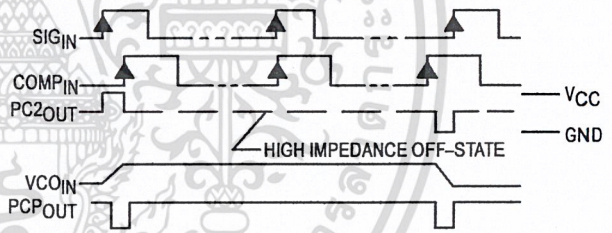


Figure 8. Typical Waveforms for PLL Using Phase Comparator 2

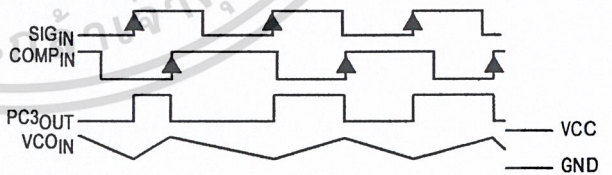


Figure 9. Typical Waveform for PLL Using Phase Comparator 3

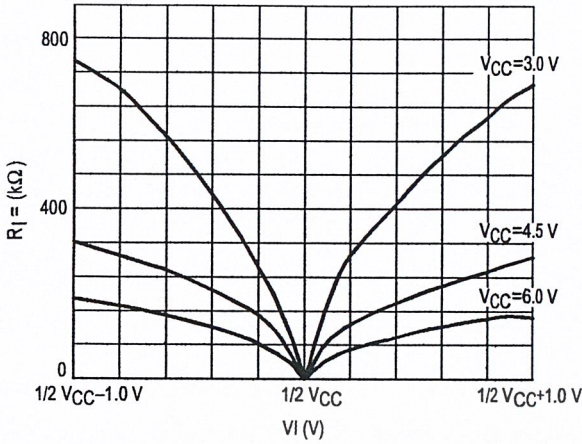


Figure 10. Input Resistance at SIG_{IN}, COMP_{IN} with $\Delta V_I = 1.0 \text{ V}$ at Self-Bias Point

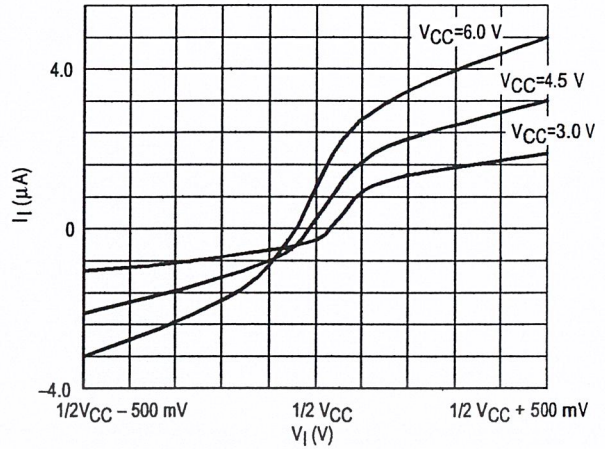


Figure 11. Input Current at SIG_{IN}, COMP_{IN} with $\Delta V_I = 500 \text{ mV}$ at Self-Bias Point

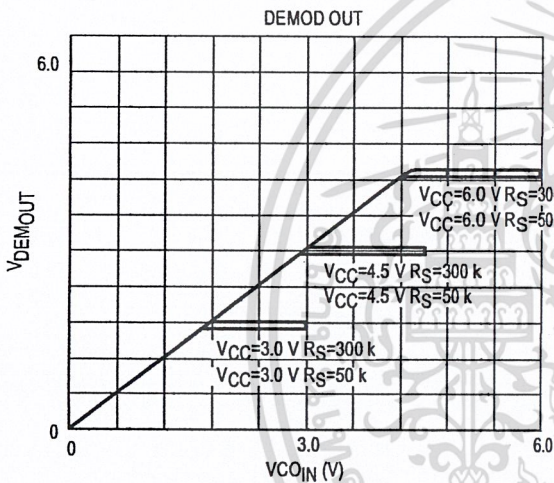


Figure 12. Offset Voltage at Demodulator Output as a Function of VCO_{IN} and R_S

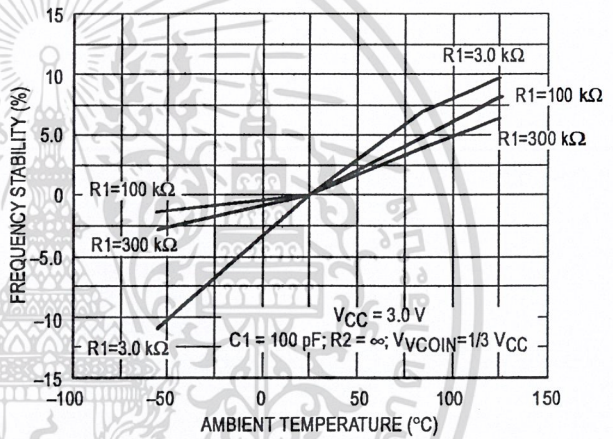


Figure 13A. Frequency Stability versus Ambient Temperature: V_{CC} = 3.0 V

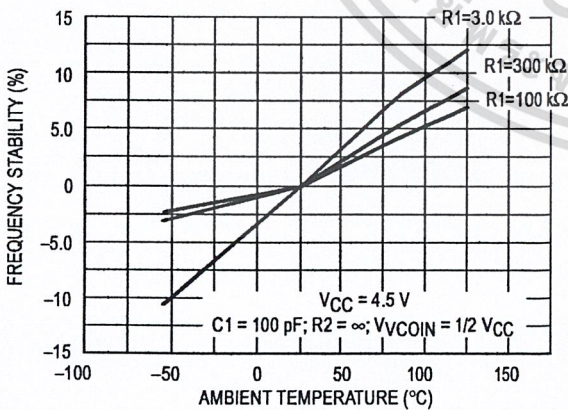


Figure 13B. Frequency Stability versus Ambient Temperature: V_{CC} = 4.5 V

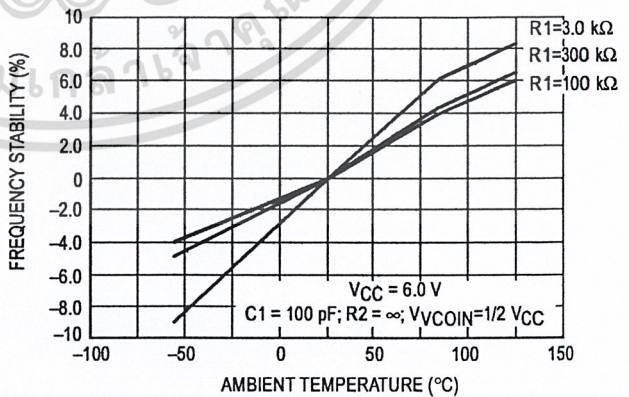


Figure 13C. Frequency Stability versus Ambient Temperature: V_{CC} = 6.0 V

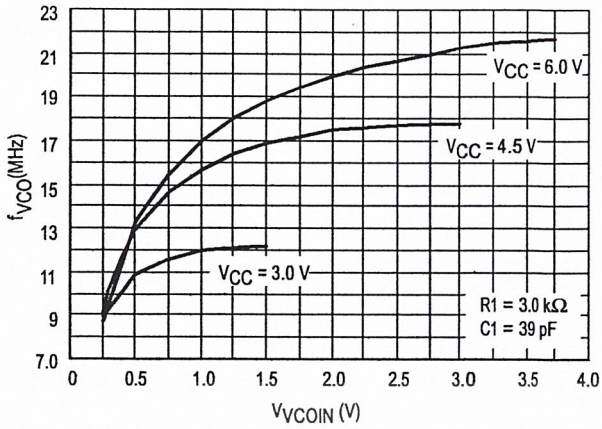


Figure 14A. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

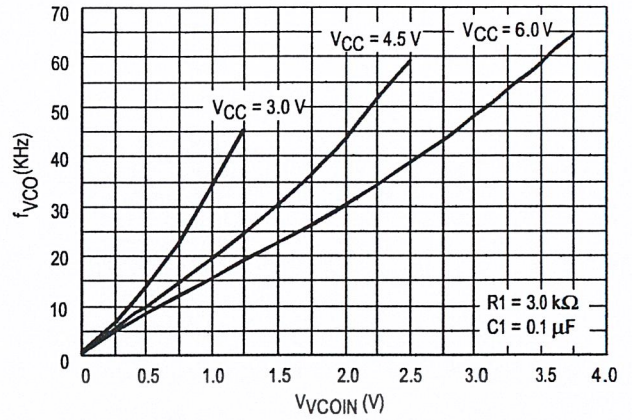


Figure 14B. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

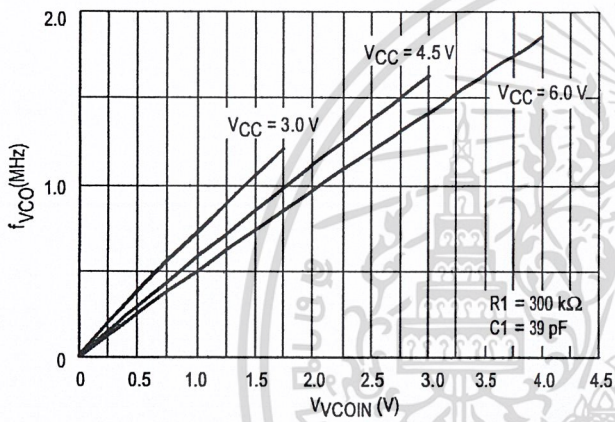


Figure 14C. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

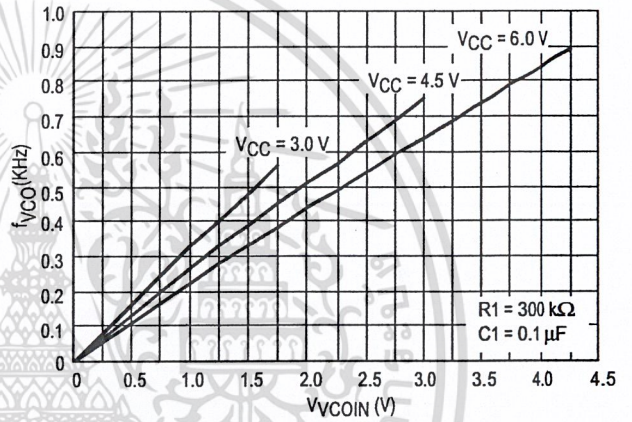


Figure 14D. VCO Frequency (f_{VCO}) as a Function of the VCO Input Voltage (V_{VCOIN})

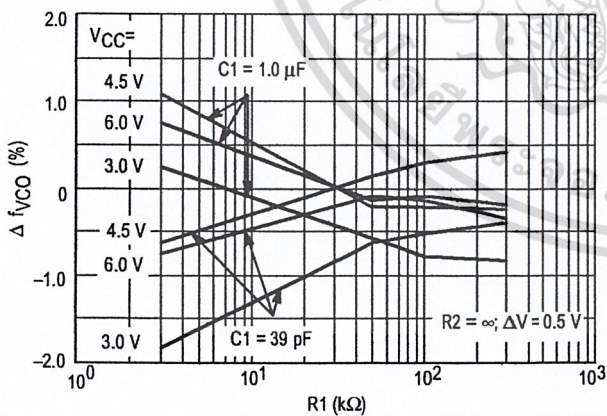
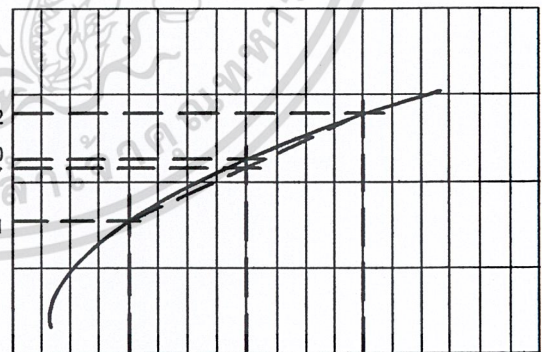


Figure 15A. Frequency Linearity versus



$\Delta V = 0.5 \text{ V OVER THE } V_{CC} \text{ RANGE:}$
 FOR VCO LINEARITY
 $f_0' = (f_1 + f_2) / 2$
 LINEARITY = $(f_0' - f_0) / f_0' \times 100\%$

Figure 15B. Definition of VCO Frequency Linearity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

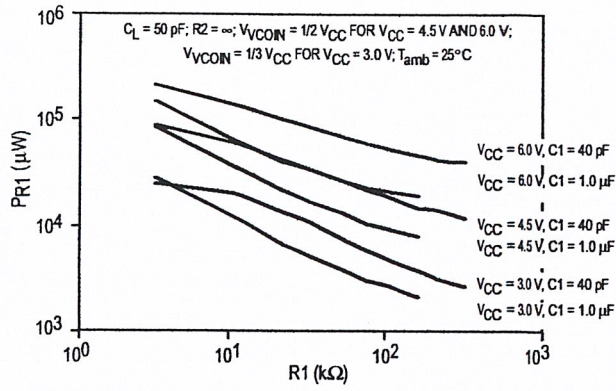


Figure 16. Power Dissipation versus R1

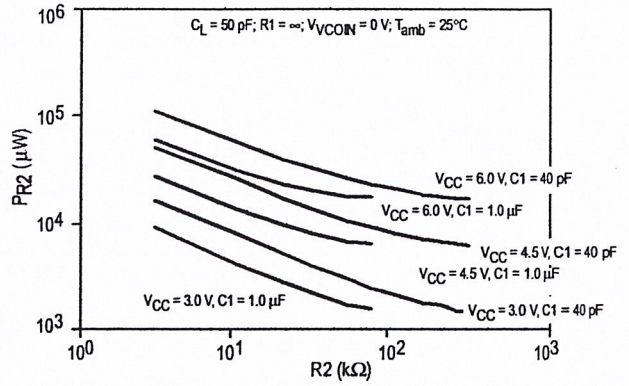


Figure 17. Power Dissipation versus R2

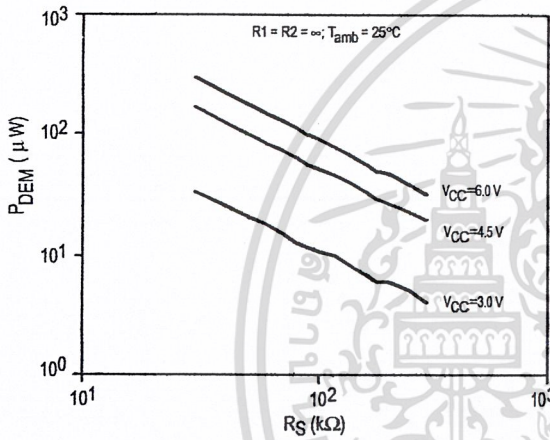


Figure 18. DC Power Dissipation of Demodulator versus RS

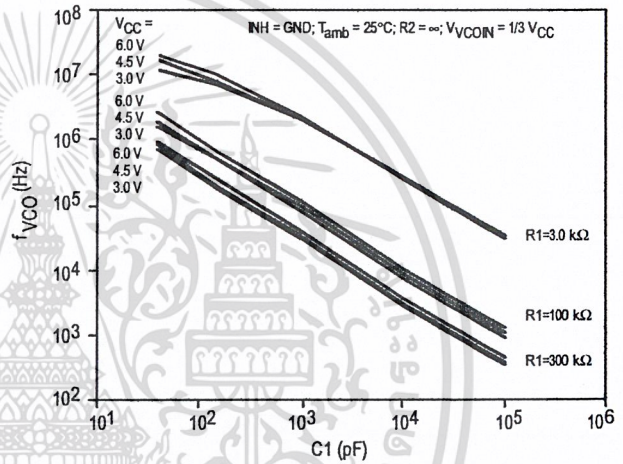


Figure 19. VCO Center Frequency versus C1

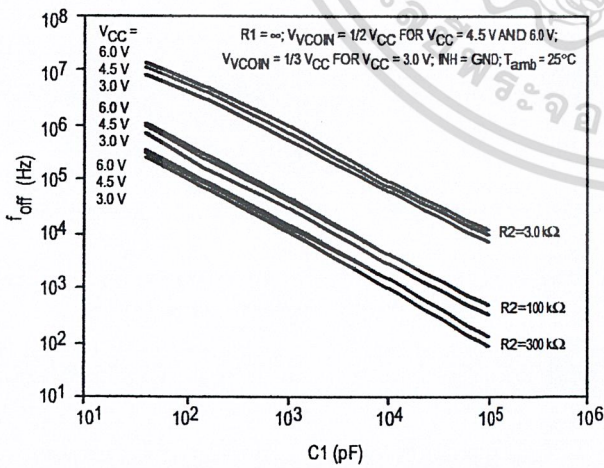


Figure 20. Frequency Offset versus C1

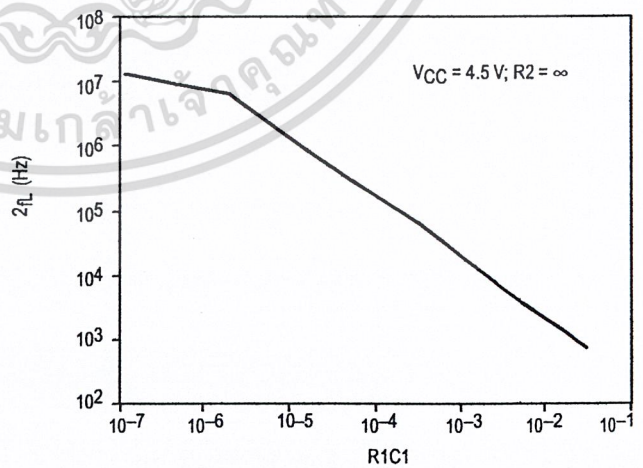


Figure 21. Typical Frequency Lock Range (2fL) versus R1C1

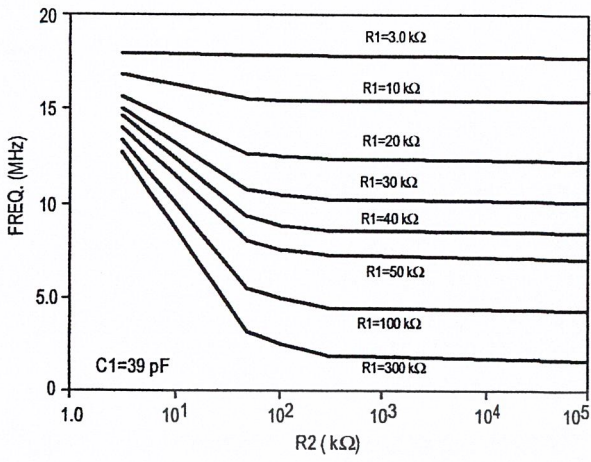


Figure 22. R2 versus f_{max}

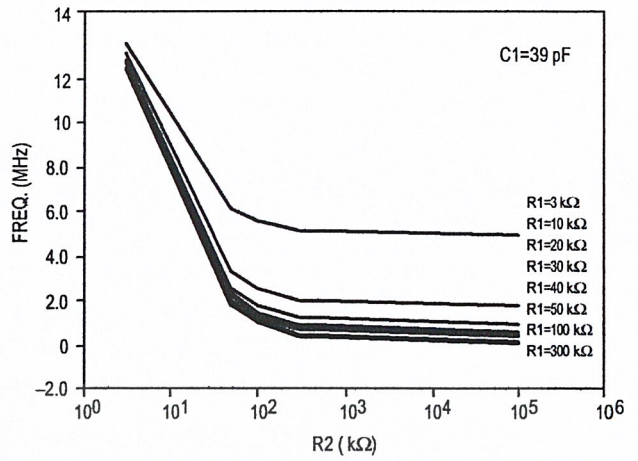


Figure 23. R2 versus f_{min}

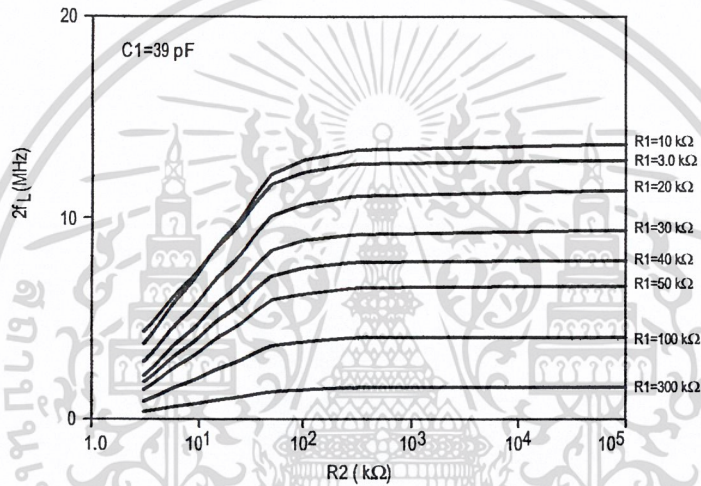
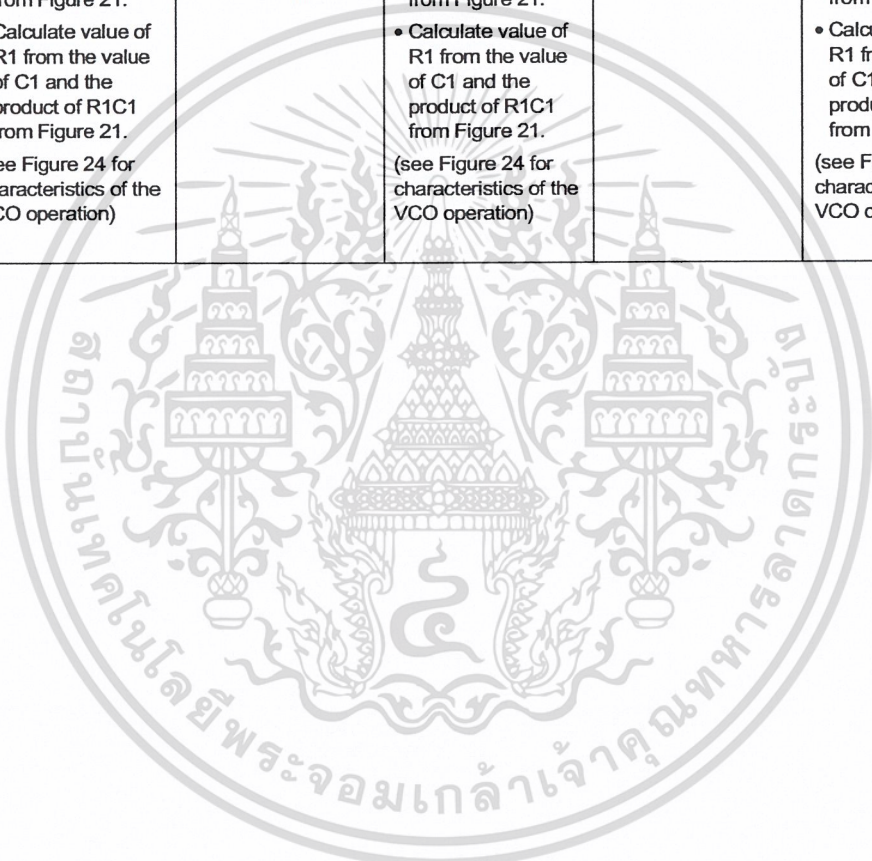


Figure 24. R2 versus Frequency Lock Range ($2f_L$)

APPLICATION INFORMATION

The following information is a guide for approximate values of R1, R2, and C1. Figures 19, 20, and 21 should be used as references as indicated below, also the values of R1, R2, and C1 should not violate the Maximum values indicated in the DC ELECTRICAL CHARACTERISTICS tables.

Phase Comparator 1		Phase Comparator 2		Phase Comparator 3	
$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$	$R_2 = \infty$	$R_2 \neq \infty$
<ul style="list-style-type: none"> Given f_0 Use f_0 with Figure 19 to determine R1 and C1. (see Figure 23 for characteristics of the VCO operation) 	<ul style="list-style-type: none"> Given f_0 and f_L Calculate f_{min} $f_{min} = f_0 - f_L$ Determine values of C1 and R2 from Figure 20. Determine R1-C1 from Figure 21. Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation) 	<ul style="list-style-type: none"> Given f_{max} and f_0 Determine the value of R1 and C1 using Figure 19 and use Figure 21 to obtain $2f_L$ and then use this to calculate f_{min}. 	<ul style="list-style-type: none"> Given f_0 and f_L Calculate f_{min} $f_{min} = f_0 - f_L$ Determine values of C1 and R2 from Figure 20. Determine R1-C1 from Figure 21. Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation) 	<ul style="list-style-type: none"> Given f_{max} and f_0 Determine the value of R1 and C1 using Figure 19 and Figure 21 to obtain $2f_L$ and then use this to calculate f_{min}. 	<ul style="list-style-type: none"> Given f_0 and f_L Calculate f_{min}: $f_{min} = f_0 - f_L$ Determine values of C1 and R2 from Figure 20. Determine R1-C1 from Figure 21. Calculate value of R1 from the value of C1 and the product of R1C1 from Figure 21. (see Figure 24 for characteristics of the VCO operation)



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

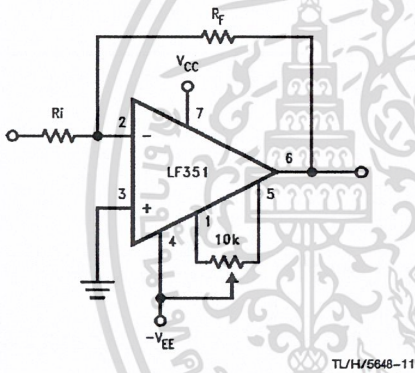
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply

current is important, however, the LF351 is the better choice.

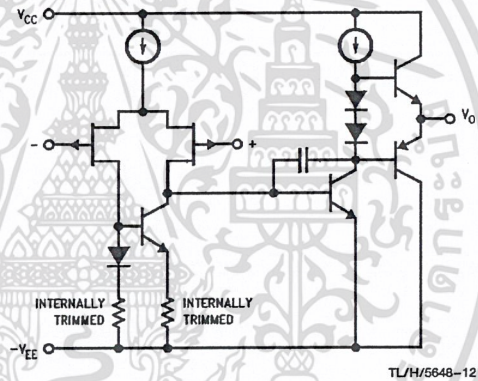
Features

- Internally trimmed offset voltage 10 mV
- Low input bias current 50 pA
- Low input noise voltage 25 nV/√Hz
- Low input noise current 0.01 pA/√Hz
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/μs
- Low supply current 1.8 mA
- High input impedance 10¹²Ω
- Low total harmonic distortion $A_V=10$, $R_L=10k$, $V_O=20$ Vp-p, BW=20 Hz–20 kHz <0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs

Typical Connection

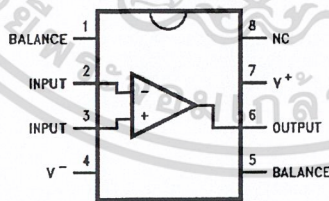


Simplified Schematic



Connection Diagrams

Dual-In-Line Package



Order Number LF351M or LF351N
See NS Package Number M08A or N08E

TL/H/5648-13

LF351 Wide Bandwidth JFET Input Operational Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
T _j (MAX)	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

θ _{jA}		
N Package		120°C/W
M Package		TBD
Soldering Information		
Dual-In-Line Package		
Soldering (10 sec.)		260°C
Small Outline Package		
Vapor Phase (60 sec.)		215°C
Infrared (15 sec.)		220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD rating to be determined.		

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V _{OS}	Input Offset Voltage	R _S = 10 kΩ, T _A = 25°C		5	10	mV
		Over Temperature			13	mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S = 10 kΩ		10		μV/°C
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 3, 4)		25	100	pA
		T _J ≤ 70°C			4	nA
I _B	Input Bias Current	T _J = 25°C, (Notes 3, 4)		50	200	pA
		T _J ≤ ±70°C			8	nA
R _{IN}	Input Resistance	T _J = 25°C		10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = ±15V, T _A = 25°C	25	100		V/mV
		V _O = ±10V, R _L = 2 kΩ Over Temperature	15			V/mV
V _O	Output Voltage Swing	V _S = ±15V, R _L = 10 kΩ	±12	±13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = ±15V	±11	+15		V
				-12		V
CMRR	Common-Mode Rejection Ratio	R _S ≤ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I _S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V, T_A = 25^\circ C$		13		V/ μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V, T_A = 25^\circ C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25^\circ C, R_S = 100\Omega, f = 1000 \text{ Hz}$		25		nV/ \sqrt{Hz}
i_n	Equivalent Input Noise Current	$T_J = 25^\circ C, f = 1000 \text{ Hz}$		0.01		pA/ \sqrt{Hz}

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA} .

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0^\circ C \leq T_A \leq +70^\circ C$. V_{OS} , I_B and I_{CS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every $10^\circ C$ increase in the junction temperature, T_J . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

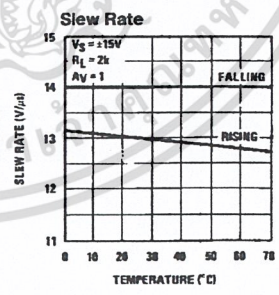
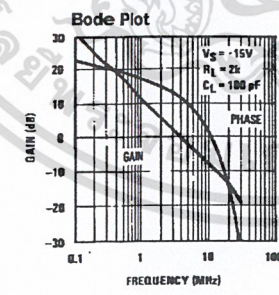
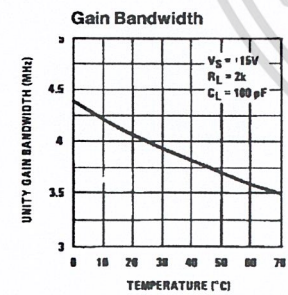
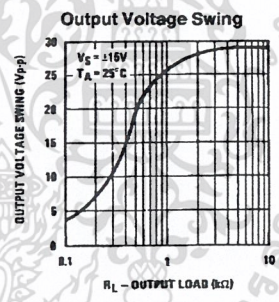
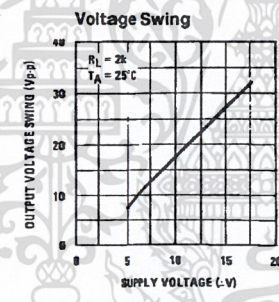
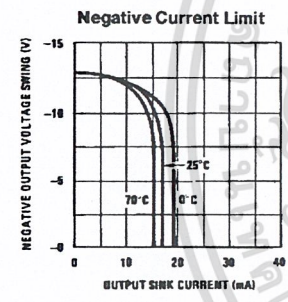
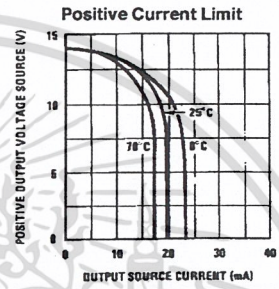
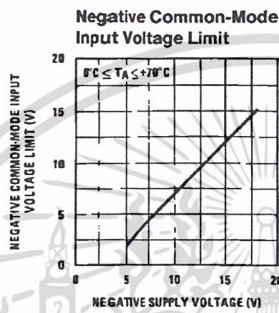
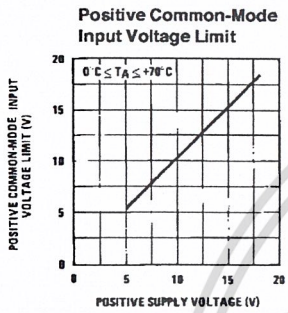
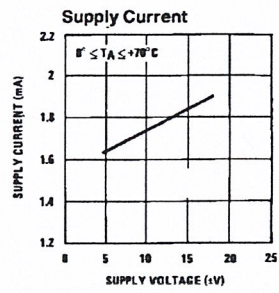
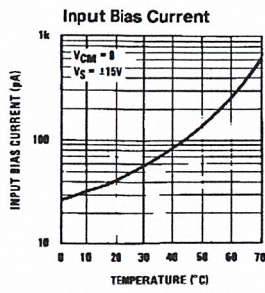
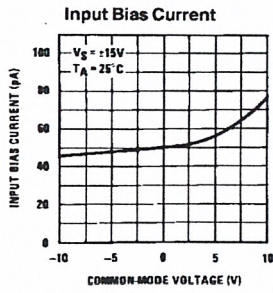
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

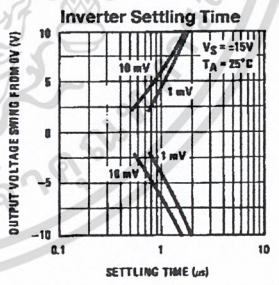
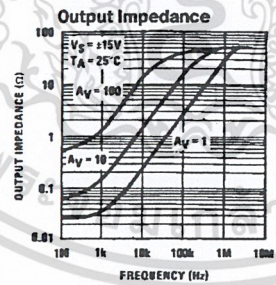
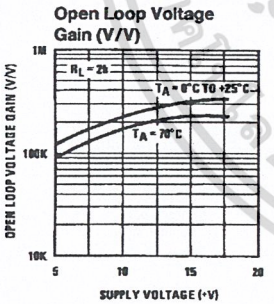
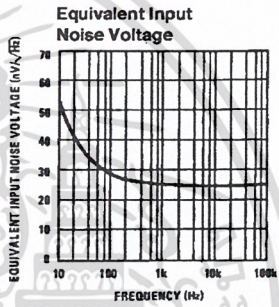
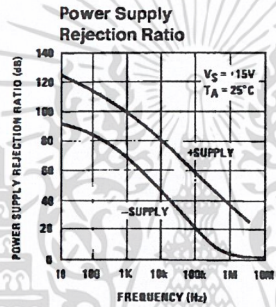
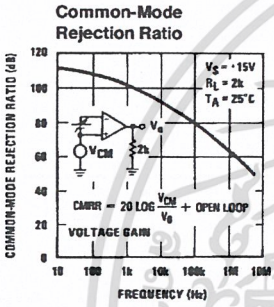
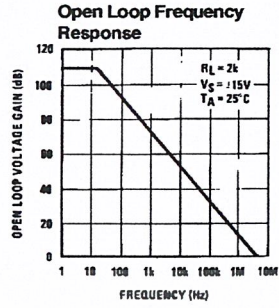
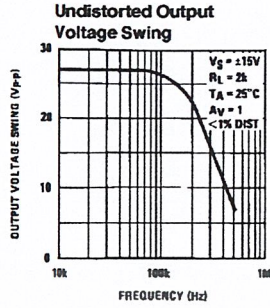
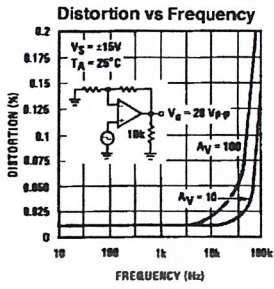
Typical Performance Characteristics



TL/H/5648-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

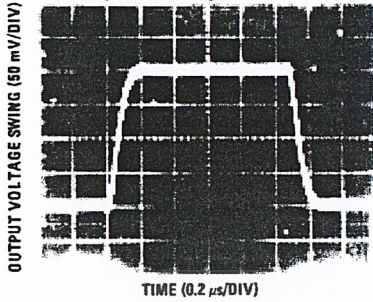


TL/H/5648-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

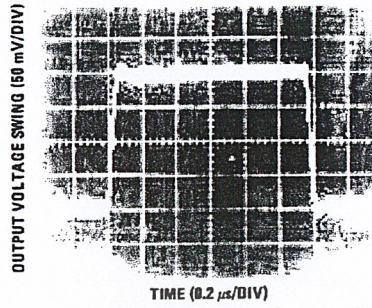
Pulse Response

Small Signal Inverting



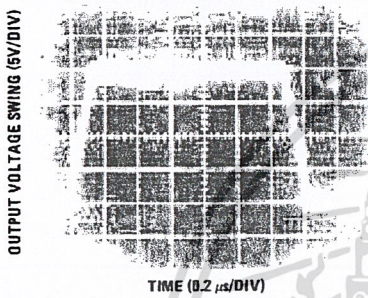
TL/H/5648-4

Small Signal Non-Inverting



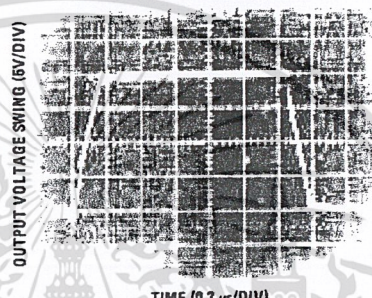
TL/H/5648-5

Large Signal Inverting



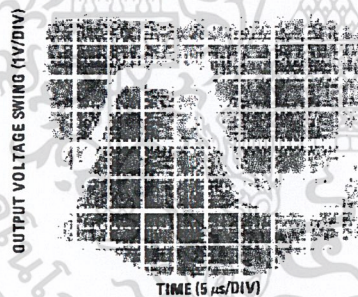
TL/H/5648-6

Large Signal Non-Inverting



TL/H/5648-7

Current Limit ($R_L = 100\Omega$)



TL/H/5648-8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will

cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on $\pm 4V$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 k Ω load resistance to $\pm 10V$ over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

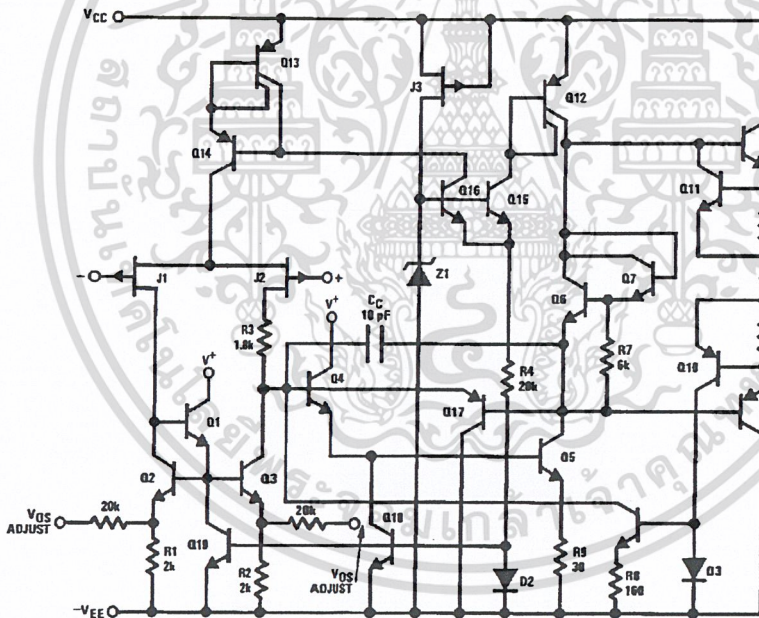
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed back-

wards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

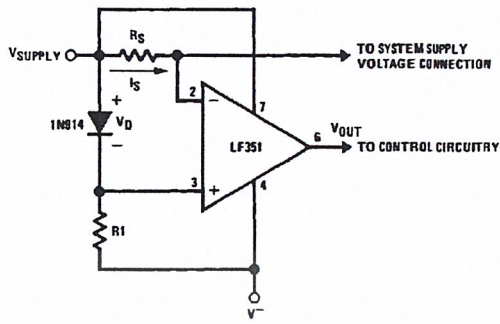


TL/H/5648-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

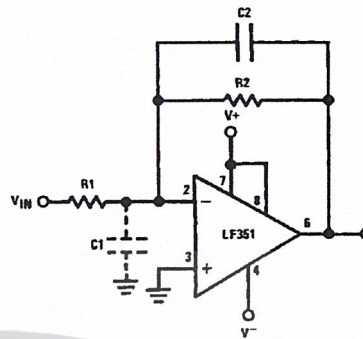
Typical Applications

Supply Current Indicator/Limiter



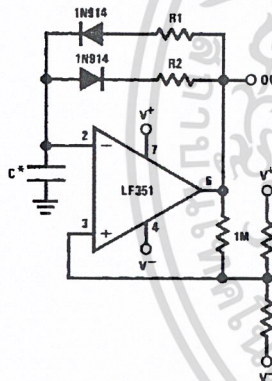
* V_{OUT} switches high when $R_S I_S > V_D$

Hi- Z_{IN} Inverting Amplifier



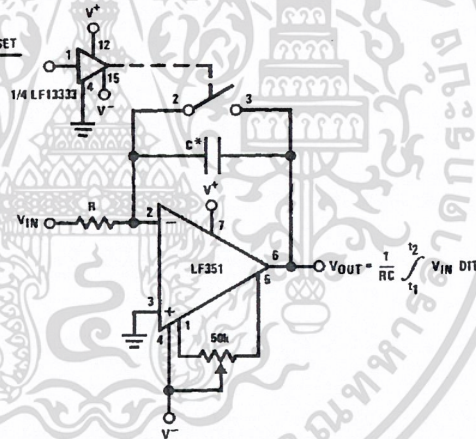
Parasitic input capacitance C_1 (≈ 3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C_2 such that: $R_2 C_2 \approx R_1 C_1$.

Ultra-Low (or High) Duty Cycle Pulse Generator



- * $t_{OUTPUT\ HIGH} \approx R_1 C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$
 - * $t_{OUTPUT\ LOW} \approx R_2 C \ln \frac{2V_S - 7.8}{V_S - 7.8}$
- where $V_S = V^+ + |V^-|$
 *low leakage capacitor

Long Time Integrator

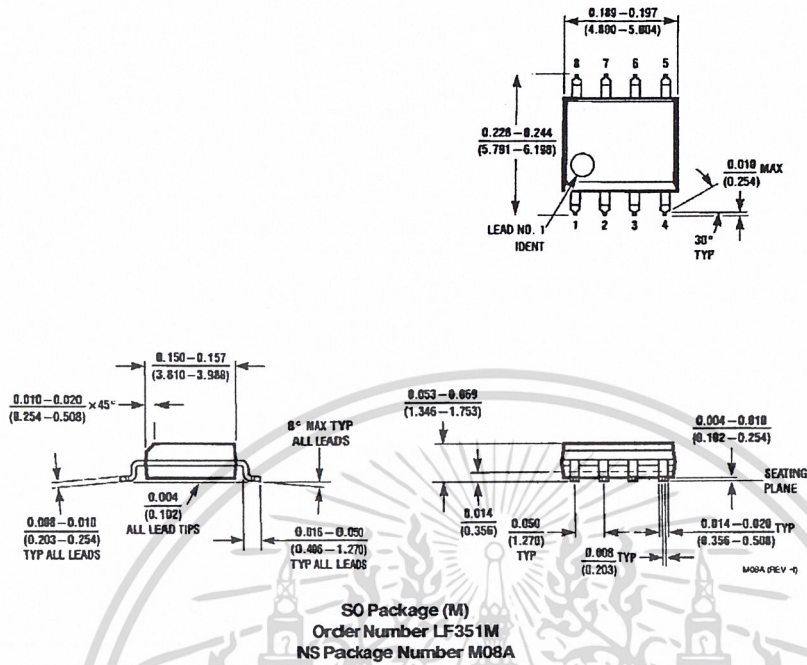


- *Low leakage capacitor
- * 50k pot used for less sensitive V_{OS} adjust

TL/H/5648-10

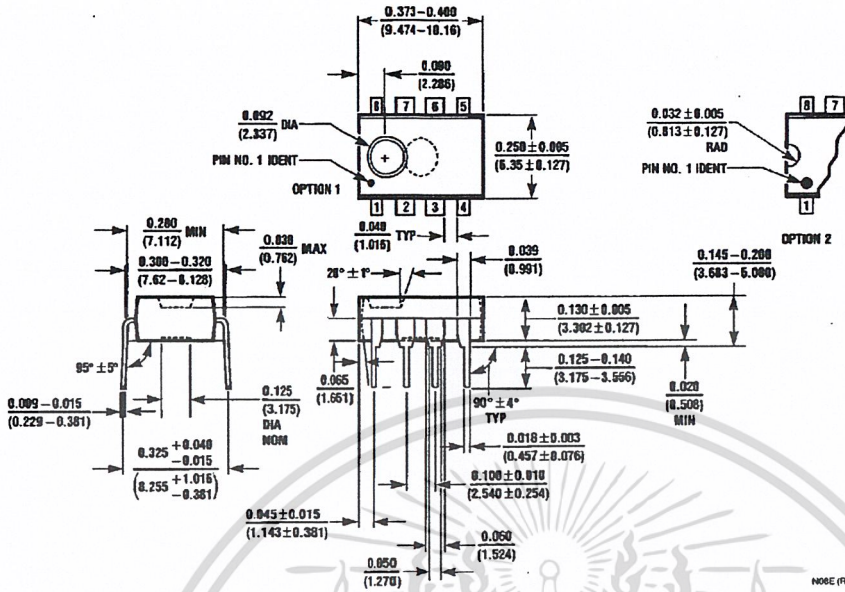
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number LF351N
NS Package Number N08E

N08E (REV F)

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@sem2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 83 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshitsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9980

National Semiconductor Japan Ltd.
Tel: 81-043-239-2309
Fax: 81-043-239-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DM74164 8-Bit Serial In/Parallel Out Shift Registers

General Description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. A LOW logic level at either serial input inhibits entry of the new data, and resets the first flip-flop to the LOW level at the next clock pulse, thus providing complete control over incoming data. A HIGH logic level on either input enables the other input, which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is HIGH or LOW, but only information meeting the setup and hold time requirements will be entered. Clocking occurs on the LOW-to-HIGH level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

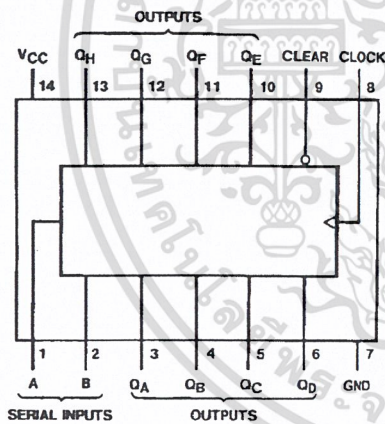
Features

- Gated (enable/disable) serial inputs
- Fully buffered clock and serial inputs
- Asynchronous clear
- Typical clock frequency 36 MHz
- Typical power dissipation 185 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74164	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram

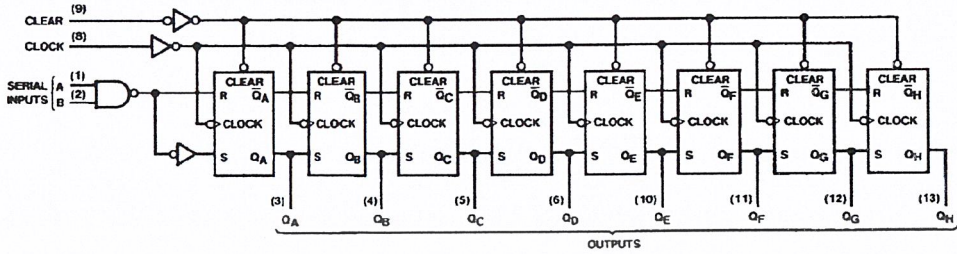


Function Table

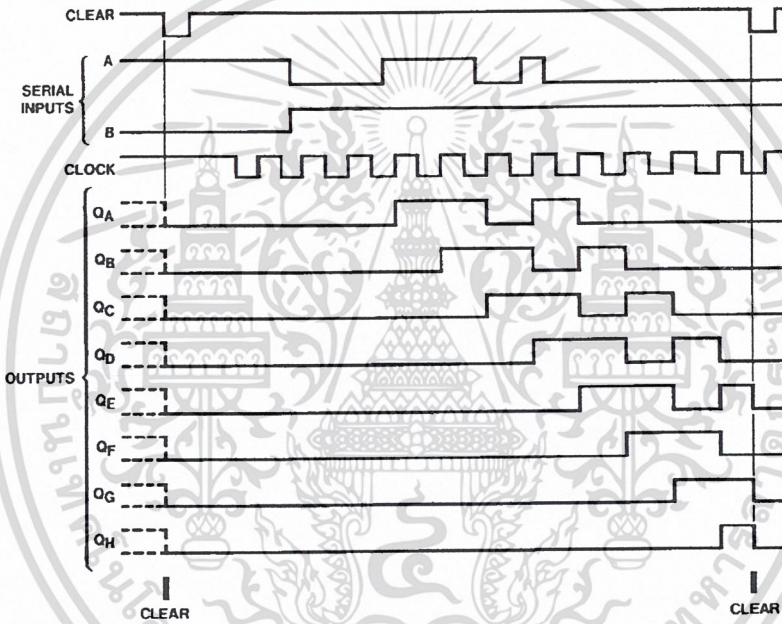
Clear	Inputs		Outputs				
	Clock	A B	QA	QB	...	QH	
L	X	X X	L	L	...	L	
H	L	X X	QA0	QB0	...	QH0	
H	↑	H H	H	QA _n	...	QC _n	
H	↑	L X	L	QA _n	...	QC _n	
H	↑	X L	L	QA _n	...	QC _n	

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
QA0, QB0, QH0 = The level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.
QA_n, QC_n = The level of QA or QC before the most recent ↑ transition of the clock; indicates a one-bit shift.

Logic Diagram



Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			-0.4	mA
I _{OL}	LOW Level Output Current			8	mA
f _{CLK}	Clock Frequency (Note 2)	0		25	MHz
t _w	Pulse Width (Note 2)	Clock	20		ns
		Clear	20		
t _{SU}	Data Setup Time (Note 2)	15			ns
t _H	Data Hold Time (Note 2)	5			ns
T _A	Free Air Operating Temperature	0		70	°C

Note 2: T_A = 25°C and V_{CC} = 5V.

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units	
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -14 mA			-1.5	V	
V _{OH}	HIGH Level Output Voltage	V _{CC} = Min, I _{OH} = Max	2.4	3.2		V	
		V _{IL} = Max, V _{IH} = Min					
V _{OL}	LOW Level Output Voltage	V _{CC} = Min, I _{OL} = Max		0.2	0.4	V	
		V _{IH} = Min, V _{IL} = Max					
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 5.5V			1	mA	
I _{IH}	HIGH Level Input Current	V _{CC} = Max, V _I = 2.4V			40	μA	
I _{IL}	LOW Level Input Current	V _{CC} = Max, V _I = 0.4V			-1.6	mA	
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 4)	-9		-27.5	mA	
I _{CC}	Supply Current	V _{CC} = Max (Note 5)			37	54	mA

Note 3: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 4: Not more than one output should be shorted at a time.

Note 5: I_{CC} is measured with all outputs OPEN, SERIAL inputs grounded, the CLOCK input at 2.4V, and a momentary ground, then 4.5V, applied to the CLEAR input.

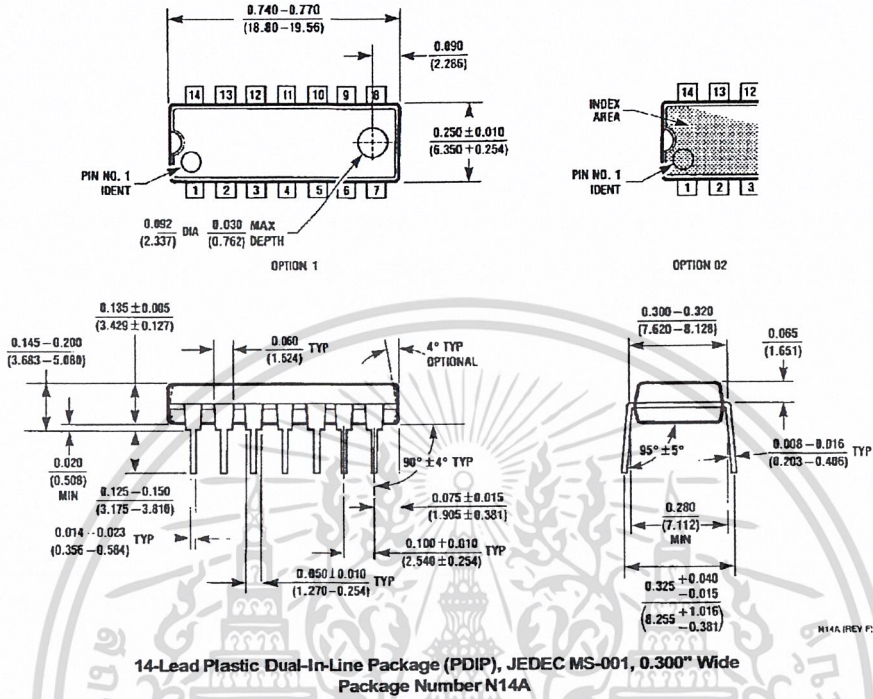
Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	R _L = 800Ω				Units
			C _L = 15 pF		C _L = 50 pF		
			Min	Max	Min	Max	
f _{MAX}	Maximum Clock Frequency		25				MHz
t _{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clock to Output		27		30	ns
t _{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clock to Output		32		37	ns
t _{PCL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Output		36		42	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

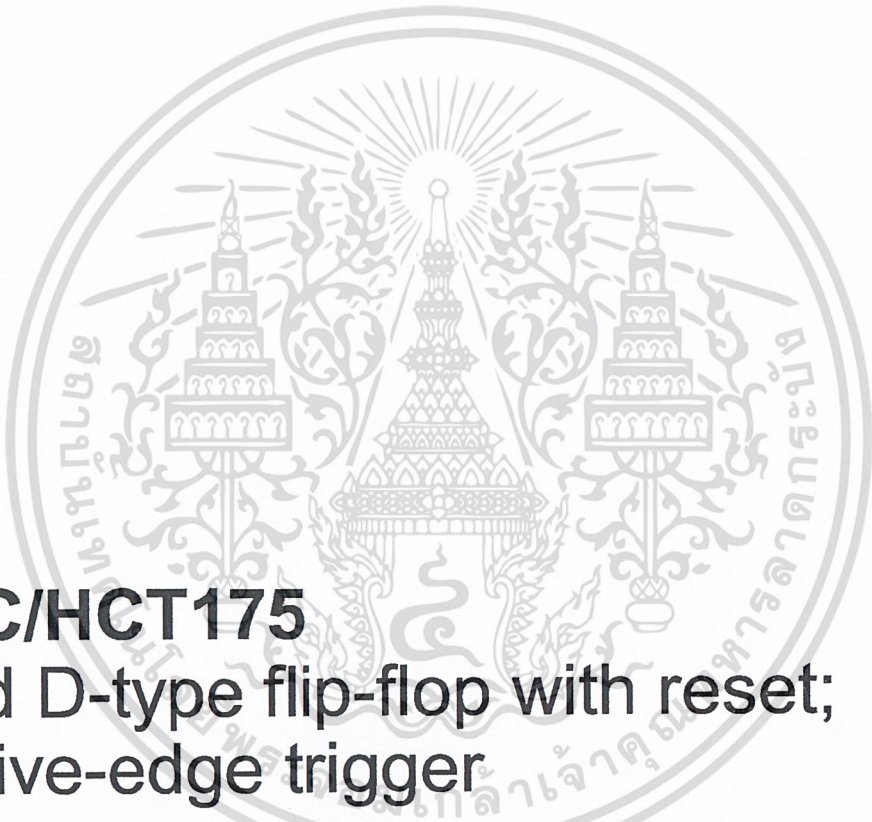
FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET



74HC/HCT175 Quad D-type flip-flop with reset; positive-edge trigger

Product specification
Supersedes data of December 1990
File under Integrated Circuits, IC06

1998 Jul 08

Quad D-type flip-flop with reset; positive-edge trigger 74HC/HCT175

FEATURES

- Four edge-triggered D flip-flops
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT175 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT175 have four edge-triggered, D-type flip-flops with individual D inputs and both Q and \bar{Q} outputs.

The common clock (CP) and master reset (\overline{MR}) inputs load and reset (clear) all flip-flops simultaneously.

The state of each D input, one set-up time before the LOW-to-HIGH clock transition, is transferred to the corresponding output (Q_n) of the flip-flop.

All Q_n outputs will be forced LOW independently of clock or data inputs by a LOW voltage level on the MR input.

The device is useful for applications where both the true and complement outputs are required and the clock and master reset are common to all storage elements.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL}	propagation delay CP to Q _n , \bar{Q}_n \overline{MR} to Q _n	C _L = 15 pF; V _{CC} = 5 V	17	16	ns
			15	19	ns
t _{PLH}	propagation delay CP to Q _n , \bar{Q}_n \overline{MR} to Q _n		17	16	ns
			15	16	ns
f _{max}	maximum clock frequency		83	54	MHz
C _I	input capacitance		3.5	3.5	pF
C _{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	32	34	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz

f_o = output frequency in MHz

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}
For HCT the condition is V_I = GND to V_{CC} - 1.5 V

Quad D-type flip-flop with reset; positive-edge trigger

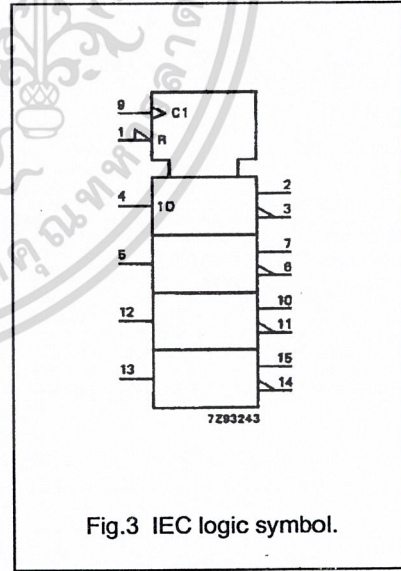
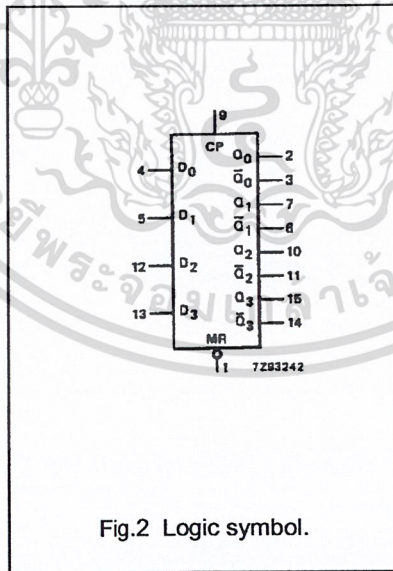
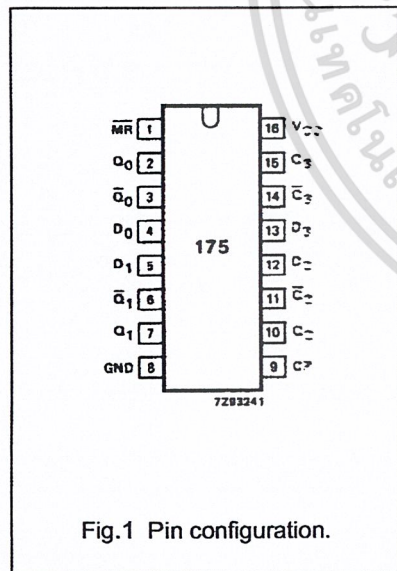
74HC/HCT175

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
74HC175N; 74HCT175N	DIP16	plastic dual in-line package; 16 leads (300 mil); long body	SOT38-1
74HC175D; 74HCT175D	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1
74HC175DB; 74HCT175DB	SSOP16	plastic shrink small outline package; 16 leads; body width 5.3 mm	SOT338-1
74HC175PW; 74HCT175PW	TSSOP16	plastic thin shrink small outline package; 16 leads; body width 4.4 mm	SOT403-1

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	MR	master reset input (active LOW)
2, 7, 10, 15	Q ₀ to Q ₃	flip-flop outputs
3, 6, 11, 14	\bar{Q}_0 to \bar{Q}_3	complementary flip-flop outputs
4, 5, 12, 13	D ₀ to D ₃	data inputs
8	GND	ground (0 V)
9	CP	clock input (LOW-to-HIGH, edge-triggered)
16	V _{CC}	positive supply voltage



Quad D-type flip-flop with reset; positive-edge trigger

74HC/HCT175

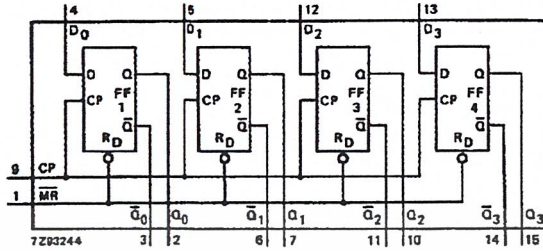


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS			OUTPUTS	
	\overline{MR}	CP	D_n	Q_n	\overline{Q}_n
reset (clear)	L	X	X	L	H
load "1"	H	\uparrow	h	H	L
load "0"	H	\uparrow	l	L	H

Note

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 \uparrow = LOW-to-HIGH CP transition
 X = don't care

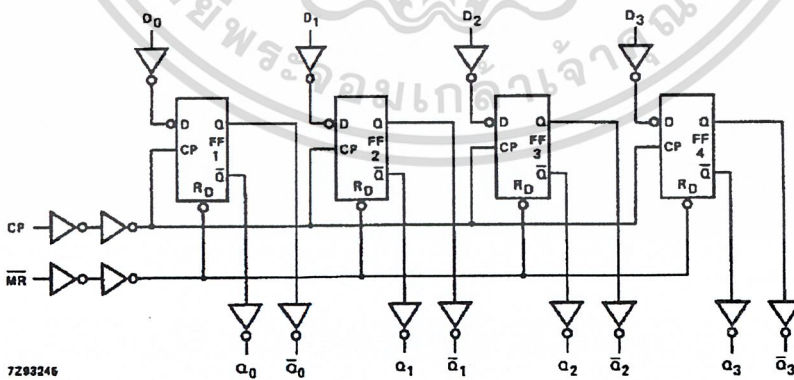


Fig.5 Logic diagram.

Quad D-type flip-flop with reset; positive-edge trigger

74HC/HCT175

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see

Output capability: standard

I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; t_r = t_f = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T _{amb} (°C)						UNIT	TEST CONDITIONS		
		74HC							V _{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t _{PHL} / t _{PLH}	propagation delay CP to Q _n , \overline{Q}_n		55	175		220		265	ns	2.0	Fig.6
			20	35		44		53			
			16	30		37		45			
t _{PHL} / t _{PLH}	propagation delay MR to Q _n , \overline{Q}_n		50	150		190		225	ns	2.0	Fig.8
			18	30		38		45			
			14	26		33		38			
t _{THL} / t _{TLH}	output transition time		19	75		95		110	ns	2.0	Fig.6
			7	15		19		22			
			6	13		16		19			
t _w	clock pulse width HIGH or LOW	80	22		100		120	ns	2.0	Fig.6	
		16	8		20		24				
		14	6		17		20				
t _w	master reset pulse width LOW	80	19		100		120	ns	2.0	Fig.8	
		16	7		20		24				
		14	6		17		20				
t _{rem}	removal time MR to CP	5	-33		5		5	ns	2.0	Fig.8	
		5	-12		5		5				
		5	-10		5		5				
t _{su}	set-up time D _n to CP	80	3		100		120	ns	2.0	Fig.7	
		16	1		20		24				
		14	1		17		20				
t _h	hold time CP to D _n	25	2		30		40	ns	2.0	Fig.7	
		5	0		6		8				
		4	0		5		7				
f _{max}	maximum clock pulse frequency	6.0	25		4.8		4.0	MHz	2.0	Fig.6	
		30	75		24		20				
		35	89		28		24				

Quad D-type flip-flop with reset; positive-edge trigger

74HC/HCT175

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see

Output capability: standard

I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
\overline{MR}	1.00
CP	0.60
D_n	0.40

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)						UNIT	TEST CONDITIONS		
		74HCT							V_{CC} (V)	WAVEFORMS	
		+25			-40 to +85		-40 to +125				
		min.	typ.	max.	min.	max.	min.				max.
t_{PHL} / t_{PLH}	propagation delay CP to Q_n, \overline{Q}_n		19	33		41		50	ns	4.5	Fig.6
t_{PHL}	propagation delay \overline{MR} to Q_n		22	38		48		57	ns	4.5	Fig.8
t_{PLH}	propagation delay \overline{MR} to \overline{Q}_n		19	35		44		53	ns	4.5	Fig.8
t_{THL} / t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6
t_w	clock pulse width HIGH or LOW	20	12		25		30		ns	4.5	Fig.6
t_w	master reset pulse width LOW	20	11		25		30		ns	4.5	Fig.8
t_{rem}	removal time \overline{MR} to CP	5	-10		5		5		ns	4.5	Fig.8
t_{su}	set-up time D_n to CP	16	5		20		24		ns	4.5	Fig.7
t_h	hold time CP to D_n	5	0		5		5		ns	4.5	Fig.7
f_{max}	maximum clock pulse frequency	25	49		20		17		MHz	4.5	Fig.6

กิตติกรรมประกาศ

ขอขอบคุณผู้ที่มีส่วนร่วมทำให้โครงการชิ้นนี้สำเร็จลงด้วยดี อันได้แก่ รศ.นิภา สีตารุจิ และ รศ.ณรงค์ เหมกรณ์ ผู้เป็นอาจารย์ที่ปรึกษา พ่อแม่พี่น้องที่คอยเป็นกำลังใจตลอดมา รุ่นพี่ปริญญาโท ที่คอยให้คำปรึกษา และเพื่อน ๆ ที่คอยช่วยเหลือตลอดมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] Lathi, B.P., "Modern Digital and Analog Communication System", Holt, Rinehart and winton, Inc, Florida, 1989.
- [2] Van Valkenburg, M.E., "Analog Filter Design", Holt Rinchart and Winston, New York, 1988.
- [3] Denton J.David, "Electronic Devices and Circuits", Prentice-Hall Englewood Cliffs, 1986.
- [4] สุพจน์ ปุณณชัยยะ, "รอบรู้ Modem" พิมพ์ครั้งที่ 1 โปรวีชั่น 2540.
- [5] "เทคนิคการส่งข้อมูล" เขมิกอนดักเตอร์ เล่มที่ 79, มิถุนายน - กรกฎาคม 2530.
- [6] ร.ต.อ.สุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุสื่อสารและระบบวิทยุสื่อสาร", บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2541.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้