สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องกำเนิดสัญญาณ 45 – 108 MHz

45 –108 MHz SIGNAL GENERATOR

โดย

นายชาญคณิต ปุกคำ

นายณัฐวุธ สาสมัคร

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 50381
วัน,เดือน,ปี 13 พ.ค. 2547

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณ 45 – 108 MHz

45 –108 MHz SIGNAL GENERATOR

โดย

นายชาญคณิต ปุกคำ 43015256

นายณัฐวุธ สาสมัคร 43015259

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องกำเนิดสัญญาณ 45 – 108 MHz

ผู้จัดทำ

1. นายชาญคณิต ปุกคำ 43015256
2. นายณัฐวุธ สาสมัคร 43015259

ลงชื่อ.....อาจารย์ที่ปรึกษา

(ผศ.ประภากร สุวรรณะ)

1 / เม.ย. / 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณ 45 – 108 MHz

นายชาญคณิต ปุกคำ
นายณัฐวุธ สาสมัคร
ผศ.ประภากร สุวรรณะ(อาจารย์ที่ปรึกษา)
ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอการศึกษาและออกแบบ การสังเคราะห์ความถี่ โดยอาศัยหลักการเฟสล็อคลูป ผลิตความถี่ในช่วง 45 – 108 MHz ในการออกแบบได้ใช้หลักการผลิตความถี่ขึ้นมา 2 ลูป โดยลูปแรกจะผลิตช่วงความถี่กว้างและลูปที่สองจะผลิตช่วงความถี่แคบ เอาต์พุตที่ได้เป็นผลต่างของช่วงความถี่ทั้งสองที่ผ่านภาคมิกเซอร์และวงจรกรองความถี่ต่ำผ่าน ในส่วนของเฟสล็อคลูปประกอบด้วย ภาคโวลต์เตจ คอนโทรล ออสซิลเลเตอร์, ภาคพรีสเกลเลอร์, ภาคเฟสดีเทคเตอร์ และภาคลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

45 –108 MHz SIGNAL GENERATOR

Mr.Chankanit Pukkhum

Mr.Nattawoot Sasamak

Asst.Prof. Prapakon Suwanna(Advisor)

Academic year 2002

Abstract

This paper presents the study and design of phase locked loop frequency synthesizer that generate frequencies range 45 – 108 MHz. Designer generate frequencies 2 range by used double-loop synthesizer. First-loop generates frequency wide band and Second-loop generates frequency narrow band. The output is frequency difference between 2 range by pass the Mixer and Low pass filter. Phase locked loop frequency synthesizer consist the Voltage Control Oscillator, Prescaler, Phase Detector and Loop Filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเครื่องกำเนิดสัญญาณรูปคลื่นซายน์ความถี่ 45 MHz – 108 MHz โครงงานนี้จะสำเร็จมิได้ หากปราศจากคำแนะนำที่ดีจากผู้เชี่ยวชาญ ทั้งในด้านทฤษฎีและด้านการลงมือปฏิบัติงานจริง รวมถึงเทคนิคและวิธีแก้ไขปัญหาต่างๆ ที่เกิดขึ้นภายในโครงงานนี้จากท่านอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ รวมถึงพี่ๆ นักศึกษาปริญญาโท พี่ประพัฒน์ พี่สันติ พี่เศรษฐศักดิ์ ที่ให้คำแนะนำที่ดีมาโดยตลอด จึงขอขอบคุณทุกท่านไว้ ณ ที่นี้ด้วย ขอขอบใจเพื่อนๆ พี่ๆ น้องๆทุกคนที่เป็นกำลังใจให้กันเสมอมา ขอบคุณนายธานทัต สำหรับอุปกรณ์กัดปริ้นท์ และนายพิจิตรและนายเอกราชที่เป็นเพื่อนร่วมคิดแก้ไขปัญหาที่เกิดขึ้นด้วยกันมาตลอด ขอขอบคุณภาควิชาอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้โอกาสนักศึกษาวิศวฯ หลักสูตรต่อเนื่องทุกคน ท้ายนี้ขอขอบพระคุณ บิดา มารดา ที่เป็นทุกสิ่งทุกอย่างของลูก

สุดท้ายนี้ หวังว่าโครงงานนี้จะเป็นประโยชน์แก่ผู้สนใจทุกคน เพื่อนำไปใช้ในการพัฒนาเทคโนโลยีสำหรับคนไทย หากเกิดความผิดพลาดประการใด ทางผู้จัดทำขอน้อมรับความผิดนี้ไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญชื่อเรื่อง

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
กิตติกรรมประกาศ	
สารบัญชื่อเรื่อง	
สารบัญรูปภาพ	
สารบัญตาราง	
บทนำ	1
บทที่ 1 การสังเคราะห์ความถี่	2
1.1 หลักการพื้นฐานของการสังเคราะห์ความถี่	2
1.2 เฟสล็อคลูป	3
1.2.1 ลูปอันดับสอง	5
1.3 พารามิเตอร์ของเฟสล็อคลูป	10
1.3.1 The hold range	11
1.3.2 The lock range	11
1.3.3 The pull - in range	14
1.3.4 The pull - out range	17
บทที่ 2 ออสซิลเลเตอร์	18
2.1 วงจร LC ออสซิลเลเตอร์	18
2.1.1 ความถี่ออสซิลเลเตอร์	20
2.1.2 รีแล็กเซชั่นออสซิลเลเตอร์	20
2.2 ออสซิลเลเตอร์ป้อนกลับแบบทิกเกอร์	21
2.2.1 การป้อนกลับแบบบวก	22
2.3 ออสซิลเลเตอร์แบบฮาร์ทเลย์	23
2.3.1 การกลับเฟสของสัญญาณด้วยแท็ปคอยล์	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ออสซิลเลเตอร์แบบคอลพิทส์ 25
2.5 คริสตอลออสซิลเลเตอร์ 26
2.5.1 ปรากฏการณ์เพียซโซอิเลคทริก 27
2.5.2 การตัดผลึกคริสตอล 27
2.5.3 วงจรเทียบเท่าของผลึกคริสตอล 28
2.5.4 วงจรออสซิลเลเตอร์แบบควบคุมคริสตอล 29
2.5.5 ความถี่ของออสซิลลเตอร์แบบคริสตอล 30
2.6 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า 30
2.6.1 วาแร็กเตอร์ไดโอด 30
2.6.2 วงจร VCO 31
บทที่ 3 การออกแบบโครงงาน 34
3.1 แนวความคิดในการออกแบบ 34
3.2 การออกแบบภาค PLL I 37
3.3 การออกแบบภาค PLL II 38
3.4 การออกแบบภาค Voltage Control Oscillator(VCO) 40
3.5 การออกแบบภาค Prescaler 44
3.6 การออกแบบภาค Phase Detector 44
3.7 การออกแบบภาค Loop Filter 47
บทที่ 4 การทดลองและผลการทดลอง 48
4.1 การทดลอง Phase Locked Loop I 48
4.2 แสดงการวัดสัญญาณที่ Output ของวงจร 51
4.3 การทดลอง Phase Locked Loop II 69
4.4 แสดงการวัดสัญญาณที่ Output ของวงจร 71
บทที่ 5 บทวิจารณ์และบทสรุป 91
บรรณานุกรม
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 1.1 บล็อกไดอะแกรมพื้นฐานการสังเคราะห์ความถี่ด้วยวิธีเฟสล็อคลูป 2
รูปที่ 1.2 บล็อกไดอะแกรมพื้นฐานของเฟสล็อคลูป 4
รูปที่ 1.3 ฟิลเตอร์ที่นิยมใช้ในลูปอันดับที่สอง 6
รูปที่ 1.4 ผลการตอบสนองความถี่ของ *High-gain second-order loop : H(s)* 8
รูปที่ 1.5 ผลการตอบสนองความถี่ของ *Error - transfer function :* $H_e(s)$ 9
รูปที่ 1.6 ช่วงของพารามิเตอร์ของเฟสล็อคลูปอันดับสอง 10
รูปที่ 1.7 กระบวนการ *Look – in* 12
รูปที่ 1.8 แสดงสถานะไม่ล็อกของเฟสล็อคลูป 15
รูปที่ 1.9 แสดงขบวนการ Pull – in 16
รูปที่ 2.1 สัญญาณคลื่นซายน์ที่เอาต์พุตของวงจรจูน RF 18
รูปที่ 2.2 วงจร LC เกิดการออสซิลเลตที่ความถี่เรโซแนนซ์ 19
รูปที่ 2.3 วงจรขยายสัญญาณ RF ในลักษณะวงจรออสซิลเลเตอร์ 22
รูปที่ 2.4 วงจรออสซิลเลตอร์แบบฮาร์ทเลย์ 24
รูปที่ 2.5 เฟสของแรงดันไฟฟ้าในแท็ป L_B กับ L_A จะต่างเฟส 180° 25
รูปที่ 2.6 วงจรออสซิลเลเตอร์แบบคอลพิทส์ 25
รูปที่ 2.7 รูปร่างของคริสตอลออสซิลเลเตอร์ที่ประกอบอยู่ในตัวถัง 27
รูปที่ 2.8 แนวแกนการเฉือนตามโครงสร้างของก้อนผลึก 28
รูปที่ 2.9 วงจรเทียบเท่าของผลึกคริสตอล 28
รูปที่ 2.10 ออสซิลเลเตอร์แบบควบคุมคริสตอล 29
รูปที่ 2.11 คุณสมบัติของวาแร็กเตอร์หรือคาปาซิทีฟไดโอด
ชนิดควบคุมด้วยแรงดันไฟฟ้า 31
รูปที่ 2.12 วงจร VCO ใช้สำหรับควบคุมความถี่ออสซิลเลเตอร์ 32
รูปที่ 3.1 บล็อกไดอะแกรมการออกแบบหลักของโครงงาน 36
รูปที่ 3.2 บล็อกไดอะแกรมการออกแบบภาค PLL I 38
รูปที่ 3.3 บล็อกไดอะแกรมการออกแบบภาค PLL II 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 วงจร Voltage Control Oscillator
ที่ผลิตช่วงความถี่ 130.304 - 193.280 MHz 42
รูปที่ 3.5 วงจร Voltage Control Oscillator
ที่ผลิตช่วงความถี่ 85.120 – 85.375 MHz 43
รูปที่ 3.6 วงจรพรีสเกลเลอร์ ที่ใช้ IC เบอร์ MC12017 44
รูปที่ 3.7 Timming Diagram การเปรียบเทียบความถี่(เฟส)
ของ Phase Detector 46
รูปที่ 3.8 วงจรโลว์พาสฟิลเตอร์ที่ใช้ออปแอมป์ เบอร์ MC 34071 47
รูปที่ 4.1 วงจร Voltage Control Oscillator
ที่ผลิตช่วงความถี่ 130.304 - 193.280 MHz 48
รูปที่ 4.2 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 130 MHz 51
รูปที่ 4.3 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 130 MHz 51
รูปที่ 4.4 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 140 MHz 52
รูปที่ 4.5 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 140 MHz 52
รูปที่ 4.6 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 150 MHz 53
รูปที่ 4.7 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 150 MHz 53
รูปที่ 4.8 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 160 MHz 54
รูปที่ 4.9 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 160 MHz 54
รูปที่ 4.10 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 170 MHz 55
รูปที่ 4.11 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 170 MHz 55
รูปที่ 4.12 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 180 MHz 56
รูปที่ 4.13 สเปกตรัมความถี่ของสัญญาณ ที่ Output ณ ความถี่ 180 MHz 56
รูปที่ 4.14 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 190 MHz 57
รูปที่ 4.15 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 190 MHz 57
รูปที่ 4.16 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 200 MHz 58
รูปที่ 4.17 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 200 MHz 58
รูปที่ 4.18 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\,CTL}$ กับ F_{OUTPUT} 67
รูปที่ 4.19 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\,CTL}$ กับ V_{OUTPUT} 67
รูปที่ 4.20 วงจรเฟสล็อคลูปของภาค PLL I ที่ใช้ในการทดลอง 68
รูปที่ 4.21 วงจร VCO ที่ผลิตช่วงความถี่ *85.120 MHz – 85.375 MHz* 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.22 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 84.93 MHz 71
รูปที่ 4.23 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 84.93 MHz 71
รูปที่ 4.24 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.06 MHz 72
รูปที่ 4.25 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.06 MHz 72
รูปที่ 4.26 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.12 MHz 73
รูปที่ 4.27 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.12 MHz 73
รูปที่ 4.28 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.20 MHz 74
รูปที่ 4.29 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.20 MHz 74
รูปที่ 4.30 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.28 MHz 75
รูปที่ 4.31 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.28 MHz 75
รูปที่ 4.32 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.33 MHz 76
รูปที่ 4.33 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.33 MHz 76
รูปที่ 4.34 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.38 MHz 77
รูปที่ 4.35 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.38 MHz 77
รูปที่ 4.36 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.45 MHz 78
รูปที่ 4.37 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.45 MHz 78
รูปที่ 4.38 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.51 MHz 79
รูปที่ 4.39 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.51 MHz 79
รูปที่ 4.40 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.51 MHz 80
รูปที่ 4.41 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.44 MHz 80
รูปที่ 4.42 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.39 MHz 81
รูปที่ 4.43 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.31 MHz 81
รูปที่ 4.44 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.26 MHz 82
รูปที่ 4.45 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output ณ ความถี่ 10.22 MHz 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.46 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output
ณ ความถี่ 10.16 MHz 83
รูปที่ 4.47 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output
ณ ความถี่ 10.13 MHz 83
รูปที่ 4.48 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ที่ Output
ณ ความถี่ 10.06 MHz 84
รูปที่ 4.49 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT} 89
รูปที่ 4.50 กราฟความสัมพันธ์ระหว่าง V_{OUTPUT} กับ F_{OUTPUT} 89
รูปที่ 4.51 วงจรเฟสล็อคลูปของภาค PLL II ที่ใช้ในการทดลอง 90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

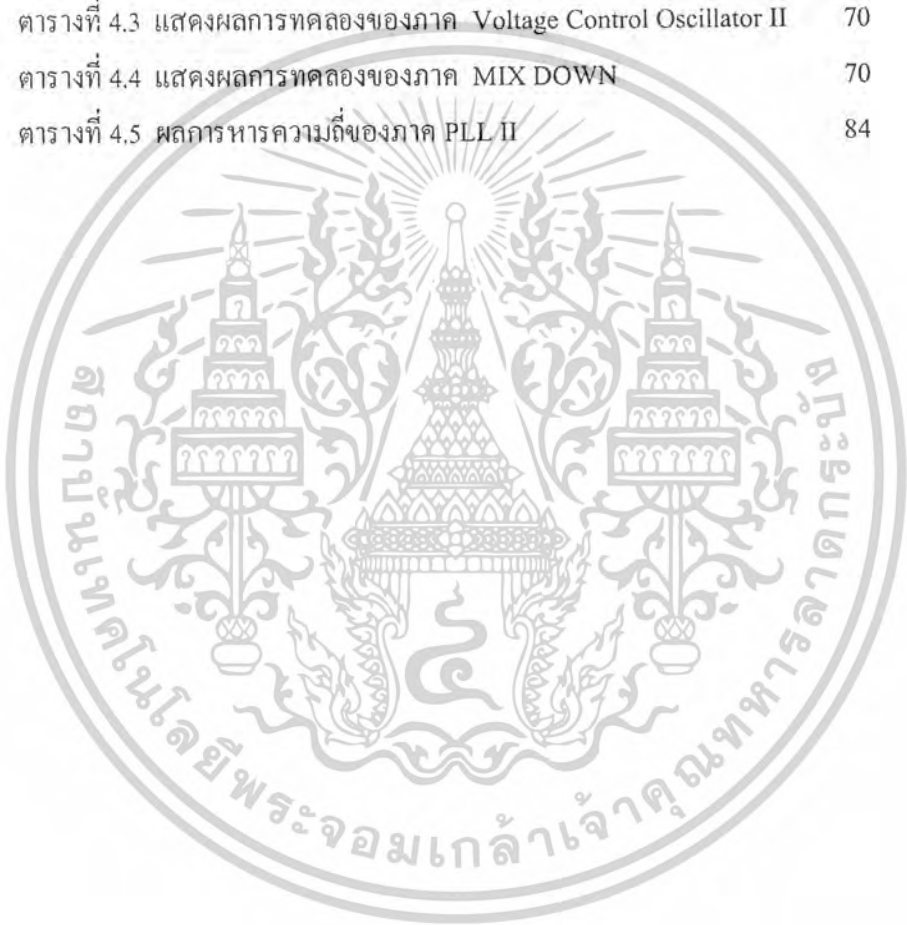
ตารางที่ 4.1 แสดงผลการทดลองของภาค Voltage Control Oscillator I 49

ตารางที่ 4.2 ผลการหารความถี่ของภาค PLL I 59

ตารางที่ 4.3 แสดงผลการทดลองของภาค Voltage Control Oscillator II 70

ตารางที่ 4.4 แสดงผลการทดลองของภาค MIX DOWN 70

ตารางที่ 4.5 ผลการหารความถี่ของภาค PLL II 84



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันการพัฒนาเทคโนโลยีเป็นไปอย่างรวดเร็วเพื่อตอบสนองความต้องการของผู้บริโภค สิ่งหนึ่งที่จำเป็นต้องใช้ในการพัฒนา นั่นก็คือ เครื่องมือที่จะช่วยในการพัฒนาควบคู่ไปกับการทดลอง การสร้าง และการทดสอบ เครื่องมือทางอิเล็กทรอนิกส์เครื่องหนึ่ง ที่จะกล่าวถึงก็คือ เครื่องกำเนิดสัญญาณ *(Signal Generator)* ซึ่งเป็นเครื่องมือชิ้นหนึ่งที่มีความสำคัญในการกำเนิดสัญญาณให้กับวงจรหรือใช้ในการทดสอบเครื่องมืออุปกรณ์ต่างๆ

หากเราต้องการใช้สัญญาณในย่านความถี่ที่สูง วิธีการหนึ่งที่นิยมใช้ในการผลิตความถี่สูงนั่นก็คือ การใช้วิธีการสังเคราะห์ความถี่ *(Frequency Synthesizer)* ซึ่งสามารถผลิตความถี่ออกมาได้อย่างแม่นยำและคงที่ อีกทั้งยังสามารถเปลี่ยนแปลงความถี่ได้ง่าย โดยไม่ต้องเปลี่ยนแปลงวงจรภายในเลย โดยอาศัยหลักการเฟสล็อคลูป *(Phase Locked Loop)* ซึ่งความถี่ที่ได้จะมีความถี่เที่ยงตรงมากกว่าวิธีอื่นๆ เพราะระบบเฟสล็อคลูปจะใช้ความถี่ค่าหนึ่งเป็นสัญญาณความถี่อ้างอิง *(Frequency Reference)* โดยส่วนใหญ่จะได้จากการผลิตความถี่ของคริสตอล มาเปรียบเทียบกับความถี่ที่เอาต์พุตที่นำป้อนกลับ ความถี่ที่สังเคราะห์ได้จะขึ้นอยู่กับค่าความต่างเฟสของสัญญาณทั้งสองที่นำมาเปรียบเทียบกัน จนทำให้ความถี่ที่เอาต์พุตมีเฟสเปลี่ยนแปลงไปตามเฟสของสัญญาณความถี่อ้างอิง ซึ่งในการเปลี่ยนแปลงความถี่จะถูกควบคุมจากวงจรหารความถี่ที่สามารถเปลี่ยนแปลงค่าในการหารได้

สำหรับโครงงานนี้เป็นการออกแบบเครื่องกำเนิดสัญญาณรูปซายน์ที่สามารถผลิตความถี่ในช่วง *45 – 108 MHz* โดยการออกแบบด้วยวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป *(Phase Locked Loop Frequency Synthesizer)* ในการสร้างโครงงานนี้ ได้ประยุกต์การใช้เฟสล็อคลูปแบบมิกซิ่งนอกลูป โดยการสร้างเฟสล็อคลูปขึ้นมาสองภาค คือ ภาค *PLL I* กำเนิดความถี่ช่วง *130.304 MHz* ถึง *193.280 MHz* ซึ่งมีค่าช่วงห่างระหว่างขั้นเท่ากับ *256 kHz/Step* และภาค *PLL II* กำเนิดความถี่ช่วง *85.120 MHz* ถึง *85.375 MHz* ซึ่งมีค่าช่วงห่างระหว่างขั้นเท่ากับ *1 kHz/Step* โดยอาศัยภาคมิกเซอร์เพื่อทำการผสมสัญญาณจากทั้งสองภาค ซึ่งจะได้ค่าความถี่ผลต่างและความถี่ผลบวกจากเฟสล็อคลูปทั้งสองภาค จากนั้นนำมาผ่านวงจรกรองความถี่เพื่อกรองเอาเฉพาะค่าความถี่ผลต่าง ซึ่งจะทำให้ได้ช่วงความถี่ที่เราต้องการ คือ *45 – 108 MHz*

ภายในรายงานฉบับนี้ยังประกอบด้วยเนื้อหาต่างๆ ที่เกี่ยวข้องกับโครงงาน ส่วนของการออกแบบโครงงาน ผลการทดลองของโครงงานนี้ การสรุป และวิจารณ์โครงงานนี้

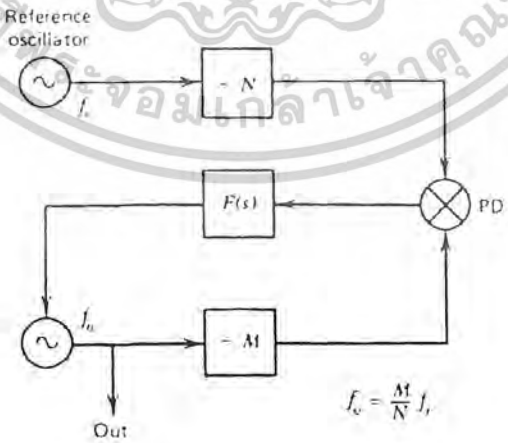
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
การสังเคราะห์ความถี่
Frequency Synthesizer

การสังเคราะห์ความถี่มีความซับซ้อนขึ้นอยู่กับช่วงของความถี่ *(Frequency Range)* ช่วงห่างระหว่างขั้น *(Step Size)* และช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า เรโซลูชั่น *(Resolution)* วงจรที่ทำหน้าที่สังเคราะห์ความถี่ เรียกว่า **"ซินธีไซเซอร์ *(Synthesizer)*"** โดยการประยุกต์ใช้กับเฟสล็อคลูป ซึ่งจะเรียกว่า **"เฟสล็อคลูปซินธีไซเซอร์ *(Phase Locked Loop Frequency Synthesizer)*"** ด้วยเทคนิคนี้ ทำให้วงจรสังเคราะห์ความถี่นี้สามารถผลิตความถี่ขนาดพอเหมาะ และให้ความถี่ตามที่เรากำหนดได้โดยการโปรแกรม ซึ่งการโปรแกรมสามารถทำได้โดยการตั้งสวิตซ์หรือกดปุ่ม หรือการใช้การโปรแกรมคำสั่งคอมพิวเตอร์ไปควบคุมการทำงาน ในการสังเคราะห์ความถี่ เป็นเสมือนการสร้างค่าสูงๆ ของความถี่เอาต์พุตที่เป็นความถี่เดี่ยวหรือ *Fundamental* ให้สูงกว่าความถี่ที่เป็นความถี่อ้างอิง การสังเคราะห์โดยใช้เฟสล็อค เป็นที่นิยมเป็นอย่างมาก ซึ่งส่วนประกอบพื้นฐานของวิธีการสังเคราะห์โดยใช้เฟสล็อคจะอธิบายในหัวข้อต่อไป

1.1 หลักการพื้นฐานของการสังเคราะห์ความถี่

บล็อกไดอะแกรมพื้นฐานของการสังเคราะห์ความถี่ด้วยวิธีเฟสล็อคลูป แสดงดังรูปที่ 1.1



รูปที่ 1 บล็อกไดอะแกรมพื้นฐานของการสังเคราะห์ความถี่ด้วยวิธีเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์จะมีความถี่ที่เกี่ยวข้องกันอยู่ 2 ความถี่ คือ ความถี่อ้างอิง (f_r) และความถี่จากภาค *VCO* (f_v) ซึ่งความถี่อ้างอิงจะถูกหารด้วยจำนวน N และความถี่จากภาค *VCO* จะถูกหารด้วยจำนวน M หลังจากผ่านการหารแล้ว ความถี่ทั้งสองจะมาทำการเปรียบเทียบกันที่ภาค *Phase Detector* เฟสล็อคจึงมีเงื่อนไขเป็น $f_r / N = f_v / M$ ดังนั้นความถี่เอาต์พุตจึงมีค่าเป็นอัตราส่วนกับความถี่อ้างอิง

เทอมของเสถียรภาพระยะยาวและความถูกต้องของความถี่เอาต์พุตนี้จะเป็นค่าเดียวกันกับค่าความถี่อ้างอิงคูณด้วยค่า M / N ส่วนเทอมของเสถียรภาพระยะสั้นเป็นค่าเวลาที่อ้างอิงถึงอัตราส่วน M / N ถ้าลูปแบนด์วิดธ์ *(Loop Bandwidth)* มีค่ากว้าง และจะเป็นค่าของ *VCO* ถ้าลูปแบนด์วิดธ์มีค่าแคบๆ ดังนั้นการสังเคราะห์ความถี่โดยวิธีของเฟสล็อคลูปเป็นการให้ความหมายว่าเป็นการสร้างค่าความถี่เอาต์พุตให้มีค่าสูงๆ ที่มีความถูกต้อง ในราคาที่ต่ำ

การเลือกความถี่เอาต์พุตเป็นคุณสมบัติที่แสดงโดยการเปลี่ยนแปลงอัตราส่วนของ M และ N จากคุณสมบัติในการเลือกความถี่ดังกล่าว ทำให้เราแทบจะไม่ต้องใช้ดิจิตอลเคาน์เตอร์ในการนับความถี่

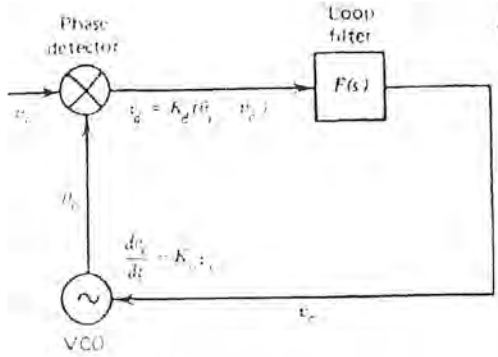
ความถี่เอาต์พุตของการสังเคราะห์ความถี่เบื้องต้นจะเป็นการเพิ่มค่าของ f_r / N ซึ่งความถี่ที่ผ่านการเทียบเฟสจะเป็นตัวแสดงคุณสมบัติ ซึ่งลูปแบนด์วิดธ์จะต้องมีค่าน้อย (สมมติว่า เป็นไปตามหลักการของเฟสล็อคลูปทั่วๆ ไปและเป็นวงจรในอุดมคติ) เพื่อให้สามารถพอที่จะกำจัดการริปเปอร์และทำให้ลูปมีเสถียรภาพอย่างแน่นอน ถ้าต้องการลดค่าริปเปอร์ลงอีก ลูปแบนด์วิดธ์จะต้องแคบมากที่สุด

ลูปแบนด์วิดธ์ที่มีค่ามากจะมีความหมายไปในทางที่เป็นการเปลี่ยนแปลงอย่างรวดเร็วและมีเสถียรภาพในการตอบสนองอย่างรวดเร็ว(มีอาการสั่นในเทอมสั้นๆ)ของ *VCO* หรืออาจจะกล่าวได้ว่าเกิดการเปลี่ยนแปลงเพื่อเข้าสู่เป้าหมาย

1.2 เฟสล็อคลูป

จากบล็อคไดอะแกรมการสังความถี่ที่แสดงในรูปที่ 1.1 หากตัดส่วนที่เป็นดิจิตอล (ภาคหาร M และภาคหาร N) ออกไป ส่วนประกอบที่เหลือจะเห็นว่าเป็นส่วนประกอบหลักของเฟสล็อคลูป แสดงดังรูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 บล็อกไดอะแกรมพื้นฐานของเฟสล็อคลูป

หากพิจารณาองค์ประกอบพื้นฐานของเฟสล็อคลูปแล้วจะประกอบไปด้วย ส่วนของ *Phase Detector (PD)* ส่วนของ *Loop Filter* และส่วนของ *Voltage Controlled Oscillator (VCO)* ดังแสดงในรูปที่ 1.2 ซึ่งสัญญาณอินพุตจะมีเฟสเป็น $\theta_i(t)$ และเอาต์พุตของ *VCO* มีเฟสเป็น $\theta_o(t)$ ในสภาวะเริ่มต้นจะพิจารณาว่าอยู่ในลูปสภาวะล็อค *Phase Detector* มีความเป็นเชิงเส้นและแรงดันเอาต์พุต *PD* เป็นสัดส่วนของผลต่างระหว่างเฟสด้านอินพุตของ *PD* นั่นคือ

$$v_d = K_d(\theta_i - \theta_o) \qquad \ldots(1.1)$$

เมื่อ K_d คือ ค่า *phase-detector gain factor* มีหน่วยเป็น *volts per radian*

ค่าแรงดันเฟสคลาดเคลื่อน *(Phase error voltage : v_d)* จะถูกกรองโดย *Loop filter* ส่วนประกอบที่เป็นสัญญาณรบกวนและสัญญาณความถี่สูงจะถูกกรองทิ้ง ดังนั้น ตัวฟิลเตอร์จึงเป็นตัวช่วยในการกำหนดคุณสมบัติทางไฟฟ้าของลูปมี *Filter transfer function* แทนด้วยสัญลักษณ์ *F(s)*

ความถี่ของ *VCO* จะถูกกำหนดโดยแรงดันควบคุม v_c การเปลี่ยนแปลงความถี่ของ *VCO* จากความถี่ศูนย์กลาง *(Center Frequency)* เป็น $\Delta\omega = K_o v_c$ เมื่อ K_o คือ ค่า *VCO gain factor* และมีหน่วยเป็น *rad/sec-V* เนื่องจากความถี่เป็นค่าอนุพันธ์ของเฟส ดังนั้น *VCO* สามารถอธิบายการทำงานได้เป็น $d\theta_o / dt = K_o v_c$ จากนั้นแปลงสมการนี้ด้วย *Laplace transfomes* จะได้

$$L\,[d\theta_o / dt] = s\theta_o(s) = K_o . V_c(s) \qquad \ldots(1.2)$$

หรือ

$$\theta_o(s) = K_o . V_c(s) / s$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสของเอาต์พุต *VCO* จะมีความสัมพันธ์ที่เป็นเชิงเส้นกับค่าแรงดันควบคุม โดยการใช้สัญลักษณ์ของลาปาสกับทุกสมการจะได้เป็น

$$V_d(s) = K_d[\theta_i(s) - \theta_o(s)] \quad \ldots(1.3)$$

$$V_c(s) = F(s).V_d(s) \quad \ldots(1.4)$$

$$\theta_o(s) = K_o.V_c(s) / s \quad \ldots(1.5)$$

ความสัมพันธ์ของสมการข้างต้นจะทำให้ได้สมการพื้นฐานของลูป ดังนี้

$$\theta_o(s) / \theta_i(s) = H(s) = [K_o.K_d F(s)] / [s + K_o.K_d.F(s)] \quad \ldots(1.6)$$

$$[\theta_i(s) - \theta_o(s)] / \theta_i(s) = \theta_e(s) / \theta_i(s) = s / [s + K_o.K_d.F(s)] = 1 - H(s) \quad \ldots(1.7)$$

$$V_c(s) = [s.K_d.F(s).\theta_i(s)] / [s + K_o K_d F(s)] = s.\theta_i(s).H(s) / K_o \quad \ldots(1.8)$$

เมื่อ *H(s)* คือ *Close-loop transfer function* หรืออาจเรียกว่า *Phase transfer function* ก็ได้ (ต่อไปจะเรียกทรานสเฟอร์ฟังก์ชั่นนี้ว่า *Phase transfer function*) ก่อนที่จะเจาะลึกเข้าไปในขั้นตอนต่อไป เราจำเป็นต้องทราบเกี่ยวกับรายละเอียดคุณสมบัติของ *Loop filter : F(s)*

1.2.1 ลูปอันดับสอง

Loop filter ที่นิยมใช้กันอย่างกว้างขวางมีอยู่ 2 แบบ คือ แบบพาสซีฟฟิลเตอร์ *(Passive filter)* และแบบแอคทีฟฟิลเตอร์ *(Active filter)* ลักษณะรูปวงจรและ *Transfer function* ของแต่ชนิดแสดงดังรูปที่ 1.3

Passive filter transfer function

$$F_1(s) = [s.CR_2 + 1] / [sC(R_1 + R_2) + 1]$$

$$= [s.\tau_2 + 1] / [s(\tau_2 + \tau_1) + 1]$$

$$\tau_1 = CR_1 \ , \ \tau_2 = CR_2$$

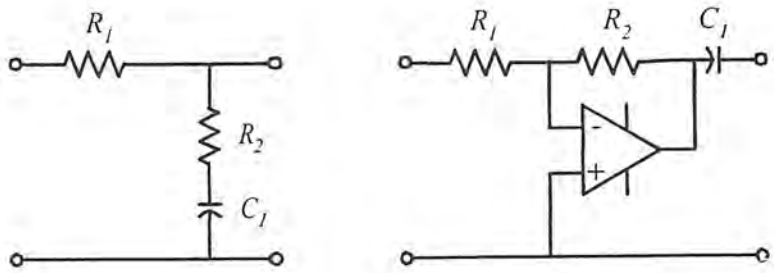
Active filter transfer function

$$F_2(s) = [s.CR_2 + 1] / [sCR_1]$$

$$= [s.\tau_2 + 1] / [s\tau_1]$$

$$\tau_1 = CR_1 \ , \ \tau_2 = CR_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 ฟิลเตอร์ที่นิยมใช้ในลูปอันดับที่สอง *(a) Passive filter (b) Active filter*

พาสซีฟฟิลเตอร์มีโครงสร้างที่ง่ายๆ และสามารถประยุกต์ใช้ได้หลายอย่าง ส่วนแอคทีฟฟิลเตอร์ ต้องการค่า *DC gain* สูง ซึ่งมีคุณสมบัติที่ดีหลายอย่างในการเลือกใช้งานได้อย่างกว้างขวาง รวมทั้งมีข้อดีกว่าแบบพาสซีฟมาก และมักนำมาใช้ในกรณีของความถี่สูง

- สำหรับ *Passive filter* มี *phase transfer function* เป็น

$$H(s) = \frac{K_o.K_d\,(s.\tau_2+1)\,/\,(\tau_2+\tau_1)}{s^2 + \dfrac{s(1 + K_o.K_d.\tau_2)}{(\tau_2+\tau_1)} + \dfrac{K_o.K_d}{(\tau_2+\tau_1)}} \qquad \ldots(1.9)$$

- สำหรับ *Active filter* มี *phase transfer function* เป็น

$$H(s) = \frac{K_o.K_d\,(s.\tau_2+1)\,/\,\tau_1}{s^2 + s.K_o.K_d.\tau_2/\tau_1 + K_o.K_d/\tau_1} \qquad \ldots(1.10)$$

ในทฤษฎีวงจรไฟฟ้าและทฤษฎีคอนโทรลจะมีรูปแบบในของตัวส่วน *(Denominator)* ของสมการ *Transfer function* ที่เหมือนกัน ซึ่งเรียกรูปแบบนี้ว่า *" Normalized form "*

$$Denominator = s^2 + 2\zeta\omega_n s + \omega_n^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ω_n คือ *Natural frequency* และ ζ คือ *Damping factor* ดังนั้นส่วนของสมการ (1.9) และ (1.10) จะนำมาเทียบสัมประสิทธิ์หาค่า ω_n และ ζ ได้เป็น

- สำหรับ *Passive filter*

$$\omega_n = \sqrt{K_o.K_d/\tau_1+\tau_2} \quad , \quad \zeta = \frac{\omega_n}{2}(\tau_2 + \frac{1}{Ko.K_d}) \qquad ...(1.11)$$

- สำหรับ *Active filter*

$$\omega_n = \sqrt{K_o.K_d/\tau_1} \quad , \quad \zeta = \omega_n \tau_2 / 2 \qquad ...(1.12)$$

นำค่าเหล่านี้แทนลงในสมการ *Phase transfer function* จะได้

- สำหรับ *Passive filter*

$$H(s) = \frac{s\omega_n(2\zeta - \omega_n/K_o.K_d)+\omega_n^2}{s^2 + 2\zeta\omega_n s+\omega_n^2} \qquad ...(1.13)$$

- สำหรับ *Active filter*

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s+\omega_n^2} \qquad ...(1.14)$$

จากการจัดสมการ *Transfer function* ให้อยู่ในรูปของ *Normalized form* สมการจะประกอบไปด้วยพารามิเตอร์ ω_n , ζ, K_o ,K_d ซึ่ง $K_o.K_d$ ในสมการจะเป็นค่า *Loop gain* มีหน่วยเป็น *rad / sec* ถ้ามีเงื่อนไขเป็น

$$K_o.K_d >> \omega_n$$

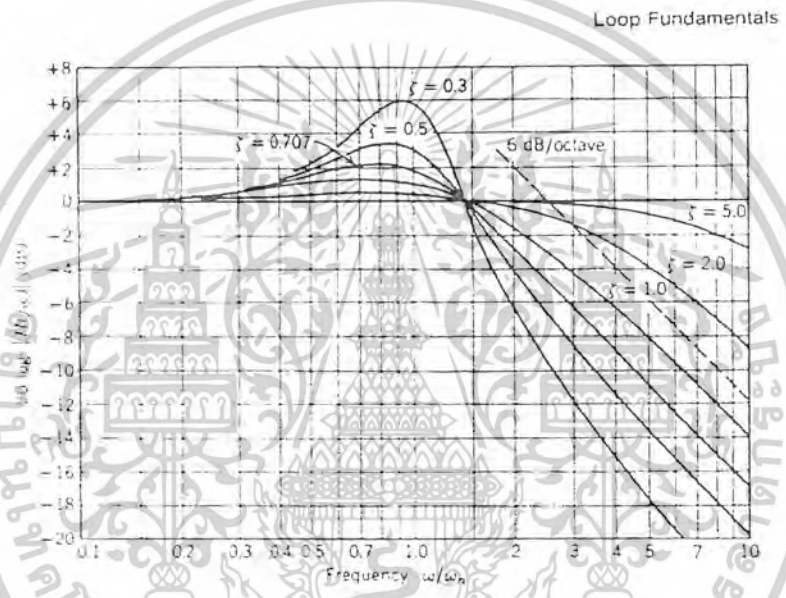
เงื่อนไขแบบนี้ *PLL* จะเป็น *High-gain loop* ซึ่งในทางปฏิบัติเราต้องการ *High-gain loop* หากมีเงื่อนไขกลับกันจะเป็น *Low-gain loop* จึงได้สมการ *Phase transfer function* เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s) \approx \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad \ldots(1.15)$$

และจะได้สมการ *Error - transfer function* : $H_e(s)$ มีค่าประมาณ

$$H_e(s) = \theta_e(s) / \theta_i(s) \approx \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad \ldots(1.16)$$

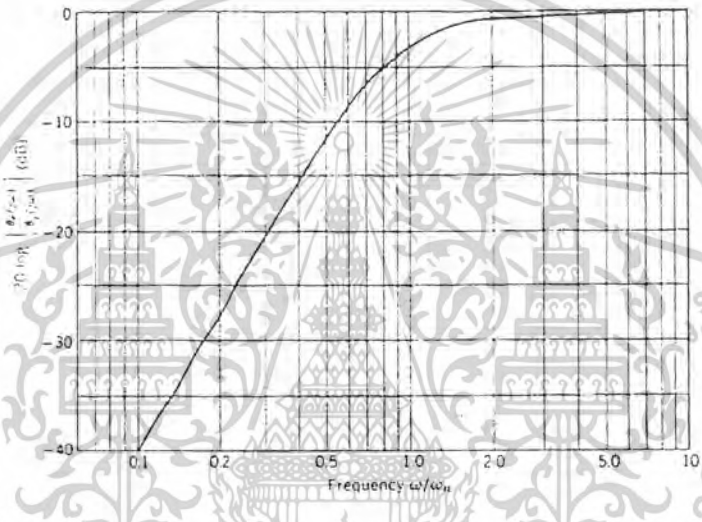


รูปที่ 1.4 ผลการตอบสนองความถี่ของ *High-gain second-order loop : H(s)*

ในรูปที่ 1.4 เป็นการแสดงผลการตอบสนองความถี่ของ *Phase transfer function* ซึ่งเป็นค่าของขนาด *H(s) (Absolute value : |H(s)|)* กับค่าความถี่ ซึ่งสเกลของความถี่นั้นจะเป็นค่า *Normalized* ของ *Natural frequency* : ω_n โดยที่สเกลทั้งสองเป็นสเกลของลอการิทึม ดังนั้นผลการตอบสนองของ *Phase transfer function* ของ *PLL* อันดับสองทุกระบบสามารถดูได้จากรูปที่ 1.4 นี้ จากลักษณะการตอบสนองความถี่ในรูปที่ 1.4 มีผลคล้ายกับผลการตอบสนองความถี่ของ *Low pass filter* ของสัญญาณเฟสทางอินพุต $\theta_i(t)$ สเปคตรัมของความถี่จะเรียบอยู่ระหว่างค่าศูนย์กับค่าประมาณของ *Natural frequency* : ω_n ซึ่งหมายความว่า *PLL* อันดับสองเป็นการมอดูเลชั่นของเฟสและความถี่ของสัญญาณอ้างอิง ตลอดช่วงที่เกิดการมอดูเลชั่นจะมีการกระเพื่อมอยู่ระหว่างค่าศูนย์กับ ω_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Damping factor : ζ เป็นพารามิเตอร์ที่สำคัญที่จะนำไปสู่การแสดงคุณสมบัติของ *PLL* ระบบจะมีการตอบสนองที่ดีที่สุดที่เรียกว่า *Critical damped* เมื่อ $\zeta = 1$ ถ้า $\zeta < 1$ ผลการตอบสนองจะเพี้ยนไป แต่ถ้า $\zeta > 1$ แล้วผลการตอบสนองจะเกิด *Over shoot* การสร้างระบบให้มีผลการตอบสนองของ *Phase transfer function* เรียบที่สุดโดยไม่แกว่งเลยนั่นคือจุดประสงค์ในการออกแบบ ซึ่งค่า ζ ที่ทำให้มีผลการตอบสนองแบบนี้มีค่าเท่ากับ $\zeta = 1/\sqrt{2} = 0.707$ ซึ่งผลการตอบสนองความถี่แบบนี้คล้ายกับของ *Low pass filter* แบบ *Butterworth* อันดับสอง หาก $\zeta > 1$ แล้วผลการตอบสนองจะไม่เรียบและเข้าสู่เสถียรภาพช้า



รูปที่ 1.5 ผลการตอบสนองความถี่ของ *Error - transfer function* : $H_e(s)$, $\zeta = 0.707$

รูปที่ 1.5 เป็นผลการตอบสนองความถี่ของ *Error - transfer function* : $H_e(s)$ ที่มี $\zeta = 0.707$ จากรูปจะเห็นว่าที่ความถี่ต่ำกว่า ω_n มากๆ ค่าของ *Phase error* จะมีค่าน้อย เมื่อค่าของความถี่มีค่าสูงขึ้น ค่าของ *Phase error* ก็จะมีค่าสูงขึ้นตามเฟสของสัญญาณอ้างอิง ซึ่งจะหมายความว่า *PLL* จะต้องเสียเวลาในการเทียบเฟส

จากผลการตอบสนองความถี่ แบนด์วิดธ์ของ *PLL* จะมีจุดพิเศษที่น่าสนใจ คือ ที่ความถี่ที่มีค่าการสนองความถี่ลดลง *3 dB* ($\omega_{3\,dB}$) จุดนี้ คือ จุดที่ทำให้ gain ลดลง *3 dB* ของ *dc gain*

$$\omega_{3\,dB} = \omega_n \left[1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 2}\,\right]^{1/2} \qquad \ldots(1.17)$$

เมื่อ $\zeta = 0.707$, $\omega_{3\,dB}$ จะได้ $2.06\omega_n$ หรือประมาณ *2* เท่าของ *Natural frequency* : ω_n

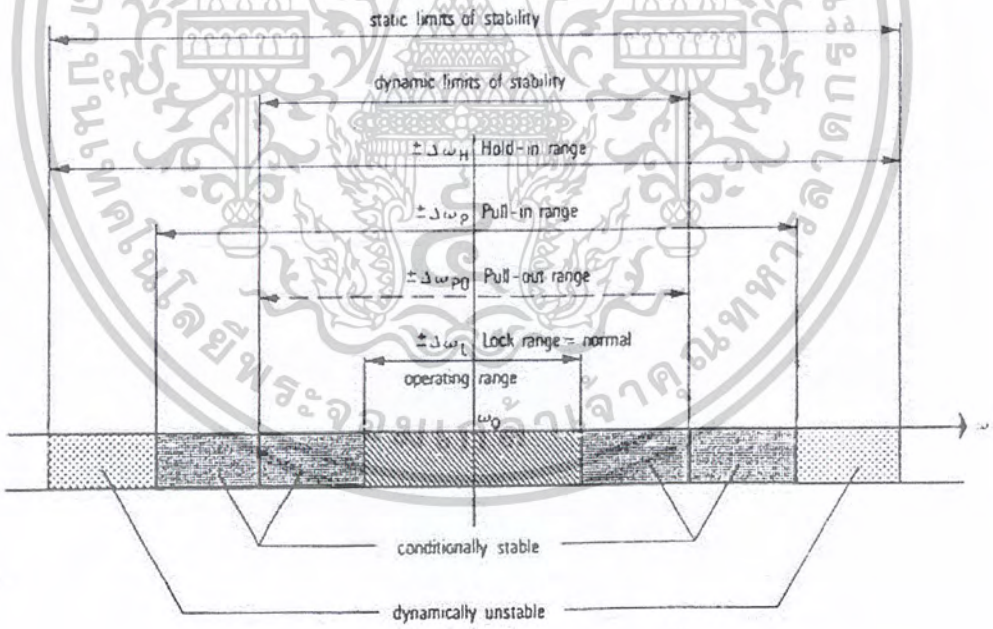
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 พารามิเตอร์ของเฟสล็อคลูป

พารามิเตอร์ที่สำคัญของเฟสล็อคลูป จะเป็นตัวกำหนดคุณสมบัติของเฟสล็อคลูปโดยการเซตค่าพารามิเตอร์ต่างๆ ดังต่อไปนี้

- *The lock range* $\Delta\omega_L$
- *The pull - out range* $\Delta\omega_{PO}$
- *The pull - in range* $\Delta\omega_P$
- *The hold range* $\Delta\omega_H$

ในการออกแบบระบบของเฟสล็อคลูป จะต้องทำการหาสมการที่จะบอกว่าค่าพารามิเตอร์ต่างๆ ที่บอกค่าเหล่านี้ มีความเกี่ยวข้องกันกับพารามิเตอร์ใดในวงจร ซึ่งในรูปที่ 1.6 จะแสดงช่วงของพารามิเตอร์แต่ละตัว ซึ่งความหมายและการหาค่าของพารามิเตอร์แต่ละตัว จะอธิบายพอสังเขปดังต่อไปนี้



รูปที่ 1.6 ช่วงของพารามิเตอร์ของเฟสล็อคลูปอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.1 The hold range

พารามิเตอร์ที่น่าสนใจ คือ สถานะของ *Hold range* ซึ่งเป็นช่วงความถี่ที่จะทำให้เฟสล็อคลูปรักษาสภาวะการล็อคให้คงอยู่ หรือก็คือ ช่วงความถี่ที่เฟสล็อคลูปสามารถรักษาสภาพการเปลี่ยนเฟสตาม เฟสล็อคลูปจะมีเสถียรภาพเมื่อเงื่อนไขอยู่ในช่วงนี้ เฟสล็อคลูปจะไม่อยู่ล็อคเมื่อความถี่ของสัญญาณอินพุทมีค่าโตกว่า *Hold rang* แต่ในการปฏิบัติจริงไม่จำเป็นต้องกังวลเกี่ยวกับค่าจริงๆ ของพารามิเตอร์ตัวนี้ ซึ่งขอบเขตของ *Hold range* จะได้เป็น

$$\Delta\omega_H = K_o K_d F(0) \qquad \ldots(1.18)$$

ซึ่งจะเห็นว่าค่า *DC gain F(0)* ของลูปฟิลเตอร์จะขึ้นอยู่กับชนิดของฟิลเตอร์ที่ใช้สำหรับ *Passive filter* จะได้ *DC gain F(0) = 1* สำหรับ *Active filter F(0)* คือ $\propto$ สรุปได้ว่า

- สำหรับ *Passive filter*

$$\Delta\omega_H = K_o K_d \qquad \ldots(1.19)$$

- สำหรับ *Active filter*

$$\Delta\omega_H \rightarrow \propto \qquad \ldots(1.20)$$

ในกรณีที่เลือกใช้ *Active filter* ค่าจริงของ *Hold range* จะกำหนดโดยค่าของช่วงความถี่ของ *VCO* ที่สามารถทำได้

1.3.2 The lock range

พารามิเตอร์ตัวนี้ คือ ช่วงที่จะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อคด้วย "one single – beat note" ระหว่างความถี่อ้างอิงและความถี่เอาต์พุต ปกติช่วงความถี่ในการปฏิบัติการของเฟสล็อคลูปจะถูกจำกัดด้วย *lock range* ค่าขนาดของพารามิเตอร์ตัวนี้ สามารถพิจารณาง่ายๆ โดยสมมติให้เฟสล็อคลูป เริ่มต้นอยู่ในสภาวะไม่ล็อคและความถี่อ้างอิงเป็น $\omega_1 = \omega_0 + \Delta\omega$ สัญญาณอ้างอิงของเฟสล็อคลูป คือ

$$u_1(t) = U_{10} \sin(\omega_0 t + \Delta\omega t) \qquad \ldots(1.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสัญญาณเอาต์พุตเป็น

$$u_2(t) = U_{2h}\omega\,(\omega_i t) \qquad \ldots(1.22)$$

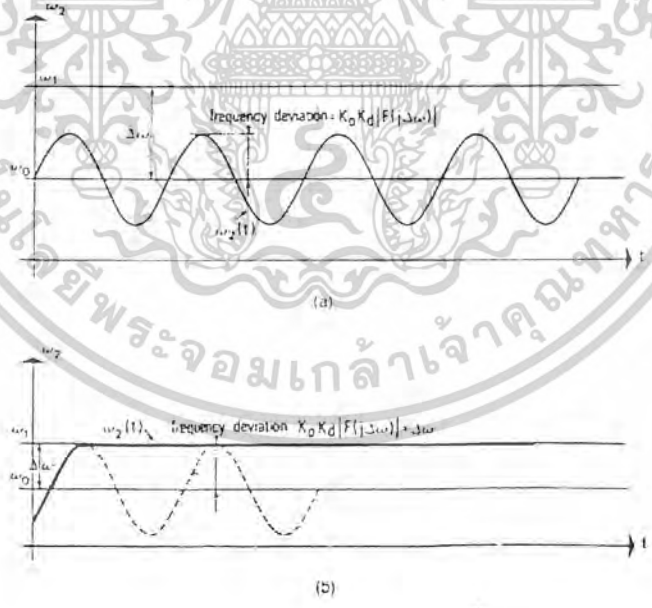
และสัญญาณเอาต์พุตของเฟสดีเทคเตอร์ คือ

$$u_d(t) = K_d \sin(\Delta\omega t) + \textit{higher-frequency terms} \qquad \ldots(1.23)$$

เมื่อผ่านลูปฟิลเตอร์ในเทอมความถี่สูงจะถูกตัดทิ้ง จะมีสัญญา $u_f(t)$ เป็น

$$u_f(t) \approx K_d \left|F(\Delta\omega)\right| \sin(\Delta\omega t) \qquad \ldots(1.24)$$

ในที่นี้สัญญาณ *AC* เป็นการมอดูเลทความถี่ของ *VCO* ค่าความถี่สูงสุดที่เปลี่ยนแปลงจะมีค่าเท่ากับ $K_o K_d \left|F(\Delta\omega)\right|$



รูปที่ 1.7 กระบวนการ *Look – in* *(a)* ผลต่างของความถี่สูงสุดมีค่าน้อยกว่าความถี่ออฟเซต $\Delta\omega$ จึงไม่สามารถเข้าสู่สภาวะล็อคได้เร็ว *(b)* ผลต่างความถี่สูงสุดมีค่ามากกว่าความถี่ออฟเซต $\Delta\omega$ จึงทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อคในเวลาอันสั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.7 ความถี่ ω_2 ของ *VCO* เป็นการแสดงผลของสองกรณี ในรูปที่ *7(a)* ค่าความถี่สูงสุดที่เปลี่ยนแปลงมีค่าน้อยกว่าค่าออฟเซต $\Delta\omega$ ซึ่งเป็นค่าระหว่างความถี่อ้างอิง ω_1 และความถี่ของ *VCO* ω_2 ดังนั้นกระบวนการ *Look – in* จะไม่เข้าสู่สภาวะล็อคอย่างน้อยก็ไม่เข้าในทันที ในรูปที่ *7(b)* แสดงถึงกรณีที่ เมื่อค่าความถี่สูงสุดที่เปลี่ยนแปลงมีค่าโตกว่าความถี่ออฟเซต $\Delta\omega$ ความถี่ ω_2 ของ *VCO* จะพบค่าของความถี่อ้างอิง ω_1 เป็นผลให้เฟสล็อคลูปเข้าสู่สภาวะล็อคแบบ ด้วย "one single – beat note" ระหว่างความถี่อ้างอิงกับความถี่เอาต์พุต ดังนั้นเงื่อนไขการเข้าสู่สภาวะล็อค คือ

$$K_o K_d \left|F(\Delta\omega)\right| \geq \Delta\omega \qquad \ldots(1.25)$$

Lock range $\Delta\omega_L$ จะมีค่าเป็น

$$\Delta\omega_L = K_o K_d \left|F(\Delta\omega)\right| \qquad \ldots(1.26)$$

สมการที่ไม่เป็นเชิงเส้นนี้ สำหรับการหาค่า $\Delta\omega_L$ นั้นง่ายมาก ถ้าเราประมาณค่าเริ่มต้นของ $\left|F(\Delta\omega)\right|$ พิจารณาจากการปฏิบัติ *Look range* จะมีค่ามากกว่าค่าความถี่ $1/\tau_1$ และ $1/\tau_2$ ของ *Loop filter* สำหรับเกณฑ์ $\left|F(\Delta\omega)\right|$ ของ *filter* สามารถประมาณค่าได้เป็น

$$F(\Delta\omega) \approx \tau_1/(\tau_1+\tau_2) \quad \text{สำหรับ } \textit{Passive filter}$$
$$F(\Delta\omega) \approx \tau_1/\tau_2 \quad \text{สำหรับ } \textit{Active filter}$$

ในความเป็นจริง τ_2 จะมีค่าน้อยกว่า τ_1 มากๆ ดังนั้นสามารถทำให้ง่ายขึ้นโดย

$$F(\Delta\omega) \approx \tau_1/\tau_2 \qquad \ldots(1.27)$$

จากสมการ (1.11) และ (1.12) สมมติว่ามีเกณฑ์สูงๆ จะได้

$$\Delta\omega_L \approx 2\zeta\omega_n \qquad \ldots(1.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความรู้ในการประมาณค่าของ *Look range* มีจุดที่น่าสนใจ คือ เวลาที่ทำการล็อค เมื่อเฟสล็อคลูปเข้าสู่สภาวะล็อคอย่างรวดเร็ว สัญญาณ u_d และ u_f มีลักษณะเป็น *damped oscillation* ที่ $\zeta < 1$ ความถี่เชิงมุมจะมีค่าประมาณ ω_n ดังนั้นจะได้สภาวะเรโซแนนซ์ที่มีเวลาในการล็อคเป็น

$$T_l \approx 2\pi / \omega_n \qquad \ldots(1.29)$$

ซึ่งสามารถใช้กับ *loop filter* บางชนิดเท่านั้น

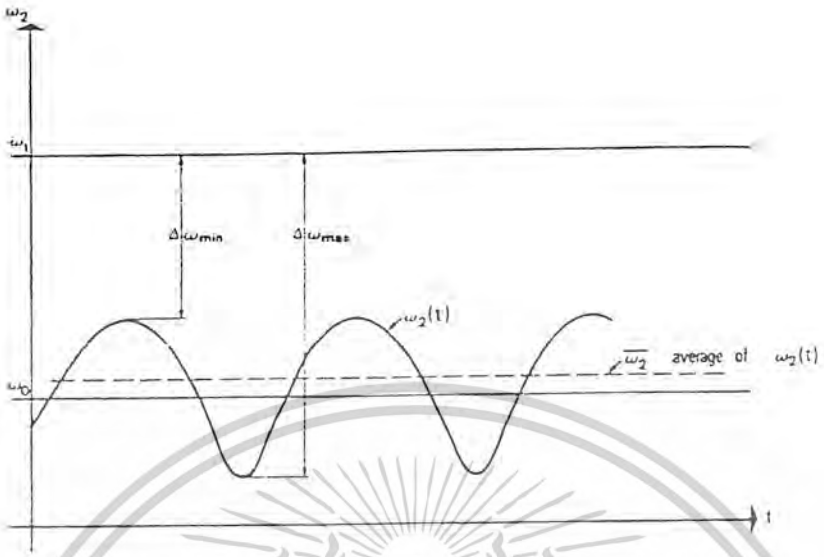
T_l เป็นเหมือนกับค่า *setting time*

1.3.3 The pull - in range

การหาค่าขนาดของ *Pull - in range* : $\Delta\omega_p$ จะทำการสมมติว่าเฟสล็อคลูปมีสถานะเริ่มต้นอยู่ในสถานะไม่ล็อคความถี่ของสัญญาณอ้างอิง คือ $\omega_i = \omega_n - \Delta\omega$ และ *VCO* เริ่มต้นทำงานที่ *Center frequency* : ω_n เนื่องจากสัญญาณเอาต์พุต u_d ของเฟสดีเทคเตอร์เป็นคลื่นรูปซายน์มีความถี่ $\Delta\omega$ แสดงว่าเป็นสัญญาณ *AC* ขณะนี้จะสมมติว่าความถี่ออฟเซต $\Delta\omega$ มีค่าใหญ่เกินกว่ากระบวนการ *Lock – in* จะทำให้ล็อคได้ และสมมุติต่อไปอีกว่า ภาค *Loop filter* ได้เลือกใช้แบบ *Passive filter* สัญญาณ u_d จะถูกลดทอนโดย *Loop filter* สัญญาณเอาต์พุต u_f จะเป็นสัญญาณ *AC* ที่ดีและจะมอดูเลทความถี่กับ *VCO* แสดงในรูปที่ *7(a)* ในช่วงครึ่งไซเคิลด้านบวกของ u_f ความถี่เอาต์พุต ω_2 จะเพิ่มขึ้นและจะลดลงในครึ่งไซเคิลลบ เพราะค่าความถี่สูงสุด ω_2 จะไม่เท่ากับความถี่อินพุต ω_1 จึงบอกได้ว่าในครั้งแรกการสังเกตแบบคร่าวๆ ว่าเฟสล็อคลูปไม่ล็อค

ถ้ามองลึกกว่านั้นจะเห็นว่า $\Delta\omega$ เป็นค่าผลต่างระหว่างความถี่อ้างอิง ω_1 กับความถี่เอาต์พุต ω_2 ไม่ใช่ค่าคงที่และสามารถปรับเปลี่ยนค่าได้โดยความถี่ที่มอดูเลชั่นของสัญญาณเอาต์พุต *VCO* ถ้าความถี่ ω_2 คือ สัญญาณที่มอดูเลท ผลต่าง $\Delta\omega$ จะมีค่ามากและเป็นขอบเขตสูงสุด $\Delta\omega_{max}$ เพราะค่า $\Delta\omega$ ไม่ใช่ค่าคงที่ ความถี่ *VCO* เป็นสัญญาณมอดูเลทที่ไม่มีฮาร์โมนิค นั่นคือ ระหว่างครึ่งคาบของ ω_2 ในด้านบวกจะมีค่ากว้างกว่าครึ่งคาบของ ω_2 ที่เป็นสัญญาณที่มอดูเลททางด้านลบ สัญญาณเหล่านี้ แสดงในรูปที่ 1.8 เนื่องจากค่าเฉลี่ยของความถี่ $\overline{\omega_2}$ ของ *VCO* ขณะนี้จะมีค่าสูงกว่าบางสัญญาณที่ไม่มอดูเลท ความถี่ *VCO คือทิศทาง Pull – in* ของสัญญาณอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.8 แสดงสถานะไม่ล็อกของเฟสล็อคลูป
การมอดูเลชั่นของความถี่เอาต์พุต *VCO* ไม่มีฮาร์โมนิคส์

ความไม่สมมาตรของรูปคลื่น ω_2 ผลส่วนใหญ่จะขึ้นอยู่กับค่าของค่าเฉลี่ยออฟเซต $\Delta\omega$ ความไม่สมมาตรนี้จะลดลง ถ้าค่าเฉลี่ยของ ω_2 มีค่าเข้าใกล้ ω_1 (ซึ่งจะสมมติว่า ω_1 มีค่ามากกว่า $\overline{\omega_2}$) ความไม่สมมาตรของรูปคลื่น ω_2 จะคงที่ ซึ่งตรงนี้ค่า ω_2 จะเข้าสู่ทิศทางบวก กระบวนการนี้จะไม่เกิดขึ้นในเงื่อนไขบางประการ ดังนั้น ความถี่เอาต์พุต ω_2 สุดท้ายจะเข้าสู่ค่าของความถี่อ้างอิง ω_1 เหตุการณ์ที่ปรากฏการณ์นี้ เรียกว่ากระบวนการ *Pull – in* ดังแสดงในรูปที่ 1.9 การวิเคราะห์ทางคณิตศาสตร์ของกระบวนการ *Pull – in* นั้นจะเกิดขึ้นเมื่อความถี่ออฟเซตเริ่มต้น $\Delta\omega$ มีค่าน้อยกว่าค่าวิกฤต *Pull – in range* : $\Delta\omega_p$ ในเงื่อนไขอื่น คือ ถ้าความถี่ออฟเซตเริ่มต้นมีค่า $\Delta\omega_p$ กระบวนการ *Pull – in* จะไม่เกิดขึ้นเพราะปรากฏการณ์ปรับเปลี่ยนความถี่จะไม่เกิดขึ้น

การคิดทางคณิตศาสตร์ของกระบวนการ *Pull – in* นั้นจะมีความยุ่งยากมาก ในที่นี้จึงขอยกผลสำเร็จมาแสดงเลย ซึ่งมีความสำคัญมาก ค่า *Pull – in range* นั้นจะขึ้นอยู่กับชนิดของ *Loop filter*

- สำหรับ *Passive filter*

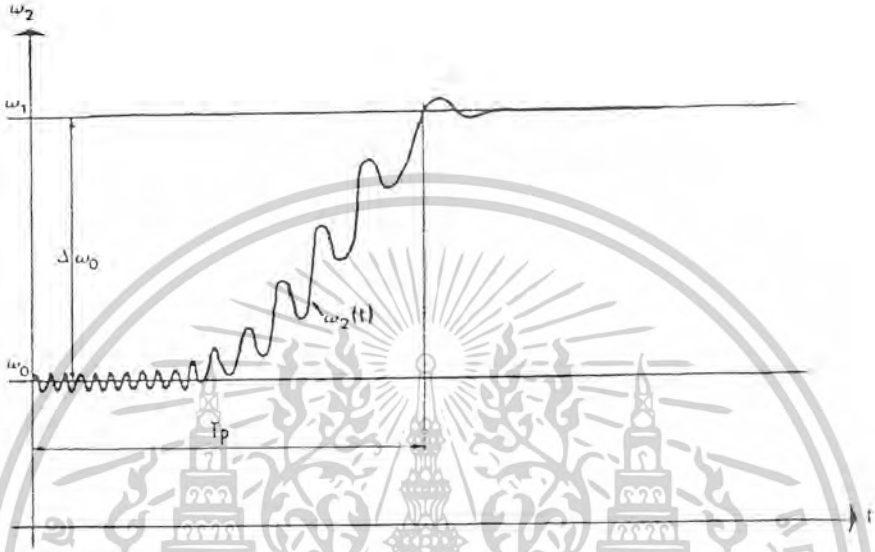
$$Low-gain\ loops: \quad \Delta\omega_p \approx (4/\pi)\sqrt{2\zeta\omega_n K_o K_d + \omega_n^2} \qquad \ldots(1.30\ a)$$

$$High-gain\ loops: \quad \Delta\omega_p \approx ((4\sqrt{2})/\pi)\sqrt{\zeta\omega_n K_o K_d} \qquad \ldots(1.30\ b)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับ *Active filter*

$$\Delta\omega_p \rightarrow \infty \qquad \ldots(1.30\ c)$$



รูปที่ 1.9 แสดงขบวนการ Pull – in

ระยะเวลาของกระบวนการ *Pull – in* สามารถคำนวณจากการวิเคราะห์ทางคณิตศาสตร์ ซึ่งผลลัพธ์ที่ได้จะขึ้นอยู่กับชนิดของ *Loop filter* ที่ใช้น้อยมาก ค่าที่ได้จากการคิดตามสูตรเป็นที่ยอมรับได้ ซึ่งได้ผลคล้ายกับการวัดค่าจากวงจรเฟสล็อคลูปที่ใช้งานจริงและที่จำลองการทำงานด้วยคอมพิวเตอร์ ซึ่งสามารถยอมรับได้ อย่างไรก็ตาม ถ้าความถี่ออฟเซตเริ่มต้นที่ $\Delta\omega$ (ผลต่างระหว่างความถี่อ้างอิงและความถี่เริ่มต้นของ *VCO*) มีค่าน้อยกว่าช่วง *Pull – in range* ตัวอย่างเช่น น้อยกว่า 0.8 ของเวลา *Pull – in range* เมื่อ $\Delta\omega$ เข้าใกล้ *Pull – in range* : $\Delta\omega_p$ เวลา *Pull – in time* : T_p จะเข้าใกล้ *infinity* ดังนั้น สูตรจะไม่สามารถใช้ได้ การวิเคราะห์ได้ผลดังนี้

$$T_p = \Delta\omega_n^{\,2}\pi^2 / 16\zeta\omega_n^{\,3} \qquad \ldots(1.31)$$

ในสูตรเหล่านี้ $\Delta\omega_n$ คือ ความถี่ออฟเซตเริ่มต้น $\omega_1 - \omega_2$ สำหรับ $t = 0$ เทอมกำลังสองและกำลังสามในสมการ (1.31) แสดงให้เห็นว่า กระบวนการ *Pull – in* นี้ไม่เป็นเชิงเส้น *Pull – in time* : T_p นี้ปกติจะนานกว่า *Lock – in time* : T_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

1.3.4 The pull - out range

Pull - out range จะถูกกำหนดโดยสเตบความถี่เพราะ *Lock – out* จะมีผลจากอินพุทอ้างอิงของเฟสล็อคลูป โดยแท้จริงแล้วการคำนวณของ *Pull - out range* เป็นไปไม่ได้สำหรับเฟสล็อคลูปแบบเชิงเส้น อย่างไรก็ตาม การจำลองการทำงานผลบนคอมพิวเตอร์ นำมาสู่การประมาณค่าได้ดังนี้

$$\Delta\omega_{PO} = 1.8\,\omega_n\,(\zeta + 1) \qquad \ldots(1.32)$$

ในกรณีที่ปฏิบัติจริงนั้น *Pull - out range* จะอยู่ระหว่าง *Lock – range* และ *Pull – in range*

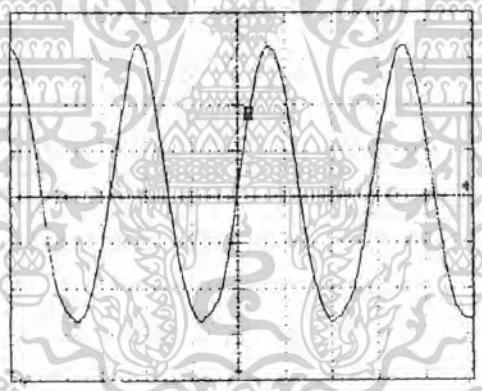
$$\Delta\omega_L < \Delta\omega_{PO} < \Delta\omega_P \qquad \ldots(1.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50381

บทที่ 2
ออสซิลเลเตอร์

วงจรออสซิลเลเตอร์ เป็นวงจรชนิดหนึ่งที่ใช้ทรานซิสเตอร์หรือหลอดสูญญากาศในการให้กำเนิดสัญญาณไฟสลับขึ้นมาที่เอาต์พุต โดยพื้นฐานแล้ววงจรออสซิลเลเตอร์ ก็คือ วงจรขยายสัญญาณหรือวงจรแอมปลิไฟร์นั่นเอง แต่ข้อแตกต่างจะอยู่ที่วงจรออสซิลเลเตอร์ จะประกอบด้วยวงจรป้อนกลับสัญญาณจากเอาต์พุตไปยังอินพุต ซึ่งทำให้สามารถให้กำเนิดสัญญาณเอาต์พุตออกมาได้โดยไม่จำเป็นต้องมีสัญญาณป้อนเข้าทางอินพุทแต่อย่างใด และคุณสมบัติที่ดีของวงจรออสซิลเลเตอร์ ก็คือ การให้กำเนิดสัญญาณต่อเนื่องแบบเดียวกันซ้ำๆ กัน เช่น การให้กำเนิดสัญญาณแรงดันไฟฟ้าหรือกระแสไฟฟ้าที่ค่าเปลี่ยนแปลงอยู่รอบๆ ค่ากลางค่าหนึ่ง เช่น คลื่นซายน์ *(Sine Wave)* ดังในรูปที่ *2.1* วงจรออสซิลเลเตอร์ที่นิยมใช้กันมาก ได้แก่ วงจรจูน *RF* ออสซิลเลเตอร์ *(Tune RF Oscillator)*



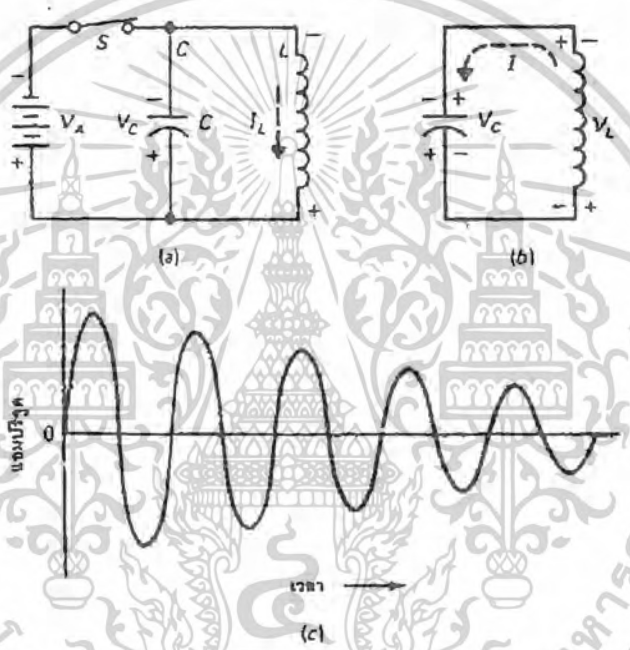
รูปที่ 2.1 สัญญาณคลื่นซายน์ที่เอาต์พุตของวงจรจูน RF

2.1 วงจร LC ออสซิลเลเตอร์

จากวงจรในรูปที่ *2.2(a)* แบตเตอรี่จ่ายพลังงานให้แก่คาปาซิเตอร์ C ซึ่งต่อขนานอยู่กับอินดัคเตอร์ L ในลักษณะนี้ยังไม่มีการออสซิลเลตใดๆ เกิดขึ้น แบตเตอรี่จะชาร์จประจุให้แก่คาปาซิเตอร์ จนกระทั่งถึงระดับแรงดันไฟฟ้า V_C และเกิดไฟฟ้ากระแสตรง I_L ไหลภายในคอยล์ ดังนั้นจะเกิดพลังงานไฟฟ้าสะสมภายในคาปาซิเตอร์และเกิดพลังงานแม่เหล็กสะสมภายในคอยล์ขึ้น จากรูปที่ *2.2(b)* สวิตช์ s ถูกเปิดวงจร ทำให้วงจรของแบตเตอรี่ V_A ถูกตัดออกจากวงจร *LC* ทันที ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะเช่นนี้จึงสามารถที่จะพิจารณาการทำงานของวงจร LC ได้ เมื่อปราศจากแบตเตอรี่ ระดับของกระแส I_L จะค่อยๆ ลดลง ดังนั้นจึงเกิดการเปลี่ยนแปลงโดยการเหนี่ยวนำของสนามแม่เหล็กทำให้เกิดแรงดันไฟฟ้า V_L ขึ้น ในขณะนี้คอยล์ L จึงเสมือนเป็นแหล่งจ่ายแรงดันไฟฟ้า ของวงจร LC แต่อย่างไรก็ตามขั้วของแรงดันไฟฟ้า V_L จะต้องอยู่ในตำแหน่งที่ทำให้ I_L ไหลในทิศทางเดียวกัน เพื่อที่ C จะสามารถดิสชาร์จประจุได้ แต่ที่จริงแล้ว V_L จะชาร์จประจุให้แก่ C ด้วยขั้วที่ตรงข้ามกัน เมื่อ V_C เปลี่ยนไปจนมีค่ามากกว่า V_L คาปาซิเตอร์จะจ่ายกระแสดิสชาร์จประจุ I_C ออกมาซึ่งมีทิศทางที่ตรงกันข้ามกับ I_L



รูปที่ 2.2 วงจร LC เกิดการออสซิลเลตที่ความถี่เรโซแนนซ์

(a) ขณะสวิตซ์ปิดวงจร แบตเตอรี่จะชาร์จประจุให้แก่ C และผลิตกระแสให้ไหลภายใน L

(b) ขณะสวิตซ์เปิดวงจร แบตเตอรี่จะถูกตัดออกจากวงจร LC ในวงจร LC จะเกิดการแลกเปลี่ยนพลังงานระหว่าง L กับ C

(c) คลื่นไซน์ (Sinusoidal wave) ที่เกิดจากการออสซิลเลต

ผลที่เกิดขึ้นคือการแลกเปลี่ยนพลังงาน ระหว่างอินดัคเตอร์และคาปาซิเตอร์เกิดการเปลี่ยนแปลงระหว่าง V กับ I ด้วยความถี่เรโซแนนซ์ธรรมชาติของงวจร LC ดังรูปที่ *2.2(c)* ขณะใดก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ I_L มีค่าเปลี่ยนเป็นศูนย์ ก็จะเกิดการเหนี่ยวนำ V_L ขึ้น และขณะใดก็ตามที่ V_C เป็นศูนย์ก็จะเกิดการเปลี่ยนแปลงเป็นกระแส I_C ขึ้น และสลับกันไปอย่างนี้เรื่อยไป ทำให้เกิดเป็นคลื่นซายน์ ที่มีลักษณะต่อเนื่องตลอดเวลา ซึ่งสังเกตได้ว่า V และ I ไม่สามารถเปลี่ยนแปลงค่าได้อย่างทันทีทันใด

แอมปลิจูดของการออสซิลเลตค่า V และ I จะค่อยๆ ลดลงเรื่อยๆ เนื่องจากการสูญเสียพลังงานที่ความต้านทานของวงจร จนกระทั่งแอมปลิจูดของคลื่ยซานย์จะมีค่าเข้าใกล้ศูนย์ในที่สุด ดังรูปที่ *2.2(c)* **การทำงานของวงจร *LC* ในการออสซิลเลตให้เกิดคลื่นซายน์ จากพลังงานสะสมอยู่ในวงจรเราเรียกว่า "ริงกิ้ง *(Ringing)"*** ซึ่งที่จริงแล้วคอยล์ในวงจรใดๆ ก็ตามสามารถเกิดริงกิ้งได้ จากค่าคาปาซิแตนซ์ตกค้าง *(stray capasitance)* ที่ต่อขนานอยู่ สำหรับลักษณะของคลื่นที่มีค่า I ลดลงอย่างรวดเร็วจะเกิดขึ้นได้ในคอยล์ที่มีค่า Q สูงๆ วงจร *LC* อาจเรียกได้อีกชื่อหนึ่งคือ วงจรแท็งค์ *(Tank cicuit)* เนื่องจากสามารถเก็บสะสมพลังงานเพื่อก่อให้เกิดการออสซิลเลตได้ คุณสมบัติของวงจรแท็งค์ในการผลิตคลื่นซายน์ ซึ่งมีอินพุตเป็นไฟตรงหรือเป็นพัลส์ก็ได้เรียกว่า ฟลายวีล เอ็ฟเฟ็ค *(Flywheel Effect)*

2.1.1 ความถี่ออสซิลเลเตอร์

ในวงจรออสซิลเลเตอร์แบบจูน *RF* สัญญาณที่เอาต์พุตจะต้องมีความถี่เป็นความถี่เรโซแนนซ์ของวงจร *LC* ซึ่งมีสมการดังนี้

$$f_r = \frac{1}{2\pi\sqrt{LC}} \qquad \ldots(2.1)$$

สำหรับค่าที่ใช้ในทางปฏิบัติในวงจร *RF* โดยที่ L มีขนาดเป็น *ไมโครเฮนรี่* C มีขนาดเป็น *พิโคฟารัด* จะได้ความถี่ของ f_r มีหน่วยเป็น จิกะเฮริตซ์ *(GHz)* ในวงจรที่มีเสถียรภาพดีนั้น วงจรจูนควรจะต้องมีค่า Q สูง เพื่อป้องกันการเลื่อนของสัญญาณ นอกจากนี้ทั้ง L และ C ยังจะต้องมีคุณภาพดี นั่นคือมีค่าคงที่แม้ว่าอุณหภูมิจะเปลี่ยนแปลงไปก็ตาม และการปรับปรุงให้แหล่งจ่ายไฟมีเอาต์พุตที่คงที่ตลอดเวลาเป็นการช่วยปรับปรุงเสถียรภาพของความถี่ได้อีกทางหนึ่ง

2.1.2 รีแล็กเซชั่นออสซิลเลเตอร์

ดังที่กล่าวมาแล้วว่ารูปแบบของวงจรออสซิลเลเตอร์อาจจะแตกต่างกันไป เช่นในวงจรป้อนกลับอาจจะมีการใช้ทรานซิสเตอร์ หรือไอซี หรือหลอดสูญญากาศก็ได้ ซึ่งทำให้วงจรขยายสัญญาณมีการทำงานที่เปลี่ยนแปลงไปมาระหว่างช่วงนำกระแสและช่วงคัทออฟได้ด้วยอัตรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่คงที่ ดังนั้นระดับแรงดันไฟฟ้าที่เอาต์พุตจึงเกิดการออสซิลเลตอยู่ระหว่างค่าสูงสุดและค่าต่ำสุด ซึ่งรูปคลื่นที่ได้จากการออสซิลเลตนี้ อาจจะเป็นคลื่นสี่เหลี่ยม *(Square Wave)* หรือคลื่นสามเหลี่ยม*(Triangular Wave)* ก็ได้ ในหนึ่งรูปคลื่นหรือหนึ่งคาบสัญญาณของการออสซิลเลตประกอบไปด้วยช่วงนำกระแสหรือช่วงเวลา *"ON"* และช่วงเวลา *"OFF"* ซึ่งเป็นช่วงเวลาที่วงจรไม่ทำงาน*(Relax State)* ดังนั้นจึงเรียกการทำงานในลักษณะนี้ว่า **รีแล็กเซชั่นออสซิลเลเตอร์** ***(Relazation Oscillator)*** ซึ่งมีการใช้งานเป็นวงจรผลิตสัญญาณพัลส์สำหรับวงจร *AF* และ *RF* ที่มีความถี่สูงถึง *30 MHz* เป็นต้น

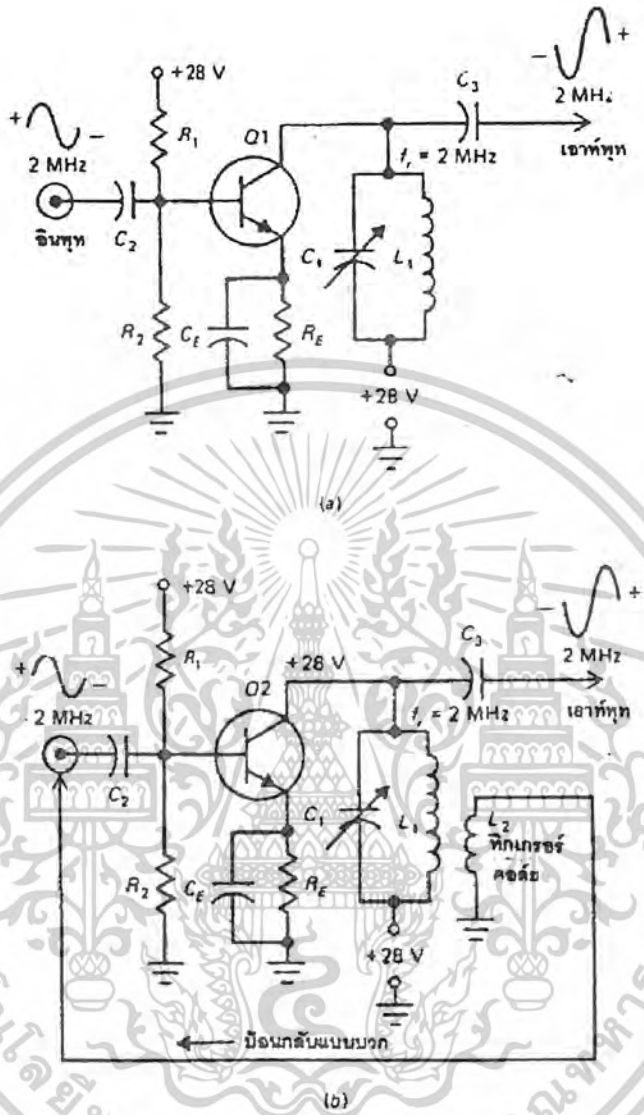
วงจรออสซิลเลเตอร์พื้นฐานจึงสามารถแบ่งออกได้เป็น *2* ชนิด คือ ชนิด *BO (Blocking Oscillator)* และชนิด *MV (Multivibrator)* โดยลักษณะของวงจรชนิด *BO* นั้นจะใช้วงจรขยายต่อใช้งานร่วมกับหม้อแปลงไฟฟ้าสำหรับป้อนกลับสัญญาณ ส่วนชนิด *MV* นั้นใช้วงจรขยายสัญญาณ *2* ภาคต่อร่วมกัน โดยเอาต์พุตของวงจรภาคหนึ่งจะต่อไปยังอินพุตของวงจรภาคถัดไปเพื่อให้เกิดการป้อนกลับ เป็นต้น

2.2 ออสซิลเลเตอร์ป้อนกลับแบบทิกเกอร์

วงจรออสซิลเลเตอร์ป้อนกลับแบบออสซิลเลเตอร์ ดังแสดงในรูปที่ *2.3* วงจรขยายสัญญาณในรูปที่ *2.3 (a)* ถูกต่อให้เป็นวงจรออสซิลเลเตอร์ป้อนสัญญาณให้แก่วงจรในรูปที่ *2.3 (b)* และมีการนำเทคนิคการป้อนกลับแบบบวกมาใช้ในวงจรดังกล่าว โดยวงจรป้อนกลับประกอบไปด้วยคอยล์ L_2 ซึ่งเรียกว่า ทิกเกอร์คอยล์ *(Tickler coil)*

จากวงจรในรูปที่ *2.3 (a) NPN* ซิลิกอนทรานซิสเตอร์ Q_1 ต่อเป็นวงจรแบบอิมิตเตอร์ร่วม เอาต์พุตของคอลเลคเตอร์ถูกปรับให้อยู่ที่ความถี่ *RF* ขนาด *2 MHz* โดย L_1 C_1 สัญญาณอินพุตถูกป้อนเข้าที่ขาเบส โดย C_2 และสัญญาณที่ถูกขยายแล้วจะปรากฏที่เอาต์พุตของขาคอลเลคเตอร์และถูกคัปปลิ้งโดย C_3 ไปยังวงจรภาคถัดไปสังเกตเห็นว่า สัญญาณที่เอาต์พุตจะมีเฟสที่ตรงกันข้ามกับสัญญาณที่อินพุตเสมอ เพราะเป็นวงจรแบบอิมิตเตอร์ร่วมนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจรขยายสัญญาณ RF ในลักษณะวงจรออสซิลเลเตอร์

(a) วงจรขยายสัญญาณที่มีสัญญาณอินพุตและเอาต์พุตความถี่ 2 MHz

(b) วงจรออสซิลเลเตอร์พร้อมกับคอยล์ทิกเกอร์สำหรับการป้อนกลับ

2.2.1 การป้อนกลับแบบบวก

วงจรที่มีส่วนสำคัญในการทำให้วงจรขยายสัญญาณ *2.3(b)* มีการทำงานเป็นวงจรออสซิลเลเตอร์ได้ ก็คือ การป้อนกลับแบบบวกจากคอยล์ทิกเกอร์ L_2 นั่นเอง จะเห็นว่า L_2 จะคัป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปลิ้ง สัญญาณกับ L_1 ของวงจรจูนในลักษณะของการคัปปลิ้งโดยหม้อแปลงไฟฟ้า *(Transformer coupling)* ซึ่งจะทำให้สัญญาณความถี่ *2MHz* ที่เอาต์พุตคอลเลคเตอร์ถูกคัปปลิ้งไปยัง L_2

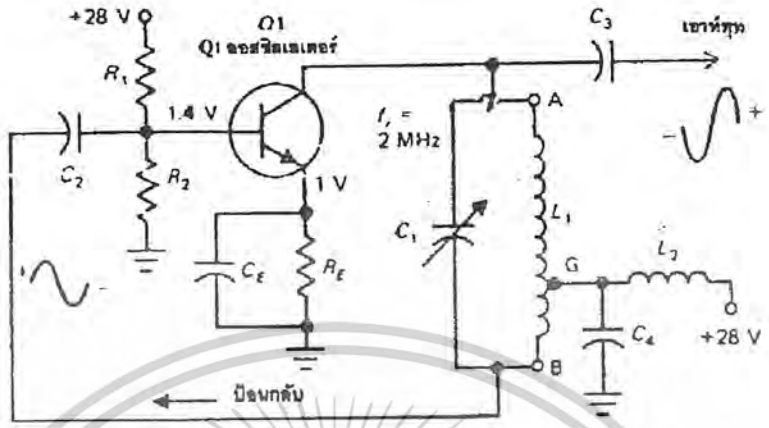
แรงดันไฟฟ้าที่ตกคร่อม L_2 อาจจะมีเฟสเดียวกันกับแรงดันไฟฟ้าที่ตกคร่อม L_1 หรือเฟสต่างกัน 180° ก็ได้ ซึ่งอยู่กับลักษณะการพันคอยล์ทิกเกอร์ L_2 และลักษณะการจุดกราวด์ของคอยล์ว่าด้านไหนถูกต่อลงกราวด์ ดังนั้นจึงก่อให้เกิดการกลับเฟส *2* ครั้งขึ้น คือ ครั้งแรกเกิดขึ้นในวงจรคอลเลเตอร์ของวงจรขยายอิมิตเตอร์ร่วม และอีกครั้งเกิดขึ้นในการคัปปลิ้งโดยหม้อแปลงไฟฟ้าระหว่าง L_1 กับ L_2 จึงทำให้สัญญาณป้อนกลับมีเฟสเดียวกันกับสัญญาณที่อินพุต ในลักษณะเช่นนี้จึงสรุปได้ว่า สัญญาณป้อนกลับก็คือ แรงดันไฟสลับที่ประกอบด้วยขั้วบวกและขั้วลบ เพราะฉะนั้นในกรณีของการป้อนกลับแบบบวก ก็คือ การเสริมกันของเฟสของสัญญาณที่ป้อนกลับกับสัญญาณที่อินพุตนั่นเอง

2.3 ออสซิลเลเตอร์แบบฮาร์ทเลย์

จุดสังเกตของวงจรนี้อยู่ที่วงจรจูน *LC* ที่มีการแท็ปคอยล์สำหรับเป็นวงจรคอยล์ป้อนกลับแทนที่จะเป็นคอยล์ทิกเกอร์แบบแยก จากรูปที่ *2.4* L_1 และ C_1 ประกอบกันเป็นวงจรจูน การแท็ปสัญญาณจากคอยล์ L_1 ที่จุด *G* ก็เพื่อที่จะเป็นทางจ่ายแรงดันให้กับคอลเลคเตอร์ L_2 ในวงจรคือ *RF* โช๊ค *(Chock)* จุดแท็ปสัญญาณ *G* จะต่ออยู่กับกราวด์ โดยมี C_4 เป็นบายพาสคาปาซิเตอร์ เอาต์พุตของออสซิลเลเตอร์จะจ่ายออกที่ขาคอลเลคเตอร์ ซึ่งมีระดับแรงดันไฟฟ้าเท่ากับ V_{AG} ซึ่งเป็นความต่างศักย์ระหว่างจุด *A* บนคอยล์ L_1 เทียบกับจุด *G* ส่วนในด้านตรงกันข้ามกับจุดแท็ปแรงดันไฟสลับป้อนกลับเท่ากับ V_{BG} ซึ่งถูกคัปปลิ้งโดย C_2 ไปยังขาเบสของ Q_1 การป้อนกลับสัญญาณในลักษณะนี้จะเป็นแบบบวก เพราะจะมีความต่างเฟสกัน 180° เมื่อเทียบกับ V_{AG} ซึ่งผลลัพธ์ที่เกิดขึ้นจะก่อให้เกิดการออสซิลเลต ผลิตสัญญาณไฟสลับจ่ายออกมาที่เอาต์พุตด้วยความถี่เรโซแนนซ์ของวงจร *LC*

พิจารณาระดับแรงดันไฟตรง V_C มีค่าเท่ากับ *28 V* เพราะความต้านทานของคอยล์ *RF*, L_1 และ L_2 มีค่าน้อยมากไม่นำมาคำนวณก็ได้ ขาอิมิตเตอร์มีแรงดันไฟไบอัสแรงดันไฟฟ้าฟอร์เวิร์ดที่ขาเบสจ่ายผ่าน R_1R_2 ซึ่งแบ่งมาจากแรงดันไฟ *+28 V* ดังนั้นค่า $V_{BE} = 1.4 - 1.0 = 0.4\ V$ ซึ่งน้อยกว่าค่าแรงดันไฟฟ้าคัทออฟ *0.5 V* แต่ค่าแรงดันยอดด้านบวกของแรงดันไฟฟ้าป้อนกลับจะขับให้ขาเบสมีระดับแรงดันไฟฟ้าเป็นบวก ซึ่งสามารถทำให้ Q_1 นำกระแสไฟฟ้าและวงจรเกิดการออสซิลเลตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



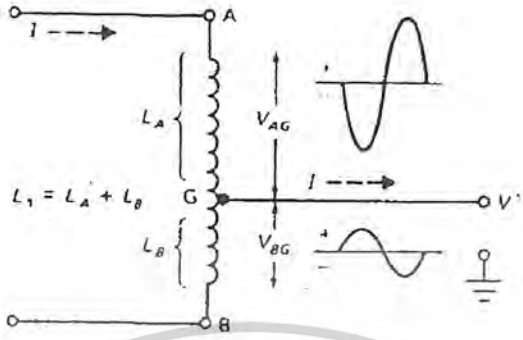
รูปที่ 2.4 วงจรออสซิลเลตอร์แบบฮาร์ทเลย์

2.3.1 การกลับเฟสของสัญญาณด้วยแท็ปคอยล์

การแท็ปสัญญาณด้วย L_1 จะช่วยให้เกิดการป้อนกลับแบบบวก ดังแสดงในรูปที่ *2.5* ก่อนอื่นพิจารณาในส่วนของ L_1 ซึ่งแบ่งออกได้เป็นสองส่วน คือ L_A และ L_B วิเคราะห์การไหลของกระแสอิเล็กตรอนเข้าไปยังจุด A จะเป็นว่าทิศทางการไหลผ่านคอยล์ L_A ระหว่างจุด A กับจุด G แล้วไหลไปสู่แหล่งจ่ายไฟ $+V$ ซึ่งในกรณีนี้คอยล์ L_B ไม่มีส่วนเกี่ยวข้องใดๆ กับทิศทางการไหลของกระแส แต่อย่างไรก็ตามทั้งสองส่วนนี้ก็ต่อเนื่องกันอยู่ ดังนั้น L_B จึงเป็นตัวหม้อแปลงคัปปลิ้งสัญญาณไปสู่ L_A ได้

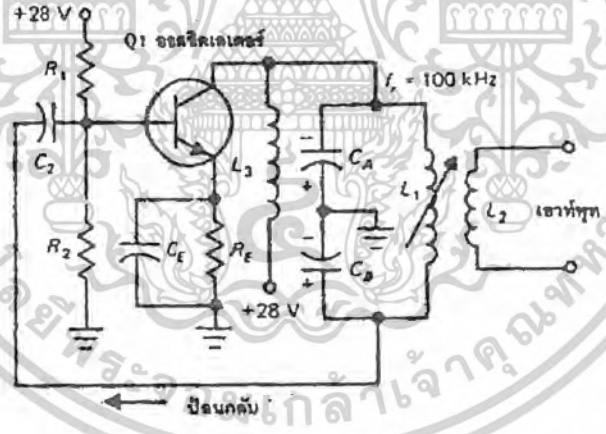
ในการแปรผันของแรงดันไฟสลับ สมมติให้ I มีค่าเพิ่มขึ้นตามกฎของเลนซ์*(Lenz law)* จะได้ว่าเกิดการเหนี่ยวนำของตัวเองขึ้น *(Self-inductance)* เกิดแรงดันไฟฟ้า V_{AG} ซึ่งมีขั้วเป็นลบที่จุด A เพื่อต่อต้านการเพิ่มขึ้นของ I ยิ่งกว่านั้น แรงดันที่เหนี่ยวนำขึ้นมานี้จะส่งผลให้คอยล์ทั้งหมดมีแรงดันไฟฟ้าเป็นลบ และต่อเนื่องจากลักษณะของการพันคอยล์เป็นแบบไปในทิศทางเดียวกัน ดังนั้นจึงมีสนามแม่เหล็กเหมือนกันตลอดทั้งคอยล์ จุด A ถือว่าเป็นจุดปลายสุดของแรงดันไฟลบที่เหนี่ยวนำขึ้นมาเมื่อเปรียบเทียบกับจุดอื่นๆ หรือขดถัดมาด้านล่าง(ตามรูป) ส่วนจุด B เมื่อพิจารณาตามแรงดันไฟฟ้าที่เหนี่ยวนำขึ้นมา จุด A และ B จึงมีขั้วตรงข้ามกันเสมอเมื่อเทียบกับ แท็ปนั่นคือ V_{AG} และ V_{BG} จะมีเฟสของสัญญาณต่างกัน 180^{o}เสมอ ในขณะที่จุดหนึ่งเป็นลบมากที่สุดอีกเฟสหนึ่งก็มีเฟสเป็นบวกมากที่สุดเนื่องจากจุดแท็ป G ต่ออยู่กับกราวด์ เพราะฉะนั้น V_{AG} และ V_{BG} จึงเป็นแรงดันสัญญาณไฟสลับที่มีขั้วตรงกันข้ามกันเสมอ เมื่อเทียบกับจุดกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แฟสของแรงดันไฟฟ้าในแท็บ L_B กับ L_A จะต่างเฟส 180°

2.4 ออสซิลเลเตอร์แบบคอลพิทส์



รูปที่ 2.6 วงจรออสซิลเลเตอร์แบบคอลพิทส์

ลักษณะที่เด่นชัดของวงจรชนิดนี้ก็คือ มีคาปาซิเตอร์โวลเตจดีไวเดอร์ สำหรับการป้อนกลับสัญญาณอยู่อย่างชัดเจน ดังรูปที่ 2.6 (วงจรโวลเตจดีไวเดอร์ : คือ วงจรแบ่งแรงดันไฟฟ้าตกคร่อม ที่ใช้งานกันบ่อยได้แก่ รีซิสเตอร์โวลเตจดีไวเดอร์) C_A และ C_B ประกอบกันขึ้นเป็นวงจรดีไวเดอร์อนุกรมตกคร่อมคอยล์ L_1 ในส่วนของวงจรคอลเลคเตอร์ และแรงดันไฟฟ้าที่ตกคร่อม C_3 จะถูกป้อนกลับแบบบวกไปยังขาเบส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดต่อระหว่าง C_A และ C_B จะถูกต่อลงกราวด์ ดังนั้นจึงเป็นเสมือนว่าวงจรคาปาซิทีฟดีไวเดอร์นั้นเป็นวงจรเทียบเท่ากับการแท็ปคอยล์ สำหรับสัญญาณของวงจรออสซิลเลเตอร์แรงดันไฟฟ้า V_{CA} และ V_{CB} จะมีค่าตรงกันข้ามกันเมื่อเทียบกับจุดกราวด์ การป้อนกลับแบบบวกของ V_{CB} จะถูกคัปปลิ้งโดย C_2 ซึ่งในขณะเดียวกัน C_2 ก็จะทำการป้องกันสัญญาณไฟตรงจากขาคอลเลคเตอร์ไม่ให้ผ่านไปสู่ขาเบสได้

เอาต์พุตของวงจรจะถูกคัปปลิ้งโดย L_2 ไปสู่ภาคถัดไป วงจรดังรูปใช้การป้อนกลับสัญญาณแบบขนาน โดยสัญญาณแรงดันไฟฟ้าคอลเลคเตอร์ถูกป้อนผ่าน L_3 ซึ่งก็คือ *RF* โช๊คซึ่งมีหน้าที่ในการป้องกันการลัดวงจรของสัญญาณจากวงจรออสซิลเลเตอร์ผ่านเข้าไปยังแหล่งจ่ายไฟ

จากวงจรดังรูป เนื่องจากว่าคาปาซิแตนซ์ของของวงจรเรโซแนนซ์ *LC* ถูกแบ่งไปในวงจรออสซิลเลเตอร์ ดังนั้นการปรับแรงดันไฟฟ้าของวงจรจึงเปลี่ยนมาใช้การปรับแต่งโดย L_1 แทน หรือมิฉะนั้นแล้ว C_A และ C_B จะต้องต่อกันแบบแก็งค์*(Ganged capacitance)*

คอลพิทส์ออสซิลเลเตอร์มีการประยุกต์ใช้งานทั้งในด้านความถี่วิทยุขนาด *100 kHz* ไปจนถึงย่านความถี่ *VHF* ที่มีแถบความถี่สูงถึง *300 MHz* ได้

2.5 คริสตอลออสซิลเลเตอร์

การผลิตออสซิลเลเตอร์ชนิดนี้มักจะใช้ ผลึกควอทซ์ ***(Quartz Crystal)*** เป็นวัตถุดิบในกรณีที่ต้องการความเที่ยงตรงสูงในการควบคุมความถี่ที่ความถี่เรโซแนนซ์ คริสตอลมีคุณสมบัติเหมือนกับเป็นอิเล็กโตรแมคเนติคอลออสซิลเลเตอร์ที่มีคุณสมบัติเทียบเท่ากับวงจรจูน *LC* แต่ทว่ามีค่า *Q* สูงกว่า ดังนั้นจึงสามารถใช้แทนวงจร *LC* ในวงจรออสซิลเลเตอร์ได้เป็นอย่างดี โดยทั่วไปนั้นตัวคริสตอลออสซิเลเตอร์จะใช้ประกอบอยู่ในอุปกรณ์ที่สามารถจะพกพาติดตัวได้ เช่น วิทยุมือถือหรือวิทยุสื่อสารย่านความถี่ *CB* เป็นต้น โดยใช้ได้ทั้งในเครื่องรับและเครื่องส่ง นอกจากนี้อุปกรณ์เครื่องส่งกระจายเสียงวิทยุยังต้องใช้คริสตอลออสซิลเลเตอร์ เพราะความจำเป็นในการควบคุมความถี่ที่แน่นอน มีเสถียรภาพสูงและมีความผิดเพี้ยนต่ำที่สุด ความถี่ที่ผลิตจากคริสตอลออสซิลเลเตอร์จะมีความผิดเพี้ยนน้อยกว่า *1 Hz* ต่อ 10^9 *Hz* สำหรับอุปกรณ์ตรวจวัดต่างแหล่งกำเนิดสัญญาณมักจะใช้คริสตอลออสซิเลเตอร์สำหรับปรับตั้งความถี่ภาพในเครื่อง เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7 รูปร่างของคริสตอลออสซิลเลเตอร์ที่ประกอบอยู่ในตัวถัง

2.5.1 ปรากฏการณ์เพียซโซอิเลคทริก

ปรากฏการณ์เพียซโซอิเลคทริก *(PiezoElectric Effect)* คือ ปรากฏการณ์ทางไฟฟ้าที่เกิดขึ้นในขณะที่ผลึกคริสตอลถูกกดอัด ถูกขยายหรือถูกบิดให้ผิดรูปร่างในสภาวะปกติ ผลึกคริสตอลจะจ่ายแรงดันไฟฟ้าระดับต่ำๆ ออกมาที่เอาต์พุต ปฏิกิริยาย้อนกลับนั่นคือระดับแรงดันไฟฟ้าที่อินพุตจะทำให้คริสตอลเกิดความผิดเพี้ยนทางกายภาพขึ้น ซึ่งคริสตอลสามารถถูกกระตุ้นให้เกิดการออสซิลเลตด้วยความถี่ค่าหนึ่ง โดยแปรผันตามขนาดของก้อนผลึก ถ้าผลึกมีความบางมากก็สามารถออสซิเลตคลื่นความถี่สูงๆ ออกมาได้

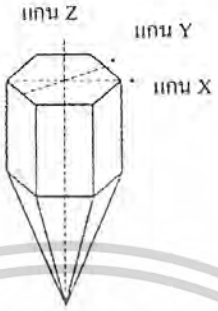
2.5.2 การตัดผลึกคริสตอล

ผลึกคริสตอลจะมีลักษณะคล้ายกับเกล็ดน้ำแข็ง คือ ถ้าเป็นผลึกดิบที่ยังไม่ผ่านขบวนการผลิตใดมาก่อน ผลึกตามธรรมชาติจะมีรูปร่างเป็นแบบหกเหลี่ยม ดังแสดงในรูปที่ *2.8* ในขบวนการผลิตผลึกเหล่านี้จะถูกนำมาเฉือนออกเป็นแผ่นผลึกบางๆ เสร็จแล้วนำไปผ่านขบวนการขัดผิว โดยทั่วๆ ไป ผลึกที่ตัดเสร็จแล้วมีขนาดประมาณ *0.5* ถึง *1.0* นิ้ว *(12.7* ถึง *25.4* มม.) และมีความหนาประมาณ *0.3* นิ้ว *(7.6* มม.) หรือบางกว่านี้ ในขบวนการตัดผลึกจำเป็นอย่างยิ่งที่จะต้องพิจารณาถึงแนวแกนตามโครงสร้างของผลึกว่าอยู่ในแกนใด ดังรูปที่ *2.7* ซึ่งแบ่งออกได้เป็น *3* แกนคือ แกน *X* แกน *Y* แกน *Z* ในการเฉือนผลึกถ้าแนวเฉือนอยู่ขนานกับแกน *Z* และผิวหน้าของแผ่นผลึกตั้งฉากอยู่กับแกน *X* ในลักษณะนี้เรียกว่า *Xcut* ส่วน *Ycut* นั้นผิวหน้าของผลึกจะตั้งฉากอยู่กับแกน *Y* เป็นต้น

อย่างไรก็ตามการเฉือนผลึกตามแนวแกนอื่นๆ ที่หักเหไปจากแนวแกนหลักดังกล่าว ก็มีเช่นกัน ซึ่งมีชื่อเรียกต่างๆ กันออกไป ดังเช่น *AT,BT,CT* และ *GT* เป็นต้น ซึ่งเพื่อให้สอดคล้องกับคุณสมบัติที่ต้องการ เช่น ความถี่และอุณหภูมิเป็นต้น การเฉือนในลักษณะพิเศษเช่นนี้ จึงต้องพิจารณาถึงแรงเคียดและแรงเค้นของก้อนผลึกมากกว่าที่จะเป็นแรงกดดัน *GT cut* เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

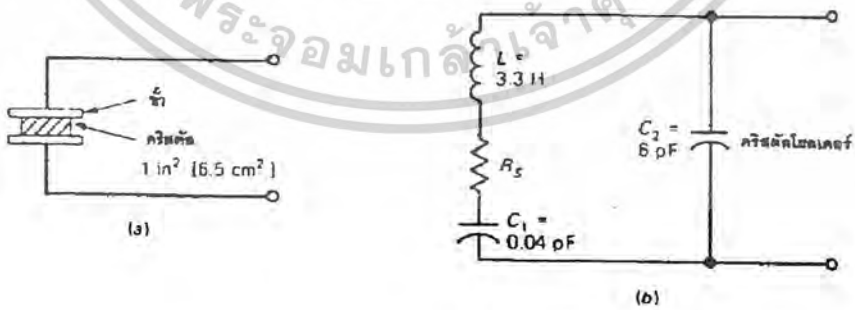
ผลึกที่มีสัมประสิทธิ์อุณหภูมิต่ำ นั่นคือ ความถี่ไม่แปรผันตามการแปรผันของอุณหภูมิ ส่วนผลึกชนิด *AT* และ *BT* มักจะมีคุณสมบัติในการผลิตสัญญาณความถี่สูงๆ ได้ดี เป็นต้น



รูปที่ 2.8 แนวแกนการเฉือนตามโครงสร้างของก้อนผลึก

2.5.3 วงจรเทียบเท่าของผลึกคริสตอล

โครงสร้างทางกายภาพของการประกอบก้อนผลึกคริสตอลเข้ากับตัวยึดแสดงได้ดังรูปที่ *2.9(a)* ซึ่งเทียบเท่ากับวงจรเรโซแนนซ์ *LC* ดังรูปที่ *2.9(b)* โดย L สามารถเปรียบเทียบได้กับมวลของผลึก C_1 เทียบได้กับความสามารถในการเปลี่ยนแปลงทางกล ส่วน R_S คิดเทียบได้กับความเสียดทานทางกล เป็นต้น ในกรณีที่อัตราส่วนของ L/C ค่าสูง สำหรับวงจรเรโซแนนซ์แบบอนุกรม โดย L มีค่าเท่ากับ *3.3 H* และ C_1 มีค่าเท่ากับ *0.04 pF* R_S จะมีค่าต่ำเทียบค่ารีแอคแตนซ์ซึ่งในกรณีเช่นนี้ค่า Q ของวงจรเรโซแนนซ์จะมีค่าตั้งแต่ *10,000* ถึง *50,000* โดยที่ C_2 เทียบได้ว่าเป็นเอาต์พุตคาปาซิแตนซ์ของตัวยึดคริสตอล

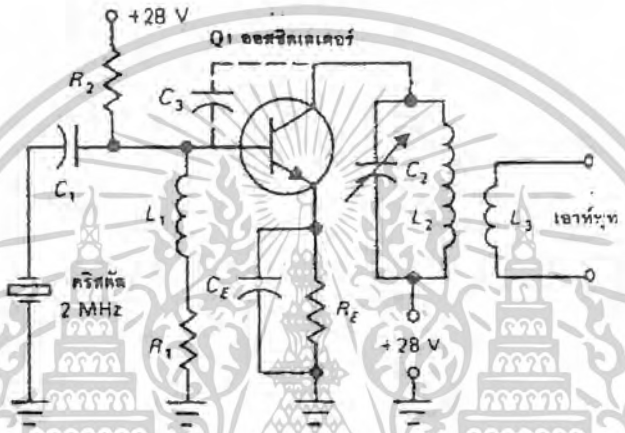


รูปที่ 2.9 วงจรเทียบเท่าของผลึกคริสตอล
(a) ผลึกคริสตอลติดตั้งอยู่กับตัวยึด
(b) วงจรเทียบเท่าของวงจรเรโซแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 วงจรออสซิลเลเตอร์แบบควบคุมคริสตอล

แสดงได้ดังรูปที่ *2.10* ซึ่งลักษณะของวงจรคล้ายคลึงกับวงจรออสซิลเลเตอร์แบบ *TPTG* ยกเว้นที่ใช้ทรานซิสเตอร์แทนการใช้หลอดสูญญากาศและใช้ผลึกคริสตอลความถี่ *2 MHz* ในการกำเนิดความถี่ของออสซิลเลเตอร์ วงจรป้อนกลับผ่าน C_3 ซึ่งเป็นคาปาซิแตนซ์ภายในระหว่างขาคอลเลคเตอร์และขาเบส



รูปที่ 2.10 ออสซิลเลเตอร์แบบควบคุมคริสตอล

ในวงจรเบสโวลเตจดีไวเดอร์ R_1 R_2 ป้อนแรงดันไฟฟ้าฟอร์เวิร์ดจากแหล่งจ่ายไฟ *+28 V* คาปาซิเตอร์ C_1 เป็นตัวป้องกันแรงดันไฟตรงจากขาเบสออกจากคริสตอล อย่างไรก็ตามอาจจะหลีกเลี่ยงการใช้ C_1 ได้ เนื่องจากตัวยึดคริสตอลมีคุณสมบัติเหมือนกับคาปาซิเตอร์อยู่แล้ว *RF* โช๊ค L_1 เป็นอิมพีแดนซ์ค่าสูงของเอาต์พุตของคริสตอลที่ต่อกับขาเบส ในวงจรอิมิตเตอร์ R_E และ C_E ซึ่งเป็นบายพาสคาปาซิเตอร์จะช่วยให้เสถียรภาพของการไบอัสดีขึ้น สำหรับวงจรคอลเลเตอร์วงจรจูน *LC* เป็นตัวคัปปลิ้งสัญญาณเอาต์พุตของออสซิลเลเตอร์ร่วมกับ L_3 ไปสู่วงจรในภาคถัดไป ส่วนวงจรคอลเลคเตอร์ *RF* โช๊ค L_1 เป็นตัวป้อนแรงดันแบบขนานจากแหล่งจ่ายไฟ *+28 V* ให้แก่วงจรออสซิลเลเตอร์ ส่วน C_1 คัปปลิ้งสัญญาณเอาต์พุตจากวงจรออสซิลเลเตอร์ไปสู่วงจรภาคถัดไป และขณะเดียวกันก็เป็นตัวป้องกันแรงดันไฟตรงไม่ให้ผ่านไปยังคริสตอลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.5 ความถี่ของออสซิลลเตอร์แบบคริสตอล

คริสตอลมีความถี่ของสัญญาณที่จะออสซิลเลตออกมาได้ที่ความถี่ที่แน่นอนค่าหนึ่งๆ โดยทั่วๆ ไปมีค่าอยู่ระหว่าง *0.5* ถึง *30 MHz* หรืออาจจะใช้การต่อร่วมกับวงจรภายนอกอื่นๆ เพื่อให้ได้ค่าความถี่ของสัญญาณตรงๆ กัน สำหรับที่ต้องการความถี่สูงขึ้นอาจจะต่อร่วมกับวงจรทวีคูณความถี่ *(Frequency Multiplier Circuit)* ซึ่งอาจเป็นวงจรจูนความถี่ *2* เท่าและ *3* เท่าก็ได้ วงจรขยายสัญญาณดังรูปใช้วงจร LC เพื่อปรับความถี่ของสัญญาณให้ได้ความถี่ฮาร์โมนิคของคริสตอลออสซิลเลเตอร์ ตัวอย่างเช่น เอาต์พุตของออสซิลเลเตอร์เป็นสัญญาณความถี่ *15 MHz* สามารถถูกเพิ่มความถี่สูงขึ้นเป็น *45 MHz* ได้โดยวงจรทวีคูณความถี่แบบ *3* เท่าได้ สำหรับในกรณีที่ต้องการลดความถี่ลงให้ ต่อร่วมกับวงจรหารความถี่ได้โดยความถี่เอาต์พุตของออสซิลเลเตอร์จะถูกหารให้มีค่าน้อยลงได้ค่าความถี่ที่ต้องการ ตัวอย่างเช่น เอาต์พุตของออสซิลเลเตอร์มีค่าเท่ากับ *1000 kHz* สามารถถูกหารให้ลดลงได้โดยใช้วงจรหารความถี่ด้วย *100 kHz* ทำให้ได้ความถี่ *10 kHz* ตามต้องการ

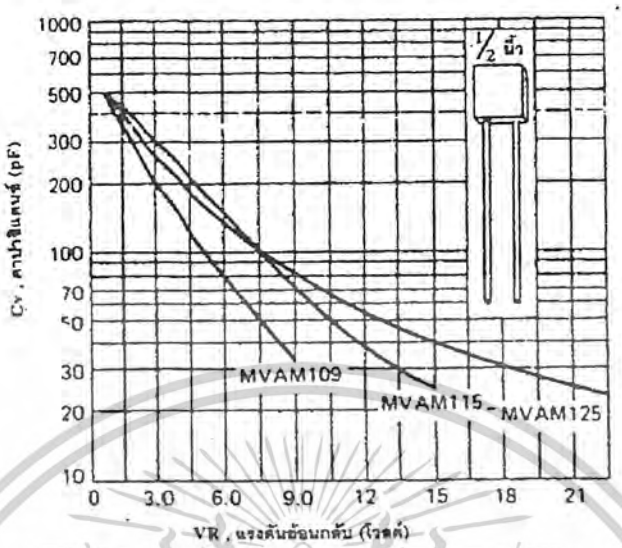
2.6 ออสซิลเลเตอร์แบบควบคุมแรงดันไฟฟ้า

โดยทั่วๆไปมักจะเรียกกันสั้นๆว่า ***VCO*** หรือ โวลเตจคอนโทรลออสซิลเลเตอร์ เป็นวงจรที่ใช้สำหรับปรับแต่งความถี่ของวงจรออสซิลเลเตอร์ซึ่งวิธีการที่ใช้ คือ ใช้คาปาซิทีฟแบบสารกึ่งตัวนำหรือที่เรียกกันว่า **วาริแคป***(Varicap)* หรือ **วาแร็กเตอร์***(Varactor)* คุณสมบัติของไดโอดชนิดนี้คือ ค่าคาปาซิแตนซ์จะแปรผันตามแรงดันไฟฟ้ารีเวิร์ดที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อต่อวาแร็กเตอร์คร่อม *L* ในวงจรจูนของออสซิลเลเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมไดโอด

2.6.1 วาแร็กเตอร์ไดโอด

รอยต่อ *PN* เมื่อถูกป้อนแรงดันไฟฟ้ารีเวิร์ด จะทำให้มีคุณสมบัติเป็นคาปาซิเตอร์ได้ *P* และ *N* อิเล็กโทรดเปรียบได้กับแผ่นตัวนำสองแผ่นที่ประกบกันอยู่โดยมีย่านปลอดประจุของรอยต่อแทรกอยู่ ซึ่งย่านปลอดประจุนี้เป็นเสมือนแถบต้านทาน เพราะไม่มีประจุไฟฟ้าใดๆ เคลื่อนที่ผ่านไปได้ ค่าคาปาซิแตนซ์มีค่าประมาณ *80 pF* หรือสูงกว่า สำหรับแรงดันไฟฟ้ารีเวิร์ดที่ป้อนให้เท่ากับ *6 V* ข้อสำคัญๆ ที่ต้องสังเกต คือ ค่าคาปาซิแตนซ์ *C* จะเปลี่ยนแปลงตามขนาดของแรงดันไฟฟ้ารีเวิร์ดที่ป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

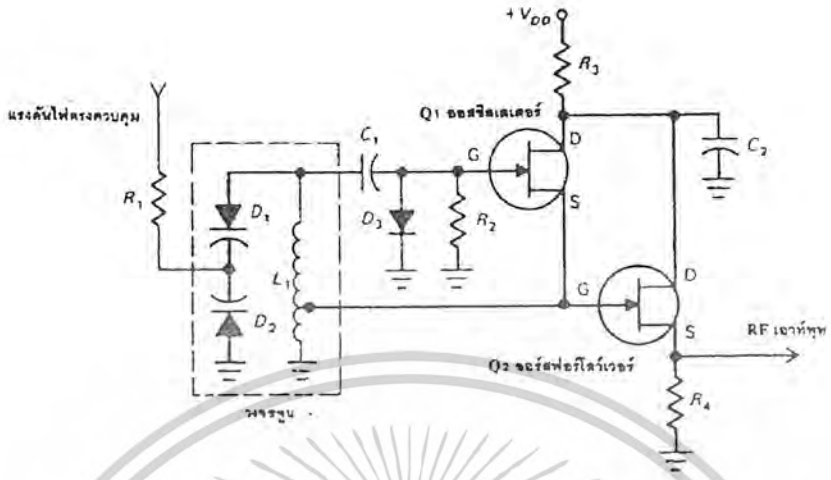


รูปที่ 2.11 คุณสมบัติของวาแร็กเตอร์หรือคาปาซิทีฟไดโอดชนิดควบคุมด้วยแรงดันไฟฟ้า

2.6.2 วงจร VCO

วงจร *VCO* แสดงได้ดังรูปที่ *2.12* ทรานซิสเตอร์ Q_1 ทำหน้าที่เป็นออสซิลเลเตอร์ วงจรจูนประกอบไปด้วยแท็ปคอยล์ L_1 ตกคร่อมคาปาซิทีฟไดโอด D_1 และ D_2 โดยขั้วคาดโธดของไดโอดทั้งคู่มีการควบคุมระดับแรงดันไฟตรง สำหรับแรงดันรีเวิร์ดที่ป้อนเข้ามาทางขาคาโธดเพื่อไปควบคุมการเปลี่ยนแปลงค่า C_t ซึ่งการควบคุมคาปาซิแตนซ์ในลักษณะนี้ก็เพื่อควบคุมความถี่ของออสซิลเลเตอร์และเหตุที่ต้องต่อไดโอดสองตัวอนุกรมกันก็เพื่อให้เกิดสมดุลของผลกระทบแรงดันไฟฟ้าของออสซิลเลเตอร์ที่มีต่อไดโอด เอาต์พุตของวงจรออสซิลเลเตอร์จะจ่ายออกที่ซอร์สอิเล็กโทรดของ Q_1 และถูกคัปปลิ้งโดยตรงไปยัง Q_2 โดยเอาต์พุตจะออกจากขาซอร์สในวงจรซอร์สฟอร์โลว์เวอร์ ซึ่งเทียบเท่าคุณสมบัติได้กับวงจรอิมิตเตอร์ฟอร์โลว์เวอร์ Q_2 จะถูกใช้เป็นวงจรบัฟเฟอร์ระหว่างวงจรซึ่งมีจุดประสงค์เพื่อต้องการจะแยกเอาต์พุตของออสซิลเลเตอร์ Q_1 และ Q_2 ซึ่งข้อดีของการจัดวงจรในลักษณะนี้ก็เพื่อจะช่วยให้เสถียรภาพของความถี่ดีขึ้น และทั้ง Q_1 และ Q_2 ต่างก็เป็น *FET* ชนิด *N* แชนแนล*(JFET)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจร VCO ใช้สำหรับควบคุมความถี่ออสซิลเลเตอร์

หน้าที่ของอุปกรณ์แต่ละตัวในรูปที่ *2.12* สรุปได้ดังนี้ คือ

Q_1	เป็นทรานซิสเตอร์ของฮาร์ทเลย์ออสซิลเลเตอร์
D_1 และ D_2	คาปาซิทีฟไดโอด ทำหน้าที่ควบคุมความถี่ออสซิลเลเตอร์
L_1	ออสซิลเลเตอร์คอยล์
C_1	คัปปลิ้งคาปาซิเตอร์
D_3	แปลงไฟเพื่อไบอัสขาเกตของ Q_1
C_2	บายพาสสัญญาณ *RF* ที่เดรนอิเล็กโทรด
R_3	แยกขาเดรนของ Q ออกจากแหล่งจ่ายไฟ และเป็นตัวป้องกันแรงดันไฟฟ้าให้แก่ Q_1 และ Q_2
V_{DD}	แหล่งจ่ายไฟตรงให้แก่ขาเดรนของ Q_1 และ Q_2
Q_2	ซอร์สฟอร์โลว์เวอร์ทรานซิสเตอร์
R_4	ความต้านทานเอาต์พุตของซอร์สอิเล็กโทรดของ Q_2

วงจร *VCO* ได้มีการนำไปประยุกต์ใช้งานอย่างมากมาย เนื่องจากคุณสมบัติที่ดีในการควบคุมความถี่ออสซิลเลเตอร์ด้วนระดับแรงดันไฟตรง ตัวอย่างเช่น ปุ่มปรับช่วงสัญญาณชนิดสัมผัสในเครื่องรับโทรทัศน์ซึ่งอาศัยระดับแรงดันไฟตรงไปควบคุมความถี่ของแต่ละช่องสัญญาณได้ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประยุกต์ใช้งานในลักษณะนี้เรียกว่า **อิเล็กทรอนิกส์จูนนิ่ง** *(Electronics Tuning)* ซึ่งปรับแรงดันไฟตรงยังต้องใช้มือปรับ แต่เราสามารถปรับปรุงให้ปรับระดับแรงดันโดยอัตโนมัติได้โดยใช้วงจรอิเล็กทรอนิกส์ควบคุม ซึ่งวงจรที่มีคุณสมบัติดังกล่าวได้แก่ วงจรเฟสล็อคลูป *(Phase Locked Loop)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบโครงงาน

ในการออกแบบเครื่องกำเนิดสัญญาณ *45 MHz - 108 MHz (45 MHz - 108 MHz Signal Generator)* นั่นเราสามารถเลือกวิธีการออกแบบได้หลายวิธี ซึ่งในโครงงานนี้เราจะใช้วิธีสังเคราะห์ความถี่โดยอาศัยหลักการของเฟสล็อคลูป เนื่องจากข้อดีของเฟสล็อคลูปที่สามารถผลิตความถี่ออกมาได้แม่นยำและมีความเที่ยงตรงค่อนข้างสูง อีกทั้งยังปรับเปลี่ยนความถี่ได้ง่ายโดยไม่ต้องเปลี่ยนอุปกรณ์ภายใน

3.1 แนวความคิดในการออกแบบ

สิ่งหนึ่งที่สำคัญในการออกแบบก็คือ ข้อจำกัดของอุปกรณ์ที่ใช้ต้องสามารถตอบสนองต่อช่วงของความถี่ที่เราต้องการออกแบบได้ ซึ่งวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปนั้น มีหัวใจสำคัญในการออกแบบให้ได้ความถี่ตามต้องการก็คือ วงจร *Voltage Control Oscillator (VCO)* ที่ทำหน้าที่ผลิตความถี่ตามที่เราต้องการโดยการควบคุมช่วงความถี่จากการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับที่ป้อนให้กับวาริแคปไดโอด*(Varicap Diode)* ผลของการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับนี้ จะทำให้ค่าความจุวาริแคปไดโอดเปลี่ยนแปลงไปด้วย ซึ่งจะเป็นตัวกำหนดให้ *VCO* สามารถผลิตความถี่ออกมาได้ในช่วงที่ต้องการ

จากที่กล่าวมาข้างต้น ช่วงความถี่ที่เราต้องการออกแบบคือ *45 MHz - 108 MHz* โดยการพิจารณาอัตราส่วนระหว่างความถี่สูงสุดในการออกแบบต่อความถี่ต่ำสุดในการออกแบบ ดังสมการที่ *3.1*

$$f_{O(MAX)} / f_{O(MIN)} \qquad \ldots(3.1)$$

แทนค่าความถี่สูงสุดและต่ำสุดลงไป จะได้ *108 MHz / 45 MHz = 2.4* เท่า

จากสมการ

$$f_O = \frac{1}{2\pi\sqrt{LC}} \qquad \ldots(3.2)$$

ในการออกแบบกำหนดให้ค่าความเหนี่ยวนำ*(L)* มีค่าคงที่และค่าความจุ*(C)* สามารถเปลี่ยนแปลงค่าได้โดย

$$C = C_{FIX} + C_V \qquad \ldots(3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย C_{FIX} คือ ค่าความจุคงที่ในวงจร

C_V คือ ค่าความจุที่สามารถเปลี่ยนค่าได้

ดังนั้นจากสมการที่ *3.2* จะได้

$$f_{O(MAX)} = \frac{1}{2\pi\sqrt{L\left(C_{FIX} + C_{V(MIN)}\right)}} \quad \ldots(3.4)$$

และ

$$f_{O(MIN)} = \frac{1}{2\pi\sqrt{L\left(C_{FIX} + C_{V(MAX)}\right)}} \quad \ldots(3.5)$$

นำค่า $f_{O(MAX)}$ และ $f_{O(MIN)}$ แทนลงในสมการที่ *3.1* จะได้

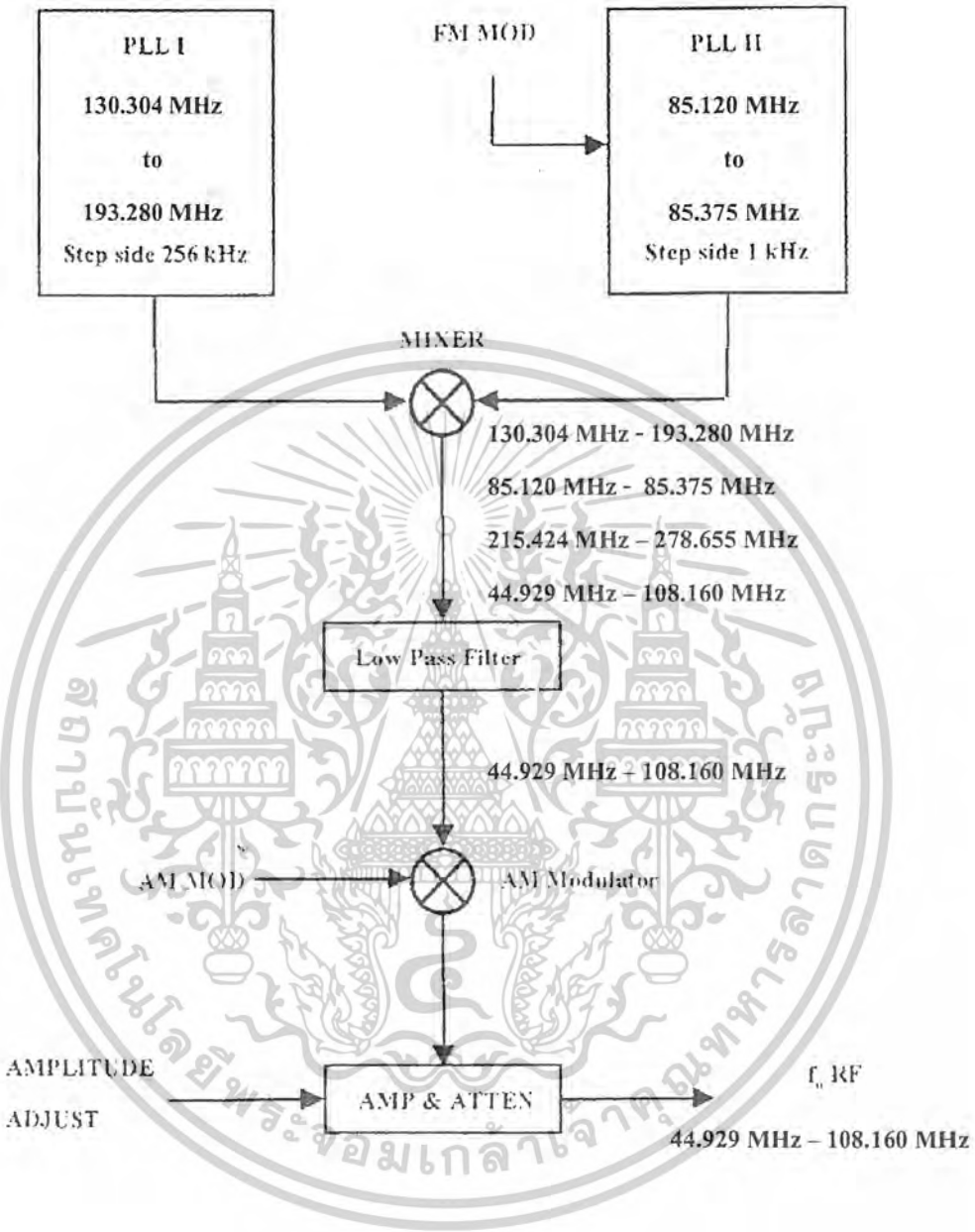
$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{\sqrt{\left(C_{FIX} + C_{V(MAX)}\right)}}{\sqrt{\left(C_{FIX} + C_{V(MIN)}\right)}} \quad \ldots(3.6)$$

แทนอัตราส่วนที่ได้จากสมการที่ *3.1* เท่ากับ *2.4* เท่า ลงไปซึ่งจะได้ค่าอัตราส่วนระหว่าง $C_{FIX} + C_{V(MAX)}$ กับ $C_{FIX} + C_{V(MIN)}$ ที่ต้องการสำหรับการออกแบบ ซึ่งจะต้องมีค่าอย่างน้อยเท่ากับ

$$\frac{\left(C_{FIX} + C_{V(MAX)}\right)}{\left(C_{FIX} + C_{V(MIN)}\right)} \geq \left(\frac{f_{O(MAX)}}{f_{O(MIN)}}\right)^2 \quad \ldots(3.7)$$

$$\frac{\left(C_{FIX} + C_{V(MAX)}\right)}{\left(C_{FIX} + C_{V(MIN)}\right)} \geq \quad 5.76 \text{ เท่า}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกไดอะแกรมการออกแบบหลักของโครงงาน

จะเห็นได้ว่าค่าอัตราส่วนของค่าความจุที่ได้มีค่ามาก เป็นผลให้ช่วงของการเปลี่ยนค่าความจุระหว่าง $C_{FIX} + C_{V(MAX)}$ กับ $C_{FIX} + C_{V(MIN)}$ มีค่ากว้างมากขึ้นตามไปด้วย เมื่อนำค่าอัตราส่วนที่ได้เปรียบเทียบกับคุณสมบัติของการเปลี่ยนแปลงค่าความจุของวาริแคปที่มีขายในท้องตลาดแล้ว ส่วนใหญ่จะมีค่าอัตราส่วนของความจุไม่มากเท่ากับที่เราต้องการใช้ในการออกแบบ(ต้องการ *5.76* เท่า) จึงทำให้วงจรออสซิลเลเตอร์ที่เราต้องการออกแบบด้วยค่าของวาริแคปที่มีขายในท้องตลาดไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถผลิตความถี่ในช่วงที่เราต้องการได้ ดังนั้นเราจำเป็นต้องทำการออกแบบวงจรออสซิลเลเตอร์โดยใช้วาริแคปไดโอดที่สามารถหาได้ในท้องตลาดมาทำการออกแบบ โดยอาศัยหลักการในการออกแบบวงจร *VCO* ขึ้นมา *2* ชุด ซึ่งแต่ละชุดจะผลิตช่วงความถี่ที่แตกต่างกัน จากนั้นนำความถี่ที่ได้จาก *VCO* ทั้ง *2* ชุด มาเข้าภาค *Mixer* ซึ่งที่ภาคนี้จะได้ค่าความถี่ออกมา *4* ความถี่ คือ ค่าความถี่จากภาค *PLL I* (f_{O1}), ค่าความถี่จากภาค *PLL II* (f_{O2}), ค่าความถี่ผลรวม ($f_{O1} + f_{O2}$) และค่าความถี่ผลต่าง ($f_{O1} + f_{O2}$) จากนั้นนำมาผ่านวงจรกรองความถี่ต่ำผ่านเพื่อกรองเอาเฉพาะความถี่ผลต่าง ซึ่งค่าความถี่ผลต่างที่ได้นี้จะเป็นช่วงความถี่ที่เราต้องการ ดังจะแสดงให้เข้าใจโดยบล็อกไดอะแกรมการออกแบบหลักของโครงงาน ดังรูปที่ *3.1*

3.2 การออกแบบภาค PLL I

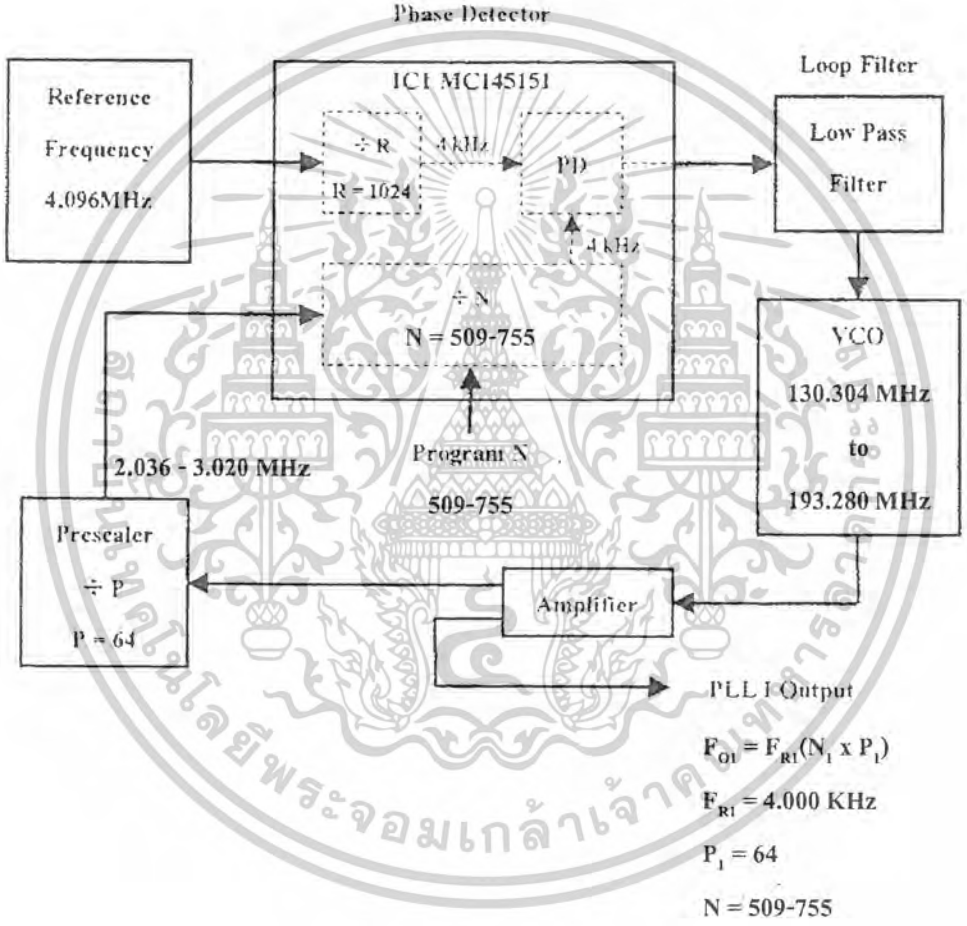
จากรูปที่ *3.1* เป็นบล็อกไดอะแกรมที่ใช้ในการออกแบบโครงงานเครื่องกำเนิดสัญญาณในช่วงความถี่ *45 MHz - 108 MHz* ซึ่งภาคแรกของการออกแบบก็คือส่วนของบล็อก *PLL I* ซึ่งทำหน้าที่ให้กำเนิดสัญญาณรูปซายน์ในช่วงความถี่ *130.304 MHz - 193.280 MHz* โดยวิธีเฟสล็อคลูป ซึ่งภายในบล็อกนี้ประกอบด้วยภาคหลักๆ ดังนี้

1. ภาค *Voltage Control Oscillator (VCO)*
2. ภาค *Prescaler (÷P)*
3. ภาค *Phase Detector (PD)*
4. ภาค *Loop Filter (Low Pass Filter)*

จากรูปที่ *3.2* เป็นบล็อกไดอะแกรมการทำงานของบล็อก *PLL I* โดยหัวใจสำคัญของบล็อกนี้ คือ ส่วนของภาค *VCO* ที่ให้กำเนิดสัญญาณรูปซายน์ในช่วงความถี่ *130.304 MHz - 193.280 MHz* จากนั้นนำมาผ่านภาคขยายสัญญาณ *(Amplifier)* เพื่อขยายขนาด(Amplitude)ให้สูงขึ้นเพียงพอสำหรับเป็น Output ของ *PLL I* และส่งต่อไปยังภาค *Prescaler (÷P)* เพื่อทำการหารความถี่ด้วยค่า *P = 64* ซึ่งเอาต์พุตที่ได้จะเป็นรูปคลื่นสี่เหลี่ยมช่วงความถี่เท่ากับ *2.036 MHz* ถึง *3.020 MHz* ซึ่งจะใช้ไอซี *Prescaler* เบอร์ *MC 12017* ของโมโตโรล่าทำงานในภาคนี้ จากนั้นส่งต่อไปยังภาค *Phase Detector* เป็นไอซีเบอร์ *MC 145151* ของโมโตโรล่าอีกเช่นกัน ซึ่งเป็นแบบ *Parallel Input PLL Frequency Synthesizer* ซึ่งมีขาสำหรับเซตค่าหารความถี่ *(÷N)* เป็นแบบ *Parallel Input* ซึ่งเราสามารถกำหนดค่าหารความถี่นี้ได้ด้วยดีฟสวิตช์ โดยค่าหาความถี่จะมีค่าตั้งแต่ *509 - 755* เพื่อที่จะหารความถี่ที่ได้จากภาค *Prescaler* ให้เหลือเพียง *4 kHz* ก่อนส่งต่อไปยังภาค *Phase Detector (PD)* ที่ภาคเฟสดีเทคเตอร์นี้ จะมีค่าความถี่อ้างอิงคงที่ค่าหนึ่งเท่ากับ *4kHz* ที่ได้มาจากวงจรคริสตอลออส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิลเลเตอร์ความถี่ *4.096 MHz* ป้อนให้กับไอซี *MC 145151* แล้วเซตค่าหารความถี่อ้างอิง*(÷R)* เท่ากับ *1024* จะได้ค่าความถี่อ้างอิงคงที่เท่ากับ *4 kHz* จากนั้นเฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟส ซึ่งค่าที่ได้เป็นค่าผิดพลาด*(Error)* โดยการสังเคราะห์ความถี่จะสามารถสังเคราะห์ความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองเท่ากัน จากนั้นนำมาผ่านภาค *Loop Filter* แบบ *Low Pass* เพื่อกรองความถี่สูงทิ้งไป สัญญาณที่ได้จะเป็นแรงไฟตรงป้อนกลับมาควบคุมภาค *VCO*



รูปที่ 3.2 บล็อกไดอะแกรมการออกแบบภาค PLL I

3.3 การออกแบบภาค PLL II

จากหัวข้อที่ *3.2* ซึ่งเป็นภาคแรกของการออกแบบก็คือส่วนของบล็อก *PLL I* ซึ่งทำหน้าที่ให้กำเนิดสัญญาณรูปซายน์โดยวิธีเฟสล็อคลูป เช่นเดียวกันกับการออกแบบส่วนของบล็อก *PLL II*

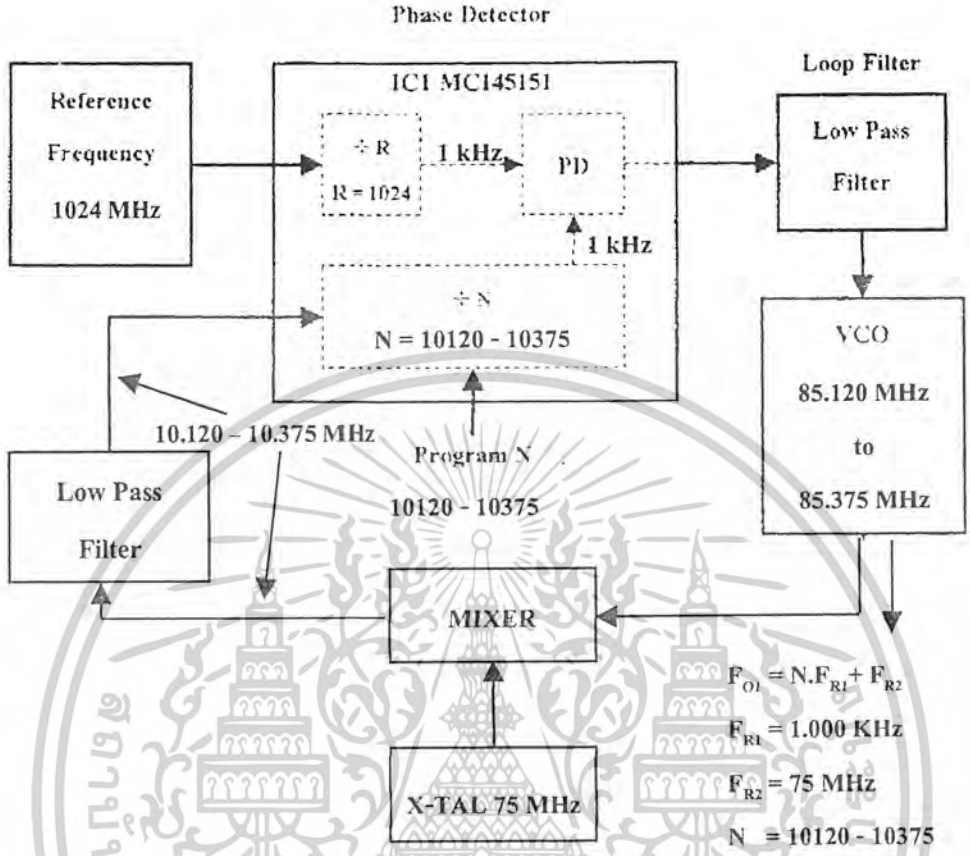
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะให้กำเนิดสัญญาณรูปซายน์โดยวิธีเฟสล็อคลูปด้วยเช่นกัน ซึ่งมีความถี่อยู่ในช่วง *85.120 MHz – 85.375 MHz* โดยมีหลักการของการออกแบบที่คล้ายๆ กัน ซึ่งภายในบล็อกนี้ประกอบด้วยภาคหลักๆ ดังนี้

1. ภาค *Voltage Control Oscillator (VCO)*
2. ภาค *Mixer* ($f_u - f_r$)
3. ภาค *Phase Detector (PD)*
4. ภาค *Loop Filter (Low Pass Filter)*

จากรูปที่ *3.3* เป็นบล็อกไดอะแกรมการทำงานของบล็อก *PLL II* โดยหัวใจสำคัญของบล็อกนี้ คือ ส่วนของภาค *VCO* ที่ให้กำเนิดสัญญาณรูปซายน์ในช่วงความถี่ ช่วง *85.120 MHz – 85.375 MHz* จากนั้นนำมาผ่านภาคมิกเซอร์แบบ *Mixer down* ซึ่งการทำงานของภาคนี้เราจะนำความถี่ที่ได้จากภาค *VCO* (f_u) มาผสมสัญญาณกับความถี่อ้างอิง(f_r)ที่เกิดจากวงจรคริสตอลออสซิลเลเตอร์ความถี่ *75 MHz* เพื่อนำค่าความถี่ผลต่างของสัญญาณทั้งสองมาใช้งาน โดยการนำความถี่ที่มิกซ์กันมาผ่านวงจรพาสซีฟฟิลเตอร์แบบความถี่ต่ำผ่านในช่วงความถี่ *10.120 MHz – 10.375 MHz* จากนั้นส่งต่อไปยังภาค *Phase Detector* เป็นไอซีเบอร์ *MC 145151* เช่นเดียวกันกับในลูปแรก ซึ่งสามารถเซตค่าหารความถี่ *(÷N)* เป็นแบบ *Parallel Input* ได้ ค่าหารความถี่นี้จะมีค่าตั้งแต่ *10120 - 10375* เพื่อที่จะหารความถี่ที่ได้จากภาค *Mixer* ให้เหลือเพียง *1 kHz* ก่อนส่งต่อไปยังภาค *Phase Detector (PD)* ซึ่งที่ภาคเฟสดีเทคเตอร์นี้ จะมีค่าความถี่อ้างอิงคงที่ค่าหนึ่งเท่ากับ *1 kHz* ที่ได้มาจากวงจรคริสตอลออสซิลเลเตอร์ความถี่ *1.024 MHz* ป้อนให้กับไอซี *MC 145151* แล้วเซตค่าหารความถี่อ้างอิง*(÷R)* เท่ากับ *1024* จะได้ค่าความถี่อ้างอิงคงที่เท่ากับ *1 kHz* จากนั้นเฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟส ซึ่งค่าที่ได้เป็นค่าผิดพลาด*(Error)* โดยการสังเคราะห์ความถี่จะสามารถสังเคราะห์ความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองเท่ากัน จากนั้นนำมาผ่านภาค *Loop Filter* แบบ *Low Pass* เพื่อกรองความถี่สูงทิ้งไป สัญญาณที่ได้จะเป็นแรงไฟตรงป้อนกลับมาควบคุมภาค *VCO*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 บล็อกไดอะแกรมการออกแบบภาค PLL II

3.4 การออกแบบภาค Voltage Control Oscillator (VCO)

ภาค *Voltage Control Oscillator* เป็นภาคแรกสำหรับการออกแบบ ซึ่งภาคนี้จะให้กำเนิดสัญญาณรูปซายน์ในช่วงความถี่ *130.304 MHz - 193.280 MHz* สำหรับ *PLL I* และ *85.120 MHz – 85.375 MHz* สำหรับ PLL II โดยการควบคุมการเปลี่ยนแปลงความถี่ด้วยระดับแรงดันไฟตรงที่ป้อนไบอัสกลับให้กับวาริแคปไดโอด จากการออกแบบในข้อ *3.1* จะทำให้เราสามารถเลือกวาริแคปไดโอดมาใช้ในการออกแบบวงจรในภาคนี้ได้โดยใช้สมการที่ *3.1* หาอัตราส่วนระหว่างความถี่สูงสุดในการออกแบบกับความถี่ต่ำสุดในการออกแบบจะได้

- สำหรับ *VCO 1: 130.304 MHz - 193.280 MHz*

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{193.280}{130.304} = 1.483 \text{ เท่า}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับ *VCO II : 85.120 MHz – 85.375 MHz*

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{85.375}{85.120} = 1.003 \text{ เท่า}$$

ซึ่งความสามารถในการเปลี่ยนแปลงความถี่จะขึ้นอยู่กับความสามารถในการเปลี่ยนแปลงค่าตวามจุของวาริแคปไดโอด ซึ่งสังเกตุได้ว่าค่าอัตราส่วนระหว่างความถี่สูงสุดกับความถี่ต่ำสุดสำหรับ *VCO I : 130.304 MHz - 193.280 MHz* มีค่าเท่ากับ *1.483* เท่า และสำหรับ *VCO II : 85.120 MHz – 85.375 MHz* มีค่าประมาณเท่ากับ *1* เท่า ซึ่งจะเห็นว่า *VCO II* นั้นจะไม่มีปัญหาในการเลือกค่าการเปลี่ยนแปลงค่าความจุของวาริแคปไดโอด เมื่อเทียบกับ *VCO I*

ดังนั้น จึงแสดงการวิเคราะห์เพียงส่วนของ *VCO I* เท่านั้น จากสมการที่ *3.6*

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{\sqrt{\left(C_{FIX} + C_{V(MAX)}\right)}}{\sqrt{\left(C_{FIX} + C_{V(MIN)}\right)}}$$

แทน $f_{O(MAX)} / f_{O(MIN)}$ เท่ากับ *1.483* เท่าลงไปในสมการที่ *3.7* จะได้

$$\frac{\left(C_{FIX} + C_{V(MAX)}\right)}{\left(C_{FIX} + C_{V(MIN)}\right)} \geq 2.2 \text{ เท่า}$$

นั่นหมายความว่าเราออกแบบให้ค่าของคาปาซิเตอร์รวมมีค่า $\geq$ *2.200* เท่า

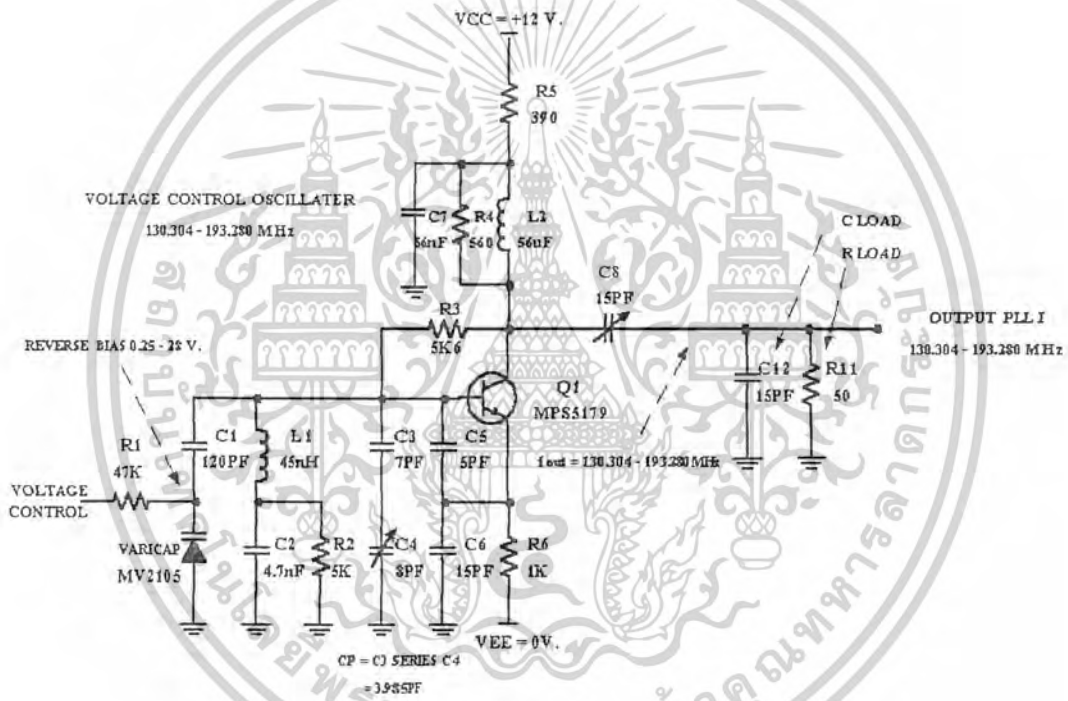
ในการออกแบบเราได้เลือกใช้วาริแคปไดโอดเบอร์ *MV 2105* สามารถรับแรงดันไบอัสย้อนกลับ*(Reverse Voltage : V_R)* ได้ถึง *30 V.* สำหรับ *VCO I* เรากำหนดให้แรงดันไบอัสย้อนกลับแก่วาริแคปไดโอดอยู่ในช่วง *0.25 – 28.5 V.* ซึ่งจะทำให้ได้ค่าความจุของวาริแคปไดโอดอยู่ในช่วงประมาณ *7.719 pF - 38.33 pF* (สำหรับ *VCO II* กำหนดอยู่ในช่วง *2 – 10 V.* มีค่าความจุในช่วงประมาณ *11 pF - 18.96 pF* ซึ่งใช้วาริแคปไดโอดเบอร์เดียวกัน) เมื่อนำช่วงความจุของ *VCO I* ไปหาอัตราส่วน $C_{FIX} + C_{V(MAX)} / C_{FIX} + C_{V(MIN)}$ จะได้ค่าของ C_{FIX} ที่ต้องการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\left(C_{FIX} + C_{V(MAX)}\right)}{\left(C_{FIX} + C_{V(MIN)}\right)} = \frac{\left(C_{FIX} + 38.33pF\right)}{\left(C_{FIX} + 7.719pF\right)} = 2.2 \text{ เท่า}$$

ดังนั้นจะได้ $C_{FIX} \cong 9.7\,pF$

ซึ่งจะเห็นได้ว่าค่าคาปาซิเตอร์ที่ได้สามารถที่จะเป็นไปได้ในการออกแบบ ดังนั้น แสดงว่าเราสามารถใช้วาริแคปไดโอดเบอร์นี้ในการออกแบบได้

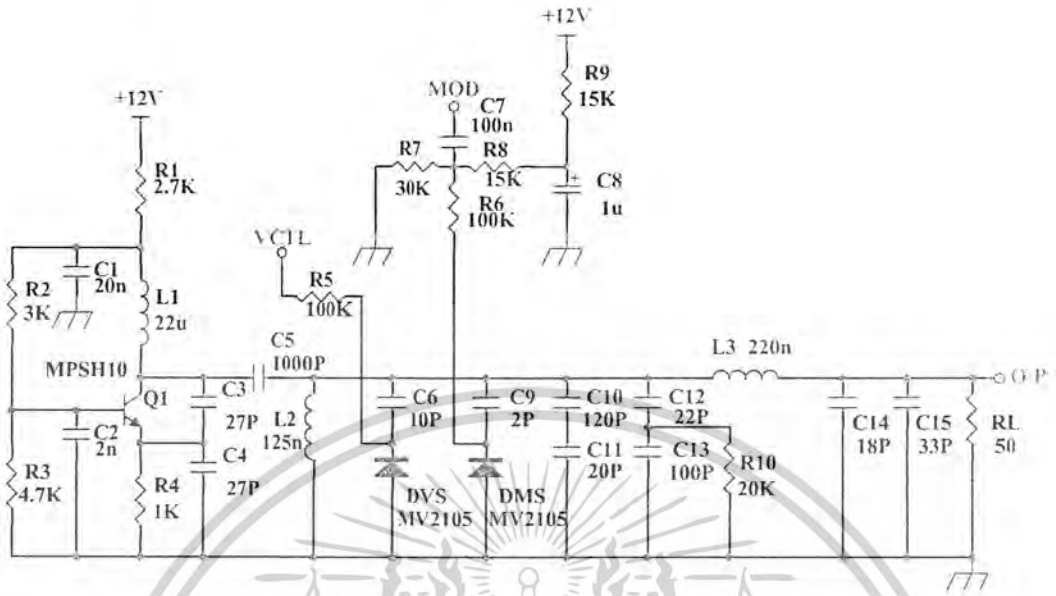


รูปที่ 3.4 วงจร Voltage Control Oscillator ที่ผลิตช่วงความถี่ 130.304 MHz - 193.280 MHz

จากรูปที่ *3.4* ค่าความถี่จะขึ้นอยู่กับค่าความเหนี่ยวนำ(L_1) ค่าความจุที่เปลี่ยนค่าได้จากวาริแคปไดโอด(C_{VF}) ตัวเก็บประจุ(C_1, C_P, C_5, C_6) ค่าความจุระหว่างรอยต่อเบสกับอิมิตเตอร์ของทรานซิสเตอร์$(C_{b'e})$ ตามสมการที่ *3.2*

$$f_O = \frac{1}{2\pi\sqrt{LC}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจร Voltage Control Oscillator ที่ผลิตช่วงความถี่ 85.120 MHz – 85.375 MHz

จากทฤษฎีวงจรไฟฟ้า*(Network Theory)* กล่าวไว้ว่า **"พลังงานสุทธิที่ถูกจ่ายให้แก่โหลดแบบเฉื่อยงาน จะมีค่าไม่เป็นจำนวนลบ"** ดังนั้นในทางตรงกันข้ามจะได้ว่า พลังงานที่ถูกจ่ายออกจากแหล่งกำเนิดจะมีค่าเป็นจำนวนลบ ซึ่งเป็นไปตามกฎการอนุรักษ์พลังงาน เราลองพิจารณาสมการกำลังงาน

$$P = VI = I^2R = V^2/R \qquad \ldots(3.8)$$

สังเกตได้ว่า ค่าที่จะทำให้กำลังงานเป็นลบ ก็คือ ค่าความต้านทาน(Resistance) จากรูปที่ *3.4* ลองพิจารณาค่าอิมพีแดนซ์(Impedance) ของ L_1, C_1, C_{VE}, C_5, C_6 และ C_P ในการต่อวงจร ซึ่งต่อกันเป็นวงจรกำเนิดความถี่จะได้ค่าอิมพีแดนซ์ที่มีค่าจริงเป็นลบ ซึ่งก็คือค่าความต้านทานที่เป็นลบ*(Negative Resistance)* จึงทำให้เกิดการออสซิลเลชั่นขึ้นมา

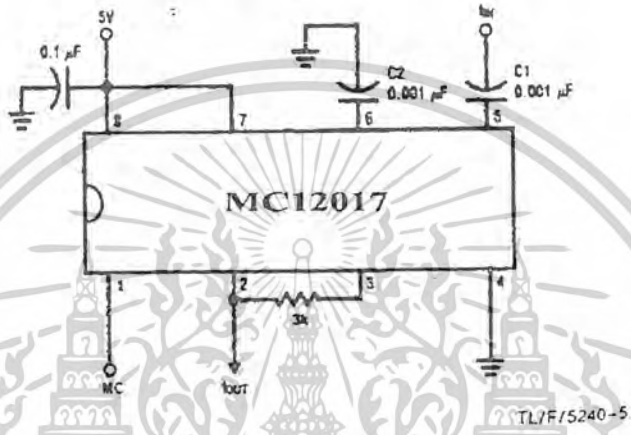
อนึ่ง ในการออกแบบวงจร ถ้าต้องการให้เกิดการออสซิลเลชั่นอย่างต่อเนื่อง ควรจะให้ค่าอิมพีแดนซ์ของส่วนกำเนิดความถี่กับอิมพีแดนซ์ของส่วนอินพุทมีค่าตรงตามเงื่อนไข ดังต่อไปนี้

$$\text{AT} \quad \omega_X \begin{cases} \left|\mathrm{Im}\{Z_S\}\right| = \left|\mathrm{Im}\{Z_{in}\}\right| \\ \left|\mathrm{Re}\{Z_{SP}\}\right| \rangle \left|\mathrm{Re}\{Z_{inp}\}\right| \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบภาค Prescaler

การใช้ *Prescaler* เป็นวิธีที่จะทำให้ระบบสังเคราะห์ความถี่ได้สูงมากอีกวิธีหนึ่ง โดยในวงจรนี้จะใช้ไอซีเบอร์ *MC 12017* ซึ่งจะทำการหารล่วงหน้า*(Prescaler)* ก่อน ซึ่งไอซีเบอร์นี่จะหารได้ *2* ค่า คือ *64* และ *65* นิยมเรียกไอซีชนิดนี้ว่า พรีสเกลเลอร์ชนิดโมดูลัส*(Dual Modulus Prescaler)*



รูปที่ 3.6 วงจรพรีสเกลเลอร์ ที่ใช้ IC เบอร์ MC12017

จากรูปวงจรไอซีเบอร์ *MC 12017* นี้ต้องการไฟเลี้ยง *5* โวลต์ ที่ขา *1 (Modulus Control : MC)* เราสามารถเลือกให้มีการทำงานที่มีลักษณะที่หารความถี่ด้วยค่า 2 ค่า สลับกันไปในไอซีตัวเดียว โดยใช้สัญญาณลอจิก *High* หรือ *Low (*ดูรายละเอียดใน *Data Sheet)* แต่ในวงจรเราจะเลือกเป็นการหารค่าไว้ตายตัวที่ *64* โดยการให้สัญญาณลอจิก *High (*หากให้สัญญาณลอจิก *Low* จะเป็นการหารด้วยค่า *65)* โดยสัญญาณที่ป้อนให้ไอซีมีค่าอย่างน้อย *200 mVpp (*ดูรายละเอียดใน *Data Sheet)* ตัวต้านทานที่ต่อขา *2* กับขา *3* เป็นค่าโหลดของไอซี เอาต์พุตที่ได้จากภาคพรีสเกลเลอร์ จะเป็นสัญญาณรูปคลื่นสี่เหลี่ยม และมีค่าความถี่เป็นไปตามสมการต่อไปนี้

$$f_{out} = f_{in} / P \qquad \ldots(3.9)$$

สมการที่ *3.9* จะทำให้ได้ค่าความถี่เอาต์พุต มีค่าเท่ากับ 2.036 MHz ถึง 3.020 MHz

3.6 การออกแบบภาค Phase Detector

ภาคเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณที่ได้รับจากภาค *VCO* กับเฟสของความถี่อ้างอิงคงที่จากวงจรคริสตอลออสซิลเลเตอร์ ซึ่งวงจรสังเคราะห์ความถี่จะสามารถผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองส่วนนี้เท่ากัน ในการออกแบบได้ใช้ไอซีเบอร์ *MC 145151* ซึ่งเป็นไอซีที่สามารถโปรแกรมได้ *14* บิท แบบ *Parallel Input*

การออกแบบกำหนดให้ภายในไอซีมีความถี่อ้างอิงคงที่ *4 kHz* สำหรับ *PLL I* และที่ *1 kHz* สำหรับ *PLL II* ซึ่งในส่วนของความถี่อ้างอิงนี้จะใช้คริสตอลออสซิลเลเตอร์ *4.096 MHz* สำหรับ *PLL I* และที่ *1.024 MHz* สำหรับ *PLL II* เป็นตัวอ้างอิง โดยเราจะสามารถหารความถี่ของคริสตอลออสซิลเลเตอร์ให้มีความถี่เท่ากับความถี่อ้างอิงที่เราต้องการคือ *4 kHz* สำหรับ *PLL I* และที่ *1 kHz* สำหรับ *PLL II* ได้โดยการกำหนดค่า *RA0, RA1* และ *RA2* เป็น *001* ตามลำดับ ทำให้มีค่าเท่ากับ *1024* ดังนั้นเมื่อเรานำไปหารค่าความถี่คริสตอลออสซิลเลเตอร์แล้วก็จะทำให้ได้ค่าความถี่อ้างอิงออกที่ขา OSC_{out} (ขา *26*) มีค่าเท่ากับ *4 kHz* สำหรับ *PLL I* และที่ *1 kHz* สำหรับ *PLL II* ตามที่เรากำหนด

สำหรับ *PLL I* การที่เราจะโปรแกรมให้วงจรสามารถผลิตความถี่ที่เราต้องการนั้น สามารถคำนวนได้จากสมการที่ *3.10*

$$f_O = f_R \times PN \qquad \ldots(3.10)$$

โดย f_R คือ ความถี่อ้างอิงคงที่ *4 KHz*

P คือ ตัวหารภาคพรีสเกลเลอร์

N คือ ตัวหารที่สามารถโปรแกรมได้

จากสมการที่ *3.10* f_R คือ *4 KHz* ค่า *P* จากภาคพรีสเกลเลอร์กำหนดไว้ที่ *64* ส่วนค่า *N* สามารถโปรแกรมได้ถึง *14* บิท แต่ในวงจรเราจะโปรแกรมเพียง *10* บิท ซึ่งได้ค่า *N* ครอบคลุมตั้งแต่ *509 – 755* โดยบิทที่เหลือไว้ให้เป็น *0* จะได้สมการ

$$f_O = 4KHz \times 64N \quad ;N = 509 - 755 \qquad \ldots(3.11)$$

ส่วน *PLL II* เราจะโปรแกรมให้วงจรสามารถผลิตความถี่ตามที่เราต้องการนั้น สามารถคำนวนได้จากสมการที่ *3.12*

$$f_O = Nf_R + 75\ MHz \qquad \ldots(3.12)$$

โดย f_R คือ ความถี่อ้างอิงคงที่ *1 KHz*

N คือ ตัวหารที่สามารถโปรแกรมได้

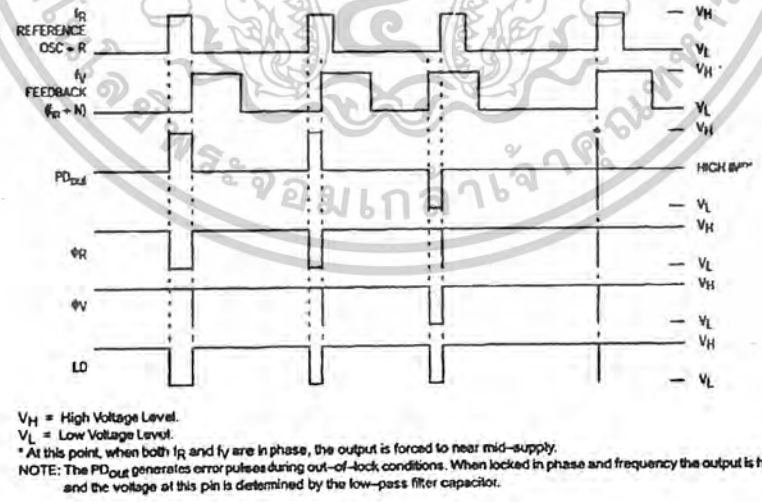
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ *3.12* f_R คือ *1 KHz* ค่าความถี่ *75 MHz* นี้ได้มาจากภาคคริสตอลออสซิลเลเตอร์แบบโอเวอร์โทน*(X-TAL Over Tone)* ที่ใช้คริสตอล *25 MHz* ในการให้กำเนิดความถี่ *75 MHz* ส่วนค่า *N* สามารถโปรแกรมได้ถึง *14* บิท ซึ่งใช้ค่า *N* ตั้งแต่ *10120 - 10375* จะได้สมการ

$$f_O = N(1\ kHz) + 75\ MHz \quad ;N = 10120 - 10375 \qquad ...(3.13)$$

สัญญาณอินพุตจากขา f_{in} (ขา *1*) นี้เสมือนเป็น *Clock* เข้าไปทริกให้หารด้วย *N* ϕ_v (ขา *7*) และขา ϕ_R (ขา *8*) นั้นจะต่อเข้าเป็นอินพุตของวงจรลูปฟิลเตอร์ซึ่งมีค่าความถี่ f_V มากกว่า f_R หรือถ้าเฟสของ f_V นำอยู่จะทำให้ ϕ_V เป็นสัญญาณระดับต่ำ และ ϕ_R เป็นสัญญาณระดับสูง อีกกรณีหนึ่งถ้าความถี่ f_V น้อยกว่า f_R หรือเฟสของ f_V ตามอยู่จะทำให้ ϕ_Rเป็นสัญญาณระดับต่ำและ ϕ_V เป็นสัญญาณระดับสูงและถ้าความถี่ของ f_V เท่ากับ f_R และเฟสตรงกันแล้วจะทำให้ ϕ_R และ ϕ_V เป็นสัญญาณระดับสูงตลอด แต่ก็จะมีช่วงหนึ่งเป็นสัญญาณระดับต่ำ คือช่วงทั้งสองเป็นสัญญาณระดับต่ำพร้อมกัน ซึ่งความต่างเฟสของ ϕ_R และ ϕ_V จะถูกส่งเป็นค่าไฟตรงเพื่อส่งไปชดเชยที่วงจร *VCO* ให้ผลิตความถี่ได้ตามต้องการ

ขา *LD (Lock Detector Output)* ขา *28* จะเป็นขาที่ใช้ในการตรวจสอบว่าวงจรสังเคราะห์ความถี่สามารถผลิตความถี่ได้ตรงตามที่เราต้องการหรือไม่ โดยสัญญาณที่ขานี้เป็นสัญญาณระดับสูงก็แสดงว่า f_V และ f_R มีเฟสและความถี่ตรงกันแล้ว นั่นก็คือวงจรสามารถผลิตความถี่ที่เราต้องการได้อย่างถูกต้องและเที่ยงตรงแล้ว(รายละเอียดขาต่างๆของไอซีสามารถดูได้จาก *Data Sheet* ท้ายเล่ม)

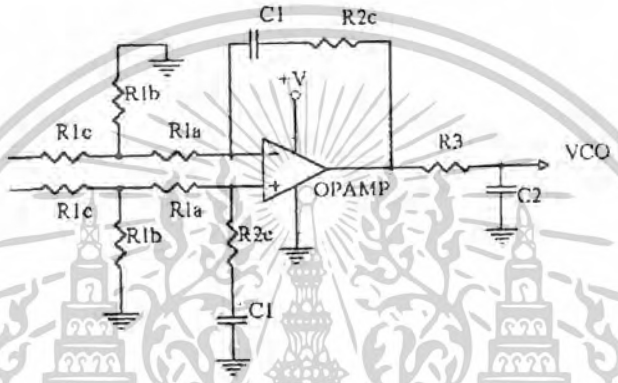


รูปที่ 3.7 Timming Diagram การเปรียบเทียบความถี่(เฟส) ของ Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การออกแบบภาค Loop Filter

วงจรลูปฟิลเตอร์จะใช้ออปแอมป์เบอร์ *MC 34071* ซึ่งวงจรนี้ จะนำเอาสัญญาณ ϕ_R และ ϕ_V จากวงจรเปรียบเทียบเฟสมาเป็นอินพุต โดย ϕ_R ต่อเข้าที่ขา *2* และ ϕ_V ต่อที่ขา *3* เพื่อทำการเปรียบเทียบเฟสและแปลงค่าความแตกต่างออกมาเป็นแรงดันไฟตรง เพื่อไปควบคุมให้วงจร *VCO* สามารถผลิตความถี่ตามที่เราต้องการ และวงจรนี้ยังทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน*(Low Pass Filter)* อีกด้วย โดยการออกแบบเราเลือกเป็นแบบดิฟเฟอเรนเชียล



รูปที่ 3.8 วงจรโลว์พาสฟิลเตอร์ที่ใช้ออปแอมป์ เบอร์ MC 34071

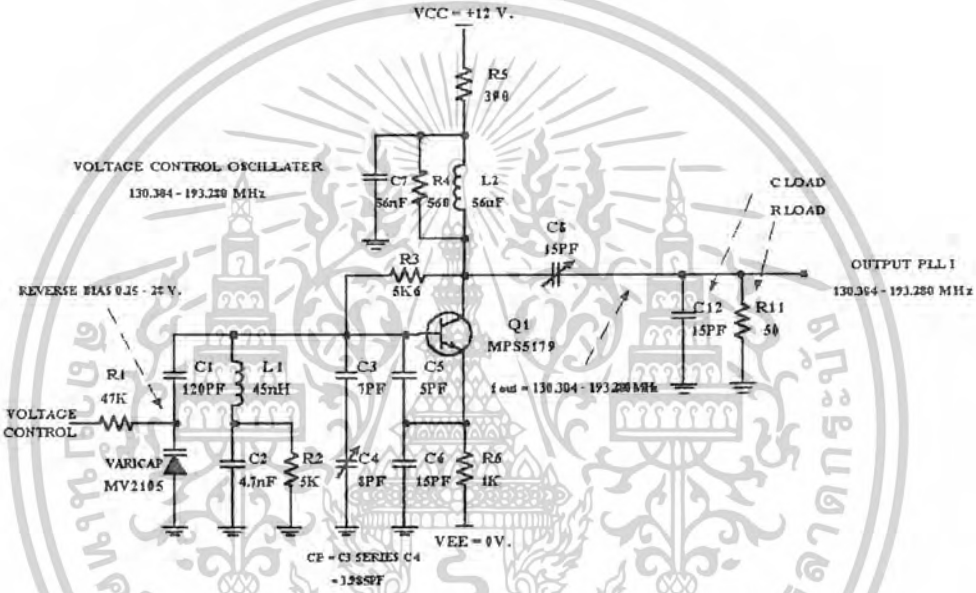
ในการออกแบบ *Loop Filter* ซึ่งเป็นแบบ *Active Low Pass Filter* จะมีข้อจำกัดบางประการเกิดขึ้นสำหรับการเลือกใช้ *OP-Amp* ก็คือ การที่เราต้องการแรงดันเอาต์พุตของ *Loop Filter* ไปรีเวิร์ดไบอัสให้แก่วาริแค็ปไดโอดของภาค *VCO* ซึ่งต้องการแรงดัน *0.25 V. – 28.50 V.* สำหรับ *PLL I* และต้องการแรงดัน *2 V. – 10 V.* สำหรับ *PLL II* เพื่อที่จะทำให้ภาค *VCO* สามารถผลิตความถี่ได้ตลอดย่านที่เราต้องการ ซึ่งเราได้เลือกใช้ *OP-Amp* เบอร์ *MC 34017* เพราะเป็นเบอร์ที่มีช่วงรับแหล่งจ่ายแรงดันไฟเลี้ยงแบบแหล่งจ่ายเดียวได้สูงและกว้าง คือตั้งแต่ *3.0 – 44 V.* ซึ่งเพียงพอต่อความต้องการในการที่จะไบอัสวาริแค็ปไดโอดในภาค *VCO*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 การทดลอง Phase Locked Loop I

ทำการต่อวงจรภาค *Voltage Control Oscillator* ดังรูปที่ *4.1* ซึ่งสามารถให้กำเนิดความถี่ใน ช่วง *130.304 MHz – 193.280 MHz*



รูปที่ 4.1 วงจร Voltage Control Oscillator ที่ผลิตช่วงความถี่ 130.304 MHz - 193.280 MHz

การทดลองที่ 4.1.1 ทำการทดลองโดยป้อนแรงดันไฟตรงในช่วง *0.25 V. – 28.5 V.* ทำการวัดขนาดแรงดันและค่าความถี่ที่เอาต์พุต ผลการทดลองที่ได้ดังตารางที่ *4.1*

การทดลองที่ 4.1.2 นำทุกภาคของเฟสล็อคลูปมาต่อเข้าด้วยกัน ดังรูปที่ *4.20* ทำให้วงจรทั้งหมดที่ประกอบขึ้นสามารถสังเคราะห์ความถี่ได้ด้วยการเซตค่าหาร *N* ที่ดิฟสวิตช์ ดังแสดงค่าต่างๆ ตามตารางที่ *4.2* โดยทำการเปรียบเทียบกับการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองของภาค VCO I : 130.304 MHz - 193.280 MHz

$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)	$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)
0.0	126.0	417.0	5.6	170.1	332.2
0.2	127.0	449.0	5.8	171.1	330.8
0.4	131.0	496.0	6.0	171.4	344.0
0.8	137.8	500.3	6.2	172.5	351.4
1.0	141.6	510.5	6.4	173.1	366.1
1.2	143.9	525.8	6.6	173.5	366.6
1.4	145.5	528.7	6.8	174.2	350.8
1.6	148.5	489.6	7.0	174.6	337.5
1.8	149.5	509.5	7.4	175.4	386.0
2.0	151.7	441.4	7.8	176.6	343.3
2.2	153.0	419.1	8.2	177.4	426.7
2.4	154.7	339.5	8.6	178.4	451.0
2.6	156.4	396.5	9.0	179.4	463.3
2.8	157.3	344.1	9.4	180.3	469.2
3.0	158.8	333.1	9.8	180.8	486.7
3.2	159.6	318.4	10.2	181.4	504.2
3.4	161.0	327.7	10.6	182.1	532.2
3.6	162.2	298.8	11.0	183.2	561.6
3.8	163.0	311.0	11.4	183.6	573.3
4.0	163.8	302.9	11.8	183.8	581.9
4.2	164.9	304.9	12.2	185.3	582.0
4.4	165.7	306.9	12.6	185.4	588.0
4.6	166.6	299.9	13.0	185.8	593.2
4.8	167.8	292.2	13.4	186.4	601.2
5.0	168.0	267.7	13.8	187.3	607.7
5.2	168.7	309.5	14.2	187.5	609.8
5.4	169.3	305.2	14.6	188.4	597.2

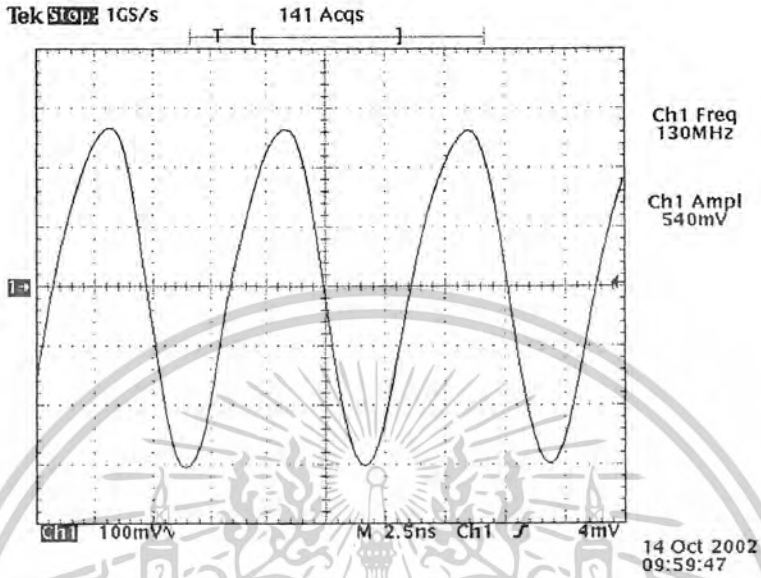
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1(ต่อ) แสดงผลการทดลองของภาค VCO I : 130.304 MHz - 193.280 MHz

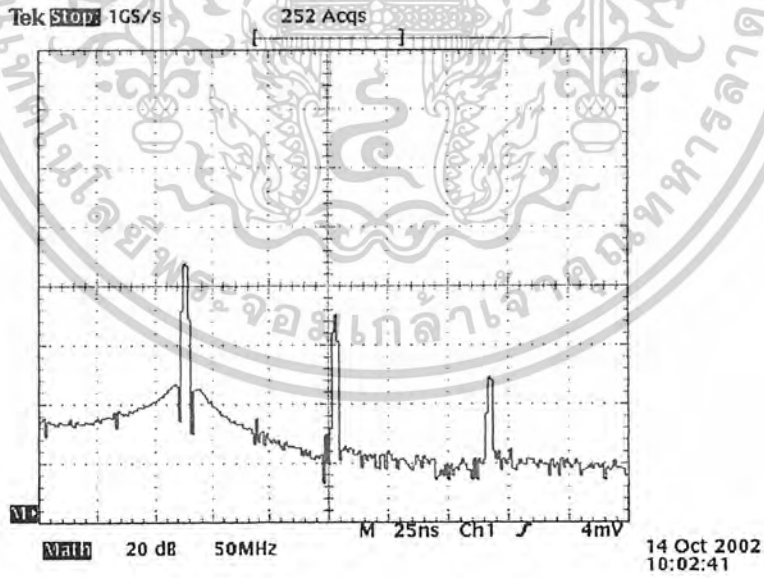
$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)	$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)
15.0	188.6	592.1	23.4	199.1	494.3
15.4	189.2	591.2	23.6	199.6	496.7
15.8	189.9	591.6	23.8	199.8	492.2
16.2	190.1	581.9	24.0	200.3	487.3
16.6	190.8	574.7	24.2	201.9	484.9
17.0	191.1	564.9	24.4	200.1	488.2
17.4	191.5	565.7	24.6	202.3	476.5
17.8	191.6	556.6	24.8	200.9	480.2
18.2	192.1	551.1	25.0	202.5	476.8
18.6	192.5	546.6	25.2	203.7	491.4
19.0	192.9	540.5	25.4	202.3	486.5
19.4	193.3	534.5	25.6	201.1	482.4
19.8	193.6	521.9	25.8	201.6	471.2
20.2	193.9	512.6	26.0	202.5	488.4
20.6	194.1	512.7	26.2	200.5	484.4
21.0	194.8	502.9	26.4	200.3	480.0
21.2	195.0	503.2	26.6	202.8	480.0
21.4	195.3	503.0	26.8	200.2	473.0
21.6	195.5	495.2	27.0	201.2	482.0
21.8	195.8	492.3	27.2	202.2	476.1
22.0	195.9	490.4	27.4	200.4	449.5
22.2	196.4	497.3	27.6	204.2	479.3
22.4	196.5	504.6	27.8	205.3	474.7
22.6	197.0	480.2	28.0	203.8	472.1
22.8	197.8	504.0			
23.0	198.2	500.9			
23.2	198.9	496.0			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 แสดงการวัดสัญญาณที่ Output ของวงจร

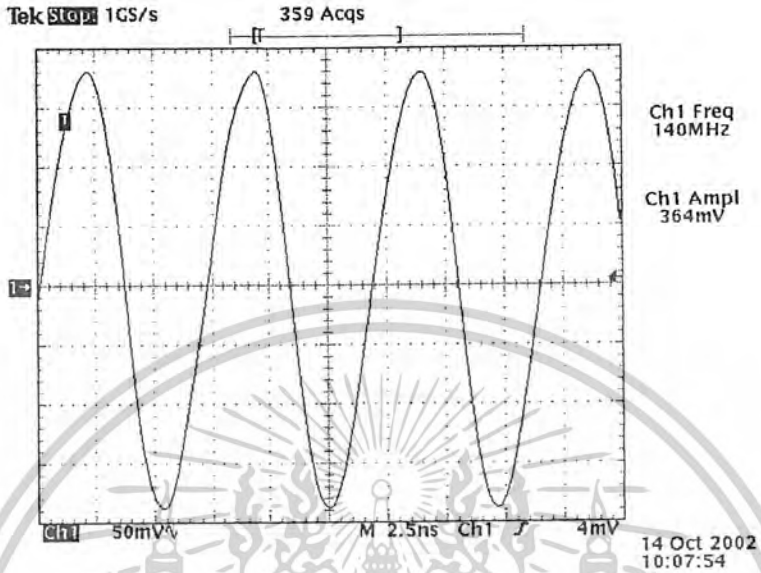


รูปที่ 4.2 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 130 MHz

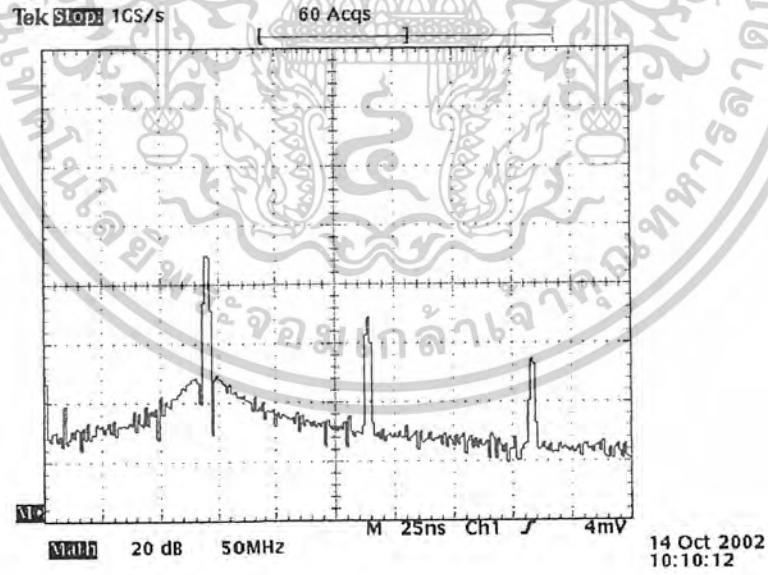


รูปที่ 4.3 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 130 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

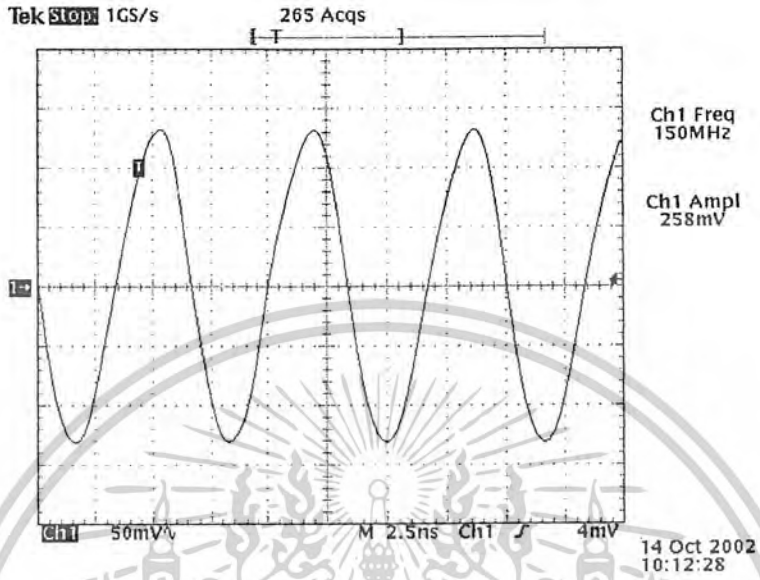


รูปที่ 4.4 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 140 MHz

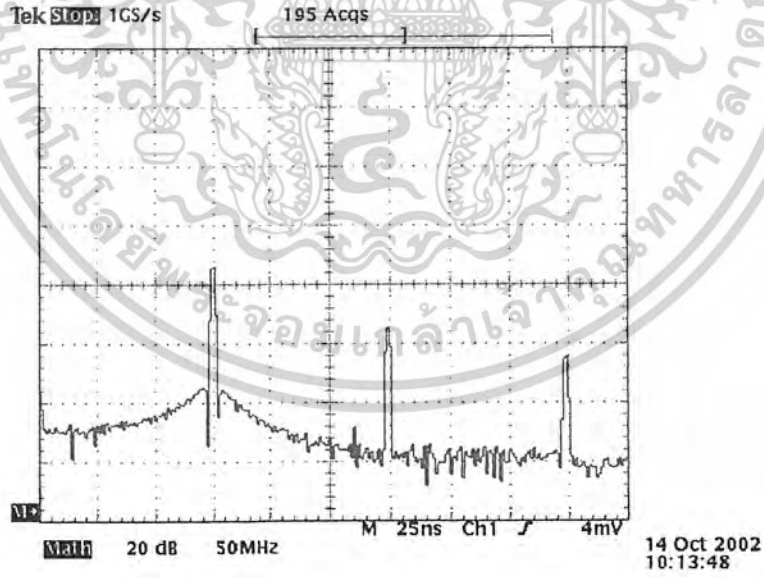


รูปที่ 4.5 สเปกตรัมความถี่สัญญาณของที่ Output ณ ความถี่ 140 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

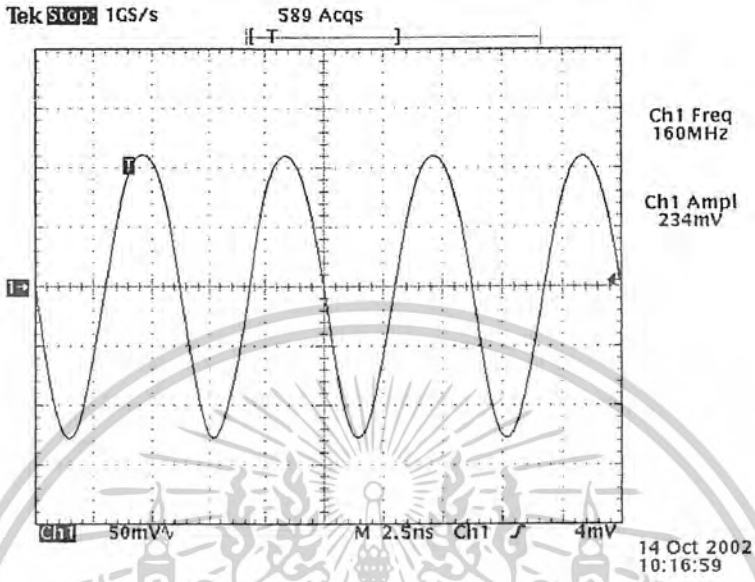


รูปที่ 4.6 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 150 MHz

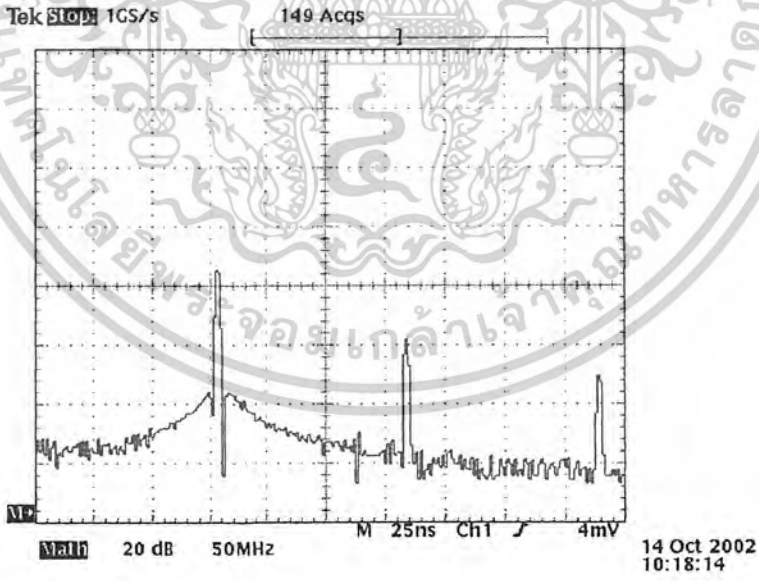


รูปที่ 4.7 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 150 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

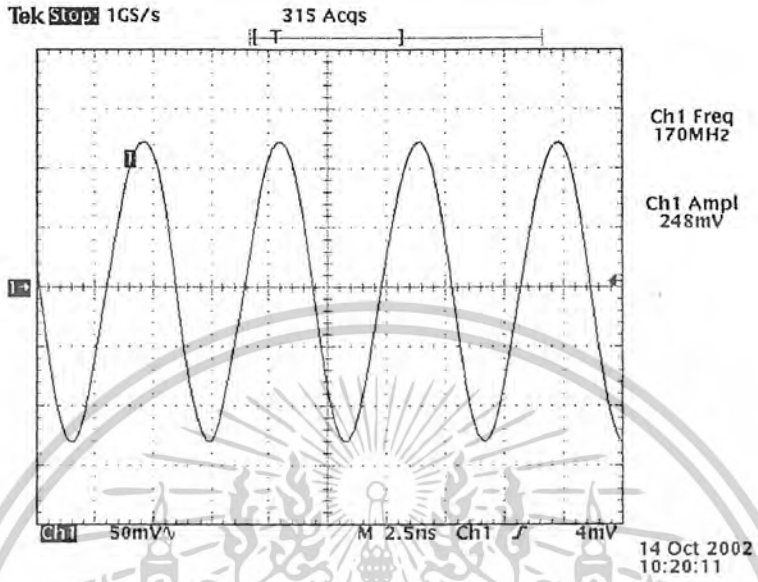


รูปที่ 4.8 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 160 MHz

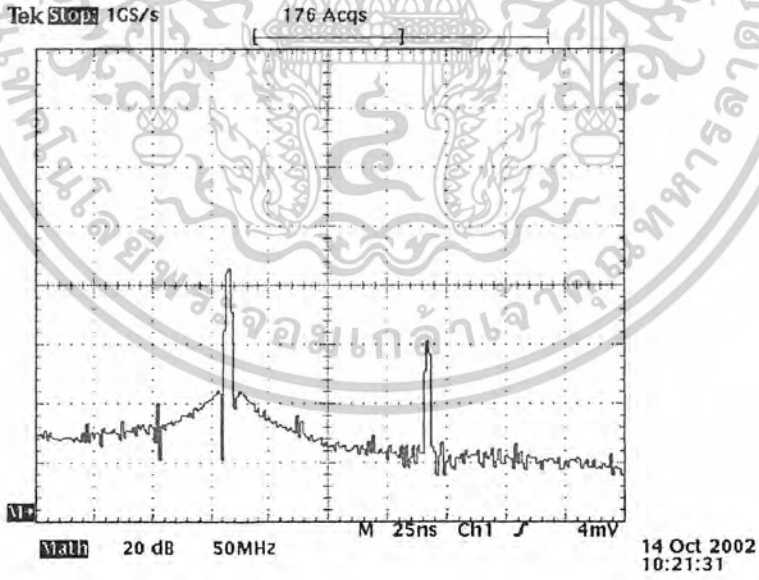


รูปที่ 4.9 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 160 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

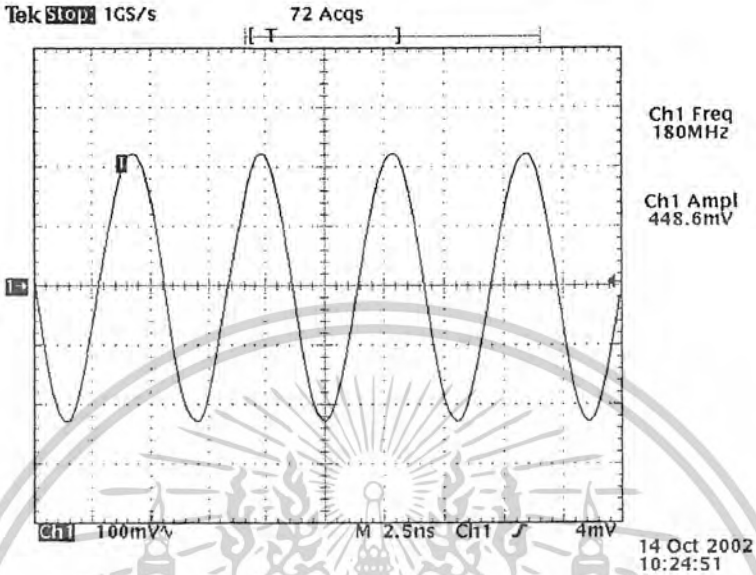


รูปที่ 4.10 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 170 MHz

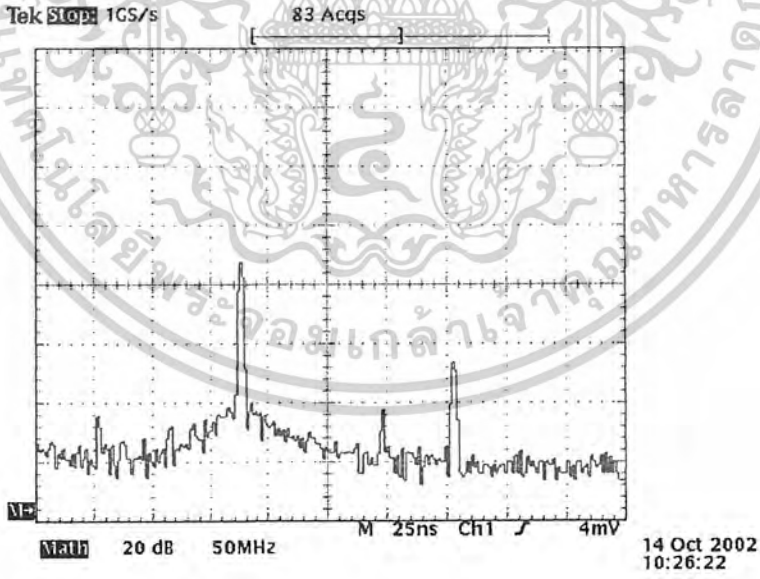


รูปที่ 4.11 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 170 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

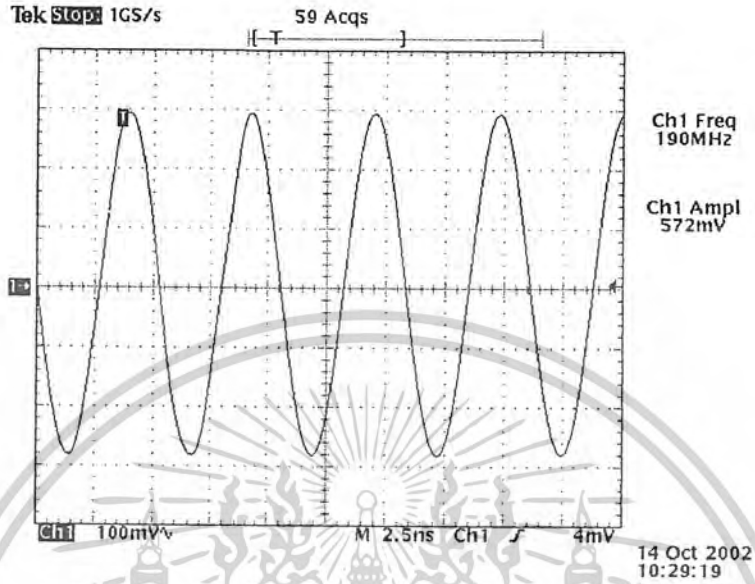


รูปที่ 4.12 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 180 MHz

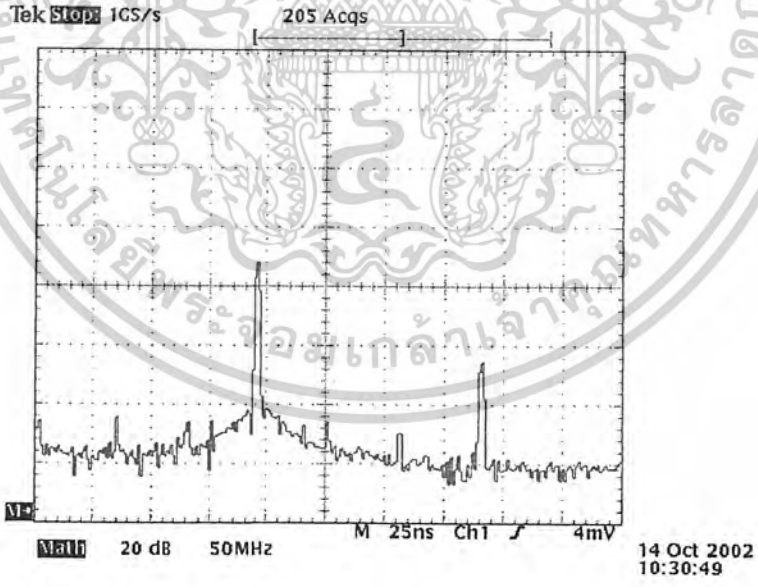


รูปที่ 4.13 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 180 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

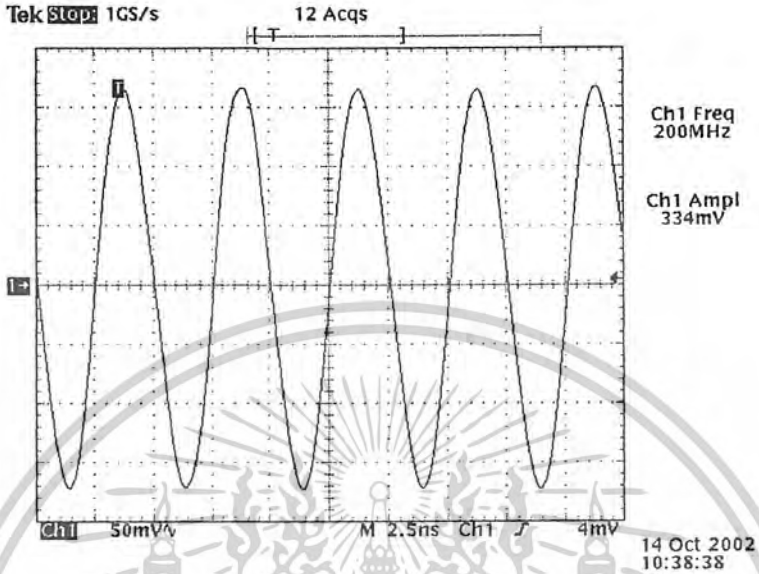


รูปที่ 4.14 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 190 MHz

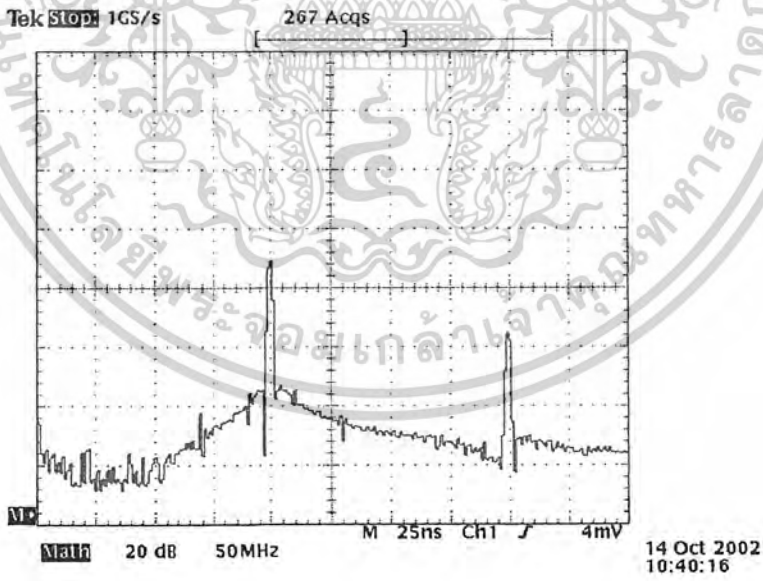


รูปที่ 4.15 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 190 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 200 MHz



รูปที่ 4.17 สเปกตรัมความถี่ของสัญญาณที่ Output ณ ความถี่ 200 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
130.304	2.036	509	0111111101
130.56	2.04	510	0111111110
130.816	2.044	511	0111111111
131.072	2.048	512	1000000000
131.328	2.052	513	1000000001
131.584	2.056	514	1000000010
131.84	2.06	515	1000000011
132.096	2.064	516	1000000100
132.352	2.068	517	1000000101
132.608	2.072	518	1000000110
132.864	2.076	519	1000000111
133.12	2.08	520	1000001000
133.376	2.084	521	1000001001
133.632	2.088	522	1000001010
133.888	2.092	523	1000001011
134.144	2.096	524	1000001100
134.4	2.1	525	1000001101
134.656	2.104	526	1000001110
134.912	2.108	527	1000001111
135.168	2.112	528	1000010000
135.424	2.116	529	1000010001
135.68	2.12	530	1000010010
135.936	2.124	531	1000010011
136.192	2.128	532	1000010100
136.448	2.132	533	1000010101
136.704	2.136	534	1000010110
136.96	2.14	535	1000010111
137.216	2.144	536	1000011000
137.472	2.148	537	1000011001
137.728	2.152	538	1000011010
137.984	2.156	539	1000011011
138.24	2.16	540	1000011100
138.496	2.164	541	1000011101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
138.752	2.168	542	1000011110
139.008	2.172	543	1000011111
139.264	2.176	544	1000100000
139.52	2.18	545	1000100001
139.776	2.184	546	1000100010
140.032	2.188	547	1000100011
140.288	2.192	548	1000100100
140.544	2.196	549	1000100101
140.8	2.2	550	1000100110
141.056	2.204	551	1000100111
141.312	2.208	552	1000101000
141.568	2.212	553	1000101001
141.824	2.216	554	1000101010
142.08	2.22	555	1000101011
142.336	2.224	556	1000101100
142.592	2.228	557	1000101101
142.848	2.232	558	1000101110
143.104	2.236	559	1000101111
143.36	2.24	560	1000110000
143.616	2.244	561	1000110001
143.872	2.248	562	1000110010
144.128	2.252	563	1000110011
144.384	2.256	564	1000110100
144.64	2.26	565	1000110101
144.896	2.264	566	1000110110
145.152	2.268	567	1000110111
145.408	2.272	568	1000111000
145.664	2.276	569	1000111001
145.92	2.28	570	1000111010
146.176	2.284	571	1000111011
146.432	2.288	572	1000111100
146.688	2.292	573	1000111101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
146.944	2.296	574	1000111110
147.2	2.3	575	1000111111
147.456	2.304	576	1001000000
147.712	2.308	577	1001000001
147.968	2.312	578	1001000010
148.224	2.316	579	1001000011
148.48	2.32	580	1001000100
148.736	2.324	581	1001000101
148.992	2.328	582	1001000110
149.248	2.332	583	1001000111
149.504	2.336	584	1001001000
149.76	2.34	585	1001001001
150.016	2.344	586	1001001010
150.272	2.348	587	1001001011
150.528	2.352	588	1001001100
150.784	2.356	589	1001001101
151.04	2.36	590	1001001110
151.296	2.364	591	1001001111
151.552	2.368	592	1001010000
151.808	2.372	593	1001010001
152.064	2.376	594	1001010010
152.32	2.38	595	1001010011
152.576	2.384	596	1001010100
152.832	2.388	597	1001010101
153.088	2.392	598	1001010110
153.344	2.396	599	1001010111
153.6	2.4	600	1001011000
153.856	2.404	601	1001011001
154.112	2.408	602	1001011010
154.368	2.412	603	1001011011
154.624	2.416	604	1001011100
154.88	2.42	605	1001011101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
155.136	2.424	606	1001011110
155.392	2.428	607	1001011111
155.648	2.432	608	1001100000
155.904	2.436	609	1001100001
156.16	2.44	610	1001100010
156.416	2.444	611	1001100011
156.672	2.448	612	1001100100
156.928	2.452	613	1001100101
157.184	2.456	614	1001100110
157.44	2.46	615	1001100111
157.696	2.464	616	1001101000
157.952	2.468	617	1001101001
158.208	2.472	618	1001101010
158.464	2.476	619	1001101011
158.72	2.48	620	1001101100
158.976	2.484	621	1001101101
159.232	2.488	622	1001101110
159.488	2.492	623	1001101111
159.744	2.496	624	1001110000
160	2.5	625	1001110001
160.256	2.504	626	1001110010
160.512	2.508	627	1001110011
160.768	2.512	628	1001110100
161.024	2.516	629	1001110101
161.28	2.52	630	1001110110
161.536	2.524	631	1001110111
161.792	2.528	632	1001111000
162.048	2.532	633	1001111001
162.304	2.536	634	1001111010
162.56	2.54	635	1001111011
162.816	2.544	636	1001111100
163.072	2.548	637	1001111101
163.328	2.552	638	1001111110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
163.584	2.556	639	1001111111
163.84	2.56	640	1010000000
164.096	2.564	641	1010000001
164.352	2.568	642	1010000010
164.608	2.572	643	1010000011
164.864	2.576	644	1010000100
165.12	2.58	645	1010000101
165.376	2.584	646	1010000110
165.632	2.588	647	1010000111
165.888	2.592	648	1010001000
166.144	2.596	649	1010001001
166.4	2.6	650	1010001010
166.656	2.604	651	1010001011
166.912	2.608	652	1010001100
167.168	2.612	653	1010001101
167.424	2.616	654	1010001110
167.68	2.62	655	1010001111
167.936	2.624	656	1010010000
168.192	2.628	657	1010010001
168.448	2.632	658	1010010010
168.704	2.636	659	1010010011
168.96	2.64	660	1010010100
169.216	2.644	661	1010010101
169.472	2.648	662	1010010110
169.728	2.652	663	1010010111
169.984	2.656	664	1010011000
170.24	2.66	665	1010011001
170.496	2.664	666	1010011010
170.752	2.668	667	1010011011
171.008	2.672	668	1010011100
171.264	2.676	669	1010011101
171.52	2.68	670	1010011110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
171.776	2.684	671	1010011111
172.032	2.688	672	1010100000
172.288	2.692	673	1010100001
172.544	2.696	674	1010100010
172.8	2.7	675	1010100011
173.056	2.704	676	1010100100
173.312	2.708	677	1010100101
173.568	2.712	678	1010100110
173.824	2.716	679	1010100111
174.08	2.72	680	1010101000
174.336	2.724	681	1010101001
174.592	2.728	682	1010101010
174.848	2.732	683	1010101011
175.104	2.736	684	1010101100
175.36	2.74	685	1010101101
175.616	2.744	686	1010101110
175.872	2.748	687	1010101111
176.128	2.752	688	1010110000
176.384	2.756	689	1010110001
176.64	2.76	690	1010110010
176.896	2.764	691	1010110011
177.152	2.768	692	1010110100
177.408	2.772	693	1010110101
177.664	2.776	694	1010110110
177.92	2.78	695	1010110111
178.176	2.784	696	1010111000
178.432	2.788	697	1010111001
178.688	2.792	698	1010111010
178.944	2.796	699	1010111011
179.2	2.8	700	1010111100
179.456	2.804	701	1010111101
179.712	2.808	702	1010111110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

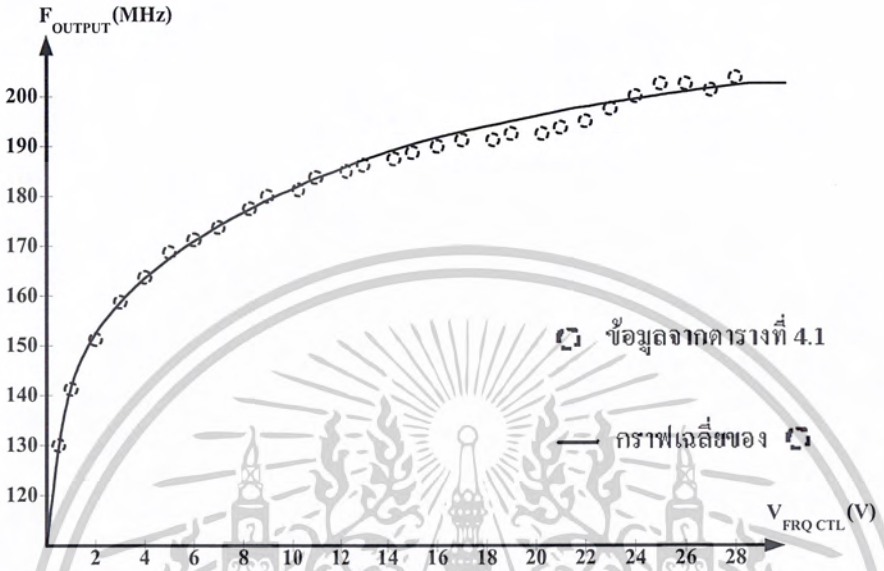
f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
179.968	2.812	703	1010111111
180.224	2.816	704	1011000000
180.48	2.82	705	1011000001
180.736	2.824	706	1011000010
180.992	2.828	707	1011000011
181.248	2.832	708	1011000100
181.504	2.836	709	1011000101
181.76	2.84	710	1011000110
182.016	2.844	711	1011000111
182.272	2.848	712	1011001000
182.528	2.852	713	1011001001
182.784	2.856	714	1011001010
183.04	2.86	715	1011001011
183.296	2.864	716	1011001100
183.552	2.868	717	1011001101
183.808	2.872	718	1011001110
184.064	2.876	719	1011001111
184.32	2.88	720	1011010000
184.576	2.884	721	1011010001
184.832	2.888	722	1011010010
185.088	2.892	723	1011010011
185.344	2.896	724	1011010100
185.6	2.9	725	1011010101
185.856	2.904	726	1011010110
186.112	2.908	727	1011010111
186.368	2.912	728	1011011000
186.624	2.916	729	1011011001
186.88	2.92	730	1011011010
187.136	2.924	731	1011011011
187.392	2.928	732	1011011100
187.648	2.932	733	1011011101
187.904	2.936	734	1011011110
188.16	2.94	735	1011011111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

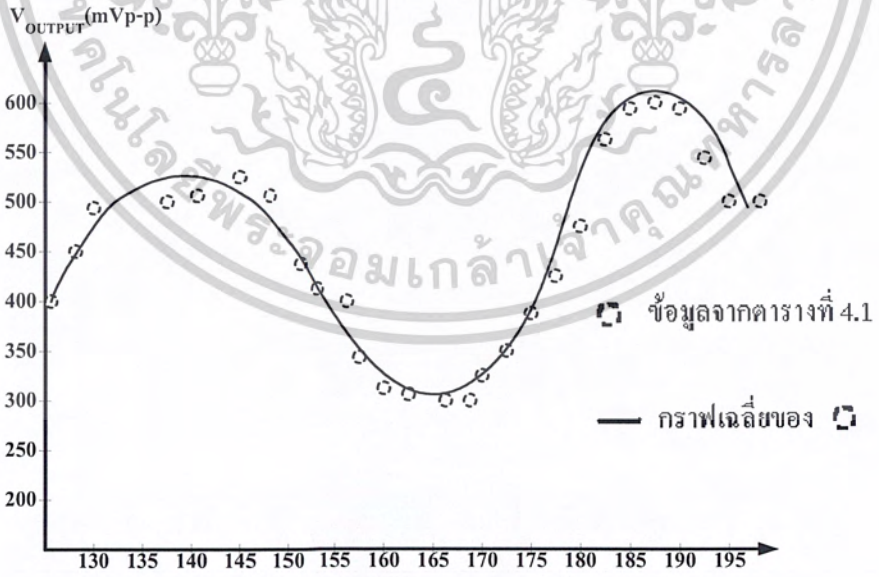
ตารางที่ 4.2(ต่อ) ผลการหารความถี่ของภาค PLL I

f_{VCO}	/ P1	/ N	SET BIT
(MHz)	(MHz)	(f_V = 4KHz)	Binary CODE
188.416	2.944	736	1011100000
188.672	2.948	737	1011100001
188.928	2.952	738	1011100010
189.184	2.956	739	1011100011
189.44	2.96	740	1011100100
189.696	2.964	741	1011100101
189.952	2.968	742	1011100110
190.208	2.972	743	1011100111
190.464	2.976	744	1011101000
190.72	2.98	745	1011101001
190.976	2.984	746	1011101010
191.232	2.988	747	1011101011
191.488	2.992	748	1011101100
191.744	2.996	749	1011101101
192	3	750	1011101110
192.256	3.004	751	1011101111
192.512	3.008	752	1011110000
192.768	3.012	753	1011110001
193.024	3.016	754	1011110010
193.28	3.02	755	1011110011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

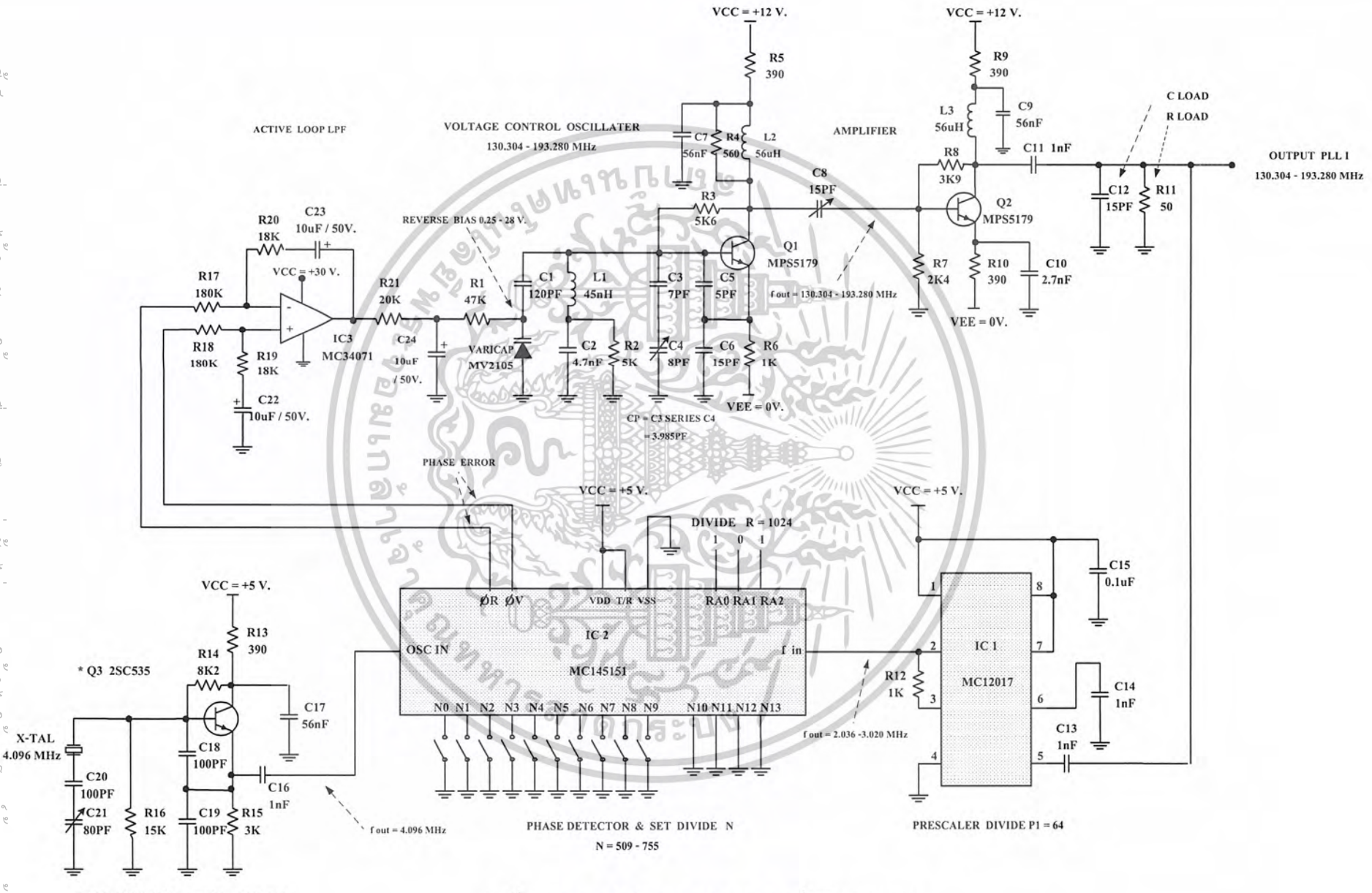


รูปที่ 4.18 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT} จากตารางที่ 4.1



รูปที่ 4.19 กราฟความสัมพันธ์ระหว่าง V_{OUTPUT} กับ F_{OUTPUT} จากตารางที่ 4.1

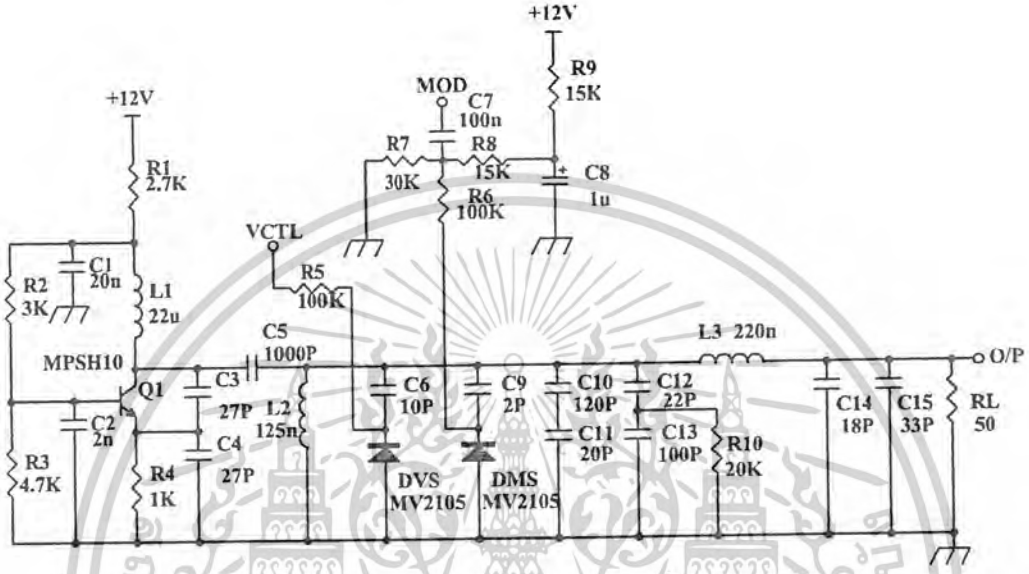
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 วงจรเฟสล็อคลูปของภาค PLL I ที่ใช้ในการทดลอง

4.3 การทดลอง Phase Locked Loop II

ทำการต่อวงจรภาค *Voltage Control Oscillator* ดังรูปที่ *4.21* ซึ่งสามารถให้กำเนิดความถี่ในช่วง *85.120 MHz – 85.375 MHz*



รูปที่ 4.21 วงจร Voltage Control Oscillator ที่ผลิตช่วงความถี่ *85.120 MHz – 85.375 MHz*

การทดลองที่ 4.2.1 ทำการทดลองโดยป้อนแรงดันไฟตรงในช่วง *2 V. – 10 V.* ทำการวัดขนาดแรงดันและค่าความถี่ที่เอาต์พุต ผลการทดลองที่ได้ดังตารางที่ *4.3*

การทดลองที่ 4.2.2 ทำการทดลองโดยต่อวงจร *VCO II* มามิกส์สัญญาณกับวงจร *X-TAL Over tone 75 MHz* จากนั้นป้อนแรงดันไฟตรงในช่วง *2 V. – 10 V.* ให้กับ *VCO II* ทำการวัดขนาดแรงดันและค่าความถี่ที่เอาต์พุตของมิกเซอร์(ที่จุดเอาต์พุตหลังฟิลเตอร์) ผลการทดลองที่ได้ดังตารางที่ *4.4*

การทดลองที่ 4.2.3 นำทุกภาคของเฟสล็อคลูปมาต่อเข้าด้วยกัน ดังรูปที่ *4.51* ทำให้วงจรทั้งหมดที่ประกอบขึ้นสามารถสังเคราะห์ความถี่ได้ด้วยการเซตค่าหาร *N* ที่ดิฟสวิตช์ ดังแสดงค่าต่างๆ ตามตารางที่ *4.5* โดยทำการเปรียบเทียบกับการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 แสดงผลการทดลองของภาค VCO II : 85.120 MHz – 85.375 MHz

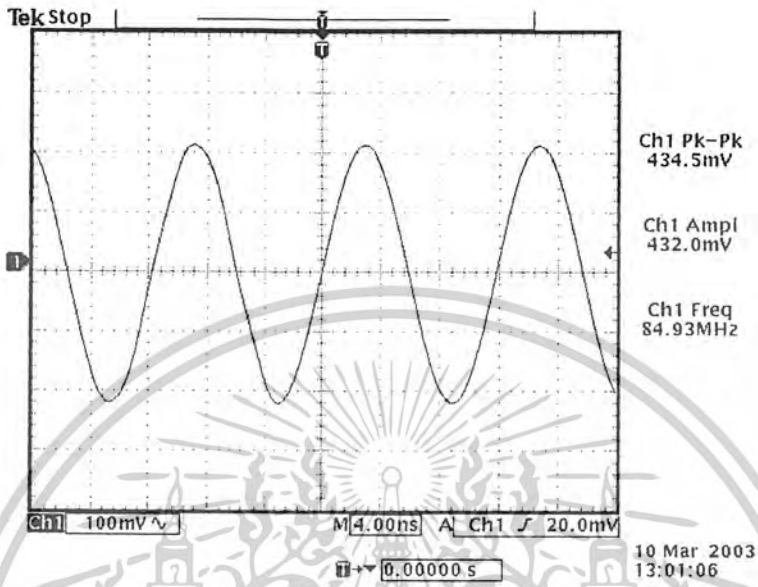
$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)
2	84.93	434.5
3	85.06	435.0
4	85.12	437.5
5	85.20	439.6
6	85.28	440.5
7	85.33	442.5
8	85.38	443.8
9	85.45	435.7
10	85.51	437.1

ตารางที่ 4.4 แสดงผลการทดลองของภาค MIXER DOWN : 10.120 MHz – 10.375 MHz

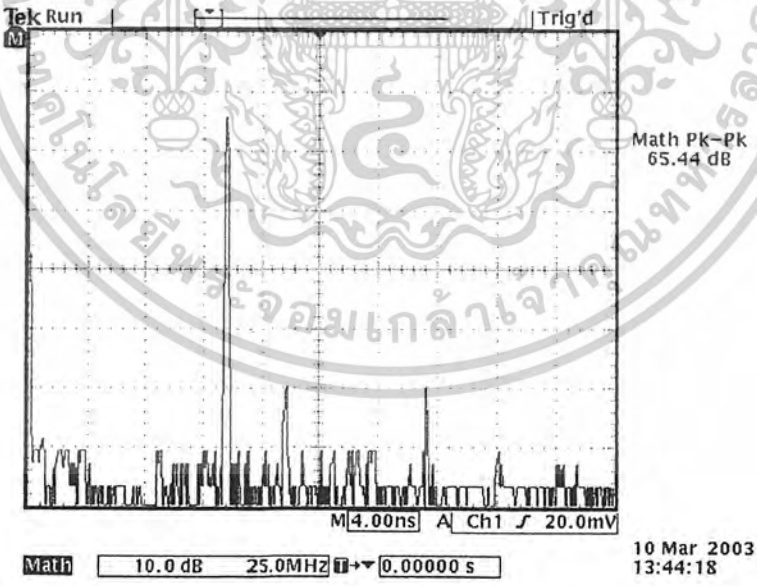
$V_{FRQ\ CTL\ V.}$ (V)	F_{OUTPUT} (MHz)	V_{OUT} (mVp-p)
2	10.06	676
3	10.13	632
4	10.16	625
5	10.22	616
6	10.26	613
7	10.31	601
8	10.39	594
9	10.44	580
10	10.51	588

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 แสดงการวัดสัญญาณที่ Output ของวงจร

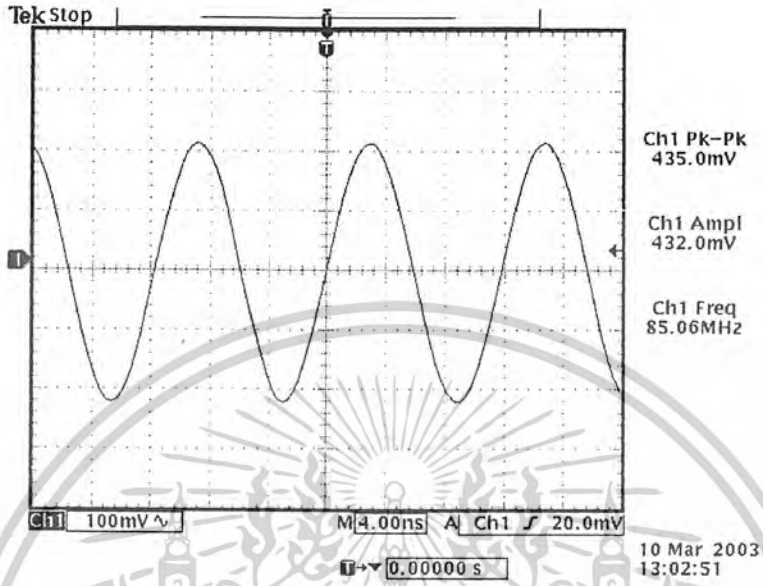


รูปที่ 4.22 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 84.93 MHz

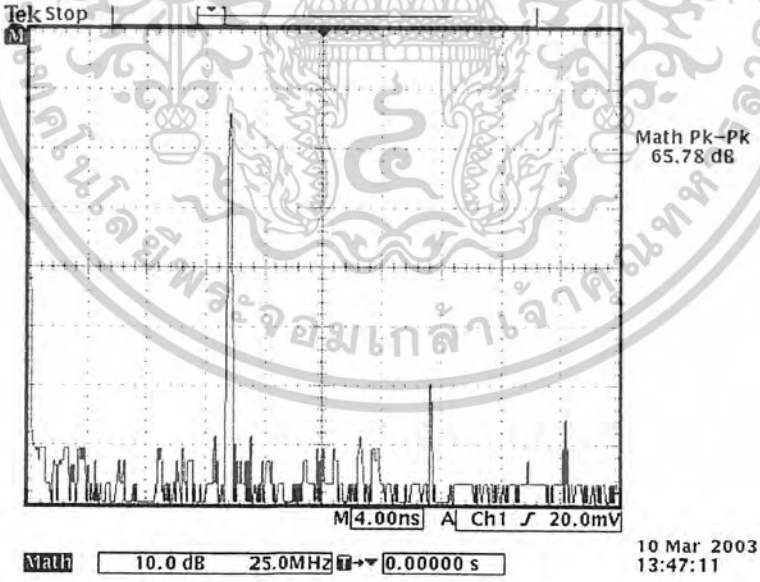


รูปที่ 4.23 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 84.93 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

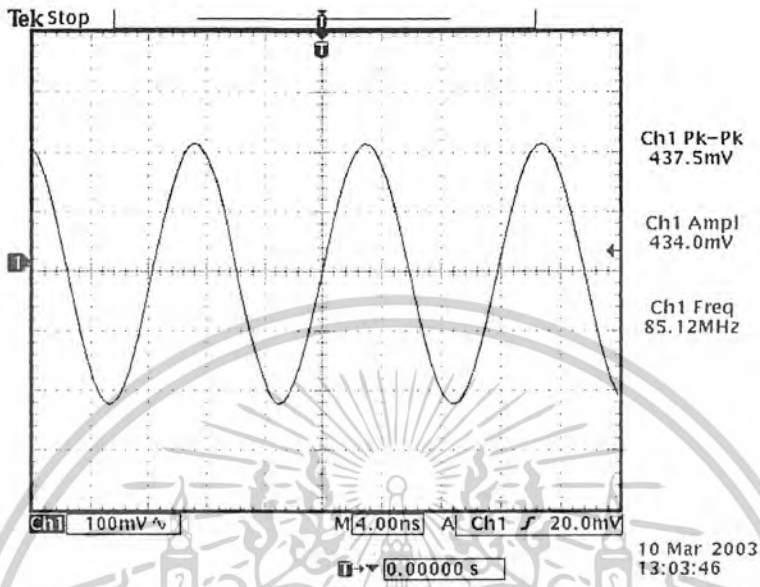


รูปที่ 4.24 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.06 MHz

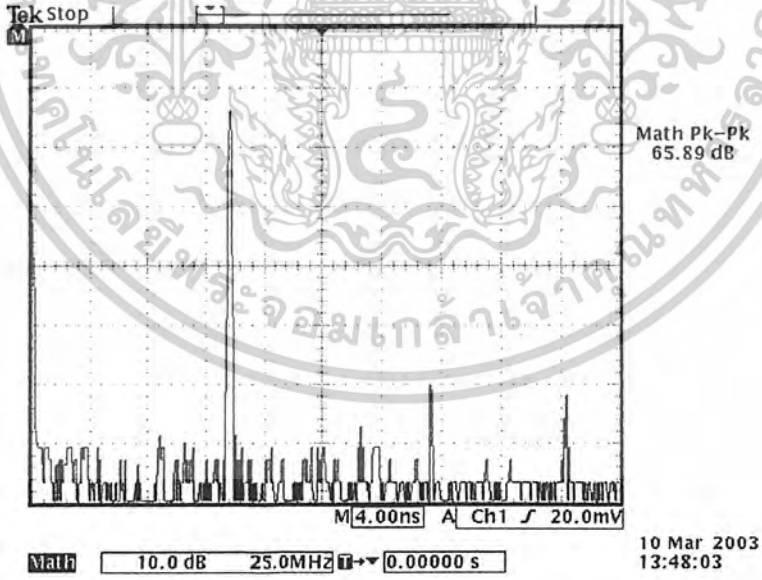


รูปที่ 4.25 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.06 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

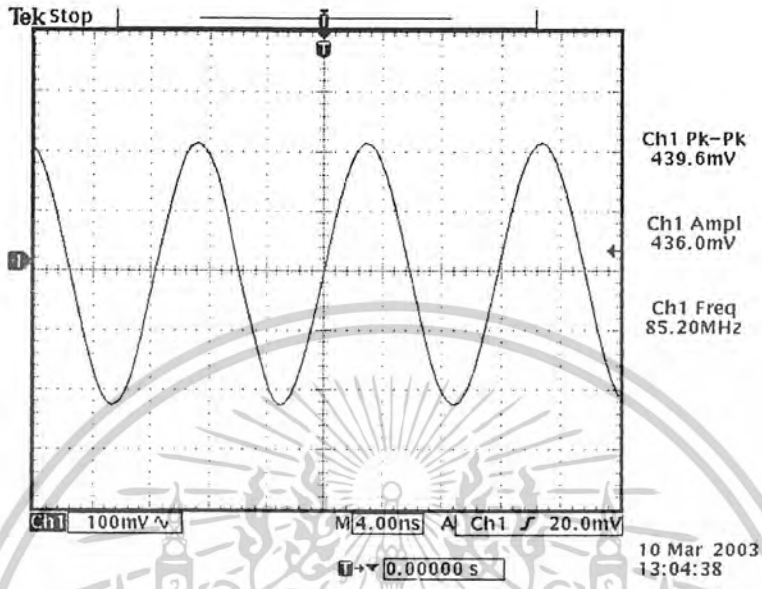


รูปที่ 4.26 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.12 MHz

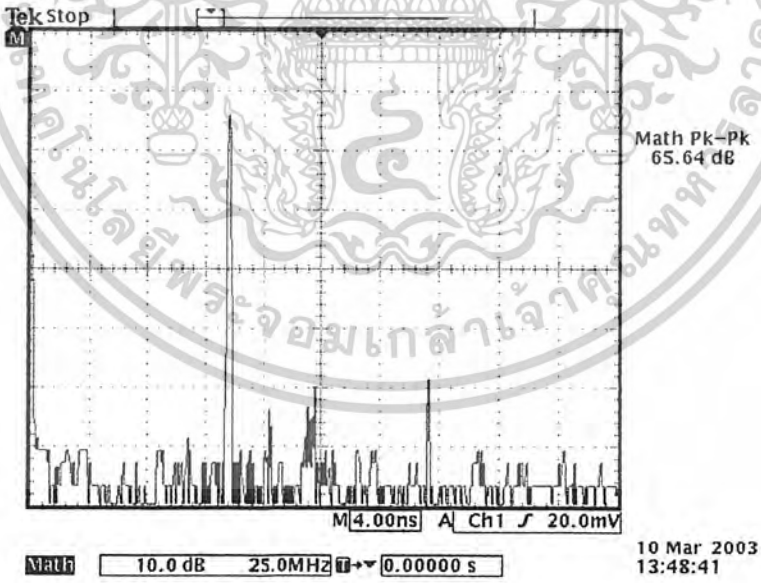


รูปที่ 4.27 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.12 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

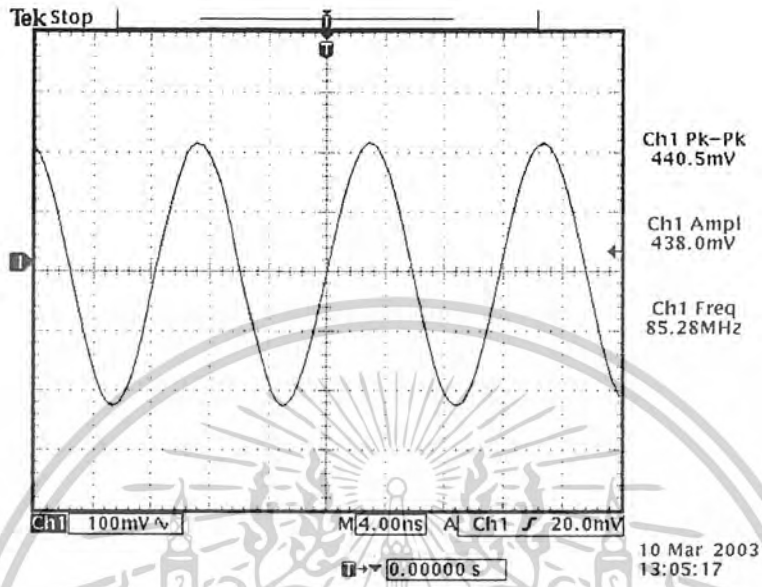


รูปที่ 4.28 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.20 MHz

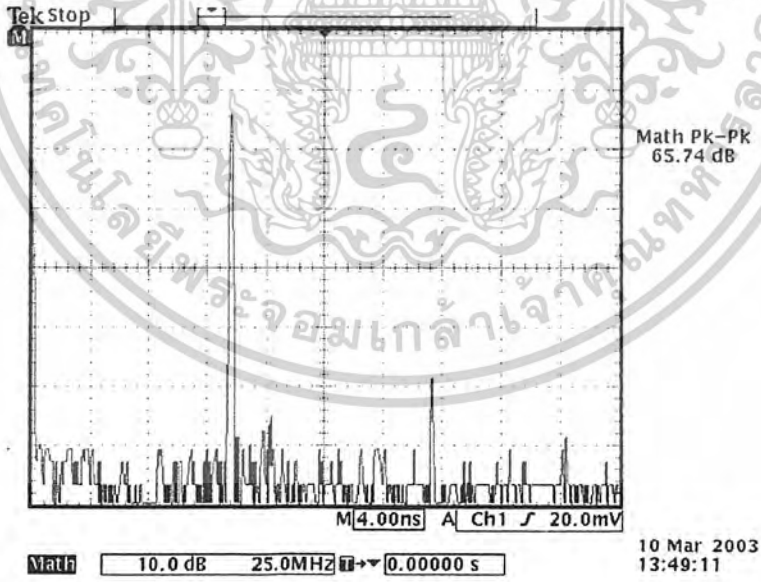


รูปที่ 4.29 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.20 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

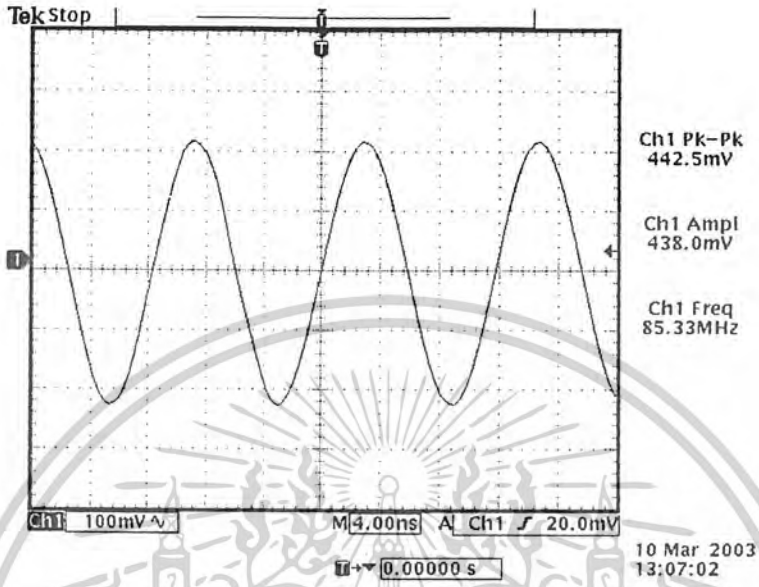


รูปที่ 4.30 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.28 MHz

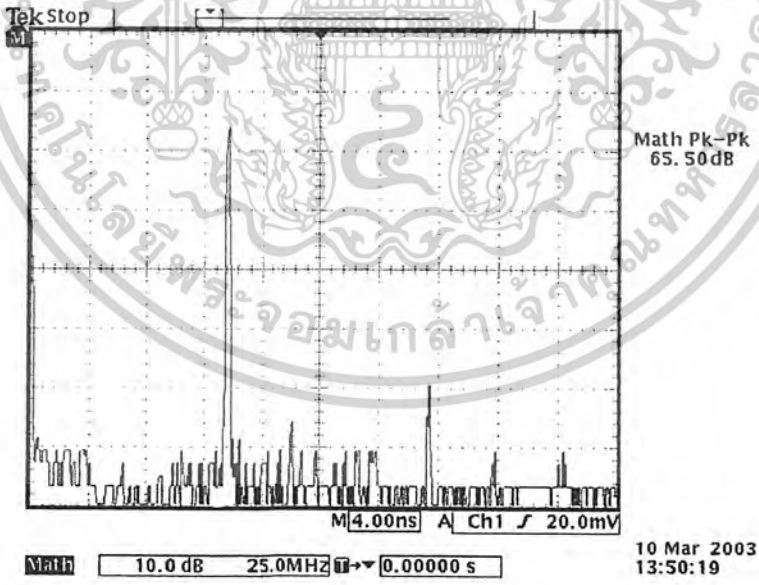


รูปที่ 4.31 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.28 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

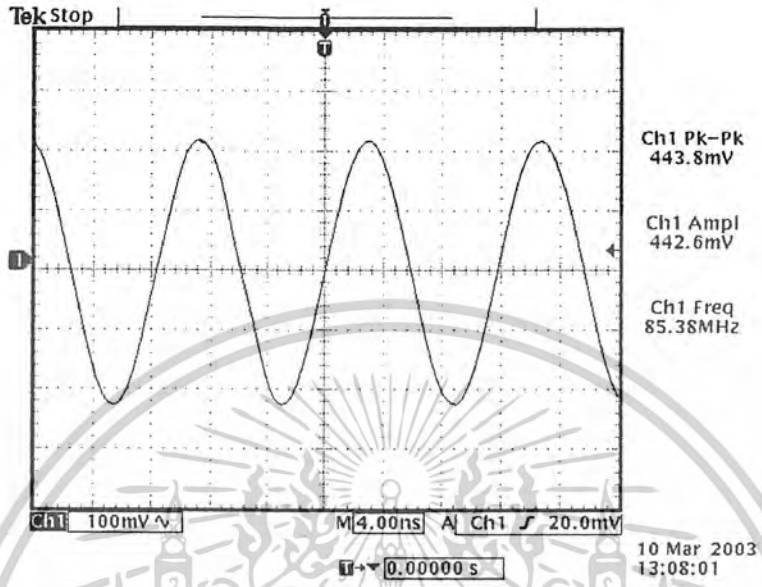


รูปที่ 4.32 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.33 MHz

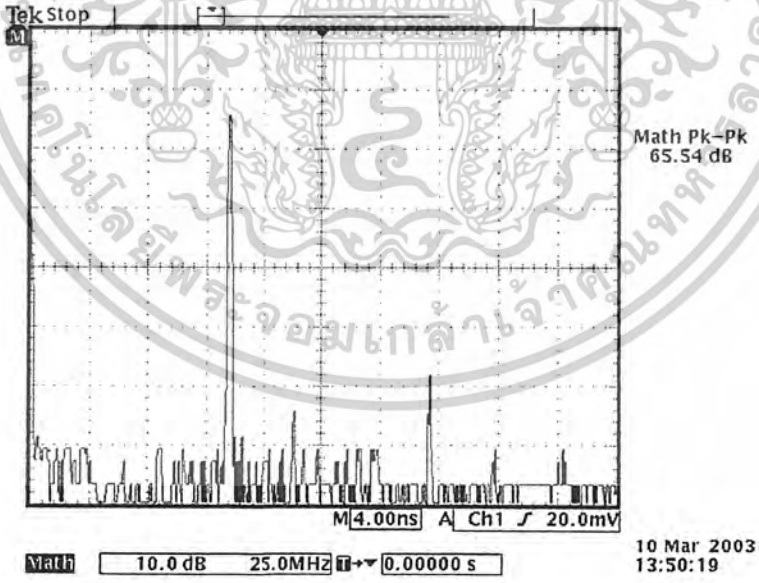


รูปที่ 4.33 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.33 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

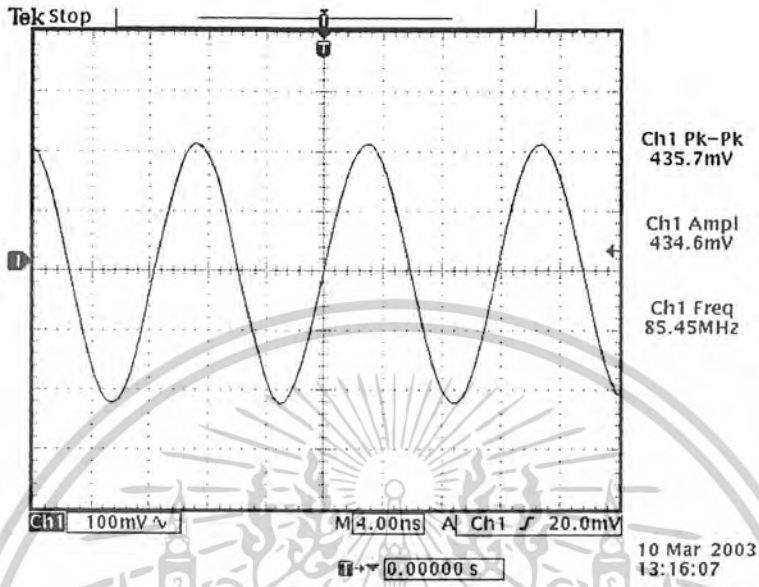


รูปที่ 4.34 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.38 MHz

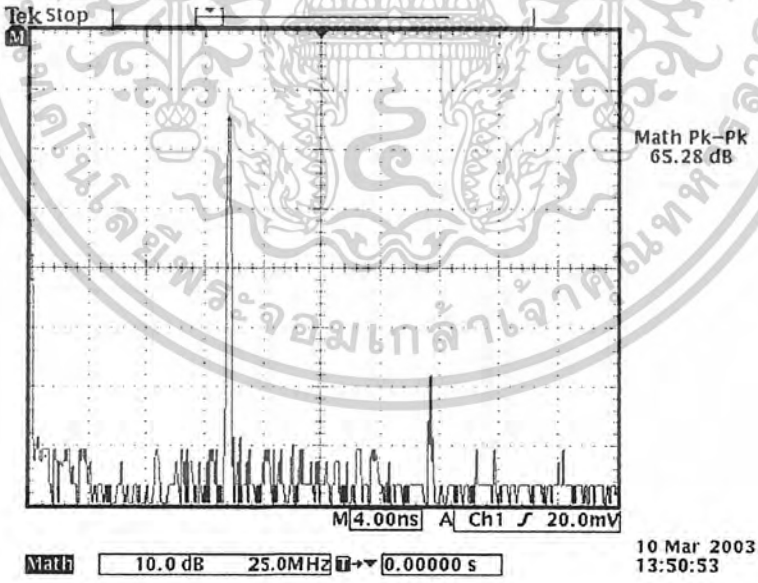


รูปที่ 4.35 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.38 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

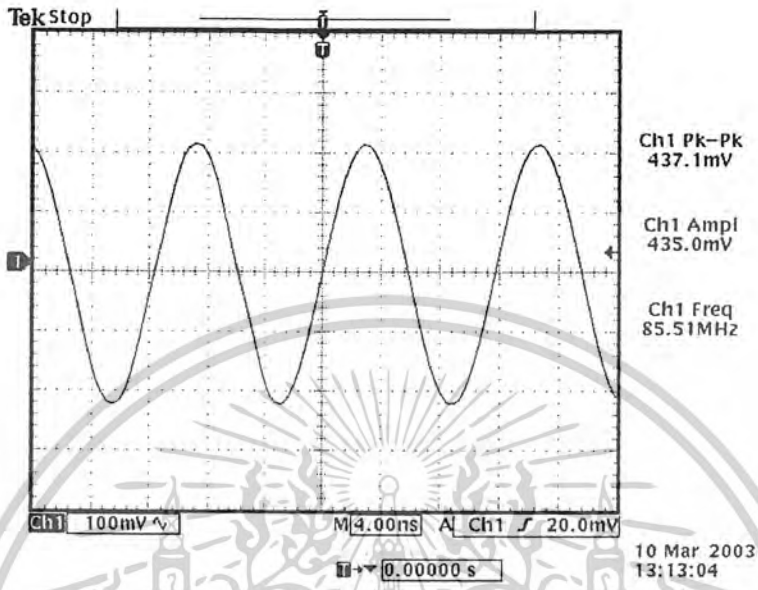


รูปที่ 4.36 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.45 MHz

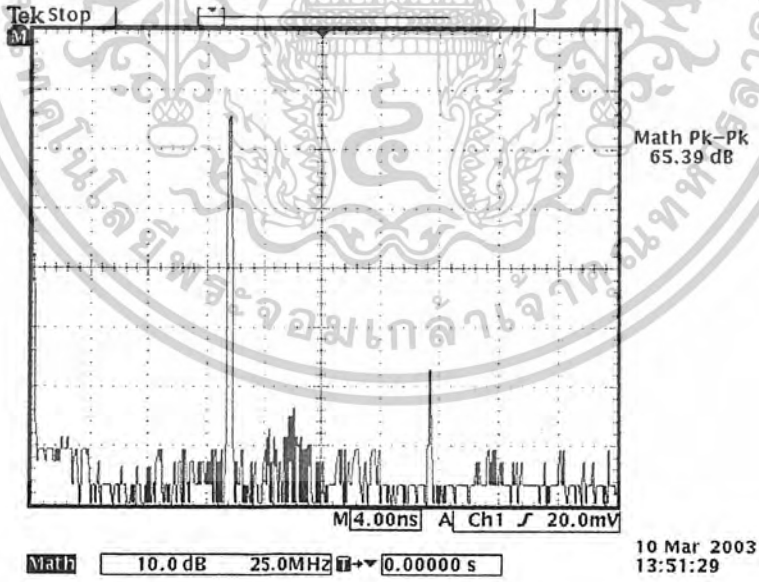


รูปที่ 4.37 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.45 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



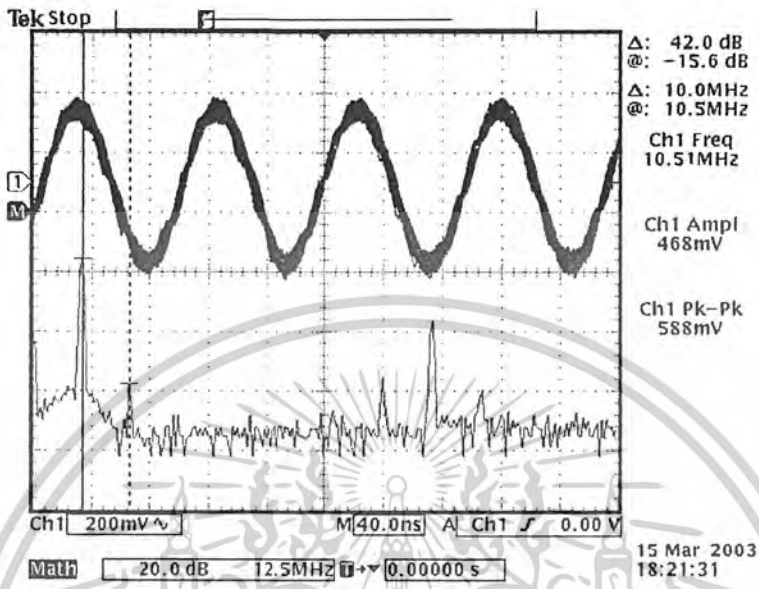
รูปที่ 4.38 สัญญาณรูปคลื่นซายน์ที่ Output ณ ความถี่ 85.51 MHz



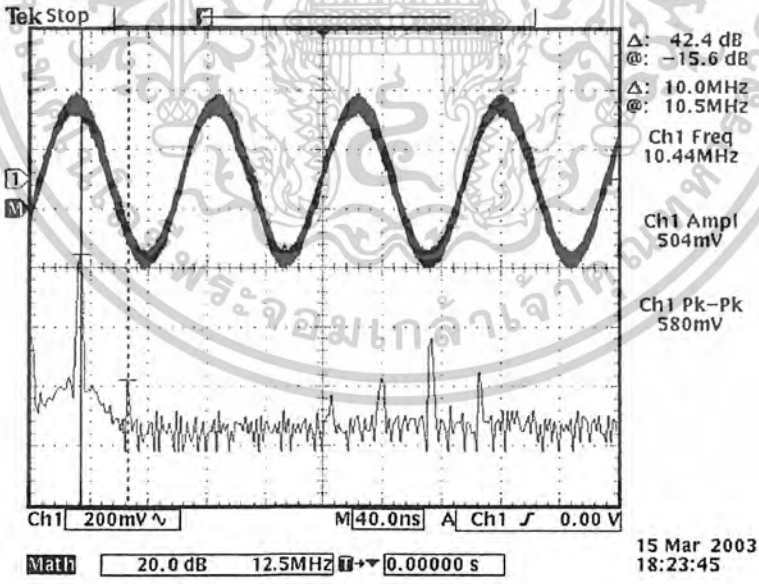
รูปที่ 4.39 สเปกตรัมความถี่ของที่ Output ณ ความถี่ 85.51 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 แสดงการวัดสัญญาณที่ Output ของวงจร MIXER DOWN

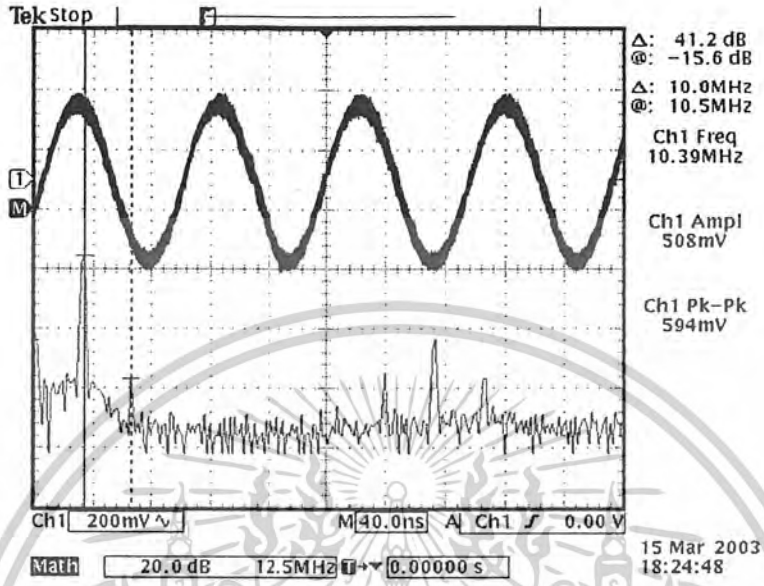


รูปที่ 4.40 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.51 MHz

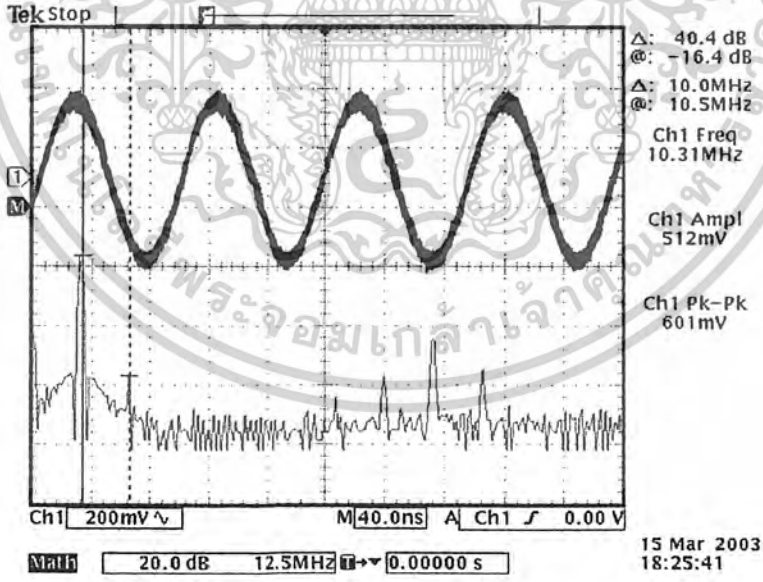


รูปที่ 4.41 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.44 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

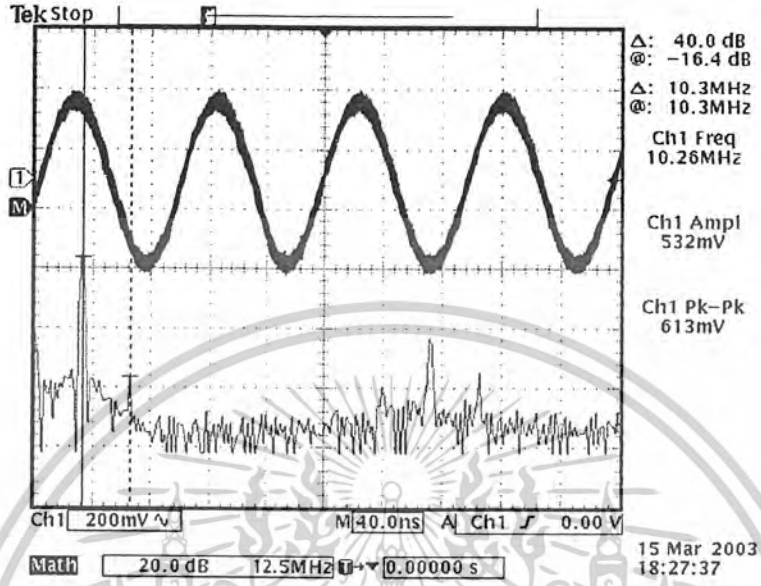


รูปที่ 4.42 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.39 MHz

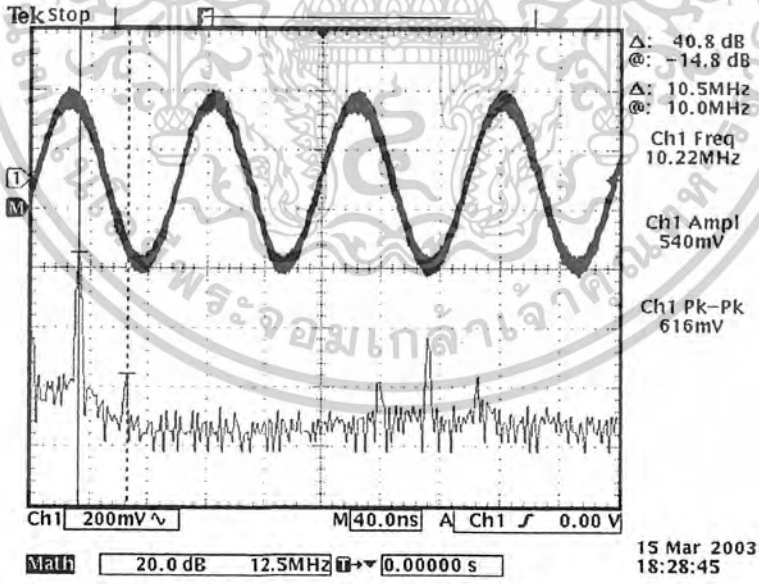


รูปที่ 4.43 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.31 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

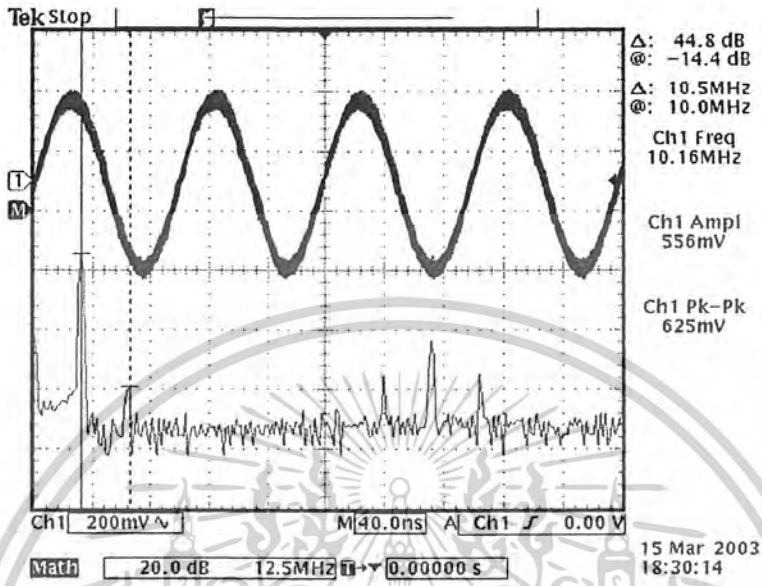


รูปที่ 4.44 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.26 MHz

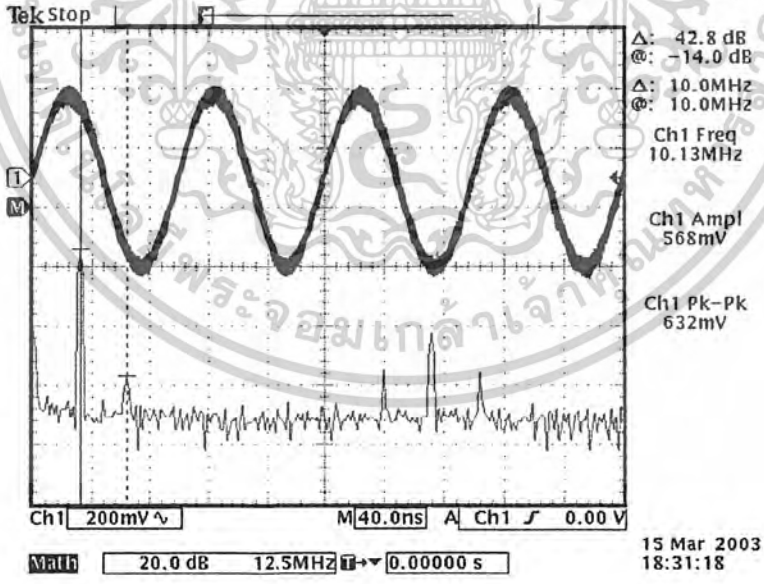


รูปที่ 4.45 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.22 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

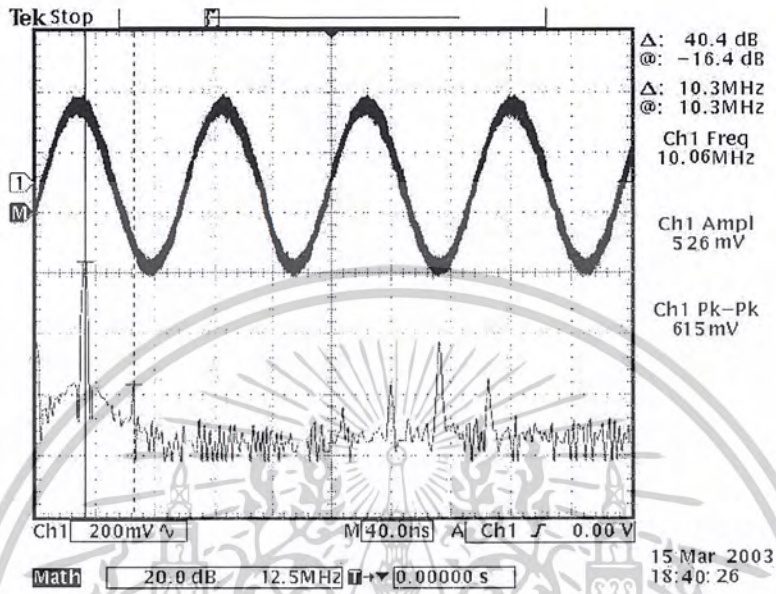


รูปที่ 4.46 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.16 MHz



รูปที่ 4.47 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.13 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.48 สัญญาณรูปคลื่นซายน์และสเปกตรัมความถี่ของที่ Output ณ ความถี่ 10.06 MHz

ตารางที่ 4.5 ผลการหารความถี่ของภาค PLL II (f_{R1} = 1 kHz, f_{R2} = 75 MHz)

fvco (MHz)	N	SETBIT BinaryCODE	fvco (MHz)	N	SETBIT BinaryCODE
85.120	10120	10011110001000	85.129	10129	10011110010001
85.121	10121	10011110001001	85.130	10130	10011110010010
85.122	10122	10011110001010	85.131	10131	10011110010011
85.123	10123	10011110001011	85.132	10132	10011110010100
85.124	10124	10011110001100	85.133	10133	10011110010101
85.125	10125	10011110001101	85.134	10134	10011110010110
85.126	10126	10011110001110	85.135	10135	10011110010111
85.127	10127	10011110001111	85.136	10136	10011110011000
85.128	10128	10011110010000	85.137	10137	10011110011001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fvco (MHz)	N	SETBIT BinaryCODE	fvco (MHz)	N	SETBIT BinaryCODE
85.138	10138	10011110011010	85.169	10169	10011110111001
85.139	10139	10011110011011	85.170	10170	10011110111010
85.140	10140	10011110011100	85.171	10171	10011110111011
85.141	10141	10011110011101	85.172	10172	10011110111100
85.142	10142	10011110011110	85.173	10173	10011110111101
85.143	10143	10011110011111	85.174	10174	10011110111110
85.144	10144	10011110100000	85.175	10175	10011110111111
85.145	10145	10011110100001	85.176	10176	10011111000000
85.146	10146	10011110100010	85.177	10177	10011111000001
85.147	10147	10011110100011	85.178	10178	10011111000010
85.148	10148	10011110100100	85.179	10179	10011111000011
85.149	10149	10011110100101	85.180	10180	10011111000100
85.150	10150	10011110100110	85.181	10181	10011111000101
85.151	10151	10011110100111	85.182	10182	10011111000110
85.152	10152	10011110101000	85.183	10183	10011111000111
85.153	10153	10011110101001	85.184	10184	10011111001000
85.154	10154	10011110101010	85.185	10185	10011111001001
85.155	10155	10011110101011	85.186	10186	10011111001010
85.156	10156	10011110101100	85.187	10187	10011111001011
85.157	10157	10011110101101	85.188	10188	10011111001100
85.158	10158	10011110101110	85.189	10189	10011111001101
85.159	10159	10011110101111	85.190	10190	10011111001110
85.160	10160	10011110110000	85.191	10191	10011111001111
85.161	10161	10011110110001	85.192	10192	10011111010000
85.162	10162	10011110110010	85.193	10193	10011111010001
85.163	10163	10011110110011	85.194	10194	10011111010010
85.164	10164	10011110110100	85.195	10195	10011111010011
85.165	10165	10011110110101	85.196	10196	10011111010100
85.166	10166	10011110110110	85.197	10197	10011111010101
85.167	10167	10011110110111	85.198	10198	10011111010110
85.168	10168	10011110111000	85.199	10199	10011111010111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fvco	N	SETBIT	fvco	N	SETBIT
(MHz)		BinaryCODE	(MHz)		BinaryCODE
85.200	10200	10011111011000	85.231	10231	10011111110111
85.201	10201	10011111011001	85.232	10232	10011111111000
85.202	10202	10011111011010	85.233	10233	10011111111001
85.203	10203	10011111011011	85.234	10234	10011111111010
85.204	10204	10011111011100	85.235	10235	1001111111011
85.205	10205	10011111011101	85.236	10236	10011111111100
85.206	10206	10011111011110	85.237	10237	10011111111101
85.207	10207	10011111011111	85.238	10238	10011111111110
85.208	10208	10011111100000	85.239	10239	10011111111111
85.209	10209	10011111100001	85.24	10240	10100000000000
85.210	10210	10011111100010	85.241	10241	10100000000001
85.211	10211	10011111100011	85.242	10242	10100000000010
85.212	10212	10011111100100	85.243	10243	10100000000011
85.213	10213	10011111100101	85.244	10244	10100000000100
85.214	10214	10011111100110	85.245	10245	10100000000101
85.215	10215	10011111100111	85.246	10246	10100000000110
85.216	10216	10011111101000	85.247	10247	10100000000111
85.217	10217	10011111101001	85.248	10248	10100000001000
85.218	10218	10011111101010	85.249	10249	10100000001001
85.219	10219	10011111101011	85.25	10250	10100000001010
85.220	10220	10011111101100	85.251	10251	10100000001011
85.221	10221	10011111101101	85.252	10252	10100000001100
85.222	10222	10011111101110	85.253	10253	10100000001101
85.223	10223	10011111101111	85.254	10254	10100000001110
85.224	10224	10011111110000	85.255	10255	10100000001111
85.225	10225	10011111110001	85.256	10256	10100000010000
85.226	10226	10011111110010	85.257	10257	10100000010001
85.227	10227	10011111110011	85.258	10258	10100000010010
85.228	10228	10011111110100	85.259	10259	10100000010011
85.229	10229	10011111110101	85.26	10260	10100000010100
85.230	10230	10011111110110	85.261	10261	10100000010101

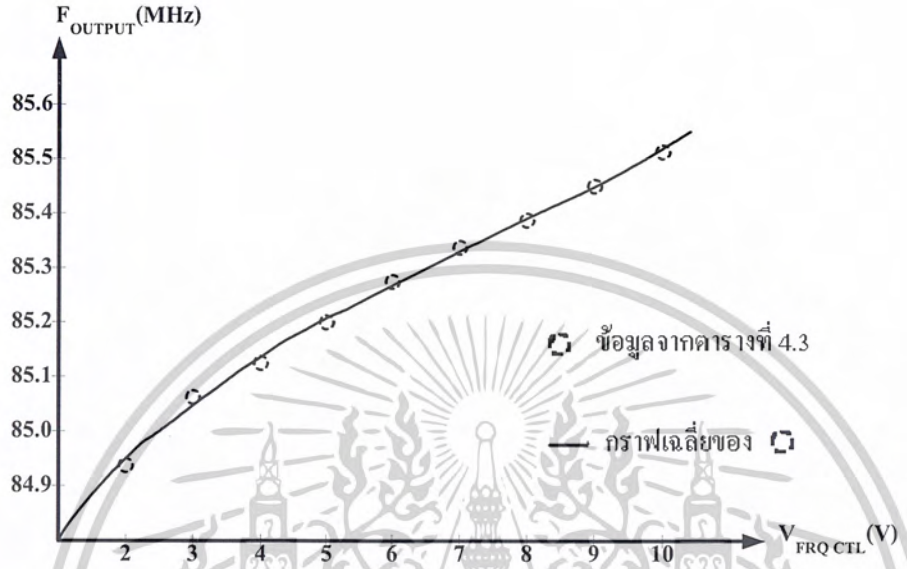
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fvco (MHz)	N	SETBIT BinaryCODE	fvco (MHz)	N	SETBIT BinaryCODE
85.262	10262	10100000010110	85.293	10293	10100000110101
85.263	10263	10100000010111	85.294	10294	10100000110110
85.264	10264	10100000011000	85.295	10295	10100000110111
85.265	10265	10100000011001	85.296	10296	10100000111000
85.266	10266	10100000011010	85.297	10297	10100000111001
85.267	10267	10100000011011	85.298	10298	10100000111010
85.268	10268	10100000011100	85.299	10299	10100000111011
85.269	10269	10100000011101	85.3	10300	10100000111100
85.27	10270	10100000011110	85.301	10301	10100000111101
85.271	10271	10100000011111	85.302	10302	10100000111110
85.272	10272	10100000100000	85.303	10303	10100000111111
85.273	10273	10100000100001	85.304	10304	10100001000000
85.274	10274	10100000100010	85.305	10305	10100001000001
85.275	10275	10100000100011	85.306	10306	10100001000010
85.276	10276	10100000100100	85.307	10307	10100001000011
85.277	10277	10100000100101	85.308	10308	10100001000100
85.278	10278	10100000100110	85.309	10309	10100001000101
85.279	10279	10100000100111	85.31	10310	10100001000110
85.28	10280	10100000101000	85.311	10311	10100001000111
85.281	10281	10100000101001	85.312	10312	10100001001000
85.282	10282	10100000101010	85.313	10313	10100001001001
85.283	10283	10100000101011	85.314	10314	10100001001010
85.284	10284	10100000101100	85.315	10315	10100001001011
85.285	10285	10100000101101	85.316	10316	10100001001100
85.286	10286	10100000101110	85.317	10317	10100001001101
85.287	10287	10100000101111	85.318	10318	10100001001110
85.288	10288	10100000110000	85.319	10319	10100001001111
85.289	10289	10100000110001	85.32	10320	10100001010000
85.29	10290	10100000110010	85.321	10321	10100001010001
85.291	10291	10100000110011	85.322	10322	10100001010010
85.292	10292	10100000110100	85.323	10323	10100001010011

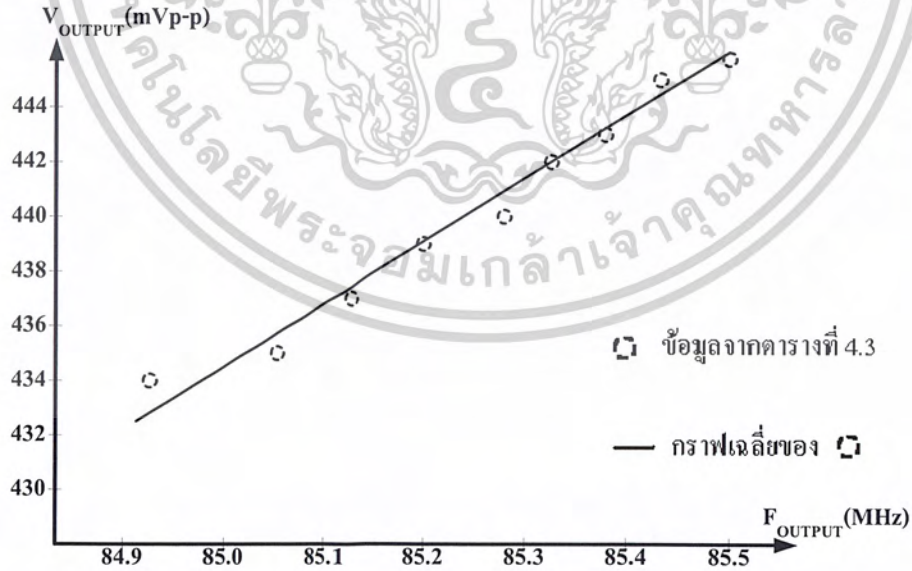
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fvco	N	SETBIT	fvco	N	SETBIT
(MHz)		BinaryCODE	(MHz)		BinaryCODE
85.324	10324	10100001010100	85.355	10355	10100001110011
85.325	10325	10100001010101	85.356	10356	10100001110100
85.326	10326	10100001010110	85.357	10357	10100001110101
85.327	10327	10100001010111	85.358	10358	10100001110110
85.328	10328	10100001011000	85.359	10359	10100001110111
85.329	10329	10100001011001	85.36	10360	10100001111000
85.33	10330	10100001011010	85.361	10361	10100001111001
85.331	10331	10100001011011	85.362	10362	10100001111010
85.332	10332	10100001011100	85.363	10363	10100001111011
85.333	10333	10100001011101	85.364	10364	10100001111100
85.334	10334	10100001011110	85.365	10365	10100001111101
85.335	10335	10100001011111	85.366	10366	10100001111110
85.336	10336	10100001100000	85.367	10367	10100001111111
85.337	10337	10100001100001	85.368	10368	10100010000000
85.338	10338	10100001100010	85.369	10369	10100010000001
85.339	10339	10100001100011	85.37	10370	10100010000010
85.34	10340	10100001100100	85.371	10371	10100010000011
85.341	10341	10100001100101	85.372	10372	10100010000100
85.342	10342	10100001100110	85.373	10373	10100010000101
85.343	10343	10100001100111	85.374	10374	10100010000110
85.344	10344	10100001101000	85.375	10375	10100010000111
85.345	10345	10100001101001			
85.346	10346	10100001101010			
85.347	10347	10100001101011			
85.348	10348	10100001101100			
85.349	10349	10100001101101			
85.35	10350	10100001101110			
85.351	10351	10100001101111			
85.352	10352	10100001110000			
85.353	10353	10100001110001			
85.354	10354	10100001110010			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

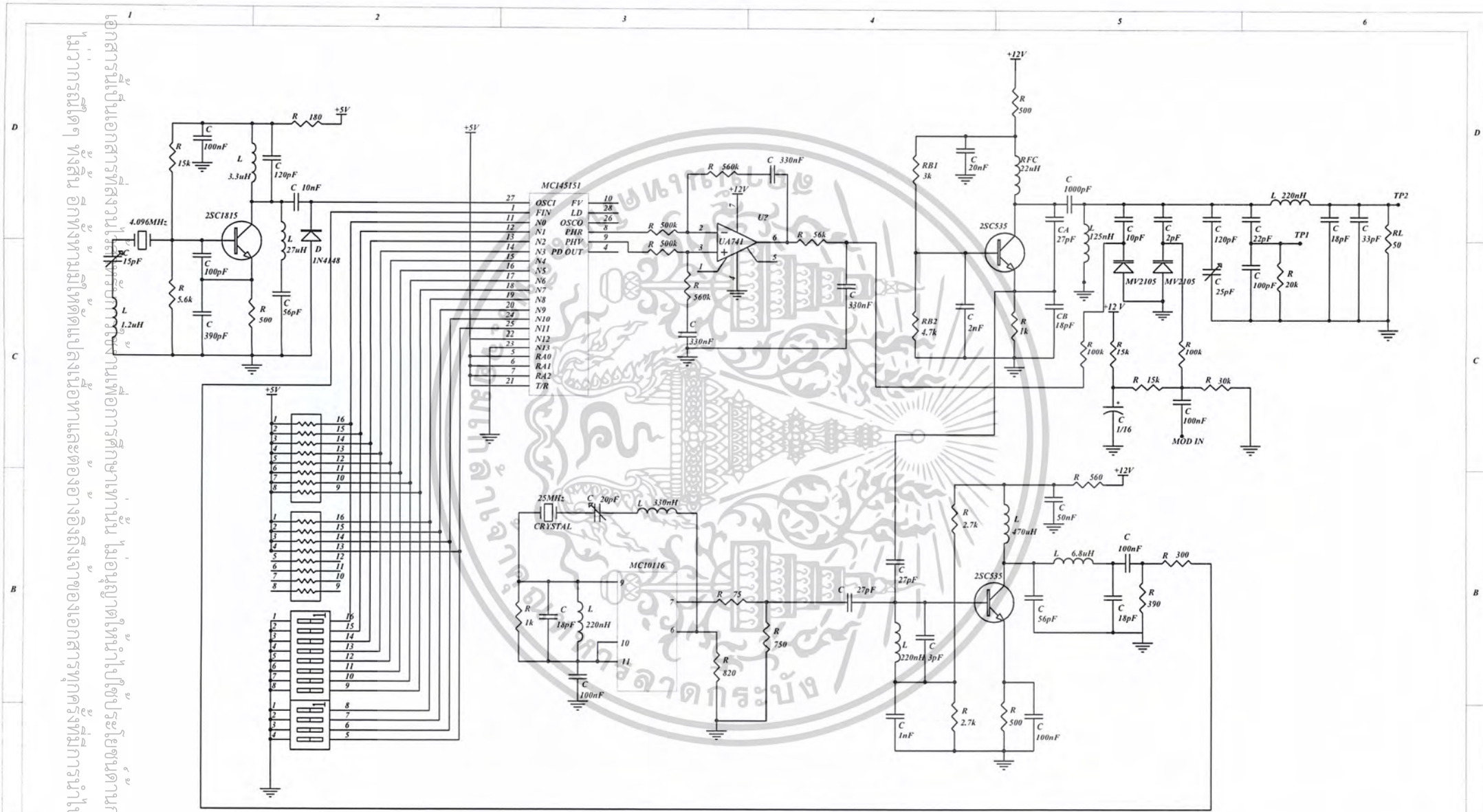


รูปที่ 4.49 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT} จากตารางที่ 4.3



รูปที่ 4.50 กราฟความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ V_{OUTPUT} จากตารางที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.51 วงจรเฟสล็อคลูปของภาค PLL II ที่ใช้ในการทดลอง

Title		
Size B	Number	Revision
Date: 1-Apr-2003		Sheet of
File: D:\Project paper\MyDesign11.ddb		Drawn By:

บทที่ 5
บทวิจารณ์และบทสรุป

ปริญญานิพนธ์นี้ เป็นการออกแบบและสร้างเครื่องกำเนิดสัญญาณโดยวิธีสังเคราะห์ความถี่ โดยนำหลักการของเฟสล็อคลูปมาใช้เพื่อที่จะผลิตความถี่ ที่มีความเที่ยงตรง ซึ่งได้ทำการออกแบบให้เครื่องกำเนิดสัญญาณผลิตความถี่รูปสัญญาณ *Sine wave* ในช่วง *45 MHz – 108 MHz*

ในการออกแบบสร้างได้อาศัยแนวคิดว่า ผลิตความถี่มาสองช่วงแล้วนำความถี่ทั้งสองมาทำการมิกซ์เพื่อนำความถี่ผลต่างมาใช้งาน ซึ่งจากหลักการนี้จะทำให้สามารถผลิตความถี่ได้แบนด์วิดธ์กว้างกว่าแบบตัวเดียวตลอดย่าน ในส่วนของการผลิตความถี่ได้อาศัยหลักการของเฟสล็อคลูปมาทำการผลิตความถี่ทั้งสองชุด โดยชุดแรกผลิตในช่วง *130.304 MHz – 193.280 MHz* และชุดที่สองผลิตในช่วง *85.120 MHz – 85.375 MHz*

ในส่วนของภาคการผลิตความถี่ชุดแรก *PLL I* คือ *130.304 MHz – 193.280 MHz* โดยเฟสล็อคลูปซึ่งประกอบไปด้วยภาค *VCO* ที่ทำหน้าที่กำเนิดความถี่ช่วง *130.304 MHz – 193.280 MHz* , ภาค *Prescaler* ทำหน้าที่หารความถี่จาก *VCO* ด้วยค่า *64* , ภาค *Phase Detector* ซึ่งจะใช้ไอซีเบอร์ *MC 145151* แต่ก่อนเข้าภาค *Phase Detector* ต้องผ่านภาค $\div N$ ทำการหารต่อจาก *Prescaler* ซึ่งภาค $\div N$ นี้จะอยู่ในไอซีเบอร์เดียวกัน และภาคต่อไปคือภาค *Loop Filter* ทำหน้าที่ในการกรองสัญญาณที่มาจากภาค *Phase Detector* ส่งไปควบคุมการผลิตความถี่ของภาค *VCO* ในภาค $\div N$ เราจะใช้ในการควบคุมการหารด้วยดีฟสวิตช์ ซึ่งในไอซีเบอร์ *MC 145151* การควบคุมบิทจำนวน N นั้น เป็นแบบขนาน

ส่วนของภาคผลิตความถี่ชุดสอง *PLL II* คือ *85.120 MHz – 85.375 MHz* ซึ่งมีหลักการการออกแบบที่คล้ายคลึงกับภาค *PLL I* สังเกตได้จากค่าความถี่ของภาคนี้มีค่าแบนด์วิดธ์แคบ เมื่อเทียบกับช่วงของ *PLL I* จึงไม่มีปัญหาในการออกแบบมากนัก เมื่อเทียบกับ *PLL I* ที่ต้องคำนึงถึงการเลือกค่าความจุไฟฟ้าของวาริแคป สำหรับภาคนี้มีส่วนที่แตกต่างจาก *PLL I* เล็กน้อย คือ เปลี่ยนจากการหารความถี่ลงด้วยภาคพรีสเกลเลอร์มาใช้หลักการของการมิกส์สัญญาณเข้าด้วยกันเพื่อนำความถี่ผลต่างที่ได้จากวงจร *VCO* และวงจร *X-TAL Over Tone* มาป้อนให้กับไอซีเบอร์ *MC 145151* ซึ่งการมิกส์แบบนี้เรียกว่า *MIX DOWN*

ในการสร้าง *VCO* นั้นจะเห็นว่าสามารถผลิตความถี่ในช่วงที่กว้างมาก การเปลี่ยนแปลงแรงดันที่เข้ามาควบคุม *VCO* เพียงเล็กน้อยก็จะทำให้เกิดการเปลี่ยนแปลงความถี่ที่ผลิตไปมาก หรือกล่าวอีกนัยหนึ่งก็คือมี *Sensitivity* สูง ซึ่งผลดังกล่าวจะมีปัญหาเรื่องสัญญาณรบกวนหรือ *noise* ตามมาเนื่องจากเครื่องมีความไวต่อการเปลี่ยนแปลงมาก และในการหาค่าพารามิเตอร์ต่างๆ ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการคำนวณนั้น พบว่าค่าบางค่าโดยเฉพาะค่า *L* และ *C* เมื่อนำมาประกอบวงจรแล้วค่าเอาต์พุตที่ได้จะไม่ตรงกับค่าที่ต้องการ จึงต้องทำการปรับเปลี่ยนค่าเพื่อให้ผลที่ออกมาตรงตามที่เราต้องการ จึงเห็นว่าการคำนวณการสร้างเป็นเพียงแนวทางเบื้องต้นในการสร้างและจะต้องทำการปรับแต่งเพื่อให้ได้ค่าตามที่ต้องการ

และในขั้นตอนการต่อวงจรนั้น การเชื่อมต่อวงจร ขนาดและทิศทางกราวด์ของวงจรนั้นก็มีผลต่อเสถียรภาพของสัญญาณที่เอาต์พุตด้วย เพราะหากว่ามีการจัดวางอย่างเหมาะสมแล้วก็จะทำให้สัญญาณมีเสถียรภาพและลดปรากฏการณ์บางอย่างที่มีต่อสัญญาณได้

ในส่วนของ *Loop Filter* ซึ่งเป็น *Active Low Pass Filter* ใช้ไอซีเบอร์ *MC 34071* ที่มีผลตอบสนองเอาต์พุตเพียงพอต่อการที่จะนำไปป้อนควบคุมส่วน *VCO* ให้ผลิตความถี่ได้ตลอดย่านและเอาต์พุตของภาคนี้จะแรงดันไฟตรง ด้านอินพุทจะทำการเปรียบเทียบเฟสของความถี่อ้างอิงกับความถี่ที่ผลิตขึ้น

ปัญหาที่เกิดขึ้นตามมาอีกประการหนึ่งคือ เมื่อทำการประรวมภาคต่างๆเข้าด้วยกันแล้วจะเกิดการรบกวนเกิดขึ้นที่ *VCO* ทำให้ *Amplitude* ที่เอาต์พุตลงลงเสมือนว่ามีโหลดเพิ่มมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ชูชัย ธนสารตั้งเจริญ, พิชัย ภักดีพานิชเจริญ, แอดวานซ์เอ็นจิเนียริ่งกรุ๊ป., "ระบบสื่อสารวิทยุ", ฟิสิกส์เซ็นเตอร์, 2536.
2. Best, Roland E., "Phase-Locked Loop Design, Simulation, and Applications", 4th Ed., McGraw-Hill, New York, 408p., 1999
3. Gardner, Floyd M., "Phaselock Techniques", 2nd Ed., John Wiley and Sons, New York, 285p., 1979
4. Lancaster, Don., "Active Filter Cookbook", 1st Ed., Howard W. Sams & Company, United States of America, 240p., 1975
5. Manasewitsh, Vadim., "Frequency Synthesizers Theory and Design", 3rd Ed., John Wiley and Sons, New York, 608p., 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

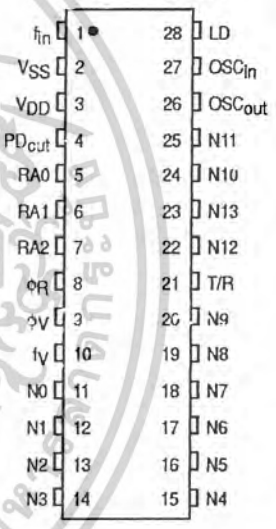
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

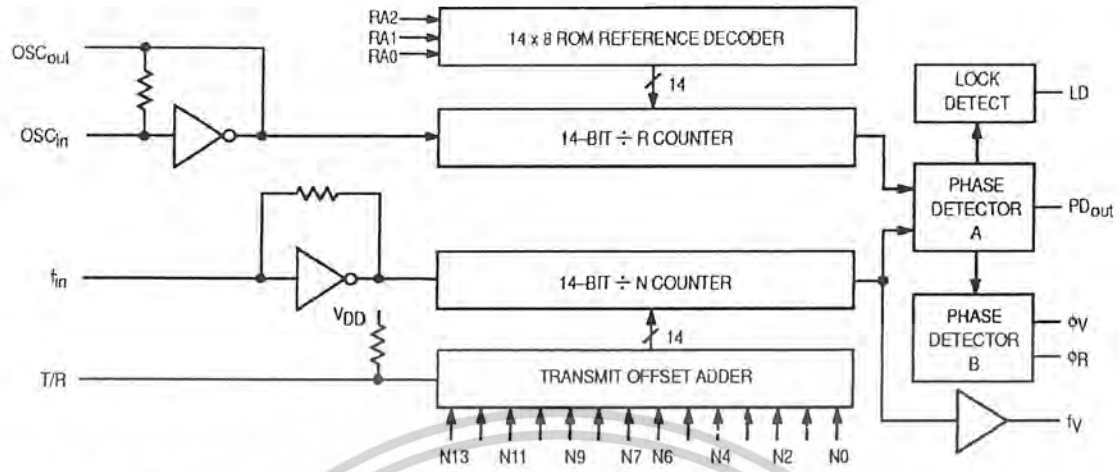
PIN ASSIGNMENT



MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see **PD_{out}**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

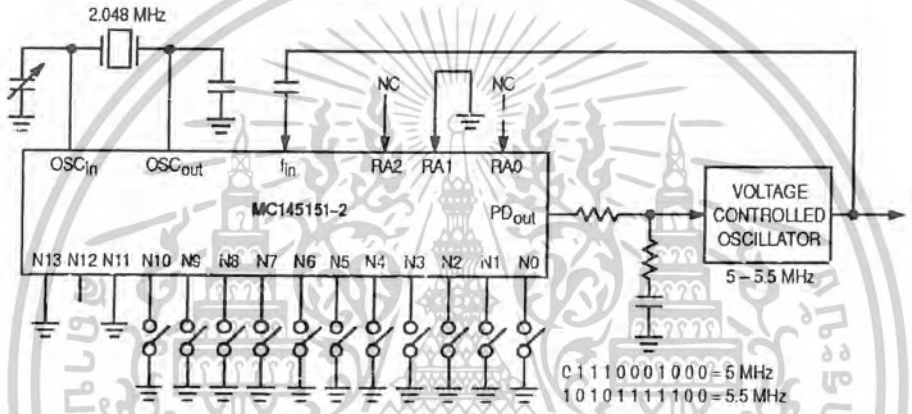
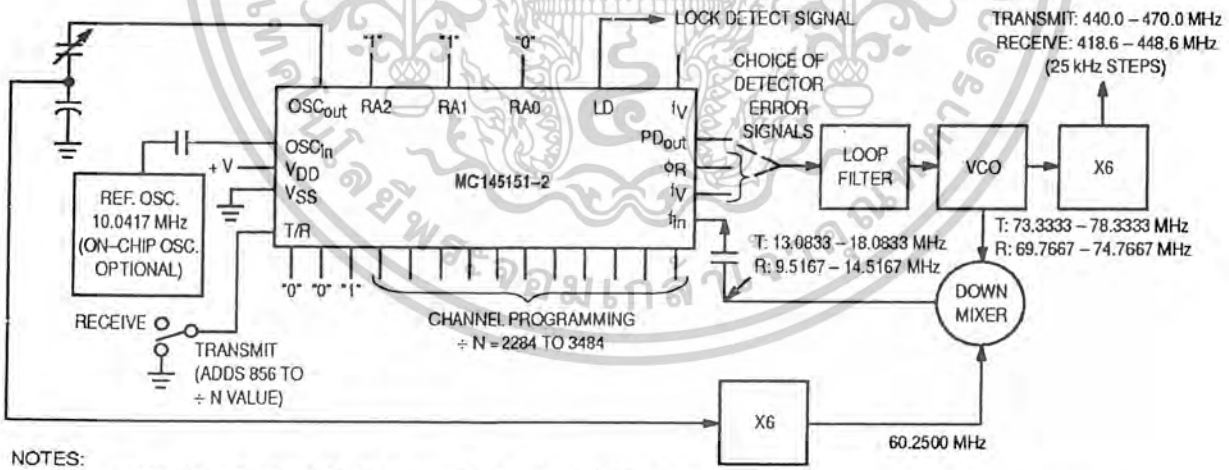


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

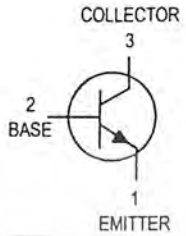
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MPS5179/D

High Frequency Transistor
NPN Silicon

MPS5179

Motorola Preferred Device



CASE 29–04, STYLE 1
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	12	Vdc
Collector–Base Voltage	V_{CBO}	20	Vdc
Emitter–Base Voltage	V_{EBO}	2.5	Vdc
Collector Current — Continuous	I_C	50	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	300 1.71	mW mW/°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector–Emitter Sustaining Voltage (I_C = 3.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	12	—	Vdc
Collector–Base Breakdown Voltage (I_C = 0.001 mAdc, I_E = 0)	$V_{(BR)CBO}$	20	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 0.01 mAdc, I_C = 0)	$V_{(BR)EBO}$	2.5	—	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0) (V_{CB} = 15 Vdc, I_E = 0, T_A = 150°C)	I_{CBO}	— —	0.02 1.0	µAdc
ON CHARACTERISTICS				
DC Current Gain (I_C = 3.0 mAdc, V_{CE} = 1.0 Vdc)	h_{FE}	25	250	—
Collector–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{CE(sat)}$	—	0.4	Vdc
Base–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{BE(sat)}$	—	1.0	Vdc

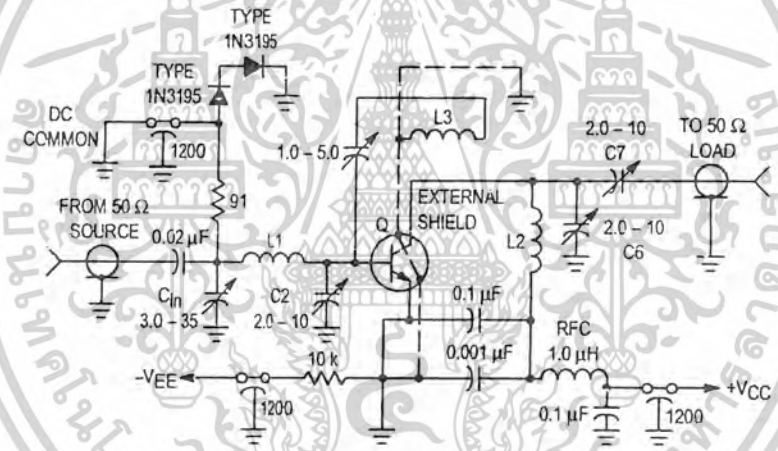
Preferred devices are Motorola recommended choices for future use and best overall value.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic	Symbol	Min	Max	Unit
SMALL–SIGNAL CHARACTERISTICS				
Current–Gain — Bandwidth Product(1) (I_C = 5.0 mAdc, V_{CE} = 6.0 Vdc, f = 100 MHz)	f_T	900	2000	MHz
Collector–Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 0.1 to 1.0 MHz)	C_{cb}	—	1.0	pF
Small Signal Current Gain (I_C = 2.0 mAdc, V_{CE} = 6.0 Vdc, f = 1.0 kHz)	h_{fe}	25	300	—
Collector Base Time Constant (I_E = 2.0 mAdc, V_{CB} = 6.0 Vdc, f = 31.9 MHz)	$rb'C_c$	3.0	14	ps
Noise Figure (See Figure 1) (I_C = 1.5 mAdc, V_{CE} = 6.0 Vdc, R_S = 50 ohms, f = 200 MHz)	NF	—	5.0	dB
Common–Emitter Amplifier Power Gain (See Figure 1) (V_{CE} = 6.0 Vdc, I_C = 5.0 mAdc, f = 200 MHz)	G_{pe}	15	—	dB

1. f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.



L1 1–3/4 Turns, #18 AWG, 0.5″ L, 0.5″ Diameter
L2 2 Turns, #16 AWG, 0.5″ L, 0.5″ Diameter
L3 2 Turns, #13 AWG, 0.25″ L, 0.5″ Diameter (Position 1/4″ from L2)

Figure 1. 200 MHz Amplifier Power Gain and Noise Figure Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC12015/D

MOTOROLA

MC12015
MC12016
MC12017

Dual Modulus Prescaler

MECL PLL COMPONENTS
DUAL MODULUS PRESCALER

SEMICONDUCTOR
TECHNICAL DATA

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5 Vdc to Pin 8.

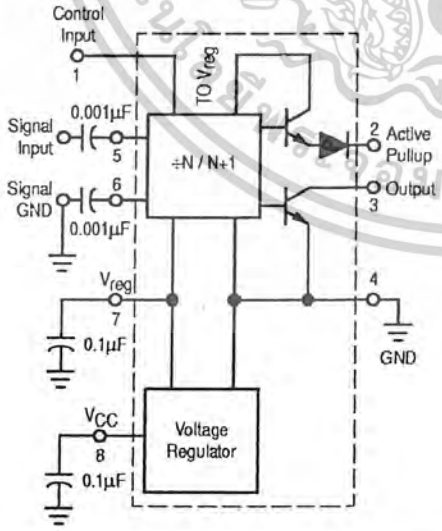
- 225 MHz Toggle Frequency
- Low–Power 7.5 mA Maximum at 6.8 V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12015D	T_A = –40 to 85°C	SO–8
MC12016D		
MC12017D		

SIMPLIFIED BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS [tblhead]

Rating	Symbol	Value	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10	Vdc
Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +175	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5 V; V_{reg} = 4.5 to 5.5 V; T_A = −40 to 85°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine Wave Input)	f_{max} f_{min}	225 –	– –	– 35	MHz
Supply Current	I_{CC}	–	6.0	7.8	mA
Control Input HIGH (÷32, 40 or 64)	V_{IH}	2.0	–	–	V
Control Input LOW (÷33, 41 or 65)	V_{IL}	–	–	0.8	V
Output Voltage HIGH (I_{source} = 50μA) [Note 1]	V_{OH}	2.5	–	–	V
Output Voltage LOW (I_{sink} = 2mA) [Note 1]	V_{OL}	–	–	0.5	V
Input Voltage Sensitivity 35 MHz 50 to 225 MHz	V_{in}	 400 200	 – –	 800 800	mVpp
PLL Response Time [Notes 2 and 3]	t_{PLL}	–	–	t_{out} to 70	ns

NOTES: 1. Pin 2 connected to Pin 3.
2. t_{PLL} = the period of time the PLL has from the prescaler rising output transistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
3. t_{out} = period of output waveform.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC535

Silicon NPN Epitaxial Planar

HITACHI

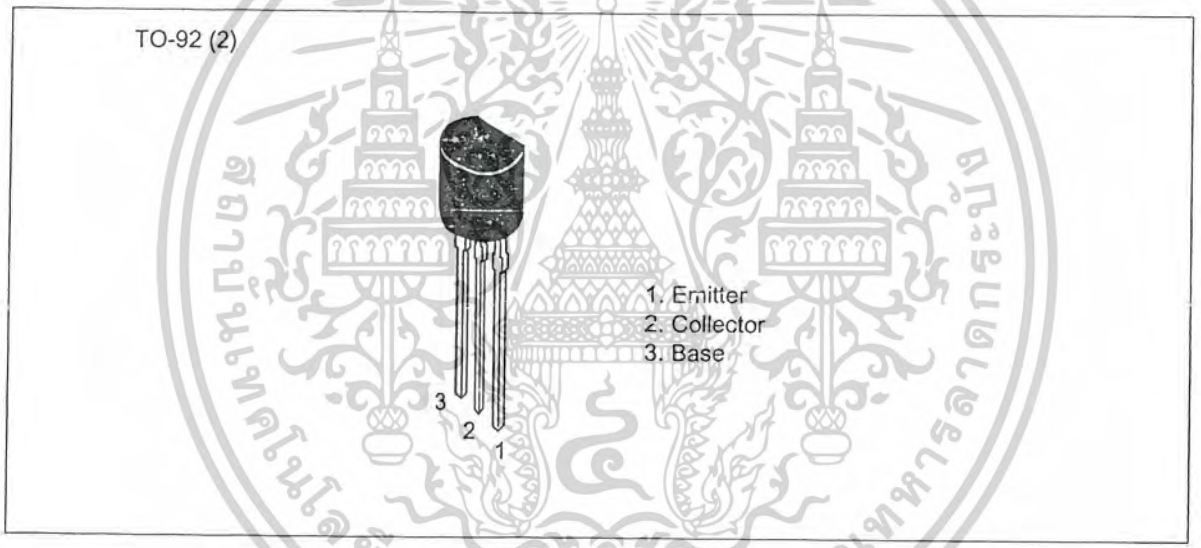
ADE-208-1047 (Z)
1st. Edition
Mar. 2001

Application

VHF amplifier, mixer, local oscillator

Outline

TO-92 (2)



Hitachi semiconductor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC535

Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings	Unit
Collector to base voltage	V_{CBO}	30	V
Collector to emitter voltage	V_{CEO}	20	V
Emitter to base voltage	V_{EBO}	4	V
Collector current	I_C	20	mA
Collector power dissipation	P_C	100	mW
Junction temperature	Tj	150	°C
Storage temperature	Tstg	–55 to +150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Ta = 25°C)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Collector to base breakdown voltage	$V_{(BR)CBO}$	30	—	—	V	I_C = 10 µA, I_E = 0
Collector to emitter breakdown voltage	$V_{(BR)CEO}$	20	—	—	V	I_C = 1 mA, R_{BE} = ∞
Emitter to base breakdown voltage	$V_{(BR)EBO}$	4	—	—	V	I_E = 10 µA, I_C = 0
Collector cutoff current	I_{CBO}	—	—	0.5	µA	V_{CB} = 10 V, I_E = 0
DC current transfer ratio	h_{FE}*1	60	—	200		V_{CE} = 6 V, I_C = 1 mA
Base to emitter voltage	V_{BE}	—	0.72	—	V	V_{CE} = 6 V, I_C = 1 mA
Collector to emitter saturation voltage	$V_{CE(sat)}$	—	0.17	—	V	I_C = 20 mA, I_B =4 mA
Gain bandwidth product	f_T	450	940	—	MHz	V_{CE} = 6 V, I_C = 5 mA
Collector output capacitance	Cob	—	0.9	1.2	pF	V_{CB} = 10 V, i_E = 0, f = 1 MHz
Power gain	PG	17	20	—	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Noise figure	NF	—	3.5	5.5	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz, R_g = 50 Ω
Input admittance (typ)	yie	1.3 + j5.3			mS	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Reverse transfer admittance (typ)	yre	−0.078 − j0.41			mS	
Foward transfer admittance (typ)	yfe	32 − j10			mS	
Output admittance (typ)	yoe	0.08 + j0.82			mS	

Note: 1. The 2SC535 is grouped by h_{FE} as follows.

B	C
60 to 120	100 to 200

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2205, LV2209

Silicon Tuning Diodes

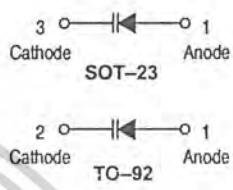
6.8–100 pF, 30 Volts
Voltage Variable Capacitance Diodes

ON Semiconductor™

http://onsemi.com

These devices are designed in popular plastic packages for the high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid–state reliability in replacement of mechanical tuning methods. Also available in a Surface Mount Package up to 33 pF.

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves



MAXIMUM RATINGS

Rating		Symbol	Value	Unit
Reverse Voltage		V_R	30	Vdc
Forward Current		I_F	200	mAdc
Forward Power Dissipation @ T_A = 25°C Derate above 25°C	MMBV21xx	P_D	225 1.8	mW mW/°C
@ T_A = 25°C Derate above 25°C	MV21xx LV22xx		280 2.8	
Junction Temperature		T_J	+150	°C
Storage Temperature Range		T_{stg}	–55 to +150	°C

DEVICE MARKING

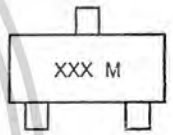
MMBV2101LT1 = M4G	MMBV2108LT1 = 4X	MV2109 = MV2109
MMBV2103LT1 = 4H	MMBV2109LT1 = 4J	LV2205 = LV2205
MMBV2105LT1 = 4U	MV2101 = MV2101	LV2209 = LV2209
MMBV2107LT1 = 4W	MV2105 = MV2105	

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc) MMBV21xx, MV21xx LV22xx	$V_{(BR)R}$	 30 25	 – –	 – –	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	–	–	0.1	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	–	280	–	ppm/°C

TO–236AB, SOT–23
CASE 318–08
STYLE 8

MARKING DIAGRAM



XXX = Device Code*
M = Date Code
* See Table

TO–226AC, TO–92
CASE 182
STYLE 1

XX = Device Code Line 1*
XXXX = Device Code Line 2*
M = Date Code
* See Table

Preferred devices are recommended choices for future use and best overall value.

Publication Order Number:
MMBV2101LT1/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1/MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	9.0	10	11	400	2.5	2.9	3.2
LV2205/MMBV2105LT1/MV2105	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1	24.3	27	29.7	300	2.5	3.0	3.2
LV2209MMBV2109LT1/MV2109	29.7	33	36.3	200	2.5	3.0	3.2

MMBV2101LT1, MMBV2103LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length ≈ 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = −65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \left|\frac{C_T(+85°C) - C_T(-65°C)}{85 + 65}\right| \cdot \frac{10^6}{C_T(25°C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DEVICE CHARACTERISTICS

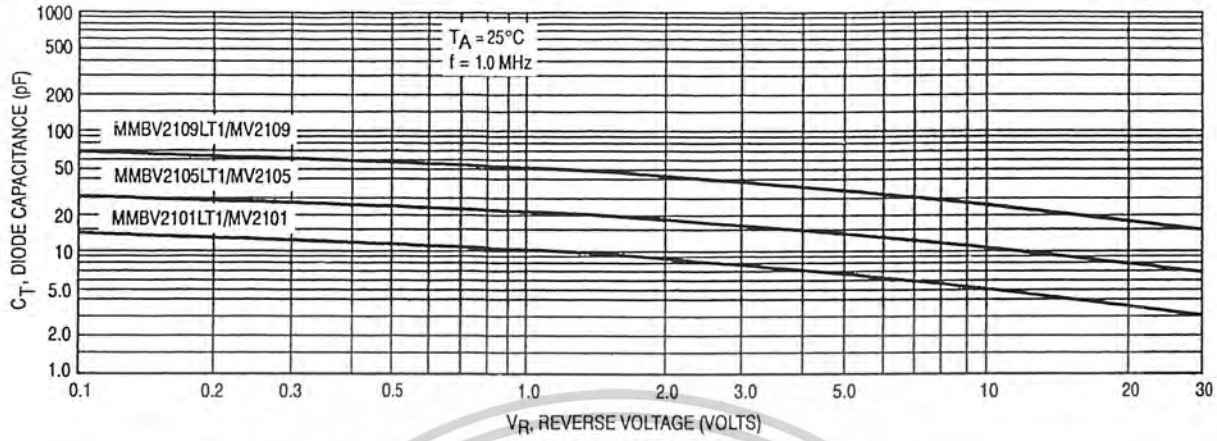


Figure 1. Diode Capacitance versus Reverse Voltage

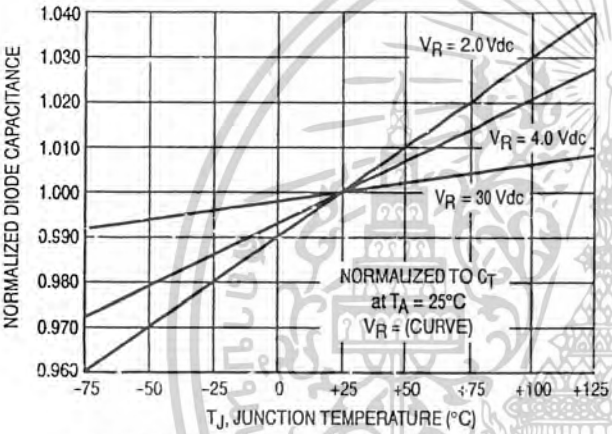


Figure 2. Normalized Diode Capacitance versus Junction Temperature

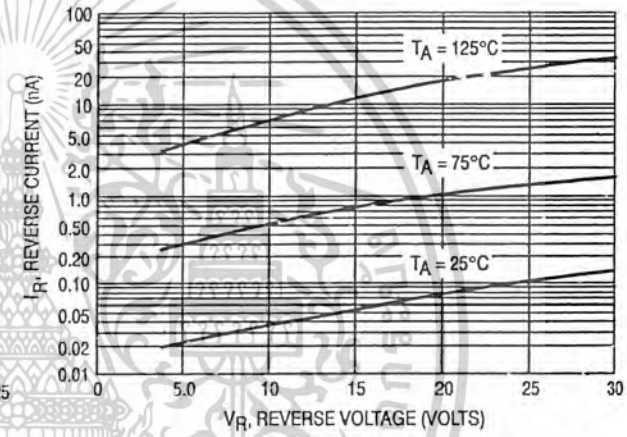


Figure 3. Reverse Current versus Reverse Bias Voltage

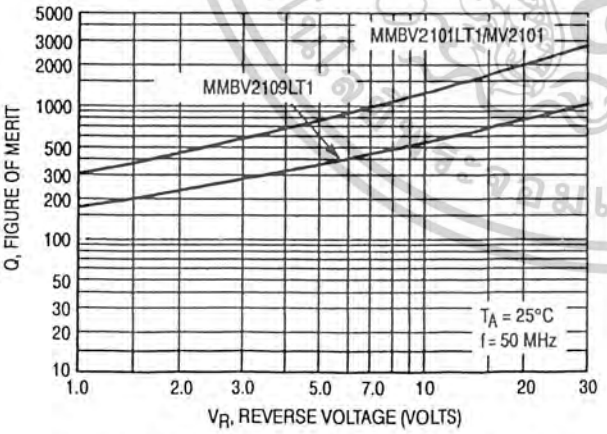


Figure 4. Figure of Merit versus Reverse Voltage

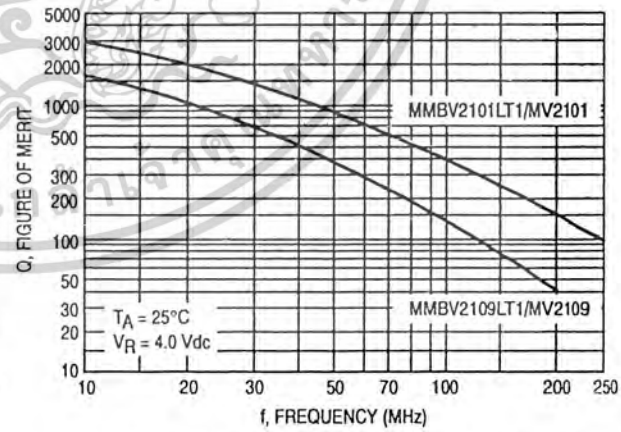


Figure 5. Figure of Merit versus Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Triple Line Receiver

MC10116

The MC10116 is a triple differential amplifier designed for use in sensing differential signals over long lines. The base bias supply (V_{BB}) is made available at pin 11 to make the device useful as a Schmitt trigger, or in other applications where a stable reference voltage is necessary.

Active current sources provide the MC10116 with excellent common mode noise rejection. If any amplifier in a package is not used, one input of that amplifier must be connected to V_{BB} (pin 11) to prevent upsetting the current source bias network.

Complementary outputs are provided to allow driving twisted pair lines, to enable cascading of several amplifiers in a chain, or simply to provide complement outputs of the input logic function.

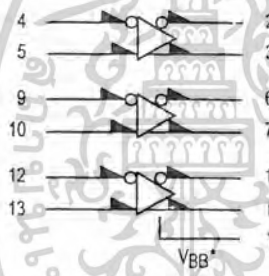
L SUFFIX
CERAMIC PACKAGE
CASE 620–10

P SUFFIX
PLASTIC PACKAGE
CASE 648–08

FN SUFFIX
PLCC
CASE 775–02

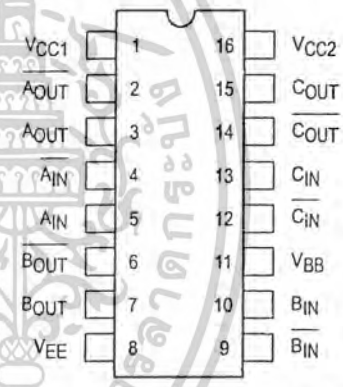
P_D = 85 mW typ/pkg (No Load)
t_{pd} = 2.0 ns typ
t_r, t_f = 2.0 ns typ (20%–80%)

LOGIC DIAGRAM



V_{CC1} = PIN 1
V_{CC2} = PIN 16
V_{EE} = PIN 8

DIP PIN ASSIGNMENT



Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the Pin Conversion Tables on page 6–11 of the Motorola MECL Data Book (DL122/D).

*V_{BB} to be used to supply bias to the MC10116 only and bypassed (when used) with 0.01 μF to 0.1 μF capacitor to ground (0 V). V_{BB} can source < 1.0 mA.

When the input pin with the bubble goes positive, the output pin with the bubble goes positive.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic		Symbol	Pin Under Test	Test Limits							Unit
				−30°C		+25°C			+85°C		
				Min	Max	Min	Typ	Max	Min	Max	
Power Supply Drain Current		I_E	8		23		17	21		23	mAdc
Input Current		I_{inH}	4		150			95		95	µAdc
		I_{CBO}	4		1.5			1.0		1.0	µAdc
Output Voltage	Logic 1	V_{OH}	2 3	−1.060 −1.060	−0.890 −0.890	−0.960 −0.960		−0.810 −0.810	−0.890 −0.890	−0.700 −0.700	Vdc
Output Voltage	Logic 0	V_{OL}	2 3	−1.890 −1.890	−1.675 −1.675	−1.850 −1.850		−1.650 −1.650	−1.825 −1.825	−1.615 −1.615	Vdc
Threshold Voltage	Logic 1	V_{OHA}	2 3	−1.080 −1.080		−0.980 −0.980			−0.910 −0.910		Vdc
Threshold Voltage	Logic 0	V_{OLA}	2 3		−1.655 −1.655			−1.630 −1.630		−1.595 −1.595	Vdc
Reference Voltage		V_{BB}	11	−1.420	−1.280	−1.350		−1.230	−1.295	−1.150	Vdc
Switching Times (50Ω Load)											ns
Propagation Delay		t_{4+2+}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
		t_{4-2-}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
		t_{4+3-}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
		t_{4-3+}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
Rise Time	(20 to 80%)	t_{2+}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
		t_{3+}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
Fall Time	(20 to 80%)	t_{2-}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
		t_{3-}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

@ Test Temperature	TEST VOLTAGE VALUES (Volts)					
	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}
−30°C	−0.890	−1.890	−1.205	−1.500	From Pin 11	−5.2
+25°C	−0.810	−1.850	−1.105	−1.475		−5.2
+85°C	−0.700	−1.825	−1.035	−1.440		−5.2

Characteristic		Symbol	Pin Under Test	TEST VOLTAGE APPLIED TO PINS LISTED BELOW						(V_{CC}) Gnd
				V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}	
Power Supply Drain Current		I_E	8		4, 9, 12			5, 10, 13	8	1, 16
Input Current		I_{inH}	4	4	9, 12			5, 10, 13	8	1, 16
		I_{CBO}	4		9, 12			5, 10, 13	8,4	1, 16
Output Voltage	Logic 1	V_{OH}	2	4	9, 12			5, 10, 13	8	1, 16
			3	9, 12	4			5, 10, 13	8	1, 16
Output Voltage	Logic 0	V_{OL}	2	9, 12	4			5, 10, 13	8	1, 16
			3	4	9, 12			5, 10, 13	8	1, 16
Threshold Voltage	Logic 1	V_{OHA}	2		9, 12	4		5, 10, 13	8	1, 16
			3	9, 12			4	5, 10, 13	8	1, 16
Threshold Voltage	Logic 0	V_{OLA}	2		9, 12		4	5, 10, 13	8	1, 16
			3	9, 12		4		5, 10, 13	8	1, 16
Reference Voltage		V_{BB}	11					5, 10, 13	8	1, 16
Switching Times	(50Ω Load)					Pulse In	Pulse Out		−3.2 V	+2.0 V
Propagation Delay		t_{4+2+}	2			4	2	5, 10, 13	8	1, 16
		t_{4-2-}	2			4	2	5, 10, 13	8	1, 16
		t_{4+3-}	3			4	3	5, 10, 13	8	1, 16
		t_{4-3+}	3			4	3	5, 10, 13	8	1, 16
Rise Time	(20 to 80%)	t_{2+}	2			4	2	5, 10, 13	8	1, 16
		t_{3+}	3			4	3	5, 10, 13	8	1, 16
Fall Time	(20 to 80%)	t_{2-}	2			4	2	5, 10, 13	8	1, 16
		t_{3-}	3			4	3	5, 10, 13	8	1, 16

Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to −2.0 volts. Test procedures are shown for only one gate. The other gates are tested in the same manner.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้