สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

T050410

โดย

นายเนรมิตร แก้วตา

นายสุวัจชัย สนธิ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50410
วัน,เดือน,ปี 13 พ.ค. 2547
.b.....
.i.....

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

โดย

นายเนรมิตร แก้วตา รหัส 43015213

นายสุวัจชัย สนธิ รหัส 43015240

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

สาขาวิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

ผู้จัดทำ

1. นายเนรมิตร แก้วตา รหัส 43015213
2. นายสุวัจชัย สนธิ รหัส 43015240

ประภากร อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

วันที่ 1 เมย 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

นายเนรมิตร แก้วตา
นายสุวัจชัย สนธิ
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและศึกษา การสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป ซึ่งสามารถผลิตความถี่ได้ตั้งแต่ 10 MHz ถึง 50 MHz โดยใช้ ไอซีเบอร์ MC 145151 เป็นไอซีที่ใช้ในส่วนของเฟสล็อคลูป โดยในวงจร จะประกอบไปด้วย ส่วนของโวลเตจคอนโทรลออสซิลเลเตอร์ , แอมปลิไฟลเออร์ พรีสเกลเลอร์, เฟสล็อคลูป ฟรีเควนซี ซินธิไซเซอร์ ไอซี ,โลว์พาสฟิลเตอร์ และ มิกเซอร์ ซึ่งสามารถนำไปประยุกต์ใช้งานในระบบ ที่ต้องการความถี่สูงทั่วไป

รายงานฉบับนี้มีเนื้อหาเกี่ยวกับโครงงานนี้ทั้งในส่วนของ ภาคทฤษฎีและปฏิบัติ เมื่อเสร็จสิ้นขั้นตอน ของการออกแบบและการสร้าง ผู้จัดทำได้ทดลองวัดคุณสมบัติต่างๆของวงจร และได้นำผลการทดสอบโครงงานมาแสดงไว้ในรายงานฉบับนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP FREQUENCY SYNTHESIZER

Mr. Neramit Kaewta

Mr. Suwajchai Sonthi

Assist Prof. Praphakorn Suwanna (Advisor)

Abstract

This paper presents a design and study phase locked loop frequency systhesizer that generates frequency range 10 MHz - 50 MHz , using the Integrate Circuit (IC) MC 145151 for phase locked loop unit. This circuit consists of the voltage control oscillator , amplifier , phase locked loop frequency synthesizer IC , low pass filterand mixer. This frequency range is useful in application in general high frequency systems.

This report includes theories , the design and final test result of this work.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานครั้งนี้ จะไม่ประสบความสำเร็จเลย ถ้าไม่มีท่านอาจารย์ที่ปรึกษา ผศ. ประภากร สุวรรณะ ที่คอยให้คำแนะนำ แนวความคิดในการทำงานแต่ละขั้นตอน อีกทั้งการแก้ปัญหาต่างๆ และผลักดันให้โครงงานนี้สำเร็จ ลุล่วงมาได้ด้วยดี และขอขอบคุณ พวกพี่ๆและเพื่อนๆ 3R ที่ได้คอยช่วยเหลือ แนะนำ และให้ยืมเครื่องมืออุปกรณ์ต่างๆ และสุดท้ายนี้ต้องขอขอบคุณ คุณพ่อ คุณแม่ และเครือญาติ ถ้าไม่มีพวกท่านเหล่านี้กระผมคงไม่มีวันนี้

.....

(เนรมิตร แก้วตา)

.....

(สุวัจชัย สนธิ)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญชื่อเรื่อง

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญชื่อเรื่อง	IV
สารบัญรูปภาพ	VI
สารบัญตาราง	VIII
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1ระบบสังเคราะห์ความถี่	2
2.1.1 วิธีสังเคราะห์ความถี่	2
2.1.2 เฟสล็อคลูป	2
2.1.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่	5
2.1.4 คุณสมบัติของวงจรสังเคราะห์ความถี่	7
2.1.5 เทคนิคของการสังเคราะห์ความถี่	8
2.2 วงจรออสซิลเลเตอร์ (oscilator)	10
2.2.1 ออสซิลเลเตอร์ป้อนกลับแบบทิกเกอร์	11
2.2.2 ออสซิลเลเตอร์แบบฮาร์ทเลย์	12
2.2.3 หลักการของวงจรออสซิลเลเตอร์	13
2.2.4 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน (VCO)	15
บทที่ 3 การออกแบบโครงงาน	17
3.1 การออกแบบภาค PLL I	20
3.1.1 การออกแบบภาค Voltage Control Oscillator (VCO I)	21
3.1.2 การออกแบบภาค Prescaler	23
3.1.3 การออกแบบภาค Phase Detector	23
3.1.4 การออกแบบภาค Loop Filter	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญชื่อเรื่อง (ต่อ)

	หน้า
3.2 การออกแบบภาค PLL II	27
3.2.1 การออกแบบภาค Voltage Control Oscillator (VCO II)	28
3.2.2 การออกแบบวงจร X-Tal OSC	28
3.2.3 การออกแบบวงจร Down Mixer	29
บทที่ 4 การทดลองและผลการทดลอง	30
4.1 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป (PLL I)	30
4.1.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO I)	30
4.1.2 สัญญาณที่ได้จากเอาท์พุทของ VCO I	33
4.2 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป (PLL II)	36
4.2.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO II)	36
4.2.2 สัญญาณที่ได้จากเอาท์พุทของ Down Mixer	39
บทที่ 5 สรุปและวิจารณ์โครงงาน	42
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดงแผนผังของเฟสล็อคลูป 3

รูปที่ 2.2 a ผลต่างเฟสเมื่อความถี่เท่ากัน 4

รูปที่ 2.2 b ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน 4

รูปที่ 2.3 แสดงแผนผังของหน่วยสังเคราะห์ความถี่ 6

รูปที่ 2.4 แสดงเฟสนอยส์ที่ปรากฏความถี่แปลกปลอมใกล้ๆความถี่เอาท์พุท 7

รูปที่ 2.5 แสดง แบบ PLL โดยตรง 8

รูปที่ 2.6 แสดง PLL แบบคูณความถี่ 8

รูปที่ 2.7 แสดง PLL แบบพรีสเกลเลอร์ 9

รูปที่ 2.8 แสดง PLL แบบพรีสเกลเลอร์สองโมดูลัส 9

รูปที่ 2.9 แสดงวงจรขยายสัญญาณ RF ในลักษณะวงจรออสซิลเลเตอร์ 11

รูปที่ 2.10 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ 13

รูปที่ 2.11 แสดงวงจร positive feedback 13

รูปที่ 2.12 แสดงการเกิดออสซิลเลท 14

รูปที่ 2.13 วงจร VCO D ใช้สำหรับควบคุมความถี่ 16

รูปที่ 3.1 แสดงบล็อกไดอะแกรมการออกแบบหลักของโครงงาน 19

รูปที่ 3.2 แสดงบล็อกไดอะแกรมการออกแบบส่วน PLL I 20

รูปที่ 3.3 แสดงรูปวงจรของภาค Voltage Control Oscillator 22

รูปที่ 3.4 แสดงวงจรที่ใช้ต่อทดลองภาคพรีสเกลเลอร์ 23

รูปที่ 3.5 แสดงการเปรียบเทียบความถี่ของ Phase Detector 25

รูปที่ 3.6 แสดงวงจรที่ใช้ต่อทดลองของภาคลูปฟิลเตอร์ 26

รูปที่ 3.7 แสดงบล็อคไดอะแกรมของ PLL II 27

รูปที่ 3.8 แสดงวงจร Voltage Control Oscillator II 28

รูปที่ 3.9 แสดงวงจร X-Tal OSC 60 MHz 28

รูปที่ 3.10 แสดงวงจร X-Tal OSC 8.129 MHz 29

รูปที่ 3.11 แสดงวงจร Down Mixer 29

รูปที่ 4.1 แสดงวงจรที่ใช้ต่อทดลองของภาค Voltage Control Oscillator 30

รูปที่ 4.2 กราฟแสดงความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT} 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 4.3 กราฟแสดงความสัมพันธ์ระหว่าง F_{OUTPUT} กับ V_{OUTPUT} 32
รูปที่ 4.4 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 70 MHz 33
รูปที่ 4.5 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 80 MHz 33
รูปที่ 4.6 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 90 MHz 34
รูปที่ 4.7 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 100 MHz 34
รูปที่ 4.8 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 110 MHz 35
รูปที่ 4.9 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 120 MHz 35
รูปที่ 4.10 แสดงวงจรที่ใช้ต่อทดลองของภาค Voltage Control Oscillator(II) 36
รูปที่ 4.11แสดงวงจร X-TAL OSC 60 MHz 36
รูปที่ 4.12 แสดงวงจรที่ใช้ต่อทดลองของภาค Down Mixer 37
รูปที่ 4.13 กราฟแสดงความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT}(หลัง Mixer) 38
รูปที่ 4.14 กราฟแสดงความสัมพันธ์ระหว่าง F_{OUTPUT}(หลัง Mixer) กับ V_{OUTPUT} 38
รูปที่ 4.15 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\ CTL}$ = 2 V 39
รูปที่ 4.16 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\ CTL}$ = 4 V 39
รูปที่ 4.17 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\ CTL}$ = 6 V 40
รูปที่ 4.18 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\ CTL}$ = 8 V 40
รูปที่ 4.19 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\ CTL}$ = 10 V 41
รูปที่ 4.20 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของภาค X-TAL OSC 60 MHz 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงการเปรียบเทียบวงจรออสซิลเลเตอร์แบบต่าง ๆ	10
ตารางที่ 4.1 แสดงผลการทดลองของภาค Voltage Control Oscillator	31
ตารางที่ 4.2 แสดงผลการทดลองของภาค Down Mixer	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แทบทั้งสิ้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่า ซินธิไซเซอร์ ซึ่งแปลว่าสังเคราะห์ (ความถี่) วิธีสังเคราะห์ความถี่นี้ทำให้วงการเครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของตัวเครื่องจะมีปุ่มควบคุมต่าง ๆ มากขึ้น เนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มาก จึงทำให้เกิดความคล่องตัวในการวางข่ายการสื่อสาร วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range) และ ช่วงห่างระหว่างขั้น (step size หรือ resolution)

เมื่อเราต้องการใช้สัญญาณในย่านความถี่สูง วิธีการหนึ่งที่ใช้ในการผลิตความถี่สูง คือ การใช้วิธีการสังเคราะห์ความถี่ (Frequency Synthesizer) ซึ่งเป็นวิธีที่นิยมใช้ในการผลิตความถี่สูง ซึ่งสามารถเปลี่ยนแปลงความถี่ได้ง่าย โดยไม่ต้องมีการเปลี่ยนแปลงวงจรภายใน ซึ่งอาศัยหลักการของระบบเฟสล็อคลูป (Phase Lock Loop) ความถี่ที่ได้จะมีความเที่ยงตรงมากกว่าวิธีการอื่นๆ เพราะระบบเฟสล็อคลูปจะใช้ความถี่ค่าหนึ่งเป็นสัญญาณความถี่อ้างอิง (Frequency Reference) โดยส่วนใหญ่จะได้จากการผลิตความถี่ของคริสตอล มาเปรียบเทียบกับสัญญาณความถี่เอาท์พุทที่นำมาป้อนกลับ ความถี่สังเคราะห์ที่ได้จะขึ้นอยู่กับค่าความต่างเฟสของสัญญาณทั้งสอง ซึ่งจะมีค่าคงที่อยู่ค่าๆหนึ่ง ในการเปลี่ยนแปลงความถี่จะถูกควบคุมจากวงจร หารความถี่ที่สามารถเปลี่ยนแปลงค่าในการหารได้

โครงงานนี้จึงนำเสนอเครื่องกำเนิดสัญญาณรูปซายน์ ซึ่งสามารถผลิตความถี่ในช่วง 10 MHz ถึง 50 MHz โดยการออกแบบด้วยวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป (Phase Lock Loop Frequency Synthesizer) ในการสร้างโครงงานจะทำการสร้างเฟสล็อคลูปขึ้นมาสองภาค คือ ภาค PLL I กำเนิดความถี่ช่วง 75.264 MHz ถึง 115.200 MHz มีช่วงห่างระหว่างขั้น 256 KHz และภาค PLL II จะกำเนิดความถี่ช่วง 62.024 MHz ถึง 65.535 MHz มีช่วงห่างระหว่างขั้น 1 KHz โดยอาศัยภาคมิกเซอร์เพื่อทำการผสมสัญญาณทั้งสอง จากนั้นก็นำมาผ่านวงจรกรองความถี่เพื่อกรองเอาเฉพาะความถี่ผลต่าง ซึ่งจะทำให้ได้ช่วงความถี่ที่เราต้องการคือ 10 MHz ถึง 50 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 ระบบสังเคราะห์ความถี่

วงจรที่ทำหน้าที่สังเคราะห์ความถี่จะเรียกว่า ซินธิไซเซอร์ โดยการประยุกต์ใช้กับเฟสล็อคลูป ซึ่งจะเรียกว่า เฟสล็อคลูปซินธิไซเซอร์ (Phase Lock Loop Frequency Synthesizer) ทำให้วงจรสังเคราะห์ความถี่นี้สามารถผลิตความถี่พอเหมาะ และให้ความถี่ตามที่เรากำหนดได้โดยการโปรแกรม ซึ่งการโปรแกรมทำได้โดยการตั้งสวิทซ์หรือกดปุ่ม หรือใช้คอมพิวเตอร์ในการโปรแกรมคำสั่ง ไปควบคุมการทำงาน

2.1.1 วิธีสังเคราะห์ความถี่

ซึ่งความจริงแล้ววงจรสังเคราะห์ความถี่ก็คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดที่พอเหมาะ และให้ความถี่ตามที่เราต้องการ วิธีการสังเคราะห์ความถี่ที่มีความซับซ้อนขึ้นอยู่กับช่วงความถี่ (Frequency Range) ช่วงห่างระหว่างขั้น (Step Size) และช่วงความถี่ที่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนได้ทีละขั้น เรียกว่า เรโซลูชั่น (Resolution)

วิธีการสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธีคือ

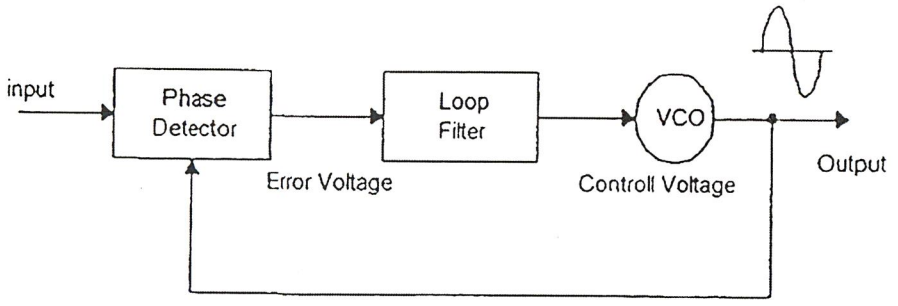
1 วิธีสังเคราะห์โดยตรง (Direct synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกัน เพื่อให้ได้ความถี่ตามต้องการ โดยปกติจะใช้แร่บังคับความถี่หลายชุด

2 วิธีสังเคราะห์โดยอ้อม (Indirect synthesis) ซึ่งวิธีนี้จะใช้เฟสล็อคลูป (Phase Lock Loop) โดยอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบ กับความถี่อ้างอิงแล้วนำผลลัพธ์ความถี่คลาดเคลื่อนมาแปลงเป็นแรงดันไปควบคุมออสซิลเลทของ VCO อีกครั้งหนึ่ง

2.1.2 เฟสล็อคลูป

เฟสล็อคลูป (Phase Lock Loop) เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูปประกอบด้วย 3 ภาคที่สำคัญ ได้แก่ ภาคเทียบเฟสหรือเฟสดีเทคเตอร์ (Phase detector) ภาคลูปฟิลเตอร์ (Loop filter) และภาค VCO ดังแสดงในรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงแผนผังของเฟสล็อคลูป

แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ ซึ่งหน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

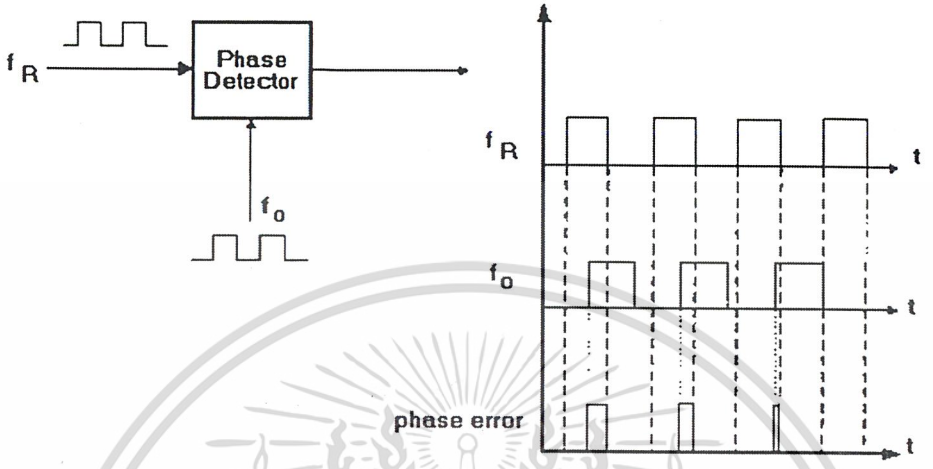
1. เฟสดีเทคเตอร์ (Phase detector) ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออเรอร์ (phase error) เฟสเออเรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่ามากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออเรอร์นี้ให้กลายเป็นระดับโวลต์เตจด้วยค่าคอนเวอร์ชั่นเกน K_d (volt / radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.2 a

2. ลูปฟิลเตอร์ (Loop filter) ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีเอซีโวลต์เตจร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูง ซึ่งแสดงว่ามีความต่างเฟสมากออก ทำให้ระบบสามารถแคปเจอร์สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

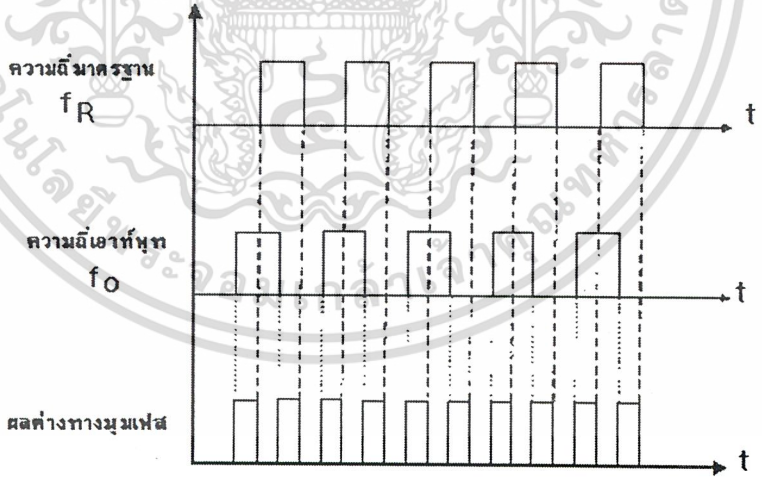
3. วงจรขายสัญญาณ (amplifier) ใช้ปรับขนาดสัญญาณไฟตรง เพื่อให้การควบคุมดีขึ้น เอาท์พุทของวงจรนี้จะป้อนให้แก่วงจรวีซีโอ

4. วีซีโอ (VCO) จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลต์เตจอินพุทด้วยคอนเวอร์ชั่นเกน K_d (radian / volt) ระดับโวลต์เตจนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 a ผลต่างเฟสเมื่อความถี่เท่ากัน



รูปที่ 2.2 b ผลต่างเฟสเมื่อความถี่อินพุทไม่เท่ากัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าว ๆ ได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่ของ วีซีโอ และทำให้ได้เออเรอร์โวลต์เตจ $Ve(t)$ และกรองผ่านลูปฟิลเตอร์ไปยังคอนโทรลอินพุทของ วีซีโอ รูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วีซีโอ ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออเรอร์โวลต์เตจที่ผ่านลูปฟิลเตอร์ $V_d(t)$ ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ วีซีโอ จะทำงานที่ความถี่ศูนย์กลาง $\omega_0 = 2\pi f_0$ ซึ่งเราเรียกว่า ความถี่ฟรีรันนิ่ง ของ วีซีโอ ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_0 = 2\pi f_R$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูป จะทำให้ได้เออเรอร์โวลต์เตจไปขับวีซีโอ ให้มีความถี่ซิงโครไนส์กับความถี่อินพุท ซึ่งแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ(Periodic) เข้ามาที่อินพุท ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟสดีเทคเตอร์ จะเป็นแรงดันที่มีแอมปลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้จะป้อนไปยังวงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลว์พาส กรองเอาเฉพาะความถี่ต่างๆตามที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO

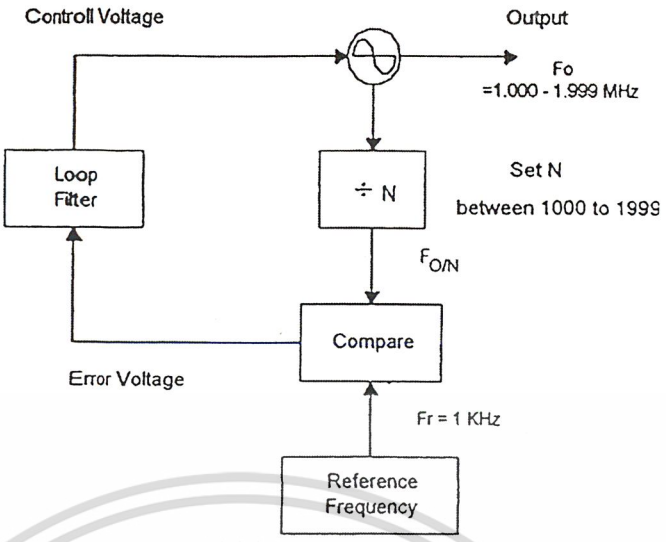
เมื่อลูปอยู่ในสภาวะล็อค (Lock) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณที่อินพุทพอดี อาจจะมีเฟสที่แตกต่างกันออกไป แต่เฟสที่แตกต่างกันนั้นจะมีค่าคงที่ (Constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันภาคเฟสดีเทคเตอร์ จะจ่ายแรงดันคลาดเคลื่อน (Error voltage) ไปควบคุมการทำงานของ VCO เพื่อไม่ให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จะมีแอมปลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงไปตามสัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปสังเคราะห์ (ผลิต) ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้จะเรียกว่า วงจรสังเคราะห์ความถี่ จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาท์พุท (จาก VCO) ให้มีความถี่ตามที่ต้องการได้หลายความถี่ โดยจะมีความถี่เที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

2.1.3 การใช้เฟสล็อคลูปในการสังเคราะห์ความถี่

เมื่อพิจารณาลึกลงไปแล้วจะพบว่าเฟสล็อคลูปเป็นหัวใจสำคัญในการสังเคราะห์ความถี่ จากรูปที่ 2.3 เป็นตัวอย่างของระบบสังเคราะห์ความถี่อย่างง่ายประกอบด้วย 5 ภาค คือ ภาค VCO เป็นออสซิลเลเตอร์กำเนิดสัญญาณที่เอาท์พุทของระบบ สังเคราะห์ความถี่ ภาคหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยค่าตัวเลขตามที่ต้องการได้ (Programmable divider) ภาคกำเนิดความถี่อ้างอิง คริสตอลออสซิลเลเตอร์ หรือสัญญาณอื่นๆ (Reference generator) ภาคเทียบเฟสและภาคลูปฟิลเตอร์ ซึ่งทำหน้าที่กรองเอาเฉพาะความถี่ต่ำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดงแผนผังของหน่วยสังเคราะห์ความถี่

จากแผนผังในรูปที่2.3 จะเห็นว่า สัญญาณอินพุทของภาคเทียบเฟส มาจาก 2 แหล่ง คือ จาก VCO มีความถี่เท่ากับ F_O / N และจากสัญญาณอ้างอิงมีความถี่เท่ากับ F_R เอาท์พุทจากการเปรียบเทียบก็คือ ผลต่างระหว่างสัญญาณ F_O / N กับ F_R ซึ่งจะกรองเอาเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิลเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (หรือเฟส) ให้ตรง จนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค (Lock) ความถี่ของ VCO เมื่อผ่านวงจรหาร N จะเท่ากับความถี่อ้างอิง นั่นคือ

$$F_O = NF_R \qquad (2.1)$$

(คำนวณ จาก $F_O/N = F_R$ ที่วงจรเทียบเท่า)

หรือกล่าวอีกนัยหนึ่งก็คือ เอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง สมมติว่าค่าของความถี่ F_R และค่าของ N เป็นดังนี้ F_R = 1 KHz , N = 1000 จะได้ F_O = 1 MHz ถ้าเพิ่ม N ขึ้นทีละ 1 เป็น 1001 , 1002 , 1003 , ... ค่า F_O จะเพิ่มขึ้นทีละ 1 KHz ไปเรื่อยๆเป็น 1.001 , 1.002 , 1.003 , ...MHz ตามลำดับ

เมื่อสังเกตจะพบว่า เฟสล็อคลูปดังกล่าว สามารถผลิตความถี่ได้เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้น และค่าตัวเลขในการหาร (คือ N) ย่อมเป็นเลขจำนวนเต็มเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

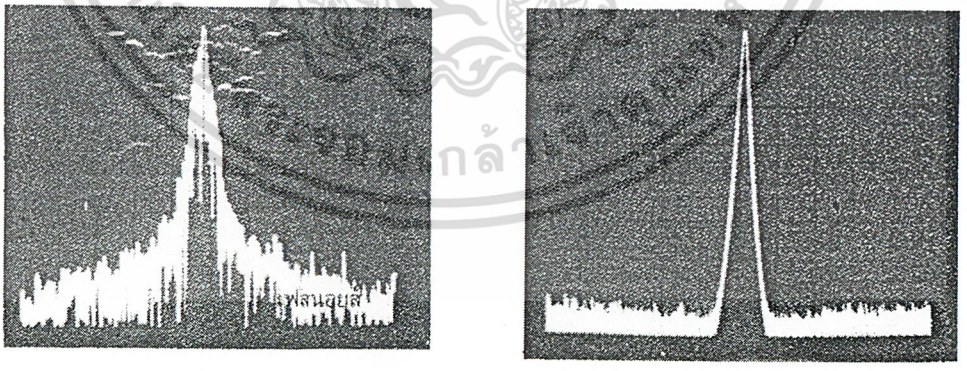
2.1.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวข้องกับช่วงความถี่ (Frequency range) ที่ต้องผลิตและเรโซลูชั่นระหว่างขั้นแล้ว คุณสมบัติอื่นๆของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับส่งวิทยุอีกด้วย ดังจะอธิบายดังต่อไปนี้

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่า (ในช่วงความถี่ที่ใช้งาน) และมีความละเอียดของความถี่ขึ้นอยู่กับเรโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนได้เร็วตามทันที หรือจะกล่าวได้อีกอย่างหนึ่งก็คือ ล็อคค่าความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อคสั้น คุณสมบัติการล็อคความถี่ใหม่ได้รวดเร็วนั้น มีความจำเป็นอย่างยิ่งของเครื่องรับส่งวิทยุ

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่างๆคุณสมบัตินี้เรียกว่า ความบริสุทธิ์สเปคตรัม นั่นคือ ความถี่ฮาโมนิกส์และสปิวเรียสต่างๆจะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้นอยส์จากวงจรออสซิลเลเตอร์ จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ที่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียว ในช่วงใกล้เคียงกับความถี่ที่ต้องการ นอยส์ดังกล่าวนี้จะเรียกว่า เฟสนอยส์ (Phase noise)

ความถี่เที่ยงตรง(Accuracy)และเสถียรภาพ(Stability)ทางความถี่ของวงจรสังเคราะห์ความถี่จะขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงมักจะเป็นวงจรออสซิลเลเตอร์ที่ใช้แร่บังคับความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่ที่จะมีเสถียรภาพและความเที่ยงตรงเท่ากับคริสตอลออสซิลเลเตอร์



รูปที่ 2.4 แสดงเฟสนอยส์ที่ปรากฏความถี่แปลกปลอมใกล้ๆความถี่เอาท์พุท

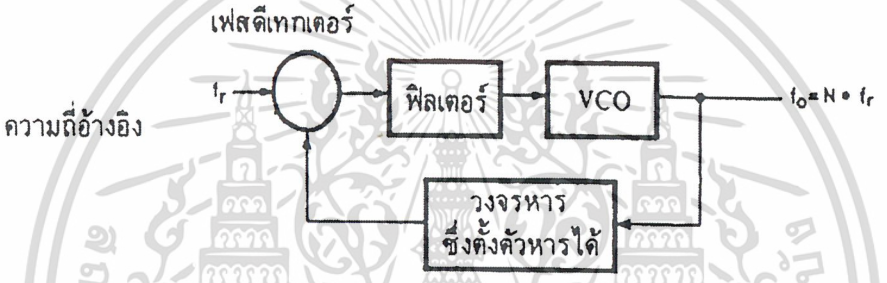
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 เทคนิคของการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายแบบ ตัวอย่างที่จะกล่าวถึงต่อไปนี้ เป็นหน่วยสังเคราะห์ความถี่ ซึ่งมีขั้นตอนการตั้งความถี่ขั้นละ F_R เท่ากับความถี่อ้างอิง

PLL แบบโดยตรง

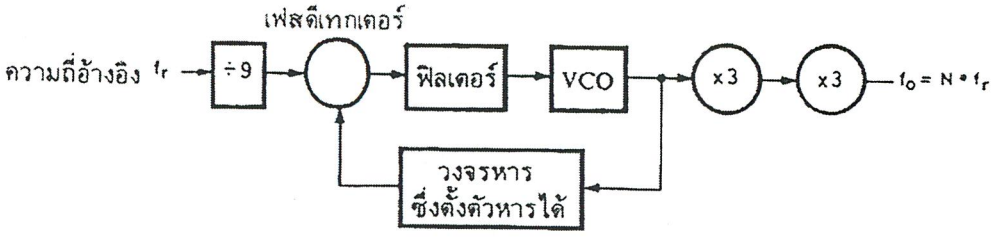
วิธีการสังเคราะห์ความถี่วิธีการนี้จะใช้ PLL โดยตรง นับว่าเป็นวิธีการที่ง่าย ความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ 2.5 ในที่นี้ VCO ต้องสามารถทำงานได้ตลอด ย่านความถี่เอาท์พุท ความถี่อาจจะเกิดขึ้นได้ถึง 200 MHz อย่างไรก็ดี วงจรนับที่โปรแกรมตัวหาร N นั้นมีราคาแพง เราจึงจำเป็นที่จะต้องปรับปรุงวิธีสังเคราะห์ความถี่เป็นแบบอื่น



รูปที่ 2.5 แสดง แบบ PLL โดยตรง

PLL แบบคูณความถี่

จะสังเกตเห็นว่าในรูปที่ 2.6 เราทำการหารความถี่อ้างอิง F_R ลง 9 เท่า ก่อนที่จะป้อนให้แก่วงจรดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้จะช่วยลดวิธีการทำงานของวงจรหาร N ลง แต่ก็ทำให้ผลตอบสนองต่อการเปลี่ยนแปลงความถี่ที่ใช้ในการเทียบเฟส



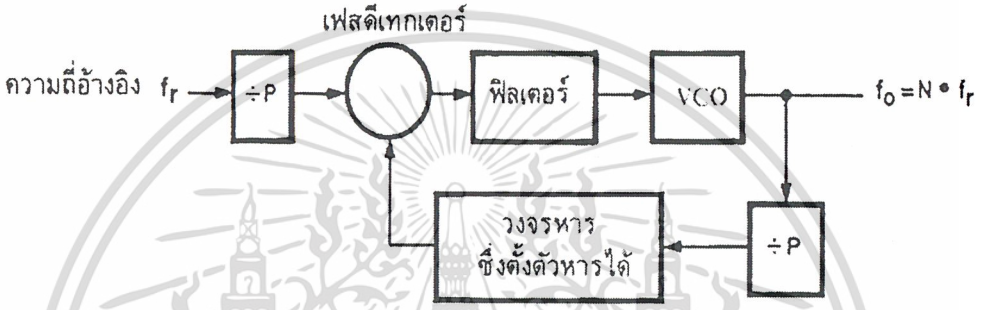
รูปที่ 2.6 แสดง PLL แบบคูณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL แบบพรีสเกลเลอร์

PLL ในรูปที่ 2.7 ใช้วิธีการหารความถี่อ้างอิง F_R ลง P เท่า ก่อนที่จะป้อนให้กับวงจรดีเทคเตอร์ และใช้วิธีการคูณความถี่ขึ้นไป P เท่า ภายในลูป แทนที่จะคูณความถี่ภายนอก ดังเช่น PLL แบบคูณความถี่ วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ใช้งาน โดยไม่ต้องมีวงจรมัลติพลาย

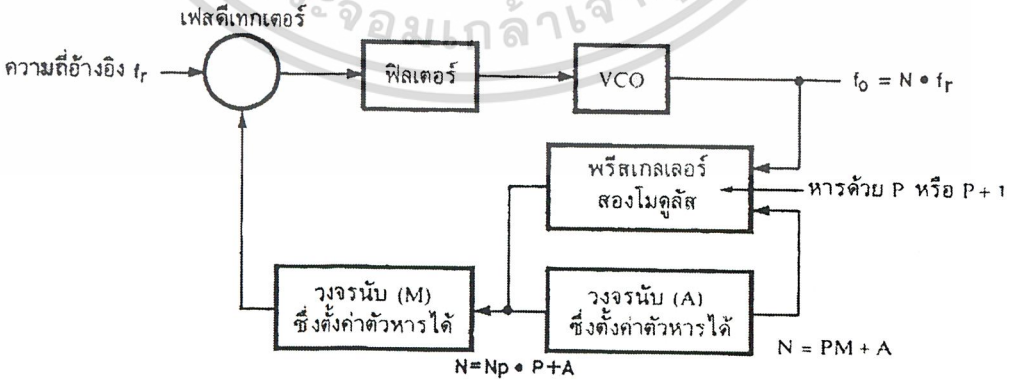
วงจรนับหาร P เป็นชุดวงจรฟลิปฟลอปธรรมดา ซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้เราเรียกว่า วงจรพรีสเกลเลอร์ ส่วนวงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับ PLL ในรูปที่ 2.6



รูปที่ 2.7 แสดง PLL แบบพรีสเกลเลอร์

PLL แบบพรีสเกลเลอร์ สองโมดูลัส

PLL ในรูปที่ 2.8 เช่นเดียวกับ PLL ในรูปที่ 2.7 เว้นแต่วงจรพรีสเกลเลอร์นี้มิใช่เป็นวงจรนับซึ่งหารค่าตายตัวP แต่เป็นวงจรนับซึ่งเป็นตัวหารเปลี่ยนค่าได้ ระหว่างP กับ P+1 เราเรียกพรีสเกลเลอร์แบบนี้ว่า พรีสเกลเลอร์สองโมดูลัส วงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้น ทำงานที่ความถี่ต่ำลง



รูปที่ 2.8 แสดง PLL แบบพรีสเกลเลอร์สองโมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรออสซิลเลเตอร์ (oscilator)

วงจรออสซิลเลเตอร์ เป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่ง ซึ่งถูกนำมาใช้งานทั้งในระบบสื่อสารเช่น ในระบบเครื่องส่ง และ เครื่องรับ ในการกำหนดสัญญาณพาหะ (Carrier frequency) หรือสร้างโลคอลออสซิลเลเตอร์ (Local Oscillator) สำหรับการมิกเซอร์ และการดีเทคสัญญาณ นอกจากนี้ยังนำมาใช้งานในวงจรสร้างสัญญาณเสียงวงจรต้นกำหนดสัญญาณความถี่ต่าง ๆ และเป็นส่วนประกอบย่อยของวงจรอื่น ๆ อีกเป็นจำนวนมาก

วงจรออสซิลเลเตอร์แบ่งออกได้เป็น วงจรออสซิลเลเตอร์คลื่นรูปซายน์ และวงจรออสซิลเลเตอร์ ที่ไม่ใช่คลื่นซายน์ เช่น รูปสี่เหลี่ยม พัลส์ เป็นต้น วงจรออสซิลเลเตอร์ส่วนใหญ่จะเป็นคลื่นรูปซายน์ (Sine-wave Oscillator) ซึ่งจะให้กำเนิดสัญญาณคลื่นรูปซายน์ออกมาตลอดเวลา โดยมีขนาดและความถี่คงที่ ชนิดของการออสซิลเลทแบ่งได้จากอุปกรณ์ที่ใช้ ฉะนั้นวงจรออสซิลเลเตอร์คลื่นรูปซายน์จะแบ่งได้เป็น

1. LC Oscillator
2. RC Oscillator
3. Crystal Oscillator

ซึ่งแต่ละแบบจะมีลักษณะการใช้งาน และข้อดี-ข้อเสียที่ต่างกันไป ดูได้จากตารางที่ 2.1

ตารางที่ 2.1 แสดงการเปรียบเทียบวงจรออสซิลเลเตอร์แบบต่าง ๆ

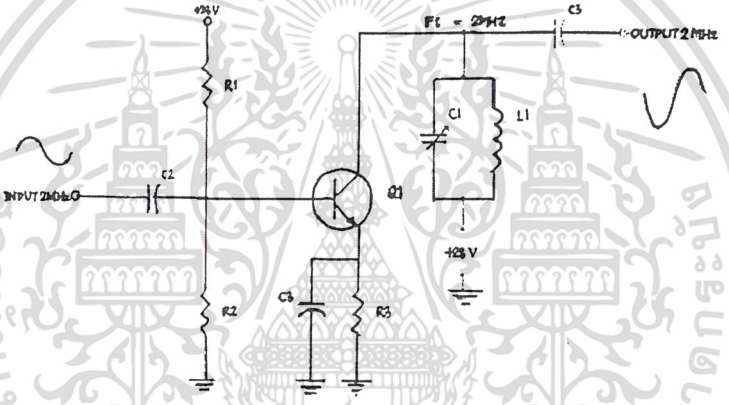
รูปแบบของวงจรออสซิลเตอร์	ข้อดี-ข้อเสีย	ลักษณะการใช้งาน
LC Oscillator	1. ความถี่เปลี่ยนแปลงได้ง่าย 2. เสถียรภาพทางความถี่ไม่ค่อยดี 3. นิยมนำไปใช้งานโดยทั่วไป 4. ใช้ในย่านความถี่สูง	1. ใช้ในเครื่องรับวิทยุ, ทีวีเอฟเอ็ม ฯลฯ 2. ใช้เป็นตัวออสซิเลเตอร์ในการวัดทางด้านความถี่สูง
RC Oscillator	1. ใช้ช่วงความถี่ต่ำ 2. ความถี่สามารถเปลี่ยนแปลงได้ 3. เสถียรภาพของความถี่ไม่ดี	1. ใช้เป็นตัวออสซิลเลเตอร์ในการวัดทางด้านความถี่ต่ำ
Crystal Oscillator	1. เสถียรภาพของความถี่ดีเป็นพิเศษ 2.ใช้ในย่านความถี่สูงการทำให้ความถี่เปลี่ยนแปลงทำได้ยาก	1. ใช้ในเครื่องส่งวิทยุ นาฬิกา เครื่องมือวัดต่าง ๆ ฯลฯ 2. เมื่อนำมาใช้งานร่วมกับวงจรเฟสล็อคลูป จะนำไปใช้งานได้อย่างกว้างขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

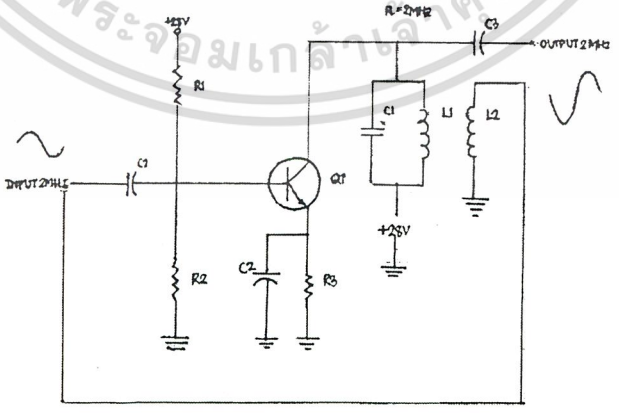
2.2.1 ออสซิลเลเตอร์ป้อนกลับแบบทิกเกอร์

วงจรออสซิลเลเตอร์ป้อนกลับแบบทิกเกอร์ ดังแสดงในรูปที่ 2.9 วงจรขยายสัญญาณในรูปที่ 2.9(a) ถูกต่อให้เป็นออสซิลเลเตอร์ป้อนสัญญาณให้แก่วงจรในรูปที่ 2.9 (b) และมีการนำเทคนิคการป้อนกลับแบบบวกมาใช้ในวงจรดังกล่าว โดยวงจรป้อนกลับประกอบไปด้วย คอยล์ L_2 ซึ่งเรียกว่า ทิกเกอร์คอยล์

จากวงจรในรูปที่ 2.9(a) NPN ซิลิกอนทรานซิสเตอร์ Q_1 ต่อเป็นวงจรแบบออสซิลเลเตอร์ร่วมเอาท์พุทของคอลเลคเตอร์ถูกปรับให้อยู่ที่ความถี่ RF ขนาด 2 MHz โดย $L_1 C_1$ สัญญาณอินพุทถูกป้อนเข้าที่ขาเบส โดย C_2 และสัญญาณที่ถูกขยายแล้วจะปรากฏที่เอาท์พุทของขาคอลเลคเตอร์ และถูกคัปปลิ้งโดย C_3 ไปยังวงจรในภาคถัดไปจะสังเกตเห็นว่า สัญญาณที่เอาท์พุทจะมีเฟสตรงข้ามกับสัญญาณที่อินพุทเสมอ เพราะเป็นวงจรแบบอิมิตเตอร์นั่นเอง



(a) วงจรขยายสัญญาณอินพุทและเอาท์พุทความถี่ 2 MHz



(b) วงจรออสซิลเลเตอร์พร้อมกับคอยล์ทิกเกอร์สำหรับการป้อนกลับ

รูปที่ 2.9 แสดงวงจรขยายสัญญาณ RF ในลักษณะวงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การป้อนกลับแบบบวก

วงจรที่มีส่วนสำคัญในการทำให้วงจรขยายสัญญาณ 2.9 (b) มีการทำงานเป็นวงจรออสซิลเลเตอร์ได้ ก็คือ การป้อนกลับแบบบวกจากคอยล์ทิกเกอร์ L_2 นั่นเอง จะเห็นว่า L_2 จะคัปปลิ้งสัญญาณกับ L_1 ของวงจรจูนในลักษณะของการคัปปลิ้งโดยหม้อแปลงไฟฟ้า(Transformer coupling) ซึ่งจะทำให้สัญญาณความถี่ 2 MHz ที่เอาท์พุทคอลเลคเตอร์ ถูกคัปปลิ้งไปยัง L_2

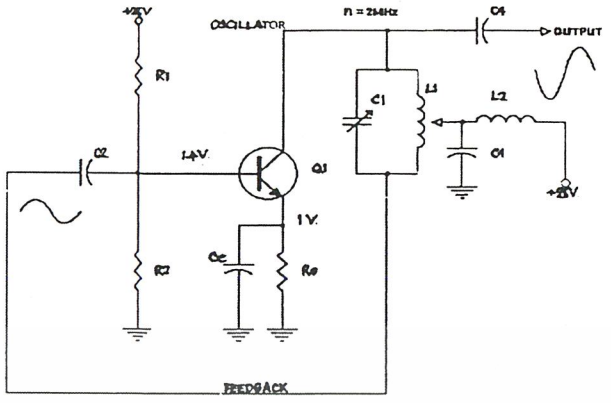
แรงดันไฟฟ้าที่ตกคร่อม L_1 อาจจะมีเฟสเดียวกันกับแรงดันไฟฟ้าที่ตกคร่อม L_1 หรือ ต่างเฟสกัน 180 $^{\circ}$ ก็ได้ ซึ่งขึ้นอยู่กับลักษณะการพันคอยล์ทิกเกอร์ L_2 และลักษณะการจุดกราวนด์ของคอยล์ว่าด้านไหนถูกต่อลงกราวนด์ ดังนั้นจึงก่อให้เกิดการกลับเฟส 2 ครั้งขึ้น คือ ครั้งแรกเกิดขึ้นในวงจร คอลเลคเตอร์ ของวงจรขยายสัญญาณอิมิตเตอร์ร่วม และอีกครั้งหนึ่งเกิดขึ้นในการคัปปลิ้งโดยหม้อแปลงไฟฟ้าระหว่าง L_1 กับ L_2 จึงทำให้สัญญาณป้อนกลับมีเฟสเดียวกันกับสัญญาณที่อินพุท ในลักษณะเช่นนี้จึงสรุปได้ว่า สัญญาณป้อนกลับก็คือ แรงดันไฟสลับที่ประกอบด้วยขั้วบวกและขั้วลบเพราะฉะนั้นในกรณีของการป้อนกลับแบบบวก ก็คือ การเสริมกันของเฟสของสัญญาณที่ป้อนกลับกับสัญญาณที่อินพุทนั่นเอง

2.2.2 ออสซิลเลเตอร์แบบฮาร์ทเลย์

จุดสังเกตวงจรแบบนี้อยู่ที่วงจรจูน LC ที่มีการแท็ปคอยล์ป้อนกลับแทนที่จะเป็นคอยล์ทิกเกอร์แบบแยก จากรูปที่ 2.10 C_1 และ L_1 ประกอบกันเป็นวงจรจูน การแท็ปสัญญาณจากคอยล์ L_1 ที่จุด G ก็เพื่อเป็นทางจ่ายแรงดันคอลเลคเตอร์ L_2 ในวงจร คือ RFโช๊ค จุดแท็ปสัญญาณ G จะต่ออยู่กับกราวนด์ โดยมี C_4 เป็นตัวบายพาสสัญญาณคาปาซิเตอร์เอาท์พุทของออสซิลเลเตอร์จะจ่ายออกที่ขาคอลเลคเตอร์ ซึ่งมีระดับแรงดันไฟฟ้าเท่ากับ V ซึ่งเป็น ความต่างศักดิ์ระหว่างจุด A บนคอยล์ L_1เทียบกับจุด G ส่วนในด้านตรงกันข้ามกับจุดแท็ปแรงดันไฟสลับป้อนกลับเท่ากับ V_{BG} ซึ่งถูกคัปปลิ้งโดย C_2 ไปเข้ายังขาเบสของ Q_1 การป้อนกลับสัญญาณในลักษณะนี้จะเป็นแบบบวก เพราะจะมีความต่างเฟสกัน 180 $^{\circ}$ เมื่อเทียบกับ V_{AG} ซึ่งผลลัพธ์ที่เกิดขึ้นจะก่อให้เกิดการออสซิลเลตผลิตสัญญาณไฟสลับจ่ายออกมาที่เอาท์พุทด้วยความถี่เรโซแนนซ์ของวงจร LC

พิจารณาระดับแรงดันไฟตรง V_C มีค่าเท่ากับ 28 V เพราะความต้านทานไฟตรงของคอยล์ RF,L_1 และ L_2 มีค่าน้อยมากไม่นำมาคำนวณก็ได้ ขาอิมิตเตอร์มีแรงดันไฟไบอัสตนเองเท่ากับ 1V จาก R_L โดยมี C_E เป็นตัวรักษาความเสถียรภาพของการไบอัสแรงดันไฟฟ้าฟอร์เวิร์ด ที่ขาเบสจ่ายผ่าน R_1,R_2 ซึ่งแบ่งมาจากแหล่งจ่ายไฟ +28 V ดังนั้นค่า V_{BE} = 1.4-1.0 = 0.4 V ซึ่งน้อยกว่าแรงดันไฟฟ้าคัทออฟ 0.5 V แต่ค่าแรงดันยอดด้านบวกของแรงดันไฟฟ้าป้อนกลับจะขับให้ขาเบสมีระดับแรงดันไฟฟ้าเป็นบวกซึ่งสามารถทำให้ Q_1 นำกระแสไฟฟ้าและวงจรการเกิดออสซิลเลทได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



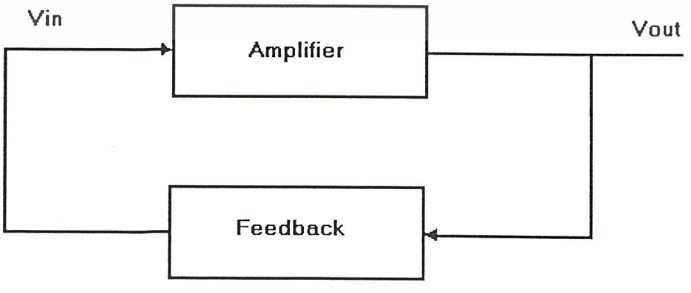
รูปที่ 2.10 แสดงวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์

2.2.3 หลักการของวงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์ คือ วงจรขยายชนิดหนึ่งนั่นเอง แต่เป็นวงจรขยายชนิดป้อนกลับแบบบวก (positive feedback) จะสร้างสัญญาณเอาท์พุทออกมาที่ความถี่ค่าหนึ่ง โดยไม่ต้องการสัญญาณอินพุทดังนั้นอาจกล่าวได้ว่า วงจรออสซิลเลเตอร์ประกอบด้วย 3 ส่วนคือ

1. วงจรขยาย (Amplifier)
2. วงจรป้อนกลับแบบบวก (Positive feeback)
3. วงจรีโซแนนซ์ (Resonance)

โดยที่ Amplifier เป็นวงจรที่สามารถขยายสัญญาณความถี่ที่เราต้องการ positive feedback เป็นวงจรป้อนกลับสัญญาณเพื่อนำมาขยายเพิ่มขึ้น โดยจะต้องเป็นการป้อนกลับแบบบวกและวงจรรีโซแนนซ์ เป็นตัวเลือกความถี่



รูปที่ 2.11 แสดงวงจร positive feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากรูป 2.11 แสดงถึงบล็อกไดอะแกรมของ positive feedback เราสามารถหาอัตราขยายแรงดันรวมของวงจรได้ดังนี้

$$A_v = \frac{A}{1 - A\beta} \tag{2.2}$$

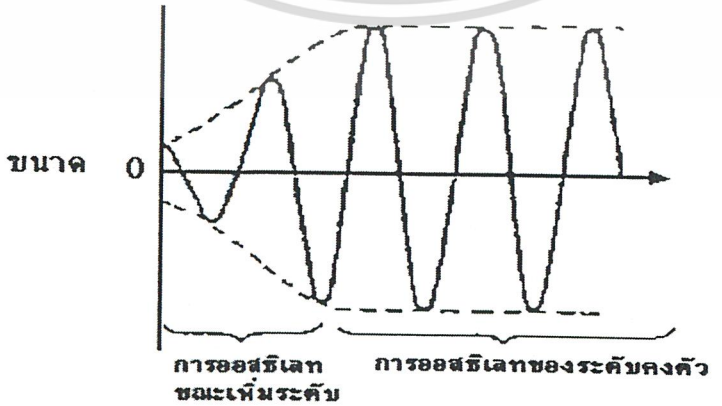
จากสมการจะเห็นว่าถ้าเป็นการป้อนกลับแบบบวกเทอมของ $A\beta$ จะมีค่าเป็นบวก อัตราขยายรวมของวงจรจะมีค่าเพิ่มขึ้น และถ้าเทอม $A\beta$ อัตราขยายรวมของวงจรจะมีค่าอนันต์ สามารถนำมาอธิบายการเกิดออสซิลเลทของวงจรออสซิลเลเตอร์ได้ว่า ถ้ามีสัญญาณขนาดเล็ก ๆ ป้อนเข้ามาทางอินพุทของวงจรขยาย สัญญาณเอาท์พุทที่ได้จะกลับเฟส 180° แล้วป้อนกลับแบบบวกมาเสริมสัญญาณอินพุทซึ่งมีเฟสเสริมกัน จึงทำให้สัญญาณอินพุทมีขนาดเพิ่มขึ้น สัญญาณเอาท์พุทที่ได้ก็จะมีขนาดใหญ่ตามไปด้วย เมื่อมีการป้อนกลับเสริมอีกก็จะทำให้ได้เอาท์พุทขนาดใหญ่ขึ้นไปเรื่อย ๆ นั้นคือ ค่าของ loop gain $A\beta > 1$ เริ่มเกิดการออสซิลเลท โดยปกติการเพิ่มขึ้นของสัญญาณจะถูกจำกัดที่แรงดันค่าหนึ่ง เมื่อ loop gain = 1 ดังนั้นเมื่อเกิดการป้อนกลับก็เสมือนว่า ป้อนกลับด้วยค่าแรงดันที่คงที่ วงจรจึงให้เอาท์พุทที่ได้ระดับแรงดันเสมือนกับคงที่คือ การออสซิลเลทอย่างต่อเนื่องนั้นเอง

อาจสรุปเป็นเงื่อนไขการเกิดออสซิลเลทได้ 2 ข้อ ดังนี้

1.อัตราขยายของ loop gain ต้องมีค่ามากกว่าหรือเท่ากับ 1

2.ผลรวมของเฟสภายใน loop ต้องเป็นจำนวนเต็มเท่าของ 2π เรเดียน หรือ $0, 360^\circ$ ถ้าเกิดกรณีทั้ง 2 พร้อมกันและวงจรจึงจะเกิดการออสซิลเลท

ในวงจรออสซิลเลเตอร์ทั่วไปจะเกิดการออสซิลเลทได้ด้วยตัวเอง โดยไม่ต้องมีการป้อนสัญญาณอินพุทเข้าไปเลยไม้แต่น้อย ทั้งนี้เพราะสัญญาณที่ช่วยกระตุ้นให้เกิดการออสซิเลเลทในขณะเริ่มต้นนั้นคือ สัญญาณรบกวนที่มีอยู่ภายในอุปกรณ์นั้นเอง เพียงแต่จะต้องมีการป้อนแรงดันไปเลี้ยงให้กับวงจรตลอดเวลาเท่านั้น



รูปที่ 2.12 แสดงการเกิดออสซิลเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดัน (VCO)

โดยทั่วไปนิยมเรียกสั้นๆว่า VCO หรือโวลเตจคอนโทรลออสซิลเลเตอร์ เป็นวงจรที่ใช้สำหรับการปรับแต่งความถี่ของวงจรออสซิลเลเตอร์ซึ่งวิธีการที่ใช้คือ ใช้คาปาซิทิฟไดโอดแบบสารกึ่งตัวนำ หรือที่เรียกกันว่า วาริแคป (Varicap) หรือ วาแร็กเตอร์ (Varactor) คุณสมบัติของไดโอดชนิดนี้คือ ค่าคาปาซิแตนซ์จะแปรผันตามแรงดันไฟฟ้ารีเวิร์ดที่ป้อนให้กับตัวมันเอง ดังนั้นเมื่อต่อวาแร็กเตอร์คร่อม L ในวงจรจูนของออสซิลเลเตอร์ จึงทำให้มีคุณสมบัติในการปรับความถี่ได้โดยการควบคุมระดับแรงดันไฟฟ้าที่ตกคร่อมไดโอด

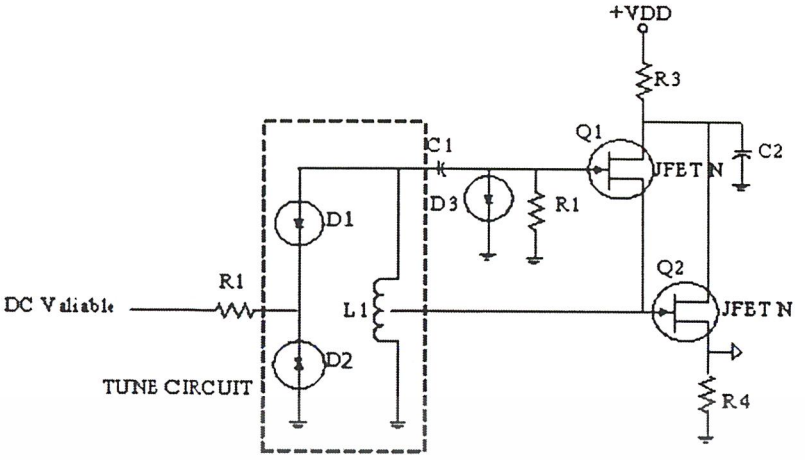
วาแร็กเตอร์ไดโอด

รอยต่อ PN เมื่อถูกป้อนด้วยแรงดันไฟฟ้ารีเวิร์ด จะทำให้มีคุณสมบัติเป็นคาปาซิเตอร์ ได้ P และ N อิเล็กโทรดเปรียบได้กับแผ่นตัวนำสองแผ่นประกบกันอยู่โดยมีย่านปลอดประจุของรอยต่อแทรกอยู่ ซึ่งย่านปลอดประจุนี้เป็นเสมือนแถบต้านทาน เพราะไม่มีประจุไฟฟ้าอิสระใดๆเคลื่อนที่ผ่านไปได้ ค่าคาปาซิแตนซ์มีค่าประมาณ 80 pF หรือสูงกว่า สำหรับแรงดันไฟฟ้ารีเวิร์ดที่ป้อนเท่ากับ 6 V ข้อสำคัญที่ต้องสังเกตก็คือ ค่าคาปาซิแตนซ์ C จะเปลี่ยนแปลงตามขนาดของแรงดันไฟฟ้ารีเวิร์ดที่ป้อน

วงจร VCO

วงจร VCO แสดงดังรูป 2.13 ทรานซิสเตอร์ Q_1 ทำหน้าที่เป็นออสซิลเลเตอร์ วงจรจูนประกอบด้วย แท็ปคอยล์ L_1 ต่อคร่อมคาปาซิทิฟไดโอด D_1 และ D_2 โดยขั้วคาโธดของไดโอดทั้งคู่จะมีการควบคุมระดับแรงดันไฟตรง สำหรับแรงดันไฟรีเวิร์ดที่ป้อนเข้ามาทางขาคาโธด เพื่อไปควบคุมการเปลี่ยนแปลงค่า C_V ซึ่งการควบคุมคาปาซิแตนซ์ในลักษณะนี้ก็เพื่อควบคุมความถี่ออสซิลเลเตอร์ และเหตุที่ต้องต่อไดโอดสองตัวอนุกรมกัน ก็เพื่อทำให้เกิดความสมดุลกันของผลกระทบแรงดันไฟฟ้าของออสซิลเลเตอร์ที่ต่อไดโอด เอาท์พุทของวงจรออสซิลเลเตอร์จะจ่ายออกขาซอร์สอิเล็กโตรดของ Q_1 และถูกคัปปลิ้งโดยตรงไปยังขาเกตของ Q_2 โดยเอาท์พุทจะออกจากขาซอร์สในวงจร ซอร์สฟอร์โลว์เวอร์ ซึ่งเทียบเท่าคุณสมบัติได้กับวงจร อิมิตเตอร์ฟอร์โลว์เวอร์ Q_2 จะถูกใช้เป็นตัวบัฟเฟอร์ระหว่างวงจร ซึ่งมีจุดประสงค์เพื่อต้องการจะแยกเอาท์พุทของออสซิลเลเตอร์ Q_1 ออกจากโหลดที่ต่ออยู่กับ Q_2 ซึ่งข้อดีของการจัดวงจรในลักษณะนี้ก็เพื่อช่วยให้เสถียรภาพของความถี่ดีขึ้น และทั้ง Q1 และ Q_2 ต่างก็เป็น FET ชนิด N แชนแนล (JFET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจร VCO D ใช้สำหรับควบคุมความถี่

วงจร VCO ได้มีการนำไปประยุกต์ใช้งานอย่างมากมายเนื่องจากคุณสมบัติที่ดีในการควบคุมความถี่ออสซิลเลเตอร์ด้วยระดับแรงดันไฟตรง ตัวอย่างเช่นปุ่มปรับช่องสัญญาณ ชนิดสัมผัสในเครื่องรับโทรทัศน์ ซึ่งอาศัยระดับแรงดันไฟตรงไปควบคุมความถี่ของแต่ละช่องสัญญาณได้ การประยุกต์ใช้งานในลักษณะนี้เรียกว่า อิเล็กทรอนิกส์จูนนิ่ง (Electronic Tuning) ซึ่งการปรับแรงดันไฟตรงยังต้องใช้มือปรับ แต่เราสามารถปรับปรุงให้ปรับระดับแรงดันโดยอัตโนมัติ ได้โดยใช้วงจรอิเล็กทรอนิกส์ควบคุม ซึ่งวงจรที่มีลักษณะดังกล่าวได้แก่วงจร เฟสล็อคลูป (Phase Lock Loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
การออกแบบโครงงาน

ในการออกแบบเครื่องกำเนิดสัญญาณ 10- 50 MHz เราสามารถเลือกวิธีการออกแบบได้หลายวิธี ซึ่งในโครงงานนี้ได้ใช้วิธีสังเคราะห์ความถี่ โดยอาศัยหลักการของเฟสล็อคลูป เนื่องจากข้อดีของเฟสล็อคลูป ที่สามรถผลิตความถี่ออกมาได้แม่นยำและมีความเที่ยงตรงค่อนข้างสูง และยังปรับเปลี่ยนความถี่ได้ง่ายโดยไม่ต้องเปลี่ยนอุปกรณ์ภายใน

สิ่งที่สำคัญในการออกแบบก็คือ ข้อจำกัดของตัวอุปกรณ์ที่ใช้ต้องสามารถตอบสนองต่อช่วงของความถี่ที่เราต้องการออกแบบได้ ซึ่งวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปนั้น มีหัวใจสำคัญในการออกแบบให้ได้ความถี่ที่ต้องการก็คือ วงจรส่วน Voltage Control Oscillator (VCO) ที่ทำหน้าที่ผลิตความถี่ในช่วงที่เราต้องการ โดยการควบคุมช่วงความถี่จากการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับที่ป้อนให้กับวาริแคปไดโอด (Varicap Diode) ผลของการเปลี่ยนแปลงค่าแรงดันไบอัสย้อนกลับนี้ จะทำให้ค่าความจุวาริแคปไดโอดเปลี่ยนแปลงไปด้วย ซึ่งจะเป็นตัวกำหนดให้ VCO สามารถผลิตความถี่ออกมาได้ในช่วงที่ต้องการ

ช่วงความถี่ที่เราต้องการออกแบบคือ 10-50 MHz โดยพิจารณาอัตราส่วนระหว่างความถี่สูงสุดในการออกแบบต่อความถี่ต่ำสุดในการออกแบบ ดังสมการที่ 3.1

$$f_{O(MAX)} / f_{O(MIN)} \tag{3.1}$$

แทนค่าความถี่สูงสุดและต่ำสุดลงไป จะได้ 50 MHz / 10 MHz = 5 เท่า จากสมการ

$$f_{O(MAX)} = \frac{1}{2\pi\sqrt{LC}} \tag{3.2}$$

ในการออกแบบกำหนดให้ค่าความเหนี่ยวนำ (L) มีค่าคงที่ และค่าความจุ (C) สามารถเปลี่ยนแปลงค่าโดย

$$C = C_{FIX} + C_V \tag{3.3}$$

โดย C_{FIX} คือ ค่าความจุคงที่ในวงจร

C_V คือ ค่าความจุที่สามารถเปลี่ยนค่าได้

ดังนั้นจากสมการที่ 3.2 จะได้

$$f_{O(MAX)} = \frac{1}{2\pi\sqrt{L(C_{FIX} + C_{V(MIN)})}} \tag{3.4}$$

และ

$$f_{O(MIN)} = \frac{1}{2\pi\sqrt{L(C_{FIX} + C_{V(MAX)})}} \tag{3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50410

นำค่า $f_{O(MAX)}$ และ $f_{O(MIN)}$ แทนลงในสมการที่ 3.1 จะได้

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{1/2\pi\sqrt{L(C_{FIX} + C_{V(MIN)}}}{1/2\pi\sqrt{L(C_{FIX} + C_{V(MAX)}}} \tag{3.6}$$

เมื่อพิจารณาเฉพาะค่าที่เปลี่ยนแปลงได้ก็คือค่าของ C_V จะได้

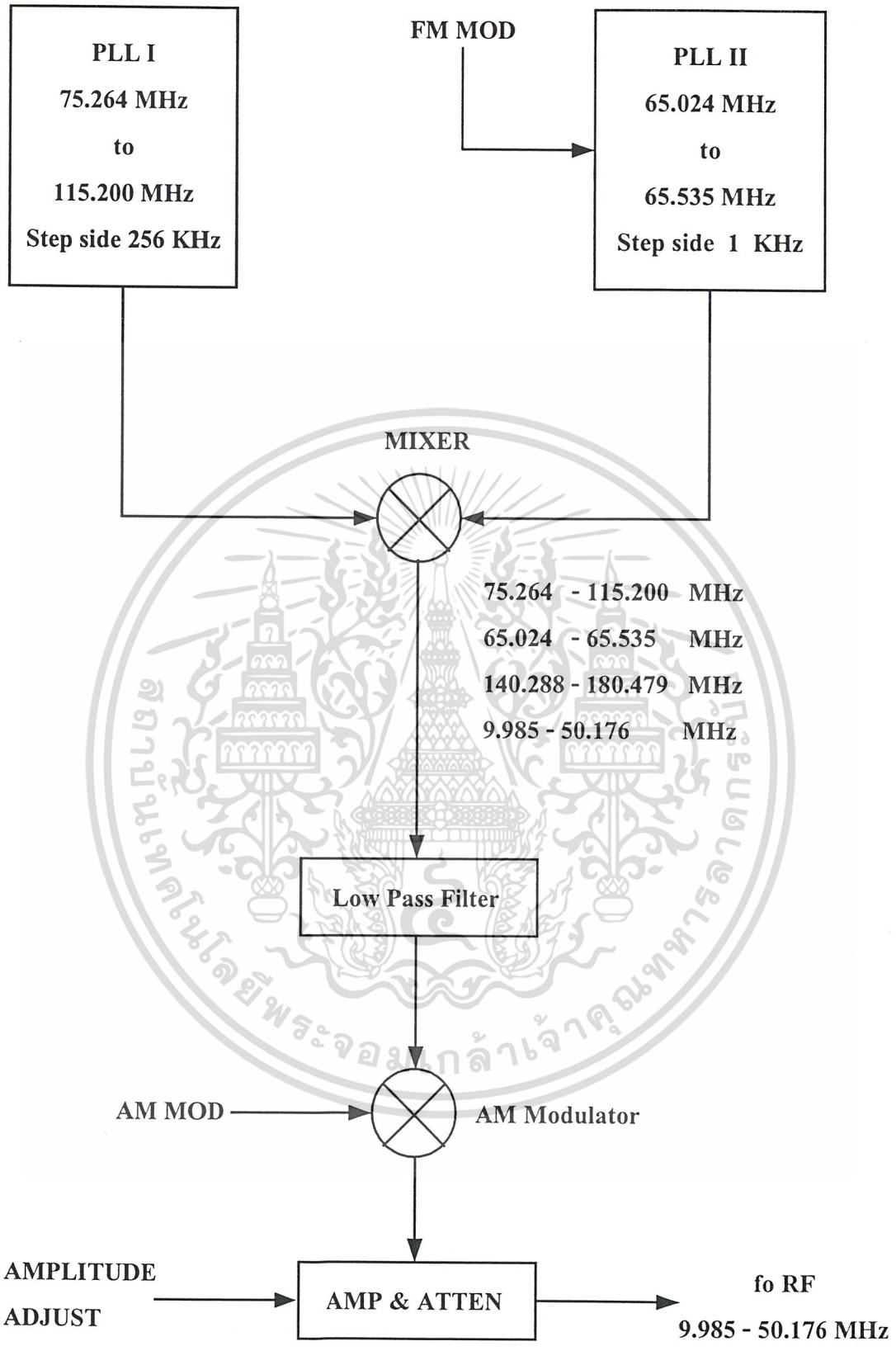
$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \sqrt{\frac{C_{V(MAX)}}{C_{V(MIN)}}} \tag{3.7}$$

แทนค่าอัตราส่วนที่ได้จากสมการที่ 3.1 เท่ากับ 5 เท่า ลงไปซึ่งจะได้ค่าอัตราส่วนระหว่าง $C_{V(MAX)}$ กับ $C_{V(MIN)}$ ที่ต้องการสำหรับการออกแบบ ซึ่งต้องมีค่าอย่างน้อยเท่ากับ

$$\frac{C_{V(MAX)}}{C_{V(MIN)}} \geq 25 \text{ เท่า}$$

จะเห็นได้ว่าอัตราส่วนของค่าความจุที่ได้จะมีค่ามาก เป็นผลให้ช่วงของการเปลี่ยนค่าความจุระหว่าง $C_{V(MAX)}$ กับ $C_{V(MIN)}$ มีค่ากว้างมากขึ้นตามไปด้วย เมื่อนำค่าอัตราส่วนที่ได้เปรียบเทียบกับคุณสมบัติการเปลี่ยนแปลงค่าความจุของวาริแคปที่มีขายตามท้องตลาดแล้ว ส่วนใหญ่จะมีค่าความจุไม่มากเท่ากับที่เราต้องการใช้ในการออกแบบ จึงทำให้วงจรออสซิลเลเตอร์ที่เราต้องการออกแบบด้วยค่าของวาริแคปที่มีขายในท้องตลาดไม่สามารถผลิตความถี่ในช่วงที่เราต้องการได้ ดังนั้นจำเป็นต้องทำการออกแบบวงจรออสซิลเลเตอร์โดยใช้วาริแคปไดโอดที่สามารถหาได้ในท้องตลาดมาทำการออกแบบ โดยอาศัยหลักการในการออกแบบวงจรVCO ขึ้นมา 2 ชุด ซึ่งแต่ละชุดจะ ผลิตความถี่ที่แตกต่างกัน จากนั้นนำความถี่ที่ได้จาก VCO ทั้ง 2 ชุดมาเข้าภาค Mixer ซึ่งภาคนี้จะได้ค่าความถี่ออกมา 4 ความถี่ คือ ค่าความถี่จากภาค PLL I (f_{01}) , ค่าความถี่จากภาค PLL II (f_{02}) , ค่าความถี่ผลรวม ($f_{01} + f_{02}$) และค่าความถี่ผลต่าง ($f_{01} - f_{02}$) จากนั้นนำมาผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองเอาเฉพาะความถี่ผลต่าง ซึ่งค่าความถี่ผลต่างที่ได้นี้จะเป็นช่วงความถี่ที่เราต้องการ ดังแสดงให้เข้าใจโดยบล็อกไดอะแกรมการออกแบบหลักของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



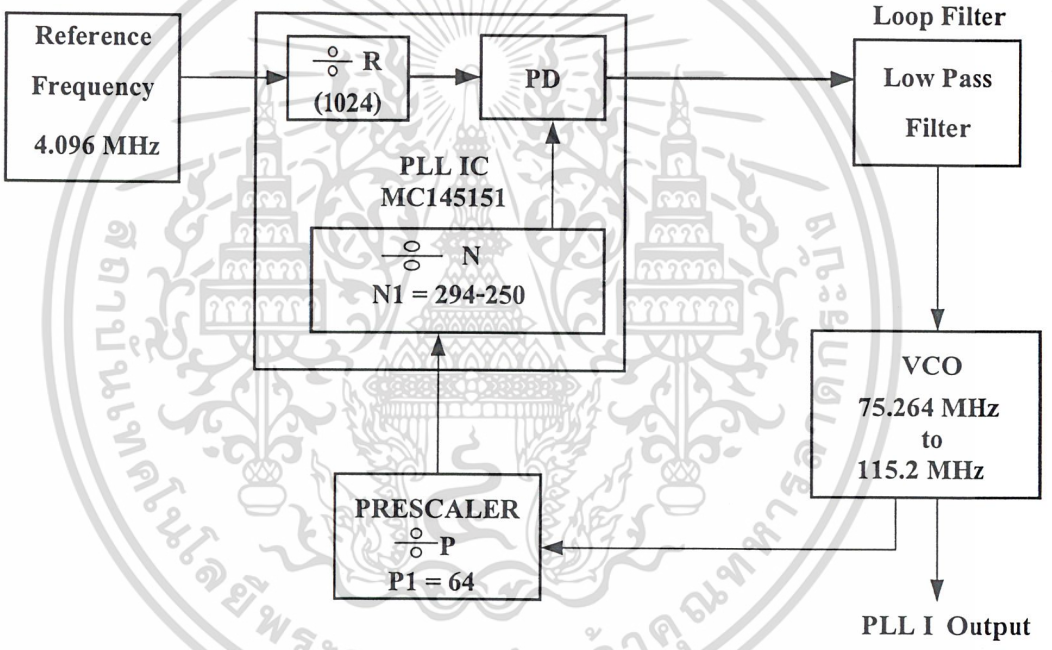
รูปที่ 3.1 แสดงบล็อกไดอะแกรมการออกแบบหลักของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การออกแบบภาค PLL I

จากรูปที่ 3.1 เป็นบล็อกไดอะแกรมที่ใช้ในการออกแบบโครงงานเครื่องกำเนิดสัญญาณในช่วงความถี่ 10- 50 MHz ซึ่งภาคแรกของการออกแบบก็คือส่วนของบล็อก PLL I ซึ่งทำหน้าที่กำเนิดสัญญาณในช่วงความถี่ 75.264 – 115.200 MHz โดยวิธีเฟสล็อคลูป ซึ่งภายในบล็อคจะประกอบด้วยภาคหลักๆ ดังนี้

1. ภาค Voltage Control Oscillator (VCO)
2. ภาค Prescaler (÷P)
3. ภาค Phase Detector (PD)
4. ภาค Loop Filter (Low Pass Filter)



รูปที่ 3.2 แสดงบล็อกไดอะแกรมการออกแบบส่วน PLL I

จากรูปที่ 3.2 เป็นบล็อกไดอะแกรมการทำงานของ PLL I โดยหัวใจสำคัญของบล็อกนี้ก็คือ ส่วนของ VCO ที่ให้กำเนิดสัญญาณรูปคลื่นซายน์ในช่วงความถี่ 75.264-115.200 MHz จากนั้นนำมาผ่านภาคขยายสัญญาณเพื่อขยายขนาด Amplitude ให้สูงขึ้นเพียงพอสำหรับเป็น Output ของ PLL I แล้วส่งต่อไปยังภาค Prescale(÷P) เพื่อทำการหารความถี่ด้วยค่า P=64 ซึ่งเอาท์พุทที่ได้จะเป็นรูปคลื่นสีเหลี่ยมช่วงความถี่เท่ากับ 1.176 MHz ถึง 1.8 MHz ซึ่งจะใช้ ไอซี Prescaler เบอร์ MC 12017 ทำงานในภาคนี้จากนั้นส่งต่อไปยังภาค Phase Detector ซึ่งก็คือไอซีเบอร์ MC 145151 ซึ่งเป็นแบบ Parallel PLL Frequency Synthesizer ที่มีขาสำหรับเซตค่าหาความถี่ (÷N) เป็นแบบ Parallel Input ซึ่งสามารถกำหนดค่าหารความถี่นี้ได้ด้วยดิฟสวิทช์ โดยค่าหารความถี่จะมีค่าหารความถี่จะมีค่าตั้งแต่ 294-450 เพื่อที่จะหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่ได้จากภาค Prescaler ให้เหลือเพียง 4 kHz ก่อนส่งต่อไปยังภาค Phase Detector(PD) ที่ภาคเฟสดีเทคเตอร์นี้ จะมีค่าความถี่อ้างอิงคงที่ค่าหนึ่งเท่ากับ 4 kHz ที่ได้มาจากวงจรคริสตอลออสซิลเลเตอร์ ความถี่ 4.096 MHz ป้อนให้กับ IC MC145151 แล้วเซตค่าหารความถี่อ้างอิง(÷ R) เท่ากับ 1024 จะได้ค่าความถี่อ้างอิงคงที่เท่ากับ 4 kHz จากนั้นเฟสดีเทคเตอร์จะทำการเปรียบเทียบกัน ซึ่งค่าที่ได้เป็น Error โดยการสังเคราะห์ความถี่จะสามารถสังเคราะห์ความถี่ได้ตรงตามความถี่ที่เราต้องการ ก็ต่อเมื่อเฟสทั้งสองส่วนเท่ากัน จากนั้นนำมาผ่านภาค Loop Filter แบบโลว์พาส เพื่อกรองเอาความถี่สูงทิ้งไป สัญญาณที่ได้จะเป็นแรงดันไฟตรงป้อนกลับมาควบคุมภาค VCO

3.1.1 การออกแบบภาค Voltage Control Oscillator (VCO I)

ภาค เป็นภาคแรกสำหรับการออกแบบ ซึ่งภาคนี้จะให้กำเนิดสัญญาณรูปคลื่นซายน์ในช่วงความถี่ 75.264-115.200 MHz โดยการควบคุมการเปลี่ยนแปลงความถี่ด้วยระดับแรงดันไฟตรงที่ป้อนไบอัสกลับ ให้กับวาริแคปไดโอด จากแนวความคิดในการออกแบบ จะทำให้เราสามารถเลือก Varicap Diode มาใช้ในการออกแบบภาคนี้ได้โดยใช้สมการ 3.1 หาอัตราส่วนระหว่างความถี่สูงสุดในการออกแบบกับความถี่ต่ำสุดในการออกแบบจะได้

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \frac{115.200\,MHz}{75.264\,MHz} = 1.53 \text{ เท่า}$$

ซึ่งความสามารถในการเปลี่ยนแปลงความถี่ จะขึ้นอยู่กับความสามารถในการเปลี่ยนแปลงค่าความจุของวาริแคปไดโอด ตามความสัมพันธ์ดังสมการที่ 3.7

$$\frac{f_{O(MAX)}}{f_{O(MIN)}} = \sqrt{\frac{C_{V(MAX)}}{C_{V(MIN)}}}$$

แทนค่า $f_{O(MAX)} / f_{O(MIN)}$ เท่ากับ 1.53 เท่า ลงในสมการที่ 3.7 จะได้

$$\frac{C_{V(MAX)}}{C_{V(MIN)}} = 2.34 \text{ เท่า}$$

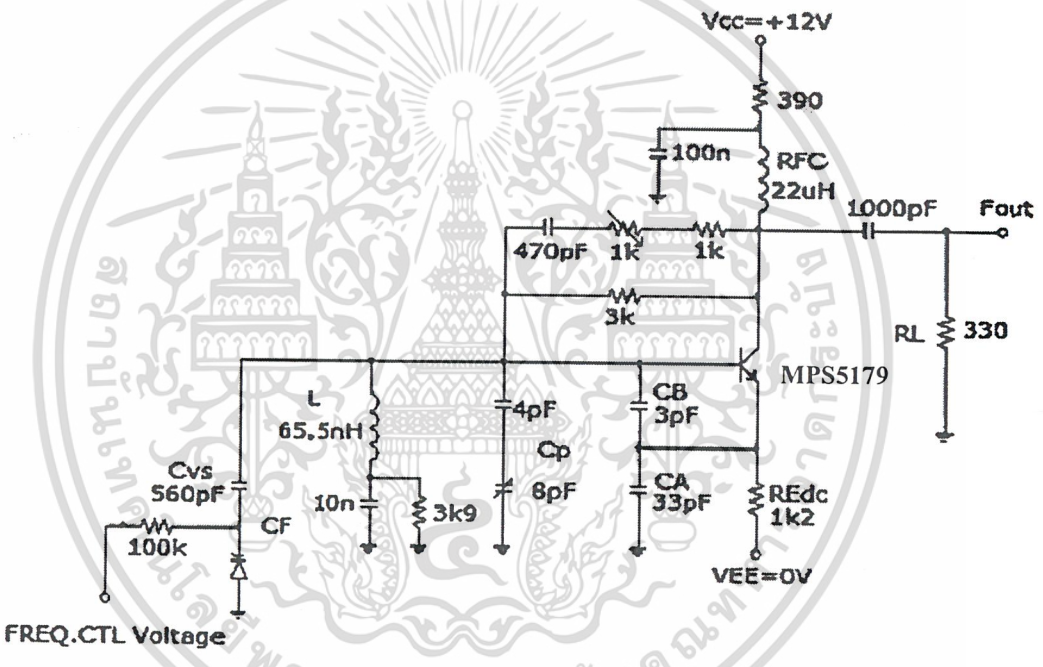
หมายความว่าเราต้องการ Varicap Diode ที่มีค่า $\frac{C_{V(MAX)}}{C_{V(MIN)}} \geq 2.34$ เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบเราจะใช้วาริแคปไดโอดเบอร์ MV 2109 สามารถรับแรงดันไบอัสย้อนกลับ (V_R) ได้ถึง 30 V ซึ่งเรากำหนดแรงดันไบอัสย้อนกลับแก่วาริแคปไดโอด อยู่ในช่วง 0.3 –28 V ซึ่งจะทำให้เราได้ค่าความจุของวาริแคปไดโอด อยู่ในช่วงประมาณ 17.08 pF- 79.28 pF เมื่อนำช่วงนี้ไปหาอัตราส่วน จะได้

$$\frac{C_{V\,(MAX)}}{C_{V\,(MIN)}} = \frac{79.28pF}{17.08pF} = 4.64 \text{ เท่า}$$

เนื่องจากว่ามีค่ามากกว่าค่าที่เราต้องการ แสดงว่าเราใช้วาริแคปไดโอดเบอร์นี้ในการออกแบบได้



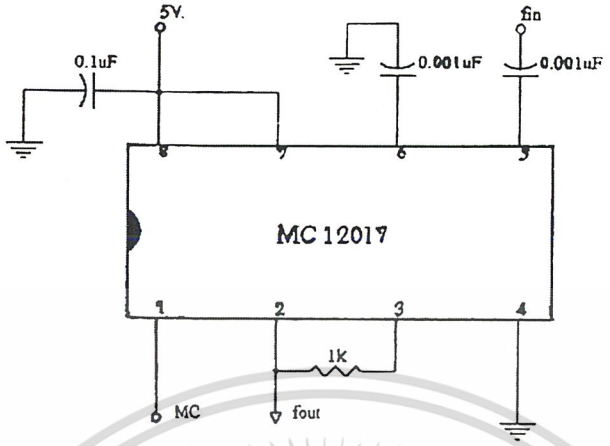
รูปที่ 3.3 แสดงรูปวงจรของภาค Voltage Control Oscillator

จากรูปที่ 3.3 ค่าความถี่จะขึ้นอยู่กับค่าความเหนี่ยวนำ (L) ค่าความจุที่เปลี่ยนค่าได้จากวาริแคปไดโอด(C_{VF}) ตัวเก็บประจุ(C_1 และ C_2) ค่าความจุระหว่างรอยต่อเบสกับอิมิตเตอร์ของทรานซิสเตอร์($C_{b'e}$) ตามสมการที่ 3.2

$$f_O = \frac{1}{2\pi\sqrt{LC}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การออกแบบภาค Prescaler



รูปที่ 3.4 แสดงวงจรที่ใช้ต่อทดลองภาคพรีสเกลเลอร์

เป็นวิธีที่จะทำให้ระบบสังเคราะห์ความถี่ได้สูงมากวิธีหนึ่ง โดยวงจรนี้จะใช้ไอซีเบอร์ MC12017 ซึ่งจะทำการหารล่วงหน้า (Prescaler) ก่อนซึ่งไอซีตัวนี้จะหารได้ 2 ค่า คือ 64 และ 65 นิยมเรียกไอซีชนิดนี้ว่า พรีสเกลเลอร์ชนิด โมดูลัส (Dual Modulus Prescaler)

จากรูปวงจรไอซีเบอร์ 12017 นี้ต้องการไฟเลี้ยง 5 V ที่ขา 1 (Modulus Control : MC) เราสามารถเลือกให้มีการทำงานในลักษณะที่หารความถี่ด้วยค่า 2 ค่า สลับกันไปในไอซีตัวเดียว โดยใช้สัญญาณลอจิก High หรือ Low แต่ในวงจรเราจะเลือกเป็นการหาค่าไว้ตายตัวที่ 64 โดยการให้สัญญาณลอจิก High โดยสัญญาณที่ป้อนให้ไอซี ควรมีค่าอย่างน้อย 800 mVpp (ดูรายละเอียดในData Sheet) ตัวต้านทานที่ต่อระหว่างขา 2 และขา 3 เป็นค่าโหลดของไอซี เอาท์พุทที่ได้จากภาคพรีสเกลเลอร์ จะเป็นสัญญาณรูปคลื่นสี่เหลี่ยม และมีค่าความถี่เป็นไปตามสมการต่อไปนี้

$$f_{OUT} = f_{IN}/P \qquad (3.8)$$

จากสมการที่ 3.8 จะทำให้ได้ค่าความถี่เอาท์พุทมีค่าเท่ากับ 1.176 MHz ถึง 1.800 MHz

3.1.3 การออกแบบภาค Phase Detector

ภาคเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณที่ได้รับจากภาค VCO กับเฟสของความถี่อ้างอิงคงที่จากวงจรคริสตอลออสซิลเลเตอร์ ซึ่งวงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้ตรงตามความถี่ที่เราต้องการก็ต่อเมื่อเฟสของทั้งสองส่วนนี้เท่ากัน ในการออกแบบได้ใช้ไอซีเบอร์ MC 145151 ซึ่งเป็นไอซีที่สามารถโปรแกรมได้ 14 บิทแบบ Parallel Input

การออกแบบเรากำหนดให้ภายในไอซีมีความถี่อ้างอิงคงที่ 4 กิโลเฮิรตซ์ ซึ่งในส่วนของความถี่อ้างอิงนี้จะใช้คริสตอลออสซิลเลเตอร์ 4.069 เมกกะเฮิรตซ์ เป็นตัวอ้างอิง โดยเราจะสามารถหารความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

ของคริสตอลออสซิลเลเตอร์ ให้มีความถี่เท่ากับความถี่อ้างอิงที่เราต้องการคือ 4 กิโลเฮิรตซ์ ได้โดยการกำหนดค่า RA0, RA1 และ RA2 เป็น 001 ตามลำดับ ทำให้มีค่าเท่ากับ 1024 ดังนั้น เมื่อเรานำไปหารค่าความถี่คริสตอลออสซิลเลเตอร์ก็จะทำให้ได้ค่าความถี่อ้างอิงออกที่ขา OSC_{OUT}(ขา26) มีค่าเท่ากับ 4 กิโลเฮิรตซ์ ตามที่เรากำหนด

การที่เราจะโปรแกรมให้วงจรสามารถผลิตความถี่ ที่เราต้องการนั้นสามารถคำนวณได้จากสมการด้านล่าง

$$f_O = f_R \times PN$$

โดย f_R คือ ความถี่อ้างอิงคงที่

P คือ ตัวหารภาคพรีสเกลเลอร์

N คือ ตัวหารที่สามารถโปรแกรมได้

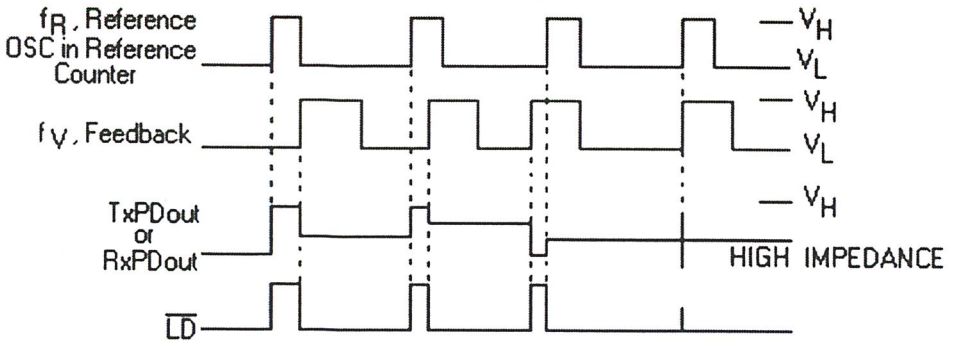
จากสมการข้างต้นค่า f_R คือ 4 กิโลเฮิรตซ์ ค่า P จากพรีสเกลเลอร์กำหนดไว้ที่ 64 ส่วนค่า N สามารถโปรแกรมได้ถึง 14 บิท แต่ในวงจรเราจะโปรแกรมเพียง 9 บิทเท่านั้น ซึ่งจะได้ค่า N ตั้งแต่ 294-450 โดยบิทที่เหลือไว้ให้เป็น 0 จะได้สมการ

$$f_O = 4k \times 64N \quad ; N = 294\text{-}450$$

สัญญาณอินพุทจากพรีสเกลเลอร์จะถูกคับปลิ้งเข้ามาทางขา f_{IN} (ขา1) สัญญาณอินพุทนี้เสมือนเป็น Clock เข้าไปทริกให้หารด้วย N ϕ_R (ขา7) และขา ϕ_V (ขา8) นั้นจะต่อเข้าเป็นอินพุทของวงจรลูปฟิลเตอร์ ซึ่งถ้าความถี่ f_V มากกว่า f_R หรือถ้าเฟสของ f_V นำอยู่จะทำให้ ϕ_V เป็นสัญญาณระดับต่ำ และ ϕ_R เป็นสัญญาณระดับสูง อีกกรณีหนึ่งถ้าความถี่ f_V น้อยกว่า f_R หรือ เฟสของ f_V ตามอยู่ จะทำให้ ϕ_R เป็นสัญญาณระดับต่ำ และ ϕ_V เป็นสัญญาณระดับสูงและถ้าความถี่ของ f_V เท่ากับ f_R และเฟสตรงกันแล้วจะทำให้ ϕ_V และ ϕ_R เป็นสัญญาณระดับสูงตลอด แต่ก็จะมีช่วงหนึ่งที่เป็นสัญญาณระดับต่ำ คือช่วงทั้ง สองเป็นสัญญาณระดับต่ำพร้อมกัน ซึ่งความต่างเฟสของ ϕ_R และ ϕ_V จะถูกเปลี่ยนเป็นค่าไฟตรงเพื่อส่งไปชดเชยที่วงจรวีซีโอ ให้ผลิตความถี่ได้ตรงตามที่ต้องการ

ขา LD (Lock Detector Output) ขา28 จะเป็นขาที่ใช้ในการตรวจสอบว่าวงจรสังเคราะห์ความถี่สามารถผลิตความถี่ ได้ตรงตามที่เราต้องการหรือไม่ โดยสัญญาณที่ขานี้เป็นสัญญาณระดับสูงก็แสดงว่า f_R และ f_V มีเฟสและความถี่ตรงกันแล้ว นั้นคือวงจรนี้สามารถผลิตความถี่ที่เราต้องการได้อย่างถูกต้องและเที่ยงตรงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงการเปรียบเทียบความถี่ของ Phase Detector

3.1.4 การออกแบบภาค Loop Filter

วงจรลูปฟิลเตอร์จะใช้ออปแอมป์เบอร์ MC 34071 ซึ่งวงจรนี้จะนำเอาสัญญาณ ϕ_R และ ϕ_V จากวงจรเปรียบเทียบเฟสมาเป็นอินพุท โดย ϕ_V ต่อเข้าที่ขา 3 และ ϕ_R ต่อเข้าขา 2 เพื่อทำการเปรียบเทียบเฟสและแปลงค่าความแตกต่างออกมาเป็นแรงดันไฟตรง เพื่อไปควบคุมให้วงจรวีซีโอ สามารถผลิตความถี่ได้ตรงตามที่ต้องการและวงจรนี้ยังทำหน้าที่เป็นวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter : LPF) อีกด้วย โดยการออกแบบดิฟเฟอเรนเชียล การคำนวณค่าต่างๆที่ต่อในวงจรคำนวณได้จาก

Frequency Range = 75.264 – 115.200 MHz

$\div$N Range = 64(294-450) = 18816-28800

$N_{MEAN} = \sqrt{N \max N \min}$ = 23279

PD Type : 2 State PFD

PD Output : ΔV_D = 4.8 V

$K_D = \Delta V_D / 2\pi$ = 0.7639 V/rad

$K_{VCO} = 2\pi \Delta f_{VCO} / \Delta V_{VCO}$ = 11.34 M $\frac{rad \ / \ \sec}{V}$

กำหนดให้ Pull out Range : $\Delta\omega_{PO}$ = 260 rad/sec

Damping : ζ = 1.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

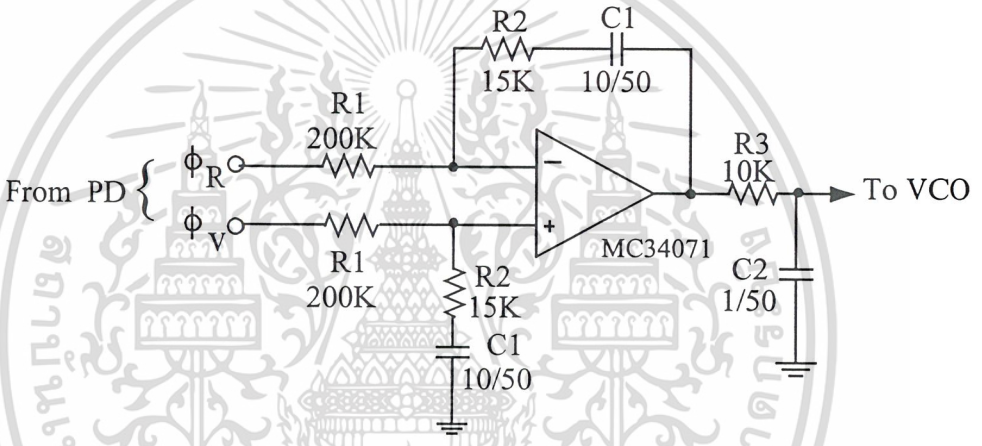
$$\omega_n = \frac{\Delta\omega_{PO}}{11.5(\zeta + 0.5)} \; ; \text{ PFD}$$

$$= 13.73 \text{ rad/sec}$$

Fast Lock range : $\Delta\omega_L = 4\pi\zeta\omega_n$; PFD

$= 196.6$ Hz(At PD In)

Fast Lock time : $T_L = 2\pi/\omega_n = 0.4577$ sec



รูปที่ 3.6 แสดงวงจรที่ใช้ต่อทดลองของภาคลูปฟิลเตอร์

$$\tau_1 = \frac{K_D K_{VCO}}{N_{MEAN}\,\omega_n^2} = R_1C_1 = 1.9755 \text{ sec}$$

$$\tau_2 = \frac{2\zeta}{\omega_n} = R_1C_1 = 0.1661 \text{ sec}$$

กำหนดให้ $C_1 = 10\ \mu F$

$$R_1 = \frac{\tau_1}{C_1} = 197.5\ \Omega$$

ดังนั้นเราจึงกำหนดให้ R1 = 200 KΩ

$$R_2 = \frac{\tau_2}{C_1} = 16.61\ K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจึงกำหนดให้ R2 = 15 KΩ

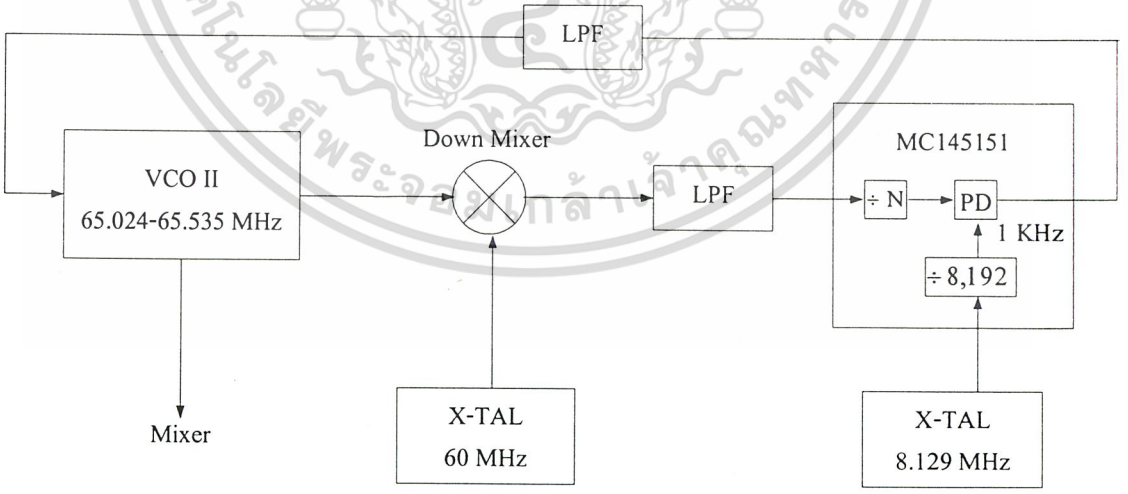
กำหนดให้ $C_2 = 1\ \mu F$

$$R_3 = \frac{1}{\omega_{P2} C_2} = 10K\Omega$$

ดังนั้นเราจึงกำหนดให้ R3 = 10 KΩ

3.2 การออกแบบภาค PLL II

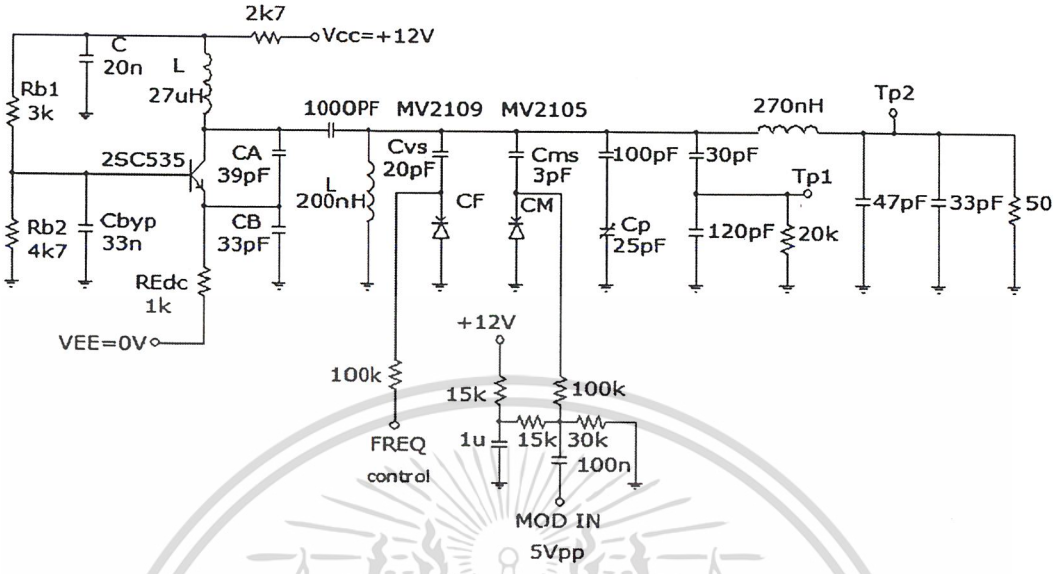
ลักษณะการออกแบบจะคล้ายกับภาคแรก แต่จะแตกต่างกันที่วงจร VCO ซึ่งจะผลิตความถี่ในช่วง 65.024 – 65.535 MHz Out put จากภาคนี้จะนำมารวมกับสัญญาณจากภาค X-Tal OSC (60 MHz) ซึ่งเป็นวงจร คริสตอลออสซิลเลเตอร์ จะผลิตความถี่ที่ 60 MHz หลังจากนั้นสัญญาณทั้งสองจะถูกส่งไปยังภาค Down Mixer ซึ่งจะทำให้ได้ความถี่ออกมาประมาณ 5 MHz แล้วจะส่งไปยังภาคเฟสดีเทคเตอร์ โดยใช้ ไอซีเบอร์ MC145151 สามารถแสดงได้ดังบล็อคไดอะแกรม ในรูปที่ 3.7



รูปที่ 3.7 แสดงบล็อคไดอะแกรมของ PLL II

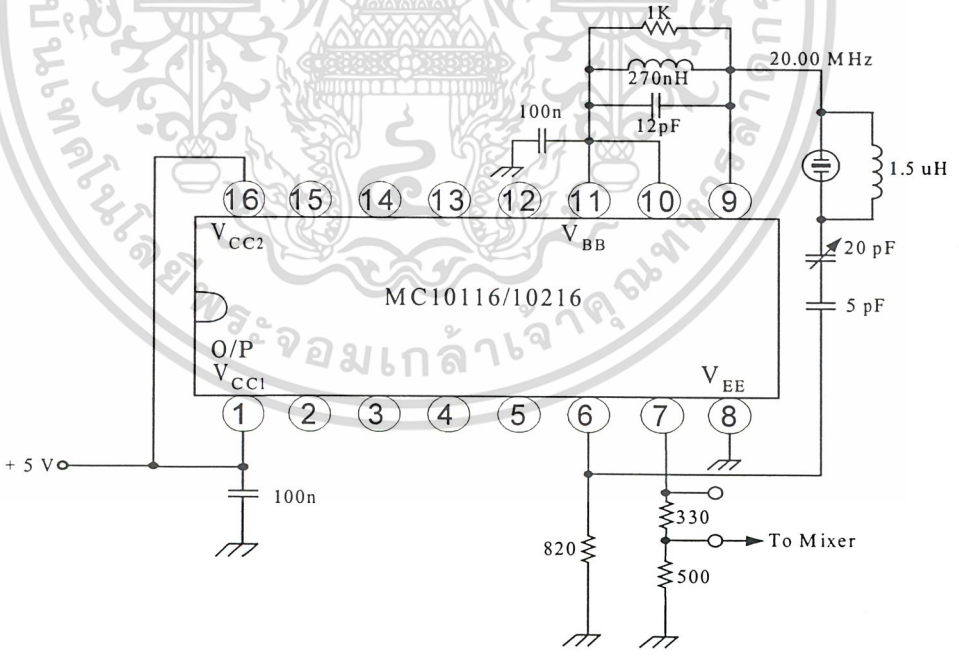
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 การออกแบบภาค Voltage Control Oscillator (VCO II)



รูปที่ 3.8 แสดงวงจร Voltage Control Oscillator II

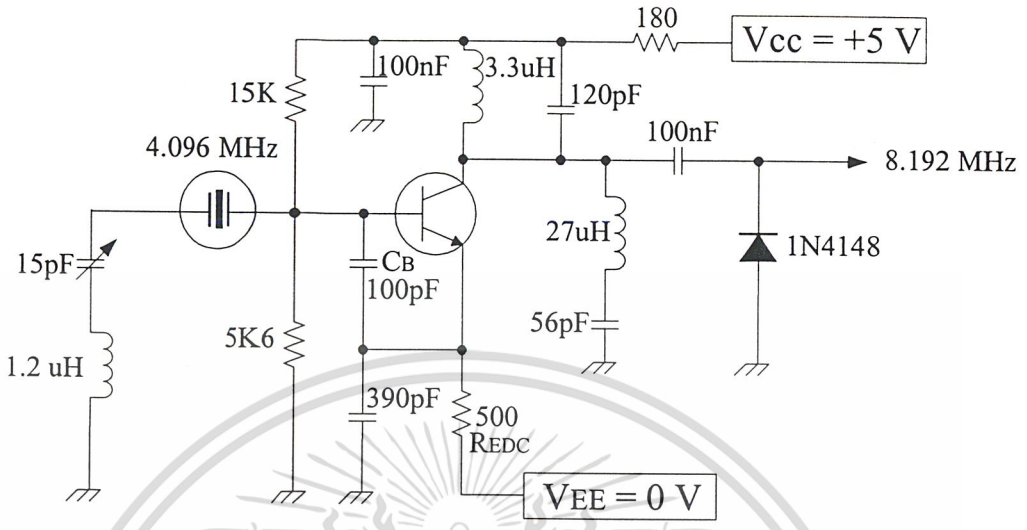
3.2.2 การออกแบบวงจร X-Tal OSC 60 MHz



รูปที่ 3.9 แสดงวงจร X-Tal OSC 60 MHz

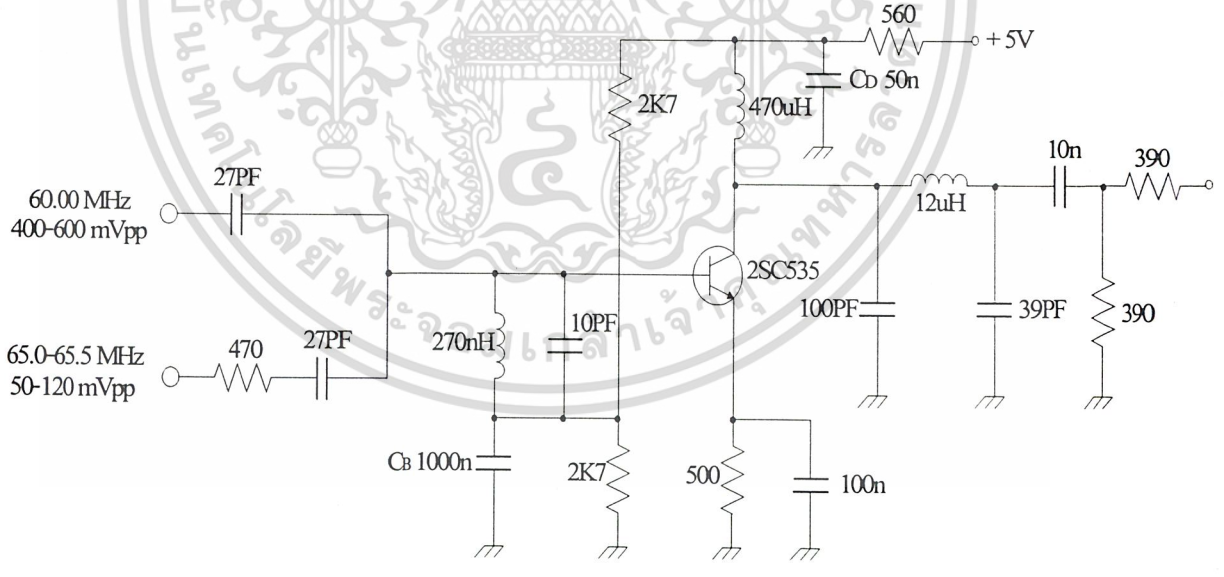
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การออกแบบวงจร X-Tal OSC 8.129 MHz



รูปที่ 3.10 แสดงวงจร X-Tal OSC 8.129 MHz

3.2.4 การออกแบบวงจร Down Mixer



รูปที่ 3.11 แสดงวงจร Down Mixer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

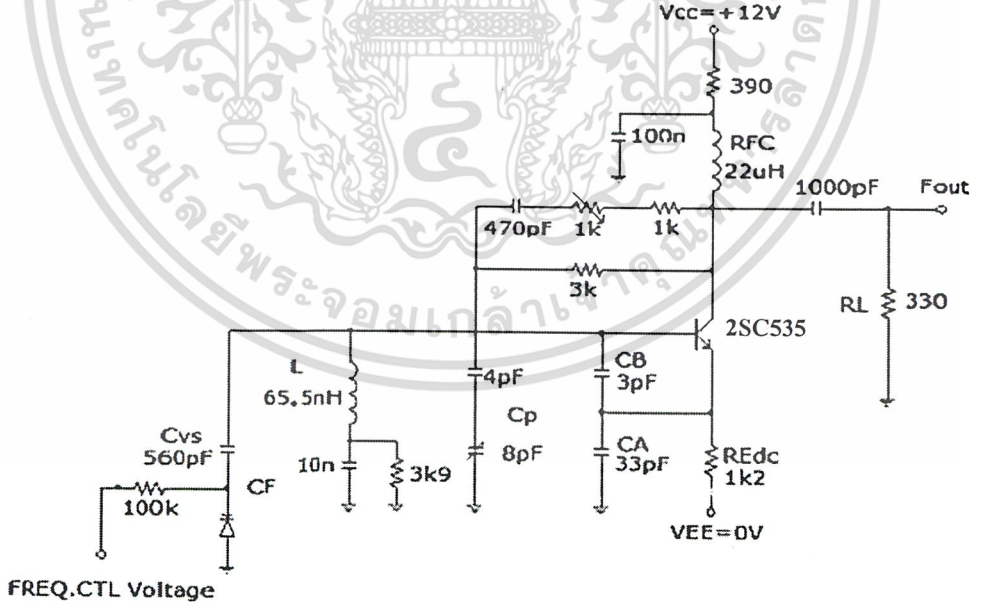
4.1 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป (PLL I)

ประกอบด้วยส่วนสำคัญ 4 ส่วนดังนี้

1. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO)
2. วงจรพรีสเกลเลอร์แบบสองโมดูลัส
3. วงจรเปรียบเทียบเฟส
4. วงจรลูปฟิลเตอร์

4.1.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO I)

ผลิตความถี่ในช่วง 75.264-115.200 เมกกะเฮิรตซ์ ทำการทดลองวงจรวีซีโอโดยป้อนแรงดันไฟตรงควบคุมขนาด 0.3 - 28 โวลท์เข้าที่วาริแคป วัดผลการทดลองได้ตามตาราง 4.1 จะเห็นว่าวงจรผลิตสัญญาณความถี่เปลี่ยนไปตามขนาดของแรงดันไฟควบคุม ผลจากตารางสามารถนำมาพล็อตกราฟ ความสัมพันธ์ระหว่างแรงดันไฟตรงควบคุม และ แรงดัน Output กับความถี่ ได้กราฟดังรูปที่ 4.2



รูปที่ 4.1 แสดงวงจรที่ใช้ต่อทดลองของภาค Voltage Control Oscillator

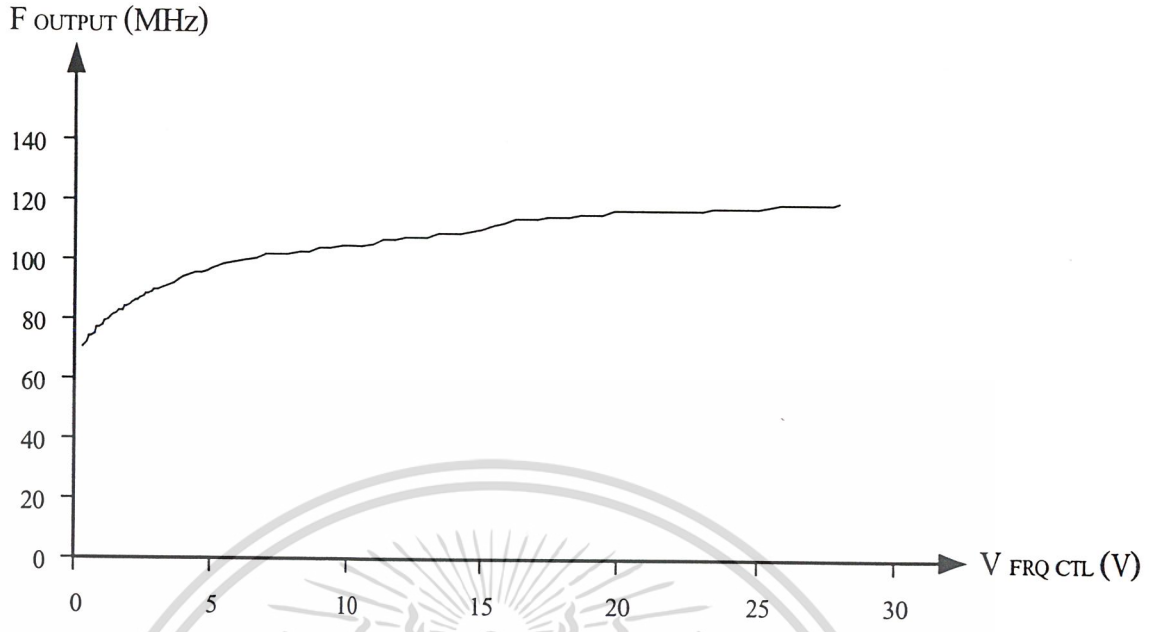
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองของภาค Voltage Control Oscillator

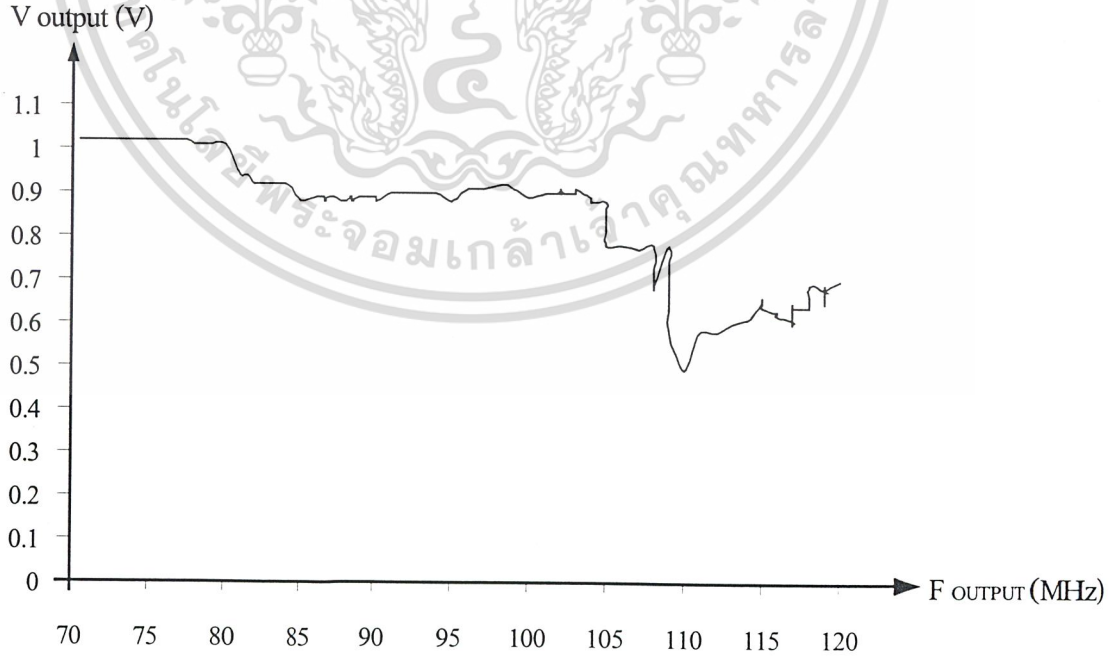
Freq. CTL Voltage(V)	Frequency (MHz)	O/P Voltage (Vpp)
0.3	70.5	1.02
0.4	72	1.02
0.5	74	1.02
0.6	74.5	1.02
0.7	75	1.02
0.8	77	1.02
0.9	77.5	1.02
1.0	78	1.01
1.1	79	1.01
1.2	80	1.01
1.3	81	0.94
1.4	81.5	0.94
1.5	82	0.92
1.6	83	0.92
1.7	83	0.92
1.8	84	0.92
1.9	84.5	0.91
2.0	85	0.88
2.1	86	0.89
2.2	86.5	0.89
2.3	86.5	0.88
2.4	87	0.89
2.5	88	0.88
2.6	88.5	0.89
2.7	88.5	0.88
2.8	89	0.89
2.9	90	0.89
3.0	90	0.88
3.2	91	0.90
3.4	91.5	0.90
3.6	92.5	0.90
3.8	93.5	0.90
4.0	94	0.90
4.2	95	0.88
4.4	95.5	0.90
4.6	96	0.91
4.8	96.5	0.91
5.0	97	0.91
5.4	98.5	0.92
5.8	99	0.91
6.2	100	0.89
6.6	101	0.90
7.0	102	0.90
7.4	102	0.91
7.8	102	0.90
8.2	103	0.90

Freq. CTL Voltage(V)	Frequency (MHz)	O/P Voltage (Vpp)
8.6	103	0.91
9.0	104	0.89
9.4	104	0.88
9.8	105	0.88
10.2	105	0.85
10.6	105	0.78
11.0	106	0.78
11.4	107	0.77
11.8	107	0.77
12.2	108	0.78
12.6	108	0.68
13.0	108	0.69
13.4	109	0.78
13.8	109	0.69
14.2	109	0.58
14.6	110	0.48
15.0	111	0.58
15.4	112	0.58
15.8	113	0.60
16.2	114	0.61
16.6	114	0.61
17.0	114	0.61
17.4	115	0.65
17.8	115	0.66
18.2	115	0.64
18.6	116	0.63
19.0	116	0.63
19.4	116	0.62
19.8	117	0.61
20.2	117	0.60
21.0	117	0.61
21.8	117	0.60
22.0	117	0.65
22.5	117	0.64
23.0	117	0.64
23.4	118	0.64
24.6	118	0.64
25.0	118	0.69
25.8	119	0.68
26.4	119	0.67
26.6	119	0.65
27.0	119	0.69
27.2	119	0.69
27.4	119	0.68
27.8	119	0.68
28.0	120	0.70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



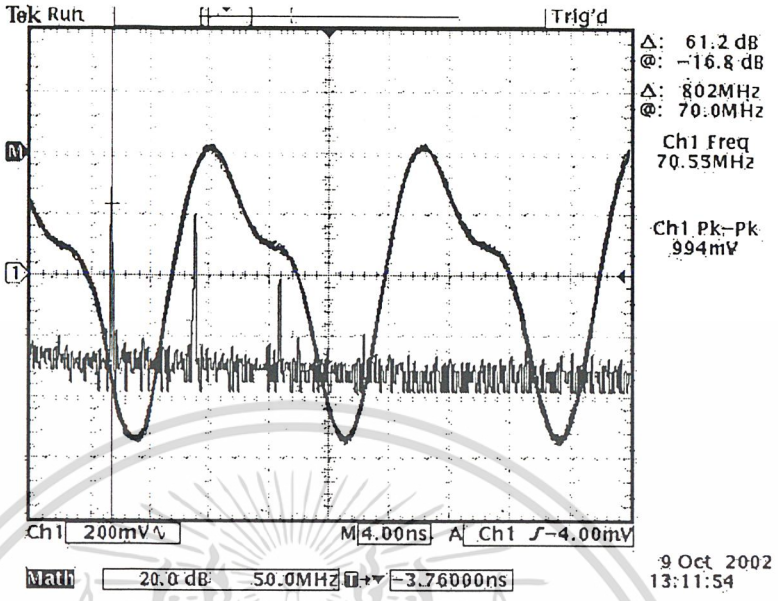
รูปที่ 4.2 กราฟแสดงความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT}



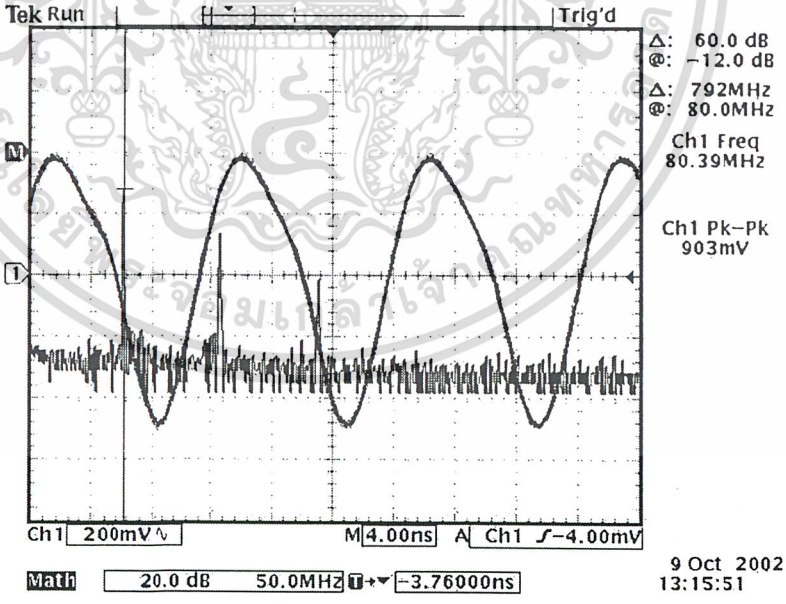
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 กราฟแสดงความสัมพันธ์ระหว่าง V_{OUTPUT} กับ F_{OUTPUT}

4.1.2 สัญญาณที่ได้จากเอาท์พุทของ VCO I

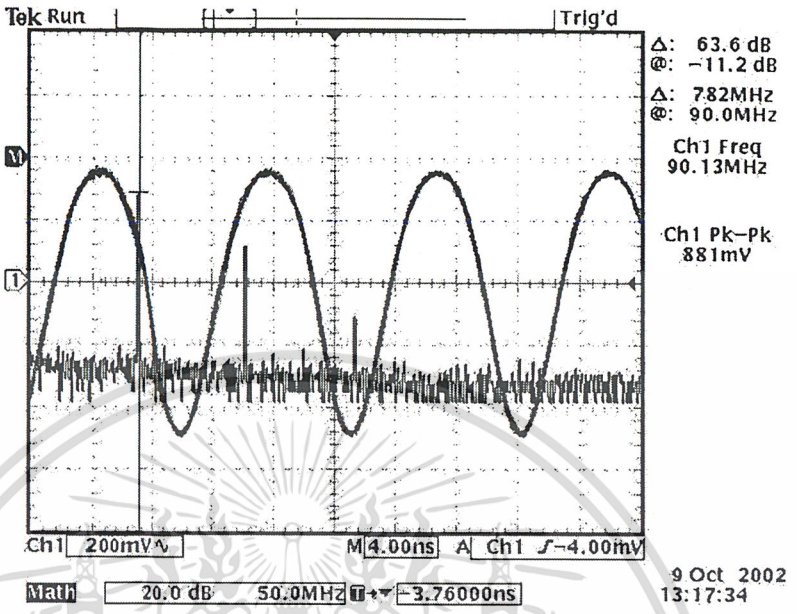


รูปที่ 4.4 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 70 MHz

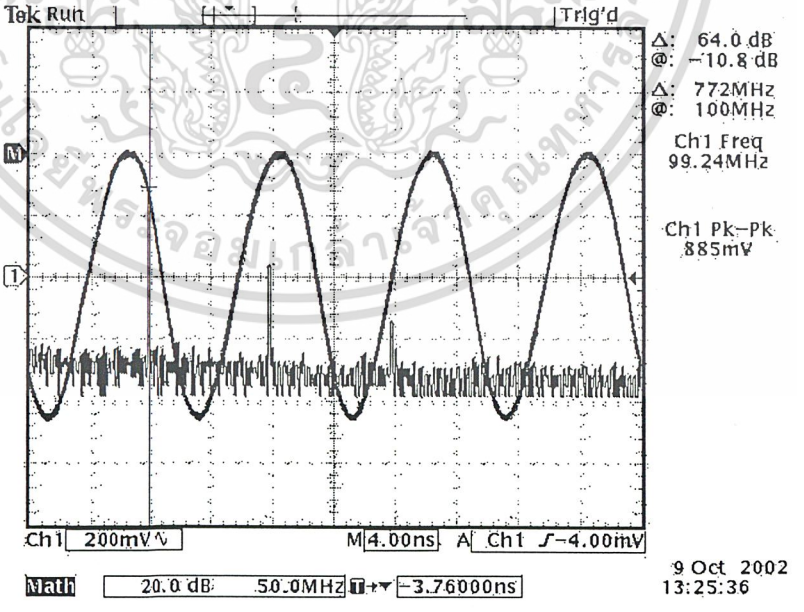


รูปที่ 4.5 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 80 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

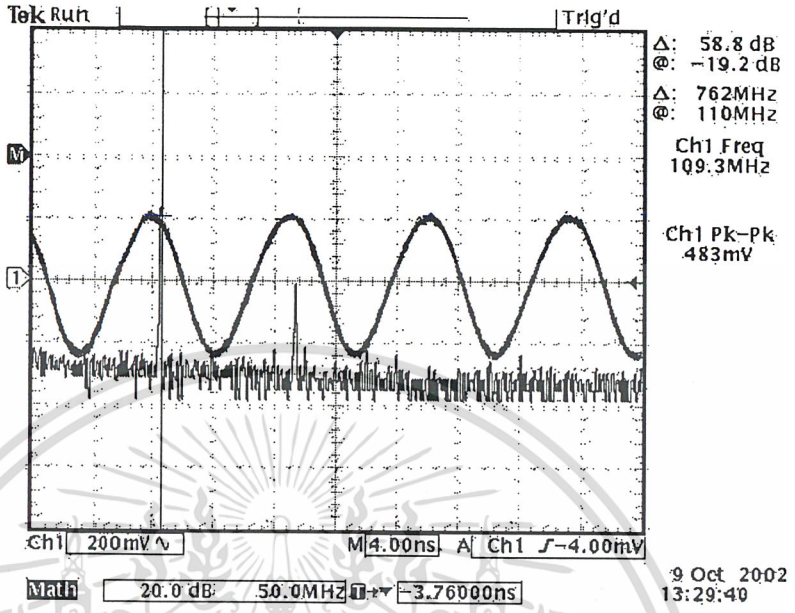


รูปที่ 4.6 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 90 MHz

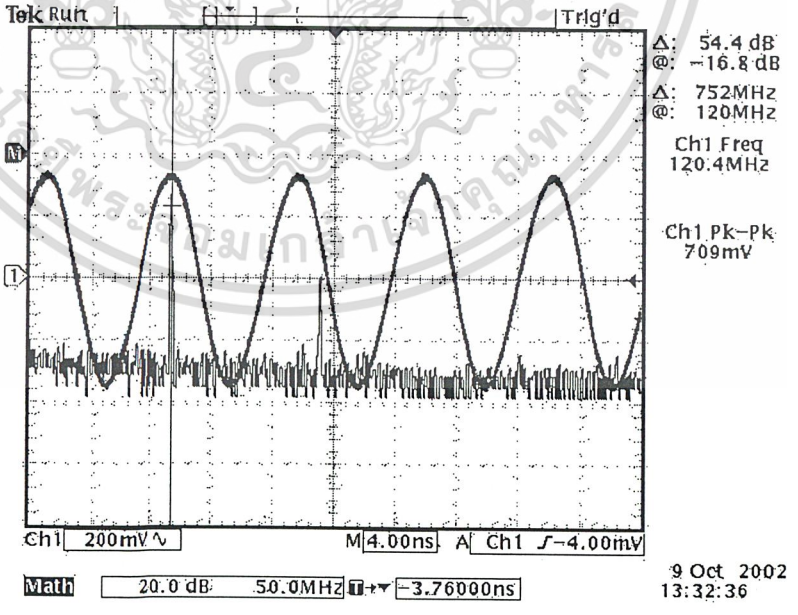


รูปที่ 4.7 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 100 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 110 MHz



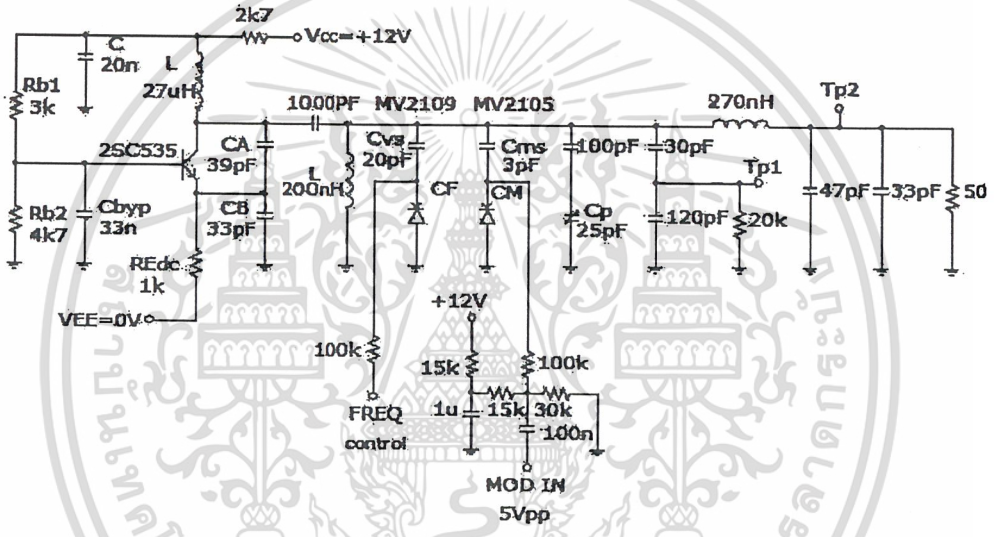
รูปที่ 4.9 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของ Output ที่ความถี่ 120 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

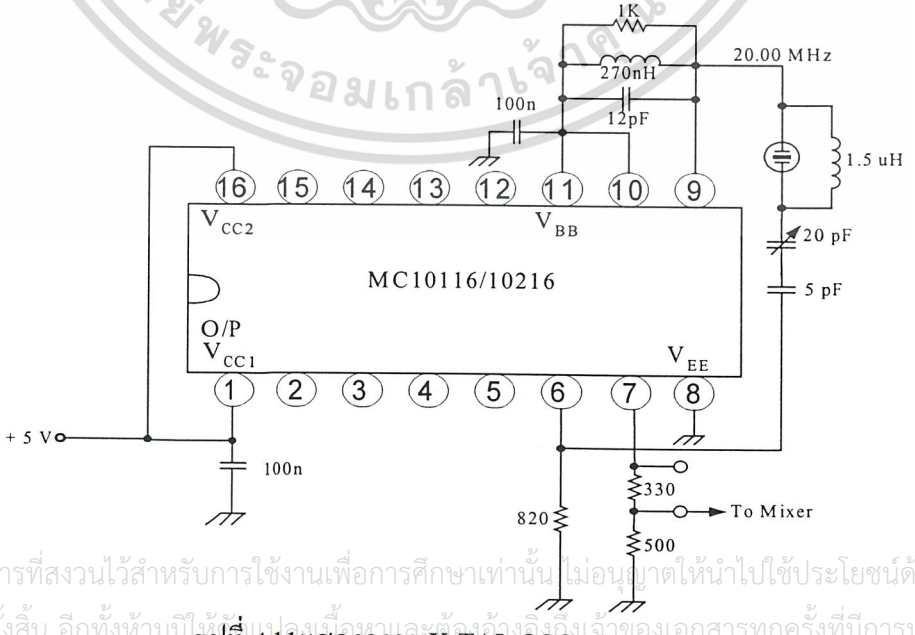
4.2 ระบบสังเคราะห์ความถี่แบบเฟสล็อคลูป (PLL II)

4.2.1 วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (VCO II) ผลิตความถี่ในช่วง 62.024-65.535 เมกกะเฮิรตซ์

ทำการทดลองวงจรวีซีโอ โดยป้อนแรงดันไฟตรงควบคุมขนาด 2 - 10 โวลท์เข้าที่วาริแคป วัดผลการทดลองได้ดังนี้คือ ความถี่ของ VCO_{MIN} = 64.75 MHz ได้ V_{OUT} = 389 mVp-p ส่วนความถี่ของ VCO_{MAX} = 65.082 MHz ได้ V_{OUT} = 389 mVp-p จะเห็นว่าวงจรผลิตสัญญาณความถี่เปลี่ยนไปตามขนาดของแรงดันไฟควบคุม เมื่อเรานำเอาท์พุท ของ VCO II มารวมกับเอาท์พุทของวงจรคริสตอลออสซิลเลเตอร์ โดยผ่านวงจร Down Mixer จะได้ความถี่และแรงดันเอาท์พุทตามตารางที่ 4.2 ผลจากตารางสามารถนำมาพล็อตกราฟ ความสัมพันธ์ระหว่างแรงดันไฟตรงควบคุม และ แรงดัน Output กับความถี่ได้กราฟดังรูปที่ 4.12 และ 4.13

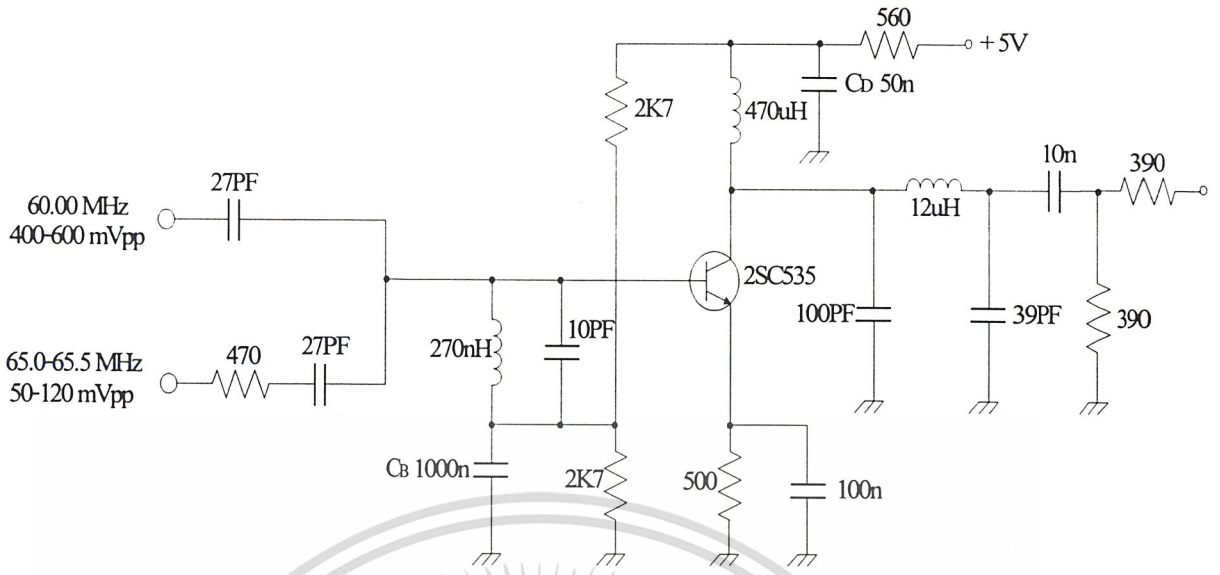


รูปที่ 4.10 แสดงวงจรที่ใช้ต่อทดลองของภาค Voltage Control Oscillator(II)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.11แสดงวงจร X-TAL OSC 60 MHz

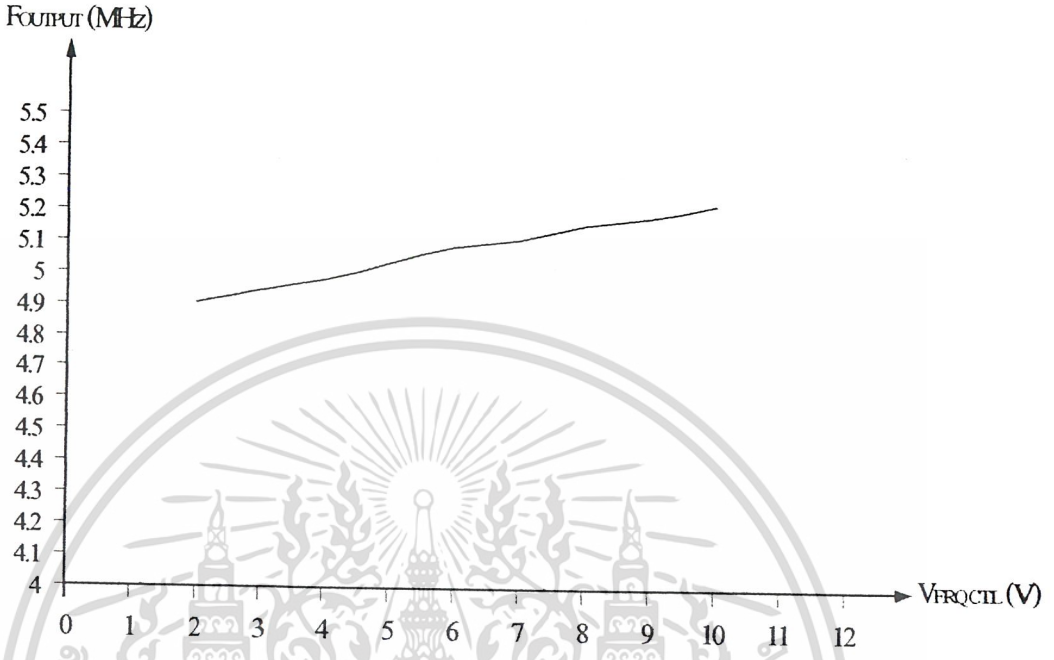


รูปที่ 4.12 แสดงวงจรที่ใช้ต่อทดลองของภาค Down Mixer

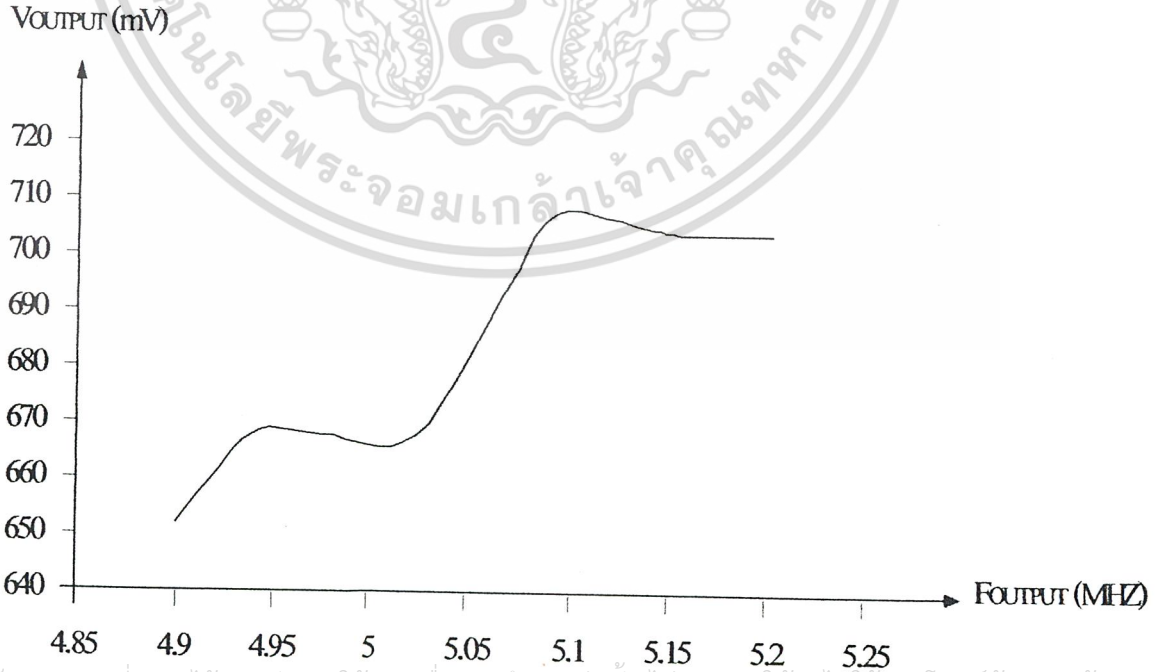
ตารางที่ 4.2 แสดงผลการทดลองของภาค Down Mixer

Freq. CTL Voltage(V)	Frequency (MHz)	O/P Voltage (mVpp)
2	4.904	652
3	4.945	668
4	4.983	668
5	5.034	668
6	5.084	696
7	5.109	708
8	5.160	705
9	5.179	704
10	5.223	704

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



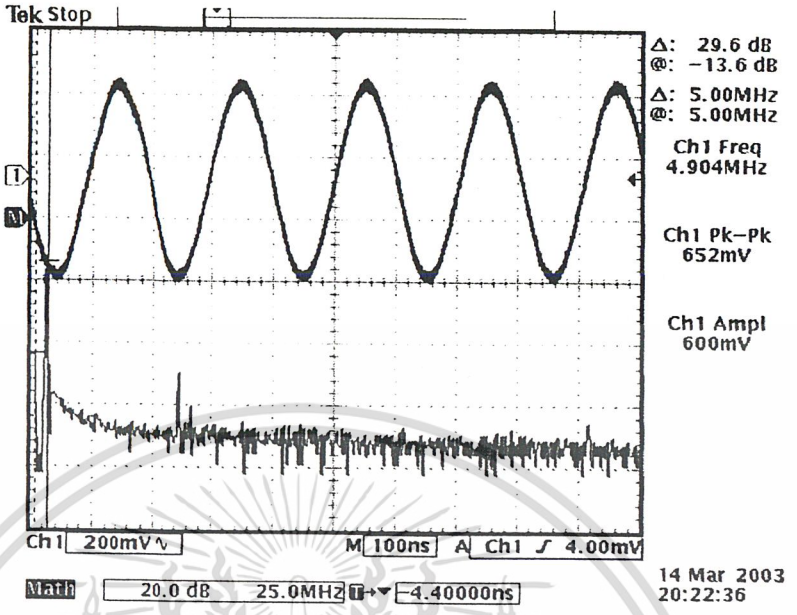
รูปที่ 4.13 กราฟแสดงความสัมพันธ์ระหว่าง $V_{FRQ\ CTL}$ กับ F_{OUTPUT}(หลัง Mixer)



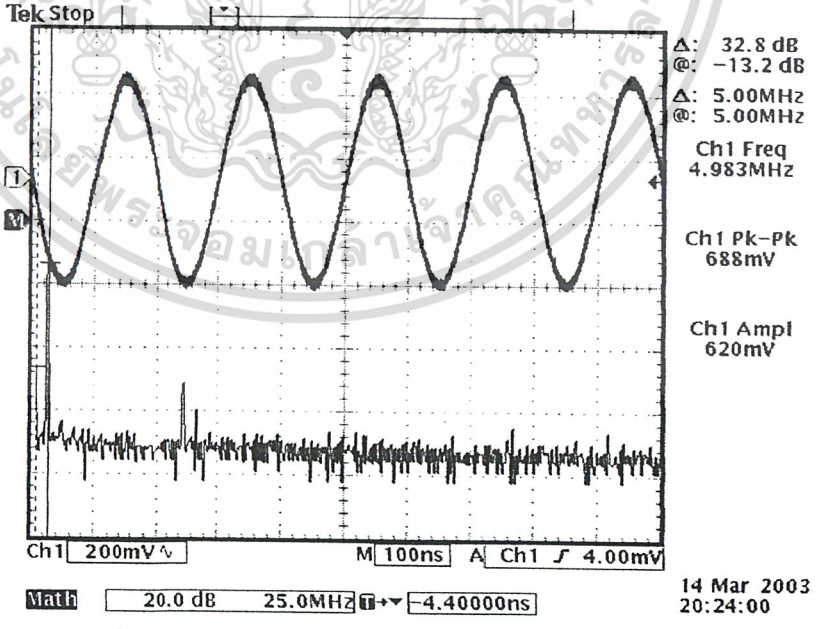
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.14 กราฟแสดงความสัมพันธ์ระหว่าง F_{OUTPUT}(หลัง Mixer) กับ V_{OUTPUT}

4.2.2 สัญญาณที่ได้จากเอาท์พุทของ Down Mixer

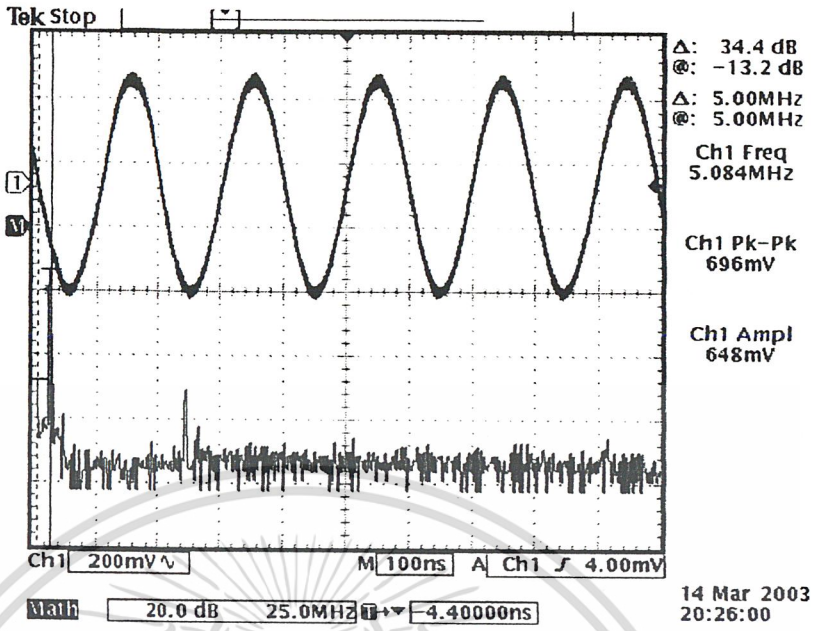


รูปที่ 4.15 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\,CTL} = 2$ V

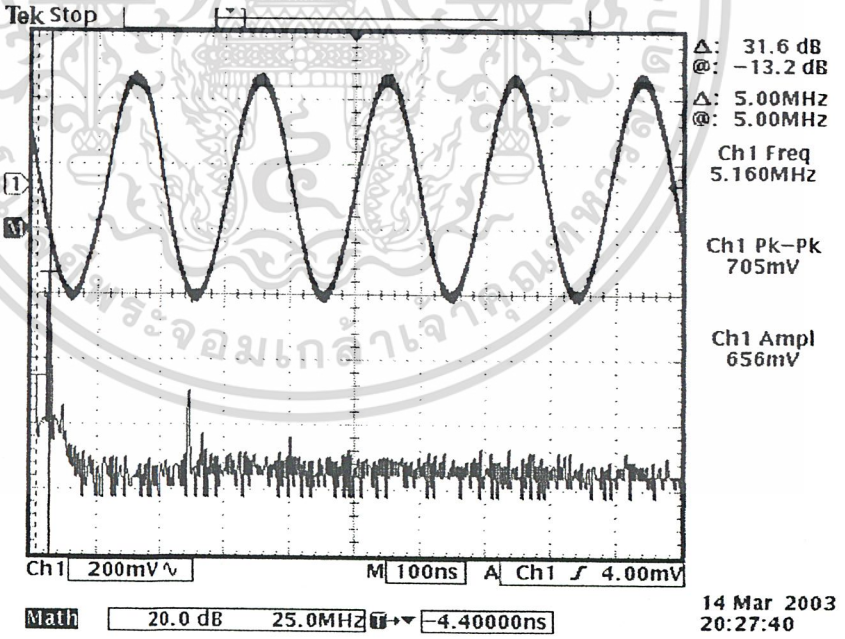


รูปที่ 4.16 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ของ ที่ $V_{FRQ\,CTL} = 4$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

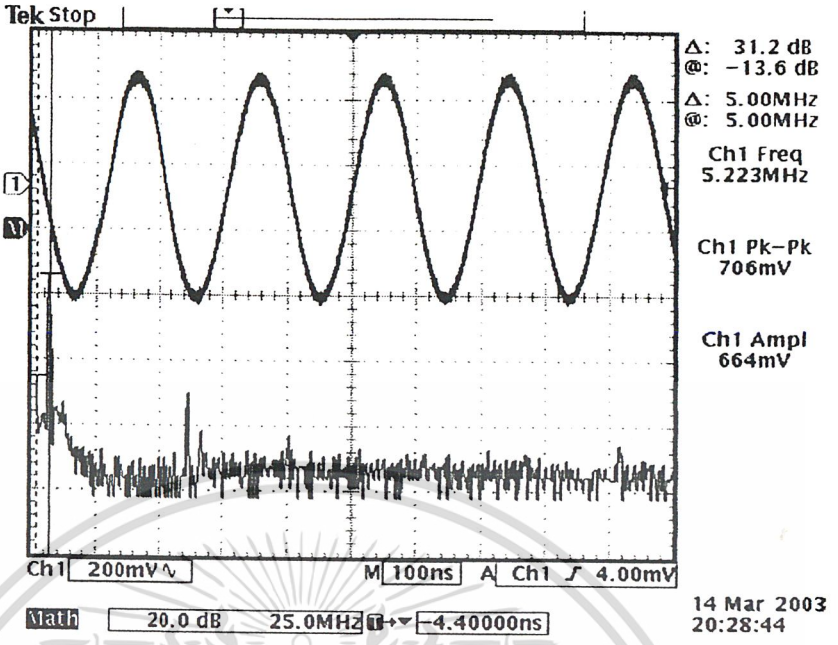


รูปที่ 4.17 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\,CTL} = 6$ V

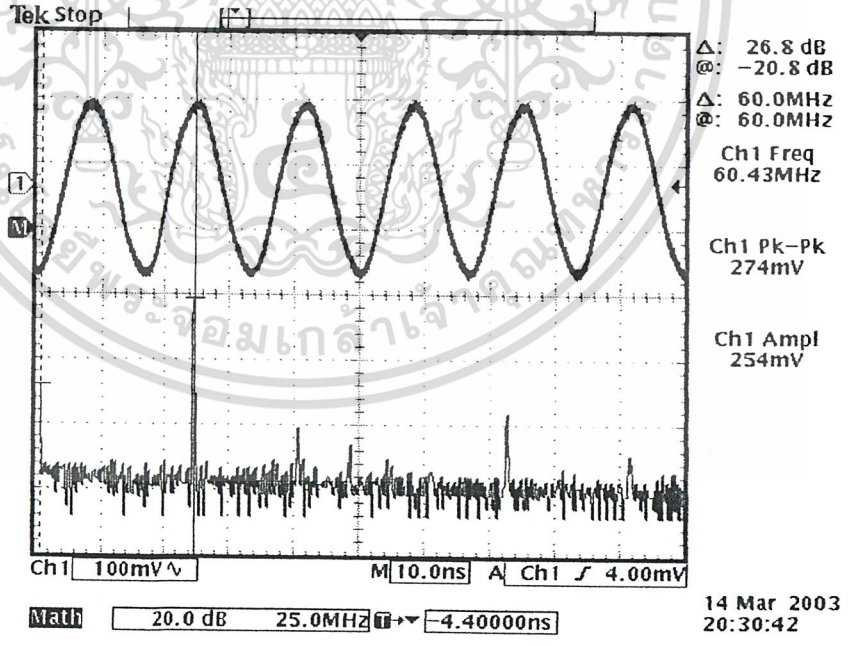


รูปที่ 4.18 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\,CTL} = 8$ V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของวงจร Down Mixer ที่ $V_{FRQ\,CTL} = 10$ V



รูปที่ 4.20 สัญญาณเอาท์พุทและสเปคตรัมความถี่ของภาค X-TAL OSC 60 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์โครงงาน

โครงงานนี้เป็นโครงงานที่มีลักษณะของวงจรที่ค่อนข้างจะซับซ้อนพอสมควร เพราะเป็นโครงงานที่เกี่ยวข้องกับความถี่สูง เป็นการออกแบบเครื่องกำเนิดสัญญาณที่สามารถผลิตความถี่ได้ในช่วง 10 - 50 MHz ด้วยวิธีการสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป (Phase Lock Loop Frequency Synthesizer) ในการสร้างโครงงานนี้จะทำการสร้างเฟสล็อคลูปขึ้นมา 2 ภาค คือ ภาค PLL I กำเนิดความถี่ในช่วง 75.264 - 115.200 MHz และภาค PLL II กำเนิดความถี่ช่วง 65.024 – 65.535 MHz จากนั้นนำความถี่ที่ได้จาก VCO ทั้ง 2 ชุด มาเข้าภาค Mixer แล้วนำมาผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อกรองเอาเฉพาะความถี่ผลต่างซึ่งค่าความถี่ของผลต่างนี้จะเป็นช่วงความถี่ที่เราต้องการ

ในส่วนของเทอมแรกนั้นเราได้ จัดทำในส่วนของ PLL I I กำเนิดความถี่ในช่วง 75.264 - 115.200 MHz โดยเราจะใช้ไอซีเบอร์ MC 145151 ในภาคเฟสดีเทคเตอร์ และวงจรที่สำคัญของภาคนี้ก็คือ วงจรออสซิลเลเตอร์ แบบควบคุมแรงดันไฟฟ้า (Voltage Control Oscillator) ซึ่งเอาท์พุทที่ได้จากภาค VCO อยู่ในช่วงประมาณ 70.5-120 MHz ซึ่งครอบคลุมในย่านที่ต้องการ ภาค PLL I เป็นภาคที่สร้างความถี่ด้านสูง เป็นโหมดปรับหยาบ โดยใช้ดิพสวิทซ์เป็นตัวควบคุม ปรับความละเอียดได้ 156 ระดับ แต่ละระดับห่างกัน 256 KHz ปัญหาที่พบในภาคนี้ก็คือ การออกแบบลายวงจรมีส่วนที่สำคัญมาก ทางผู้จัดทำได้ทดลองต่อลายวงจรหลายครั้ง จนกระทั่งได้ความถี่ในย่านที่ต้องการ

ส่วนในเทอมที่สอง จะจัดทำในส่วนของ PLL II กำเนิดความถี่ในช่วง 65.024-65.535 MHz มีช่วงห่างระหว่างขั้น 1 KHz ลักษณะการออกแบบจะคล้ายกับภาคแรก แต่จะแตกต่างกันที่วงจร VCO ซึ่งจะผลิตความถี่ใน ช่วง 65.024 – 65.535 MHz Out put จากภาคนี้จะนำมารวมกับสัญญาณจากภาค X-TAL OSC (60 MHz) ซึ่งเป็นวงจร คริสตอลออสซิลเลเตอร์ จะผลิตความถี่ที่ 60 MHz หลังจากนั้นสัญญาณทั้งสองจะถูกส่งไปยังภาค Down Mixer ซึ่งจะทำให้ได้ความถี่ออกมาประมาณ 5 MHz แล้วจะส่งไปยังภาคเฟสดีเทคเตอร์ โดยใช้ ไอซีเบอร์ MC145151 ในส่วนของ PLL II ได้มีการเปลี่ยนแปลงตัวอุปกรณ์บางตัว ได้แก่ เปลี่ยน ไอซีเบอร์ MC 145152 มาเป็น ไอซีเบอร์ MC 145151 แทน เนื่องจากว่าอุปกรณ์ดังกล่าวขาดตลาด ทำให้มีการดัดแปลงวงจรใหม่และมีความซับซ้อนมากขึ้น

ในการทำโครงงานครั้งนี้ประสบกับปัญหามากพอสมควร เพราะเป็นงานด้านความถี่สูง เริ่มจากการออกแบบ ในงานด้านความถี่สูงจะมีค่าแฝงในตัวอุปกรณ์หรือในลายวงจร ซึ่งแต่ละค่าจะมีผลต่อการทำงานของวงจร จะมองข้ามไม่ได้ ผู้ออกแบบจึงต้องมีความรู้และประสบการณ์เป็นอย่างมาก การต่อวงจรก็ไม่สามารถต่อลงโฟโต้บอร์ดได้ เพราะในโฟโต้บอร์ด จะประพฤติตัวมีค่าคาปาซิแตนซ์ หรือค่าความนำแฝงอยู่เมื่อใช้ความถี่สูง ดังนั้นเราต้องใช้แผ่นลายวงจร PCB เอนกประสงค์ ซึ่งจะใช้เวลาในการต่อ ตรวจสอบ และแก้ไขเป็นเวลานานพอสมควร และอีกอย่างหนึ่งคือลายวงจรในการวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Lay Out) จะมีผลอย่างมาก ถ้าวางอุปกรณ์ในตำแหน่งที่ไม่เหมาะสม จะทำให้วงจรทำงานผิดพลาดได้ เพราะจะเกิดค่าคาปาซิแตนซ์ หรือค่าความนำแฝงเพิ่มขึ้นมาในวงจรอีก

ส่วนปัญหาในด้านการวัดสัญญาณเอาท์พุทที่พบบ่อยก็คือ ความไม่คงที่ของสัญญาณ อย่างเช่น เมื่อเราวัดสัญญาณแต่ละภาคเดี่ยวๆแล้ว ความถี่ที่ได้ค่อนข้างจะคงที่และได้ผลตามที่ออกแบบไว้ แต่เมื่อเรานำแต่ละภาคมาต่อเข้าด้วยกันแล้วจะทำให้ได้ค่าที่ไม่คงที่และได้ค่าความถี่ที่ผิดเพี้ยนไปจากที่ออกแบบไว้ เป็นต้น

จากวัตถุประสงค์ของโครงงานเราต้องการผลิตความถี่ที่มีค่า 10- 50 MHz โดยการนำความถี่จากภาค PLL I กับภาค PLL II มาทำการ Mixer ร่วมกัน แต่เนื่องจากว่าในส่วนของ PLL II ที่ผลิตความถี่ในช่วง 65.024-65.535 MHz ยังไม่ได้ทำการล็อคลูป เพราะว่าวงจร VCO II ยังมีปัญหาเล็กน้อย ซึ่งถ้าเราแก้ปัญหาตรงจุดนี้ได้แล้วสามารถทำให้มีการล็อคลูปได้ ก็จะนำมาเข้าภาค Mixer แล้วทำการโลว์พาสฟิลเตอร์ (LPF) เอาเฉพาะความถี่ที่ต้องการไปใช้งาน ซึ่งจะได้ทำการทดลองแก้ไขและปรับปรุงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. สุชาติ กังวารจิตต์, "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร", บริษัท ซีเอ็ดยูเคชั่น จำกัด, กรุงเทพฯ, 2536
2. George Kennedy, Bernard Davis, "Electronic Communication System", Fourth Edition, McGraw –Hill, 1993
3. Wayne Tomasi, "Electronic Communication System Fundamental Through Advance", Third Edition, Prentice-Hall International, 1994
4. Website http://www.motorola.com
   http://www.questlink.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

Data sheets

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151–2/D

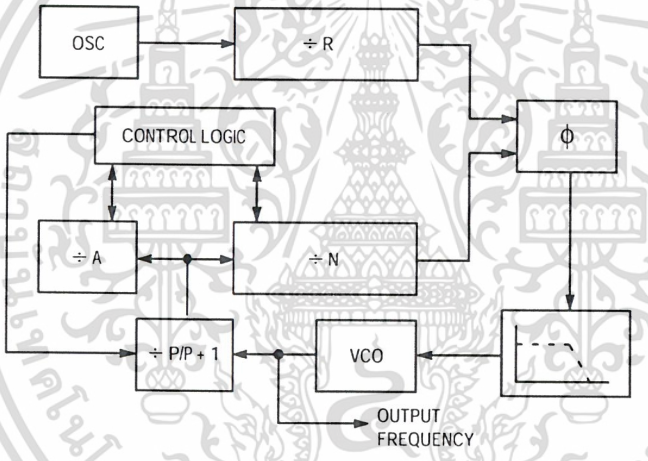
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS

MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145157–2 Serial–Input, Single–Modulus 9
MC145158–2 Serial–Input, Dual–Modulus 12

FAMILY CHARACTERISTICS

Maximum Ratings 15
DC Electrical Characteristics 15
AC Electrical Characteristics 17
Timing Requirements 18
Frequency Characteristics 19
Phase Detector/Lock Detector Output Waveforms 19

DESIGN CONSIDERATIONS

Phase–Locked Loop — Low–Pass Filter Design 20
Crystal Oscillator Considerations 21
Dual–Modulus Prescaling 22

REV 4
12/99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
© Motorola, Inc. 1999
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC145151-2

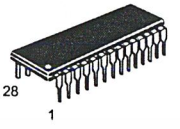
Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

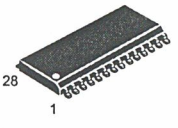
The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates



P SUFFIX
PLASTIC DIP
CASE 710

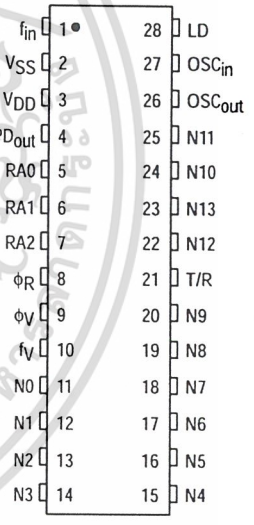


DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

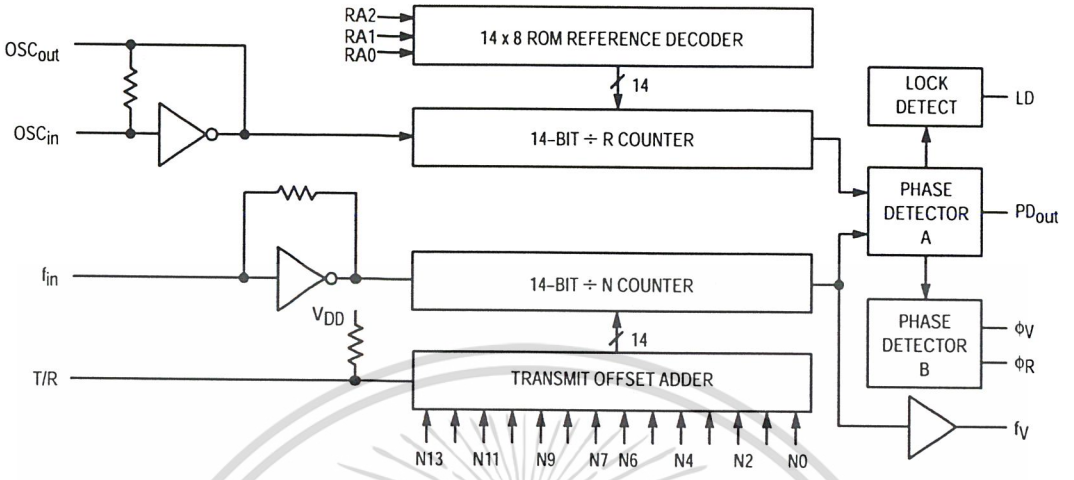
PIN ASSIGNMENT



© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see **PD_{out}**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

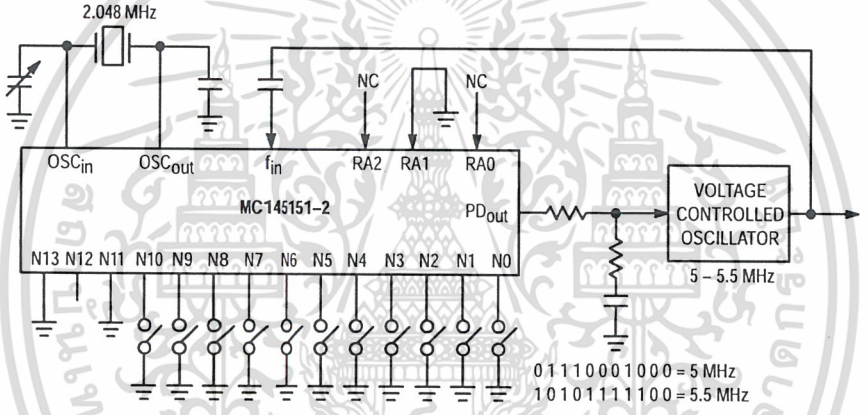
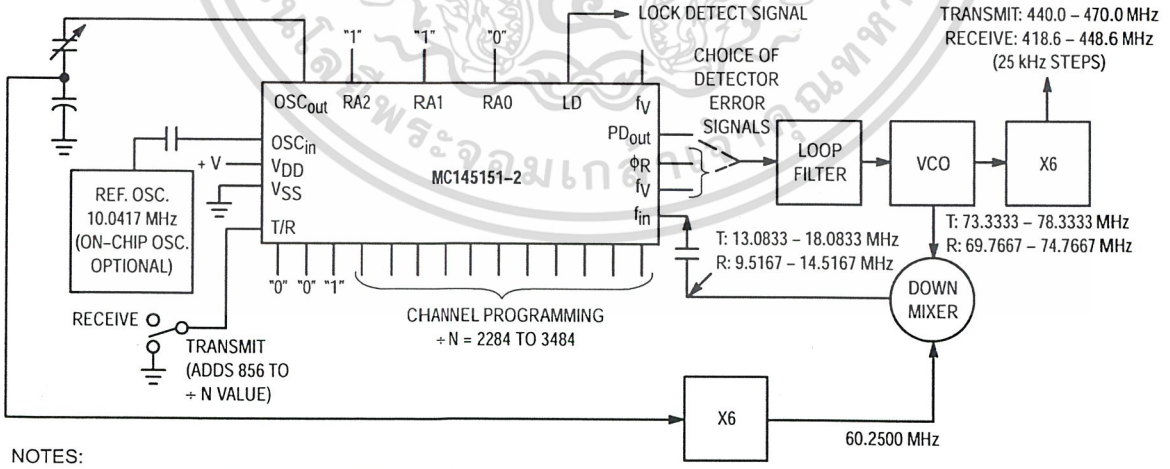


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14515X–2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	– 0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	– 0.5 to + 15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	± 30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: – 12 mW/°C from 65 to 85°C
SOG Package: – 7 mW/°C from 65 to 85°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high–impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull–up devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	f_{in} = OSC_{in} = 10 MHz, 1 V p–p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull–up current component)	V_{in} = V_{DD} or V_{SS} I_{out} = 0 μA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	μA
V_{in}	Input Voltage — f_{in}, OSC_{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p–p
V_{IL}	Low–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc $V_{out} \ge 3.5$ V coupled $V_{out} \ge 6.3$ V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V_{IH}	High–Level Input Voltage — f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc $V_{out} \le 1.5$ V coupled $V_{out} \le 2.7$ V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V_{IL}	Low–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{IH}	High–Level Input Voltage — except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I_{in}	Input Current (f_{in}, OSC_{in})	V_{in} = V_{DD} or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	μA
I_{IL}	Input Leakage Current (Data, CLK, ENB — without pull–ups)	V_{in} = V_{SS}	9	—	– 0.3	—	– 0.1	—	– 1.0	μA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	V_{in} = V_{DD}	9	—	0.3	—	0.1	—	1.0	μA

(continued)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I_{IL}	Pull–up Current (all inputs with pull–ups)	$V_{in} = V_{SS}$	9	– 20	– 400	– 20	– 200	– 20	– 170	µA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V_{OL}	Low–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{DD}$	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High–Level Output Voltage — OSC_{out}	$I_{out} \approx 0$ µA $V_{in} = V_{SS}$	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High–Level Output Voltage — Other Outputs	$I_{out} \approx 0$ µA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain–to–Source Breakdown Voltage — SW1, SW2	$R_{pull–up} = 4.7$ kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low–Level Sinking Current — MC	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High–Level Sourcing Current — MC	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.60 – 0.90 – 1.50	— — —	– 0.50 – 0.75 – 1.25	— — —	– 0.30 – 0.50 – 0.80	— — —	mA
I_{OL}	Low–Level Sinking Current — LD	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — LD	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.25 – 0.64 – 1.30	— — —	– 0.20 – 0.51 – 1.00	— — —	– 0.15 – 0.36 – 0.70	— — —	mA
I_{OL}	Low–Level Sinking Current — SW1, SW2	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low–Level Sinking Current — Other Outputs	$V_{out} = 0.3$ V $V_{out} = 0.4$ V $V_{out} = 0.5$ V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High–Level Sourcing Current — Other Outputs	$V_{out} = 2.7$ V $V_{out} = 4.6$ V $V_{out} = 8.5$ V	3 5 9	– 0.44 – 0.64 – 1.30	— — —	– 0.35 – 0.51 – 1.00	— — —	– 0.22 – 0.36 – 0.70	— — —	mA
I_{OZ}	Output Leakage Current — PD_{out}	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	µA
I_{OZ}	Output Leakage Current — SW1, SW2	$V_{out} = V_{DD}$ or V_{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	µA
C_{out}	Output Capacitance — PD_{out}	PD_{out} — Three–State	—	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to MC (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, ENB to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_W	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, MC (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, LD (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

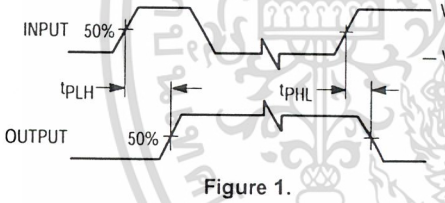
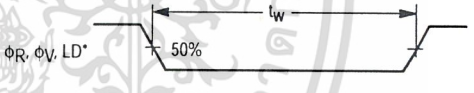


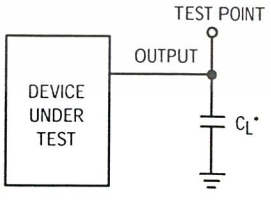
Figure 1.



* f_R in phase with f_V.

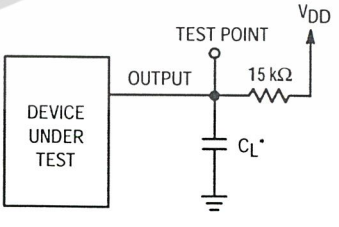
Figure 2.

Figure 3.



* Includes all probe and fixture capacitance.

Figure 4. Test Circuit



* Includes all probe and fixture capacitance.

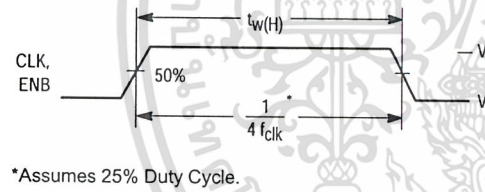
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit – 40 to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to CLK $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.0 dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to CLK (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, CLK to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, CLK to ENB (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, ENB to CLK (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, CLK and ENB (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	µs

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle.

Figure 6.

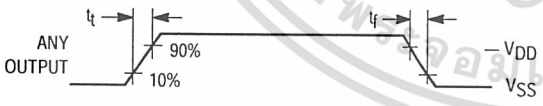


Figure 8.

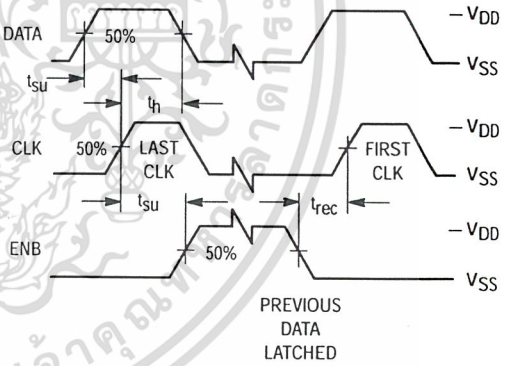


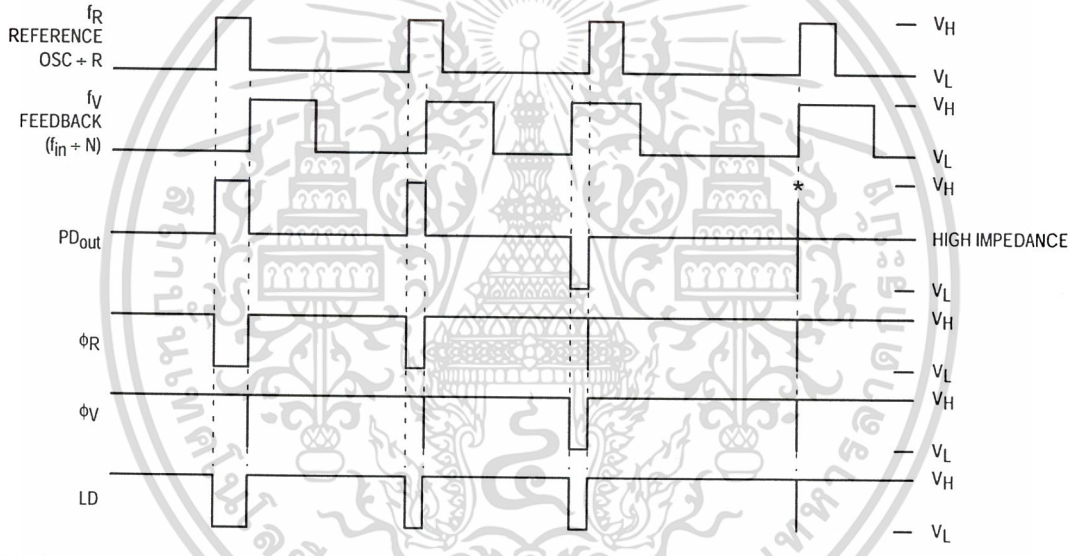
Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY CHARACTERISTICS (Voltages References to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ =10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	– 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p–p ac coupled sine wave	3 5 9	— — —	6 15 15	— — —	6 15 15	— — —	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p–p ac coupled sine wave	3 5 9	— — —	12 22 25	— — —	12 20 22	— — —	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	— — —	13 25 25	— — —	12 22 25	— — —	8 22 25	MHz

NOTE: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_P + t_{set})$ where f is the upper frequency in Hz, P is the lower of the dual modulus prescaler ratios, t_P is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_P + t_{set}) = 64/(70 + 16) = 744$ MHz.



V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid–supply.
NOTE: The PD_{out} generates error pulses during out–of–lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low–pass filter capacitor.

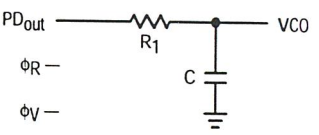
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DESIGN CONSIDERATIONS

PHASE–LOCKED LOOP — LOW–PASS FILTER DESIGN

A)

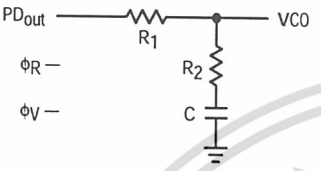


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

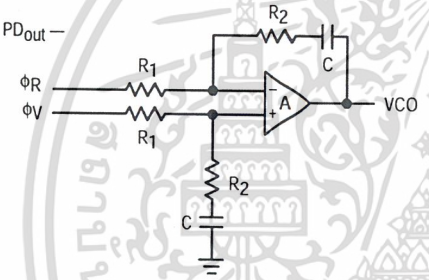


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC + 1}{(R_1 + R_2)sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n. The ϕ_R and ϕ_V outputs swing rail–to–rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design w_n (Natural Frequency) $\approx \frac{2\pi fr}{10}$ (at phase detector input).

Damping Factor: $\zeta \cong 1$

RECOMMENDED READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*. New York, Wiley–Interscience, 1979.

Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*. New York, Wiley–Interscience, 1980.

Blanchard, Alain, *Phase–Locked Loops: Application to Coherent Receiver Design*. New York, Wiley–Interscience, 1976.

Egan, William F., *Frequency Synthesis by Phase Lock*. New York, Wiley–Interscience, 1981.

Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*. Englewood Cliffs, NJ, Prentice–Hall, 1983.

Berlin, Howard M., *Design of Phase–Locked Loop Circuits, with Experiments*. Indianapolis, Howard W. Sams and Co., 1978.

Kinley, Harold, *The PLL Synthesizer Cookbook*. Blue Ridge Summit, PA, Tab Books, 1980.

AN535, Phase–Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.

AR254, Phase–Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers.

Use of a Hybrid Crystal Oscillator

Commercially available temperature–compensated crystal oscillators (TCXOs) or crystal–controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 μA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct–coupled square wave having a rail–to–rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or ac coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

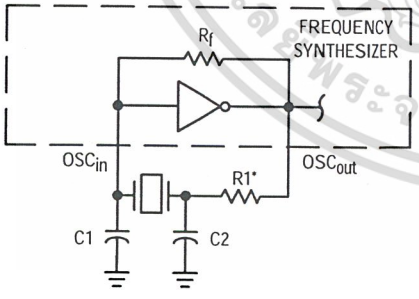
For additional information about TCXOs and data clock oscillators, please consult the latest version of the *eem Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

Design an Off–Chip Reference

The user may design an off–chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct–coupled square wave having rail–to–rail voltage swing.

Use of the On–Chip Oscillator Circuitry

The on–chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.



* May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

For V_{DD} = 5.0 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8.0 MHz, 20 pF for frequencies in the area of 8.0 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in} + C_{out}} + C_a + C_o + \frac{C1 \cdot C2}{C1 + C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

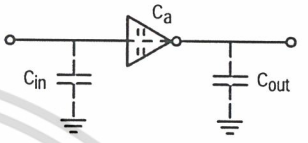
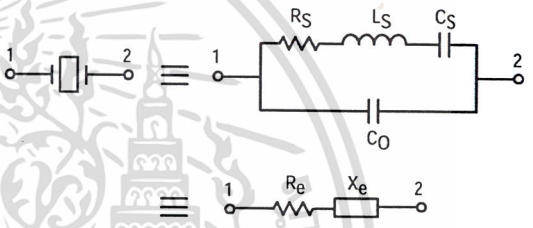


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks

The oscillator can be "trimmed" on–frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the value for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases (i.e., R1 = 0 Ω).

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start–up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful (see Table 1).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Table 1. Partial List of Crystal Manufacturers

Motorola — Internet Address *http://motorola.com* (Search for resonators)
United States Crystal Corp.
Crystek Crystal
Statek Corp.
Fox Electronics

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

RECOMMENDED READING

Technical Note TN–24, Statek Corp.

Technical Note TN–7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit – Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2 Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro–Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

DUAL–MODULUS PRESCALING

OVERVIEW

The technique of dual–modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low–frequency programmable counters to be used as high–frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single–modulus) divider is used for the prescaler.

In dual–modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual–modulus frequency synthesizers contain this feature and can be used with a variety of dual–modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual–modulus prescaler approaches suitable for use with the MC145152–2, MC145156–2, or MC145158–2 are:

MC12009	÷ 5/÷ 6	440 MHz
MC12011	÷ 8/÷ 9	500 MHz
MC12013	÷ 10/÷ 11	500 MHz
MC12015	÷ 32/÷ 33	225 MHz
MC12016	÷ 40/÷ 41	225 MHz
MC12017	÷ 64/÷ 65	225 MHz
MC12018	÷ 128/÷ 129	520 MHz
MC12028A	÷ 32/33 or ÷ 64/65	1.1 GHz
MC12052A	÷ 64/65 or ÷ 128/129	1.1 GHz
MC12054A	÷ 64/65 or ÷ 128/129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual–modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from 0 through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint $N \geq A$ always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P + A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P + A_{max}$$

To maximize system frequency capability, the dual–modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual–modulus prescaler.
   b. Prescaler setup or release time relative to its MC signal.
   c. Propagation time from f_{in} to the MC output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC12015/D

MOTOROLA

MC12015
MC12016
MC12017

Dual Modulus Prescaler

The MC12015, MC12016 and MC12017 are dual modulus prescalers which will drive divide by 32 and 33, 40 and 41, and 64 and 65, respectively. An internal regulator is provided to allow these devices to be used over a wide range of power–supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ±10% at Pin 7, or by applying an unregulated voltage source from 5.5Vdc to 9.5 Vdc to Pin 8.

- 225 MHz Toggle Frequency
- Low–Power 7.5 mA Maximum at 6.8 V
- Control Input and Output Are Compatible With Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V

NOT RECOMMENDED FOR NEW DESIGN
DEVICES TO BE PHASED OUT.
For the MC12015 and MC12016 no replacement available.
For the MC12017 consider MC12054A for New Designs.

MECL PLL COMPONENTS
DUAL MODULUS PRESCALER

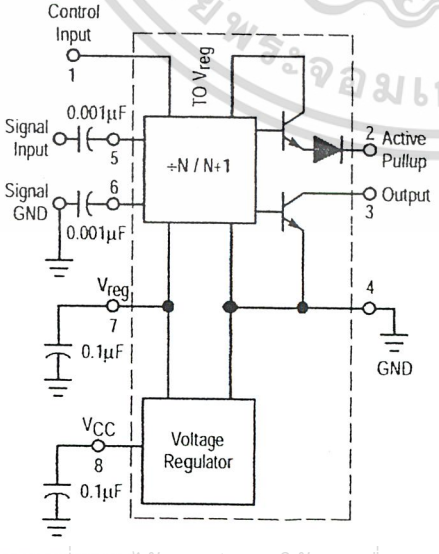
SEMICONDUCTOR
TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC12015D	T_A = –40 to 85°C	SO–8
MC12016D		
MC12017D		

SIMPLIFIED BLOCK DIAGRAM



1. V_{reg} at Pin 7 is not guaranteed to be between 4.5 and 5.5V when V_{CC} is being applied to Pin 8
2. Pin 7 is not to be used as a source of regulated output voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1999

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10	Vdc
Operating Temperature Range	T_A	–40 to +85	°C
Storage Temperature Range	T_{stg}	–65 to +175	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5 V; V_{reg} = 4.5 to 5.5 V; T_A = –40 to 85°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine Wave Input)					MHz
	f_{max}	225	–	–	
	f_{min}	–	–	35	
Supply Current	I_{CC}	–	6.0	7.8	mA
Control Input HIGH (÷32, 40 or 64)	V_{IH}	2.0	–	–	V
Control Input LOW (÷33, 41 or 65)	V_{IL}	–	–	0.8	V
Output Voltage HIGH (I_{source} = 50µA) [Nofe 1]	V_{OH}	2.5	–	–	V
Output Voltage LOW (I_{sink} = 2mA) [Note 1]	V_{OL}	–	–	0.5	V
Input Voltage Sensitivity	V_{in}				mVpp
35 MHz		400	–	800	
50 to 225 MHz		200	–	800	
PLL Response Time [Notes 2 and 3]	t_{PLL}	–	–	t_{out} to 70	ns

NOTES: 1. Pin 2 connected to Pin 3.
2. t_{PLL} = the period of time the PLL has from the prescaler rising output tranistion (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
3. t_{out} = period of output waveform.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2205, LV2209

Silicon Tuning Diodes

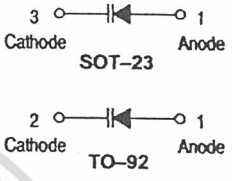
6.8–100 pF, 30 Volts
Voltage Variable Capacitance Diodes

ON Semiconductor™

http://onsemi.com

These devices are designed in popular plastic packages for the high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid–state reliability in replacement of mechanical tuning methods. Also available in a Surface Mount Package up to 33 pF.

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves



MAXIMUM RATINGS

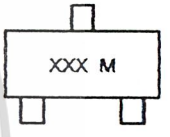
Rating		Symbol	Value	Unit
Reverse Voltage		V_R	30	Vdc
Forward Current		I_F	200	mAdc
Forward Power Dissipation		P_D		mW
@ T_A = 25°C	MMBV21xx		225	mW/°C
Derate above 25°C			1.8	
@ T_A = 25°C	MV21xx		280	
Derate above 25°C	LV22xx		2.8	
Junction Temperature		T_J	+150	°C
Storage Temperature Range		T_{stg}	–55 to +150	°C

DEVICE MARKING

MMBV2101LT1 = M4G	MMBV2108LT1 = 4X	MV2109 = MV2109
MMBV2103LT1 = 4H	MMBV2109LT1 = 4J	LV2205 = LV2205
MMBV2105LT1 = 4U	MV2101 = MV2101	LV2209 = LV2209
MMBV2107LT1 = 4W	MV2105 = MV2105	

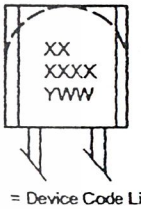
MARKING DIAGRAM

TO–236AB, SOT–23
CASE 318–08
STYLE 8



XXX = Device Code*
M = Date Code
* See Table

TO–226AC, TO–92
CASE 182
STYLE 1



XX = Device Code Line 1*
XXXX = Device Code Line 2*
M = Date Code
* See Table

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$				Vdc
MMBV21xx, MV21xx		30	–	–	
LV22xx		25	–	–	
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	–	–	0.1	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	–	280	–	ppm/°C

Preferred devices are recommended choices for future use and best overall value.

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1/MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	9.0	10	11	400	2.5	2.9	3.2
LV2205/MMBV2105LT1/MV2105	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1	24.3	27	29.7	300	2.5	3.0	3.2
LV2209MMBV2109LT1/MV2109	29.7	33	36.3	200	2.5	3.0	3.2

MMBV2101LT1, MMBV2103LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length ≈ 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = −65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \frac{|C_T(+85°C) - C_T(-65°C)|}{85 + 65} \cdot \frac{10^6}{C_T(25°C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC535

Silicon NPN Epitaxial Planar

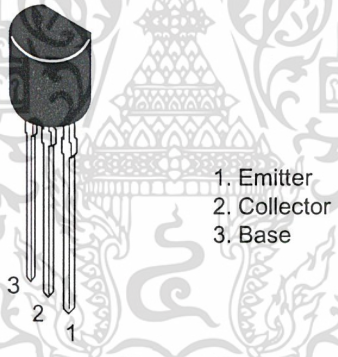
HITACHI

Application

VHF amplifier, mixer, local oscillator

Outline

TO-92 (2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hitachi semiconductor

Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings	Unit
Collector to base voltage	V_{CBO}	30	V
Collector to emitter voltage	V_{CEO}	20	V
Emitter to base voltage	V_{EBO}	4	V
Collector current	I_C	20	mA
Collector power dissipation	P_C	100	mW
Junction temperature	Tj	150	°C
Storage temperature	Tstg	–55 to +150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Ta = 25°C)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Collector to base breakdown voltage	$V_{(BR)CBO}$	30	—	—	V	I_C = 10 µA, I_E = 0
Collector to emitter breakdown voltage	$V_{(BR)CEO}$	20	—	—	V	I_C = 1 mA, R_{BE} = ∞
Emitter to base breakdown voltage	$V_{(BR)EBO}$	4	—	—	V	I_E = 10 µA, I_C = 0
Collector cutoff current	I_{CBO}	—	—	0.5	µA	V_{CB} = 10 V, I_E = 0
DC current transfer ratio	h_{FE}*1	60	—	200		V_{CE} = 6 V, I_C = 1 mA
Base to emitter voltage	V_{BE}	—	0.72	—	V	V_{CE} = 6 V, I_C = 1 mA
Collector to emitter saturation voltage	$V_{CE(sat)}$	—	0.17	—	V	I_C = 20 mA, I_B =4 mA
Gain bandwidth product	f_T	450	940	—	MHz	V_{CE} = 6 V, I_C = 5 mA
Collector output capacitance	Cob	—	0.9	1.2	pF	V_{CB} = 10 V, I_E = 0, f = 1 MHz
Power gain	PG	17	20	—	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Noise figure	NF	—	3.5	5.5	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz, R_g = 50 Ω
Input admittance (typ)	yie	1.3 + j5.3			mS	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Reverse transfer admittance (typ)	yre	–0.078 – j0.41			mS	
Foward transfer admittance (typ)	yfe	32 – j10			mS	
Output admittance (typ)	yoe	0.08 + j0.82			mS	

Note: 1. The 2SC535 is grouped by h_{FE} as follows.

B	C
60 to 120	100 to 200

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

August 2000

LM386
Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value from 20 to 200.

The inputs are ground referenced while the output automatically biases to one-half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

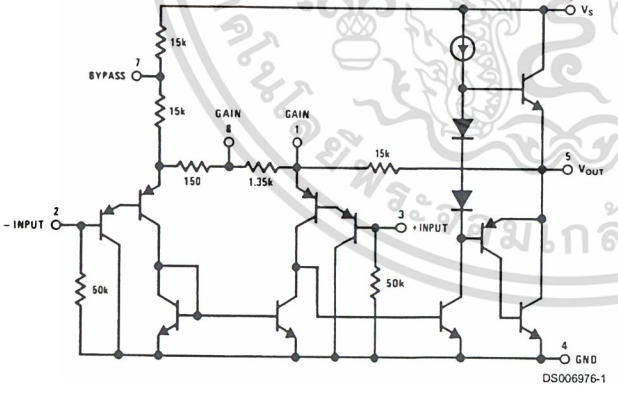
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range: 4V–12V or 5V–18V
- Low quiescent current drain: 4mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion: 0.2% (A_V = 20, V_S = 6V, R_L = 8Ω, P_O = 125mW, f = 1kHz)
- Available in 8 pin MSOP package

Applications

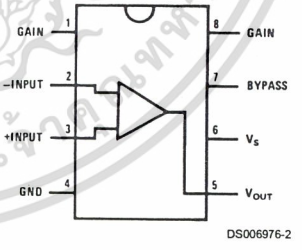
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



DS006976-1

Small Outline, Molded Mini Small Outline, and Dual-In-Line Packages



DS006976-2

Top View
Order Number LM386M-1, LM386MM-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A, MUA08A or N08E

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	
(LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 3)	
(LM386N)	1.25W
(LM386M)	0.73W
(LM386MM-1)	0.595W
Input Voltage	±0.4V
Storage Temperature	−65˚C to +150˚C
Operating Temperature	0˚C to +70˚C
Junction Temperature	+150˚C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec)	+260˚C
Small Outline Package	
(SOIC and MSOP)	
Vapor Phase (60 sec)	+215˚C
Infrared (15 sec)	+220˚C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Thermal Resistance	
θ_{JC} (DIP)	37˚C/W
θ_{JA} (DIP)	107˚C/W
θ_{JC} (SO Package)	35˚C/W
θ_{JA} (SO Package)	172˚C/W
θ_{JA} (MSOP)	210˚C/W
θ_{JC} (MSOP)	56˚C/W

Electrical Characteristics (Notes 1, 2)

T_A = 25˚C

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S)					
LM386N-1, -3, LM386M-1, LM386MM-1		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT})					
LM386N-1, LM386M-1, LM386MM-1	V_S = 6V, R_L = 8Ω, THD = 10%	250	325		mW
LM386N-3	V_S = 9V, R_L = 8Ω, THD = 10%	500	700		mW
LM386N-4	V_S = 16V, R_L = 32Ω, THD = 10%	700	1000		mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz		26		dB
	10 µF from Pin 1 to 8		46		dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW f = 1 kHz, Pins 1 and 8 Open		0.2		%
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 µF Pins 1 and 8 Open, Referred to Output		50		dB
Input Resistance (R_{IN})			50		kΩ
Input Bias Current (I_{BIAS})	V_S = 6V, Pins 2 and 3 Open		250		nA

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operation in ambient temperatures above 25˚C, the device must be derated based on a 150˚C maximum junction temperature and 1) a thermal resistance of 107˚C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170˚C/W for the small outline package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

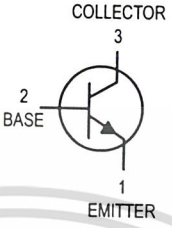
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

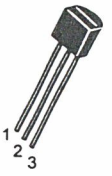
Order this document
by MPS5179/D

High Frequency Transistor
NPN Silicon

MPS5179

Motorola Preferred Device





CASE 29–04, STYLE 1
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	12	Vdc
Collector–Base Voltage	V_{CBO}	20	Vdc
Emitter–Base Voltage	V_{EBO}	2.5	Vdc
Collector Current — Continuous	I_C	50	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	300 1.71	mW mW/°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector–Emitter Sustaining Voltage (I_C = 3.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	12	—	Vdc
Collector–Base Breakdown Voltage (I_C = 0.001 mAdc, I_E = 0)	$V_{(BR)CBO}$	20	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 0.01 mAdc, I_C = 0)	$V_{(BR)EBO}$	2.5	—	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0) (V_{CB} = 15 Vdc, I_E = 0, T_A = 150°C)	I_{CBO}	— —	0.02 1.0	µAdc
ON CHARACTERISTICS				
DC Current Gain (I_C = 3.0 mAdc, V_{CE} = 1.0 Vdc)	h_{FE}	25	250	—
Collector–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{CE(sat)}$	—	0.4	Vdc
Base–Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{BE(sat)}$	—	1.0	Vdc

Preferred devices are Motorola recommended choices for future use and best overall value.

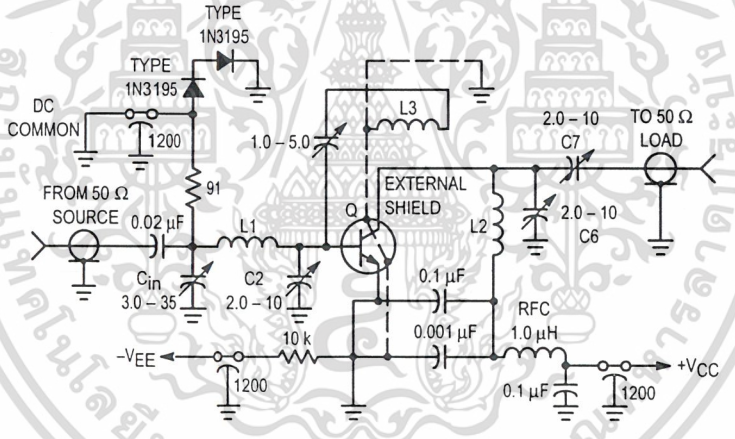
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
© Motorola, Inc. 1996
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic	Symbol	Min	Max	Unit
SMALL–SIGNAL CHARACTERISTICS				
Current–Gain — Bandwidth Product(1) (I_C = 5.0 mAdc, V_{CE} = 6.0 Vdc, f = 100 MHz)	f_T	900	2000	MHz
Collector–Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 0.1 to 1.0 MHz)	C_{cb}	—	1.0	pF
Small Signal Current Gain (I_C = 2.0 mAdc, V_{CE} = 6.0 Vdc, f = 1.0 kHz)	h_{fe}	25	300	—
Collector Base Time Constant (I_E = 2.0 mAdc, V_{CB} = 6.0 Vdc, f = 31.9 MHz)	$rb'C_c$	3.0	14	ps
Noise Figure (See Figure 1) (I_C = 1.5 mAdc, V_{CE} = 6.0 Vdc, R_S = 50 ohms, f = 200 MHz)	NF	—	5.0	dB
Common–Emitter Amplifier Power Gain (See Figure 1) (V_{CE} = 6.0 Vdc, I_C = 5.0 mAdc, f = 200 MHz)	G_{pe}	15	—	dB

1. f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.



L1 1–3/4 Turns, #18 AWG, 0.5″ L, 0.5″ Diameter
L2 2 Turns, #16 AWG, 0.5″ L, 0.5″ Diameter
L3 2 Turns, #13 AWG, 0.25″ L, 0.5″ Diameter (Position 1/4″ from L2)

Figure 1. 200 MHz Amplifier Power Gain and Noise Figure Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC535

Silicon NPN Epitaxial Planar

HITACHI

Application

VHF amplifier, mixer, local oscillator

Outline

TO-92 (2)

1. Emitter
2. Collector
3. Base

Hitachi semiconductor

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings	Unit
Collector to base voltage	V_{CBO}	30	V
Collector to emitter voltage	V_{CEO}	20	V
Emitter to base voltage	V_{EBO}	4	V
Collector current	I_C	20	mA
Collector power dissipation	P_C	100	mW
Junction temperature	Tj	150	°C
Storage temperature	Tstg	–55 to +150	°C

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Ta = 25°C)

Item	Symbol	Min	Typ	Max	Unit	Test conditions
Collector to base breakdown voltage	$V_{(BR)CBO}$	30	—	—	V	I_C = 10 µA, I_E = 0
Collector to emitter breakdown voltage	$V_{(BR)CEO}$	20	—	—	V	I_C = 1 mA, R_{BE} = ∞
Emitter to base breakdown voltage	$V_{(BR)EBO}$	4	—	—	V	I_E = 10 µA, I_C = 0
Collector cutoff current	I_{CBO}	—	—	0.5	µA	V_{CB} = 10 V, I_E = 0
DC current transfer ratio	h_{FE}*1	60	—	200		V_{CE} = 6 V, I_C = 1 mA
Base to emitter voltage	V_{BE}	—	0.72	—	V	V_{CE} = 6 V, I_C = 1 mA
Collector to emitter saturation voltage	$V_{CE(sat)}$	—	0.17	—	V	I_C = 20 mA, I_B =4 mA
Gain bandwidth product	f_T	450	940	—	MHz	V_{CE} = 6 V, I_C = 5 mA
Collector output capacitance	Cob	—	0.9	1.2	pF	V_{CB} = 10 V, I_E = 0, f = 1 MHz
Power gain	PG	17	20	—	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Noise figure	NF	—	3.5	5.5	dB	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz, R_g = 50 Ω
Input admittance (typ)	yie	1.3 + j5.3			mS	V_{CE} = 6 V, I_C = 1 mA, f = 100 MHz
Reverse transfer admittance (typ)	yre	–0.078 – j0.41			mS	
Foward transfer admittance (typ)	yfe	32 – j10			mS	
Output admittance (typ)	yoe	0.08 + j0.82			mS	

Note: 1. The 2SC535 is grouped by h_{FE} as follows.

B	C
60 to 120	100 to 200

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้